



HAL
open science

Conception d'amplificateurs de puissance hautement linéaires à 60 GHz en technologies CMOS nanométriques

Aurélien Larie

► **To cite this version:**

Aurélien Larie. Conception d'amplificateurs de puissance hautement linéaires à 60 GHz en technologies CMOS nanométriques. Electronique. Université de Bordeaux, 2014. Français. NNT : 2014BORD0210 . tel-01142532

HAL Id: tel-01142532

<https://theses.hal.science/tel-01142532>

Submitted on 15 Apr 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE PRÉSENTÉE
POUR OBTENIR LE GRADE DE
DOCTEUR DE
L'UNIVERSITÉ DE BORDEAUX

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGÉNIEUR
SPÉCIALITÉ : ELECTRONIQUE

Par Aurélien LARIE

**Conception d'amplificateurs de puissance hautement
linéaires à 60GHz en technologies CMOS nanométriques**

Sous la direction de : Eric KERHERVE

Soutenue le 31 octobre 2014

Membres du jury :

M.	Jean Louis CAZAUX	Ingénieur HDR	Thales Alenia Space	Rapporteur
M.	Denis BARATAUD	Professeur	XLIM Limoges	Rapporteur
M.	Yann DEVAL	Professeur	Bordeaux INP	Examineur
M.	Laurent LEYSSENNE	Docteur	LaMIPS	Examineur
M.	Thierry TARIS	Professeur	Bordeaux INP	Examineur
M.	Lionel VOGT	Ingénieur	STMicroelectronics	Examineur
M.	Baudouin MARTINEAU	Docteur	STMicroelectronics/CEA	Co-encadrant
M.	Eric KERHERVE	Professeur	Bordeaux INP	Directeur de thèse
M.	Denis MASLIAH	Docteur	ACCO Semiconductor, Inc	Membre invité

Titre : Conception d'amplificateurs de puissance hautement linéaires à 60GHz en technologies CMOS nanométriques

Résumé :

Dans le cadre des applications sans fil à 60GHz, l'amplificateur de puissance reste un des composants les plus compliqués à implémenter en technologie CMOS. Des modulations à enveloppe non constante obligent à concevoir des circuits hautement linéaires, conduisant à une consommation statique importante.

La recherche de topologies et de techniques de linéarisation viables aux fréquences millimétriques fait l'objet de cette thèse. Dans un premier temps, un état de l'art des différents amplificateurs de puissance à 60GHz est dressé, afin d'en extraire l'ensemble des verrous technologiques limitant leurs performances. Suite à l'analyse des phénomènes physiques impactant les composants passifs, plusieurs structures d'amplificateurs élémentaires sont conçues dans les technologies 65nm et 28nm Bulk. Les topologies les plus pertinentes sont déduites de cette étude. Enfin, deux amplificateurs intégrant des techniques de combinaison de puissance et de linéarisation sont implémentés dans les technologies 65nm et 28nm FD-SOI. Ces deux circuits présentent les plus hauts facteurs de mérite ITRS publiés à ce jour. Le circuit en 28nm FD-SOI atteint en outre le meilleur compromis linéarité/consommation de l'état de l'art.

Mots clés :

Amplificateurs de puissance CMOS, combinaison de puissance, technique de linéarisation, fort PAPR, transformateurs, lignes à ondes lentes

Title : Design of highly linear 60GHz power amplifiers in nanoscale CMOS technologies

Abstract :

The CMOS 60GHz power amplifier (PA) remains one of the most design-challenging components. Indeed, a high linearity associated with a large back-off range are required due to complex modulated signals.

In this context, this work focuses on the design of architectures and linearization techniques which are usable at millimeter-wave frequencies. First, a CMOS PA state of the art is presented to define all bottlenecks. Then, the physical phenomena impacting on passive device performances are described. Elementary PAs are implemented in CMOS 65nm and 28nm Bulk and the most suitable topologies are selected. Finally, two highly linear circuits are designed in 65nm Bulk and 28nm FD-SOI. They achieve the highest ITRS figures of merit reported to this day. In addition, the 28nm FD-SOI PA exhibits the best linearity/consumption tradeoff.

Keywords :

CMOS power amplifiers, power combining, linearization techniques, high PAPR, transformers, slow-wave transmission lines

Unité de recherche

Université de Bordeaux, Laboratoire IMS, CNRS UMR 5218, IPB, 351 crs de Libération, 33405 Talence

*« Nombre sont les citations.
Bien malin celui qui choisira la bonne »
Y.V.*

Table des matières

LISTE DES FIGURES.....	11
LISTE DES TABLEAUX	16
GLOSSAIRE.....	17
CHAPITRE I.....	22
1. SYSTÈMES WPAN – WLAN À 60 GHZ	23
1.1. Applications visées	23
1.2. Bande de fréquences utilisées.....	24
1.3. Les standards à 60 GHz.....	26
2. EMETTEUR-RECEPTEURS EN TECHNOLOGIE CMOS A 60 GHZ	30
2.1. Intérêt des technologies CMOS	30
2.2. Emetteur-récepteurs à 60 GHz	31
2.3. Impact de l’amplificateur de puissance sur la consommation d’un émetteur-récepteur.....	36
3. LES AMPLIFICATEURS DE PUISSANCE.....	37
3.1. Paramètres principaux des PAs	37
3.2. Classes de fonctionnement d’un amplificateur de puissance	39
3.3. Impact de la modulation du signal sur la linéarité de l’amplificateur	42
3.4. Robustesse d’un amplificateur de puissance CMOS.....	46
3.5. Etat de l’art des amplificateurs de puissance millimétriques.....	48
4. CONCLUSION DU CHAPITRE.....	60
CHAPITRE II.....	61
1. PHENOMENES PARASITES A HAUTE FREQUENCE	62
1.1. Effet de peau.....	62
1.2. Problématique du retour de masse	63
1.3. Pertes et couplages du substrat.....	64
2. ELEMENTS LOCALISES ET DISTRIBUES	66
3. LIGNES DE TRANSMISSION	67
3.1. Lignes de transmission classiques.....	67
3.2. Lignes de transmission à ondes lentes	72
4. COMPOSANTS LOCALISES	81
4.1. Plots RF.....	81
4.2. Capacités MOM	84
4.3. Transformateurs intégrés.....	85
4.4. DATs	90
5. CONCLUSION DU CHAPITRE	92
CHAPITRE III	93
1. METHODOLOGIE DE CONCEPTION D’UN AMPLIFICATEUR DE PUISSANCE MILLIMETRIQUE	94
1.1. Classes de fonctionnement utilisables aux fréquences millimétriques	94
1.2. Architectures des PAs.....	97
1.3. Choix du composant de puissance	98
1.4. Dimensionnement du transistor.....	100
1.5. Impact des interconnexions parasites.....	103
1.6. Impédance de charge optimale	104
1.7. Synthèse du réseau d’adaptation	106
1.8. Stabilité du circuit.....	109
1.9. Organigramme du flot de conception.....	114
2. PA MODE COMMUN A BASE DE LIGNES A ONDES LENTES.....	115

2.1. Topologie du circuit	115
2.2. Résultats de mesure	118
2.3. Comparaison avec l'état de l'art.....	119
3. PA PSEUDO-DIFFERENTIEL LARGE BANDE A BASE DE TRANSFORMATEURS INTEGRES EN CMOS 65NM	122
3.1. Topologie du circuit	122
3.2. Résultats de mesure	124
3.3. Comparaison avec l'état de l'art des amplificateurs 60GHz large bande.....	126
4. PA PSEUDO-DIFFERENTIEL EN CMOS 28NM.....	128
4.1. Topologie du circuit	128
4.2. Etude des transistors.....	129
4.3. Résultats de mesure	131
4.4. Comparaison avec l'état de l'art.....	133
5. CONCLUSION DU CHAPITRE	134
CHAPITRE IV	135
1. ETAT DE L'ART	136
1.1. Techniques de linéarisation et d'amélioration du rendement compatibles aux fréquences millimétriques.....	136
1.2. Combinaison en puissance.....	142
2. CONCEPTION D'UN AMPLIFICATEUR DE PUISSANCE HAUTEMENT LINEAIRE A 60GHZ EN TECHNOLOGIE CMOS 65NM.....	147
2.1. Topologie du circuit	147
2.2. Linéarisation par polarisation segmentée	151
2.3. Résultats de simulation et expérimentaux	155
2.4. Performances dans des conditions de fiabilité	160
2.5. Comparaison avec l'état de l'art.....	162
3. CONCEPTION D'UN AMPLIFICATEUR DE PUISSANCE HAUTEMENT LINEAIRE A 60GHZ EN TECHNOLOGIE CMOS 28NM FD-SOI.....	166
3.1. La technologie CMOS 28nm FD-SOI.....	166
3.2. Cellule amplificatrice.....	170
3.3. Topologie du circuit	171
3.4. Résultats de simulation et expérimentaux	173
3.5. Comparaison à l'état de l'art	178
4. CONCLUSION DU CHAPITRE	180
ANNEXES.....	186
A. Tableaux des débits de données et des modulations employées pour les différents standards :	186
B. Gains en puissance	190
C. Techniques d'épluchage	192
D. Simplification du BEOL	194
E. Famille étendue des classes E/F	195
LISTE DES TRAVAUX PUBLIES	207

Liste des figures

Figure I-1 : Applications visées à 60GHz	24
Figure I-2 : Absorption atmosphérique des ondes millimétriques au niveau de la mer [ITU01]	24
Figure I-3 : Allocations des bandes de fréquences autour de 60GHz	25
Figure I-4 : Niveau de PIRE maximum autorisé suivant les pays pour un usage d'intérieur.....	26
Figure I-5 : Canaux de fréquences.....	26
Figure I-6 : Techniques de codage	27
Figure I-7 : Performances des technologies CMOS	30
Figure I-8 : Intégration des fonctionnalités d'un émetteur-récepteur	30
Figure I-9 : Architecture super-hétérodyne	31
Figure I-10 : Transceiver à 60GHz [SIL11]	32
Figure I-11 : Photographie de l'émetteur-récepteur et du PA [SIL11].....	32
Figure I-12 : Emetteur-récepteur avec beamforming [BOE14].....	33
Figure I-13 : Architecture homodyne	34
Figure I-14 : Emetteur-récepteur homodyne [SAI13]	35
Figure I-15 : Consommation d'un PA par rapport aux autres circuits durant la phase d'émission	36
Figure I-16 : Bilan de puissance d'un PA	37
Figure I-17 : P_{out} en fonction de P_{in} pour un signal CW.....	38
Figure I-18 : Conversions AM/AM et AM/PM.....	39
Figure I-19 : Classes de fonctionnement sinusoïdales	40
Figure I-20 : Amplificateurs à classe commutée	42
Figure I-21 : Puissance de sortie en fonction de la puissance d'entrée avec un signal modulé.....	43
Figure I-22 : Définition de l'EVM.....	44
Figure I-23 : Remontées spectrales dans les bandes adjacentes (ACLR).....	44
Figure I-24 : Distribution de puissance d'une modulation OFDM HRP2 (16QAM) pour le standard WirelessHD [SIL10].....	45
Figure I-25 : Mécanisme du TDDB.....	47
Figure I-26 : Plage de polarisations pour un fonctionnement robuste.....	48
Figure I-27 : PA [QUE10] basé sur des lignes de transmission	49
Figure I-28 : Performances du PA [QUE10] et des lignes microstrip.....	49
Figure I-29 : PA à 60GHz à base d'éléments localisés [KJE09]	50
Figure I-30 : Performances du PA à base d'éléments localisés [KJE09].....	50
Figure I-31 : PA 65nm à base de transformateurs polarisé en classe A [CHE11].....	51
Figure I-32 : Performances du PA 65nm à base de transformateurs polarisé en classe A [CHE11].....	51
Figure I-33 : PA 40nm à 60GHz [ZHA13]	52
Figure I-34 : Performances du PA 40nm à 60GHz [ZHA13].....	52
Figure I-35 : PA 40nm à 60GHz basé sur une topologie push-pull [KUL14].....	53
Figure I-36 : PA 40nm basé sur une topologie push-pull [KUL14].....	53
Figure I-37 : PA avec transistors empilés [BHA13]	54
Figure I-38 : Performances du PA avec transistors empilés [BHA13].....	54
Figure I-39 : PA SOI à 60GHz utilisant un montage cascode [SIL10]	55
Figure I-40 : Performances du PA SOI à 60GHz [SIL10]	55
Figure I-41 : PA-DAC à 60GHz [CHE13].....	56
Figure I-42 : Performances du PA-DAC [CHE13]	56
Figure I-43 : Implémentation d'un PA-DAC dans un transmetteur à 94GHz [LAR14].....	57
Figure I-44 : Performances du PA-DAC [LAR14]	57
Figure II-1 : L'effet de peau sur une piste métallique.....	62

Figure II-2 : Impact de l'effet de peau	63
Figure II-3 : Conception d'un plan de masse aux fréquences millimétriques	64
Figure II-4 : Courants de Foucault induits par le courant circulant dans le composant et courants de déplacement.....	64
Figure II-5 : Couplage à travers le substrat	65
Figure II-6 : Choix du composant passif	66
Figure II-7 : Schéma de lignes de transmission microstrip et coplanaire.....	67
Figure II-8 : Modèle d'une ligne de transmission à base de n étages de cellules RLGC	70
Figure II-9 : Ligne S-CPW utilisée dans le réseau d'adaptation du PA [VAR08].....	73
Figure II-10 : Ligne S-CPWG utilisée dans le réseau d'adaptation du PA [KOM05].....	73
Figure II-11 : Lignes S-CPS utilisée dans le réseau d'adaptation du PA [LAR09]	74
Figure II-12 : Comparaison de la permittivité effective en fonction du facteur de qualité pour des lignes à ondes lentes utilisées dans des PAs.....	74
Figure II-13 : Topologie classique de ligne à ondes lentes S-CPW	75
Figure II-14 : Atténuation et permittivité effective de la ligne S-CPW	75
Figure II-15 : Vue 3D d'une ligne microstrip ayant un conducteur central à largeur variable	76
Figure II-16 : Performances de la ligne microstrip à ondes lentes	76
Figure II-17 : Inductance et capacité linéiques de la ligne microstrip à ondes lentes	77
Figure II-18 : Vues 3D de lignes de transmission CPWG et S-CPWG.....	77
Figure II-19 : Dimensions de la ligne S-CPWG.....	78
Figure II-20 : Optimisation de l'impédance caractéristique et du facteur de qualité de la ligne S-CPWG	78
Figure II-21 : Mesures de la constante d'atténuation et de la permittivité effective de la ligne S-CPWG	79
Figure II-22 : Fuite du champ électrique dans le substrat pour les lignes CPW et S-CPWG.....	79
Figure II-23 : Photographie, layout et représentation 3D des plots RF blindés	81
Figure II-24 : Capacité équivalente du plot RF blindé en CMOS 28nm FD-SOI.....	82
Figure II-25 : Photographie et représentation 3D des plots RF non blindés	82
Figure II-26 : Capacité équivalente du plot RF non blindé en CMOS 65nm Bulk	83
Figure II-27 : Protection ESD utilisée en RF	83
Figure II-28 : Protections ESD compatibles aux fréquences millimétriques	83
Figure II-29 : Capacité MOM en technologie CMOS 65nm Bulk	84
Figure II-30 : Facteurs de qualité pour des capacités MOM de 20fF et 100fF en CMOS 65nm Bulk ..	84
Figure II-31 : Transformateur intégré	85
Figure II-32 : Performances d'un transformateur en fonction du facteur de qualité des enroulements et du coefficient de couplage.....	87
Figure II-33 : Balun à base de transformateurs intégrés.....	88
Figure II-34 : Balun réel avec une asymétrie au niveau des capacités de couplage	88
Figure II-35 : Techniques d'amélioration du CMRR [ALO10].....	89
Figure II-36 : Technique de compensation du balun [ZHA12a]	90
Figure II-37 : Schéma d'un DAT	90
Figure III-1 : MSG/MAG d'un transistor pour différentes polarisations.....	94
Figure III-2 : Comportement de la PAE d'un transistor en classe A, AB ou B.....	95
Figure III-3 : DE, gain et PAE pour un transistor 65nm GP en classe E/F _{X2} [CHE14].....	96
Figure III-4 : Structure mode commun.....	97
Figure III-5 : Structure (pseudo-)différentielle.....	97
Figure III-6 : Structure équilibrée	98
Figure III-7 : Topologies des composants de puissance.....	98

Figure III-8 : Gain et stabilité des structures cascode et source commune	99
Figure III-9 : Evolution de la f_T suivant la longueur de grille pour les nœuds 130nm, 90nm et 65nm [CHE06]	100
Figure III-10 : Topologies de transistor	100
Figure III-11 : f_{max} en fonction de la largeur de grille W_f [MOR99].....	101
Figure III-12 : Différents routages de transistors	101
Figure III-13 : Taille du transistor et effets non quasi-statiques.....	102
Figure III-14 : f_{max} en fonction de la densité de courant	102
Figure III-15 : Schéma petit-signal d'un transistor MOS	103
Figure III-16 : Impact du layout sur f_{max} du transistor	104
Figure III-17 : Optimisation du layout	104
Figure III-18 : Droites de charge	105
Figure III-19 : Détermination de l'impédance optimale Z_{opt} par analyse Load-Pull.....	106
Figure III-20 : Performances en fonction de la largeur et de la charge du transistor	107
Figure III-21 : Réseau d'adaptation à base de lignes	107
Figure III-22 : Performances du transistor avec un circuit d'adaptation à base de lignes	107
Figure III-23 : Réseau d'adaptation à base de transformateurs	108
Figure III-24 : Performances du transistor avec un circuit d'adaptation à base de transformateurs ...	108
Figure III-25 : Règles d'électro-migration à respecter	109
Figure III-26 : Adaptation en entrée et inter-étage	109
Figure III-27 : Techniques de stabilisation.....	111
Figure III-28 : Etage pseudo-différentiel avec capacité de neutrodynage	112
Figure III-29 : Comportement du facteur de Rollet et du	113
Figure III-30 : Flot de conception	114
Figure III-31 : Schéma du PA à ondes lentes	115
Figure III-32 : Photographie du PA à ondes lentes	115
Figure III-33 : Dimensions du réseau de sortie pour des lignes S-CPWG et microstrip MS	116
Figure III-34 : Amélioration de la topologie cascode	116
Figure III-35 : Influence de L_{cg} sur le maximum de gain disponible et sur la stabilité	117
Figure III-36 : Influence de L_{sd} sur le maximum de gain disponible et sur la stabilité avec L_{cg} fixée à 10pH.....	117
Figure III-37 : Paramètres S mesurés et simulés du PA 65nm intégrant des lignes à ondes lentes....	118
Figure III-38 : Stabilité avec K et μ du PA 65nm intégrant des lignes à ondes lentes	118
Figure III-39 : Performances en puissance à 60GHz du PA à ondes lentes	119
Figure III-40 : Graphes comparatifs pour le PA à ondes lentes en 65nm Bulk.....	120
Figure III-41 : Schéma du PA 65nm pseudo-différentiel large bande	122
Figure III-42 : Photographie du PA 65nm pseudo-différentiel large bande.....	122
Figure III-43 : Impédances optimales simulées de structures CAS et CS de 40GHz à 80GHz	123
Figure III-44 : Comportement en fréquence du réseau d'adaptation	124
Figure III-45 : Paramètres S mesurés de l'amplificateur large bande	125
Figure III-46 : Puissance de sortie P_{out} , Gain et PAE en fonction de la puissance d'entrée P_{in} à 60GHz	125
Figure III-47 : Topologie cascode pour différentes technologies.....	126
Figure III-48 : Tensions de coude pour différentes topologies en technologie CMOS 65nm Bulk....	127
Figure III-49 : Schéma de l'amplificateur pseudo-différentiel en technologie CMOS 28nm Bulk....	128
Figure III-50 : Photographie du PA CMOS 28nm Bulk.....	128
Figure III-51 : Facteur de Rollet et MAG/MSG en fonction de la capacité de neutrodynage	129
Figure III-52 : Transistor de 90 μ m en technologie CMOS 28nm	129

Figure III-53 : Gain maximum simulé pour les modèles de transistors CMOS 28nm intrinsèques et extrinsèques	130
Figure III-54 : Mesures en puissance du transistor 90nm à 60GHz	130
Figure III-55 : Paramètres S simulés et mesurés du PA CMOS 28nm Bulk	131
Figure III-56 : Facteur μ simulé et mesuré	131
Figure III-57 : PA CMOS 28nm, mesures et simulations du Gain, de la puissance de sortie P_{out} et de la PAE en fonction de la puissance d'entrée P_{in}	132
Figure III-58 : PA CMOS 28nm, mesures de l'OCP _{-1dB} , de la P_{SAT} , du Gain et de la PAEmaximale à différentes fréquences	132
Figure III-59 : Graphes comparatifs pour le PA en 28nm Bulk	133
Figure IV-1 : Architecture LINC [ZHA12]	137
Figure IV-2: Architecture Doherty à 60GHz [SHO11]	138
Figure IV-3 : Comportement d'un PA Doherty	138
Figure IV-4: Amplificateur Doherty aux fréquences millimétriques à base de transformateurs [KAY14]	139
Figure IV-5 : Polarisation dynamique [LIU12]	140
Figure IV-6 : Principe de fonctionnement d'une prédistorsion RF	140
Figure IV-7 : Prédistorsion analogique [TSA11]	141
Figure IV-8 : Power cell switching [YEH13]	142
Figure IV-9 : Combineur en courant Wilkinson [LAW10]	143
Figure IV-10 : Combineur en courant zéro-degré [HSI13]	143
Figure IV-11 : Structure SCT [CHE11]	144
Figure IV-12 : Structure SPCT [ALO12]	145
Figure IV-13 : Structure PSCT [SHI13]	146
Figure IV-14 : Schéma électrique du PA 60GHz CMOS 65nm	147
Figure IV-15 : Photographie du PA 60GHz en CMOS 65nm	148
Figure IV-16 : Routage des transistors d'un étage	148
Figure IV-17 : Facteur de Rollet et MAG/MSG en fonction de la capacité de neutrodynage	149
Figure IV-18 : Vue 3D du combineur de puissance	149
Figure IV-19 : Pertes d'insertion du transformateur TRF1 en fonction du diamètre interne et de la largeur de piste	150
Figure IV-20 : Impédances en entrée du transformateur et en entrée du combineur de puissance	150
Figure IV-21 : Pertes du transformateur 4:1 et du combineur de puissance final	151
Figure IV-22 : Comportement de I_d dans le temps dans un fonctionnement linéaire	152
Figure IV-23 : Comportement de I_d dans un fonctionnement linéaire	152
Figure IV-24 : Courant et tension de drain	153
Figure IV-25 : Comportement du gain et de V_{gs} en fonction de la puissance d'entrée en classe A et C	153
Figure IV-26 : Comportement du g_{m3} en fonction de la puissance en entrée du transistor	154
Figure IV-27 : Implémentation de la polarisation segmentée sur le PA 65nm	154
Figure IV-28 : Paramètres S simulés et mesurés du PA CMOS 65nm	155
Figure IV-29 : Mesures des performances en puissance à 60GHz du PA CMOS 65nm	155
Figure IV-30 : Courbes simulées de l'AM/AM et de l'AM/PM du PA CMOS 65nm	156
Figure IV-31 : Mesures de PAE_{max} , P_{SAT} et P_{-1dB} en fonction de la fréquence pour le PA CMOS 65nm	156
Figure IV-32 : Banc de mesures deux tons	157
Figure IV-33 : $OIP3$ et $IIP3$ mesurés	157
Figure IV-34 : Spectre en sortie du PA CMOS 65nm et produits d'intermodulation	158

Figure IV-35 : IMD_3 en classe A du PA CMOS 65nm.....	158
Figure IV-36 : Puissance de sortie, gain et PAE mesurés sur le PA CMOS 65nm pour un étage de puissance en classe A, classe AB et polarisation segmentée.....	159
Figure IV-37 : PAE et puissance dissipée pour différentes polarisations du PA CMOS 65nm	159
Figure IV-38 : Courbes simulées AM/AM et AM/PM pour différentes polarisations du PA CMOS 65nm.....	159
Figure IV-39 : IMD_3 des configurations en classe A, classe AB et polarisation segmentée	160
Figure IV-40 : P_{-1dB} mesurés et P_{dc} mesurées pour différentes tensions de polarisation et d'alimentation du PA CMOS 65nm	161
Figure IV-41 : Formes d'ondes anti-parallèles à 60GHz de V_{ds} en fonction de V_{gs} pour un transistor de puissance avec une variation du $VSWR$	161
Figure IV-42 : Consommation DC en fonction du point de compression pour une configuration en classe A (traits noirs pleins) et une polarisation segmentée (traits rouges en pointillé).....	162
Figure IV-43 : Figure de mérite ITRS en fonction de la puissance de saturation pour différents PAs 60GHz de l'état de l'art	163
Figure IV-44 : Point de compression P_{-1dB} en fonction de la puissance de saturation pour différents PAs 60GHz de l'état de l'art.....	163
Figure IV-45 : PAE maximale en fonction de la puissance de sortie pour différents PAs de l'état de l'art.....	164
Figure IV-46 : BEOL de 10 couches métalliques de la technologie CMOS 28nm FD-SOI.....	166
Figure IV-47 : Nombre de règles de conception à respecter en fonction du nœud technologique.....	167
Figure IV-48 : Schéma des transistors PD-SOI et FD-SOI.....	167
Figure IV-49 : Mesure des courbes de I_D en fonction de V_{DS} avec différentes valeurs de V_{GS} pour des transistors LVT en 28nm Bulk et en 28nm FD-SOI.....	168
Figure IV-50 : Mesures du H_{21} et du MSG/MAG pour les transistors LVT en 28nm Bulk et FD-SOI	169
Figure IV-51 : Dynamique de la tension de body pour des transistors nLVT et nRVT.....	169
Figure IV-52 : Topologie des structures amplificatrices intégrant la polarisation segmentée	170
Figure IV-53 : Influence des corners SSA et FFA sur une paire différentielle neutralisée.....	170
Figure IV-54 : Polarisation segmentée sur une technologie Bulk et une technologie (FD-)SOI	171
Figure IV-55 : Schéma électrique du PA 28nm FD-SOI	172
Figure IV-56 : Photographie du PA 28nm FD-SOI.....	172
Figure IV-57 : Vue 3D du splitter au niveau de l'étage de puissance.....	173
Figure IV-58 : Paramètres S simulés et mesurés du PA 28nm FD-SOI.....	174
Figure IV-59 : Comportement des paramètres S en fonction de la polarisation	174
Figure IV-60 : Mesures des performances en puissance à 60GHz du PA en 28nm FD-SOI.....	175
Figure IV-61 : Puissance consommée et PAE en fonction de la puissance de sortie P_{out}	175
Figure IV-62 : P_{SAT} , P_{-1dB} et PAE_{-1dB} suivant la fréquence pour le PA 28nm FD-SOI	176
Figure IV-63 : Performances du PA 28nm FD-SOI pour différentes tensions d'alimentation	177
Figure IV-64 : P_{SAT} et P_{-1dB} du PA 28nm FD-SOI pour différents V_{DD} de 57 GHz à 65 GHz.....	177
Figure IV-65 : PAE_{-1dB} du PA 28nm FD-SOI pour différents V_{DD} de 57GHz à 65GHz	178
Figure IV-66 : FoM_{lin} en fonction des nœuds technologiques	178
Figure Annexes-1 : Correction Open	192
Figure Annexes-2 : Correction Open-Short	193
Figure Annexes-3 : Correction Open-Thru	193
Figure Annexes-4 : Correction TRL	194

Liste des tableaux

Tableau I-1 : Pertes à 60GHz selon les obstacles.....	25
Tableau I-2 : Comparaison de performances de différents émetteur-récepteurs.....	35
Tableau I-3 : Débits de transmission du standard WiGig suivant la modulation et les contraintes en PAPR et EVM associées	45
Tableau I-4 : Résumé des performances des PAs à 60GHz	58
Tableau II-1 : Avantages et inconvénients des lignes coplanaires et microstrip.....	68
Tableau II-2 : Comparaison entre les formules de Hammer, une simulation EM et la mesure.....	71
Tableau II-3 : Comparaison des performances des lignes standards et à ondes lentes.....	80
Tableau III-1 : Avantages et inconvénients des différentes architectures	98
Tableau III-2 : Performances des montages source commune et cascode.....	99
Tableau III-3 : Condition de stabilité suivant les valeurs de K et Δ	110
Tableau III-4 : Comparaison avec l'état de l'art des PAs mode commun à 60GHz	120
Tableau III-5 : Comparaison avec l'état de l'art des PAs larges bandes à 60GHz	126
Tableau III-6 : Comparaison avec l'état de l'art des PAs à 60GHz	133
Tableau IV-1 : Paramètres physiques des transformateurs du PA 65nm	151
Tableau IV-2 : Performances du PA CMOS 65nm pour chaque canal WiGig ou WirelessHD.....	156
Tableau IV-3 : Performances du PA pour des configurations en classe A, classe AB et polarisation segmentée.....	160
Tableau IV-4 : Résumé des performances des PAs à 60GHz	164
Tableau IV-5 : Résumé des performances des PAs fiables à 60GHz.....	165
Tableau IV-6 : Paramètres physiques des transformateurs du PA en 28nm FD-SOI.....	173
Tableau IV-7: Performances du PA 28nm FD-SOI pour chaque canal WiGig ou WirelessHD.....	176
Tableau IV-8 : Comparaison du PA 60GHz 28nm FD-SOI avec l'état de l'art.....	179
Tableau Annexes-1 : Débits de données et modulations pour l'ECMA 387.....	186
Tableau Annexes-2 : Débits de données et modulations pour l'IEEE 802.15.3c.....	187
Tableau Annexes-3 : Débits de données et modulations pour le WirelessHD	188
Tableau Annexes-4 : Débits de données et modulations pour l'IEEE 802.11ad.....	189

Glossaire

<i>ACLR</i> :	Adjacent Channel Leakage Ratio
<i>ASK</i> :	Amplitude-Shift Keying
<i>AV</i> :	Audio/Visual
<i>BB</i> :	BaseBand
<i>BEOL</i> :	Back-End Of Line
<i>BPSK</i> :	Binary Phase-Shift Keying
<i>CAS</i> :	Cascode
<i>CMOS</i> :	Complementary Metal Oxide Semiconductor
<i>CMRR</i> :	Common Mode Rejection Ratio
<i>CPS</i> :	CoPlanar Strip
<i>CPW</i> :	Coplanar Wave Guide
<i>CPWG</i> :	Coplanar Wave Guide Grounded
<i>CS</i> :	Common Source
<i>CW</i> :	Carrier Wave
<i>DAC</i> :	Digital to Analog Converter
<i>DAT</i> :	Distributed Active Transformer
<i>DC</i> :	Direct Current
<i>DE</i> :	Drain Efficiency
<i>DRM</i> :	Design Rule Manual
<i>DUT</i> :	Device Under Test
<i>ESD</i> :	Décharge électrostatique
<i>EVM</i> :	Error Vector Magnitude
<i>FBB</i> :	Forward Body Bias
<i>FD</i> :	Fully Depleted
<i>FEOL</i> :	Front-End of Line
<i>FFA</i> :	Fast-Fast Analog
<i>FLANE</i> :	Fixed Local Area Network Extension
<i>FSh</i> :	Floating Shield
<i>GaAs</i> :	Arséniure de Gallium
<i>Gb/s</i> :	Gigabit par seconde
<i>GND</i> :	Ground – Masse
<i>GP</i> :	General Purpose
<i>HCI</i> :	Hot Carrier Injection
<i>HD3</i> :	Distorsion harmonique d'ordre 3
<i>HDMI</i> :	High-Definition Multimedia Interface
<i>HR</i> :	Haute résistivité
<i>HRP</i> :	High-Rate Physical

<i>HSI</i>	High Speed Interface
<i>HTCC</i>	High-Temperature Cofired Ceramic
<i>IEEE</i>	Institute of Electrical and Electronic Engineer
<i>IF</i>	Intermediate Frequency
<i>IIP3</i>	Point d'intersection d'ordre 3 en entrée
<i>IMD3</i>	Distorsions d'intermodulation d'ordre 3
<i>IMD5</i>	Distorsions d'intermodulation d'ordre 5
<i>InP</i>	Phosphure d'Indium
<i>ITRS</i>	International Technology Roadmap for Semiconductors
<i>LINC</i>	LInear amplification using Nonlinear Components
<i>LNA</i>	Low Noise Amplifier
<i>LO</i>	Local Oscillator
<i>LOS</i>	Line-Of-Sight
<i>LP</i>	Low Power
<i>LRP</i>	Low-Rate Physical
<i>LVT</i>	Low Voltage Threshold
<i>MAC</i>	Media Access Control (couche)
<i>MAG</i>	Maximum Available Gain
<i>MIM</i>	Metal-Insulator-Metal
<i>MOM</i>	Metal-Oxide-Metal
<i>MOS</i>	Metal Oxide Semiconductor
<i>MRP</i>	Medium-Rate Physical
<i>MS</i>	Microstrip
<i>MSG</i>	Maximum Stable Gain
<i>MSK</i>	Minimum-Shift Keying
<i>NF</i>	Noise Figure
<i>NLOS</i>	Non-Line-Of-Sight
<i>OBO</i>	Output Back-Off
<i>OFDM</i>	Orthogonal Frequency-Division Multiplexing
<i>OIP3</i>	Point d'intersection d'ordre 3 en sortie
<i>OOK</i>	On-Off Keying
<i>P_{-1dB}</i>	Puissance de sortie à 1dB de compression (aussi nommé <i>OCP_{-1dB}</i>)
<i>PA</i>	Power Amplifier
<i>PAE</i>	Power Added Efficiency
<i>PAPR</i>	Peak-to-Average Power Ratio
<i>PBO</i>	Peak Back-Off
<i>PCS</i>	Power Cell Switching
<i>PCT</i>	Parallel power-Combining Transformer
<i>PD</i>	Partially Depleted

<i>P_{dc}</i>	Puissance consommée en statique
<i>PGS</i>	Patterned Ground Shield
<i>PHY</i>	Physique (couche)
<i>PIRE</i>	Puissance Isotrope Rayonnée Equivalente
<i>PLL</i>	Phase-Locked Loop
<i>P_{out}</i>	Puissance de sortie
<i>P_{SAT}</i>	Puissance de saturation
<i>PSCT</i>	Parallel-Series power-Combining Transformer
<i>PSK</i>	Phase-Shift Keying
<i>QAM</i>	Modulation d'amplitude en quadrature
<i>QPSK</i>	Quadrature Phase-Shift Keying
<i>RBB</i>	Reverse Body Bias
<i>RF</i>	Radiofréquence
<i>RVT</i>	Regular Voltage Threshold
<i>SATA</i>	Serial Advanced Technology Attachment
<i>SC</i>	Single Carrier
<i>SCT</i>	Series power-Combining Transformer
<i>Si</i>	Silicium
<i>SiGe</i>	Silicium-Germanium
<i>SiO₂</i>	Dioxyde de silicium
<i>SiP</i>	System In Package
<i>SoC</i>	System On Chip
<i>SOI</i>	Silicon On Insulator – Silicium sur isolant
<i>SPCT</i>	Series-Parallel power-Combining Transformer
<i>SSA</i>	Slow-Slow Analog
<i>TDDB</i>	Time Dependent Dielectric Breakdown
<i>TE</i>	Transverse Electrique
<i>TEM</i>	Transverse Electro-Magnétique
<i>TM</i>	Transverse Magnétique
<i>TRL</i>	Thru Reflect Line
<i>VCO</i>	Voltage Controlled Oscillator
<i>VSWR</i>	Voltage Standing Wave Ratio
<i>WiFi</i>	Wireless Fidelity
<i>WiGig</i>	Wireless Gigabit Alliance
<i>WLAN</i>	Wireless Local Area Network
<i>WMAN</i>	Wireless Metropolitan Area Network
<i>WPAN</i>	Wireless Personal Area Network

Introduction générale

De nos jours, les débits de données des systèmes de communication sans fil sont limités à quelques centaines de Mbits/s à cause de l'encombrement spectral qui limite grandement leur bande passante. Du fait de la demande grandissante d'applications à très haut débit, notamment pour le remplacement du câble HDMI ou le transfert de vidéos HD, plusieurs standards ont été développés autour de 60GHz. Avec 9GHz de bande passante libre d'utilisation, ces fréquences sont parfaitement adaptées pour des transmissions de courte portée avec des débits supérieurs au Gbits/s.

Les premiers produits ont été développés en GaAs ou SiGe. Les capacités de production et d'intégration de ces technologies étant très réduites, les fabricants se sont naturellement tournés vers les technologies CMOS pour répondre à ces marchés de masse. Malheureusement, les transistors MOS souffrent d'une faible tension de claquage et d'un faible gain. La conception de l'amplificateur de puissance (PA) devient périlleuse. Celui-ci doit atteindre une haute puissance linéaire à cause des modulations requises par les standards tout en consommant le moins possible.

Ce manuscrit investigate les architectures de PAs qui garantissent à la fois une haute linéarité et une faible consommation. Au final, l'association de techniques de combinaison de puissance et de linéarisation avec la nouvelle technologie 28nm FD-SOI de STMicroelectronics permet d'aboutir à une structure efficace, linéaire et reconfigurable. Plusieurs circuits ont été fabriqués et testés afin de vérifier les idées avancées. Ces travaux ont été effectués dans le cadre d'une thèse CIFRE avec la société STMicroelectronics.

Le chapitre I rappelle le contexte des applications sans fil à haut débit en bande V et les difficultés de conception des circuits analogiques/RF à ces fréquences. Après la description des différents standards développés, l'intérêt d'optimiser les amplificateurs de puissance est expliqué à travers l'étude de plusieurs émetteur-récepteurs publiés dans la littérature. Un état de l'art des PAs est proposé afin de déterminer l'ensemble des verrous technologiques limitant les performances de ces circuits.

Le chapitre II expose les différents phénomènes parasites à hautes fréquences et leurs impacts sur les lignes de transmission, les plots RF, les capacités et les transformateurs intégrés. Des solutions sont proposées afin d'optimiser ces composants passifs qui seront par la suite implémentés dans des PAs. Les performances des lignes de transmission sont améliorées en utilisant le phénomène d'ondes lentes. Diverses structures sont explorées. Des plots RF blindés et non blindés sont également étudiés et leur utilisation est discutée suivant

la situation. Enfin, une analyse théorique est menée sur les transformateurs intégrés afin d'identifier les paramètres améliorant son efficacité.

Le chapitre III se concentre sur la conception de PAs à 60GHz. Dans un premier temps, la méthodologie de conception adoptée aux fréquences millimétriques est détaillée. Dans l'optique de sélectionner les topologies les plus intéressantes à 60GHz, trois amplificateurs élémentaires en technologie 65nm et 28nm Bulk sont décrits. Le premier circuit 65nm repose sur une architecture en mode commun avec des réseaux d'adaptation utilisant des lignes à ondes lentes. Le second PA 65nm est composé de transformateurs assurant la conversion mode commun – différentiel. Le dernier amplificateur élémentaire est conçu dans la technologie 28nm Bulk et est lui aussi constitué de transformateurs. Tous ces circuits sont mesurés et comparés à l'état de l'art.

Le chapitre IV se consacre à la conception de PAs hautement linéaires implémentés dans les technologies 65nm et 28nm FD-SOI. Suite à l'étude des techniques de linéarisation et de combinaison de puissance compatibles à 60GHz, l'architecture de chaque PA est détaillée. L'association d'un combineur de puissance et d'une technique de linéarisation permet de grandement améliorer les performances de ces PAs. Ils sont mesurés en petit-signal et large-signal puis comparés à l'état de l'art. Le premier amplificateur, développé en 65nm, atteint le plus haut facteur de mérite ITRS publié à ce jour en technologie silicium. Le dernier circuit est spécialement optimisé pour répondre aux contraintes exposées dans le premier chapitre. Il présente le meilleur compromis consommation/linéarité de la littérature. Ce manuscrit se conclura par la présentation de plusieurs perspectives de recherche.

Chapitre I

Communications sans fil à haut débit en bande V

1. SYSTEMES WPAN – WLAN A 60 GHZ	23
1.1. Applications visées	23
1.2. Bande de fréquences utilisées.....	24
1.3. Les standards à 60 GHz.....	26
1.3.1. Organisation des canaux	26
1.3.2. Modulations et techniques de codage	26
1.3.3. Les standards.....	27
2. EMETTEUR-RECEPTEURS EN TECHNOLOGIE CMOS A 60 GHZ	30
2.1. Intérêt des technologies CMOS	30
2.2. Emetteur-récepteurs à 60 GHz	31
2.3. Impact de l'amplificateur de puissance sur la consommation d'un émetteur-récepteur.....	36
3. LES AMPLIFICATEURS DE PUISSANCE.....	37
3.1. Paramètres principaux des PAs.....	37
3.1.1. Définition des gains en puissance.....	37
3.1.2. Le rendement	38
3.1.3. La linéarité	38
3.2. Classes de fonctionnement d'un amplificateur de puissance	39
3.2.1. Classes sinusoïdales	39
3.2.2. Classes commutées	41
3.3. Impact de la modulation du signal sur la linéarité de l'amplificateur	42
3.3.1. PAPR, OBO et EVM	42
3.3.2. Modulations utilisées dans les applications WiGig/WirelessHD et leurs impacts	45
3.4. Robustesse d'un amplificateur de puissance CMOS.....	46
3.4.1. Injection de porteurs chauds HCI	46
3.4.2. Claquage de l'oxyde de grille TDDB	47
3.4.3. Electro-migration	47
3.4.4. Plage de polarisations pour un fonctionnement fiable	47
3.4.5. Taux d'onde stationnaire (VSWR).....	48
3.5. Etat de l'art des amplificateurs de puissance millimétriques.....	48
3.5.1. Les amplificateurs millimétriques.....	49
3.5.2. Les PA-DACs.....	56
3.5.3. Tableau comparatif.....	58
3.5.4. Difficultés et verrous technologiques.....	59
4. CONCLUSION DU CHAPITRE	60

Ce premier chapitre rappellera tout d'abord le contexte de ce travail avec la demande croissante de dispositifs sans fil assurant le transfert de données numériques à des débits supérieurs au Gb/s. Les applications WPAN ou WLAN sont notamment visées. Le choix de la bande de fréquence autour de 60GHz et des modulations utilisées sera expliqué et les différents standards développés seront détaillés.

L'intérêt des technologies CMOS par rapport aux technologies SiGe et III-V sera ensuite démontré pour ces applications. Après cette analyse, différents émetteur-récepteurs CMOS seront présentés afin de mettre en évidence l'impact de l'amplificateur de puissance (PA) sur les performances du système complet, notamment vis-à-vis de la consommation. Après l'étude des différents paramètres caractérisant les PAs, un état de l'art des amplificateurs millimétriques CMOS sera établi afin de cerner l'ensemble des verrous technologiques limitant les performances de ce circuit. Différentes structures incluant des lignes de transmission, des transformateurs intégrés et des transistors empilés seront analysées avec attention.

Des solutions ou des alternatives aux problèmes exposés dans ce chapitre seront proposées dans les parties suivantes, aussi bien pour les composants passifs que pour les topologies de transistors ou l'architecture du PA.

1. Systèmes WPAN – WLAN à 60 GHz

1.1. Applications visées

Les applications concernant le transfert de données à haut débit ou le visionnage de vidéos en haute définition sont en plein essor. Plus précisément, des systèmes WPAN/WLAN, comme présenté sur la Figure I-1.a), sont de plus en plus sollicités pour des transferts de données à faible et fort débit dans des habitations ou des entreprises. Par exemple, l'accès à l'internet et le transfert de fichiers de petite taille correspondent à un besoin de faible vitesse de transmission. Le transfert de fichiers volumineux, le téléchargement ou le visionnage de vidéos non-compressées ainsi que le remplacement du câble HDMI/SATA pour une plus grande liberté de mouvement requièrent de plus forts débits, bien au-delà du Gb/s pour une portée aux alentours de 10m. Une liaison sans fil d'une plus longue portée est aussi envisageable afin d'établir un réseau local à très haut débit et travailler de manière similaire au WiFi.

D'autres applications sont également visées : le kiosque multimédia et le Backhauling à haut débit et courte portée. L'application de type kiosque multimédia permet à plusieurs utilisateurs de télécharger des données multimédia, tels que des fichiers audio et vidéo, depuis un kiosque public, avec une portée inférieure à 10m. Le Backhauling illustré sur la Figure I-1.b) établit une liaison Ethernet entre deux appareils fixes disposés sur deux immeubles proches (200-300m) où une connexion filaire semble difficile à utiliser. Cette liaison sans fil à très haut débit nécessite cependant des antennes très directives et des conditions de visibilité parfaite ou LOS (Line-of-sight) entre l'émetteur et le récepteur.

L'ensemble de ces applications peut être classé en trois catégories de réseaux : le WPAN pour une portée inférieure à 10m, le WLAN pour une portée comprise entre 10m et 100m et le FLANE (Fixed Local Area Network Extension) ou le WMAN (Wireless Metropolitan Area Network) avec une portée comprise entre 10 et 800m.

Dans le but de répondre à ces nouveaux marchés de masse, de nouveaux standards et normes ont été développés autour de 60GHz.



a) WPAN – WLAN

b) Backhauling à haut débit et courte portée

Figure I-1 : Applications visées à 60GHz

1.2. Bande de fréquences utilisées

D'après le théorème de Shannon-Hartley [SHA48] (I-1), la capacité C d'un canal de transmission dépend de la largeur de bande B en Hertz et du rapport signal sur bruit S/N .

$$C = B \times \log_2 \left(1 + \frac{S}{N} \right) \quad (\text{I-1})$$

L'amélioration du rapport signal sur bruit étant logarithmique, il est plus aisé d'augmenter la largeur de la bande passante pour accroître le débit de données.

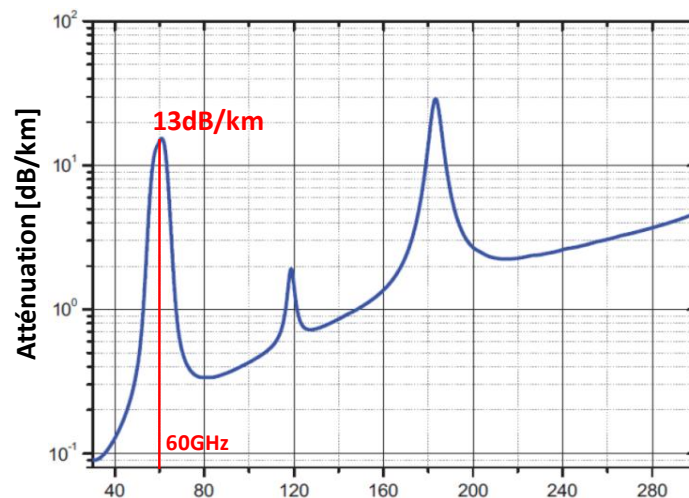


Figure I-2 : Absorption atmosphérique des ondes millimétriques au niveau de la mer [ITU01]

Les fréquences autour de 60GHz apparaissent tout indiquées. En effet, une très large bande de fréquences est libre d'une utilisation sans licence et peut être exploitée avec de hauts niveaux de puissance, favorisant ainsi la communication. Cette bande de fréquences présente de nombreuses propriétés particulièrement appropriées pour les applications de courte portée et d'intérieur. En effet, l'oxygène de l'air absorbe très bien les ondes millimétriques autour de 60GHz [OLV89] avec une atténuation de 13dB/km, comme le montre la Figure I-2.

De plus, les ondes à 60GHz sont fortement atténuées par les obstacles solides tels que les murs ou tout simplement les êtres humains. Le Tableau I-1 extrait de [SMU02] donne quelques valeurs de pertes d'insertion suivant l'obstacle.

Obstacle	Pertes [dB]
Mur en béton	>36
Corps humain	20
Plaque de plâtre	11
Contreplaqué	6

Tableau I-1 : Pertes à 60GHz selon les obstacles

Les pertes importantes à 60GHz limitent les transmissions à une seule pièce d'intérieur. Il est ainsi possible de réutiliser ces fréquences pour différentes pièces et d'optimiser les communications WPAN/WLAN.

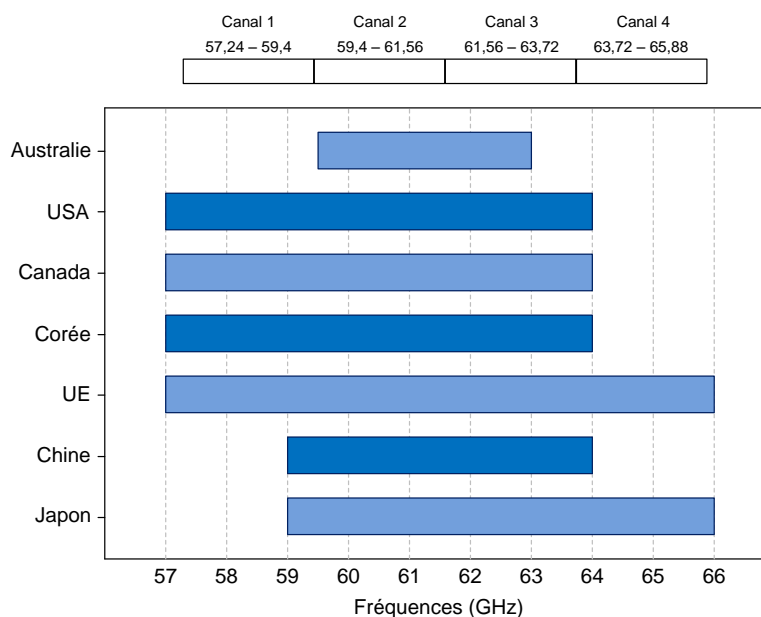


Figure I-3 : Allocations des bandes de fréquences autour de 60GHz

La bande passante disponible à 60GHz (Figure I-3) et les niveaux de puissance transmise autorisés (Figure I-4) dépendent des régions du monde. La puissance transmise est généralement exprimée en termes de Puissance Isotrope Rayonnée Equivalente (PIRE ou EIRP en anglais). Une bande de 7GHz est allouée de 57GHz à 64 GHz pour le Canada, les USA, la Corée du Sud et de 59GHz à 66GHz pour le Japon. L'Europe possède la plus large bande avec 9GHz, de 57GHz à 66GHz. La Chine et l'Australie se partagent les bandes les plus étroites avec respectivement 5GHz et 3,5GHz.

La PIRE maximale se situe aux alentours des 40dBm avec comme exception le Japon qui autorise jusqu'à 57dBm et la Corée du Sud qui limite l'émission à 27dBm.

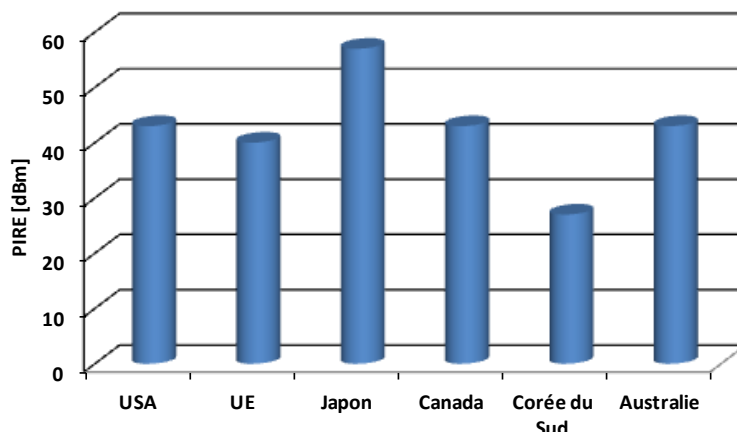


Figure I-4 : Niveau de PIRE maximum autorisé suivant les pays pour un usage d'intérieur

1.3. Les standards à 60 GHz

Plusieurs standards concurrents ont été créés dans cette bande de fréquence : l'ECMA 387/ISO-IEC 13156 [ECM10], l'IEEE 802.15.3c [IEE09], le WirelessHD [WHD10] et le IEEE 802.11ad [WGI10].

1.3.1. Organisation des canaux

Tous ces standards et normes opérant autour de 60GHz utilisent quatre canaux définis dans les 9GHz de bande passante (Figure I-5) à 57,24-59,4GHz, 59,4-61,56GHz, 61,56-63,72GHz et 63,72-65,88GHz. Chaque canal a une largeur de 2,16GHz afin d'assurer des transmissions à très haut débit. Seule l'Union Européenne couvre l'ensemble des quatre canaux.

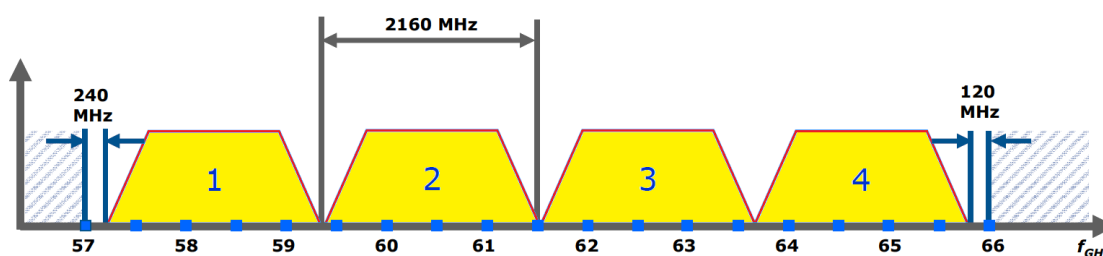


Figure I-5 : Canaux de fréquences

1.3.2. Modulations et techniques de codage

Les standards à 60GHz ont à disposition une large gamme de modulations suivant la situation : de la BPSK jusqu'à la 64-QAM. Les spécifications de ces standards définissent en outre deux techniques de codage : l'OFDM (Orthogonal Frequency-Division Multiplexing) et le SC (Single Carrier). Ces deux techniques emploient les modulations BPSK, QPSK et 16-QAM, comme le montre l'annexe A. A noter que la modulation 64-QAM est réservée à l'OFDM.

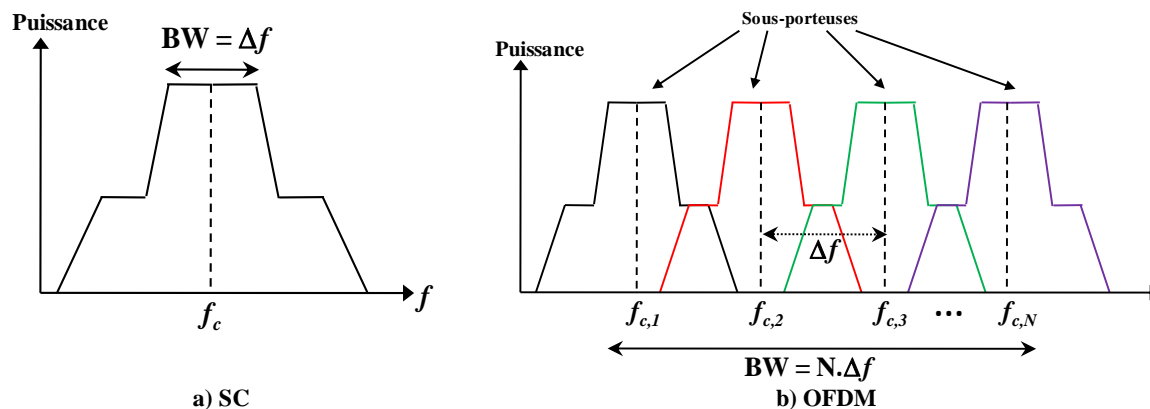


Figure I-6 : Techniques de codage

La technique Single Carrier :

La technique SC illustrée sur la Figure I-6.a) repose sur une seule fréquence porteuse f_c pour la transmission des signaux et est plutôt dédiée aux communications à moindre consommation énergétique. Il en découle une conception globalement plus simple de l'émetteur-récepteur.

La technique OFDM :

L'OFDM est une technique de codage des signaux numériques par répartition en fréquences orthogonales sous forme de multiples sous-porteuses. Le débit des données est étalé sur plusieurs canaux à faible débit, travaillant chacun à sa fréquence de sous-porteuse. Chacune de ces sous-porteuses est modulée de manière conventionnelle : PSK ou QAM. La notion d'orthogonalité signifie que la puissance émise maximale d'une sous-porteuse apparaît quand la puissance émise des autres est minimale (Figure I-6.b)). Les interférences entre les canaux sont ainsi éliminées.

Cette technique est particulièrement adaptée aux réseaux locaux WPAN/WLAN ou dans des zones denses. En effet, elle est robuste aux interférences inter-symboles ou à l'évanouissement temporaire du signal causé par la propagation multi-trajet et ne nécessite donc pas le recours à des algorithmes complexes. Elle perd toutefois de son intérêt sur des réseaux de transmission à plus grande échelle.

1.3.3. Les standards

ECMA 387/ISO-IEC 13156 :

Ce standard vise les applications WPAN tels que la diffusion en flux (« streaming » en anglais) ou les terminaux *Sync and Go*. Afin d'augmenter le débit de données, plusieurs canaux peuvent être utilisés simultanément. Les largeurs de canal possibles sont donc de 2,16GHz, 4,32GHz, 6,48GHz et 8,64GHz.

Trois types de systèmes peuvent fonctionner indépendamment, cohabiter et interagir dans la même zone. Les systèmes dits de type A fournissent les plus hautes performances avec une portée de 10m et intègrent la technique dite de « beamforming » afin d'assurer les

communications NLOS. Les systèmes de type B favorisent une plus faible consommation avec une communication point à point (LOS) à moins de 3m. Le type C, défini uniquement pour la première édition du standard, est le moins complexe et le moins consommateur d'énergie pour une portée de moins de 1m.

Chaque système défini précédemment peut utiliser différentes modulations PSK ou QAM en SC ou avec OFDM. Seul le type C travaille plutôt avec des modulations de type ASK ou OOK.

IEEE 802.15.3c :

S'orientant sur le WPAN, ce standard présente de nombreuses similitudes avec le standard ECMA 387. Toutefois, l'utilisation simultanée de plusieurs canaux n'est pas précisée.

Trois modes de fonctionnement sont définis afin de s'adresser à plusieurs applications. Le mode SC est plutôt destiné pour le téléchargement de fichier depuis des kiosques multimédia. Le second mode correspond à l'interface haute vitesse ou HSI (High Speed Interface) qui adresse l'implémentation de réseaux ad hoc nécessitant des liaisons bidirectionnelles avec peu de latence. Enfin, le mode AV (Audio/Visual) vise la diffusion en flux audio ou vidéo et est divisé en deux sous-modes : le mode faible débit LRP et le mode haut débit HRP.

Tous ces modes permettent, là aussi, l'utilisation de la technique « beamforming ». L'OFDM est utilisée pour les modes HSI et AV. Le SC fait appel à de nombreuses modulations (MSK, BPSK, QPSK, 8PSK, 16QAM, OOK) pour un débit maximal de 5,28Gb/s, tandis que le mode HSI s'appuie sur des modulations QPSK, 16QAM et 64QAM pour un débit maximal de 5,775Gb/s. Pour le mode AV, une modulation BPSK est suffisante pour le LRP. Le HRP emploie des modulations QPSK et 16QAM avec un débit maximal de 3,807Gb/s.

WirelessHD :

La spécification du WirelessHD adopte les mêmes canaux que les standards décrits précédemment et trois modes de fonctionnement : les modes haut débit HRP, débit moyen MRP et bas débit LRP. Seule la technique de codage OFDM est décrite dans le standard. Des modulations QPSK, 16QAM et 64QAM sont utilisées pour le HRP et MRP tandis que LRP est basé sur une modulation BPSK.

Les modes HRP et MRP permettent d'établir des transmissions jusqu'à 7Gb/s. Si l'ensemble des canaux sont utilisés, le débit de données peut atteindre jusqu'à 28Gb/s.

WiGig/IEEE 802.11ad :

Une des spécifications les plus pertinentes a été publiée par la Wireless Gigabit (WiGig) Alliance en 2010 [WGI10]. Elle a permis de poser les bases pour une extension aux fréquences millimétriques du standard IEEE 802.11, nommée l'IEEE 802.11ad.

Cette spécification est destinée à assurer une parfaite compatibilité avec les réseaux WiFi fonctionnant à 2,4GHz et à 5GHz. Les systèmes futurs prévoient en effet d'adopter des liaisons à 60GHz pour les communications dans une pièce avec des liaisons WiFi entre chaque pièce. Là aussi, le « beamforming » est supporté et les distances de communication peuvent dépasser les 10m. Trois modes de fonctionnement sont définis : deux utilisent des porteuses seules SC, avec un mode optimisé pour une faible consommation, tandis que la dernière est basée sur l'OFDM.

Le mode SC à faible consommation emploie des modulations de type BPSK et QPSK avec un débit maximal de 2,5Gb/s. Une modulation 16QAM permet d'atteindre 4,6Gb/s. Le mode OFDM fait usage de modulations QPSK, 16QAM et 64QAM afin d'approcher un débit de 7Gb/s.

2. Émetteur-récepteurs en technologie CMOS à 60 GHz

2.1. Intérêt des technologies CMOS

La majorité des blocs d'un émetteur-récepteur aux fréquences millimétriques a pu être intégrée avec succès sur un même substrat en technologie CMOS. L'amplificateur de puissance reste cependant un circuit difficile à implémenter à cause du peu de gain disponible par transistor, des faibles tensions de claquage et des modulations complexes requérant une haute linéarité et donc une forte consommation statique. Les technologies III-V, telles que le GaAs ou l'InP, sont très souvent utilisées à ces fréquences car elles fournissent de bien meilleures performances en puissance que la technologie CMOS. Par exemple, les transistors InP ont une fréquence de transition f_T et d'oscillation maximale f_{max} respectivement autour de 400GHz et de 1THz [LAI07]. La technologie silicium SiGe constitue une bonne alternative aux composants III-V (Figure I-7.a)). Néanmoins, ces technologies restent chères avec une capacité de production et une densité d'intégration bien moindre que le CMOS et ne sont pas adaptées à un marché de masse.

De plus, les performances des transistors MOS s'améliorent rapidement, notamment à cause de la très forte demande de produits CMOS intégrés. Avec la miniaturisation des transistors, les fréquences f_T et f_{max} n'ont de cesse d'être repoussées. L'ITRS (International Technology Roadmap for Semiconductors) prévoit que la fréquence de transition f_T des transistors MOS dépassera le téra-hertz aux alentours de 2019 (Figure I-7.b)).

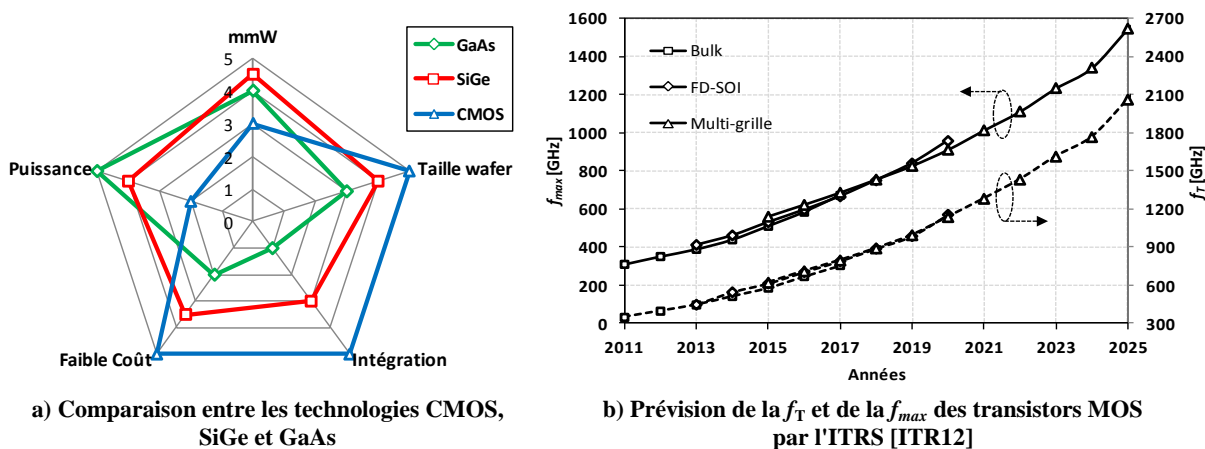


Figure I-7 : Performances des technologies CMOS

Les technologies CMOS étant particulièrement attractives pour les marchés de masse, l'objectif est, à terme, d'intégrer l'ensemble des fonctions d'un émetteur-récepteur sur une puce unique SoC, ou « System on Chip », afin de réduire les coûts de manière significative (Figure I-8).

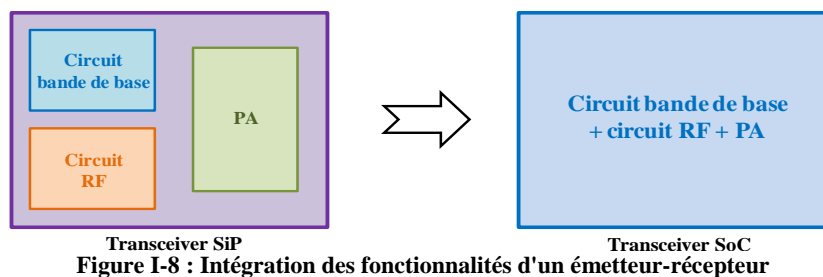


Figure I-8 : Intégration des fonctionnalités d'un émetteur-récepteur

2.2.Émetteur-récepteurs à 60 GHz

Les circuits d'émission et/ou de réception sont conçus en fonction des spécifications requises par les standards. Leurs performances et leurs coûts sont fortement dépendants de la technologie utilisée. La conception de ces systèmes nécessite la prise en compte simultanée de plusieurs facteurs de mérite tels que la linéarité du PA, le rapport signal sur bruit, le bruit de phase des oscillateurs locaux, etc. La réduction de la consommation reste néanmoins un des enjeux majeurs pour les applications portables.

Plusieurs architectures d'émetteur-récepteur à 60GHz ont été proposées dans la littérature et reposent principalement sur des structures homodynes et super-hétérodynes. Comme précisé dans les standards, ces circuits peuvent être associés à des techniques de « beamforming » afin de contrôler le rayonnement de l'antenne.

Quatre blocs principaux sont communs à ces architectures : le bloc analogique pour le traitement du signal en bande de base, la génération de fréquence, la conversion de fréquence, et l'amplification de puissance. Le bloc analogique convertit les données numériques I/Q en signaux analogiques continus à travers des convertisseurs numérique-analogique (DACs) et filtre ces signaux afin d'éliminer les fréquences non désirées. Ces signaux sont ensuite modulés sur une fréquence porteuse, fournie par l'oscillateur local (généralement une PLL associée à un cristal de quartz). Le signal modulé est enfin amplifié par le PA.

Émetteur-récepteurs super-hétérodynes :

Cette structure est la plus utilisée et est illustrée sur la Figure I-9.

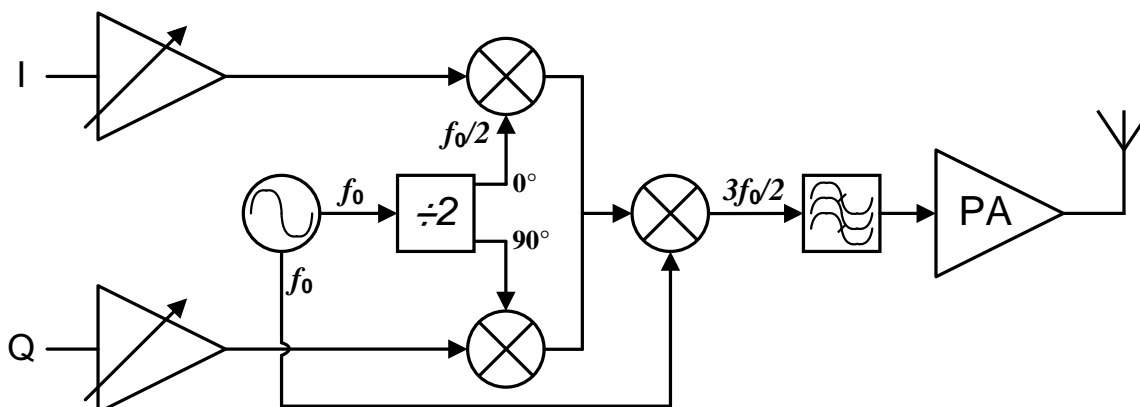


Figure I-9 : Architecture super-hétérodyne

Le signal en bande de base est translaté sur une fréquence intermédiaire IF puis sur la fréquence porteuse RF. Sur la Figure I-9, la fréquence IF est fixée à la moitié de la fréquence f_0 de l'oscillateur local LO. Un choix judicieux de f_0 permet de remonter à la fréquence RF désirée selon la formule $f_{RF} = 3f_0/2$. La fréquence générée par la LO étant bien plus basse que la fréquence RF, le circuit de synthèse de fréquences est plus facile à concevoir mais nécessite de nombreux filtres afin de rejeter les fréquences images.

Un exemple de ce type d'émetteur-récepteur en technologie 65nm [SIL11] est donné sur la Figure I-10. Cet émetteur-récepteur couvre la bande de fréquence de 57GHz à 66GHz et a été conçu suivant les spécifications du standard WirelessHD. Un pré-amplificateur robuste,

délivre une puissance de saturation de 13dBm pour une consommation de 154mW sous 1,8V. L'amplificateur faible bruit présente un gain paramétrable et un NF (Noise Figure) entre 4,5 et 5,5dB. Les mélangeurs IQ utilisent des cellules de Gilbert à charge variable.

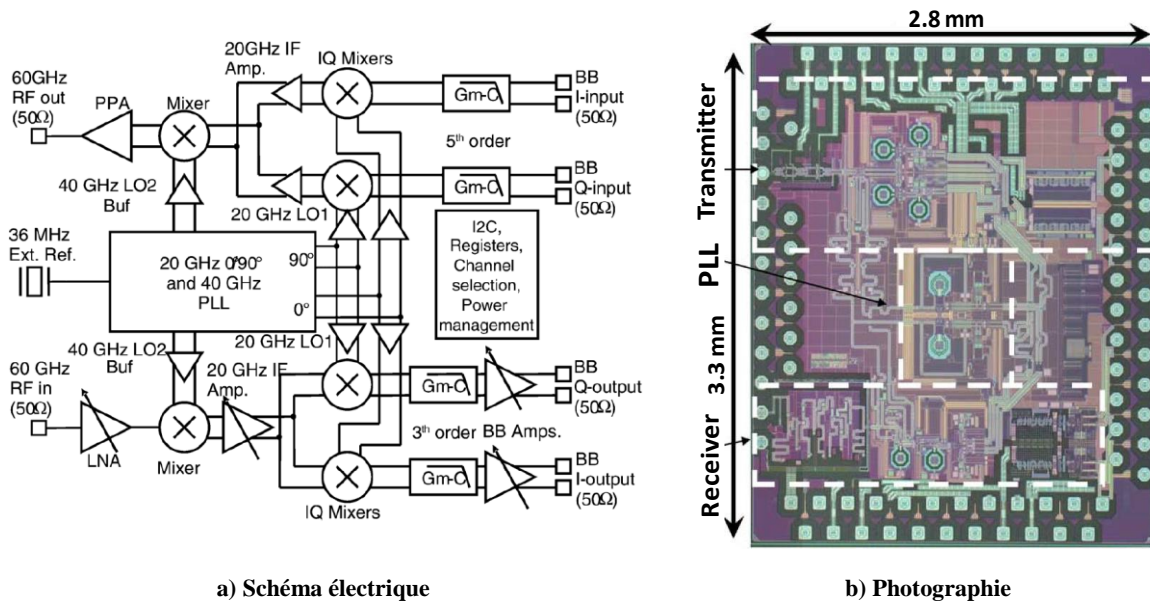


Figure I-10 : Transceiver à 60GHz [SIL11]

Un amplificateur externe montré sur la Figure I-11 permet d'atteindre une puissance de sortie de l'ordre de 16dBm et consomme un peu plus de 700mW. La synthèse de fréquence a un bruit de phase inférieur à -100dBc/Hz à 1MHz de la porteuse. L'émetteur-récepteur occupe une surface de 2,8x3,3mm².

Une solution SiP est choisie et l'émetteur-récepteur est implémenté sur un module HTCC (High-Temperature Cofired Ceramic). Deux antennes dipôles assurent l'émission et la réception des signaux. Un débit de 3,8Gb/s a été mesuré à 1m avec une modulation 16QAM-OFDM.

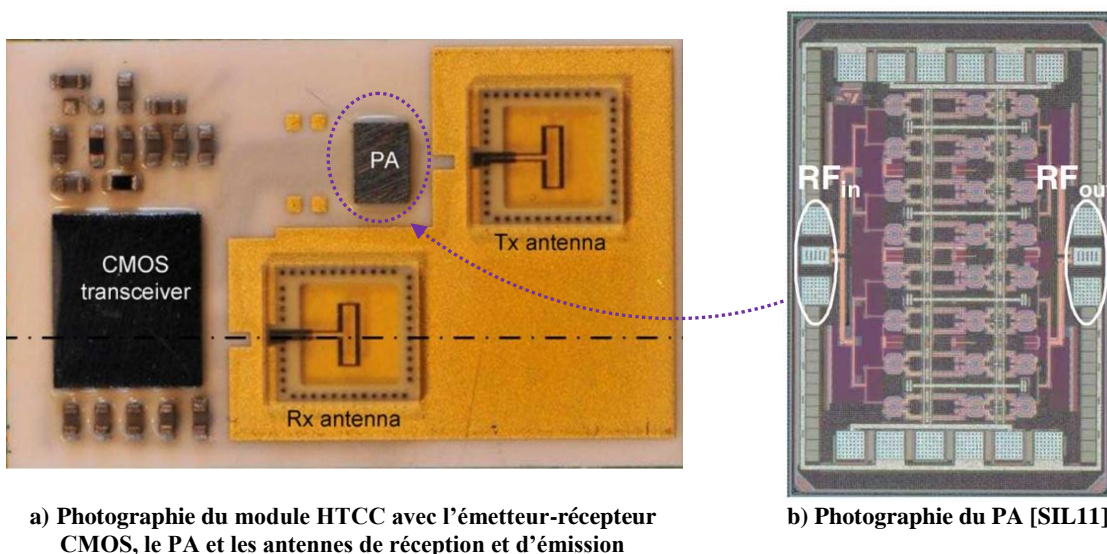
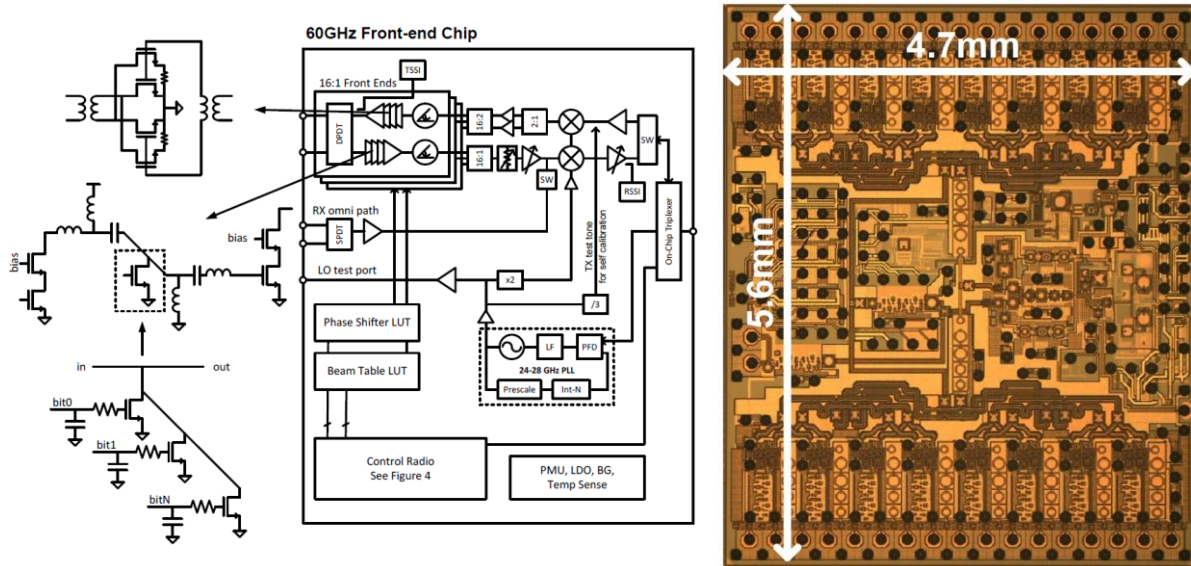


Figure I-11 : Photographie de l'émetteur-récepteur et du PA [SIL11]

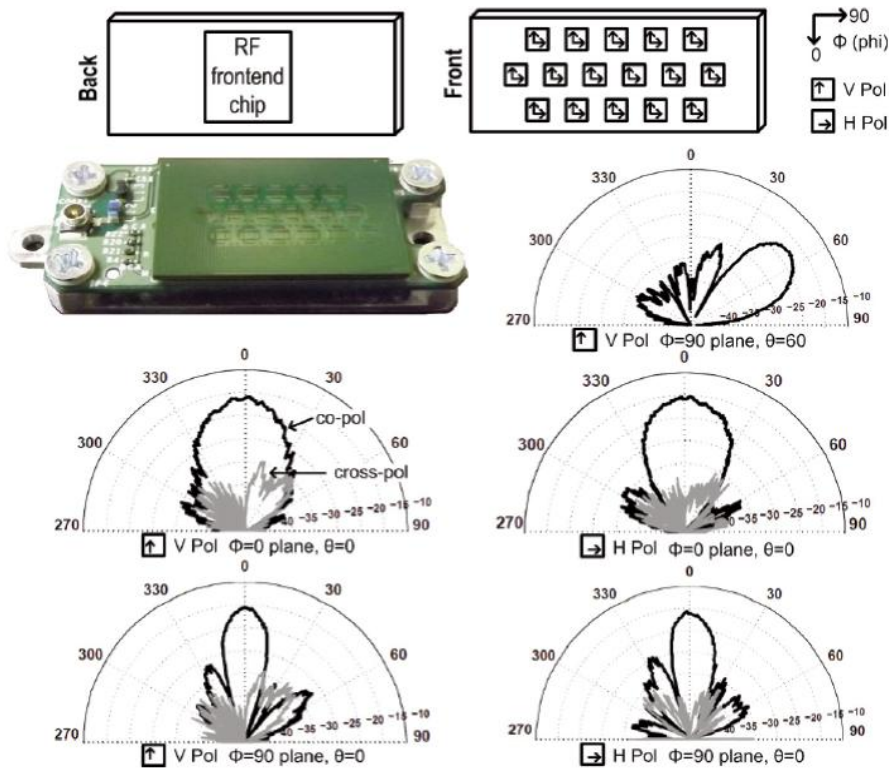
Un autre exemple de d'émetteur-récepteur super hétérodyne illustré sur la Figure I-12 [BOE14] intègre la technique « beamforming ».

Le circuit RF est composé de 16 PAs et LNAs de quatre étages précédés de déphaseurs. La puissance se recombine dans l'espace grâce à un réseau de 16 antennes patch à double polarisation. Chaque PA délivre une puissance de 8dBm et consomme 45mW. Chaque LNA présente un NF de 5,5dB avec un gain ajustable. Les déphaseurs permettent d'ajuster le diagramme de rayonnement du réseau d'antennes pour une couverture de $\pm 60^\circ$. Au final, la puissance consommée en transmission est de 1190mW dont 720mW pour les 16 PAs. Un débit de plus de 4,6Gb/s est atteint à 10m avec une modulation 64QAM-OFDM. Pour une distance de 20m, le débit transmit est encore de 3Gb/s.



a) Schéma électrique du frontal RF

b) Photographie du frontal RF



c) Beamforming

Figure I-12 : Emetteur-récepteur avec beamforming [BOE14]

Émetteur-récepteurs homodynes :

Le signal en bande de base étant directement modulé à la fréquence RF, l'architecture à conversion directe ou homodyne (Figure I-13) supprime le problème des fréquences images et ne requiert donc pas de filtrage. La quadrature de phase doit néanmoins être précise afin de parfaitement rejeter la fréquence image.

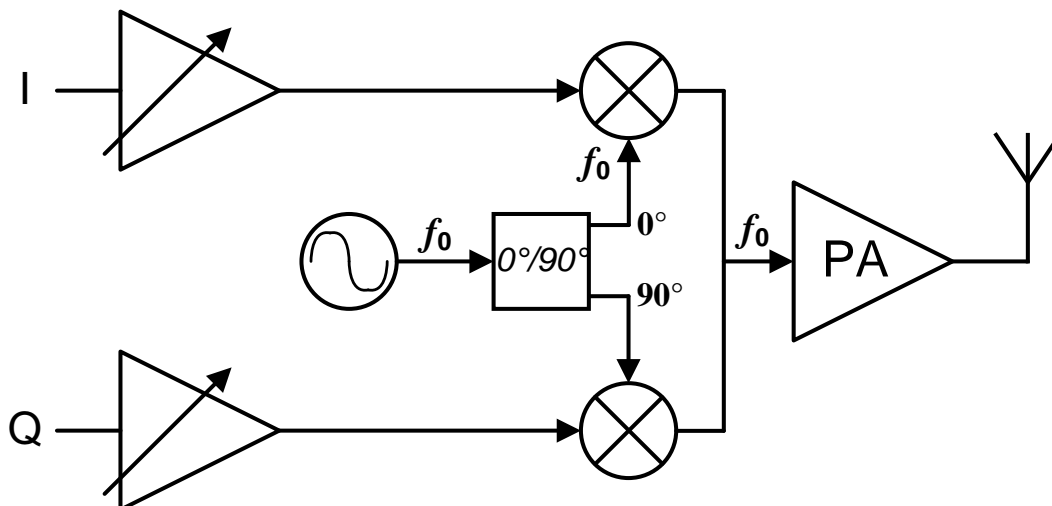


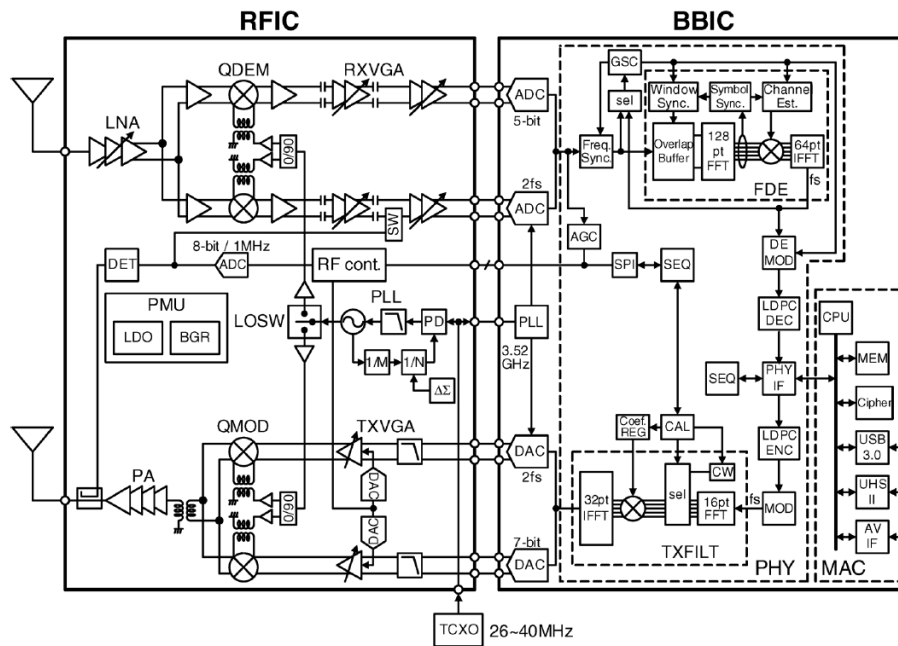
Figure I-13 : Architecture homodyne

Un des problèmes récurrent de cette structure concerne le phénomène de pulling du VCO [RAZ04]. Le VCO et la sortie du PA fonctionnent à des fréquences proches et peuvent se coupler via le substrat. La puissance en sortie de l'amplificateur étant bien plus importante que celle de l'oscillateur, ce dernier se retrouve décalé en fréquence. Ces deux blocs ne doivent donc pas se trouver à proximité bien qu'il soit quasiment impossible d'éliminer complètement ce couplage. Une solution complémentaire est de synthétiser une horloge qui soit un multiple de la fréquence LO désirée. Il est en effet beaucoup plus difficile de décaler un VCO sur une fréquence multiple de la fréquence de pulling.

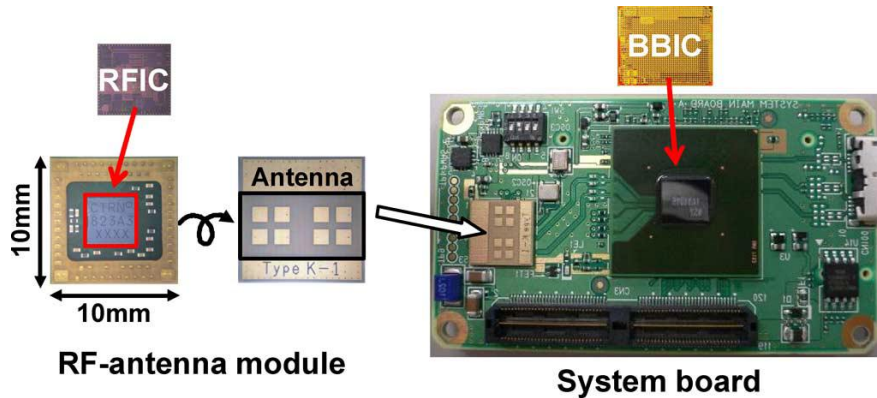
Un exemple d'émetteur-récepteur homodyne pour le standard WiGig est donné sur la Figure I-14 [SAI13]. Le circuit RF est implémenté en CMOS 90nm tandis que le circuit bande de base BB est en CMOS 40nm. Ce chipset a été conçu pour des modulations sur simple porteuse SC afin de réduire la consommation. Le système utilise en outre un système d'auto-calibration pour compenser les variations d'amplitude en émission et en réception.

La partie transmission du circuit RF est composée d'un PA à quatre étages, de modulateurs en quadrature QMOD et d'amplificateurs à gain variable TXVGA. Une partie du signal émis est récupérée à travers un coupleur 10dB, puis analysée pour un meilleur contrôle du PA. Ce dernier délivre entre 6 et 8dBm de puissance sur les quatre canaux. La partie réception est composée d'un LNA à quatre étages, d'un démodulateur en quadrature et d'amplificateurs à gain variable RXVGA. Le VCO présente un bruit de phase d'environ -93dBc/Hz à 1MHz de la porteuse. Le circuit BB est relié au circuit RF à travers des signaux analogiques IQ et des signaux de contrôle numérique. Il inclut les couches MAC et PHY ainsi que des HSI.

Les circuits RF et BB consomment en transmission respectivement 347mW (dont 162mW pour le PA) et 441mW pour un débit d'environ 1,5Gb/s à 1m.



a) Schéma électrique



b) Photographie

Figure I-14 : Emetteur-récepteur homodyne [SAI13]

Le Tableau I-2 résume les performances de plusieurs émetteur-récepteurs de l'état de l'art. Le débit, la portée et la consommation constituent les paramètres fondamentaux. Le plus haut débit est atteint dans [OKA14] avec 28,16Gb/s sur une distance de 40cm en utilisant une antenne cornet de 14dBi. Les systèmes [EMA11] et [BOE14] assurent respectivement des débits de 3,8Gbps et 3Gbps sur une distance de 10m NLOS et 20m.

	[SIL11]	[BOE14]	[OKA14]	[EMA11]	[SAI13]	[SAI14]	[VID13]
Architecture	Super-hétérodyne	Super-hétérodyne	Homodyne	Super-hétérodyne	Homodyne	Super-hétérodyne	Homodyne
Technologie	CMOS 65nm	CMOS 40nm	CMOS 65nm	CMOS 65nm	CMOS 90nm	CMOS 65nm	CMOS 40nm
OFDM	Oui	Oui	Oui	Oui	Non	Oui	Oui
Beamforming	Non	Oui	Non	Oui	Non	Non	Non
Modulation	16QAM	QPSK 16QAM 64QAM	QPSK 16QAM 64QAM	16QAM	QPSK	QPSK	QPSK 16QAM
Distance [m]	1	10 (20)	0,4	10 (NLOS)	0,4	0,04	0,7
Débit [Gb/s]	3,8	4,6 (3)	28,16	3,8	1,8	2,0	7
Consommation en transmission [mW]	1090	1190	251	1800	788	581	584

Tableau I-2 : Comparaison de performances de différents émetteur-récepteurs

2.3. Impact de l'amplificateur de puissance sur la consommation d'un émetteur-récepteur

La Figure I-15 montre la consommation de plusieurs émetteur-récepteurs. L'amplificateur de puissance représente à lui seul entre 30% et 60% de la puissance dissipée. Dans le cas de [SIL11], un PA externe en technologie CMOS fournit la puissance nécessaire. Un réseau de 16 PAs avec une recombinaison spatiale assure l'opération d'amplification dans [BOE14]. Les circuits [OKA11], [OKA14] et [SAI13] intègrent des amplificateurs délivrant une puissance moindre et sont plutôt destinés à des transmissions sur une très courte portée (moins de 1m).

Cette forte consommation de puissance statique s'explique par les contraintes imposées par les modulations des standards et est en contradiction avec la volonté des industriels de concevoir des circuits pour les applications portables. La réduction de la consommation constitue, à l'heure actuelle, un enjeu majeur donnant naissance à un grand nombre de publications sur les PAs millimétriques.

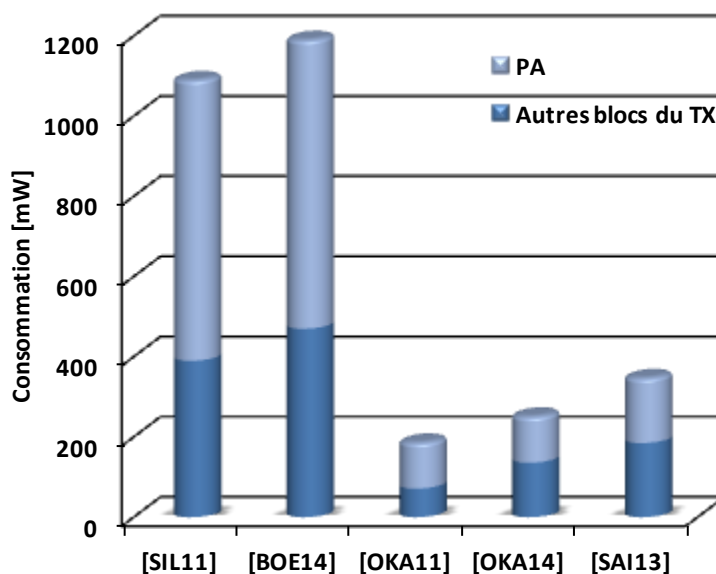


Figure I-15 : Consommation d'un PA par rapport aux autres circuits durant la phase d'émission

3. Les amplificateurs de puissance

3.1. Paramètres principaux des PAs

La conception d'un amplificateur de puissance nécessite la prise en compte de plusieurs paramètres caractérisant le fonctionnement du circuit. Ceux-ci servent de facteurs de mérite et permettront de situer les performances des circuits développés dans l'état de l'art. On y trouve notamment la puissance saturée, la linéarité, le rendement, le gain, la stabilité, la bande passante et la surface occupée.

En partant du schéma-bloc de la Figure I-16, ces différents paramètres peuvent être retrouvés.

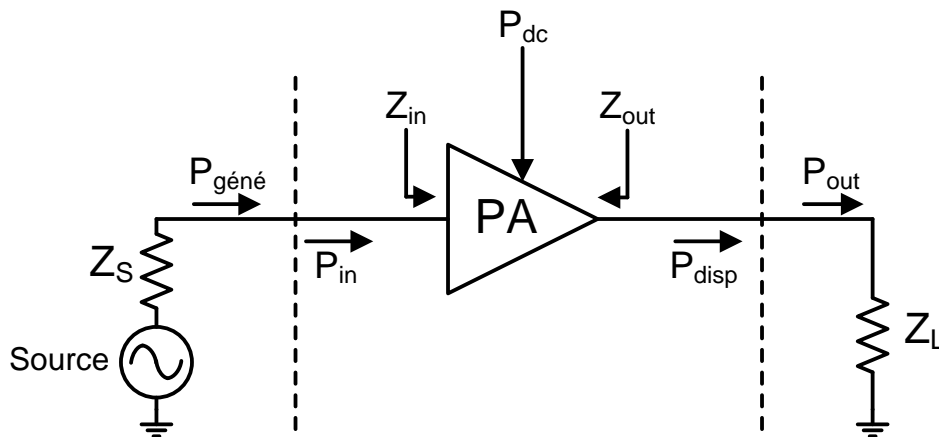


Figure I-16 : Bilan de puissance d'un PA

Avec :

P_{in} et P_{out} : Puissance d'entrée du PA et puissance délivrée à la charge

Z_{in} et Z_{out} : Impédances d'entrée et de sortie du PA

Z_S : Impédance interne du générateur (généralement 50Ω)

Z_L : Impédance de la charge en sortie du PA

3.1.1. Définition des gains en puissance

Le gain en puissance correspond au facteur d'amplification d'un signal d'entrée sur la charge en sortie du PA. Les désadaptations d'impédance en entrée et sortie de l'amplificateur amènent à définir plusieurs types de gain (des compléments sont donnés en annexe B) :

- Le gain en puissance opérant G_P défini par l'équation (I-2) :

$$G_P = \frac{P_{out}}{P_{in}} \quad (\text{I-2})$$

- Le gain en puissance disponible G_{disp} défini par l'équation (I-3) :

$$G_{disp} = \frac{P_{disp}}{P_{géné}} \quad (\text{I-3})$$

où $P_{géné}$ la puissance maximale disponible au générateur

- Le gain transducique G_{tr} défini par l'équation (I-4) :

$$G_{tr} = \frac{P_{out}}{P_{géné}} \quad (I-4)$$

Le gain transducique permet de prendre en compte les désadaptations en entrée et en sortie du PA. Les autres gains sont plutôt utilisés pour évaluer la stabilité et les pertes des réseaux d'adaptation lors d'analyses petits-signaux.

3.1.2. Le rendement

L'autonomie limitée des terminaux mobiles requiert des amplificateurs de puissance ayant le maximum d'efficacité et consommant le moins possible à leur puissance moyenne de fonctionnement. C'est pourquoi le paramètre de rendement est primordial dès lors que l'on conçoit un PA pour ces applications. Deux définitions de rendement existent : le rendement de drain (η_d ou DE) (I-5) et le rendement en puissance ajoutée (I-6).

$$\eta_d = DE = \frac{P_{out}}{P_{dc}} \quad (I-5)$$

$$PAE = \frac{P_{out} - P_{géné}}{P_{dc}} \quad (I-6)$$

Le rendement de drain est surtout utilisé dans le cadre des amplificateurs commutés.

3.1.3. La linéarité

La linéarité transcrit la capacité d'un PA à amplifier un signal d'entrée avec un minimum de distorsions. Ce paramètre impose un compromis vis-à-vis du rendement.

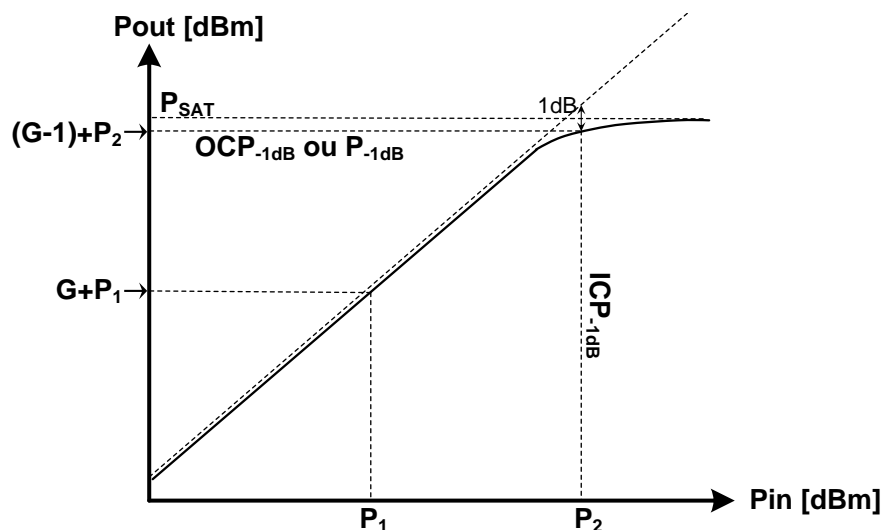


Figure I-17 : P_{out} en fonction de P_{in} pour un signal CW

La première étape de conception d'un amplificateur consiste à appliquer un signal sinusoïdal CW (Carrier Wave) en entrée tout en effectuant un balayage en puissance (P_{in}) comme montré sur Figure I-17. Dans un fonctionnement linéaire, la puissance de sortie est proportionnelle à celle d'entrée d'un facteur G : $P_{out} = G \times P_{in}$ (ou $P_{out}(\text{dBm}) = G(\text{dB}) +$

P_{in} (dBm)). Le fonctionnement non-linéaire apparaît lorsque le gain G commence à décroître. La zone où le gain chute de 1dB par rapport au gain linéaire est connue sous le nom de point de compression à -1dB et est noté sous la forme P_{-1dB} ou OCP_{-1dB} pour la puissance en sortie du PA et ICP_{-1dB} en entrée.

Ces non-linéarités d'amplitude peuvent également être désignées par le terme de conversion de gain AM/AM (Figure I-18.a)). En traçant la phase du signal de sortie en fonction de la puissance d'entrée, une deuxième caractéristique de non-linéarité de l'amplificateur est mise en évidence : la conversion amplitude-phase AM/PM (Figure I-18.b)). Les non-linéarités créent une déformation du signal qui se répercute sur l'EVM (Error Vector Magnitude) et l'ACLR (Adjacent Channel Leakage Ratio), paramètres utilisés dans le cadre de signaux à modulation complexe.

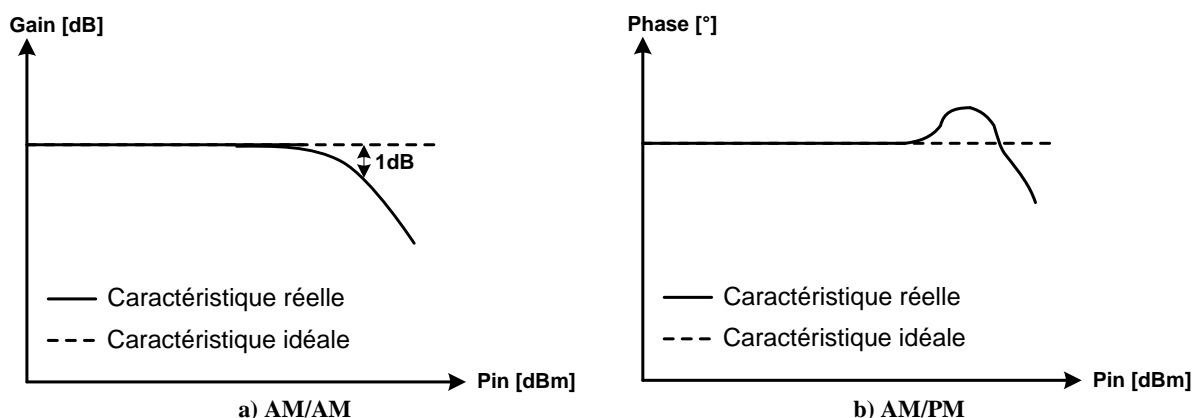


Figure I-18 : Conversions AM/AM et AM/PM

3.2. Classes de fonctionnement d'un amplificateur de puissance

Les PAs sont identifiés par des classes de fonctionnement qui dépendent de la relation entre le signal d'entrée et le signal de sortie. Deux familles se distinguent : les classes sinusoïdales A, B, AB et C, et les classes commutées D, E et F (de nombreuses classes commutées existent mais seules les classes D, E et F seront ici analysées). Ces classes de fonctionnement se différencient à la fois par la polarisation appliquée au transistor et par les circuits d'adaptation traitant les harmoniques des signaux.

3.2.1. Classes sinusoïdales

Les classes sinusoïdales montrées sur la Figure I-19 sont adaptées pour les amplificateurs requérant une grande linéarité. Le transistor se comporte comme une source de courant et la puissance de sortie est proportionnelle à la puissance d'entrée.

Classe A :

Les transistors d'un PA en classe A conduisent en permanence. Le point de repos est positionné au milieu de la droite de charge. Par conséquent, la puissance de sortie ou la

linéarité sont maximales si l'impédance de charge est judicieusement choisie. Le rendement η_{Classe_A} théorique n'excède pas les 50% comme le justifie l'équation (I-7).

$$\eta_{Classe_A} = \frac{P_{out,classe_A}}{P_{dc}} = \frac{\frac{1}{4}(V_{DD} - V_{coude})I_{max}}{\frac{1}{2}V_{DD}I_{max}} \approx 50\% \quad (I-7)$$

avec V_{DD} : tension d'alimentation, V_{coude} : tension de coude, I_{max} : courant max de drain

Classe B :

Le point de repos d'un PA en classe B est choisi au niveau de la tension de seuil des transistors. Le courant de drain circule durant, à peu près, la moitié d'un cycle (à la tension de seuil près). Cette configuration, souvent utilisée dans les structures push-pull, présente un rendement théorique de 78,5% (I-8)

$$\eta_{Classe_B} = \frac{P_{out,classe_B}}{P_{dc}} = \frac{\frac{1}{4}(V_{DD} - V_{coude})I_{max}}{\frac{\pi}{V_{DD}I_{max}}} \approx 78,5\% \quad (I-8)$$

Classe AB :

La classe de fonctionnement AB se situe entre les classes A et B (I-9). Le point de repos est localisé entre le centre de la droite de charge et la tension maximale V_{max} . Cette classe constitue un compromis intéressant en termes de consommation et de linéarité avec une bonne flexibilité au niveau de ses performances. Le rendement théorique est compris entre 50% et 78,5%.

$$\eta_{Classe_AB} = \frac{P_{out,classe_AB}}{P_{dc}} = \frac{1}{2} \frac{V_{DD} - V_{coude}}{V_{DD}} \frac{\theta - \sin \theta}{2 \sin(\theta/2) - \theta \cos(\theta/2)} \quad (I-9)$$

avec l'angle de conduction θ compris entre π (classe B) et 2π (classe A)

Class C :

Le point de repos d'un PA en classe C est choisi en deçà de la tension de seuil des transistors. L'angle de conduction θ de ce type d'amplificateur est inférieur à π . Le rendement de drain est alors supérieur à 78,5%.

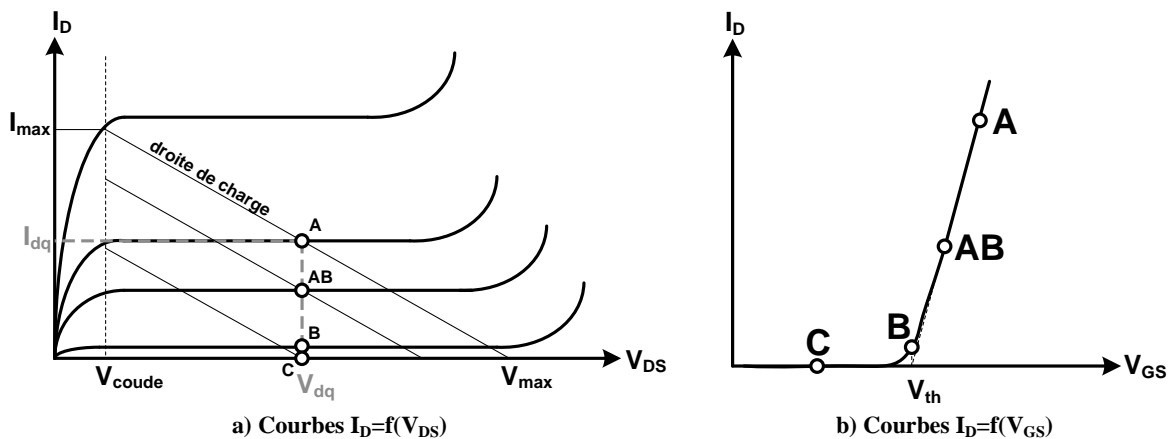


Figure I-19 : Classes de fonctionnement sinusoïdales

3.2.2. Classes commutées

Les classes de fonctionnement commutées permettent d'optimiser le rendement avec des transistors de puissance utilisés comme des interrupteurs et comportent notamment les classes D, E et F. Elles sont privilégiées pour l'amplification à enveloppe constante pour laquelle aucune contrainte en linéarité ne se pose.

Classe D :

L'amplificateur en classe D est composé de deux transistors conduisant alternativement afin de minimiser la puissance consommée. Des résonateurs LC sont associés à ces interrupteurs afin de retrouver la fréquence fondamentale sur la charge et éliminer les harmoniques. Etant donné que les formes d'onde du courant et de la tension de sortie ne se chevauchent pas, un rendement théorique de 100% peut être atteint (I-10).

$$\eta_{classe_D} = \frac{P_{out,classe_D}}{P_{dc}} \approx \frac{\frac{1}{\pi} V_{DD} I_{max}}{\frac{1}{\pi} V_{DD} I_{max}} = 100\% \quad (I-10)$$

Cette classe n'est fonctionnelle qu'à très basse fréquence lorsque l'impact de la capacité parasite de drain des transistors est négligeable. En effet, outre le fait que la puissance dissipée lors de la charge de cette capacité augmente avec la fréquence, les formes d'onde sont lissées et un chevauchement entre le courant et la tension de drain apparaît.

Classe E :

Un PA en classe E a l'avantage d'absorber la capacité parasite de drain à travers son réseau d'adaptation en sortie [SOK75]. Quand le transistor (utilisé en l'interrupteur) est éteint, aucun courant ne circule et une tension est présente en sortie de l'amplificateur. L'interrupteur commence à conduire un instant après l'annulation de la tension de drain. Le chevauchement des formes d'onde du courant et de la tension ainsi que les pertes de charge dans les capacités parasites sont évités. Le PA peut donc fonctionner à de plus hautes fréquences et présente un rendement théorique de 100%. Un résonateur LC est généralement utilisé afin que l'impédance de charge soit uniquement vue à la fréquence fondamentale. Seule la capacité parasite de drain est vue pour les autres harmoniques.

Classe F :

L'amplificateur en classe F est polarisé comme un circuit en classe B. Le réseau d'adaptation en sortie est constitué de résonateurs afin de récupérer les harmoniques impaires et générer une tension de sortie carrée. Ces résonateurs doivent être placés en série afin de présenter un circuit ouvert au transistor pour les harmoniques impaires et absorber les harmoniques paires. La zone de chevauchement entre la tension et le courant de drain est ainsi réduite et le rendement peut être amélioré bien au-delà de 78,5% avec un maximum théorique à 100%. Toutefois, le rendement se dégrade facilement à cause de la capacité parasite de drain et les nombreux filtres requis introduisent d'importantes pertes d'insertion.

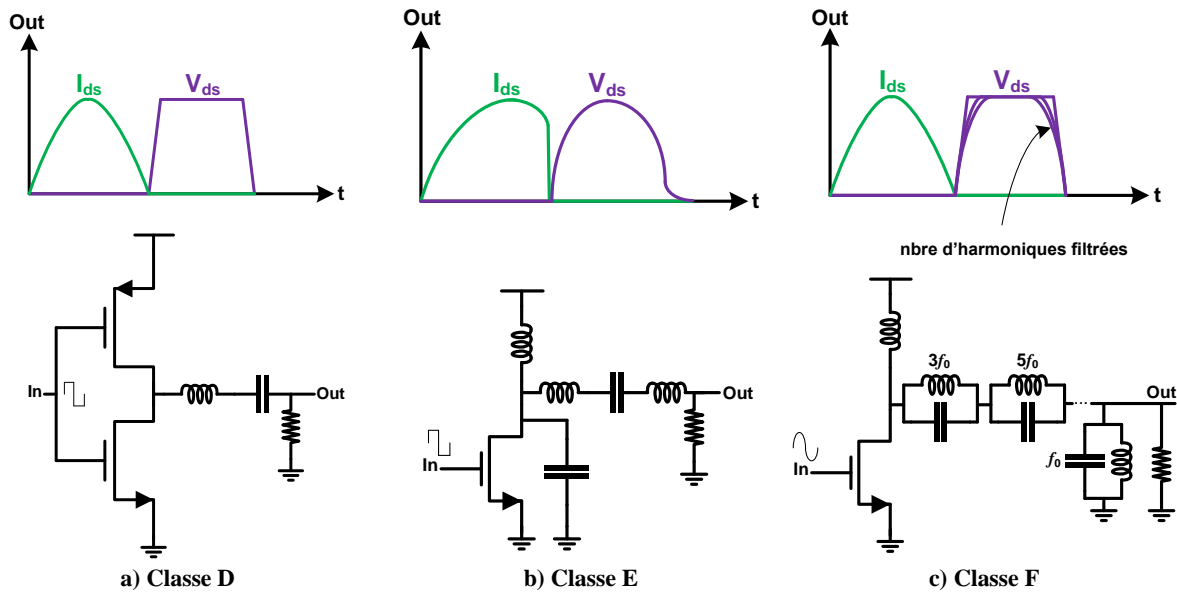


Figure I-20 : Amplificateurs à classe commutée

3.3. Impact de la modulation du signal sur la linéarité de l'amplificateur

3.3.1. PAPR, OBO et EVM

Les modulations utilisées par les standards WiGig et WirelessHD reposent sur une approche multi-porteuse de type OFDM afin d'améliorer les débits de transmission. Dans ce contexte, la puissance d'entrée instantanée P_{in} appliquée au PA varie dans le temps. Quatre paramètres définissent les contraintes en linéarité des signaux modulés : le PAPR (Peak to Average Power Ratio), l'OBO (Output Back-Off), l'EVM (Error Vector Magnitude) et l'ACLR (Adjacent Channel Leakage Ratio).

Le PAPR :

Le signal temporel $S(t)$ résultant de la technique OFDM est à enveloppe non constante. Afin de quantifier les variations de l'enveloppe du signal, le PAPR est défini comme le rapport entre la puissance maximale P_{max} et la puissance moyenne P_{moyen} du signal pendant un intervalle de temps (I-11).

$$PAPR = \frac{P_{max}}{P_{moyen}} = \frac{\max_{[0,T]} |S(t)|^2}{\frac{1}{T} \int_0^T |S(t)|^2 dt} \quad (I-11)$$

Avec $S(t)$ le signal OFDM résultant de la somme de plusieurs porteuses :

$$S(t) = A \sum_{k=-\infty}^{\infty} \sum_{i=0}^{N-1} x_{i,k} \cdot \omega(t - kT) e^{j2\pi\Delta f(t-kT)} \quad (I-12)$$

$\omega(t - kT)$: la fonction de fenêtrage

- N : le nombre de canaux
 $x_{i,k}$: le symbole d'une sous-porteuse i au temps k
 Δf : la distance entre deux porteuses
 A : l'amplitude

L'OBO :

Le recul de puissance de sortie OBO est défini comme le rapport entre la puissance maximale que peut fournir le PA (P_{SAT}) et la puissance de sortie moyenne du signal modulé (P_{moyen}).

$$OBO(dB) = 10 \log \left(\frac{P_{SAT}}{P_{moyen}} \right) \quad (I-13)$$

La puissance de sortie maximale PBO (Peak Back-Off) est utilisée pour définir la différence entre P_{SAT} et la puissance maximale instantanée, soit la marge à prendre par rapport à P_{SAT} (Figure I-21).

$$PBO(dB) = OBO(dB) - PAPR(dB) \quad (I-14)$$

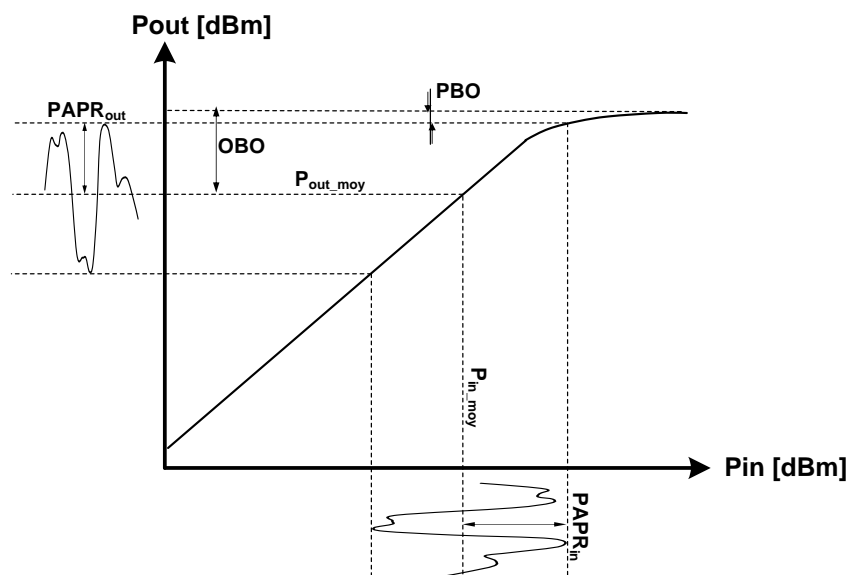


Figure I-21 : Puissance de sortie en fonction de la puissance d'entrée avec un signal modulé

Le PAPR, l'OBO et la linéarité sont directement liés. En effet, pour un PAPR élevé, un large OBO est nécessaire pour assurer une bonne linéarité, mais le rendement du PA est faible. Les standards à 60GHz utilisant la technique OFDM, le compromis linéarité/rendement (consommation) est donc très contraignant.

L'EVM :

L'EVM caractérise la performance d'une chaîne de transmission lorsqu'une modulation numérique est utilisée. Ce paramètre est défini comme la distance entre le symbole voulu dans la constellation et le symbole mesuré (I-15) (Figure I-22) et s'exprime en pourcentage (%) ou

en dB. Il a donc pour but de déterminer la distorsion du signal mesuré et s'effectue en bande de base dans le plan (I, Q). Dans le cas d'un amplificateur, la mesure de l'EVM est basée sur la comparaison entre un signal amplifié idéalement et le signal en sortie du PA réel.

$$EVM_{RMS} = \sqrt{\frac{\frac{1}{N} \sum_{k=1}^N |S_{Ideal,k} - S_{Simulé,k}|^2}{\frac{1}{N} \sum_{k=1}^N |S_{Ideal,k}|^2}} \quad (I-15)$$

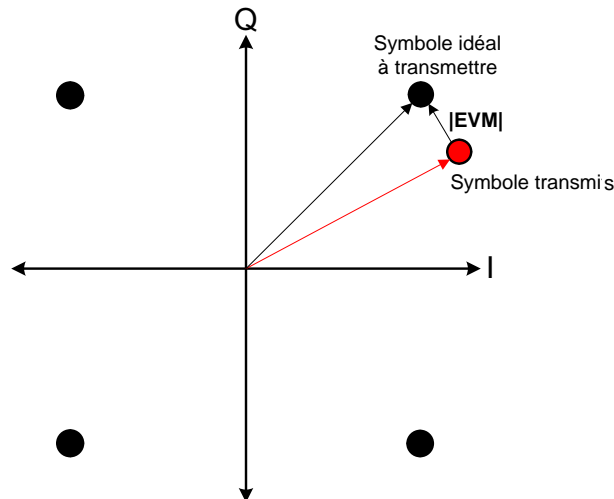


Figure I-22 : Définition de l'EVM

L'ACLR :

L'ACLR mesure la quantité de signal générée dans les bandes de fréquences adjacentes à la bande utile à cause des non-linéarités de l'amplificateur et principalement dues aux produits d'intermodulation. Ce paramètre défini par l'équation (I-16) correspond à la différence, en dB, entre le niveau de puissance de la bande utile B_0 et le niveau de puissance dans la bande adjacente B_1 ou B_2 (Figure I-23).

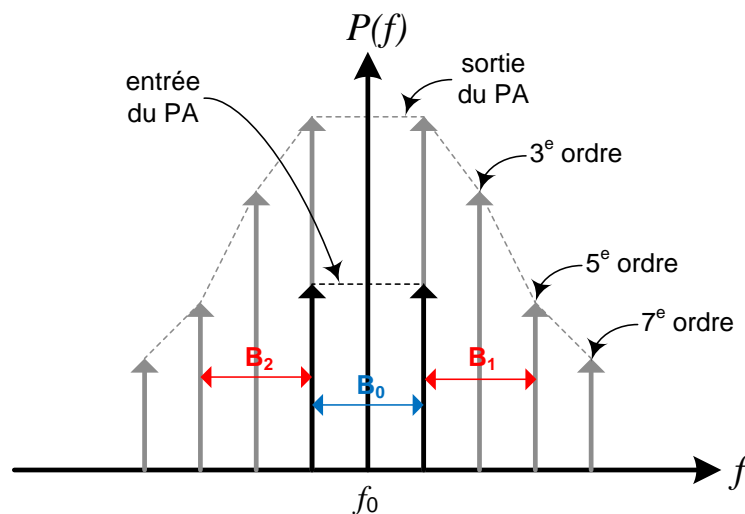


Figure I-23 : Remontées spectrales dans les bandes adjacentes (ACLR)

$$ACLR = \frac{2 \int_{B_0} |P(f)| df}{\left(\int_{B_1} |P(f)| df \right) + \left(\int_{B_2} |P(f)| df \right)} \quad (I-16)$$

Avec $P(f)$ la densité spectrale de puissance à la sortie de l'amplificateur.

Une dissymétrie entre les lobes des bandes B_1 et B_2 peut exister, menant à la définition d'un ACLR pour chaque bande. Ce paramètre permet de renseigner sur le taux de « pollution » spectrale dans les bandes adjacentes et est donc important dans la caractérisation des PAs.

3.3.2. Modulations utilisées dans les applications WiGig/WirelessHD et leurs impacts

Le Tableau I-3, extrait de l'annexe A, présente les modulations possibles avec la technique OFDM pour le standard WiGig.

Index MCS	Modulation	Débit de données [Mbps]	PAPR [dB]	EVM [dB]
13	OFDM-QPSK	693	10	-7
17	OFDM-QPSK	2079	10	-13
18	OFDM-16QAM	2772	12	-15
21	OFDM-16QAM	4504,5	12	-20
22	OFDM-64QAM	5197,5	14	-24
24	OFDM-64QAM	6756,75	14	-25

Tableau I-3 : Débits de transmission du standard WiGig suivant la modulation et les contraintes en PAPR et EVM associées

Plus la modulation est complexe et plus le facteur de crête ou PAPR devient important. Pour une modulation OFDM-QPSK, le PAPR est d'environ 10dB avec un EVM de -7dB. Une modulation 64QAM-OFDM, plus sensible aux variations de phase, requiert un PAPR de 14dB et un EVM de -25dB. Les débits envisageables varient d'environ 700Mb/s à 7Gb/s.

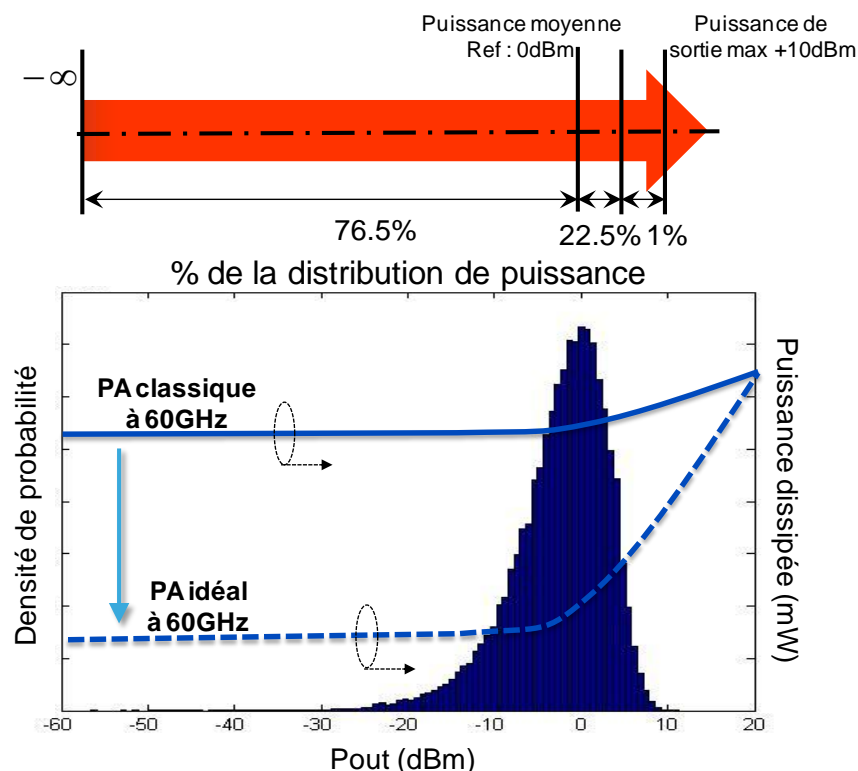


Figure I-24 : Distribution de puissance d'une modulation OFDM HRP2 (16QAM) pour le standard WirelessHD [SIL10]

Une distribution de probabilité en fonction de la puissance peut être déterminée pour chaque modulation. Celle de la modulation OFDM HRP2 (16QAM) pour le standard WirelessHD est présentée sur la Figure I-24, issue de la référence [SIL10]. L'amplificateur fonctionne la plupart du temps avec un back-off de 10-12dB. Il atteint sa puissance maximale durant 1% du temps environ. Cet important PAPR requiert donc des PAs capables d'amplifier sans distorsion les pics des signaux.

Cette haute linéarité contraint l'amplificateur de puissance à fonctionner en classe A/AB ou à combiner un grand nombre de cellules de puissance [CHE13], [BOE14]. La consommation statique est par conséquent élevée, ce qui est peu compatible avec l'objectif d'une utilisation portable. Un compromis entre la linéarité et la consommation est généralement recherché.

3.4. Robustesse d'un amplificateur de puissance CMOS

La durée de vie d'un amplificateur dépend des applications et des produits envisagés. Par exemple, le circuit doit être capable de fonctionner plusieurs années pour les applications Backhaul. Ainsi, il convient d'analyser les mécanismes de dégradation des transistors MOS.

La chute des performances d'un PA CMOS est principalement imputable à deux mécanismes : l'injection de porteurs chauds HCI (Hot Carrier Injection) et le claquage de l'oxyde de grille TDDB (Time Dependent Dielectric Breakdown).

A cela s'ajoute le phénomène d'électro-migration et la variation de l'impédance de l'antenne caractérisée par le $VSWR$ (Voltage Standing Wave Ratio). Cette dernière peut amener, dans certains cas, à la destruction de l'amplificateur de puissance en présentant une excursion en tension ou courant trop forte entre le drain et la source des transistors.

3.4.1. Injection de porteurs chauds HCI

Lorsqu'un transistor MOS est soumis à une forte tension drain-source V_{DS} , son courant de drain I_{DS} diminue au cours du temps. Cette dégradation du transistor est d'autant plus importante que sa longueur de canal est courte. En effet, un fort champ électrique dans la zone de déplétion, généré par cette tension V_{DS} , a pour effet de pincer le canal à cause de la désertion des électrons dans cette région [VEE89]. Les électrons se déplacent alors plus rapidement afin que le courant soit maintenu. Ils créent dans la région du drain des paires électrons-trous par ionisation par impact. Ces nouveaux électrons et trous sont accélérés par le champ électrique et se dirigent respectivement vers le drain et le substrat, créant ainsi un courant de fuite. Un trop fort champ électrique peut même entraîner un courant d'avalanche et provoquer la destruction de l'interface $\text{SiO}_2\text{-Si}$. Dans les technologies SOI et plus particulièrement celles totalement désertées, le champ électrique est bien plus faible [COL88]. Il en résulte que les effets liés aux porteurs chauds sont bien moins critiques que sur les technologies Bulk.

3.4.2. Claquage de l'oxyde de grille TDDB

Lorsque des tensions très importantes sont appliquées entre le drain et la grille d'un transistor, un chemin conducteur peut se former à travers l'oxyde de grille. Ce phénomène est appelé le claquage de l'oxyde de grille.

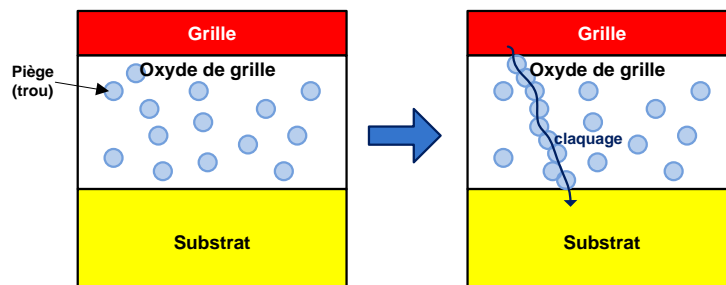


Figure I-25 : Mécanisme du TDDB

De nombreux modèles ont été publiés pour décrire le mécanisme de dégradation [CHE85], [MCP98], [MON02]. Le modèle de percolation [STA99] détaillé sur la Figure I-25 permet d'expliquer aisément la formation du chemin conducteur. Quand une forte tension est appliquée sur la grille, des pièges sont créés dans l'oxyde de grille. Dès que suffisamment de pièges sont apparus, un chemin conducteur se forme entre le drain et la grille.

Il existe plusieurs types de claquage. Lors d'un claquage dit dur, la grille ne contrôle plus le canal et le transistor est détruit. Pour les claquages dits progressifs et mous, le composant fonctionne encore mais ses caractéristiques sont fortement dégradées.

Ce mécanisme de dégradation entre surtout en jeu pour des amplificateurs non linéaires où des pics de tension apparaissent aux bornes du transistor (par exemple, $3,5V_{DD}$ pour un PA en classe E).

3.4.3. Electro-migration

Le phénomène d'électro-migration correspond au déplacement d'atomes dans une piste conductrice provoquée par le flux d'électrons [BLA69]. Le déplacement de matière peut, à la longue, aboutir à une cassure de la piste, mais aussi à la rupture de la couche de passivation, laissant le champ libre à la corrosion. Des règles de conception sont définies dans les DRM (Design Rule Manual) de toutes les technologies silicium afin d'assurer le fonctionnement du circuit pendant 10 ans pour différentes températures (jusqu'à une température de jonction maximale de 150°C).

3.4.4. Plage de polarisations pour un fonctionnement fiable

En considérant les mécanismes de dégradation détaillés précédemment, une plage de polarisations peut être fixée afin d'améliorer la durée de vie du circuit. La Figure I-26 illustre cette plage pour un transistor de la technologie CMOS 65nm. L'excursion en tension V_{ds} est comprise entre la tension de coude et $V_{DD}+10\%$ tandis que le maximum de courant I_{ds} est

inférieur à celui donné par les règles d'électro-migration. Les dynamiques en courant I_{ds} et tension V_{ds} étant très limitées, les techniques de combinaison en puissance deviennent absolument indispensables pour atteindre les niveaux de puissance requis par les standards. Le courant I_{ds} maximal est fixé par les règles d'électro-migration pour un fonctionnement à 110°C pendant 10 ans.

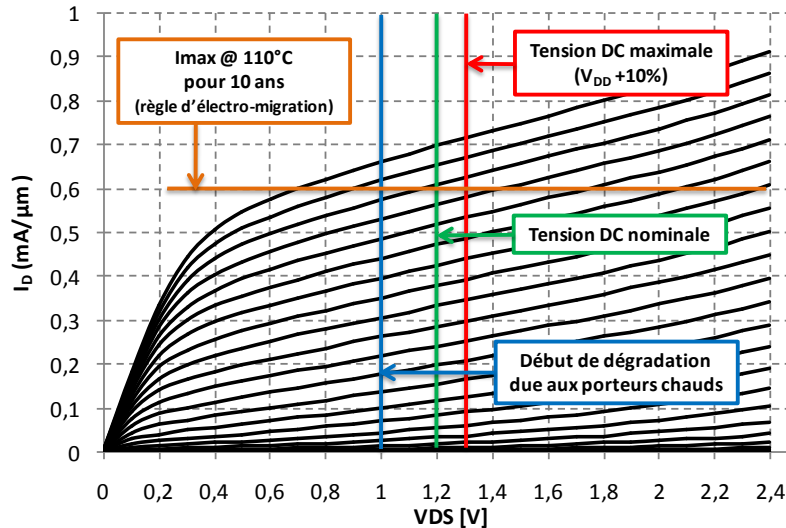


Figure I-26 : Plage de polarisations pour un fonctionnement robuste

3.4.5. Taux d'onde stationnaire (VSWR)

Le VSWR exprime la qualité de l'adaptation de l'antenne au PA. Il est défini par l'équation (I-17) :

$$VSWR = \frac{1 + |\Gamma|}{1 - |\Gamma|} \quad \text{avec :} \quad \Gamma = \frac{Z_L - Z_0}{Z_L + Z_0} \quad (\text{I-17})$$

Z_L : Impédance de l'antenne

Z_0 : Impédance vue sur la source (le drain d'un transistor par exemple)

C'est un paramètre essentiel à prendre en compte dans la conception d'un amplificateur car il impacte directement sur sa durée de vie. En effet, l'environnement peut altérer l'impédance de l'antenne, modifiant du même coup l'impédance de charge présentée au circuit. La puissance de sortie va varier et si des précautions ne sont pas prises, l'excursion en tension (désadaptation vers une impédance forte) ou en courant (désadaptation vers une impédance faible) sur le drain peut endommager le transistor.

3.5. Etat de l'art des amplificateurs de puissance millimétriques

L'analyse de quelques PAs doit être menée afin d'identifier les verrous technologiques pouvant limiter les performances de ces circuits. De prime abord, deux architectures d'amplificateurs se dégagent de l'état de l'art : les amplificateurs millimétriques et les PA-DAC contrôlés de manière numérique.

3.5.1. Les amplificateurs millimétriques

PA à base de lignes de transmission :

Le PA en mode commun [QUE10], conçu dans la technologie CMOS 65nm, est montré sur la Figure I-27. Des lignes de transmission microstrip permettent d'adapter le transistor de puissance sur l'impédance du plot RF chargé par 50Ω. De part leur facilité de modélisation, ces lignes garantissent une conception rapide et aisée de l'amplificateur.

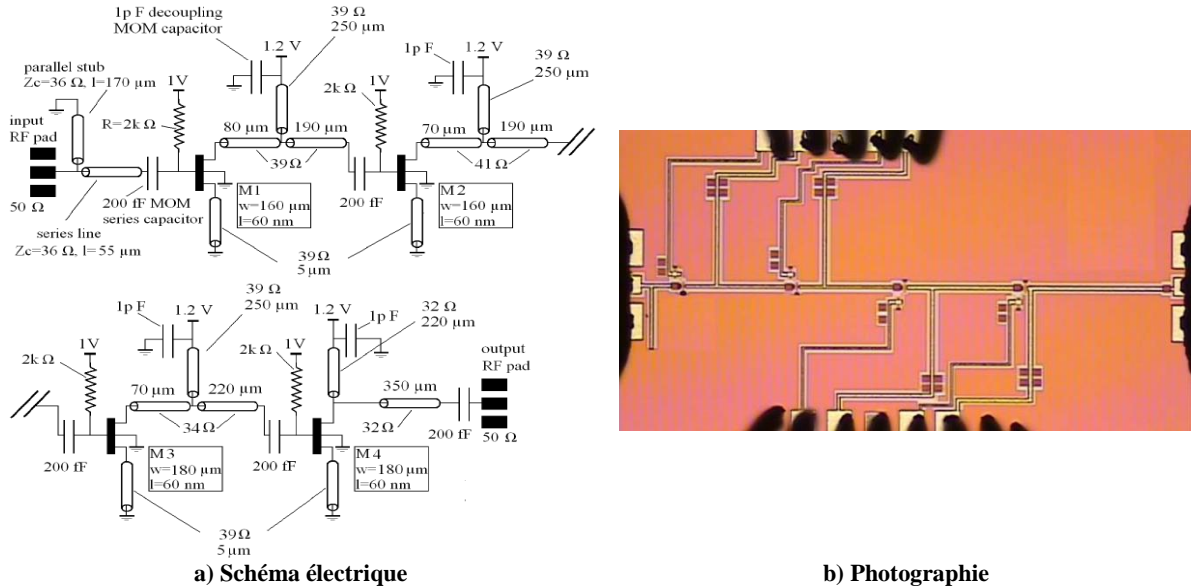


Figure I-27 : PA [QUE10] basé sur des lignes de transmission

La puissance de sortie et au point de compression sont respectivement de 14,2dBm et 12,2dBm pour un gain de 13,7dB et une PAE maximale de 8,4% (Figure I-28.a)). Le circuit consomme 300mA et occupe une surface de 0,9mm². Comme montré sur la Figure I-28.b), les lignes introduisent de fortes pertes aux fréquences millimétriques (>1dB/mm à 60GHz) à cause du Back End Of Line (BEOL) très fin des technologies CMOS avancées. Les pertes des réseaux d'adaptation limitent par conséquent l'efficacité du circuit. De surcroît, elles se révèlent assez encombrantes avec une longueur d'environ 620μm à λ/4.

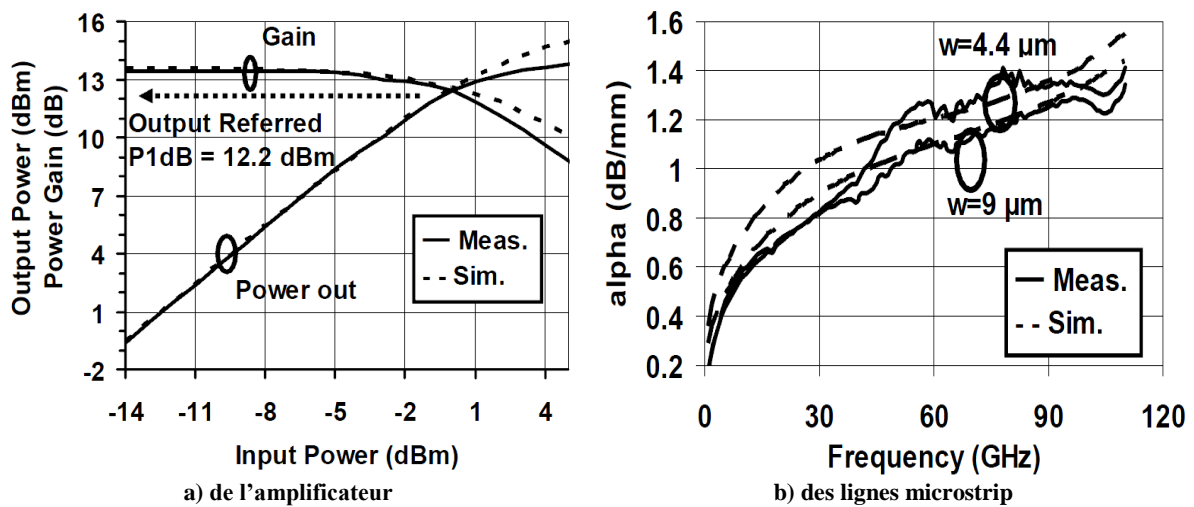


Figure I-28 : Performances du PA [QUE10] et des lignes microstrip

PA à base d'éléments localisés :

Une autre approche consiste à utiliser des éléments localisés à la place des lignes de transmission. Le PA sur la Figure I-29 est implémenté dans la technologie CMOS 45nm Bulk. Des inductances et des capacités sont utilisées pour adapter chaque étage. Ces éléments localisés permettent de réduire de manière considérable la partie active du circuit comme en témoigne la photographie du circuit qui occupe seulement 0,018mm².

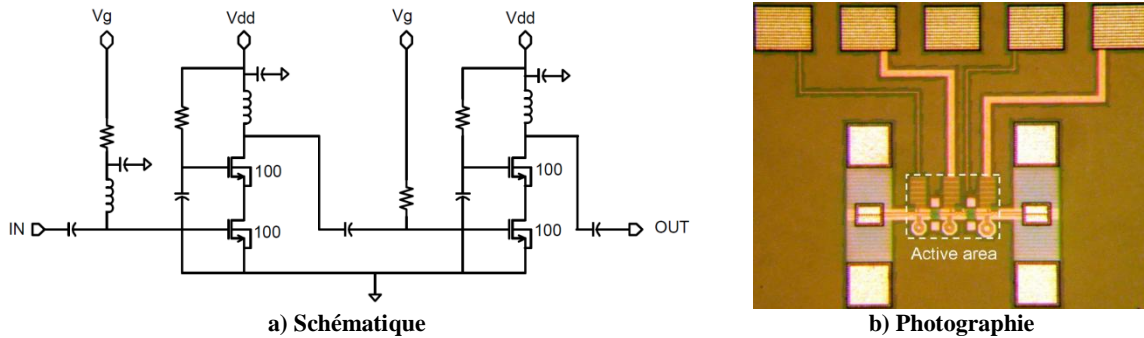


Figure I-29 : PA à 60GHz à base d'éléments localisés [KJE09]

Cet amplificateur offre une P_{SAT} , une P_{-1dB} et une PAE_{max} de respectivement 13,5dBm, 8,7dBm et 13,4% pour un gain de 17dB à 60GHz et une tension d'alimentation de 2,1V (Figure I-30.a)). La puissance délivrée reste constante de 50GHz à 60GHz (Figure I-30.b)). Tout comme le PA à base de lignes de transmission, les pertes des éléments localisés, et plus particulièrement des inductances, sont totalement dépendantes du BEOL de la technologie CMOS employée. De plus, la puissance de sortie est fortement limitée.

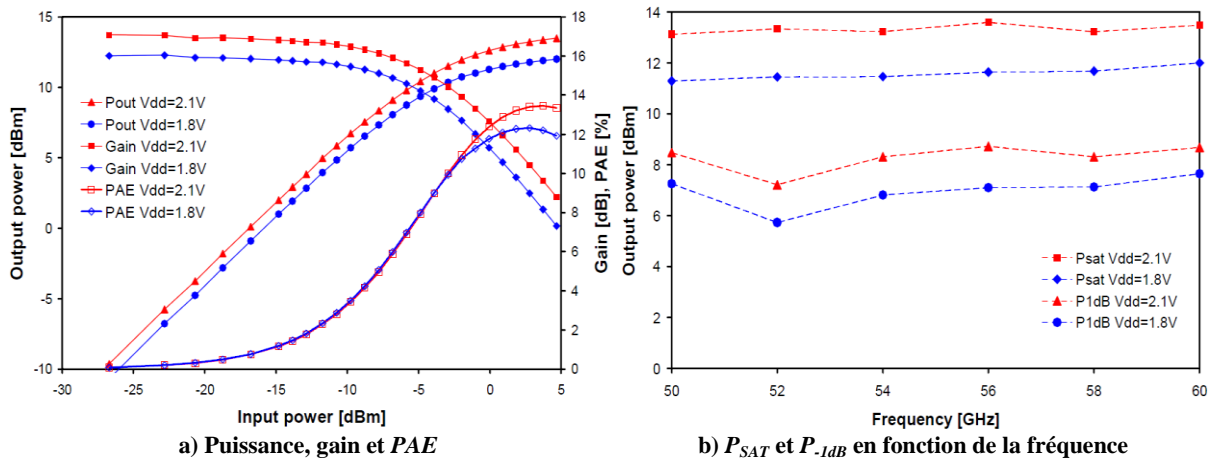


Figure I-30 : Performances du PA à base d'éléments localisés [KJE09]

PAs à base de transformateurs :

Des solutions ont été proposées dans la littérature afin d'améliorer la puissance de sortie et reposent pour la plupart sur l'utilisation de transformateurs intégrés.

- Le circuit [CHE11] en 65nm proposé sur la Figure I-31 utilise un DAT (Distributed Active Transformer) afin de combiner quatre transistors General Purpose (GP) de 140µm. Le

combineur est conçu afin de présenter les impédances optimales aux transistors tout en ayant seulement 0,6dB de pertes. La taille du PA est optimisée grâce à l'utilisation des transformateurs comme circuit d'adaptation entre chaque étage.

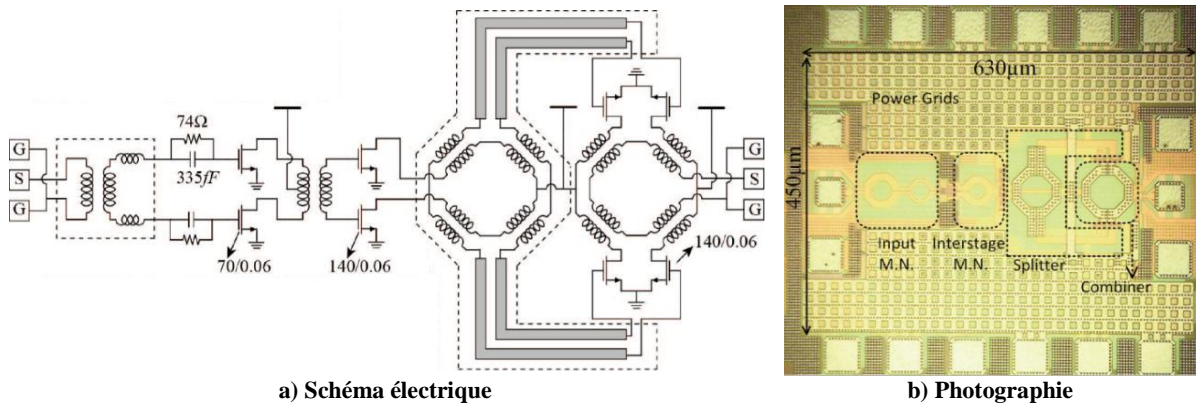


Figure I-31 : PA 65nm à base de transformateurs polarisé en classe A [CHE11]

La P_{SAT} , la P_{-1dB} et la PAE_{max} sont respectivement de 18,6dBm, 15dBm et 15,1% avec un gain en puissance de 20,3dB à 60GHz. Ces paramètres restent constants de 58GHz à 64GHz (Figure I-32).

Les transistors sont tous polarisés en classe A pour maximiser la linéarité. L'inconvénient est que la puissance dissipée en DC est de 460mW. Cette forte consommation est peu compatible avec les contraintes liées aux dispositifs mobiles.

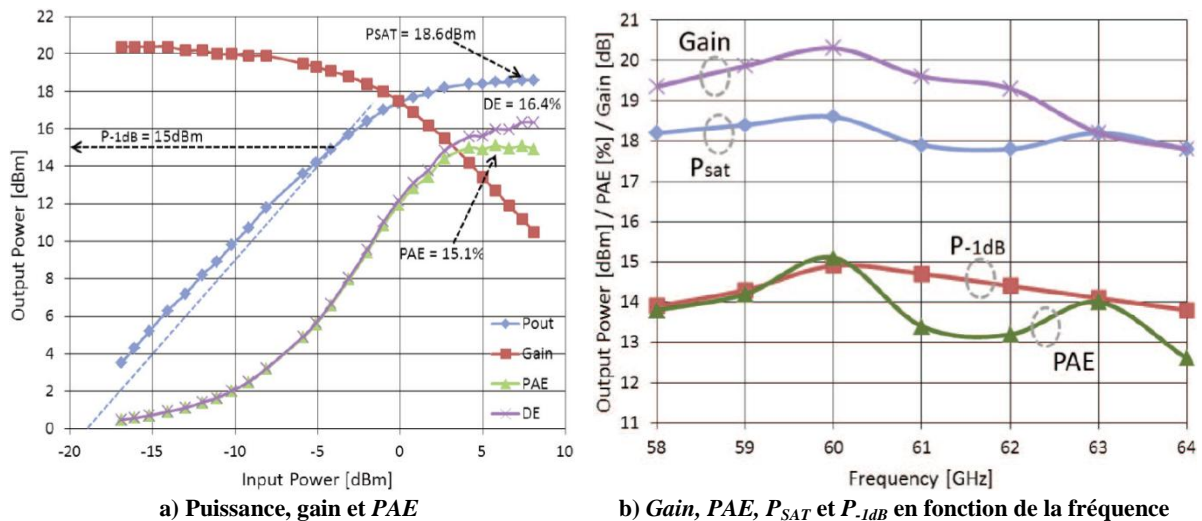


Figure I-32 : Performances du PA 65nm à base de transformateurs polarisé en classe A [CHE11]

- Un début de solution est apporté dans le PA [ZHA13] sur la Figure I-33 avec des transistors polarisés en classe AB et la technique du Power Cell Switching (PCS). Le circuit est implémenté dans la technologie CMOS 40nm LP. Il est composé de deux voies combinées à travers un DAT. Les transistors de l'étage d'entrée sont montés en grille commune afin de faciliter l'adaptation d'impédance. Les deux derniers étages utilisent une topologie source commune neutralisée grâce à des capacités MOM. Tous les réseaux d'adaptation sont basés sur des transformateurs, ce qui permet de grandement réduire la surface active occupée par le

PA (0,074mm²). Des interrupteurs permettent de désactiver une voie afin de réduire la puissance de sortie suivant la situation.

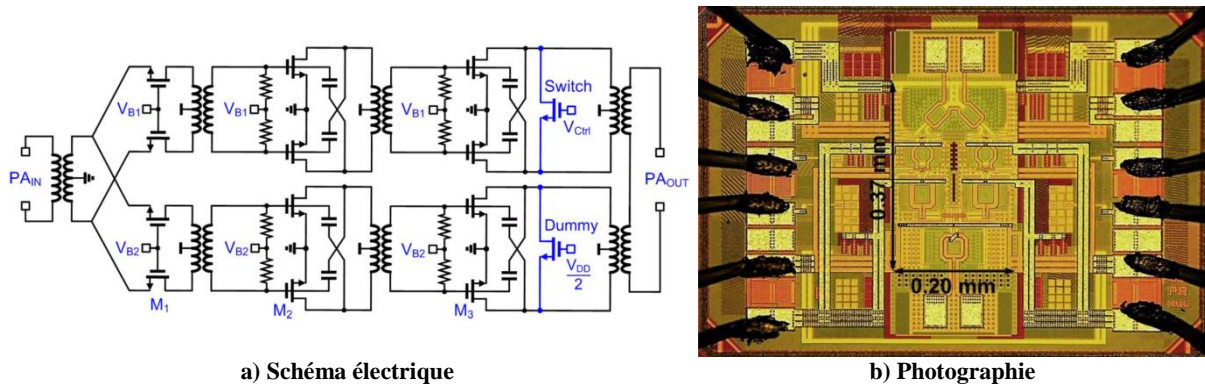


Figure I-33 : PA 40nm à 60GHz [ZHA13]

Comme le montre la Figure I-34.a), le PA délivre respectivement une puissance et une PAE maximales de 17,4dBm et 28,5% en classe A ainsi que 17dBm et 30,3% en classe AB. La puissance au point de compression ne varie que de 0,2dB avec un rendement amélioré de 16,3% à 21,6%. La consommation statique est réduite de 150mW à 75mW.

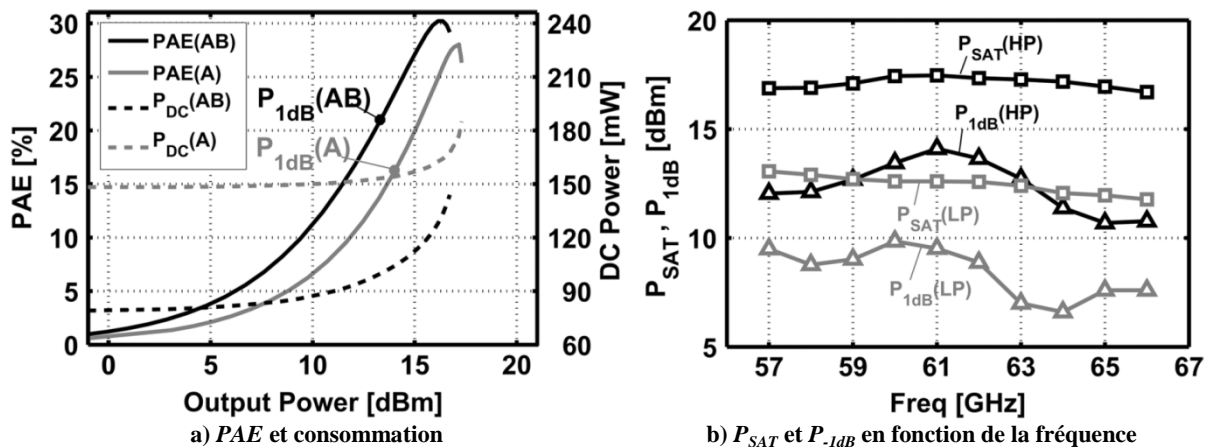


Figure I-34 : Performances du PA 40nm à 60GHz [ZHA13]

La puissance maximale délivrée, illustrée sur la Figure I-34.b), est quasiment constante de 57GHz à 66GHz, que ce soit dans le mode haute puissance (≈ 17 dBm) ou dans le mode basse puissance (≈ 13 dBm). L'optimisation de la consommation et de la linéarité situe cet amplificateur parmi les plus intéressants pour les applications requérant un large back-off. De surcroît, la distorsion AM/PM n'est que de 0,2° à la compression. La rotation de phase est minimisée sur les constellations pour des modulations complexes.

La principale limitation réside dans le fait que les étages neutralisés avec des capacités MOM sont sensibles aux variations de fabrication et de polarisation. Le circuit présente également une bande passante limitée de 5,5GHz.

- Dans l'optique de répondre à ces contraintes de consommation et de linéarité, le PA [KUL14] a également été proposé et est présenté sur la Figure I-35. Il est implémenté dans la technologie CMOS 40nm GP. Deux cellules de puissance sont combinées grâce à un DAT.

Les cellules des deux derniers étages reposent sur une topologie de type push-pull avec des transistors polarisés en classe B. Cette structure permet de compenser les distorsions amenées par les capacités grille-source des transistors. Comme dans [ZHA13], des montages en grille commune simplifient l'adaptation en entrée. Tous les réseaux passifs utilisent des transformateurs et la surface active est de seulement 0,081mm². Afin d'améliorer la fiabilité du circuit, la tension d'alimentation est fixée à 0,9V.

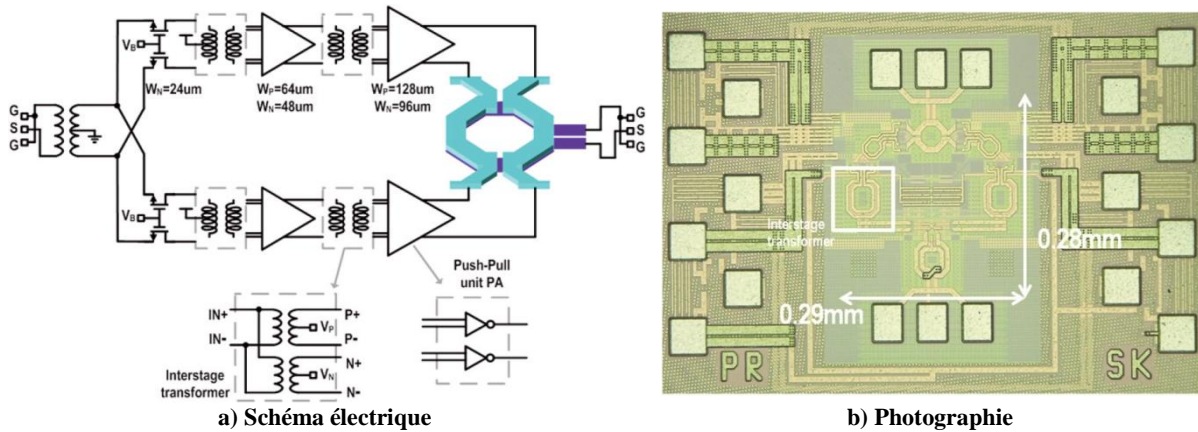


Figure I-35 : PA 40nm à 60GHz basé sur une topologie push-pull [KUL14]

La P_{SAT} et la PAE_{max} atteignent respectivement 16,4dBm et 23%. A 1dB de compression, la puissance de sortie et la PAE chutent à 13,9dBm et 18,9%. Le gain petit-signal est de 22,4dB.

La consommation en fonction de la puissance de sortie est représentée sur la Figure I-36.a). On constate que la puissance dissipée en DC est réduite de moitié par rapport à celle atteinte à la saturation, et de 40mW par rapport à celle atteinte à P_{-1dB} .

Les courbes AM-AM et AM-PM sont tracées sur la Figure I-36.b). Les distorsions de phase restent inférieures à 0,2° jusqu'à la compression. Le PA présente un EVM de -25,2dB pour une modulation 64-QAM à 3Gb/s et 7dBm de puissance moyenne.

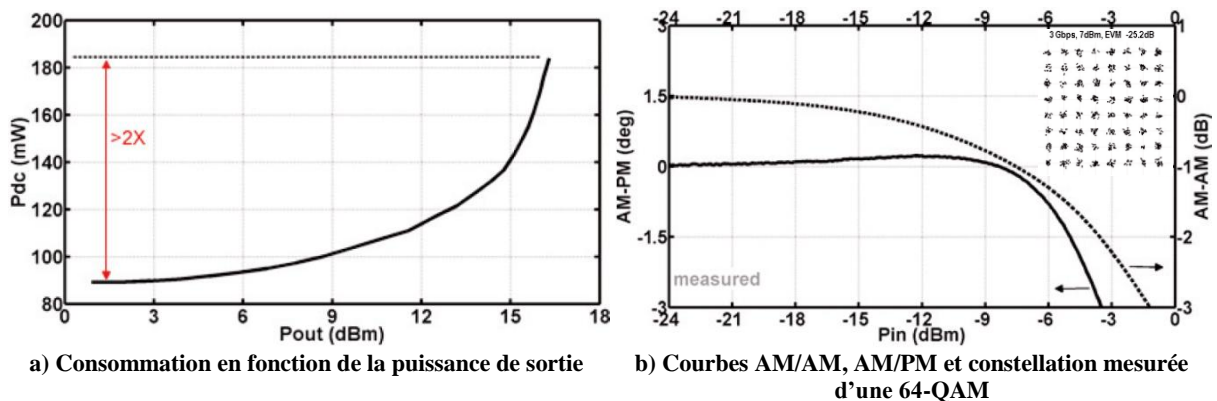
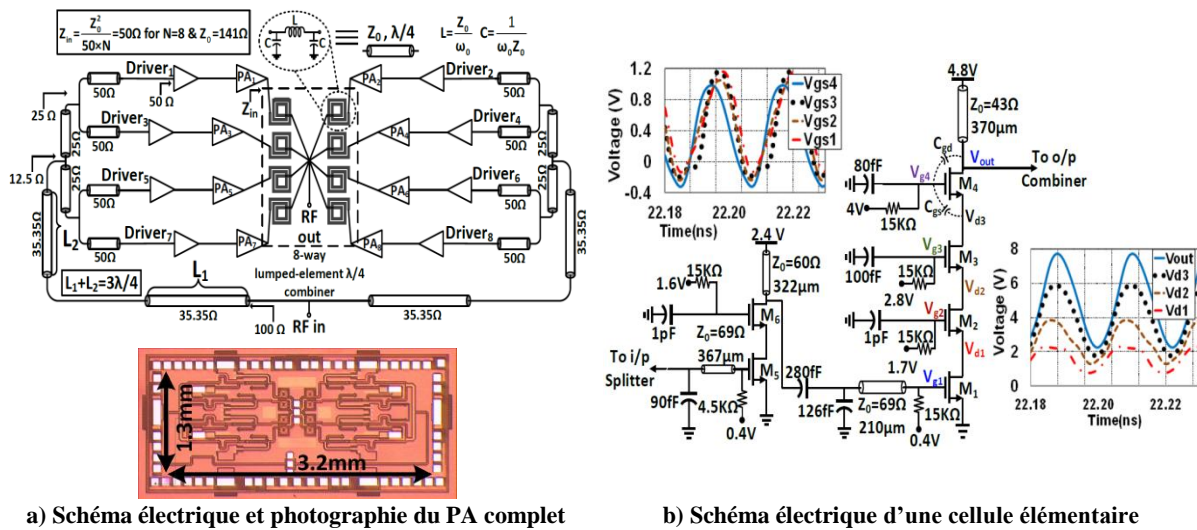


Figure I-36 : PA 40nm basé sur une topologie push-pull [KUL14]

PA utilisant des topologies de transistors empilés sur substrat SOI :

Une autre approche envisageable pour améliorer la puissance de sortie est d'empiler plusieurs transistors afin d'améliorer l'excursion en tension en sortie du PA.

- Une structure est proposée dans [BHA13] aux alentours des 40GHz et est présentée sur la Figure I-37.a). Le PA est implémenté dans la technologie 45nm SOI. Chaque cellule élémentaire (Figure I-37.b)) est composée de quatre transistors qui permettent d'augmenter l'excursion en tension jusqu'à 6V environ pour une tension d'alimentation de 4,8V. A puissance de sortie équivalente, cette structure a un courant de drain plus faible qu'une structure combinant plusieurs transistors en source commune. Les contraintes liées à l'électromigration sont ainsi relâchées. Le PA complet combine huit cellules élémentaires et occupe une surface active de 4,16mm².

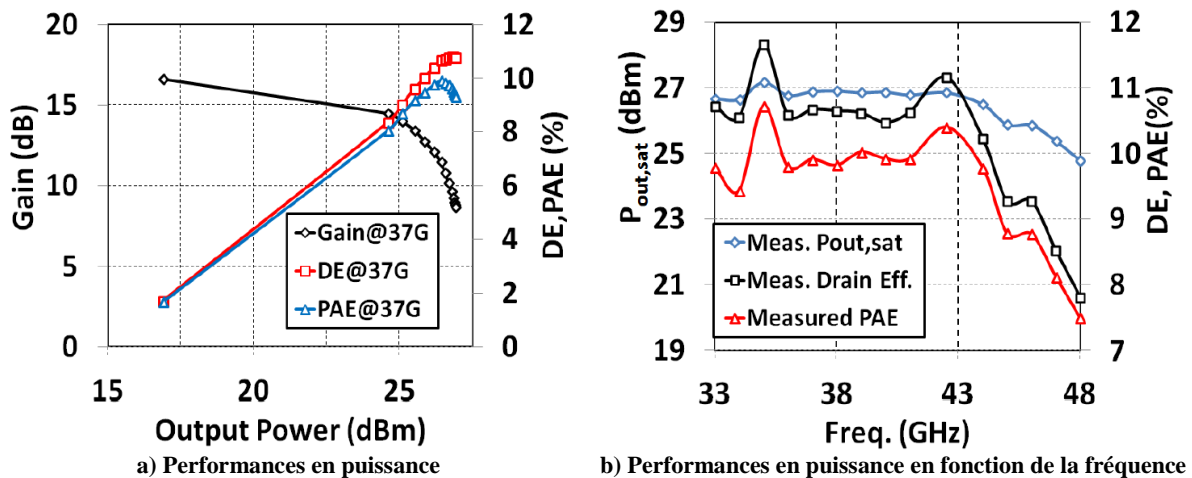


a) Schéma électrique et photographie du PA complet

b) Schéma électrique d'une cellule élémentaire

Figure I-37 : PA avec transistors empilés [BHA13]

Il atteint une puissance de saturation de 27dBm, une puissance à 1dB de compression comprise entre 20 et 21dBm et une PAE maximale de 10,7% (Figure I-38). Le gain est d'environ 17dB et la bande passante de 13GHz. Il s'agit du PA CMOS millimétrique délivrant la plus haute puissance à ce jour.



a) Performances en puissance

b) Performances en puissance en fonction de la fréquence

Figure I-38 : Performances du PA avec transistors empilés [BHA13]

La linéarité et le rendement semblent toutefois assez difficiles à optimiser sur des structures empilant plusieurs transistors comme le montre les courbes précédentes. La *PAE* à la compression atteint seulement 5% ce qui s'avère peu compatible avec les exigences des standards WiGig ou WirelessHD.

- Un autre amplificateur sur la Figure I-39 [SIL10] se limite à deux étages, chacun composé de deux transistors empilés (structure cascode). Ce PA à 60GHz utilise la technologie CMOS 65nm SOI associée à un substrat haute-résistivité (3kΩ.cm). Il occupe une surface de 0,57mm². Les capacités parasites C_{SUB} des transistors sont quasiment neutralisées par la forte résistance série R_{SUB} due au substrat. Le gain du montage cascode est par conséquent bien meilleur et l'amplificateur peut être polarisé sur une classe AB profonde. La haute résistivité du substrat permet en outre d'optimiser les réseaux passifs. Par exemple, une ligne coplanaire de 50Ω a une atténuation de 0,6dB/mm contre 1,6dB/mm pour une technologie 65nm Bulk classique.

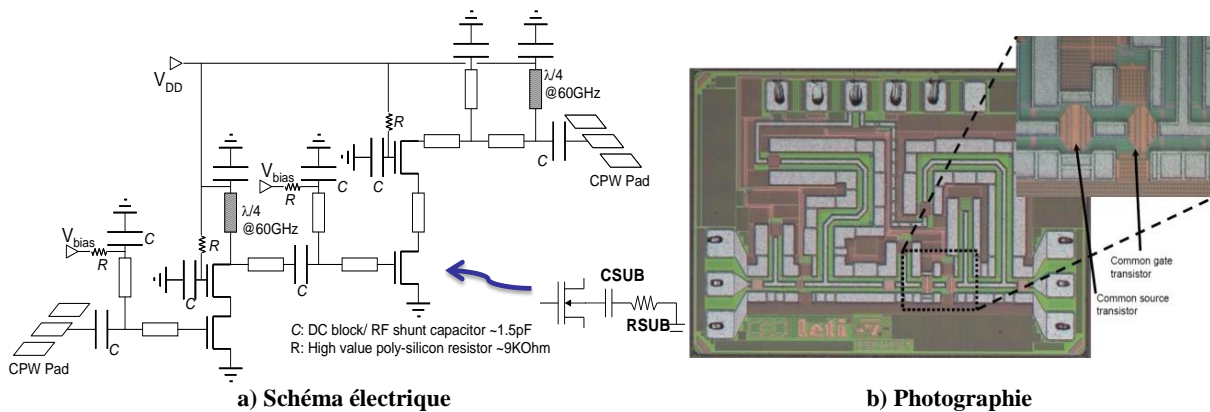


Figure I-39 : PA SOI à 60GHz utilisant un montage cascode [SIL10]

L'expansion du gain visible sur la Figure I-40.a), qui est due à la re-polarisation du transistor à fort signal, permet de repousser la linéarité à 12,7dBm pour une tension d'alimentation de 1,8V. La *PAE* maximale et la consommation DC, illustrées sur la Figure I-40.b), atteignent respectivement 25,7% et 77,4mW.

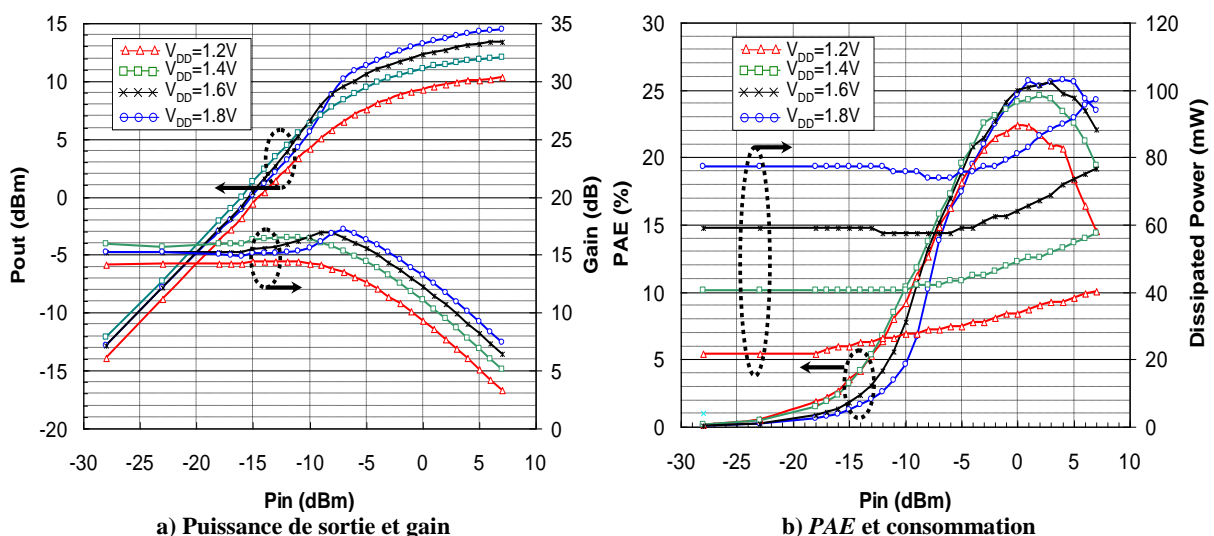


Figure I-40 : Performances du PA SOI à 60GHz [SIL10]

3.5.2. Les PA-DACs

Dans le but d'améliorer la reconfigurabilité et l'efficacité des amplificateurs de puissance, des structures de type PA-DACs ont commencé à être proposées dans la littérature aux fréquences millimétriques [CHE13], [LAR14]. Ces circuits sont composés de plusieurs étages de PAs élémentaires en parallèle amplifiant des signaux à enveloppe constante. L'information d'amplitude est générée en éteignant ou en allumant ces PAs élémentaires de manière numérique. Des classes d'amplificateurs non linéaires sont utilisées, améliorant l'efficacité du système.

- Le PA-DAC 2 bits de la Figure I-41 est implémenté dans la technologie 65nm de STMicroelectronics.

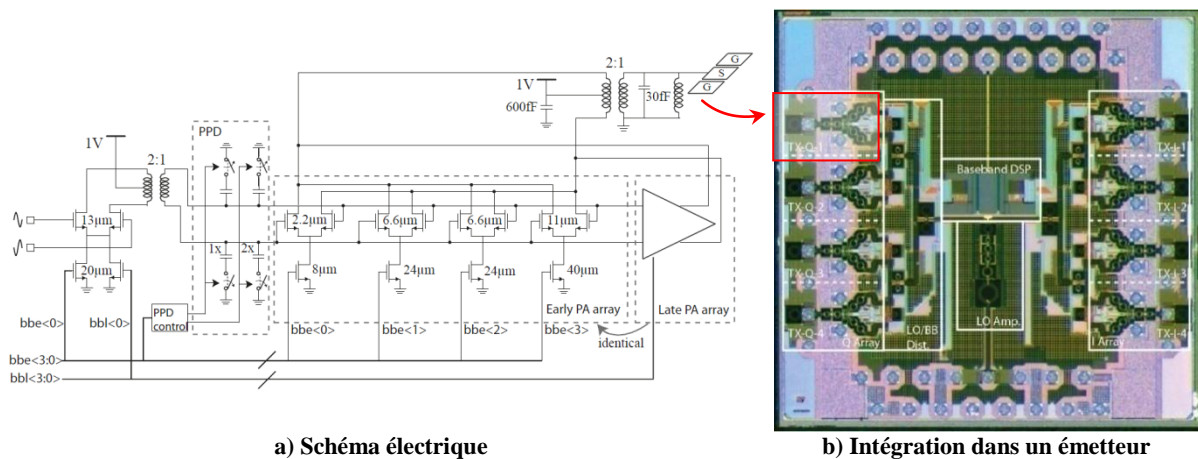


Figure I-41 : PA-DAC à 60GHz [CHE13]

Il est composé de quatre PAs élémentaires commandés de manière numérique par un codage thermomètre et fonctionnant dans la classe commutée E/F_{X2} (détaillée dans le chapitre III). En effet, le rendement de ces amplificateurs est grandement amélioré en ajustant la deuxième harmonique du signal à enveloppe constante. Chaque PA élémentaire est basé sur une paire différentielle qui est connectée à un interrupteur dimensionné de manière à ramener le moins de pertes possibles. Chacun des PAs est taillé afin de compenser les distorsions de gain AM-AM.

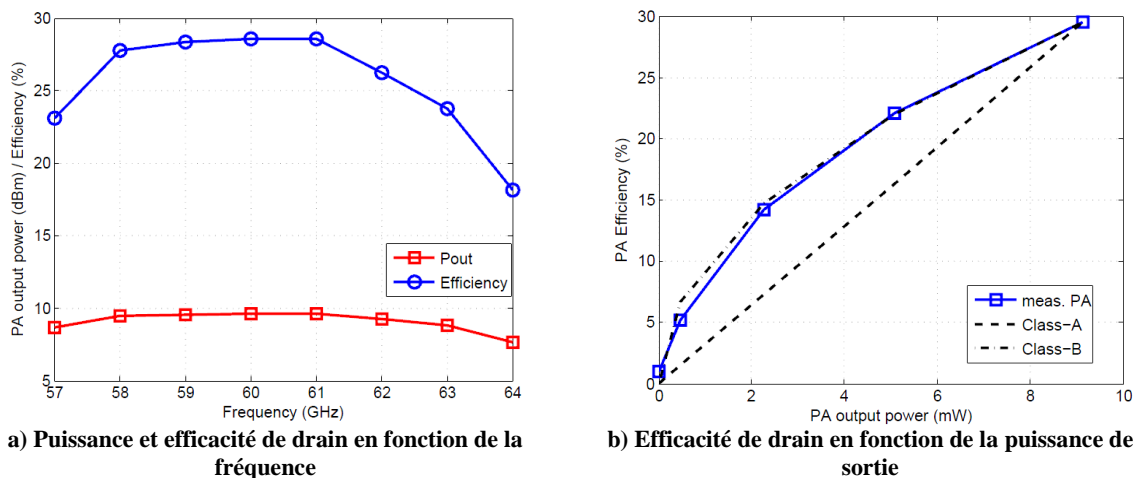


Figure I-42 : Performances du PA-DAC [CHE13]

Les transistors éteints ramenant des capacités parasites, les distorsions AM-PM doivent également être compensées. Un réseau de capacités est positionné en entrée du PA-DAC afin de pré-distordre le signal suivant le nombre de PAs allumés ou éteints.

La Figure I-42.a) montre les performances du PA-DAC de 57GHz à 64GHz. Celui-ci atteint une puissance maximale en sortie de 9,6dBm pour une efficacité de drain maximale de 28,5% à 60GHz. Le rendement de drain est tracé en fonction de la puissance de sortie sur la Figure I-42.b). Le circuit se comporte comme un PA en classe B avec encore 15% de rendement à 6dB de back-off.

- Le PA-DAC présenté sur la Figure I-43 utilise la technologie 120nm SOI de IBM. Il est basé sur la combinaison en courant de plusieurs amplificateurs auxiliaires. Un encodeur thermomètre 4 bits active ces PAs suivant l'amplitude de l'enveloppe. Chaque PA est constitué d'une topologie cascode différentielle. Une compensation de la distorsion AM-PM est fournie par un circuit numérique ajustant la phase.

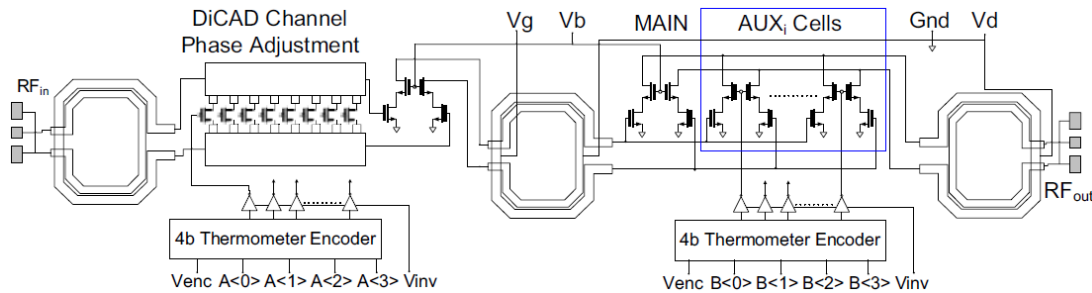


Figure I-43 : Implémentation d'un PA-DAC dans un transmetteur à 94GHz [LAR14]

Le gain, illustré sur la Figure I-44.a), augmente à mesure que les cellules auxiliaires sont allumées. Les coefficients de réflexion S_{11} et S_{22} restent stables pour tous les états.

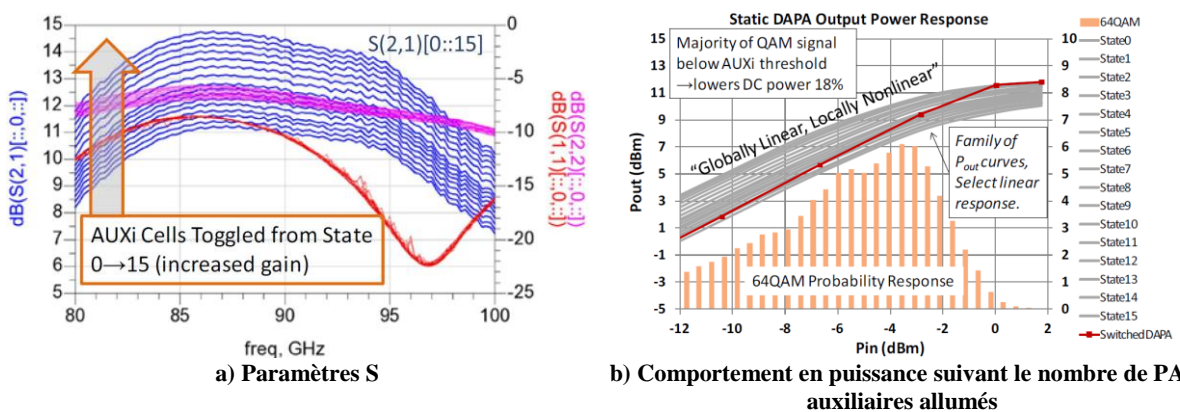


Figure I-44 : Performances du PA-DAC [LAR14]

En activant les PAs séquentiellement suivant les niveaux de puissance d'entrée (Figure I-44.b)), il est possible d'obtenir une réponse linéaire optimisée. La puissance consommée du système global est réduite de 18%, passant de 994mA à 812mA. Malgré la reconfigurabilité simplifiée par le contrôle numérique des PAs élémentaires, les PA-DACs présentent quelques inconvénients gênants aux fréquences millimétriques. La résolution de

l'information d'amplitude est totalement dépendante du nombre de PAs élémentaires. De plus, la taille des transistors est limitée par leurs capacités parasites si bien que la conception d'un PA-DAC avec une puissance de sortie au-dessus de 10dBm se révèle très délicate.

3.5.3. Tableau comparatif

Le Tableau I-4 offre une comparaison des PAs silicium conçus à 60GHz. Des amplificateurs hautement linéaires combinant plusieurs cellules de puissance atteignent au maximum une P_{-1dB} de 19,6dBm en CMOS [HSI13] et 21dBm en bipolaire [PFE07] mais pour des consommations largement supérieures au watt. Une PAE maximale à la saturation et à la compression est obtenue pour des PAs conçus dans des technologies avancées telles que la 40nm [ZHA13], [KUL14]. Le plus haut facteur de mérite ITRS, défini dans l'équation (I-18), est délivré par le circuit de la référence [KUU09] avec 59210.

$$FoM(ITRS) = Gain \times P_{SAT} \times PAE \times f^2 \quad (I-18)$$

Ref	Process Si	Topologie	Comb	Freq [GHz]	Valim [V]	Gain [dB]	P_{SAT} [dBm]	P_{-1dB} [dBm]	PAE_{max} [%]	PAE_{-1dB} [%]	P_{dc} [mW]	FoM ITRS [W.GHz ²]
[LAW10]	1,2V 90nm	CS	x4	60	1,2	20,6	19,9	18,2	14,2	12,5	688	5735
[LAR09]	1,2V 90nm	CS	x2	60	1,2	15	12,5	10,2	19,3	12,5	84	390
[KUU09]	1,2V 90nm	CAS	-	60	3	32,4	18	12	15	-	280	59210
[JEN09]	1,2V 90nm	CAS	x8	60	1,8	26,1	14,5	10	10,2	4	286	4,216
[LAI10]	1V 65nm	CS	x8	61,5	1,0	19,2	17,7	15,1	11,1	6,5	460	2056
[QUE12]	1,2V 65nm	CS	x2	60	1,2	20	16	12,5	6,6	-	600	946
[HSI13]	1V 65nm	CS	x32	64	1,2	16,3	23,2	19,6	10	4	2100	3650
[MAR10]	1,2V 65nm	CAS	x16	60,5	1,8	15,5	18,1	11,5	3,6	2	1504	302
[LIU10]	1V 65nm	CAS	x2	64	1,5	34	13,17	7,8	8,3	2	320	17719
[CHE12]	1,2V 65nm	CS	x4	60	1,2	24,5	19	15,4	12,8	5,3	621	10316
[BOE10]	1V 65nm	CS	x2	61	1,0	30	10,6	6,8	18	2	65	7690
[CHE11]	1V 65nm	CS	x4	60	1,0	20,3	18,6	15	15,1	6,8	460	4220
[ASA11]	1,2V 65nm	CS	x2	60	1,2	23,2	14,6	10	16,3	5	135	3535
[ALO12]	1,2V 65nm	CS	x8	61	1,2	20	15,6	13,5	6,6	5	480	892
[ALO11]	1,2V 65nm	CS	-	63	1,2	14	12	10	15	13	65	215
[FAR14]	1,2V 65nm	CS	x4	60	1,2	17,7	16,8	15,5	14,5	8,5	378	1472
[CHE13]	1V 65nm	CS	-	60	1,0	-	9,6	-	28,5	-	28,6	-
[KJE09]	1V 45nm	CAS	-	60	2,1	17	13,5	8,7	13,4	5	126	541
[ABB10]	1V 45nm	CAS	x2	60	2,0	20	14,5	11,2	14,4	7	180	1461
[COH09]	1V 45nm	CS	-	60	1,2	19	7,9	-	19,4	11	14,4	342
[SHI13]	1V 40nm	CS	x32	60	1,2	29	22,6	17	7	2,5	2440	36425
[VID12]	1V 40nm	CS	x2	60	1,1	22	10,5	10,2	10,8	10	90	691
[ZHA12]	1V 40nm	CS	x4	60	1,0	26	15,6	15,6	25	25	217	13008
[ZHA13]	1V 40nm	CS	x4	60	1,0	17	17	13,8	30,3	21,6	75	2740
[KUL14]	1V 40nm	Push pull	x4	63	0,9	22,4	16,4	13,9	23	18,9	88	6925
[OGU12]	1V 32nm SOI	CS	-	60	0,9	10	12,5	10,4	30	25	-	192
[THY13]	1V 28nm	CAS	x4	60	2,1	24,4	16,5	11,7	12,6	6,8	-	5580
[ZHA12a]	130nm SiGe	CB	x4	60	1,8	20,6	20,1	19,7	18	18	353	8129
[PFE07]	130nm SiGe	CAS	x8	64	4,0	20	23	21	6,3	5,8	1200	5149
[DEM09]	130nm SiGe	CE	x2	60	1,8	18,3	18,8	13,5	9,8	4	560	1809

Tableau I-4 : Résumé des performances des PAs à 60GHz

3.5.4. Difficultés et verrous technologiques

L'étude de l'état de l'art a permis de mettre en évidence les verrous technologiques limitant les performances des amplificateurs de puissance CMOS et plus particulièrement ceux utilisant la technologie Bulk. Ces difficultés sont résumées en plusieurs points :

- Le faible coefficient de qualité des composants passifs est dû à la faible résistivité du substrat silicium et à la faible épaisseur du BEOL qui augmente les résistances, les inductances et les capacités parasites. Les circuits d'adaptation ramènent par conséquent d'importantes pertes d'insertion. Les lignes de transmission deviennent par ailleurs rapidement encombrantes. Une solution consiste à utiliser des transformateurs intégrées ou une technologie SOI avec un substrat à forte résistivité afin de réduire la fuite du champ électrique dans le substrat.
- La puissance délivrée aux fréquences millimétriques par les transistors CMOS est très limitée comparativement aux technologies SiGe ou III-V comme le GaAs ou l'InP. Deux approches sont possibles voire même complémentaires pour améliorer la puissance de sortie du PA : la combinaison en puissance et l'empilement de transistors. La linéarité et le rendement semblent cependant très difficiles à optimiser pour les structures empilant les transistors.
- Une haute linéarité est requise à cause des modulations utilisées demandant un large back-off. Un compromis entre la linéarité et la consommation est nécessaire à moins de proposer une architecture en rupture. Pour indication, le rapport entre la puissance dissipée à la saturation et celle en statique (DC) est d'environ 2 à l'heure actuelle [KUL14], [ZHA13].
- Les PA-DACs sont basés sur l'architecture « digital-to-RF » qui permet de faire fonctionner les PAs élémentaires dans des classes non-linéaires et d'optimiser le rendement. Néanmoins, la puissance de sortie est encore relativement limitée (10dBm au maximum) et la résolution de l'amplitude est totalement dépendante du nombre de PAs élémentaires à activer/éteindre. Enfin, la taille des transistors est fortement restreinte par leurs capacités parasites.
- La robustesse du PA est un paramètre important à analyser suivant les applications visées. L'injection de porteurs chauds est le mécanisme de dégradation le plus problématique pour les technologies CMOS. Il peut être réduit en abaissant la tension d'alimentation, ce qui aura pour impact de diminuer la puissance de sortie.

4. Conclusion du chapitre

Ce premier chapitre introduit le contexte des applications WPAN et WLAN autour de 60GHz pour le transfert de données à très haut débit. Un intérêt particulier est porté sur l'organisation de la bande de fréquences entre 57GHz et 66GHz. Les principaux standards dédiés à cette bande de fréquence sont l'ECMA 387, l'IEEE 802.15.3c, le WirelessHD et l'IEEE 802.11ad. Les applications WPAN/WLAN visant un marché de masse, l'utilisation de la technologie faible coût CMOS s'avère judicieuse, d'autant plus que la miniaturisation des transistors MOS autorise à présent un fonctionnement aux fréquences millimétriques.

L'étude de différents émetteur-récepteurs CMOS permet de démontrer que le PA est le circuit RF le plus consommateur d'énergie (30 à 60% de la consommation totale) à cause des modulations complexes nécessaires aux communications à très haut débit.

Suite à l'analyse des différents paramètres caractéristiques d'un PA, un état de l'art est dressé et les architectures les plus prometteuses sont étudiées. Les verrous technologiques et les difficultés de conception sont ensuite exposés.

A partir de ces observations, plusieurs amplificateurs de puissance seront implémentés avec différentes technologies CMOS de STMicroelectronics : la 65nm Bulk, la 28nm Bulk et la 28nm FD-SOI. Avant la conception de ces circuits, les composants passifs seront caractérisés dans le chapitre II afin de minimiser les pertes d'insertion dans les réseaux passifs.

Suite à cela, une méthodologie de conception sera proposée dans le chapitre III puis trois PAs élémentaires seront conçus afin d'identifier les topologies optimales à 60GHz. Ce travail constituera la base du chapitre IV qui présentera deux PAs optimisés en technologie 65nm et 28nm FD-SOI.

Chapitre II

Composants passifs pour les applications millimétriques de puissance

1. PHENOMENES PARASITES A HAUTES FREQUENCES.....	62
1.1. Effet de peau.....	62
1.2. Problématique du retour de masse.....	63
1.3. Pertes et couplages du substrat.....	64
2. ELEMENTS LOCALISES ET DISTRIBUES	66
3. LIGNES DE TRANSMISSION	67
3.1. Lignes de transmission classiques.....	67
3.1.1. Topologies des lignes de transmission utilisées en millimétrique.....	67
3.1.2. Caractérisation d'une ligne de transmission	68
3.1.3. Extraction d'un modèle	70
3.1.4. Modèles discrets des lignes de transmission	71
3.1.5. Limites des lignes de transmission classiques	71
3.2. Lignes de transmission à ondes lentes	72
3.2.1. Principe de fonctionnement.....	72
3.2.2. Etat de l'art des lignes à ondes lentes implémentées dans des PAs	73
3.2.3. Conception et analyse de différentes lignes à ondes lentes	74
3.2.4. Comparaison et discussion	79
4. COMPOSANTS LOCALISES	81
4.1. Plots RF.....	81
4.1.1. Conception des plots RF	81
4.1.2. Protections contre les ESD.....	83
4.2. Capacités MOM	84
4.3. Transformateurs intégrés.....	85
4.3.1. Théorie.....	85
4.3.2. Conversion mode commun – mode différentiel (« Balun »)	88
4.4. DATs	90
5. CONCLUSION DU CHAPITRE	92

Ce chapitre est consacré à l'optimisation des composants passifs qui seront utilisés pour la conception d'amplificateurs millimétriques dans les chapitres III et IV.

Dans un premier temps, les effets parasites liés à la faible résistivité du substrat et à la faible épaisseur des métaux du BEOL seront décrits. En effet, ceux-ci affectent les performances de ces circuits passifs. L'effet de peau, le retour de masse inductif et résistif ainsi que le couplage avec le substrat sont les phénomènes les plus remarquables.

Par la suite, les circuits passifs localisés et distribués seront étudiés. Le choix de ceux-ci sera justifié suivant leurs dimensions et la fréquence de travail. Les lignes de transmission, les plots RF, les capacités MOM, les transformateurs et les DATs seront examinés avec attention afin de cerner leurs limitations pour la conception d'amplificateurs de puissance. Des solutions alternatives, aussi bien au niveau du routage avec notamment l'implémentation de lignes à ondes lentes, qu'au niveau technologique avec l'utilisation de la technologie CMOS SOI, seront proposées pour tous ces circuits passifs afin de minimiser les effets parasites et optimiser leurs performances.

1. Phénomènes parasites à haute fréquence

Différents phénomènes parasites dégradent les performances des circuits passifs. On peut citer l'effet de peau, le retour de masse résistif et/ou inductif ainsi que les pertes dues aux couplages parasites dans le substrat.

1.1. Effet de peau

A des fréquences élevées, le courant électrique a tendance à circuler sur la partie externe du conducteur. Ce phénomène, appelé effet de peau, est le contributeur majoritaire des pertes métalliques. Il est représenté sur la Figure II-1.

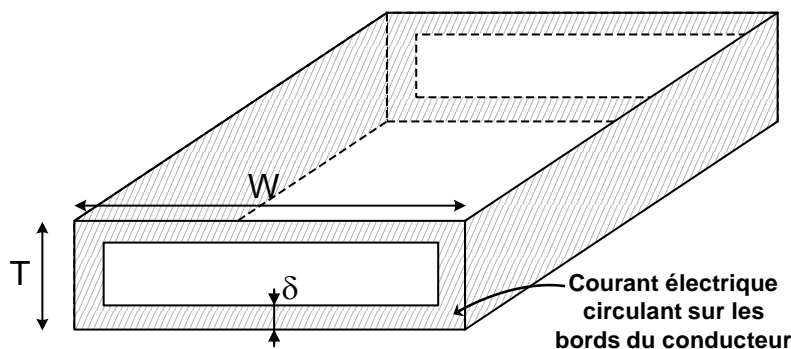


Figure II-1 : L'effet de peau sur une piste métallique

Les équations (II-1) et (II-2) donnent respectivement l'épaisseur de peau δ et la résistance R du métal en prenant en compte l'effet de peau. L'épaisseur de peau représente la distance depuis la surface pour laquelle le courant est réduit par un facteur $1/e$ ($\approx 37\%$). Comme illustré sur la Figure II-2.a), cette épaisseur étant de seulement $0,28\mu\text{m}$ à 60GHz pour du cuivre (ou $0,31\mu\text{m}$ pour de l'aluminium), la résistance et l'inductance linéiques augmentent de manière conséquente. La Figure II-2.b) trace la résistance de la ligne en statique R_{DC} et la résistance R pour le Métal 7 et l'Alucap de la technologie CMOS 65nm de STMicroelectronics en fonction de la largeur de la piste. Cette résistance R est supérieure à $2\Omega/\text{mm}$ quelle que soit la largeur

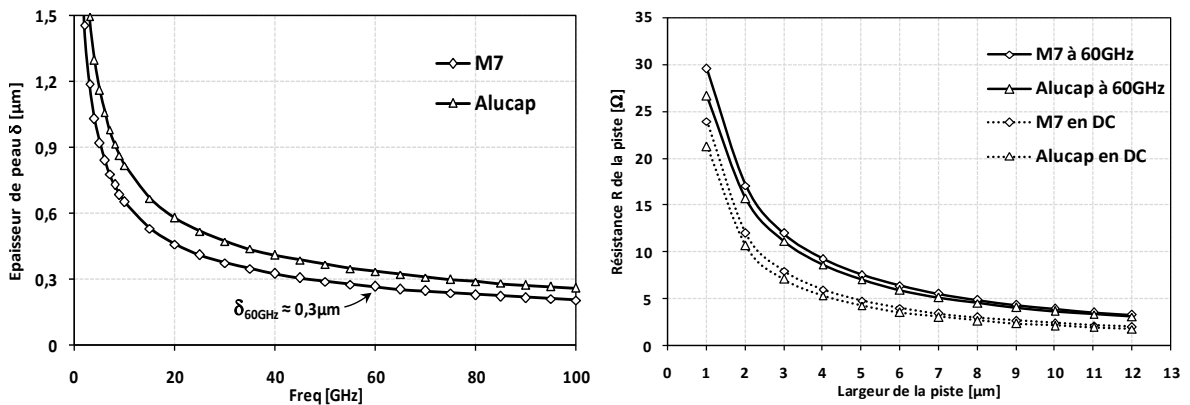
de la piste ce qui limite grandement le facteur de qualité des composants passifs tels que les inductances ou les lignes de transmission.

$$\delta = \frac{1}{\sqrt{\sigma \cdot \mu_0 \cdot \mu_r \cdot \pi \cdot f}} \quad (\text{II-1})$$

avec: σ Conductivité du metal (S/m)
 μ_0 Perméabilité du vide (H/m)
 μ_r Perméabilité relative
 f Fréquence du courant (Hz)

$$R \approx \frac{l}{\sigma} \times \frac{1}{2\delta \cdot (T + W - 2\delta)} \geq R_{DC} = \frac{l}{\sigma} \times \frac{1}{W \times T} \quad (\text{II-2})$$

avec: σ Conductivité du metal (S/m)
 l Longueur de la ligne (m)
 δ Epaisseur de peau (m)
 T Epaisseur de la piste métallique (m)
 W Largeur de la piste métallique (m)



a) Epaisseur de peau dans le cuivre et l'aluminium

b) Résistance d'une piste en M7 ou en Alucap de 1mm de longueur pour une technologie CMOS 65nm

Figure II-2 : Impact de l'effet de peau

1.2.Problématique du retour de masse

Un plan de masse peu résistif est essentiel au bon fonctionnement d'un amplificateur. Il se révèle même critique pour les PAs aux fréquences millimétriques car les résistances et les inductances parasites détériorent fortement le gain des transistors et modifient les caractéristiques des circuits passifs. En outre, une multitude de chemins de retour est possible et il est très difficile de les modéliser avec précision.

Par conséquent, les plans de masse ont été conçus manuellement en empilant toutes les couches de métaux afin de minimiser ces inductances et résistances parasites (Figure II-3). Ils sont simulés à l'aide d'outils de simulation électromagnétique tels que Momentum.

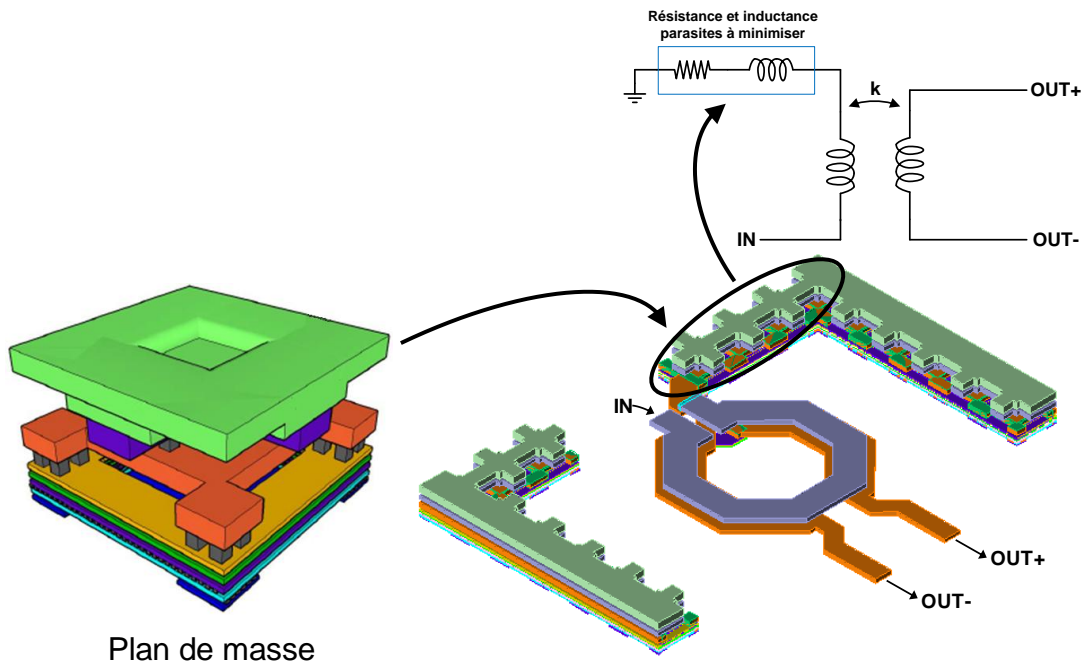


Figure II-3 : Conception d'un plan de masse aux fréquences millimétriques

1.3. Pertes et couplages du substrat

Contrairement aux technologies III-V et SOI HR, le substrat des technologies Bulk présente une résistivité relativement faible, aux alentours de $10\Omega\cdot\text{cm}$. De plus, celle-ci n'est pas constante et possède un gradient lié au dopage. Ainsi, en surface, cette résistivité est proche de $1\Omega\cdot\text{cm}$ pour atteindre $10\Omega\cdot\text{cm}$ à une profondeur de $2\text{-}3\mu\text{m}$. Cette caractéristique implique un couplage du substrat avec des pertes importantes pour les circuits passifs, tels que les lignes coplanaires, les capacités MOM, les inductances ou les transformateurs [NIK00]. Ce couplage s'explique à travers deux phénomènes : un couplage capacitif entre les conducteurs et le substrat qui est à l'origine d'un courant de déplacement, et l'apparition de courants de Foucault dus à la pénétration du champ magnétique [GHA06]. Ces courants sont représentés sur la Figure II-4.

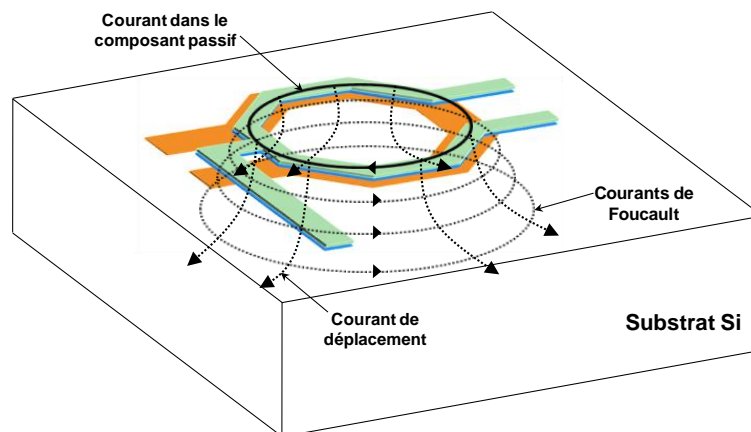


Figure II-4 : Courants de Foucault induits par le courant circulant dans le composant et courants de déplacement

Ce couplage du substrat s'avère extrêmement problématique pour la conception de circuits intégrés. En effet, le courant injecté dans le substrat tend à se coupler avec les autres structures passives et actives et peut mener à une instabilité ou à la réduction du gain des transistors. Les composants actifs injectent eux aussi du courant de manière directe ou par couplage capacitif [NIK00]. L'injection directe est due aux effets de porteurs chauds (détaillés dans la section I.3.4.1) ou aux phénomènes d'avalanche. Le couplage capacitif est surtout présent à hautes fréquences lorsque les jonctions PN ou les oxydes se comportent comme des capacités court-circuitant le chemin RF. La Figure II-5 illustre ces couplages à travers le substrat sur un circuit intégré.

Des techniques de routage et l'utilisation du mode différentiel permettent de réduire ces effets mais il est impossible de les éliminer complètement. Ils ne doivent absolument pas être ignorés durant la conception d'un circuit aux fréquences millimétriques.

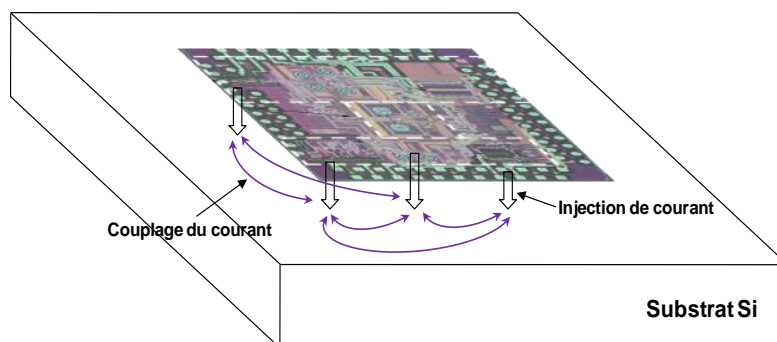


Figure II-5 : Couplage à travers le substrat

2. Eléments localisés et distribués

L'utilisation d'un élément passif localisé ou distribué est conditionnée par sa taille d et la fréquence d'utilisation. En considérant que la permittivité effective d'un BEOL d'une technologie CMOS est comprise entre 4 et 5, le choix du composant passif peut être effectué grâce aux courbes de la Figure II-6.

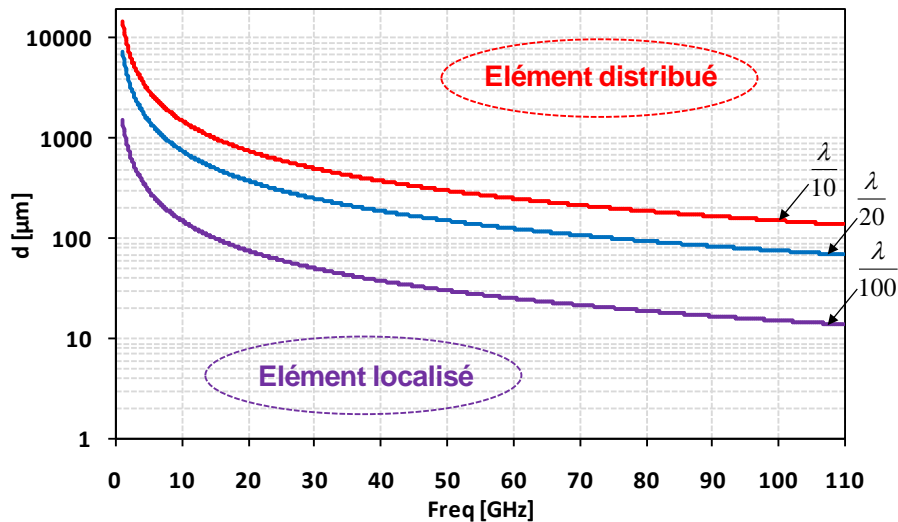


Figure II-6 : Choix du composant passif

- Quand la taille d du composant est inférieure à $\frac{\lambda}{100}$, des éléments localisés sont préférables.
- Pour $\frac{\lambda}{20} > d > \frac{\lambda}{100}$, les éléments distribués et localisés peuvent être utilisés.
- Pour $\frac{\lambda}{10} > d > \frac{\lambda}{20}$, la modélisation des éléments distribués offrent une meilleure précision.
- Lorsque $d > \frac{\lambda}{10}$, les modèles localisés deviennent inexacts à cause d'importantes variations de tension au sein même du composant et seuls les composants distribués sont utilisables.

3. Lignes de transmission

3.1. Lignes de transmission classiques

Les lignes de transmission permettent le transport de l'énergie électromagnétique dans une direction avec une onde se propageant généralement en mode quasi-TEM (Transverse Electro-Magnétique). Chaque ligne possède des paramètres caractéristiques tels que l'impédance caractéristique Z_C et la constante de propagation γ . D'autres paramètres plus spécifiques, comme les pertes linéiques α ou la permittivité effective ϵ_{eff} , peuvent être déduits de Z_C et γ . Plusieurs topologies de lignes existent : microstrip (MS), coplanaire (CPW), slotline, stripline... Les deux structures les plus utilisées dans les circuits intégrés RF et millimétriques sont la ligne microstrip et la ligne coplanaire présentées sur la Figure II-7.

3.1.1. Topologies des lignes de transmission utilisées en millimétrique

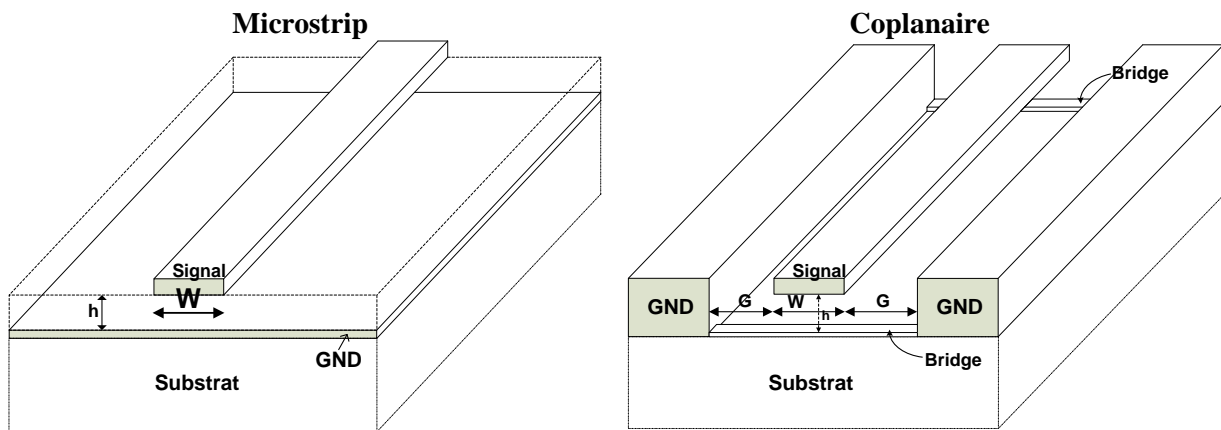


Figure II-7 : Schéma de lignes de transmission microstrip et coplanaire

- La ligne microstrip MS est constituée d'un ruban conducteur et d'un plan de masse séparés par un matériau diélectrique. Cette structure est compacte mais dispose de peu de degrés de liberté pour ajuster l'impédance caractéristique Z_C , à savoir la largeur du conducteur central W et l'épaisseur h du diélectrique. En technologie intégrée standard, la plage d'impédances caractéristiques réalisables est plus restreinte que pour les lignes coplanaires. Néanmoins, la majeure partie du champ électrique est concentrée dans le diélectrique, entre le conducteur et le plan de masse, ce qui en fait une solution intéressante pour les substrats de faible résistivité.
- La ligne coplanaire CPW est constituée d'un conducteur central de largeur W et d'un plan de masse situé de chaque côté et espacé par une distance G . Elle est séparée du substrat silicium par un diélectrique d'épaisseur h . Le champ électrique est en grande partie concentré entre la ligne RF et le plan de masse mais une partie pénètre dans le substrat. Des ponts disposés à intervalle régulier permettent de s'assurer que le plan de masse est bien homogène. Ce type de ligne est extrêmement sensible à la résistivité du substrat. Toutefois, une large gamme d'impédances caractéristiques peut être obtenue.

A noter que les structures microstrip et coplanaire ne sont pas « homogènes » car les champs électromagnétiques s'étendent sur deux supports : l'air et le diélectrique. Ainsi, la

propagation d'ondes ne peut pas être TEM, car les ondes dans les deux milieux voyagent à des vitesses différentes. Pour satisfaire les conditions aux limites, les champs électrique et magnétique doivent posséder des composantes longitudinales non nulles. Les ondes ne sont donc ni transverses électriques (TE), ni transverses magnétiques (TM) mais hybrides. Les composantes longitudinales des champs restent cependant beaucoup plus faibles que celles transverses sur la plupart des bandes de fréquences utiles. Elles peuvent être négligées et la ligne se comporte comme une ligne quasi-TEM. Cette ligne « non-homogène » est remplacée par une ligne équivalente « homogène ». Le conducteur garde la même géométrie mais est entouré par un diélectrique homogène de permittivité effective ϵ_{eff} .

Le choix de la ligne de transmission dépend des contraintes de l'application visée. Pour la conception d'un amplificateur de puissance à 60GHz, la largeur de la ligne doit être suffisante, afin de respecter les règles d'électro-migration. En outre, le chemin de retour du courant doit être parfaitement maîtrisé avec un plan de masse uniforme. Enfin, la ligne se doit d'être à faibles pertes afin d'optimiser les réseaux d'adaptation.

Le principal inconvénient de la ligne coplanaire est la méconnaissance de la résistivité locale du substrat qui peut être dopé. Le substrat silicium, avec sa haute permittivité ($\epsilon_r = 11.7$) et sa faible résistivité ($10\Omega.cm$), absorbe en plus une grande partie du champ électrique, ce qui augmente considérablement ses pertes linéiques et limite grandement son utilisation.

La ligne microstrip, quant à elle, est plus sujette aux phénomènes de couplage qui doivent être analysés avec attention. De plus, la synthèse d'impédances caractéristiques Z_C élevées nécessite de réduire la largeur W du ruban central et, par conséquent, d'augmenter les pertes métalliques. Le Tableau II-1 résume les avantages et inconvénients de ces deux types de lignes.

	Ligne coplanaire	Ligne microstrip
Simplicité de modélisation	😊	😊😊
Pertes métalliques	😊	😞
Pertes dans le substrat	😞😞	😊😊
Couplage	😊	😞
Facteur de qualité	😞	😞

Tableau II-1 : Avantages et inconvénients des lignes coplanaires et microstrip

3.1.2. Caractérisation d'une ligne de transmission

Pour caractériser une ligne de transmission, l'impédance caractéristique Z_c et la constante de propagation complexe γ doivent être déterminées. A partir des paramètres S issus d'une simulation électromagnétique, deux méthodologies existent pour extraire ces paramètres.

- En utilisant la matrice ABCD :

$$A = \frac{(1 + S_{11})(1 - S_{22}) + S_{12}S_{21}}{2S_{21}} \quad (\text{II-3})$$

$$B = Z_c \frac{(1 + S_{11})(1 - S_{22}) + S_{12}S_{21}}{2S_{21}} \quad (\text{II-4})$$

$$C = \frac{1}{Z_C} \frac{(1 - S_{11})(1 - S_{22}) + S_{12}S_{21}}{2S_{21}} \quad (\text{II-5})$$

$$D = \frac{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}}{2S_{21}} \quad (\text{II-6})$$

On en déduit alors Z_C et γ avec les formules (II-7) et (II-8) :

$$Z_C = \sqrt{\frac{B}{A}} \quad (\text{II-7})$$

$$\gamma = \frac{\cosh^{-1}(A)}{l} \quad (\text{II-8})$$

- En utilisant directement les paramètres S :

$$\exp(\gamma.l) = \frac{1 - S_{11}^2 + S_{21}^2 + \sqrt{(1 + S_{11}^2 - S_{21}^2) - (2S_{11}^2)}}{2S_{21}} \quad (\text{II-9})$$

$$Z_C = 50. \sqrt{\frac{(1 + S_{11}) - (1 - S_{21}S_{12})}{(1 - S_{11})(1 - S_{22}) - S_{21}S_{12}}} \quad (\text{II-10})$$

La constante de propagation complexe γ peut être écrite sous la forme :

$$\gamma = \alpha + j\beta \quad (\text{II-11})$$

La partie réelle α représente la constante d'atténuation et est exprimé en dB/m. Elle est composée de 3 sources d'atténuation : les pertes conducteur par effet de peau α_c , les pertes diélectriques α_d et les pertes dans le substrat α_s .

Ces pertes peuvent être estimées grâce aux formules suivantes :

$$\alpha_c = 8,686 \times \frac{\sqrt{R_{DC}^2 + R_{HF}^2}}{2Z_C} \text{ avec } R_{DC} = \frac{l\rho}{W.T} \text{ et } R_{HF} = \sqrt{\frac{\pi\mu_0\mu_r f}{\sigma}} \times \frac{l}{2W + 2T} \quad (\text{II-12})$$

$$\alpha_d = 8,686\pi \times \frac{\epsilon_r}{\sqrt{\epsilon_{eff}}} \times \frac{\epsilon_{eff} - 1}{\epsilon_r - 1} \times \frac{\tan(\delta)}{c_0} . f \quad (\text{II-13})$$

$$\alpha_s = 8.686 \times \frac{G.Z_C}{2} \text{ avec } G = 2\pi. \frac{\sqrt{\epsilon_{eff}}}{Z_C.c_0} . \tan(\delta) . f \quad (\text{II-14})$$

Aux fréquences millimétriques, ces sources d'atténuations s'accroissent car elles sont dépendantes de la fréquence.

La partie imaginaire β représente la constante de phase, c'est-à-dire le déphasage par unité de longueur (rad/m). On en extrait la permittivité effective ϵ_{eff} avec la relation :

$$\epsilon_{eff} = \left(\frac{\lambda_0 \beta}{2\pi} \right)^2 \quad (II-15)$$

Le facteur de qualité Q_f de la ligne de transmission est donné dans l'équation (II-16) comme le rapport entre la partie imaginaire β et la partie réelle α de la constante de propagation complexe.

$$Q_f = \frac{\beta}{2\alpha} \quad (II-16)$$

3.1.3. Extraction d'un modèle

Cette ligne peut à présent être modélisée par une cellule RLCG pour une longueur strictement inférieure à $\frac{\lambda}{20}$. Dans le cas contraire, il faudra diviser le circuit en plusieurs étages RLCG afin d'améliorer la précision de la modélisation comme l'illustre la Figure II-8.

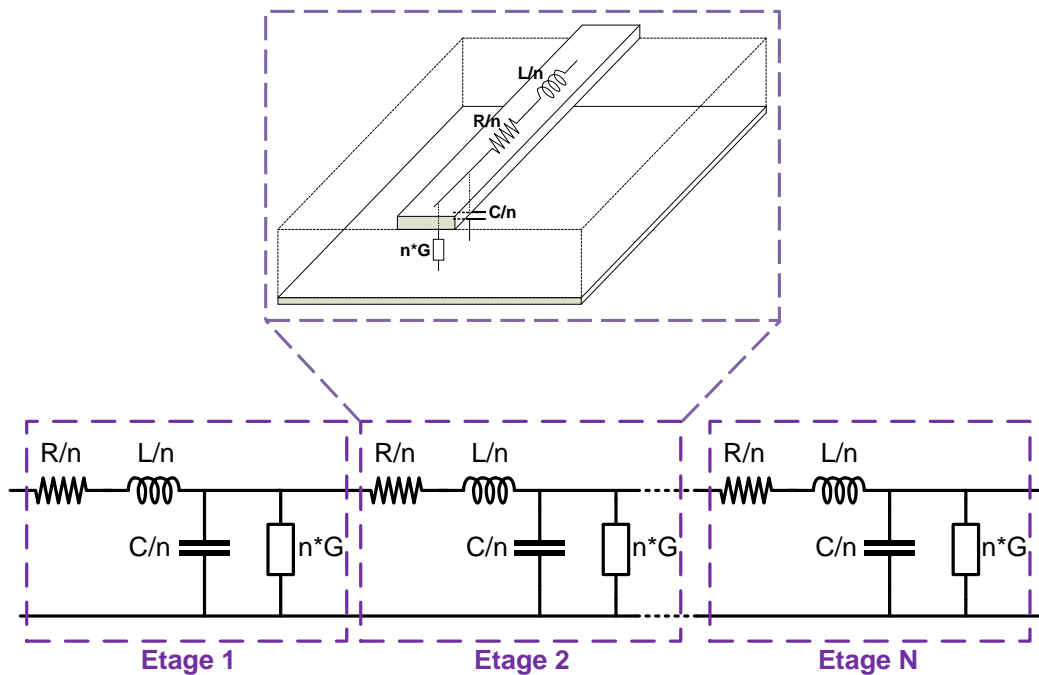


Figure II-8 : Modèle d'une ligne de transmission à base de n étages de cellules RLCG

Les pertes dans les conducteurs sont définies par l'inductance et la résistance linéique :

$$L = \frac{\Im m(Z_C \cdot \gamma)}{2\pi \cdot f} \quad [H/m] \quad R = \Re e(Z_C \cdot \gamma) \quad [\Omega/m] \quad (II-17)$$

Les pertes dans le diélectrique sont, quant à elles, définies par la capacité et la conductance linéique :

$$C = \frac{\Im m(\gamma/Z_C)}{2\pi \cdot f} \quad [F/m] \quad G = \Re e\left(\frac{\gamma}{Z_C}\right) \quad [S/m] \quad (II-18)$$

3.1.4. Modèles discrets des lignes de transmission

Plusieurs modèles discrets ont été développés afin de faciliter le calcul des dimensions des lignes de transmission. Les formules les plus précises ont été publiées en 1980 par E. Hammerstad et O. Jensen [HAM80]. Elles permettent de calculer la permittivité effective ϵ_{eff} et l'impédance caractéristique Z_C d'une ligne microstrip en connaissant la hauteur h de diélectrique, la permittivité relative ϵ_r du diélectrique et la largeur W de la piste.

Les équations de la permittivité effective ϵ_{eff} sont données en (II-19).

$$\epsilon_{eff} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r}{2} \left(1 + \frac{10}{W/h}\right)^{-a.b}$$

$$\text{avec } a = 1 + \frac{1}{49} \cdot \ln \left(\frac{(W/h)^2 + \left(\frac{W/h}{52}\right)^2}{(W/h)^2 + 0,432} \right) + \frac{1}{18,7} \cdot \ln \left(1 + \left(\frac{W/h}{18,1}\right)^3\right) \quad (\text{II-19})$$

$$\text{et } b = 0,564 \cdot \left(\frac{\epsilon_r - 0,9}{\epsilon_r + 3}\right)^{0,053}$$

L'impédance caractéristique Z_C est calculée grâce aux équations (II-20) ci-dessous :

$$Z_C = \frac{60}{\sqrt{\epsilon_r}} \ln \left(\frac{F_u}{W/h} + \sqrt{1 + \left(\frac{2}{W/h}\right)^2} \right) \quad (\text{II-20})$$

$$\text{avec } F_u = 6 + (2\pi - 6) \cdot \exp \left(- \left(\frac{30,666}{W/h}\right)^{0,7528} \right)$$

Une comparaison effectuée sur le Tableau II-2 pour des lignes microstrip 50Ω en CMOS 65nm Bulk montre que les formules de Hammer sont assez précises à 60GHz. Néanmoins une simulation électromagnétique sera toujours indispensable afin de prendre en compte l'ensemble des effets de proximité.

	ϵ_{eff}	$W @ Z_C=50\Omega$
Formules de Hammer	3,43	5,2
Simulation EM	4,1	5,15
Mesures	4	5,2

Tableau II-2 : Comparaison entre les formules de Hammer, une simulation EM et la mesure

3.1.5. Limites des lignes de transmission classiques

Les lignes de transmission, dans les technologies CMOS avancées, présentent de faibles facteurs de qualité et de fortes pertes, en plus d'un encombrement important. En effet, comme montré dans [ALO10], une ligne coplanaire, implémentée en technologie CMOS 65nm avec 7 couches métalliques génère une constante d'atténuation de 1,6dB/mm à 60 GHz. Afin de régler ce problème, les composants passifs peuvent être conçus sur un substrat haute résistivité SOI qui empêche la fuite du champ électrique dans le substrat. La ligne coplanaire,

développée dans [SIL10], présente 0,6dB/mm de pertes. Les circuits conçus dans cette technologie ont des performances nettement meilleures, mais pour un coût de fabrication plus élevé. De plus, le SOI n'est pas adapté aux technologies bipolaires car la mauvaise qualité du collecteur sur ce substrat limite les fréquences de coupure à environ 100GHz. Une autre solution est l'utilisation de lignes de transmission à ondes lentes afin d'améliorer le facteur de qualité et réduire les dimensions des circuits.

3.2.Lignes de transmission à ondes lentes

3.2.1. Principe de fonctionnement

Afin d'améliorer les performances des circuits passifs, de nombreuses recherches se sont orientées sur l'utilisation du phénomène d'ondes lentes. L'objectif est de diminuer la vitesse de phase v_ϕ de l'onde (c.à.d. augmenter la permittivité effective ϵ_{eff}) afin de réduire la longueur d'onde guidée λ_g , comme le justifie l'équation (II-21), offrant ainsi la possibilité de miniaturiser les lignes.

$$v_\phi = \frac{c_0}{\sqrt{\epsilon_{eff}}} = \lambda_g \times f = \frac{1}{\sqrt{L_{lin} \cdot C_{lin}}} \quad (\text{II-21})$$

Les techniques les plus connues pour générer le phénomène d'ondes lentes sont l'utilisation de substrats à haute permittivité et la modification de la géométrie de la ligne de transmission pour augmenter l'inductance linéique L_{lin} et/ou la capacité linéique C_{lin} . Elles ne sont cependant pas toutes applicables car :

- Pour les technologies CMOS standards, il n'est pas possible de modifier directement la permittivité relative des diélectriques du BEOL.
- Augmenter l'inductance linéique revient à réduire la largeur de la ligne de transmission et par conséquent à augmenter ses pertes.

Au final, le seul degré de liberté restant est la modification de la capacité linéique.

Tout le défi consiste à améliorer la constante de phase β sans trop dégrader la constante d'atténuation α afin d'améliorer le facteur de qualité comme le justifie l'équation (II-16).

Plusieurs topologies de lignes à ondes lentes ont déjà été publiées, mais toutes ne sont pas forcément intéressantes pour la conception de PAs. Il convient donc de sélectionner les structures les plus pertinentes pour notre application. En effet, la réduction en longueur de la ligne par effet d'ondes lentes s'accompagne d'un élargissement de cette ligne. Cette caractéristique se révèle extrêmement handicapante pour la miniaturisation d'amplificateurs complexes requérant une combinaison de puissance. Un compromis entre la longueur et la largeur de la ligne doit ainsi être fait, tout en s'assurant que son facteur de qualité reste maximal. Trois structures de lignes à ondes lentes ont été fabriquées et mesurées. Leurs performances seront comparées et discutées dans la section II.3.2.3.

3.2.2. Etat de l'art des lignes à ondes lentes implémentées dans des PAs

- Dans le PA [VAR08], des lignes à ondes lentes S-CPW (35Ω Slow-wave CoPlanar Waveguide) sont implémentées en technologie CMOS 65nm Bulk. La topologie de cette ligne de transmission est montrée sur la Figure II-9. Le conducteur central est placé sur le métal 6 et fait $12\mu\text{m}$ de large. Les plans de masse latéraux sont espacés de $9\mu\text{m}$ du conducteur et sont empilés du métal 3 au métal 6 pour minimiser leur résistivité. Des barreaux métalliques transverses sont ajoutés sur les métaux M1 et M2 afin d'augmenter la capacité linéique sans dégrader l'inductance linéique tout en masquant le substrat à faible résistivité. La permittivité effective et les pertes atteignent respectivement 9 et $1,1\text{dB/mm}$. Le facteur de qualité monte à 14 à 60GHz .

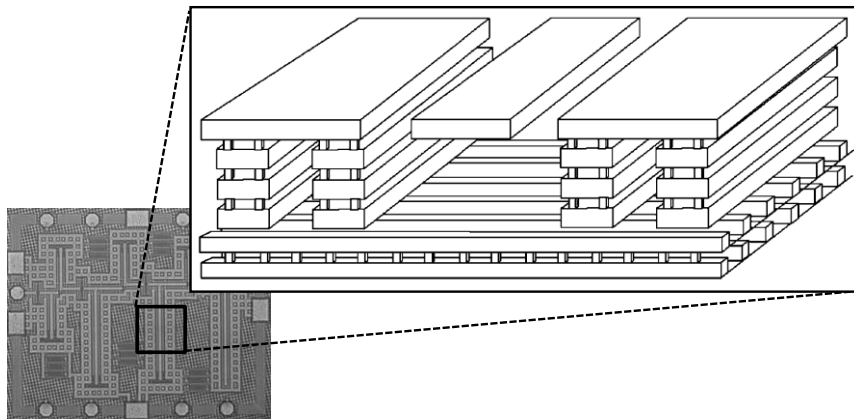


Figure II-9 : Ligne S-CPW utilisée dans le réseau d'adaptation du PA [VAR08]

- Dans le circuit [KOM05] illustré sur la Figure II-10, des lignes S-CPWG (Slow-wave CoPlanar Waveguide Grounded) composent les réseaux d'adaptation. Le plan de masse *Shield #1* sous le conducteur central est parsemé de fentes de $2\mu\text{m}$ de largeur afin d'empêcher le retour de courant sous le conducteur et donc d'éviter la dégradation de l'inductance linéique. Les barreaux connectés à la masse *Shield #2* minimisent les pertes dans le substrat.

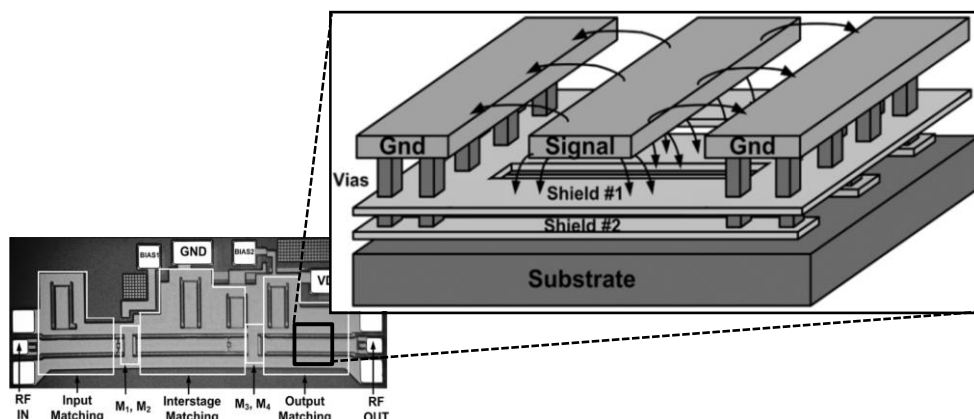


Figure II-10 : Ligne S-CPWG utilisée dans le réseau d'adaptation du PA [KOM05]

Le conducteur central est composé d'une couche d'aluminium à $11,7\mu\text{m}$ du substrat et ayant une épaisseur de $4\mu\text{m}$. Les deux couches de blindage *Shield #1* et *Shield #2* sont en aluminium et en cuivre. Les mesures de cette ligne montrent une constante d'atténuation de 1dB/mm et une permittivité effective de 18, conduisant à un facteur de qualité d'environ 23.

- Des lignes couplées S-CPS (Slow-wave CoPlanar Strip) sont utilisées pour l'adaptation en sortie dans [LAR09] (Figure II-11). Un réseau de commutateurs est placé au

milieu de chaque barreau pour contrôler l'effet d'ondes lentes. La permittivité effective varie de 8,5 pour des commutateurs bloqués, jusqu'à 54 pour des commutateurs passant. Néanmoins, les pertes causées par les interrupteurs MOS dégradent fortement le facteur de qualité de la structure, limité à 10 dans le meilleur des cas.

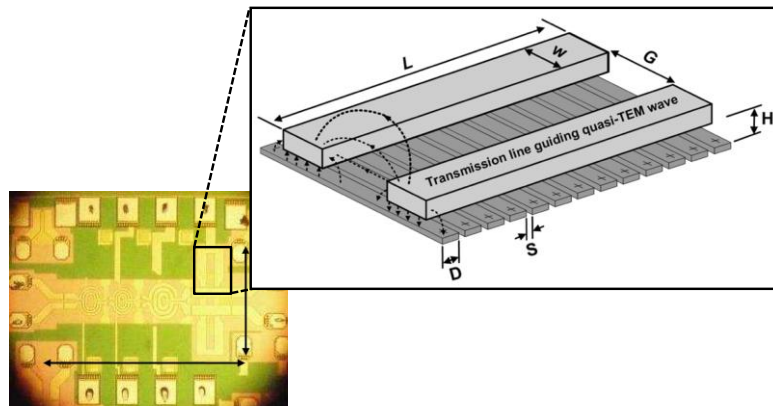


Figure II-11 : Lignes S-CPS utilisée dans le réseau d'adaptation du PA [LAR09]

La Figure II-12 compare les performances de plusieurs lignes de transmission à ondes lentes implémentées dans les réseaux d'adaptation de PAs. On s'aperçoit qu'un fort facteur de qualité et une haute permittivité sont atteignables avec des lignes S-CPW. Néanmoins, la réduction de la longueur physique de ces lignes pour un déphasage donné, implique une augmentation conséquente de la largeur physique ($\approx 70\mu\text{m}$ dans [TAN11]). Cette augmentation de la largeur et le positionnement des barreaux transverses peuvent poser des problèmes quand on souhaite ajouter des coudes à la ligne pour minimiser la taille du circuit.

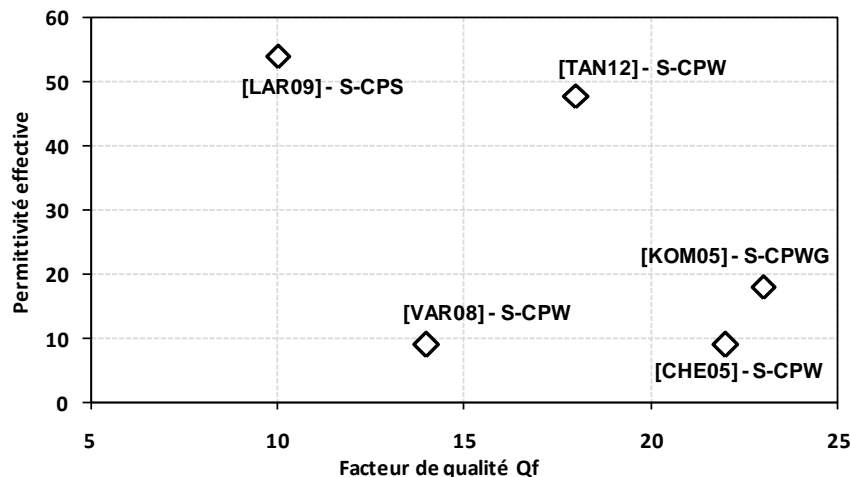


Figure II-12 : Comparaison de la permittivité effective en fonction du facteur de qualité pour des lignes à ondes lentes utilisées dans des PAs

3.2.3. Conception et analyse de différentes lignes à ondes lentes

Trois topologies de lignes à ondes lentes ont été mesurées. La première ligne présentée repose sur la structure bien documentée S-CPW utilisant des barreaux transverses flottants. La deuxième est composée d'une ligne microstrip ayant une largeur qui varie périodiquement. Enfin, la troisième est une ligne coplanaire S-CPWG blindée par un plan de masse parsemé de fentes.

Ligne n°1 : Ligne S-CPW

Une topologie classique de ligne à ondes lentes S-CPW est présentée sur la Figure II-13. Elle est constituée d'une ligne CPW avec des barreaux métalliques flottants disposés perpendiculairement au sens de propagation à une hauteur h de la ligne.

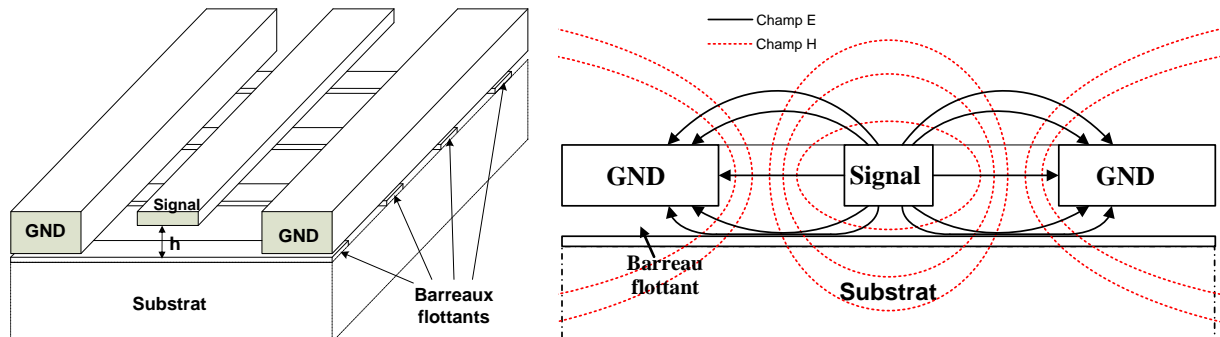


Figure II-13 : Topologie classique de ligne à ondes lentes S-CPW

Les barreaux métalliques forment un écran qui empêche la pénétration du champ électrique E dans le substrat tant que leur espacement est proche de h . La haute densité de barreaux augmente la capacité linéique de la ligne et donc la permittivité effective.

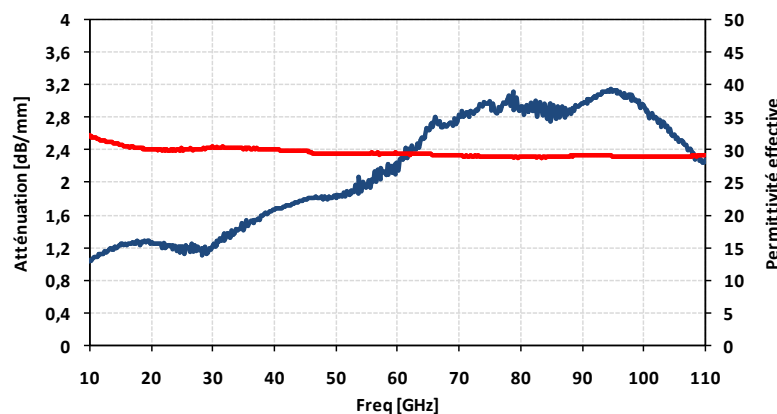


Figure II-14 : Atténuation et permittivité effective de la ligne S-CPW

Une ligne S-CPW a été conçue dans la technologie 65nm Bulk. Les barreaux flottants sont en M1 (métal le plus bas du BEOL) et ont une largeur de $0,1\mu\text{m}$ pour une longueur de $66\mu\text{m}$. Ils sont espacés les uns des autres par une distance de $1\mu\text{m}$. Le conducteur central est formé en empilant les métaux M2 jusqu'à l'Alucap sur une largeur de $6\mu\text{m}$. La proximité des barreaux transverses avec le conducteur central génère une forte capacité linéique et un effet d'ondes lentes. Après une étude itérative, les plans de masse latéraux sont espacés du conducteur central par une distance de $20\mu\text{m}$. La largeur totale de la ligne S-CPW est d'environ $70\mu\text{m}$.

La permittivité effective est mesurée à 29, ce qui correspond à une réduction par 3 des dimensions en comparaison avec une ligne microstrip classique : une ligne quart d'onde mesure $232\mu\text{m}$ contre $620\mu\text{m}$ pour une ligne microstrip. L'atténuation α est toutefois assez élevée avec $2,2\text{dB/mm}$ ce qui limite le facteur de qualité à 13,5 (Figure II-14). La forte capacité linéique réduit l'impédance caractéristique à $Z_c=31\Omega$. La largeur très importante de cette ligne de transmission limite assez fortement la miniaturisation des circuits d'adaptation.

Ligne n°2 : Ligne microstrip à ondes lentes

Cette ligne de transmission à ondes lentes est illustrée sur la Figure II-15.

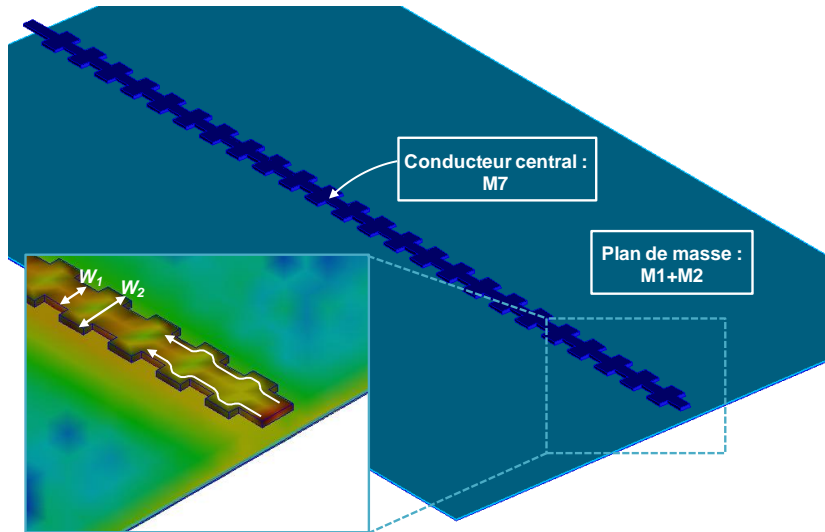
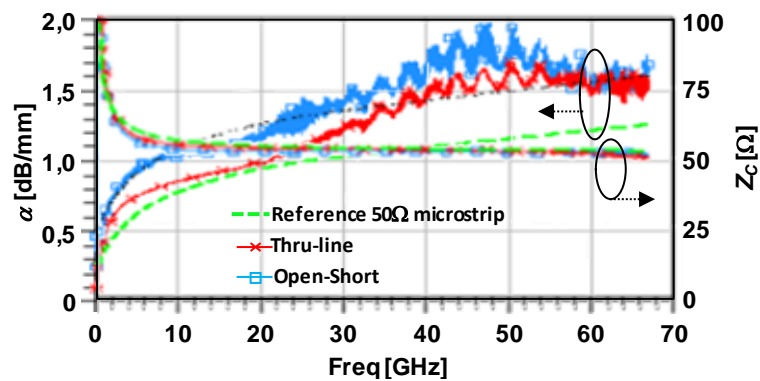
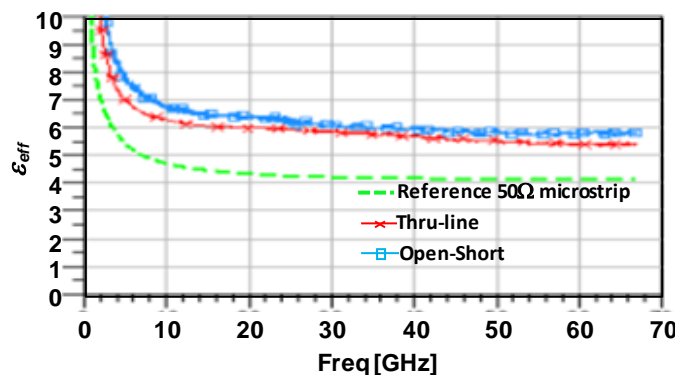


Figure II-15 : Vue 3D d'une ligne microstrip ayant un conducteur central à largeur variable

La largeur du conducteur central sur M7 varie périodiquement de $W_1 = 4\mu\text{m}$ à $W_2 = 7\mu\text{m}$. La surface en regard avec le plan de masse est la même que celle d'une ligne microstrip standard.



a) Atténuation α et impédance caractéristique Z_C



b) Permittivité effective

Figure II-16 : Performances de la ligne microstrip à ondes lentes

Toutefois, le périmètre du conducteur est bien supérieur à celui de la ligne microstrip. La capacité linéique étant liée à la capacité surfacique C_{surf} (avec le plan de masse) et à la

capacité de frange C_f dépendante du périmètre, il en résulte que cette ligne de transmission a une capacité linéique plus importante (II-22).

$$C_{lin} = C_{surf} + C_f \quad (II-22)$$

Les mesures sur les Figure II-16.a) et b) ont été obtenues avec les techniques d'épluchage TRL et Open-Short. Elles montrent que l'impédance caractéristique Z_C est inchangée ce qui implique, d'après l'équation (II-22), que l'inductance linéique bouge également. En analysant le comportement de la ligne à 60GHz sur la Figure II-15, il est clairement visible que le courant parcourt un plus long trajet à cause de l'effet de peau. Au final, l'inductance et la capacité linéiques tracées sur la Figure II-17 augmentent dans les mêmes proportions. L'impédance caractéristique est gardée constante et un effet d'onde lente apparait avec une permittivité effective ϵ_{eff} de 5,7 sur la Figure II-16.b). Les pertes linéiques α de 1.5dB/mm à 60GHz mènent à un facteur de qualité de 9, équivalent à celui d'une ligne microstrip standard.

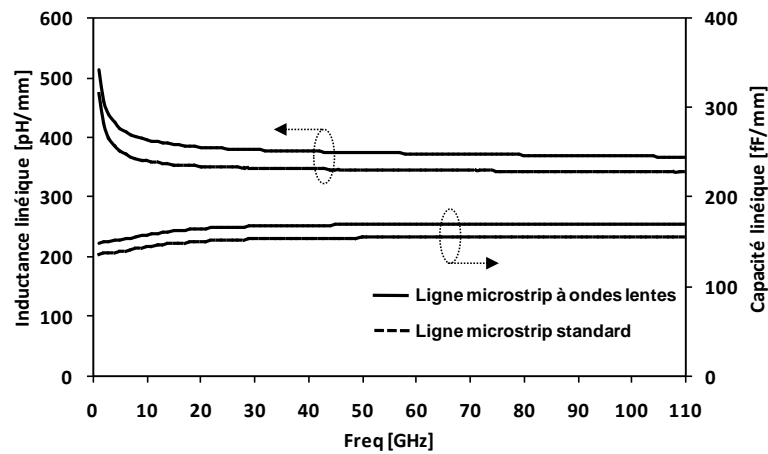


Figure II-17 : Inductance et capacité linéiques de la ligne microstrip à ondes lentes

Ligne n°3 : Ligne S-CPWG

Les lignes coplanaires CPW standards ont l'inconvénient d'être en regard avec un substrat peu résistif. Une solution serait d'ajouter un plan de masse sous le conducteur central pour former une ligne CPWG (Figure II-18.a)).

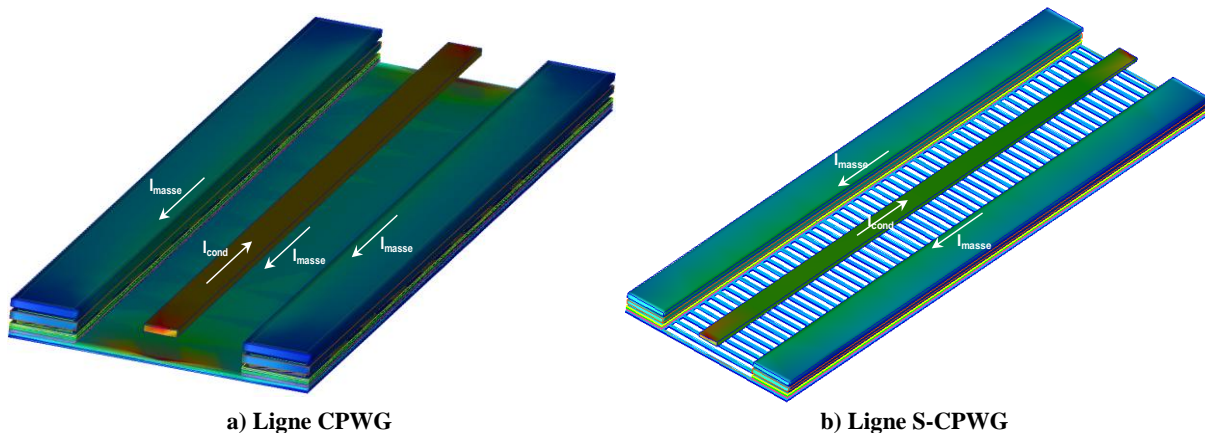


Figure II-18 : Vues 3D de lignes de transmission CPWG et S-CPWG

Néanmoins, ce blindage augmente la capacité linéique tout en réduisant l'inductance linéique. En effet, le retour du courant s'effectuant sous le conducteur central, il en résulte une inductance mutuelle négative qui va diminuer l'inductance linéique. L'effet d'ondes lentes n'apparaît pas et l'impédance caractéristique chute.

Une autre approche consiste à utiliser un plan de masse parsemé de fentes transverses sous le conducteur central comme dans [KOM05]. La ligne S-CPWG est présentée sur la Figure II-18.b). Ce nouveau plan de masse empêche le courant de retour de passer sous le conducteur central. On minimise ainsi l'inductance mutuelle négative réduisant l'inductance linéique avec un impact négatif sur la permittivité effective. En outre, la densité des fentes influe sur la capacité linéique (le maximum de capacité étant atteint avec un plan de masse plein sous le conducteur) et permet d'ajuster l'impédance caractéristique. Il faut juste prendre garde aux fuites du champ électrique dans le substrat et aux performances globales de la ligne.

La Figure II-19 détaille la structure de la ligne S-CPWG.

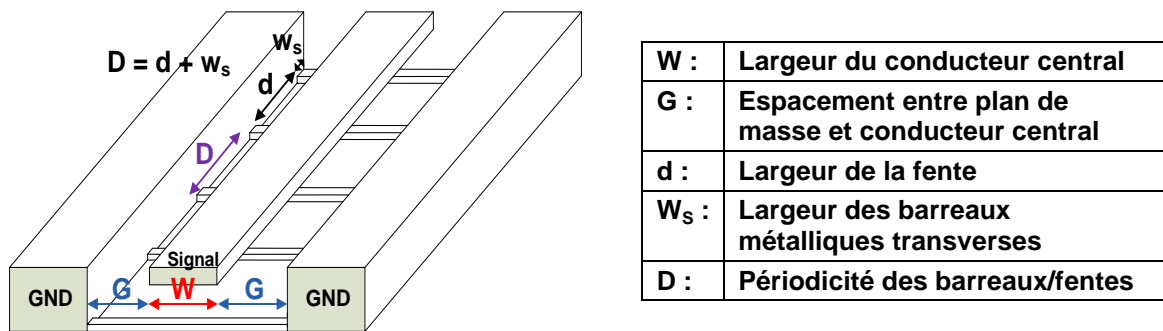


Figure II-19 : Dimensions de la ligne S-CPWG

Comme le montre la Figure II-20, des dimensions optimales de $W=10\mu\text{m}$ et $G=10\mu\text{m}$ sont trouvées pour une largeur de fente d de $2\mu\text{m}$ et une largeur de métal W_s de $0,5\mu\text{m}$. Le facteur de qualité maximal est de 19,4 et l'impédance caractéristique Z_C est gardée proche de 50Ω .

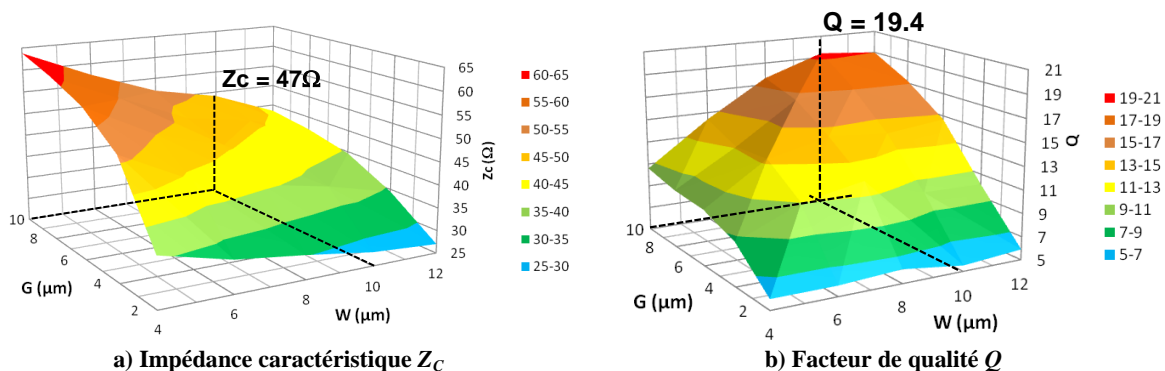


Figure II-20 : Optimisation de l'impédance caractéristique et du facteur de qualité de la ligne S-CPWG

La constante d'atténuation α mesurée sur la Figure II-21 atteint environ $0,7\text{dB/mm}$ à 60GHz pour une permittivité effective de 7. La technique d'épluchage TRL (Thru Reflect Line) a permis d'enlever les éléments parasites liés aux plots RF. On constate une bonne corrélation entre la simulation et la mesure.

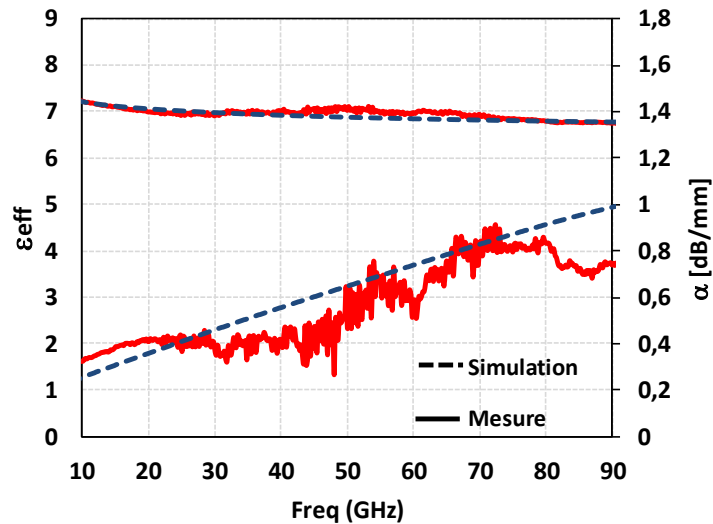


Figure II-21 : Mesures de la constante d'atténuation et de la permittivité effective de la ligne S-CPWG

La ligne présente un minimum de pertes dans le substrat avec une faible valeur de la conductance linéique $G=0.7\text{mS/mm}$. Les fuites du champ électrique dans le substrat ont été analysées grâce à une simulation électromagnétique sous HFSS et sont données sur la Figure II-22. On voit clairement que le champ électrique est bien plus fort dans le substrat pour une ligne coplanaire que pour la ligne S-CPWG proposée. Le métal entre les fentes agit donc bien comme un blindage et assure l'homogénéité de la masse du circuit en connectant périodiquement les deux plans latéraux.

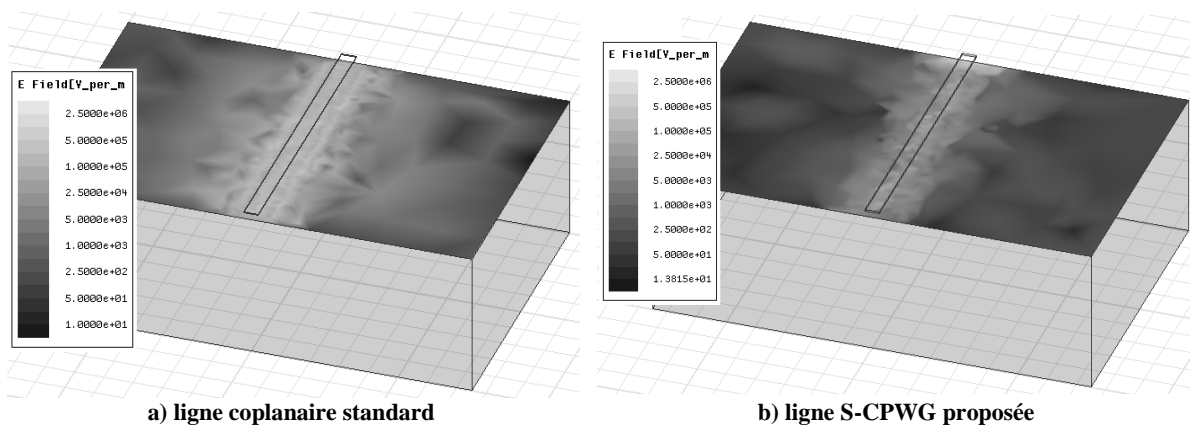


Figure II-22 : Fuite du champ électrique dans le substrat pour les lignes CPW et S-CPWG

3.2.4. Comparaison et discussion

Le Tableau II-3 liste l'ensemble des lignes étudiées dans ce chapitre. Toutes ces lignes ont été conçues dans la technologie CMOS 65nm. Deux lignes coplanaire en 65nm SOI issues des références [SIL10] et [TAN12a] sont ajoutées afin d'analyser l'intérêt des lignes à ondes lentes.

La ligne microstrip à ondes lentes a la même impédance caractéristique et le même facteur de qualité qu'une ligne microstrip standard. Elle a par contre l'avantage d'être un peu plus compacte avec une longueur à $\lambda/4$ de $520\mu\text{m}$ contre $610\mu\text{m}$ pour une ligne classique. Par ailleurs, sa faible largeur lui autorise des structures en forme de serpents.

La ligne coplanaire classique est pénalisée par ses pertes de substrat qui réduisent son facteur de qualité à 7 pour un Z_C à 50Ω . Le blindage fourni par la ligne S-CPWG permet d'améliorer son facteur de qualité aux alentours de 20, proche de celui d'une ligne CPW en technologie SOI. Néanmoins, la longueur de ces lignes à $\lambda/4$ est importante.

Les lignes CPW à ondes lentes permettent de réduire la longueur au détriment de la largeur. Par exemple, la ligne S-CPW étudiée et la ligne S-CPW en technologie SOI ont respectivement une longueur à $\lambda/4$ de $232\mu\text{m}$ et $310\mu\text{m}$ pour une largeur de $70\mu\text{m}$ et $61\mu\text{m}$.

Cette largeur conséquente est clairement un frein pour l'implémentation de ces lignes dans un PA à 60GHz. Des lignes S-CPWG ou MS à ondes lentes seront préférées.

	Z_C [Ω]	α [dB/mm]	Q	ϵ_{eff}	Longueur à $\lambda/4$ [μm]	Pertes à $\lambda/4$ [dB]	Largeur [μm]
Ligne CPW	50	1,6	7	4,6	580	0,9	22
Ligne MS	50	1,2	9	4,2	610	0,73	5
Ligne S-CPW	31	2,2	13,5	29	232	0,51	70
Ligne MS à ondes lentes	50	1,5	9	5,7	520	0,78	7
Ligne S-CPWG	47	0,74	19,4	7	470	0,35	30
Ligne SOI CPW [SIL10]	50	0,6	21,4	5,5	530	0,32	36
Ligne SOI S-CPW [TAN12a]	36	0,55	40	16	310	0,17	61

Tableau II-3 : Comparaison des performances des lignes standards et à ondes lentes

4. Composants localisés

4.1. Plots RF

4.1.1. Conception des plots RF

Les plots RF sont les structures d'accès vers le circuit. Afin d'assurer un bon contact avec l'environnement extérieur (pointes de mesure, bump...), ils sont contraints d'occuper une surface assez imposante. De plus, l'ouverture minimale de la passivation est généralement fixée par le fondeur. Ces dimensions ont pour conséquence de ramener une capacité parasite C_{pad} non négligeable aux fréquences millimétriques, étant donné que cette dernière est liée à la surface du plot S_{pad} ainsi qu'à l'épaisseur h_{diel} et à la permittivité ϵ_r du diélectrique (équation (II-23)).

$$C_{pad} = \epsilon_0 \epsilon_r \frac{S_{pad}}{h_{diel}} \quad (II-23)$$

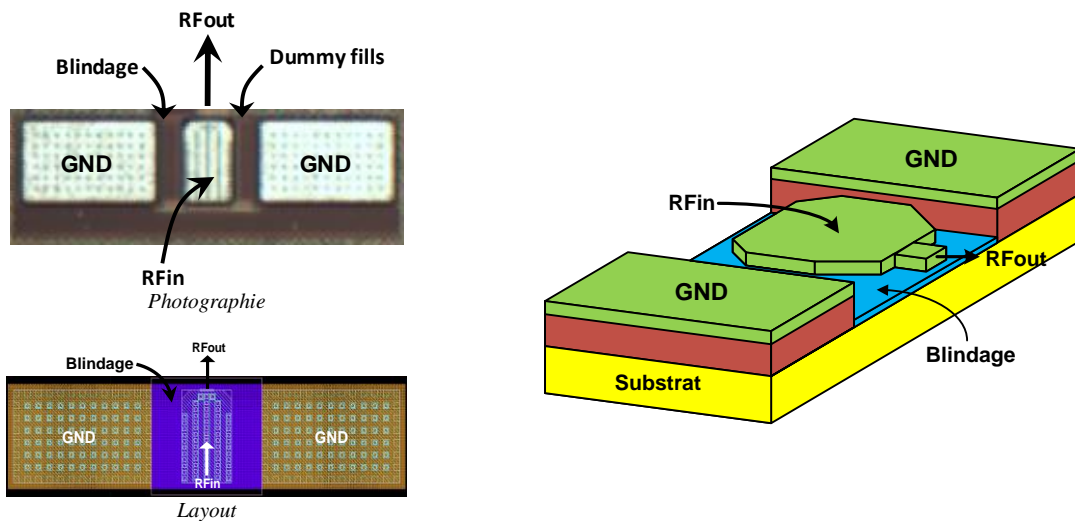
Des simulations électromagnétiques sont nécessaires afin de prendre en compte l'ensemble des effets parasites tels que les effets inductifs et résistifs liés aux métaux ou le couplage capacitif avec les plans de masse ou le substrat. La capacité équivalente C_{eq} du plot peut être retrouvée facilement grâce à l'équation (II-24).

$$C_{eq} = \frac{1}{2\pi f} \times \Im m(Y_{11}) \quad (II-24)$$

Deux types de plots RF sont utilisés : les plots RF blindés et non blindés. Chacune de ces structures présente des avantages et des inconvénients qui sont détaillés ci-dessous.

Exemple d'un plot RF blindé dans la technologie 28nm FD-SOI :

Les plots RF blindés se révèlent particulièrement intéressants quand la conductivité du substrat est mal connue ou si une immunité avec le substrat est désirée. Les métaux inférieurs sont empilés pour former un blindage.



a) Vue de dessus (photographie et layout)

b) Représentation en 3D des plots RF

Figure II-23 : Photographie, layout et représentation 3D des plots RF blindés

Sur la Figure II-23, un plot RF blindé est implémenté dans la technologie 28nm FD-SOI. La capacité équivalente doit être minimisée afin de repousser au maximum la résonance. Pour ce faire, le plot est implémenté sur les deux derniers métaux (l'Alucap et le métal M10 ou IB) avec un blindage en M1+M2. La simulation électromagnétique prend en compte les dummies avec un taux de remplissage de 50%. Ces derniers garantissent la robustesse mécanique du circuit. La capacité équivalente sur la Figure II-24 est d'environ 33fF. Cette forte valeur s'explique par la faible distance entre le plot et le blindage métallique.

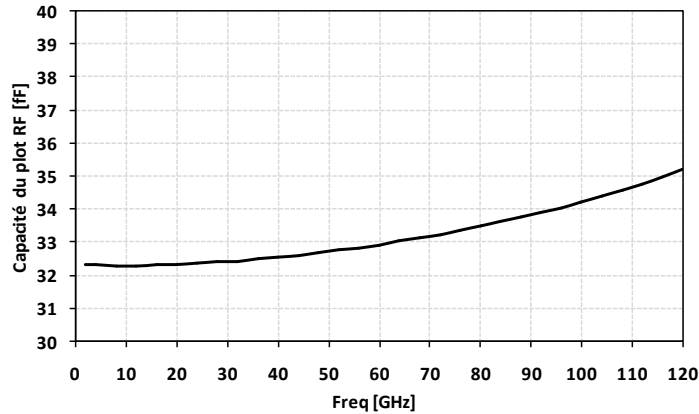


Figure II-24 : Capacité équivalente du plot RF blindé en CMOS 28nm FD-SOI

Le calcul théorique avec l'équation (II-23) donne une capacité d'environ 26fF pour une surface S_{pad} de $3326\mu m^2$ et une permittivité relative de 3,5. Les 2/3 du plot descendent jusqu'au métal IB. Par expérience, on s'aperçoit qu'un taux de remplissage de 50% augmente toujours la capacité d'un facteur proche de 1,25 (II-25).

$$C_{pad,dummy} \approx 1,25 \times \epsilon_0 \epsilon_r S_{pad} \left(\frac{2}{3h_{diel_IB}} + \frac{1}{3h_{diel_Alucap}} \right) \approx 33fF \quad (II-25)$$

Exemple d'un plot non blindé en technologie 65nm :

Les plots RF non blindés sur la Figure II-25 présentent une plus faible capacité équivalente mais plus de pertes dans le substrat. La modélisation est plus complexe car il faut prendre en compte les courants de fuite dans le silicium. Afin de garantir la conductivité du substrat à $10\Omega.cm$, un marqueur PWell_Block est ajouté sur le layout du plot.

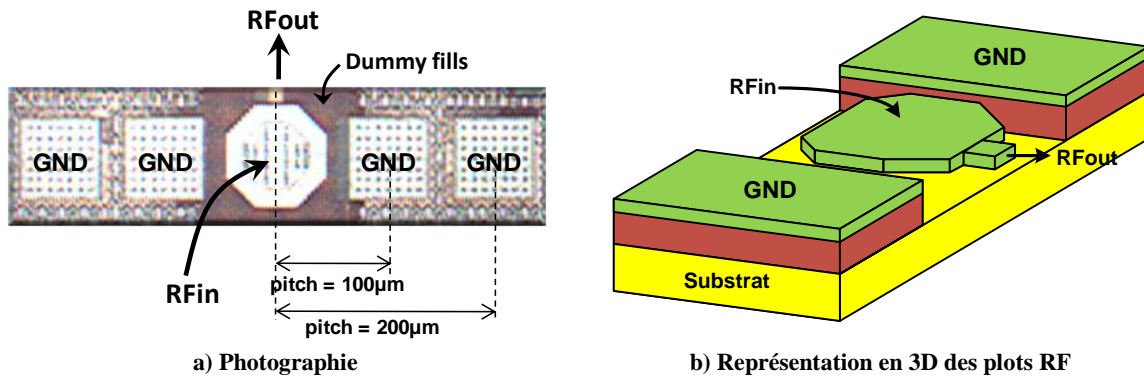


Figure II-25 : Photographie et représentation 3D des plots RF non blindés

La capacité équivalente mesurée sur la Figure II-26 est d'environ 15fF à 60GHz. Un taux de remplissage de 50% permet de respecter les règles de densité.

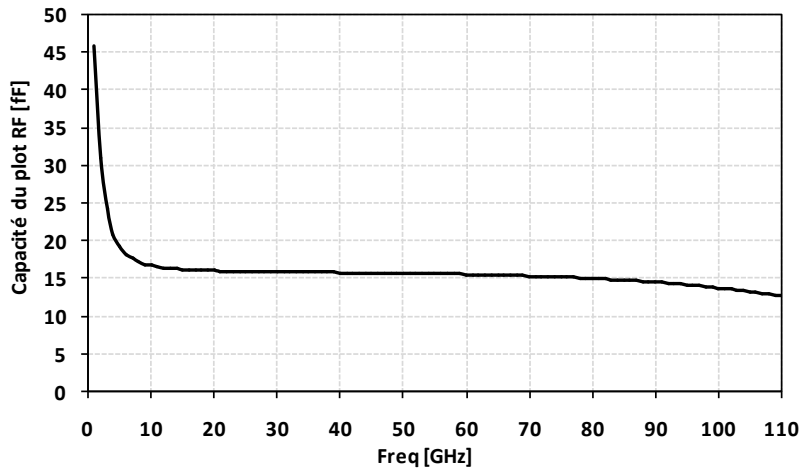


Figure II-26 : Capacité équivalente du plot RF non blindé en CMOS 65nm Bulk

4.1.2. Protections contre les ESD

Les décharges électrostatiques (ESD) provenant de l'environnement extérieur peuvent endommager un circuit intégré. Un circuit de protection à base de diodes comme celui dessiné sur la Figure II-27 est généralement placé au niveau des plots RF et DC.

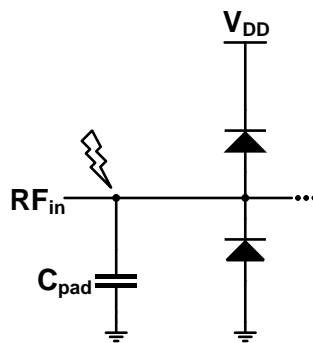


Figure II-27 : Protection ESD utilisée en RF

Ce montage n'est cependant pas compatible à 60GHz car la capacité parasite au niveau de la jonction PN des diodes représente une faible impédance à 60GHz et court-circuite les signaux d'entrée/sortie. Des structures fonctionnant aux fréquences millimétriques ont fort heureusement été développées et sont listées sur la Figure II-28.

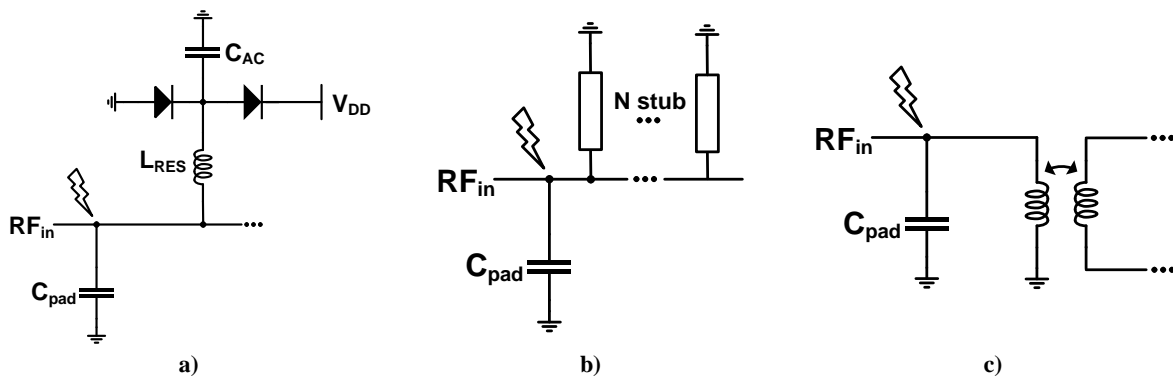


Figure II-28 : Protections ESD compatibles aux fréquences millimétriques

4.2. Capacités MOM

Les capacités MOM (Metal-Oxide-Metal) sont construites à l'aide des métaux standards du BEOL et ne requièrent pas d'étapes de fabrication supplémentaires contrairement aux capacités MIM (Metal-Insulator-Metal) [LIM04]. La Figure II-29 donne la vue 3D d'une capacité MOM et son modèle équivalent simplifié. Les résistances R_{par} modélisent les pertes résistives liées aux accès. Les capacités C_{MOM} et C_{sub} correspondent respectivement à la capacité intrinsèque et aux capacités de couplage avec le substrat. L'inductance parasite L_{par} fait chuter la fréquence de résonance du composant. La disposition des doigts permet d'atteindre une haute densité (par exemple, $2,48\text{fF}/\mu\text{m}^2$ au maximum en CMOS 65nm Bulk) lorsque l'ensemble des métaux fins est utilisé.

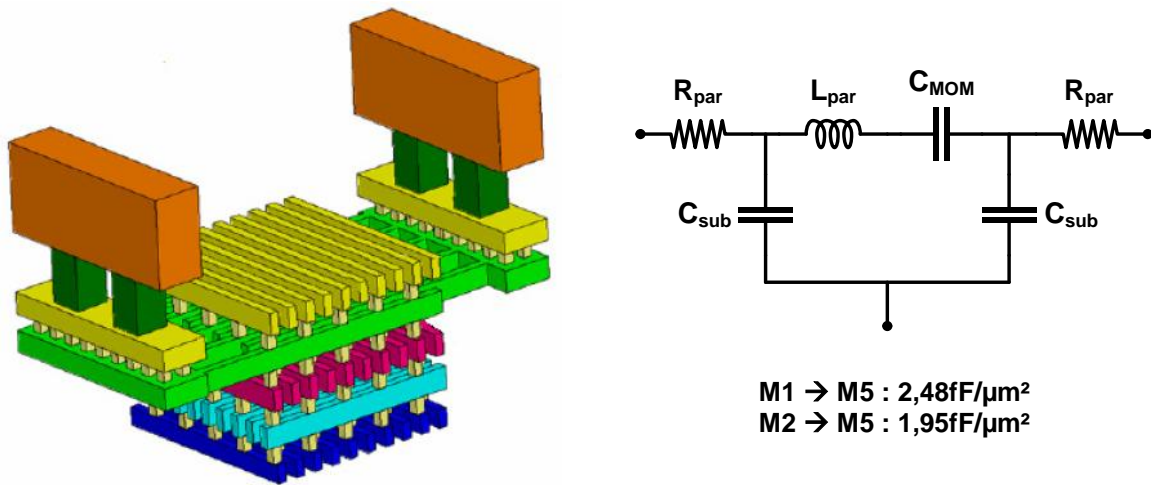


Figure II-29 : Capacité MOM en technologie CMOS 65nm Bulk

Une étude des performances de cette capacité doit être menée afin de vérifier son intérêt aux fréquences millimétriques. Les facteurs de qualité Q_C (II-26) pour des capacités de 100fF et de 20fF sont tracés sur la Figure II-30.

$$Q_C = \frac{\Im m(Y_{11})}{\Re e(Y_{11})} \quad (\text{II-26})$$

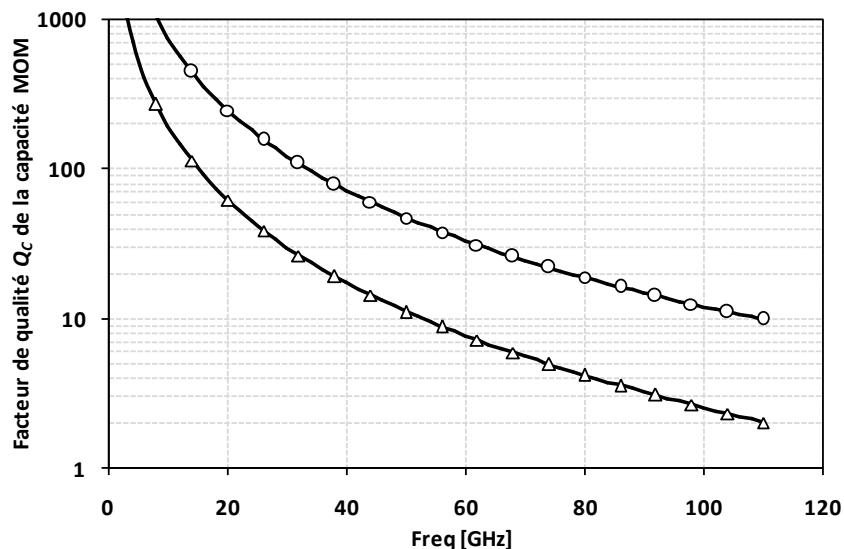


Figure II-30 : Facteurs de qualité pour des capacités MOM de 20fF et 100fF en CMOS 65nm Bulk

Le facteur de qualité pour les structures de 20fF et 100fF chutent respectivement à 32 et 7,9 à 60GHz.

Les mauvaises performances des capacités MOM de fortes valeurs à 60GHz est problématique pour la conception d'amplificateurs. De plus, le facteur de qualité varie peu en fonction du nœud technologique. En effet, la référence [QUE10a] montre que Q_C varie de 7 à 10 entre les technologies CMOS 65nm et CMOS 45nm pour des capacités de 200fF.

Au final, deux alternatives s'offrent aux concepteurs de PAs à 60GHz :

- Une technologie SOI avec un substrat à haute résistivité permet de réduire le couplage avec le substrat et d'améliorer considérablement Q_C [BEN03][MAR08].
- Les capacités MOM ne doivent pas être utilisées dans la mesure du possible pour les réseaux d'adaptation et le blocage du DC. Les transformateurs intégrés s'avèrent particulièrement adaptés pour effectuer ces deux tâches.

4.3. Transformateurs intégrés

4.3.1. Théorie

Un transformateur intégré est constitué de deux inductances L_P et L_S couplées magnétiquement, nommées respectivement le primaire et le secondaire. Une vue 3D et un modèle simplifié sont présentés sur la Figure II-31.

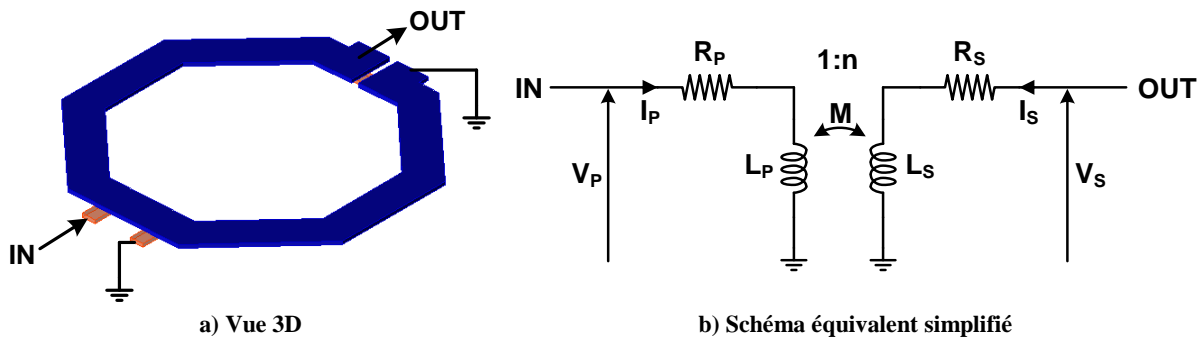


Figure II-31 : Transformateur intégré

Les courants et les tensions du primaire et du secondaire sont reliés par la relation (II-27) :

$$\begin{bmatrix} V_P \\ V_S \end{bmatrix} = \begin{bmatrix} j\omega L_P + R_P & j\omega M \\ j\omega M & j\omega L_S + R_S \end{bmatrix} \begin{bmatrix} I_P \\ I_S \end{bmatrix} \quad (\text{II-27})$$

R_P et R_S représentent les résistances séries du primaire et du secondaire. La mutuelle inductance M entre les deux enroulements est dépendante du coefficient de couplage k :

$$M = k\sqrt{L_P L_S} = \frac{\Im m(Z_{21})}{\omega} \quad (\text{II-28})$$

Le coefficient de couplage k peut être extrait grâce aux paramètres Z :

$$k = \frac{\sqrt{\Im m(Z_{12})\Im m(Z_{21})}}{\sqrt{\Im m(Z_{11})\Im m(Z_{22})}} \quad (\text{II-29})$$

Le rapport de transformation n entre l'entrée et la sortie est donné par :

$$n = \sqrt{\frac{L_P}{L_S}} = \frac{I_P}{I_S} = \frac{V_S}{V_P} \quad (\text{II-30})$$

Les impédances d'entrée et de sortie sont ajustées en jouant sur le diamètre des enroulements, les largeurs de piste et le coefficient de couplage.

Le facteur de qualité de chaque enroulement est défini par :

$$Q_P = \frac{\Im m(Z_{11})}{\Re e(Z_{11})} = \frac{\omega L_P}{R_P} \quad Q_S = \frac{\Im m(Z_{22})}{\Re e(Z_{22})} = \frac{\omega L_S}{R_S} \quad (\text{II-31})$$

La forme du primaire ou du secondaire n'a que peu d'impact sur les performances d'un transformateur aux fréquences millimétriques car le nombre de tour est limité à deux. En effet, l'inductance des enroulements ne doit pas être trop élevée afin d'éviter la résonance du transformateur dans la bande de travail.

Comme le montre [LEI11], un blindage (patterned ground shield PGS, floating shield FSh...) n'améliore pas les performances du composant aux fréquences millimétriques et peut être supprimé. Par ailleurs, la structure empilée est préférée à la structure planaire, car elle fournit un meilleur couplage et de plus faibles pertes d'insertion.

La formule (II-32) donnant le maximum d'efficacité d'un transformateur est démontrée dans [CHO10] et dépend des facteurs de qualité Q_P et Q_S des enroulements et du coefficient de couplage k .

$$\eta_{max} = \frac{P_{out}}{P_{in}} = \frac{1}{1 + 2\sqrt{\frac{1}{Q_P Q_S k^2} \left(1 + \frac{1}{Q_P Q_S k^2}\right)} + \frac{2}{Q_P Q_S k^2}} \quad (\text{II-32})$$

L'efficacité est maximale dans le cas où :

$$\omega L_S = \frac{1}{\omega C_S} \quad (\text{II-33})$$

avec C_S , la capacité de grille d'un transistor ou la capacité d'entrée d'un plot RF et :

$$\omega L_P = \frac{A}{1 + A^2 n^2} \frac{R_L}{\omega} \quad \text{avec } A = \frac{1}{\sqrt{\frac{1}{Q_S^2} + \frac{Q_P}{Q_S} k^2}} \quad (\text{II-34})$$

Il découle de (II-32) la formule des pertes d'insertion minimales (II-35) :

$$IL_m = -10 \log(\eta_{max}) = 10 \log(P_{in}) - 10 \log(P_{out}) \quad (II-35)$$

Les courbes correspondantes aux équations (II-32) et (II-35) sont tracées sur la Figure II-32. L'efficacité (ou les pertes) est optimale pour un couplage fort associé à un facteur de qualité élevé. Les performances du transformateur constituant le combineur de puissance détaillé dans le chapitre IV sont indiquées sur ces courbes. Ses pertes d'insertion sont de l'ordre de 0,6dB soit une efficacité de 87%.

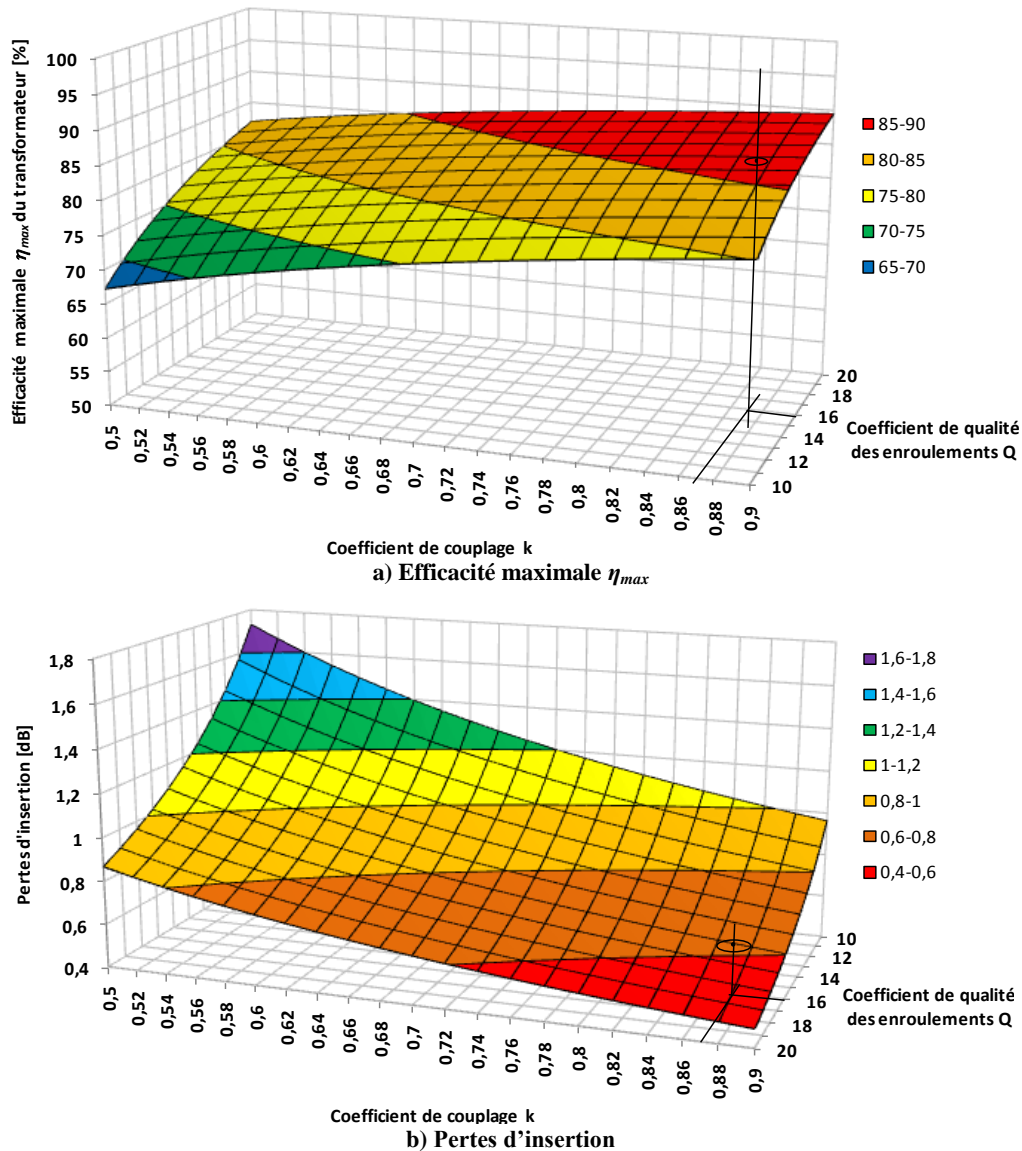


Figure II-32 : Performances d'un transformateur en fonction du facteur de qualité des enroulements et du coefficient de couplage

A noter que l'efficacité est théoriquement indépendante du rapport de transformation. Il est donc possible d'augmenter la puissance de sortie sans augmenter les pertes du réseau d'adaptation. On pourra confirmer cette remarque dans la section III. 1.7.1.

4.3.2. Conversion mode commun – mode différentiel (« Balun »)

Le transformateur peut également être utilisé pour convertir un signal mode commun en un signal différentiel. On parle alors de « Balun » (BALanced – UNbalanced) et une structure est présentée sur la Figure II-33.

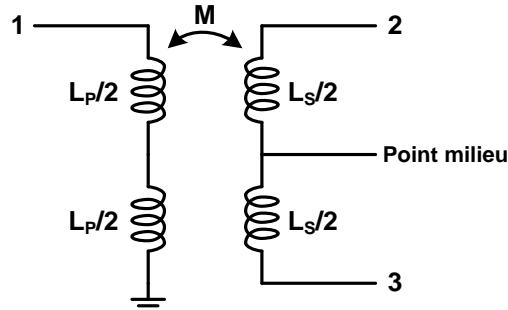


Figure II-33 : Balun à base de transformateurs intégrés

Les signaux différentiels doivent avoir la même amplitude avec un écart de phase proche de 180°. Les écarts de l'amplitude ΔA et de la phase $\Delta\varphi$ définis par les équations (II-36) et (II-37) permettent de caractériser le balun.

$$\Delta A = 20 \log \left| \frac{S_{21}}{S_{31}} \right| \quad (\text{II-36})$$

$$\Delta\varphi = \text{angle} \left(\frac{S_{21}}{S_{31}} \right) \quad (\text{II-37})$$

De plus, les signaux en mode commun doivent rester faibles. Par conséquent, le taux de réjection de mode commun (II-38) doit être le plus haut possible.

$$CMRR = \left| \frac{S_{31} - S_{21}}{S_{31} + S_{21}} \right| = \left| \frac{Z_{31} - Z_{21}}{Z_{31} + Z_{21}} \right| \quad (\text{II-38})$$

Dans la réalité, des écarts conséquents en phase et en amplitude existent à cause d'un déséquilibre dans le couplage électrique. Ces écarts se traduisent par des impédances de charge différentes sur chacune des voies différentielles, limitant les performances des PAs.

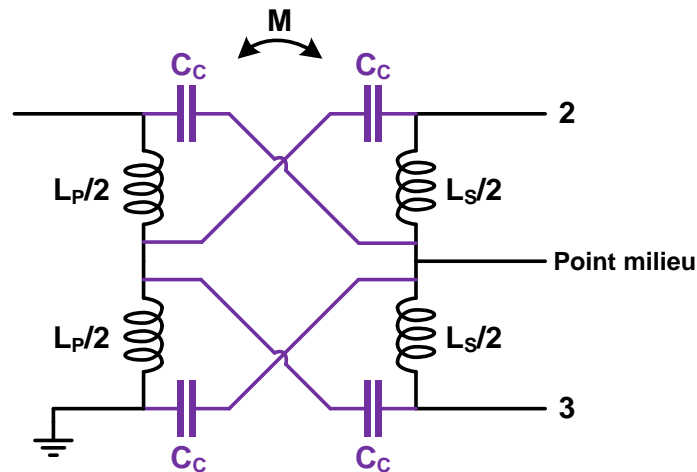


Figure II-34 : Balun réel avec une asymétrie au niveau des capacités de couplage

En modélisant un peu plus finement le balun sur la Figure II-34, on observe l'asymétrie des capacités de couplage C_C .

Plusieurs solutions ont été proposées dans la littérature pour corriger ces écarts. La première technique, illustrée sur la Figure II-35, consiste à connecter une capacité de compensation C_{comp} sur le port du primaire habituellement connecté à la masse, afin d'améliorer le taux de réjection de mode commun [ALO10][LEI11].

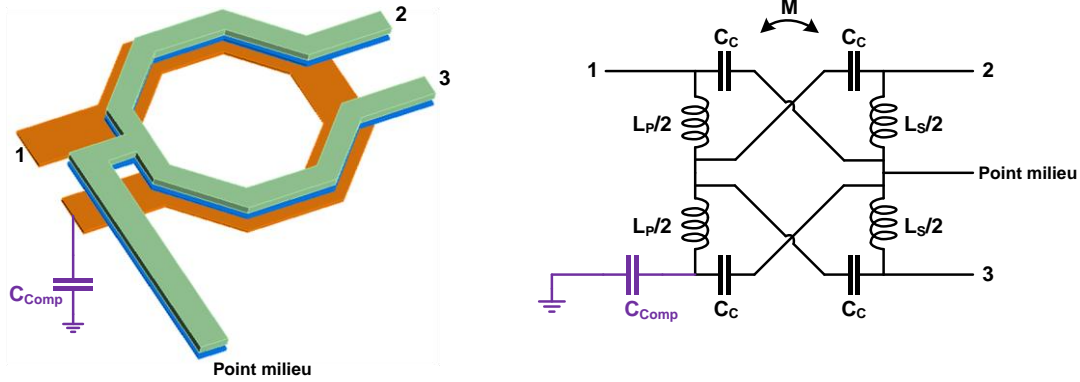


Figure II-35 : Techniques d'amélioration du CMRR [ALO10]

En effet, d'après [LEI11], on peut écrire que :

$$Z_{31} = \frac{j\omega \left\{ \frac{C_C}{2} \left[\left(\frac{M}{2} \right)^2 - \frac{L_P}{2} \frac{M}{2} \right] \omega^2 + \frac{M}{2} \right\}}{\frac{C_C}{2} \left(-M + \frac{L_P}{2} + L_S \right) \omega^2 - \left(1 + \frac{C_C}{2C_{comp}} \right)} \quad (\text{II-39})$$

$$Z_{21} = \frac{j\omega \left\{ \frac{C_C}{2} \left[- \left(\frac{M}{2} \right)^2 + L_P \frac{L_S}{2} \right] \omega^2 - \left(\frac{C_C L_P}{4C_{comp}} + \frac{M}{2} \right) \right\}}{\frac{C_C}{2} \left(-M + \frac{L_P}{2} + L_S \right) \omega^2 - \left(1 + \frac{C_C}{2C_{comp}} \right)} \quad (\text{II-40})$$

Le CMRR est maximal pour $Z_{21} + Z_{31} = 0$ quand :

$$\omega_0 = \frac{1}{\sqrt{\left(L_S - \frac{M}{2} \right) C_{comp}}} \quad (\text{II-41})$$

Dans le cas où le primaire est connecté à la masse, c.à.d. pour $1/C_{comp} = 0$, le CMRR est maximal en DC. En choisissant correctement la capacité de compensation, le maximum de CMRR peut être ajusté à la fréquence de travail.

Néanmoins, le faible facteur de qualité des capacités à 60GHz amène plus de pertes d'insertion. Il n'est donc pas garanti que les performances du PA soient améliorées. De plus, ces capacités ne sont pas protégées contre les décharges électrostatiques.

Un enroulement flottant peut être ajouté pour une compensation horizontale ou verticale [ZHA12a]. Dans le cas d'une compensation verticale (Figure II-36.a)), l'enroulement de la voie différentielle est pris en sandwich entre l'enroulement du mode commun et

l'enroulement flottant. La structure étant parfaitement symétrique, les déséquilibres disparaissent. Pour la compensation horizontale (Figure II-36.b)), l'enroulement flottant symétrise les capacités de couplage.

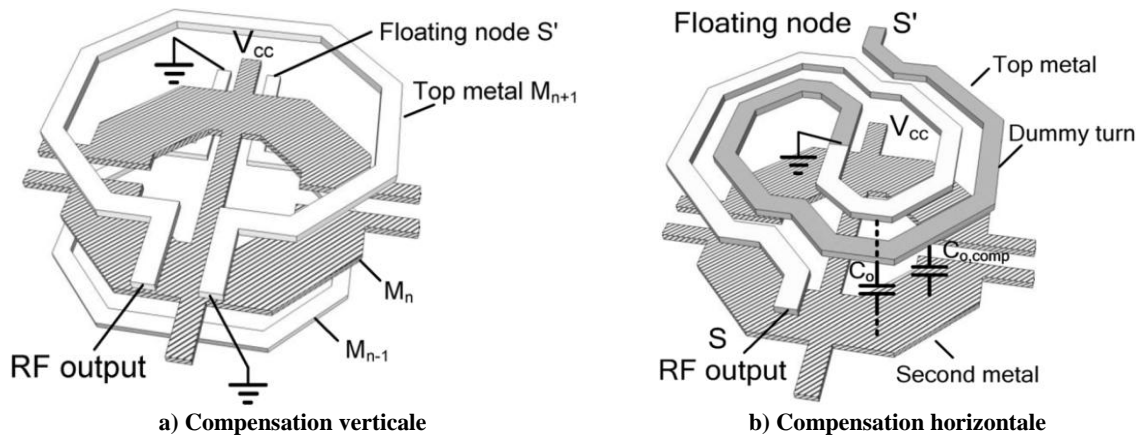


Figure II-36 : Technique de compensation du balun [ZHA12a]

4.4.DATs

Afin d'améliorer la puissance de sortie d'un PA sans augmenter les pertes d'insertion du réseau d'adaptation en sortie, le primaire d'un transformateur peut être découpé en plusieurs morceaux. Cette architecture, introduite dans [AOK02], est appelée un DAT et est illustrée sur la Figure II-37.

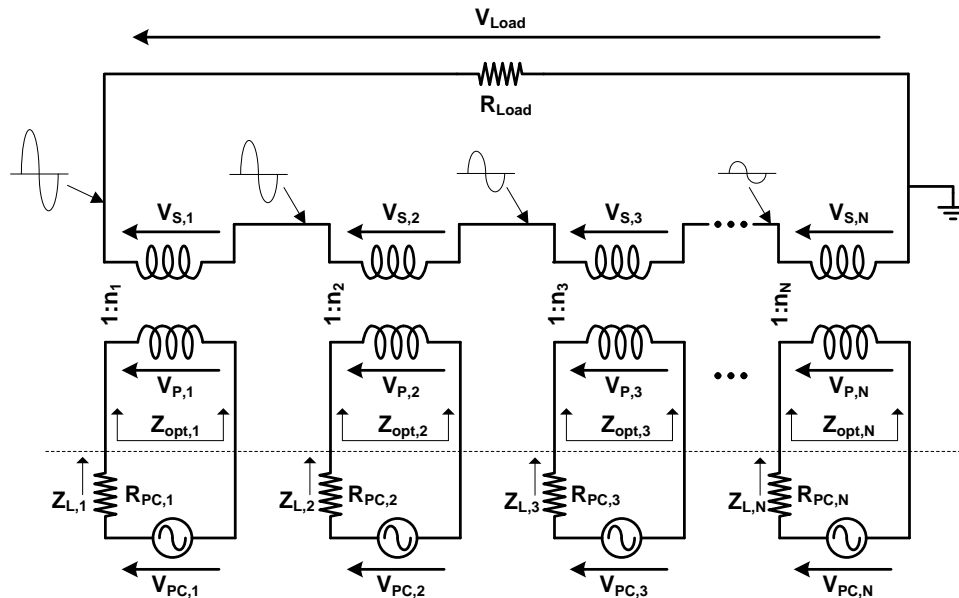


Figure II-37 : Schéma d'un DAT

Les primaires sont dimensionnés pour présenter la charge optimale $Z_{opt,k}$ aux transistors de puissance. Chaque cellule amplificatrice est alimentée à travers les points milieux de ces primaires. Les tensions (et donc les puissances) délivrées au niveau de chaque secondaire se somment. La tension V_{Load} sur la charge est ainsi bien plus élevée que la tension $V_{P,k}$ (ou $V_{S,k}$ si le rapport de transformation $n_k=1$) sur chaque cellule de puissance (II-42) :

$$V_{Load} = \sum_{k=1}^N V_{S,k} = \sum_{k=1}^N n_k V_{P,k} \quad (\text{II-42})$$

Etant donné que le courant traversant le secondaire est constant, l'impédance de charge d'une cellule est déterminée par les impédances et les tensions de sortie des autres cellules. La référence [CHO10] montre que l'impédance $Z_{L,k}$ vue par chaque amplificateur est :

$$Z_{L,k} = \frac{(R_{Load} + \sum_{i=1}^N n_i^2 R_{PC,i}) \times V_{PC,k}}{n_k \sum_{i=1}^N n_i V_{PC,i}} - R_{PC,k} \quad (\text{II-43})$$

Lorsque toutes les cellules amplificatrices génèrent les mêmes tensions et impédances de sortie, $Z_{L,k}$ est uniquement dépendant du nombre N de cellules en parallèle et du nombre n d'enroulement entre le primaire et le secondaire :

$$Z_{L,k} = \frac{R_{Load}}{N \times n^2} \quad (\text{II-44})$$

La puissance de sortie P_{out} délivrée à la charge R_{Load} est donnée par l'équation (II-45) :

$$P_{out} = N^2 \times n^2 \times \frac{V_{PC}^2}{2R_{Load}} \quad (\text{II-45})$$

Le nombre d'enroulement n est limité à deux pour éviter que la résonance du transformateur soit trop proche de la fréquence de travail. Par ailleurs, le nombre N de primaires est lui aussi extrêmement réduit à cause des capacités parasites entre les enroulements, qui génèrent des déséquilibres en amplitude et en phase sur chaque tension de sortie $V_{S,k}$. La recombinaison en tension n'étant plus parfaite, des pertes supplémentaires apparaissent. Dans le chapitre IV, plusieurs topologies de combineurs en puissance à base de DAT sont exposées. On s'apercevra que le nombre maximal de primaires sur ces structures est de deux. Au-delà, les déséquilibres sont tels que la recombinaison n'est plus constructive.

Finalement, on peut écrire de manière empirique qu'un DAT peut fournir, sans dégradation de l'efficacité, une puissance maximale de :

$$P_{out} = 8 \times \frac{V_{PC}^2}{R_{Load}} \quad (\text{II-46})$$

5. Conclusion du chapitre

Les phénomènes parasites aux fréquences millimétriques fixent les performances des circuits passifs localisés ou distribués. Avec l'effet de peau, le courant a tendance à circuler sur la surface du conducteur, ce qui augmente la résistivité de ce dernier. A 60GHz, l'épaisseur de peau est de seulement 0,3 μ m. En outre, le retour de masse peut être résistif et inductif, et impacte sur le comportement des composants passifs et sur le gain des transistors. Enfin, le couplage avec le substrat est problématique car l'injection de courant dans le substrat peut coupler deux circuits distants.

Les lignes de transmission standards sont la ligne microstrip MS et la ligne coplanaire CPW. La ligne microstrip possède un blindage sous son conducteur central qui empêche le couplage avec le substrat mais les pertes de conduction sont assez importantes. La ligne CPW a, quant à elle, de fortes pertes liées au couplage avec le substrat. Ces lignes sont assez encombrantes avec une longueur quart d'onde aux alentours de 600 μ m. Des topologies alternatives reposant sur l'effet d'ondes lentes ont été proposées dans la littérature et sont exposées dans ce chapitre.

La ligne microstrip 50 Ω à ondes lentes a une largeur de piste variable qui lui permet d'augmenter sa capacité et son inductance linéique dans les mêmes proportions. La permittivité effective augmente jusqu'à 5,7 et le coefficient de qualité reste comparable à une ligne microstrip classique.

Deux lignes coplanaires à ondes lentes ont aussi été implémentées. La première est constituée de barreaux flottants orthogonaux au sens de propagation. La capacité linéique augmente de manière considérable. La permittivité effective atteint 29, ce qui correspond à une longueur quart d'onde de 232 μ m. Les barreaux flottants formant un blindage, le facteur de qualité monte à 13,5. Néanmoins, l'augmentation de la capacité linéique ne s'accompagnant pas d'une augmentation de l'inductance linéique, l'impédance caractéristique chute à 31 Ω . De plus, la largeur imposante de la ligne limite son utilisation pour les amplificateurs. La deuxième ligne est basée sur un plan de masse patterné qui empêche le retour de courant sous le conducteur central et forme un blindage. Le facteur de qualité est amélioré jusqu'à 19,4, proche des performances d'une ligne CPW en technologie SOI HR. La permittivité effective et l'impédance caractéristique sont respectivement de 7 et de 47 Ω . Avec une largeur de seulement 30 μ m, cette ligne sera implémentée dans les réseaux d'adaptation d'un PA à 60GHz dans le chapitre III.

Les plots RF sont basés sur deux topologies : blindé ou non blindé. La structure blindée minimise le couplage avec le substrat, mais augmente la capacité équivalente. A l'inverse, la structure non blindée a une faible capacité, mais un fort couplage avec le substrat.

Les faibles performances de la capacité MOM dans les technologies Bulk s'avèrent très problématiques pour les performances globales d'un PA. L'utilisation d'un transformateur ou d'un DAT pour bloquer le DC est au final la solution la plus judicieuse, d'autant plus que ces composants permettent d'adapter le circuit en impédance et de passer du mode commun au mode différentiel tout en combinant plusieurs cellules amplificatrices.

Chapitre III

Conception d'amplificateurs de puissance à 60GHz

1. METHODOLOGIE DE CONCEPTION D'UN AMPLIFICATEUR DE PUISSANCE MILLIMETRIQUE	94
1.1. Classes de fonctionnement utilisables aux fréquences millimétriques	94
1.1.1. Classes linéaires A, AB, B et C	94
1.1.2. Classes non linéaires E/F étendues	96
1.2. Architectures des PAs	97
1.3. Choix du composant de puissance	98
1.3.1. Choix de la topologie	98
1.3.2. Choix du transistor	100
1.4. Dimensionnement du transistor	100
1.4.1. Largeur et nombre de doigt de grille	101
1.4.2. Rapport de forme	101
1.4.3. Densité de courant de polarisation	102
1.5. Impact des interconnexions parasites	103
1.6. Impédance de charge optimale	104
1.6.1. Méthode graphique	105
1.6.2. Analyse Load-Pull	106
1.7. Synthèse du réseau d'adaptation	106
1.7.1. Réseau d'adaptation en sortie	106
1.7.2. Réseaux d'adaptation en entrée et inter-étage	109
1.8. Stabilité du circuit	109
1.8.1. Analyse linéaire	110
1.8.2. Analyse non-linéaire	111
1.8.3. Techniques de stabilisation	111
1.9. Organigramme du flot de conception	114
2. PA MODE COMMUN A BASE DE LIGNES A ONDES LENTES	115
2.1. Topologie du circuit	115
2.2. Résultats de mesure	118
2.2.1. Performances en petit signal	118
2.2.2. Performances en large signal	119
2.3. Comparaison avec l'état de l'art	119
3. PA PSEUDO-DIFFERENTIEL LARGE BANDE A BASE DE TRANSFORMATEURS INTEGRES EN CMOS 65NM	122
3.1. Topologie du circuit	122
3.2. Résultats de mesure	124
3.2.1. Performances petit-signal	124
3.2.2. Performances large-signal	125
3.3. Comparaison avec l'état de l'art des amplificateurs 60GHz large bande	126
4. PA PSEUDO-DIFFERENTIEL EN CMOS 28NM	128
4.1. Topologie du circuit	128
4.2. Etude des transistors	129
4.3. Résultats de mesure	131
4.3.1. Performances petit-signal	131
4.3.2. Performances large-signal	131
4.4. Comparaison avec l'état de l'art	133
5. CONCLUSION DU CHAPITRE	134

Ce chapitre a pour objectif premier de déterminer les topologies de transistors et les circuits d'adaptation les plus adaptés aux fréquences millimétriques pour la conception d'amplificateurs de puissance hautement linéaires. Pour ce faire, plusieurs topologies de PAs élémentaires en technologie CMOS 65nm et 28nm « Bulk » sont étudiés.

Dans un premier temps, une méthodologie de conception adoptée aux fréquences millimétriques sera détaillée. Cette étude permettra d'établir les architectures et les topologies envisageables en listant leurs avantages et faiblesses, les classes de fonctionnement à choisir suivant l'application visée, pour ensuite se concentrer sur le dimensionnement des différents composants du circuit. La stabilité sera analysée et différentes techniques de stabilisation seront proposées.

Un amplificateur de puissance en technologie 65nm à base de lignes à ondes lentes sera ensuite détaillé et ses performances comparées à l'état de l'art.

Avant de conclure ce chapitre, deux amplificateurs à base de transformateurs en technologie 65nm et 28nm seront présentés, puis comparés à l'état de l'art. L'étude du premier circuit se concentrera sur l'optimisation de la bande passante tandis que le rendement sera favorisé pour le second PA.

1. Méthodologie de conception d'un amplificateur de puissance millimétrique

1.1. Classes de fonctionnement utilisables aux fréquences millimétriques

1.1.1. Classes linéaires A, AB, B et C

Les modulations complexes utilisées dans les standards WiGig ou WirelessHD (Section I.1) nécessitent des amplificateurs de puissance hautement linéaires, limitant les classes de fonctionnement à A et AB légère.

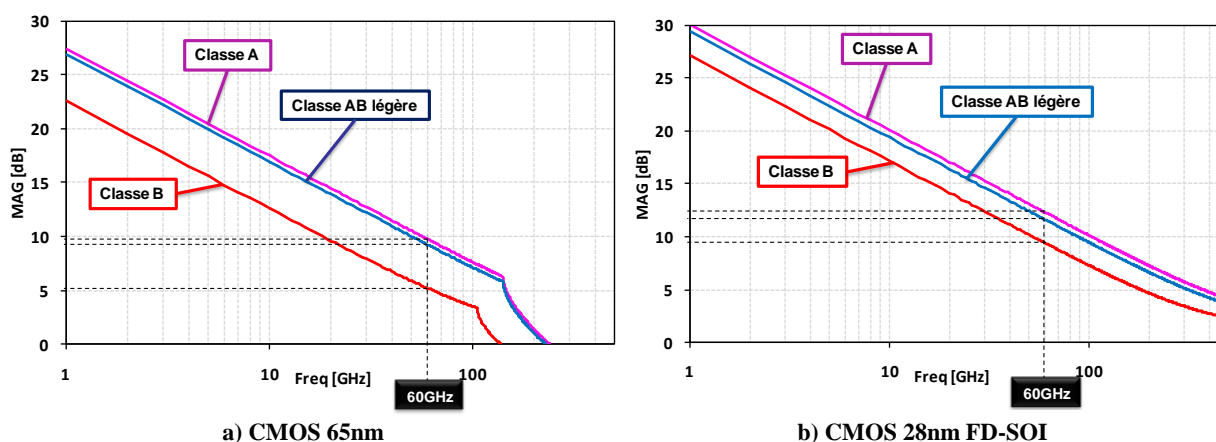


Figure III-1 : MSG/MAG d'un transistor pour différentes polarisations

Le peu de gain disponible à 60GHz pour des transistors ayant des longueurs de grille supérieures à 40nm, contraint, là aussi, le PA à fonctionner en classe A ou AB légère comme

en témoigne la Figure III-1.a). En polarisant le transistor en classe B, les contraintes en linéarité sont reportées sur l'étage précédent (préamplificateur). La PAE donnée par l'équation (III-1) n'est que peu améliorable, car le transistor ne fournit pas suffisamment de gain G en classe B ou C.

$$PAE = \frac{P_{out}}{P_{DC}} \left(1 - \frac{1}{G} \right) \quad (III-1)$$

Le coefficient $1 - \frac{1}{G}$ dans l'équation de la PAE est très fortement réduit de 0,86 à 0,58 au point de compression (rapport $\frac{0,86}{0,58} \approx \frac{3}{2}$). En prenant les valeurs maximales théoriques de l'efficacité de drain $DE = \frac{P_{out}}{P_{DC}}$ d'un transistor en classe A et B (50% en classe A et 78,5% en classe B), on obtient un rapport $\frac{DE_{Classe B}}{DE_{Classe A}}$ d'environ 2/3. Ainsi, au point de compression, on en déduit à partir de l'équation (III-2) que la PAE en classe B est très proche de la PAE en classe A.

$$\frac{PAE_{Classe B}}{PAE_{Classe A}} \approx \frac{DE_{Classe B}}{DE_{Classe A}} \times \frac{0,58}{0,86} \approx 1 \quad (III-2)$$

La Figure III-2.a) confirme cette problématique. Nous n'avons aucun intérêt à polariser le transistor de puissance en classe B étant donné que son gain devient trop bas, sans réel apport en efficacité.

La situation est différente pour des transistors de longueur de grille inférieure ou égale à 40nm. En effet, le transistor présente un fort gain même en classe B, comme le montrent les courbes de gain d'un transistor implémenté en 28nm FD-SOI sur la Figure III-1.b) avec 13 dB en classe A et 9.5 dB en classe B. Le coefficient $1 - \frac{1}{G}$ varie de 0,95 en classe A à 0,89 en classe B, soit un rapport de 1,07 qui assure que le rapport $\frac{PAE_{Classe B}}{PAE_{Classe A}} \gg 1$. Il est ainsi possible d'optimiser le back-off et la consommation d'un amplificateur comme en témoigne la Figure III-2.b) et la publication [ZHA13] où l'amplificateur est polarisé en classe AB.

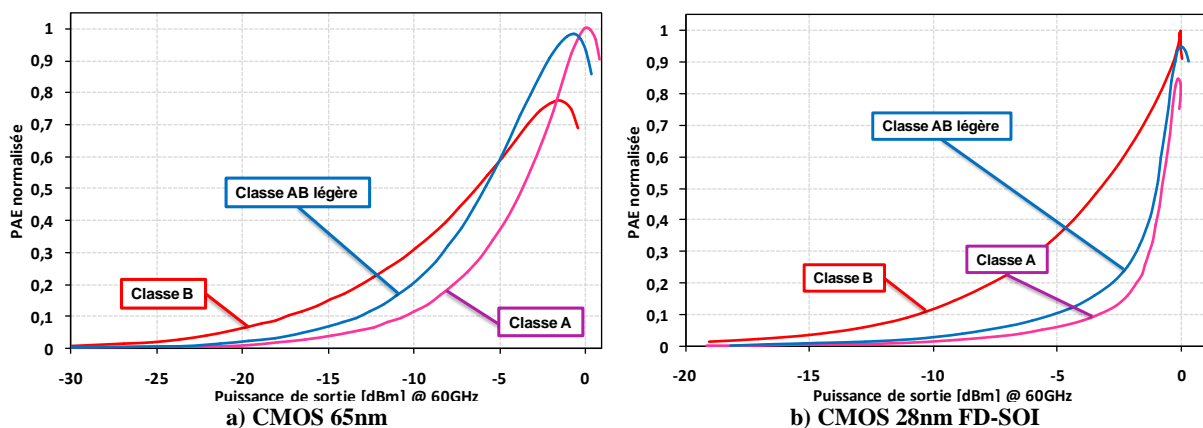


Figure III-2 : Comportement de la PAE d'un transistor en classe A, AB ou B

1.1.2. Classes non linéaires E/F étendues

Les formes d'onde caractéristiques d'un amplificateur en classe E peuvent être reproduites grâce à de nombreux réseaux d'impédance, comme démontré dans [KEE02] et [CHE14], (le tableau des harmoniques est donné en Annexe E), et forment la famille étendue des classes E/F. Chaque classe de cette famille correspond à des impédances différentes suivant les harmoniques avec les classes E et F^{-1} comme extrêmes. La classe E n'a pas de réglages d'impédance sur ses harmoniques contrairement au classe F^{-1} où toutes les harmoniques sont ajustées.

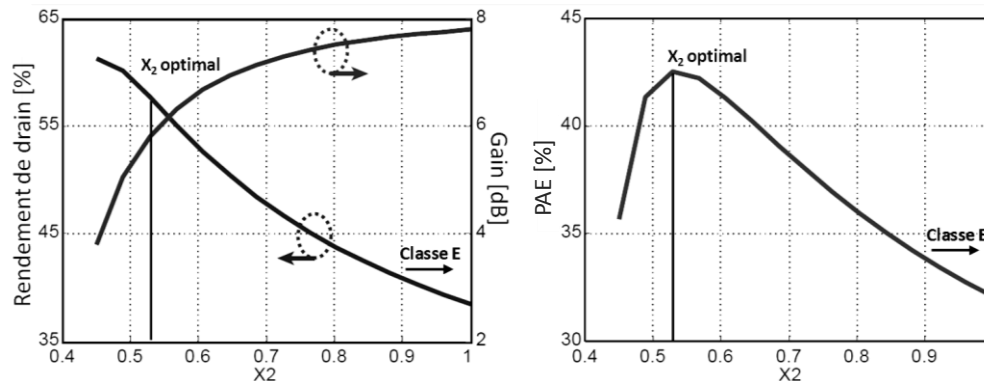


Figure III-3 : DE, gain et PAE pour un transistor 65nm GP en classe E/ F_{X2} [CHE14]

Le réglage des impédances des classes E/F étendues donne plus de flexibilité pour l'optimisation des performances notamment pour le compromis entre le gain et l'efficacité de drain. La référence [CHE14] montre que le réglage de la réactance de charge X_2 sur la deuxième harmonique permet de grandement améliorer le rendement comme en témoigne la Figure III-3. Le transistor 65nm GP présente une PAE maximale de 42% et un gain de 6dB pour une valeur normalisée de X_2 de 0,52.

Ainsi, la classe de fonctionnement E/ F_{X2} est bien plus appropriée à 60GHz qu'une simple structure en classe E (lorsque X_2 tend vers l'infini) dont la PAE tend vers 30%. Optimiser les impédances au-delà de la deuxième harmonique n'est pas intéressant à cause des pertes ramenées par les réseaux passifs. Ce réseau passif doit être capable de résonner avec la capacité parasite de drain du transistor à la fois au fondamental et à la seconde harmonique. Une solution à faible perte apportée dans [CHE13] et [CHE14] consiste à utiliser une inductance deux tours. En effet, lorsqu'une inductance de deux tours est attaquée par un signal différentiel, les champs magnétiques générés par les deux enroulements s'additionnent. A l'inverse, si l'inductance est attaquée par un signal en mode commun, les champs magnétiques générés par les enroulements s'annulent et l'inductance équivalente est réduite. Etant donné que les signaux de la seconde harmonique d'un PA différentiel sont en mode commun, l'inductance (et par extension un transformateur) peut être optimisée afin de présenter les bonnes réactances à 60 et 120GHz.

Cette classe apparait idéale si l'on désire optimiser le rendement d'un amplificateur sans vraiment se soucier de la linéarité, ce qui n'est pas le cas de nos applications. Néanmoins, elle peut être tout à fait adaptée pour les transmetteurs LINC millimétriques (présentés au chapitre IV) travaillant à enveloppe constante.

1.2. Architectures des PAs

Plusieurs architectures de PAs ont été reportées dans la littérature. Elles peuvent être classées en trois catégories : mode commun [ALO11], différentielle ou pseudo-différentielle [CHO09], et équilibrée [CEY05].

Structure mode commun :

La structure mode commun (Figure III-4) est la plus simple et la plus rapide à concevoir. Néanmoins, les performances et la stabilité de la structure sont sensibles au retour de masse qui doit, par conséquent, être parfaitement maîtrisé.

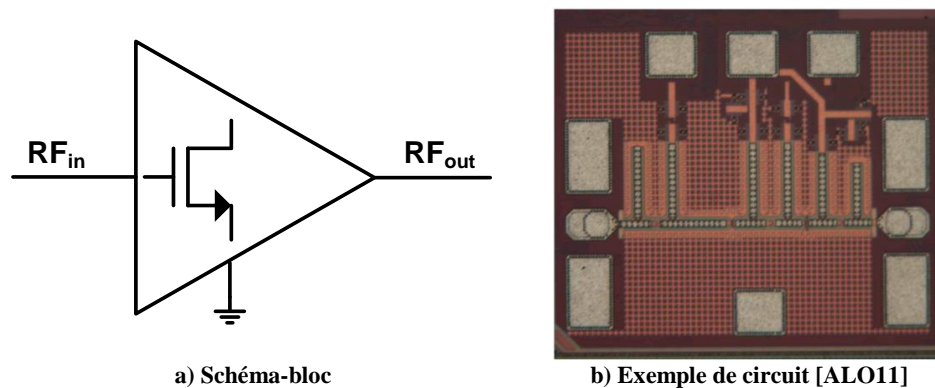


Figure III-4 : Structure mode commun

Structure (pseudo-)différentielle :

La topologie (pseudo-)différentielle, sur la Figure III-5, nécessite de diviser et de combiner deux voies déphasées de 180° grâce à des baluns (Balanced to Unbalanced). Aux fréquences millimétriques, ces baluns peuvent être implémentés par des transformateurs intégrés comme présenté dans la section II.4.3. Ils agissent alors comme des circuits de conversion de mode et d'adaptation d'impédance. La structure a, en outre, l'avantage d'être peu sensible aux retours de masse en présentant des masses dynamiques.

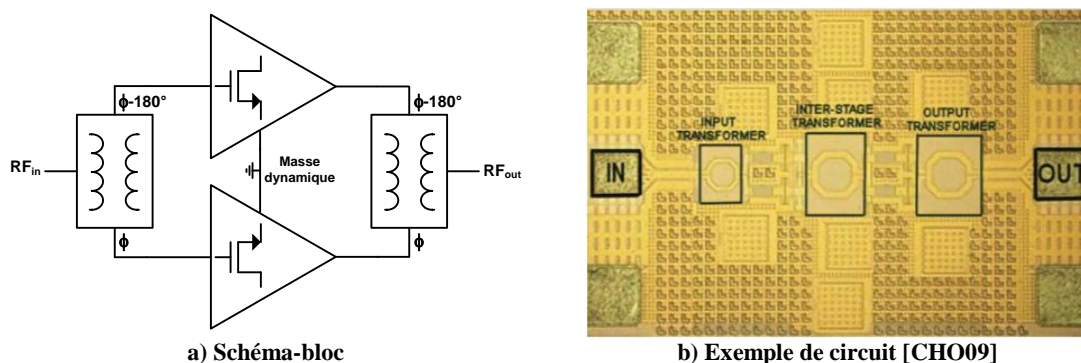


Figure III-5 : Structure (pseudo-)différentielle

Structure équilibrée :

La topologie équilibrée sur la Figure III-6 requiert des coupleurs en quadrature (coupleur hybride, coupleur de Lange...) qui occupe une surface importante. Elle est, à l'heure actuelle, peu utilisée pour la conception de PAs à 60GHz.

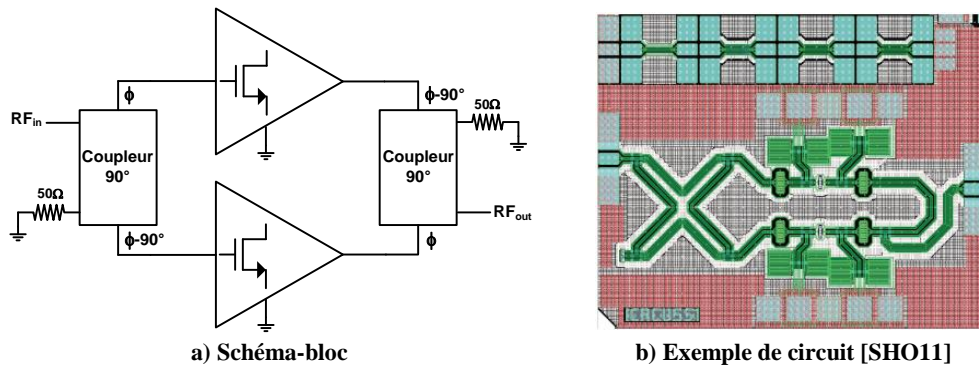


Figure III-6 : Structure équilibrée

Les avantages et les inconvénients de ces trois architectures sont résumés dans le Tableau III-1.

	Avantages	Inconvénients
Mode commun	Facile et rapide à concevoir	Sensible au retour de masse Problèmes de stabilité
Équilibrée	Stabilité Moins sensible à la désadaptation	Surface importante et pertes dans les coupleurs Sensible au retour de masse
(Pseudo-)Différentielle	Compact Pas de capacité de liaison Moins sensible au retour de masse	Problèmes de stabilité Équilibre des voies différentielles

Tableau III-1 : Avantages et inconvénients des différentes architectures

1.3. Choix du composant de puissance

Il convient à présent de réfléchir à la topologie et au transistor le plus adapté suivant l'application et les performances visées.

1.3.1. Choix de la topologie

Les topologies source commune et cascode, montrées sur la Figure III-7, sont utilisées aux fréquences millimétriques.



Figure III-7 : Topologies des composants de puissance

Source commune CS :

Un transistor monté en source commune présente un faible gain en puissance, des problèmes de stabilité et une faible impédance de sortie (de l'ordre de 10Ω). La capacité C_{gd} agit en effet comme une boucle de retour et dégrade l'isolation et le gain. La capacité C_{ds} augmente avec la taille du transistor et réduit de manière conséquente l'impédance de sortie. Une attention particulière doit être portée au niveau du routage afin de minimiser ces capacités parasites. Cette structure permet néanmoins d'atteindre une bonne excursion en tension, qui s'étend de la tension de coude V_{coude} à $2V_{DD}$ en classe A, assurant ainsi une bonne linéarité.

Cascode CAS :

La structure cascode présente a priori un meilleur gain, une meilleure stabilité et une plus large bande passante que la structure source commune. Sur la Figure III-8, le cascode atteint un gain maximal de 10,8dB à 60GHz, soit 1dB au-dessus de celui du montage source commune tout en assurant une meilleure stabilité. En effet, il réduit la capacité d'entrée-sortie et améliore donc l'isolation. Ce circuit est, par contre, bien plus sensible aux parasites, notamment ceux liés à la connexion entre les deux transistors. La capacité C_{dsb} formée avec le substrat absorbe en effet une partie du signal millimétrique faisant chuter le gain. Afin de pallier à ce problème, un substrat à haute résistivité peut être utilisé comme dans [SIL10]. Il est aussi possible d'ajouter entre les deux transistors un réseau d'adaptation composé d'inductances [GU12], de lignes de transmission [AGA12] ou de transformateurs [YEH12].

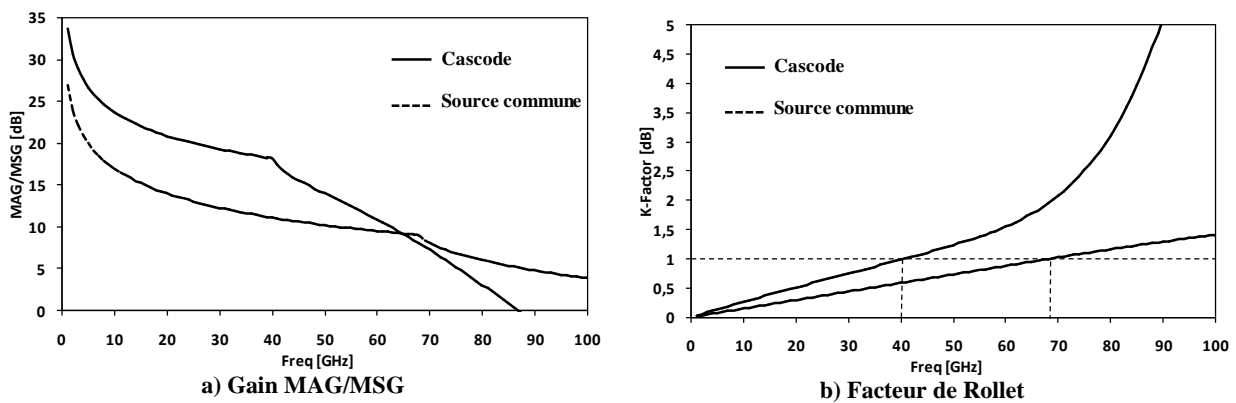


Figure III-8 : Gain et stabilité des structures cascode et source commune

Le Tableau III-2 résume les performances de ces deux circuits en fonction des principaux paramètres caractéristiques. On en déduit la structure la plus adaptée suivant le point à optimiser. Ainsi, un montage source commune est conseillé si on désire favoriser la linéarité et le rendement. Un montage cascode est plus adapté pour la réalisation de circuits larges bandes du fait de sa grande stabilité qui facilite l'adaptation d'impédance.

	Gain	Linéarité	Rendement	Bande passante	Stabilité	Puissance de sortie
Source commune	☹️	😊	😊	☹️	☹️	😊
Cascode	😊	☹️	☹️	😊	😊	☹️

Tableau III-2 : Performances des montages source commune et cascode

1.3.2. Choix du transistor

Plusieurs transistors sont disponibles dans les Design Kits CMOS. Dans notre application, des transistors maximisant la f_T/f_{max} avec un minimum de courant de fuite et à coût réduit sont à privilégier. La Figure III-9 présente les fréquences de transition f_T de différents nœuds technologiques [CHE06].

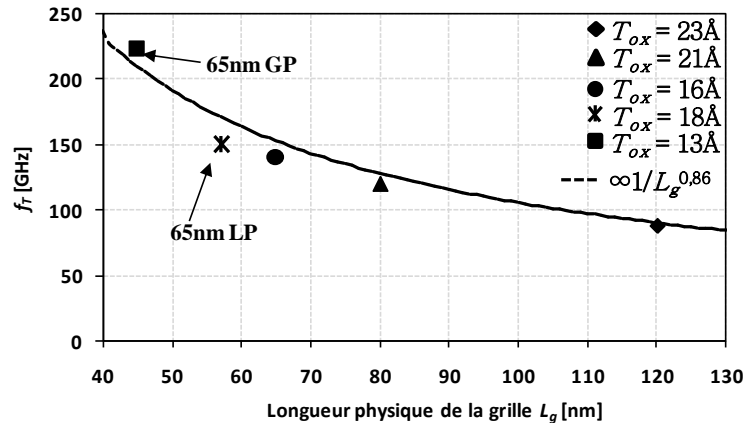


Figure III-9 : Evolution de la f_T suivant la longueur de grille pour les nœuds 130nm, 90nm et 65nm [CHE06]

Ainsi, pour la technologie CMOS 65nm, on constate que le transistor 65nm GP (General Purpose) a une épaisseur T_{ox} et une longueur physique L_g de grille plus faibles que le modèle LP (Low Power), lui permettant ainsi d'avoir une meilleure transconductance g_m aux fréquences millimétriques ($f_{T_GP} > f_{T_LP}$) malgré une tension d'alimentation moins élevée ($V_{DD,GP}=1V$ et $V_{DD,LP}=1.2V$). Néanmoins, l'emploi de transistors GP dans des circuits à faible consommation utilisant principalement des transistors LP implique un coût de masque plus élevé. Dans ces travaux, le transistor LP-LVT est donc privilégié pour les circuits en 65nm et 28nm Bulk. Des transistors GP sont utilisés pour le circuit en 28nm FD-SOI du chapitre IV, car seul ce type de transistor MOS est disponible pour cette technologie.

1.4. Dimensionnement du transistor

Un transistor de largeur W est composé d'un nombre N_f de transistors élémentaires ayant chacun une largeur de doigt de grille W_f , telle que $W = N_f \times W_f$. Ce transistor peut aussi être découpé en N_c cellules contenant chacune plusieurs transistors élémentaires. La Figure III-10 illustre deux exemples de topologies envisageables.

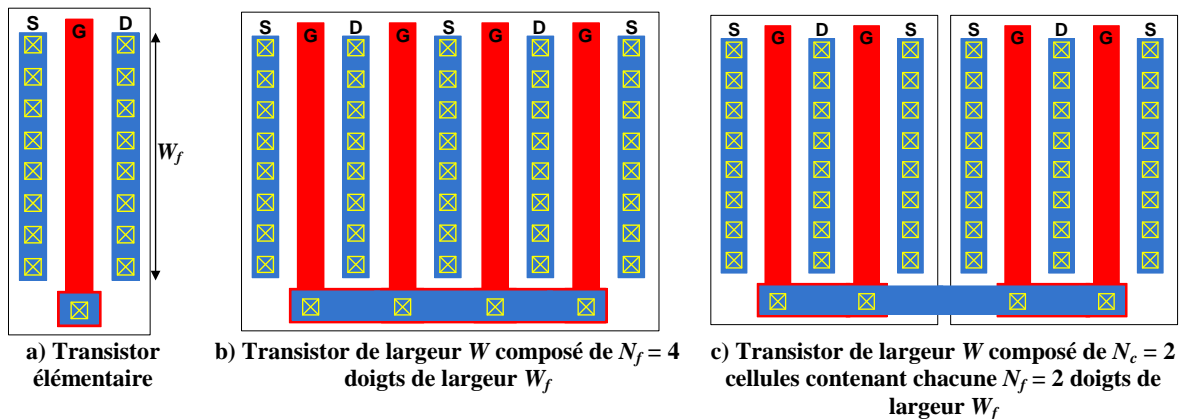


Figure III-10 : Topologies de transistor

1.4.1. Largeur et nombre de doigt de grille

La largeur des doigts W_f est critique pour les applications millimétriques. Elle est en effet directement reliée à la résistance de grille responsable de la dégradation de la figure de mérite f_{max} . Des abaques ont été publiés dans [MOR99] afin de sélectionner la largeur de grille W_f adéquate suivant le nœud technologique. Ainsi, des largeurs de grille comprises entre $1\mu\text{m}$ et $2\mu\text{m}$ ont été choisies dans ces travaux.

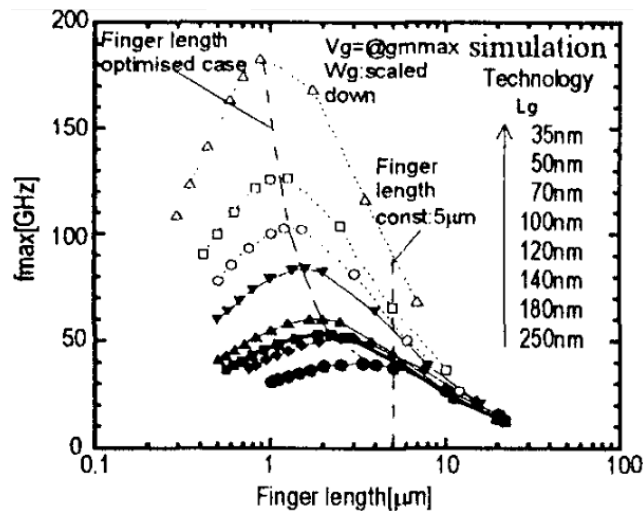


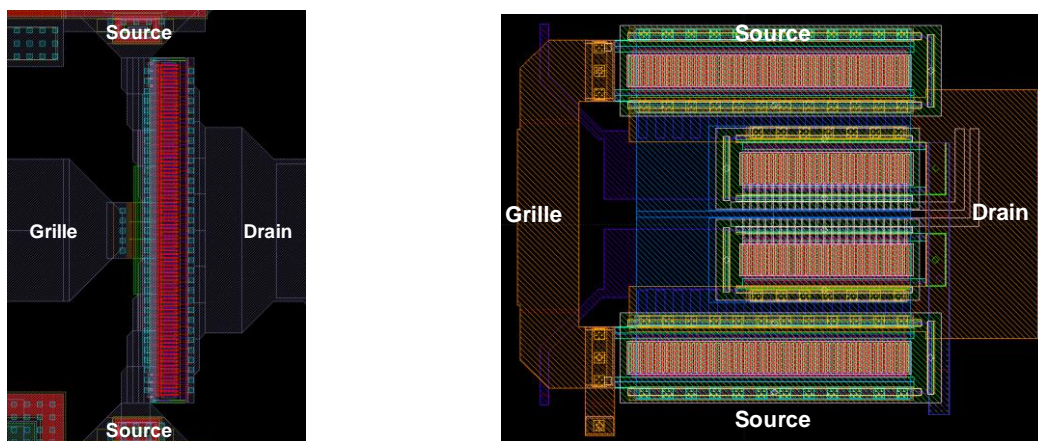
Figure III-11 : f_{max} en fonction de la largeur de grille W_f [MOR99]

Les capacités parasites et la complexité de la modélisation s'accroissent quand le nombre de doigts N_f du transistor augmente. En contrepartie, un nombre élevé de doigts permet de minimiser la résistance de grille. L'impact des capacités parasites, et notamment de la capacité Drain-Source C_{ds} , amène à une taille limite W d'environ $200\mu\text{m}$ à 60GHz, afin d'éviter de trop réduire l'impédance de sortie. De manière empirique on peut écrire :

$$W_{max}(\mu\text{m}) \approx \frac{10^4}{freq(\text{GHz})}$$

1.4.2. Rapport de forme

Un transistor peut être composé d'une seule ou de plusieurs cellules. Deux exemples de routage sont proposés sur la Figure III-12.



a) Transistor composé d'une seule cellule

b) Transistor composé de plusieurs cellules

Figure III-12 : Différents routages de transistors

Le routage a) est adapté pour de petits transistors avec un seul accès à la grille. Le routage b) permet de décomposer le transistor en plusieurs cellules avec la possibilité d'avoir deux accès sur la grille, ce qui améliore la fiabilité du composant en limitant son stress. Dans les deux cas, il faudra prendre garde à limiter les effets non quasi-statiques dont le principe est illustré sur la Figure III-13. En effet, on peut considérer que, pour une longueur physique W_2 supérieure à $10\mu\text{m}$, tous les signaux à 60GHz n'arrivent pas en phase sur les doigts du transistor (différence de potentiel ΔV_2 non nulle entre les deux extrémités du transistor). Par conséquent, le modèle implémenté n'est plus valide.

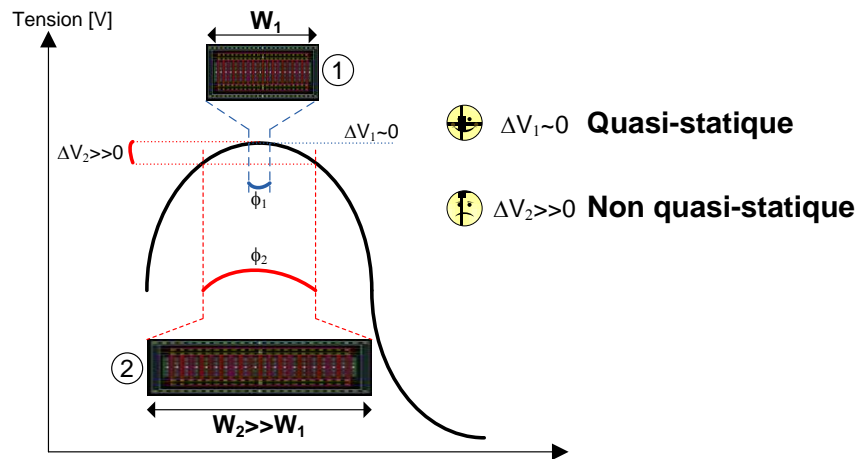


Figure III-13 : Taille du transistor et effets non quasi-statiques

1.4.3. Densité de courant de polarisation

La largeur du transistor W est estimée suivant la puissance de sortie désirée et la densité de courant dans le transistor. La densité de courant optimale $J_{DS,optimal}$ correspond à une polarisation pour une fréquence d'oscillation f_{max} maximale. D'après les courbes de la Figure III-14, on peut évaluer $J_{DS,optimal}$ à environ $0,3\text{mA}/\mu\text{m}$.

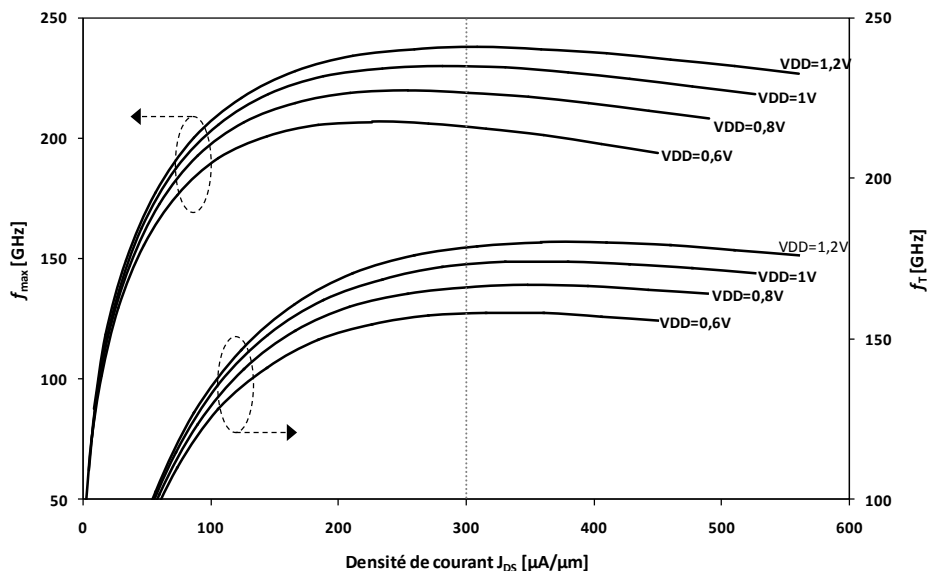


Figure III-14 : f_{max} en fonction de la densité de courant pour un transistor LVT-LP en technologie 65nm

Le transistor étant généralement polarisé en classe A, la dynamique maximale en courant I_{peak} peut être approximée au courant de polarisation I_{DC} . On en déduit la formule (III-3) de la puissance de sortie :

$$P_{max} = \frac{I_{peak} \times V_{peak}}{2} = \frac{I_{DC} \times (V_{DD} - V_{coude})}{2} \quad (III-3)$$

Sachant que I_{DC} peut être écrit sous la forme suivante :

$$I_{DC} = N_f \cdot W_f \cdot J_{DS,optimal} \quad (III-4)$$

On en conclut que :

$$N_f = \frac{1}{W_f \cdot J_{DS,optimal}} \times \frac{2P_{max}}{(V_{DD} - V_{coude})} \quad 1\mu m \leq W_f \leq 2\mu m \quad W = N_f \cdot W_f \quad (III-5)$$

La structure finale du transistor est adaptée en fonction de N_f , le nombre de cellules N_c étant choisi afin de limiter les effets non quasi-statiques : chaque cellule ayant une longueur physique maximale de $10\mu m$ à 60GHz.

1.5. Impact des interconnexions parasites

Le modèle petit signal d'un transistor MOS sur la Figure III-15 montre les parasites intrinsèques et ceux introduits par les interconnexions.

Les équations des fréquences f_T et f_{max} (III-6) sont déduites du schéma petit signal. On constate que les performances du transistor dépendent fortement du layout. En effet, la fréquence f_T dépend des capacités C_{gd} et C_{gs} tandis que la fréquence f_{max} dépend des résistances de grille R_g et de source R_s , ainsi que des capacités C_{gs} et C_{gd} .

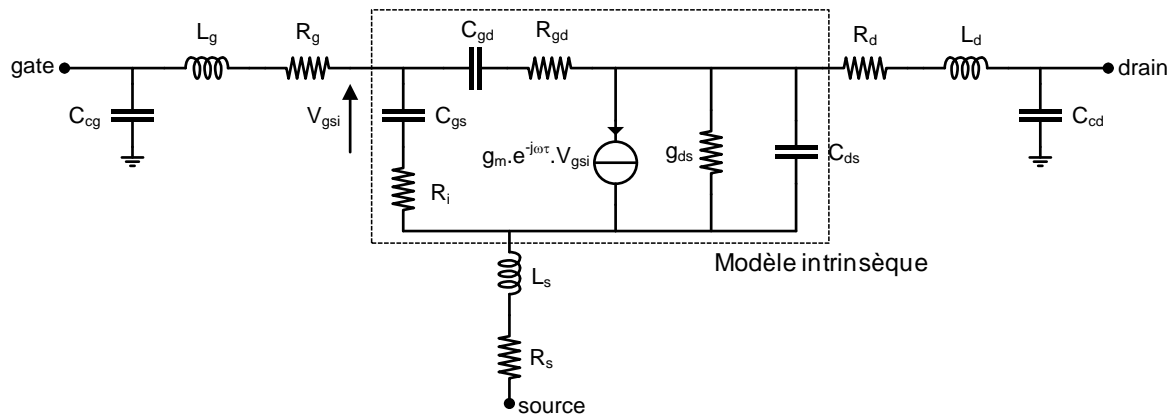
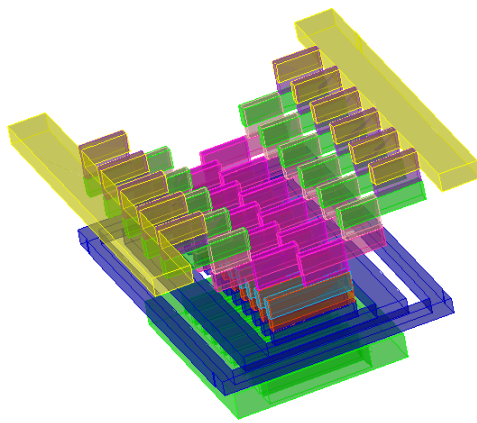


Figure III-15 : Schéma petit-signal d'un transistor MOS

$$f_{max} \approx \frac{g_m}{2\pi \cdot C_{gs} \cdot 2 \sqrt{(R_g + R_s + R_i) \cdot (g_{ds} + g_m \frac{C_{gd}}{C_{gs}})}} \quad f_T \approx \frac{g_m}{C_{gs} \sqrt{1 + 2 \frac{C_{gd}}{C_{gs}}}} \quad (III-6)$$

Afin de réduire les capacités parasites, il est possible de disposer en escalier les chemins d'accès aux drains et aux sources, comme indiqué sur la Figure III-16. La fréquence f_{max} chute de 238GHz pour le modèle intrinsèque à 200,8GHz pour le modèle tenant en compte les parasites.



a) Structure en escalier des connexions aux drains et sources

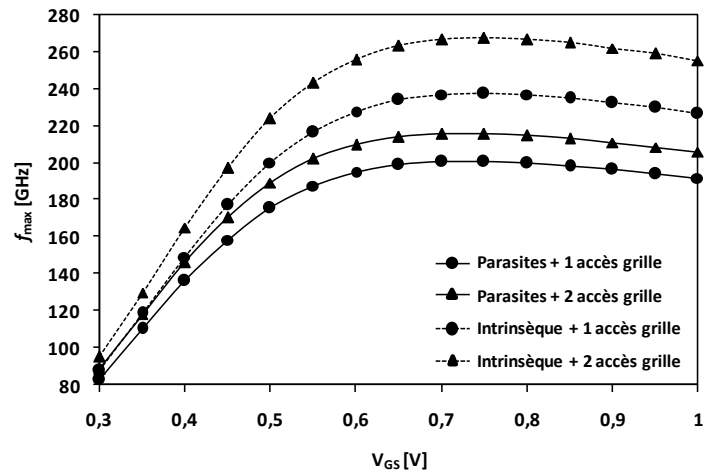

 b) Impact des parasites sur f_{max}

 Figure III-16 : Impact du layout sur f_{max} du transistor

La résistance de grille peut, quant à elle, être réduite en ajoutant plusieurs doigts et plusieurs accès. En prenant deux accès [MAR07], on améliore ainsi la fréquence f_{max} de 200,8GHz à 216GHz pour $V_{DD}=1,2V$. Un exemple d'optimisation du layout est proposé sur la Figure III-17, avec un transistor de 19 doigts de grille, deux accès pour la grille et des connexions en escalier pour le drain et la source.

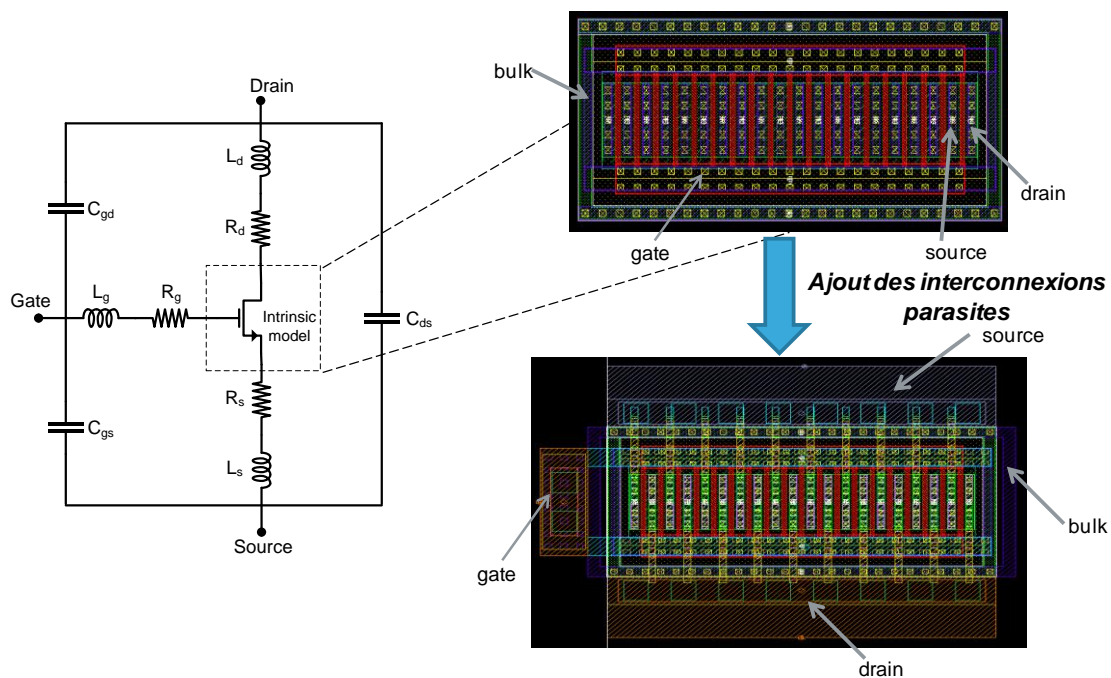


Figure III-17 : Optimisation du layout

1.6. Impédance de charge optimale

Afin d'optimiser les performances en puissance d'un amplificateur, il convient de déterminer l'impédance de charge $Z_{opt}=R_{opt}+jX_{opt}$, qui maximise les excursions en tension et en courant. Celle-ci peut être obtenue soit par une approche graphique en traçant la droite de charge, soit en effectuant une analyse Load-Pull.

1.6.1. Méthode graphique

Pour une charge purement résistive, on peut représenter la droite de charge comme sur la Figure III-18.a). On en extrait aisément les équations de R_{opt} (III-9), de la puissance en sortie P_{out} (III-7) et de la puissance consommée P_{dc} (III-8):

$$P_{out} = \frac{I_{max}(V_{DD} - V_{coude})}{4} \quad (III-7)$$

$$P_{dc} = V_{DD} \cdot \frac{I_{max}}{2} \quad (III-8)$$

$$R_{opt} = \frac{2(V_{DD} - V_{coude})}{I_{max}} = \frac{(V_{DD} - V_{coude})^2}{2P_{out}} \quad (III-9)$$

La Figure III-18.b) présente les droites de charge d'une charge purement résistive et d'une charge résistive et inductive.

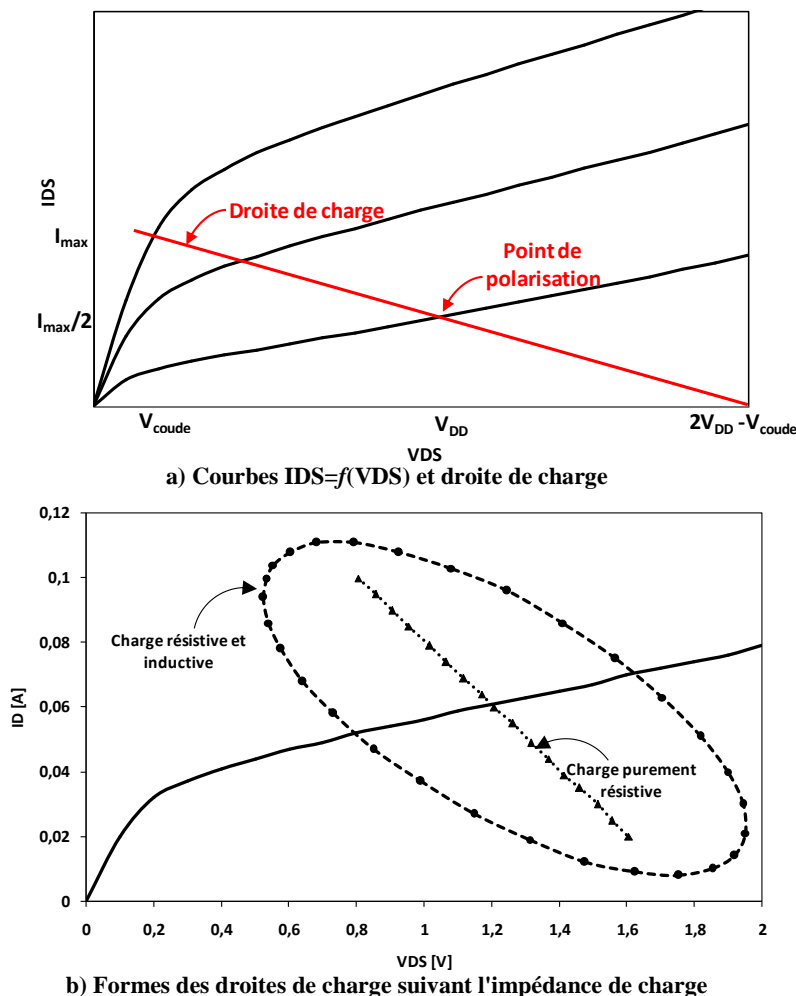


Figure III-18 : Droites de charge

On s'aperçoit que la droite de charge résistive et inductive prend la forme d'une ellipse, à cause d'un important déphasage entre les tensions et courants de drain. Ceci a pour conséquence visible d'augmenter les excursions en tension V_{ds} et en courant I_{ds} . La puissance

de sortie est ainsi grandement améliorée. La partie inductive de la charge peut être déterminée en effectuant une analyse Load-Pull.

1.6.2. Analyse Load-Pull

Le Load-Pull est une technique de conception permettant de déterminer l'impédance complexe de charge ou/et de source, afin d'optimiser un ou plusieurs paramètres caractéristiques d'un amplificateur, tels que le rendement, la puissance de sortie ou le bruit. Les résultats sont généralement donnés dans un abaque de Smith (Figure III-19). Cette technique permet, en outre, l'optimisation des impédances à différentes harmoniques pour la conception d'amplificateurs non linéaires (E, F, etc). Cependant, le Load-Pull ne donne aucune information sur le comportement de la phase et des dynamiques en tension et en courant sur le transistor, ni sur les pertes générées par les réseaux d'adaptation. Cette technique ne suffit donc pas à déterminer l'impédance optimale d'un amplificateur et doit être associée à d'autres études détaillées dans la partie suivante.

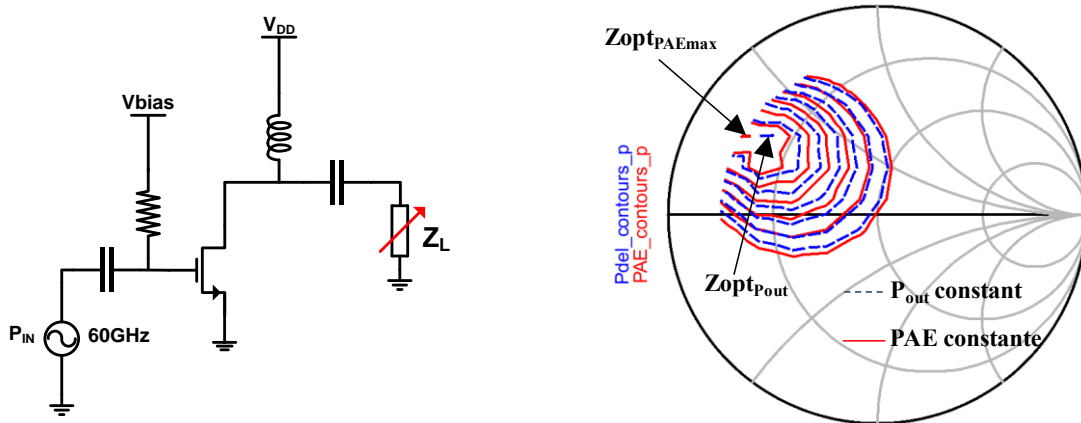


Figure III-19 : Détermination de l'impédance optimale Z_{opt} par analyse Load-Pull

1.7. Synthèse du réseau d'adaptation

1.7.1. Réseau d'adaptation en sortie

Une fois l'analyse Load-Pull effectuée, le réseau d'adaptation en sortie du PA doit être étudié. Il s'avère que le Load-Pull n'est, en fait, pas suffisant pour optimiser les performances d'un amplificateur. En effet, les pertes dans les réseaux passifs dépendront fortement des charges à présenter au transistor.

Dans un premier temps, les performances en gain et en point de compression du transistor seul sont tracées sur la Figure III-20 en fonction de sa largeur W et de sa charge réelle R_L ($Z_{opt} = R_L + jX_L$). On constate que, plus la taille du transistor augmente, plus la charge doit être faible pour maximiser le point de compression. Le transistor ne devra cependant pas dépasser une certaine largeur pour assurer un minimum de gain.

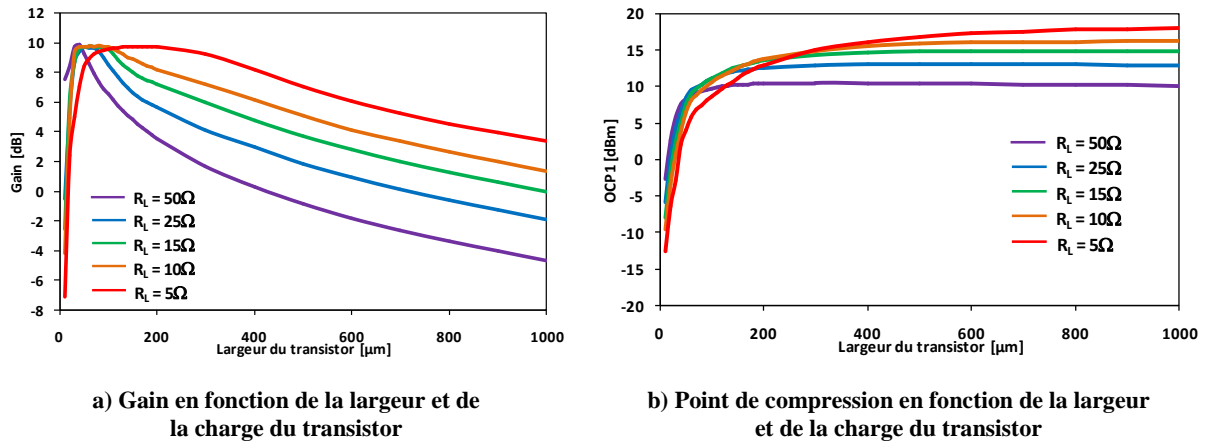


Figure III-20 : Performances en fonction de la largeur et de la charge du transistor

Les choses se compliquent dès que l'on ajoute le circuit d'adaptation, ses pertes étant liées au rapport de transformation entre la charge 50Ω et la charge R_L à ramener pour le transistor. De plus, plusieurs topologies sont envisageables : un réseau à base de lignes ou un réseau à base d'éléments localisés, tels que les transformateurs.

Réseau d'adaptation à base de lignes :

Les performances optimales sont recherchées en faisant varier les longueurs de lignes série et parallèle, qui composent le réseau décrit sur la Figure III-21.

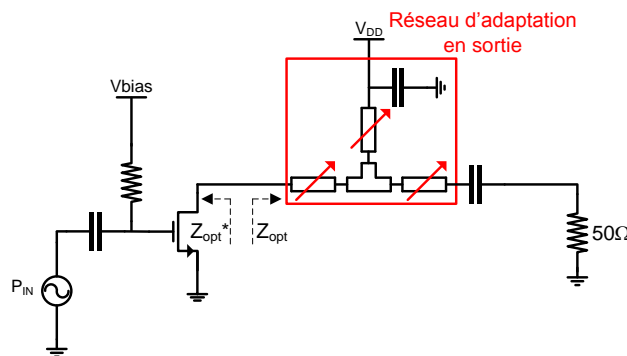


Figure III-21 : Réseau d'adaptation à base de lignes

On aperçoit à présent sur la Figure III-22, que le point de compression ne peut pas être amélioré au-delà de 12-12,5dBm quelle que soit la charge présentée au transistor.

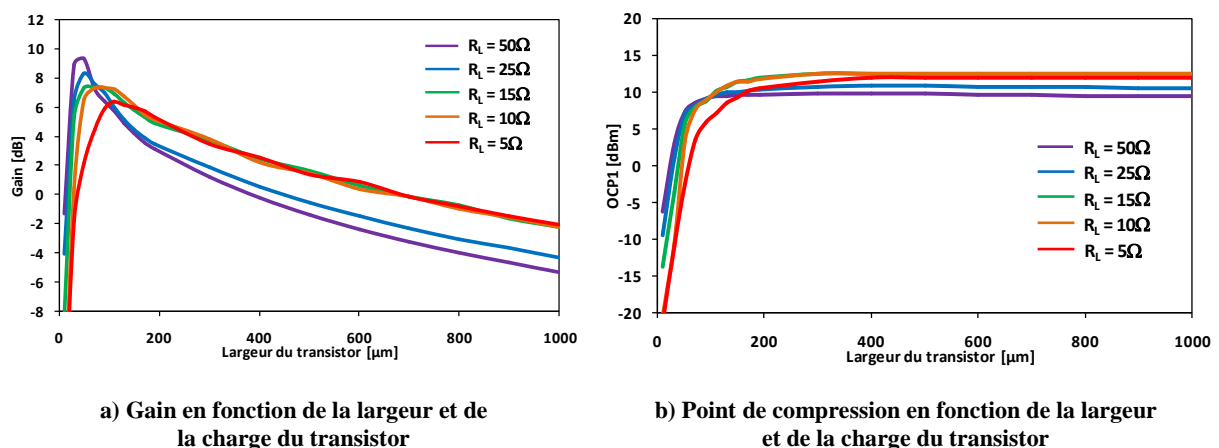


Figure III-22 : Performances du transistor avec un circuit d'adaptation à base de lignes

Une taille maximale assurant un bon compromis entre gain et point de compression peut même être estimée aux alentours de $150\mu\text{m}$ avec une charge R_L optimale aux alentours des 15Ω .

Réseau d'adaptation avec des transformateurs :

Les transformateurs permettent de modifier le rapport de transformation en introduisant peu de pertes supplémentaires. A 60GHz, les rapports de transformation maximaux envisageables sont d'environ 2 afin d'éviter une résonance du transformateur trop proche de la fréquence de travail. Les capacités d'accord C_P et C_S , illustrées sur la Figure III-23, permettent de régler les impédances avec précision.

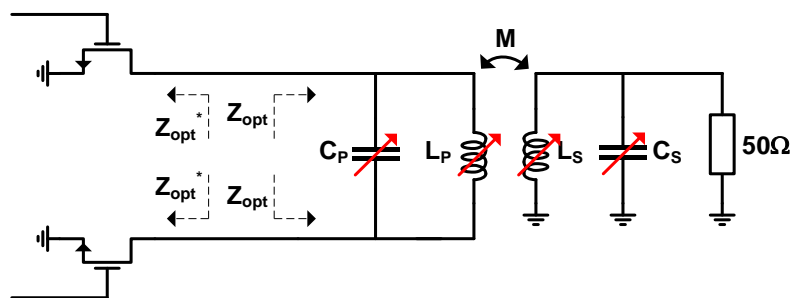


Figure III-23 : Réseau d'adaptation à base de transformateurs

De plus gros transistors et de plus hauts points de compression seraient alors envisageables comme le montre la Figure III-24. Le faible gain limitera toutefois la taille du transistor. En outre, des structures à faible impédance étant difficiles à contrôler, la largeur des transistors sera bornée à $200\mu\text{m}$. L'objectif est d'éviter que la moindre désadaptation ramène d'importantes pertes.

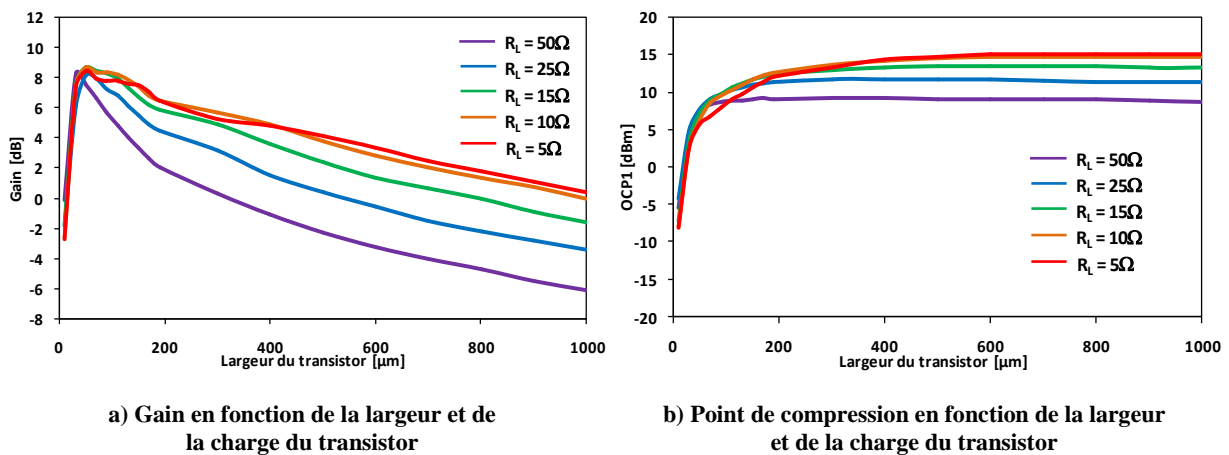
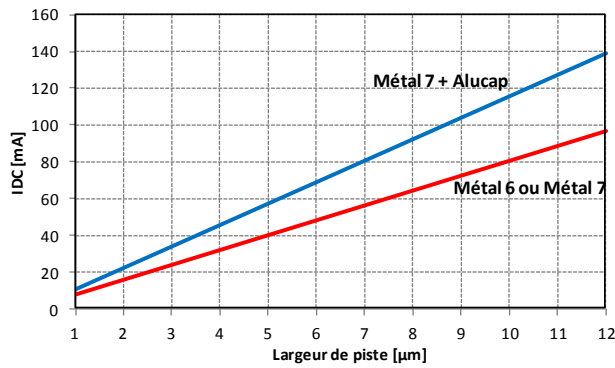
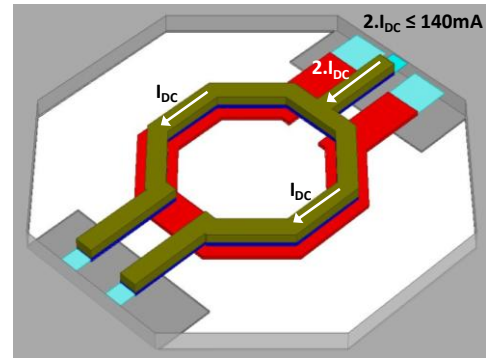


Figure III-24 : Performances du transistor avec un circuit d'adaptation à base de transformateurs

Par ailleurs, les courants de polarisations I_{DC} doivent rester modérés afin de respecter les règles d'électro-migration. Sur la technologie CMOS 65nm par exemple, le courant DC maximal est d'environ 140mA à 110°C , en empilant le métal 7 avec l'Alucap et avec la largeur de piste maximale autorisée. Le point milieu du transformateur est un point sensible où le courant est le plus fort (Figure III-25). Le courant DC maximal en classe A de chacun des deux transistors connectés à un transformateur sera donc de 70mA environ, ce qui correspond à une largeur maximale de transistor aux alentours de $200\mu\text{m}$.



a) Courant DC maximal à 110°C en CMOS 65nm



b) Courant maximal dans un transformateur

Figure III-25 : Règles d'électro-migration à respecter

1.7.2. Réseaux d'adaptation en entrée et inter-étage

Le réseau d'adaptation inter-étage est dimensionné de manière à maximiser le transfert de puissance entre l'étage Driver et l'étage de puissance. Ce réseau doit respecter la condition d'adaptation donnée par la formule (III-10) :

$$\Gamma_{OUT1}^* = \Gamma_{IN2} \quad \text{avec} \quad \begin{array}{l} \Gamma_{OUT1}^* : \text{le paramètre de réflexion à la sortie du premier étage} \\ \Gamma_{IN2} : \text{le paramètre de réflexion à l'entrée de l'étage de puissance} \end{array} \quad (\text{III-10})$$

L'étage préamplificateur étant le plus souvent utilisé pour fournir du gain, l'impédance conjuguée est présentée en entrée et en sortie. La Figure III-26 illustre cette méthodologie d'adaptation.

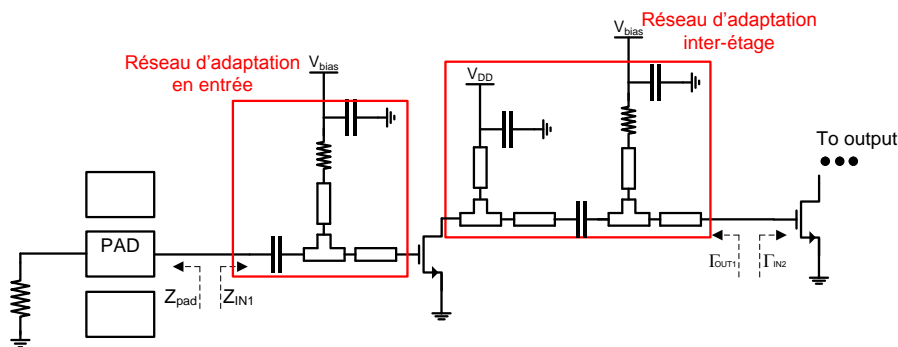


Figure III-26 : Adaptation en entrée et inter-étage

1.8. Stabilité du circuit

L'analyse de la stabilité permet de prévenir le circuit contre d'éventuelles oscillations pouvant entraîner un dysfonctionnement, voire sa destruction.

Deux études sont à mener. La première s'effectue lors des simulations en régime linéaire, principalement à l'aide des paramètres S, où chaque étage est étudié séparément. La deuxième consiste en une analyse temporelle du système à fort signal en injectant des impulsions sur différents nœuds du circuit.

1.8.1. Analyse linéaire

Plusieurs paramètres peuvent être utilisés pour estimer la stabilité d'un circuit (quadripôle) en petit signal. Le plus connu est le facteur de Rollet K [ROL62], exprimé à l'aide des paramètres S par l'équation (III-11) :

$$K = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}S_{21}|} \quad \text{avec : } \Delta = S_{11} \cdot S_{22} - S_{12} \cdot S_{21} \quad (\text{III-11})$$

Le Tableau III-3 ci-dessous résume les états de stabilité suivant les valeurs que peuvent prendre K et Δ .

$ K = 1$	$K = \pm 1$		Instable
$ K > 1$	$K > 1$	$ \Delta < 1$	Inconditionnellement stable
		$ \Delta > 1$	Conditionnellement stable
	$K < -1$		Instable
$ K < 1$			Conditionnellement stable

Tableau III-3 : Condition de stabilité suivant les valeurs de K et Δ

Au final, un quadripôle sera inconditionnellement stable s'il respecte l'ensemble des contraintes (III-12) :

$$\left\{ \begin{array}{l} |S_{11}| < 1 \\ |S_{22}| < 1 \\ K > 1 \\ |\Delta| < 1 \end{array} \right. \quad (\text{III-12})$$

A noter que l'on peut trouver dans la littérature des paramètres complémentaires au facteur de Rollet nommés $B1$ et $B2$ définis tels que :

$$B1 = 1 - |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2 > 0 \quad (\text{III-13})$$

$$B2 = 1 - |S_{22}|^2 - |S_{11}|^2 - |\Delta|^2 > 0 \quad (\text{III-14})$$

Les paramètres de Edwards-Sinsky [EDW92] μ et μ' peuvent aussi être employés. Ils effectuent une mesure géométrique de la distance entre le centre de l'abaque et le point le plus proche de ce dernier situé sur le cercle de stabilité. Ainsi, si cette distance est supérieure à 1, alors le composant est inconditionnellement stable. On se trouve dans la configuration où le cercle de stabilité se trouve déporté à l'extérieur de l'abaque.

$$\mu = \frac{1 - |S_{11}|^2}{|S_{22} - \Delta \cdot S_{11}^*| + |S_{12} \cdot S_{21}|} > 1 \quad (\text{III-15})$$

$$\mu' = \frac{1 - |S_{22}|^2}{|S_{11} - \Delta \cdot S_{22}^*| + |S_{12} \cdot S_{21}|} > 1 \quad (\text{III-16})$$

1.8.2. Analyse non-linéaire

Comme expliqué dans [PLA93], le facteur K représente une condition nécessaire, mais pas suffisante. Cela suppose, en effet, que les impédances de référence utilisées pour le calcul des paramètres S soient constantes et indépendantes de la fréquence, ce qui n'est quasiment jamais le cas dans la pratique.

Une autre méthode met en œuvre une étude temporelle après injection d'une perturbation sur un nœud du circuit. Si le circuit est stable, cette perturbation sera amortie. Dans le cas contraire, des oscillations seront observées. La principale difficulté de cette méthode réside dans la détermination du pas de simulation qui doit être inversement proportionnel au coefficient de qualité des réseaux résonants.

1.8.3. Techniques de stabilisation

Si les pertes introduites par les réseaux d'adaptation ne suffisent pas à stabiliser un circuit, plusieurs techniques sont envisageables.

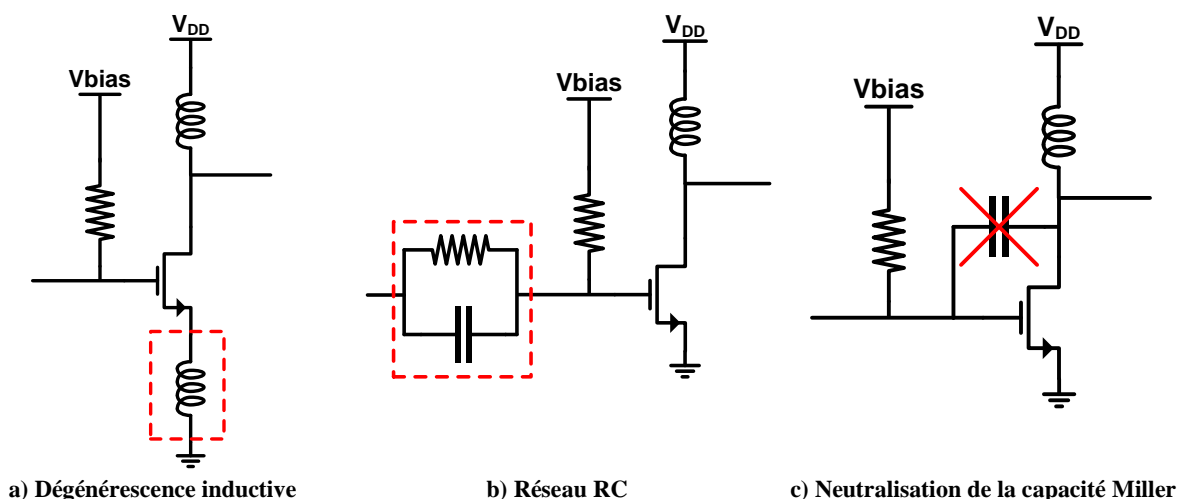


Figure III-27 : Techniques de stabilisation

Dégénérescence inductive :

La dégénérescence inductive (Figure III-27.a)) améliore la stabilité dans la bande de fréquences utile au détriment du gain de l'amplificateur.

Réseau RC sur la grille :

Un réseau RC (Figure III-27.b)) sur la grille du transistor permet de réduire le gain en basses fréquences, tout en gardant un bon gain avec un minimum de pertes d'insertion aux fréquences désirées.

Réduction de l'effet Miller :

Une trop grande capacité grille-drain C_{gd} d'un transistor a pour impact de diminuer l'isolation entre l'entrée et la sortie, pouvant ainsi conduire à une instabilité (Figure III-27.c)).

Plusieurs solutions existent pour compenser cette capacité, telles que le montage cascode et la neutralisation capacitive (ou neutrodynage).

Le cascode améliore grandement l'isolation. L'effet Miller est réduit à la fois sur les transistors en grille commune et en source commune, ce dernier étant chargé par une impédance proche de $1/g_m$ avec un gain en tension d'environ -1.

La technique de neutralisation avec des capacités n'est possible qu'avec un circuit différentiel. L'objectif est ici de minimiser la capacité C_{gd} en lui présentant une capacité en parallèle déphasée de 180° . On améliore l'isolation mais aussi le gain de l'amplificateur. Toutefois, il faudra prendre garde à ne pas générer une réaction positive.

En analysant le schéma petit signal de la Figure III-28, on peut écrire que :

$$\begin{aligned}
 Y_{11} &= \frac{1}{R_G} + j\omega C_{GS} + j\omega(C_{GD} + C_{neutr}) & Y_{12} &= -j\omega(C_{GD} - C_{neutr}) \\
 Y_{21} &= g_m - j\omega(C_{GD} - C_{neutr}) & Y_{22} &= \frac{1}{R_D} + j\omega C_{DS} + j\omega(C_{GD} + C_{neutr})
 \end{aligned} \quad (III-17)$$

avec :

$$\begin{aligned}
 Y_{11} &= \frac{I_{in}}{V_{in}|_{V_{out}=0}} & Y_{12} &= \frac{I_{in}}{V_{out}|_{V_{in}=0}} \\
 Y_{21} &= \frac{I_{out}}{V_{in}|_{V_{out}=0}} & Y_{22} &= \frac{I_{out}}{V_{out}|_{V_{in}=0}}
 \end{aligned} \quad (III-18)$$

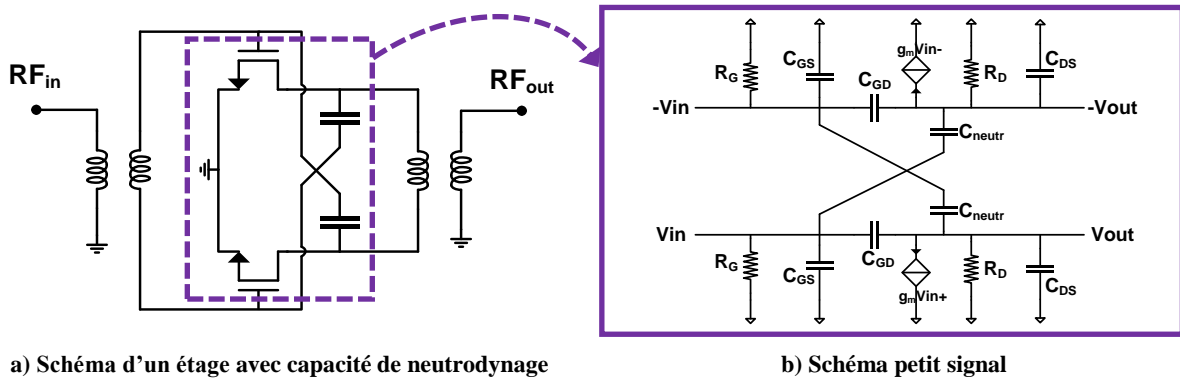


Figure III-28 : Etage pseudo-différentiel avec capacité de neutrodynage

Comme montré dans [ASA11], le facteur de Rollet K peut ainsi être écrit de la manière suivante :

$$K = \frac{2\text{Re}(Y_{11})\text{Re}(Y_{22}) - \text{Re}(Y_{12}Y_{21})}{|Y_{12}Y_{21}|} = \frac{2 + \omega^2(C_{GD} - C_{neutr})^2 R_G R_D}{\omega |C_{GD} - C_{neutr}| R_G R_D \sqrt{\omega^2(C_{GD} - C_{neutr})^2 + g_m^2}} \quad (III-19)$$

Le maximum de gain disponible MAG et le maximum de gain stable MSG sont exprimés sous la forme :

$$MAG = \left| \frac{Y_{21}}{Y_{12}} \right| \left(K - \sqrt{K^2 - 1} \right) = \frac{\sqrt{\omega^2(C_{GD} - C_{neutr})^2 + g_m^2}}{\omega |C_{GD} - C_{neutr}|} \left(K - \sqrt{K^2 - 1} \right) \quad (III-20)$$

$$MSG = \left| \frac{Y_{21}}{Y_{12}} \right| = \frac{\sqrt{\omega^2(C_{GD} - C_{neutr})^2 + g_m^2}}{\omega|C_{GD} - C_{neutr}|} \quad (\text{III-21})$$

En traçant le facteur de Rollet et le maximum de gain sur la Figure III-29, on peut en déduire la valeur de capacité adéquate.

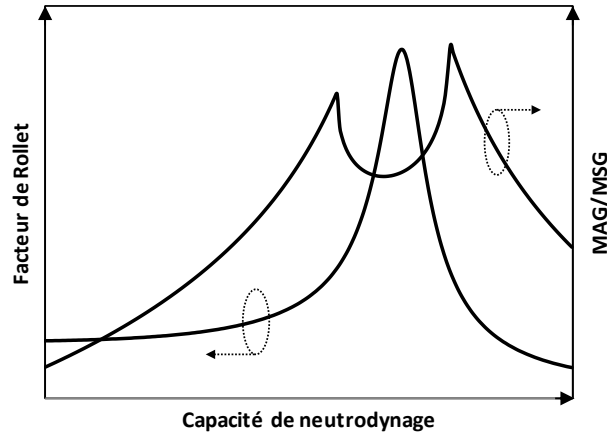


Figure III-29 : Comportement du facteur de Rollet et du MAG/MSG en fonction de la capacité de neutrodynage

1.9.Organigramme du flot de conception

Les étapes de conception d'un amplificateur de puissance sont détaillées sur la Figure III-30 :

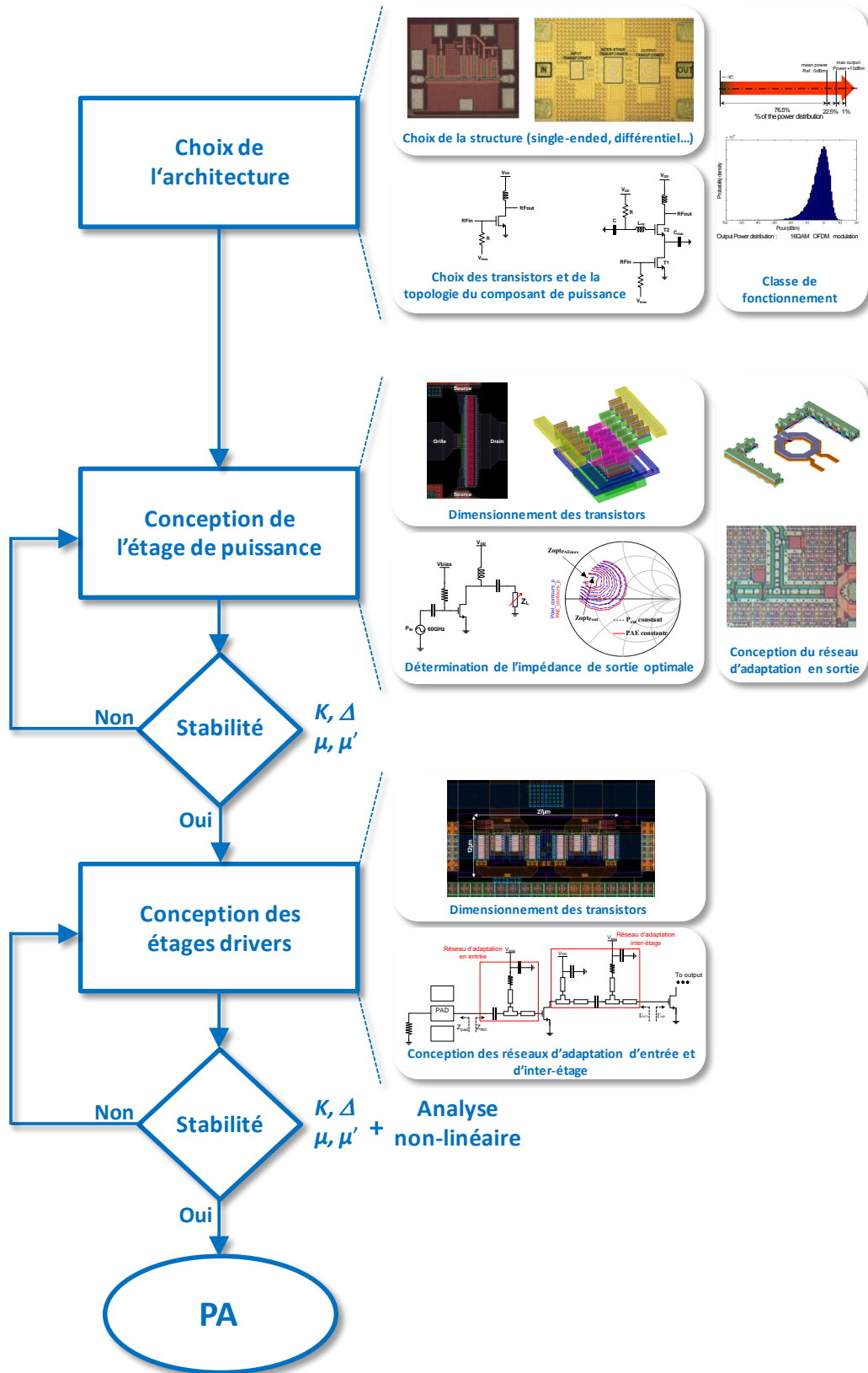


Figure III-30 : Flot de conception

2. PA mode commun à base de lignes à ondes lentes

2.1. Topologie du circuit

L'amplificateur de puissance est implémenté dans la technologie CMOS 65nm 1P7M de STMicroelectronics. La structure et la photographie, présentées respectivement sur la Figure III-31 et Figure III-32, sont composées de deux étages cascode auto-polarisés et adaptés en impédance par des réseaux à base de lignes de transmission à ondes lentes S-CPWG.

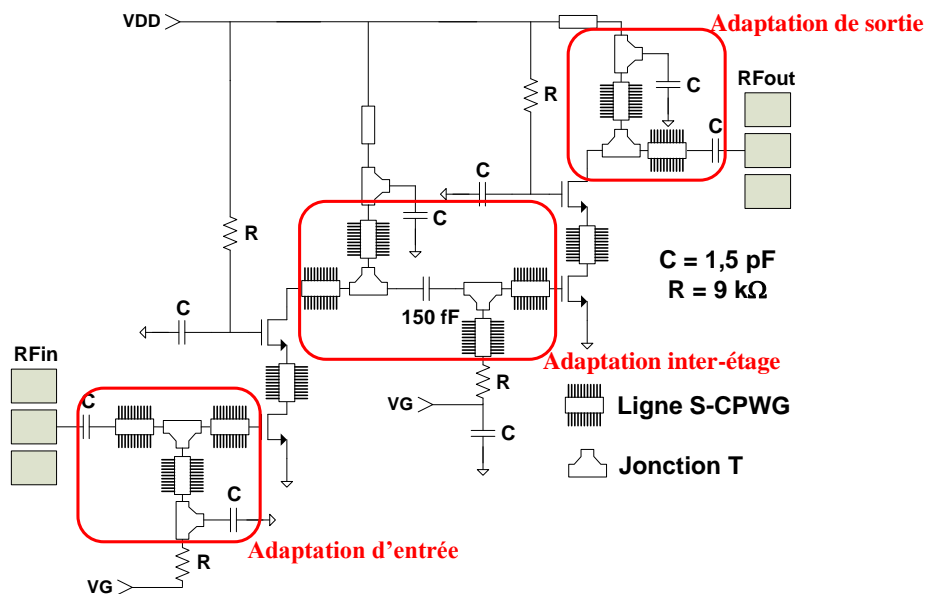


Figure III-31 : Schéma du PA à ondes lentes

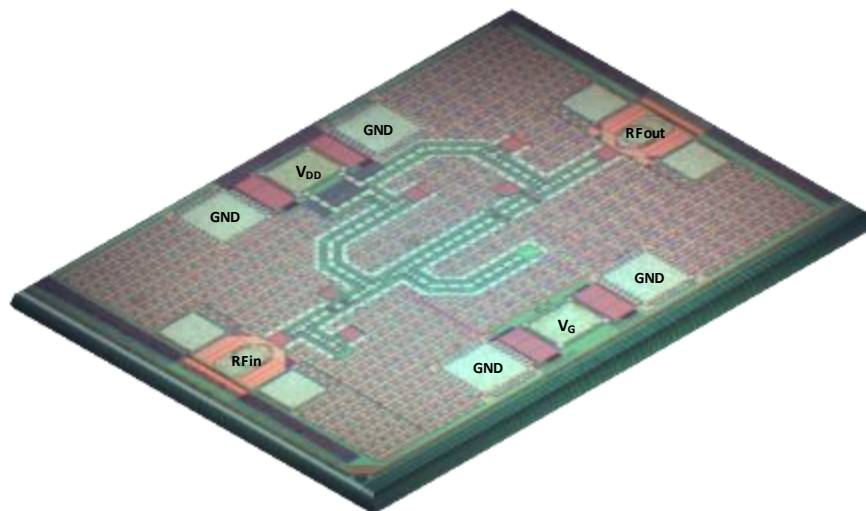


Figure III-32 : Photographie du PA à ondes lentes

La topologie cascode a été choisie afin d'assurer une large bande passante, ainsi qu'une bonne isolation. Chaque réseau d'adaptation est composé de lignes séries et de stubs en parallèle. Le réseau de sortie est optimisé pour un maximum de puissance de sortie et un minimum de pertes d'insertion. Le réseau inter-étage est conçu pour transférer le maximum de puissance entre les deux étages. Enfin, le réseau d'entrée est conçu pour maximiser le gain en petit signal. Une comparaison sur la Figure III-33 entre les lignes à ondes lentes S-CPWG

et les lignes microstrip MS est effectuée pour le réseau de sortie avec une résistance variable R_{Load} . Une réduction significative de la taille des lignes et des stubs est constatée. Ainsi, pour $R_{Load} = 10\Omega$, la longueur de la ligne série est réduite de $100\mu\text{m}$ à $40\mu\text{m}$, tandis que la longueur du stub est réduite de $110\mu\text{m}$ à $80\mu\text{m}$. Les réseaux d'entrée et de sortie sont adaptés à l'impédance des plots RF.

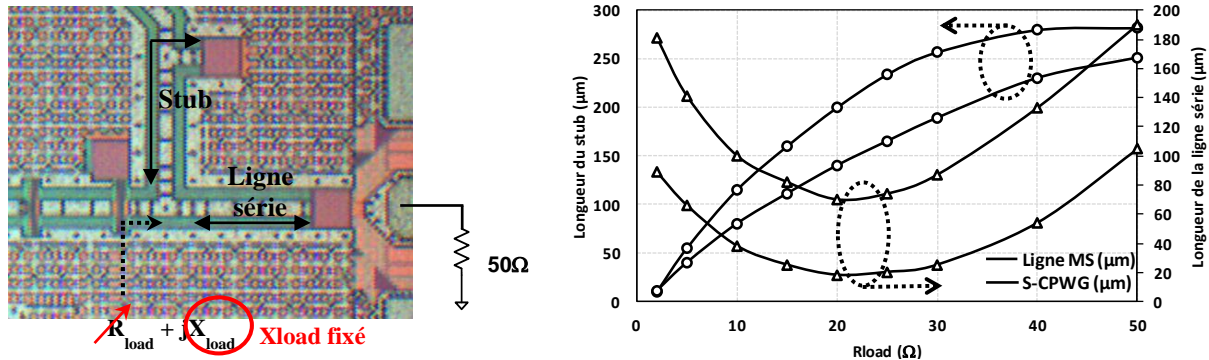


Figure III-33 : Dimensions du réseau de sortie pour des lignes S-CPWG et microstrip MS

L'étage de sortie est formé par deux transistors de 150 doigts de $1\mu\text{m}$. La connexion du transistor vers les métaux les plus hauts du BEOL se fait sous la forme d'un escalier afin de réduire au maximum les capacités parasites C_{gs} et C_{ds} . L'étage préamplificateur est composé de deux transistors de 76 doigts de $1\mu\text{m}$ et améliore le gain du circuit. Tous les parasites sont pris en compte grâce à des simulations électromagnétiques à l'aide du logiciel Momentum de Agilent. Lors de la conception de ces étages, une attention particulière est portée sur la connexion entre le drain de la source commune T1 et la source de la grille commune T2 de chaque cascode (cf. Figure III-34.a)). En effet, la capacité parasite C_{dsb} de cette interconnexion peut diriger une partie du signal RF vers le substrat.

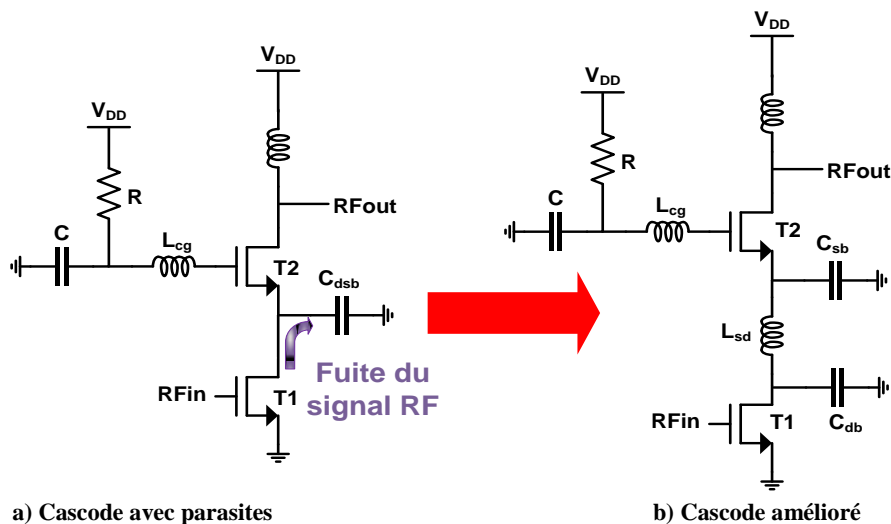


Figure III-34 : Amélioration de la topologie cascode

Il faudra, en outre, prendre garde à l'inductance parasite L_{cg} sur la grille de T2 afin de limiter l'augmentation du gain et une potentielle instabilité [JEN09]. Une ligne L_{sd} a été ajoutée afin d'adapter les deux transistors, de réduire la fuite vers le substrat mais aussi d'assurer la stabilité du système comme l'explique la formule de l'impédance de sortie Z_{out} extraite de [PAV09] :

$$Z_{out} = \frac{(Z_{ds1} + j\omega L_{sd})}{(Z_{ds1} + j\omega L_{sd}) + (Z_{gs2} + j\omega L_{cg})} \times \left(\frac{g_m Z_{ds2}}{j\omega C_{gs2}} + (Z_{gs2} + j\omega L_{cg}) \right) + Z_{ds2} \quad (\text{III-22})$$

avec :

$$Z_{ds1} = \frac{R_{ds1}}{1 + j\omega C_{ds1} R_{ds1}} \quad Z_{ds2} = \frac{R_{ds2}}{1 + j\omega C_{ds2} R_{ds2}} \quad Z_{gs2} = R_{i2} + \frac{1}{j\omega C_{gs2}} \quad (\text{III-23})$$

D'après (III-22), on peut voir que L_{cg} permet d'annuler le terme Z_{gs2} , ce qui a pour impact d'augmenter la partie négative de la résistance de sortie. Une trop forte valeur de L_{cg} rend la partie réelle de Z_{out} complètement négative, entraînant une instabilité du cascode. On peut observer l'impact de L_{cg} sur le gain et la stabilité sur la Figure III-35. L'ajout de L_{sd} permet d'annuler Z_{ds1} , ce qui réduit l'effet de L_{cg} et permet de stabiliser le circuit, comme le montrent les courbes de la Figure III-36. La structure améliorée est présentée sur la Figure III-34.b).

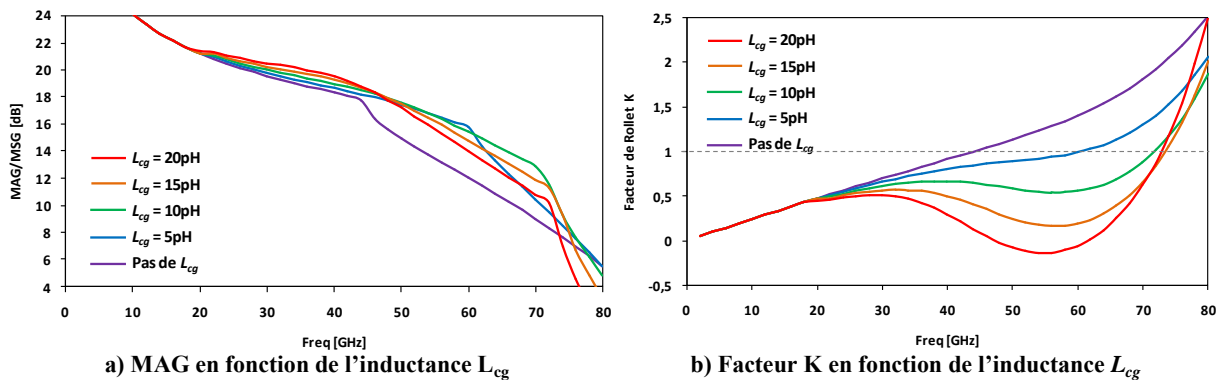


Figure III-35 : Influence de L_{cg} sur le maximum de gain disponible et sur la stabilité

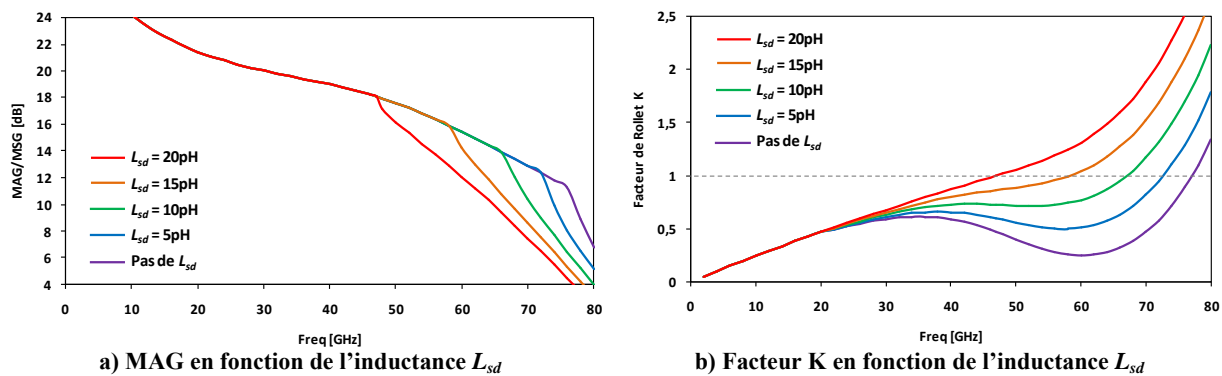


Figure III-36 : Influence de L_{sd} sur le maximum de gain disponible et sur la stabilité avec L_{cg} fixée à 10pH

La polarisation des transistors est assurée à travers des résistances poly-silicium de fortes valeurs (9kΩ). La tension d'alimentation V_{DD} est fixée à 2,4V, répartie équitablement entre chaque transistor du cascode. La tension de polarisation V_G des transistors en source commune est fixée à 0,9V. La polarisation de la grille des transistors montés en grille commune est, quant à elle, fixée à V_{DD} afin de bénéficier du maximum de gain. Des capacités MOM de 1,5pF servent comme capacité de liaison, mais aussi pour découpler le circuit.

L'amplificateur occupe une surface de 0,16mm² sans les plots. La masse du circuit est distribuée sur l'ensemble des couches métalliques (de M1 à l'Alucap) afin de réduire les effets inductifs et résistifs des connexions.

2.2. Résultats de mesure

2.2.1. Performances en petit signal

Les mesures ont été effectuées sous pointes avec des impédances en entrée et sortie de 50Ω. La tension d'alimentation a été fixée à 2,4V pour une consommation DC totale de 77mA. Les paramètres S mesurés et simulés sont présentés sur la Figure III-37. Le gain atteint une valeur maximale de 16,9dB à 64GHz avec une bande passante à -3dB de 12,5GHz entre 57,5GHz et 70GHz. La topologie assure une très bonne isolation avec un S_{12} inférieur à -40dB du continu à 110GHz. L'amplificateur est inconditionnellement stable comme en témoignent les courbes de la Figure III-38. Un bon accord entre les mesures et la simulation est observé.

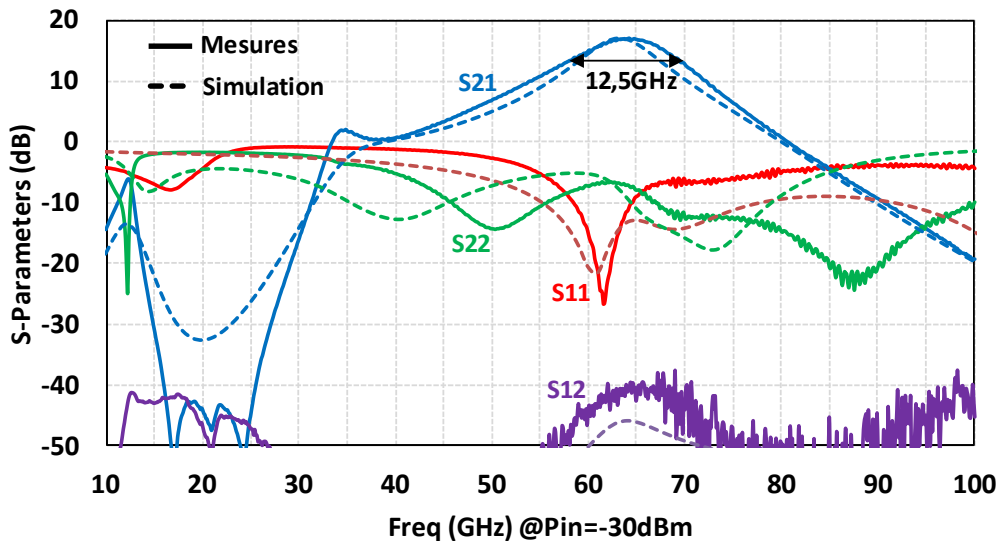


Figure III-37 : Paramètres S mesurés et simulés du PA 65nm intégrant des lignes à ondes lentes

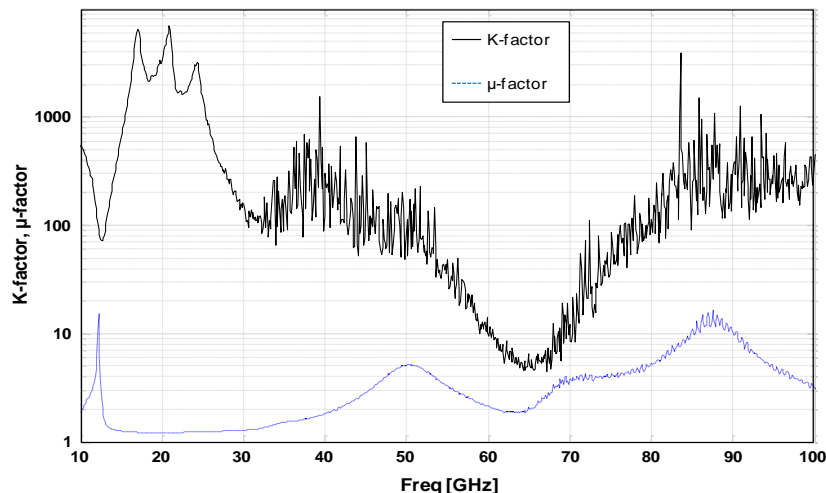


Figure III-38 : Stabilité avec K et μ du PA 65nm intégrant des lignes à ondes lentes

2.2.2. Performances en large signal

Les mesures en puissance à 60GHz sont présentées sur la Figure III-39. Le point de compression en sortie et la puissance de saturation sont respectivement de 9,1dBm et 13,6dBm. La PAE atteint une valeur maximale de 9,3%, conséquence de la configuration de l'amplificateur en classe A. Là aussi, les résultats de simulation et de mesure sont en accord.

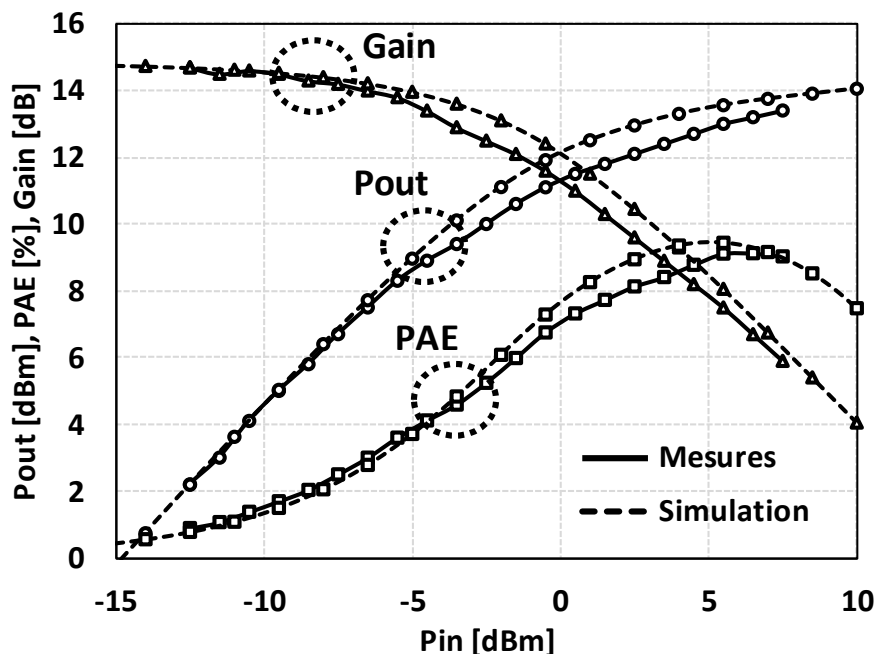


Figure III-39 : Performances en puissance à 60GHz du PA à ondes lentes

2.3. Comparaison avec l'état de l'art

Plusieurs amplificateurs de puissance fonctionnant en mode commun ont été publiés. Les réseaux passifs d'adaptation d'impédance sont constitués soit d'éléments localisés (inductances et condensateurs), soit d'éléments distribués (lignes de transmission). Des réseaux à base d'éléments localisés sont généralement plus compacts que les réseaux à base de lignes de transmission, comme en témoigne la publication [KJE09] dont la surface active est de seulement 0,018mm². Cet avantage tend cependant à se réduire avec l'utilisation de lignes à ondes lentes, comme présenté dans le chapitre II. La modélisation de lignes de transmission est, par ailleurs, bien plus simple que pour des structures localisées. Un résumé des circuits de l'état de l'art est présenté dans le Tableau III-4.

A partir des données de ce tableau, des graphes comparatifs des paramètres caractéristiques (P_{-1dB} , FoM , PAE et Pdc), peuvent être dressés sur la Figure III-40. Chacun de ces paramètres est tracé en fonction de la puissance de saturation P_{SAT} en sortie des PAs.

A noter que la comparaison se limitera aux circuits en mode commun afin d'être la plus représentative possible.

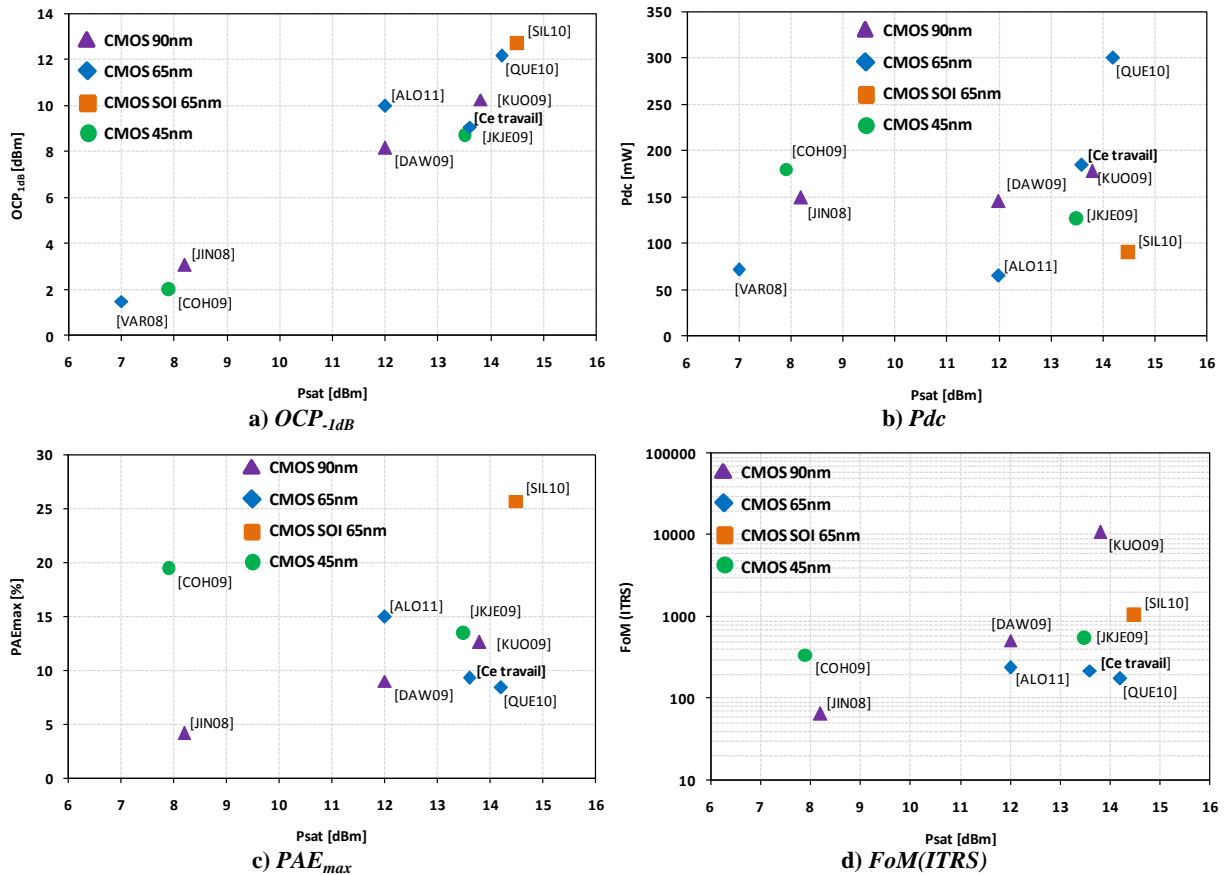


Figure III-40 : Graphes comparatifs pour le PA à ondes lentes en 65nm Bulk

Ref	Process CMOS	Réseau d'adaptation	Freq [GHz]	Valim [V]	Gain [dB]	P_{SAT} [dBm]	P_{-1dB} [dBm]	PAE [%]	P_{dc} [mW]	Surface _{active} [mm ²]	FoM [W.GHz ²]	$P_{SAT}/$ Surface _{active} [mW/mm ²]
[KUU09]	90nm	Distribué	60	1,8	30	13,8	10,3	12,6	178	0,33 [#]	10881	107
				2,4	31,3	16,2	11,7	14	290		28342	186
				3	32,4	18	12	15	280		59210	281
[DAW09]	90nm	Distribué	60	1,2	20	12	8,2	9	146	0,649 [#]	514	36
[JIN08]	90nm	Distribué	51,2	2	19,5	8,2	3,1	4,2	150	0,816	65	8
[ALO11]	65nm	Distribué	63	1,2	14	12	10	15	65	0,29	237	122
[QUE10]	65nm	Distribué	58	1,2	13,7	14,2	12,2	8,4	300	1,2	174	28
[VAR08]	65nm	Distribué	60	1,2	12,8	7	1,5	-	72	0,61 [#]	-	13
[COH09]	45nm	Localisé	60	1,2	19	7,9	2	19,4	180	0,039	342	181
[KJE09]	45nm	Localisé	60	2,1	17	13,5	8,7	13,4	126	0,018	541	1244
[SIL10]	65nm SOI	Distribué	60	1,8	16	14,5	12,7	25,7	90	0,573 [#]	1038	88
Ce travail	65nm	Distribué	60	2,4	14,5	13,6	9,1	9,3	184	0,16	217	143

: pads inclus

Tableau III-4 : Comparaison avec l'état de l'art des PAs mode commun à 60GHz

On peut constater que les performances sont extrêmement dépendantes du Back-End-Of-Line (BEOL) et du Front-End-Of-Line (FEOL).

Ainsi, les performances peuvent être optimisées en utilisant un BEOL adapté, comme celui d'une technologie CMOS SOI (Silicon On Insulator) sur un substrat à haute résistivité pour limiter les pertes dans le substrat. Comme expliqué dans le chapitre II, une ligne CPW développée en CMOS 65nm SOI HR [SIL10] engendre des pertes linéiques bien plus basses que pour une ligne CPW en CMOS 65nm standard [ALO10].

Le rendement et le gain intrinsèque des transistors ont tendance à augmenter à mesure que le nœud technologique est avancé. Néanmoins, la réduction de la tension d'alimentation V_{DD} , principalement due à la réduction de l'épaisseur de l'oxyde de grille, limite la puissance de sortie.

Le circuit proposé présente des performances intéressantes en termes de surface et de densité de puissance. Ceci met bien en avant l'intérêt des lignes à ondes lentes pour la réduction des longueurs de lignes S-CPWG dans les réseaux d'adaptation. Par ailleurs, l'utilisation de ces lignes simplifie grandement la conception des circuits millimétriques avec une très bonne concordance entre les simulations et la mesure. En effet, le blindage formé par les barreaux métalliques transverses minimise le couplage avec le substrat et garantit un plan de masse homogène.

Discussion :

Bien que l'utilisation de ces lignes à ondes lentes permette de réduire les dimensions des réseaux d'adaptation, ce circuit mode commun n'arrive pas vraiment à surpasser l'état de l'art. En effet, l'amélioration des performances pour les réseaux passifs est au final relativement restreinte. Par ailleurs, les structures en mode commun restent limitées pour dégager de la puissance aux fréquences millimétriques. Par conséquent, des techniques de combinaison de puissance doivent être mises en œuvre. Dans les paragraphes suivants, des amplificateurs à base de transformateurs intégrés vont être étudiés, les transformateurs permettant à la fois de combiner de la puissance et d'adapter le circuit en impédance.

3. PA pseudo-différentiel large bande à base de transformateurs intégrés en CMOS 65nm

Dans cette partie, un amplificateur large bande compact pseudo-différentiel est implémenté à l'aide de transformateurs intégrés en technologie CMOS 65nm. Une méthodologie de conception large bande est proposée. La structure est ensuite mesurée et comparée à l'état de l'art.

3.1. Topologie du circuit

Conçu en technologie CMOS 1P7M 65nm Bulk de STMicroelectronics, l'amplificateur de puissance illustré par la Figure III-41 est composé de deux étages adaptés par des transformateurs intégrés. L'objectif recherché dans ce travail est d'aplanir le gain sur un maximum de bande passante afin de transmettre parfaitement les quatre canaux du standard WiGig (57,24-59,4GHz, 59,4-61,56GHz, 61,56-63,72GHz et 63,72-65,88GHz). Une topologie cascode, associée à des transformateurs et à des lignes de transmission à ondes lentes, assure une variation du gain de 1dB sur environ 20GHz (de 50GHz à 70GHz) et une bande passante à -3dB de 26GHz.

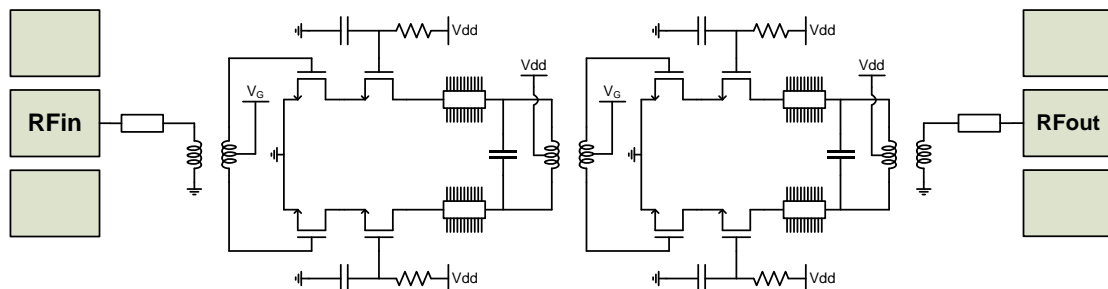


Figure III-41 : Schéma du PA 65nm pseudo-différentiel large bande

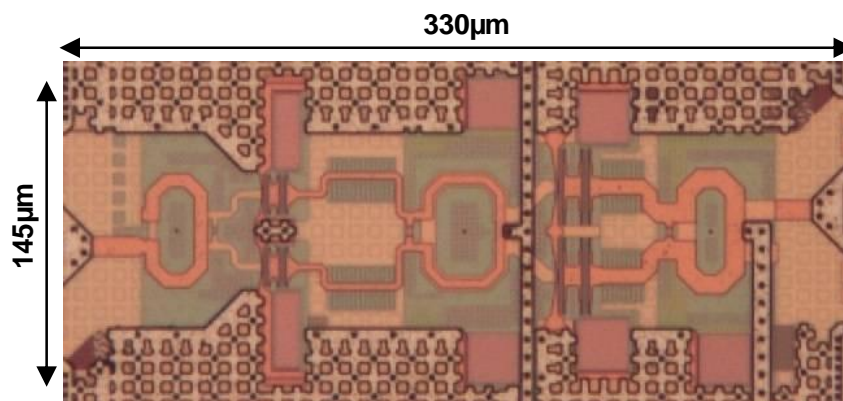


Figure III-42 : Photographie du PA 65nm pseudo-différentiel large bande

Les transformateurs jouent le rôle de circuits d'adaptation d'impédance tout en assurant la conversion des modes commun-différentiel et différentiel-commun.

Chaque cascode de l'étage de puissance est formé par deux transistors de 150µm, avec 1µm par doigt de grille. L'étage préamplificateur est composé de transistors de 76µm. Tous les parasites dus au routage sont pris en compte grâce à des simulations électromagnétiques. L'alimentation et la polarisation sont effectuées à travers les points milieux des

transformateurs. Des résistances poly-silicium de $10k\Omega$ et des capacités MOM de découplage empêchent la fuite du signal RF dans les alimentations. La polarisation de grille des transistors montés en grille commune est fixée à V_{DD} afin de bénéficier du maximum de gain. Les capacités de liaison et les protections ESD sont réalisées grâce à l'isolation galvanique des transformateurs.

Les lignes à ondes lentes sont optimisées afin d'offrir le meilleur compromis entre la longueur électrique, la largeur de la ligne W et le facteur de qualité Q . Ainsi, leur utilisation limite la longueur du circuit à $330\mu\text{m}$. Le circuit, présenté sur la Figure III-42, occupe une surface active de seulement $0,048\text{mm}^2$.

Conception d'un amplificateur large bande :

Afin d'aplanir au maximum le gain du PA, trois techniques de conception sont ici utilisées : la topologie cascode, des transformateurs à haut facteur de couplage k_m et l'ajout de lignes de transmission pour insérer d'autres fréquences de résonance dans la bande de fréquences utile. Une contre-réaction avec un réseau RC n'est pas une technique retenue, car le gain du cascode à 60GHz n'est pas suffisant.

Structure cascode :

Comme expliqué dans la section III.1.8., une structure cascode CAS peut être employée pour atténuer l'effet Miller. L'unilatéralité de l'amplificateur est ainsi améliorée tout en facilitant la conception d'un réseau d'adaptation large bande. En effet, l'impédance de sortie optimale du cascode n'est quasiment pas affectée de 40GHz à 80GHz comme le montre la Figure III-43.

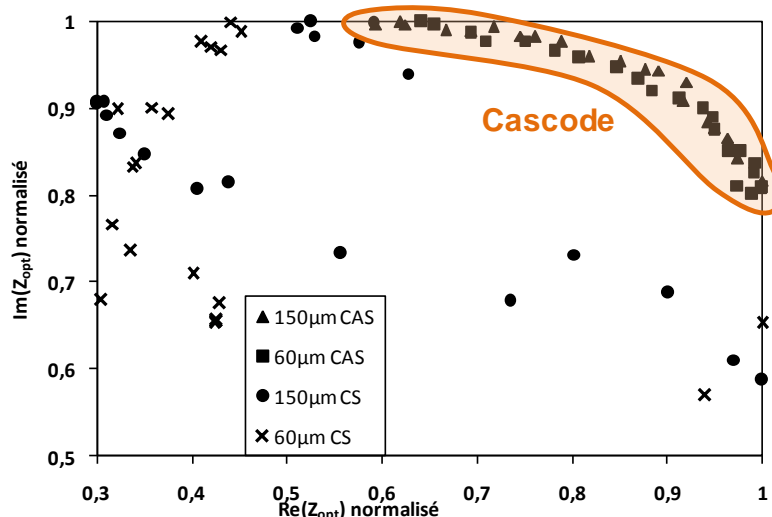


Figure III-43 : Impédances optimales simulées de structures CAS et CS de 40GHz à 80GHz

Cette analyse est effectuée avec des transistors de $150\mu\text{m}$ et $60\mu\text{m}$. Les variations d'impédance des deux structures cascode CAS sont très proches et les ratios maximaux de résistance $\Re(Z_{opt})$ et de réactance $\Im(Z_{opt})$ n'excèdent pas 1.66 et 1.25. A contrario, le ratio d'impédance pour un montage source commune CS dépasse 3.

Transformateur à fort coefficient de couplage k :

La bande passante du transformateur est liée au coefficient de couplage k par l'équation (III-24), démontrée dans [LON00] :

$$\frac{f_{upper}}{f_{lower}} = \frac{1+k}{1-k} \quad \text{avec: } \begin{array}{l} f_{upper} \text{ la fréquence de coupure haute} \\ f_{lower} \text{ la fréquence de coupure basse} \end{array} \quad (\text{III-24})$$

Un fort coefficient de couplage assure ainsi de faibles pertes d'insertion (Section II.4.3.1) tout en maximisant la bande passante du transformateur.

Transformateur à fort couplage k et lignes de transmission en série :

Des lignes de transmission sont ajoutées en série afin d'améliorer la bande passante du PA. En fait, les transformateurs et les lignes, associés aux capacités parasites des transistors et à la capacité d'accord C_{accord} , peuvent être vus comme deux réseaux en Π ayant chacun une fréquence de résonance différente. Sur la Figure III-44.a), l'impédance d'entrée du réseau d'adaptation tourne autour de l'impédance optimale du circuit cascode tout en restant relativement proche, de 57GHz à 74GHz. Deux résonances R_1 et R_2 apparaissent sur la Figure III-44.b) à 61GHz et 70GHz. A noter que cette solution est difficile à mettre en œuvre sur une topologie source commune, au vu de ses fortes variations en impédance suivant la fréquence.

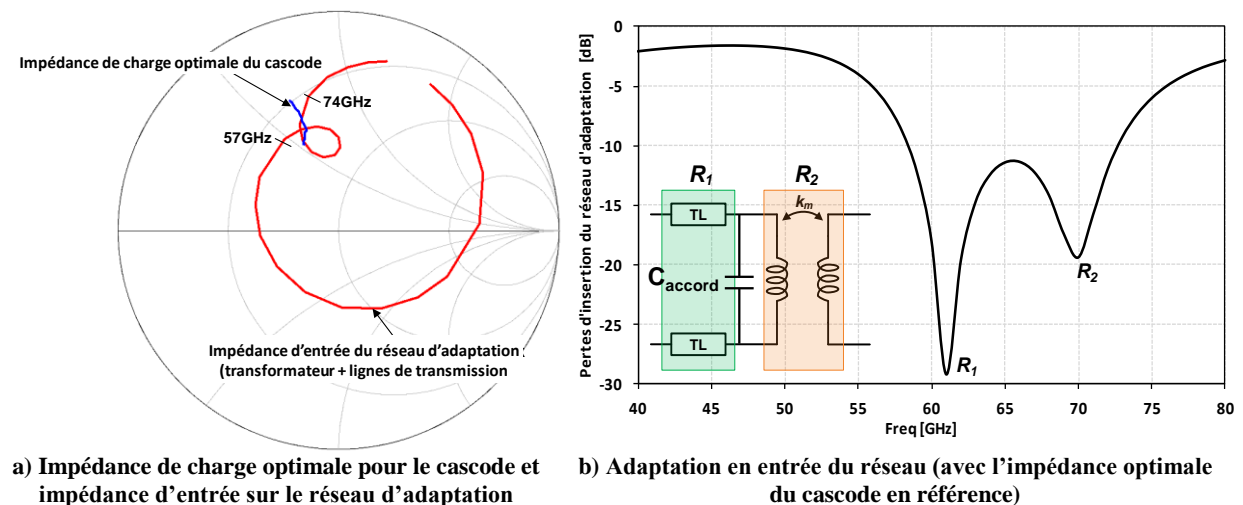


Figure III-44 : Comportement en fréquence du réseau d'adaptation

3.2. Résultats de mesure

3.2.1. Performances petit-signal

Les mesures ont été effectuées sous pointes avec l'analyseur de réseaux Agilent E8361A. Les paramètres S sont reportés sur la Figure III-45. Le PA atteint un gain de 13dB à 60GHz pour une tension d'alimentation de 2V et fonctionne dans la bande de fréquences désirée avec 1dB d'ondulation de 50GHz à 70GHz. Contrairement à des structures distribuées, le circuit

reste extrêmement compact avec une bande passante à -3dB couvrant 26GHz, de 48GHz à 74GHz. Le PA est inconditionnellement stable avec une isolation supérieure à 30dB du DC à 110GHz.

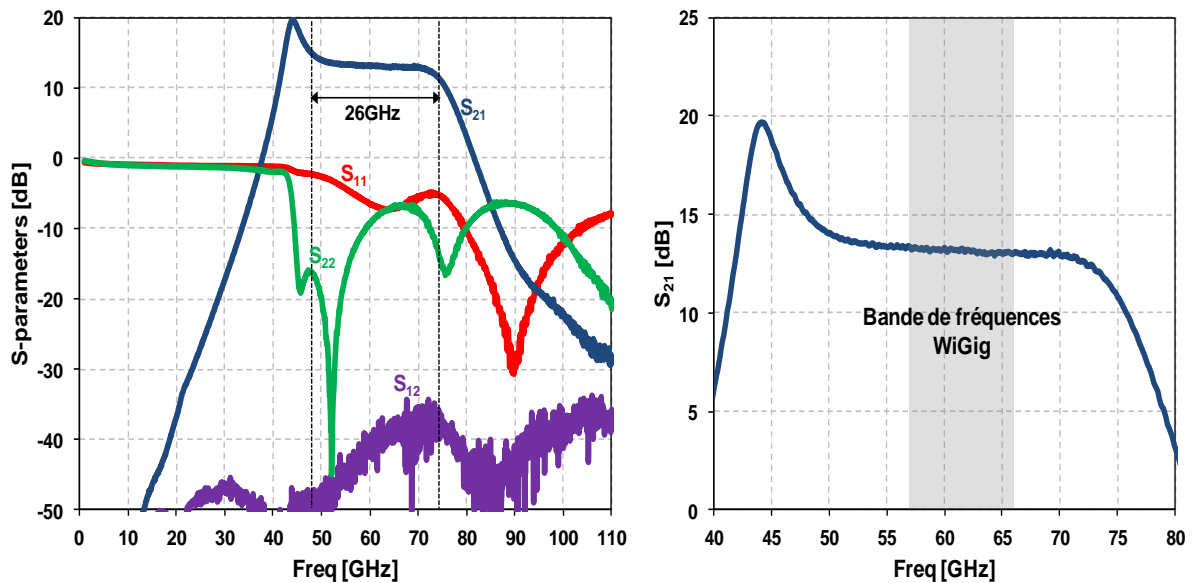


Figure III-45 : Paramètres S mesurés de l'amplificateur large bande

3.2.2. Performances large-signal

Les mesures en large-signal ont été faites à 60GHz et sont présentées sur la Figure III-46. L'amplificateur atteint un point de compression en sortie de 9,5dBm et une puissance de saturation de 13dBm. La PAE maximale est de 6% avec environ 4% dans la zone de compression.

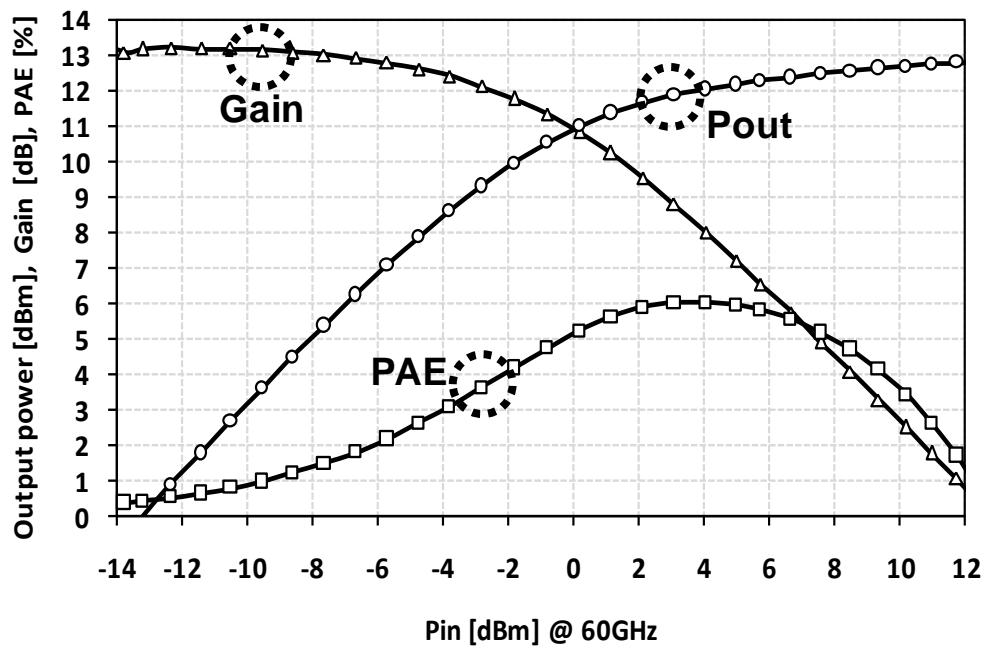


Figure III-46 : Puissance de sortie P_{out} , Gain et PAE en fonction de la puissance d'entrée P_{in} à 60GHz

3.3.Comparaison avec l'état de l'art des amplificateurs 60GHz large bande

Le Tableau III-5 résume les circuits de l'état de l'art assurant une large bande passante tout en restant compact. Ces PAs sont principalement basés sur la topologie cascode qui simplifie grandement la conception large bande grâce à sa haute isolation et de la faible variation de l'impédance optimale en fonction de la fréquence. Ces circuits souffrent néanmoins d'une faible PAE (en comparaison avec des structures en source commune). Le circuit proposé affiche une excellente bande passante à la fois à -1dB et -3dB tout en étant extrêmement compact avec seulement 0,048mm². Ses performances en puissance restent cependant modestes par rapport à l'état de l'art.

Ref	Process CMOS	Topologie	Freq [GHz]	BW _{-3dB} [GHz]	BW _{-1dB} [GHz]	Gain [dB]	P _{SAT} [dBm]	P _{-1dB} [dBm]	PAE [%]	Pdc [mW]	Surface _{active} [mm ²]
[JEN09]	90nm 1,2V 1P9M	CAS	63	16	12,5	26,1	14,5	10,5	10,2	286	0,64 [#]
[KUU09]	90nm 1,2V 1P9M	CAS	60	20	-	30	13,8	10,3	12,6	178	0,33 [#]
[MAR10]	65nm 1,2V 1P7M	CAS	60,5	15	14	15,5	18,1	11,5	3,6	1504	0,462
[CHE12]	65nm 1,2V 1P9M	CS neutralisée	60	11	4	24,5	19	15,4	12,8	-	0,6
[ABB10]	45nm	CAS	60	14	12	20	14,5	11,2	14,4	180	0,039
[THY13]	28nm	CAS	60	11	-	24,4	16,5	11,7	12,6	-	0,122
Ce travail	65nm 1,2V 1P7M	CAS	60	26	20	13	13	9,5	6	180	0,048

CAS : Cascode / CS : Source commune [#] : Pads inclus

Tableau III-5 : Comparaison avec l'état de l'art des PAs larges bandes à 60GHz

Discussion :

La topologie cascode (et plus généralement une structure à base de transistors empilés) présente quelques inconvénients aux fréquences millimétriques dans les technologies CMOS Bulk.

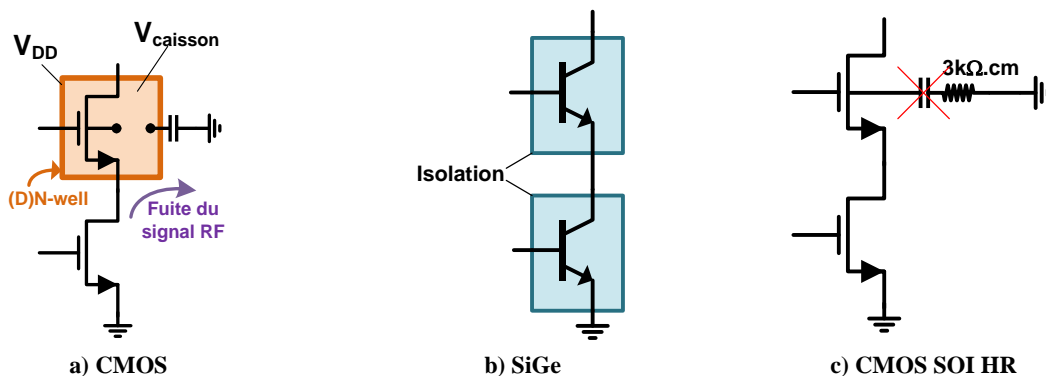


Figure III-47 : Topologie cascode pour différentes technologies

En effet, la jonction drain-substrat des transistors empilés peut rompre si l'excursion en tension est trop grande. Pour isoler le substrat, ces transistors doivent être implémentés dans des caissons d'isolation. Ces caissons présentent des capacités parasites associées aux diodes de jonction PN créées (Figure III-47.a)). Il en résulte la fuite d'une partie du signal dans le substrat. En comparaison, les transistors bipolaires n'ont pas ce problème car les transistors sont isolés les uns les autres (Figure III-47.b)) et ont une forte tension de claquage. L'utilisation de la technologie SOI permet de limiter les capacités parasites et le canal du

transistor peut être laissé flottant afin d'éviter la rupture de la jonction drain-substrat (Figure III-47.c)). Par ailleurs, le rendement tend à décroître à mesure que l'on empile des transistors, car un déphasage en tension φ , dû à des phénomènes de désadaptation, apparaît au niveau du drain de chaque transistor empilé j . La puissance délivrée n'est donc plus uniquement dépendante de la somme des tensions drain-source de chaque transistor, mais dépend également du cosinus du déphasage φ_j suivant l'équation (III-25) :

$$P_{out,réel} = (\cos(\varphi_j))^2 P_{out,idéal} \quad (III-25)$$

Enfin, l'efficacité (PAE) d'un circuit est liée à la fois au gain G , mais aussi au rendement de la classe de fonctionnement η_{classe} , au rendement de coude η_{coude} et à l'efficacité des réseaux passifs η_{passif} (III-25) :

$$PAE = \frac{P_{out} - P_{in}}{P_{dc}} = \frac{P_{out}}{P_{dc}} \left(1 - \frac{1}{G}\right) < \eta_{classe} \times \eta_{coude} \times \eta_{passif} \quad (III-26)$$

Avec η_{coude} défini tel que : $\eta_{coude} = \frac{V_{MAX} - V_{coude}}{V_{MAX}}$

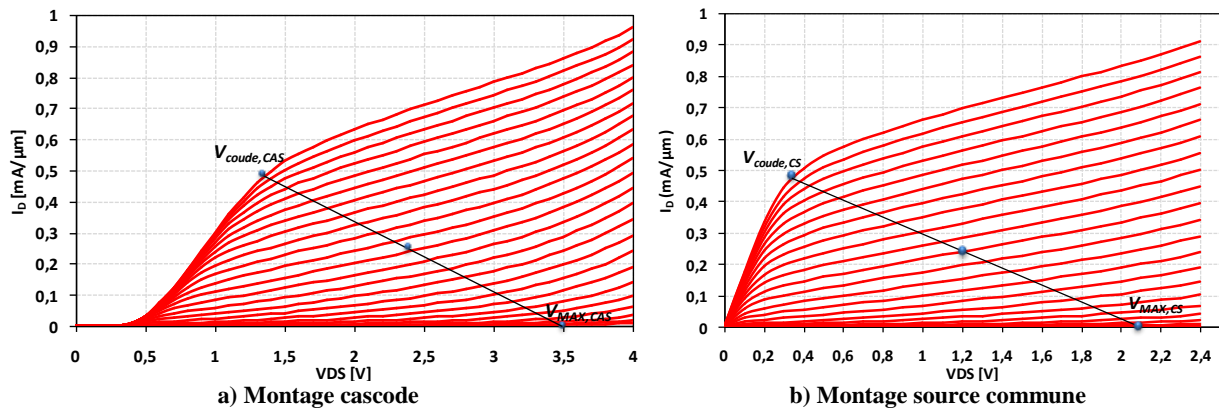


Figure III-48 : Tensions de coude pour différentes topologies en technologie CMOS 65nm Bulk

Ainsi, en prenant l'exemple sur la Figure III-48 où les montages source commune et cascade sont respectivement alimentés sous 1,2V et 2,4V (1,2V répartie équitablement sur chaque transistor), on en conclut que le rendement de coude est bien meilleur sur une topologie source commune.

En effet :

$$\begin{aligned} V_{MAX,CAS} &= 3,5V \text{ et } V_{coude,CAS} = 1,3V \\ V_{MAX,CS} &= 2,1V \text{ et } V_{coude,CS} = 0,35V \end{aligned}$$

On en déduit que :

$$\eta_{coude,CAS} \approx 63\% < \eta_{coude,CS} \approx 83\%$$

De surcroît, le gain des transistors a été sacrifié pour maximiser la bande passante. Le transistor n'étant pas capable de fournir suffisamment de gain, il en résulte une PAE très basse. Au final, l'association de tous les facteurs de dégradation du rendement cités précédemment conduisent à cette perte d'efficacité.

Des montages source commune seront par la suite utilisés afin de maximiser le rendement et la linéarité du circuit.

4. PA pseudo-différentiel en CMOS 28nm

Un amplificateur pseudo-différentiel est conçu dans la technologie CMOS 28nm Bulk. Un transistor de $90\mu\text{m}$ est analysé afin de valider le modèle implémenté. L'amplificateur est ensuite mesuré puis comparé à l'état de l'art.

4.1. Topologie du circuit

Dans cette section, un amplificateur de puissance a été conçu en utilisant la technologie CMOS 1P10M 28nm Bulk de STMicroelectronics. La topologie adoptée est montrée sur la Figure III-49 et sur la photographie de la Figure III-50. Ce PA est composé de deux étages pseudo-différentiels avec des transistors LVT (Low Voltage Threshold) montés en source commune, utilisant des transformateurs intégrés comme réseaux d'adaptation. Ces transformateurs assurent également la combinaison en puissance et la conversion entre les modes commun et différentiel. L'alimentation V_{DD} et la polarisation V_{Bias} des transistors se fait à travers les points milieux des trois transformateurs. Ce PA occupe une surface active de $310 \times 120 \mu\text{m}^2$, soit $0,037 \text{mm}^2$.

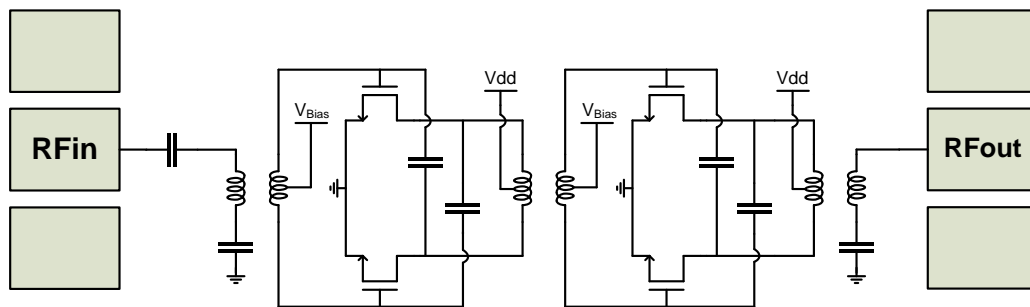


Figure III-49 : Schéma de l'amplificateur pseudo-différentiel en technologie CMOS 28nm Bulk



Figure III-50 : Photographie du PA CMOS 28nm Bulk

Les baluns conçus reposent sur la structure proposée dans [ALO13] et expliquée dans la section II.4.3.2., où un condensateur est ajouté du côté mode commun afin d'optimiser le taux de réjection du mode commun coté différentiel. Les dimensions des transformateurs sont réglées pour chercher un compromis entre l'adaptation d'impédance, l'équilibre de la

conversion et les pertes d'insertion. A noter que les capacités en entrée et en sortie du circuit ne sont pas protégées contre les ESD. L'ajout de telles protections dégraderait les performances du PA.

La stabilité et l'isolation de l'amplificateur sont assurées en utilisant des capacités MOM de neutrodynage qui permettent de compenser l'effet Miller dû à la capacité grille-drain des transistors, comme détaillé dans la section III.1.8.3.

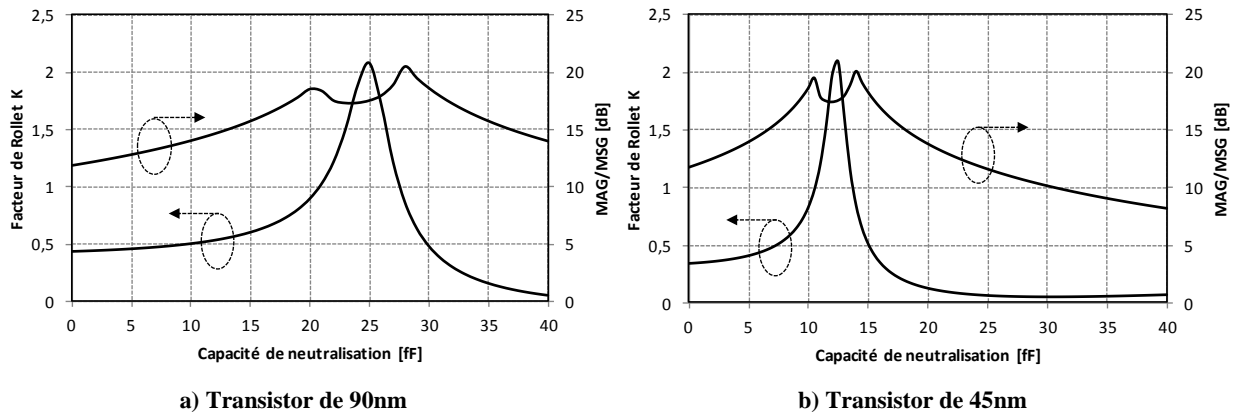


Figure III-51 : Facteur de Rollet et MAG/MSG en fonction de la capacité de neutrodynage

La stabilité étant située dans une gamme de capacités de neutrodynage assez réduite ($[20,5\text{fF} - 27,5\text{fF}]$ pour le transistor de $90\mu\text{m}$ sur la Figure III-51.a) et $[10,5\text{fF}-14\text{fF}]$ pour le transistor de 45nm sur la Figure III-51.b)), il convient d'étudier avec attention le comportement du circuit suivant les variations en production des capacités MOM et des transistors.

4.2. Etude des transistors

Les transistors de l'étage de puissance et de l'étage préamplificateur sont respectivement constitués de 90 doigts et de 45 doigts de $1\mu\text{m}$.

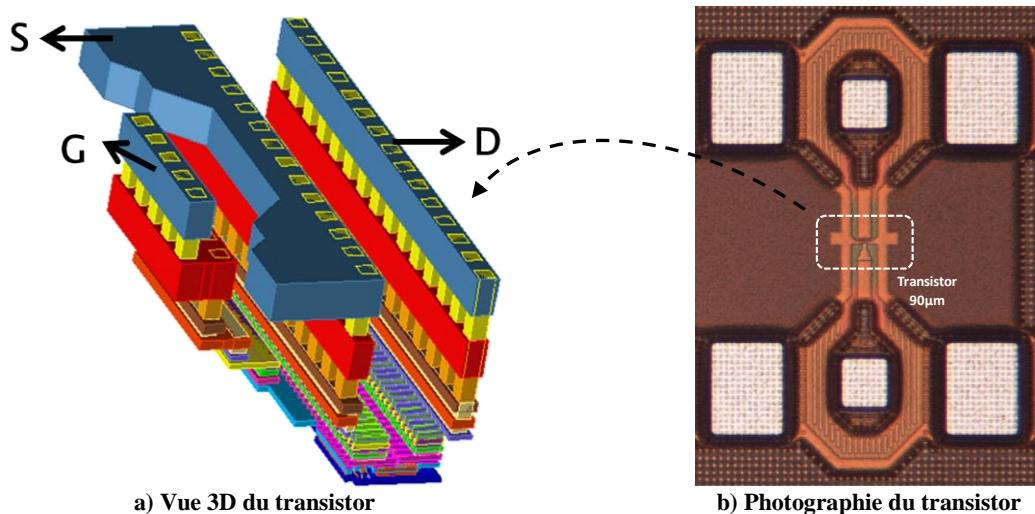


Figure III-52 : Transistor de $90\mu\text{m}$ en technologie CMOS 28nm

Le routage des transistors vers les métaux supérieurs, illustré sur la Figure III-52.a), prend la forme d'un escalier afin d'éviter que les performances ne soient trop dégradées. Les parasites peuvent être grossièrement modélisés par des capacités entre chaque accès du transistor.

Comme montré sur la Figure III-53, le gain à 60GHz sur les modèles extrinsèques est ainsi réduit d'environ 1dB, passant de 11,5dB à 10,3dB pour l'étage de puissance et de 12,5dB à 11,6dB pour l'étage préamplificateur.

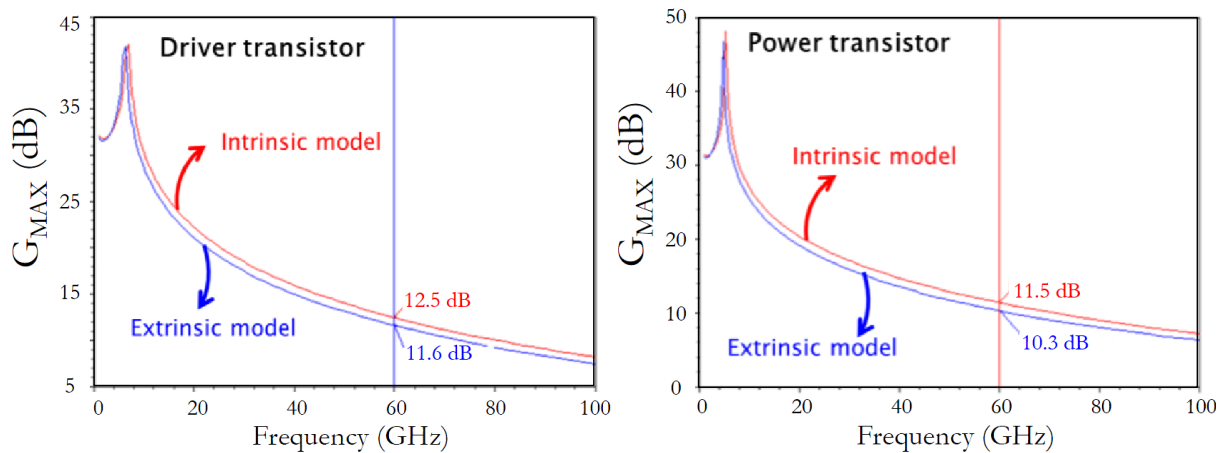


Figure III-53 : Gain maximum simulé pour les modèles de transistors CMOS 28nm intrinsèques et extrinsèques

Un transistor de puissance de 90 μ m a été mesuré à 60GHz via un banc Load-Pull et ses résultats sont présentés sur la Figure III-54. Les tensions d'alimentation et de polarisation sont respectivement fixées à 1,1V et 0,75V. On peut constater que le gain petit-signal mesuré est très proche du gain simulé, à savoir 10,1dB en mesure contre 10,3dB en simulation. La PAE dépasse les 35% avec un point de compression à 1dB (OCP_{-1dB}) de 10,2dBm et une puissance de saturation de 12,6dBm. L'impédance de charge optimale, se situe aux alentours de $Z_{Load} = 14 + j \cdot 10 \Omega$ aussi bien en simulation qu'en mesure.

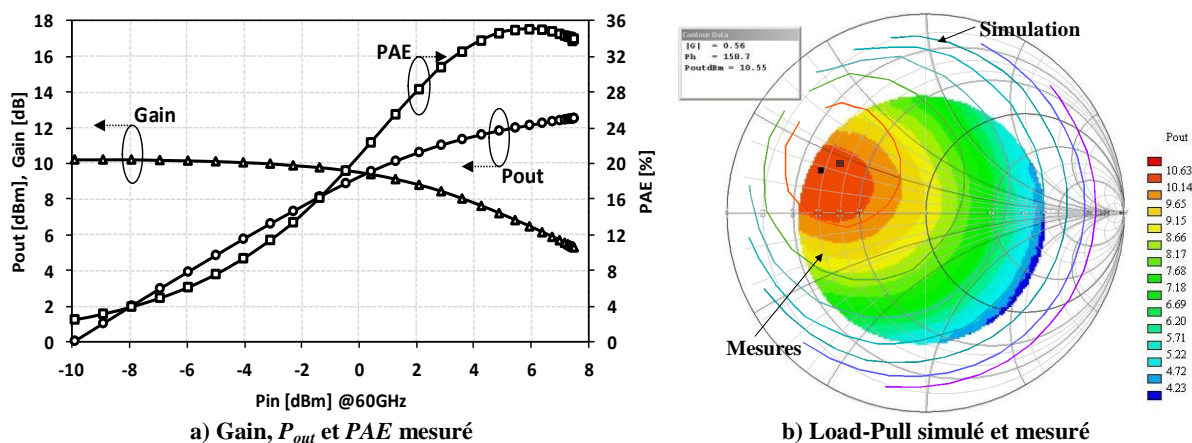


Figure III-54 : Mesures en puissance du transistor 90nm à 60GHz

4.3. Résultats de mesure

4.3.1. Performances petit-signal

L'amplificateur est polarisé avec une tension $V_{Bias} = 0,75V$ et une tension d'alimentation $V_{DD} = 1,1V$. Les paramètres S simulés et mesurés avec l'analyseur de réseau Agilent E8361A sont reportés sur la Figure III-55. Le décalage en fréquence s'explique par le fait que durant la phase de conception, le facteur de réduction « shrink » du masque de la technologie CMOS 28nm, conduisant à une réduction de 10% des dimensions du circuit, n'a pas été pris en compte. En effet, la technologie 28nm repose sur la même plateforme que la technologie 32nm. Une rétro-simulation permet de retrouver nos résultats de mesure.

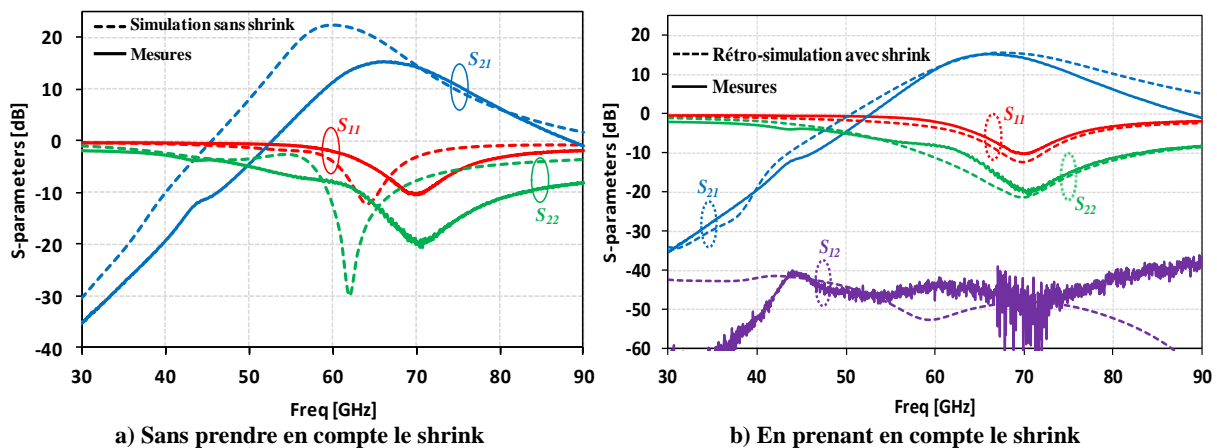


Figure III-55 : Paramètres S simulés et mesurés du PA CMOS 28nm Bulk

Le PA présente un gain en puissance S_{21} supérieur à 15dB de 64 à 69GHz et une bande passante à -3dB de 13GHz. Les paramètres de réflexions S_{11} et le S_{22} sont respectivement aux alentours de -10dB et -20dB à 70GHz. Grâce à la neutralisation capacitive, l'isolation S_{12} reste inférieure à -40dB et l'amplificateur est inconditionnellement stable sur toute la bande de fréquences considérée, comme en témoigne la courbe du facteur μ au-dessus de l'unité sur la Figure III-56. On note une bonne adéquation entre simulation et mesures.

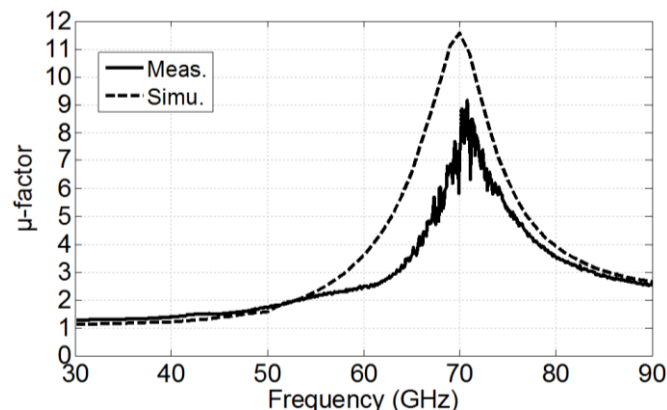


Figure III-56 : Facteur μ simulé et mesuré

4.3.2. Performances large-signal

Les mesures et les simulations large-signal à 62GHz sont exposées sur la Figure III-57. Une puissance de saturation P_{SAT} de 14,8dBm et un point de compression OCP_{-1dB} de 12dBm

sont obtenus, avec une PAE de 13,7% à l' OCP_{-1dB} et une PAE maximale de 20,2%. La consommation statique P_{dc} est d'environ 108mW. La divergence la plus prononcée apparaît pour de forts niveaux de puissance ($P_{in} > 8dBm$) pour lesquels le modèle de simulation n'est plus valide. L' OCP_{-1dB} et la P_{SAT} , sur la Figure III-58, ont un comportement relativement constant sur une plage de fréquence de 10GHz, variant respectivement de 10,5dBm à 12dBm et de 14dBm à 15dBm.

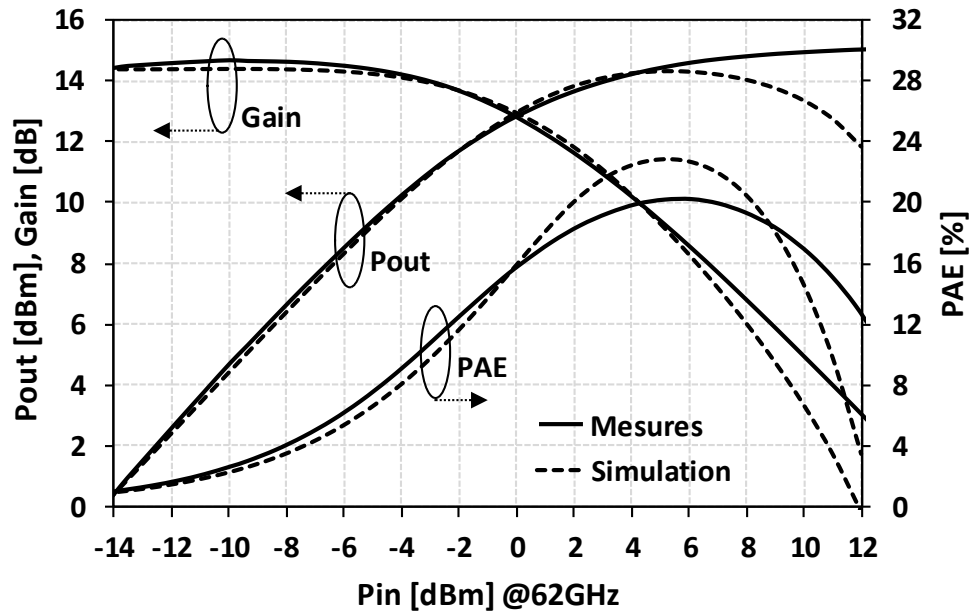


Figure III-57 : PA CMOS 28nm, mesures et simulations du Gain, de la puissance de sortie P_{out} et de la PAE en fonction de la puissance d'entrée P_{in}

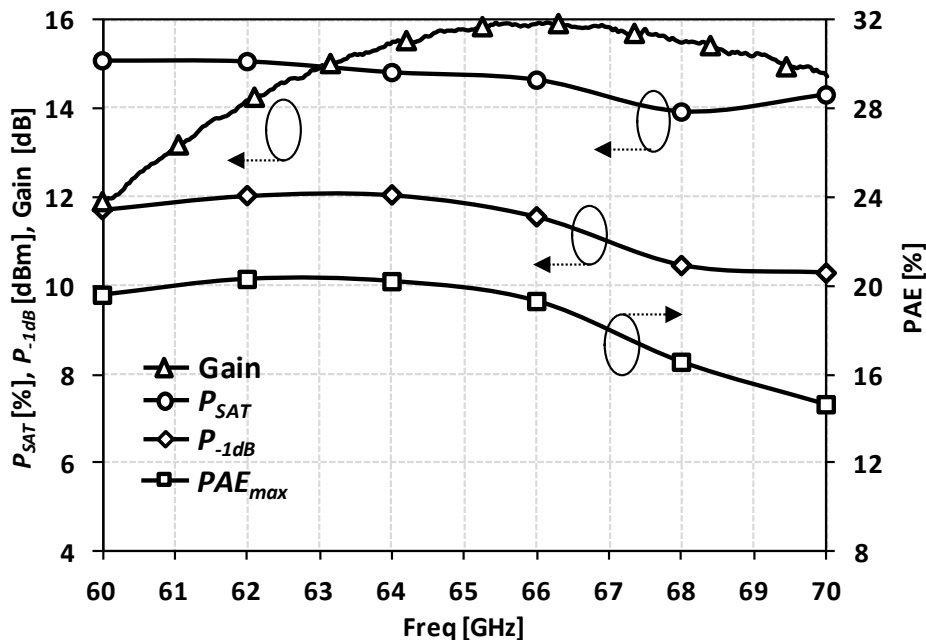


Figure III-58 : PA CMOS 28nm, mesures de l' OCP_{-1dB} , de la P_{SAT} , du Gain et de la PAE_{max} à différentes fréquences

4.4. Comparaison avec l'état de l'art

Le Tableau III-6 et la Figure III-59 comparent les résultats mesurés avec des PAs conçus dans des technologies CMOS ayant des longueurs de grille inférieures à 65nm. Le PA illustré dans [ZHA13] présente de meilleures performances que le circuit proposé car il combine efficacement deux cellules élémentaires. La technique de combinaison en puissance est poussée à son paroxysme dans [SHI13] où 32 cellules en parallèle sont utilisées. Il en résulte un très faible rendement et une surface de silicium supérieure à 2mm². A l'heure actuelle, un seul autre PA [THY13] en technologie CMOS 28nm a été reporté dans l'état de l'art. En comparaison, le circuit présenté atteint une meilleure *PAE* et *OCP*_{-1dB} tout en occupant une surface réduite.

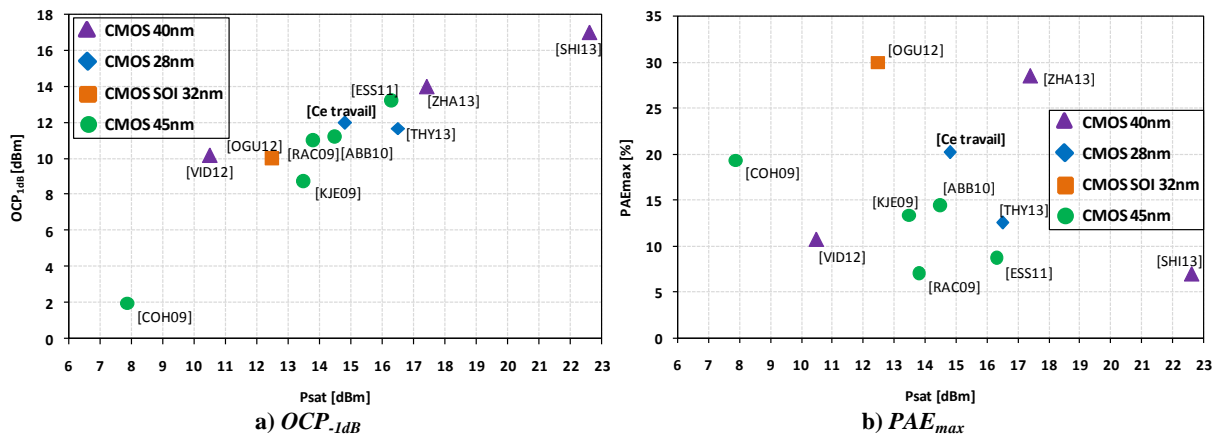


Figure III-59 : Graphes comparatifs pour le PA en 28nm Bulk

Ref	Process CMOS	Freq [GHz]	Valim [V]	Gain [dB]	P_{SAT} [dBm]	P_{-1dB} [dBm]	PAE [%]	P_{dc} [mW]	Surface _{active} [mm ²]	FoM [W.GHz ²]	$P_{SAT}/Surface_{active}$ [mW/mm ²]
[ESS11]	45nm	60	1,8	6	16,3	13,2	8,7	320	0,057	53	752
[KJE09]	45nm	60	2,1	17	13,5	8,7	13,4	126	0,018	541	1244
[RAC09]	45nm	60	1,1	6	13,8	11	7	138	0,056	24	428
[ABB10]	45nm	60	2	20	14,5	11,2	14,4	180	0,039	1461	723
[COH09]	45nm	60	1,2	19	7,9	2	19,4	14,4	0,034	342	181
[SHI13]	40nm	60	1,2	29	22,6	17	7	2440	2,16	36425	84
[VID12]	40nm	60	1,1	22	10,5	10,2	10,8	90	0,033	691	340
[ZHA13]	40nm	60	1	21,2	17,4	14	28,5	153	0,074	7432	742
[OGU12]	32nm SOI	60	0,9	10	12,5	-	30	-	0,605	192	29
[THY13]	28nm	60	2,1	24,4	16,5	11,7	12,6	-	0,122	5580	366
Ce travail	28nm	64	1,1	15,3	14,8	12	20,2	108	0,037	846	816

Tableau III-6 : Comparaison avec l'état de l'art des PAs à 60GHz

Discussion :

Finalement, la topologie source commune neutralisée s'avère la plus intéressante pour optimiser à la fois le gain, le rendement et la linéarité. La bonne isolation apportée par les capacités de neutrodynage permet de concevoir séparément le réseau d'adaptation de chaque étage.

Les techniques de combinaison en puissance à base de transformateurs intégrés apparaissent adéquates à 60 GHz pour améliorer à la fois la puissance de sortie, mais aussi la fiabilité sur chaque cellule de puissance, tout en assurant un routage compact.

5. Conclusion du chapitre

Ce chapitre a présenté la conception d'amplificateurs de puissance élémentaires à 60GHz en technologie CMOS. Dans un premier temps, une méthodologie de conception a été développée. L'architecture des PAs, le routage des transistors et la conception des réseaux d'adaptation ont été détaillés. Une attention particulière a été portée sur l'analyse de la stabilité.

Trois circuits ont été fabriqués dans les technologies CMOS 65nm et 28nm. Le premier PA repose sur une structure mode commun. Les lignes de transmission, formant les réseaux d'adaptation, sont optimisées en mettant à profit les propriétés des ondes lentes. Une étude sur la bande passante est menée pour le deuxième circuit, avec pour objectif de minimiser la surface active. Le dernier circuit en technologie CMOS 28nm a été conçu pour favoriser le rendement. Toutefois, nous observons, pour ce dernier, un décalage en fréquence et une chute du gain et de la *PAE*. Ceci s'explique par le fait que la réduction d'échelle durant la phase de fabrication n'a pas été pris en compte par le concepteur mais aussi parce que le wafer est sorti dans un corner Slow-Slow (SS) qui impacte fortement les performances du transistor. Les deux derniers PA sont composés de transformateurs intégrés assurant à la fois l'adaptation d'impédance et la conversion du mode commun vers le mode différentiel.

Suite à l'analyse des avantages et des faiblesses de ces circuits, des structures de PA sont sélectionnées. Ainsi, la topologie source commune pseudo-différentielle associée à des capacités de neutrodynage s'avère finalement la plus intéressante en termes de rendement et de linéarité et sera utilisée pour les circuits du chapitre IV. Par ailleurs, des techniques de combinaison de puissance et de linéarisation devront être implémentées afin de fournir suffisamment de puissance tout en réduisant au maximum la consommation à la puissance moyenne de fonctionnement.

Chapitre IV

Techniques d'amélioration des performances adaptées aux amplificateurs de puissance CMOS à 60GHz

1. ETAT DE L'ART	136
1.1. Techniques de linéarisation et d'amélioration du rendement compatibles aux fréquences millimétriques.....	136
1.1.1. Architecture LINC.....	136
1.1.2. Architecture Doherty.....	137
1.1.3. Polarisation dynamique.....	139
1.1.4. Prédistorsion analogique.....	140
1.1.5. Power cell switching (PCS).....	141
1.2. Combinaison en puissance.....	142
1.2.1. Combinaison à base de lignes de transmission	142
1.2.2. Combinaison à base de transformateurs.....	144
1.2.3. Combinaison mixte.....	145
2. CONCEPTION D'UN AMPLIFICATEUR DE PUISSANCE HAUTEMENT LINEAIRE A 60GHZ EN TECHNOLOGIE CMOS 65NM.....	147
2.1. Topologie du circuit	147
2.2. Linéarisation par polarisation segmentée	151
2.3. Résultats de simulation et expérimentaux	155
2.3.1. Performances petit-signal	155
2.3.2. Performances large-signal en classe A	155
2.3.3. Performances avec la polarisation segmentée et optimisation de la consommation	158
2.4. Performances dans des conditions de fiabilité	160
2.5. Comparaison avec l'état de l'art.....	162
3. CONCEPTION D'UN AMPLIFICATEUR DE PUISSANCE HAUTEMENT LINEAIRE A 60GHZ EN TECHNOLOGIE CMOS 28NM FD-SOI.....	166
3.1. La technologie CMOS 28nm FD-SOI.....	166
3.1.1. Le Back-End Of Line (BEOL).....	166
3.1.2. Etude des transistors	167
3.2. Cellule amplificatrice.....	170
3.2.1. Transistors de neutralisation	170
3.2.2. Implémentation de la polarisation segmentée pour la technologie 28nm FD-SOI	171
3.3. Topologie du circuit	171
3.4. Résultats de simulation et expérimentaux	173
3.4.1. Performances petit-signal	173
3.4.2. Performances large-signal	174
3.5. Comparaison à l'état de l'art	178
4. CONCLUSION DU CHAPITRE	180

Ce dernier chapitre est consacré à la conception de deux amplificateurs de puissance dans les technologies CMOS 65nm et 28nm FD-SOI.

Dans un premier temps, l'état de l'art des techniques de linéarisation, d'amélioration du rendement et de combinaison de puissance sera établi. Suite à cela, une architecture de circuit en 65nm sera fixée. Le dimensionnement du combineur de puissance et des cellules de puissance sera détaillé. Le circuit sera mesuré en petit-signal et large-signal pour plusieurs points de polarisation. Une technique de linéarisation par polarisation segmentée sera également proposée afin de réduire la consommation DC tout en gardant une linéarité similaire au classe A. La robustesse du circuit aux principaux mécanismes de dégradation sera analysée. Finalement, le PA sera comparé à l'état de l'art.

Un deuxième circuit sera implémenté dans la technologie CMOS 28nm FD-SOI. Des transistors seront tout d'abord mesurés en DC et petit-signal. Une étude théorique justifiera l'intérêt du SOI totalement déserté (fully depleted) par rapport aux technologies Bulk ou SOI partiellement déserté (partially depleted). Le circuit conçu reposera sur l'architecture du PA 65nm tout en profitant des propriétés du FD-SOI. Des cellules de puissance reconfigurables et extrêmement compactes seront intégrées afin de permettre à l'amplificateur de fonctionner dans plusieurs modes. Ce chapitre se conclura par une comparaison avec l'état de l'art.

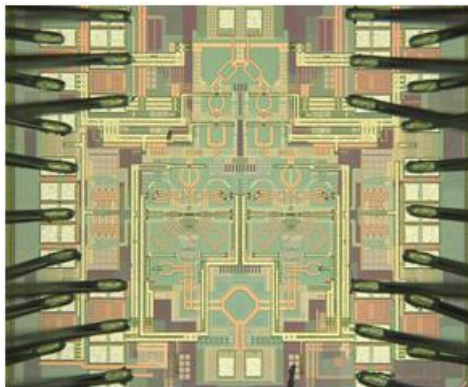
1. Etat de l'art

1.1. Techniques de linéarisation et d'amélioration du rendement compatibles aux fréquences millimétriques

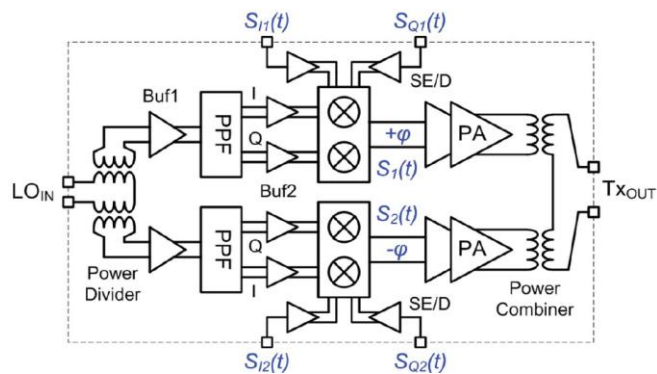
Plusieurs techniques de linéarisation et d'amélioration du rendement ont été reportées dans la littérature. Toutefois, toutes ne sont pas utilisables aux fréquences millimétriques. Récemment, quelques topologies ont été publiées telles que la pré-distorsion analogique, la polarisation dynamique et les architectures LINC et Doherty.

1.1.1. Architecture LINC

Un système LINC (*L*inear *a*mplification using *N*onlinear *C*omponent) mettant en œuvre la technique de Outphasing est présenté sur la Figure IV-1.



a) Photographie du circuit



b) Schéma-bloc

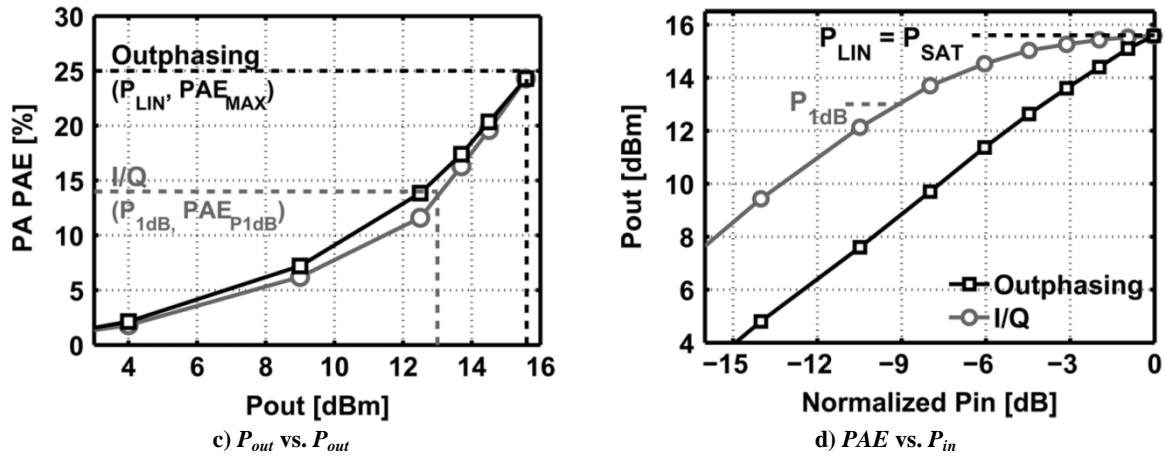


Figure IV-1 : Architecture LINC [ZHA12]

L'amplification est assurée par la somme vectorielle $S(t)$ de deux signaux à enveloppe constante $S_1(t)$ et $S_2(t)$ définis tels que :

$$S(t) = A(t) \cdot e^{j(\omega_c t + \theta(t))} = S_1(t) + S_2(t) \quad (IV-1)$$

$$S_1(t) = \frac{A_M}{2} \cdot e^{j(\omega_c t + \theta(t) + \varphi(t))} \quad S_2(t) = \frac{A_M}{2} \cdot e^{j(\omega_c t + \theta(t) - \varphi(t))} \quad (IV-2)$$

$$\varphi(t) = \arccos\left(\frac{A(t)}{A_M}\right) \quad (IV-3)$$

Avec : A_M la valeur maximale de $A(t)$, ω_c la fréquence de la porteuse, $\theta(t)$ la phase modulée, $\varphi(t)$ l'angle de déphasage.

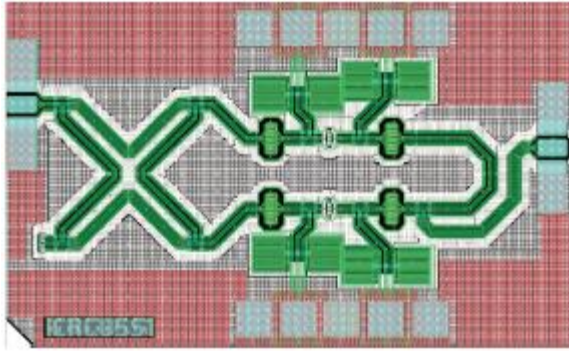
Le système traitant uniquement des signaux à enveloppe constante, les PAs peuvent travailler en saturation avec le maximum de PAE et la linéarité peut être optimisée en choisissant l'angle de déphasage optimal, comme en témoignent les Figure IV-1.c) et d).

A noter toutefois que la mauvaise isolation du combineur de puissance du circuit présenté sur la Figure 1 implique une modulation de la charge vue sur chaque PA en fonction de l'angle de déphasage $\varphi(t)$. Par conséquent, des distorsions de phase sont générées à la sortie du circuit. La structure Chireix [CHI35] introduit une compensation de la réactance, mais n'est pas envisageable aux fréquences millimétriques car la puissance de sortie et le rendement seraient beaucoup trop dégradés. Par ailleurs, l'architecture du transmetteur est complètement dépendante du système Outphasing.

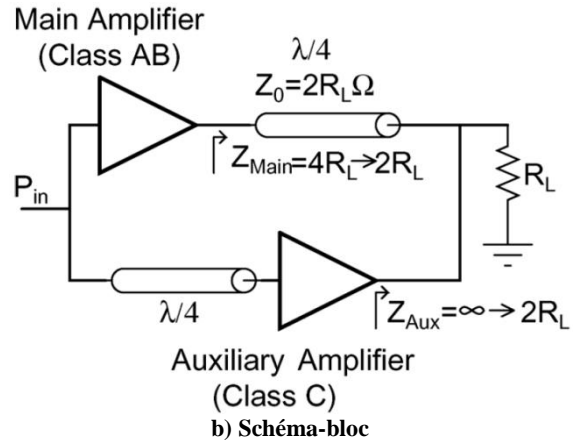
1.1.2. Architecture Doherty

La technique proposée par William H. Doherty en 1936 [DOH36] a pour objectif de maintenir le rendement de l'amplificateur à une valeur élevée sur une large plage de puissance, c.à.d. de la puissance de saturation jusqu'à un recul de puissance d'environ 6dB.

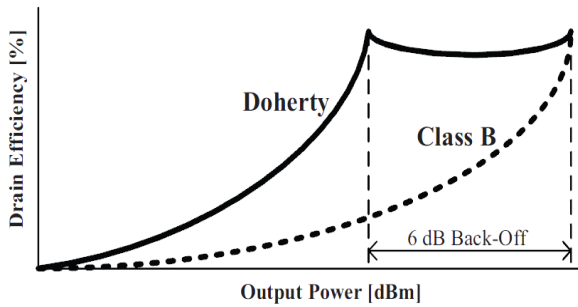
Généralement, cette structure est composée d'un amplificateur principal (*main*) et d'un amplificateur auxiliaire (*peaking*) dont les sorties sont reliées entre elles par des lignes quart d'onde. L'amplificateur principal est polarisé en classe A/AB et l'auxiliaire plutôt en classe C. Afin de recombinaison des signaux en phase, une autre ligne (ou un coupleur hybride) est ajoutée devant l'amplificateur auxiliaire (Figure IV-2.a) et b)).



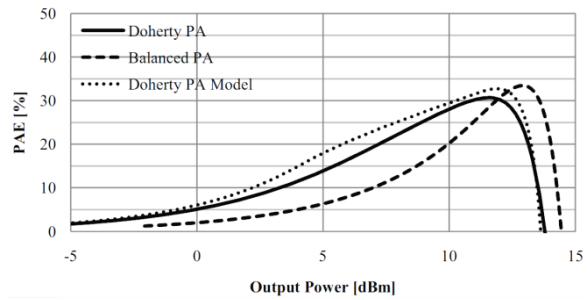
a) Layout du circuit



b) Schéma-bloc



c) Comportement idéal du rendement



d) Comportement simulé du rendement

Figure IV-2: Architecture Doherty à 60GHz [SHO11]

Son principe de fonctionnement est basé sur l'idée de moduler la charge présentée à l'amplificateur principal en utilisant une charge active, à savoir l'amplificateur auxiliaire.

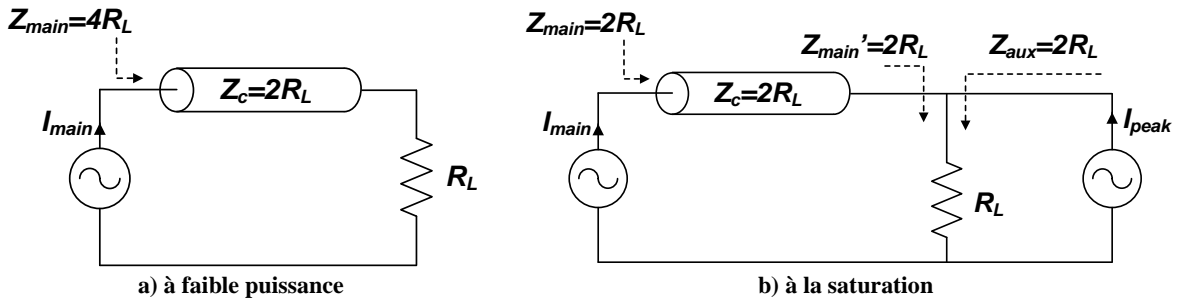


Figure IV-3 : Comportement d'un PA Doherty

A faible puissance (Figure IV-3.a)), l'amplificateur auxiliaire est éteint et présente idéalement une impédance de sortie infinie. Grâce à une ligne quart d'onde d'impédance caractéristique $Z_c = 2R_L$, l'impédance de charge présentée à l'amplificateur principal est de :

$$Z_{Main} = \frac{Z_c^2}{R_L} = 4R_L \quad (IV-4)$$

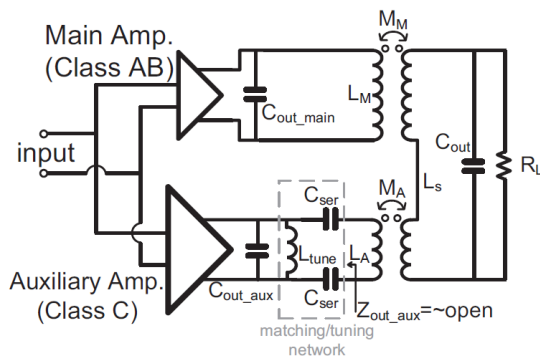
Lorsque la puissance d'entrée augmente, l'amplificateur auxiliaire commence à conduire. L'impédance de charge Z_{Main} diminue alors progressivement jusqu'à $2R_L$. Z_{Main} est en effet modulée par la charge fournie par l'amplificateur auxiliaire qui atteint $2R_L$ à sa saturation (Figure IV-3.b)). En fait, l'impédance vue par chaque amplificateur est dépendante du courant d'alimentation de l'autre (IV-5). Ainsi, lorsque les deux amplificateurs contribuent équitablement avec $I_{Peak} = I_{Main}$, chacun voit $Z_{Peak} = Z_{Main} = 2R_L$.

$$Z_{Main} = R_L \left(1 + \frac{I_{Peak}}{I_{Main}} \right) \qquad Z_{Peak} = R_L \left(1 + \frac{I_{Main}}{I_{Peak}} \right) \qquad (IV-5)$$

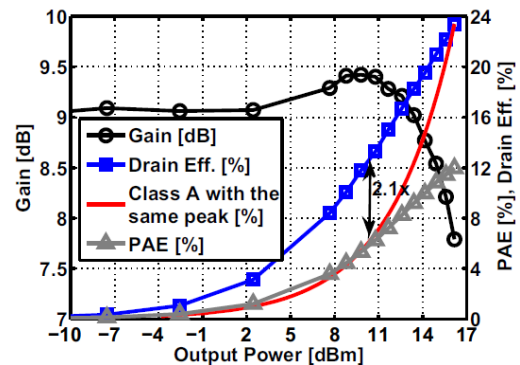
Dans des conditions idéales, il est possible de maintenir le rendement constant sur une plage de puissance d'environ 6dB (Figure IV-2.c)). Dans les conditions réelles à 60GHz, le back-off apporté par la structure Doherty et illustré sur la Figure IV-2.d) reste beaucoup plus modeste.

La ligne quart d'onde (ou le coupleur hybride) nécessaire à cette structure est problématique. Ses dimensions et son impédance caractéristique élevée impliquent d'importantes pertes d'insertion, réduisant fortement le rendement global. En outre, le circuit a un comportement bande étroite.

Afin de pallier à ces problèmes, des topologies à base de transformateurs ont été implémentées à 2,4GHz dans [KAY12], puis à 77GHz dans [KAY14] (Figure IV-4). Une des principales difficultés aux fréquences millimétriques est la conception d'un circuit d'adaptation faible perte afin de présenter une impédance Z_{Peak} élevée lorsque l'amplificateur auxiliaire est éteint et ainsi garantir le comportement d'un circuit Doherty.



a) Schéma électrique



b) Comportement du gain et du rendement en fonction de la puissance de sortie

Figure IV-4: Amplificateur Doherty aux fréquences millimétriques à base de transformateurs [KAY14]

1.1.3. Polarisation dynamique

La polarisation dynamique dont un exemple est illustré sur les Figure IV-5.a) et b), consiste à faire varier dynamiquement le point de polarisation d'un étage de puissance afin d'améliorer son rendement ou sa linéarité. En effet, il n'est pas intéressant de maintenir le PA dans une classe hautement linéaire pour la transmission d'un signal de faible puissance. Pour ce faire, un signal fourni par un circuit de polarisation est appliqué sur la grille du transistor de puissance. Dans l'exemple donné, le circuit de contrôle suit la dynamique de sortie et ajuste la polarisation du PA. Comme le montre la Figure IV-5.c), il est possible de repousser le point de compression de l'amplificateur. Le circuit a toutefois une bande passante relativement étroite, liée à celle de la boucle de retour (Figure IV-5.d)). Enfin, le gain aux petits signaux est plus faible que sur un PA linéaire classique car le courant de polarisation est volontairement réduit.

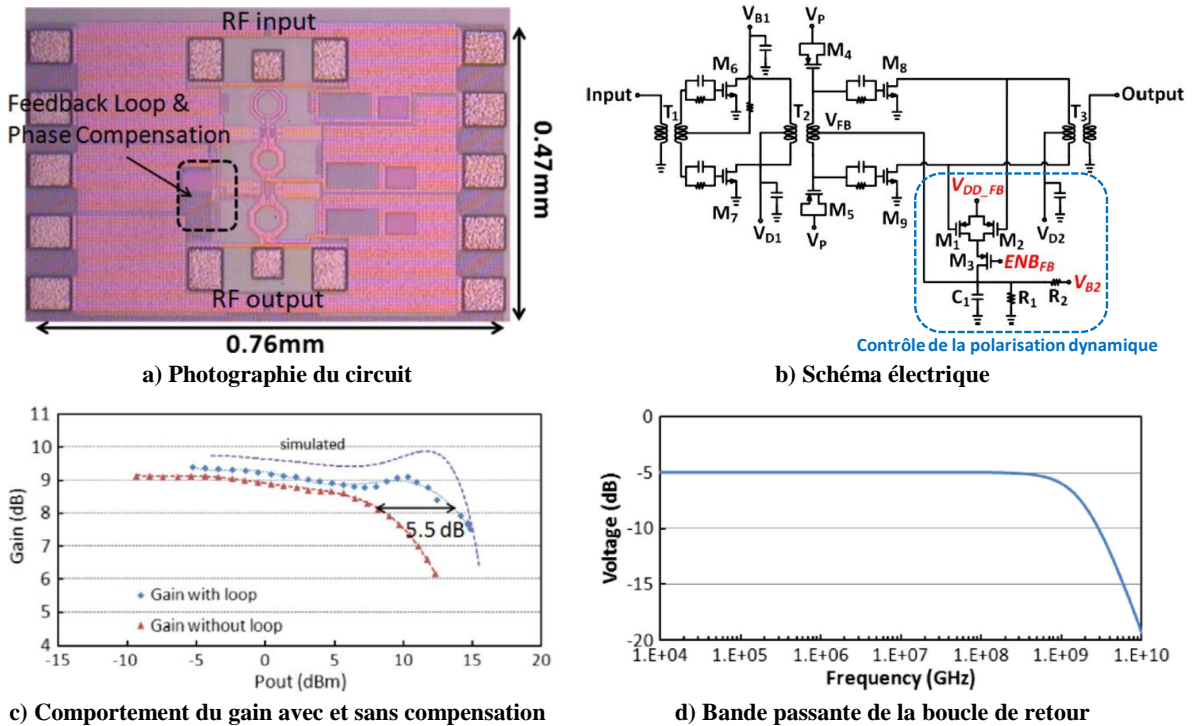


Figure IV-5 : Polarisation dynamique [LIU12]

1.1.4. Prédistorion analogique

La prédistorion RF est la technique de linéarisation en boucle ouverte la plus simple à mettre en œuvre et présentant une large bande passante. En connaissant parfaitement les caractéristiques en puissance du PA, la prédistorion va compenser les non-linéarités générées par le circuit de puissance. La variation des caractéristiques du PA dans le temps constitue néanmoins la principale faiblesse de cette technique de linéarisation. Le principe de fonctionnement est illustré sur la Figure IV-6.

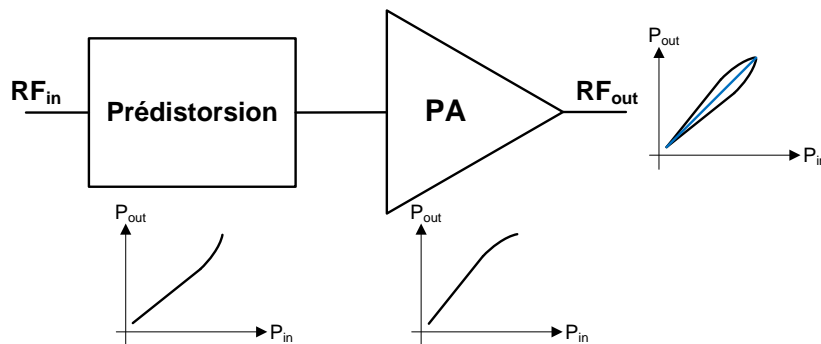
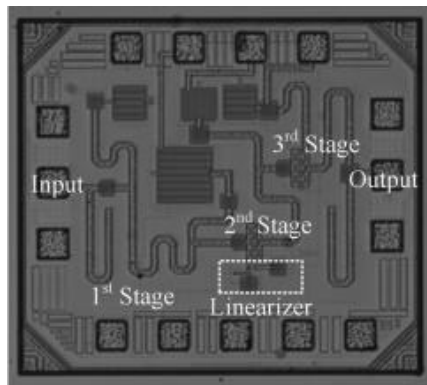


Figure IV-6 : Principe de fonctionnement d'une prédistorion RF

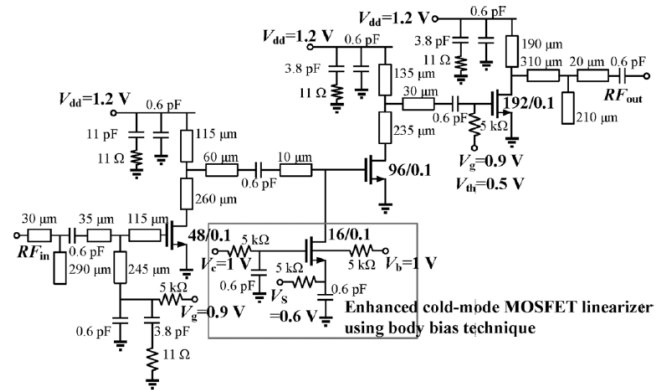
Plusieurs structures sont envisageables et reposent sur des diodes [IMA89], [YAM96] ou des transistors en mode froid ($V_{DS}=0V$) [TSA06]. Un exemple à 60GHz, présenté sur les Figure IV-7.a) et b), repose sur un transistor MOS en mode froid [TSA11].

La linéarité est améliorée avec un meilleur point de compression en sortie du PA et une plus haute PAE utilisable (Figure IV-7.c)). Après une étude deux tons, les distorsions d'intermodulation d'ordre 3 montrés sur la Figure IV-7.d) sont grandement réduites en

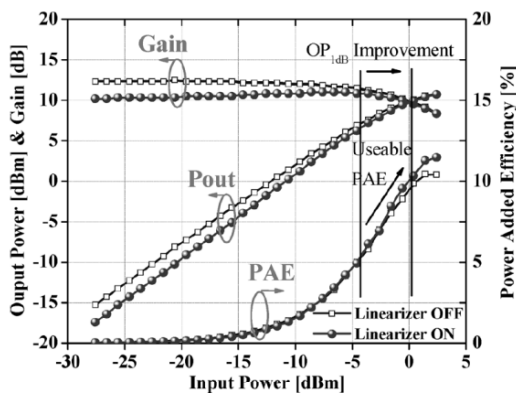
simulation après linéarisation. On observe en mesure une dissymétrie entre les IMD_3 hautes et basses, pouvant, a priori, être provoquée par des effets mémoires.



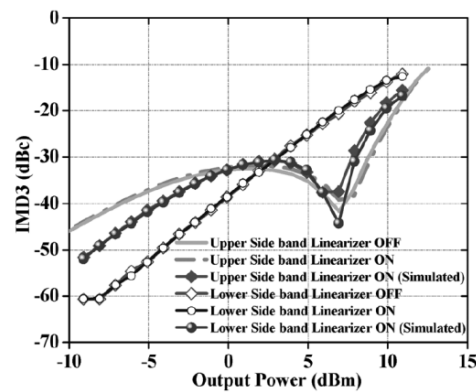
a) Photographie du circuit



b) Schéma électrique



c) Performances en puissance avec et sans prédistorsion



d) IMD_3 avec et sans prédistorsion

Figure IV-7 : Prédistorion analogique [TSA11]

1.1.5. Power cell switching (PCS)

Avec cette technique, la puissance en sortie du circuit est reconfigurée en activant ou désactivant les cellules de puissance en fonction de la puissance d'entrée. Il est ainsi possible de maintenir une PAE élevée sur un large back-off tout en gardant une grande bande passante. Cette technique est très utilisée aux fréquences millimétriques avec un grand nombre de publications telles que [ZHA13] et [YEH13]. Les cellules de puissance sont généralement combinées à travers un DAT qui assure un routage compact.

La principale difficulté d'implémentation de cette technique réside dans le fait que la désactivation de certaines cellules élémentaires ne doit pas impacter sur le fonctionnement des autres en modifiant leurs impédances de charge. Ceci requiert des structures particulières de combineurs de puissance.

Dans la référence [YEH13] présentée sur les Figure IV-8.a) et b), quatre PAs élémentaires sont combinés de telle manière que leurs désactivations n'impactent quasiment pas l'impédance de charge des autres. Le maintien du rendement et des IMD_3 sur une large gamme de puissance est observable sur les Figure IV-8.c) et d).

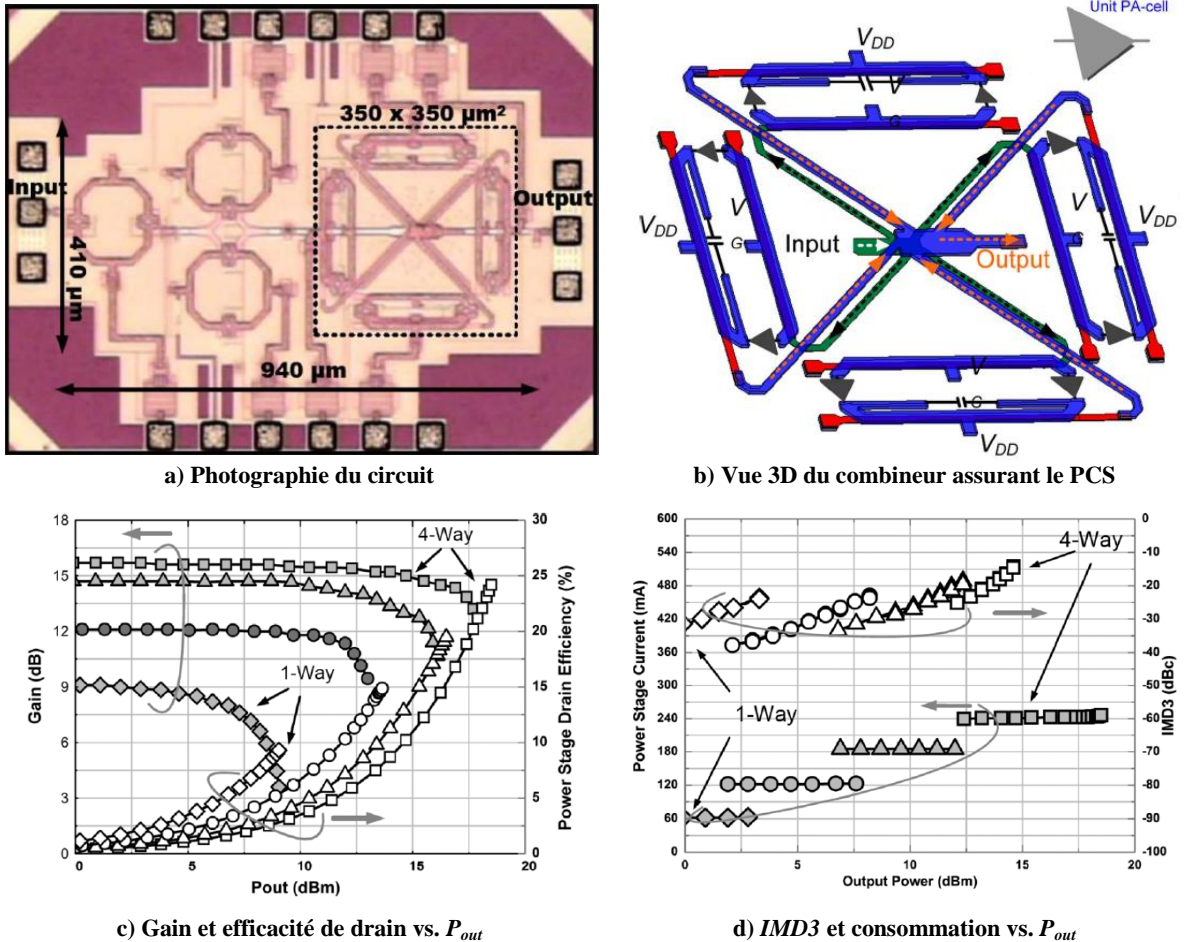


Figure IV-8 : Power cell switching [YEH13]

1.2. Combinaison en puissance

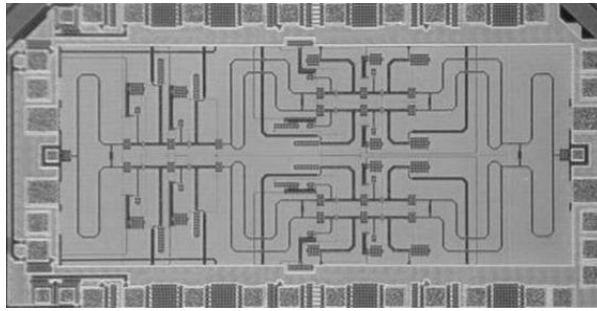
La puissance de sortie peut être améliorée en combinant plusieurs amplificateurs élémentaires. Plusieurs techniques sont envisageables et ont été étudiées aux fréquences millimétriques : la combinaison à base de lignes de transmission, la combinaison à base de transformateurs ou alors un mélange de ces deux types de combinaison.

1.2.1. Combinaison à base de lignes de transmission

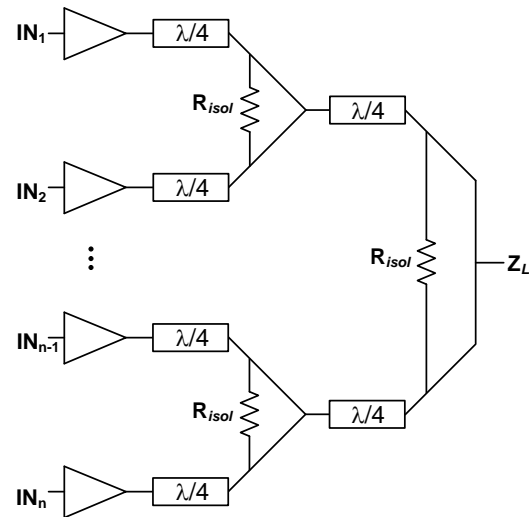
Deux architectures de combineurs à base de lignes de transmission ont été reportées dans la littérature : le combineur Wilkinson et le combineur zéro-degré, qui somme les courants en phase.

Combineur Wilkinson :

Un combineur Wilkinson (Figure IV-9) fournit une bonne isolation entre ses ports grâce à ses lignes quart d'onde et sa résistance R_{isol} . Les lignes ramènent toutefois des pertes d'insertion et un encombrement importants. L'ajustement de l'impédance caractéristique des lignes quart d'onde permet d'adapter les étages de puissance comme le montre l'équation (IV-4).



a) Photographie du circuit

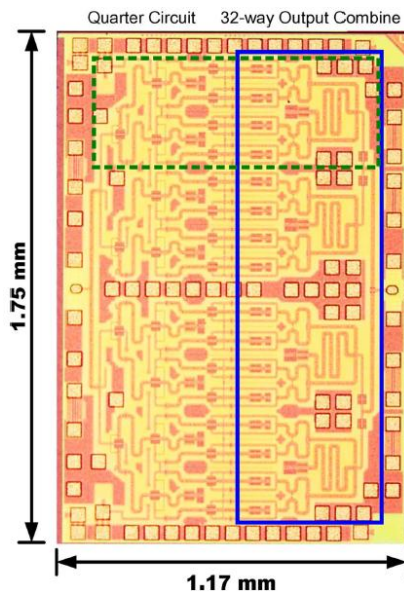


b) Schéma-bloc

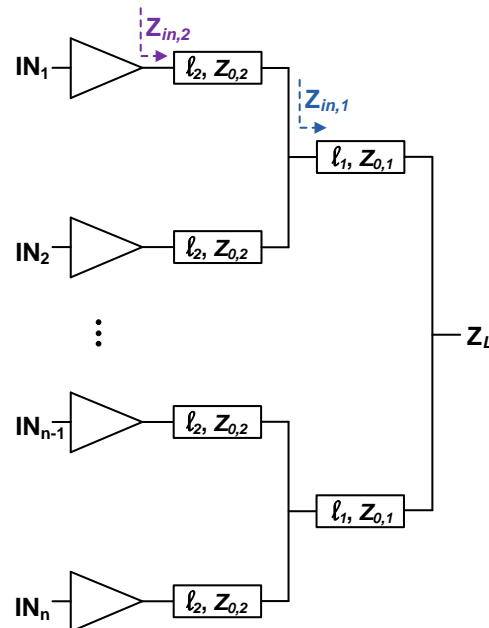
Figure IV-9 : Combineur en courant Wilkinson [LAW10]

Combineur zéro-degré :

Pour un combineur zéro-degré (Figure IV-10), tous les PAs élémentaires conduisent en phase.



a) Photographie du circuit



b) Schéma bloc

Figure IV-10 : Combineur en courant zéro-degré [HSI13]

L'isolation entre les ports d'entrée du combineur est négligée et les pertes d'insertion sont minimisées. Ce combineur a également la capacité d'effectuer une transformation d'impédance. En effet, l'impédance vue à travers une ligne de transmission de longueur l et d'impédance caractéristique Z_0 est exprimée par :

$$Z_{in} = Z_0 \frac{Z_L + jZ_0 \tan(\beta l)}{Z_0 + jZ_L \tan(\beta l)} \quad (IV-6)$$

avec Z_L l'impédance de charge au bout de la ligne et β la constante de phase.

Dans le cas d'un combineur zero-degré à N voies, l'impédance d'entrée vue par un PA peut être trouvée en effectuant un calcul itératif avec l'équation (IV-7), i variant de 0 à N où $Z_{0,0} = Z_L$:

$$Z_{in,i} = Z_{0,i} \frac{2Z_{in,i-1} + jZ_{0,i} \tan(\beta_i l_i)}{Z_{0,i} + j2Z_{in,i-1} \tan(\beta_i l_i)} \quad (IV-7)$$

En théorie, n'importe quelle valeur de $Z_{in,i}$ peut être atteinte dans le cas où $Z_{0,i}$ et l_i n'ont aucune contrainte physique. En réalité, la largeur maximale des pistes (suivant les règles de fabrication) limite l'impédance caractéristique Z_0 de la ligne. Les longueurs l_i de la ligne sont contraintes par les dimensions du circuit. L'électro-migration doit aussi être étudiée avec des pistes suffisamment larges pour supporter le courant.

1.2.2. Combinaison à base de transformateurs

Les combineurs de puissance à base de transformateurs peuvent être classés en deux familles : les structures SCT (*Series power-Combining Transformer*) et les structures PCT (*Parallel power-Combining Transformer*).

Structure SCT :

Un exemple de circuit à 60GHz intégrant un combineur de type SCT est présenté sur la Figure IV-11 et dans [CHE11]. Dans cette configuration, les secondaires du DAT sont connectés en série. Ils partagent le même courant et les tensions sont sommées.

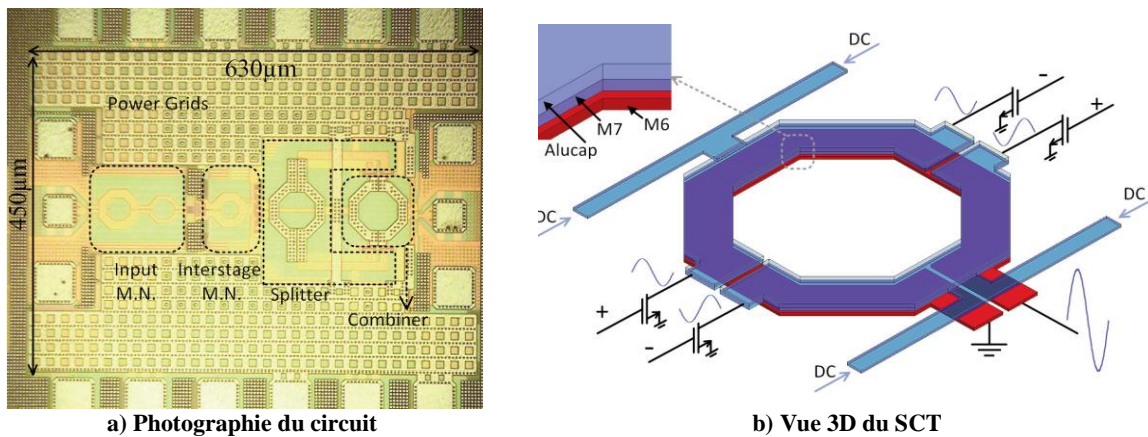


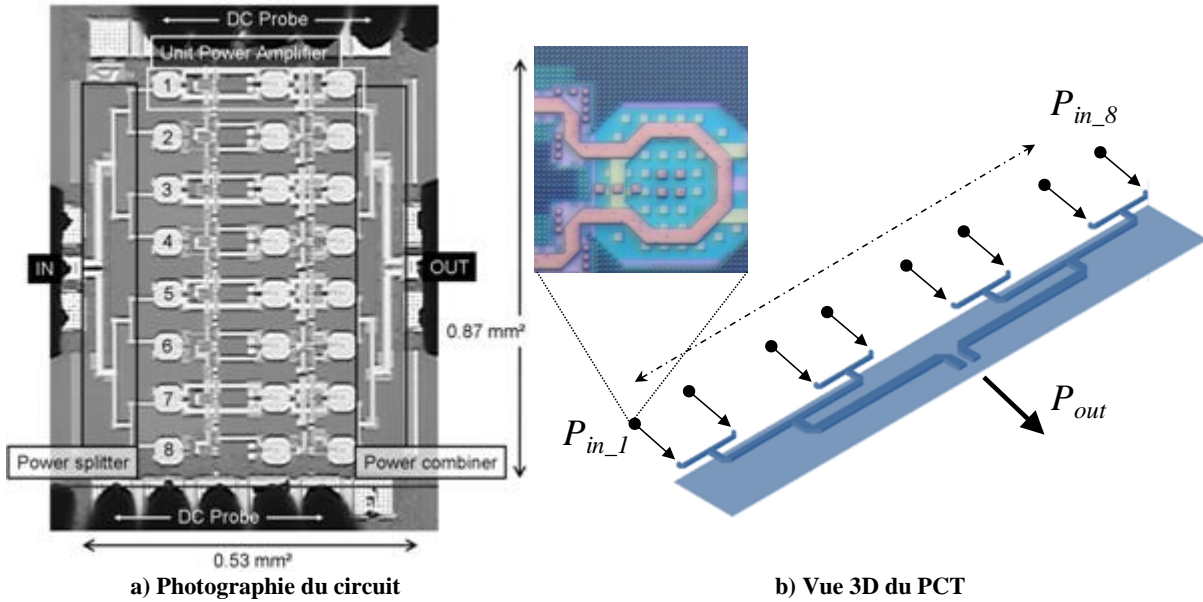
Figure IV-11 : Structure SCT [CHE11]

A cause des capacités parasites entre les enroulements, des déséquilibres en tension apparaissent sur les secondaires et limitent le nombre de primaires à 2.

Structure PCT :

Cette topologie consiste à sommer les courants générés au secondaire de plusieurs transformateurs indépendants. Dans la référence [MAR10], la combinaison en courant de huit cellules élémentaires pseudo-différentielles est assurée par des lignes de transmission selon le principe expliqué dans IV.2.2.1.

Aux fréquences millimétriques, ces deux structures SCT et PCT sont très sensibles aux déséquilibres d'amplitude et aux déphasages entre les voies dès lors qu'on décide de combiner plusieurs amplificateurs. Des architectures mixtes combinant ces deux structures ont alors été proposées.



Structure PCT [MAR10]

1.2.3. Combinaison mixte

Deux topologies de combineur de puissance mixte sont intégrables aux fréquences millimétriques : le SPCT (*Series-Parallel power-Combining Transformer*) et le PSCT (*Parallel-Series power-Combining Transformer*).

Structure SPCT :

La solution SPCT proposée dans [ALO12] et [LAI10] associe deux structures SCTs avec une structure PCT afin d'améliorer la puissance de sortie.

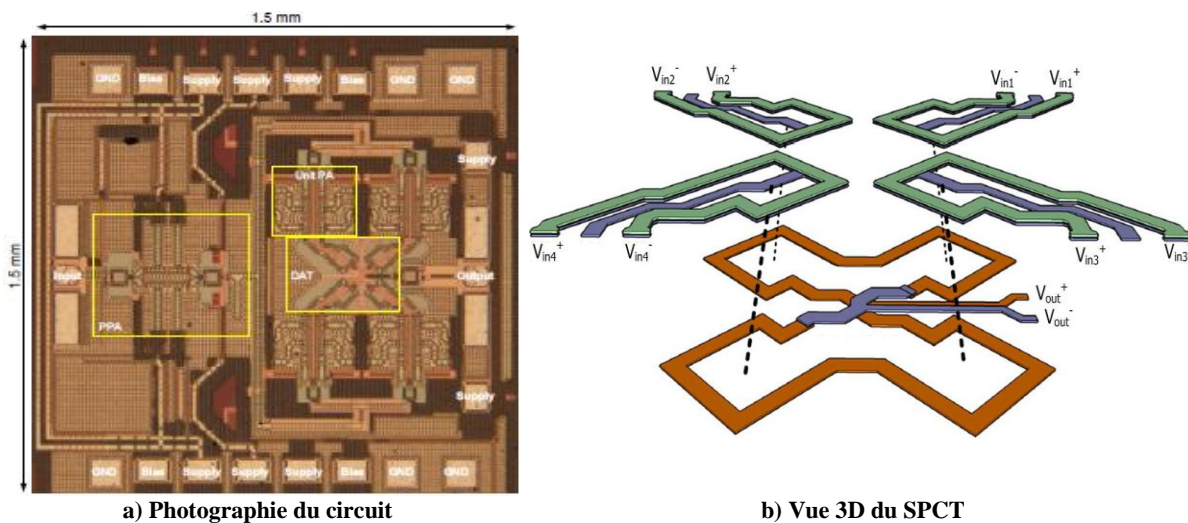


Figure IV-12 : Structure SPCT [ALO12]

La recombinaison de puissance s'effectue dans un premier temps en sommant les tensions de plusieurs cellules élémentaires à l'aide d'un transformateur, dont le nombre de primaires est limité à deux afin de réduire les déséquilibres en phase et en amplitude. Les courants des deux SCT sont par la suite sommés. Dans la Figure IV-12, quatre PAs élémentaires différentiels sont combinés.

Structure PSCT :

La topologie PSCT combine deux structures PCT avec une structure SCT. Dans cette solution, la recombinaison se fait d'abord en courant puis en tension. Dans la Figure IV-13 [SHI13], des combineurs de type Wilkinson sont associés à un DAT sommant en tension deux voies différentielles. Un nombre conséquent de PAs élémentaires peut être combiné tout en gardant un routage compact. Pour exemple, 32 PAs élémentaires sont combinés dans la référence proposée ci-dessous.

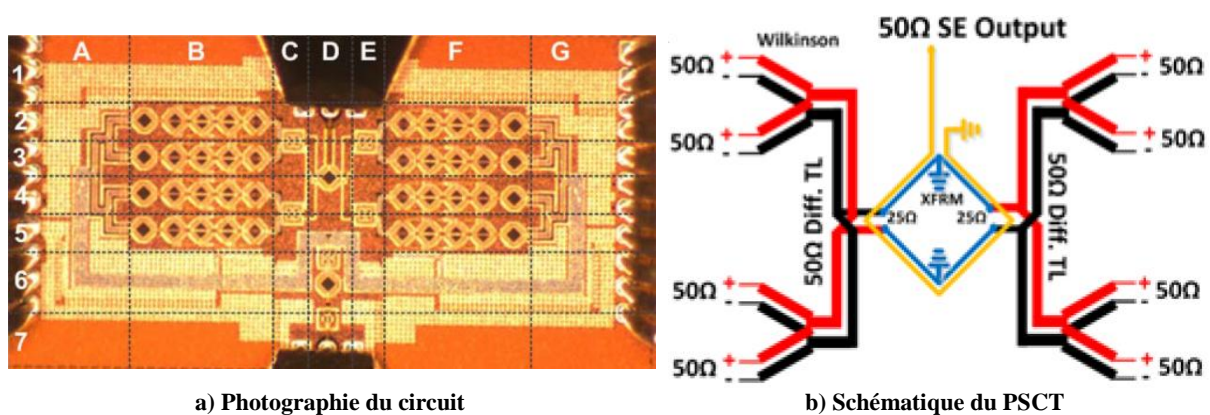


Figure IV-13 : Structure PSCT [SHI13]

2. Conception d'un amplificateur de puissance hautement linéaire à 60GHz en technologie CMOS 65nm

2.1. Topologie du circuit

Cet amplificateur de puissance intégré est présenté sur le schéma de la Figure IV-14 et sur la photographie de la Figure IV-15. Il occupe une surface active de seulement 0,32mm².

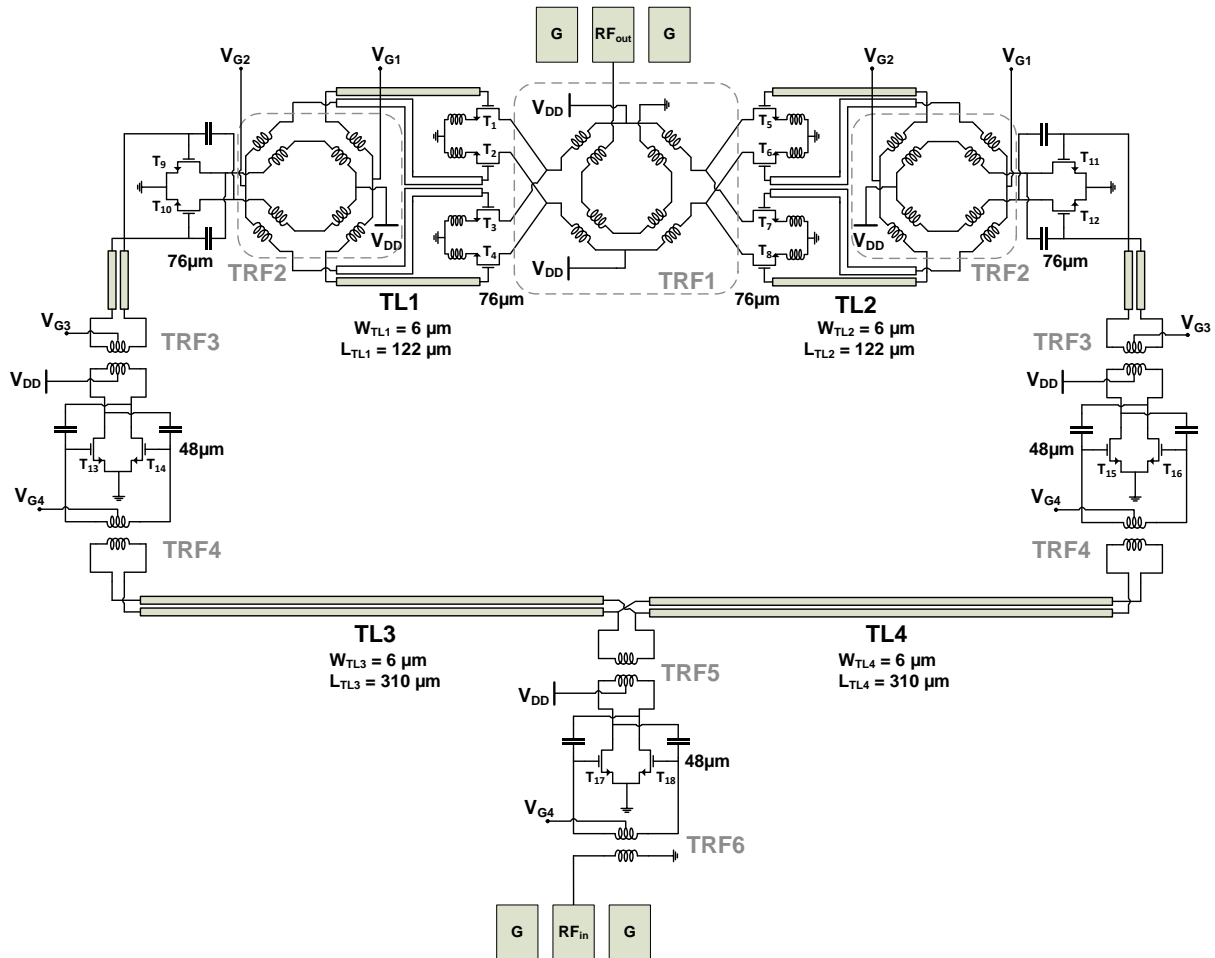


Figure IV-14 : Schéma électrique du PA 60GHz CMOS 65nm

Chaque cellule de puissance pseudo-différentielle est composée de transistors montés en source commune, topologie optimale à 60GHz. Les transistors des étages drivers sont neutralisés afin d'améliorer l'isolation et le gain total du circuit. Des réseaux d'adaptation d'impédance à base de transformateurs sont intensivement utilisés afin de réduire la taille du circuit tout en assurant des opérations de combinaison de puissance. L'alimentation et la polarisation des transistors sont effectuées à travers les points milieux des transformateurs. Des résistances poly-silicium de 10kΩ limitent une possible fuite du signal RF dans le circuit de polarisation. Le découplage RF est assuré par une capacité fournie par la superposition de la grille d'alimentation (métal 7 et Alucap) et du plan de masse (du métal 1 jusqu'au métal 6).

L'étage de puissance est formé par 8 transistors (T_1 à T_8) de 76µm, avec 1µm par doigt de grille. Afin d'assurer un gain suffisant, les trois étages drivers sont respectivement composés de quatre transistors de 76µm (T_9 à T_{12}), de quatre transistors de 48µm (T_{13} à T_{16}) et deux

transistors de $48\mu\text{m}$ (T_{17} et T_{18}). Chaque transistor est découpé en 4 parties égales ayant chacune deux accès de grille pour réduire sa résistance et améliorer le gain maximal. (cf. le paragraphe III.1.5.)

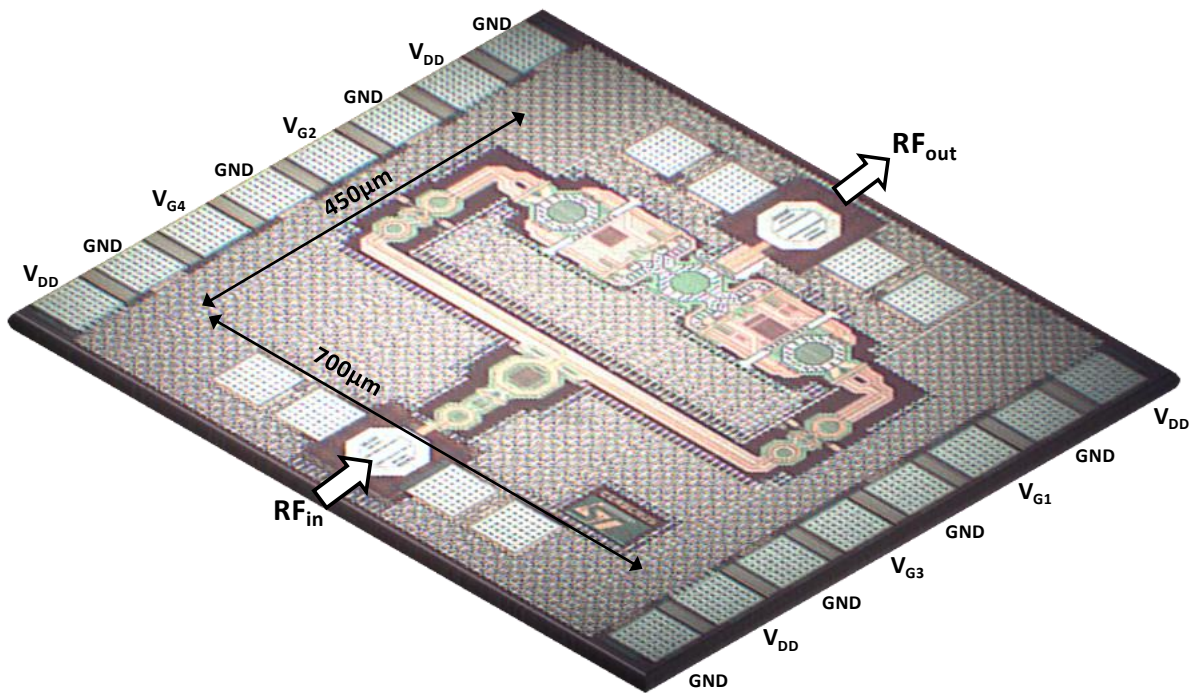


Figure IV-15 : Photographie du PA 60GHz en CMOS 65nm

Un routage en forme d'escalier atténue les capacités parasites entre le drain et la source, le drain et la grille, ainsi que la grille et la source. Des diodes d'antenne empêchent l'accumulation de charges électriques sur les grilles des transistors durant la phase de fabrication.

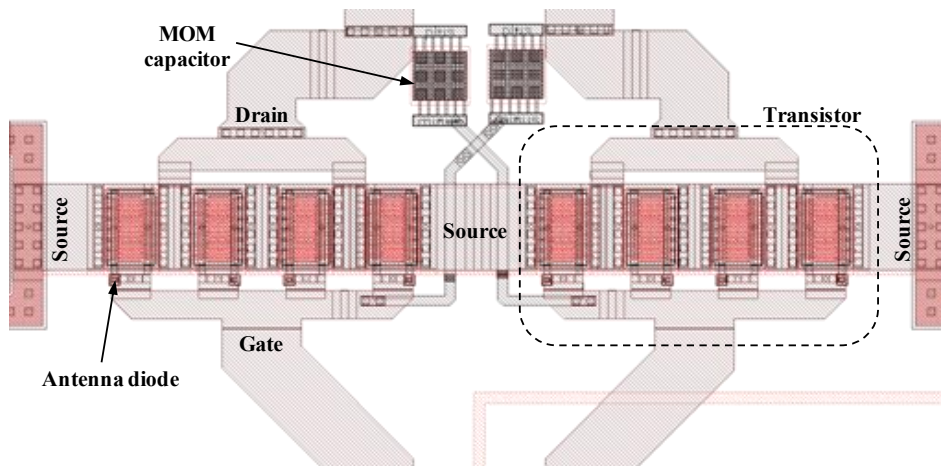


Figure IV-16 : Routage des transistors d'un étage

Comme on peut le voir sur la Figure IV-16, la technique de neutrodynage est implémentée avec des capacités de type MOM pour minimiser la capacité C_{GD} des transistors. La valeur de chacune de ces capacités est choisie afin d'optimiser à la fois le gain et la stabilité. Ainsi, les valeurs optimales retenues sont 27fF pour les transistors de $76\mu\text{m}$ et 16fF pour ceux de $48\mu\text{m}$ (Figure IV-17). Les MSG atteignent $14,2\text{dB}$ et $13,8\text{dB}$ à 60GHz .

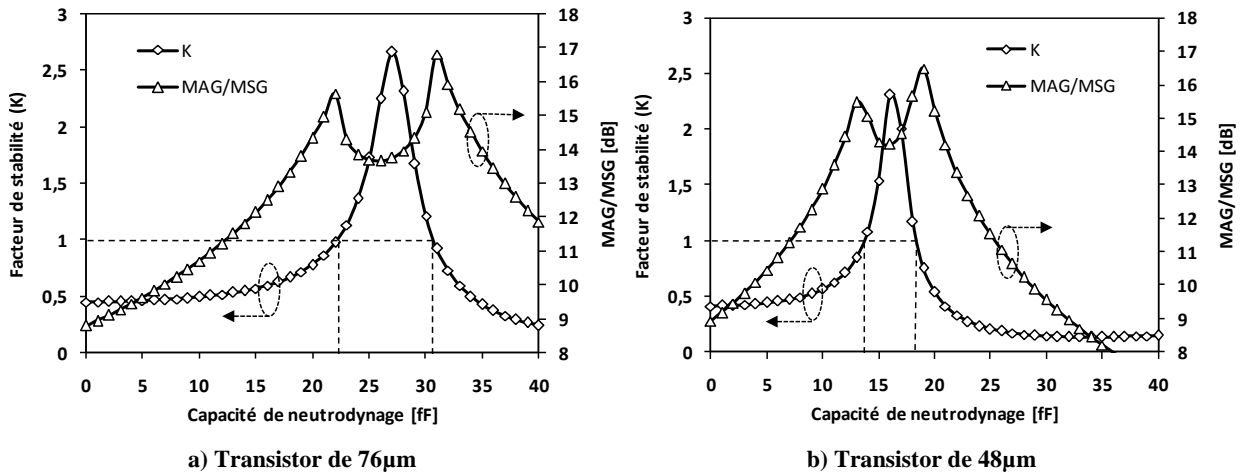


Figure IV-17 : Facteur de Rollet et MAG/MSG en fonction de la capacité de neutrodynage

Des plots RF non blindés sont conçus avec un taux de remplissage de dummies de 50%. Ils introduisent environ 0,2dB de pertes et transforme l'impédance de charge 50Ω en une impédance valant $40-j*10\Omega$, ce qui correspond à une capacité équivalente d'environ 15fF.

Chaque voie d'un DAT 4:1 est associée à un combineur en courant composé de deux voies. Le combineur de puissance final TRF1 sur la Figure IV-18 somme quatre cellules unitaires pseudo-différentielles et occupe une très faible surface ($160 \times 130 \mu\text{m}^2$). Le transformateur est implémenté avec deux enroulements pour le primaire superposés à un seul enroulement pour le secondaire. Les pertes d'insertion et la bande passante du transformateur sont principalement déterminées par le facteur de couplage [LON00]. Par conséquent, le transformateur est optimisé pour maximiser le couplage magnétique qui atteint 0,86 à 60GHz. Par ailleurs, le primaire est formé avec les couches de M7 et d'Alucap afin d'améliorer le coefficient de qualité et respecter les règles d'électro-migration.

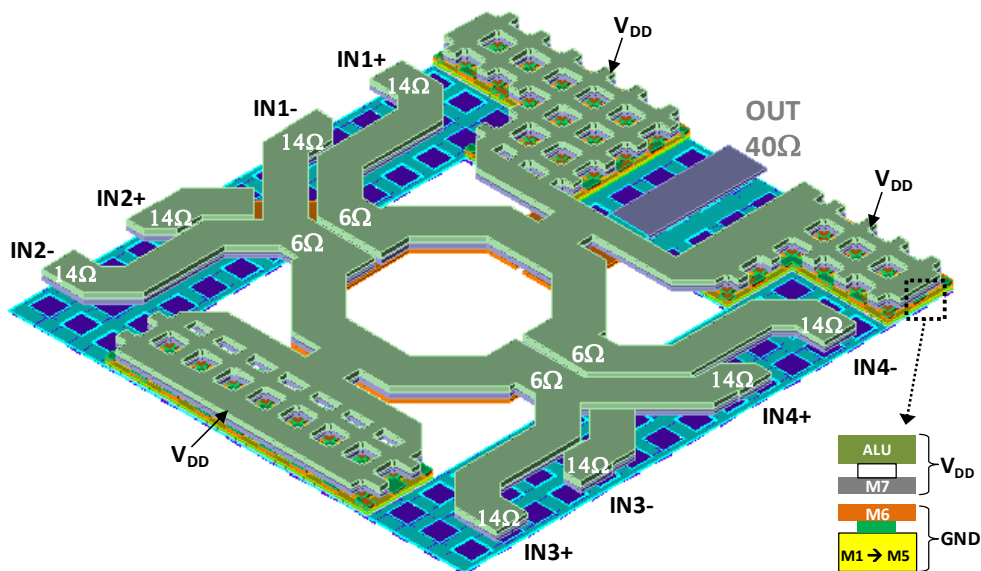


Figure IV-18 : Vue 3D du combineur de puissance

Les pertes d'insertion (voir paragraphe II.3.4) du transformateur sont étudiées sur la Figure IV-19 en fonction de son diamètre interne et de sa largeur de piste. On constate que les pertes sont minimales pour un diamètre interne proche de $40\mu\text{m}$.

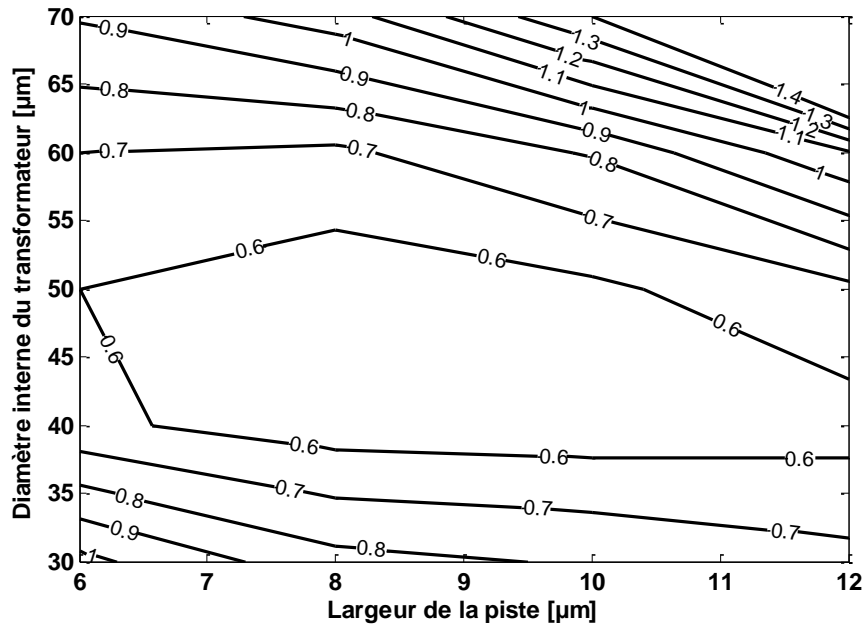
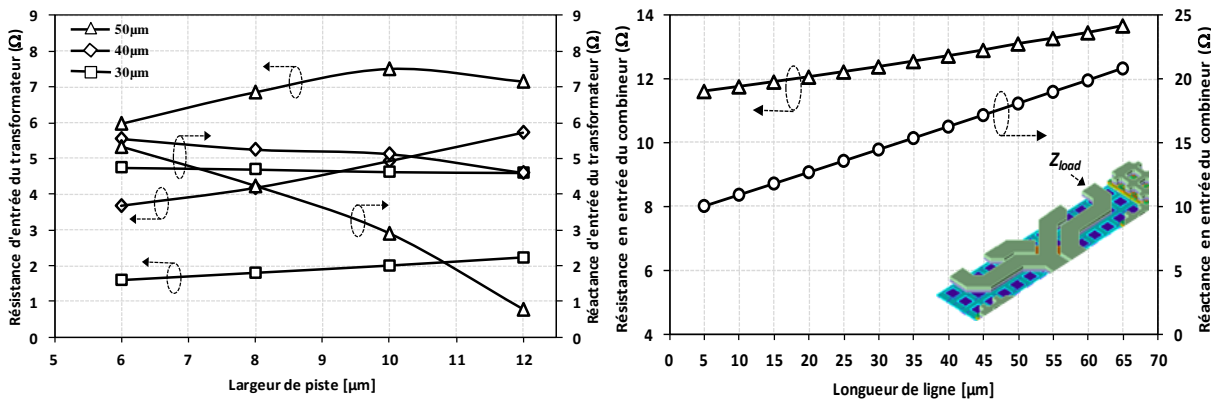


Figure IV-19 : Pertes d'insertion du transformateur TRF1 en fonction du diamètre interne et de la largeur de piste

Un diamètre interne de 46µm et une largeur de piste de 12µm ont été sélectionnés après une étude itérative, aboutissant à un compromis entre les pertes d'insertion et l'impédance sur les entrées du transformateur. La largeur de piste maximale garantit le respect des règles d'électro-migration. La longueur des lignes du diviseur zéro-degré est fixée à 65µm et permet d'adapter les transistors à leur impédance optimale Z_{load} , à savoir $14+j20\Omega$ (Figure IV-20).



a) Impédance d'entrée du transformateur en fonction du diamètre interne et de la largeur des pistes

b) Impédance en entrée du combineur en fonction de la longueur des lignes des diviseurs zéro-degré pour un transformateur de 46µm de diamètre interne avec des pistes de 12µm

Figure IV-20 : Impédances en entrée du transformateur et en entrée du combineur de puissance

Dans le circuit, le transformateur présente 0,7dB de pertes d'insertion sur une gamme de fréquences d'environ 10GHz (Figure IV-21). Cette différence s'explique par le fait que les impédances d'entrée du transformateur ne sont pas exactement toutes les mêmes à cause du déséquilibre généré par la conversion du mode différentiel vers le mode commun. Contrairement à l'étude des pertes d'insertion minimales, où chaque voie est optimisée pour maximiser le transfert en puissance, des pertes légères dues à la désadaptation sont ici inévitables. Au final, le réseau d'adaptation complet (combineur de puissance et plots RF) présente environ 1,1dB de pertes entre 57GHz et 66GHz.

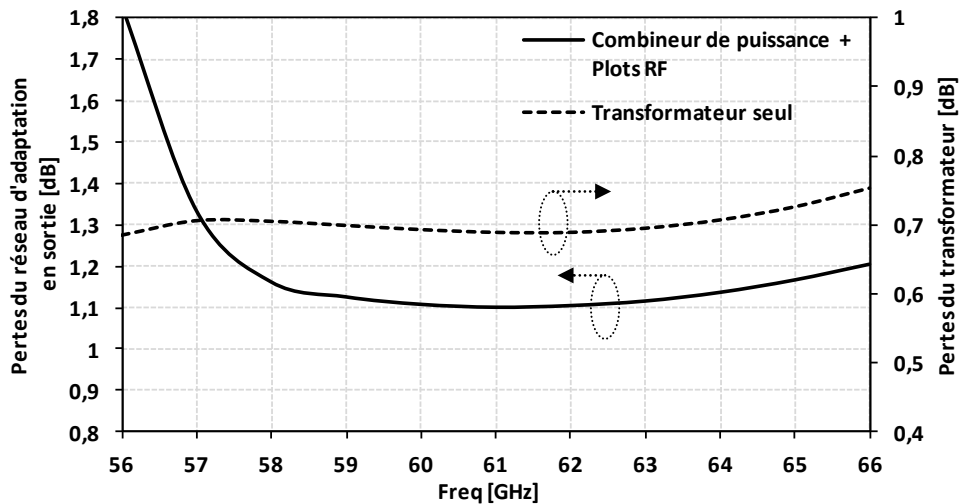


Figure IV-21 : Pertes du transformateur 4:1 et du combineur de puissance final

Les diviseurs de puissance composant l'étage de sortie TRF2 reposent sur la même structure que le combineur de puissance. Des lignes différentielles TL1 et TL2 sont insérées pour compenser la différence de conductance entre les deux étages. Les transistors driver T_9 à T_{12} sont alimentés à travers le point milieu du primaire. Les transistors de puissance T_1 à T_8 sont polarisés à travers les points milieux des secondaires formant des demi-octogones. Les autres transformateurs TRF3, TRF4, TRF5 et TRF6 sont également utilisés afin d'adapter et alimenter les étages drivers. L'ensemble des paramètres physiques des transformateurs est reporté sur le Tableau IV-1. Le diviseur de puissance en entrée est composé de lignes différentielles (TL3, TL4) afin de réduire l'inductance parasite introduite par le plan de masse.

	Primaire			Secondaire		
	W [μm]	D [μm]	Nb_{tour}	W [μm]	D [μm]	Nb_{tour}
TRF1	12	58	1/2	12	58	1
TRF2	12	55	1	12	55	1/2
TRF3	3,5	30	2	6	30	1
TRF4	4	32	1	3,5	27	2
TRF5	3,5	59,5	1	8,5	59,5	1
TRF6	3,5	30	2	6	30	1

Tableau IV-1 : Paramètres physiques des transformateurs du PA 65nm

2.2. Linéarisation par polarisation segmentée

Variation de la polarisation en fonction de la puissance d'entrée :

On suppose qu'un transistor en source commune représente une source de courant idéale contrôlée en tension avec I_{dq} le courant de polarisation statique et I_{dp} l'amplitude du courant RF. Dans la région linéaire, le courant de drain I_d peut être écrit par l'équation (IV-8) :

$$I_d = I_{dq} + I_{dp} \cos(\omega_0 t) \quad (\text{IV-8})$$

Le comportement du courant dans la zone linéaire est représenté sur la Figure IV-22. Le courant DC, noté I_{dc} correspond au courant moyen dans le temps. Tant que l'amplificateur ne compresse pas, la forme du sinus est préservée et $I_{dc} = I_{dq}$.

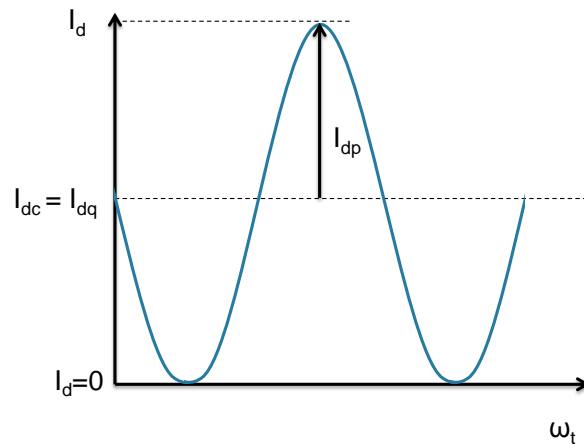


Figure IV-22 : Comportement de I_d dans le temps dans un fonctionnement linéaire

En observant les courbes IV d'un transistor CMOS, on s'aperçoit qu'une onde sinusoïdale peut saturer en régime large signal et génère par conséquent des harmoniques. A cause des asymétries associées, le courant moyen I_{dc} n'est plus égal à I_{dq} (Figure IV-23.b)).

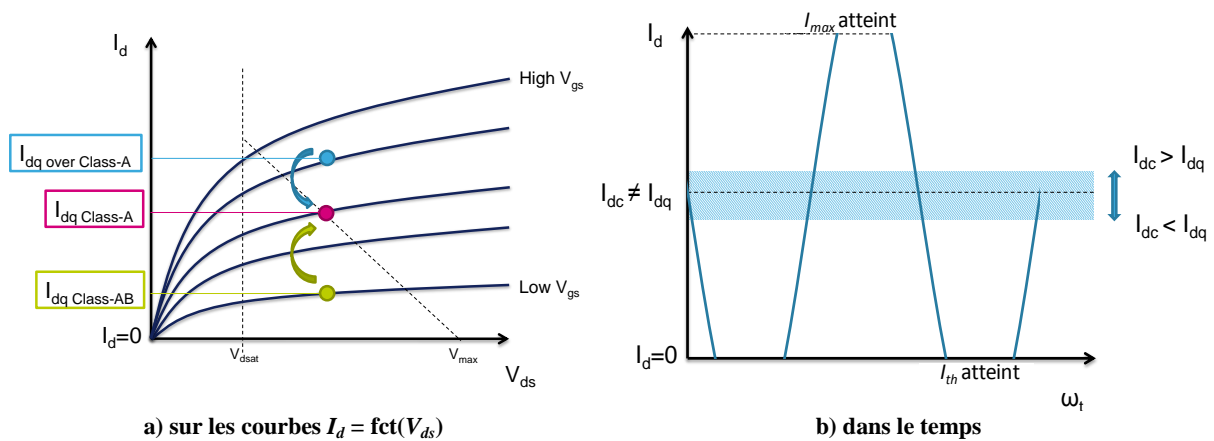


Figure IV-23 : Comportement de I_d dans un fonctionnement linéaire

La valeur du courant moyen dépend de la manière dont le signal sature (I_{max} ou I_{th} atteint). Ainsi, si le signal sature au niveau de l'alternance négative, on constate que I_{dc} devient supérieur à I_{dq} . Ce phénomène peut être observé lorsque le PA est polarisé en classe AB. Dans le cas où la saturation est plus importante sur l'alternance positive, I_{dc} est inférieur à I_{dq} . Le circuit est sur-polarisé en classe A et on observe une chute de la consommation à fort signal. Comme le montre la courbe IV sur la Figure IV-23.a), la variation du courant de drain implique également une variation de la tension V_{GS} .

A noter que si l'on observe le courant et la tension de drain en petit et large-signal sur la Figure IV-24, on comprend aisément pourquoi le rendement de drain augmente lorsque le PA sature. La zone de chevauchement entre la tension et le courant de drain est plus importante lorsque le signal est proche de la compression (Figure IV-24.a)) que lorsqu'il sature (Figure IV-24.b)). Il en résulte une meilleure efficacité en saturation.

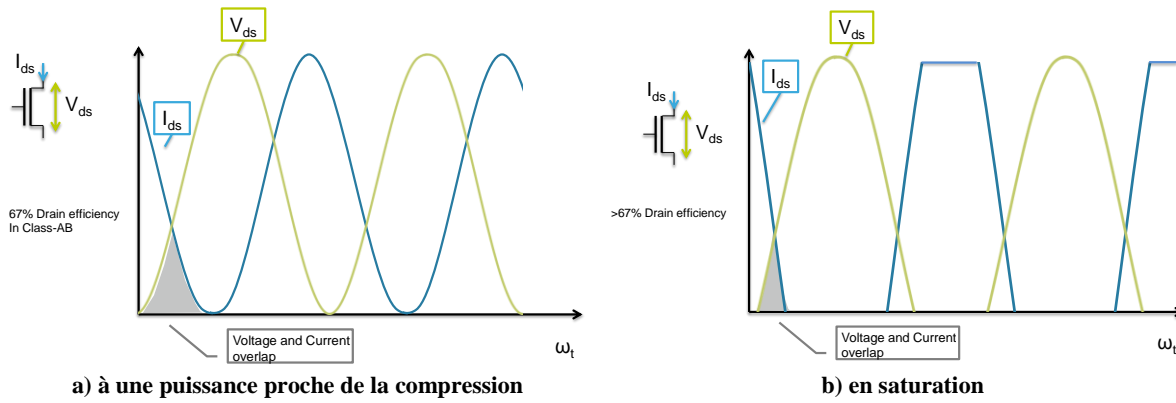


Figure IV-24 : Courant et tension de drain

Cette variation du courant de drain en fonction de la puissance d'entrée a un impact sur le comportement du gain et de la consommation du PA.

Une expansion du gain est observée sur les transistors polarisés près de la tension de seuil comme le montre la Figure IV-25.a). En effet, étant donné que de l'énergie retombe en DC du fait des non-linéarités intrinsèques des transistors, la tension V_{GS} augmente également (Figure IV-25.b)). Le transistor a alors tendance à se re-polariser en classe A.

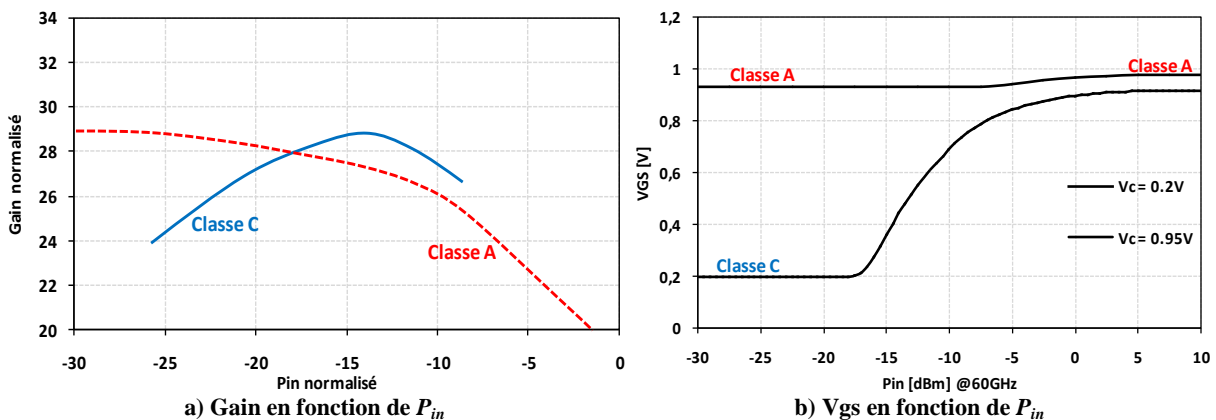


Figure IV-25 : Comportement du gain et de V_{gs} en fonction de la puissance d'entrée en classe A et C

Topologie de la polarisation segmentée implémentée :

Le phénomène décrit précédemment est utilisé dans les architectures Doherty, où un amplificateur auxiliaire en classe C compense la chute de gain de l'amplificateur principal polarisé en classe A/AB. Le circuit peut ainsi être linéarisé tout en gardant une consommation statique (et petit-signal) faible. Cette propriété s'avère extrêmement intéressante pour des applications mobiles de type WiGig/WirelessHD, qui requiert une faible consommation et une très bonne linéarité. Toutefois, l'implémentation d'une structure Doherty s'avère très délicate aux fréquences millimétriques comme montré dans la section IV.1.1.2. Dans [KAY14], un réseau d'adaptation permet d'augmenter l'impédance en sortie de l'amplificateur auxiliaire afin que ce dernier soit transparent à moyenne puissance et que le Doherty délivre une PAE constante sur une plage de 6dB. Néanmoins, ce réseau supplémentaire génère des pertes.

Dans ces travaux, une autre approche est considérée [CRI06][KIM03][WEB93]. L'amplificateur de puissance auxiliaire n'est pas transparent à faible/moyen signal mais se

comporte comme l'amplificateur principal à fort signal. La PAE ne peut pas être maintenue constante sur 6dB d'un point de vue théorique mais aucun réseau d'adaptation supplémentaire n'est ajouté. Seules la linéarité et la consommation à la puissance moyenne de fonctionnement (avec un backoff de 10dB (14dB) pour une 16(64) QAM-OFDM) sont optimisées.

Le comportement du g_{m3} en fonction de la puissance en entrée d'un transistor est tracé sur la Figure IV-26. Ce paramètre intervient dans les distorsions d'intermodulation d'ordre 3 et son annulation permet de gagner en linéarité. Combinant deux transistors polarisés différemment, la structure implémentée améliore la linéarité de l'amplificateur en annulant le g_{m3} total sur plusieurs niveaux de puissance. Lorsque les transistors sont de même taille, les annulations du g_{m3} sont très rapprochées (Figure IV-26.a)). En choisissant avec soin la polarisation et la taille des deux transistors, il est possible d'élargir cette zone. On trouve un optimal pour un transistor en classe C à peu près deux fois plus gros que celui en classe A (Figure IV-26.b)).

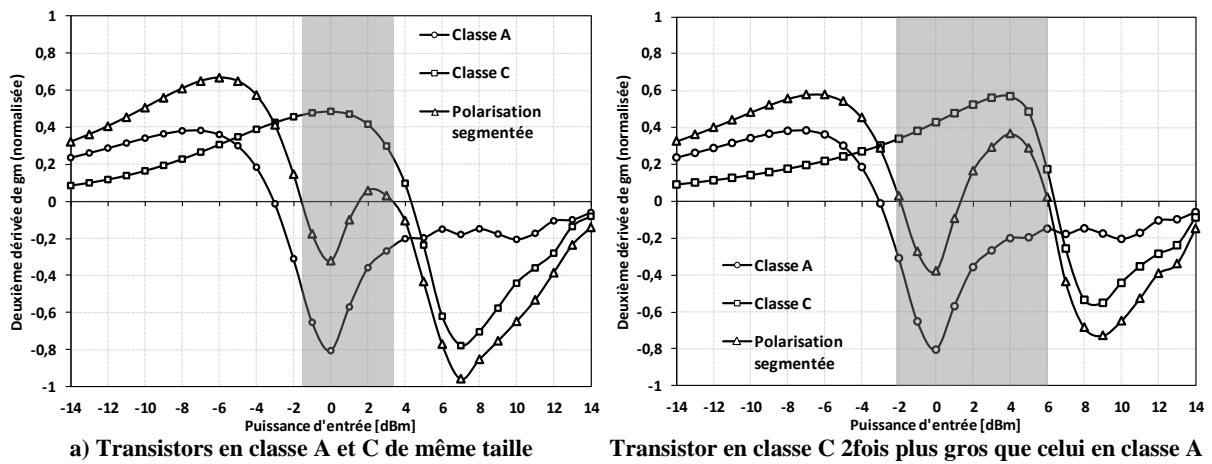


Figure IV-26 : Comportement du g_{m3} en fonction de la puissance en entrée du transistor

La topologie implémentée est présentée sur la Figure IV-27. Deux structures combinant en courant deux transistors polarisés en classe A et C sont enchevêtrées afin de garder une parfaite symétrie. L'ensemble se combine en tension de manière compacte au niveau de TRF1. Le transformateur TRF2 permet d'adapter en impédance et de polariser différemment les transistors à travers les points milieux. Son isolation galvanique fait, en outre, office de capacité de liaison.

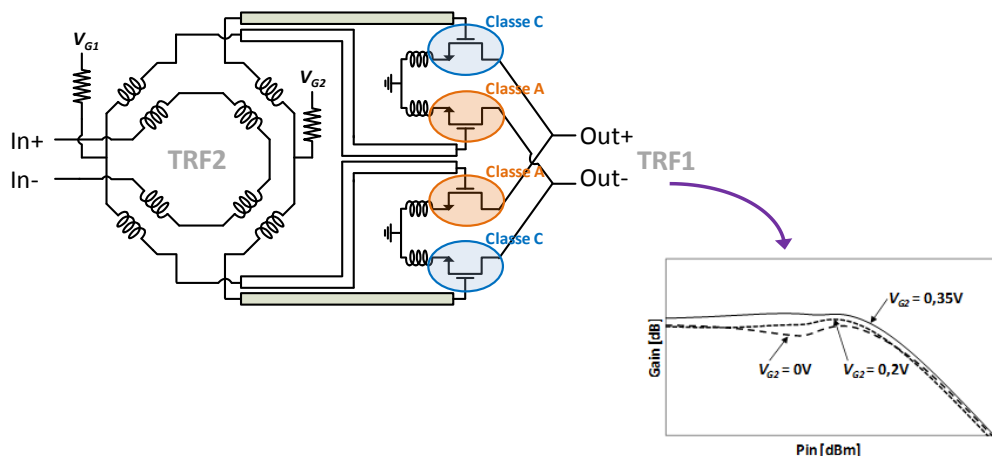


Figure IV-27 : Implémentation de la polarisation segmentée sur le PA 65nm

2.3. Résultats de simulation et expérimentaux

2.3.1. Performances petit-signal

Les mesures sont effectuées sur le wafer 300mm avec l'analyseur de réseaux Agilent E8361A. Deux jeux de pointes de type GSGSGSGS, découplés au plus proche, assurent l'alimentation du circuit. Le PA consomme un courant DC total de 425mA sous 1,2V. Les paramètres S mesurés et simulés sont exposés sur la Figure IV-28.

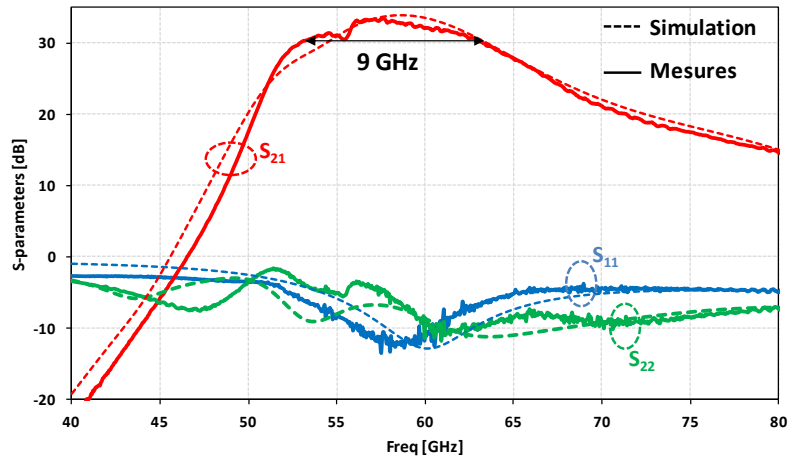


Figure IV-28 : Paramètres S simulés et mesurés du PA CMOS 65nm

L'amplificateur présente un gain S_{21} supérieur à 30dB sur environ 9GHz, avec 32,4dB à 60GHz. Les coefficients de réflexion S_{11} et S_{22} mesurés, caractérisant les adaptations d'entrée et de sortie, sont inférieurs à -9,5dB à 60GHz. Le PA est inconditionnellement stable malgré son très fort gain en puissance. On observe une très bonne cohérence entre les résultats de simulation et la mesure.

2.3.2. Performances large-signal en classe A

Mesures avec un seul ton en entrée :

Les mesures large-signal à 60GHz sont montrées sur la Figure IV-29. La puissance maximale P_{SAT} obtenue est de 19,9dBm pour un point de compression P_{-1dB} de 17,2dBm et une PAE_{max} de 20%. La PAE au point de compression atteint 10,4%.

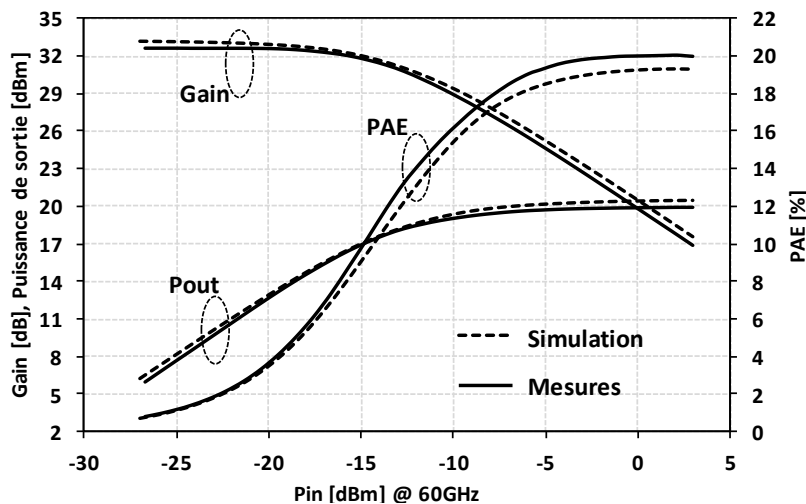


Figure IV-29 : Mesures des performances en puissance à 60GHz du PA CMOS 65nm

Les courbes simulées de l'AM/AM et de l'AM/PM sont données sur la Figure IV-30. Les déviations en phase et en amplitude restent très modérées étant respectivement inférieures à 0,4° et 1dB jusqu'au point de compression. Elles confirment la bonne linéarité de l'amplificateur.

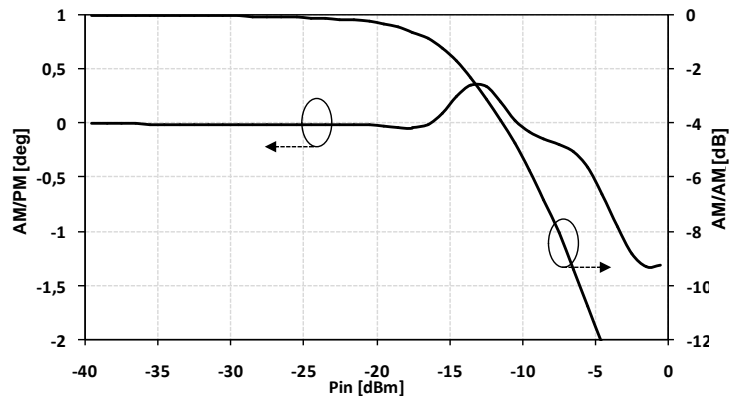


Figure IV-30 : Courbes simulées de l'AM/AM et de l'AM/PM du PA CMOS 65nm

La PAE maximale PAE_{max} , la puissance au point de compression P_{-1dB} et la puissance de saturation P_{SAT} sont mesurées de 57GHz à 65GHz. L'ensemble est présenté sur la Figure IV-31.

Les performances maximales sont observées à 58,3GHz, fréquence centrale du premier canal WiGig, avec une PAE_{max} de 22,9%, une P_{-1dB} de 17,4dBm et une P_{SAT} de 20,2dBm. Au final, la PAE_{max} , la P_{SAT} et la P_{-1dB} varient respectivement de 7,4%, de 0,6dBm et de 1dBm sur cette bande de fréquence.

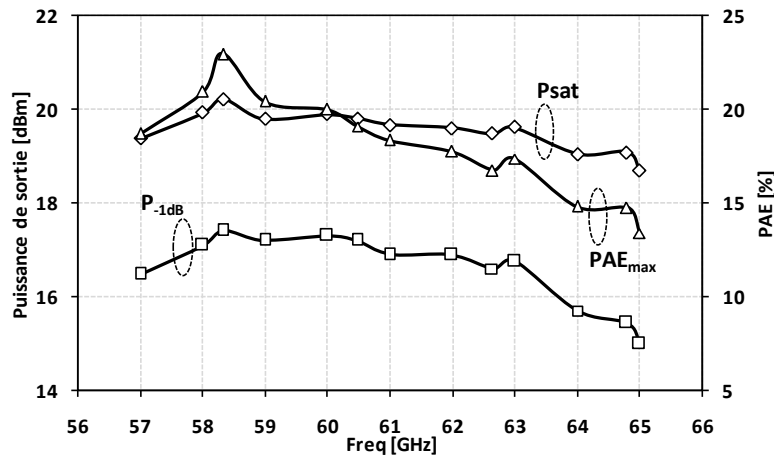


Figure IV-31 : Mesures de PAE_{max} , P_{SAT} et P_{-1dB} en fonction de la fréquence pour le PA CMOS 65nm

Le Tableau IV-2 décrit les performances du PA dans chaque canal de fréquences pour des applications WiGig ou WirelessHD. On constate que la P_{SAT} , la P_{-1dB} et la PAE_{max} varient peu dans chacun des quatre canaux.

	Canal 1 [57,24-59,4 GHz]	Canal 2 [59,4-61,56 GHz]	Canal 3 [61,56-63,72 GHz]	Canal 4 [63,72-65,88 GHz]
P_{SAT} [dBm]	19,8 ± 0,4	19,7 ± 0,1	19,3 ± 0,3	18,9 ± 0,2
P_{-1dB} [dBm]	17 ± 0,4	17,1 ± 0,2	16,3 ± 0,6	15,4 ± 0,4
PAE_{max} [%]	21,3 ± 1,6	19,1 ± 1,1	16,75 ± 1,25	14 ± 1,5

Tableau IV-2 : Performances du PA CMOS 65nm pour chaque canal WiGig ou WirelessHD

Mesures avec deux tons en entrée :

Le banc de mesure est illustré sur la Figure IV-32. Il est constitué de deux sources de signaux à 60GHz et 60,05GHz. La puissance d'une des sources étant fixe, un atténuateur variable contrôlé en tension est ajouté afin de couvrir une certaine plage de puissance. Les deux signaux sont ensuite combinés à travers un té magique, puis injectés dans le circuit de test via des pointes millimétriques. Les signaux en sortie du PA sont atténués afin que les distorsions apportées par le mélangeur soient négligeables.

A partir de ce banc, l'étude de la linéarité de cet amplificateur peut être complétée. La génération de produits d'intermodulation, principalement d'ordre 3 (voir 5), est analysée à travers les paramètres $IMD3$ et $OIP3$.

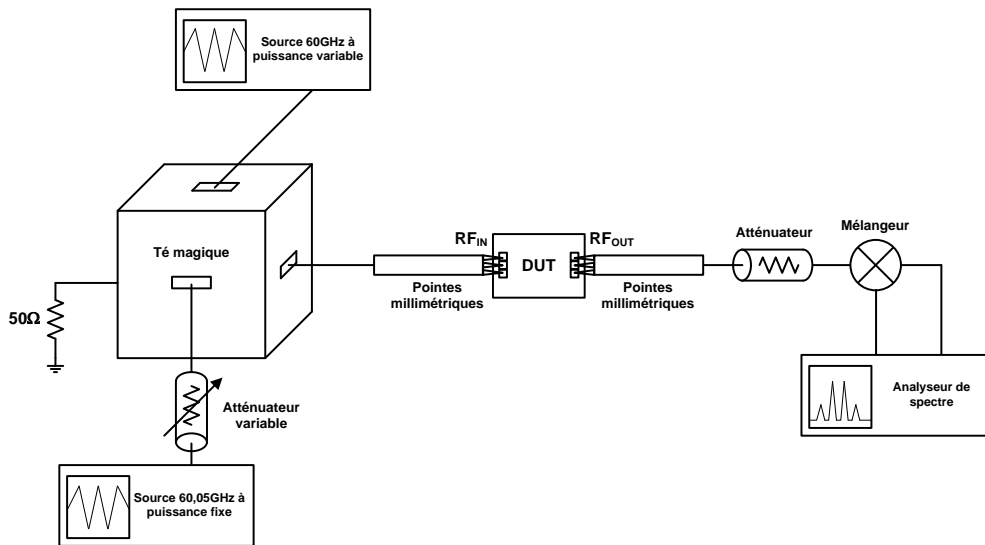


Figure IV-32 : Banc de mesures deux tons

L' $OIP3$ et l' $IIP3$, affichés sur la Figure IV-33, atteignent respectivement 28dBm et -4dBm à 60GHz.

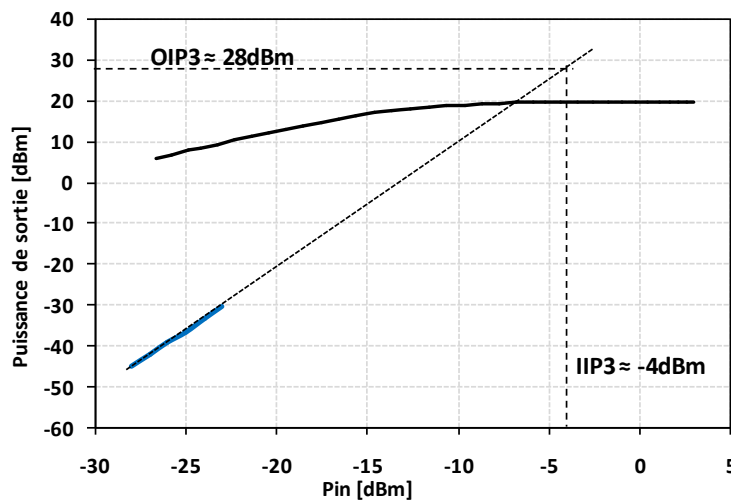


Figure IV-33 : $OIP3$ et $IIP3$ mesurés

La Figure IV-34 montre le spectre en sortie du PA pour une puissance proche de la compression P_{-1dB} avec un espacement entre les deux tons fondamentaux ($ton\ 1$ et $ton\ 2$) de 50MHz. On observe la remontée des produits d'intermodulation d'ordre 3 ($IMD3_{bas}$ et $IMD3_{haut}$) et d'ordre 5 ($IMD5_{bas}$ et $IMD5_{haut}$).

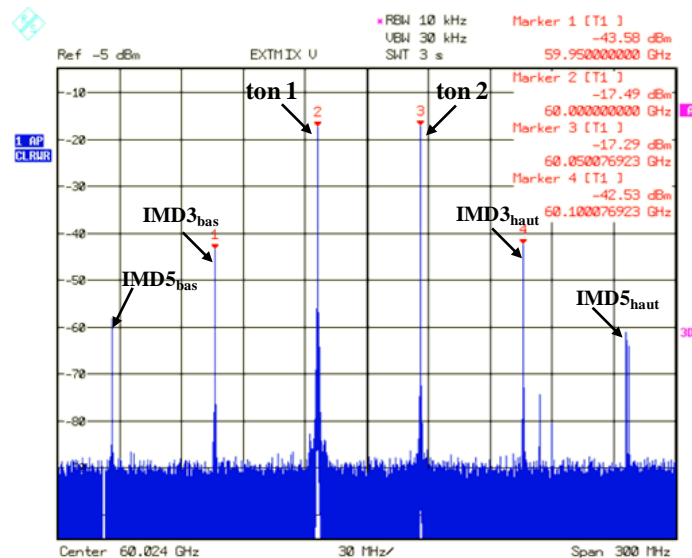


Figure IV-34 : Spectre en sortie du PA CMOS 65nm et produits d'intermodulation

Les $IMD3_{haut}$ et $IMD3_{bas}$ tracés en fonction de la puissance de sortie sur la Figure IV-35 restent inférieurs à -20dBc jusqu'au point de compression de l'amplificateur.



Figure IV-35 : $IMD3$ en classe A du PA CMOS 65nm

Les transistors étant polarisés en classe A, la consommation DC est très élevée avec environ 510mW. On souhaite réduire cette consommation tout en étant capable de maintenir les performances en linéarité.

2.3.3. Performances avec la polarisation segmentée et optimisation de la consommation

Dans un premier temps, la tension de polarisation de chaque étage est optimisée afin de réduire la consommation de puissance DC, tout en maintenant une linéarité et un rendement équivalents. Pour cela, les étages drivers sont polarisés en classe AB légère ($V_{G3} = 0,7\text{V}$ et $V_{G4} = 0,6\text{V}$) et l'étage de puissance est gardé en classe A avec $V_{G1} = V_{G2} = 0,9\text{V}$. Les P_{SAT} et P_{-1dB} atteignent respectivement 19,6dBm et 16,6dBm avec une PAE maximale de 21,2% (Figure IV-36). La puissance dissipée diminue de 510mW à 356mW.

Afin d'optimiser davantage la consommation, les tensions V_{G1} et V_{G2} sont réduites de 0,9V (Classe A) à 0,7V (Classe AB). P_{SAT} et P_{-1dB} chutent respectivement de 19,6dBm à 18,7dBm et de 16,6dBm à 14,3dBm pour une puissance DC consommée de 245mW.

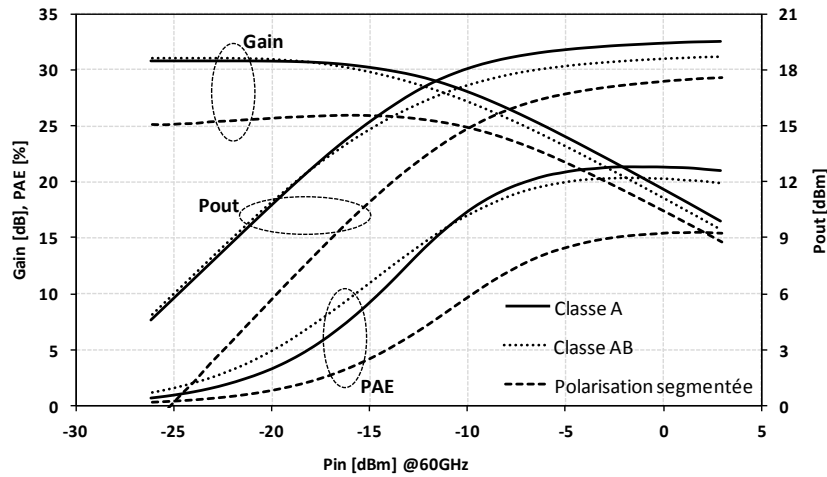
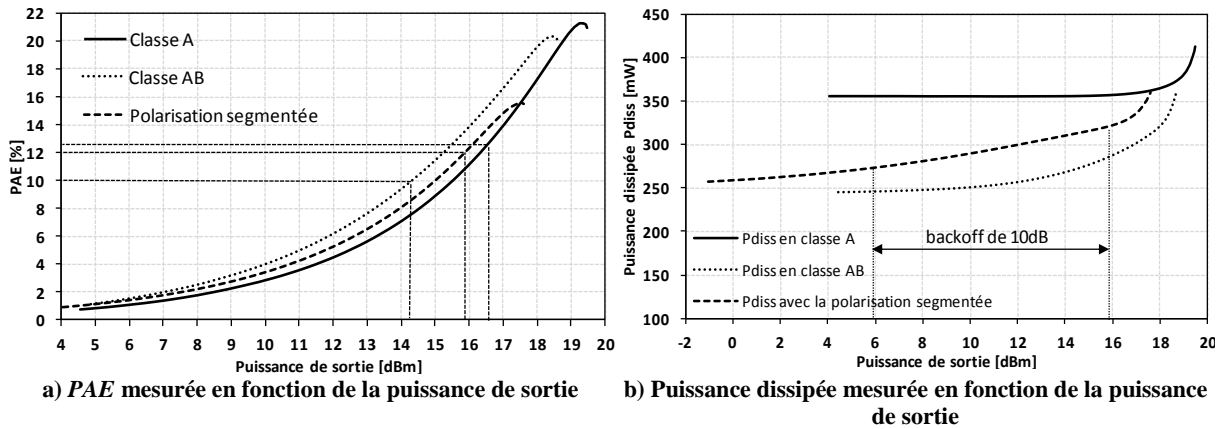


Figure IV-36 : Puissance de sortie, gain et PAE mesurés sur le PA CMOS 65nm pour un étage de puissance en classe A, classe AB et polarisation segmentée

La chute de la linéarité étant trop importante, une autre configuration est testée. En polarisant différemment les transistors de puissance avec $V_{G1} = 0,9V$ et $V_{G2} = 0,4V$, le PA atteint un P_{SAT} de 17,6dBm et un point de compression P_{-1dB} de 15,9dBm. La PAE_{max} est réduite de 21,2% à 15,5%, mais la PAE au point de compression (PAE_{-1dB}) est pratiquement inchangée (Figure IV-37.a)) avec une consommation DC aux alentours de 250mW, proche de celle de la configuration en classe AB (Figure IV-37.b)).



a) PAE mesurée en fonction de la puissance de sortie

b) Puissance dissipée mesurée en fonction de la puissance de sortie

Figure IV-37 : PAE et puissance dissipée pour différentes polarisations du PA CMOS 65nm

Les AM/AM et AM/PM (Figure IV-38.a) et b)) sont dégradés dans le cas où l'amplificateur est polarisé en classe AB.

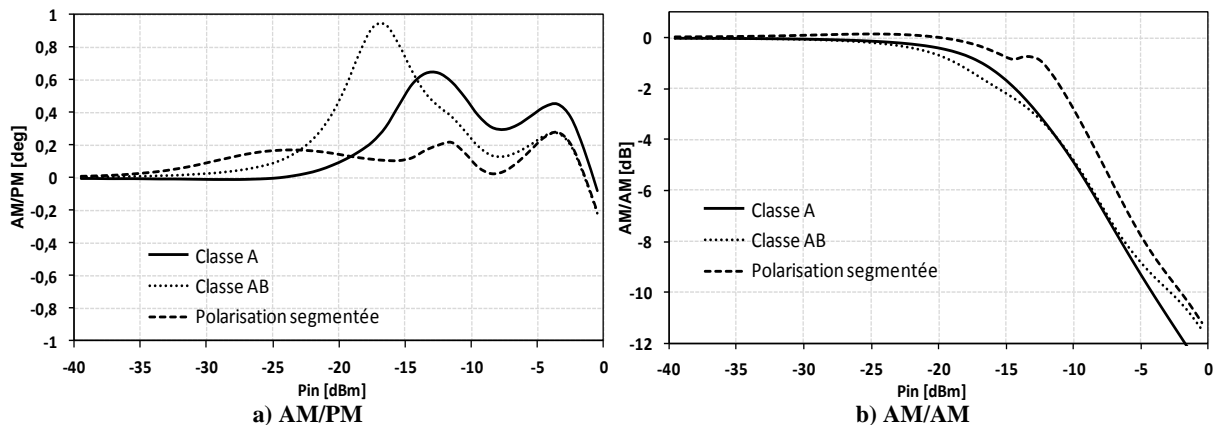


Figure IV-38 : Courbes simulées AM/AM et AM/PM pour différentes polarisations du PA CMOS 65nm

La linéarisation par polarisation segmentée permet de les garder constant avec une légère amélioration de l'AM/PM pour des puissances proches de la compression. Les performances de l'amplificateur suivant la polarisation de l'étage de puissance sont listées dans le Tableau IV-3.

@60GHz	P_{-1dB} [dBm]	PAE_{-1dB} [%]	$P_{dc} @ P_{-1dB}$ [mW]	P_{dc} [mW]
Classe AB ($V_{G1} = 0,7V$)	14,3	10	271	246
Classe A ($V_{G1} = 0,9V$)	16,6	12,4	358	357
Polarisation segmentée	15,9	12	318	254

Tableau IV-3 : Performances du PA pour des configurations en classe A, classe AB et polarisation segmentée

L'étude des IMD_3 sur la Figure IV-39 montre que, pour une consommation DC équivalente, la configuration intégrant la polarisation segmentée est plus linéaire que celle où l'étage de puissance est polarisé en classe AB.

On observe en outre l'annulation des IMD_3 pour une puissance de sortie de l'ordre de 10dBm. En fait, les non-linéarités intrinsèques et en particulier le g_{m3} des transistors peuvent s'annuler provoquant des trous ou « sweet spots » dans la caractéristique de transfert non linéaire du PA selon les références [CRI06] et [FAG04]. Comme montré précédemment, la polarisation segmentée permet de neutraliser le g_{m3} pour certaines puissances d'entrée. Les distorsions d'intermodulation d'ordre 3, notés IMD_3 , étant liées au g_{m3} ($IMD_3 \propto \frac{3}{4} \frac{g_{m3}}{g_m} A^2$ avec A l'amplitude de chaque ton), des « sweet spots » apparaissent.

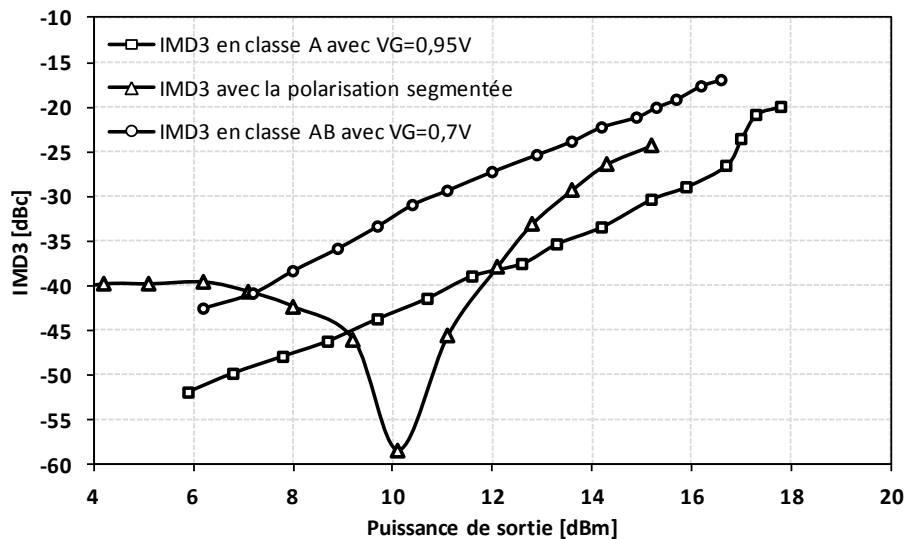


Figure IV-39 : IMD_3 des configurations en classe A, classe AB et polarisation segmentée

2.4. Performances dans des conditions de fiabilité

Une étude des performances de l'amplificateur est menée en faisant varier la tension d'alimentation V_{DD} de 0,7V à 1,2V. L'objectif est de déterminer si le circuit est toujours compétitif en prenant en compte les principaux facteurs de défaillance montrés précédemment.

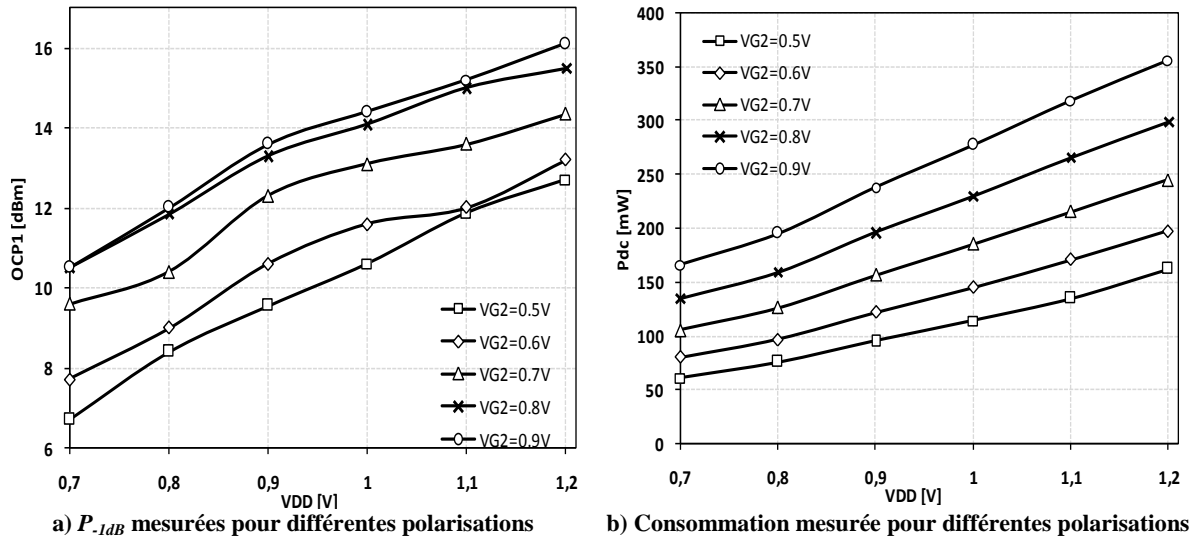


Figure IV-40 : P_{-1dB} mesurés et P_{dc} mesurés pour différentes tensions de polarisation et d'alimentation du PA CMOS 65nm

La Figure IV-40 présente le point de compression P_{-1dB} et la consommation P_{dc} du PA en fonction de la tension d'alimentation V_{DD} et de la tension de polarisation $V_G=V_{G1}=V_{G2}$ des transistors de puissance. Une détérioration des performances est observable à mesure que ces tensions diminuent.

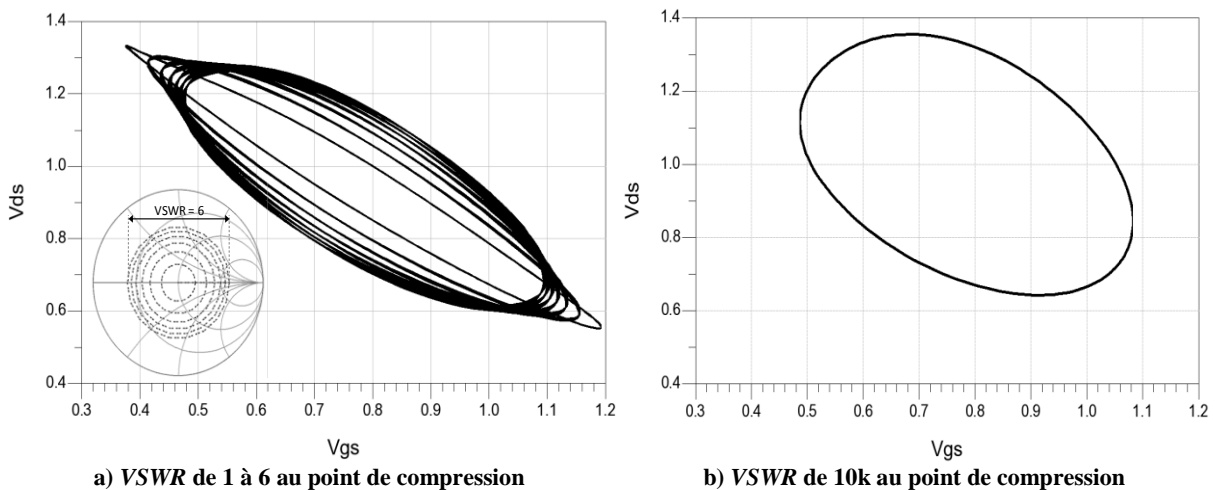


Figure IV-41 : Formes d'ondes anti-parallèles à 60GHz de V_{ds} en fonction de V_{gs} pour un transistor de puissance avec une variation du VSWR

Afin d'assurer un fonctionnement robuste, les formes d'onde anti-parallèles des tensions V_{ds} et V_{gs} sont tracées sur la Figure IV-41. Les valeurs atteintes par ces tensions au point de compression montrent que, pour des tensions de polarisation $V_G=0,8V$ et d'alimentation $V_{DD}=1V$, le circuit présente les excursions maximales assurant un fonctionnement fiable. Le point de compression atteint alors 14dBm pour une consommation DC de 230mW.

Des mesures ont déjà été effectuées de 55GHz à 65GHz dans [GOR08] afin de déterminer le VSWR généré par la variation d'impédance de l'antenne. Il s'avère que celui-ci ne dépasse pas 5-6 dans la bande passante. Par conséquent, la variation du VSWR impacte finalement peu les excursions de V_{ds} , rendant le PA robuste à l'environnement extérieur.

Dans le cas extrême où un circuit ouvert est présenté en sortie du PA (VSWR infini ou 10k en simulation), on s'aperçoit sur la Figure IV-41.b) que la charge résiduelle due au combineur de puissance limite les excursions en tension, permettant ainsi d'éviter la destruction du circuit.

Les performances du circuit avec la polarisation segmentée sont également étudiées pour plusieurs points de polarisation ($V_{GI}=[0,7V ; 0,8V ; 0,9V]$) et plusieurs tensions d'alimentation ($V_{DD}=[0,7V ; 0,8V ; 0,9V ; 1V ; 1,1V ; 1,2V]$) puis affichées avec celles du circuit polarisé en classe A/AB sur la Figure IV-42.

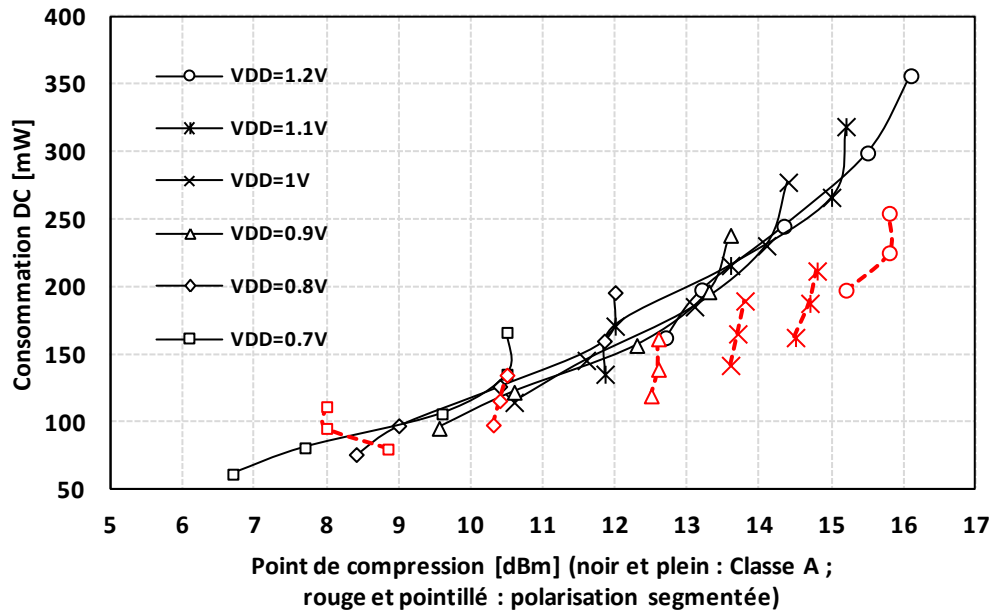


Figure IV-42 : Consommation DC en fonction du point de compression pour une configuration en classe A (traits noirs pleins) et une polarisation segmentée (traits rouges en pointillé)

Le circuit utilisant la polarisation segmentée maintient sa linéarité tout en réduisant sa consommation statique pour des tensions d'alimentation allant de 0,9V à 1,2V. Dans des conditions de fonctionnement fiable ($V_{DD}=1V$, $V_{GI}=0,8V$ et $V_{G2}=0,4V$), la consommation est réduite de 230mW à 165mW pour un point de compression variant de 14dBm à 13,8dBm.

La linéarisation par polarisation segmentée semble toutefois perdre de l'intérêt en dessous d'une tension d'alimentation inférieure à 0,9V.

2.5. Comparaison avec l'état de l'art

Les résultats obtenus sont comparés de manière exhaustive avec ceux des circuits de l'état de l'art. Comme en témoigne la Figure IV-43, le circuit proposé atteint la plus haute figure de mérite ITRS reportée pour les PAs à 60GHz en technologie silicium avec environ 122 000, soit quasiment deux fois plus que la FoM la plus haute jusqu'alors reportée dans la littérature. Cette très haute valeur s'explique par le fait que le circuit présente à la fois une très bonne puissance de sortie, un haut rendement et un fort gain, contrairement à la plupart des amplificateurs de l'état de l'art où un seul des paramètres cités est optimisé.

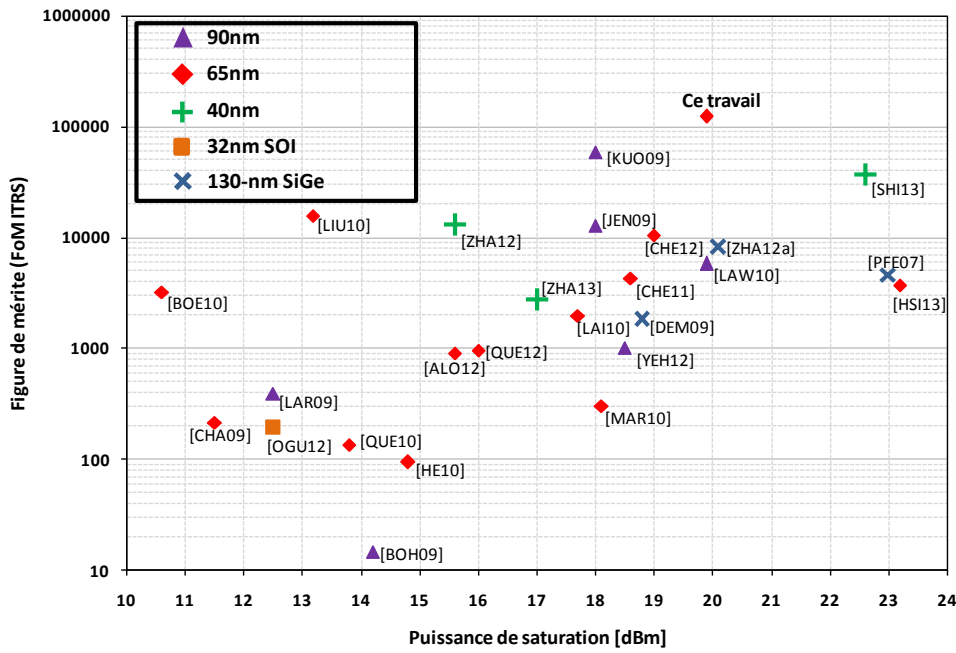


Figure IV-43 : Figure de mérite ITRS en fonction de la puissance de saturation pour différents PAS 60GHz de l'état de l'art

La linéarité du circuit, présentée sur la Figure IV-44, est là aussi proche de l'état de l'art.

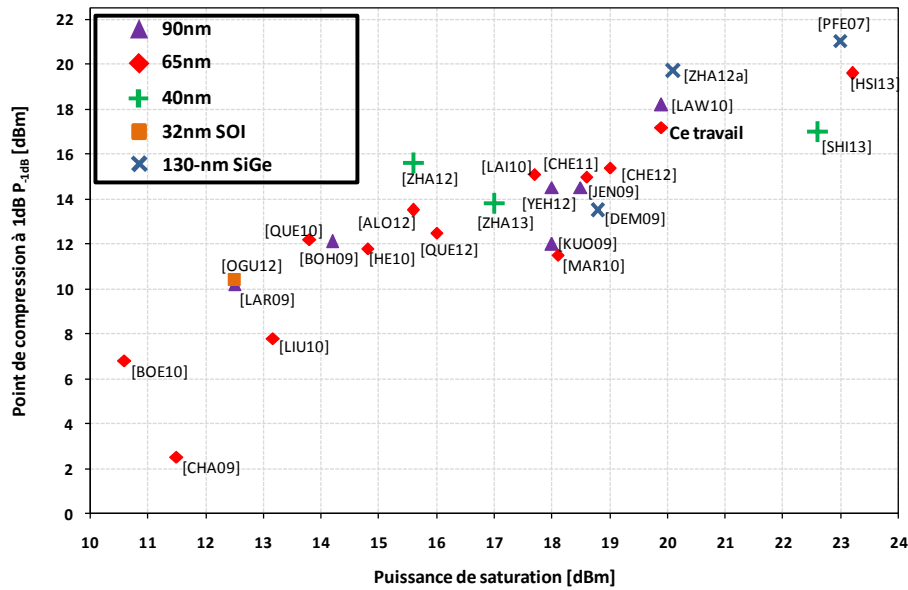


Figure IV-44 : Point de compression P_{-1dB} en fonction de la puissance de saturation pour différents PAS 60GHz de l'état de l'art

Seuls les circuits des références [ZHA12a], [PFE07], [HSI13] et [LAW10] demeurent plus linéaires. Les circuits [ZHA12a] et [PFE07] utilisent des transistors bipolaires de la technologie 130nm SiGe. Le très haut point de compression de [PFE07] amène à une consommation de plus de 1,2W. Dans les technologies CMOS, [LAW10] et [HSI13] ont respectivement des points de compression de 18,2dBm et 19,6dBm mais pour des consommations supérieures à 600mW et 2W.

Le rendement maximal des amplificateurs est donné sur la Figure IV-45. Le PA fabriqué dispose d'un des meilleurs rendements publiés avec une PAE d'environ 20%. Il est seulement dépassé par des PAs conçus dans une technologie un peu plus avancée tels que [OGU12] où

l'amplificateur CMOS 32nm SOI est polarisé en classe E et [ZHA12]/[ZHA13] avec des PAS CMOS 40nm polarisés en classe AB profonde.

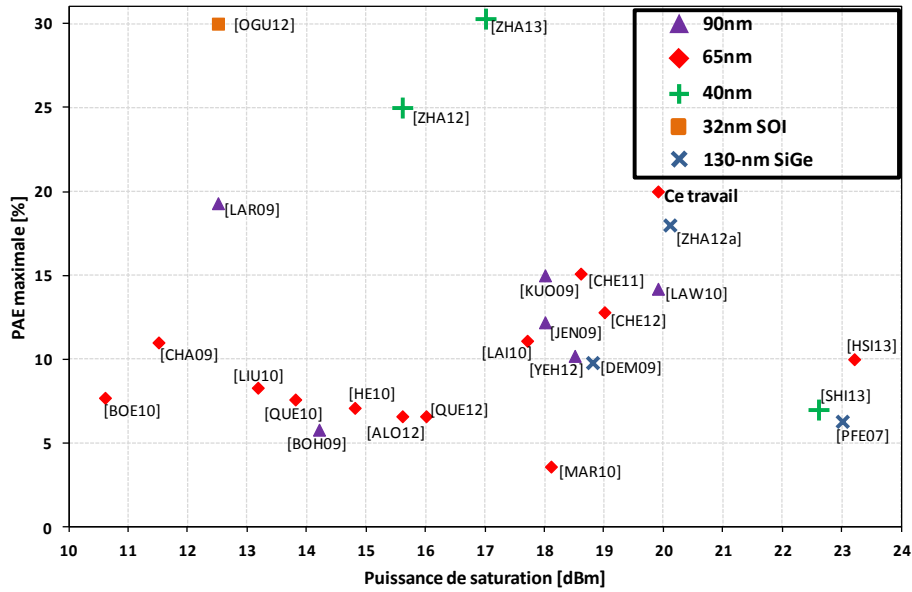


Figure IV-45 : PAE maximale en fonction de la puissance de sortie pour différents PAS de l'état de l'art

Le circuit proposé en classe A est comparé avec les circuits les plus prometteurs de la littérature dans le Tableau IV-4.

Ref	Process Si	Topologie	Freq [GHz]	Valim [V]	Gain [dB]	P_{SAT} [dBm]	P_{-1dB} [dBm]	PAE [%]	PAE_{-1dB} [%]	P_{dc} [mW]	FoM ITRS [W.GHz ²]
[LAW10]	1,2V 90nm	CS	60	1,2	20,6	19,9	18,2	14,2	12,5	688	5735
[KUU09]	1,2V 90nm	CAS	60	2,4	31,3	16,2	11,7	14	-	290	28342
[JEN09]	1,2V 90nm	CAS	60	1,8	26,1	14,5	10	10,2	4	286	4,216
[LAI10]	1V 65nm	CS	61,5	1,0	19,2	17,7	15,1	11,1	6,5	460	2056
[QUE12]	1,2V 65nm	CS	60	1,2	20	16	12,5	6,6	-	600	946
[HSI13]	1V 65nm	CS	64	1,2	16,3	23,2	19,6	10	4	2100	3650
[MAR10]	1,2V 65nm	CAS	60,5	1,8	15,5	18,1	11,5	3,6	2	1504	302
[LIU10]	1V 65nm	CAS	64	1,5	34	13,17	7,8	8,3	2	320	17719
[CHE12]	1,2V 65nm	CS	60	1,2	24,5	19	15,4	12,8	5,3	621	10316
[BOE10]	1V 65nm	CS	61	1,0	30	10,6	6,8	18	2	65	7690
[CHE11]	1V 65nm	CS	60	1,0	20,3	18,6	15	15,1	6,8	460	4220
[ASA11]	1,2V 65nm	CS	60	1,2	23,2	14,6	10	16,3	5	135	3535
[ALO12]	1,2V 65nm	CS	61	1,2	20	15,6	13,5	6,6	5	480	892
[ALO11]	1,2V 65nm	CS	63	1,2	14	12	10	15	13	65	215
[FAR14]	1,2V 65nm	CS	60	1,2	17,7	16,8	15,5	14,5	8,5	378	1472
[KJE09]	1V 45nm	CAS	60	2,1	17	13,5	8,7	13,4	5	126	541
[ABB10]	1V 45nm	CAS	60	2,0	20	14,5	11,2	14,4	7	180	1461
[COH09]	1V 45nm	CS	60	1,2	19	7,9	-	19,4	11	14,4	342
[SHI13]	1V 40nm	CS	60	1,2	29	22,6	17	7	2,5	2440	36425
[ZHA12]	1V 40nm	CS	60	1,0	26	15,6	15,6	25	25	217	13008
[ZHA13]	1V 40nm	CS	60	1,0	17	17	13,8	30,3	21,6	75	2740
[KUL14]	1V 40nm	push pull	63	0,9	22,4	16,4	13,9	23	18,9	88	6925
[OGU12]	32nm SOI	CS	60	0,9	10	12,5	10,2	30	25	-	192
[THY13]	1V 28nm	CAS	60	2,1	24,4	16,5	11,7	12,6	6,8	-	5580
[ZHA12a]	130nm SiGe	CB	60	1,8	20,6	20,1	19,7	18	18	353	8129
[PFE07]	130nm SiGe	CAS	64	4,0	20	23	21	6,3	5,8	1200	5149
Ce travail	1,2V 65nm	CS	60	1,2	32,4	19,9	17,2	20	12,4	510	122237

Tableau IV-4 : Résumé des performances des PAS à 60GHz

Une autre étude comparative peut être effectuée pour des PAs ayant un fonctionnement fiable. En effet, la plupart des circuits publiés ont été conçus aux limites de leur technologie sans prendre en compte les mécanismes de dégradation limitant la durée de vie des circuits.

Le Tableau IV-5 résume les circuits fiables publiés dans la littérature. Deux configurations sont analysées : le circuit en classe A optimisé pour maximiser sa robustesse et le PA intégrant la polarisation segmentée pour réduire la consommation DC. On s'aperçoit que ces deux configurations sont proches de l'état de l'art en termes de linéarité et de gain tout en gardant une consommation statique faible.

Ref	Process CMOS	Topologie	Freq [GHz]	Valim [V]	Gain [dB]	P_{SAT} [dBm]	P_{-1dB} [dBm]	PAE [%]	PAE_{-1dB} [%]	P_{dc} [mW]
[KYO09]	1,2V 90nm	CAS	60	1,8	30	13,8	10,3	12,6	-	178
[JEN09]	1,2V 90nm	CAS	60	1,8	26,1	14,5	10,5	10,2	4	286
[ABB10]	1,2V 45nm	CAS	60	2,0	20	14,5	11,2	14,4	7,2	180
[LAI10]	1V 65nm	CS	61,5	0,9	18,9	16,8	13	10,8	5	420
[QUE12]	1,2V 65nm	CS	60	1,0	20	16	12,5	6,6	-	600
[LIU10]	1V 65nm	CAS	64	1,5	34	13,17	7,8	8,3	2	320
[HE10]	1,2V 65nm	CAS	58	1,6	10,2	14	10,8	7,2	5	229
[MAR10]	1,2V 65nm	CAS	60,5	1,8	15,5	18,1	11,5	3,6	1,5	1504
[SIL10]	1,2V 65nm SOI	CAS	60	1,8	16	14,5	12,7	25,7	22,6	77,4
Ce travail	1,2V 65nm	CS	60	1,0 ($V_{G1}=0,8V$)	29	17,4	14	20,4	10,6	230
Ce travail (pol. seg.)					22,9	15,5	13,8	14,4	11,3	165

Tableau IV-5 : Résumé des performances des PAs fiables à 60GHz

Discussion :

La technique de la polarisation segmentée n'a été utilisée que sur l'étage de puissance. Par ailleurs, le faible gain des transistors en 65nm oblige à polariser un des transistors en classe A, tandis que l'autre reste en classe B ou C.

La consommation DC pourrait être améliorée en appliquant cette technique sur les autres étages avec des transistors polarisés en classe AB profonde plutôt qu'en classe A. Avec la technologie 65nm, ceci n'est pas possible à cause du faible gain en puissance disponible par transistor. Toutefois, une technologie plus avancée, telle que la 28nm FD-SOI est capable de fournir beaucoup plus de gain par transistor.

Par conséquent, un circuit en 28nm FD-SOI a aussi été conçu et est présenté dans la partie suivante. La consommation à 10dB de backoff et la linéarité du PA sont optimisées afin de se conformer aux contraintes exposées au chapitre I.

3. Conception d'un amplificateur de puissance hautement linéaire à 60GHz en technologie CMOS 28nm FD-SOI

Un amplificateur est à présent implémenté en technologie CMOS 28nm FD-SOI. Le principal objectif consiste à optimiser les techniques précédemment détaillées en essayant d'utiliser tout le potentiel de la technologie FD-SOI. Dans un premier temps, le BEOL de la technologie est détaillé. Les transistors sont analysés et un composant est mesuré. La topologie du circuit amplificateur et les résultats de mesure sont ensuite présentés. Pour conclure, le PA est comparé à l'état de l'art.

3.1.La technologie CMOS 28nm FD-SOI

3.1.1. Le Back-End Of Line (BEOL)

Un BEOL de 10 couches métalliques illustré sur la Figure IV-46 a été choisi afin d'optimiser les performances des circuits passifs aux fréquences millimétriques. Les transformateurs utilisent les deux couches métalliques les plus hautes M9 (ou IA) et M10 (ou IB) ainsi que l'Alucap afin de réduire la résistance et la capacité parasite avec le substrat. Les autres couches (M1 jusqu'à M8) étant trop fines, elles servent uniquement pour la connexion des transistors vers les réseaux passifs.

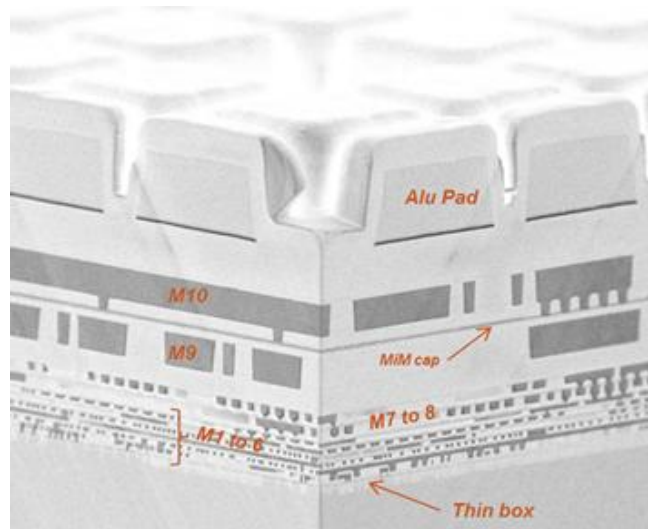


Figure IV-46 : BEOL de 10 couches métalliques de la technologie CMOS 28nm FD-SOI

Une des principales difficultés dans la conception de circuits avec des technologies aussi avancées est le nombre de règles de conception à respecter (Figure IV-47). Au-dessus du nœud CMOS 65nm, moins de 1000 règles sont dénombrées par technologie. Au fur et à mesure que la longueur de grille s'affine, le nombre de règles croît rapidement. Ainsi, pour une technologie CMOS 40nm, on compte un peu plus de 3000 règles. La technologie CMOS 28nm FD-SOI a plus de 5000 règles. Ceci a un impact non négligeable sur la durée de conception qui peut facilement doubler par rapport à la conception d'un circuit en 65nm. Par ailleurs, les règles de densité devenant très agressives, il convient d'anticiper le positionnement des dummies métalliques afin de limiter ou de prendre en compte leur impact sur les chemins RF (plots RF, transformateurs...).

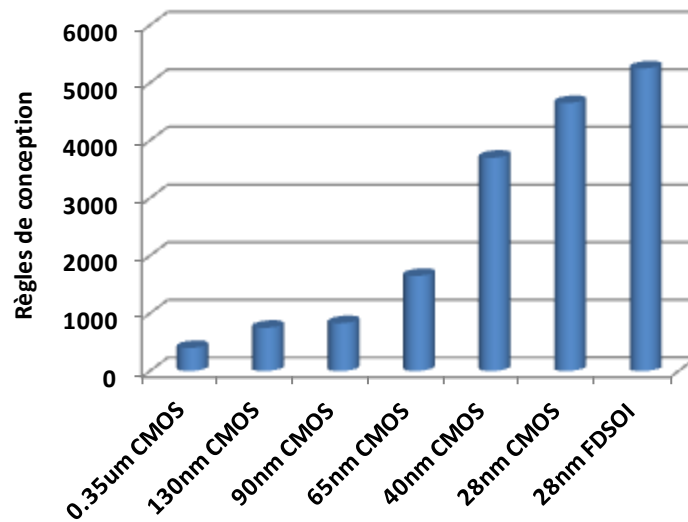


Figure IV-47 : Nombre de règles de conception à respecter en fonction du nœud technologique

Le Design Kit ne contenant que peu de composants intégrant des modèles RF au moment de la conception du circuit, une stratégie a du être mise en place afin d'éviter l'utilisation de ces composants sur le chemin RF. Ainsi, aucune capacité MOM ou MIM n'a été implémentée pour adapter le circuit en impédance ou neutraliser la capacité grille-drain des transistors. Les transistors ont été décomposés (« flattened ») et leurs éléments parasites (résistances, capacités, diodes) extraits. Les transformateurs, lignes et plots RF ont été caractérisés à l'aide des outils de simulation électromagnétique Momentum et HFSS.

3.1.2. Etude des transistors

Caractéristiques des transistors FD-SOI :

Deux types de transistors SOI ont été reportés dans la littérature : les transistors dont le canal est soit partiellement désertés (PD = Partially Depleted) soit totalement désertés (FD = Fully Depleted). La Figure IV-48 illustre ces deux structures.

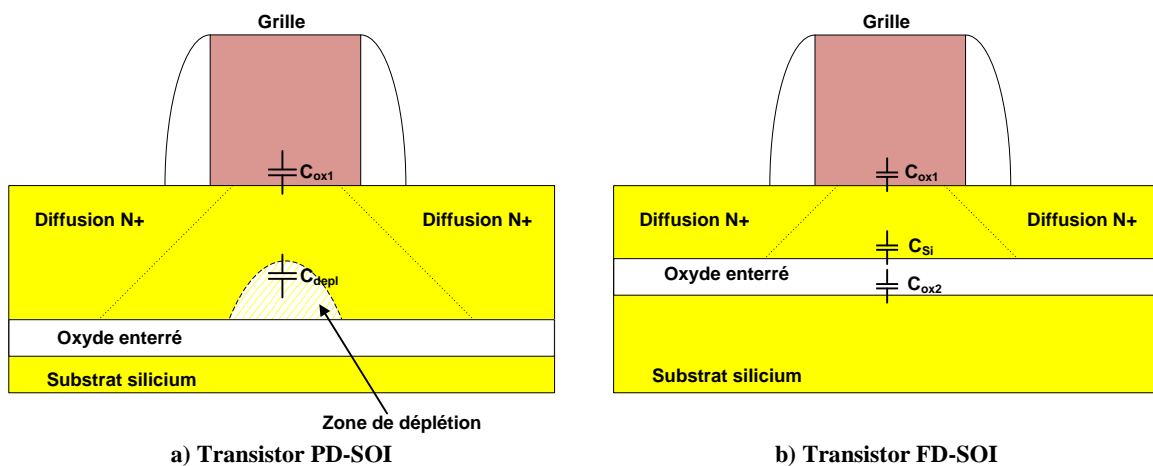


Figure IV-48 : Schéma des transistors PD-SOI et FD-SOI

Afin de distinguer ces deux types de transistor, le coefficient α a été introduit dans [DEH03]-[MAR08] et est fonction de la capacité de grille C_{ox1} , de la capacité de la fine couche de silicium C_{Si} , de la capacité de la zone de déplétion C_{depl} pour les composants PD et

de la capacité de l'oxyde enterré C_{ox2} . Les coefficients α pour les transistors PD-SOI et FD-SOI sont respectivement donné par les équations (IV-9) et (IV-10) :

$$\alpha_{bulk,PD-SOI} = \frac{C_{depl}}{C_{ox1}} \quad (IV-9)$$

$$\alpha_{FD-SOI} = \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})} \quad (IV-10)$$

Ce coefficient caractérise le couplage entre le potentiel de grille et le potentiel du canal à l'interface Si-SiO₂. Plus la valeur du coefficient est petite, meilleur est le couplage. Typiquement, α est proche de zéro pour des transistors FD-SOI. Il en résulte que la tension de seuil V_{th} de ces transistors est linéairement dépendante de la tension de la face arrière du substrat V_{g2} [SIL04] comme exprimé par (IV-11) :

$$\frac{\partial V_{th}}{\partial V_{g2}} = -\frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})} \quad (IV-11)$$

Le courant de drain en saturation donné par l'équation (IV-12) est plus élevé pour une technologie FD-SOI que pour des technologies Bulk ou PD-SOI.

$$I_{DS,sat} \approx \frac{W}{L} \frac{\mu_n C_{ox1}}{2(1 + \alpha)} (V_{gs} - V_{th})^2 \quad (IV-12)$$

- Avec :
- W : largeur de grille
 - L : longueur de grille
 - V_{th} : tension de seuil
 - μ_n : mobilité des électrons dans le canal
 - α : coefficient de couplage

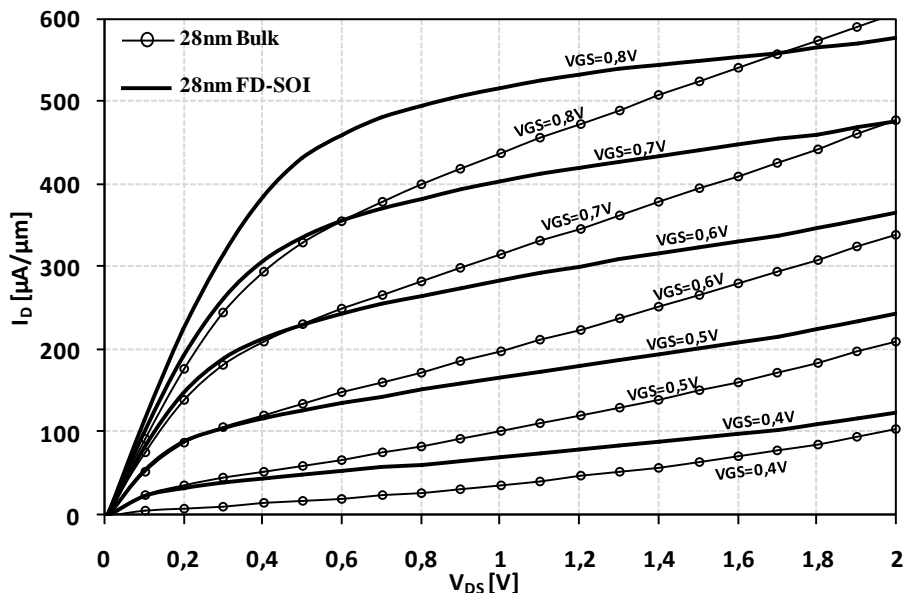


Figure IV-49 : Mesure des courbes de I_D en fonction de V_{DS} avec différentes valeurs de V_{GS} pour des transistors LVT en 28nm Bulk et en 28nm FD-SOI

La Figure IV-49 montre le comportement du courant de drain I_D en statique en fonction des tensions drain-source V_{DS} et grille-source V_{GS} . Comme prévu par la théorie, ce courant de

drain est supérieur à celui d'une technologie Bulk pour les mêmes points de polarisation (V_{DS} , V_{GS}).

De la même manière, la transconductance g_m est meilleure sur des composants FD-SOI comme le témoigne l'équation (IV-13) :

$$g_m = \left. \frac{\partial I_{DS,sat}}{\partial V_{gs}} \right|_{V_{DS}=cste} = \frac{W}{L} \frac{\mu_n C_{ox1}}{(1 + \alpha)} (V_{gs} - V_{th}) \quad (IV-13)$$

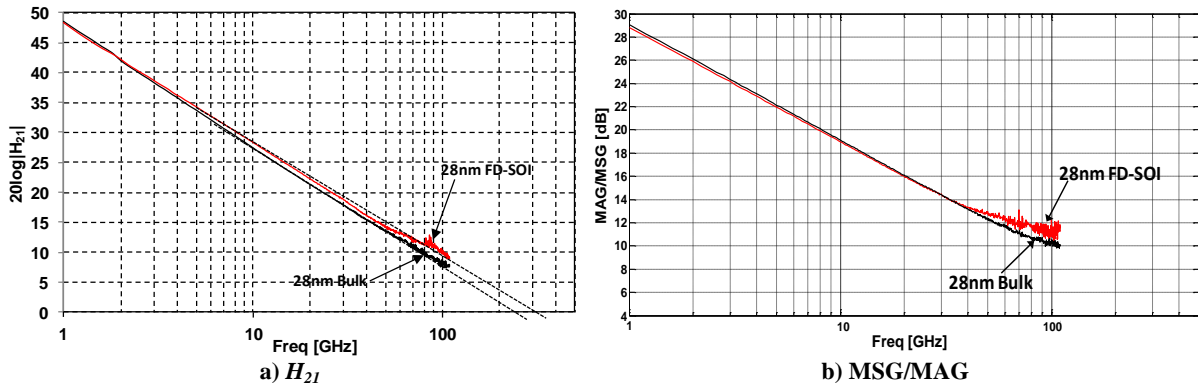


Figure IV-50 : Mesures du H_{21} et du MSG/MAG pour les transistors LVT en 28nm Bulk et FD-SOI

La courbe du H_{21} de la Figure IV-50 montre là aussi la supériorité du g_m pour la technologie 28nm FD-SOI. Le gain maximum disponible à 60GHz est d'environ 12,5dB.

Transistors nRVT et nLVT :

Deux types de transistors NMOS sont intéressants à étudier : le transistor nLVT et le transistor nRVT.

Pour un transistor nLVT, une tension de body positive V_{BB} (aussi nommée Forward Body Bias ou FBB) réduit la tension de seuil du transistor à raison de 85mV/V, augmentant la transconductance g_m par la même occasion. La tension de claquage est aux alentours de 3V. Une tension négative (Reverse Body Bias ou RBB) peut aussi être appliquée, tant qu'elle ne met pas en conduction les diodes parasites.

L'application d'une tension négative V_{BB} sur le transistor nRVT augmente la tension de seuil et réduit les courants de fuite. La dynamique de cette tension s'étend de -3V jusqu'à $V_{DD}/2 + 300mV$.

Le schéma de la Figure IV-51 résume les dynamiques de la tension de body V_{BB} suivant le transistor utilisé.

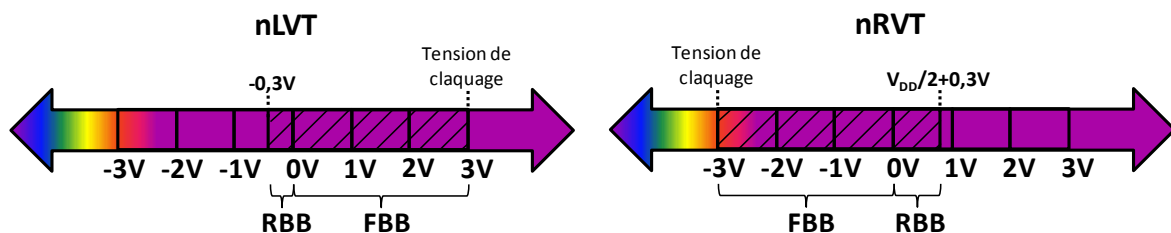


Figure IV-51 : Dynamique de la tension de body pour des transistors nLVT et nRVT

3.2. Cellule amplificatrice

La cellule amplificatrice illustrée sur la Figure IV-52 est composée de quatre sources communes T_{1-1} , T_{1-2} , T_{2-1} et T_{2-2} se recombinaison en courant sur Out+ et Out-.

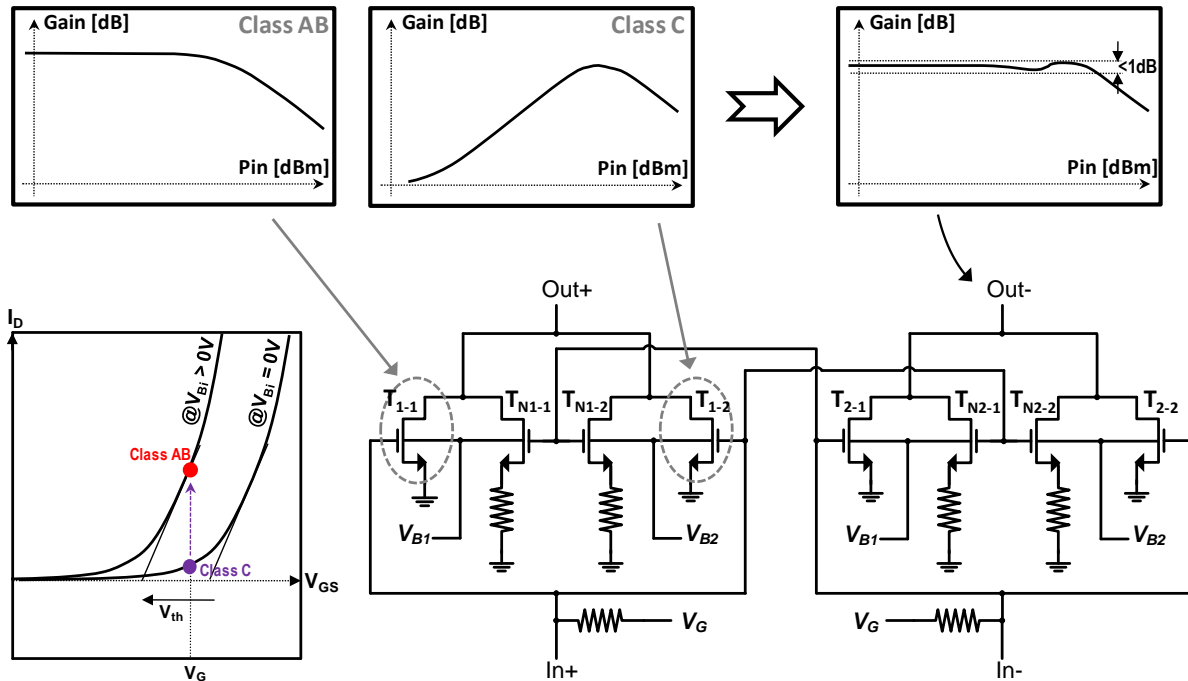


Figure IV-52 : Topologie des structures amplificatrices intégrant la polarisation segmentée

3.2.1. Transistors de neutralisation

La capacité C_{gd} des transistors de puissance étant mal connue, sa neutralisation par des capacités MOM/MIM ne garantit pas la stabilité du circuit. Une solution est d'utiliser la capacité C_{gd} des transistors de neutralisation T_{N1-1} , T_{N1-2} , T_{N2-1} et T_{N2-2} . L'intérêt est double :

- Les variations en fabrication des capacités MOM/MIM et des transistors de puissance peuvent générer des points d'instabilité. Les transistors de neutralisation variant de la même manière que les transistors de puissance, cette contrainte est donc éliminée. La référence [COH12] et l'étude, sur la Figure IV-53, des corners Slow-Slow Analog (SSA), typique et Fast-Fast Analog (FFA) démontrent que la topologie proposée est robuste en fabrication.

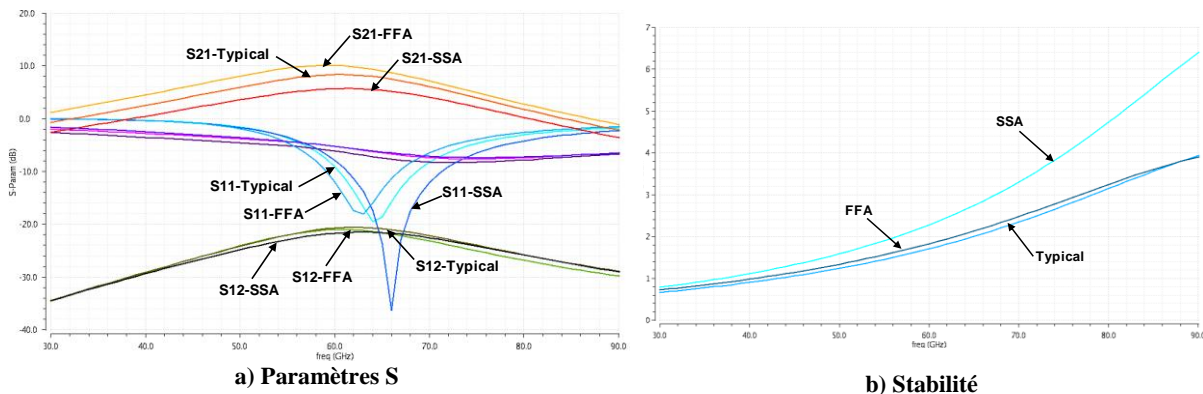


Figure IV-53 : Influence des corners SSA et FFA sur une paire différentielle neutralisée

- La capacité C_{gd} est non linéaire et dépendante de la polarisation. Une capacité MOM/MIM peut, là aussi, amener à une instabilité. Un transistor de neutralisation, polarisé à la même tension de body V_{BI} (ou GND) que le transistor de puissance, permet une parfaite compensation quelle que soit la polarisation.

3.2.2. Implémentation de la polarisation segmentée pour la technologie 28nm FD-SOI

La polarisation de la face arrière du substrat donne un degré de liberté supplémentaire très intéressant pour la conception de PAs. Comme montré sur la Figure IV-52, la possibilité de jouer sur la tension de seuil des transistors permet de changer directement la classe de fonctionnement d'un transistor, tout en supprimant les capacités de liaison sur les chemins RF quand plusieurs transistors sont en parallèle (Figure IV-54). Il en résulte une topologie efficace et très compacte. En effet, l'ensemble de la cellule amplificatrice occupe seulement $12 \times 27 \mu\text{m}^2$. Les transistors en classe AB profonde conduisent plus souvent que ceux en classe B ou C et se dégradent donc plus rapidement. On peut dès lors penser à inverser la polarisation des transistors de la structure afin de répartir l'usure de manière équitable dans le temps. Par conséquent, cette structure permet d'optimiser la durée de vie du PA.

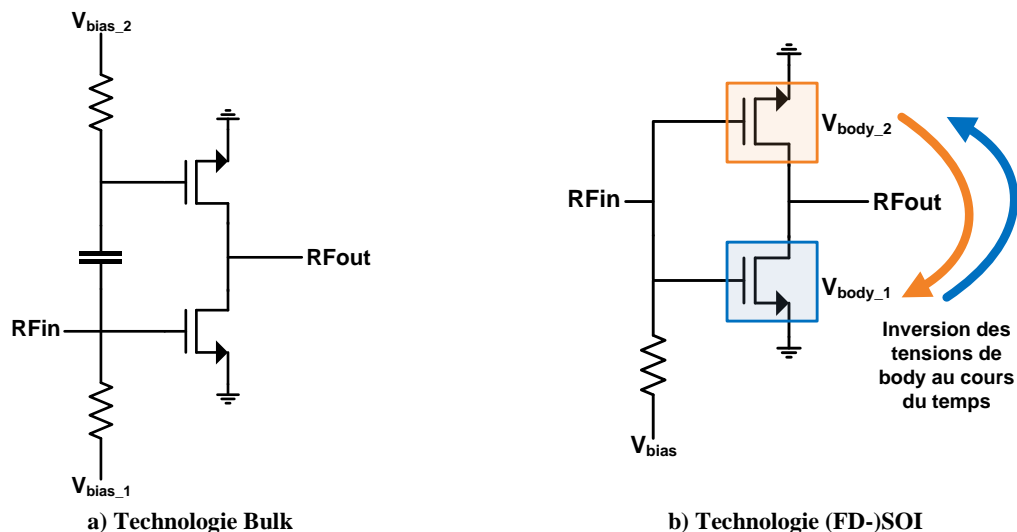
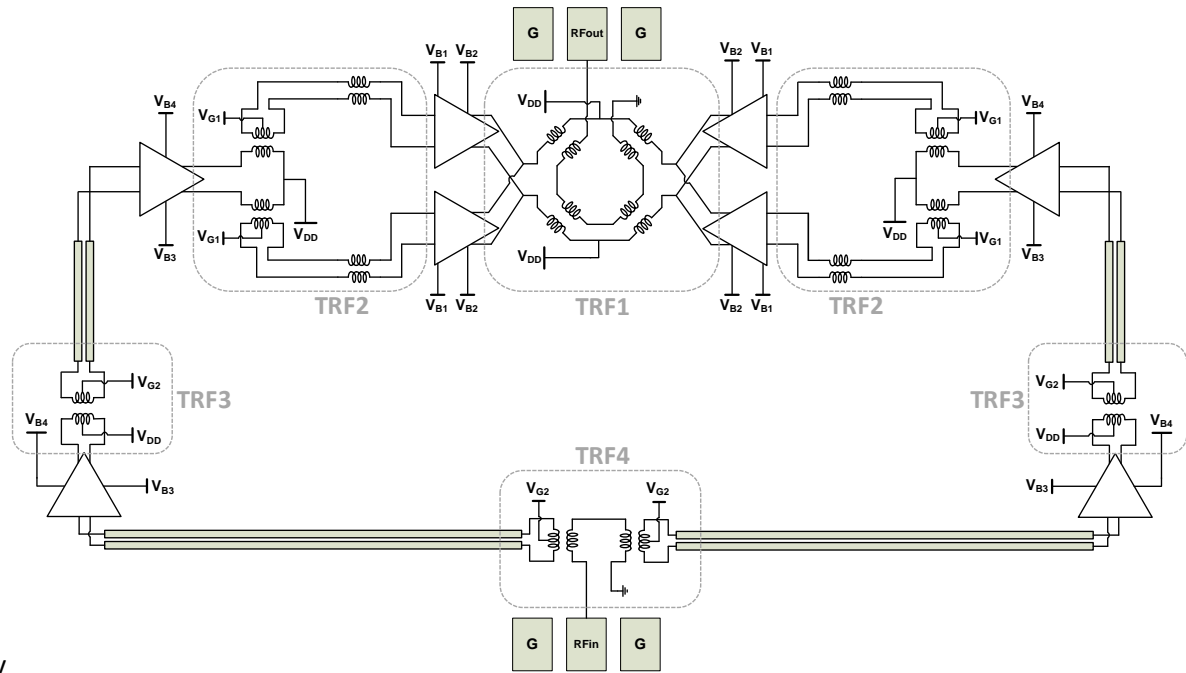


Figure IV-54 : Polarisation segmentée sur une technologie Bulk et une technologie (FD-)SOI

3.3. Topologie du circuit

Le schéma du circuit présenté sur la Figure IV-55 repose sur une topologie similaire à celle présentée dans la section IV.2.1. Le fort gain en puissance des transistors permet de se limiter à trois étages. Chaque étage est basé sur les cellules de puissance détaillées précédemment. La photographie du PA sur la Figure IV-56 montre que celui-ci est bien plus compact, occupant seulement $0,16 \text{mm}^2$ sans les plots ($280 \times 580 \mu\text{m}^2$).

L'adaptation d'impédance est effectuée grâce à des transformateurs intégrés TRF1, TRF2, TRF3 et TRF4. Le combineur de puissance TRF1 présente environ 0,8dB de pertes et combine quatre cellules de puissance différentielles composées de transistors de $75 \mu\text{m}$ montés en source commune neutralisée.



v

Figure IV-55 : Schéma électrique du PA 28nm FD-SOI

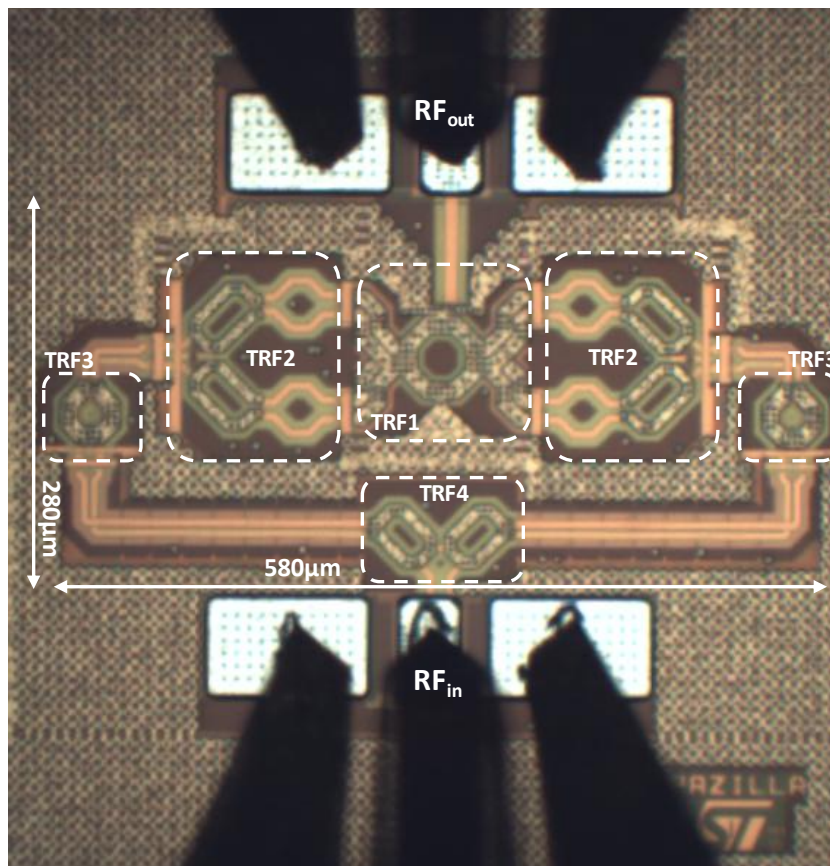


Figure IV-56 : Photographie du PA 28nm FD-SOI

L'architecture du diviseur de puissance TRF2 (Figure IV-57) a été revue afin d'éviter tout couplage parasite entre les voies, ce qui se traduisait sur le circuit en 65nm par une petite chute de gain aux alentours des 55GHz. Les deux secondaires forment un angle de 90° afin de minimiser les couplages magnétiques parasites. La structure permet en outre d'assurer un routage compact avec un accès simplifié à V_{DD} .

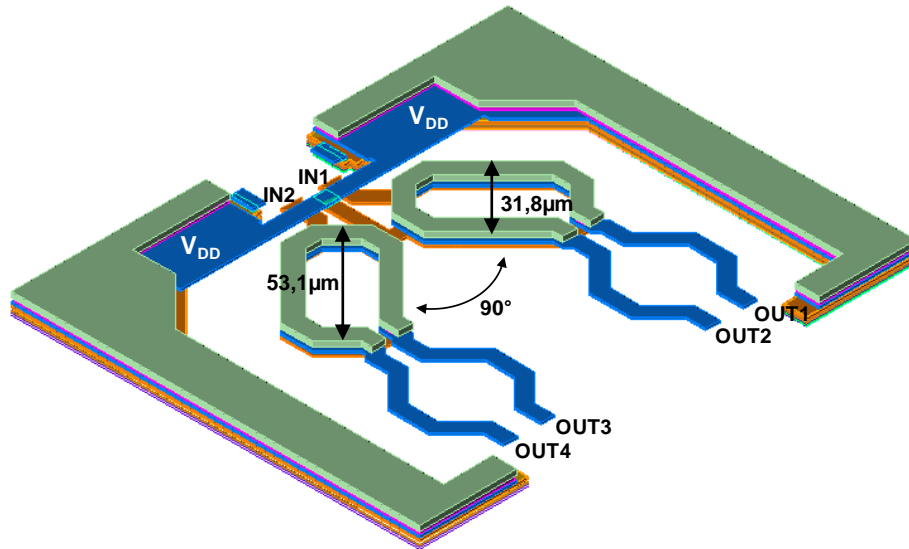


Figure IV-57 : Vue 3D du splitter au niveau de l'étage de puissance

Le diviseur de puissance TRF4 en entrée du circuit est basé sur la même structure que TRF2 et effectue la conversion du mode commun vers le mode différentiel. Les dimensions de tous les transformateurs sont données dans le Tableau IV-6.

Des plots RF blindés ont été conçus pour respecter les règles de densité et ont été présentés dans le chapitre II. Ils introduisent environ 0,2dB de pertes et ont une capacité intrinsèque d'environ 33fF.

Le plan de masse et la grille d'alimentation sont respectivement formés par l'empilement des métaux 1 à 9, et du métal 10 avec l'Alucap. Une grosse capacité de découplage est ainsi créée. L'isolation galvanique des transformateurs d'entrée et de sortie permet de protéger le circuit contre les décharges électrostatiques. Des transistors bipolaires montés en diodes tête-bêche au niveau des plots DC protègent également le PA contre les décharges.

	Primaire			Secondaire		
	W [μm]	D [μm]	Nb_{tour}	W [μm]	D [μm]	Nb_{tour}
TRF1	10,8	57,6	1/2	10,8	57,6	1
Moitié de TRF2	6,3	53,1x31,8	1	6,3	53,1x31,8	1
TRF3	5,4	41,4	2	10,8	41,4	1
Moitié de TRF4	4,5	46,8x31,8	1	6,7	46,8x31,8	1

Tableau IV-6 : Paramètres physiques des transformateurs du PA en 28nm FD-SOI

3.4. Résultats de simulation et expérimentaux

3.4.1. Performances petit-signal

Les mesures petit-signal sont effectuées sur le wafer avec l'analyseur de réseaux Agilent E8361A. Tout comme le circuit 65nm, deux jeux de pointes GSGSGSGS alimentent le circuit. La Figure IV-58 montre les paramètres S mesurés et simulés avec $V_{DD} = 1V$, $V_{B1} = 1V$, $V_{B2} = V_{B3} = V_{B4} = 0V$ et $V_{G1} = 0,3V$ et $V_{G2} = 0,34V$. On constate une très bonne adéquation entre la simulation et la mesure.

La bande passante couvre 8GHz de 56GHz à 64GHz avec un gain maximal de 15,5dB à 61GHz. Les coefficients de réflexion S_{11} et S_{22} sont inférieurs à -8dB sur l'intégralité de la bande. Le PA est inconditionnellement stable quelle que soit la polarisation.

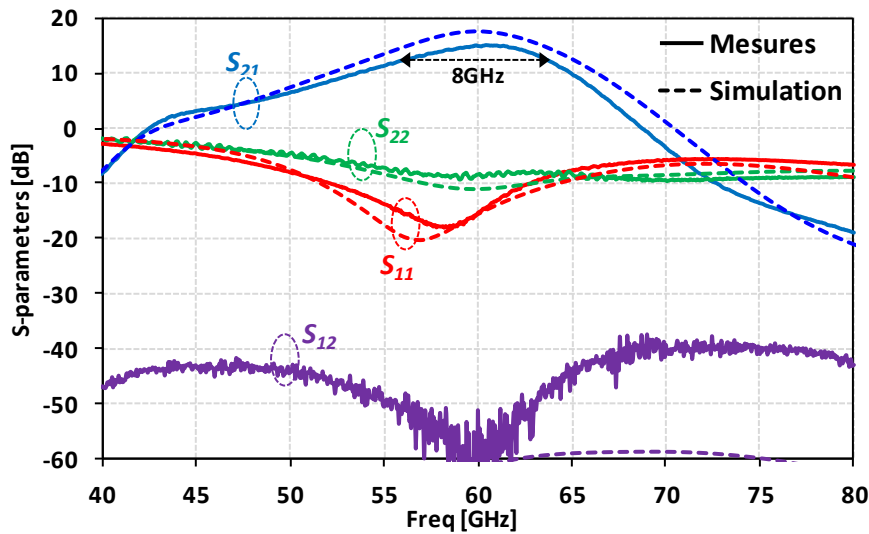


Figure IV-58 : Paramètres S simulés et mesurés du PA 28nm FD-SOI

Une étude sur la Figure IV-59 montre qu'il est possible de reconfigurer le gain du circuit. Le S_{21} atteint 35dB pour des V_{G1} et V_{G2} de 0,52V à 61GHz avec peu d'impact sur les coefficients de réflexion S_{11} et S_{22} . La dynamique couvre environ 20dB, du mode de fonctionnement maximisant la linéarité au mode favorisant plutôt le gain.

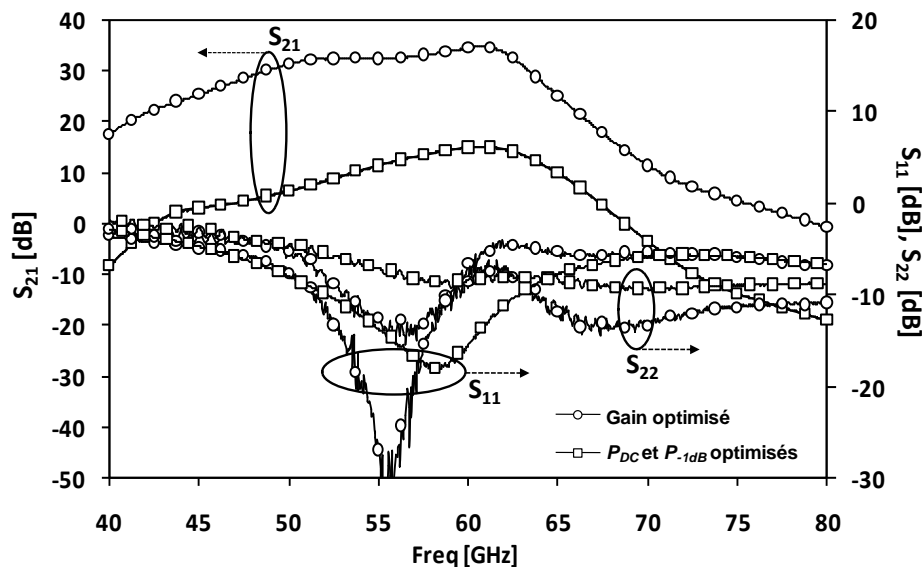


Figure IV-59 : Comportement des paramètres S en fonction de la polarisation

3.4.2. Performances large-signal

Mesures au fondamental :

Il est important de signaler que les modèles de transistor n'intégraient pas une description large-signal fiable pour les fréquences millimétriques au moment de la conception du PA. En effet, cette technologie était initialement destinée à la conception de circuits numériques. L'impédance de charge optimale est donc un peu différente de celle prévue.

En classe AB légère, le PA présente à 61GHz un gain de 35dB, une puissance de saturation de 18,9dBm et une puissance à la compression de 15dBm pour une PAE d'environ 17,7% (Figure IV-60.a)). La FoM ITRS atteint la valeur record de 161 671.

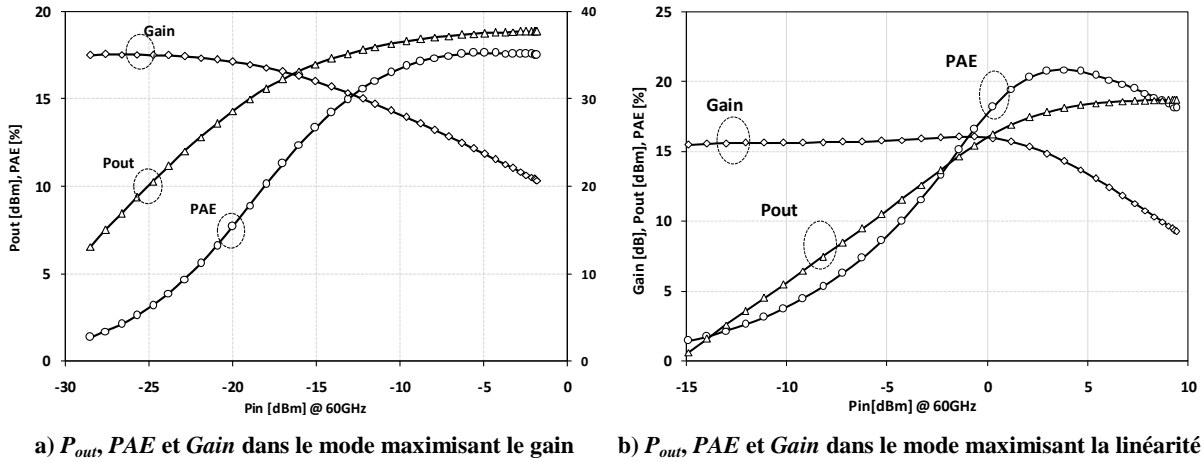


Figure IV-60 : Mesures des performances en puissance à 60GHz du PA en 28nm FD-SOI

Dans le mode maximisant la linéarité, le circuit est polarisé avec $V_{G1}=0,3V$, $V_{B1}=0,8V$ et $V_{G2}=0,33V$. Il atteint une puissance de saturation P_{SAT} de 18,8dBm pour un point de compression P_{-1dB} de 18,2dBm. La PAE à la compression (PAE_{-1dB}) correspond à la PAE maximale et vaut 21%. Le gain petit-signal est d'environ 15,4dB. La FoM ITRS chute à 1988.

Un des aspects intéressants de ce mode de fonctionnement est sa faible consommation en statique pour un fort back-off. La Figure IV-61.a) montre la puissance dissipée P_{diss} en fonction de la puissance de sortie.

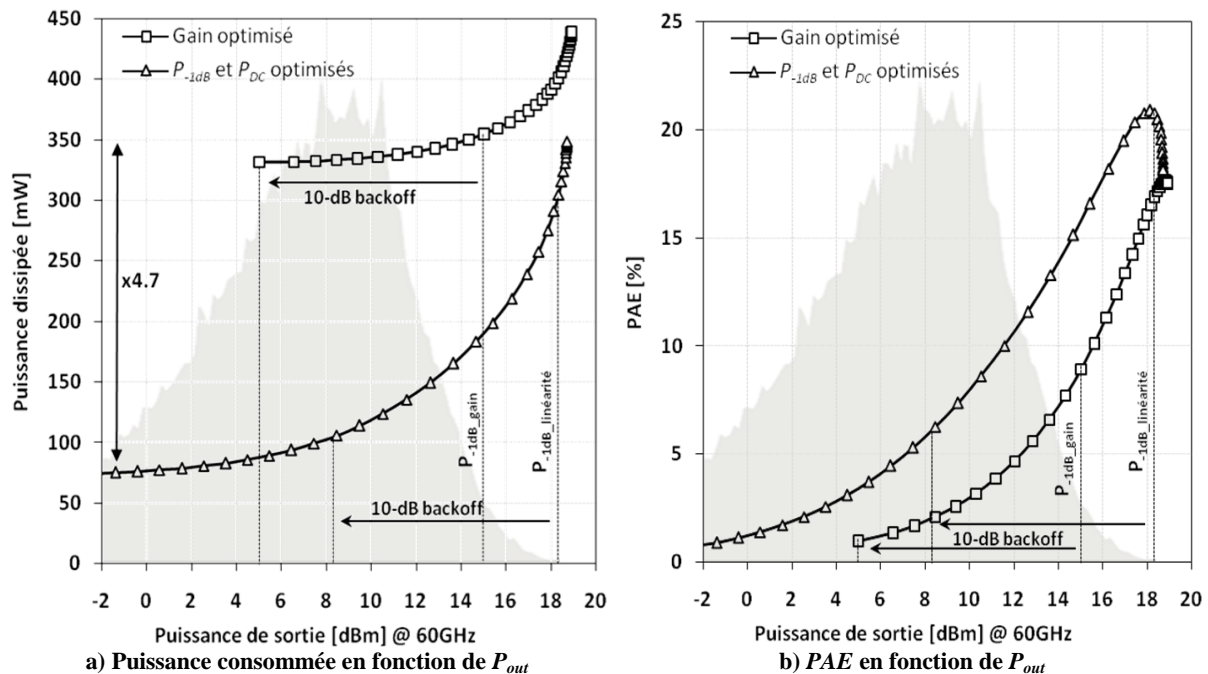


Figure IV-61 : Puissance consommée et PAE en fonction de la puissance de sortie P_{out}

La puissance dissipée P_{diss} en saturation est 4,7 fois plus importante qu'en DC. A la compression, le PA consomme 297mW. Cette consommation chute à 103mW pour un backoff de 10dB et à 74mW en statique. Les modulations OFDM-16QAM (dont la

distribution de probabilité est représentée en gris) et OFDM-64QAM demandant un PAPR de 10 à 14dB, ce circuit est, par conséquent, tout à fait adapté avec une consommation extrêmement basse à la puissance moyenne de fonctionnement.

La PAE exposée sur la Figure IV-61.b) atteint 21% à la compression, plus de 10% à 6dB de backoff et encore 6% à 10dB de backoff. Les performances en backoff obtenues se rapprochent de celles des PAs Doherty publiés aux fréquences millimétriques avec une chute de 50% du rendement à 6dB de P_{-1dB} pour toutes ces topologies.

La rendement au point de compression PAE_{-1dB} , la puissance au point de compression P_{-1dB} et la puissance de saturation P_{SAT} sont mesurés de 57GHz à 65GHz et présentés sur la Figure IV-62. Les performances maximales sont observées aux alentours de 59GHz avec une PAE_{-1dB} de 21,7%, une P_{-1dB} de 18,55dBm et une P_{SAT} de 19,2dBm. Sur l'ensemble de la bande de fréquence, la PAE_{-1dB} , la P_{SAT} et la P_{-1dB} varient respectivement de 6,7%, de 2dBm et de 2dBm.

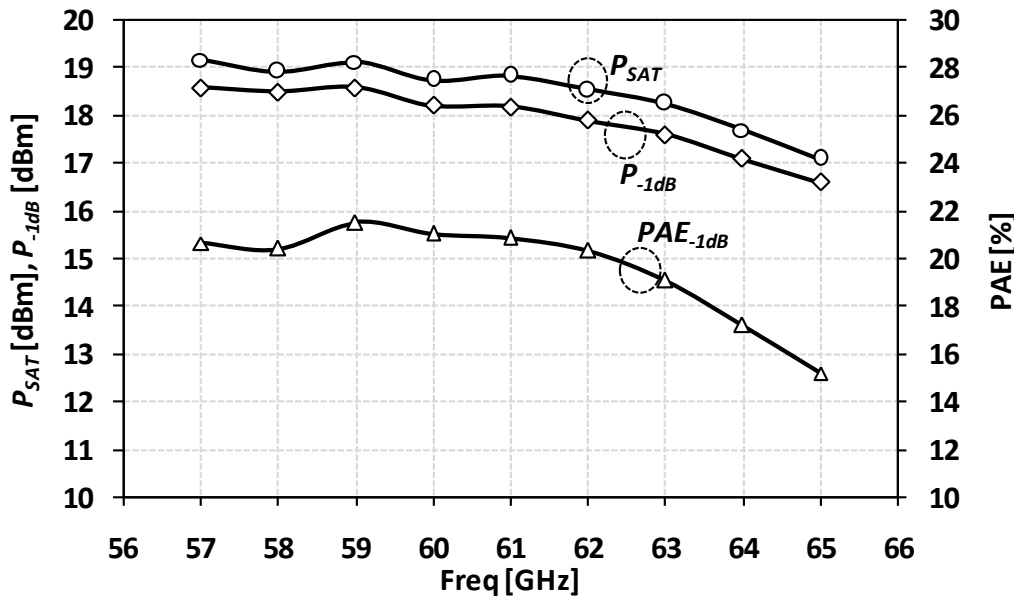


Figure IV-62 : P_{SAT} , P_{-1dB} et PAE_{-1dB} suivant la fréquence pour le PA 28nm FD-SOI

Le Tableau IV-7 décrit les performances du PA 28nm FD-SOI dans chaque canal de fréquences pour des applications WiGig ou WirelessHD. Peu de variations de la P_{SAT} , de la P_{-1dB} et de la PAE_{max} sont observables dans chacun des quatre canaux.

	Canal 1 [57,24-59,4]	Canal 2 [59,4-61,56]	Canal 3 [61,56-63,72]	Canal 4 [63,72-65,88]
P_{SAT} [dBm]	19,1 ± 0,1	18,9 ± 0,1	18,35 ± 0,45	17,1 ± 0,8
P_{-1dB} [dBm]	18,5 ± 0,05	18,2 ± 0,25	17,7 ± 0,3	16,5 ± 0,7
PAE_{-1dB} [%]	20,9 ± 0,6	21,1 ± 0,4	19,3 ± 1,4	15 ± 2,9

Tableau IV-7: Performances du PA 28nm FD-SOI pour chaque canal WiGig ou WirelessHD

Une étude sur plusieurs tensions d'alimentation est effectuée sur les Figure IV-63.a) et b). En se plaçant à $V_{DD}=1,1V$, tension maximale conseillée par le DRM (Design Rule Manual), la puissance et la PAE au point de compression dépassent respectivement 19dBm et 22% pour une consommation DC de 100mW. Le gain du circuit est constant de 0,7V à 1,1V car la

transconductance et le courant de polarisation I_D des transistors restent stables (Figure IV-49). Il en résulte que l'impédance de charge varie peu.

Par conséquent, le circuit est fonctionnel même pour une tension d'alimentation faible.

La puissance consommée et la linéarité sont ainsi réglables suivant le back-off et la modulation requis (PAPR de 10dB pour une QPSK-OFDM, 12dB pour 16QAM-OFDM et 14dB pour une 64QAM-OFDM).

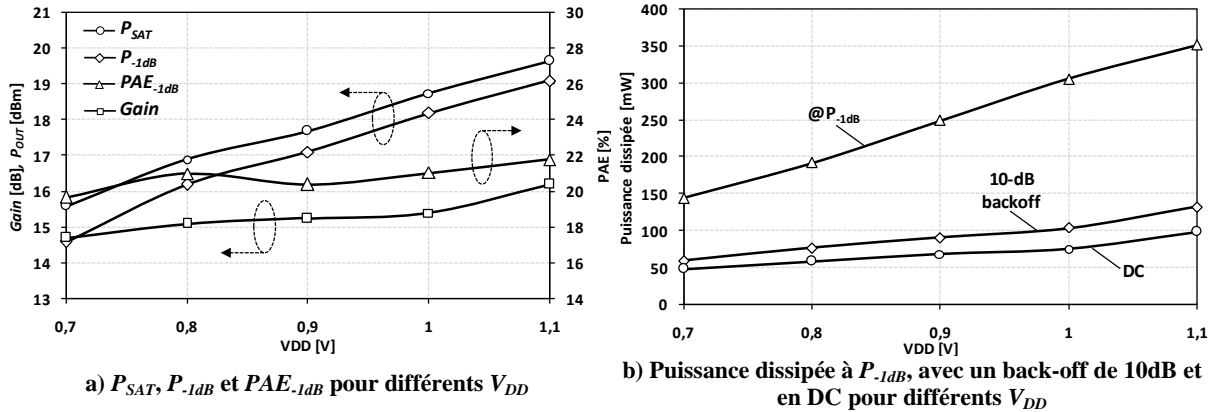


Figure IV-63 : Performances du PA 28nm FD-SOI pour différentes tensions d'alimentation

Sous 0,8V, le PA présente encore 15,1dB de gain et 16,2dBm de P_{-1dB} avec 21% de rendement tout en consommant moins de 60mW en statique. Quelle que soit la tension d'alimentation, la linéarité du circuit reste très bonne avec P_{SAT} et P_{-1dB} toujours proches, tout comme la consommation avec un back-off de 10dB peu éloignée de la consommation DC.

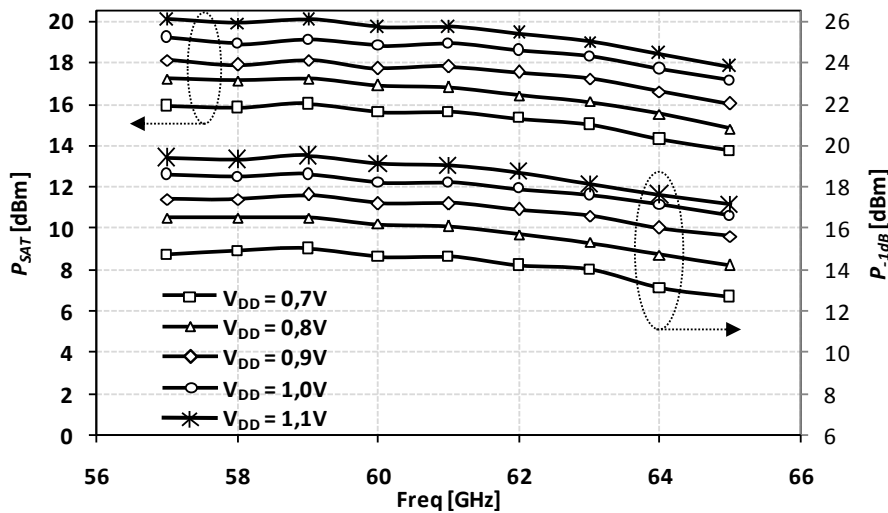


Figure IV-64 : P_{SAT} et P_{-1dB} du PA 28nm FD-SOI pour différents V_{DD} de 57 GHz à 65 GHz

Cette même étude est menée sur plusieurs fréquences et les résultats sont affichés sur la Figure IV-64 et la Figure IV-65. On constate que les performances maximales sont obtenues à 59GHz sous 1,1V.

La puissance de saturation et de compression atteignent chacune 20dBm et 19,5dBm pour une PAE de 22,3%. Au final, les performances sont relativement constantes de 57GHz à 65GHz quelle que soit la polarisation.

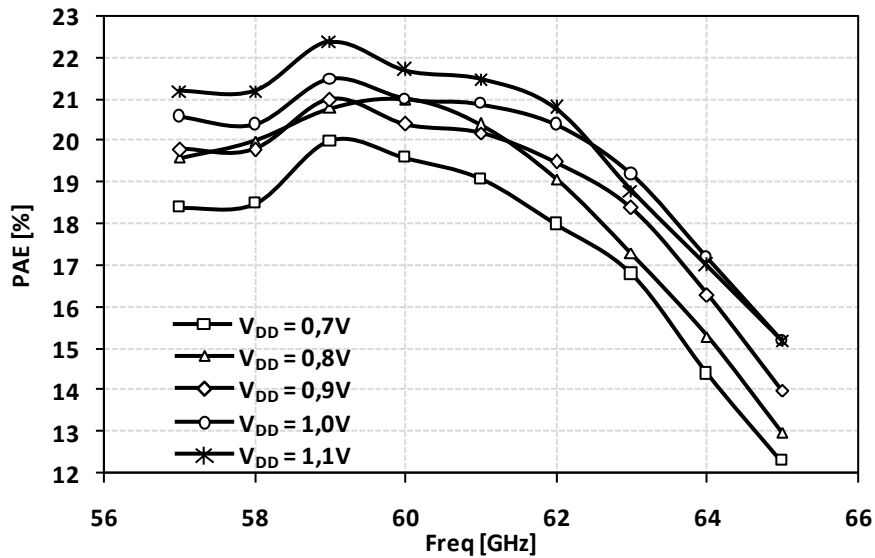


Figure IV-65 : PAE_{-1dB} du PA 28nm FD-SOI pour différents V_{DD} de 57GHz à 65GHz

3.5. Comparaison à l'état de l'art

Cet amplificateur a été conçu et optimisé dans le cadre des standards WiGig/WirelessHD. En effet, la consommation est extrêmement basse à la puissance moyenne de fonctionnement (de 10 à 14dB de backoff suivant la modulation) tout en gardant une très bonne linéarité. On se propose de définir une figure de mérite sur l'équation (IV-14) en accord avec les besoins de ces standards, à savoir un maximum de linéarité avec un minimum de puissance consommée.

$$FoM_{lin} = 100 \times \frac{P_{-1dB}}{P_{dc}} \quad (IV-14)$$

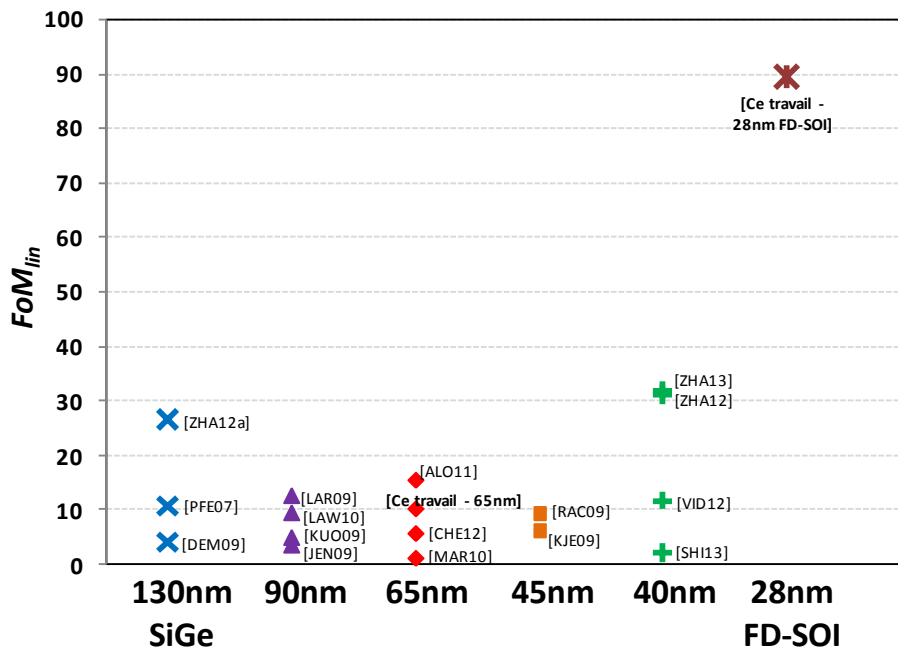


Figure IV-66 : FoM_{lin} en fonction des nœuds technologiques

La Figure IV-66 et Tableau IV-8 résument les performances du circuit et les comparent à l'état de l'art. Suivant le mode de fonctionnement, le circuit atteint à la fois le meilleur

compromis consommation-linéarité avec une figure de mérite FoM_{lin} qui atteint 89 ainsi que la plus haute FoM ITRS avec plus de 160000 dans le mode favorisant le gain.

Ref.	Process Si	Valim [V]	Gain [dB]	P_{SAT} [dBm]	P_{-1dB} [dBm]	PAE_{max} [%]	PAE_{-1dB} [%]	PAE_{-10dB} [%]	Pdc [mW]	$Pdc_{10dB_backoff}$ [mW]	FoM ITRS [W.GHz ²]	FoM_{lin}
[LAW10]	1,2V 90nm	1,2	20,6	19,9	18,2	14,2	12,5	2	688	-	5735	10
[LAH10]	1V 65nm	1,0	19,2	17,7	15,1	11,1	6,5	1	460	-	2056	7
[HSH13]	1V 65nm	1,2	16,3	23,2	19,6	10	4	< 1	2100	-	3650	4
[CHE11]	1,2V 65nm	1,2	20,3	18,6	15	15,1	6,8	< 1	621	-	4220	6
[ALO12]	1,2V 65nm	1,2	20	15,6	13,5	6,6	5	< 1	480	-	892	5
[CHE13]	1V 65nm	1,0	-	9,6	-	28,5	-	-	28,6	-	-	≈ 32
[ABB10]	1V 45nm	2,0	20	14,5	11,2	14,4	7	1	180	-	1461	7
[SHH13]	1V 40nm	1,2	29	22,6	17	7	2,5	< 1	2440	-	36425	2
[ZHA12]	1V 40nm	1,0	26	15,6	15,6	25	25	4	117	119	13008	17
[ZHA13]	1V 40nm	1,0	17	17	13,8	30,3	21,6	2,5	75	75	2740	32
[KUL14]	1V 40nm	0,9	22,4	16,4	13,9	23	18,9	2	88	90	6925	28
[SIL10]	1,2V 65nm SOI	1,8	16	14,5	12,7	25,7	22,6	2,7	77,4	79	1038	24
[ZHA12a]	130nm SiGe	1,8	20,6	20,1	19,7	18	18	3	353	-	8129	26
Ce travail	65nm	1,2	32,4	19,9	17,2	20	10,4	1	510	510	122237	10,3
Ce travail	28nm FD-SOI	1,0 (linéarité)	15,4	18,8	18,2	21	21	6	74	103	1988	89
		0,8 (linéarité)	15,1	16,9	16,2	21	21	5,4	58	73	1198	72
		1,0 (gain)	35	18,9	15	17,7	9	<1	331	331	161671	9,6

Tableau IV-8 : Comparaison du PA 60GHz 28nm FD-SOI avec l'état de l'art

La FoM_{lin} est plutôt limitée pour les autres circuits de la littérature. Seuls les circuits implémentés dans une technologie avancée ou dédiée à la conception aux fréquences millimétriques telle que le CMOS 40nm [ZHA13], le SiGe 130nm [ZHA12a] et le CMOS 65nm SOI [SIL10], arrivent à tirer leur épingle du jeu avec une figure de mérite aux alentours de 30. L'émetteur [CHE13] est basé sur une architecture « digital-to-RF » utilisant des PAs non linéaires de classe E/ F_{X2} et propose une des meilleures efficacités avec une FoM_{lin} supérieure à 30.

Discussion :

Le circuit proposé présente plusieurs avantages. La technologie FD-SOI permet notamment d'intégrer la polarisation segmentée au sein même de la cellule de puissance. Les capacités de liaison, affectant le chemin RF peuvent ainsi être supprimées. Le gain des cellules de puissance est par ailleurs facilement reconfigurable et au moins deux modes principaux de fonctionnement peuvent être envisagés.

En outre, le circuit est fonctionnel pour de faibles tensions d'alimentation (à savoir 0,7-0,8V) et la consommation DC peut être réduite de manière drastique tout en gardant une bonne linéarité. L'architecture du circuit est à la fois robuste en fabrication et dans le temps.

Il reste toutefois à rendre le PA un peu plus autonome (principe du « self-healing » ou « self-contained ») en assurant une reconfigurabilité numérique.

4. Conclusion du chapitre

L'état de l'art des techniques de linéarisation et de combinaison de puissance a été introduit dans la première partie du chapitre. Cette étude a amené à la conception de deux amplificateurs de puissance dans les technologies 65nm et 28nm FD-SOI.

Le circuit en 65nm associe huit cellules élémentaires à travers un combineur de puissance compact ($160 \times 130 \mu\text{m}^2$). Ce PA de quatre étages occupe une surface active de $0,32 \text{mm}^2$. Les travaux du chapitre III ont permis de sélectionner les topologies source commune et source commune neutralisée qui sont les plus judicieuses à 60GHz. Les puissances de saturation et au point de compression atteignent respectivement 19,9dBm et 17,2dBm pour un gain de 32,4dB et une PAE de 20%. L'ensemble de ces performances contribue à obtenir la plus haute figure de mérite ITRS de la littérature. Néanmoins, la consommation statique relativement élevée du circuit demeure un verrou pour l'intégration du PA dans un émetteur-récepteur. Une technique de polarisation segmentée a été mise en place afin de réduire cette consommation tout en maintenant la linéarité. La robustesse du circuit aux phénomènes d'injection de porteurs chauds HCI, au claquage de grille TDDB et aux désadaptations d'impédance VSWRs a également été étudiée dans le but de définir les points de polarisation assurant un fonctionnement fiable.

Aux vues des performances atteintes, un PA a ensuite été implémenté dans une technologie plus avancée afin de générer des performances optimales. Le choix s'est porté sur la nouvelle technologie 28nm FD-SOI de STMicroelectronics. Dans un premier temps, des transistors ont été simulés et caractérisés en petit et large signal. Après une analyse théorique, il apparaît que la zone de déplétion totalement désertée de ces transistors permet un contrôle précis de la tension de seuil. Cette propriété donne un degré de liberté supplémentaire pour la conception du PA.

Le circuit repose sur une architecture similaire à celle du PA 65nm mais se limite à seulement trois étages pour une surface occupée de seulement $0,16 \text{mm}^2$. Le combineur de puissance est le même que celui implémenté sur le circuit en 65nm. Les diviseurs de puissance reposent sur la structure proposée dans [ZHA13].

Les mesures montrent que l'amplificateur est capable de fournir un point de compression maximal de plus de 19dBm avec une consommation statique inférieure à 100mW et un rendement maximal de plus de 22%.

Les faibles variations de la transconductance des transistors suivant la tension d'alimentation V_{DD} font que le système reste fonctionnel même s'il est sous-alimenté. En effet, le circuit est encore capable de fournir un P_{-1dB} de 14,7dBm sous 0,7V avec un rendement de 20% et une consommation statique d'environ 50mW. Le courant DC étant quasiment inchangé, les impédances optimales de charge et le gain global varient peu. La tension d'alimentation peut ainsi être configurée suivant la linéarité requise par la modulation utilisée (QPSK, 16-QAM, 64-QAM...). Le gain est modifiable sur une dynamique de 20dB. Il peut être piloté facilement de manière digitale en ajoutant des DACs (Digital-to-Analog Converter) sur les body ou les grilles des transistors. Au final, les cellules de puissance

reconfigurables occupent seulement $12 \times 27 \mu\text{m}^2$ avec des réseaux d'adaptation uniquement dédiés à la combinaison de puissance.

Cette topologie associée à la technologie 28nm FD-SOI permet, par conséquent, de simplifier la conception des circuits reconfigurables qui restent, à l'heure actuelle, extrêmement complexes et limités en puissance, comme en témoignent les références [CHE13] et [LAR14].

Conclusion générale et perspectives

La thèse présentée dans ce manuscrit porte sur la conception d'amplificateurs de puissance intégrés dans les technologies CMOS 65 nm Bulk, 28nm Bulk et 28nm FD-SOI de STMicroelectronics pour les communications sans fils à très haut débit. Des solutions sont proposées afin de se conformer aux contraintes liées à ce type d'applications. Ainsi, la linéarité et la consommation du circuit à un fort back-off sont optimisées afin de transmettre des signaux à modulation complexe tout en préservant l'autonomie de la batterie.

- Le premier chapitre rappelle tout d'abord le contexte des systèmes WPAN-WLAN dédiés aux communications à très haut débit. Les divers standards développés à 60GHz sont détaillés. Des marchés de masse étant visés, l'utilisation des technologies CMOS se justifie d'autant plus que leurs performances s'améliorent considérablement d'année en année. Néanmoins, l'analyse de plusieurs émetteur-récepteurs montre que les PAs CMOS ont une faible efficacité, ce qui conduit à une forte consommation (30% à 60% de la consommation totale du circuit RF). Après la présentation des différentes caractéristiques d'un amplificateur, l'étude de l'état de l'art des PAs millimétriques permet d'explicitier les verrous limitant les performances de ces circuits.

- Le second chapitre est consacré à l'optimisation des circuits passifs pour la conception de PAs. En effet, les phénomènes parasites à hautes fréquences influent sur les performances des lignes de transmission, des capacités et des inductances/transformateurs. Les performances des lignes de transmission (dimensions et facteur de qualité) sont améliorées grâce au phénomène d'ondes lentes. Leur pertinence pour des applications de puissance à 60GHz est néanmoins discutée car il s'avère que leur largeur importante empêche une implémentation compacte du PA. A cause de leur coefficient de qualité médiocre en technologie Bulk, les capacités MOM présentent un intérêt limité à 60GHz pour les réseaux d'adaptation et le blocage du DC. La solution la plus intéressante consiste à utiliser des transformateurs intégrés. En effet, ces composants permettent d'adapter le circuit en impédance, bloquer le DC, convertir le mode différentiel en mode commun et combiner plusieurs cellules de puissance.

- Le troisième chapitre détaille la méthodologie de conception des amplificateurs de puissance. Plusieurs topologies sont essayées sur trois PAs élémentaires implémentés dans les technologies CMOS 65nm Bulk et 28nm Bulk. Le premier circuit utilise un montage cascode adapté en puissance avec des lignes de transmission à ondes lentes. Ce premier circuit a du mal à se dégager de l'état de l'art car l'apport de ces lignes impacte finalement peu sur les

perdes d'insertion du réseau de sortie. Le second repose lui aussi sur un montage cascode mais les réseaux d'adaptation sont composés de transformateurs. La bande passante est aplanie sur plus de 20GHz, mais l'efficacité et la linéarité du montage cascode s'avèrent ne pas être optimales. Le dernier circuit est constitué de transformateurs et de sources communes neutralisées par des capacités MOM. Cette dernière topologie semble la plus prometteuse car elle permet d'augmenter l'isolation entre chaque étage sans dégrader les performances en efficacité et linéarité. Elle sert de base pour les amplificateurs hautement linéaires exposés dans le chapitre IV.

- Le dernier chapitre de ce manuscrit décrit deux amplificateurs implémentés dans les technologies 65nm Bulk et 28nm FD-SOI. Le premier circuit en 65nm délivre une puissance de saturation de 19,9dBm pour une *PAE* maximale et un gain de respectivement 20% et 32,4dB. La puissance à la compression P_{-1dB} est de 17,2dBm. Ce PA atteint la plus haute FoM ITRS de l'état de l'art avec plus de 122 000. Le deuxième circuit en 28nm FD-SOI est optimisé pour maximiser la linéarité avec un minimum de puissance consommée en statique et présente le meilleur compromis linéarité/consommation de la littérature. En effet, la puissance et la *PAE* à la compression sont respectivement de 18,2dBm et de 21% pour une consommation statique de 74mW. Les capacités MOM pouvant poser des problèmes de stabilité à cause des variations en fabrication, la technique de neutrodynage est implémentée à l'aide de transistors. Grâce aux propriétés de cette technologie, le circuit reste fonctionnel même s'il est sous-alimenté. En outre, les cellules de puissance étant reconfigurables, la linéarité et le gain peuvent être ajustés selon le besoin.

A travers ces réalisations, il apparaît qu'un émetteur-récepteur CMOS à très faible consommation est réalisable pour les applications WPAN/WLAN à 60GHz. Toutefois, des travaux sont encore nécessaires sur l'amplificateur afin de le rendre autonome et capable de s'adapter à son environnement. De plus, d'autres architectures telles que le LINC, le CALLUM et le Power Cell Switching PCS sont dignes d'intérêt. Plusieurs perspectives de recherche sont proposées ci-dessous :

Perspective n°1 : PA autonome

Des amplificateurs de puissance intégrant le principe de self-healing ont déjà été publiés aux fréquences millimétriques [LIU11][BOW13]. Une attention particulière doit être portée sur le coupleur de sortie qui ne doit ni prendre trop de place ni dégrader les performances du réseau de sortie. Une publication récente [BRE14] propose un détecteur de puissance TRMS à travers un transformateur à 5GHz. Les transformateurs étant essentiels à 60GHz, une telle topologie est à analyser pour un éventuel portage.

Informé par divers capteurs, un circuit numérique réajuste les polarisations du PA afin de le faire fonctionner au maximum de ses capacités quelle que soit la situation.

L'utilisation de la technologie 28nm FD-SOI est ici particulièrement intéressante. En effet, la tension de body offre un levier supplémentaire pour régler l'amplificateur et la technologie est très performante pour les circuits numériques.

Perspective n°2 : Architectures LINC et CALLUM

Le DAT de l'architecture LINC issue de [ZHA12] présente une mauvaise isolation conduisant à des distorsions de phase et à une modulation de la charge vue sur chaque PA en fonction de l'angle de déphasage φ . L'architecture proposée sur la Figure V-1 ci-dessous est basée sur un combineur de puissance SPCT composé de 2 DATs et d'un combineur Wilkinson modifié. L'isolation fournie par le Wilkinson permet d'éviter la modulation de charge et une forte puissance est obtenue en sortie grâce à la combinaison de 8 transistors de puissance. Un gros travail d'optimisation doit être fait sur le combineur Wilkinson afin de minimiser les pertes d'insertion tout en garantissant une isolation maximale sur les 9GHz de bande passante. Ce combineur Wilkinson peut s'inspirer des structures développées par [BUR13]. Le coefficient de qualité et la longueur des lignes (Z_{C2} , θ_2) peuvent être améliorés grâce à des lignes à ondes lentes. L'utilisation d'une technologie avancée telle que la 28nm FD-SOI permet d'envisager des classes de fonctionnement aussi bien linéaires (AB, B) que non linéaires (E/F_{X2}...).

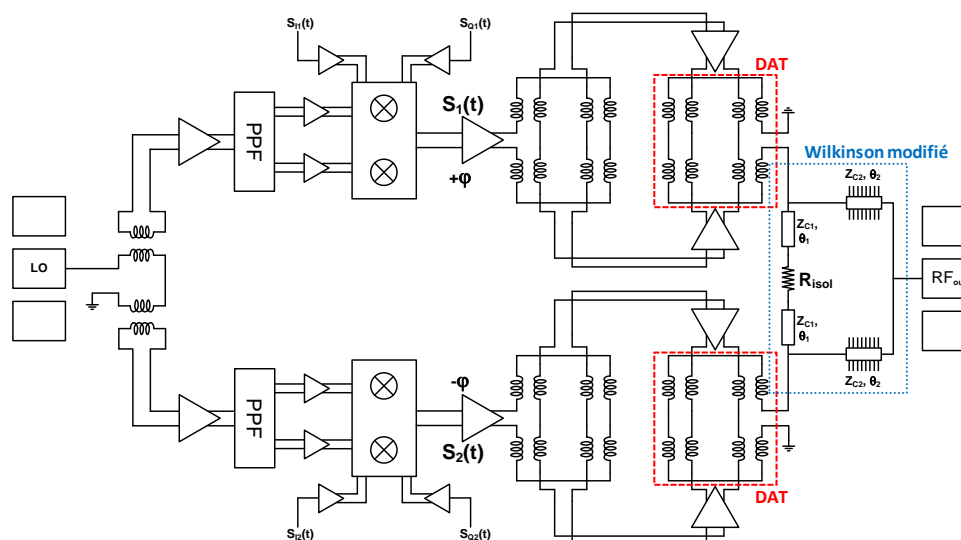


Figure V-1 : Architecture LINC basée sur un combineur SPCT

Néanmoins, l'ajustement en phase et en amplitude des deux chemins empruntés par $S_1(t)$ et $S_2(t)$ doit être parfait afin d'éliminer les composantes d'intermodulations et ne pas dégrader la recombinaison en puissance.

Pour aller au-delà de la simple structure LINC, un émetteur-récepteur reposant sur un émetteur CALLUM (*Combined Analogue Locked-Loop Universal Modulator*) est proposé sur la Figure V-2. Cette technique règle les problèmes de phase et de gain détaillés précédemment. Les non-linéarités causées par les fluctuations des enveloppes des deux composantes du LINC sont corrigées par la démodulation du signal de sortie en plusieurs signaux en quadrature. Le SCG (Signal Component Generator) ne génère pas directement les signaux à enveloppe constante mais délivre des signaux d'erreur $S_{I1}(t)$, $S_{Q1}(t)$, $S_{I2}(t)$ et $S_{Q2}(t)$ vers les mélangeurs. La boucle de retour peut poser des problèmes de stabilité avec une bande passante un peu plus étroite. La partie la plus critique d'un système CALLUM est le démodulateur en quadrature car sa linéarité définit la linéarité maximale atteignable par la structure.

Dans l'émetteur-récepteur proposé, ce démodulateur repose sur une architecture six-port entièrement passive. La publication [WAN07] montre que les circuits six-port sont intégrables à 60GHz, malgré une surface importante occupée. Ici, l'idée est d'utiliser ce démodulateur à l'émission avec le système CALLUM qui optimise la linéarité puis à la réception pour démoduler les signaux reçus grâce à un jeu d'interrupteurs.

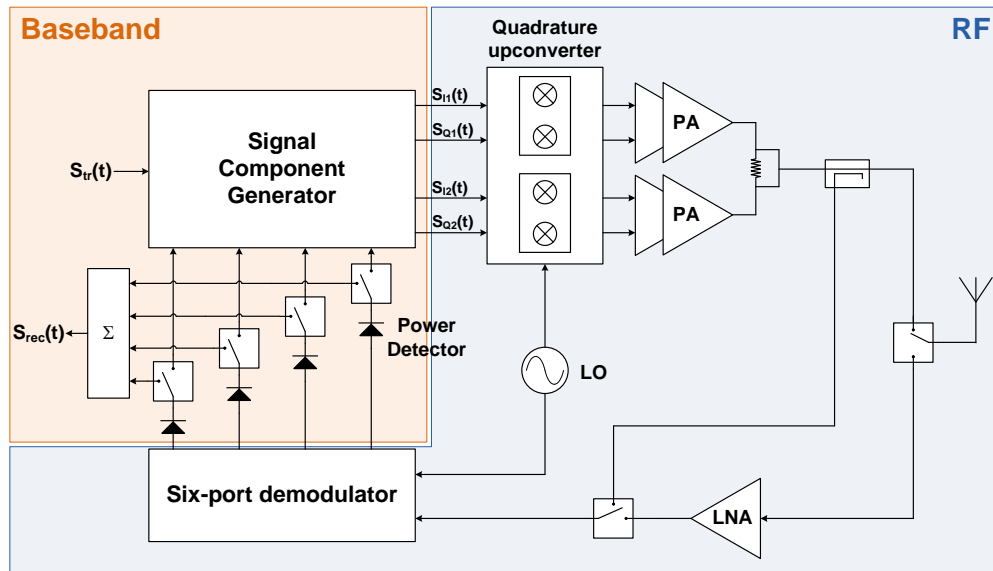


Figure V-2 : Emetteur-récepteur basé sur un démodulateur six-port

Perspective n°3 : Polarisation segmentée et Power Cell Switching

En généralisant la polarisation segmentée à plusieurs transistors [WEB93] en 28nm FD-SOI, il est possible de linéariser l'amplificateur avec une faible consommation DC. La Figure V-3 illustre un exemple de structure multi-grille composée de trois transistors de largeur W_1 , W_2 et W_3 polarisés en classe AB et C. Les largeurs W_2 et W_3 des transistors en classe C et leur polarisation V_{B2} et V_{B3} doivent être parfaitement ajustées. Afin de réduire au maximum la consommation statique, une technique PCS est aussi mise en place afin qu'une seule branche fonctionne en DC et à faible puissance. Au final, seul un transistor en classe AB conduira au repos.

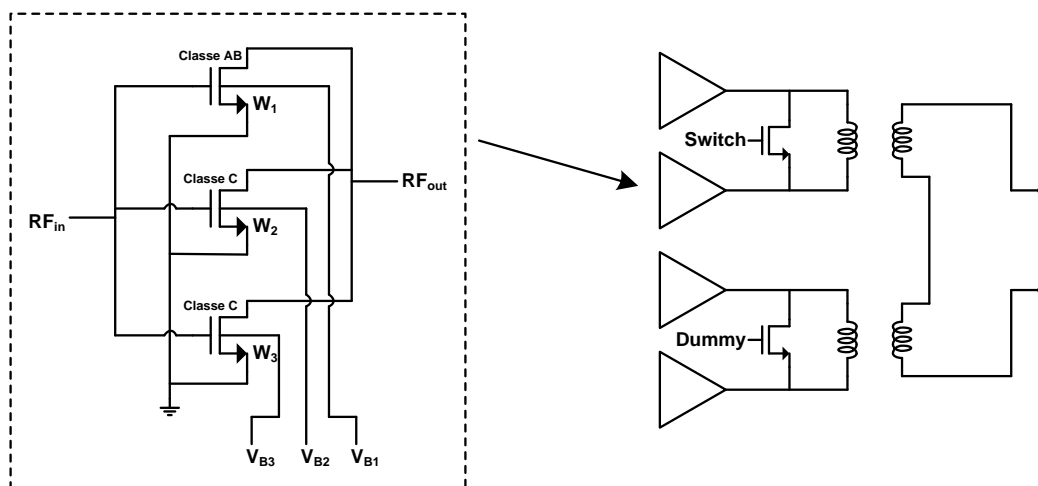


Figure V-3 : Polarisation segmentée et Power Cell Switching

Annexes

A. Tableaux des débits de données et des modulations employées pour les différents standards

Mode	Débit de données (Gb/s)				Modulation	
	Nombre de canaux associés					
	None	2	3	4		
A0	0,397	0,794	1,191	1,588	SC	BPSK
A1	0,794	1,588	2,381	3,175	SC	BPSK
A2	1,588	3,175	4,763	6,35	SC	BPSK
A3	1,588	3,175	4,763	6,35	SC	QPSK
A4	2,722	5,443	8,165	10,886	SC	QPSK
A5	3,175	6,35	9,256	12,701	SC	QPSK
A6	4,234	8,467	13,701	16,934	SC	8QAM
A7	4,763	9,256	14,288	19,051	SC	8QAM
A8	4,763	9,256	14,288	19,051	SC	16QAM
A9	6,35	12,701	19,051	25,402	SC	16QAM
A10	1,588	3,175	4,763	6,35	SC	QPSK
A11	4,234	8,467	12,701	16,934	SC	16QAM
A12	2,117	4,234	6,35	8,467	SC	QPSK
A13	4,234	8,467	12,701	16,934	SC	16QAM
A14	1,008	-	-	-	OFDM	QPSK
A15	2,016	-	-	-	OFDM	QPSK
A16	4,032	-	-	-	OFDM	16QAM
A17	2,016	-	-	-	OFDM	QPSK
A18	4,032	-	-	-	OFDM	16QAM
A19	2,016	-	-	-	OFDM	QPSK
A20	4,032	-	-	-	OFDM	16QAM
A21	2,016	-	-	-	OFDM	QPSK
B0	0,794	1,588	2,381	3,175	SC	BPSK
B1	1,588	3,175	4,763	6,35	SC	BPSK
B2	3,175	6,35	9,526	12,701	SC	QPSK
B3	3,175	6,35	9,526	12,701	SC	QPSK
B4*	3,175	6,35	9,526	12,701	SC	DAMI
C0*	0,8	-	-	-	SC	OOK
C1*	1,6	-	-	-	SC	OOK
C2*	3,2	-	-	-	SC	4ASK

* : présent seulement dans la première édition du standard

Tableau Annexes-1 : Débits de données et modulations pour l'ECMA 387

Mode	Index	Débit de données (Gp/s)	Modulation	
SC	0	0,026	SC	BPSK/(G)MSK
	1	0,412	SC	BPSK/(G)MSK
	2	0,825	SC	BPSK/(G)MSK
	3	1,650	SC	BPSK/(G)MSK
	4	1,320	SC	BPSK/(G)MSK
	5	0,440	SC	BPSK/(G)MSK
	6	0,880	SC	BPSK/(G)MSK
	7	1,760	SC	QPSK
	8	2,640	SC	QPSK
	9	3,080	SC	QPSK
	10	3,290	SC	QPSK
	11	3,300	SC	QPSK
	12	3,960	SC	8PSK
	13	5,280	SC	16QAM
	OOK	0,818	SC	OOK
	OOK	1,640	SC	OOK
DAMI	3,270	SC	DAMI	
HSI	0	0,032	OFDM	QPSK
	1	1,540	OFDM	QPSK
	2	2,310	OFDM	QPSK
	3	2,695	OFDM	QPSK
	4	3,080	OFDM	16QAM
	5	4,620	OFDM	16QAM
	6	5,390	OFDM	16QAM
	7	5,775	OFDM	64QAM
	8	1,925	OFDM	QPSK
	9	2,503	OFDM	QPSK
	10	3,850	OFDM	16QAM
	11	5,005	OFDM	16QAM
AV-HRP	0	0,952	OFDM	QPSK
	1	1,904	OFDM	QPSK
	2	3,807	OFDM	16QAM
	3	1,904	OFDM	QPSK
	4	3,807	OFDM	16QAM
	5	0,952	OFDM	QPSK
	6	1,904	OFDM	QPSK
AV-LRP	0	0,003	OFDM	BPSK
	1	0,004	OFDM	BPSK
	2	0,005	OFDM	BPSK
	3	0,010	OFDM	BPSK

Tableau Annexes-2 : Débits de données et modulations pour l'IEEE 802.15.3c

Mode	Index	Débit de données (Gp/s)	Modulation	
HRP	0	0,952	OFDM	QPSK
	1	1,904	OFDM	QPSK
	2	3,807	OFDM	16QAM
	3	1,904	OFDM	QPSK
	4	3,807	OFDM	16QAM
	5	0,952	OFDM	QPSK
	6	1,904	OFDM	QPSK
	7	1,428	OFDM	QPSK
	8	2,379	OFDM	QPSK
	9	2,855	OFDM	16QAM
	10	4,759	OFDM	16QAM
	11	5,711	OFDM	64QAM
	12	7,138	OFDM	64QAM
	13	1,428	OFDM	QPSK
	14	2,855	OFDM	16QAM
15	5,711	OFDM	64QAM	
MRP	0	0,476	OFDM	QPSK
	1	0,952	OFDM	QPSK
	2	1,904	OFDM	16QAM
	3	0,952	OFDM	QPSK
	4	1,904	OFDM	16QAM
	5	0,476	OFDM	QPSK
	6	0,952	OFDM	QPSK
	7	0,714	OFDM	QPSK
	8	1,190	OFDM	QPSK
	9	1,428	OFDM	16QAM
	10	0,714	OFDM	QPSK
11	1,428	OFDM	16QAM	
LRP	0	0,003	OFDM	BPSK
	1	0,004	OFDM	BPSK
	2	0,005	OFDM	BPSK
	3	0,010	OFDM	BPSK

Tableau Annexes-3 : Débits de données et modulations pour le WirelessHD

Mode	Index	Débit de données (Gp/s)	Modulation	
SC	1	0,385	SC	BPSK
	2	0,770	SC	BPSK
	3	0,962	SC	BPSK
	4	1,155	SC	BPSK
	5	1,251	SC	BPSK
	6	1,540	SC	QPSK
	7	1,925	SC	QPSK
	8	2,310	SC	QPSK
	9	2,502	SC	QPSK
	10	3,080	SC	16QAM
	11	3,850	SC	16QAM
	12	4,620	SC	16QAM
OFDM	13	0,693	OFDM	QPSK
	14	0,866	OFDM	QPSK
	15	1,386	OFDM	QPSK
	16	1,732	OFDM	QPSK
	17	2,079	OFDM	QPSK
	18	2,772	OFDM	16QAM
	19	3,465	OFDM	16QAM
	20	4,158	OFDM	16QAM
	21	4,504	OFDM	16QAM
	22	5,197	OFDM	64QAM
	23	6,237	OFDM	64QAM
	24	6,757	OFDM	64QAM
Low-Power SC	25	0.626	SC	BPSK
	26	1.251	SC	BPSK
	27	2.502	SC	QPSK

Tableau Annexes-4 : Débits de données et modulations pour l'IEEE 802.11ad

B. Gains en puissance

Le gain en puissance disponible G_{disp} est obtenu en adaptant la sortie de manière optimale :

$$G_{disp} = \frac{|S_{21}|^2(1 - |\Gamma_S|^2)}{|1 - S_{11}\Gamma_S|^2(1 - |\Gamma_2|^2)} \quad \text{avec} \quad \Gamma_2 = S_{22} + \frac{S_{12}S_{21}\Gamma_S}{1 - S_{11}\Gamma_S} \quad (\text{IV-15})$$

Le gain en puissance opérant G_P est obtenu en adaptant l'entrée de manière optimale :

$$G_P = \frac{|S_{21}|^2(1 - |\Gamma_L|^2)}{|1 - S_{22}\Gamma_L|^2(1 - |\Gamma_1|^2)} \quad \text{avec} \quad \Gamma_1 = S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \quad (\text{IV-16})$$

Le gain transducique G_{tr} prend en compte les pertes liées aux réseaux d'adaptation en entrée et en sortie :

$$G_{tr} = \frac{(1 - |\Gamma_S|^2)|S_{21}|^2(1 - |\Gamma_L|^2)}{|(1 - S_{11}\Gamma_S)(1 - S_{22}\Gamma_L) - S_{12}S_{21}\Gamma_S\Gamma_L|^2} \quad (\text{IV-17})$$

Le maximum de gain disponible MAG est donné par l'équation (IV-18) et dépend du facteur de stabilité K . Quand $K > 1$:

$$MAG = \left| \frac{S_{21}}{S_{12}} \right| \left(K - \sqrt{K^2 - 1} \right) \quad (\text{IV-18})$$

avec le facteur de stabilité K :

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2|S_{21} \cdot S_{12}|} \quad (\text{IV-19})$$

Quand $K < 1$:

$$MSG = \left| \frac{S_{21}}{S_{12}} \right| = \left| \frac{Y_{21}}{Y_{12}} \right| = \left| \frac{Z_{21}}{Z_{12}} \right| \quad (\text{IV-20})$$

Le gain en puissance unilatéral U , ou gain de Mason, correspond à un gain en puissance sans boucle de retour possible ($S_{12} = 0$).

$$U = \frac{1}{2} \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{K \left| \frac{S_{21}}{S_{12}} \right| - \Re \left(\frac{S_{21}}{S_{12}} \right)} \quad (\text{IV-21})$$

où :

$$U = \frac{1}{2} \frac{|Z_{21} - Z_{12}|^2}{4 \cdot \Re(Z_{11}) \cdot \Re(Z_{22}) - \Re(Z_{12}) \cdot \Re(Z_{21})} \quad (\text{IV-22})$$

Ce gain est utilisé pour définir la fréquence d'oscillation maximale f_{max} qui correspond à la fréquence où $U = 1$. Si la f_{max} n'est pas mesurable, une extrapolation est effectuée en suivant l'évolution théorique de U . Néanmoins, la mesure de U n'est pas toujours évidente à

exploiter à cause du bruit à hautes fréquences. Il est alors possible de l'estimer avec le *MAG* ou le *MSG*.

Le gain en courant H_{21} est donné par :

$$|H_{21}|^2 = \left| \frac{-2S_{21}}{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}} \right|^2 \quad (\text{IV-23})$$

La fréquence à laquelle le gain en courant est égal à l'unité est connue sous le nom de fréquence de transition f_T .

C. Techniques d'épluchage

La mesure des paramètres S du dispositif sous test (DUT) nécessite l'extraction des parasites liés aux plots et aux accès. Des méthodes d'épluchage (ou « de-embedding ») permettent d'éliminer ces éléments parasites. Chacune de ses techniques possède un domaine de validité suivant que le DUT est un élément localisé ou distribué aux fréquences désirées.

▪ Correction Open

La méthode d'épluchage « Open » sur la Figure Annexes-1 est la plus simple. Elle permet de corriger les éléments parallèles. Généralement, cette technique est utilisée pour des fréquences inférieures à 10GHz.

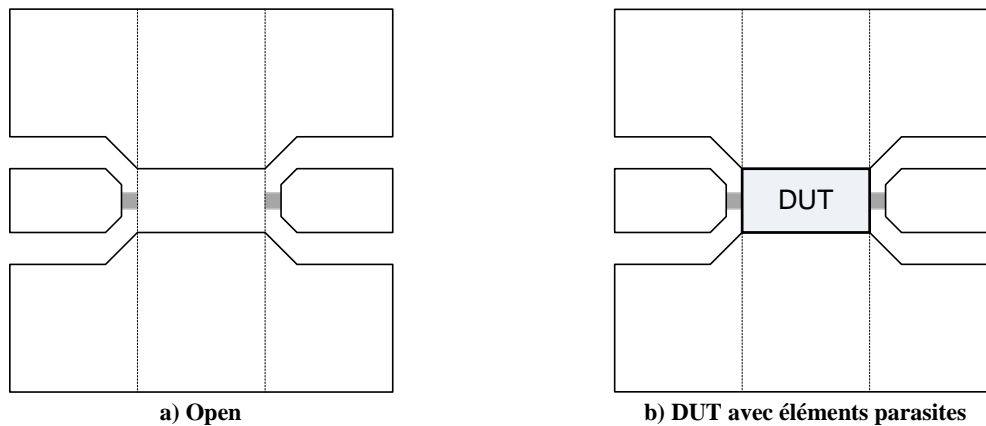


Figure Annexes-1 : Correction Open

Le calcul des paramètres Y est le suivant :

$$[Y_{DUT}] = [Y_{MEAS}] - [Y_{OPEN}]$$

▪ Correction Open-Short

La méthode d'épluchage « Open-Short » sur la Figure Annexes- est une extension de la méthode « Open » pour prendre en compte les éléments parasites séries. Dans cette approche, tous les éléments parasites parallèles sont situés au niveau des plots RF et tous les éléments parasites séries sont dans les interconnexions.

Dans un premier temps, on élimine les éléments parallèles des plots RF.

$$[Y_{DUT-OPEN}] = [Y_{MEAS}] - [Y_{OPEN}] \quad (IV-24)$$

$$[Y_{DUT-SHORT}] = [Y_{MEAS}] - [Y_{SHORT}] \quad (IV-25)$$

Les admittances $[Y_{DUT-OPEN}]$ et $[Y_{DUT-SHORT}]$ sont transformées en impédances $[Z_{DUT-OPEN}]$ et $[Z_{DUT-SHORT}]$, puis les éléments séries sont éliminés.

$$[Z_{DUT}] = [Z_{DUT-OPEN}] - [Z_{DUT-SHORT}] \quad (IV-26)$$

Cette technique est uniquement valable pour des composants localisés. Pour le de-embedding de lignes de transmission au-delà de 50GHz, d'autres méthodes sont préférées.

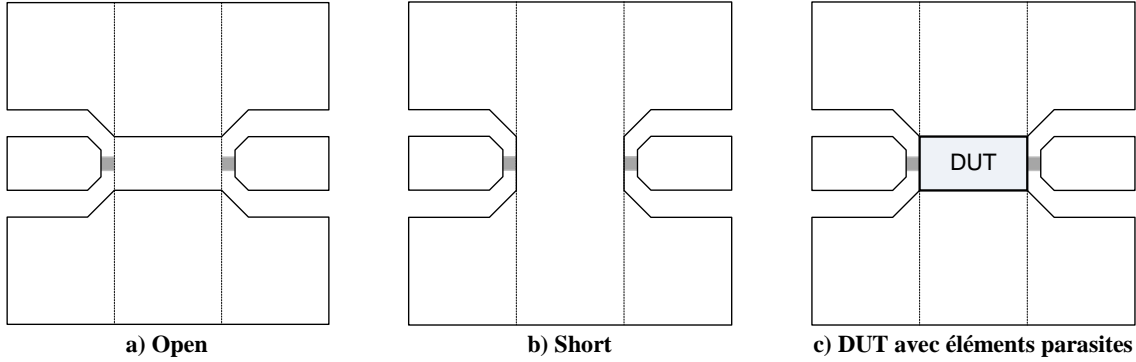


Figure Annexes-2 : Correction Open-Short

- **Correction Open-Thru**

La méthode d'épluchage « Open-Thru » sur la Figure Annexes-3 permet de corriger les mesures des éléments parallèles et séries des plots RF et des interconnexions. Cette technique est plutôt utilisée pour les inductances.

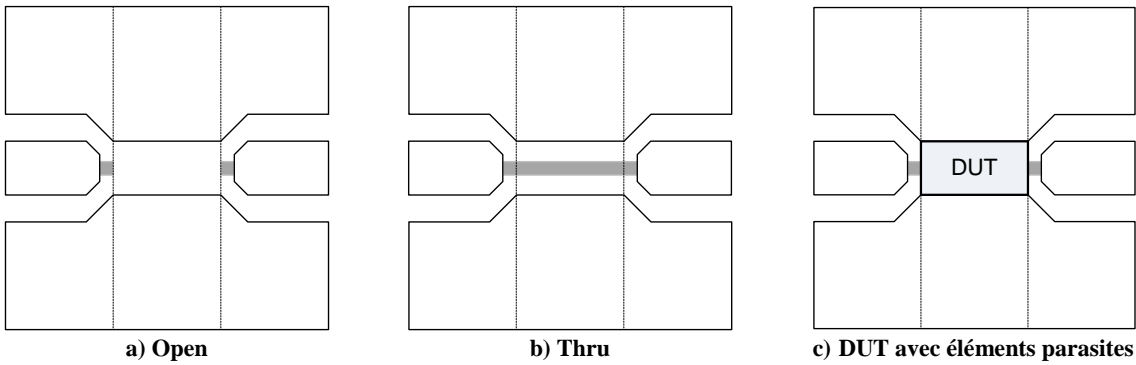


Figure Annexes-3 : Correction Open-Thru

Tout d'abord, on élimine les éléments parallèles :

$$[Y_{DUT-OPEN}] = [Y_{MEAS}] - [Y_{OPEN}] \quad (IV-27)$$

$$[Y_{THRU-OPEN}] = [Y_{THRU}] - [Y_{OPEN}] \quad (IV-28)$$

Les admittances $[Y_{DUT-OPEN}]$ et $[Y_{THRU-OPEN}]$ sont transformées en impédances $[Z_{DUT-OPEN}]$ et $[Z_{THRU-OPEN}]$ puis les éléments séries sont éliminés.

$$[Z_{DUT}] = \begin{bmatrix} Z_{11,DUT-OPEN} - \frac{1}{2}(Y_{11,THRU-OPEN})^{-1} & Z_{12,DUT-OPEN} \\ Z_{21,DUT-OPEN} & Z_{22,DUT-OPEN} - \frac{1}{2}(Y_{22,THRU-OPEN})^{-1} \end{bmatrix} \quad (IV-29)$$

- **Correction TRL (Thru-Reflect-Line)**

La méthode TRL sur la Figure Annexes-4 permet de compenser les éléments parallèles et séries des plots RF et de la ligne de longueur l_1 . Le DUT correspond à l_2-l_1 .

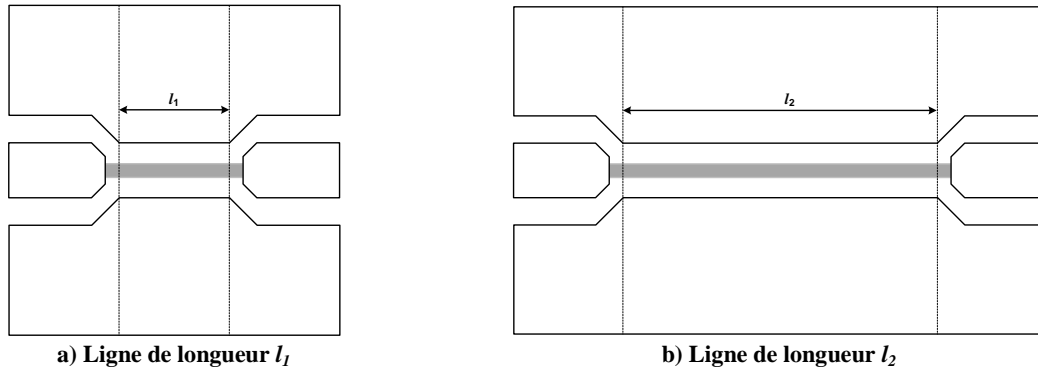


Figure Annexes-4 : Correction TRL

Cette technique manipule la matrice ABCD comme le montre l'équation (IV-30) :

$$[ABCD_{l_2-l_1}] = [ABCD_{l_2}] \times [ABCD_{l_1}]^{-1} \quad (\text{IV-30})$$

Après la conversion de la matrice $[ABCD_{l_2-l_1}]$ en matrice admittance $[Y_{l_2-l_1}]$, les parasites des plots sont annulés par :

$$[Y_{DUT}] = \frac{\begin{bmatrix} Y_{l_2-l_1}(1,1) & Y_{l_2-l_1}(1,2) \\ Y_{l_2-l_1}(2,1) & Y_{l_2-l_1}(2,2) \end{bmatrix} + \begin{bmatrix} Y_{l_2-l_1}(2,2) & Y_{l_2-l_1}(2,1) \\ Y_{l_2-l_1}(1,2) & Y_{l_2-l_1}(1,1) \end{bmatrix}}{2} \quad (\text{IV-31})$$

D. Simplification du BEOL

Les BEOLs des technologies CMOS sont composés de nombreuses couches de matériaux diélectriques. Leur simplification est indispensable afin que les durées de simulation restent raisonnables. Les épaisseurs des diélectriques h étant très inférieures à la longueur d'onde, les couches successives $n-1$ et n sont associées en utilisant la formule de Kraszewski (IV-32) [KRA77] pour former un diélectrique équivalent :

$$\varepsilon_{eq} = \left(\sqrt{\varepsilon_n} + \frac{h_{n-1}}{h_{n-1} + h_n} (\sqrt{\varepsilon_{n-1}} - \varepsilon_n) \right)^2 \quad (\text{IV-32})$$

Les vias sont à la fois très petits et très nombreux. Par conséquent, ils peuvent être remplacés par un unique bloc de métal ayant la même résistivité. Des outils sont intégrés aux simulateurs électromagnétiques pour effectuer cette simplification.

E. Famille étendue des classes E/F

Classe	f_0	$2f_0$	$3f_0$	$4f_0$	$5f_0$
E					
E/F₂		CO			
E/F_{X2}					
E/F₃			CC		
E/F_{2,3}		CO	CC		
E/F_{X2,X3}					
F⁻¹		CO	CC	CO	CC

Avec **CO** : Circuit ouvert
CC : Court-circuit
C₀ Capacité parasite du transistor

Références

- [ABB10] M. Abbasi, T. Kjellberg, A. de Graauw, E. v.d. Heijden, R. Roovers and H. Zirath, “A Broadband Differential Cascode Power Amplifier in 45nm CMOS for High-Speed 60GHz System-on-Chip,” *IEEE RFIC*, pp.533-537, June 2010
- [AGA12] A. Agah, H. Dabag, B. Hanafi, P. Asbeck, L. Larson and J. Buckwalter, “A 34% PAE, 18.6dBm 42-45GHz Stacked Power Amplifier in 45nm SOI CMOS,” *IEEE RFIC*, pp.57-60, June 2012
- [ALO10] S. Aloui, E. Kerherve, R. Plana and D. Belot, “RF-pad, Transmission Lines and Balun Optimization for 60GHz 65nm CMOS Power Amplifier,” *IEEE RFIC*, pp.211-214, May 2010.
- [ALO11] S. Aloui, E. Kerherve, R. Plana and D. Belot, “A 59GHz-to-67GHz 65nm-CMOS High Efficiency Power Amplifier,” *IEEE NEWCAS*, pp.225-228, June 2011.
- [ALO12] S. Aloui, Y. Luque, N. Demirel, B. Leite, R. Plana, D. Belot and E. Kerhervé., “Optimized Power Combining Technique to Design a 20dB Gain, 13.5dBm OCP_{1dB} 60GHz Power Amplifier Using 65nm CMOS Technology”, *IEEE RFIC*, pp.53-56, June 2012
- [ALO13] S. Aloui, B. Leite, N. Demirel, R. Plana, D. Belot and E. Kerhervé, “Optimization of 65nm CMOS Passive Devices to Design a 16-dBm-Psat 60 GHz Power Amplifier,” *IEEE LASCAS*, pp.1-4, March 2013
- [AOK02] I. Aoki, S. Kee, D. Rutledge and A. Hajimiri, “Distributed Active Transformer – A New Power-Combining and Impedance-Transformation Technique,” *IEEE Trans. Microw. Theory Tech.*, vol.50, no.1, pp.316-331, January 2002
- [ASA11] H. Asada, K. Matsushita, K. Bunsen, K. Okada and A. Matsuzawa, “A 60 GHz CMOS Power Amplifier Using Capacitive Cross-Coupling Neutralization with 16% PAE,” *IEEE EuMIC*, pp.554-557, October 2011
- [BEN03] K. Benaissa, J.-Y. Yang, D. Crenshaw, B. Williams, S. Sridhar, J. Ai, G. Boselli, Zhao Song, Shaoping Tang, S. Ashburn, P. Madhani, T. Blythe, N. Mahalingam and H.S. Shichijo, “RF CMOS on high-resistivity substrates for sytem-on-chip applications,” *Electron Devices, IEEE Transactions on*, vol.50, no.3, pp.567-576, March 2003

- [BHA13] R. Bhat, A. Chakrabarti and H. Krishnaswamy, "Large-Scale Power-Combining and Linearization in Watt-Class mmWave CMOS Power Amplifiers," *IEEE RFIC*, pp.283-286, June 2013
- [BLA69] J. R. Black, "Electromigration-A brief survey and some recent results", *IEEE Trans. On Electron Devices*, vol.ED-16, no.4, pp.338, 1969
- [BOE10] M. Boers, "A 60GHz Transformer Coupled Amplifier in 65nm Digital CMOS," *IEEE RFIC*, pp.343-346, June 2010
- [BOE14] M. Boers, I. Vassiliou, S. Sarkar, S. Nicolson, E. Adabi, B. Afshar, B. Perumana, T. Chalvatzis, S. Kavadias, P. Sen, W. L. Chan, A. Yu, A. Parsa, S. Yoon, A. G. Besoli, C. Kyriazidou, G. Zochios, N. Kocaman, A. Garg, H. Eberhart, P. Yang, H. Xie, H. J. Kim, A. T. Mehrabani, M. K. Wong, D. P. Thirupathi, S. Mak, R. Srinivasan, A. Ibrahim, E. Sengul, V. Roussel, P.-C. Huang, T. Yeh, M. Mese, J. Castaneda, B. Ibrahim, T. Sowlati, M. Rofougaran, A. Rofougaran, "A 16TX/16RX 60GHz 802.11ad Chipset with Single Coaxial Interface and Polarization Diversity", *IEEE ISSCC*, pp.344-345, February 2014
- [BOH09] M. Bohsali and A. M. Niknejad, "Current Combining 60GHz CMOS Power Amplifiers," *IEEE RFIC*, pp.31-34, June 2009
- [BOW13] S. M. Bowers, K. Sengupta, B. D. Parker and A. Hajimiri, "Integrated Self-Healing for mm-Wave Power Amplifiers," *IEEE Trans. Microw. Theory Tech.*, vol.61, no.3, pp.1301-1315, March 2013
- [BRE14] F. Brecht and P. Reynaert, "A Transformer-Coupled True-RMS Power Detector in 40nm CMOS," *IEEE ISSCC*, pp.62-63, February 2014
- [BUR13] F. Burdin, "Nouvelles topologies de diviseurs de puissance, baluns et déphaseurs en bandes RF et millimétriques, apport des lignes à ondes lentes, " *PhD dissertation*, University of Grenoble, 2013
- [CEY05] N. Ceylan, "Linearization of power amplifiers by means of digital predistortion," *Ph.D.dissertation*, University of Erlangen-Nurnberg, 2005.
- [CHA09] W. L. Chan, J. R. Long, M. Spirito and J. J. Pekarik, "A 60GHz-Band 1V 11.5dBm Power Amplifier with 11% PAE in 65nm CMOS," *IEEE ISSCC*, pp.380-381, February 2009
- [CHE06] P. Chevalier, D. Gloria, P. Sheer, S. Pruvost, F. Giancesello, F. Pourchon, P. Garcia, J.-C. Vildeuil, A. Chantre, C. Gamier, O. Noblanc, S.P. Voinigescu, T.O. Dickson, E. Laskin, S.T. Nicolson, T. Chalvatzis, K.H.K. Yau, "Advanced SiGe BiCMOS and CMOS platforms for Optical and Millimeter-Wave Integrated Circuits", *IEEE CSIC*, pp.12-15, November 2006
- [CHE11] J. Chen et A. M. Niknejad., "A Compact 1V 18.6 dBm 60 GHz Power Amplifier in 65 nm CMOS", *IEEE ISSCC*, pp.432-433, February 2011

- [CHE12] L. Chen, L. Li and T. J. Cui, "A 1V 18dBm 60GHz Power Amplifier with 24dB Gain in 65nm LP CMOS," *IEEE APMC*, pp.13-15, December 2012
- [CHE13] J. Chen, L. Ye, D. Titz, F. Gianesello, R. Pilard, A. Cathelin, F. Ferrero, C. Luxey and A. M. Niknejad, "A Digitally Modulated mm-Wave Cartesian Beamforming Transmitter with Quadrature Spatial Combining," *IEEE ISSCC*, pp.232-233, Feb. 2013
- [CHE14] J. Chen, "Advanced Architectures for Efficient mm-Wave CMOS Wireless Transmitters," *PhD. dissertation*, University of California at Berkeley EECS, 2014
- [CHE85] I.-C. Chen, S.E. Holland and C. Hu, "Electrical breakdown in thin gate and tunneling oxides," *IEEE Trans. Electron Dev.*, vol.32, no.2, pp.413-422, 1985
- [CHI35] H. Chireix, "High power outphasing modulation," *Proc. IRE*, vol.23, no.11, pp.1370-1392, November 1935
- [CHO09] D. Chowdhury, P. Reynaert and A. M. Niknejad, "Design Considerations for 60-GHz Transformer-Coupled CMOS Power Amplifiers," *IEEE Journal of Solid-State Circuits*, vol.44, no.10, pp.2733-2744, October 2009
- [CHO10] D. Chowdhury, "Efficient Transmitters for Wireless Communications in Nanoscale CMOS Technology," *PhD. dissertation*, University of California at Berkeley EECS, 2010
- [COH09] E. Cohen, S. Ravid and D. Ritter, "60GHz 45nm PA for Linear OFDM Signal with Predistortion Correction achieving 6.1% PAE and -28dB EVM," *IEEE RFIC*, pp.35-38, June 2009
- [COH12] E. Cohen, O. Degani, S. Ravid and D. Ritter, "Robust 60 GHz 90nm and 40nm CMOS Wideband Neutralized Amplifiers with 23dB gain 4.6dB NF and 24% PAE," *IEEE SiRF*, pp.207-210, January 2012
- [COL88] J.P.Collinge, "Reduction of Kink Effect in Thin-Film SOI MOSFET's" *IEEE Electron Device Letters*, vol.9, no.2, pp.97-99, February 1988
- [CRI06] S. C. Cripps, "RF Power Amplifiers for Wireless Communications," 2nd Edition Boston, MA: Artech, 2006
- [DAW09] D. Dawn, S. Sarkar, P. Sen, B. Perumana, M. Leung, N. Mallavarpu, S. Pinel and J. Laskar, "60GHz CMOS Power Amplifier with 20-dB-Gain and 12dBm Psat," *IEEE Microwave Symposium Digest*, pp.537-540, June 2009
- [DEH03] M. Dehan, "Characterization and Modeling of SOI RF Integrated components," *Catholic University of Louvain Thesis*, 2003

- [DEM09] N. Demirel, E. Kerhervé, R. Plana, D. Pache and D. Belot, “59-71GHz Wideband MMIC Balanced Power Amplifier in a 0.13um SiGe Technology,” *IEEE EuMC*, pp.1852-1855, October 2009
- [DOH36] W. Doherty, “A new high efficiency power amplifier for modulated waves,” *Proc IRE*, vol.24, no.9, pp.1163-1182, September 1936
- [ECM10] Standard ECMA-387 2nd Edition, High Rate 60 GHz PHY, MAC and PALs, 2010.
- [EDW92] M. L. Edwards and J. H. Sinsky, “A new criterion for linear 2-port stability using a single geometrically derived parameter,” *IEEE Trans. Microw. Theory Tech.*, vol.40, no.12, pp.2303-2311, December 1992
- [EMA11] S. Emami, R. F. Wiser, E. Ali, M. G. Forbes, M. Q. Gordon, X. Guan, S. Lo, P. T. McElwee, J. Parker, J. R. Tani, J. M. Gilbert and C. H. Doan, “A 60GHz CMOS Phased-Array Transceiver Pair for Multi-Gb/s Wireless Communications,” *IEEE ISSCC*, February 2011
- [ESS11] J. Essing, R. Mahmoudi, Y. Pei, A. v. Roermund, “A Fully Integrated 60GHz Distributed Transformer Power Amplifier in Bulky CMOS 45nm,” *IEEE RFIC*, pp.1-4, June 2011
- [FAG04] C. Fager, J. C. Pedro, N. Borges de Carvalho, H. Zirath, F. Fortes and M. João Rosário, “A Comprehensive Analysis of IMD Behavior in RF CMOS Power Amplifiers”, *IEEE Journal of Solid-State Circuits*, vol.39, no.1, pp.24-34, January 2004
- [FAR14] P. M. Farahabadi and K. Moez, “A Dual-Mode Highly Efficient 60GHz Power Amplifier in 65nm CMOS,” *IEEE RFIC*, pp.155-158, June 2014
- [GHA06] O. El-Gharniti, “Conception, modélisation et caractérisation des transformateurs intégrés sur silicium. Application aux amplificateurs faible bruit,” *Ph.D.dissertation*, University of Bordeaux, 2006
- [GOR08] J. Gorisse, A. Cathelin, A. Kaiser and E. Kerhervé, “A 60GHz CMOS RMS power detector for antenna impedance mismatch detection,” *IEEE Circuits and Systems and TAISA Conference*, pp.93-96, June 2008
- [GU12] Q. J. Gu, Z. Xu and M. C. F. Chang, “Two-Way Current-Combining W-Band Power Amplifier in 65-nm CMOS,” *IEEE Trans. Microw. Theory Tech.*, vol.60, no.5, pp.1365-1374, May 2012
- [HE10] Y. He, L. Li and P. Reynaert, “60GHz Power Amplifier with Distributed Active Transformer and Local Feedback,” *Proc. ESSCIRC*, pp.314-317, September 2010
- [HAM80] E. Hammerstad and O. Jensen, “Accurate Models for Microstrip Computer-Aided Design,” *IEEE MTT-S*, pp.407-409, May 1980

- [HSI13] Y.-H. Hsiao, Z.-M. Tsai, H.-C. Liao, J.-K. Kao and H. Wang, “Millimeter-wave CMOS Power Amplifiers With High Output Power and Wideband Performances”, *IEEE Trans. Microw. Theory and Tech.* vol.61, no.12, pp.4520-4533, December 2013
- [IEE09] IEEE Std 802.15.1, Standard for Information technology — Telecommunications and information exchange between systems — Local and metropolitan area networks — Specific requirements, Part 15.3 Wireless medium access control (MAC) and physical layer (PHY) specifications for high rate wireless personal area networks (WPANs), Amendment 2: Millimeter-wave based alternative physical layer extension, 2009.
- [IMA89] N. Imai, T. Nojima and T. Murase, “Novel Linearizer Using Balanced Circulators and Its Application to Multilevel Digital Radio Systems”, *IEEE Trans. Microw. Theory Tech.*, vol.37, no.8, pp.1237-1243, 1989
- [ITR12] International Technology Roadmap for Semiconductors (ITRS) – 2012 Edition : RF and Analog/Mixed-signal Technologies (RFAMS)
- [ITU01] ITU Radiocommunication Assembly, “Recommendation ITU-R P.676-5 – Attenuation by atmospheric gases,” 2001.
- [JEN09] Y. N. Jen, J. H. Tsai, T. W. Huang and H. Wang, “Design and Analysis of a 55-71-GHz Compact and Broadband Distributed Active Transformer Power Amplifier in 90-nm CMOS Process,” *IEEE Trans. Microw. Theory Tech.*, vol.57, no.7, pp.1637-1646, July 2009
- [JIN08] Y. Jin, M. A. T. Sanduleanu and J. R. Long, “A Wideband Millimeter-Wave Power Amplifier With 20 dB Linear Power Gain and +8 dBm Maximum Saturated Output Power,” *IEEE Journal of Solid-State Circuits*, vol.43, no.7, pp.1553-1562, July 2008
- [KAY12] E. Kaymaksut, P. Reynaert, “Transformer-Based Uneven Doherty Power Amplifier in 90nm CMOS for WLAN Applications,” *IEEE Journal of Solid-State Circuits*, vol.47, no.7, pp.1659-1671, July 2012
- [KAY14] E. Kaymaksut, D. Zhao and P. Reynaert, “E-band Transformer-based Doherty Power Amplifier in 40nm CMOS,” *IEEE RFIC*, pp.167-170, June 2014
- [KEE02] S. Kee, “The class e/f family of harmonic-tuned switching power amplifiers,” *PhD. dissertation*, California Institute of Technology, 2002
- [KIM03] T. W. Kim, B. Kim, I. Nam, B. Ko and K. Lee, “A Low-Power Highly Linear Cascoded Multiple-Gated Transistor CMOS RF Amplifier with 10dB IP3 Improvement,” *IEEE Microwave. And Wireless Components Letters*, vol.13, no.6, pp.205-207, June 2003

- [KJE09] T. Kjellberg, M. Abbasi, M. Ferndahl, A. de Graauw, E. v.d. Heijden and H. Zirath, "A Compact Cascode Power Amplifier in 45-nm CMOS for 60-GHz Wireless Systems," *IEEE CISC*, pp.1-4, October 2009
- [KOM05] A. Komijani, A. Natarajan and A. Hajimiri, "A 24-GHz, +14.5-dBm fully integrated power amplifier in 0.18- μ m CMOS," *IEEE Journal of Solid-State Circuits*, vol.40, no.9, pp.1901-1908, September 2005
- [KRA77] D. Kraszewski, V. Subramanian, W. Keusgen and G. Boeck, "Prediction of the dielectric properties of two phases mixtures," *Journal of Microwave Power*, vol.12, pp.57-59, 1977
- [KUL14] S. Kulkarni and P. Reynaert, "A Push-Pull mm-Wave Power Amplifier with $<0.8^\circ$ AM-PM Distortion in 40nm CMOS," *IEEE ISSCC*, pp.252-253, February 2014
- [KUU09] J.L. Kuo, Z.M. Tsai, K.Y. Lin and H. Wang, "A 50 to 70 GHz Power Amplifier Using 90nm CMOS Technology," *IEEE Microwave. And Wireless Components Letters*, vol.19, no.1, pp.45-47, January 2009
- [LAI07] R. Lai, X. Mei, W. Deal, W. Yoshida, Y. Kim, P. Liu, J. Lee, J. Uyeda, V. Radisic, M. Lange, T. Gaier, L. Samoska and A. Fung, "Sub 50nm InP HEMT Device with Fmax greater than 1 THz," *IEEE IEDM*, pp.609-611, December 2007
- [LAI10] J.-W. Lai and A. Valdes-Garcia, "A 1V 17.9dBm 60GHz Power Amplifier in Standard 65nm CMOS," *IEEE ISSCC*, pp.424-425, February 2010
- [LAR09] T. LaRocca, J. Y.-C. Liu and M.-C. F. Chang, "60 GHz CMOS Amplifiers Using Transformer-Coupling and Artificial Dielectric Differential Transmission Lines for Compact Design," *IEEE Journal of Solid-State Circuits*, vol.44, no.5, pp.1425-1435, May 2009
- [LAR14] T. LaRocca, Y.-C. Wu, K. Thai, R. Snyder, N. Daftari, O. Fordham, P. Rodgers, M. Watanabe, Y. Yang, M. Ardakani, W. Namooos, S. Poust, M.-C. F. Chang, "A 64QAM 94GHz CMOS Transmitter SoC with Digitally-Assisted Power Amplifiers and Thru-Silicon Waveguide Power Combiners," *IEEE RFIC*, pp.295-298, June 2014
- [LAW10] C. Y. Law et A.-V. Pham, "A High-Gain 60 GHz Power Amplifier with 20dBm Output Power in 90 nm CMOS", *IEEE ISSCC*, pp.426-427, February 2010
- [LEI11] B. Leite, "Design and modeling of mm-wave integrated transformers in CMOS and BiCMOS technologies," *Ph.D.dissertation*, University of Bordeaux, 2011
- [LIM04] Q. S. I. Lim, A. V. Kordesch and R. A. Keating, "Performance Comparison of MIM Capacitors and Metal Finger Capacitors for Analog and RF Applications," *IEEE RF and Microwave Conf.*, pp.85-89, October 2004

- [LIU10] J. Y.-C. Liu, Q. J. Gu, T. LaRocca, N.-Y. Wang, Y.-C. Wu and M.-C. F. Chang, "A 60 GHz High Gain Transformer-Coupled Differential Power Amplifier in 65nm CMOS," *IEEE APMC*, pp.932-935, December 2010
- [LIU12] J. Y.-C. Liu, R. Berenguer and M.-C. F. Chang, "Millimeter-Wave Self-Healing Power Amplifier With Adaptive Amplitude and Phase Linearization in 65nm CMOS," *IEEE Trans. Microw. Theory Tech.*, vol.60, no.5, pp.1342-1352, May 2012
- [MAR07] B. Martineau, A. Cathelin, F. Danneville, A. Kaiser, G. Dambrine, S. Lepilliet, F. Giancesello and D. Belot, "80 GHz Low Noise Amplifiers in 65nm CMOS SOI," *Proc. ESSCIRC*, pp.348-351, September 2007
- [MAR08] M. Martineau, "Potentialité de la technologie CMOS 65nm SOI pour des applications sans fils en bande millimétrique," *Ph.D.dissertation*, University of Lille, 2008.
- [MAR10] B. Martineau, V. Knopik, A. Siligaris, F. Giancesello and D. Belot, "A 53-to-68GHz 18dBm Power Amplifier with an 8-Way Combiner in Standard 65nm CMOS," *IEEE ISSCC*, pp.428-429, February 2010
- [MCP98] J.W. McPherson and H.C. Mogul, "Underlying physics of the thermochemical Emodel in describing low-field time-dependent dielectric breakdown in SiO₂ thin films," *J. Appl. Phys.*, vol.84, no.3, pp.1513-1523, 1998.
- [MON02] F. Monsieur, E. Vincent, D. Roy, S. Bruyere, J.C. Vildeuil, G. Pananakakis, and G. Ghibaudo, "A thorough investigation of progressive breakdown in ultra-thin oxides. Physical understanding and application for industrial reliability assessment", in *Proceedings of the International Reliability Physics Symposium*, pp.45-54, 2002
- [MOR99] E. Morifuji, H. S. Momose, T. Ohguro, T. Yoshitomi, H. Kimijima, F. Matsuoka, M. Kinugawa, Y. Katsumata and H. Iwai, "Future perspective and scaling down roadmap for RF CMOS," *IEEE VLSI Circuits*, pp.165-166, June 1999
- [NIK00] A. M. Niknejad, "Analysis, Simulation, and Applications of Passive Devices on Conductive Substrates," *PhD. dissertation*, University of California at Berkeley EECS, 2000
- [OGU12] O. T. Ogunnika and A. Valdes-Garcia, "A 60GHz Class-E Tuned Power Amplifier with PAE > 25% in 32nm SOI CMOS," *IEEE RFIC*, pp.65-68, June 2012
- [OKA11] K. Okada, N. Li, K. Matsushita, K. Bunsen, R. Murakami, A. Musa, T. Sato, H. Asada, N. Takayama, S. Ito, W. Chaivipas, R. Minami, T. Yamaguchi, Y. Takeuchi, H. Yamagishi, M. Noda and A. Matsuzawa, "A 60-GHz 16QAM/8PSK/QPSK/BPSK Direct-Conversion Transceiver for IEEE802.15.3c,"

- IEEE Journal of Solid-State Circuits*, vol.46, no.12, pp.2988-3004, December 2011
- [OKA14] K. Okada, R. Minami, Y. Tsukui, S. Kawai, Y. Seo, S. Sato, S. Kondo, T. Ueno, Y. Takeuchi, T. Yamaguchi, A. Musa, R. Wu, M. Miyahara and A. Matsuzawa, "A 64-QAM 60GHz CMOS Transceiver with 4-Channel Bonding," *IEEE ISSCC*, pp.346-347, February 2014
- [OLV89] A. D. Olver, "Millimetre-wave systems-past, present and future," *IEE Proceedings F Radar and Signal Processing*, vol.136, no.1, pp.35-52, 1989.
- [PAV09] C. Pavageau, "Utilisation des technologies CMOS SOI 130nm pour des applications en gamme de fréquences millimétriques," *Ph.D.dissertation*, University of Lille, 2005.
- [PFE07] U. R. Pfeiffer and D. Goren, "A 23-dBm 60-GHz Distributed Active Transformer in a Silicon Process Technology," *IEEE Trans. Microw. Theory Tech.*, vol.55, no.5, pp.857-865, May 2007
- [PLA93] A. Platzer, W. Struble and K. Hetzler, "Instabilities diagnosis and the role of K in microwave circuits," *IEEE MTT-S Digest*, pp.1185-1188, June 1993
- [QUE10] T. Quémerais, L. Moquillon, V. Huard, J.M. Fournier, P. Benech and N. Corrao, "DC Hot Carrier Stress Effect on CMOS 65nm 60GHz Power Amplifiers," *IEEE RFIC*, pp.351-354, May 2010
- [QUE10a] T. Quémerais, "Conception et Etude de la Fiabilité des Amplificateurs de Puissance Fonctionnant aux Fréquences Millimétriques en Technologies CMOS Avancées," *Ph.D.dissertation*, University of Grenoble, 2010.
- [QUE12] T. Quémerais, L. Moquillon, J.M. Fournier, P. Benech and V. Huard, "Design-in-Reliable Millimeter-Wave Power Amplifiers in a 65-nm CMOS Process," *IEEE Trans. Microw. Theory Tech.*, vol.60, no.4, pp.1079-1085, April 2012.
- [RAC09] K. Raczkowski, S. Thijs, W. De Raedt, B. Nauwelaers and P. Wambacq, "50-to-67GHz ESD-Protected Power Amplifiers in Digital 45nm LP CMOS," *IEEE ISSCC*, pp.382-383, February 2009.
- [RAZ04] B. Razavi, "A Study of Injection Locking and Pulling in Oscillators," *IEEE Journal of Solid-State Circuits*, vol.39, no.9, pp.1415-1424, September 2004
- [ROL62] J. M. Rollet, "Stability and power gain invariants of linear two-ports," *IRE Transactions Circuit Theory*, vol. CT-9, pp.29-32, March 1962
- [SAI13] N. Saito, T. Tsukizawa, N. Shirakata, T. Morita, K. Tanaka, J. Sato, Y. Morishita, M. Kanemaru, R. Kitamura, T. Shima, T. Nakatani, K. Miyahara, T. Urushihara, H. Yoshikawa, T. Sakamoto, H. Motozuka, Y. Shirakawa, N. Yosoku, A. Yamamoto, R. Shiozaki and K. Takinami, "A Fully Integrated 60-GHz CMOS

- Transceiver Chipset Based on WiGig/IEEE 802.11ad With Built-In Self Calibration for Mobile Usage,” *IEEE Journal of Solid-State Circuits*, vol.48, no.12, pp.1-14, December 2013
- [SAI14] S. Saigusa, T. Mitomo, H. Okuni, M. Hosoya, A. Sai, S. Kawai, T. Wang, M. Furuta, K. Shiraishi, K. Ban, S. Horikawa, T. Tandai, R. Matsuo, T. Tomizawa, H. Hoshino, J. Matsuno, Y. Tsutsumi, R. Tachibana, O. Watanabe and T. Itakura, “A Fully Integrated Single-Chip 60GHz CMOS Transceiver with Scalable Power Consumption for Proximity Wireless Communication,” *IEEE ISSCC*, pp.348-349, February 2014
- [SHA48] C. E. Shannon, “A Mathematical Theory of Communication,” *The Bell System Technical Journal*, vol.27, no.3, p.379-423, July 1948
- [SHI13] F. Shirinfar, M. Nariman, T. Sowlati, M. Rofougaran, R. Rofougaran and S. Pamarti, “A fully integrated 22.6dBm mm-Wave PA in 40nm CMOS,” *IEEE RFIC*, pp.279-282, June 2013
- [SHO11] S. Shopov, R. E. Amaya, J. W. M. Rogers and C. Plett, “Adapting the Doherty Amplifier for Millimetre-Wave CMOS Applications,” *IEEE NEWCAS*, pp.229-232, June 2011
- [SIL04] A. Siligaris, “Modélisation grand signal de MOSFET en hyperfréquences : Application à l’étude des non linéarités des filières SOI,” *Ph.D.dissertation*, University of Lille, 2004.
- [SIL10] A. Siligaris, Y. Hamada, C. Mounet, C. Raynaud, B. Martineau, N. Deparis, N. Rolland, M. Fukaishi and P. Vincent, “A 60GHz Power Amplifier With 14.5dBm Saturation Power and 25% Peak PAE in CMOS 65nm SOI,” *IEEE Journal of Solid-State Circuits*, vol.45, no.7, pp.1286-1294, July 2010
- [SIL11] A. Siligaris, O. Richard, B. Martineau, C. Mounet, F. Chaix, R. Ferragut, C. Dehos, J. Lanteri, L. Dussopt, S. D. Yamamoto, R. Pilard, P. Busson, A. Cathelin, D. Belot and P. Vincent, “A 65-nm CMOS Fully Integrated Transceiver Module for 60-GHz Wireless HD Applications,” *IEEE Journal of Solid-State Circuits*, vol.46, no.12, pp.3005-3017, December 2011
- [SMU02] P. Smulders, “Exploiting the 60 GHz band for local wireless multimedia access: prospects and future directions,” *IEEE Communications Magazine*, vol.40, no.1, pp.140–147, 2002.
- [SOK75] N. Sokal and A. Sokal, “Class e-a new class of high-efficiency tuned single-ended switching power amplifiers,” *IEEE Journal of Solid-State Circuits*, vol.10, no.3, pp.168-176, June 1975
- [STA99] J. Stathis, “Percolation models for gate oxide breakdown,” *J. Appl. Phys.*, vol. 86, pp. 5757–5766, 1999.

- [TAN12] X.-L. Tang, E. Pistono, P. Ferrari and J.-M. Fournier, “Enhanced performance of a 60-GHz power amplifier by using slow-wave transmission lines in 40nm CMOS technology,” *International Journal of Microwave and Wireless Technologies*, vol.4, no.1, pp.93-100, February 2012
- [TAN12a] X.-L. Tang, “Apport des lignes à ondes lentes S-CPW aux performances d’un front-end millimétrique en technologie CMOS avancée,” *Ph.D.dissertation*, University of Grenoble, 2012.
- [THY13] S. V. Thyagarajan, A. M. Niknejad and C. D. Hull, “A 60 GHz Linear Wideband Power Amplifier using Cascode Neutralization in 28nm CMOS,” *IEEE CICC*, pp.1-4, September 2013
- [TSA06] J.-H. Tsai, H.-Y. Chang, P.-S. Wu, Y.-L. Lee, T.-W. Huang and H. Wang, “Design and analysis of a 44 GHz MMIC low-loss built-in linearizer for high linearity medium power amplifiers,” *IEEE Trans. Microw. Theory Tech.*, vol.54, no.6, pp.2487-2496, June 2012
- [TSA11] J.-H. Tsai, H.-Y. Yang, T.-W. Huang, “A 60 GHz Power Amplifier With Built-in Pre-Distortion Linearizer,” *IEEE Microwave. And Wireless Components Letters*, vol.21, no.12, pp.676-678, December 2011
- [VAR08] M. Varonen, M. Kärkkäinen, M. Kantanen and K. A. I. Halonen, “Millimeter-Wave Integrated Circuits in 65-nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol.43, no.9, pp.1991-2002, September 2008
- [VEE89] S.Veeraraghavan, J.G.Fossum, “Short Channel Effects in SOI MOSFET’s”, *IEEE Transaction on Electron Devices*, vol.36, no.3, pp.522-528, March 1989
- [VID12] V. Vidojkovic, G. Mangraviti, K. Khalaf, V. Szortyka, K. Vaesen, W. v. Thillo, B. Parvais, M. Libois, S. Thijs, J. R. Long, C. Soens and P. Wambacq, “A Low Power 57-to-66GHz Transceiver in 40nm LP CMOS with -17dB EVM at 7Gb/s,” *IEEE ISSCC*, pp.268-269, February 2012
- [VID13] V. Vidojkovic, V. Szortyka, K. Khalaf, G. Mangraviti, S. Brebels, W. van Thillo, K. Vaesen, B. Parvais, V. Issakov, M. Libois, M. Matsuo, J. Long, C. Soens and P. Wambacq, “A Low-Power Radio Chipset in 40nm LP CMOS with Beamforming for 60GHz High-Data-Rate Wireless Communication,” *IEEE ISSCC*, pp.236-237, February 2013
- [WAN07] C.-H. Wang, H.-Y. Chang, P.-S. Wu, K.-Y. Lin, T.-W. Huang, H. Wang and C. H. Chen, “A 60GHz Low-Power Six-Port Transceiver for Gigabit Software-Defined Transceiver Applications,” *IEEE ISSCC*, pp.192-193, February 2007
- [WEB93] D. Webster, J. Scott and D. Haigh, “Control of Circuit Distortion by Derivative Superposition Method,” *IEEE Microwave and Guided Wave Letters*, vol.6, no.3, pp.123-125, March 1993

- [WGI10] Wireless Gigabit Alliance, “WiGig White Paper : Defining the Future of Multi-Gigabit Wireless Communications,” 2010
- [WHD10] WirelessHD Specification Version 1.1 Overview, 2010.
- [WRI09] P. Wright, J. Lees, J. Benedikt, P. J. Tasker and S. C. Cripps, “A Methodology for Realizing High Efficiency Class-J in a Linear and Broadband PA,” *IEEE Trans. Microw. Theory Tech.*, vol.57, no.12, pp.3196-3204, December 2009
- [YAM96] K. Yamauchi, K. Mori, M. Nakayama, Y. Itoh, Y. Mitsui and O. Ishida, “A Novel Series Diode Linearizer for Mobile Radio Power Amplifiers,” *IEEE MTT-S Digest*, pp.831-834, June 1996
- [YEH12] H. C. Yeh, C. C. Chiong, S. Aloui and H. Wang, “Analysis and Design of Millimeter-Wave Low-Voltage CMOS Cascode LNA With Magnetic Coupled Technique,” *IEEE Trans. Microw. Theory Tech.*, vol.60, no.12, pp.4066-4079, December 2012
- [ZHA12] D. Zhao, S. Kulkarni and P. Reynaert, “A 60-GHz Outphasing Transmitter in 40-nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol.47, no.12, pp.3172-3183, December 2012
- [ZHA12a] Y. Zhao and J. R. Long, “A Wideband, Dual-Path, Millimeter-Wave Power Amplifier With 20dBm Output Power and PAE Above 15% in 130nm SiGe-BiCMOS,” *IEEE Journal of Solid-State Circuits*, vol.47, no.9, pp.1981-1997, September 2012
- [ZHA13] D. Zhao and P. Reynaert, “A 60-GHz Dual-Mode Class AB Power Amplifier in 40-nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol.48, no.10, pp.2323-2337, October 2013

Liste des travaux publiés

Brevets :

“Amplificateur de puissance RF à plage multiple”, réf. 100856

Revue internationale :

B. Leite, E. Kerhervé, A. Ghiotto, **A. Larie**, B. Martineau and D. Belot, “60GHz 28nm CMOS Transformer-Coupled Power Amplifier for WiGig Applications,” *Electronic Letters*, vol.50, no.20, pp.1451-1453, September 2014

Conférences internationales :

B. Moret, N. Deltimple, E. Kerhervé, **A. Larie**, B. Martineau, D. Belot, “A 60 GHz Highly Reliable Power Amplifier with 13 dBm Psat 15% Peak PAE in 65nm CMOS Technology,” *IEEE 15th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF)*, January 2015 (accepté)

A. Larie, E. Kerhervé, B. Martineau and D. Belot, “A compact 60GHz power amplifier using slow-wave transmission lines in 65nm CMOS,” *IEEE European Microwave Integrated Circuits Conference (EuMIC)*, pp.61-64, October 2013

A. Larie, E. Kerhervé, B. Martineau, V. Knopik and D. Belot, “A 1.2V 20dBm 60GHz Power Amplifier with 32.4dB Gain and 20% Peak PAE in 65nm CMOS,” *European Solid-State Circuits Conference (ESSCIRC)*, pp.175-178, September 2014

A. Larie, E. Kerhervé, B. Martineau and D. Belot, “A Wideband 65nm CMOS Transformer-Coupled Power Amplifier for WiGig Applications,” *IEEE European Microwave Integrated Circuits Conference (EuMIC)*, October 2014

A. Larie, E. Kerhervé, B. Martineau, L. Vogt and D. Belot, “A 60GHz 28nm UTBB FD-SOI CMOS Reconfigurable Power Amplifier with 21% PAE, 18.2dBm P_{-1dB} and 74mW P_{DC} ,” *IEEE International Solid-State Circuits Conference (ISSCC)*, February 2015 (accepté)

Conférences internationales invitées :

A. Ghiotto, **A. Larie**, E. Kerhervé, B. Leite, B. Martineau and D. Belot, “From 65nm to 28nm Power Amplifiers for 60GHz Applications,” *IEEE International Symposium Radio-Frequency Integration Technology (RFIT)*, August 2014

Conférences nationales :

A. Larie, E. Kerhervé, B. Martineau and D. Belot, “Amplificateur de puissance compact à 60GHz à base de lignes à ondes lentes,” *Journées Nationales Microondes (JNM)*, May 2013