



HAL
open science

HABILITATION A DIRIGER DES RECHERCHES

Spécialité : Electronique, Electrotechnique, Automatique et Traitement du signal (EEATS)

Nicolas C. Rouger

► **To cite this version:**

Nicolas C. Rouger. HABILITATION A DIRIGER DES RECHERCHES Spécialité : Electronique, Electrotechnique, Automatique et Traitement du signal (EEATS) : NOUVEAU PARADIGME POUR L'INTÉGRATION DES ACTIFS EN ÉLECTRONIQUE DE PUISSANCE. Energie électrique. Institut Polytechnique de Grenoble, 2015. tel-01187283

HAL Id: tel-01187283

<https://theses.hal.science/tel-01187283>

Submitted on 26 Aug 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Distributed under a Creative Commons Attribution - NonCommercial - NoDerivatives 4.0
International License

HABILITATION A DIRIGER DES RECHERCHES

Spécialité : **Electronique, Electrotechnique, Automatique et Traitement du signal (EEATS)**

Présentée par

Nicolas ROUGER,

*Docteur en sciences de l'Institut Polytechnique de Grenoble
Chargé de Recherche CNRS au laboratoire de Génie Electrique de Grenoble*

préparée au sein du **G2Elab – UMR5269**
proposée par le **comité HdR EEATS** de l'université de Grenoble Alpes

Nouveau paradigme pour l'intégration des actifs en électronique de puissance

Habilitation soutenue publiquement le **26 Juin 2015**,
devant le jury composé de :

Mr, Frédéric RICHARDEAU

Directeur de recherche CNRS, CNRS et LAPLACE, examinateur et président
du jury

Mr, Bruno ALLARD

Professeur des universités, laboratoire Ampère et INSA-Lyon, rapporteur

Mr, Stéphane LEFEBVRE

Professeur des universités, laboratoire Satie et CNAM, rapporteur

Mr, Frédéric MORANCHO

Professeur des universités, laboratoire LAAS et UPS, rapporteur

Mr, Jean-Christophe CREBIER

Directeur de recherche CNRS, CNRS et G2Elab, examinateur

Mme, Radoslava MITOVA

Ingénieure de recherche, Schneider Electrics, examinatrice

Mr, Hervé RIBOT

Chercheur CEA, CEA-LETI, examinateur



À ma famille, à mes proches

TABLE DES MATIÈRES

REMERCIEMENTS	xv
INTRODUCTION GÉNÉRALE	1
I INTÉGRATION ET RUPTURES POUR L'ÉLECTRONIQUE DE PUISSANCE	3
I.1 INTRODUCTION	4
I.2 CONTEXTE DE RECHERCHE ET AVANCÉES RÉCENTES DANS LA BIBLIOGRAPHIE	4
I.2.a Les convertisseurs de puissance : nouvelles structures et contraintes d'intégration	4
I.2.b La nouvelle donne sur les composants de puissance	5
Introduction autour du compromis Ron vs BV	5
Matériaux grands gaps et ruptures conceptuelles	9
I.2.c L'intégration des périphériques de commande et les modes de packaging avancés	12
I.2.d Pilotage optique et isolation galvanique	16
I.2.e Les apports possibles de la microélectronique et de la nanophotonique pour l'électronique de puissance	20
I.3 ÉLÉMENTS POUR LE POSITIONNEMENT DE L'ACTIVITÉ DE RECHERCHE	22
I.3.a Nouveaux composants de puissance	22
I.3.b Isolation galvanique intégrée	23
I.3.c Outils, méthodes et applications	24
I.4 CONCLUSION	27
II DU COMPOSANT DISCRET AU CONVERTISSEUR DE PUISSANCE TOUT INTÉGRÉ	29
II.1 INTRODUCTION	30
II.2 INTÉGRATION MONOLITHIQUE AU SEIN DE TRANSISTORS DE PUISSANCE	30
II.2.a Fonctions d'alimentation de la commande rapprochée	31
II.2.b Fonctions d'isolation galvanique	35
II.2.b-i Premières contributions	35
II.2.b-ii Études avancées	39
II.3 INTÉGRATION 3D ET CONCEPTION COUPLÉE	45
II.3.a Association puissance - commande	45
II.3.b Convertisseurs à l'échelle du Wafer	49
II.3.c Isolation galvanique intégrée au gate driver	54
II.4 NOUVEAUX MATÉRIAUX	58
II.4.a GaN	58
II.4.b Diamant	60
II.5 OUTILS NUMÉRIQUES ET EXPÉRIMENTAUX	63
II.5.a Plan d'expériences numériques	63

II.5.b	Caractérisation statique et dynamique	65
II.6	APPLICATIONS ET RECHERCHES PÉRIPHÉRIQUES	67
II.7	CONCLUSION	68
III	UN NOUVEAU PARADIGME POUR LES CONVERTISSEURS D'ÉLECTRONIQUE DE PUISSANCE	73
III.1	INTRODUCTION	74
III.2	PROJET DE RECHERCHE	75
III.2.a	Nouveaux circuits de pilotage intégrés	75
III.2.b	Nouveaux matériaux pour les semiconducteurs de puissance	81
III.2.c	Intégration 3D de puissance à l'échelle du wafer	83
III.3	INTÉGRATION DU PROJET AUX VISIONS DU LABORATOIRE ET DU CNRS	84
III.4	MOYENS NÉCESSAIRES POUR LA CONDUITE DE CE PROJET DE RECHERCHE	85
III.5	POSITIONNEMENT DU PROJET DE RECHERCHE : PARTENAIRES ET COMPÉTI- TEURS	86
III.6	CONCLUSION	87
	CONCLUSION GÉNÉRALE	89
	BIBLIOGRAPHIE	91
A	IMPLICATION DANS LA FORMATION ET LA RECHERCHE COLLABORATIVE	1
A.1	ENCADREMENT DOCTORANTS ET CHERCHEURS TEMPORAIRES	1
A.2	ENSEIGNEMENT	5
A.3	PARTICIPATION À DES CONTRATS DE RECHERCHE	6
A.4	PARTICIPATION À DES PROJETS DE CRÉATION D'ENTREPRISES	8
A.5	TRAVAUX DONNANT LIEU À DES DÉPÔTS DE BREVETS	8
A.6	AUTRE	8
B	MUSÉE DES HORREURS	11
C	CV ET INFORMATIONS PERSONNELLES	15

TABLE DES FIGURES

I.1	Utilisation de convertisseurs entrelacés pour améliorer le compromis densité de puissance - rendement. A gauche, structure d'un redresseur avec PFC et étage DC/DC, à droite, courbe de rendement. Images reproduites de [4].	4
I.2	Schéma de principe pour le dimensionnement d'une zone de tenue en tension dans un semiconducteur à zone de tenue en tension non tronquée. Ici une jonction PN est présentée, mais le calcul de la résistance de la zone de tenue en tension ne considère pas l'injection de porteurs et par suite la modulation de résistivité. . . .	6
I.3	Intérêt des matériaux grands gaps dans le contexte de la conversion de l'énergie électrique, du point de vue du compromis résistance à l'état passant / tenue en tension. A noter, le sens de passage du courant est normal par rapport aux surfaces représentées dans la figure. Dans le cas des grands gaps, l'épaisseur de la zone de tenue en tension est réduite, conjointement à l'augmentation de son niveau de dopage (non représenté sur la figure).	7
I.4	Mise à l'échelle de la figure I.3, pour une tenue en tension de 1kV et une résistance identique de $333m\Omega$. Comparaison des quatre matériaux avec un zoom pour différencier les trois grands gaps.	7
I.5	Exemple d'optimisations de la surface de semiconducteurs de puissance unipolaires 1200V-10A-35kHz- $\alpha = 0.5$ à structure verticale, avec une valeur de $R_{on} \cdot S$ modifiée pour le diamant et un modèle simplifié de pertes par commutation. . . .	9
I.6	Comparaison sur le compromis $R_{on} \cdot S$ vs BV dans le cas des matériaux grands gaps [9, 10]. a) la tenue en tension est calculée selon l'intégrale d'ionisation. b) Un champ critique est considéré ainsi que des résistances de contact et d'accès. . . .	10
I.7	Diode PN diamant [35].	10
I.8	Diode diamant Schottky verticale [30].	10
I.9	Transistor bipolaire pseudo-vertical en diamant [33].	11
I.10	Transistor à effet de champ en diamant [41–43].	11
I.11	Schéma de principe d'un composant commandé et de ses périphériques associées [70].	12
I.12	Photographie d'un convertisseur avec sa carte de commande rapprochée [68, 95].	13
I.13	Étude de l'impact des éléments parasites dans les pertes en commutation dure [120].	14
I.14	Driver monolithique avec isolation galvanique intégrée sur une technologie GaN [116].	14
I.15	Plateforme Smart Power GaN [7].	14
I.16	Co-intégration GaN et Si [128].	15
I.17	Solution d'intégration hybride de la structure cascode Si / GaN, comprenant les deux organes de puissance, ainsi que l'ensemble de la logique de commande [132].	15
I.18	Détail des éléments co-intégrés [132].	16

I.19	Approche d'intégration par utilisation de couches de substrats et des technologies hétérogènes [133].	16
I.20	Pilotage par voie optique d'un thyristor SiC 1100V [99].	18
I.21	Pilotage par voie optique d'un transistor bipolaire SiC 1.6kV [101].	18
I.22	Pilotage par voie optique d'un transistor VMOS SiC [107].	18
I.23	Alimentation et pilotage par voie optique d'un interrupteur de puissance Si 600V à partir d'éléments discrets [102].	19
I.24	Détecteur optique Schottky GaN sur saphire [137].	20
I.25	Exemple de test et validation d'assemblage 3D pour la microélectronique [148].	21
I.26	Plateforme CINP 90nm Si / Ge IBM [151]. De gauche à droite : détecteur optique Ge intégré, filtre passif WDM et coupleur de fibre à diffraction.	21
I.27	Plateforme MPW OpSIS 30GHz nanophotonique [152]. De gauche à droite : coupleur de fibre à diffraction, détecteur optique Ge intégré, guide d'onde, et modulateur électro optique.	21
I.28	Cointégration CMOS / Nanophotonique puce à puce (D2D) ou wafer à wafer (W2W) [153].	22
I.29	Prise en compte des contraintes systèmes dans la conception de composants monolithiques en diamant [154].	23
I.30	Prise en compte des contraintes systèmes dans l'intégration 3D des périphériques de commande au plus proche des composants de puissance [155].	23
I.31	Intégration monolithique ou hybride d'un étage de réception optique pour le transfert des ordres de commutation [95, 157, 158].	24
I.32	Élaboration de méthodes numériques pour la modélisation des fonctions intégrées ou des composants de puissance. a) Point de départ pour l'étude de jonctions PN double diffusées, telles que disponibles via un procédé de fabrication VMOS de puissance. b) Simulations numériques vers un transistor en diamant.	25
I.33	Plateforme de caractérisation CARAPACE pour la caractérisation multiphysique des composants et fonctions intégrées. Cinq pointes avec micro-positionneurs 3 axes sont disponibles, ainsi qu'un porte échantillon blindé et une fibre optique dans l'enceinte. La passivation électrique se fait par vide secondaire, et la température est contrôlée sur la plage 8K-675K par un refroidissement liquide LN2 ou LHe, et un élément chauffant dans le porte échantillon.	26
I.34	Prise en compte des application et intégration au système. Ici, application de modules DC/AC cascades pour le véhicule électrique [167-169] : a) schéma de principe de l'onduleur triphasé à convertisseurs cascades. b) Image d'une association de trois convertisseurs élémentaires pour une phase.	26
II.1	Représentation qualitative d'un des compromis en électronique de puissance : pertes (η étant le rendement) vs. densité de puissance.	30
II.2	Conception couplée puissance - commande.	31
II.3	Intégration monolithique d'un étage de récupération d'énergie pour autoalimentation de la commande rapprochée.	32

II.4	Formes d'ondes en commutation à l'ouverture. A gauche, commutation classique sans circuit d'autoalimentation. A droite, fonctionnement sans pertes supplémentaires de commutation dans une implémentation discrète du circuit d'autoalimentation proposé [174].	32
II.5	a) Image d'un wafer fabriqué pendant ma thèse, et b) image de conception des masques d'un transistor VMOS et sa fonction d'autoalimentation intégrée.	33
II.6	Démonstration expérimentale de l'autoalimentation avec les composants conçus et caractérisés. En haut : schéma du système d'autoalimentation (gauche) et formes d'ondes expérimentales (droite). En bas : zoom sur les formes d'ondes à l'ouverture du composant de puissance (Iaux étant le courant circulant vers le système auxiliaire d'autoalimentation).	33
II.7	Ajout d'une intelligence au circuit d'autoalimentation dans le but d'autoriser un fonctionnement <i>ON permanent</i>	34
II.8	Utilisation du circuit d'autoalimentation en tant qu'écrêteur actif, permettant de recycler l'énergie de commutation pour générer l'alimentation flottante de la commande rapprochée. A gauche, formes d'ondes dans une implémentation Flyback sans écrêteur. A droite, utilisation du circuit parallèle d'autoalimentation.	35
II.9	Intégration d'un étage de détection optique au sein de transistor de puissance de type VMOS.	36
II.10	Vues schématiques de dessus et en coupe du détecteur optique le plus simple, compatible avec le procédé de fabrication des transistors verticaux de puissance.	37
II.11	Vues schématiques de quelques variantes de masques possibles utilisant le même procédé technologique, avec quatre options de fenêtres optiques. Les variantes n'ayant pas de métal sur la fenêtre optique ont démontré les meilleurs résultats.	37
II.12	Détecteurs optiques compatibles avec le procédé de fabrication du composant de puissance. A gauche, image au microscope optique de deux variantes destinées à la caractérisation sous pointe basse tension. A droite, image des masques d'une variante intégrée au sein d'un transistor VMOS de puissance.	38
II.13	A gauche, caractérisation sous pointe de détecteur optique intégré ayant la base à la masse. A droite, simulation à éléments finis du détecteur optique sous illumination : représentation du champ électrique et des lignes de courant.	38
II.14	Caractérisation statique des premiers détecteurs optiques intégrés. A gauche, schéma du banc de caractérisation mis au point. A droite, évolution de la sensibilité spectrale pour trois longueurs d'onde fixes.	39
II.15	Photographies du second banc expérimental. a) Vue d'ensemble, depuis la sortie du monochromateur, et avant l'ajout d'un système de mesure <i>on Wafer</i> . b) Zoom sur la mesure du DUT : des systèmes de pointes électriques et micro positionneurs assurent la polarisation et la mesure, tandis la distribution spatiale et fréquentielle de la lumière est contrôlée et calibrée.	40
II.16	Mise au point de la régulation de température sur le porte échantillon	41
II.17	Procédé de fabrication simplifié mis au point, dans le but de fabriquer rapidement des détecteurs optiques subissant les mêmes étapes technologiques que les transistors de puissance. Ici, les étapes de fabrication des grilles pour les composants de puissance ont été supprimées et un traitement anti-reflet par nitrure de Silicium a été rajouté.	41

II.18	Jeu de masques conçus pendant la thèse de Raha Vafaei.	42
II.19	Images microscope optique. En haut, différents détecteurs optiques réalisés avec un procédé de fabrication de sein de composants de puissance Silicium 600V verticaux. En bas, zones d'alignement et quelques variantes pendant la fabrication en salle blanche	42
II.20	Exemples de variantes conçues afin d'avoir les meilleurs compromis entre bande passante et sensibilité spectrale. En haut, détecteur optique intégré typique, de type N+/P- ou N+/P+. En bas, modifications de la géométrie pour optimiser le compromis entre effet d'ombrage et pertes électriques.	43
II.21	Caractérisation statique des détecteurs optiques fabriqués. a) Courants mesurés et sensibilités spectrales de deux variantes. b) Tenue en tension de 600V démontrée, en lien avec le cahier des charges de fabrication, le choix de substrats et la périphérie en tranchée réalisée.	44
II.22	Caractérisation dynamique des détecteurs optiques fabriqués. a) Banc de caractérisation mis au point. b) Démonstration de l'adéquation des performances à l'application en électronique de puissance : bande passante au delà de 10MHz.	45
II.23	Approche de conception couplée puissance - commande : le composant de puissance devient un micro-substrat, avec une co-intégration des fonctions nécessaires à la réalisation de la fonction interrupteur de puissance.	46
II.24	Exemple de l'approche de conception couplée et d'intégration 3D. A gauche, blocs schématiques des fonctions co-intégrées. A droite, vue des niveaux de masquages modifiés pour le composant de puissance, afin d'intégrer certaines fonctions haute tension, et ayant une surface adaptée pour le report du circuit de gate driver dédié.	46
II.25	Justification du besoin d'intégration lors du mariage des fonctions. A gauche, schéma du transistor de puissance et des fonctions intégrées. Au milieu et à droite, courbes de simulation circuit avec faible (10nH) et forte (100nH) impédance d'interconnexion, démontrant le besoin d'intégration pour assurer un bon fonctionnement.	46
II.26	Mise au point d'étapes technologiques spécifiques de finition des composants de puissance. A gauche, image microscope optique d'un <i>faux</i> composant de puissance, avec finalisation métallique adaptée pour dépôt de bump. A droite, image microscope électronique à balayage des dernières étapes, avec croissance électrolytique de Cuivre épais.	47
II.27	Mise au point d'échantillons test pour validation de l'intégration 3D. A gauche, réalisation et caractérisation de contacts chaînés 3D. A droite, photographie de deux puces de tests assemblés.	47
II.28	Gate driver à impédance de sortie variable. A gauche, schéma du gate driver. A droite, image de l'implémentation du gate driver dans un convertisseur. Collaboration G2Elab / CEA-Leti via la thèse de R. Grezard.	48
II.29	Mise au point d'un gate driver permettant un fonctionnement optimal du convertisseur de puissance sans diode de roue libre. A gauche, schéma complet. A droite, relevé d'oscilloscope pour différents temps morts fixes. L'approche ici est de rendre auto-adaptatif la gestion du temps mort, pour garantir un fonctionnement sûr et un rendement optimal.	48
II.30	Dimensionnement de l'étage de sortie du gate driver (buffer CMOS).	49

II.31 Introduction d'une segmentation couplée du gate driver et du composant de puissance, dans le but d'améliorer les performances en haute fréquence et/ou puissance réduite.	49
II.32 En haut, mode de fabrication et packaging classique. En bas, approche collective à l'échelle du module ou du wafer proposée.	50
II.33 Étapes technologiques de fabrication à l'échelle du wafer. A droite, image microscope optique et zoom autour des périphéries en tension par tranchées profondes, dans le cas de diodes de puissance.	51
II.34 Premiers développements technologiques permettant la fabrication optimale de diodes verticales sur substrat métallique.	51
II.35 Composants de puissance spécifiques conçus, fabriqués et caractérisés lors du projet Carnot Leti Power. En haut, images microscope optique de variantes de VDMOS 600V. En bas, caractéristiques statiques.	53
II.36 Transformateur sans noyau magnétique intégré au sein du gate driver en technologie CMOS AMS H35. De gauche à droite : structure d'un transformateur typique, masques de conception, image microscope optique d'un gate driver avec isolation galvanique intégrée.	54
II.37 Modélisation et caractérisation des transformateurs sans noyau magnétique.	55
II.38 Caractérisation des paramètres S et de la tenue diélectrique statique des transformateurs intégrés.	55
II.39 Implémentation dans un convertisseur de puissance de type hacheur abaisseur, 200V, 100kHz, 5A. En haut, signaux modulés et démodulés pour la transmission des ordres de commutation sur porteuse 3.3GHz. En bas, formes d'onde aux bornes du transistor de puissance piloté.	55
II.40 Détecteur optique et circuit de traitement intégré au sein du gate driver en technologie CMOS AMS C35. A gauche, structure du gate driver associé au transistor de puissance piloté. A droite, zoom sur les fonctions intégrées dans la puce CMOS.	56
II.41 Variantes de détecteurs optiques considérés, selon les possibilités d'intégration offertes par la technologie CMOS. A droite, image microscope optique de la puce réalisée dans le cadre de la thèse de L.L. Thanh et le projet ANR JCJC SiPowLight.	57
II.42 Caractérisation statique et dynamique des détecteurs optiques intégrés CMOS. A gauche, sensibilité spectrale de différentes photodiodes à 0V et température ambiante. A droite, transfert des ordres de commutation, avec ou sans modulation et comparaison entre simulations Cadence et mesures expérimentales [192].	58
II.43 Comparaison entre les caractéristiques statiques de transistors HEMT GaN AlGaIn/GaN sur substrat Silicium. En trait plein, simulation numérique et en pointillé, résultats expérimentaux issus de la littérature. A gauche, caractéristique $I_{ds}(V_{ds})$ et à droite, transconductance $I_{ds}(V_{gs})$	59
II.44 Images microscope optique de composants et fonctions intégrées au sein de la plateforme GaN sur Si 200mm du CEA-LETI. Images partiellement modifiées car développements en cours. a) Bras d'onduleur monolithique adapté au report d'une capacité haute tension / haute fréquence de découplage au plus proche de cette cellule de commutation, 2.8mm x 4.1mm. b) Transformateur sans noyau magnétique, fabriqué avec le même procédé de fabrication, incluant un circuit intégré au primaire et secondaire, 1.5mm x 2mm.	60

II.45 Simulation numérique par éléments finis : Implémentation de modèles spécifiques au diamant et impact sur les caractéristiques des composants de puissance. a) Résistivité en fonction de la température pour différents niveaux de compensation. b) Comparaison entre simulation et courbe expérimentale de diode PN diamant. c) Modèle de résistivité en fonction du dopage et de la température, représentant la conduction classique et par hopping [29].	61
II.46 Simulation numérique par éléments finis : Tentative de reproduction par la simulation des résultats expérimentaux d'un transistor PNP vertical en diamant [194]. a) Structure simulée. b) Gain et courant de collecteur en fonction du courant d'émetteur : comparaison entre simulation et données expérimentales.	61
II.47 Simulation numérique par éléments finis : étude d'une structure de transistor MOS diamant fonctionnant en régime d'accumulation. De gauche à droite : concentration en trous, réseau $I_{ds}(V_{ds})$ et transconductance $I_{ds}(V_{gs})$	61
II.48 Premier essai de transistor diamant en accumulation et capacité MOS sur surface oxygéné.	62
II.49 Étude de capacités Métal Oxyde Diamant. A gauche, caractéristique IV pour trois différents oxydes. A droite, images microscope optique de capacités MOS sous test.	62
II.50 Étude de capacités Métal Oxyde Diamant : courbes CV pour différents types d'oxydes déposés par ALD.	63
II.51 Mise au point d'outils numériques pour la conception optimale, depuis les paramètres technologiques jusqu'aux paramètres systèmes.	64
II.52 A gauche, optimisation des pertes totales dans l'association puissance - commande. A droite, comparaisons de transistors de puissance à tensions de seuil réduite et normale.	64
II.53 Mise au point de plans d'expériences numériques, avec optimisation par surface de réponse. Une interface sous Linux contrôle le pré-dimensionnement des variables, la génération et l'étude des résultats.	65
II.54 Modélisation analytique et semi-analytique de jonctions PN diffusées. De gauche à droite : profils de dopages étudiés, champs électriques calculés, tenue en tension 2D calculée.	65
II.55 Convertisseur DC/DC fonctionnant en mode pulsé, dans le but de mesurer le comportement en commutation large signal de nouveaux transistors de puissance. En haut, structure du convertisseur. En bas et de haut en bas, formes d'ondes du transistor de réglage du point de fonctionnement, du transistor sous test, et du courant de puissance [162, 164, 185].	66
II.56 Plateforme de caractérisation CARAPACE, impliquant l'équipe EP et MDE du G2Elab et l'équipe SCLB de Néel. A gauche, des diodes Schottky diamant en caractérisation, à droite, photographie de l'enceinte sous vide peu après sa mise en service en 2013.	67
II.57 Caractérisation de diodes Silicium verticales de puissance reportées à l'échelle du Wafer sur embase métallique, en fonction de la température.	67
II.58 Étude numérique de modulateur électro-optique pour communication optique haute fréquence. a) Structure en coupe de la zone active. b) Résultats statiques de simulation en fonction de la structure et de la polarisation électrique.	68

III.1	Association en parallèle de cellules de commutation pour les convertisseurs entrelacés ou polyphasés [211].	74
III.2	Ma vision initiale des ruptures à instaurer en électronique de puissance. A gauche, transistor de puissance classique, à droite, co-intégration puissance-commande. Les dimensions ne sont pas représentatives des dimensions réelles.	75
III.3	Intégration au sein des cellules de commutation d'un adressage optique des ordres de commutation, repoussant les contraintes électro magnétiques.	76
III.4	Vision à court terme des futurs gate drivers à imaginer et mettre au point. En haut, un circuit de récupération est intégré au sein du gate driver, permettant l'alimentation en énergie. En bas, l'énergie du driver est transféré par voie optique. Dans tous les cas, les ordres de commande sont transférés par voie optique.	77
III.5	Approche d'intégration photonique et microélectronique, avec ici une puce nanophotonique assurant l'interconnexion optique et l'isolation électrique, puis six gate driver pilotant de façon optimale six transistors de puissance à des niveaux de potentiels différents et flottants [211].	80
III.6	Vue d'artiste de l'interconnexion entre l'organe nanophotonique, les gate drivers en technologie CMOS et les composants de puissance, ici en GaN [211].	81
III.7	Vue d'artiste d'un nouveau composant monolithique en diamant : des diodes multiples sont conçues en prenant en considération dès le départ leur mise en œuvre future.	82
III.8	Première implémentation d'un convertisseur polyphasé contenant une matrice monolithique de diodes, avec électronique de mesure rapprochée, large signal et large bande passante. Un composant 800V Silicium est ici utilisé dans une première réalisation.	82
III.9	Derniers concepts pour la fabrication à l'échelle du wafer de matrices de composants de puissance, réalisant des cellules de commutation haute tension avec un niveau d'intégration 3D ultime.	83
A.1	Participation à la formation d'étudiants et de jeunes chercheurs. a et b) Doctorants co-encadrés : a) H.T. Trinh lors de fabrication en salle blanche (2010) et b) D.N. To (2011) lors de la mise au point d'un banc de caractérisation. c) et d) Cours international en Master 2 : fabrication de composants en salle blanche (2014).	1
A.2	Coencadrants de thèses, en fonction des laboratoires, depuis 2009.	3
A.3	Doctorants co-encadrés à l'instant T. En bas, nom des doctorants. En haut, prise en compte du taux d'encadrement.	3
B.1	Problème de fabrication de transistors Si de puissance : résine impossible à retirer après implantation Phosphore.	11
B.2	Problème de report de substrat Si sur embase métallique, avec de nombreux <i>voids</i> . Alors, seule une surface très faible a été exploitable pour fabriquer des diodes verticales de puissance.	12
B.3	Problème de fabrication de transistors de puissance Si : surgravure de l'oxyde de grille et court-circuit grille source.	12
B.4	Caractérisation électrique des diodes de la figure B.2. Performances non compatibles avec l'électronique de puissance.	12

B.5	Mauvais fonctionnement de transistors en Silicium (en haut) et en Diamant (en bas). Les transistors Silicium présentent des fuites grille-source, des mauvais contacts ohmiques, une difficulté d'inversion. Les transistors diamant ne démontrent aucune modulation de conductivité, et les fuite grille-drain s'ajoutent aux fuites drain-source.	13
B.6	A gauche, difficultés de mesures de la sensibilité spectrale à faible niveau de puissance optique, avec plus de 20% d'erreur. A droite, difficultés de mesure de résonateurs optiques intégrés et de leur variation en fonction de la température.	13

Remerciements

Je voudrais tout d'abord remercier l'ensemble des membres du jury pour leur intérêt à mes travaux de recherche, le temps consacré à l'étude du manuscrit et leur participation au jury lors de la soutenance. Il était important pour moi d'avoir un jury avec des compétences scientifiques et humaines reconnues, que j'apprécie et je suis très heureux qu'un tel jury ait pu être disponible pour évaluer mes travaux et ma candidature à l'habilitation à diriger des recherches.

Je souhaite donc ici remercier chaleureusement Frédéric Richardeau d'avoir accepté de présider ce jury. J'ai beaucoup apprécié notre échange lors de ma soutenance et j'espère que nous pourrons continuer nos discussions. J'ai aussi particulièrement apprécié tes remarques sur les perspectives et l'approche de recherche.

Je remercie ici les rapporteurs, Bruno Allard, Stéphane Lefebvre et Frédéric Morancho pour leur étude approfondie de mon manuscrit, leurs remarques et leurs suggestions. A tous les trois, j'apprécie vos commentaires et critiques techniques et scientifiques, la précision de votre travail et vos suggestions. J'ai essayé de prendre en compte la plupart de vos retours dans la version finale de ce document et j'essaye aussi d'appliquer quelques unes de vos recommandations au quotidien.

Je remercie les examinateurs, Jean-Christophe Crébier, Radoslava Mitova et Hervé Ribot pour leurs questions, leurs suggestions, leurs commentaires bienveillants et utiles. Quelques mots pour Jean-Christophe, merci à toi pour tes commentaires et le travail que nous faisons ensemble depuis plus de dix ans !

Il y a de nombreuses personnes que je voudrais remercier, et j'essaye de le faire le plus possible chaque jour ou lors d'occasions particulières donc je ne m'étendrai pas ici. Je remercie toutes les personnes qui me font et m'ont fait confiance, ainsi que les personnes qui me soutiennent. Je remercie les collègues (chercheurs, ingénieurs, techniciens et administratifs) du G2Elab avec qui j'ai eu de nombreux échanges enrichissants et sans lesquels mon travail n'aurait pas pu avancer de cette façon. Je remercie les collègues des laboratoires et instituts de recherche avec lesquels je me sens membre à part entière de leur équipe : le CIME Nanotech, l'institut Néel, l'IMEP-LAHC, le CEA-Leti à Grenoble et les autres collègues avec lesquels j'ai pu échanger au cours de ces années de recherche. Je remercie les collègues que j'ai croisés lors de mes enseignements et plus particulièrement pour leur confiance et leur aide. Je remercie la direction du G2Elab pour leur soutien et leur disponibilité. Je remercie les organismes qui ont contribué au financement de mes recherches.

Je remercie l'École Normale Supérieure de Cachan et son département EEA pour la formation que j'y ai reçue et qui, je pense, a gravé en moi l'envie de m'impliquer activement dans la recherche, la formation et la diffusion scientifique.

Je remercie chaleureusement les étudiants qui ont choisi de travailler avec moi, et qui ont investi leur temps et leur formation pour que nous avancions ensemble. J'espère continuer à avoir d'aussi bons étudiants, tant sur le plan humain que sur le plan scientifique, c'est un plaisir de travailler avec vous tous !

Je remercie ma famille, mes amis et mes proches pour leur soutien et leur compréhension : je pense que vous trouverez dans ce document quelques éléments de réponse à vos messages parfois oubliés ou non répondus... Pour finir, j'embrasse Raphaëlle et Fantin, qui illuminent mon quotidien. Merci à vous pour tout !

Bises à toutes et tous et à bientôt pour de nouvelles aventures !

Nicolas Rouger - 20 Juillet 2015

Introduction générale

Aujourd'hui, la question de la qualité de l'énergie est au centre de toutes les attentions : chaque domaine de l'électronique de puissance, du génie électrique et au sens large de la physique, cherche à optimiser la production, le transport et la conversion de l'énergie électrique. L'amélioration des rendements des dispositifs et de la qualité de l'énergie électrique n'est pas le seul point d'attention des recherches actuelles, mais elle est fortement couplée aux aspects sociaux-économiques : aucun dispositif ne peut être exclu aujourd'hui des contraintes environnementales mais doit pouvoir s'intégrer dans une *logique économique* d'un marché industriel mondial. Les efforts de conception sur chacun des organes de l'énergie doivent donc mener à des produits innovants, afin de limiter le *coût* des dispositifs toujours plus performants ¹.

En ce sens, l'électronique de puissance favorise la gestion et la modulation de l'énergie électrique tout en contrôlant sa qualité. Bien que de nombreuses structures de conversion soient aujourd'hui très performantes, il reste des secteurs où les critères sociaux-économiques empêchent l'émergence et le déploiement de solutions de conversion et de contrôle de l'énergie intégrant les contraintes environnementales. Les applications grand public représentent par exemple un champ d'applications encore en attente de dispositifs modulaires, simples et économiques mais présentant des niveaux de performances et de qualité énergétique élevés : les dispositifs de conversion AC / AC, AC / DC et les convertisseurs statiques en général peinent ainsi à améliorer la qualité et la gestion des flux d'énergie dans les dispositifs domestiques, mais aussi dans les applications embarquées où l'augmentation des densités de puissance est critique, avec des fortes contraintes de rendement. D'un autre côté, l'introduction d'une électronique de puissance haute tension est aujourd'hui nécessaire, avec une capacité d'un meilleur contrôle des sources et charges avec de fortes contraintes sur le niveau de rendement. Ceci est particulièrement le cas avec les réseaux électriques *smart grids*, et les applications haute tension à courant continu (HVDC, U-HVDC).

Ce document présente les enjeux scientifiques et techniques afin de repousser les limites des dispositifs actuels de gestion de l'énergie électrique. Dans la première partie de ce document, je propose une analyse et sélection des faits marquants de l'état de l'art, afin de présenter les contraintes, les résultats et les manques. Les domaines concernés sont principalement les composants de puissance, avec notamment l'arrivée des semiconducteurs grands gaps qui imposent de repousser les frontières dans l'intégration et les associations puissance - commande. Fort de cette analyse, le positionnement de mon activité de recherche est proposé, dans un contexte local, na-

1. Les deux premiers paragraphes de cette introduction sont reproduits en partie de mon manuscrit de thèse.

tional et mondial.

La seconde partie de ce document présente un aperçu des contributions principales apportées dans le domaine de l'électronique de puissance, et plus particulièrement de l'intégration pour les composants actifs et les circuits de pilotage. Cette partie s'appuie fortement sur les thèses et articles pour lesquels les doctorants et stagiaires encadrés ont contribué à la démonstration de nouveaux concepts et modes d'intégration. Les domaines concernés sont l'intégration monolithique au sein de transistors de puissance, la conception de circuits de pilotage dédiés avec une attention particulière pour l'intégration des organes d'isolation galvanique et enfin les semiconducteurs grands gaps.

La troisième partie propose des pistes de recherche, en s'appuyant sur l'analyse du premier chapitre et les résultats préliminaires du second. Ces pistes de recherche, s'inscrivant dans une longue réflexion depuis ma thèse de doctorat, mon recrutement au CNRS et plus récemment, le dépôt de projets de recherche ambitieux. Une des voies proposées est le mariage des technologies et de disciplines souvent peu associées, telles que l'électronique de puissance, la microélectronique et la nanophotonique. Les moyens et supports nécessaires sont présentés, afin d'atteindre rapidement des démonstrations expérimentales à court et moyen termes. Le positionnement de ce projet de recherche est introduit, en s'appuyant là aussi sur les développements antérieurs.

Enfin, les annexes présentent les éléments factuels de mon activité de recherche au sens large, ainsi que quelques éléments de réflexion sur mon activité de recherche.

Chapitre I

Intégration et ruptures pour l'électronique de puissance

Pour une énergie propre, sûre et efficace.

L'électronique de puissance du XXIème siècle.

SOMMAIRE

I.1	INTRODUCTION	4
I.2	CONTEXTE DE RECHERCHE ET AVANCÉES RÉCENTES DANS LA BIBLIOGRAPHIE	4
I.2.a	Les convertisseurs de puissance : nouvelles structures et contraintes d'intégration	4
I.2.b	La nouvelle donne sur les composants de puissance	5
I.2.c	L'intégration des périphériques de commande et les modes de packaging avancés	12
I.2.d	Pilotage optique et isolation galvanique	16
I.2.e	Les apports possibles de la microélectronique et de la nanophotonique pour l'électronique de puissance	20
I.3	ÉLÉMENTS POUR LE POSITIONNEMENT DE L'ACTIVITÉ DE RECHERCHE	22
I.3.a	Nouveaux composants de puissance	22
I.3.b	Isolation galvanique intégrée	23
I.3.c	Outils, méthodes et applications	24
I.4	CONCLUSION	27

Résumé

Cette partie présente l'état de l'art en électronique de puissance, et plus particulièrement les résultats marquants dans les convertisseurs statiques, les composants de puissance et leurs circuits de commande dédiés. Ce contexte national et international permettra un positionnement de l'activité de recherche par rapport à celui-ci, en dégageant certaines limites dans les approches démontrées par d'autres groupes de recherche. Plus particulièrement, les nouveaux composants de puissance tels que les semiconducteurs grands gaps imposent une nouvelle approche d'intégration pour tirer le plein bénéfice de ces composants. Bien que présentant déjà une réelle rupture, ces composants ne pourront en effet se valoriser que s'ils sont associés à un environnement et un système adaptés, avec une optimisation des interconnexions entre chaque élément. Le but sera ici de présenter les approches d'intégration afin de résoudre les défis posés par ce contexte.

I.1 Introduction

L'électronique de puissance se positionne dans toutes les applications nécessitant une gestion des transferts de l'énergie électrique avec une contrainte forte de rendement énergétique. Dans ce contexte, de nombreuses avancées et ruptures ont été apportées dans les structures de conversion, les composants actifs et passifs, les organes périphériques, mais aussi sur des nouveaux modes d'assemblage et d'intégration, en repoussant les contraintes électriques, thermiques, mécaniques et électro-magnétiques. Parmi toutes ces avancées, nous positionnerons l'activité de recherche en se concentrant plus particulièrement sur les composants actifs dans leurs environnements. Ainsi, une revue ciblée de l'état de l'art sera présentée, permettant par suite d'introduire les limites et les potentialités découlant de cette sélection de publications.

I.2 Contexte de recherche et avancées récentes dans la bibliographie

I.2.a Les convertisseurs de puissance : nouvelles structures et contraintes d'intégration

Au delà des compromis de dimensionnement classiques et des avancées technologiques, de nombreuses avancées ont été apportées sur les convertisseurs statiques d'électronique de puissance. Dans tous les cas, l'élément vital reste l'augmentation des rendements de conversion, tout en garantissant une fiabilité adaptée au profil d'utilisation [1–3]. Ainsi et dans le cas des convertisseurs DC/DC, l'entrelacement de cellules de commutation permet d'apporter une réponse efficace au compromis efficacité / densité de puissance. Par exemple, [4] présente des convertisseurs au delà de 98% de rendement pour des puissances au delà du kW, en s'appuyant sur des composants de puissance en Silicium et des circuits annexes disponibles dans le commerce (figure I.1). Cette approche doit par contre proposer de nouveaux modes d'intégration, afin d'aller plus loin dans la fiabilité de l'ensemble du système et proposer alors une intégration collective, depuis les composants actifs vers les organes périphériques de commande, puis les éléments passifs.

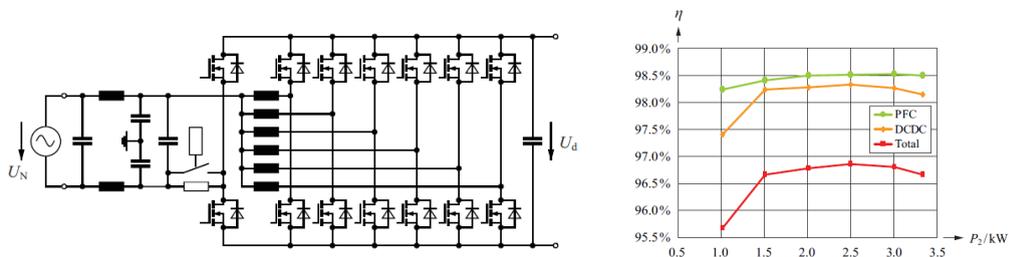


FIGURE I.1 – Utilisation de convertisseurs entrelacés pour améliorer le compromis densité de puissance - rendement. A gauche, structure d'un redresseur avec PFC et étage DC/DC, à droite, courbe de rendement. Images reproduites de [4].

Comme nous le verrons plus loin dans ce document, l'apparition des composants grands gaps pour l'électronique de puissance donne lieu à une modification des compromis performances / niveau d'intégration. Ceci est particulièrement le cas de convertisseurs DC/DC à base de composants en GaN où il est critique de revoir la conception du convertisseur de puissance, et plus particulièrement la gestion des éléments parasites de la cellule de commutation, les boucles de commande

et la gestion des fronts de commutation rapides [5–8].

I.2.b La nouvelle donne sur les composants de puissance

Introduction autour du compromis Ron vs BV Dans le dimensionnement d'un semiconducteur, la tenue en tension souhaitée est directement reliée à la conception d'une zone de tenue en tension. L'épaisseur W_{Drift} et le niveau de dopage N_{Drift} sont une conséquence du cahier des charges (i.e. la tenue en tension souhaitée V_{Br}) mais aussi des propriétés physiques du matériau telles que sa permittivité ϵ et sa tenue diélectrique aux phénomènes d'avalanche ou de tunnel Zener. Dans une approche très fortement simplifiée où la notion de champ électrique critique E_{Crit} est introduite et dans le cas où la zone de tenue en tension n'est pas tronquée (voir figure I.2), la relation entre W_{Drift} , N_{Drift} , E_{Crit} et V_{Br} est présentée dans les équations I.1 et I.2. Enfin, dans le cas d'un composant unipolaire sans modulation de résistivité à l'état passant (par exemple diode Schottky, HEMT, MOSFET) et où l'ensemble des dopants sont ionisés à 100%, la résistance à l'état passant R_{ON} peut s'écrire selon l'équation I.3, où S représente la surface de passage du courant, ρ_{elec} la résistivité de la zone de tenue en tension, $\mu_{n,p}$ la mobilité des porteurs dans la zone de tenue en tension selon le type de dopage considéré.

$$N_{Drift} = E_{Crit}^2 \cdot \frac{\epsilon}{2q \cdot V_{Br}} \quad (I.1)$$

$$\begin{aligned} W_{Drift} &= E_{Crit} \cdot \frac{\epsilon}{q \cdot N_{Drift}} \\ &= \frac{2V_{Br}}{E_{Crit}} \end{aligned} \quad (I.2)$$

$$\begin{aligned} R_{ON} \cdot S &= \rho_{elec} \cdot W_{Drift} = \frac{W_{Drift}}{q \cdot \mu_{n,p} \cdot N_{Drift}} \\ &= \frac{4V_{Br}^2}{\mu_{n,p} \cdot \epsilon E_{Crit}^3} \end{aligned} \quad (I.3)$$

Suite à ce premier modèle simpliste, il apparaît clairement que :

- Plus la tenue diélectrique du semiconducteur est élevée, plus le dopage de sa zone de tenue en tension pourra être important et son épaisseur réduite,
- En conséquence et pour une même tenue en tension donnée, la résistance à l'état passant sera fortement diminuée.

En appliquant ce modèle fortement simplifié aux différents matériaux semiconducteurs du tableau I.1, l'intérêt des matériaux grands gaps à forte tenue diélectrique est très clair. Cet intérêt peut être représenté par deux comparaisons différentes avec le matériau de référence tel que le Silicium (figures I.3 et I.4).

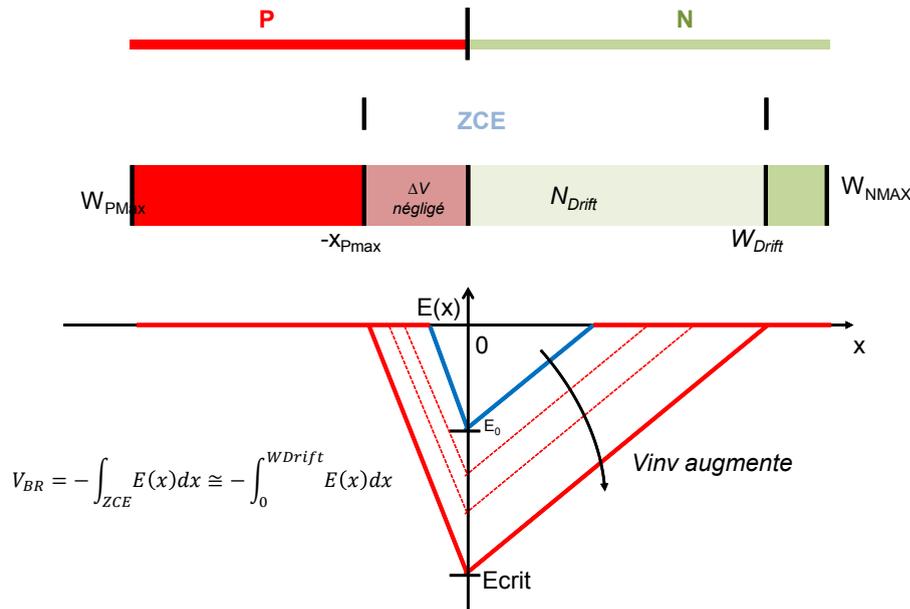


FIGURE I.2 – Schéma de principe pour le dimensionnement d'une zone de tenue en tension dans un semiconducteur à zone de tenue en tension non tronquée. Ici une jonction PN est présentée, mais le calcul de la résistance de la zone de tenue en tension ne considère pas l'injection de porteurs et par suite la modulation de résistivité.

	Unité	Silicium	GaAs	4H-SiC	GaN	Diamant
E_g	eV	1.12 <i>i</i>	1.42 <i>d</i>	3.23 <i>i</i>	3.39 <i>d</i>	5.47 <i>i</i>
μ_N	cm^2/Vs	1450	8500	900	1000	1000
μ_P	cm^2/Vs	450	400	100	350	2000
ϵ_R		11.7	12.9	10	5.35	5.7
E_{Crit}	MV/cm	0.2	0.4	3	5	10
$N_{Drift}(1kV)$	cm^{-3}	$1.3 \cdot 10^{14}$	$5.7 \cdot 10^{14}$	$2.5 \cdot 10^{16}$	$3.7 \cdot 10^{16}$	$1.6 \cdot 10^{17}$
$W_{Drift}(1kV)$	μm	100	50	6.7	4	2
$R_{ON}(1kV) \cdot S$	$m\Omega \cdot cm^2$	333	6.4	0.19	0.03	0.004
$N_{Drift}(3kV)$	cm^{-3}	$4.3 \cdot 10^{13}$	$1.9 \cdot 10^{14}$	$8.3 \cdot 10^{15}$	$1.2 \cdot 10^{16}$	$5.2 \cdot 10^{16}$
$W_{Drift}(3kV)$	μm	300	150	20	12	6
$R_{ON}(3kV) \cdot S$	$\Omega \cdot cm^2$	3	$58 \cdot 10^{-3}$	$1.7 \cdot 10^{-3}$	$3 \cdot 10^{-4}$	$4 \cdot 10^{-5}$

TABLE I.1 – Comparaison des propriétés physiques des matériaux semiconducteurs considérés pour les applications en électronique de puissance.

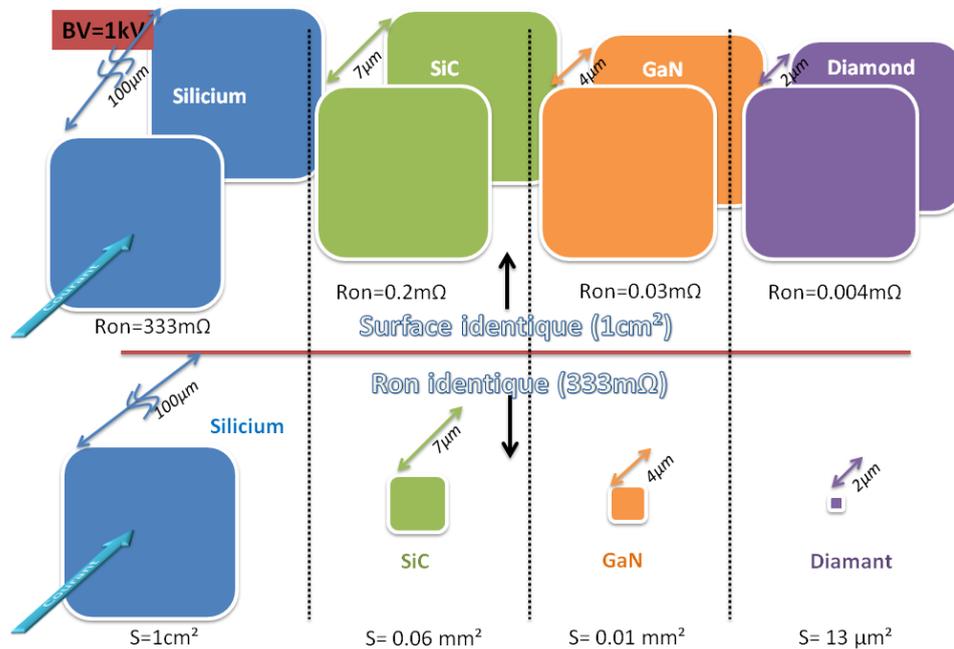


FIGURE I.3 – Intérêt des matériaux grands gaps dans le contexte de la conversion de l'énergie électrique, du point de vue du compromis résistance à l'état passant / tenue en tension. A noter, le sens de passage du courant est normal par rapport aux surfaces représentées dans la figure. Dans le cas des grands gaps, l'épaisseur de la zone de tenue en tension est réduite, conjointement à l'augmentation de son niveau de dopage (non représenté sur la figure).

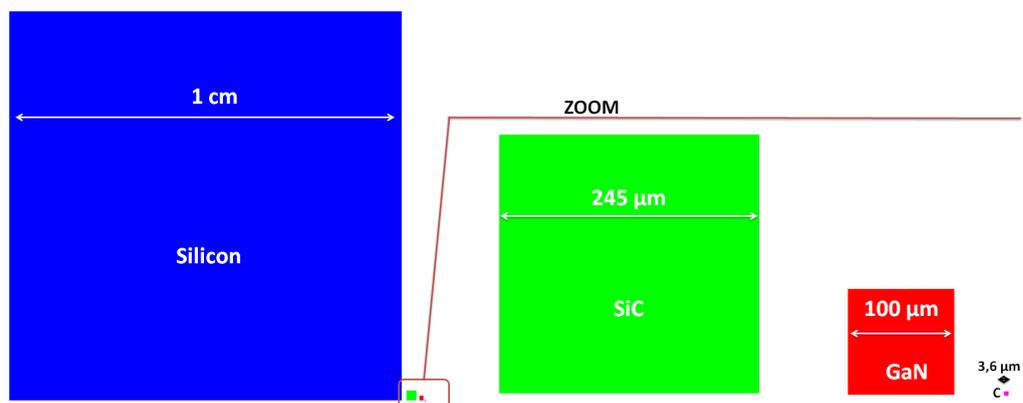


FIGURE I.4 – Mise à l'échelle de la figure I.3, pour une tenue en tension de 1kV et une résistance identique de 333mΩ. Comparaison des quatre matériaux avec un zoom pour différencier les trois grands gaps.

Clairement, il apparaît que l'utilisation de matériaux grands gaps permet de réduire en même temps les pertes à l'état passant tout en réduisant la surface des composants et donc par suite, réduire aussi les pertes pendant les phases de commutation. Bien évidemment, cette comparaison a été présentée de façon exhaustive dans la littérature, en prenant en compte des hypothèses moins simplificatrices et plus proches de la réalité. Parmi ces références, nous pouvons citer [9–15]. Parmi les phénomènes qui modifient les tendances et résultats présentés dans la figure I.3, nous pouvons mentionner :

- La notion de champ critique n'est pas acceptable. L'intégrale d'ionisation pour un profil de champ électrique donné doit être calculée, avec un modèle fiable de coefficient d'ionisation [16, 17]. De façon simplifiée, la dépendance de E_{Crit} avec le niveau de dopage de la zone de tenue en tension peut être admis.
- Selon la structure du composant (latéral ou vertical), la tenue en tension peut être fortement dégradée par rapport à la tenue en tension idéale en 1D. Dans un cas ultime, la tenue diélectrique du composant peut ne plus être donnée par le matériau semiconducteur, mais plutôt par les diélectriques utilisés et la structure du composant (dimensions, terminaisons en tension).
- L'ionisation des dopants n'est pas complète dans le cas des matériaux grands gaps, et plus particulièrement du SiC, du GaN et du diamant. Ainsi, à température ambiante la résistance à l'état passant est plus élevée que celle prédite par l'équation I.3.
- La mobilité des porteurs dépend fortement de la structure du composant et dans tous les cas, du niveau et du type de dopage. Des modes de conduction particuliers peuvent aussi s'appliquer pour certains matériaux et certaines structures (HEMT GaN [18–20], GaN sans hétérostructure [21], delta doping diamant [22], conduction par hopping [23], transition métallique [24], et d'autres spécificités du diamant [25, 26]).
- A l'image des composants Silicium basse tension ($< 100V$), la résistance à l'état passant n'est pas uniquement le fruit de la zone de tenue tension. Les résistances de contact et d'accès peuvent avoir une part non négligeable dans la résistance totale du composant [27]. Ici aussi, ceci s'applique plus particulièrement pour les matériaux grands gaps, ayant potentiellement une très faible résistivité de la zone de tenue en tension.
- Bien que négligeables dans la plupart des cas, les pertes à l'état bloqué peuvent être intégrées dans le bilan énergétique des composants. Ceci est vrai aussi bien sur la partie *de puissance* (le courant de fuite entre drain et source à la tension nominale par exemple) que sur la partie *de commande* du composant (fuite de grille).
- La résistance à l'état passant du composant peut être modifiée suite au piégeage de charges et aux conditions initiales [28],
- Les pertes lors des transitions de commutation doivent être étudiées au delà de la notion de charges de grille. Cette comparaison reste malheureusement difficile à mener du fait que certains composants a-priori très attractifs du point de vue énergétique présentent des dégradations suite aux commutations [28]. L'optimisation de la durée de vie des porteurs est aussi critique pour les composants bipolaires, avec un compromis optimal entre bénéfices sur l'état passant et pertes supplémentaires de commutation. Un cadre commun de comparaison doit être introduit, incluant des contraintes de fiabilité, mode de pilotage adapté et une mise en œuvre identique,
- Le coefficient de troncature idéal doit être calculé, selon le type de composant (unipolaire, bipolaire), avec la prise en compte notamment de la durée de vie des porteurs pour les com-

posants bipolaires.

A titre d'exemple, la figure I.5 présente la conséquence des matériaux grands gaps dans le dimensionnement de la surface optimale du semiconducteur pour un cahier des charges donné. Selon l'intérêt recherché (minimisation des pertes - à gauche sur la figure I.5 ou montée en fréquence - à droite sur cette même figure), il faudra faire attention à l'augmentation des densités de pertes et des densités de courant.

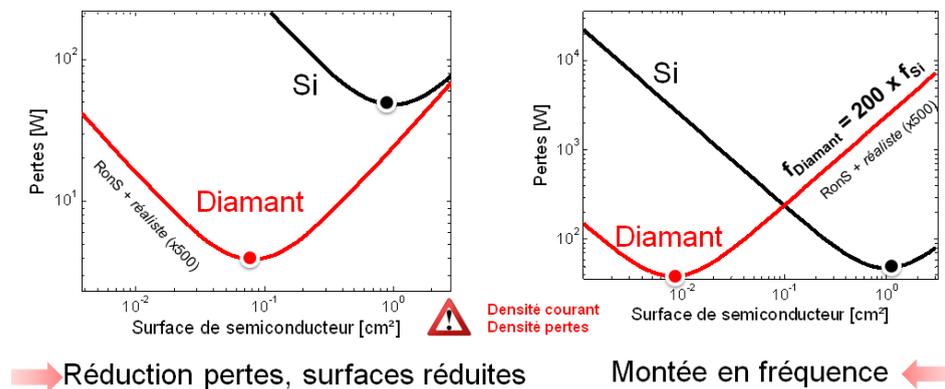


FIGURE I.5 – Exemple d'optimisations de la surface de semiconducteurs de puissance unipolaires 1200V-10A-35kHz- $\alpha = 0.5$ à structure verticale, avec une valeur de $R_{on} \cdot S$ modifiée pour le diamant et un modèle simplifié de pertes par commutation.

Dans ce contexte et suite à ces réserves, nous allons maintenant relever quelques exemples de réalisations de composants, dans le but de comparer les matériaux, les composants et les ruptures conceptuelles de ces dernières années et en dégager ainsi une tendance, voire des limitations et des opportunités.

Matériaux grands gaps et ruptures conceptuelles Une comparaison plus exacte entre les matériaux semiconducteurs pour les applications haute tension est représentée sur la figure I.6. Du point de vue théorique, l'intérêt des matériaux grands gaps est clair dans une logique de réduction des niveaux de pertes. Le diamant reste le matériau ultime, dès lors que l'ionisation des dopants est assurée, ce qui est le cas à haute température [10, 29–32].

Dans le cas du diamant, quelques exemples de composants récents réalisés sont présentés dans les figures I.7, I.8, I.9 et I.10. Nous pouvons ainsi voir que récemment de nombreuses avancées scientifiques ont été démontrées, principalement sur la maîtrise du dopage N au Japon [31–40], des interfaces Oxydes - Diamant [41–52] et des diodes Schottky haute tension et forte densité de courant [30, 36, 53].

Il apparaît clairement aujourd'hui que, même si la dimension des substrats en diamant reste de taille réduite (quelques mm à cm selon les qualités et techniques), une maturité suffisante pour les applications en électronique de puissance a été atteinte. Les autres matériaux grands gaps SiC et GaN ont été aussi l'objet d'un nombre très élevé de publications, depuis la maîtrise des matériaux,

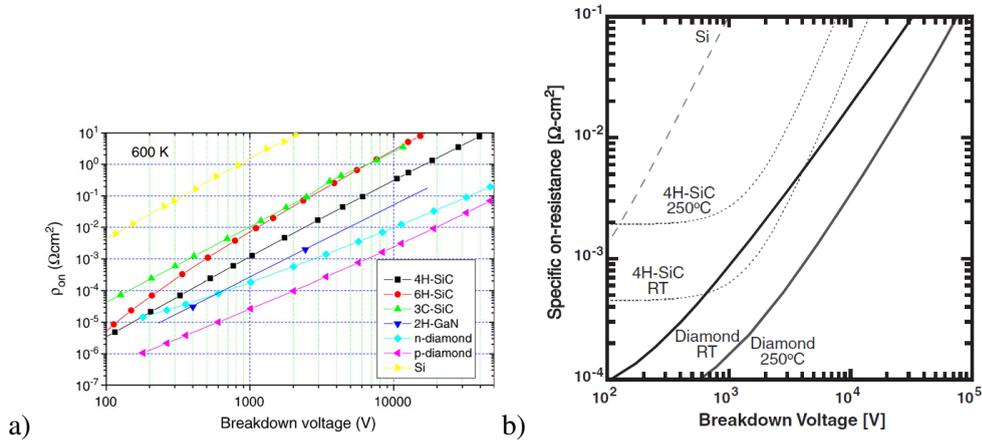


FIGURE I.6 – Comparaison sur le compromis $R_{on} \cdot S$ vs BV dans le cas des matériaux grands gaps [9, 10]. a) la tenue en tension est calculée selon l'intégrale d'ionisation. b) Un champ critique est considéré ainsi que des résistances de contact et d'accès.

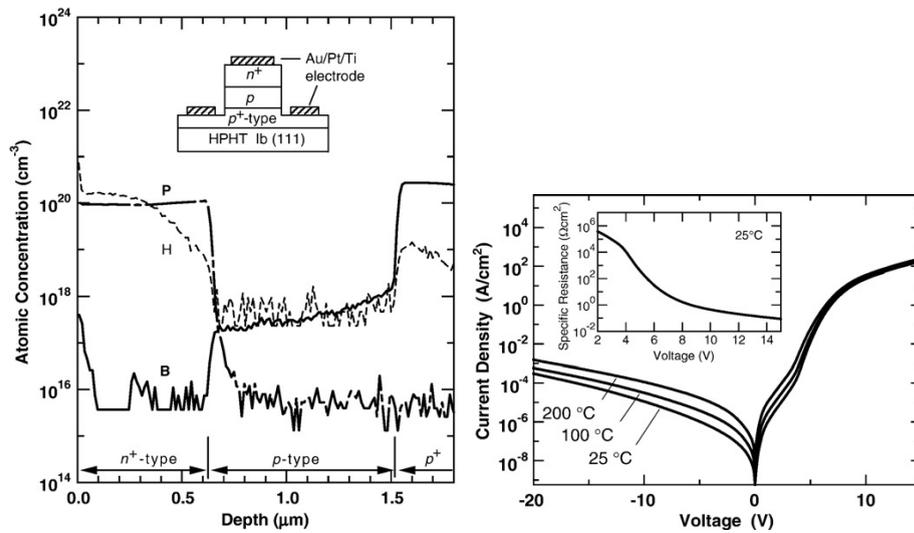


FIGURE I.7 – Diode PN diamant [35].

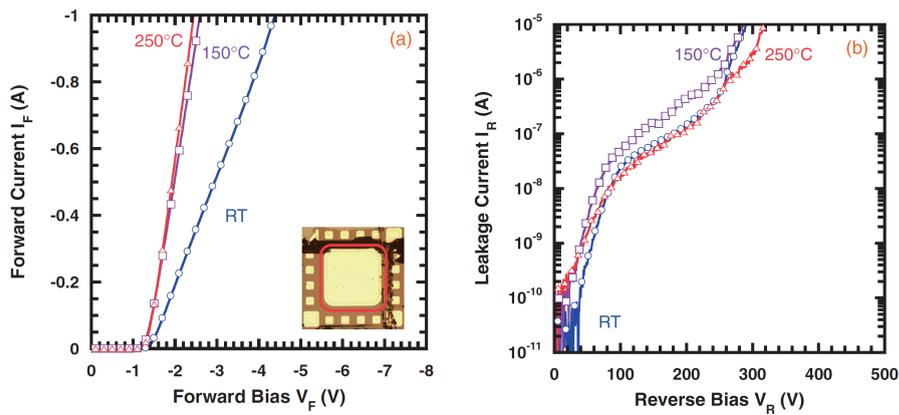


FIGURE I.8 – Diode diamant Schottky verticale [30].

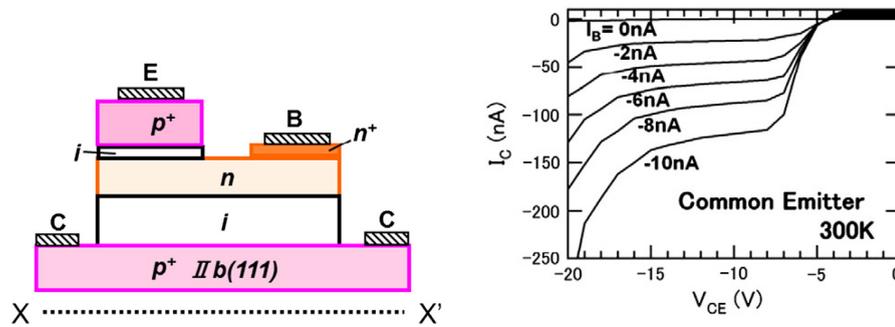


FIGURE I.9 – Transistor bipolaire pseudo-vertical en diamant [33].

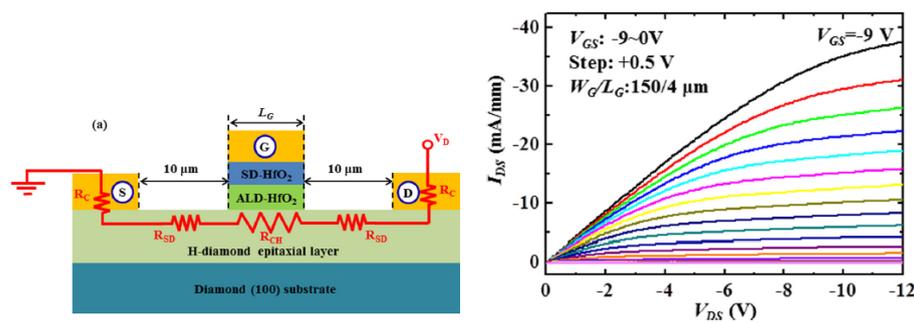


FIGURE I.10 – Transistor à effet de champ en diamant [41–43].

jusqu’à l’impact des composants dans les systèmes de gestion de l’énergie [5,54–62]. Certaines de ces avancées scientifiques sont regroupées dans une synthèse annuelle à large spectre fournie par le groupe Grand Gaps de l’Observatoire des Micro et NanoTechnologies (OMNT). Au delà des composants en SiC disponibles dès aujourd’hui (diodes Schottky, transistors MOS et JFET), des groupes académiques ont démontré la faisabilité de la montée en tension des composants, grâce à une maîtrise des matériaux, des périphéries en tension et du contrôle de la durée de vie ouvrant la porte à des IGBT et diodes bipolaires en SiC au delà de 15kV [63–66] [67].

Une première conclusion subjective autour des opportunités offertes par ces nouveaux matériaux est présentée sur le tableau I.2.

	Silicium	4H-SiC	GaN	Diamant
Performances	+	++	++	+++
Opportunités	Bas coût, fiabilité	Montée en tension	Montée en fréquence	Montée en tension, fréquence et température
Maturité	+++	++	+	--

TABLE I.2 – Comparaison qualitative et subjective autour des matériaux semiconducteurs considérés pour les applications en électronique de puissance.

Afin de tirer le plein bénéfice de ces composants, il apparaît clairement que de nouvelles ruptures doivent être mises en place autour du composant et plus particulièrement dans l'intégration des organes périphériques pour une association optimale commande - composant - environnement. En effet, dans le cas d'association de composants unipolaires grands gaps, la taille des composants va être fortement réduite (voir figure I.4), et ceci couplé à la très haute mobilité des porteurs (dans le cas de structures HEMT GaN par exemple), la dynamique de commutation des composants n'est plus limitée de façon intrinsèque.

I.2.c L'intégration des périphériques de commande et les modes de packaging avancés

La structure d'un composant d'électronique de puissance dans son environnement est présentée sur la figure I.11. De nombreux organes périphériques sont nécessaires pour le contrôle et le pilotage de transistors de puissance. La figure I.12 présente une image d'un convertisseur réalisé au laboratoire dans le cadre d'un stage [68], où l'on voit la place importante que peut représenter la carte de commande rapprochée (volume - câblage). En particulier, lorsque le transistor de puissance est utilisé dans un convertisseur d'énergie, le contrôle des commutations s'avère difficile du fait de potentiels flottants à hauts niveaux de tensions de mode commun ainsi que fortes variations de potentiels [69–72]. Ainsi, plusieurs solutions de structures adaptées au pilotage de transistors *High Side* et/ou *Low Side* ont été largement proposées dans la bibliographie, avec des solutions spécifiques selon les types de composants de puissance, le niveau d'intégration, les performances, le coût et plus généralement les contraintes électro-thermo-magnétiques [5, 67, 73–94]. Parmi toutes ces solutions, deux grands groupes se détachent :

- Deux circuits distincts sont nécessaires pour la commande rapprochée : un organe spécifique assure l'adaptation de potentiel pour les ordres de commutation, et un autre organe assure une alimentation flottante,
- Le même organe est utilisé pour transférer les ordres de commutation ainsi que l'énergie nécessaire à la charge et décharge.

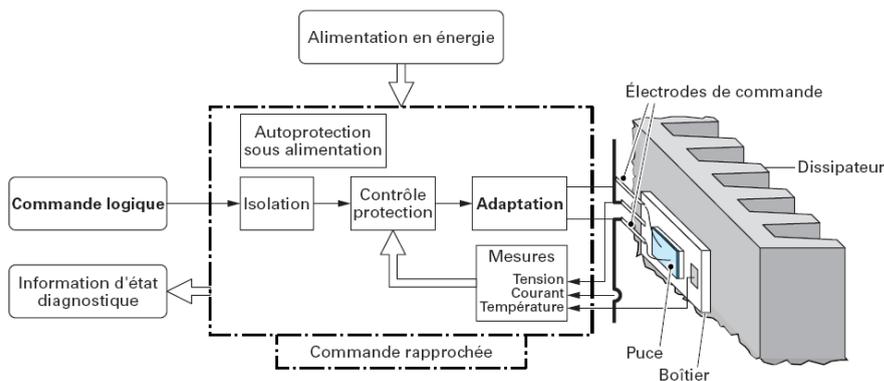


FIGURE I.11 – Schéma de principe d'un composant commandé et de ses périphériques associés [70].

Au delà des solutions classiques telles que l'utilisation d'optocoupleur pour l'isolation galvanique et d'un circuit *bootstrap* ou d'une alimentation isolée de faible puissance pour l'alimentation des circuits de commande rapprochés [69], plusieurs solutions originales ont été proposées : trans-

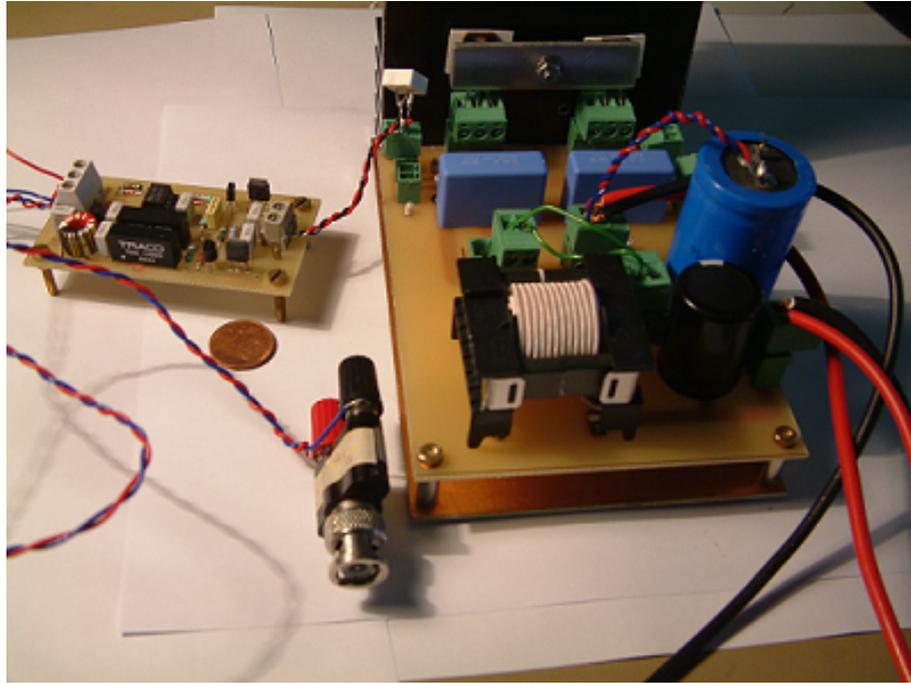


FIGURE I.12 – Photographie d'un convertisseur avec sa carte de commande rapprochée [68, 95].

fert par coupleur piézo électrique [74], transformateur avec ou sans noyau magnétique [89, 96–98], fibre optique et contrôle optique [99–115] (voir plus bas dans ce chapitre), transfert par onde électromagnétique [77, 116–118]. Un des points critiques reste l'intégration de ces organes au plus proche du composant de puissance. En effet, si l'on modélise la cellule de commutation [119–122], il apparaît très clairement que d'une part les inductances parasites dans la partie puissance doivent être minimisées (voir la figure I.13 par exemple), et d'autre part, la boucle de charge et décharge de chaque composant de puissance commandé doit aussi être minimisée. Ceci impose alors une intégration des organes de commande au plus près des composants de puissance, avec alors de nouvelles contraintes (isolation électrique, compatibilité thermique entre les températures optimales du composant de puissance et des organes périphériques). Là aussi, l'utilisation de composants grands gaps impose de nouvelles ruptures sur ces associations commande - puissance, si l'on veut tirer le plein bénéfice de ces matériaux (forte tension, dynamiques de commutation très importantes, haute température), comme démontré dans la bibliographie [119, 123, 124].

Plusieurs solutions technologiques pour l'intégration de ces organes périphériques avec les composants de puissance ou la cellule de commutation ont été proposées dans la littérature. Les solutions les plus en rupture sont présentées sur les figures I.14, I.15, I.16, I.17, I.18. Dans la figure I.14, les auteurs proposent d'utiliser une technologie latérale en GaN pour intégrer monolithiquement la commande éloignée (génération et modulation en haute fréquence des ordres et de l'énergie de commutation) et la commande rapprochée (démodulation - mise en forme). Avec cette technologie (GaN sur saphire, avec deux couches d'isolation), les auteurs démontrent une tenue en tension proche de 10kV, avec une modulation à 5.8GHz. L'intégration et la compatibilité de cette technologie avec les composants de puissance reste à démontrer mais semble tout à fait envisageable, à l'image des travaux des universités UESTC (Chine) et UST (Hong Kong) qui

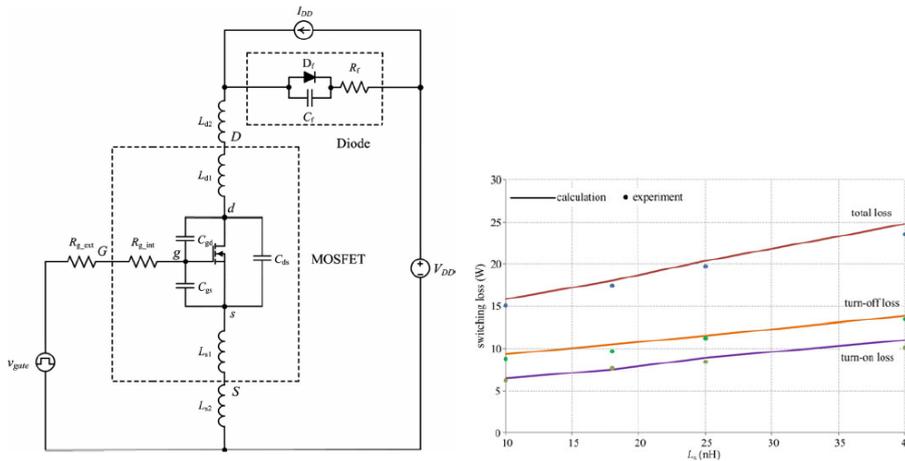


FIGURE I.13 – Étude de l'impact des éléments parasites dans les pertes en commutation dure [120].

ont démontré une approche smart power de puissance sur GaN / Silicium (figure I.15). Ces travaux et résultats ouvrent clairement la porte à l'intégration monolithique des organes électriques et électro-magnétiques au sein des composants de puissance en GaN.

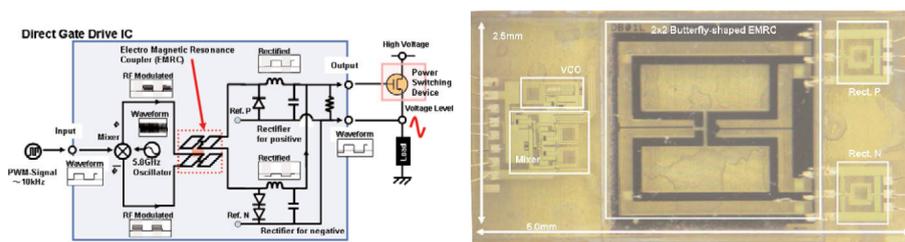


FIGURE I.14 – Driver monolithique avec isolation galvanique intégrée sur une technologie GaN [116].

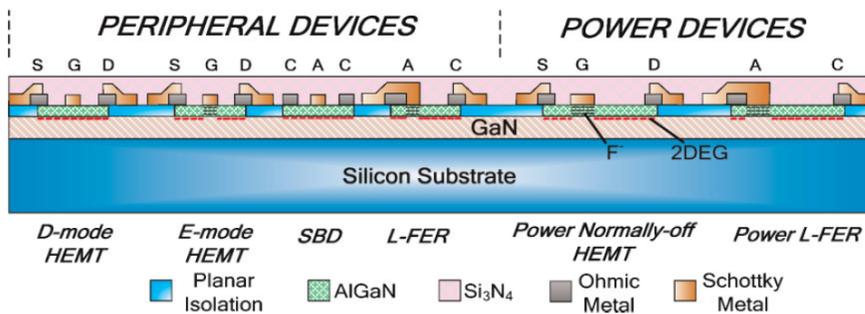


FIGURE I.15 – Plateforme Smart Power GaN [7].

Une autre approche originale a été proposée par le MIT (figure I.16), consistant à fonctionnaliser le substrat Silicium utilisé pour la croissance du GaN et co-intégrer à l'échelle du Wafer des composants GaN sur Si (111) et Si (100) sur Si (111). Cette approche est là aussi source de

nombreux développements et d'autres modes d'intégration ou co-intégration [125–127].

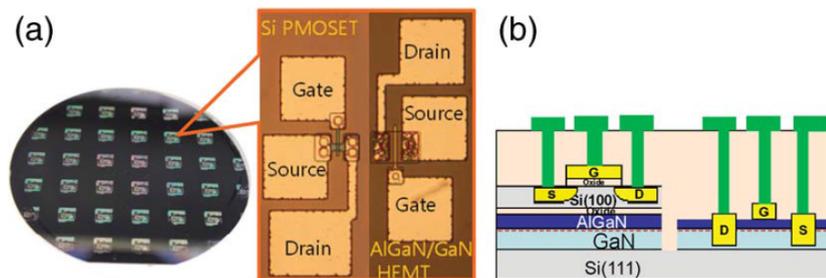


FIGURE I.16 – Co-intégration GaN et Si [128].

Dans le cas des composants GaN de type HEMT haute tension ($> 200V$), de nombreux composants sont aujourd'hui normalement passant avec des tensions de seuil négatives [129] avec des variantes pour rendre le composant normalement bloqué mais au prix d'une performance moindre [54]. Pour palier cette caractéristique qui peut poser un problème de sécurité (par exemple : court-circuit de puissance au démarrage ou si perte de commande), la structure d'association de type cascode est favorisée. Dans ce cas, un transistor de faible tension, en Silicium, est associé en série et la commutation du GaN est contrôlée par le composant Silicium. L'association entre ces composants reste critique en terme de performances et l'intégration est nécessaire [119, 130]. Ainsi, la compagnie GaN Systems propose une intégration puce à puce, afin d'une part de minimiser les impédances parasites côté puissance et commande, et d'autre part d'utiliser la technologie Silicium basse tension comme support d'intégration de l'ensemble des fonctions de commande, d'isolation et de pilotage [131] (figures I.17 et I.18). Cette approche est clairement en rupture par rapport aux autres développements et ouvre de nouvelles opportunités (composant de puissance autonome et à intégration des périphériques) tout en ne résolvant pas l'ensemble des problèmes (limites en température du composant Silicium, assemblage puce à puce, procédés technologiques avancés tels que vias traversants hautes tensions côté GaN).

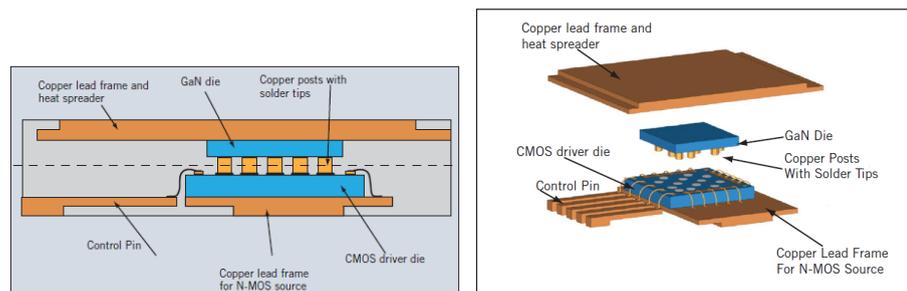


FIGURE I.17 – Solution d'intégration hybride de la structure cascode Si / GaN, comprenant les deux organes de puissance, ainsi que l'ensemble de la logique de commande [132].

Enfin, une approche à l'échelle des substrats macroscopiques d'interconnexions a été développée dans de nombreux laboratoires, tel que présenté par exemple dans la figure I.19. Le but ici est

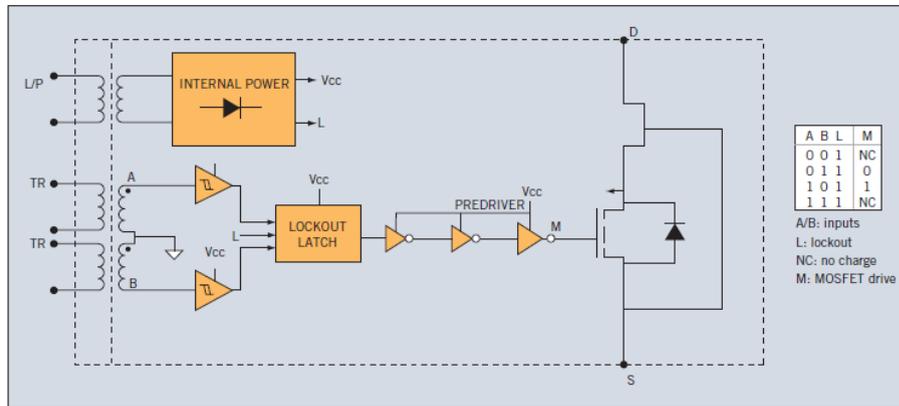
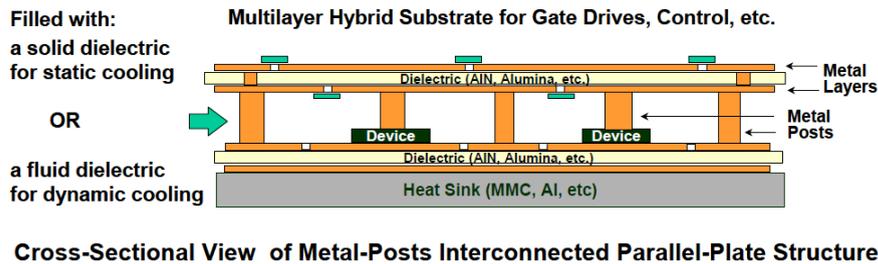


FIGURE I.18 – Détail des éléments co-intégrés [132].

de travailler à l'échelle des substrats d'interconnexion électrique et thermique, afin de minimiser les éléments parasites tout en s'appuyant sur des technologies hétérogènes optimisées séparément ou conjointement. Ces travaux sont au cœur des développements technologiques dans les modules de puissance avec ou sans circuits de commande et ont déjà permis la mise au point de produits de conversion de l'énergie efficaces.



Cross-Sectional View of Metal-Posts Interconnected Parallel-Plate Structure

FIGURE I.19 – Approche d'intégration par utilisation de couches de substrats et des technologies hétérogènes [133].

I.2.d Pilotage optique et isolation galvanique

Dans le contexte de la montée en tension des composants commandables pour l'électronique de puissance, l'isolation galvanique entre l'organe de puissance et les périphériques de commande est très importante. En effet, l'isolation des niveaux de tension est nécessaire entre un organe de commande basse tension (type micro-contrôleur, FPGA, ...) et la commande rapprochée qui contrôle la commutation du transistor de puissance [69, 134]. De plus, cet organe d'isolation doit aussi supporter des fortes variations de potentiel et garantir alors une isolation dynamique avec une susceptibilité limitée pour des variations supérieures à plusieurs $kV/\mu s$ [135]. Ainsi, l'isolation et la gestion de la commutation par voie optique représentent des solutions d'isolation ultime, hors du contexte de l'utilisation d'optocoupleurs qui sont limités par les modes de réalisation (assemblage limitant l'isolation statique et dynamique). Quelques approches et résultats sont présentés sur les figures I.20, I.21, I.22 et I.23. Dans ce contexte de contrôle de la commutation par voie optique, le choix retenu est principalement de fournir par voie optique soit directement l'énergie nécessaire à

la commutation du composant [99, 104, 108], soit une fraction de cette énergie par un effet d'amplification (pilotage d'une base d'un transistor bipolaire [101], pilotage d'un étage de commande rapprochée [106, 136]). Cette énergie E_{ph} est directement liée à l'énergie de bande interdite E_g du matériau de la zone photo-sensible et dans la plupart des cas l'approche retenue est de favoriser une absorption bande à bande de la lumière. L'énergie fournie doit alors être supérieure au gap du matériau, faisant alors apparaître une longueur d'onde maximale λ_{Gap} . D'autres solutions d'absorption de la lumière sont aussi possibles pour des énergies E_{ph} plus faibles, selon les matériaux et des effets non linéaires (absorption intrabande par les porteurs libres, absorption sur des niveaux d'impuretés, absorption à deux photons). D'autres phénomènes limitent l'absorption de la lumière, aussi bien en fonction du type de matériau (polymorphe ou forme allotropique, niveaux et types de dopage) que de la géométrie du composant (recombinaisons en surface, effets d'ombrage des contacts métalliques, diffusion et recombinaison des porteurs), de la polarisation électrique (étendues de la zone de charge d'espace et des zones neutres) ou des conditions de température (modification des grandeurs physiques). De façon générale, les phénomènes physiques mis en jeu, ainsi que la modélisation et la caractérisation de ce type de détecteurs optiques ont été largement présentés dans la bibliographie.

$$\begin{aligned} E_{ph} &= h \cdot \nu = h \frac{c}{\lambda} \\ E_{ph} &\geq E_g \\ &\Rightarrow \lambda \leq \lambda_{Gap} \end{aligned} \quad (I.4)$$

A l'image de la figure I.20, une première approche concerne ainsi le déclenchement par voie optique de thyristor. Ces solutions restent néanmoins limitées dans le contexte de la gestion d'énergie car l'ouverture des thyristors reste spontanée et non commandable, limitant alors les applications haute fréquence et les commutations dures. La puissance optique peut être aussi relativement élevée pour limiter le temps d'amorçage du thyristor : proche de $1W/cm^2$ dans [99] pour $5\mu s$ de retard entre la commande et la commutation. Cette problématique est identique dans le cas du pilotage par voie optique de la base de transistor bipolaire tels que présentés dans la figure I.21 [101]. Ainsi [101] nécessite une énergie optique de 0.5mJ pendant 600ps pour commuter, ce qui ne rend pas possible un régime de commutation aux fréquences classiques de l'électronique de puissance, car une puissance optique continue de l'ordre de centaines de kW optique seraient nécessaires pendant des temps de quelques centaines de ns à plusieurs dizaines voire centaines de μs .

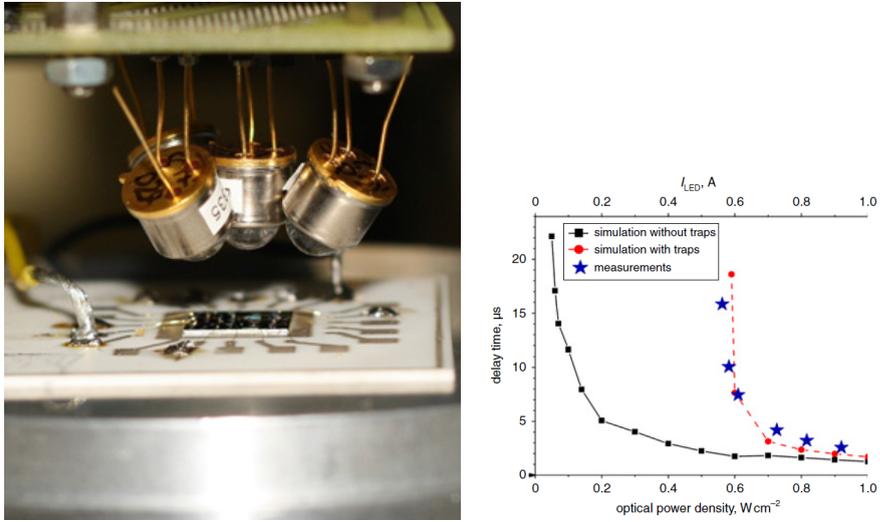


FIGURE I.20 – Pilotage par voie optique d'un thyristor SiC 1100V [99].

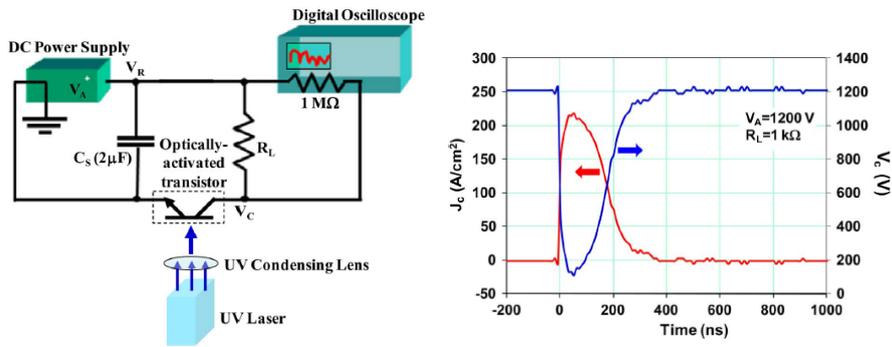


FIGURE I.21 – Pilotage par voie optique d'un transistor bipolaire SiC 1.6kV [101].

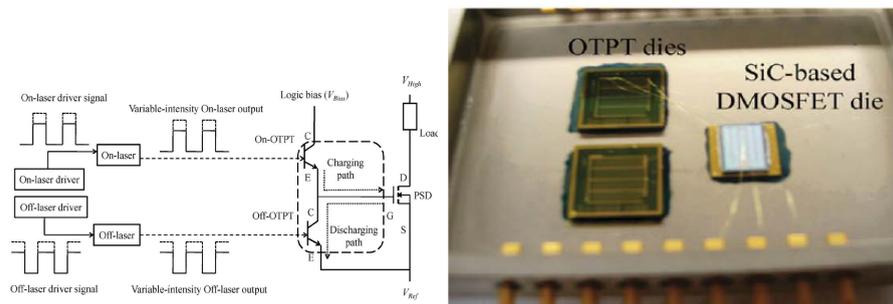


FIGURE I.22 – Pilotage par voie optique d'un transistor VMOS SiC [107].

Dans le but de réduire la puissance optique nécessaire à la commande de composants de puissance, une autre approche a été proposée par le groupe du Prof. Mazumder à l'université de Chicago (UIUC). L'étage de commande rapprochée (*étage buffer* de contrôle de charge de grille) est directement piloté par voie optique. Un contrôle total des commutations dures de transistors haute tension est alors possible, en maintenant une puissance optique sur le transistor de commande rapproché correspondant à l'état souhaité. La figure I.22 présente ainsi cette approche. Malgré les démonstrations théoriques et expérimentales proposées et les gains offerts par cette approche, plusieurs limitations peuvent être soulignées :

- Deux puces séparées sont nécessaires pour les deux transistors à base photo sensible. De plus, ces transistors sont proposés en technologie GaAs et sont de taille relativement importantes, telle que présentée dans la figure I.22,
- La puissance optique nécessaire pour l'amorçage ou le blocage de chaque transistor photo-sensible reste élevée (au delà du Watt optique [107]). Ceci est d'autant plus vrai que la dynamique de charge et décharge dépend de ce niveau de puissance optique,
- Une source électrique flottante et/ou isolée reste nécessaire pour apporter les charges de grilles,
- Cette intégration reste au niveau du module et à l'échelle des composants discrets, reposant sur l'utilisation de *wire bonding*, réduisant alors les performances de l'association commande rapprochée - composant de puissance à cause des éléments impédants dans la boucle de charge et décharge de grille de puissance.

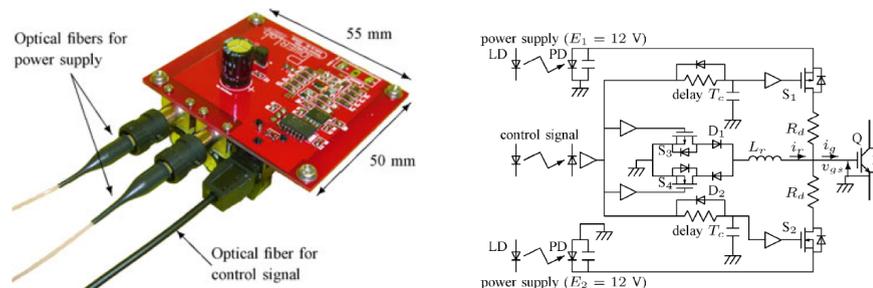


FIGURE I.23 – Alimentation et pilotage par voie optique d'un interrupteur de puissance Si 600V à partir d'éléments discrets [102].

Afin de réduire encore plus la puissance optique nécessaire pour le pilotage de composant de puissance, tout en garantissant un contrôle classique en régime de commutation dure, une approche discrète est proposée dans [102]. Bien que l'intégration soit limitée à une intégration au sein du PCB, cette approche a le mérite de proposer un lien optique complet, en utilisant trois canaux optiques transférant d'une part la puissance moyenne consommée par l'étage de commande rapproché, et d'autre part les informations de commutation avec une bande passante élevée.

Dans des développements technologiques effectués hors du contexte de l'électronique de puissance, d'autres solutions peuvent exister d'intégration ou de co-intégration. Ainsi, en transférant les résultats obtenus sur d'autres types de plateformes technologiques, il semble possible de marier différentes technologies attrayantes du point de vue des possibilités de détection optique. Par exemple, autour d'une approche *smart-power* développée sur une plateforme GaN, il semblerait

opportun d'intégrer un étage de réception optique tel que présenté dans [137–139] - figure I.24, voire de piloter directement des transistors HEMT par voie optique. D'autres solutions sont aussi d'ores et déjà envisagées dans les plateformes SiC [140–142], diamant [143–145] et pourraient être adaptées à la problématique des composants de puissance. Enfin, la plateforme Silicium reste aussi à considérer, soit via l'intégration au sein d'une technologie CMOS [146] dans le visible et l'infrarouge proche, soit par l'utilisation de variantes SiGe dans les longueurs d'ondes utilisées en télécommunications (principalement autour de 1550nm) [147].

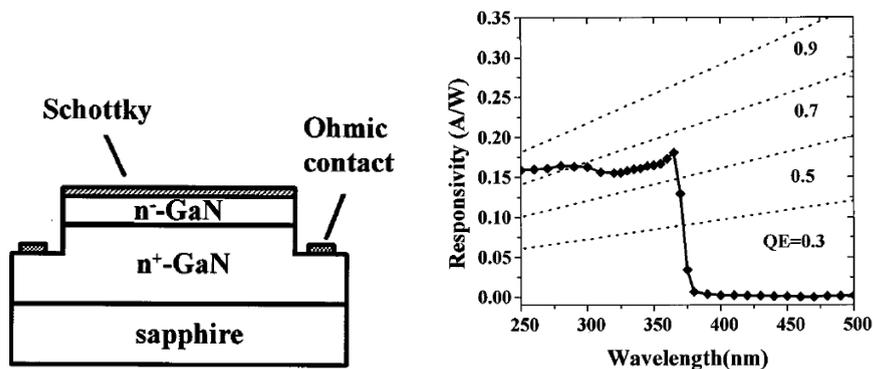


FIGURE I.24 – Détecteur optique Schottky GaN sur saphire [137].

Hormis les solutions de transfert d'énergie de commutation par voie optique, d'autres périphériques sont nécessaires pour le contrôle des commutations de transistors d'électronique de puissance [69], comme présenté précédemment. L'intégration de ces périphériques au plus proche des composants de puissance est souhaitable, dans le but de minimiser les interconnexions électriques ainsi que tirer profit de la technologie du composant de puissance (par exemple la tenue aux hautes températures).

I.2.e Les apports possibles de la microélectronique et de la nanophotonique pour l'électronique de puissance

Au delà de l'augmentation de la densité de fonctions logiques et de la diminution des longueurs de grille, la microélectronique a clairement développé de nombreux procédés d'intégration en rupture. Ceci est particulièrement vrai dans la mise au point de procédés d'interconnexions 3D, aussi bien puce à puce que wafer à wafer. Par exemple, la figure I.25 présente un assemblage 3D de test pour démontrer sa faisabilité, en utilisant différentes technologies hétérogènes et modes d'assemblages conventionnels (substrat PCB et bump) avec des techniques avancées (interposeurs, empilement de plusieurs puces les unes sur les autres). Il apparaît donc clairement que de nouvelles briques technologiques sont maîtrisées et disponibles afin d'optimiser l'assemblage de puces hétérogènes.

La maîtrise des procédés de fabrication des circuits CMOS Silicium a fait émerger de façon fulgurante des plateformes de nanophotonique sur Silicium [147]. En effet, le Silicium étant transparent dans l'infrarouge, il s'est imposé comme support avec une intégration ultime de composants

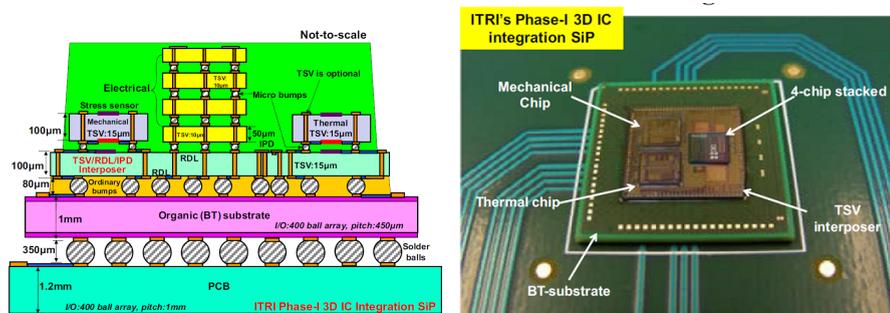


FIGURE I.25 – Exemple de test et validation d’assemblage 3D pour la microélectronique [148].

d’optique passive (filtres passifs, résonateur, coupleurs). Cette plateforme a par la suite tiré profit des avancées de la microélectronique, d’une part via les techniques de co-intégration 3D hétérogène (voir le laser Silicium proposé par Intel et UCSB [149, 150]) et d’autre part via l’intégration d’éléments Germanium dans une plateforme Silicium CMOS, permettant d’intégrer des détecteurs optiques infrarouge performants, mais aussi des éléments actifs de photonique (déphaseurs à jonction PN, éléments thermo-électriques, modulateurs d’amplitude, ...). Ceci est présenté par exemple sur les figures I.26, I.27 et I.28.

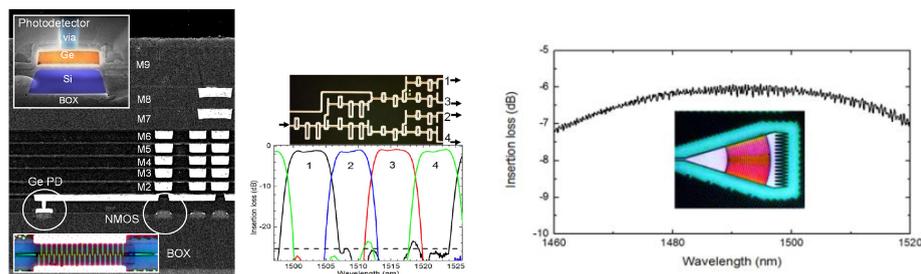


FIGURE I.26 – Plateforme CINP 90nm Si / Ge IBM [151]. De gauche à droite : détecteur optique Ge intégré, filtre passif WDM et coupleur de fibre à diffraction.

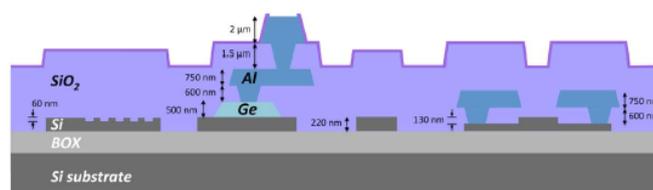


FIGURE I.27 – Plateforme MPW OpSIS 30GHz nanophotonique [152]. De gauche à droite : coupleur de fibre à diffraction, détecteur optique Ge intégré, guide d’onde, et modulateur électro optique.

D’autres actions de recherche en microélectronique pourraient bénéficier à l’électronique de puissance, avec par exemple l’intégration d’organes de transmission / réception sans fil, à l’échelle du driver ou du système. Bien que ces actions semblent déconnectées au premier abord de la thématique de l’électronique de puissance, il apparaît clairement que ces développements et rup-

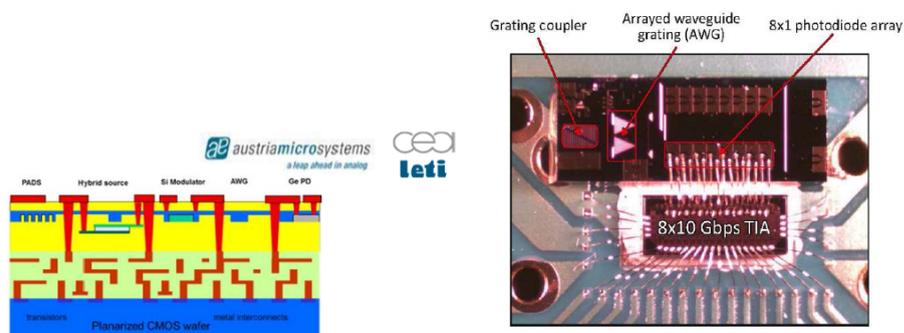


FIGURE I.28 – Cointégration CMOS / Nanophotonique puce à puce (D2D) ou wafer à wafer (W2W) [153].

tures technologiques doivent être transférées dans le domaine de la gestion des transferts d'énergie où les problématiques de communication bidirectionnelle isolée imposent de nouvelles solutions. En effet, comme il a été présenté, les évolutions sur le composant de puissance seul ne peuvent se suffire et de nouveaux concepts doivent émerger pour favoriser la co-intégration des éléments périphériques et des composants de puissance. L'électronique de puissance est restée relativement hermétique aux développements issus de la microélectronique et la nanophotonique, mais il semble opportun de marier aujourd'hui les briques technologiques et proposer une conception conjointe. Par exemple, l'intégration 3D multi puce pourrait bénéficier aux composants de puissance, tout en apportant de nouvelles contraintes et défis à surmonter. De la même façon, la nanophotonique Silicium pourrait être utilisée pour un routage efficace et intégré des ordres de commutation, voire de l'énergie de commutation par voie optique, avec une intégration optimale. Ces pistes seront abordées tout au long de ce manuscrit.

I.3 Éléments pour le positionnement de l'activité de recherche

Par rapport au contexte et aux ruptures récentes présentées plus haut, l'activité de recherche va se concentrer autour de deux axes majeurs : proposer une nouvelle approche dans la conception et la fabrication des composants de puissance et de leurs circuits de commande, et l'intégration de l'étage d'isolation galvanique. Un axe transversal autour des méthodes et outils, théoriques et expérimentaux sera aussi considéré. Les enjeux et les contributions seront présentés en détail dans le chapitre suivant.

I.3.a Nouveaux composants de puissance

Au delà des avancées sur les composants de puissance, les figures I.29 et I.30 présentent des approches originales. Par exemple, dans la figure I.29, il est proposé de prendre en compte dès aujourd'hui les contraintes systèmes dans la conception de matrices monolithiques de composants de puissance en diamant, afin de tirer toute la performance de ces composants. Dans la figure I.30, il s'agit ici de concevoir de façon couplée la puce de puissance et la puce de commande, afin de faire émerger une fonction *interrupteur de puissance* autonome, fortement intégrée et adaptée à l'environnement de commutation. Cette approche impose alors de maîtriser et adapter les étapes

de fabrication et de conception aussi bien du composant de puissance, que de ses organes de commande, en technologie CMOS.

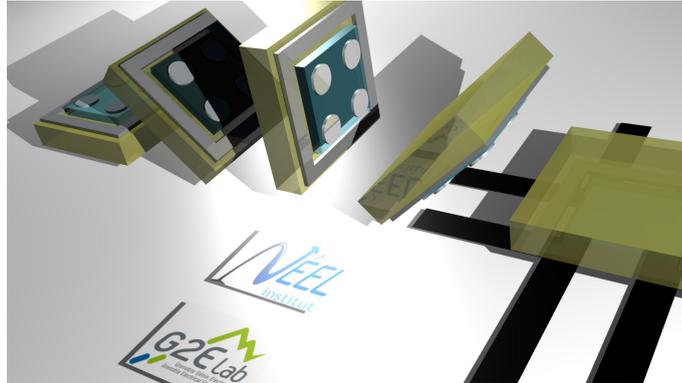


FIGURE I.29 – Prise en compte des contraintes systèmes dans la conception de composants monolithiques en diamant [154].

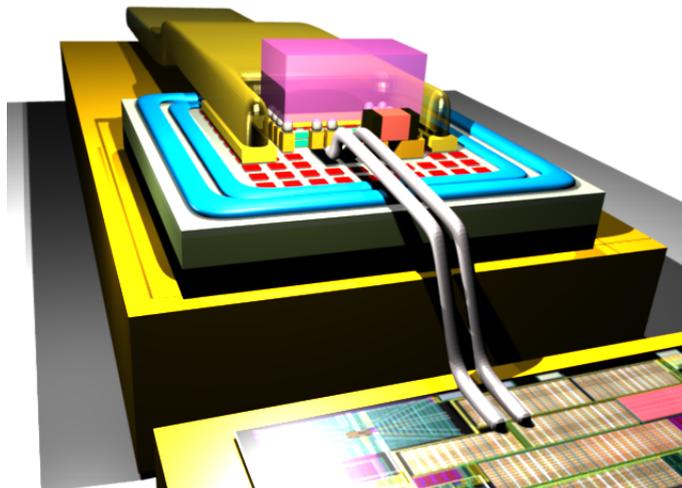


FIGURE I.30 – Prise en compte des contraintes systèmes dans l'intégration 3D des périphériques de commande au plus proche des composants de puissance [155].

Par rapport aux autres acteurs tels que présentés plus haut, l'originalité de cette activité de recherche est de prendre en compte les contraintes et les pistes d'amélioration à l'échelle du système et non plus juste de façon séparée à l'échelle du composant de puissance ou de son organe de pilotage. Par cette intégration poussée, un des intérêts est aussi de proposer une fonction *interrupteur de puissance* voire *cellule de commutation* optimisée, en limitant ou annulant le nombre de circuits supplémentaires nécessaires. Ceci permettrait alors de réduire de possibles interactions puissance / commande, tout en garantissant une densité d'intégration très importante et une gestion plus efficace de l'énergie électrique.

I.3.b Isolation galvanique intégrée

Deux pistes ont été retenues afin d'intégrer l'étage d'isolation galvanique pour la commande de transistors de puissance : un étage de réception optique (figure I.31) ou un transformateur sans noyau magnétique [155, 156]. Bien que classiquement utilisée, l'intégration de transformateurs peut s'avérer innovante notamment dans le contexte d'une communication bidirectionnelle ainsi qu'un transfert complexe d'informations et d'éléments de configurations via cet organe d'isolation. C'est dans ce but que s'oriente l'activité de recherche autour de cette solution d'intégration, en devant nécessairement s'appuyer sur des modèles fiables, caractérisés, ainsi qu'une maîtrise des fonctions analogiques et numériques amonts et aval.

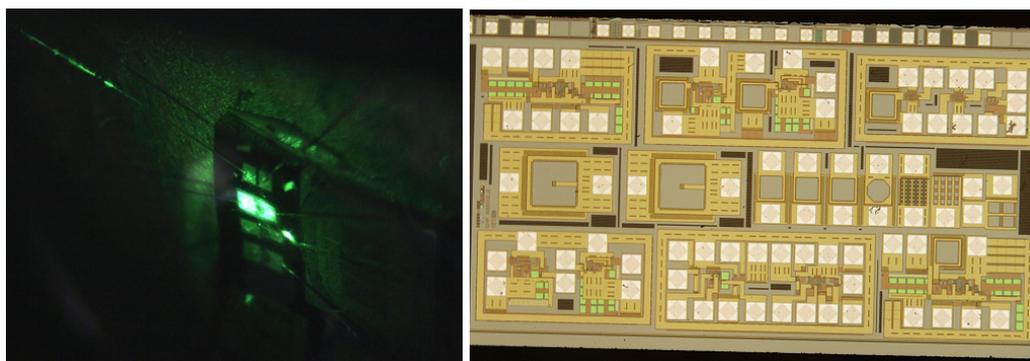


FIGURE I.31 – Intégration monolithique ou hybride d'un étage de réception optique pour le transfert des ordres de commutation [95, 157, 158].

Sur l'intégration de détecteurs optiques, plusieurs solutions ont été envisagées. Dans un premier temps, il a été considéré que cet organe d'isolation servirait uniquement au transfert des ordres de commutation, c'est à dire des informations basse puissance avec une bande passante élevée. Le but recherché ici est d'une part de minimiser l'énergie optique nécessaire tout en garantissant une commande ON-OFF compatible MLI, et d'autre part de garantir une solution intégrée adaptée éventuellement au pilotage de matrices de composants de puissance. Enfin, plusieurs contraintes d'intégration ont été étudiées, depuis une intégration monolithique au sein du composant de puissance, sans modification de sa technologie de fabrication, jusqu'à une intégration au sein du driver CMOS conçu conjointement avec le composant de puissance ainsi qu'avec les circuits électroniques de traitement et d'amplification des informations converties par le détecteur optique.

Dans chacun des cas, il est important de s'appuyer sur une démarche fiable de modélisation, conception, couplés à des phases de réalisation / caractérisation. Comme nous le verrons, ces détecteurs optiques s'inscrivant dans une intégration au sein de composants de puissance haute tension, des développements spécifiques sont nécessaires afin de pouvoir concevoir, caractériser et mettre en œuvre les différentes variantes.

I.3.c Outils, méthodes et applications

Cette action transverse concerne la conception et le développement d'outils et de méthodes en vue de modéliser, dimensionnement et capitaliser les approches et les résultats des axes précédents. Par exemple, la figure I.32 présente d'une part une méthodologie d'analyse de jonctions

intégrées au sein de transistors de puissance [159–161], et d'autre part le couplage de méthodes numériques et analytiques dans l'étude et le dimensionnement de semiconducteurs.

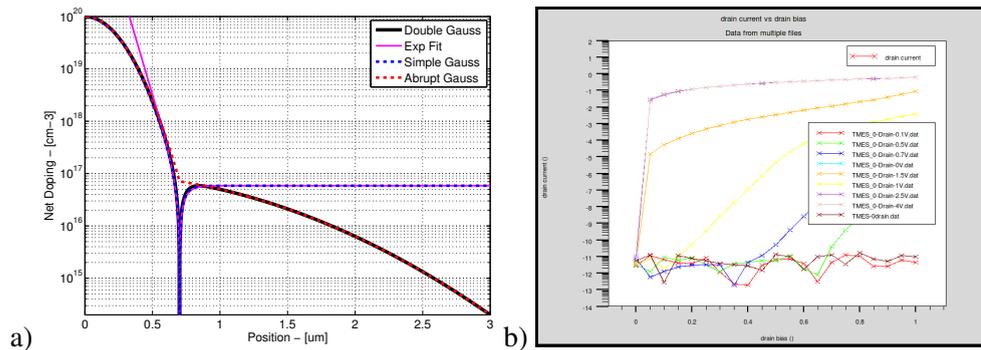


FIGURE I.32 – Élaboration de méthodes numériques pour la modélisation des fonctions intégrées ou des composants de puissance. a) Point de départ pour l'étude de jonctions PN double diffusées, telles que disponibles via un procédé de fabrication VMOS de puissance. b) Simulations numériques vers un transistor en diamant.

Les composants et fonctions intégrées ayant des contraintes et des spécificités dues soit à leurs performances soit à leur environnement, il est important de mettre au point des procédures de caractérisation dédiées, avec des couplages multi-physiques. Par exemple, afin de caractériser aussi bien des composants haute tension tels que les composants grands gaps, que des fonctions intégrées, une plateforme de caractérisation ouverte et multi-utilisateur a été mise au point, couplée à d'autres techniques de caractérisation sous pointe ou pour composants packagés. La figure I.33 présente ainsi une de ces plateformes de caractérisation. D'autres procédures de caractérisation et mises en œuvre dans le contexte de l'électronique de puissance ont aussi été réalisées, comme par exemple la caractérisation dynamique de composants grands gaps [162–164] ou la caractérisation statique et dynamique de détecteurs optiques intégrés [165, 166].

Enfin, la vision système étant nécessaire au positionnement des activités de recherche proposées, les applications doivent aussi être considérées. Ici, un soin particulier a été apporté autour des convertisseurs modulaires ou entrelacés, nécessitant un nombre élevé de composants de puissance commandés et de leurs périphériques associés, avec si possible des applications à forte intégration (et vitesses de commutations élevées). La figure I.34 présente un exemple d'applicatif considéré dans le cadre du véhicule électrique.



FIGURE I.33 – Plateforme de caractérisation CARAPACE pour la caractérisation multiphysique des composants et fonctions intégrées. Cinq pointes avec micro-positionneurs 3 axes sont disponibles, ainsi qu'un porte échantillon blindé et une fibre optique dans l'enceinte. La passivation électrique se fait par vide secondaire, et la température est contrôlée sur la plage 8K-675K par un refroidissement liquide LN2 ou LHe, et un élément chauffant dans le porte échantillon.

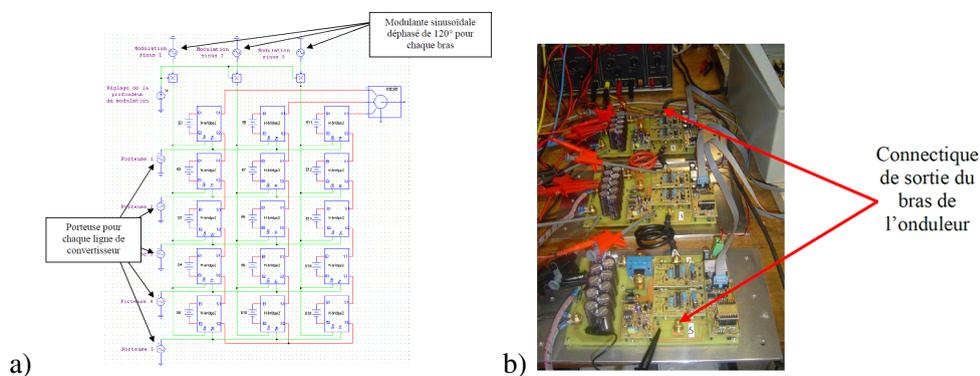


FIGURE I.34 – Prise en compte des application et intégration au système. Ici, application de modules DC/AC cascades pour le véhicule électrique [167–169] : a) schéma de principe de l'onduleur triphasé à convertisseurs cascades. b) Image d'une association de trois convertisseurs élémentaires pour une phase.

I.4 Conclusion

Les enjeux de recherche ont été présentés dans ce chapitre, avec un zoom particulier sur l'impact des dernières avancées majeures dans les domaines de l'électronique de puissance, de la microélectronique et de la photonique. A travers la sélection d'articles présentée, des éléments de positionnement de mon activité de recherche ont été mis en avant, s'articulant autour de l'intégration pour les nouveaux composants de puissance ainsi que la gestion optimale de l'organe d'isolation galvanique et des méthodes d'intégration associées.

Le chapitre suivant va détailler les contributions majeures dans ce contexte international, en s'appuyant sur les thèses soutenues et en cours, pour lesquelles j'ai contribué à l'encadrement et la poursuite des recherches.

Chapitre II

Du composant discret au convertisseur de puissance tout intégré

Vers un mariage de disciplines scientifiques classiquement hermétiques

Intégration multi-échelle

SOMMAIRE

II.1	INTRODUCTION	30
II.2	INTÉGRATION MONOLITHIQUE AU SEIN DE TRANSISTORS DE PUISSANCE	30
II.2.a	Fonctions d'alimentation de la commande rapprochée	31
II.2.b	Fonctions d'isolation galvanique	35
II.3	INTÉGRATION 3D ET CONCEPTION COUPLÉE	45
II.3.a	Association puissance - commande	45
II.3.b	Convertisseurs à l'échelle du Wafer	49
II.3.c	Isolation galvanique intégrée au gate driver	54
II.4	NOUVEAUX MATÉRIAUX	58
II.4.a	GaN	58
II.4.b	Diamant	60
II.5	OUTILS NUMÉRIQUES ET EXPÉRIMENTAUX	63
II.5.a	Plan d'expériences numériques	63
II.5.b	Caractérisation statique et dynamique	65
II.6	APPLICATIONS ET RECHERCHES PÉRIPHÉRIQUES	67
II.7	CONCLUSION	68

Résumé

Ce chapitre détaille les contributions scientifiques majeures et les résultats principaux de projets dans lesquels je me suis impliqué. Ainsi, une approche innovante d'intégration pour les composants de puissance, les circuits de pilotage "gate driver" et les convertisseurs de puissance est présentée. Ces travaux d'intégration prennent en compte les problématiques et spécificité système dès la phase de conception et une démarche de conception couplée commande - puissance - convertisseur est introduite. Parmi les travaux, des avancées significatives ont été obtenues sur l'intégration d'un pilotage optique et les nouveaux composants de puissance, depuis leur modélisation jusqu'à leur caractérisation dans le système.

II.1 Introduction

Dans le contexte de l'électronique de puissance, il est critique d'offrir des solutions en rupture qui permettent d'une part d'augmenter les rendements sur toute la plage d'utilisation (température, point de fonctionnement) mais aussi de réduire les perturbations électromagnétiques, d'augmenter la densité de puissance et garantir la fiabilité des systèmes de conversion depuis chaque interrupteur de puissance au convertisseur statique. Ces notions sont souvent contradictoires, où par exemple diminuer les fréquences de commutation permet d'améliorer les rendements mais augmente alors fortement le volume des solutions. Dans une autre approche, favoriser des commutations ultra-rapides permettrait de diminuer les pertes en commutations, mais génère alors des sources de perturbations électromagnétiques qui peuvent alors conduire à un sur-dimensionnement des composants en tenue en tension (et par suite, une augmentation des pertes à l'état passant), ou à l'apparition de défauts de fonctionnement (perturbations commande - puissance ou puissance - puissance). On voit clairement que des ruptures sont nécessaires en électronique de puissance afin de repousser les compromis classiques de dimensionnement - figure II.1. Le domaine couvert par ces considérations étant relativement large, il devient critique d'introduire une approche système et une conception couplée afin de repousser ces compromis de dimensionnement.

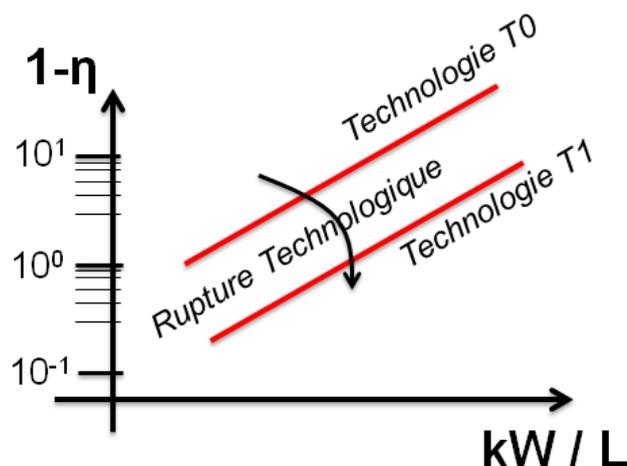


FIGURE II.1 – Représentation qualitative d'un des compromis en électronique de puissance : pertes (η étant le rendement) vs. densité de puissance.

Cette approche de conception couplée *puissance - commande - environnement - système* a été introduite au laboratoire depuis plus d'une dizaine d'années, sous l'impulsion de Jean-Christophe Crébier [72]. La figure II.2 présente une partie de cette vision de conception couplée, en se focalisant sur l'optimisation de la fonction interrupteur de puissance commandé via une conception en parallèle d'une puce de commande dédiée et d'un transistor vertical de puissance. Autour de cette vision, de nombreuses contributions scientifiques ont été apportées et vont être présentées.

II.2 Intégration monolithique au sein de transistors de puissance

Comme il a été présenté dans le chapitre I et plus particulièrement dans la figure I.11, de nombreuses fonctions sont nécessaires au pilotage efficace de transistors de puissance commandés.

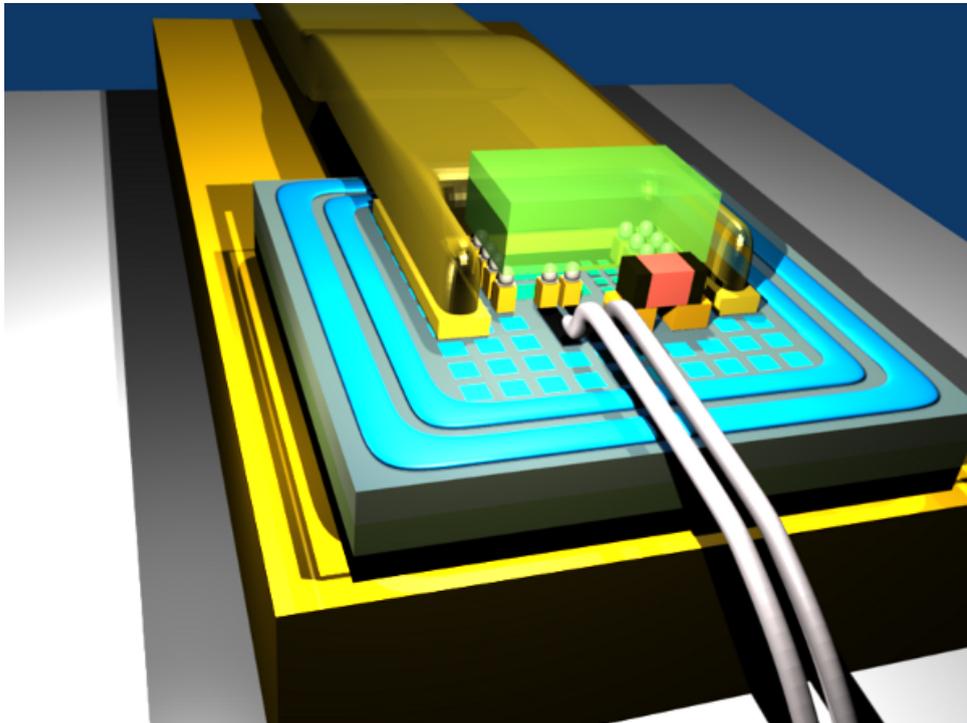


FIGURE II.2 – Conception couplée puissance - commande.

Idéalement, on cherchera à intégrer ces fonctions au plus proche du transistor et par suite, avec le moins possible de modifications du procédé de fabrication pour garantir une intégration viable technologiquement et industriellement. De façon complémentaire, une étude doit être menée sur les bénéfices / compromis à trouver entre l'ajout d'étape(s) spécifique(s) pour la ou les fonctions intégrées ou la modification mineure des étapes de fabrication du transistor de puissance. Ainsi, j'ai contribué à la mise au point de nouveaux concepts pour l'autoalimentation de la commande rapprochée et l'intégration monolithique d'un étage de réception optique au sein de transistors verticaux d'électronique de puissance en Silicium.

II.2.a Fonctions d'alimentation de la commande rapprochée

Faisant suite aux travaux de thèse de R. Mitova [170], une nouvelle architecture de récupération d'énergie de puissance a été proposée, dans le but de stocker l'énergie nécessaire à l'alimentation de l'ensemble des fonctions de commande rapprochée. Cette architecture a fait partie de mes travaux de recherche en Master 2 Recherche [171] puis en thèse [95]. L'idée ici est d'utiliser exclusivement le procédé de fabrication d'un transistor de puissance classique VMOS (ici à grille plane et sans super jonction) pour intégrer monolithiquement les composants actifs nécessaires à l'autoalimentation de la commande rapprochée. La figure II.3 présente la structure retenue, à base de deux transistors bipolaires fonctionnant en régime pulsé [95, 172–174]. Cette solution retenue utilise les composants structurels des transistors VMOS (ie. transistors bipolaires verticaux), et une des premières règles fixées est de respecter le procédé de fabrication optimisé séparément pour le transistor de puissance. D'autres démarches d'optimisation et d'études de cas ont été conduites en collaboration (voir la section II.5.a). Lors de la commutation à l'ouverture du composant de puissance, un dV_{DS}/dt positif apparaît, créant un auto-amorçage du transistor T_b et par suite un

transfert de courant de puissance depuis le transistor VMOS principal vers la capacité de stockage C_S . La tension V_{C_S} peut être alors limitée à un seuil fixé par l'avalanche Base - Emetteur du transistor bipolaire T_Z (typiquement, entre 10 à 20V). Ce fonctionnement peut être vu comme un circuit d'aide à la commutation, dérivant une partie des pertes en commutation vers un circuit annexe, et recyclant une partie de ces pertes pour générer l'alimentation flottante de la commande rapprochée. La figure II.4 présente les courbes en commutation avec et sans circuit de génération d'alimentation flottante.

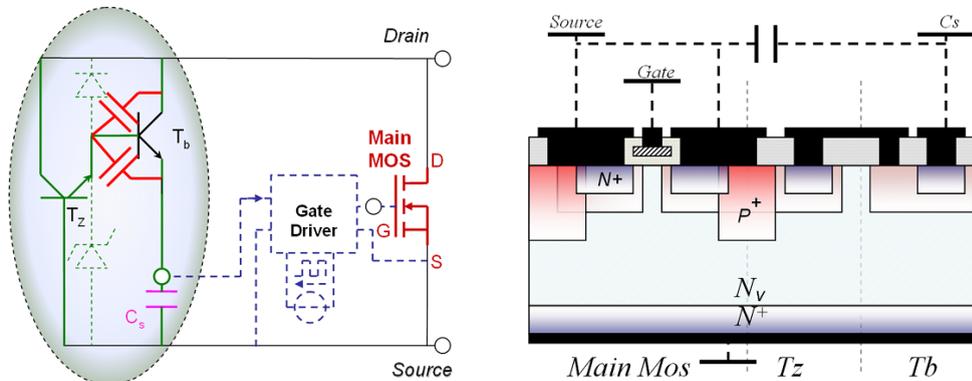


FIGURE II.3 – Intégration monolithique d'un étage de récupération d'énergie pour autoalimentation de la commande rapprochée.

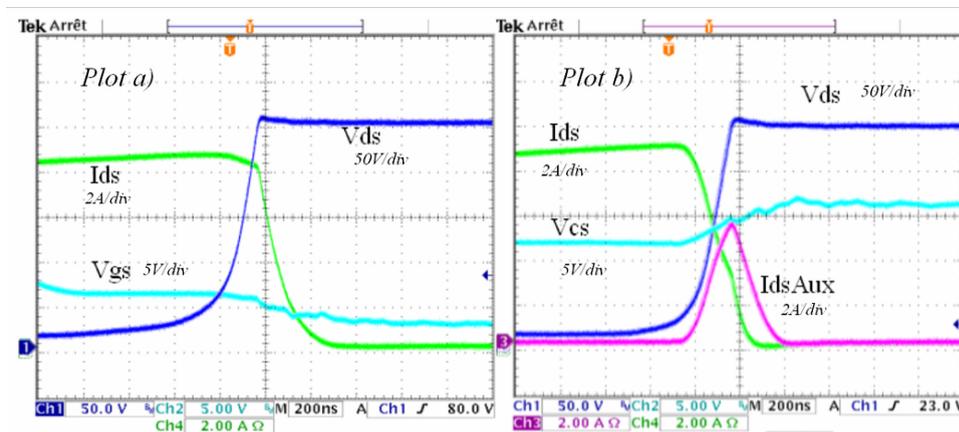


FIGURE II.4 – Formes d'ondes en commutation à l'ouverture. A gauche, commutation classique sans circuit d'autoalimentation. A droite, fonctionnement sans pertes supplémentaires de commutation dans une implémentation discrète du circuit d'autoalimentation proposé [174].

Après une étude en deux dimensions par la méthode des éléments finis sous la suite logicielle Silvaco, les interactions entre le composant de puissance et la fonction intégrée ont été analysées [95, 175]. Un jeu de masques a été réalisé, regroupant 8 niveaux de masquages [95]. La figure II.5 présente une image d'un wafer Silicium contenant les variantes d'autoalimentation (entre autres projets) et une capture d'écran d'un transistor VMOS typique avec les deux transistors bipolaires intégrés réalisant la génération de l'alimentation flottante de la commande rapprochée. A ce moment, la fabrication en salle blanche a été conduite au sein du CIME Nanotech et de la Plateforme Technologique Amont de Grenoble par un ingénieur temporaire lors du projet ANR

MOBIDIC. Suite à un problème technologique de fabrication (court-circuit grille-source suite à surgravure [95, 176]), les variantes à transistors VMOS n'ont pu être utilisées. Néanmoins, les variantes contenant uniquement des composants bipolaires verticaux au sein d'une périphérie en tension ont pu être caractérisées et mises en œuvre dans la structure d'autoalimentation proposée (figure II.6).

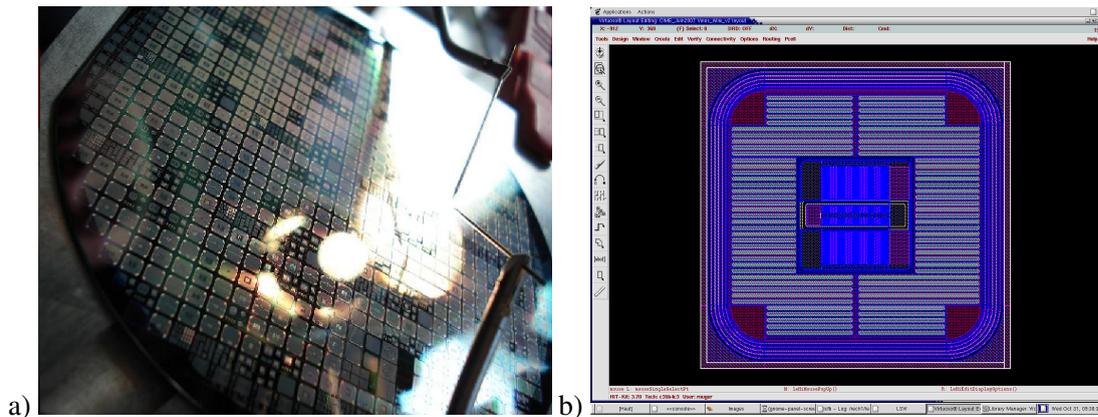


FIGURE II.5 – a) Image d'un wafer fabriqué pendant ma thèse, et b) image de conception des masques d'un transistor VMOS et sa fonction d'autoalimentation intégrée.

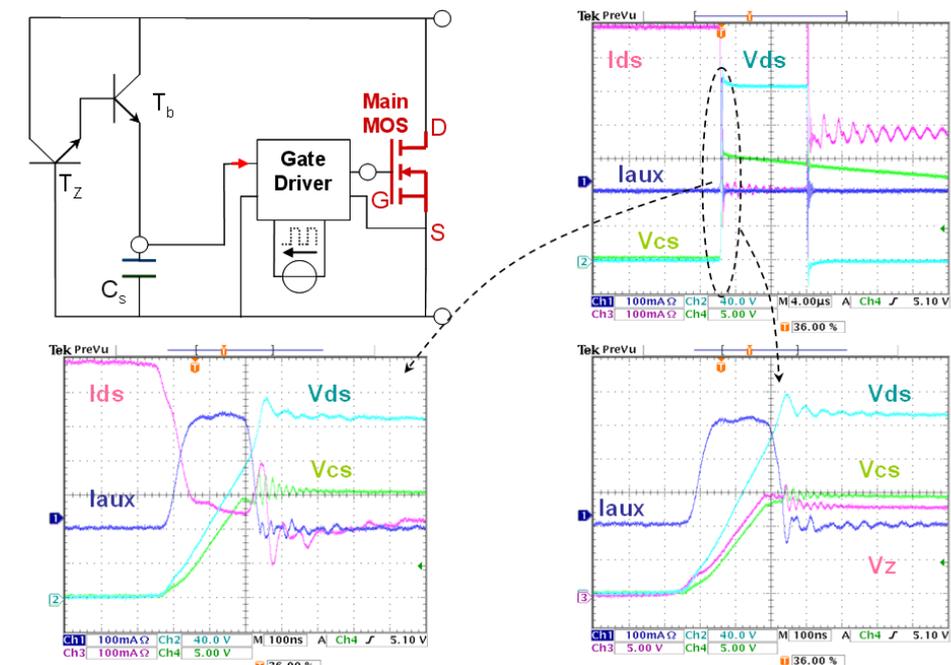


FIGURE II.6 – Démonstration expérimentale de l'autoalimentation avec les composants conçus et caractérisés. En haut : schéma du système d'autoalimentation (gauche) et formes d'ondes expérimentales (droite). En bas : zoom sur les formes d'ondes à l'ouverture du composant de puissance (I_{aux} étant le courant circulant vers le système auxiliaire d'autoalimentation).

Dans la mise en œuvre expérimentale présentée en partie dans la figure II.6, nous avons pu démontrer les avancées suivantes :

- Le fonctionnement à haute tension du circuit de récupération et génération d'alimentation pour la commande rapprochée (preuve de concept expérimentale à 400V),
- La recharge de la capacité de stockage s'effectue uniquement pendant la durée du dV/dt , garantissant alors un fonctionnement de récupération d'énergie à haut rendement,
- La dynamique de réponse du circuit parallèle d'autoalimentation doit être optimisée afin de garantir une commutation rapide du composant de puissance principal tout en récupérant suffisamment d'énergie pendant cette commutation.

D'autres développements et circuits annexes ont été proposés autour de cette structure d'auto-alimentation, principalement dans le but d'estimer les bénéfices supplémentaires de cette technique et aussi d'augmenter la plage d'utilisation de ce type de fonctionnement impulsionnel. La figure II.7 présente par exemple l'utilisation de circuits supplémentaires (ici via une implémentation en composants discrets non intégrés), afin d'autoriser un fonctionnement extrême où le transistor de puissance est fermé pour une durée infinie [177]. Cette démonstration expérimentale permet de relâcher les contraintes sur le point de fonctionnement de la technique d'auto-alimentation. La figure II.8 présente l'action du circuit d'autoalimentation afin de limiter les surtensions aux bornes du transistor de puissance, implémenté dans un convertisseur Flyback, tout en réalisant l'alimentation de la commande rapprochée [173, 177].

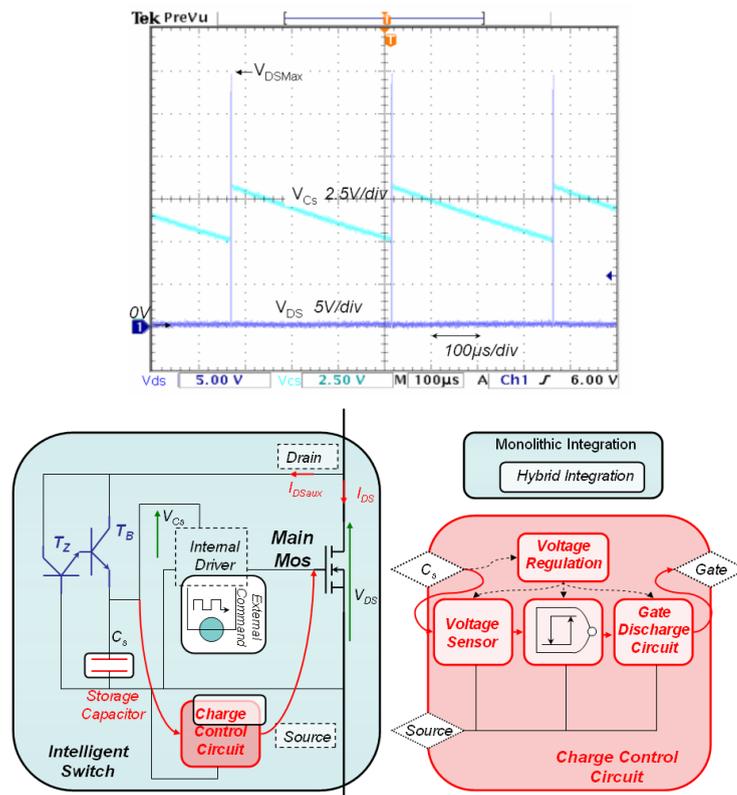


FIGURE II.7 – Ajout d'une intelligence au circuit d'autoalimentation dans le but d'autoriser un fonctionnement *ON permanent*.

Ces travaux ont permis de démontrer théoriquement et expérimentalement une structure intégrable au sein de transistors de puissance et réalisant une récupération d'énergie à haut niveau de

rendement, malgré la conversion d'une tension élevée (*i.e.* 400V à 600V au sein des transistors considérés) vers basse tension (*i.e.* 10V à 20V pour générer et limiter la tension d'alimentation flottante pour le circuit de commande rapproché). Malgré ces démonstrations, ces circuits n'ont pas eu d'écho important auprès d'industriels. Une des raisons possibles à ce manque d'adoption est le fait que les systèmes industriels préfèrent malgré tout contrôler une alimentation externe isolée et s'assurer de la présence de cette source d'alimentation avant même le premier fonctionnement du convertisseur, bien que ces alimentations isolées introduisent une augmentation des interconnexions, ont parfois un rendement faible, et augmentent le volume total des convertisseurs.

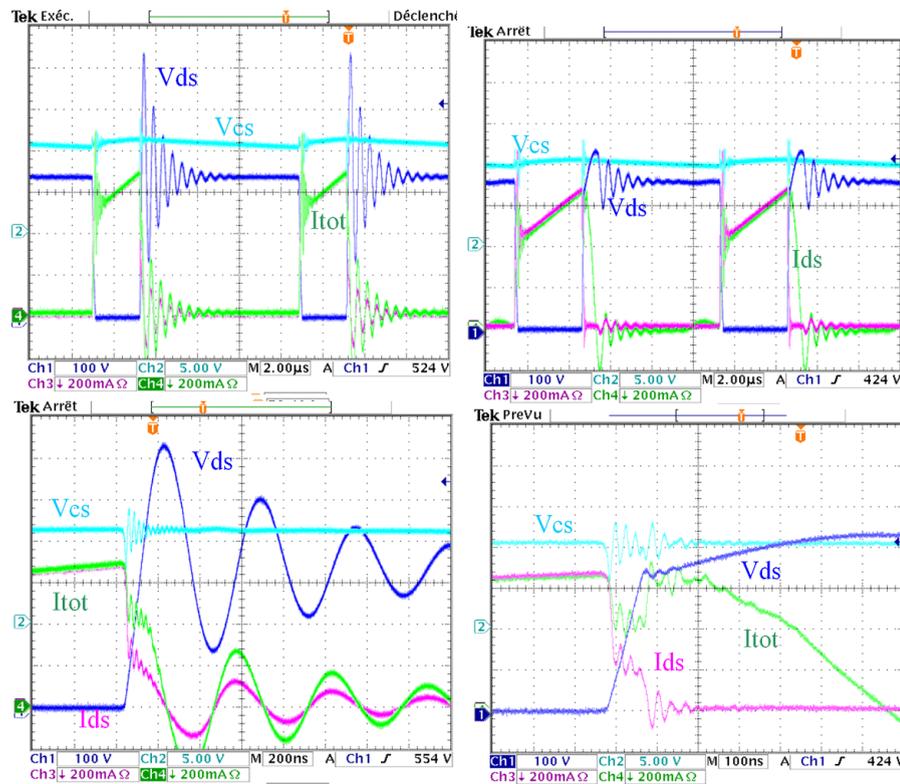


FIGURE II.8 – Utilisation du circuit d'autoalimentation en tant qu'écrêteur actif, permettant de recycler l'énergie de commutation pour générer l'alimentation flottante de la commande rapprochée. A gauche, formes d'ondes dans une implémentation Flyback sans écrêteur. A droite, utilisation du circuit parallèle d'autoalimentation.

II.2.b Fonctions d'isolation galvanique

II.2.b-i Premières contributions

En parallèle des travaux d'intégration monolithique de la fonction d'autoalimentation, j'ai commencé à étudier l'intégration d'un étage de réception optique des ordres de commutation lors de ma thèse de doctorat [95]. Dans cette approche, j'ai considéré intégrer dans un premier temps une interface sensible à la lumière, qui pourrait générer un courant faible mais suffisant pour contrôler un étage électronique permettant un contrôle efficace de la charge et décharge de la grille du transistor de puissance. Comme il a été présenté dans le premier chapitre de ce document

ainsi que dans [95, 157], cette solution se positionne de façon concurrente avec les solutions de pilotage direct par voie optique et pilotage de l'étage de sortie de la commande rapprochée. Dans ces premières contributions, nous avons considéré que le procédé de fabrication du transistor de puissance était figé, à l'image de l'approche d'intégration CMOS en microélectronique et des procédés de fabrication industriels, et nous avons essayé de démontrer la faisabilité d'intégration de récepteur optique, puis quantifier les performances de cette fonction intégrée. La figure II.9 présente la structure d'un détecteur optique intégré (IPD pour Integrated Photo Detector), au sein d'un transistor vertical de puissance de type VMOS. Dans cette première approche, les autres fonctions nécessaires ne sont pas considérées (détection et amplification du courant, contrôle de charge de grille, alimentation flottante des circuits de commande rapprochée).

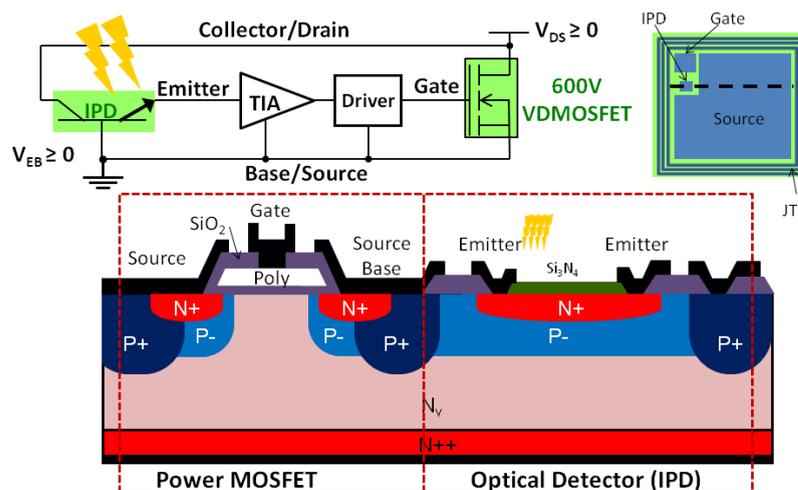


FIGURE II.9 – Intégration d'un étage de détection optique au sein de transistor de puissance de type VMOS.

Parmi les différentes structures possibles, nous avons décidé d'utiliser la structure bipolaire verticale présente dans le composant VMOS en tant que détecteur optique intégré. Un travail préliminaire de simulations analytiques et numériques a été conduit dans ma thèse [95], permettant de proposer une architecture potentiellement intégrable et fonctionnelle. La figure II.10 présente une vue de dessus et en coupe de la variante la plus simple imaginée, où la jonction Emetteur - Base est toujours polarisée en inverse, garantissant alors une isolation par jonction (Base - Collecteur) vis à vis de la face arrière haute tension, commune avec le potentiel de Drain du transistor de puissance. La variation du courant de fuite Emetteur - Base sous l'effet du rayonnement électromagnétique permettrait alors de récupérer les informations isolées de commutation du transistor de puissance, tout en limitant la sensibilité du détecteur optique aux fortes variations de potentiels V_{DS} et V_{CB} lors des commutations du composant de puissance.

Plusieurs variantes ont été imaginées, principalement sur la définition d'une fenêtre optique (voir figure II.11). La figure II.12 présente une image au microscope optique de détecteurs optiques sans périphérie en tension, ainsi qu'une vue des masques des variantes intégrées au sein d'une périphérie en tension et d'un composant de puissance. De nombreuses variantes de layout ont été proposées dans [95], mais il n'avait pas été possible alors d'étudier expérimentalement les performances statiques et dynamiques de tels composants. Comme présenté plus haut, un problème

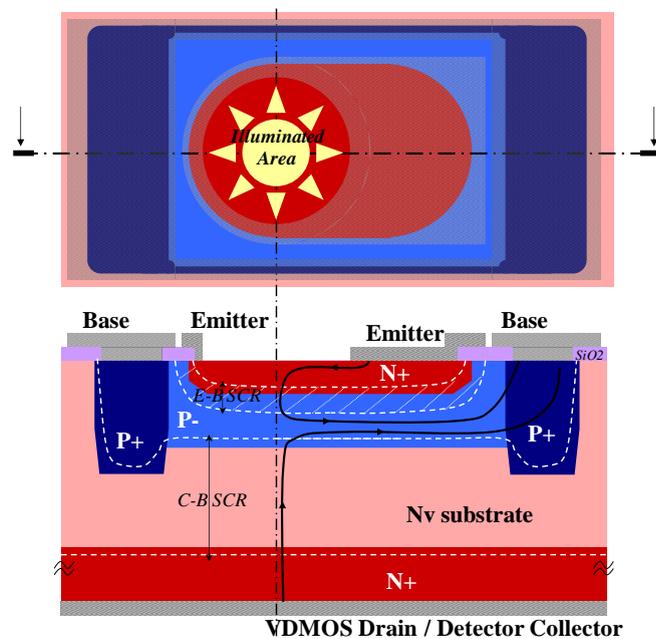


FIGURE II.10 – Vues schématiques de dessus et en coupe du détecteur optique le plus simple, compatible avec le procédé de fabrication des transistors verticaux de puissance.

de fabrication avait rendu inutilisable les variantes intégrées au sein de composant de puissance.

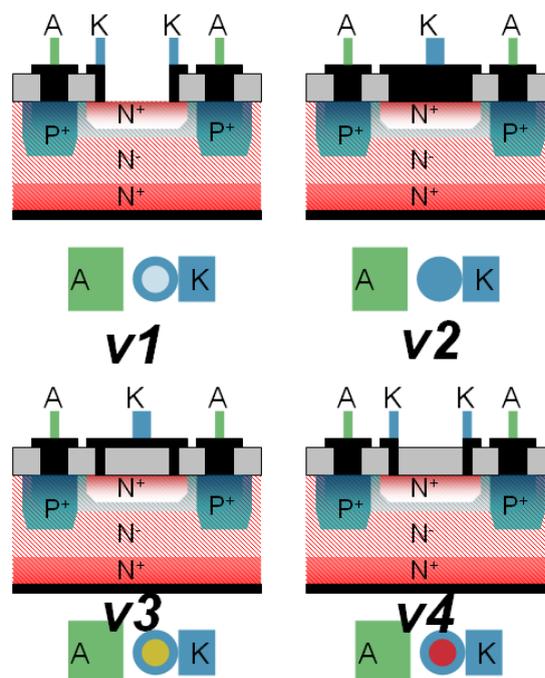


FIGURE II.11 – Vues schématiques de quelques variantes de masques possibles utilisant le même procédé technologique, avec quatre options de fenêtres optiques. Les variantes n'ayant pas de métal sur la fenêtre optique ont démontré les meilleurs résultats.

Ces premiers détecteurs optiques ont pu être caractérisés dans [95] et [178], et la figure II.13

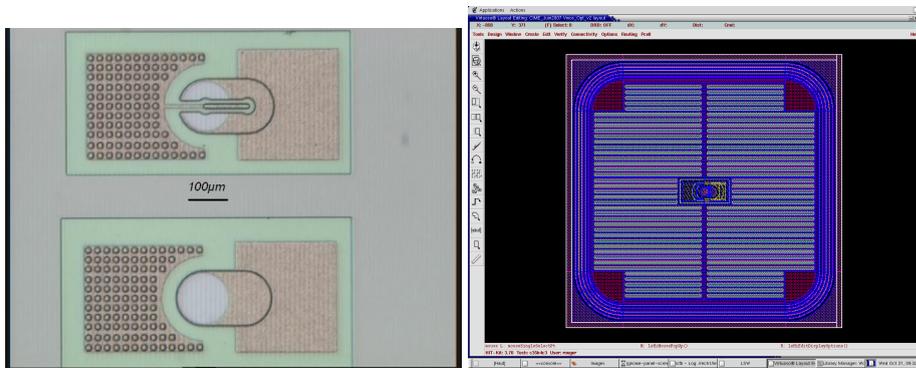


FIGURE II.12 – Détecteurs optiques compatibles avec le procédé de fabrication du composant de puissance. A gauche, image au microscope optique de deux variantes destinées à la caractérisation sous pointe basse tension. A droite, image des masques d'une variante intégrée au sein d'un transistor VMOS de puissance.

présente la caractéristique IV de la jonction Emetteur - Base polarisée en inverse. La tenue en tension de cette jonction utilisée comme détecteur optique est de l'ordre de 15V, et nous avons vérifié qu'il n'y avait aucune modification de ce courant de fuite lorsque la jonction Collecteur - Base était polarisée en inverse. Enfin, un travail d'optimisation a été engagé afin de déterminer d'une part le layout optimal pour un procédé de fabrication donné, et d'autre part d'étudier les performances statiques et dynamiques des détecteurs optiques intégrés. La figure II.13 présente ainsi une première vue en coupe des courants de fuite lorsque le détecteur optique intégré est illuminé, avec la base à la masse, le substrat à une tension de 400V et l'émetteur à 10V. Ces résultats préliminaires [179] m'ont permis de proposer un projet ANR Jeune Chercheur en 2009 afin de poursuivre ces études et aller plus loin dans le pilotage optique intégré de composants de puissance.

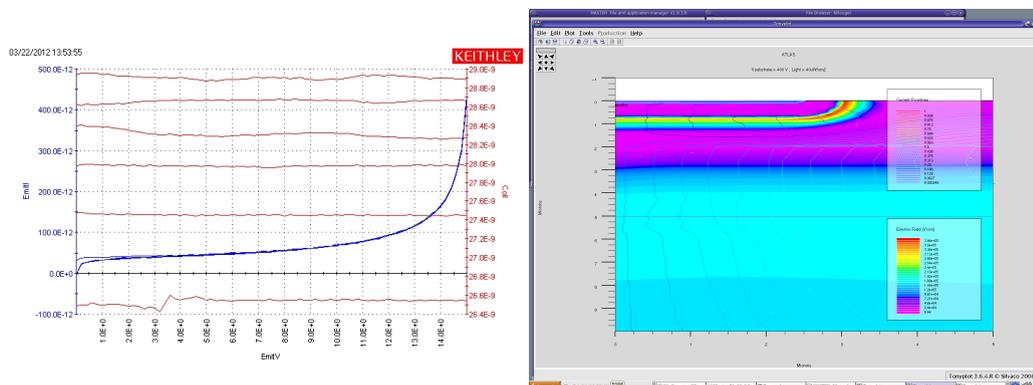


FIGURE II.13 – A gauche, caractérisation sous pointe de détecteur optique intégré ayant la base à la masse. A droite, simulation à éléments finis du détecteur optique sous illumination : représentation du champ électrique et des lignes de courant.

II.2.b-ii Études avancées

Grâce au soutien de l'Agence Nationale de la Recherche via le programme Jeune Chercheur, Jeune Chercheuse obtenu en 2010, j'ai pu ainsi poursuivre la caractérisation des dispositifs optiques intégrés existants, et proposer de nouvelles évolutions. La figure II.14 présente ainsi les premiers résultats de caractérisation statique, démontrant une sensibilité spectrale maximale de l'ordre de 0.08A/W pour le détecteur intégré à polarisation nulle [166]. Ces premières caractérisations utilisaient une série de LED différentes (ici trois couleurs différentes : bleu, vert et rouge), afin de caractériser les performances du détecteur optique intégré. Dans le but d'aller au delà de ces premiers résultats, et plus particulièrement de comparer différentes variantes de conception avec le même procédé de fabrication, mais aussi d'améliorer le banc de caractérisation et proposer une mesure plus fine et plus complète, j'ai conduit et encadré de nombreux travaux autour des ces nouveaux détecteurs optiques intégrés.

Cette action s'articule autour de trois points principaux :

- Mettre au point un banc de caractérisation complet, contrôlant de façon statique et dynamique les grandeurs électriques, optiques et thermiques,
- Concevoir, simuler, réaliser et caractériser de nouveaux détecteurs optiques intégrés,
- Concevoir de nouveaux modes de routage de l'information optique vers les interrupteurs de puissance et leur interface optique.

Ces travaux de modélisation ont été publiés principalement dans l'édition 2011 de la conférence IEEE ISPSD. Un travail très important que j'ai mené pendant les deux premières années de ce projet ANR a été la conception, la mise en place et la pérennisation d'un banc de caractérisation électrique - optique - thermique, afin de mesurer de façon précise, fiable et reproductible, l'ensemble des prototypes déjà fabriqués, et ceux à venir. Ainsi, la figure II.14 représente la première version de ce banc de caractérisation, basé sur l'utilisation de longueurs d'ondes discrètes (jeux de LEDs). Grâce à cet effort expérimental, nous avons pu confronter la modélisation effectuée aux mesures expérimentales, ce qui a été publié dans une revue internationale (IEEE EDL2012) et une conférence nationale (EPF2012).

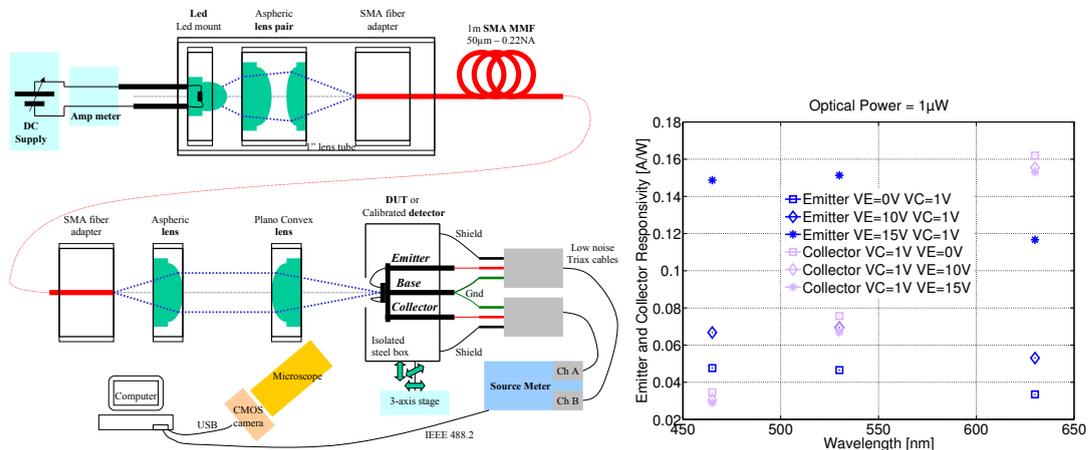


FIGURE II.14 – Caractérisation statique des premiers détecteurs optiques intégrés. A gauche, schéma du banc de caractérisation mis au point. A droite, évolution de la sensibilité spectrale pour trois longueurs d'onde fixes.

Afin de fiabiliser et d'approfondir la caractérisation des détecteurs optiques intégrés, une seconde version du banc expérimental a été entièrement conçu, mis au point, avec de nombreuses évolutions et d'éléments d'interfaçages. La figure II.15 présente ce banc de caractérisation et la figure II.16 présente la mise au point de la partie thermique. Les principales caractéristiques sont :

- Variation continue du spectre du rayonnement optique, sur la plage 200nm-1200nm, par pas de 1nm. La largeur à mi hauteur en sortie du monochromateur est de 10nm,
- Contrôle de la température dans une bande de $\pm 0.1^{\circ}C$, entre $20^{\circ}C$ et $100^{\circ}C$, temps de montée ou de descente de l'ordre de 3 minutes pour une variation de $5^{\circ}C$ (dont phase de stabilisation),
- Caractérisation de composants sur échantillon ou sur Wafer (100mm),
- Cinq systèmes de prises de contact assurent le contrôle et la mesure des différents potentiels,
- Voie de monitoring optique supplémentaire permettant l'application d'un facteur de correction des fluctuations basses fréquences de la puissance émise par la source optique, entre la phase de calibration de puissance, et la phase de mesure du dispositif,
- Immunité vis à vis de la lumière ambiante, assurant un niveau équivalent de bruit sur la puissance optique inférieur à $\pm 3pW$, quelles que soient les conditions de luminosité dans la salle de manipulation,
- Polarisation et mesures de trois canaux électriques isolés, de $1\mu V$ à $200V$ et de $1fA$ à $10A$,
- Interface de pilotage et contrôle via l'environnement Matlab, contrôlant l'ensemble des équipements, avec programmation des différentes séquences de test.

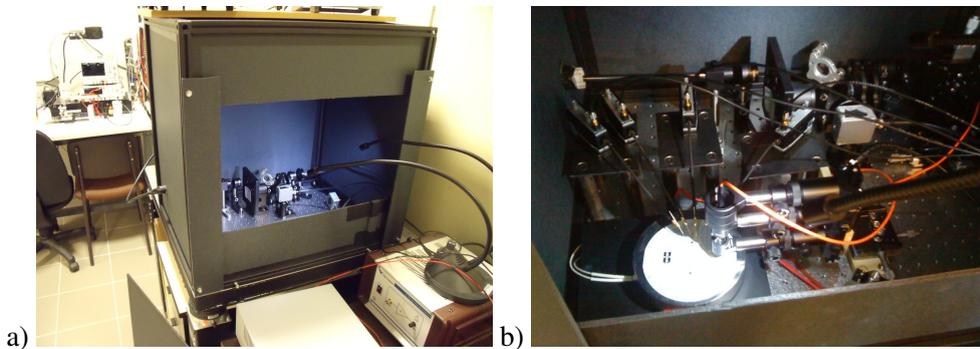


FIGURE II.15 – Photographies du second banc expérimental. a) Vue d'ensemble, depuis la sortie du monochromateur, et avant l'ajout d'un système de mesure *on Wafer*. b) Zoom sur la mesure du DUT : des systèmes de pointes électriques et micro positionneurs assurent la polarisation et la mesure, tandis la distribution spatiale et fréquentielle de la lumière est contrôlée et calibrée.

Grâce à ce nouveau banc de mesure, pour lequel je me suis impliqué très activement sur toute l'année 2011, des mesures et comparaisons plus précises ont pu être effectuées entre les modélisations numériques par la méthode des éléments finis et la caractérisation. Afin d'améliorer et de faire évoluer certains points précis de ce banc, j'ai encadré plusieurs stagiaires et chercheurs temporaires (une doctorante, un stagiaire DUT, deux élèves ingénieurs à temps partiel). Les verrous majeurs rencontrés lors de la mise au point de ce banc ont été d'une part les problématiques de mesures faibles courants et d'instrumentation électro-optique faible signal, et d'autre part de disponibilité et d'achat des matériels.

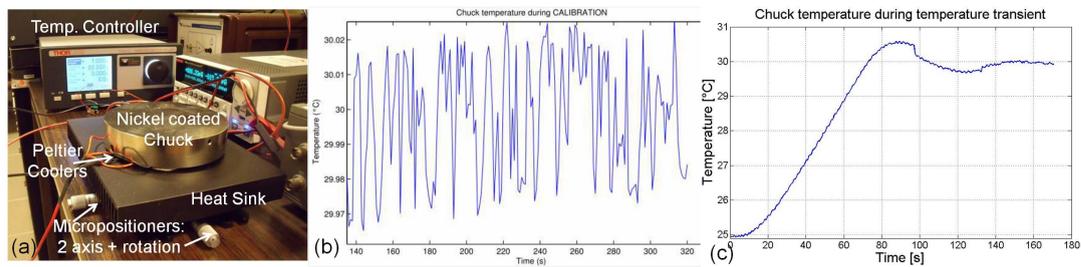


FIGURE II.16 – Mise au point de la régulation de température sur le porte échantillon

Sur cette thématique et en lien avec la fin du projet ANR JCJC SiPowLight entre 2012 et 2014, un procédé de fabrication simplifié a été mis au point - figure II.17 et un jeu de masque a été conçu dans le but de démontrer les performances statiques et dynamiques de détecteurs optiques fabriqués selon un procédé de puissance - figure II.18. Ces résultats sont décrits de façon exhaustive dans la thèse de Raha Vafaei [157]. Outre l'encadrement de la thèse, j'ai participé en première ligne à la formation en salle blanche de Raha Vafaei, doctorante, ainsi que le suivi les étapes de fabrication et la caractérisation des dispositifs, la mise au point des procédés expérimentaux de caractérisation. De nombreuses variantes ont été considérées, afin d'une part de confirmer les tendances observées lors de la conception, et d'autre part de rechercher la meilleure géométrie pour le procédé technologique retenu - figures II.19 et II.20. La figure II.19 présente quelques variantes fabriquées, au sein ou non d'une périphérie en tension permettant l'étude des perturbations de ces détecteurs lors de présence de haute tension sur le potentiel commun en face arrière du composant.

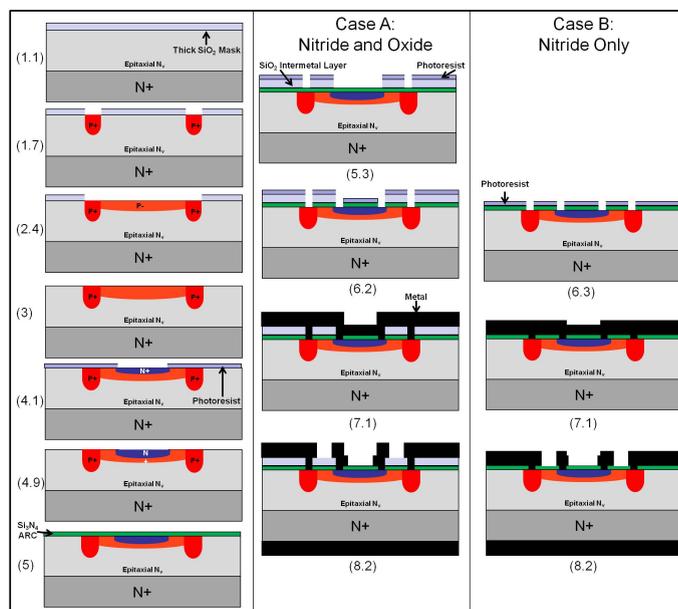


FIGURE II.17 – Procédé de fabrication simplifié mis au point, dans le but de fabriquer rapidement des détecteurs optiques subissant les mêmes étapes technologiques que les transistors de puissance. Ici, les étapes de fabrication des grilles pour les composants de puissance ont été supprimées et un traitement anti-reflet par nitrure de Silicium a été rajouté.

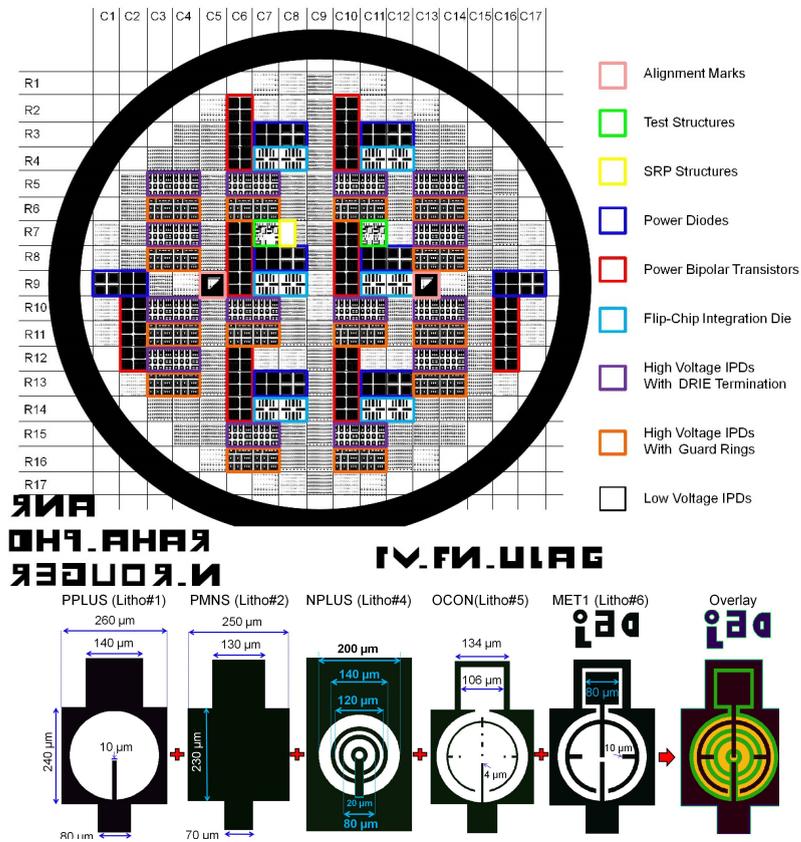


FIGURE II.18 – Jeu de masques conçus pendant la thèse de Raha Vafaei.

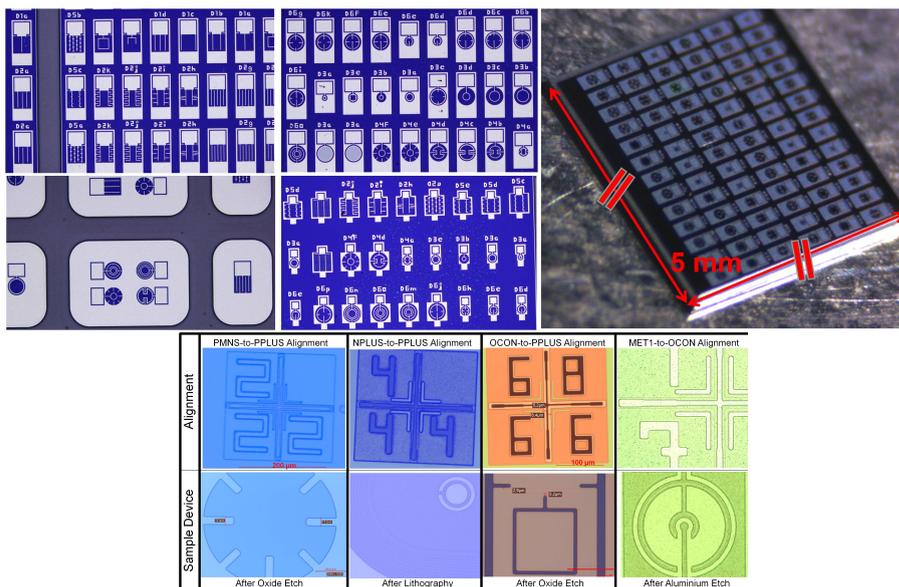


FIGURE II.19 – Images microscope optique. En haut, différents détecteurs optiques réalisés avec un procédé de fabrication de sein de composants de puissance Silicium 600V verticaux. En bas, zones d’alignement et quelques variantes pendant la fabrication en salle blanche

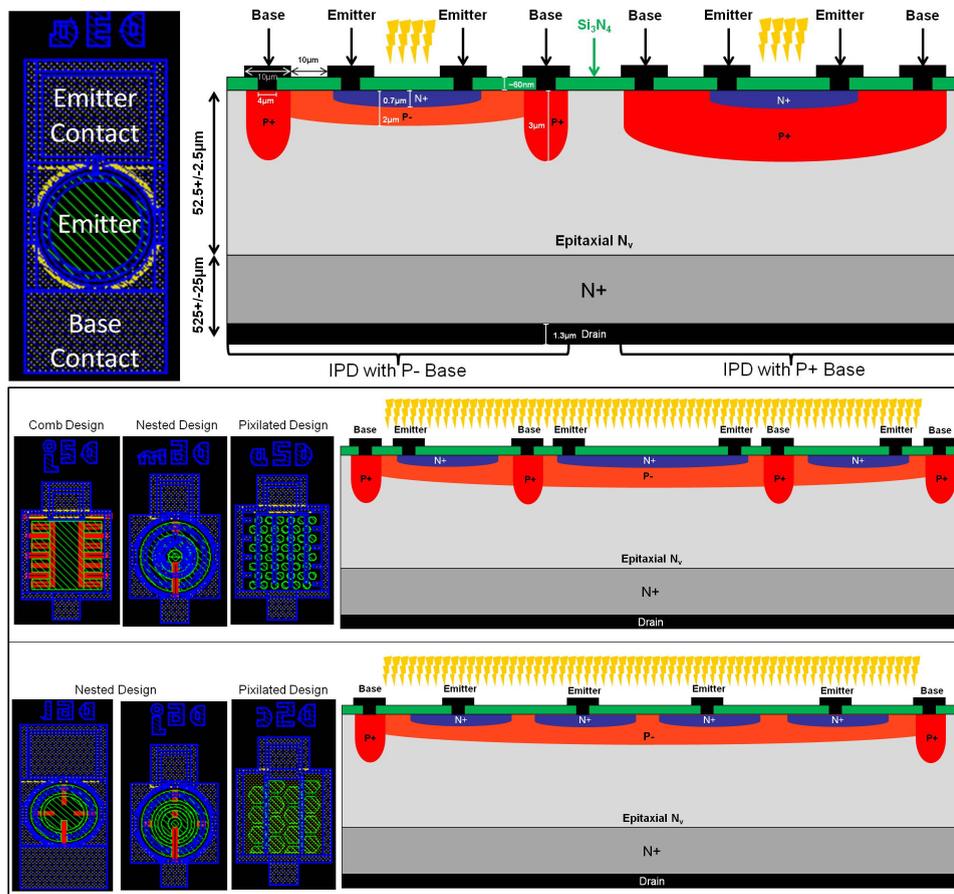


FIGURE II.20 – Exemples de variantes conçues afin d’avoir les meilleurs compromis entre bande passante et sensibilité spectrale. En haut, détecteur optique intégré typique, de type N+/P- ou N+/P+. En bas, modifications de la géométrie pour optimiser le compromis entre effet d’ombrage et pertes électriques.

Les figures II.21 et II.22 présentent quelques résultats statiques et dynamiques des composants fabriqués au sein de la Plateforme Technologique Amont (PTA) de Grenoble et du Centre Inter-universitaire de MicroElectronique et Nanotechnologies (CIME Nanotech) de Grenoble. Malgré un intérêt académique certain, ces résultats ont malgré tout eu un impact limité avec une publication en revue (IEEE EDL 2012), une conférence internationale (IEEE I2MTC 2013), et deux conférences nationales (SGE 2014 et EPF 2012). Une des raisons de cet impact limité pourrait être la focalisation de la communauté sur les nouveaux matériaux grands gaps (malgré la prépondérance du matériau Silicium en électronique de puissance), l'aspect multidisciplinaire qui peine à être reconnu dans des communautés trop spécifiques et l'aspect préliminaire des ces résultats (il reste à démontrer l'intégration monolithique des autres fonctions et les bénéfices et contraintes au niveau du système). Au niveau des résultats atteints, nous avons pu démontrer expérimentalement et théoriquement une sensibilité spectrale maximale de $0.2A/W$ pour le détecteur optique intégré à la longueur d'onde optimale de $500nm$ - figure II.21.

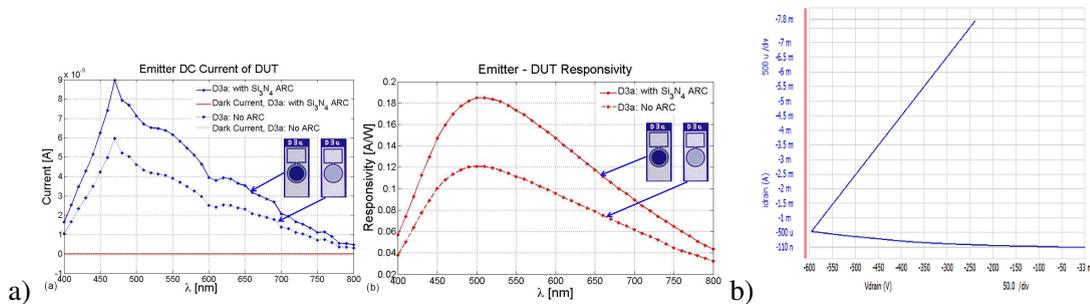


FIGURE II.21 – Caractérisation statique des détecteurs optiques fabriqués. a) Courants mesurés et sensibilités spectrales de deux variantes. b) Tenue en tension de 600V démontrée, en lien avec le cahier des charges de fabrication, le choix de substrats et la périphérie en tranchée réalisée.

Cette valeur est obtenue grâce au traitement antireflet en Si_3N_4 de $70nm$ rajouté pendant le procédé de fabrication, permettant de diminuer les recombinaisons en surface, et de réduire les réflexions optiques. Ainsi, la sensibilité spectrale mesurée est augmentée depuis 0.1 à $0.2 A/W$ par l'ajout de cette passivation. Cette valeur permet aussi de limiter la puissance optique nécessaire pour le transfert des ordres de commutation, en réduisant les problématiques de détection de faibles courants. Ainsi, la figure II.22 présente le bon fonctionnement de la chaîne de transmission par voie optique des ordres de commutation. Dans ce cas, un laser bleu à modulation directe a été utilisé, avec un niveau de puissance optique transmis de l'ordre de la dizaine de μW . Des études d'immunité dynamique sont nécessaires et ont été partiellement conduites et présentées dans [157, 180, 181]. Ces études d'immunité dynamique montrent qu'il faudra soit filtrer la partie haute fréquence du courant d'émetteur dans la partie électronique de détection, soit améliorer la géométrie et la structure du détecteur optique pour limiter la modification du courant d'émetteur sous l'effet du $\frac{dV}{dt}$ Collecteur-Base (identique au $\frac{dV}{dt}$ Drain-Source). D'autre part, les études dynamiques (analyses harmoniques petit signal, 3D axisymétrique, sous illumination) ont montré que les détecteurs optiques intégrés disposaient d'une bande passante au-delà de plusieurs dizaines de MHz, totalement compatible avec l'application en électronique de puissance.

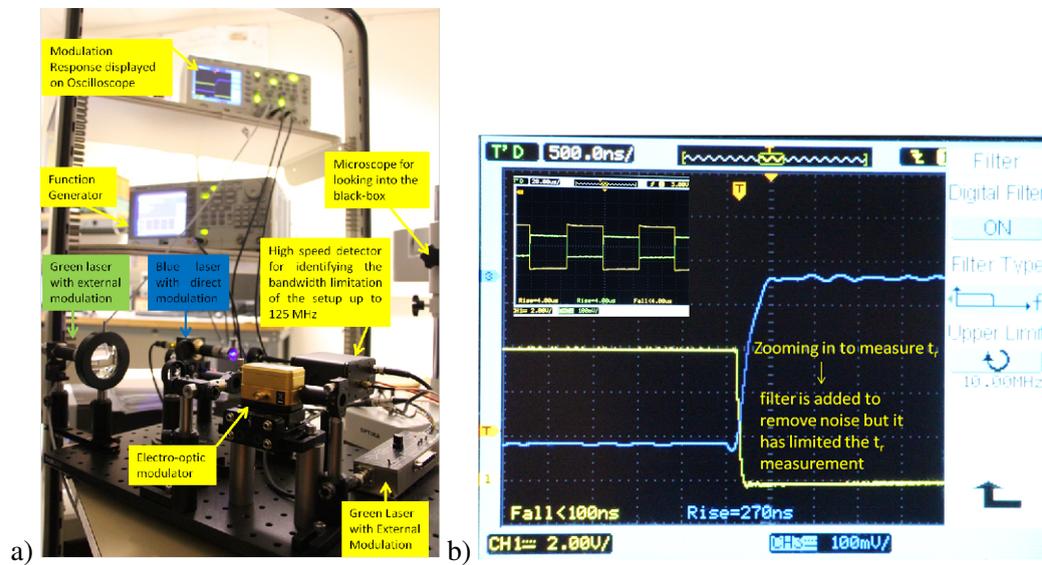


FIGURE II.22 – Caractérisation dynamique des détecteurs optiques fabriqués. a) Banc de caractérisation mis au point. b) Démonstration de l’adéquation des performances à l’application en électronique de puissance : bande passante au delà de 10MHz.

II.3 Intégration 3D et conception couplée

II.3.a Association puissance - commande

Avec pour but d’aller au delà des limites technologiques auxquelles l’intégration monolithique est confrontée, une approche de co-intégration puissance - commande a été considérée. En effet, bien qu’il soit possible d’intégrer monolithiquement les fonctions nécessaires au pilotage du transistor de puissance en son sein, cette approche implique une augmentation notable des étapes de fabrication (i.e. sur le même substrat, on conduit l’ensemble des étapes *de puissance* en masquant le côté *CMOS* puis on masque la partie puissance et réalise la partie *CMOS*, ceci si les étapes ne sont pas mutualisables, avec une prise en compte des bilans thermiques). Par exemple, les procédés de fabrication des transistors de puissance ne requièrent pas de finesse de grille ni lithographie du même niveau que les circuits électroniques CMOS du gate driver et par suite, utiliser une fabrication fine CMOS pour fabriquer des composants de puissance peut être limitant du point de vue du coût et de la complexité globale de fabrication. D’autre part, nous allons montrer qu’il est nécessaire de concevoir conjointement et avec le plus de degrés de liberté possibles les puces de puissance et les puces de commande.

Cette approche de conception couplée est présentée sur la figure II.23, s’appuyant sur deux puces complémentaires et conçues dans le but d’optimiser la fonction globale. La figure II.24 présente les fonctions partagées et l’intégration 3D, afin de réaliser une autoalimentation du circuit de pilotage et d’assurer l’intégration d’un transfert isolé des ordres de commutation. Comme nous l’avons démontré dans [155, 182, 183], il est nécessaire de minimiser les éléments parasites entre les deux puces et d’avoir ainsi un mariage des fonctions avec la partie puissance et la partie commande. Par exemple, la figure II.25 présente les limites d’une intégration planaire classique, mettant en péril la fonctionnalité et la performance des fonctions intégrées à cause des éléments

parasites introduits par le mode de packaging classique.

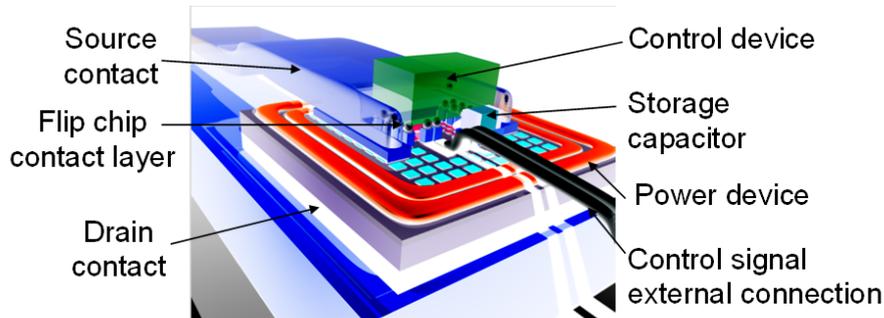


FIGURE II.23 – Approche de conception couplée puissance - commande : le composant de puissance devient un micro-substrat, avec une co-intégration des fonctions nécessaires à la réalisation de la fonction interrupteur de puissance.

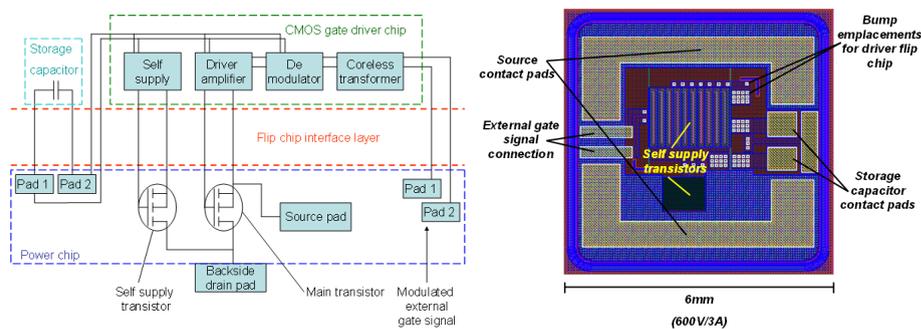


FIGURE II.24 – Exemple de l'approche de conception couplée et d'intégration 3D. A gauche, blocs schématiques des fonctions co-intégrées. A droite, vue des niveaux de masquages modifiés pour le composant de puissance, afin d'intégrer certaines fonctions haute tension, et ayant une surface adaptée pour le report du circuit de gate driver dédié.

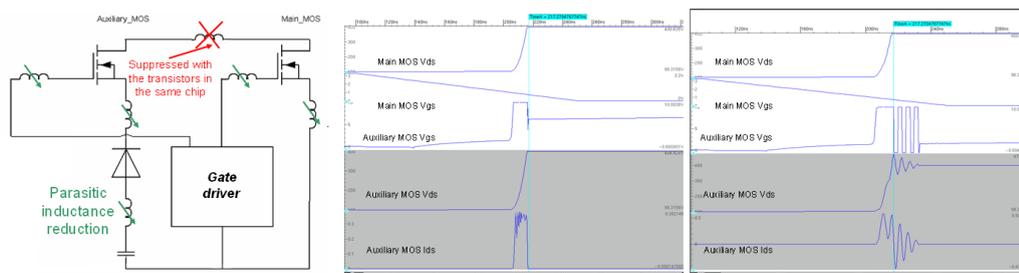


FIGURE II.25 – Justification du besoin d'intégration lors du mariage des fonctions. A gauche, schéma du transistor de puissance et des fonctions intégrées. Au milieu et à droite, courbes de simulation circuit avec faible (10nH) et forte (100nH) impédance d'interconnexion, démontrant le besoin d'intégration pour assurer un bon fonctionnement.

Ces travaux ont été conduits principalement dans la thèse de Timothé Simonot [155], avec un

travail important de mise au point des procédés technologiques nécessaires à cette approche. Plus particulièrement, la finition des composants de puissance est primordiale, afin de positionner les zones de report de l'électronique CMOS et par suite assurer une association performante entre le gate driver et le composant de puissance. Bien que les composants de puissance dimensionnés et conçus n'aient pu démontrer un bon fonctionnement après leur fabrication¹ (court-circuit grille-source, autres problèmes technologiques), des étapes clés ont pu être validées (métallisation épaisse par électrochimie, *stump bumping* et *flip chipping*). Les figures II.26 et II.27 présentent ainsi les résultats de ces développements technologiques, au sein des plateformes académiques disponibles à Grenoble. A cette époque, le report et l'assemblage 3D des puces a été réalisé et mis au point via le réseau RENATECH (FEMTO-ST).

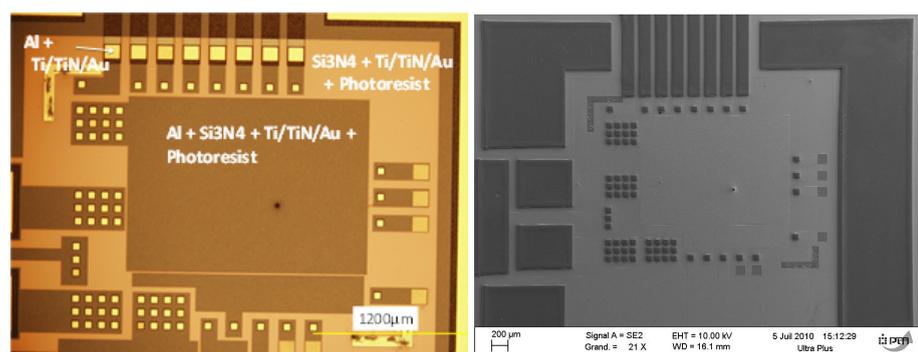


FIGURE II.26 – Mise au point d'étapes technologiques spécifiques de finition des composants de puissance. A gauche, image microscope optique d'un *faux* composant de puissance, avec finalisation métallique adaptée pour dépôt de bump. A droite, image microscope électronique à balayage des dernières étapes, avec croissance électrolytique de Cuivre épais.

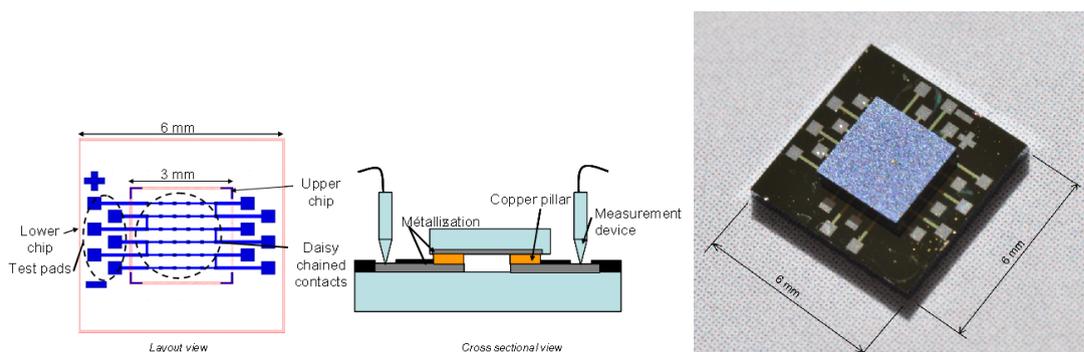


FIGURE II.27 – Mise au point d'échantillons test pour validation de l'intégration 3D. A gauche, réalisation et caractérisation de contacts chaînés 3D. A droite, photographie de deux puces de tests assemblés.

Ces travaux de conception couplée et d'intégration 3D doivent aussi s'appuyer sur une conception performante et efficace des fonctions du gate driver. Ainsi, plusieurs puces CMOS ont été imaginées, simulées, conçues, caractérisées et implémentées dans des structures de puissance.

1. Fabrication pour laquelle je me suis impliqué en salle blanche dans la conduite des procédés et étapes technologiques.

Ceci s'est caractérisé par ma participation à l'encadrement des thèses de Timothé Simonot, Romain Grezard et Duc Ngoc To. Dans ces travaux, nous avons utilisé des plateformes industrielles CMOS accessibles en multi-projet telles que AMS, offerte via CMP (UMS CNRS/Grenoble-INP). Les technologies retenues présentent des finesses de grille entre $0.18\mu\text{m}$ et $0.35\mu\text{m}$, quatre niveaux de métallisation et des fonctions basse tension (3.3V, 5V pour la gamme C35, plus les tensions 20V, 50V et 100V pour la gamme H35). Ces plateformes industrielles nous permettent d'utiliser des Design Kit de conception et routage fiables et garantir le bon fonctionnement de ces ASICs. Parmi les fonctions développées disponibles dans les thèses de T. Simonot, R. Grezard et D. To, les figures II.28 à II.30 présentent quelques fonctions conçues.

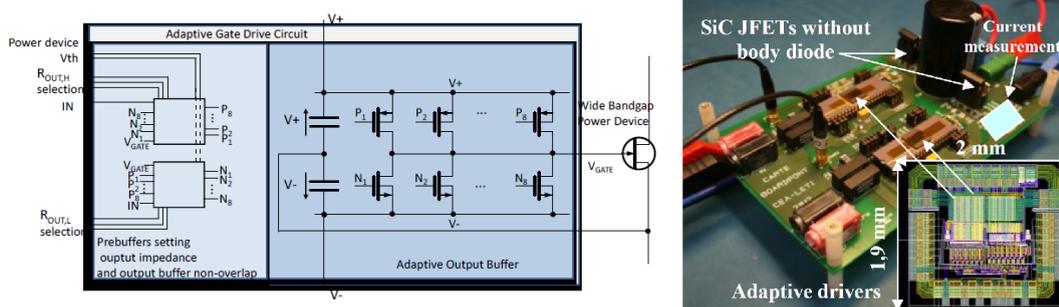


FIGURE II.28 – Gate driver à impédance de sortie variable. A gauche, schéma du gate driver. A droite, image de l'implémentation du gate driver dans un convertisseur. Collaboration G2Elab / CEA-Leti via la thèse de R. Grezard.

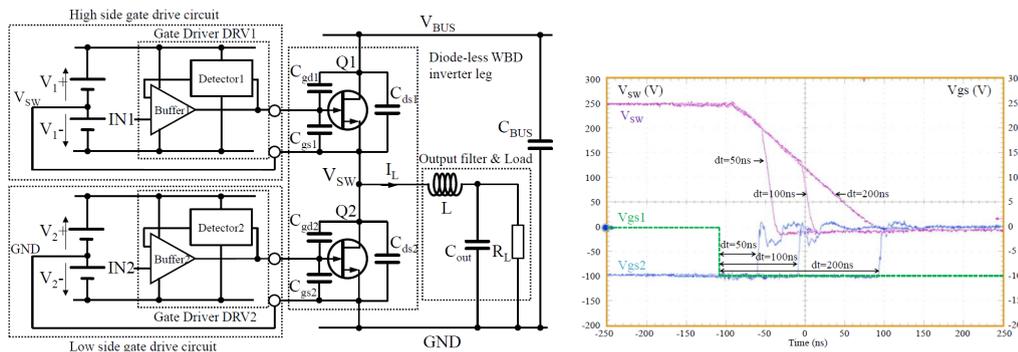


FIGURE II.29 – Mise au point d'un gate driver permettant un fonctionnement optimal du convertisseur de puissance sans diode de roue libre. A gauche, schéma complet. A droite, relevé d'oscilloscope pour différents temps morts fixes. L'approche ici est de rendre auto-adaptatif la gestion du temps mort, pour garantir un fonctionnement sûr et un rendement optimal.

Cette approche d'intégration permet d'améliorer et d'optimiser la fonction interrupteur de puissance, comme cela a été montré dans [163, 184, 185]. De nouvelles perspectives sont aussi ouvertes par ce travail, comme par exemple l'introduction d'une segmentation ou d'un découpage en composants de puissance élémentaires, issus du fractionnement d'un composant de puissance et proposant de nombreuses grilles. Alors, un gate driver, lui aussi segmenté, pourrait permettre de ne commander qu'une partie des cellules du composant de puissance, et permettre un gain en

énergie de commande. Ceci impacterait principalement les fonctionnements à haute fréquence ou sur des cycles d'usage en puissance réduite - figure II.31. Cette approche a été présentée dans la thèse de D. To [156] et présente quelques résultats théoriques. Il faut noter que sans une conception couplée ni une intégration collective, une telle approche est particulièrement difficile à mettre en œuvre du fait du nombre important d'interconnexions et des parasites induits. De la même façon, on peut aussi considérer l'intégration de fonctions haute tension au sein du composant de puissance, et utiliser uniquement des technologies CMOS basse tension pour le gate driver, comme présenté dans [186]. Clairement, de nouvelles perspectives sont offertes par une maîtrise conjointe du composant de puissance et de son gate driver dédié.

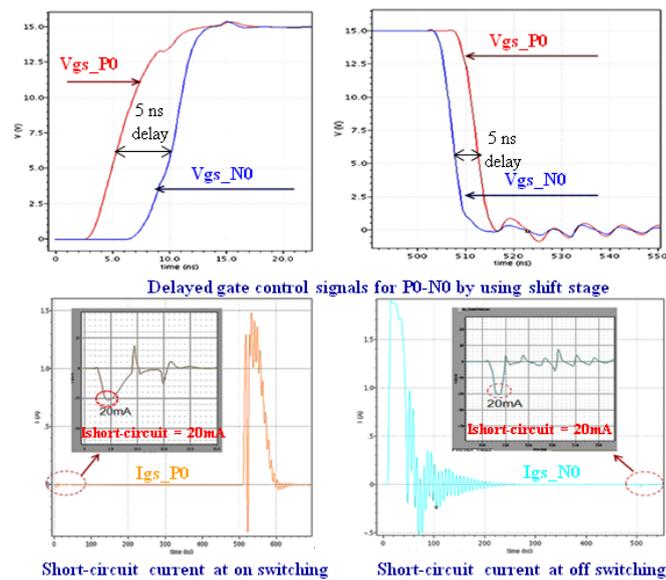


FIGURE II.30 – Dimensionnement de l'étage de sortie du gate driver (buffer CMOS).

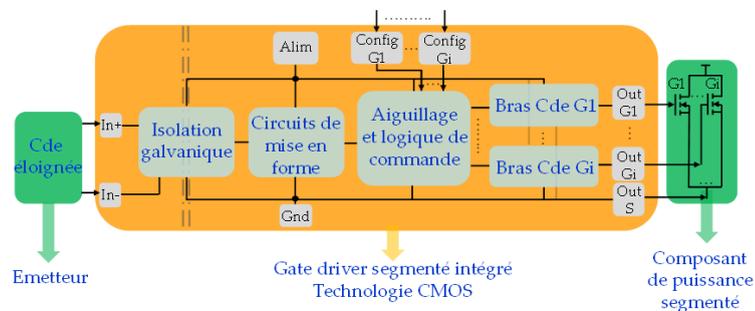


FIGURE II.31 – Introduction d'une segmentation couplée du gate driver et du composant de puissance, dans le but d'améliorer les performances en haute fréquence et/ou puissance réduite.

II.3.b Convertisseurs à l'échelle du Wafer

Au delà de l'association composant de puissance et gate driver, il est impératif de proposer des solutions intégrées afin d'obtenir des cellules de commutation présentant des boucles de puissance

réduites. Plus particulièrement et comme il a été présenté dans le premier chapitre, il est nécessaire de minimiser les éléments parasites à l'intérieur de la maille de commutation, afin d'autoriser des vitesses de commutation élevées et de confiner les perturbations électromagnétiques. Dans ce contexte, les composants de puissance sont classiquement fabriqués à l'échelle du wafer, puis découpés et reportés un à un sur un substrat de puissance (module de puissance) ou boîtier (composant de puissance discret). Le concepteur de convertisseur utilise ensuite au mieux ces composants, en minimisant les éléments parasites de la maille de commutation via une intégration rapprochée de la capacité haute tension de découplage et une maîtrise du routage des chemins de puissance.

La figure II.32 présente ainsi deux visions contradictoires, depuis le packaging classique des composants de puissance après découpe, jusqu'à l'approche introduite dans le cadre d'une collaboration étroite entre le CEA-Leti et le G2Elab (projet Carnot Power Leti et thèse B. Letowski). Dans notre approche, nous proposons d'aller vers une fabrication à l'échelle du wafer de cellules de commutation de puissance et une intégration 3D de ces dernières proposant un niveau de performance ultime [187]. Le but ici est de reporter chaque wafer de puissance sur une embase métallique, assurant ainsi la tenue mécanique des composants de puissance et permettant de réduire l'épaisseur du wafer du matériau de semiconducteur durant la fabrication, assurant un dimensionnement optimal de la zone de tenue en tension et des résistances d'accès - figure II.33. Une fois ce collage moléculaire effectué, les composants de puissance sont finalisés - figure II.34.

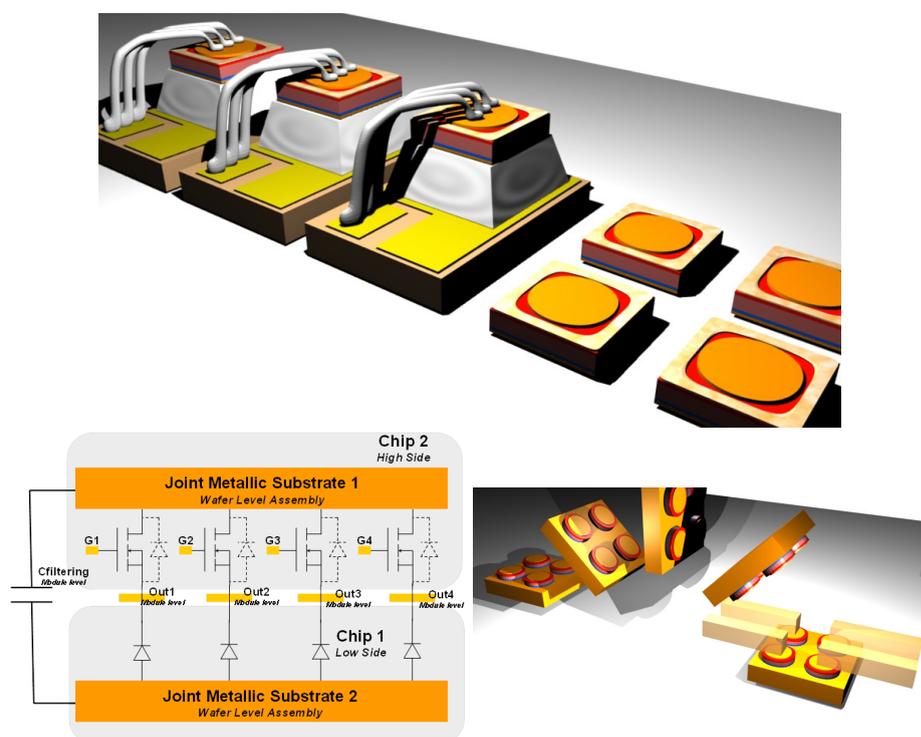


FIGURE II.32 – En haut, mode de fabrication et packaging classique. En bas, approche collective à l'échelle du module ou du wafer proposée.

Une fois les wafers fabriqués, deux approches ont été développées : dans un premier temps, un packaging à l'échelle du module, où chaque wafer contenant des matrices de composants de

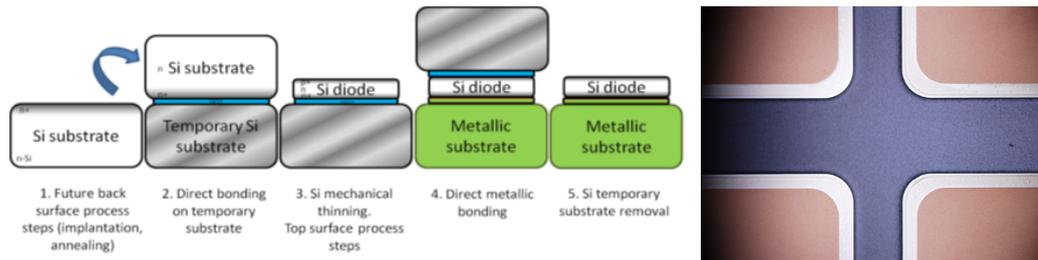


FIGURE II.33 – Étapes technologiques de fabrication à l'échelle du wafer. A droite, image microscope optique et zoom autour des périphéries en tension par tranchées profondes, dans le cas de diodes de puissance.

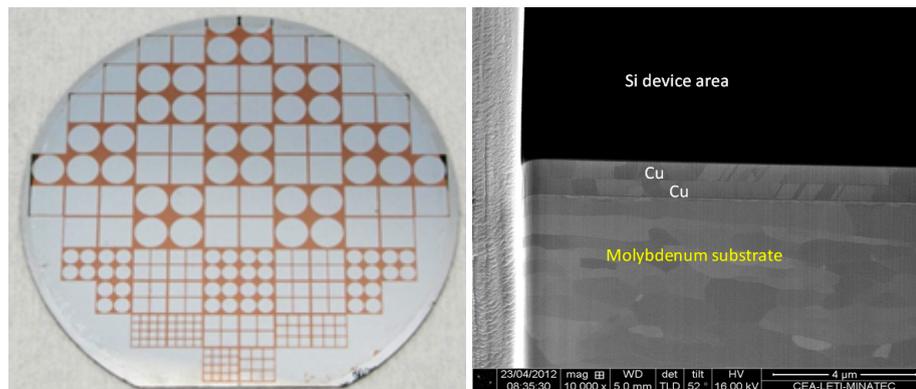


FIGURE II.34 – Premiers développements technologiques permettant la fabrication optimale de diodes verticales sur substrat métallique.

puissance est découpé, puis assemblé en 3D via un *power lead frame* [188, 189]. Dans un second temps, l'assemblage 3D complet à l'échelle du wafer via un cuivre intermédiaire avec des motifs pour récupérer les points milieux a été développé et est en cours de développement dans le cadre de la thèse de B. Letowski et d'un brevet commun CNRS/ CEA-Leti [190]. La partie de préparation des substrats, polissage et collage moléculaire Cuivre-Cuivre est entièrement développée au CEA-Leti au sein du Laboratoire de Substrats Avancés, activités qui ont été transférées vers l'électronique de puissance par Julie Widiez et Lamine Benaissa, chercheurs au CEA-Leti, sous la direction de Thomas Signamarcheix et Laurent Clavelier.

Cette approche d'intégration impose d'avoir la maîtrise de la fabrication des composants de puissance, et de nombreux développements technologiques ont été menés en salle blanche au CIME Nanotech et sur la Plateforme Technologique Amont de Grenoble. Ainsi, entre les années 2009 et 2013, j'ai contribué à plusieurs séquences de conception de jeux de masques de diodes de puissance et transistors, et la fabrication et la caractérisation de ces composants en salle blanche. Grâce au soutien technique d'un ingénieur d'étude (Victor Gaude) pendant 3 ans, nous avons ainsi modifié la structure des composants de puissance pour les adapter aux contraintes du packaging (seconde métallisation en cuivre, positionnement de la grille, passivation par jonction profonde, géométrie de la cellule élémentaire de puissance), et la figure II.35 présente deux versions de transistors de puissance VDMOS 600V mis au point pendant cette période. Au delà des performances intrinsèques de ces composants qui ne peuvent pas rivaliser avec les standards industriels, notre but était de démontrer les bénéfices au niveau système via l'intégration 3D et la fabrication à l'échelle du wafer de matrices de cellule de commutation de puissance. Il est clair que l'intégration et la fabrication à l'échelle du wafer offre de nombreux avantages, tels que la maîtrise parfaite de la rugosité et des procédés d'alignements.

Grâce à la Collaboration Stratégique de Recherche G2Elab - CEA-Leti et le financement CEA-Leti de la thèse de Bastien Letowski, nous avons pu poursuivre les travaux préliminaires du projet Carnot Leti Power. Ainsi, le but est maintenant de démontrer pour la première fois l'intégration 3D de cellules de commutation de puissance à l'échelle du wafer, et les bénéfices électriques (vitesse de commutation augmentée, gains en rendement) et électromagnétiques (confinement des sources de perturbations, intégration au plus proche de la capacité de découplage, intégration des gate drivers avec minimisation des interactions puissance - commande).

De nombreuses perspectives sont offertes par ce travail en rupture avec l'approche classique basée sur des composants discrets et un assemblage 2D ou 3D. Dans un premier temps, il faudra démontrer expérimentalement les bénéfices de notre approche, puis intégrer au plus proche les capacités de découplage et les circuits de pilotage. Dans un second temps, l'analyse thermomécanique de l'ensemble doit être réalisée et confronter à d'autres approches plus conventionnelles. Le transfert de cette approche vers des composants grands gaps à structure verticale doit être considéré, particulièrement vers les composants verticaux en SiC, ce qui permettrait des gains sur les pertes en commutation.

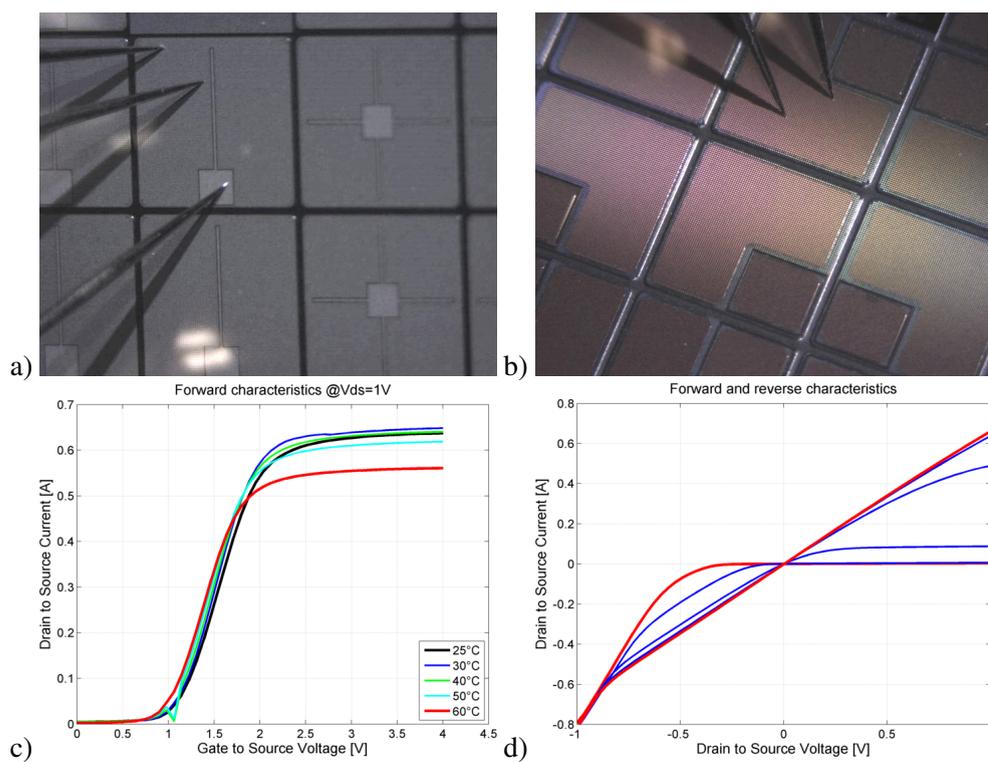


FIGURE II.35 – Composants de puissance spécifiques conçus, fabriqués et caractérisés lors du projet Carnot Leti Power. En haut, images microscope optique de variantes de VDMOS 600V. En bas, caractéristiques statiques.

II.3.c Isolation galvanique intégrée au gate driver

Partant des résultats et de l'approche proposée dans la thèse de T. Simonot [155], j'ai construit un projet de collaboration entre le G2Elab et le laboratoire IMEP-LAHC. Ainsi, via le projet BQR WiCiSiTUDe (Grenoble-INP, 2011-2014), la thèse de D. To a permis d'étudier et de proposer de nouvelles structures de transformateur intégré au gate driver en technologie CMOS. Les figures II.36 à II.39 présentent ainsi les principaux résultats de cette approche de conception, modélisation, caractérisation et implémentation de transformateurs CMOS sans noyaux magnétiques pour le transfert isolé des ordres de commutation pour les transistors de puissance.

Dans ce travail collaboratif, nous avons ainsi étudié plusieurs structures de transformateurs, associées aux fonctions strictement nécessaires du gate driver (démodulation, mise en forme et amplification en courant) - figure II.36. Nous avons aussi souhaité mieux maîtriser le dimensionnement de ces transformateurs, en prenant en compte des contraintes au niveau système (étage de modulation, couplages haute fréquence) - figure II.37. Grâce à la collaboration avec l'IMEP, nous avons eu accès à des outils de modélisation performants (Ansoft HFSS 3D, permettant la prise en compte des couplages capacitifs haute fréquence) et des plateformes de caractérisation adaptées pour les hautes fréquences. La figure II.38 présente ainsi les résultats de caractérisation sur la plage 40 MHz - 20GHz, afin de déterminer la plage la plus adaptée d'utilisation de ces transformateurs intégrés, et d'effectuer un retour sur la modélisation et ainsi mieux appréhender l'optimisation au niveau système [191]. Pour l'instant, la tenue en tension statique mesurée sur les transformateurs CMOS réalisés est de l'ordre de 1.8kV, pour une isolation via un seul niveau d'oxyde ILD. Cette tenue en tension peut être améliorée via l'utilisation de couches d'oxydes supplémentaires, une conception optimisée des reprises de points milieux et une étude de la distribution 3D du champ électrique.

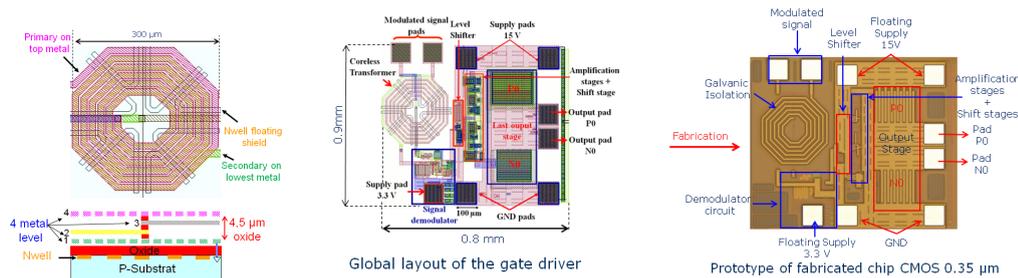


FIGURE II.36 – Transformateur sans noyau magnétique intégré au sein du gate driver en technologie CMOS AMS H35. De gauche à droite : structure d'un transformateur typique, masques de conception, image microscope optique d'un gate driver avec isolation galvanique intégrée.

Des premiers prototypes ont été conçus et fabriqués sur une technologie CMOS AMS H35, accessible en multi-projet via CMP. Ces travaux s'inscrivent aussi dans le cadre du projet collaboratif MEGaN, et nous avons ainsi implémenté nos prototypes de gate driver dans des convertisseurs de puissance, afin de démontrer la faisabilité et viabilité des transformateurs sans noyau magnétique pour les convertisseurs de puissance - figure II.39 et ce malgré la nécessité d'une commande modulée ici à 3.3GHz.

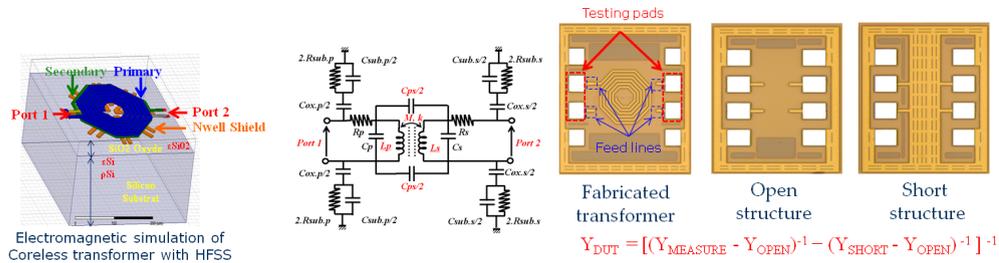


FIGURE II.37 – Modélisation et caractérisation des transformateurs sans noyau magnétique.

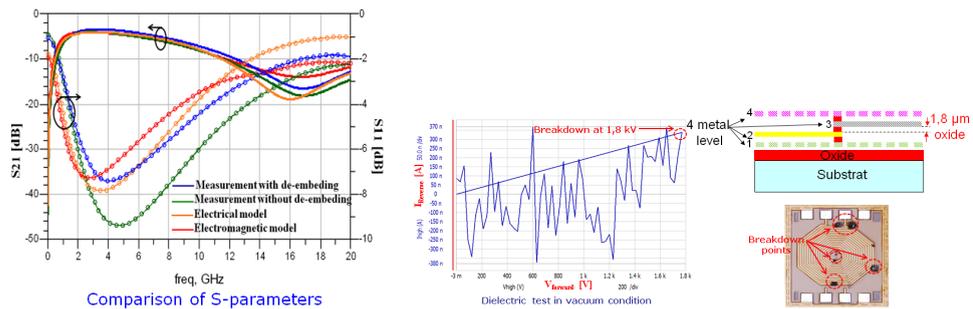


FIGURE II.38 – Caractérisation des paramètres S et de la tenue diélectrique statique des transformateurs intégrés.

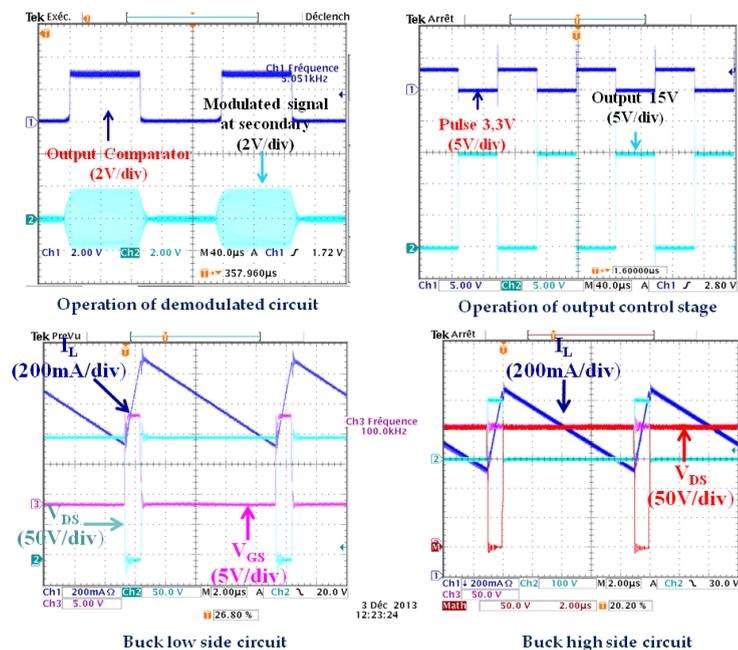


FIGURE II.39 – Implémentation dans un convertisseur de puissance de type hacheur abaisseur, 200V, 100kHz, 5A. En haut, signaux modulés et démodulés pour la transmission des ordres de commutation sur porteuse 3.3GHz. En bas, formes d'onde aux bornes du transistor de puissance piloté.

Dans le but d'aller au delà des performances d'isolation des transformateurs CMOS sans noyau magnétique, j'ai proposé une approche originale d'intégration de détecteurs optiques au sein des gate drivers en technologie CMOS. Ce travail a été abordé à la fin du projet ANR SiPowLight et a pris son envol grâce à la thèse de L.L. Thanh et celle de D. Colin. L'idée ici est de supprimer tout lien galvanique entre le gate driver et le circuit externe de génération des ordres de commande, afin de permettre des vitesses de commutation élevées et faciliter l'implémentation de convertisseurs multi-convertisseurs (association parallèle pour convertisseurs entrelacés, ou association série pour convertisseurs type MMC). Cette solution ne peut être viable que si les détecteurs optiques sont performants (sensibilité spectrale - statique, bande passante - dynamique, immunité au bruit) et si le guidage d'onde optique est aisée (intégration collective). Ces premiers travaux débutés en Octobre 2012 se sont ainsi focalisés sur la partie détecteurs optiques intégrés sur gate driver en technologie CMOS.

Les figures II.40 à II.42 présentent ainsi les premières contributions de la thèse de L.L. Thanh. Pour ces premiers prototypes de détecteurs optiques, nous avons considéré une technologie CMOS basse tension $0.35\mu\text{m}$ 3.3V-5V sans métallisation épaisse (AMS C35B4C3), principalement pour l'expérience accumulée au sein de notre équipe et pour des raisons de coût réduit. Étant donné que nous ne disposions pas de modèles de photodiode dans le design kit, nous avons dessiné plusieurs variantes géométriques sur plusieurs jonctions PN disponibles dans cette technologie, à l'image de ce qui a été présenté plus haut dans ce chapitre dans l'approche d'intégration monolithique. Ainsi, le but du premier prototype était d'une part de comparer différentes géométries de détecteurs optiques intégrés, mais aussi d'étudier différentes solutions d'étages aval de traitement du courant photo-généré et issu de ces photodiodes CMOS ou de photodiodes intégrées monolithiquement sur les composants de puissance. Ces fonctions électroniques intégrées ont été principalement différentes variantes de circuits transimpédant, amplificateur linéaire et détecteurs de seuil, permettant de convertir le courant issu des détecteurs optiques en signal de commutation (figures II.40 et II.41).

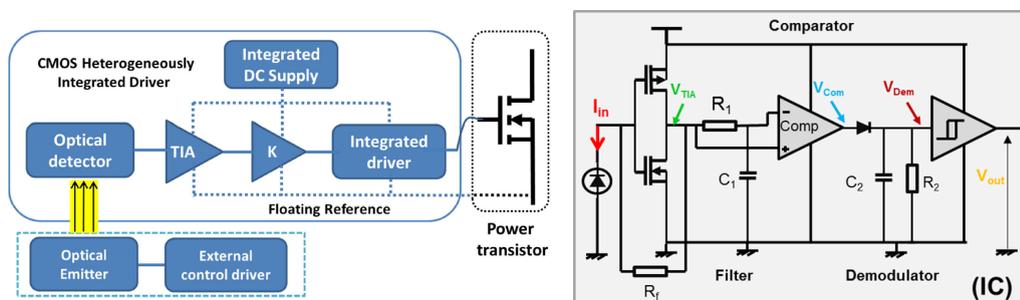


FIGURE II.40 – Détecteur optique et circuit de traitement intégré au sein du gate driver en technologie CMOS AMS C35. A gauche, structure du gate driver associé au transistor de puissance piloté. A droite, zoom sur les fonctions intégrées dans la puce CMOS.

Pour ces premiers travaux de conception et dans le but d'avoir une approche applicable aux convertisseurs de puissance, nous avons fixé le cahier de charges suivant :

- Courants photogénérés de l'ordre de la centaine de nA à quelques μA , afin de minimiser le

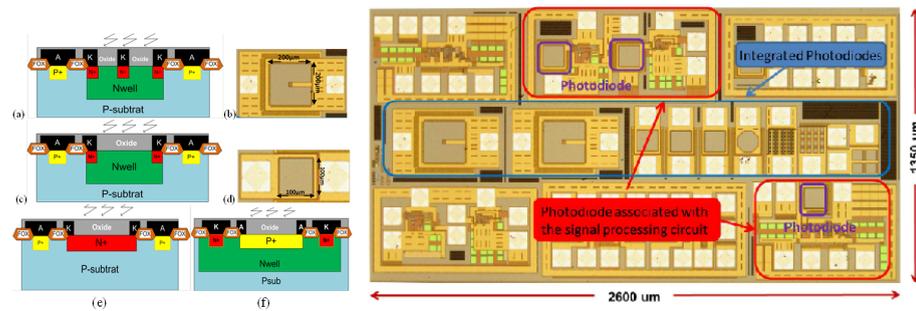


FIGURE II.41 – Variantes de détecteurs optiques considérés, selon les possibilités d’intégration offertes par la technologie CMOS. A droite, image microscope optique de la puce réalisée dans le cadre de la thèse de L.L. Thanh et le projet ANR JCJC SiPowLight.

- plus possible la puissance optique nécessaire au fonctionnement,
- Capacités des photodiodes de quelques pF à dizaines de pF ,
- Tension d’alimentation de 3.3V,
- Température de fonctionnement comprise entre $25^{\circ}C$ et $125^{\circ}C$,
- Consommation moyenne des fonctions inférieure à $10mW$, afin de limiter les besoins en énergie du gate driver.

Un premier prototype a été envoyé en fabrication en Mai 2013 et les premières caractérisations sont présentées sur la figure II.42 [181, 192]. Le banc de caractérisation électro optique développé pendant le projet ANR JCJC SiPowLight a été utilisé et a démontré un niveau de performance tout à fait acceptable pour ces détecteurs optiques : sensibilité spectrale supérieure à $0.3A/W$, délais entre 15 et 200ns, bon transfert des ordres de commutation jusqu’à quelques MHz en bande de base ou sur modulation 10MHz. Par la suite et grâce aux retours de caractérisation de ce premier prototype, nous avons amélioré les performances de l’ensemble de la chaîne de traitement et intégré un étage de sortie performant pour piloter des composants de puissance. Un nouveau prototype a été reçu en Décembre 2014 et est en cours de caractérisation. En parallèle de ces travaux sur technologie CMOS bulk, nous avons transféré les diodes optiques et circuits de traitement vers une technologie CMOS SOI 200V dans le cadre du projet collaboratif MEGaN (XFAB XT018, $0.18\mu m$ et fonctions de 1.8V à 200V avec tranchées d’isolation DTI et options 6 niveaux de métallisation). Ce transfert vers des technologies CMOS SOI va nous permettre de tester nos solutions optiques pour des gammes de température supérieures, mais aussi de bénéficier de capacités intégrées à plus haute densité d’énergie et d’une isolation électrique pour des tests de fonctions isolées.

Ces travaux vont continuer au sein du projet MEGaN, mais aussi via la thèse de D. Colin qui va intégrer des éléments de configuration du gate driver par voie optique, et s’inscrire dans une intégration 3D pour le pilotage de matrices de composants de puissance par voie optique. La question de la génération d’une alimentation flottante du gate driver a été aussi abordée dans la thèse de L.L. Thanh et sera poursuivie dans la thèse de D. Colin en parallèle de solutions de récupération d’énergie. Une puce sur la technologie H18 CMOS bulk de AMS est déjà en cours de conception, pour un départ en fabrication vers Août-Septembre 2015.

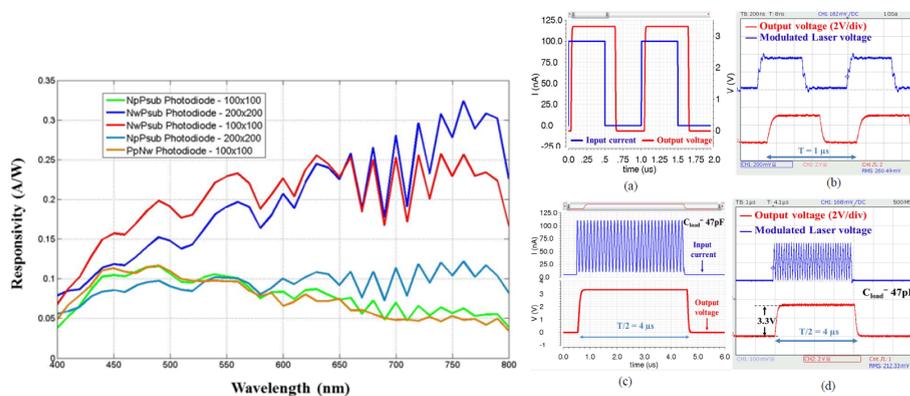


FIGURE II.42 – Caractérisation statique et dynamique des détecteurs optiques intégrés CMOS. A gauche, sensibilité spectrale de différentes photodiodes à 0V et température ambiante. A droite, transfert des ordres de commutation, avec ou sans modulation et comparaison entre simulations Cadence et mesures expérimentales [192].

II.4 Nouveaux matériaux

Comme il a été présenté ci-dessus, il est nécessaire de maîtriser aussi bien les composants de puissance que les circuits de pilotage et autres organes périphériques afin de proposer des ruptures en électronique de puissance. Ainsi, j'ai contribué principalement sur deux types de nouveaux matériaux semiconducteurs pour les composants d'électronique de puissance : les transistors HEMT en GaN sur Si et les diodes et transistors en Diamant CVD. Ces travaux ont été conduits grâce à des collaborations rapprochées avec les instituts de recherche en première ligne sur les développements technologiques et matériaux et un travail d'analyse, de modélisation, de conception et de caractérisation a été conduit dans ce contexte. Comme il a été présenté dans le premier chapitre, ces matériaux grands gaps, à des niveaux de maturité différents, proposent des figures de mérite au delà du Silicium et des opportunités inédites dans la conversion haute tension à haut rendement et à haut niveau de densité de puissance et d'intégration.

II.4.a GaN

Les actions autour du GaN se sont regroupées via les projets ANR ToPoGaN1, PEPS HV-GaN, MEGaN, la Collaboration Stratégique de Recherche CEA-LETI / G2Elab et les activités propres au G2Elab. Sur ces deux premiers projets collaboratifs (ANR ToPoGaN1 coordonnée par LAAS et PEPS CNRS HV-GaN coordonné par IEMN Lille), les contributions se sont focalisées sur la caractérisation des composants fabriqués et mis au point par les partenaires. Au sein du projet MEGaN, je m'intéresse uniquement aux aspects de pilotage de grille et reste déconnecté des aspects composants de puissance. Par contre, grâce à la collaboration amont entre le CEA-LETI et G2Elab, j'ai conduit une activité de modélisation des composants de puissance et de conception de composants de puissance innovants et de fonctions intégrées au sein des transistors de puissance HEMT GaN.

Par exemple, la figure II.43 présente des résultats de simulation éléments finis obtenus pendant le stage de M2R de L.L. Thanh (2012) [193]. Pendant son stage de M2R, nous sommes partis de structures de HEMT normally ON disponibles dans la littérature, avec des résultats de carac-

térisation expérimentale. Nous avons alors essayé de modéliser et reproduire les caractéristiques via notre outil de simulation numérique, afin de mieux appréhender les interactions puissance - commande [193]. Bien que le travail conduit par L.L. Thanh pendant son M2R ait été tout à fait remarquable, notre approche se différenciait trop peu de l'état de l'art et ne se justifiait que partiellement. En effet, nous n'avions pas la main sur la fabrication des wafers (design des couches epitaxiées) et l'investissement nécessaire pour maîtriser les étapes technologiques de fabrication était trop important pour les ressources humaines dont nous disposions à ce moment là. Cette activité de modélisation s'est ainsi terminée à la fin du M2R de L.L. Thanh.

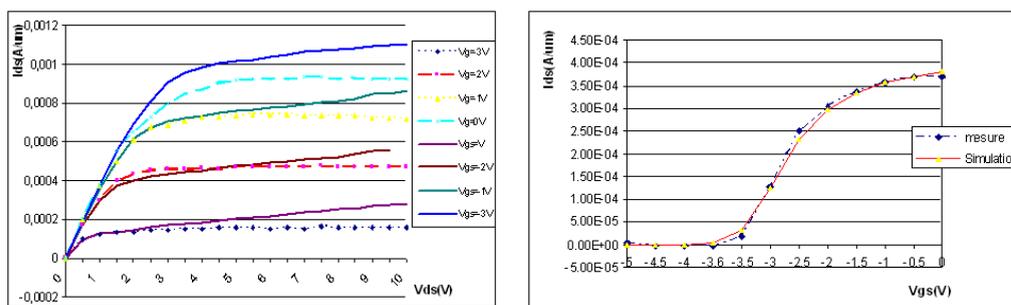


FIGURE II.43 – Comparaison entre les caractéristiques statiques de transistors HEMT GaN Al-GaN/GaN sur substrat Silicium. En trait plein, simulation numérique et en pointillé, résultats expérimentaux issus de la littérature. A gauche, caractéristique $I_{ds}(V_{ds})$ et à droite, transconductance $I_{ds}(V_{gs})$.

Grâce à la collaboration avec le CEA-LETI et plus particulièrement l'équipe en charge de concevoir les wafers et les composants de puissance en GaN sur Silicium, nous avons pu transmettre les contraintes systèmes dès la phase de conception des composants et nous avons proposé d'utiliser la plateforme technologique GaN/Si 200mm afin de démontrer des idées originales de fonctions intégrées. Ainsi, la figure II.44 présente un bras de commutation en GaN HEMT normally ON 600V 5A, avec une capacité de découplage haute tension intégrée directement sur la puce de puissance et une prise de contact de puissance adaptée au report d'une capacité de découplage de plus forte valeur. Les composants ont été intégralement fabriqués par les équipes du CEA-LETI et leurs plateformes technologiques. J'ai personnellement proposé ces concepts d'intégration, dimensionné les éléments intégrés et contribué au routage et dessins des masques. Avec P. Lefranc du G2Elab, nous avons aussi conçu un circuit de modulation et démodulation d'ordres de commutation transférés par coupleur sans noyau magnétique intégré au composant de puissance et se basant sur les 3 niveaux métalliques disponibles (et ILD haute tension) avec la technologie mise au point au CEA-LETI.

Au delà de ces travaux d'intégration, nous avons aussi proposé une co-intégration puissance-commande avec nos collègues en charge des gate drivers côté CEA-LETI. Par exemple, R. Grezard a proposé d'intégrer un élément haute tension sur la puce de puissance GaN afin de réaliser une adaptation de potentiel depuis le composant Low Side vers le composant de puissance High Side [186]. Pour l'instant, ces travaux sont restés à l'état de conception et n'ont pu être réalisés.

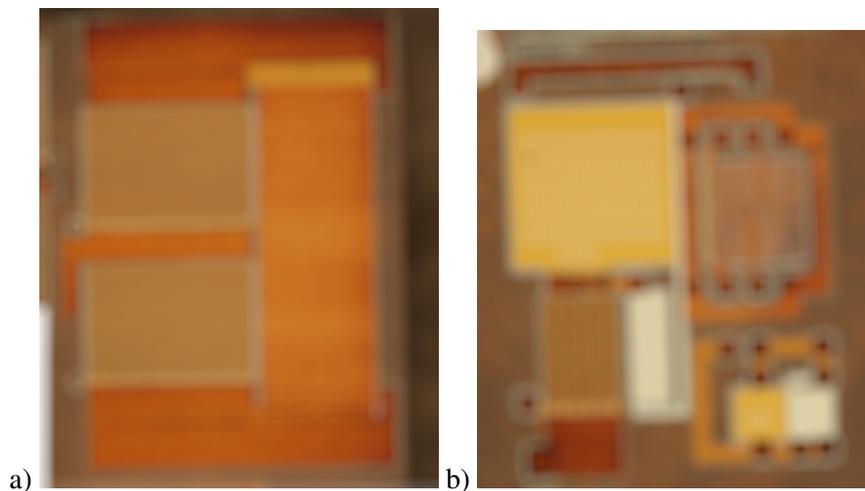


FIGURE II.44 – Images microscope optique de composants et fonctions intégrées au sein de la plateforme GaN sur Si 200mm du CEA-LETI. Images partiellement modifiées car développements en cours. a) Bras d'onduleur monolithique adapté au report d'une capacité haute tension / haute fréquence de découplage au plus proche de cette cellule de commutation, 2.8mm x 4.1mm. b) Transformateur sans noyau magnétique, fabriqué avec le même procédé de fabrication, incluant un circuit intégré au primaire et secondaire, 1.5mm x 2mm.

II.4.b Diamant

Sous l'impulsion principale du laboratoire d'excellence LANEF (Grenoble), je me suis personnellement fortement impliqué dans le démarrage et le suivi de collaborations avec l'Institut Néel autour de nouveaux composants de puissance en diamant. En effet, les résultats récents de l'Institut Néel ont permis de démontrer une réalité scientifique et technique sur un substrat qui présente a priori les propriétés ultimes pour l'électronique de puissance. Ainsi, nous avons démarré ensemble une thèse (Aurélien Maréchal, 2012-2015 financement Lanef), au sein de laquelle nous travaillons conjointement pour mettre au point les développements et concepts nécessaires à la démonstration de transistors de puissance en diamant. Les figures II.45 à II.50 présentent ainsi quelques travaux et résultats. Les figures II.45 à II.47 présentent les avancées autour de la modélisation par éléments finis de composants en diamant, et plus particulièrement l'implémentation de modèles spécifiques au diamant dans les outils de simulation numérique. Par exemple, nous avons essayé de reproduire les caractéristiques statiques de dispositifs existants et caractérisés par le NIMS (Tsukuba - Japon) autour de jonctions PN et transistors PNP [29, 194]. Nous avons pu confronter les modèles matériaux et leurs limites dans la prédiction des performances de composants en diamant. En parallèle de ces travaux de simulation, les thèses de A. Marechal [195] et T.T. Pham [154] étudient les empilements Métal - Oxyde - Diamant et proposent de nouvelles architectures et procédés de mesure expérimentaux pour identifier les approches viables vers des transistors de puissance en diamant (figures II.48 à II.50). Toutes ces étapes de fabrication sont conduites exclusivement par l'Institut Néel, en lien principal avec la plateforme technologique Nanofab et utilisant quelques étapes disponibles à la Plateforme Technologique Amont (gravure profonde DRIE).

Ainsi, nous avons essayé de réaliser une première preuve de concept de modulation de résistivité par l'action d'une grille isolée (Al_2O_3) sur un diamant CVD dopé Bore, via l'accumulation

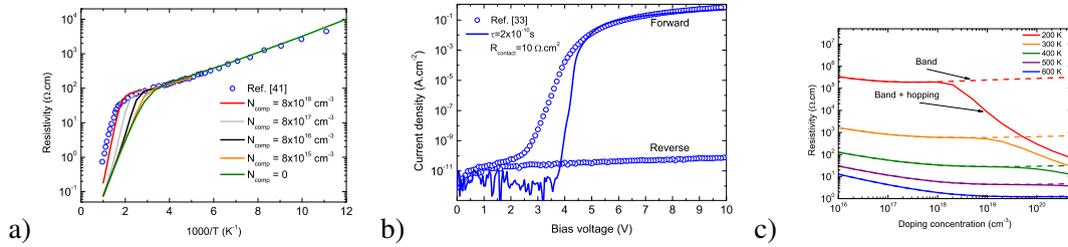


FIGURE II.45 – Simulation numérique par éléments finis : Implémentation de modèles spécifiques au diamant et impact sur les caractéristiques des composants de puissance. a) Résistivité en fonction de la température pour différents niveaux de compensation. b) Comparaison entre simulation et courbe expérimentale de diode PN diamant. c) Modèle de résistivité en fonction du dopage et de la température, représentant la conduction classique et par hopping [29].

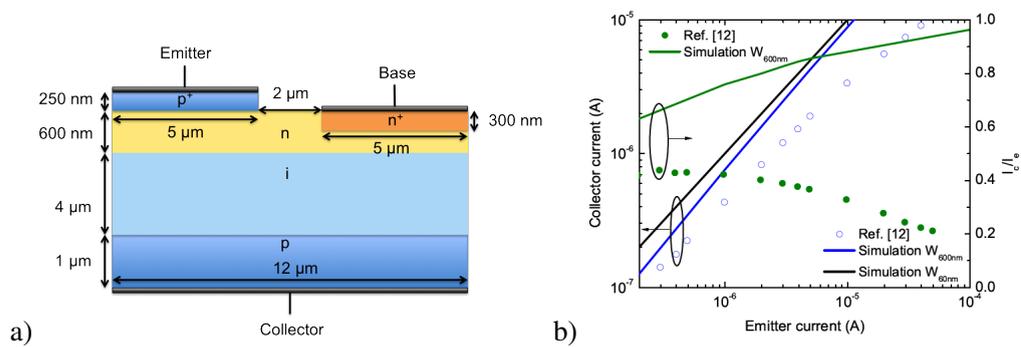


FIGURE II.46 – Simulation numérique par éléments finis : Tentative de reproduction par la simulation des résultats expérimentaux d'un transistor PNP vertical en diamant [194]. a) Structure simulée. b) Gain et courant de collecteur en fonction du courant d'émetteur : comparaison entre simulation et données expérimentales.

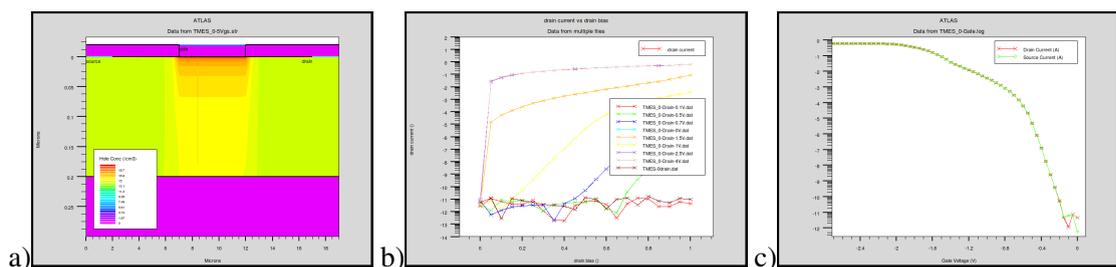


FIGURE II.47 – Simulation numérique par éléments finis : étude d'une structure de transistor MOS diamant fonctionnant en régime d'accumulation. De gauche à droite : concentration en trous, réseau Ids(Vds) et transconductance Ids(Vgs).

de trous. La figure II.48 présente ainsi cette première tentative réalisée courant 2013 par A. Ma-réchal. Suite à ces premiers résultats et aux travaux développés depuis de nombreuses années à l’Institut Néel (par exemple [196]), nous sommes revenus vers des structures plus simplifiées (capacités MOS et MIM) afin d’étudier la meilleure structure. Les figures II.49 et II.50 présentent ainsi différentes solutions d’oxyde, et comparaisons sur un même échantillon de capacité MOS et MIM fabriqués à l’Institut Néel. Ces premiers prototypes présentent un niveau élevé de courant de fuite en polarisation inverse, suggérant une faible barrière pour l’injection de trous [45, 46]. Des études sont ainsi en cours afin de mieux lier modélisation, théorie, reproductibilité des résultats, caractérisations électriques et matériau, et performances.

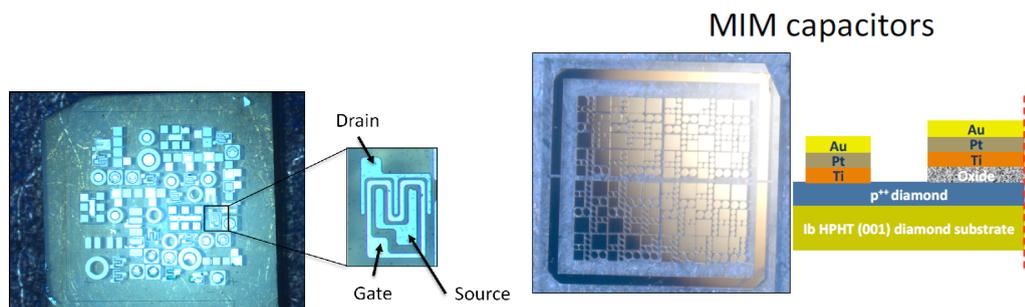


FIGURE II.48 – Premier essai de transistor diamant en accumulation et capacité MOS sur surface oxygéné.

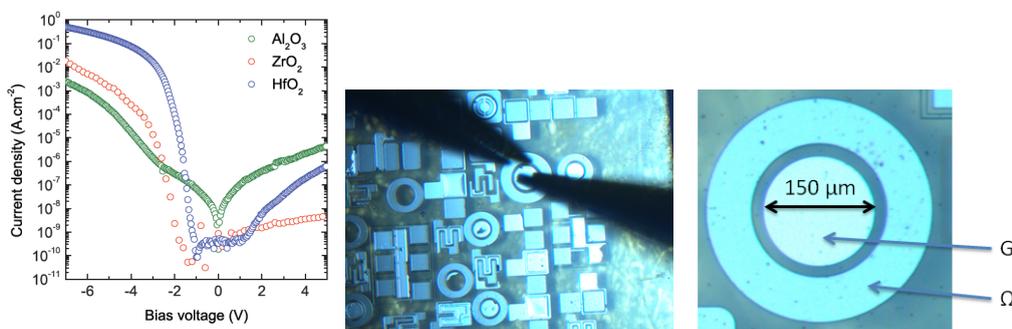


FIGURE II.49 – Étude de capacités Métal Oxyde Diamant. A gauche, caractéristique IV pour trois différents oxydes. A droite, images microscope optique de capacités MOS sous test.

Sur cette activité diamant où l’Institut Néel reste bien évidemment en première ligne et au cœur des développements technologiques et matériaux, je contribue sur la modélisation et conception au niveau composants, ainsi que caractérisations électriques, et prises en compte des contraintes systèmes dès la conception des composants. Suite au début de ces travaux communs, plusieurs projets ont été déposés : AGIR diamant (Université Grenoble Alpes 2013-2016, retenu et finance la thèse de Toan Thanh Pham 2013-2016), PowerEED (Concert Japan 2012 - non retenu), ANR Diamos (2014 - non retenu), FP7 GreenDiamond (2014 - non retenu), H2020 GreenDiamond (2015-2019), ANR E-Pure-HVDC (2015 - en cours d’évaluation). J’ai participé au co-encadrement du M2R de Denis Stavila dont le but était de mettre au point un procédé de caractérisation de premiers circuits intégrés de puissance sur composants diamant. Ces travaux préliminaires ont contribué au

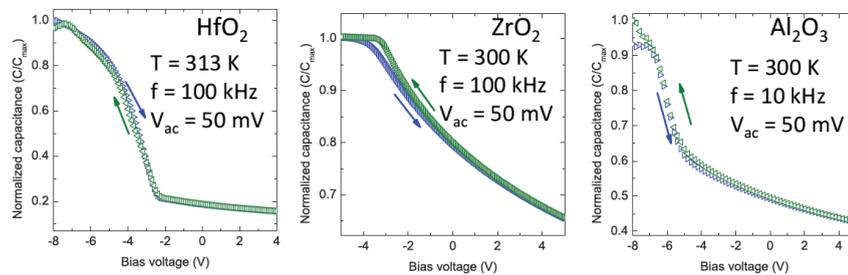


FIGURE II.50 – Étude de capacités Métal Oxyde Diamant : courbes CV pour différents types d'oxydes déposés par ALD.

dépot d'un projet ANR dont j'assurerais la coordination ANR E-Pure-HVDC (2015 - en cours d'évaluation). Ces travaux autour de la conception et la caractérisation de nouveaux composants de puissance en diamant ont donné lieu à de nombreuses publications, avec un intérêt certain de la communauté française et japonaise sur les contributions présentées (interactions commande - puissance, modélisation device, caractérisation avancée large signal, circuit intégré de puissance en diamant).

II.5 Outils numériques et expérimentaux

II.5.a Plan d'expériences numériques

Engagées depuis plusieurs années au G2Elab, avant même mon arrivée en thèse [197], des travaux d'optimisation et d'études numériques pour les composants de puissance ont été développés. Parmi ces travaux, j'ai participé à la mise en place d'une plateforme de conception et d'optimisation pour les transistors de puissance et leurs fonctions intégrées, en lien avec l'équipe MAGE (modélisation - optimisation) du G2Elab et le CIME Nanotech (actions technologiques et de caractérisation). Ainsi, j'ai co-encadré la thèse de H.X. Nguyen [159] et le stage de M2R de Q.M. Hoang [198]. Les figures II.51 à II.53 présentent ainsi quelques résultats de cette approche de dimensionnement et d'optimisation en couplant les circuits de commande, les circuits de puissance, et les équations fondamentales de la physique du semiconducteur. Plus précisément, la figure II.51 présente ainsi une approche d'optimisation de l'association commande - puissance, en prenant en compte les interactions au sein de la cellule de commutation. Le modèle utilisé pour les composants de puissance est un modèle analytique, et un des buts est de remonter aux paramètres technologiques afin d'optimiser les performances globales mais aussi de faire des études de sensibilité. Grâce à cette approche, nous avons pu par exemple étudier l'intérêt et les compromis de transistors de puissance à tension de seuil réduite [159, 199, 200] - figure II.52, mais aussi relâcher la contrainte de sur-dimensionnement de la zone de tenue en tension du transistor de puissance.

En effet, des fortes vitesses de commutation induisent une minimisation des pertes en commutation, mais par suite des surtensions plus importantes aux bornes du transistor de puissance et alors un sur-dimensionnement de la tenue en tension du composant, dégradant alors les pertes en conduction. Cependant, le comportement en commutation est fonction du dimensionnement du transistor de puissance, faisant apparaître des problématiques de problèmes implicites et inverses,

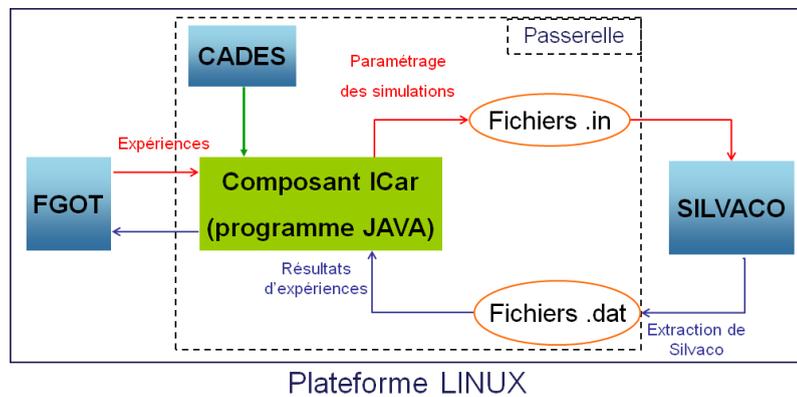


FIGURE II.53 – Mise au point de plans d’expériences numériques, avec optimisation par surface de réponse. Une interface sous Linux contrôle le pré-dimensionnement des variables, la génération et l’étude des résultats.

Afin de proposer un pré-dimensionnement efficace, j’ai développé depuis ma thèse des outils numériques de résolution des équations de la physique du semiconducteur, adaptée aux transistors de puissance et aux fonctions intégrées. Parmi ces problématiques, j’ai ainsi proposé une nouvelle approche de modélisation pour les jonctions PN issues d’implantation - diffusion et permettre alors une optimisation ou un pré-dimensionnement rapide des paramètres technologiques pour atteindre les performances souhaitées de fonctions intégrées. Par exemple, les détecteurs optiques intégrés au sein de transistors de puissance Silicium ou les fonctions nécessaires présentées dans ce chapitre en section II.2, sont réalisés via des jonctions PN ayant des profils de dopage complexes. Il est alors nécessaire d’introduire une méthode d’analyse allant au delà des approches analytiques disponibles dans la littérature souffrant de trop fortes approximations. La figure II.54 présente ainsi l’étude de la distribution du champ électrique et de la tenue en tension des jonctions PN ayant un profil de dopage quelconque [95, 160, 202].

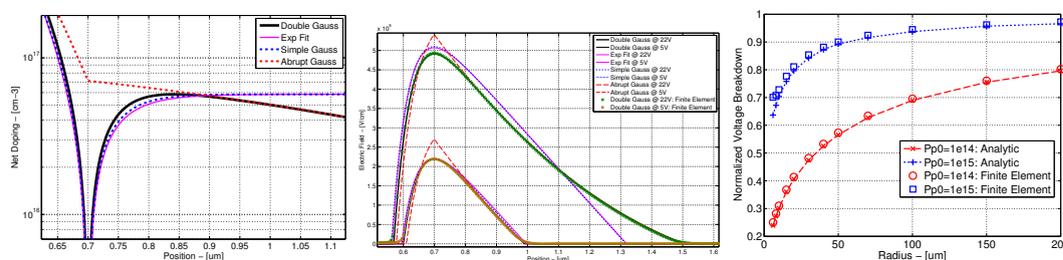


FIGURE II.54 – Modélisation analytique et semi-analytique de jonctions PN diffusées. De gauche à droite : profils de dopages étudiés, champs électriques calculés, tenue en tension 2D calculée.

II.5.b Caractérisation statique et dynamique

Au delà des actions de recherches présentées précédemment, je me suis aussi investi sur la mise au point de moyens et plateformes de caractérisation pour les fonctions intégrées et les composants de puissance. Deux points notables ont été l’étude en commutation des composants grands gaps

électroniques via ces deux projets ANR, le projet CARAPACE s'est focalisé sur l'achat d'une enceinte sous vide permettant une large plage de température (depuis les température de l'Azote ou l'Hélium liquides jusqu'à 400°C, soit plus de 600°C d'amplitude) et la mesure de composants et fonctions intégrées basse tension et haute tension (entre 3.3kV et 10kV). La figure II.56 présente ainsi la station de caractérisation disposant de 6 prises de contact (1 pointe HV, 2 points Coax, 2 points Triax, un porte échantillon triax ou coax) et d'un fibre optique au sein de l'enceinte. La figure II.57 présente un exemple de mesure sur les diodes introduites en section II.3.b de ce chapitre.



FIGURE II.56 – Plateforme de caractérisation CARAPACE, impliquant l'équipe EP et MDE du G2Elab et l'équipe SCLB de Néel. A gauche, des diodes Schottky diamant en caractérisation, à droite, photographie de l'enceinte sous vide peu après sa mise en service en 2013.

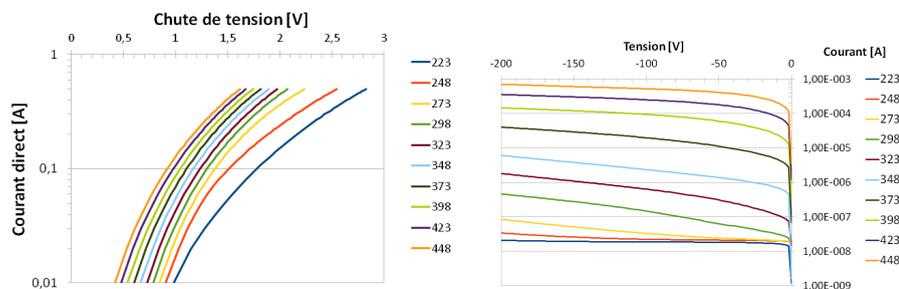


FIGURE II.57 – Caractérisation de diodes Silicium verticales de puissance reportées à l'échelle du Wafer sur embase métallique, en fonction de la température.

II.6 Applications et recherches périphériques

Les applications ont été considérées principalement via le co-encadrement des thèses de B. Sarrazin (2009-2012 - véhicule électrique) et H. T. Trung (2009-2012 - réseaux de micro-convertisseurs). Ces travaux se sont inscrits plus particulièrement au sein de travaux collaboratifs, respectivement le projet ADEME Velecta et le projet ANR Miconet. Quelques publications nationales et internationales sur ces sujets ont permis divers échanges complémentaires sur les approches liées aux applications et à un nouveau mode de conception modulaire des convertisseurs d'énergie électrique.

Principalement sur l'année 2010, un travail collaboratif a perduré avec l'University of British Columbia (UBC - Canada), avec laquelle j'ai contribué sur quelques publications, faisant suite à mon année de post-doc au sein de ce groupe. Lors de mon séjour postdoctoral, j'ai pu contribuer sur des avancées dans les domaines de la photonique Silicium et des émetteurs optiques pour les applications d'interconnexion optique [203–209]. Par exemple, la figure II.58 représente un travail de modélisation numérique sur les modulateurs électro-optiques infra rouge, sur la plateforme SiGe [210]. Ces travaux périphériques qui ont perduré en 2010 m'ont permis, d'une part de poursuivre la valorisation de mon année de post-doc là bas, et d'autre part de poursuivre l'étude et le transfert de solutions existantes à 1550nm vers le domaine du visible. En effet, les détecteurs optiques intégrés au sein de transistors de puissance présentés plus haut semblent plus attractifs dans le domaine du bleu-vert, et un effort reste à poursuivre pour intégrer des solutions innovantes de routage optique et modulation d'informations optiques, dans le contexte des composants de puissance. Grâce à ces échanges scientifiques, j'ai pu rapidement assimiler les tendances et les développements actuels autour des systèmes intégrés de nanophotonique, là où des avancées importantes ont été obtenues ces dernières années. En effet, les plateformes de nanophotonique Silicium et SiGe sur SOI ont permis une densité de fonctions inégalées, en s'appuyant sur des procédés de fabrication compatibles avec les plateformes CMOS. Avoir pu travailler au sein et avec des chercheurs de ce domaine de recherche m'a permis une réelle ouverture scientifique sur les possibilités techniques de ce domaine scientifique normalement dé-corrélé de l'électronique de puissance.

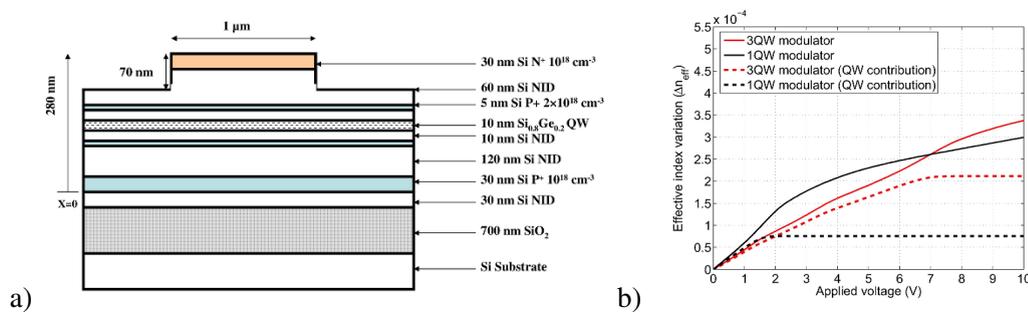


FIGURE II.58 – Étude numérique de modulateur électro-optique pour communication optique haute fréquence. a) Structure en coupe de la zone active. b) Résultats statiques de simulation en fonction de la structure et de la polarisation électrique.

II.7 Conclusion

Depuis Janvier 2005 et mon stage de recherche M2R, de nombreuses actions de recherche ont été menées, caractérisées par 94 publications, documents et actes. Ces actions de recherche ont permis l'élaboration de nouveaux dispositifs pour l'électronique de puissance, depuis leur modélisation jusqu'à leur caractérisation et mise en œuvre dans leurs applicatifs. Un point particulier et la majeure partie de mon travail a concerné l'évaluation de solutions d'isolation galvanique intégrées au sein de transistors de puissance et plus précisément deux solutions optiques. L'ensemble de ces travaux a pu bénéficier d'une bonne dynamique déjà en place au laboratoire, mais j'ai personnellement favorisé et créé de nouvelles actions.

Faits marquants

À titre personnel, je considère que les faits marquants de mon activité de recherche sont les suivants :

- La démonstration théorique et pratique de deux solutions d’isolation galvanique intégrée monolithiquement (détecteur optique intégré sur cœur de puissance) ou de façon hétérogène (détecteur optique CMOS ou coupleur électro-magnétique CMOS).
- La conception et mise au point d’un banc de caractérisation complet électrique - optique avec contrôle de température, entièrement interfacé par ordinateur (plateforme CARAPACE).
- La collaboration avec l’institut Néel sous l’impulsion du labex Lanef dans le but de mettre au point de nouveaux composants de puissance en diamant.
- Ma contribution à la réalisation d’un packaging à l’échelle du Wafer pour les composants actifs en électronique de puissance en lien avec le CEA-Leti.

Le tableau II.1 présente de façon synthétique les contributions principales, par thèmes scientifiques abordés.

Partenaires académiques

Les collaborations académiques pendant la période concernée sont présentées sur la table II.2. Ainsi, de nombreux projets et actions de recherche ont été faits en collaboration avec d’autres unités de recherches en France et à l’étranger. De façon factuelle et depuis 2010, cela a donné lieu à 29 publications nationales, internationales et actes en collaboration, un dépôt d’un projet ANR à deux reprises (ISAACS non retenu), un dépôt de 2 projets ANR (DIAMOS non retenu, et E-Pure-HVDC en cours d’évaluation), un dépôt de projet européen FP7 (GreenDiamond non retenu), un projet européen H2020 (GreenDiamond, retenu), un projet CNRS (PEPS), un projet ERC Starting Grant (EpicDriver, en cours d’évaluation), deux projets locaux de BQR, un projet Carnot et un projet interne à un Labex. Dans une moindre mesure, d’autres actions collaboratives ont été menées, pour lesquelles je me suis néanmoins moins investi : principalement via ma participation au projet ANR Miconet, incluant les laboratoires Laplace (Toulouse), Ampere (Lyon), LGEP (Paris) et G2Elab, ou encore via le projet ADEME Velecta incluant les laboratoires Iffstar (Lyon), CEA Leti-Liten-Ines (Grenoble - Chambéry) et G2Elab. Certaines des collaborations présentées dans le tableau II.2 sont sur une dynamique positive (Institut Néel, Imep, CEA), et d’autres plutôt en légère perte de vitesse, principalement à cause du manque de financement disponible pour ces actions de recherche. D’autres collaborations sont attendues via la participation de notre équipe de recherche au Labex GaNeX ou au rayonnement international futur du labex Lanef.

Partenaires industriels

Les collaborations industrielles sont présentées sur la table II.3. D’autres collaborations ont eu lieu dans le cadre du projet MEGaN (OSEO - BPI France, 2012-2018), reliant de nombreux industriels (Renault, Valéo, Safran), PME (Tronico, ID-MOS) et académiques (CEA-LETI, Ampère, Ifstarr, Satie).

Point technique	Défis	Faits marquants	Apport personnel	Perspectives	Publi. et actes
Intégration Monolithique de puissance	Performances, contraintes d'intégration, maîtrise des technologies, couplages	Capteur optique sur cœur Silicium 600V, performances compatibles avec l'application en électronique de puissance (0.3 A/W, 500nm et faible temps de retard < 100ns)	Concepts, montage et conduite de projets, montage banc expérimental, simulations numériques, réalisations technologiques, formation étudiants	Intégration monolithique complète, packaging optique	18
Isolation galvanique - Driver CMOS	Conception et synthèse de fonctions, packaging et interconnexion optique, couplages électro magnétiques et thermiques	Driver autoalimenté, transfert des ordres isolés par voie optique ou par transformateur sans noyau magnétique.	Concepts, montage et conduite de projets, montage banc expérimental, simulations numériques, formation étudiants	Drivers optimisés, autoalimentés et adaptés aux convertisseurs multi-cellulaires	10
Packaging de puissance	Technologiques et conceptuels, gestion thermique et CEM, isolation électrique	Wafer 100mm de diodes de puissance 600V reportés à l'échelle du Wafer sur embase métallique Cuivre, matrices de transistors verticaux 600V pour convertisseurs polyphasés	Concepts, simulations numériques, dessins de masques, caractérisations	Convertisseur polyphasé 3D à l'échelle du Wafer	7
Composants diamant	Matériau, modèles non renseignés, spécificités physiques et technologiques	Conception de premières structures vers MOS de puissance, modélisation et étude 2D et 3D pour aller vers un transistor de puissance, Modélisation et étude des courants de fuites dans une capa MOS diamant	Simulation, caractérisation, montage et conduite de projets, formation des étudiants	Transistor diamant à grille isolée, circuit intégré de puissance en diamant, gate driver dédié	7
Méthode, applications	Contraintes systèmes, méthodes numériques, calibration des modèles	Intégration monolithique de puissance, convertisseurs cascades pour le véhicule électrique	Mise au point et implémentation de modèles, simulations numériques, formation des étudiants	Couplage des outils de conception, convertisseurs intégrés	19
Photonique	Performances, sensibilité à la température, intégration, technologies	Conception et caractérisation de fonctions passives intégrées SOI pour 1550nm	Simulations, mise au point banc expérimental et des protocoles d'essais, encadrement et formation des étudiants	Transfert vers problématiques en électronique de puissance	9

TABLE II.1 – Synthèse des thématiques principales abordées.

Laboratoire	Ville - Pays	Détail de l'action	Cadre collaboratif	Période	Publications et actes communs (+soumis)
University of British Columbia	Vancouver - Canada	Relectures / écritures d'articles, simulations, conseil et expertise	Échanges libres suite au postdoc	2009 à 2011	9
LAAS	Toulouse - France	Relectures / écritures d'articles, échanges scientifiques, montage de projets	Montage et dépôt ANR ISAACs, suite à ANR Mobidic, ANR ToPoGaN1	2009 à 2012	3
GREMAN	Tours - France	Échanges scientifiques, montage de projets	Montage et dépôt ANR ISAACs, suite à ANR Mobidic	2009 à 2012	0
IMEP-LAHC	Grenoble - France	Échanges scientifiques, montage de projets, co-encadrement de thèse	Projet BQR WiCiSiTUDe (Grenoble-INP)	2010 à 2015	4 (+1)
CEA LETI	Grenoble - France	Échanges scientifiques, montage de projets, co-encadrement de thèse	Carnot Power (Leti), Me-GaN, Fin ANR ToPoGaN1, CSR CEA-Leti / G2Elab	2010 à 2015	12 (+1)
Institut Néel	Grenoble - France	Échanges scientifiques, montage de projets, co-encadrement de thèses	Labex Lanef, projet Lanef Carapace, AGIR Diamant	2011 à 2015	6
IEMN	Lille - France	Échanges scientifiques, montage de projets	HV-GaN (CNRS)	2013 à 2014	0
NIMS	Tsukuba - Japon	Échanges scientifiques, montage de projets, accueil doctorant	Explora Doc (RA)	2013 à 2015	4
AIST	Tsukuba - Japon	Échanges scientifiques, montage de projets, accueil doctorant	Explora Doc (RA)	2013 à 2015	0
COPL	Université Laval - Canada	Échanges scientifiques, montage de projets	Projet FQRNT	2013 à 2014	0
Satie	Paris - France	Échanges Montage de projets	ANR E-Pure-HVDC	2014 à 2015	0

TABLE II.2 – Collaborations académiques.

Laboratoire	Pays - Ville	Détail de l'action	Cadre collaboratif	Période	Publications communes
Freescale	Toulouse - France	Caractérisations statiques et dynamiques de prototypes de composants GaN	Fin et suite du projet ANR topogan	2009 à 2012	0
ADIS-innovation	Rousset - France	Expertise et élaboration de projets communs	Transfert et valorisation des travaux G2Elab vers start-up	2012	1
Aixam Mega	Chanas - France	Élaboration d'une association innovante batterie-onduleur-moteur électrique	Ademe Velecta	2009 à 2012	0
IBS	Rousset - France	Montage de projet	ANR Diamos, H2020 GreenDiamond	2012 à 2015	0

TABLE II.3 – Collaborations industrielles.

Chapitre III

Un nouveau paradigme pour les convertisseurs d'électronique de puissance

Le mariage de la puissance, microélectronique et nanophotonique

Repousser les frontières dans l'intégration des actifs

SOMMAIRE

III.1 INTRODUCTION	74
III.2 PROJET DE RECHERCHE	75
III.2.a Nouveaux circuits de pilotage intégrés	75
III.2.b Nouveaux matériaux pour les semiconducteurs de puissance	81
III.2.c Intégration 3D de puissance à l'échelle du wafer	83
III.3 INTÉGRATION DU PROJET AUX VISIONS DU LABORATOIRE ET DU CNRS	84
III.4 MOYENS NÉCESSAIRES POUR LA CONDUITE DE CE PROJET DE RECHERCHE	85
III.5 POSITIONNEMENT DU PROJET DE RECHERCHE : PARTENAIRES ET COMPÉTITEURS	86
III.6 CONCLUSION	87

Résumé

Cette partie introduit mon projet de recherche, depuis les idées initiales jusqu'à leur conduite et démonstrations intermédiaires. Ce projet propose un schéma d'intégration inédit, partant de nouveaux semiconducteurs de puissance et gate drivers dédiés et allant jusqu'à l'intégration d'un routage optique et de procédés d'assemblage 3D. Ce projet multidisciplinaire fait appel aux technologies de pointe pour chacun des éléments (puissance, microélectronique, nanophotonique), tout en gardant le plus possible une approche d'intégration collective telle que la fabrication et l'assemblage compatible CMOS. Ce projet permettrait de repousser les limites des compromis classiques et par suite, d'aller vers une énergie plus intégrée, plus efficace et plus sûre.

III.1 Introduction

En ciblant un rendement de 100%, avec une densité de puissance élevée et une grande fiabilité, l'électronique de puissance est la technologie clé pour les défis énergétiques d'aujourd'hui et de demain : depuis les petits appareils, les cellules solaires et les énergies renouvelables connectées aux réseaux HVDC ou AC, les convertisseurs de puissance sont d'une importance cruciale pour les économies d'énergie. Une structure typique de convertisseur de puissance est présentée sur la figure III.1. Toutes les topologies de convertisseurs de puissance sont basées sur les cellules de commutation élémentaires, soit connectées en série (convertisseurs multi-niveaux) ou montées en parallèle (onduleurs triphasés, convertisseurs DC entrelacés), tandis que chaque cellule de commutation nécessite un ou plusieurs circuits de contrôle et de pilotage. Dans le cas des convertisseurs DC / DC entrelacés, plusieurs cellules de commutation sont nécessaires avec des ordres de commande déphasés, démontrant alors une amélioration significative des compromis sur le rendement et la densité de puissance. Toutefois, ces solutions imposent une forte contrainte sur l'assemblage et nécessitent un grand nombre de circuits de pilotage discrets pour chaque transistor de puissance ou chaque cellule de commutation. Bien que démontrant un gain notable des niveaux de rendements et de densité de puissance, ces convertisseurs DC / DC entrelacés sont limités par l'absence de *gate drivers* intégrés.

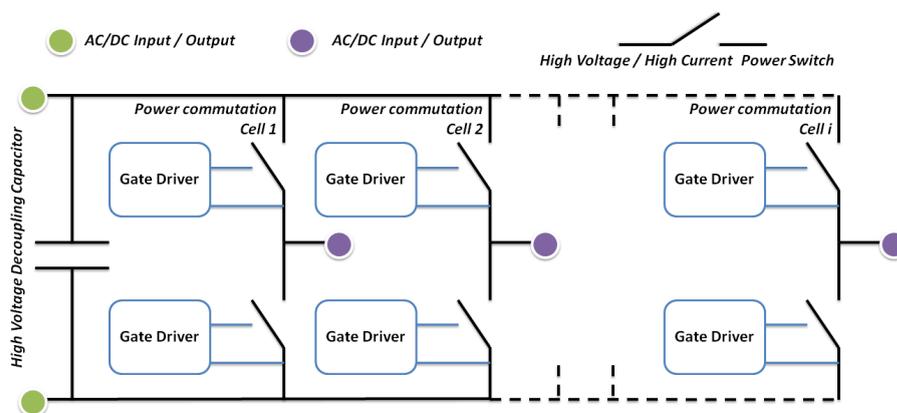


FIGURE III.1 – Association en parallèle de cellules de commutation pour les convertisseurs entrelacés ou polyphasés [211].

En parallèle de ces travaux à l'échelle du système, de nouveaux semiconducteurs de puissance apparaissent avec de nouveaux compromis sur les performances à l'état passant et en commutation, comme présenté dans les premières parties de ce document. Depuis les composants disponibles dès aujourd'hui : en SiC haute tension tels que les Mosfet, JFET, diodes Schottky (Cree, Rohm, STMicroelectronics, Infineon, etc), des transistors moyenne/haute tension à haute mobilité électronique en GaN (EPC, Transphorm, GaN Systems, IR, etc.), jusqu'aux composants démontrés par des groupes académiques : en diamant pour les hautes tensions tels que transistors et diodes (Néel, NIMS, AIST, etc). Afin de tirer bénéfice des ces composants en rupture, il est nécessaire de proposer une voie d'intégration système, avec une gestion optimisée et programmée des commutations tout en gardant la main sur l'intégration de ces nouveaux composants au sein des systèmes de conversion.

Pour mener à terme ces ruptures, je propose de considérer trois voies complémentaires de recherche, allant des composants de puissance à l'intégration des cellules de commutation, en proposant des approches innovantes pour l'intégration des circuits de pilotage.

III.2 Projet de recherche

III.2.a Nouveaux circuits de pilotage intégrés

Approche

Depuis mes premières réflexions lors de ma candidature au CNRS en 2008-2009, il m'a toujours semblé important de proposer une autre voie d'intégration pour les actifs de puissance, en ciblant un couplage entre les circuits de pilotage *gate driver* et les cellules de commutation. Ainsi, j'ai proposé de mener une recherche entre les domaines de l'électronique de puissance, de la microélectronique et de la nanophotonique pour proposer de nouvelles pistes d'intégration en lien avec les problématiques au niveau des systèmes de puissance. Les figures III.2 et III.3 présentent ainsi ma vision d'alors, en transformant les composants de puissance vers des micro-substrats pouvant recevoir une électronique dédiée, et allant ainsi vers des interrupteurs de puissance autonomes. Pour atteindre ce but, il est nécessaire de proposer un mode d'intégration pour le transfert des ordres de commande en repoussant les contraintes de couplage électro-magnétique. Pour cela, ma vision est d'intégrer des systèmes de routage et d'adressage optique au sein des cellules de commutation, chaque *gate drivers* intégrant un système de récupération ou génération d'énergie pour son alimentation flottante. La figure III.3 représente alors ma vision à long terme, comme une approche d'intégration ultime justifiant les résultats intermédiaires présentés dans la partie précédente. Différentes pistes de recherche vont être présentées, la plupart dans un objectif de résultat à 5 ans et en lien avec le projet ERC Starting Grant déposé en 2015 ¹ [211].

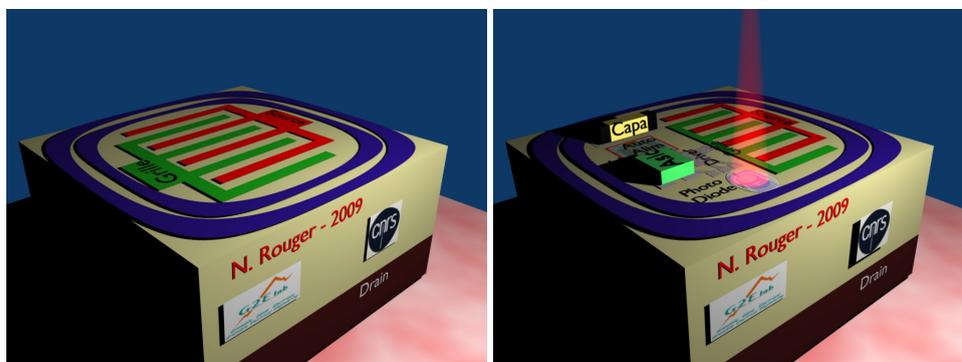


FIGURE III.2 – Ma vision initiale des ruptures à instaurer en électronique de puissance. A gauche, transistor de puissance classique, à droite, co-intégration puissance-commande. Les dimensions ne sont pas représentatives des dimensions réelles.

1. Note de Juillet 2015 : bien qu'ayant reçu une bonne évaluation par le panel scientifique, ce projet n'a finalement pas été retenu pour être financé pour le conseil européen de la recherche.

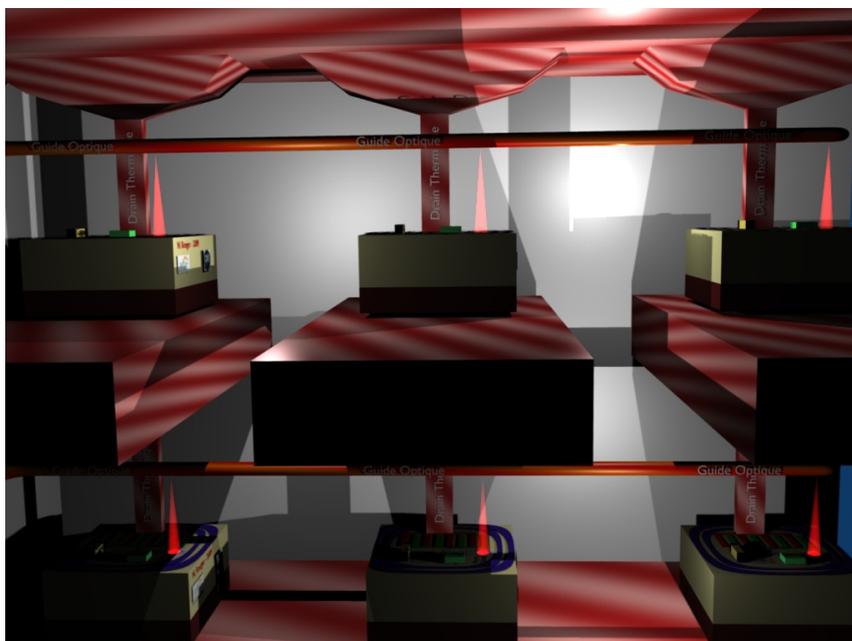


FIGURE III.3 – Intégration au sein des cellules de commutation d'un adressage optique des ordres de commutation, repoussant les contraintes électro magnétiques.

Pistes de recherche

Afin d'atteindre ce but d'intégration, l'élaboration de nouvelles briques élémentaires pour les *gate drivers* est nécessaire. Parmi les fonctions nécessaires et celles critiques, j'identifie comme primordial d'imaginer de nouvelles fonctions intégrées au sein des circuits CMOS dédiés pour le pilotage de transistor de puissance. Ainsi, la figure III.4 présente les blocs nécessaires pour créer des drivers autonomes, avec des circuits de récupération d'énergie et/ou d'alimentation par voie optique, couplés avec un transfert des ordres de commutation par voie optique. Cette approche impose l'intégration de détecteurs optiques au sein des drivers en technologies CMOS, et par suite, une utilisation de la gamme du visible ou de l'infrarouge proche (400nm à 900nm par exemple). Grâce à cette voie d'intégration, tout lien électro magnétique (autre qu'optique) est supprimé entre le gate driver associé au transistor de puissance et le circuit de génération des ordres de commutation. Alors, les compromis sur les vitesses de commutation des composants de puissance sont repoussés, permettant des gains importants sur les compromis pertes - vitesses de commutation - immunité CEM (par exemple, la minimisation des perturbations sur le circuit de commande de grille par le circuit de puissance, permettant par suite d'avoir des commutation plus rapides).

Une comparaison rapide entre quelques gate drivers industriels actuels est présentée sur le tableau III.1, en insistant notamment sur les apports proposés dans le cadre du projet ERC [211]. Les remarques et critiques principales que l'on peut faire sur les gate drivers actuels sont les suivants :

- Il est tout à fait possible de trouver des drivers performants et adaptés aux composants de puissance (haut niveau de courant de sortie, faibles temps de propagation), aussi bien pour un seul composant de puissance que pour une cellule de commutation.
- Néanmoins, aucun ne propose de solution d'alimentation flottante intégrée. Au mieux, la

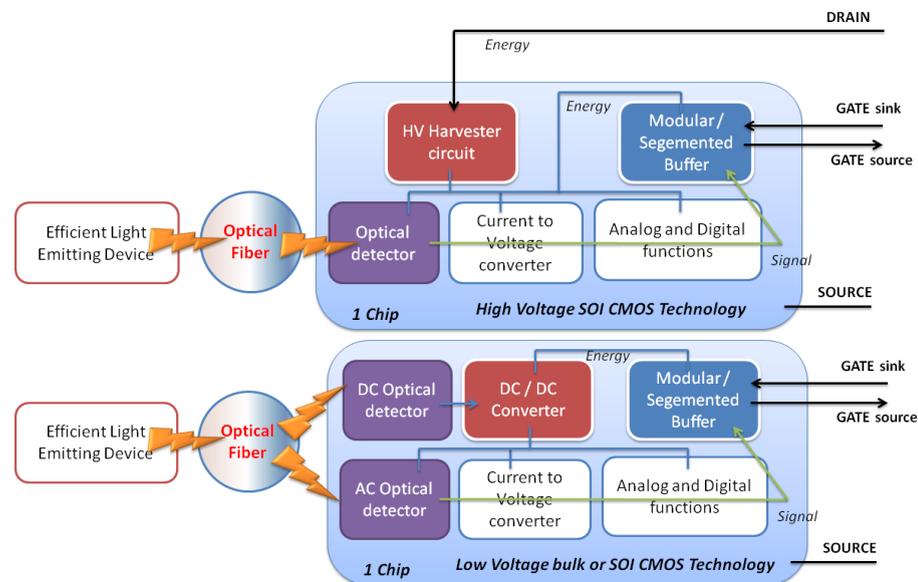


FIGURE III.4 – Vision à court terme des futurs gate drivers à imaginer et mettre au point. En haut, un circuit de récupération est intégré au sein du gate driver, permettant l'alimentation en énergie. En bas, l'énergie du driver est transféré par voie optique. Dans tous les cas, les ordres de commande sont transférés par voie optique.

diode de bootstrap est intégrée au sein des circuits CMOS HV pilotant des bras de commutation. Ces alimentations sont réalisées la plupart du temps par des circuits dédiés, présentant des limites en terme d'immunité au dV/dt ,

- La modularité du driver (impédance, niveaux de tension, ...) n'est pas possible depuis une entrée isolée,
- Pour les driver basés sur des technologies haute tension, les délais sont augmentés et la tenue à la haute température peut être difficile, notamment sur les technologies 1200V,
- Dans le cas où une intégration optique est intégrée (solutions Avago par exemple), les temps de propagation et délais entre voies sont plus importants et le mode d'assemblage limite les niveaux d'isolation statique et dynamique,
- Aucune solution n'est disponible pour piloter de façon optimale un convertisseur complet dans le contexte de la haute tension ($> 600V$) et des fortes vitesses de commutation.

Faisant suite à ce constat, il me semble vital de proposer de nouvelles architectures de circuits gate driver, permettant un niveau d'intégration sans précédent, avec une transmission isolée des signaux de configuration des drivers et des ordres de commutation. L'idée ici est d'aller vers un bloc autonome et intégré, depuis les transistors de puissance jusqu'aux circuits de pilotage. Dans cette approche, chaque transistor de puissance serait associé à un circuit de pilotage CMOS basse tension ou CMOS haute tension, selon le mode de génération de l'alimentation flottante de ce gate driver. Cette approche de récupération d'énergie électrique (CMOS HV, 200V à 1200V max, connecté entre Drain et Source du transistor de puissance, et devant par suite avoir une tenue en tension identique au transistor de puissance) ou récupération d'énergie optique (CMOS LV, 1.8V à 50V max, générant une alimentation flottante à partir de l'énergie transmise par voie optique) va

Id.	Comp.	Model	Type	Key specifications	Limitations	EpicDriver achievements
#1	TI	LM5114	Single	<12V supply, pull down clamp, +1.3A / -7A output, 30ns prop delay, QFN packaging	No integrated supply, no signal insulation, fixed output impedance	Integrated isolated supply <i>(optical supply or harvester),</i> integrated signal isolation <i>(optical receivers + optical fibre),</i> high signal immunity <i>(> 10kV DC, >50kV/μs),</i> gate charge modularity <i>(0-100Ohm output impedance, selectable through integrated isolator)</i>
#2	TI	LM5113	Dual	<100V HS Vdc, integrated bootstrap diode, +1.2A / -7A, 50kV/μs limit, 45ns prop delay, 8ns channel mismatch, WSON packaging	No integrated LV supply, no signal insulation, fixed output impedance, 100V	
#3	IR	IR2213	Dual	<1200V HS Vdc, +1.7A / -2A output, 50kV/μs limit, 280ns prop delay, 30ns channel mismatch	No integrated LV supply, no bootstrap diode, no signal insulation, fixed output impedance, high delays	
#4	IR	IRS2607	Dual	<600V HS Vdc, integrated bootstrap diode, +/-0.5A output, 50kV/μs limit, 700ns prop delay, 50ns channel mismatch	No integrated LV supply, no signal insulation, fixed output impedance, high delays, low freq application	
#5	Avago	ACPL-W346	Single	<20V supply, integrated optocoupler +/-2.0A output, 1500V isolation and 50kV/μs limit, 120ns prop delay, 50ns channel mismatch	No integrated LV supply, fixed output impedance, medium delays	
#6	Avago	ACPL-337J	Single	<30V supply, integrated optocoupler +/-3.0A output, 1500V isolation and 30kV/μs limit, 250ns prop delay, 150ns channel mismatch, integrated functions for IGBT driving	No integrated LV supply, fixed output impedance, high delays	

TABLE III.1 – Sélection de gate drivers disponibles et positionnement des contributions dans le cadre du projet de recherche [211].

dans le sens des ruptures sur les composants de puissance. En effet, les meilleures figures de mérite des nouveaux transistors de puissance vont faire diminuer les tailles des capacités d'entrée, et par suite les besoins énergétiques de commande. Ceci bien entendu doit être mis en balance avec la montée en fréquence des convertisseurs de puissance. Néanmoins, les résultats préliminaires présentés dans la partie précédente nous montrent qu'une telle approche est envisageable.

Par rapport à cette analyse, quelques spécifications cibles pour les premiers développements de nouveaux gate drivers peuvent être les suivantes :

- Récupération d'énergie (électrique ou optique), génération et régulation d'une ou plusieurs alimentations flottantes intégrées. Tensions de commande de grille entre 5V et 20V (voire 50V pour certains prototypes tels que des transistors prototypes en diamant), consommation entre la dizaine et la centaine de mW,
- Transfert d'informations de configuration et des signaux de commutation par voie optique, avec une minimisation de la puissance nécessaire (inférieure à mW optique) et des délais de propagation (moins de 50ns) et de dispersion entre les voies (moins de 10ns),
- Immunité au dV/dt au delà de $50kV/\mu s$ ($> 200kV/\mu s$ si possible, avec suppression des couplages de mode commun entre la boucle de commande et le système externe de génération des ordres de commutation), immunité statique entre 600V et plusieurs centaines de kV,
- Minimiser la sensibilité et la dépendance de chaque fonction à la température, sur de larges plages d'utilisation,
- Envisager un retour d'information isolé, depuis le gate driver vers le contrôleur extérieur, sans modification des performances de l'isolation galvanique. Ce dernier point a fait l'objet

de concepts pluri disciplinaires au sein du projet ERC que j'ai proposé en 2015 [211].

Ces pistes de recherche à court terme s'inscrivent dans une vision à plus longue échéance, où chaque transistor de puissance serait interconnecté à son électronique de contrôle CMOS dédié, puis chacun de ces éléments autonomes serait connecté à un organe de routage optique assurant alors un niveau d'intégration sans précédent. Les figures III.5 et III.6 présentent ainsi cette approche de mariage entre photonique, microélectronique et électronique de puissance. Parmi différentes solutions, je propose de considérer des plateformes de nanophotonique sur Silicium, étant donné les résultats impressionnants obtenus sur ces technologies et leurs compatibilités avec des procédés CMOS. Ce choix oriente alors vers des gammes de longueurs d'onde classiquement utilisés pour les communications optiques à très haute fréquence (1300-1600nm), permettant d'utiliser des fonctions actives et passives sur Silicium voire Silicium-Germanium. Une telle intégration permettrait de proposer un pilotage optique de matrices de composants de puissance et gate drivers associés, en suivant les standards de fabrication et d'assemblage 3D des technologies CMOS. Selon l'application considérée, je pense conduire une activité d'intégration complémentaire entre un *Power System In Package* à l'image des figures III.2 et III.4, et une intégration complète et ultime pour un convertisseur de puissance à l'image des figures III.5 et III.6. La première approche comprendrait un seul transistor de puissance très haute tension ($> 3kV$), autonome, avec son électronique de pilotage intégrée au plus proche et une gestion optimale de l'isolation galvanique et de la charge et décharge de la capacité d'entrée de ce composant de puissance. La seconde approche d'intégration serait plus adaptée à des gammes de tensions modérées (200V à 600V par exemple), avec une intégration à l'échelle du convertisseur et proposant alors un système performant de transfert des nombreuses informations isolées tout en garantissant des vitesses de commutation élevées.

SOI CMOS	Voltage	Min gate L	Comments
Xfab XT018	1.8V/5V/10V /100V/140V/200V	0.18 μ m	High Temperature, High Voltage, high density low voltage, high density TMIM capacitors
Xfab XDH10	7V/20V/350V/650V	1 μ m	High Temperature, Higher Voltage, lower density
Bulk CMOS			
AMS C18A6	1.8V/5V	0.18 μ m	High density low voltage, digital and analog functions, low cost, regular temperature
AMS H18A6	1.8V/5V/20V/50V	0.18 μ m	High density low voltage, higher voltage output buffer, digital and analog functions, low cost, regular temperature
AMS C35B401	3.3V/5V	0.35 μ m	Better performances for optical detectors, low voltage, digital and analog functions, lower cost, regular temperature
EPIC			
ePIXfab-imec SiPhotonics Full Platform			Fibre coupler, 1550nm waveguides, splitter and/or demux, Si optical modulators, Ge optical detectors, electrical pads, local backside etching option
IHP SG25 PIC SiGe npn HBT + Ge detectors and waveguide			

TABLE III.2 – Présentation de quelques technologies accessibles en Multi Projets pour la conduite des pistes de recherche.

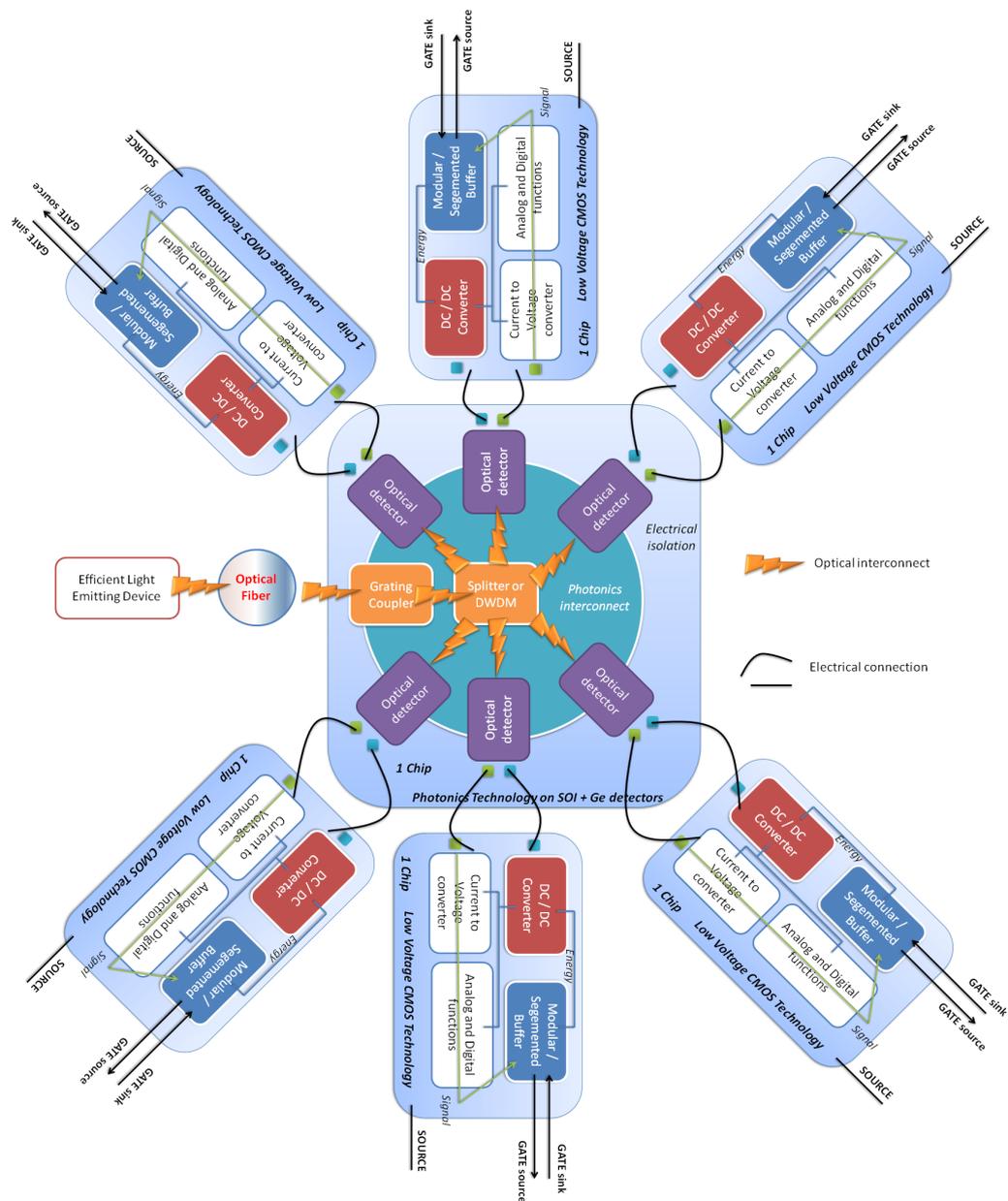


FIGURE III.5 – Approche d'intégration photonique et microélectronique, avec ici une puce nanophotonique assurant l'interconnexion optique et l'isolation électrique, puis six gate driver pilotant de façon optimale six transistors de puissance à des niveaux de potentiels différents et flottants [211].

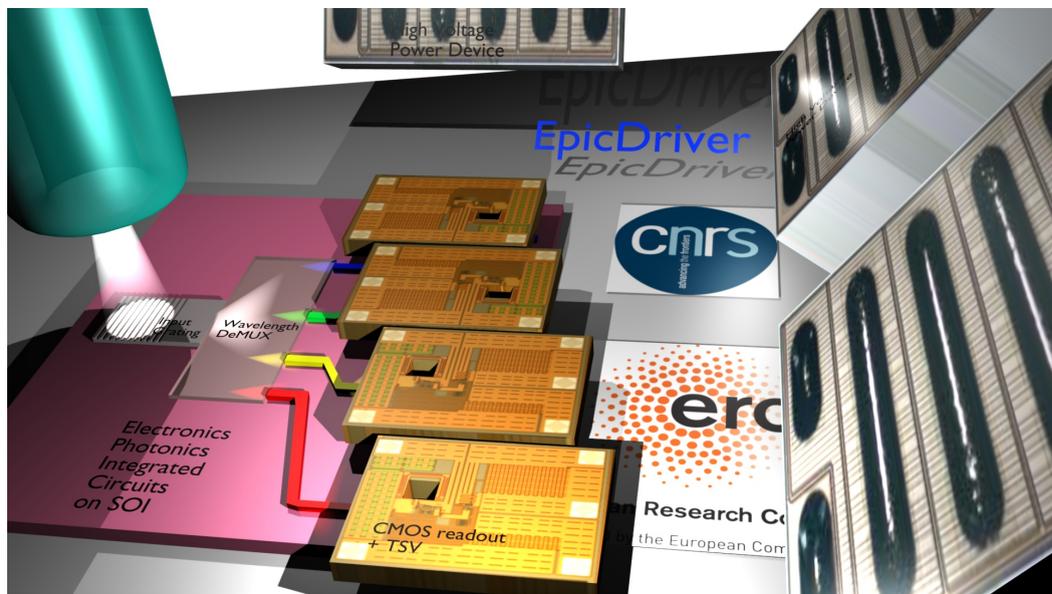


FIGURE III.6 – Vue d’artiste de l’interconnexion entre l’organe nanophotonique, les gate drivers en technologie CMOS et les composants de puissance, ici en GaN [211].

III.2.b Nouveaux matériaux pour les semiconducteurs de puissance

Des résultats très prometteurs ont été démontrés par plusieurs équipes de recherche nationales et internationales sur les possibilités offertes par les nouveaux matériaux, dans le contexte des composants actifs de puissance. Plus particulièrement, le diamant est considéré comme le matériau ultime, mais de nombreux défis restent à relever (par exemple, atteindre les limites de tenue au champ électrique, optimiser la conductivité à température ambiante, maîtriser les durées de vie sur les composants bipolaires, ...). Ainsi, dans une vision à plus long terme, je propose de contribuer sur les points suivants :

- Concevoir et caractériser de nouveaux composants actifs et fonctions intégrées éventuelles,
- Faire évoluer les modèles et outils de conception, en lien avec la physique du semiconducteur et les caractérisations et mises en œuvre,
- Démontrer expérimentalement les potentialités des composants grands gaps dans l’applicatif.

Ces perspectives sont illustrées par exemple sur la figure III.7, où la première étape serait de concevoir et réaliser des matrices de diodes diamant à électrode commune en modifiant leur structure pour favoriser leur implémentation optimale dans un convertisseur. En effet, ces nouveaux composants repoussent les limites dynamiques en régime de commutation, et il deviendra critique de pouvoir atteindre et mesurer les performances ultimes offertes par cette rupture. Un premier travail de conception et réalisation de l’environnement intégré de mesure au sein de matrices de composants monolithiques a déjà été réalisé, et devra être poursuivi (figure III.8). Cette première étape permettrait par la suite de considérer une approche d’intégration monolithique et/ou hybride de convertisseurs d’énergie à très hautes performances sur cette plateforme diamant. Cet aspect a été proposé en partie dans l’ANR E-Pure-HVDC en cours d’analyse, et pour laquelle j’assurerais la coordination si ce projet est financé.

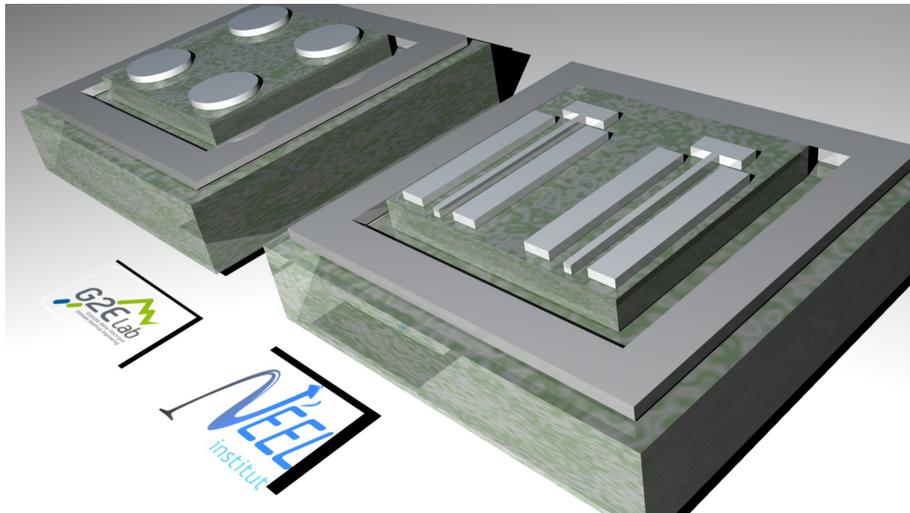


FIGURE III.7 – Vue d’artiste d’un nouveau composant monolithique en diamant : des diodes multiples sont conçues en prenant en considération dès le départ leur mise en œuvre future.

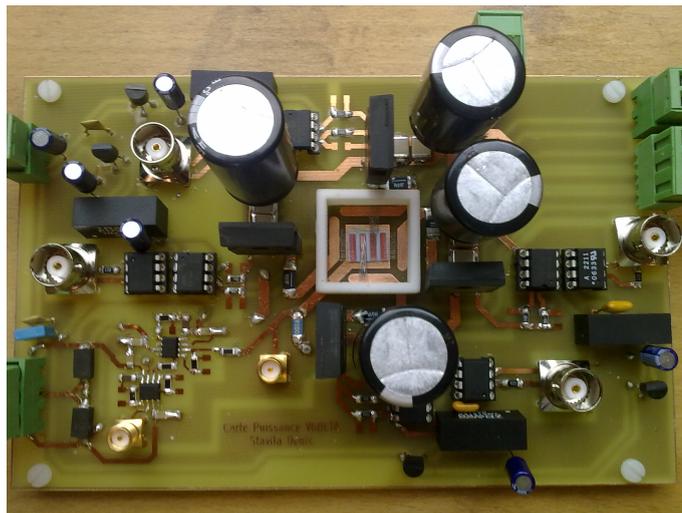


FIGURE III.8 – Première implémentation d’un convertisseur polyphasé contenant une matrice monolithique de diodes, avec électronique de mesure rapprochée, large signal et large bande passante. Un composant 800V Silicium est ici utilisé dans une première réalisation.

Dans une recherche plus amont, il faudra poursuivre les travaux et proposer des modèles originaux qui permettront de fiabiliser la conception de ces nouveaux composants de puissance. En effet, il reste très difficile de concevoir des fonctions intégrées ou composants originaux, car de nombreux phénomènes ne sont pas implémentés dans les simulateurs numériques. En lien avec les équipes du matériau (comme l’institut Néel par exemple), je souhaite donc mettre au point des outils fiables qui nous permettraient par la suite de mieux concevoir et comprendre (plan d’expérience numérique, analyse de sensibilité, dimensionnement assisté, études des interactions, ...).

Cette approche commence à être mise en place et donne déjà des résultats amonts par rapport à l'état de l'art. Grâce à ces outils, de nouvelles architectures de composants peuvent ainsi être envisagées et étudiées, en lien avec les spécificités du matériau. Ces travaux ouvrent de nombreuses perspectives, pour lesquelles je souhaiterais m'investir.

III.2.c Intégration 3D de puissance à l'échelle du wafer

En attendant que le niveau de maturité soit suffisamment avancé pour les nouveaux matériaux, il reste primordial de proposer de nouvelles ruptures autour des composants de puissance en Silicium. D'une part, de nouveaux concepts peuvent repousser les limites actuelles du matériau et du système global l'utilisant, et d'autre part, cela permet de faire des preuves de concepts et démonstrations qui pourraient s'appliquer ou se transférer plus tard aux nouveaux matériaux. Ainsi, je pense continuer les recherches autour de l'intégration 3D pour les composants actifs de puissance, et plus généralement, autour de cellules de commutation de puissance (association de composants de puissance et de leurs périphériques). Cette approche sera une brique supplémentaire dans ma vision d'intégration depuis les semiconducteurs de puissance, jusqu'à la génération des informations de commande, où de nouvelles idées sont à creuser (pilotage optique de matrices de composants, assemblage 3D collectif, intégration ultime, ...).

La figure III.9 présente ainsi les dernières idées proposées dans la thèse de B. Letowski [190]. Pour atteindre ce but, il est nécessaire de développer et mettre au point des briques élémentaires technologiques, telles que la fabrication de lead frame de puissance, la métallisation spécifique et finitions du composant de puissance, la reprise des contacts, la périphérie en tension adaptée, etc... Depuis 2013, nous transférons les briques et procédés technologiques vers les plateformes du CEA-Leti, ainsi que sous-traitants industriels afin d'obtenir des composants performants et reproductibles et nous focaliser principalement sur les étapes à haute valeur ajoutée (report, intégration 3D, caractérisation système, conception).

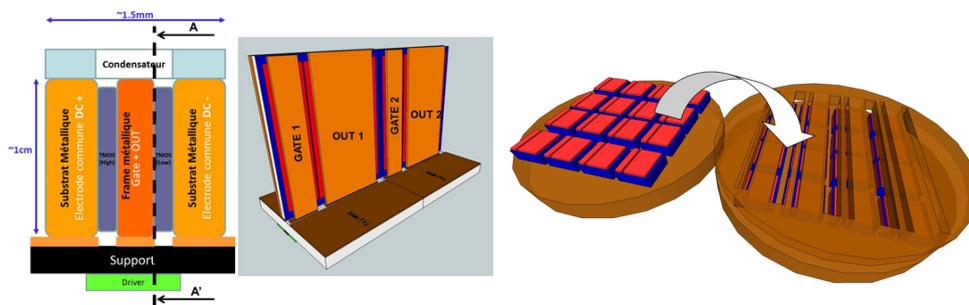


FIGURE III.9 – Derniers concepts pour la fabrication à l'échelle du wafer de matrices de composants de puissance, réalisant des cellules de commutation haute tension avec un niveau d'intégration 3D ultime.

En ce sens, des procédés technologiques innovants sont à imaginer et à développer. Une première piste est le mariage d'une intégration et d'un assemblage collectif à l'échelle du Wafer, marié à une intégration optimale à l'échelle du module ou des cellules de commutation. Ces travaux sont à poursuivre, avec comme pistes supplémentaires l'intégration complète de tous les éléments né-

cessaires à l'aboutissement d'une cellule de commutation intégrée ultime (très faibles parasites, fonctionnement autonome, performances électriques et électro-magnétiques sans précédents). Sur les aspects technologiques, il faudra s'appuyer sur des plateformes industrielles ou à la pointe de l'innovation, telle que le Laboratoire de Substrats Avancés du CEA-Leti, maîtrisant les techniques d'assemblage Wafer to Wafer. D'autres idées et concepts similaires restent encore à démontrer.

III.3 Intégration du projet aux visions du laboratoire et du CNRS

Les perspectives de recherche à court terme concernent principalement les poursuites de travaux sur l'intégration 3D pour les composants de puissance (commande - puissance), et le transfert de ces activités sur les nouveaux matériaux (diamant - GaN). Ceci se caractérise par les projets déposés, qui vont démarrer ou en cours d'analyse autour de la conception et du contrôle de nouveaux transistors en diamant (ANR E-Pure-HVDC, H2020 GreenDiamond, ERC Starting EpicDriver). Pour les circuits de pilotage *gate driver*, de nouvelles solutions de circuits intégrés pour la commande par voie optique seront imaginés, conçus et démontrés expérimentalement. Ces actions de recherche devraient permettre de proposer des solutions innovantes dans la problématique de l'intégration 3D pour les composants de puissance, les composants grands gaps et plus généralement pour les composants actifs en électronique de puissance. Ces actions de recherche s'inscrivent dans une vision à plus long terme, qui est décrite dans les deux paragraphes suivants. La problématique adressée est en parfaite adéquation avec le rapport de conjoncture 2014 de la section 08 du CNRS qui rappelle la problématique d'intégration des drivers et des composants grands gaps (section V - paragraphe C conversion statique : *"l'arrivée des semi-conducteurs de puissance grand gap, une révolution qui soulève de nombreuses nouvelles questions en matière de CEM, d'intégration des drivers et d'opportunité pour de nouvelles architectures de conversion"* ; et paragraphe F outils méthodologiques). Cette thématique est bien évidemment portée par l'équipe électronique de puissance du G2Elab, et particulièrement l'axe 1 - intégration, dont l'activité se propose d'aller du composant de puissance à la cellule de commutation intégrée (voir rapport à vague 2015 pour évaluation HCERES). Citons par exemple une partie de ce document (perspectives de l'axe intégration pour le projet exercice), proposant de *"concevoir, au sein ou au plus proche du composant de puissance, des fonctions de pilotage (gate driver), de monitoring, de packaging et de refroidissement. Cette approche « d'intégration système » vise à repousser les contraintes technologiques et conceptuelles, en allant vers des cellules de commutations formant un « tout-intégré » pour utiliser au mieux les performances des nouveaux composants à commutations très rapides. Le packaging, le refroidissement, le gate driver et le monitoring seront pris en compte conjointement afin d'apporter une réelle rupture en électronique de puissance, dans une approche multi-physique et fortement contrainte (thermique, électrique, électromagnétique, mécanique)." Au sein de l'équipe, je serai leader sur les aspects d'intégration de solutions d'isolation optique pour les *gate drivers*, associés aux problématiques et nouveaux composants grands gaps tels que les futurs composants de puissance en diamant. Aux côtés de mes collègues, j'apporterai mes compétences de conception et d'analyse théorique et expérimentale sur les composants actifs et autres fonctions intégrées au sein des drivers.*

III.4 Moyens nécessaires pour la conduite de ce projet de recherche

Sur les 10 prochains semestres et en lien avec les pistes de recherche présentées précédemment, j'estime que les moyens présentés dans le tableau III.3 seront nécessaires. Si ces moyens ne pourraient être décrochés, alors une partie plus ou moins importante de ces ambitions ne pourra être démontrée. Comme je l'ai fait depuis mon recrutement en 2009, je m'efforcerai de monter les projets et participer au montage de projets en lien avec ma vision scientifique, dans le but de disposer des moyens financiers qui me permettront de conduire ma recherche dans les meilleures conditions.

Thématique	Défis	Mode res- sourcingement	Partenaire(s)	Coût 2015-2020	Cible technique et scienti- fique
Gate Drive intégrés	Isolation et alimentation flottante intégrée, assemblage 3D puissance / commande, couplages électro-thermo-mécanique, modularité et contrôle haute fréquence	Europe (ERC), ANR, Région RA, université Grenoble Alpes	CEA-Leti, IMEP, Ampere, IMEC, Fraunhofer, AIST, ...	1050kEuros : 500kEuros (3 thèses, 2 années de PostDoc, 2 années Ingénieur de recherche), 300 kEuros de sous-traitances (fabrication de puces, assemblages), 100kEuros équipement (sources optiques et bancs optiques), 100kEuros de fonctionnement (prototypages, maintenance des équipements, fournitures composants puissance et commande), 50 kEuros missions.	Démonstrateur de gate driver à auto-alimentation, récupération d'énergie et contrôle optique pour convertisseurs multicellulaires en composants grands gaps. Repousser les contraintes en termes de compromis efficacité énergétique - volume.
Composants de puissance Grands Gaps	Dopage N diamant ou structure verticale avec epitaxie N et multi couches N-P, reproductibilité des procédés, modèles dédiés, taille des substrats diamant, passivation et encapsulation, performances électriques à basse température	Europe (H2020), ANR, Région RA, université Grenoble Alpes, projets internationaux	Néel, NIMS, AIST, TokyoTech, ...	750kEuros : 300kEuros (2 thèses, 1 année de PostDoc, 1 année Ingénieur de recherche), 200 kEuros équipements (caractérisation, source mètre HV et HC), 100 kEuros de sous-traitances (fabrication de puces dédiées, assemblages, étapes technologiques), 100kEuros de fonctionnement (prototypages, maintenance des équipements, fournitures composants), 50 kEuros missions.	Démonstrateur de fonctions élémentaires de puissance sur substrat diamant, avec modèles électriques associés (transistor et diode), circuit monolithique de puissance (cellule de commutation monolithique en diamant), circuit intégré monolithique de puissance en diamant dans son système dédié, avec haut niveau de rendement et de puissance volumique.
Cellules de commutation 3D	Maîtrise des technologies, intégration des passifs au plus proche des actifs, gate driver au plus proche des composants de puissance	Europe (H2020), FUI, industriels, CEA-LETI, ANR, Région RA, université Grenoble Alpes	CEA-Leti, industriels, ...	650kEuros : 200kEuros (1 thèse, 2 années de PostDoc), 150kEuros d'équipements (caractérisation performances CEM et caractérisation on Wafer et In Package), 150 kEuros de sous-traitances (fabrication de puces puissance, puces commande dédiées, assemblages), 100kEuros de fonctionnement (prototypages, maintenance des équipements, fournitures composants), 50 kEuros missions.	Démonstrateur de convertisseur fabriqué en 3D à l'échelle du Wafer, avec procédés collectifs. Repousser les compromis de conception : performance - volume - susceptibilité et perturbations CEM.

TABLE III.3 – Estimation des moyens financiers nécessaires pour la conduite des activités de recherche, en lien avec les perspectives de recherche

III.5 Positionnement du projet de recherche : partenaires et compétiteurs

Tout au long de ce document, j'ai proposé de nombreuses références internationales sur les activités et thématiques abordées. Parmi ces dernières, j'ai fait ressortir des éléments différenciateurs mais aussi complémentaires de par les collaborations déjà actives et les résultats obtenus à l'échelle mondiale. De façon synthétique et en lien avec mon projet de recherche, il semble vital de renforcer les collaborations déjà établies à l'échelle locale (Institut Néel, CEA-Leti) et internationale (AIST, NIMS, UBC). De nouvelles collaborations sont à établir, principalement pour couvrir les aspects pluridisciplinaires de mon projet de recherche, depuis la microélectronique jusqu'aux nouveaux composants de puissance en passant par l'assemblage 3D, la nanophotonique et l'optique intégrée. En ce sens, il faudra s'appuyer sur les compétences complémentaires des laboratoires français du génie électrique tels que Ampere, Satie, IMS, Laplace, Greman, LAAS avec ceux de la microélectronique et de la nanophotonique tels que IEF, IMEP-LAHC, CEA, Femto-ST, TIMA, IEMN, CRHEA. De nouvelles compétences sont aussi à aller chercher en Europe (CNM, IMEC, Nottingham, Fraunhofer, ...) et dans le monde (Japon, Amériques, Chine, Corée du Sud, Taiwan, Hong Kong, Allemagne, Angleterre, Suisse, Espagne, Italie, Belgique, Suède, ...).

Sans refaire ici l'analyse de l'état de l'art, certains aspects du projet sont clairement en compétition avec d'autres groupes à l'échelle internationale. Le CPES aux États Unis reste leader sur les démonstrations expérimentales de nouveaux convertisseurs intégrés mais peu de travaux sont conduits autour des circuits intégrés de contrôle de grille. Les industriels ont investi de façon massive les composants de puissance et leurs circuits périphériques, mais aujourd'hui, il n'existe aucune compétition industrielle autour des composants de puissance en diamant. Il faudra compter sur les groupes japonais pour apporter des ruptures sur les composants en diamant (AIST, NIMS, Tokyo Tech, Waseda Univ, Toshiba), certains aspects pouvant être complémentaires (caractérisation et pilotage de composants diamant, interface matériaux-système) et d'autres en compétition (nouvelles architectures de composants, performances).

Sur les *gate drivers*, mon projet de recherche se pose en compétition avec les dispositifs industriels existants, tout en proposant d'aller au delà des performances grâce à une vision pluridisciplinaire. Il faudra toujours confronter les performances des prototypes avec les différentes évolutions industrielles afin de mesurer l'apport des solutions intégrées. A ce jour, il ne semble pas exister de compétition sur un mariage électronique de puissance - microélectronique - nanophotonique pour les applications de gestion d'énergie. Ce vide semble intéressant mais il faudra démontrer la réalité industrielle et applicative des nouvelles solutions que je souhaite mettre au point.

Sur l'intégration 3D et l'utilisation de procédés collectifs pour l'électronique de puissance à l'échelle du convertisseur, il semble vital de continuer une collaboration étroite avec le CEA-Leti, proposant une complémentarité parfaite entre la maîtrise technologique (CEA-Leti) et la maîtrise système (G2Elab). Par contre, cette partie du projet pourrait bénéficier d'un premier travail de transfert industriel afin de démontrer cette approche avec composants de puissance ayant des performances intrinsèques du premier ordre. De nombreux candidats semblent intéressés par cette approche, et il reste difficile aujourd'hui de connaître l'état d'avancement des industriels sur ce point et par suite, s'ils sont dans une logique de collaboration (i.e. complémentarité) ou de compé-

tition (maîtrise partagée). Cet aspect de transfert industriel est aussi une force du CEA-Leti et du CNRS, avec la contrainte du nombre réduit d'industriels français pouvant valoriser les concepts établis dans ce cadre.

III.6 Conclusion

J'ai présenté ici un projet de recherche autour de l'intégration pour l'électronique de puissance dans le but de repousser les compromis classiques de dimensionnement. Ce projet est dans la lignée de mon projet de recherche initial défendu au CNRS en 2009, agrémenté de nouvelles problématiques issues de mon expérience de recherche et de mon analyse continue de l'état de l'art. Il me semble vital de proposer de nouvelles idées, en se basant d'une part sur des aspects complémentaires et les avancées dans des domaines techniques classiquement hermétiques, et d'autre part sur une prise de risque avec des concepts inédits. Pour mener à bien ce projet de recherche, il faudra s'appuyer sur des compétences déjà présentes mais aussi s'assurer du ressourcement de ces activités sans limiter l'ambition. Enfin, ce projet ne pourra se dérouler que s'il arrive à mobiliser une somme suffisante de forces, notamment grâce au travail de recherche quotidien conduit par les doctorants, post-doctorants et stagiaires, mais aussi via le soutien technique des personnels permanents ou temporaires (chercheurs, ingénieurs et administratifs). Au delà d'une vision personnelle, la réussite d'un projet d'envergure ne peut s'obtenir que grâce à un travail d'équipe, avec une juste reconnaissance des contributions personnelles.

Conclusion générale

De façon similaire à mes étudiants et collègues chercheurs et enseignants-chercheurs lorsqu'ils concluent leurs manuscrits de thèse ou d'HdR, il m'est difficile ici de conclure en évitant les répétitions. En guise de conclusion, je souhaite avant tout remercier l'ensemble des personnes qui m'ont fait confiance, ainsi que mes collègues qui m'apportent au quotidien les échanges scientifiques et techniques nécessaires à notre travail d'intérêt collectif.

Par mon activité de recherche, je souhaite continuer à imaginer de nouvelles solutions, savoir remettre en question mes choix et ceux de mes collègues, être en capacité de démontrer scientifiquement et techniquement de nouveaux concepts. Dans cette tâche de recherche, la formation par la recherche est la pierre angulaire, les doctorants étant au cœur des développements et des démonstrations. Malgré un contexte parfois difficile, avec notamment un fonctionnement par projet de recherche à court terme, j'essaierai le plus possible de favoriser les prises de risques, avec comme but une recherche au delà des frontières disciplinaires. Ce vœu s'inscrit dans une démarche entamée dès ma formation, poursuivie avec l'exploration de champs disciplinaires différents entre ma thèse et mon postdoc, et l'établissement de collaborations parfois inattendues.

En prenant du recul sur mon activité de recherche, je constate malgré tout que de nouvelles passerelles entre la recherche amont que je conduis et le monde industriel doivent être établies. Par exemple, depuis les partenaires travaillant sur les composants de puissance aux intégrateurs dans les systèmes commerciaux, il faudra trouver des pistes communes avec une logique d'innovation. Cette innovation devra se confronter à la prise de risques et les gains qui peuvent en découler.

Enfin, je souhaite bien évidemment continuer les actions de diffusion des avancées scientifiques, en essayant de faire des pauses dans la recherche au quotidien afin de mieux valoriser les résultats intermédiaires. Pour conclure, j'espère continuer à prendre du plaisir dans l'analyse des problématiques et l'identification des pistes de recherche mais aussi dans la conduite de ces idées au quotidien.

Bibliographie

- [1] J. Kolar and T. Friedli, "The essence of three-phase pfc rectifier systems : Part i," *Power Electronics, IEEE Transactions on*, vol. 28, pp. 176–198, Jan 2013.
- [2] M. Hartmann, H. Ertl, and J. Kolar, "On the tradeoff between input current quality and efficiency of high switching frequency pwm rectifiers," *Power Electronics, IEEE Transactions on*, vol. 27, pp. 3137–3149, July 2012.
- [3] J. Rodriguez, M. Rivera, J. Kolar, and P. Wheeler, "A review of control and modulation methods for matrix converters," *Industrial Electronics, IEEE Transactions on*, vol. 59, pp. 58–70, Jan 2012.
- [4] J. Kolar, F. Krismer, Y. Lobsiger, J. Muhlethaler, T. Nussbaumer, and J. Minibock, "Extreme efficiency power electronics," in *Integrated Power Electronics Systems (CIPS), 2012 7th International Conference on*, pp. 1–22, March 2012.
- [5] S. Ujita, Y. Kinoshita, H. Umeda, T. Morita, S. Tamura, M. Ishida, and T. Ueda, "A compact GaN-based DC-DC converter IC with high-speed gate drivers enabling high efficiencies," in *Power Semiconductor Devices & IC's (ISPSD), 2014 IEEE 26th International Symposium on*, pp. 51–54, IEEE, 2014.
- [6] F. C. Lee and Q. Li, "High-Frequency Integrated Point-of-Load Converters : Overview," *IEEE Transactions on Power Electronics*, vol. 28, pp. 4127–4136, Sept. 2013.
- [7] K.-Y. Wong, W. Chen, X. Liu, C. Zhou, and K. J. Chen, "GaN smart power IC technology," *physica status solidi (b)*, vol. 247, pp. 1732–1734, June 2010.
- [8] S. Ji, D. Reusch, and F. C. Lee, "High-Frequency High Power Density 3-D Integrated Gallium-Nitride-Based Point of Load Module Design," *IEEE Transactions on Power Electronics*, vol. 28, pp. 4216–4226, Sept. 2013.
- [9] C. Raynaud, D. Tournier, H. Morel, and D. Planson, "Comparison of high voltage and high temperature performances of wide bandgap semiconductors for vertical power devices," *Diamond and Related Materials*, vol. 19, pp. 1–6, Jan. 2010.
- [10] H. Umezawa, M. Nagase, Y. Kato, and S.-i. Shikata, "High temperature application of diamond power device," *Diamond and Related Materials*, vol. 24, pp. 201–205, Apr. 2012.
- [11] J. Everts, J. Das, J. Van dan Keybus, M. Germain, and J. Driesen, "GaN-based power transistors for future power electronic converters," in *Young Researchers Symposium 2010 on Smart Sustainable Power Delivery : Proceedings*, 2010.

- [12] S. Rashid, A. Tajani, D. Twitchen, L. Coulbeck, F. Udrea, T. Butler, N. Rupesinghe, M. Brezeanu, J. Isberg, A. Garraway, M. Dixon, R. Balmer, D. Chamund, P. Taylor, and G. Amaratunga, "Numerical Parameterization of Chemical-Vapor-Deposited (CVD) Single-Crystal Diamond for Device Simulation and Analysis," *IEEE Transactions on Electron Devices*, vol. 55, pp. 2744–2756, Oct. 2008.
- [13] S. J. Rashid, L. Coulbeck, A. Tajani, M. Brezeanu, A. Garraway, T. Butler, N. L. Rupesinghe, D. J. Twitchen, G. A. J. Amaratunga, and F. Udrea, "Numerical and experimental analysis of single crystal diamond Schottky barrier diodes," in *Proceedings of The 17th International Symposium on Power Semiconductor Devices and ICs*, pp. 315–318, 2005.
- [14] M. Brezeanu, T. Butler, N. Rupesinghe, S. Rashid, M. Avram, G. Amaratunga, F. Udrea, M. Dixon, D. Twitchen, A. Garraway, D. Chamund, and P. Taylor, "Single crystal diamond M-i-P diodes for power electronics," *IET Circuits, Devices & Systems*, vol. 1, no. 5, p. 380, 2007.
- [15] S. J. Rashid, F. Udrea, D. J. Twitchen, R. S. Balmer, and G. A. J. Amaratunga, "High Conductivity delta -Doped Single Crystal Diamond Schottky mip+ Diodes," in *Power Semiconductor Devices and IC's, 2008. ISPSD'08. 20th International Symposium on*, pp. 249–252, IEEE, 2008.
- [16] D. Nguyen, C. Raynaud, N. Dheilily, M. Lazar, D. Tournier, P. Brosselard, and D. Planson, "Experimental determination of impact ionization coefficients in 4h-SiC," *Diamond and Related Materials*, vol. 20, pp. 395–397, Mar. 2011.
- [17] V. Mortet and A. Soltani, "Impurity impact ionization avalanche in p-type diamond," *Applied Physics Letters*, vol. 99, no. 20, p. 202105, 2011.
- [18] X. Cheng and Y. Wang, "A Surface-Potential-Based Compact Model for AlGaIn/GaN MODFETs," *IEEE Transactions on Electron Devices*, vol. 58, pp. 448–454, Feb. 2011.
- [19] S. Khandelwal and T. A. Fjeldly, "A physics based compact model for drain current in AlGaIn/GaN HEMT devices," in *Power Semiconductor Devices and ICs (ISPSD), 2012 24th International Symposium on*, pp. 241–244, IEEE, 2012.
- [20] A. Nakajima, K. Takao, and H. Ohashi, "GaN Power Transistor Modeling for High-Speed Converter Circuit Design," *IEEE Transactions on Electron Devices*, vol. 60, pp. 646–652, Feb. 2013.
- [21] K.-S. Im, Y.-W. Jo, K.-W. Kim, D.-S. Kim, H.-S. Kang, C.-H. Won, R.-H. Kim, S.-M. Jeon, D.-H. Son, and Y.-M. Kwon, "First demonstration of heterojunction-free GaN nanochannel FinFETs," in *Power Semiconductor Devices and ICs (ISPSD), 2013 25th International Symposium on*, pp. 415–418, IEEE, 2013.
- [22] G. Chicot, T. N. Tran Thi, A. Fiori, F. Jomard, E. Gheeraert, E. Bustarret, and J. Pernot, "Hole transport in boron delta-doped diamond structures," *Applied Physics Letters*, vol. 101, no. 16, p. 162101, 2012.
- [23] T. Sato, K. Ohashi, H. Sugai, T. Sumi, K. Haruna, H. Maeta, N. Matsumoto, and H. Otsuka, "Transport of heavily boron-doped synthetic semiconductor diamond in the hopping regime," *Physical Review B*, vol. 61, no. 19, p. 12970, 2000.
- [24] T. Klein, P. Achatz, J. Kacmarcik, C. Marcenat, F. Gustafsson, J. Marcus, E. Bustarret, J. Pernot, F. Omnes, B. Sernelius, C. Persson, A. Ferreira da Silva, and C. Cytermann,

- “Metal-insulator transition and superconductivity in boron-doped diamond,” *Physical Review B*, vol. 75, Apr. 2007.
- [25] P. Sciajev, V. Gudelis, K. Jaranas, I. Kisialiou, E. Ivakin, M. Nesldek, and K. Haenen, “Carrier recombination and diffusivity in microcrystalline CVD-grown and single-crystalline HPHT diamonds,” *physica status solidi (a)*, vol. 209, pp. 1744–1749, Sept. 2012.
- [26] W. Gajewski, P. Achatz, O. Williams, K. Haenen, E. Bustarret, M. Stutzmann, and J. Garrido, “Electronic and optical properties of boron-doped nanocrystalline diamond films,” *Physical Review B*, vol. 79, Jan. 2009.
- [27] N. Kaminski and O. Hilt, “Sic and gan devices - competition or coexistence ?,” in *Integrated Power Electronics Systems (CIPS), 2012 7th International Conference on*, pp. 1–11, March 2012.
- [28] D. Jin and J. A. del Alamo, “Methodology for the Study of Dynamic ON-Resistance in High-Voltage GaN Field-Effect Transistors,” *IEEE Transactions on Electron Devices*, vol. 60, pp. 3190–3196, Oct. 2013.
- [29] A. Marechal, N. Rouger, J. Crebier, J. Pernot, S. Koizumi, T. Teraji, and E. Gheeraert, “[Model implementation towards the prediction of J\(V\) characteristics in diamond bipolar device simulations](#),” *Diamond and Related Materials*, vol. 43, pp. 34 – 42, 2014.
- [30] H. Umezawa, Y. Kato, and S.-i. Shikata, “1 ohm On-Resistance Diamond Vertical-Schottky Barrier Diode Operated at 250 °C,” *Applied Physics Express*, vol. 6, p. 011302, Jan. 2013.
- [31] S. Yamasaki, T. Makino, D. Takeuchi, M. Ogura, H. Kato, T. Matsumoto, T. Iwasaki, M. Hatano, M. Suzuki, and S. Koizumi, “Potential of diamond power devices,” in *Power Semiconductor Devices and ICs (ISPSD), 2013 25th International Symposium on*, pp. 307–310, IEEE, 2013.
- [32] T. Iwasaki, J. Yaita, H. Kato, T. Makino, M. Ogura, D. Takeuchi, H. Okushi, S. Yamasaki, and M. Hatano, “600 V Diamond Junction Field-Effect Transistors Operated at 200C,” *IEEE Electron Device Letters*, vol. 35, pp. 241–243, Feb. 2014.
- [33] H. Kato, T. Makino, M. Ogura, D. Takeuchi, and S. Yamasaki, “Fabrication of bipolar junction transistor on (001)-oriented diamond by utilizing phosphorus-doped n-type diamond base,” *Diamond and Related Materials*, vol. 34, pp. 41–44, Apr. 2013.
- [34] T. Makino, H. Kato, S.-G. Ri, S. Yamasaki, and H. Okushi, “Homoepitaxial diamond PN+ junction with low specific on-resistance and ideal built-in potential,” *Diamond and Related Materials*, vol. 17, pp. 782–785, Apr. 2008.
- [35] T. Makino, S. Tanimoto, Y. Hayashi, H. Kato, N. Tokuda, M. Ogura, D. Takeuchi, K. Oyama, H. Ohashi, H. Okushi, and S. Yamasaki, “Diamond Schottky-pn diode with high forward current density and fast switching operation,” *Applied Physics Letters*, vol. 94, no. 26, p. 262101, 2009.
- [36] T. Makino, H. Kato, D. Takeuchi, M. Ogura, H. Okushi, and S. Yamasaki, “Device Design of Diamond Schottky-pn Diode for Low-Loss Power Electronics,” *Japanese Journal of Applied Physics*, vol. 51, p. 090116, Aug. 2012.
- [37] T. Iwasaki, Y. Hoshino, K. Tsuzuki, H. Kato, T. Makino, M. Ogura, D. Takeuchi, T. Matsumoto, H. Okushi, S. Yamasaki, and M. Hatano, “Diamond Junction Field-Effect Transistors with Selectively Grown n⁺-Side Gates,” *Applied Physics Express*, vol. 5, p. 091301, Aug. 2012.

- [38] Y. Hoshino, H. Kato, T. Makino, M. Ogura, T. Iwasaki, M. Hatano, and S. Yamasaki, "Electrical properties of lateral p-n junction diodes fabricated by selective growth of n⁺ diamond," *physica status solidi (a)*, vol. 209, pp. 1761–1764, Sept. 2012.
- [39] H. Kato, K. Oyama, T. Makino, M. Ogura, D. Takeuchi, and S. Yamasaki, "Diamond bipolar junction transistor device with phosphorus-doped diamond base layer," *Diamond and Related Materials*, vol. 27-28, pp. 19–22, July 2012.
- [40] S. Yamasaki, T. Matsumoto, K. Oyama, H. Kato, M. Ogura, D. Takeuchi, T. Makino, S. Nishizawa, H. Oohashi, and H. Okushi, "Diamond power devices-possibility of high voltage applications," in *Electric Power Equipment-Switching Technology (ICEPE-ST), 2011 1st International Conference on*, pp. 418–420, IEEE, 2011.
- [41] J. Liu, S. Cheng, M. Liao, M. Imura, A. Tanaka, H. Iwai, and Y. Koide, "Interfacial electronic band alignment of Ta₂O₅/hydrogen-terminated diamond heterojunction determined by X-ray photoelectron spectroscopy," *Diamond and Related Materials*, vol. 38, pp. 24–27, Sept. 2013.
- [42] J. W. Liu, M. Y. Liao, S. H. Cheng, M. Imura, and Y. Koide, "Interfacial chemical bonding state and band alignment of CaF₂/hydrogen-terminated diamond heterojunction," *Journal of Applied Physics*, vol. 113, no. 12, p. 123706, 2013.
- [43] J. W. Liu, M. Y. Liao, M. Imura, H. Oosato, E. Watanabe, and Y. Koide, "Electrical characteristics of hydrogen-terminated diamond metal-oxide-semiconductor with atomic layer deposited HfO₂ as gate dielectric," *Applied Physics Letters*, vol. 102, no. 11, p. 112910, 2013.
- [44] S. Cheng, L. Sang, M. Liao, J. Liu, M. Imura, H. Li, and Y. Koide, "Integration of high-dielectric constant Ta₂O₅ oxides on diamond for power devices," *Applied Physics Letters*, vol. 101, no. 23, p. 232907, 2012.
- [45] A. Marechal, G. Chicot, N. Rouger, P. Muret, J. Pernot, and E. Gheeraert, "Leakage current conduction mechanisms in atomic layer deposited HfO₂, ZrO₂ and Al₂O₃ on O-terminated diamond," *International Conference on Diamond and Carbon Materials*, 2014. **A. Marechal recipient of the Elsevier Young Scholar Award.**
- [46] A. Maréchal, G. Chicot, N. Rouger, P. Muret, J. Pernot, and E. Gheeraert, "Determination of band diagram alignments of atomic layer deposited HfO₂, ZrO₂ and Al₂O₃ on O-terminated diamond," in *20th International Hasselt Diamond Workshop on CVD diamond, SBDD 2015*, Feb 2015.
- [47] S. A. O. Russell, S. Sharabi, A. Tallaire, and D. A. J. Moran, "Hydrogen-Terminated Diamond Field-Effect Transistors With Cutoff Frequency of 53 GHz," *IEEE Electron Device Letters*, vol. 33, pp. 1471–1473, Oct. 2012.
- [48] A. Hiraiwa, T. Saito, A. Daicho, and H. Kawarada, "Accuracy assessment of sheet-charge approximation for Fowler-Nordheim tunneling into charged insulators," *Journal of Applied Physics*, vol. 114, no. 13, p. 134501, 2013.
- [49] H. Umezawa, T. Matsumoto, and S.-I. Shikata, "Diamond Metal Semiconductor Field-Effect Transistor With Breakdown Voltage Over 1.5 kV," *IEEE Electron Device Letters*, vol. 35, pp. 1112–1114, Nov. 2014.

- [50] D. A. Moran, S. A. Russell, S. Sharabi, and A. Tallaire, "High frequency hydrogen-terminated diamond field effect transistor technology," in *Nanotechnology (IEEE-NANO), 2012 12th IEEE Conference on*, pp. 1–5, IEEE, 2012.
- [51] H. Kawarada, "High-Current Metal Oxide Semiconductor Field-Effect Transistors on H-Terminated Diamond Surfaces and Their High-Frequency Operation," *Japanese Journal of Applied Physics*, vol. 51, p. 090111, Sept. 2012.
- [52] K. Hirama, H. Sato, Y. Harada, H. Yamamoto, and M. Kasu, "Thermally Stable Operation of H-Terminated Diamond FETs by no₂ Adsorption and al₂o₃ Passivation," *IEEE Electron Device Letters*, vol. 33, pp. 1111–1113, Aug. 2012.
- [53] P. Muret, P.-N. Volpe, T.-N. Tran-Thi, J. Pernot, C. Hoarau, F. Omnes, and T. Teraji, "Schottky diode architectures on p-type diamond for fast switching, high forward current density and high breakdown field rectifiers," *Diamond and Related Materials*, vol. 20, pp. 285–289, Mar. 2011.
- [54] I. Hwang, H. Choi, J. Lee, H. S. Choi, J. Kim, J. Ha, C.-Y. Um, S.-K. Hwang, J. Oh, and J.-Y. Kim, "1.6 kV, 2.9 mOhmcm² normally-off p-GaN HEMT device," in *Power Semiconductor Devices and ICs (ISPSD), 2012 24th International Symposium on*, pp. 41–44, IEEE, 2012.
- [55] F. Wang, G. Wang, A. Huang, W. Yu, and X. Ni, "Design and operation of A 3.6 kV high performance solid state transformer based on 13kv SiC MOSFET and JBS diode," in *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, pp. 4553–4560, IEEE, 2014.
- [56] B. De Jaeger, M. Van Hove, D. Wellekens, X. Kang, H. Liang, G. Mannaert, K. Geens, and S. Decoutere, "Au-free CMOS-compatible AlGaIn/GaN HEMT processing on 200 mm Si substrates," in *Power Semiconductor Devices and ICs (ISPSD), 2012 24th International Symposium on*, pp. 49–52, IEEE, 2012.
- [57] F. Medjdoub, J. Derluyn, K. Cheng, M. Leys, S. Degroote, D. Marcon, D. Visalli, M. Van Hove, M. Germain, and G. Borghs, "Low On-Resistance High-Breakdown Normally Off AlN/GaN/AlGaIn DHFET on Si Substrate," *IEEE Electron Device Letters*, vol. 31, pp. 111–113, Feb. 2010.
- [58] S. Tripathy, V. K. X. Lin, S. B. Dolmanan, J. P. Y. Tan, R. S. Kajen, L. K. Bera, S. L. Teo, M. K. Kumar, S. Arulkumaran, G. I. Ng, S. Vicknesh, S. Todd, W. Z. Wang, G. Q. Lo, H. Li, D. Lee, and S. Han, "AlGaIn/GaN two-dimensional-electron gas heterostructures on 200 mm diameter Si(111)," *Applied Physics Letters*, vol. 101, no. 8, p. 082110, 2012.
- [59] M. Ishida, T. Ueda, T. Tanaka, and D. Ueda, "GaN on Si Technologies for Power Switching Devices," *IEEE Transactions on Electron Devices*, vol. 60, pp. 3053–3059, Oct. 2013.
- [60] J. Kim, S.-K. Hwang, I. Hwang, H. Choi, S. Chong, H.-S. Choi, W. Jeon, H. S. Choi, J. Y. Kim, Y. H. Park, and others, "High threshold voltage p-GaN gate power devices on 200 mm Si," in *Power Semiconductor Devices and ICs (ISPSD), 2013 25th International Symposium on*, pp. 315–318, IEEE, 2013.
- [61] D. Disney, H. Nie, A. Edwards, D. Bour, H. Shah, and I. C. Kizilyalli, "Vertical power diodes in bulk GaN," in *Power Semiconductor Devices and ICs (ISPSD), 2013 25th International Symposium on*, pp. 59–62, IEEE, 2013.
- [62] I. C. Kizilyalli, A. P. Edwards, H. Nie, D. Bour, T. Prunty, and D. Disney, "3.7 kV Vertical GaN PN Diodes," *IEEE Electron Device Letters*, vol. 35, pp. 247–249, Feb. 2014.

- [63] T. Kimoto, J. Suda, Y. Yonezawa, K. Asano, K. Fukuda, and H. Okumura, "Progress in ultrahigh-voltage sic devices for future power infrastructure," in *Electron Devices Meeting (IEDM), 2014 IEEE International*, pp. 2.5.1–2.5.4, Dec 2014.
- [64] T. Kimoto, "Progress and future challenges of silicon carbide devices for integrated circuits," in *Custom Integrated Circuits Conference (CICC), 2014 IEEE Proceedings of the*, pp. 1–8, Sept 2014.
- [65] K. Fukuda, D. Okamoto, M. Okamoto, T. Deguchi, T. Mizushima, K. Takenaka, H. Fujisawa, S. Harada, Y. Tanaka, Y. Yonezawa, T. Kato, S. Katakami, M. Arai, M. Takei, S. Matsunaga, K. Takao, T. Shinohe, T. Izumi, T. Hayashi, S. Ogata, K. Asano, H. Okumura, and T. Kimoto, "Development of ultrahigh-voltage sic devices," *Electron Devices, IEEE Transactions on*, vol. 62, pp. 396–404, Feb 2015.
- [66] Y. Yonezawa, T. Mizushima, K. Takenaka, H. Fujisawa, T. Kato, S. Harada, Y. Tanaka, M. Okamoto, M. Sometani, D. Okamoto, N. Kumagai, S. Matsunaga, T. Deguchi, M. Arai, T. Hatakeyama, Y. Makifuchi, T. Araoka, N. Oose, T. Tsutsumi, M. Yoshikawa, K. Tatera, M. Harashima, Y. Sano, E. Morisaki, M. Takei, M. Miyajima, H. Kimura, A. Otsuki, K. Fukuda, H. Okumura, and T. Kimoto, "Low v_f and highly reliable 16 kv ultrahigh voltage sic flip-type n-channel implantation and epitaxial igbt," in *Electron Devices Meeting (IEDM), 2013 IEEE International*, pp. 6.6.1–6.6.4, Dec 2013.
- [67] A. Kadavelugu, S. Bhattacharya, S.-H. Ryu, D. Grider, S. Leslie, and K. Hatua, "Understanding dv/dt of 15 kV SiC N-IGBT and its control using active gate driver," in *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, pp. 2213–2220, IEEE, 2014.
- [68] R. Hristova, "Étude d'un récepteur optique intégré au sein de transistor de puissance à structure verticale," tech. rep., Université Sofia - projet de fin d'études, 2008.
- [69] S. Lefebvre and F. Miserey, *Composants à semi-conducteur pour l'électronique de puissance*. No. ISBN : 2-7430-0719-2, Tec et Doc - Lavoisier, 2004.
- [70] S. Lefebvre and B. Multon, "Commande des semi-conducteurs de puissances : contextes." *Techniques de l'ingénieur D3230*.
- [71] S. Lefebvre and B. Multon, "Commande des semi-conducteurs de puissances : principes." *Techniques de l'ingénieur D3231*.
- [72] J.-C. Crébier, *Intégration Monolithique et composants de puissance*. Habilitation à Diriger des Recherches - INPG - G2Elab, 2006.
- [73] H. Fujita, "A Resonant Gate-Drive Circuit Capable of High-Frequency and High-Efficiency Operation," *IEEE Transactions on Power Electronics*, vol. 25, pp. 962–969, Apr. 2010.
- [74] D. Vasic, F. Costa, and E. Sarraute, "Piezoelectric transformer for integrated MOSFET and IGBT gate driver," *IEEE Transactions on Power Electronics*, vol. 21, pp. 56–65, Jan. 2006.
- [75] Y. Zhang, M. Rodriguez, and D. Maksimovic, "100 MHz, 20 V, 90% efficient synchronous buck converter with integrated gate driver," in *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, pp. 3664–3671, IEEE, 2014.
- [76] A. Shorten, W. T. Ng, M. Sasaki, T. Kawashima, and H. Nishio, "A segmented gate driver IC for the reduction of IGBT collector current over-shoot at turn-on," in *Power Semiconductor Devices and ICs (ISPSD), 2013 25th International Symposium on*, pp. 73–76, IEEE, 2013.

- [77] S. Nagai, T. Fukuda, N. Otsuka, D. Ueda, N. Negoro, H. Sakai, T. Ueda, and T. Tanaka, "A one-chip isolated gate driver with an electromagnetic resonant coupler using a SPDT switch," in *Power Semiconductor Devices and ICs (ISPSD), 2012 24th International Symposium on*, pp. 73–76, IEEE, 2012.
- [78] L. Dulau, S. Pontarollo, A. Boimond, J.-F. Garnier, N. Giraud, and O. Terrasse, "A new gate driver integrated circuit for IGBT devices with advanced protections," *IEEE Transactions on Power Electronics*, vol. 21, pp. 38–44, Jan. 2006.
- [79] M. Bathily, B. Allard, and F. Hasbani, "A 200-MHz Integrated Buck Converter With Resonant Gate Drivers for an RF Power Amplifier," *IEEE Transactions on Power Electronics*, vol. 27, pp. 610–613, Feb. 2012.
- [80] N. Rouger, J.-C. Crebier, H. Tran Manh, and C. Schaeffer, "Toward integrated gate driver supplies : Practical and analytical studies of high-voltage capabilities," in *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, pp. 873–879, IEEE, 2008.
- [81] A. Rujas, G. Garcia, I. Etxeberria-Otadu, U. Larranaga, and T. Nieva, "Design and experimental validation of a high frequency gate driver for silicon carbide power modules," in *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, pp. 5729–5735, IEEE, 2014.
- [82] Y. Xi, M. Chen, K. Nielson, and R. Bell, "Optimization of the drive circuit for enhancement mode power GaN FETs in DC-DC converters," in *Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE*, pp. 2467–2471, IEEE, 2012.
- [83] A. Sokolov, D. Mascarella, and G. Joos, "Variable-speed IGBT gate driver with loss/overshoot balancing for switching loss reduction," in *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, pp. 1232–1239, IEEE, 2014.
- [84] L. Hoffmann, C. Gautier, S. Lefebvre, and F. Costa, "Optimization of the driver of GaN power transistors through measurement of their thermal behavior," 2013.
- [85] M. Sasaki, H. Nishio, A. Shorten, and W. T. Ng, "Current balancing control for parallel connected IGBTs using programmable gate driver output resistance," in *Power Semiconductor Devices and ICs (ISPSD), 2013 25th International Symposium on*, pp. 65–68, IEEE, 2013.
- [86] Z. Wang, X. Shi, L. M. Tolbert, F. Wang, and B. J. Blalock, "A di/dt Feedback-Based Active Gate Driver for Smart Switching and Fast Overcurrent Protection of IGBT Modules," *IEEE Transactions on Power Electronics*, vol. 29, pp. 3720–3732, July 2014.
- [87] T. Kang and J. Kim, "Design and analysis of 37.5% energy-recycling flyback-type class-D gate driver IC with 5-to-15v level-conversion," in *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, pp. 2159–2163, IEEE, 2014.
- [88] R. Mitova, J.-C. Crebier, L. Aubard, and C. Scheaffer, "Gate driver supply of power switches without galvanic insulation," in *Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE*, vol. 3, pp. 1917–1923, IEEE, 2004.
- [89] J. Delaine, P.-O. Jeannin, D. Frey, and K. Guepratte, "Insulated gate driver for eGaN FET," in *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, pp. 2849–2856, IEEE, 2014.

- [90] G. Schmitt, W. Kusserow, and R. Kennel, "Power supply for a IGBT-driver with high insulation voltage based on a printed planar transformers," in *Power Electronics and Motion Control Conference, 2008. EPE-PEMC 2008. 13th*, pp. 1239–1242, IEEE, 2008.
- [91] K. Onda, A. Konno, and J. Sakano, "New concept high-voltage IGBT gate driver with self-adjusting active gate control function for SiC-SBD hybrid module," in *Power Semiconductor Devices and ICs (ISPSD), 2013 25th International Symposium on*, pp. 343–346, IEEE, 2013.
- [92] Y. Chen, F. Lee, L. Amoroso, and H.-P. Wu, "A Resonant MOSFET Gate Driver With Efficient Energy Recovery," *IEEE Transactions on Power Electronics*, vol. 19, pp. 470–477, Mar. 2004.
- [93] S. Busquets-Monge, D. Boroyevich, R. Burgos, and Z. Chen, "Performance analysis and design optimization of a self-powered gate-driver supply circuit," in *Industrial Electronics (ISIE), 2010 IEEE International Symposium on*, pp. 979–985, IEEE, 2010.
- [94] C. Caramel, P. Austin, J. Sanchez, E. Imbernon, and M. Breil, "Integrated IGBT short-circuit protection structure : Design and optimization," *Microelectronics Journal*, vol. 37, pp. 249–256, Mar. 2006.
- [95] N. Rouger, "[Intégration monolithique des fonctions d'interface au sein de composants de puissance à structure verticale.](#)" PhD thesis, Grenoble Institute of Technology, Jul 2008.
- [96] L. Peng, R. Wu, X. Fang, Y. Toyoda, M. Akahane, M. Yamaji, H. Sumida, and J. K. Sin, "A novel 3d TSV transformer technology for digital isolator gate driver applications," in *Power Semiconductor Devices and ICs (ISPSD), 2013 25th International Symposium on*, pp. 69–72, IEEE, 2013.
- [97] F. Qi, L. Xu, G. Zhao, and J. Wang, "Transformer isolated gate drive with protection for SiC MOSFET in high temperature application," in *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, pp. 5723–5728, IEEE, 2014.
- [98] T. V. Nguyen, P. Jeannin, J.-C. Crebier, and J.-L. Schanen, "A new compact, isolated and integrated gate driver using high frequency transformer for interleaved boost converter," in *Energy Conversion Congress and Exposition (ECCE), 2011 IEEE*, pp. 1889–1896, Sept 2011.
- [99] N. Dheilly, G. Paques, D. Planson, P. Bevilacqua, and S. Scharnholz, "Optical Triggering of 4h-SiC Thyristors with a 365 nm UV LED," *Materials Science Forum*, vol. 679-680, pp. 690–693, Mar. 2011.
- [100] M. J. Lazarus, K. Loungis, and V. H. Allen, "Optically controlled high-speed switching of a power transistor," *Circuits and Systems I : Fundamental Theory and Applications, IEEE Transactions on*, vol. 47, no. 4, pp. 528–535, 2000.
- [101] F. Zhao and M. M. Islam, "Optically Activated SiC Power Transistors for Pulsed-Power Application," *IEEE Electron Device Letters*, vol. 31, pp. 1146–1148, Oct. 2010.
- [102] H. Fujita, "A Resonant Gate-Drive Circuit With Optically Isolated Control Signal and Power Supply for Fast-Switching and High-Voltage Power Semiconductor Devices," *IEEE Transactions on Power Electronics*, vol. 28, pp. 5423–5430, Nov. 2013.
- [103] S. K. Mazumder, "Optically-gated Non-latched High Gain Power Device," tech. rep., DTIC Document, 2008.

- [104] A. Mojab and S. K. Mazumder, "15-kV 100-A single-bias all-optical SiC emitter turn-off thyristor," in *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, pp. 455–459, IEEE, 2014.
- [105] S. Bose and S. K. Mazumder, "Atomistic and electrical simulations of a GaN AlN (4h) SiC heterostructure optically-triggered vertical power semiconductor device," *Solid-State Electronics*, vol. 62, pp. 5–13, Aug. 2011.
- [106] T. Sarkar and S. K. Mazumder, "Dynamic power density, wavelength, and switching time modulation of optically triggered power transistor (OTPT) performance parameters," *Microwave Journal*, vol. 38, pp. 285–298, Feb. 2007.
- [107] S. K. Mazumder and T. Sarkar, "Optically Activated Gate Control for Power Electronics," *IEEE Transactions on Power Electronics*, vol. 26, pp. 2863–2886, Oct. 2011.
- [108] R. Berriane, J.-L. Sanchez, and J. Jalade, "MOS-gated optically triggered thyristor : A new galvanically insulated high voltage integrated switch," *Solid-State Electronics*, vol. 39, no. 6, pp. 863–869, 1996.
- [109] P. Chakrabarti, V. Jha, P. Kalra, and G. Gupta, "Noise modeling of an optically controlled MESFET (OPFET)," *Microwave and Optical Technology Letters*, vol. 33, pp. 79–83, Apr. 2002.
- [110] F. Zhao, M. Islam, P. Muzykov, A. Bolotnikov, and T. Sudarshan, "Optically Activated 4h-SiC p-i-n Diodes for High-Power Applications," *IEEE Electron Device Letters*, vol. 30, pp. 1182–1184, Nov. 2009.
- [111] N. Dheilily, *Conception et optimisation de thyristors optiques en carbure de silicium pour des applications d'électronique impulsionnelle*. PhD thesis, INSA de Lyon, 2011.
- [112] P. Hongbin, C. Lin, R. Jie, C. Zhiming, and N. Yagong, "An optically controlled SiC lateral power transistor based on SiC/SiCGe super junction structure," *Journal of Semiconductors*, vol. 31, p. 044001, Apr. 2010.
- [113] T. Sarkar and S. K. Mazumder, "Amplitude, pulse-width, and wavelength modulation strategies for an optically-controlled power DMOSFET," in *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*, vol. 4, pp. 3004–3008, IEEE, 2004.
- [114] T. Sarkar and S. K. Mazumder, "Epitaxial Design of a Direct Optically Controlled GaAs/AlGaAs-Based Heterostructure Lateral Superjunction Power Device for Fast Repetitive Switching," *IEEE Transactions on Electron Devices*, vol. 54, pp. 589–600, Mar. 2007.
- [115] A. Meyer, S. K. Mazumder, and H. Riazmontazer, "Optical control of 1200-V and 20-A SiC MOSFET," in *Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE*, pp. 2530–2533, IEEE, 2012.
- [116] S. Nagai, N. Negoro, T. Fukuda, N. Otsuka, H. Sakai, T. Ueda, T. Tanaka, and D. Ueda, "A DC-isolated gate drive IC with drive-by-microwave technology for power switching devices," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International*, pp. 404–406, IEEE, 2012.
- [117] S. Nagai, Y. Kawai, O. Tabata, H. Fujiwara, Y. Yamada, N. Otsuka, D. Ueda, N. Negoro, and M. Ishida, "A Drive-by-Microwave isolated gate driver with a high-speed voltage monitoring," in *Power Semiconductor Devices & IC's (ISPSD), 2014 IEEE 26th International Symposium on*, pp. 434–437, IEEE, 2014.

- [118] C. Batard, G. Andrieux, N. Ginot, and M. Mannah, "Wireless transmission of igbt driver control," in *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE*, pp. 1257–1262, Feb 2009.
- [119] Z. Liu, X. Huang, F. C. Lee, and Q. Li, "Package Parasitic Inductance Extraction and Simulation Model Development for the High-Voltage Cascode GaN HEMT," *IEEE Transactions on Power Electronics*, vol. 29, pp. 1977–1985, Apr. 2014.
- [120] J. Wang, H. S.-h. Chung, and R. T.-h. Li, "Characterization and Experimental Assessment of the Effects of Parasitic Elements on the MOSFET Switching Performance," *IEEE Transactions on Power Electronics*, vol. 28, pp. 573–590, Jan. 2013.
- [121] M. A. Broadmeadow, G. R. Walker, and G. F. Ledwich, "Comparison of the gate drive parameter space for driving power MOSFETs using conventional and cascode configurations," in *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, pp. 3002–3009, IEEE, 2014.
- [122] M. Abu-Khaizaran, P. Palmer, and Y. Wang, "Parameters influencing the performance of an IGBT gate drive," in *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, pp. 3457–3462, IEEE, 2008.
- [123] S. She, W. Zhang, X. Huang, W. Du, Z. Liu, F. C. Lee, and Q. Li, "Thermal analysis and improvement of cascode GaN HEMT in stack-die structure," in *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, pp. 5709–5715, IEEE, 2014.
- [124] C. Cai, W. Zhou, and K. Sheng, "Characteristics and Application of Normally-Off SiC-JFETs in Converters Without Antiparallel Diodes," *IEEE Transactions on Power Electronics*, vol. 28, pp. 4850–4860, Oct. 2013.
- [125] H. Wang, A. M. K. Ho, Q. Jiang, and K. J. Chen, "A GaN pulse width modulation integrated circuit," in *Power Semiconductor Devices & IC's (ISPSD), 2014 IEEE 26th International Symposium on*, pp. 430–433, IEEE, 2014.
- [126] W. Chen, K.-Y. Wong, and K. J. Chen, "Monolithic integration of lateral field-effect rectifier with normally-off HEMT for GaN-on-Si switch-mode power supply converters," in *Electron Devices Meeting, 2008. IEDM 2008. IEEE International*, pp. 1–4, IEEE, 2008.
- [127] V. Pala, H. Peng, P. Wright, M. M. Hella, and T. P. Chow, "Integrated High-Frequency Power Converters Based on GaAs pHEMT : Technology Characterization and Design Examples," *IEEE Transactions on Power Electronics*, vol. 27, pp. 2644–2656, May 2012.
- [128] H.-S. Lee, K. Ryu, M. Sun, and T. Palacios, "Wafer-Level Heterogeneous Integration of GaN HEMTs and Si (100) MOSFETs," *IEEE Electron Device Letters*, vol. 33, pp. 200–202, Feb. 2012.
- [129] A. Fontseré, A. Perez-Tomas, V. Banu, P. Godignon, J. Millán, H. De Vleeschouwer, J. M. Parsey, and P. Moens, "A HfO₂ based 800V/300Å² C Au-free AlGaIn/GaN-on-Si HEMT technology," in *Power Semiconductor Devices and ICs (ISPSD), 2012 24th International Symposium on*, pp. 37–40, IEEE, 2012.
- [130] S. She, W. Zhang, X. Huang, W. Du, Z. Liu, F. C. Lee, and Q. Li, "Thermal analysis and improvement of cascode GaN HEMT in stack-die structure," in *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, pp. 5709–5715, IEEE, 2014.

- [131] Z. Liu, X. Huang, W. Zhang, F. Lee, and Q. Li, "Evaluation of high-voltage cascode gan hemt in different packages," in *Applied Power Electronics Conference and Exposition (APEC), 2014 Twenty-Ninth Annual IEEE*, pp. 168–173, March 2014.
- [132] J. R. et al, "Gan transistors ?drive control, thermal management, isolation." Power electronics technology, 2013.
- [133] F. Lee, J. van Wyk, D. Boroyevich, G.-Q. Lu, Z. Liang, and P. Barbosa, "Technology trends toward a system-in-a-module in power electronics," *Circuits and Systems Magazine, IEEE*, vol. 2, pp. 4–22, Fourth 2002.
- [134] N. McNeill, D. Holliday, and P. H. Mellor, "Half-bridge power device gate driver circuit with isolation using integrated magnetic component and carrier signal phase switching," in *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, pp. 1–10, IEEE, 2011.
- [135] H. Peng, V. Pala, P. Wright, T. P. Chow, and M. M. Hella, "High efficiency, high switching speed, AlGaAs/GaAs P-HEMT DCDC converter for integrated power amplifier modules," *Analog Integrated Circuits and Signal Processing*, vol. 66, pp. 331–348, Nov. 2010.
- [136] T. Sarkar and S. K. Mazumder, "Epitaxial design of a direct optically controlled gaas/algaas-based heterostructure lateral superjunction power device for fast repetitive switching," *IEEE Transactions on Electron Devices*, vol. 54, no. 3, pp. 589–600, 2007.
- [137] Q. Chen, J. W. Yang, A. Osinsky, S. Gangopadhyay, B. Lim, M. Z. Anwar, M. Asif Khan, D. Kuksenkov, and H. Temkin, "Schottky barrier detectors on GaN for visible blind ultraviolet detection," *Applied Physics Letters*, vol. 70, no. 17, p. 2277, 1997.
- [138] A. Osinsky, S. Gangopadhyay, J. W. Yang, R. Gaska, D. Kuksenkov, H. Temkin, I. K. Shmagin, Y. C. Chang, J. F. Muth, and R. M. Kolbas, "Visible-blind GaN Schottky barrier detectors grown on Si(111)," *Applied Physics Letters*, vol. 72, no. 5, p. 551, 1998.
- [139] E. Monroy, F. Alle, E. Munoz, and F. Omnes, "AlGaIn metal semiconductor metal photodiodes," *Applied Physics Letters*, vol. 74, no. 22, p. 3401, 1999.
- [140] F. Zhang, G. Sun, H. Huang, Z. Wu, L. Wang, W. Zhao, X. Liu, G. Yan, L. Zheng, L. Dong, and Y. Zeng, "High-Performance 4hSiC-Based MetalInsulatorSemiconductor Ultraviolet Photodetectors With SiO₂ and Al₂O₃-SiO₂ Films," *IEEE Electron Device Letters*, vol. 32, pp. 1722–1724, Dec. 2011.
- [141] F. Yan, Xiaobin, S. Aslam, Y. Zhao, D. Franz, J. Zhao, and M. Weiner, "4h-SiC UV photo detectors with large area and very high specific detectivity," *IEEE Journal of Quantum Electronics*, vol. 40, pp. 1315–1320, Sept. 2004.
- [142] N. G. Wright and A. B. Horsfall, "SiC sensors : a review," *Journal of Physics D : Applied Physics*, vol. 40, pp. 6345–6354, Oct. 2007.
- [143] Y. Koide and M. Liao, "Mechanism of photoconductivity gain for p-diamond Schottky photodiode," *Diamond and Related Materials*, vol. 16, pp. 949–952, Apr. 2007.
- [144] M. Imura, Y. Koide, M. Liao, and J. Alvarez, "Vertical-type Schottky-barrier photodiode using p-diamond epilayer grown on heavily boron-doped p+-diamond substrate," *Diamond and Related Materials*, vol. 17, pp. 1916–1921, Nov. 2008.
- [145] V. Polyakov, A. Rukovishnikov, L. Avdeeva, Z. Kun'kova, V. Varnin, I. Teremetskaya, and V. Ralchenko, "UV Schottky photodiode on boron-doped CVD diamond films," *Diamond and Related Materials*, vol. 15, pp. 1972–1975, Nov. 2006.

- [146] S. Radovanovic, *High-Speed Photodiodes in Standard CMOS Technology*. No. ISBN : 978-0-387-28591-7, 2006.
- [147] B. G. Lee, A. V. Rylyakov, W. M. J. Green, S. Assefa, C. W. Baks, R. Rimolo-Donadio, D. M. Kuchta, M. H. Khater, T. Barwicz, C. Reinholm, E. Kiewra, S. M. Shank, C. L. Schow, and Y. A. Vlasov, "Monolithic Silicon Integration of Scaled Photonic Switch Fabrics, CMOS Logic, and Device Driver Circuits," *Journal of Lightwave Technology*, vol. 32, pp. 743–751, Feb. 2014.
- [148] J. H. Lau, "Evolution, challenge, and outlook of tsv, 3d ic integration and 3d silicon integration," in *Advanced Packaging Materials (APM), 2011 International Symposium on*, pp. 462–488, IEEE, 2011.
- [149] H. Park, A. Fang, S. Kodama, and J. Bowers, "Hybrid silicon evanescent laser fabricated with a silicon waveguide and III-V offset quantum wells," *Optics Express*, vol. 13, no. 23, pp. 9460–9464, 2005.
- [150] J. E. Bowers, D. Liang, A. W. Fang, H. Park, R. Jones, and M. J. Paniccia, "Hybrid silicon lasers : The final frontier to integrated computing," *Optics and Photonics News*, vol. 21, no. 5, pp. 28–33, 2010.
- [151] S. Assefa, S. Shank, W. Green, M. Khater, E. Kiewra, C. Reinholm, S. Kamlapurkar, A. Rylyakov, C. Schow, and F. Horst, "A 90nm CMOS integrated nano-photonics technology for 25gbps WDM optical communications applications," in *Electron Devices Meeting (IEDM), 2012 IEEE International*, pp. 33–8, IEEE, 2012.
- [152] M. Streshinsky, A. Novack, Y. Liu, R. Ding, M. Gould, T. Baehr-Jones, Q. Li, and Y. Yang, "A 30 GHz Silicon Photonic Platform,"
- [153] D. Fowler, C. Baudot, J. Fedeli, B. Caire, L. Viroth, A. Lelievre, G. Grand, A. Myko, D. Marris-Morini, S. Messaoudene, A. Souhaité, S. Olivier, P. Grosse, G.-H. Duan, B. Ben-Bakir, F. Boeuf, L. Vivien, and S. Menezo, "Complete si-photonics device-library on 300mm wafers," in *Optical Fiber Communication Conference*, p. Th2A.22, Optical Society of America, 2014.
- [154] T. Pham, *Composants unipolaires en diamant pour l'électronique de puissance - thèse en cours*. PhD thesis, Néel, G2Elab - Univ. Grenoble Alpes, 2016.
- [155] T. Simonot, *Conception et hybridation de l'environnement électronique des composants de puissance à structure verticale*. PhD thesis, G2Elab - Univ. Grenoble Alpes, 2011.
- [156] D. To, *Isolation galvanique intégrée pour transistors de puissance*. PhD thesis, G2Elab, IMEP-LAHC - Univ. Grenoble Alpes, 2015.
- [157] R. Vafaei, *Contrôle optique intégré pour composants de puissance*. PhD thesis, G2Elab - Univ. Grenoble Alpes, 2014.
- [158] L. Le, *Isolation galvanique intégrée pour nouveaux transistors de puissance - thèse en cours*. PhD thesis, G2Elab - Univ. Grenoble Alpes, 2015.
- [159] H. Nguyen, *Méthodes et Modèles pour une Approche de Dimensionnement Géométrique et Technologique d'un Semi-conducteur de Puissance Intégré. Application à la Conception d'un MOSFET autonome*. PhD thesis, G2Elab - Univ. Grenoble Alpes, 2011.
- [160] H. Nguyen, J. Coulomb, L. Gerbaud, J. Crébier, and N. Rouger, "[Application of progressive quadratic response surface method for an oscillation problem optimization](#)," *COMPEL*,

- The International Journal for Computation and Mathematics in Electrical and Electronic Engineering*, vol. 31, no. 3, pp. 842–857, 2012.
- [161] H. Nguyen-Xuan, L. Gerbaud, N. **Rouger**, and J.-C. Crébier, “[Optimization of a power mosfet and its monolithically integrated self-powering circuits](#),” *International Journal of Applied Electromagnetics and Mechanics*, vol. 37, pp. 159–171, Jan. 2011.
- [162] R. Grezaud, *Driver pour transistors de puissance GaN*. PhD thesis, CEA-Leti, G2Elab - Univ. Grenoble Alpes, 2014.
- [163] R. Grezaud, F. Ayel, N. **Rouger**, and J.-C. Crébier, “[An Adaptive Output Impedance Gate Drive Circuit for Safer and More Efficient Control of Wide Bandgap Devices](#),” *IEEE Workshop on Wide Bandgap Power Devices and Applications*, pp. 68–71, Oct 2013.
- [164] R. Grezaud, F. Ayel, N. **Rouger**, and J.-C. Crébier, “[A Specific Switching Characterization Method for Evaluation of Operating Point and Temperature Impacts on Wide Bandgap Devices](#),” *IEEE Workshop on Wide Bandgap Power Devices and Applications*, pp. 104–107, Oct 2013.
- [165] R. Vafaei, J. Crébier, and N. **Rouger**, “[Performance Measurements of an Optical Detector Designed for Monolithic Integration with a Power VDMOS](#),” in *2013 IEEE International Instrumentation and Measurement Technology Conference (I2MTC)*, pp. 1609 – 1614, May 2013.
- [166] R. Vafaei, N. **Rouger**, D. To, and J. Crebier, “[Experimental Investigation of an Integrated Optical Interface for Power MOSFET Drivers](#),” *Electron Device Letters, IEEE*, vol. 33, pp. 230 –232, feb. 2012.
- [167] B. Sarrazin, *Optimisation d’une chaîne de traction pour véhicule électrique*. PhD thesis, G2Elab - Univ. Grenoble Alpes, 2012.
- [168] B. Sarrazin, N. **Rouger**, and J. Ferrieux, “[Performance analysis of different power electronics structures for electric vehicles \(EVs\)](#),” *European Journal of Electrical Engineering*, Volume 16/3-4, Été 2013.
- [169] B. Sarrazin, N. **Rouger**, J. Ferrieux, and Y. Avenas, “[Benefits of cascaded inverters for electrical vehicles’ drive-trains](#),” in *Energy Conversion Congress and Exposition (ECCE), 2011 IEEE*, pp. 1441 –1448, sept. 2011.
- [170] R. Mitova, *Intégration de l’alimentation de la commande rapprochée d’un interrupteur de puissance à potentiel flottant*. PhD thesis, INPG - G2Elab, 2005.
- [171] N. Rouger, “Fonctions intégrées tout silicium,” Master’s thesis, Stage M2R INPG - G2Elab, 2005.
- [172] N. **Rouger**, J.-C. Crebier, R. Mitova, L. Aubard, and C. Schaeffer, “[Fully integrated driver power supply for insulated gate transistors](#),” in *Power Semiconductor Devices and IC’s, 2006. ISPSD 2006. IEEE International Symposium on*, pp. 1 –4, june 2006.
- [173] N. **Rouger** and J.-C. Crebier, “[Toward Generic Fully Integrated Gate Driver Power Supplies](#),” *Power Electronics, IEEE Transactions on*, vol. 23, pp. 2106 –2114, july 2008.
- [174] J.-C. Crebier and N. **Rouger**, “[Loss Free Gate Driver Unipolar Power Supply for High Side Power Transistors](#),” *Power Electronics, IEEE Transactions on*, vol. 23, pp. 1565 –1573, may 2008.

- [175] H. T. Manh, "Autour de l'autoalimentation de la commande rapprochée d'un igbt," Master's thesis, M2R Génie Electrique - G2Elab, 2007.
- [176] B. N. Dac, *Intégration fonctionnelle autour des composants quatre quadrants avec l'application à la conversion AC/AC*. PhD thesis, INPG - G2Elab, 2008.
- [177] N. Rouger, J.-C. Crebier, L. Aubard, and C. Schaeffer, "Toward Generic Fully Integrated Gate Driver Power Supplies," in *IEEE Industrial Electronics, IECON 2006 - 32nd Annual Conference on*, pp. 1866–1871, nov. 2006.
- [178] A. S. de Urturi, "Mise en œuvre et caractérisation d'une isolation optique en électronique de puissance," Master's thesis, M2R génie électrique, 2009.
- [179] N. Rouger and J.-C. Crebier, "Integrated Photoreceiver For An Isolated Control Signal Transfert In Favour Of Power Transistors," in *Power Semiconductor Devices and IC's, 2008. ISPSD '08. 20th International Symposium on*, pp. 213–216, may 2008.
- [180] N. Rouger, R. Vafaei, D. N. To, and J.-C. Crébier, "Etude expérimentale d'un étage intégré d'isolation par voie optique pour transistors de puissance," in *Electronique de Puissance du Futur 2012*, (France), p. ., 2012.
- [181] N. Rouger, R. Vafaei, N.-D. To, L. T. Le, N. Corrao, J.-D. Arnould, Y. Lembeye, and J.-C. Crebier, "Transfert isolé des signaux de commande dans le contexte de l'intégration pour les composants actifs d'électronique de puissance," in *Symposium de Génie Electrique SGE 2014*, July 2014.
- [182] T. Simonot, N. Rouger, J. Crébier, V. Gaude, and I. Pheng, "A novel power system in package with 3D chip on chip interconnections of the power transistor and its gate driver," in *Power Semiconductor Devices and ICs (ISPSD), 2011 IEEE 23rd International Symposium on*, pp. 328–331, may 2011.
- [183] T. Simonot, N. Rouger, J. Crébier, and J. Arnould, "Design and characterization of a signal insulation coreless transformer integrated in a CMOS gate driver chip," in *Power Semiconductor Devices and ICs (ISPSD), 2011 IEEE 23rd International Symposium on*, pp. 360–363, may 2011.
- [184] R. Grezaud, F. Ayel, N. Rouger, and J.-C. Crébier, "Circuit de commande pour convertisseur de puissance," *Brevet d'invention CEA / CNRS - B12721 FR*, 2013.
- [185] R. Grezaud, F. Ayel, N. Rouger, and J.-C. Crebier, "Méthodes spécifiques de caractérisation en dynamique et de commande de composants grand gap en environnement variable," in *Symposium de Génie Electrique SGE 2014*, July 2014.
- [186] R. Grezaud, F. Ayel, N. Rouger, and J.-C. Crebier, "Monolithically integrated voltage level shifter for Wide Bandgap Devices-based converters," in *Microelectronics and Electronics (PRIME), 2014 10th Conference on Ph.D. Research in*, pp. 1–4, June 2014.
- [187] L. Benaissa, N. Rouger, J. Widiez, J. Crebier, J. Dafonseca, D. Lafond, V. Gaude, and K. Vladimirova, "A vertical power device conductive assembly at wafer level using direct bonding technology," in *Power Semiconductor Devices and ICs (ISPSD), 2012 24th International Symposium on*, pp. 77–80, june 2012.
- [188] N. Rouger, L. Benaissa, J. Widiez, B. Imbert, V. Gaude, and J. Crébier, "True 3D Packaging Solution for Stacked Vertical Power Devices," in *Power Semiconductor Devices and ICs (ISPSD), 2013 25th International Symposium on*, pp. 90–100, May 2013.

- [189] N. Rouger, J. Widiez, L. Benaïssa, B. Imbert, P. Gondcharton, B. Letowski, J. Crebier, and B. Letowski, “3D Packaging for vertical power devices,” in *Integrated Power Systems (CIPS), 2014 8th International Conference on*, pp. 1–6, Feb 2014.
- [190] J. Crebier, B. Letowski, J. Widiez, and N. Rouger, “Convertisseur,” *Brevet d’invention CEA / CNRS en cours d’évaluation*, Titre provisoire.
- [191] D.-N. To, N. Rouger, Y. Lembeye, J.-D. Arnould, and N. Corrao, “Modeling and characterization of 0.35 um CMOS coreless transformer for gate drivers,” in *Power Semiconductor Devices IC’s (ISPSD), 2014 IEEE 26th International Symposium on*, pp. 330–333, June 2014.
- [192] L. Le, J. Crebier, and N. Rouger, “CMOS Integrated Optical Isolator for Power Transistor Gate Driver,” in *IEEE IECON 2014*, Oct - Nov 2014.
- [193] L. Le, “Modélisation de transistors gan,” Master’s thesis, G2Elab - M2R ENEL, 2012.
- [194] A. Maréchal, N. Rouger, J. Crébier, J. Pernot, S. Koizumi, T. Teraji, and E. Gheeraert, “Diamond bipolar device simulation,” *IEEE Workshop on Wide Bandgap Power Devices and Applications*, pp. 151–154, Oct 2013.
- [195] A. Marechal, *Transistor MOS en diamant pour la conversion d’énergie - thèse en cours*. PhD thesis, Néel, G2Elab - Univ. Grenoble Alpes, 2015.
- [196] G. Chicot, *Field effect in boron doped diamond*. PhD thesis, Institut Néel - Univ. Grenoble Alpes, 2013.
- [197] G. Verneau, *Optimisation géométrique de MOSFETs de puissance en vue d’intégrer l’alimentation de l’étage de commande*. PhD thesis, INPG - G2Elab, 2003.
- [198] Q. Hoang, “Outils d’optimisation pour la conception de composants de puissance,” Master’s thesis, G2Elab - M2R ENEL, 2011.
- [199] T. Simonot, H. Nguyen, N. Rouger, J. Crebier, A. Bourennane, L. Gerbaud, and J. Sanchez, “Towards reduced threshold voltages for vertical power Mosfet transistors,” in *Industrial Electronics (ISIE), 2011 IEEE International Symposium on*, pp. 444–449, June 2011.
- [200] T. Simonot, N. Rouger, X. H. Nguyen, J.-C. Crébier, A. Bourennane, J. Sanchez, and L. Gerbaud, “Tension de seuil réduite pour composants de puissance à grille: Intérêts et conséquences,” in *13ème édition du colloque Électronique de Puissance du Futur*, (Saint-Nazaire, France), p. 4p., June 2010.
- [201] X. H. Nguyen, L. Gerbaud, N. Rouger, and J.-C. Crébier, “optimization of a power MOS-FET And Its Monolithically integrated self-powering Circuits,” in *11th International Workshop on Optimization and Inverse Problems in Electromagnetism, oiPE2010*, (Sofia, Bulgarie), pp. ISBN 978–954–438–855–3, Sept. 2010.
- [202] N. Rouger, “Analytic and semi-analytic modeling for double gaussian and any pn junction,” *submitted to COMPEL Journal*, 2015.
- [203] D. Deptuck, N. Rouger, N. Jaeger, and L. Chrostowski, “A trans-Canadian graduate course in silicon nanophotonics,” *Photons technical review*, vol. 8, pp. 29–33, Spring 2010.
- [204] R. Boeck, N. A. Jaeger, N. Rouger, and L. Chrostowski, “Series-coupled silicon race-track resonators and the Vernier effect: theory and measurement,” *Opt. Express*, vol. 18, pp. 25151–25157, Nov 2010.

- [205] N. **Rouger**, L. Chrostowski, and R. Vafaei, “[Temperature Effects on Silicon-on-Insulator \(SOI\) Racetrack Resonators: A Coupled Analytic and 2-D Finite Difference Approach](#),” *Lightwave Technology, Journal of*, vol. 28, pp. 1380–1391, may1, 2010.
- [206] N. Jaeger, D. Deptuck, N. **Rouger**, and L. Chrostowski, “[Current Trends in Silicon Photonics in the Context of Higher Education](#).” CMOS Emerging Technologies Workshop, Whistler Canada, 2010.
- [207] L. Chrostowski, N. **Rouger**, D. Deptuck, and N. Jaeger, “[Silicon Nanophotonics Fabrication: An innovative graduate course](#),” in *Telecommunications (ICT), 2010 IEEE 17th International Conference on*, pp. 544–551, april 2010.
- [208] N. **Rouger** and L. Chrostowski, “[Simulation of coupling between parallel SOI nanowaveguides and its dependence on temperature](#),” in *Optical MEMS and Nanophotonics, 2009 IEEE/LEOS International Conference on*, pp. 103–104, aug. 2009.
- [209] W. Shi, Z. Duan, R. Vafaei, N. **Rouger**, B. Faraji, and L. Chrostowski, “[Simulation of a 1550-nm InGaAsP-InP transistor laser](#),” vol. Photonics and Optoelectronics Meetings (POEM) : Optoelectronic Devices and Integration,, pp. 75160P–75160P–7, 2009.
- [210] T. Tasmin, N. **Rouger**, G. Xia, L. Chrostowski, and N. A. F. Jaeger, “[Design of a 1550nm SiGe/Si quantum-well optical modulator](#),” vol. 7750, p. 77501N, SPIE, 2010.
- [211] N. **Rouger**, “Epicdriver - electronics photonics integrated circuits for gate drivers - towards more efficient integrated power electronics.” submitted to ERC Starting Grant 2015, Feb 2015.

Annexe A

Implication dans la formation et la recherche collaborative

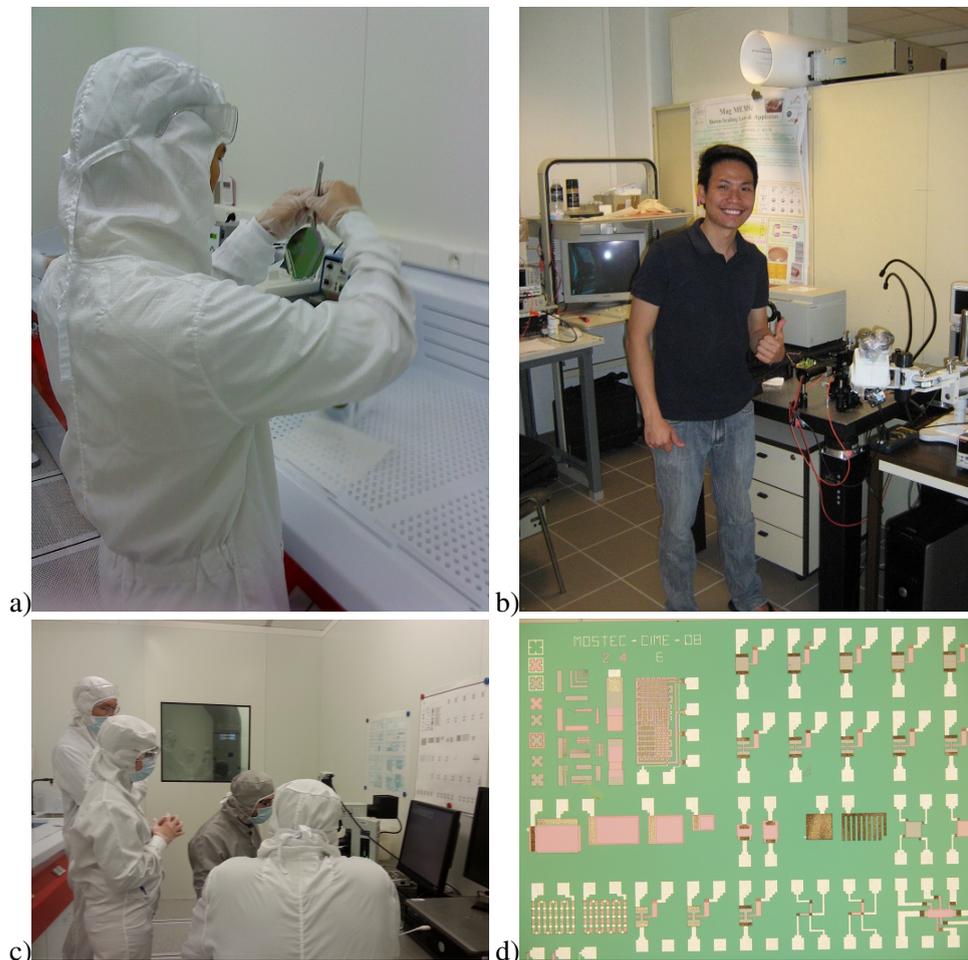


FIGURE A.1 – Participation à la formation d'étudiants et de jeunes chercheurs. a et b) Doctorants co-encadrés : a) H.T. Trinh lors de fabrication en salle blanche (2010) et b) D.N. To (2011) lors de la mise au point d'un banc de caractérisation. c) et d) Cours international en Master 2 : fabrication de composants en salle blanche (2014).

A.1 Encadrement doctorants et chercheurs temporaires

Les doctorants co-encadrés et les autres chercheurs temporaires encadrés sont présentés sur les tableaux A.1 et A.2. Les principales contributions de ces thèses ont été décrites dans la seconde partie de ce rapport, intitulée *Recherche Scientifique*. Les thèses de H.X. Nguyen, T. Simonot, B.

Sarrazin, H.T. Trinh, R. Vafaei, R. Grezard et D.N. To ont été soutenues. Six thèses ont été le cadre de collaborations entre équipes de recherches : H.X. Nguyen avec l'équipe MAGE du G2Elab (modélisation, méthodes et outils de conception et d'optimisation), R. Grezard et B. Letowski avec le CEA-LETI, D.N. To avec l'IMEP-LAHC, A. Maréchal et T.T. Pham avec l'institut Néel. Les différents co-encadrants et directeurs de ces thèses sont présentés sur la figure A.2 et la distribution temporelle sur la figure A.3.

Nom	Sujet	Taux encadrement	Période	Devenir	Pays / formation d'origine
Hoa Xuan Nguyen	Méthodes et Modèles pour une Approche de Dimensionnement Géométrique et Technologique d'un Semi-conducteur de Puissance Intégré. Application à la Conception d'un MOSFET autonome.	30%	Oct 2008 ¹ à Oct 2011	Electrical Design Engineer chez ABB (Vietnam)	Polytech. Hanoi (Vietnam)
Timothé Simonot	Conception et hybridation de l'environnement électronique des composants de puissance à structure verticale	50%	Oct 2008 ¹ à Nov 2011	Post-Doc - Étudiant en SHS	Université Joseph Fourier (France)
Benoît Sarrazin	Optimisation d'une chaîne de traction pour véhicule électrique	60%	Oct 2009 à Nov 2012	Ingénieur de Recherche CDI G-INP et G2Elab	ENSE3 (France)
Hieu Trinh Trung	Réseaux de micro convertisseurs	40%	Oct 2009 à Dec 2012	Associate professor at Danang University (Vietnam)	Polytech. Hanoi (Vietnam)
Raha Vafei	Contrôle optique intégré pour composants de puissance	80%	Nov 2010 à Juil 2014	Technical Account Manager at Lumerical (Canada)	UBC (Canada)
Romain Grezard	Driver pour transistors de puissance GaN	25%	Oct 2011 à Nov 2014	Ingénieur chercheur CEA CDI	INSA Lyon (France)
Duc Ngoc To	Circuit de pilotage intégré pour transistor de puissance	50%	Oct 2011 à Avr 2015	Supplier quality engineer at General Electric (Vietnam)	Polytech. Hanoi (Vietnam)
Aurélien Maréchal	Transistor MOS en diamant pour la conversion d'énergie	30%	Oct 2012 à Sept 2015	thèse en cours	M2R UJF (France)
Long Le Thanh	Isolation galvanique intégrée pour nouveaux transistors de puissance	80%	Oct 2012 à Sept 2015	thèse en cours	Polytech. Hanoi (Vietnam)
Bastien Letowski	Intégration technologique alternative pour l'élaboration de modules électroniques de puissance	30%	Oct 2013 à Sept 2016	thèse en cours	INSA Lyon (France)
Toan Than Pham	Composants unipolaires en diamant pour l'électronique de puissance	50%	Oct 2013 à Sept 2016	thèse en cours	Sungkyunkwan University. (Corée Sud)
Davy Colin	Commande optique de semiconducteurs de puissance	100%	Oct 2014 à Sept 2017	thèse en cours	ENSE3 (France)
Gaetan Perez	Transistors en diamant pour l'électronique de puissance : mise au point de méthodes de mesure innovantes et intégration au sein des convertisseurs de puissance	40%	Oct 2015 à Sept 2018	thèse à démarrer	ENSE3 (France)

TABLE A.1 – Doctorants encadrés depuis octobre 2009.

1. Je n'ai participé à l'encadrement qu'à partir de mon recrutement au CNRS en Octobre 2009

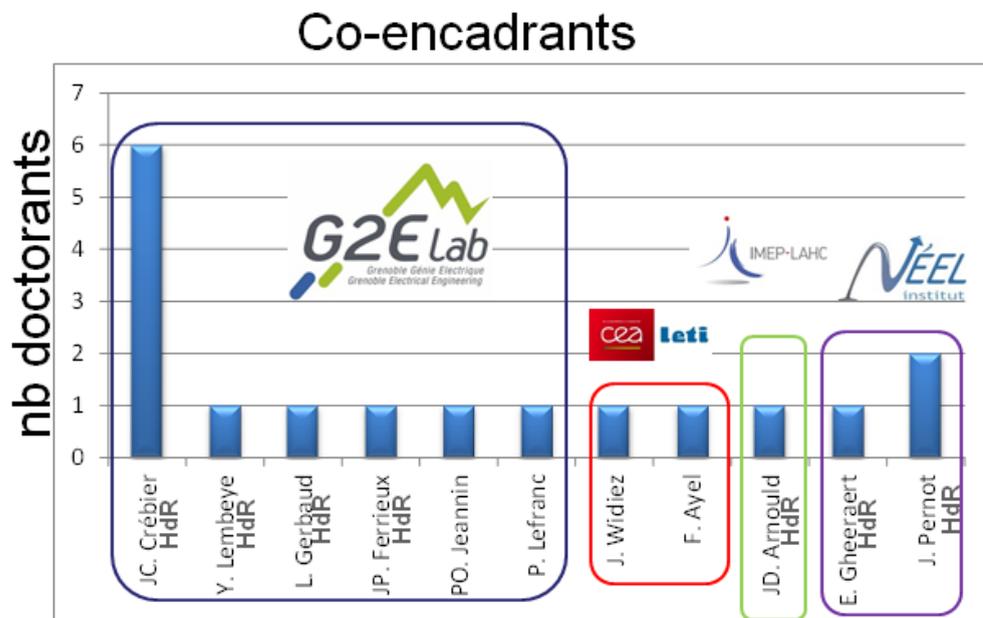


FIGURE A.2 – Coencadrants de thèses, en fonction des laboratoires, depuis 2009.

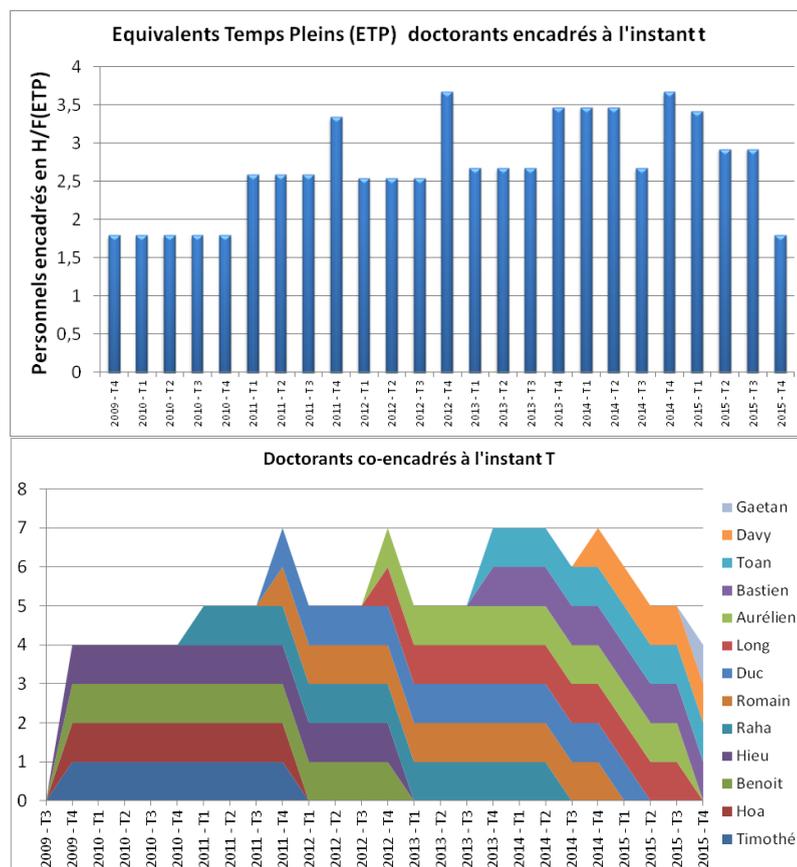


FIGURE A.3 – Doctorants co-encadrés à l’instant T. En bas, nom des doctorants. En haut, prise en compte du taux d’encadrement.

Nom	Sujet	Taux enca-drement	Période	Devenir	Pays / formation d'origine
Denis Stavila	Caractérisation en commutation de diodes en diamant (M2R Génie Élec-trique)	30%	Jan 2013 à Juil 2013	En recherche de thèse	Polytech. Bucarest (Roumanie)
Maxime Boulard	Banc de caractérisation thermique passif (ENSE3 3A, à 20% ETP)	100%	Sept 2012 à Jan 2013	?	ENSE3 (France)
Simon Cormary	Banc de caractérisation thermique passif (ENSE3 3A, à 20% ETP)	100%	Sept 2012 à Jan 2013	?	ENSE3 (France)
Long Le Thanh	Modélisation de transistors GaN (M2R Génie Élec-trique)	60%	Jan 2012 à Juil 2012	Doctorant G2Elab	Polytech. Hanoi (Vietnam)
Vlad Anicu-laesei	Commande sans fil pour transistors de puissance (M2R Optique et Radiofré-quence)	50%	Jan 2011 à Juil 2011	Ingénieur d'étude CDD IMEP	Bucarest (Roumanie)
Duc Ngoc To	Caractérisation de récepteurs optiques (M2R Génie Élec-trique)	100%	Jan 2011 à Juil 2011	Doctorant G2Elab	Polytech. Hanoi (Vietnam)
Seema Ayub	Modélisation numérique d'un transistor 4 quadrants (M2R Génie Élec-trique)	50%	Jan 2011 à Juil 2011	Doctorante Co-rée du Sud	(Pakistan)
Quyên Mai Hoang	Outils d'optimisation pour la conception de composants de puissance (M2R Génie Élec-trique)	25%	Jan 2011 à Juil 2011	Doctorant Laplace	Polytech. Hanoi (Vietnam)
Moeiz Fraj	Fonctions intégrées pour transistors de puissance (M2P Conception de Circuits Numériques et Analogiques)	100%	Avr 2010 à Sept 2010	Ingénieur STmicroelec-tronics	Université Joseph Fourier (France)
Sofiane Bekkal	Caractérisation de détecteurs optiques intégrés (DUT Mesures physiques)	100%	Avr 2012 à Juin 2012	L3 ou école d'ingénieur	Université Joseph Fourier (France)
Joseph Magniez	Banc de caractérisation électro - optique (ENSE3 3A, à 20% ETP)	60%	Sept 2011 à Jan 2012	Ingénieur CDI Adénéo	ENSE3 (France)
Maxime Dautin	Banc de caractérisation électro - optique (ENSE3 3A, à 20% ETP)	60%	Sept 2011 à Jan 2012	?	ENSE3 (France)
Tania Tasmin	Design of SiGe/Si Quantum-Well Optical Modulators (UBC Master's)	20%	Jan 2009 à Aout 2009	Lecturer at the King Abdulaziz University	UBC (Canada)
Nadia Ma-kan	Measurements of nanophotonics de-vices (Stage découverte de la recherche à UBC)	80%	Juin 2009 à Aout 2009	Medical Student at the American University of the Caribbean	MIT (USA)
Asier Saenz de Urturi	Mise en œuvre et caractérisation en électronique de puissance intégrée (M2R Génie Élec-trique)	30%	Jan 2009 à Juill 2009	?	Univ. Mandra-gone (Espagne)
Ralitzà Hris-tova	Étude d'un récepteur optique intégré au sein de transistor de puissance à struc-ture verticale (PFE 3A Université Sofia)	80%	Jan 2008 à Juil 2008	?	Université Tech-nique de Sofia (Bulgarie)
Maciej Haras	Étude d'un convertisseur d'électronique de puissance innovant (ENSE3 3A, à 20% ETP)	80%	Sept 2007 à Jan 2008	Doctorant STmicroelec-tronics	ENSE3 (France)
Hasnaa El-Oufir	Étude d'un convertisseur d'électronique de puissance innovant (ENSE3 3A, à 20% ETP)	80%	Sept 2007 à Jan 2008	?	ENSE3 (France)
Ralitzà Hris-tova	Utilisation de récepteurs optiques dans les convertisseurs d'Électronique de Puissance (Stage découverte 2A Univer-sité Sofia)	80%	Sept 2007	?	Université Tech-nique de Sofia (Bulgarie)
Hung Tran Manh	Autour de l'autoalimentation de la com-mande rapprochée d'un IGBT (M2R Génie Élec-trique)	60%	Jan 2007 à Juil 2007	Doctorant G2Elab	Hanoi (Vietnam)
Benjamin Kosecki	Réalisation d'une autoalimentation pour commande rapprochée d'interrupteur de puissance (DUT GEIL)	100%	Fev 2007 à Mai 2007	L3 ou école d'ingénieur	Université Joseph Fourier (France)
Antonio Serru	Élaboration d'une alimentation bipo-laire pour la commande rapprochée des transistors de puissance (ENSE3 2A, à 20% ETP)	80%	Mars 2006 à Juin 2006	Automation Engineer (RE-MOSA S.p.A)	ENSE3 (France)

TABLE A.2 – Chercheurs temporaires et stagiaires encadrés depuis octobre 2006.

A.2 Enseignement

Les participations à l'enseignement sont présentées sur le tableau A.3.

Enseignements		Nb Hrs.	Type			Niveau						Langue		
			Cours	TP	TD	L1	L2	L3	M1	M2	PhD	FR	ANG	
2014/2015														
Fabrication of solar cells	Summer prgl	16		16				16						16
Fabrication and characterization of smart power devices	M2 SGB	36		36					36					36
Power converter control and modeling	M2 SGB	4	4						4					4
Smart power devices	M2 SGB	4		4						4				4
Composants actifs pour l'électronique de puissance	ENSE3 3A	12		12						12			12	
Bases de l'électronique de puissance	Formation Co	6		4	2						6		6	
Fabrication de capacité MOS et diode	Phelma	8		8					8					8
2013/2014														
Composants actifs pour l'électronique de puissance	ENSE3 3A	12		12						12			12	
Fabrication of smart power devices	M2 SGB	16		16						16			16	
Power converter control and modeling	M2 SGB	4	4							4			4	
Fabrication µSystèmes	Phelma	16		16						16			16	
Fabrication of solar cells	Summer prgm	16		16				16					16	
Fabrication and characterization of solar cells	Phelma	20		20						20			20	
2012/2013														
Fabrication and characterization of solar cells	Summer prm	20		20				20					20	
Fabrication and characterization of solar cells	Phelma FAME	20		20						20			20	
Power converter control and modeling	M2 SGB	5	5							5			5	
Composants actifs pour l'électronique de puissance	ENSE3 3A	10		10						10			10	
Fabrication et caractérisation transistors	ENSE3 3A	20		20						20			20	
Projet application	ENSE3 3A	10			10					10			10	
2011/2012														
Energie	ENSE3 1A	20		20				20					20	
Composants actifs pour l'électronique de puissance	ENSE3 3A	26	10	16						26			26	
Projet application	ENSE3 3A	6			6					6			6	
Module Passerelle	DUT MPh	27			27		27						27	
2010/2011														
Composants actifs pour l'électronique de puissance	ENSE3 3A	26	10	16						26			26	
Energie	ENSE3 1A	20		20				20					20	
Module Passerelle	DUT Geii	27			27		27						27	
2009/2010														
Energie	ENSE3 1A	20		20				20					20	
Module Passerelle	DUT Geii	27			27		27						27	
2008/2009														
Nanophotonics	UBC	10		10							10		10	
2007/2008														
Electronique HF	UJF M1EEATS	15			15				15				15	
Initiation Matchad	UJF L3	12						12					12	
Asservissement linéaire	L3	21		21				21					21	
Electronique de puissance	M1 EEATS	21		21					21				21	
2006/2007														
Initiation à l'électrotechnique	L2 UJF	66	36	30				66					66	
2005/2006														
Initiation à l'électrotechnique	L2 UJF	66	36	30				66					66	
2004/2005														
Electronique de puissance	M1EEATS	48		48					48				48	
Electromagnétisme	DUT 1 Geii	32			32	32							32	
SOMME														
		745	153	436	144	32	213	145	128	211	16		566	179

TABLE A.3 – Liste des heures d'enseignements données

A.3 Participation à des contrats de recherche

La liste des contrats de recherche auxquels j'ai participé est présentée sur le tableau A.4. Tous ces contrats sont de type étatique, avec une forte proportion via l'Agence Nationale de la Recherche (ANR). Les projets déposés sont présentés sur le tableau A.5.

Acronyme	Titre complet	Rôle	Implication	Participant(s)	Période	Financement G2Elab
H2020 GreenDiamond	Green Electronics with Diamond Power Devices	Participant et WP leader	20% ETP	CNRS, 14 partenaires européens	09/2014	280kEuros (EC H2020)
MEGaN	Module Electronique GaN	Participant	10% ETP	Renault, Valeo, CEA-LETI, G2Elab, Ampere et autres	Oct 2012 à Sept 2018	550kEuros (OSEO)
AGIR	Composants unipolaires en diamant pour l'électronique de puissance	Participant	30% ETP	Institut Néel et G2Elab	Oct 2013 à Sept 2016	116kEuros (Univ. Grenoble)
HV-GaN	Développement de composant GaN sur substrat silicium opérant au-delà de 3 kilovolts pour la conversion de puissance à très haut rendement	Participant	20% ETP	IEMN et G2Elab	Juin 2013 à Dec 2013	4kEuros (CNRS)
ANR SiPow-Light	Contrôle optique intégré pour les semi-conducteurs de puissance et les convertisseurs d'énergie	Coordinateur	75% ETP	G2Elab	Dec 2010 à Nov 2013	215kEuros (ANR)
BQR WiCi-SiTUDe	Wireless Circuits for Silicon power Transistor Universal's Deployment	Coordinateur	60% ETP	G2Elab, IMEP	Oct 2011 à Sept 2014	16kEuros (BQR Grenoble-INP)
Carapace	Caractérisation Puissance Avancée de Composants Électroniques	Coordinateur	20% ETP	G2Elab, Institut Néel	Jan 2012 à Dec 2018	100kEuros (Labbex Lanef)
ANR Miconet	Micro Converter Networks	Participant	10% ETP	G2Elab, LGEP, Laplace, Ampère	Jan 2011 à Dec 2013	248kEuros (ANR)
Power	Intégration 3D de structures de conversion polyphasées pour la conversion statique en électronique de puissance intégrée	Participant	10% ETP	CEA-LETI, G2Elab	Avr 2010 à Dec 2012	61kEuros (Carnot Leti)
ANR ToPo-GaN1	Démonstrateur Transistor de Puissance à base de GaN épitaxié sur substrat Si grand diamètre	Participant	10% ETP	LAAS, Freescale, Soitec, 3-5 Lab, CEA-LETI, CRHEA, G2Elab, LTM, IMN	Nov 2009 à Juin 2011	149kEuros (ANR)
Velecta	Véhicule Électrique à Technologie Avancée	Participant	10% ETP	CEA-LETI-LITEN-INES, Aixam Mega, G2Elab, Iffstar	Sept 2009 à Dec 2012	450kEuros (ADEME)

TABLE A.4 – Projets collaboratifs de recherche financés

Acronyme	Titre complet	Rôle	Implication	Participant(s)	Date dépôt
ANR E-Pure-HVDC	More Efficient Power Electronics with DIAMOND Technology for HVDC	Coordinateur	30% ETP, en cours d'analyse	G2Elab, Néel, Satie	10/2014
ERC Epic-Driver	Electronics Photonics Integrated Circuits for gate Drivers - Towards more Efficient Integrated Power Electronics	Coordinateur	60% ETP	G2Elab	02/2015
CFQCU / FQRNT EPIC	Circuits électro optiques pour l'interconnexion intégrée et haute fréquence dans le contexte de la gestion énergétique	Coordinateur	40% ETP	Univ Laval, G2Elab	12/2013
ANR DIAMOS	Fabrication of high voltage Diamond based Metal Oxide Semiconductor field effect transistor	Participant	20% ETP	Néel, G2Elab, IBS	10/2013
Lanef Superflip	Acquisition d'une machine de report flip chip	Participant	15% ETP	Lanef, Néel, G2Elab	05/2013
Concert-Japan : PowerEED	Diamond Power Devices for an Efficient Energy Distribution	Participant	50% ETP	Néel, NIMS, AIST, Hasselt Univ., G2Elab	11/2012
FP7 Green-Diamond	Green Electronics with Diamond Power Devices	Participant	10% ETP	CNRS, 14 partenaires européens	10/2012
ANR ISAACS	ACSwitch autonome sur silicium à électrodes coplanaires	Participant	10% ETP	Greman, G2Elab, LAAS	01/2012
ANR ISAACS	ACSwitch autonome sur silicium à électrodes coplanaires	Participant	10% ETP	Greman, G2Elab, LAAS	01/2011

TABLE A.5 – Projets collaboratifs de recherche déposés, en cours d'analyse ou non retenus

A.4 Participation à des projets de création d'entreprises

Une prise de contact a été faite par la startup ADIS-Innovation. Plusieurs rencontres et discussions ont eu lieu en 2012, et une première expertise a été faite en Mai 2012. Un article en commun a été présenté à la conférence nationale EPF 2012. Des travaux collaboratifs ont été démarrés à partir de Février 2012, principalement dans le but de valoriser les travaux d'intégration et de conception du G2Elab vers un potentiel marché et une offre de semiconducteurs intégrés.

A.5 Travaux donnant lieu à des dépôts de brevets

J'ai participé à la rédaction de brevets :

- En lien avec la thèse de H.T. Trinh et le projet ANR Miconet. Ma contribution sur ce brevet est à hauteur de 20%. Ce brevet a été rédigé début 2012 et est en cours d'analyse. Il porte sur les réseaux de micro convertisseurs.
- En lien avec la thèse de R. Grezard avec le CEA-LETI. Ma contribution sur ce brevet est à hauteur de 20%. Ce brevet a été rédigé en 2013 et concerne une solution innovante de cellule de commutation.
- En lien avec la thèse de B. Letowski avec le CEA-LETI. Ma contribution sur ce brevet est à hauteur de 20%. Ce brevet a été rédigé en 2014 et concerne une solution innovante de cellule de commutation.

A.6 Autre

Pendant la période concernée, j'ai participé à une activité de relecture d'articles pour différentes revues et conférences internationales telles que : IEEE transactions on Power Electronics, IEEE transactions on Industry Applications, Solid State Electronics, IEEE transactions on Electron Devices, IEEE Journal of Lightwave Technology, IEEE International Symposium on Industrial Electronics, IEEE Energy Congress Conference and Exposition, SPIE Optical Engineering

J'ai été aussi impliqué à différents niveaux sur des conférences internationales et nationales :

- Track chairman à PRIME 2014,
- Session Chairman à CIPS 2012, SGE 2014 et EPF 2012,
- Article invité à IEEE ICT 2010,
- Présentation orale invitée à PRIME 2014,
- Présentations orales à IEEE ISPSD 2013(1 présentation - Kanazawa), IEEE ISPSD 2011 (3 présentations - San Diego), IEEE ICT2010 (1 présentation - Doha), SGE 2014 (1 présentation orale - Cachan), EPF 2012 (1 présentation - Bordeaux), "journées thématiques" GdR Seeds 2011 (Cachan), 2012 (Lyon). Chairman at EPF 2012.

Durant la période Janvier 2010 à Janvier 2015, j'ai participé à différents commissions et conseils scientifiques :

- Membre nommé du bureau de l'alliance *Breakthroughs for electrical energy* du labex Lanef, depuis Septembre 2011. Principalement, cette activité concerne en une réunion mensuelle de management et d'organisation de l'activité de l'alliance,

- Membre nommé puis élu du conseil de laboratoire G2Elab, depuis Janvier 2010. Participation à un conseil de laboratoire mensuel, où les orientations et priorités du laboratoire sont discutées,
- Expert à l’Observatoire des Micro et NanoTechnologies (OMNT, UMS CEA-CNRS) depuis 2013, réunions et comptes rendus trimestriels de veille scientifique, rapport annuel. Groupe Grands Gaps,
- Membre des commissions de sélections pour le recrutement de Maître de Conférences : Université de Tours - Polytech Tours - Greman Lab (MCF 63 - 0354, 2012). Grenoble-INP - G2Elab (MCF 63 - 613, 2012),
- Membre des jurys de thèse : H. Hamad (Ampere-Lyon, 2015 - examinateur), D. To (G2Elab-Grenoble, 2015 - co-encadrant), R. Grezaud (G2Elab-Grenoble, 2014 - co-encadrant), R. Vafaei (G2Elab-Grenoble, 2014 - co-encadrant), H.T. Trinh (G2Elab-Grenoble, 2013 - co-encadrant), B. Sarrazin (G2Elab-Grenoble, 2012 - co-encadrant), H. Tahir (LAAS-Toulouse, 2011 - examinateur), C. Benboujema (LMP-Tours, 2011 - examinateur). T. Simonot (G2Elab-Grenoble, 2011 - co-encadrant), H.X. Nguyen (G2Elab-Grenoble, 2011 - co-encadrant).

Entre 2012 et 2014, j’ai animé au sein de l’équipe électronique de puissance du G2Elab un *Journal Club*. Le but de cette action est de regrouper les chercheurs permanents et temporaires de l’équipe, choisir une publication internationale récente et la critiquer ensemble. Au-delà de l’idée, j’ai mené les débats scientifiques, choisi les thématiques abordés, organisé les sessions qui ont regroupé entre 7 et 12 personnes lors des 7 éditions entre 2012 et 2014. Pour les permanents, l’intérêt est de confronter notre approche et notre positionnement stratégique. Pour les doctorants, l’intérêt de mieux appréhender la bibliographie, améliorer la critique et la rigueur scientifique. J’ai personnellement mis en *stand by* l’animation de ce groupe de réflexion et critique depuis Mai 2014, afin de me consacrer pleinement au montage de projet et à la rédaction de mon habilitation à diriger des recherches. Ce groupe devrait redémarrer courant 2015.

Annexe B

Musée des horreurs

Conduire une activité de recherche, c'est aussi savoir prendre des risques dans le but de démontrer de nouvelles approches et idées en rupture. Ainsi, je souhaite ici présenter quelques exemples de ces prises de risques, se traduisant alors par des échecs ou des résultats intermédiaires difficiles à valoriser, souvent remplis de frustration. Ces phases de mises au point, d'analyse, d'étude et d'amélioration sont très gratifiantes lorsqu'elles sont couronnées de succès, mais peuvent parfois remettre en question l'approche et les choix effectués. Et la motivation par la même occasion...

Au-delà des résultats choisis, sélectionnés et présentés dans des articles scientifiques ou dans les premiers chapitres de ce manuscrit, il me semble important de faire une place ici au quotidien, avec ses demi-échecs ou demi-succès et de façon plus générale, ce qui ne s'est pas déroulé comme prévu.

Parmi ces quelques *horreurs*, j'ai choisi quelques exemples typiques, mêlant problèmes technologiques et difficultés expérimentales. La plupart des problèmes présentés ici ont été résolus, mais il n'empêche que ces embûches retardent les démonstrations des concepts, avec ce que cela implique dans la conduite de thèses et de projets de recherche. Cette gestion des horreurs est critique, d'autant plus que la recherche par projet nous incite à conduire une recherche couronnée de succès au quotidien, où ces horreurs n'existent pas et avec une vision déjà claire de livrables à court et moyen terme, et où tout est correctement planifié. Prendre des risques scientifiques, c'est prendre le risque de ne pas arriver à démontrer ses idées et concepts, ou que ces dernières s'avèrent finalement être d'un intérêt limité. Mais prendre des risques, c'est avant tout proposer des solutions originales que peu de scientifiques ne considèrent ou veulent tenter, avec une probabilité non nulle que la démonstration soit possible.

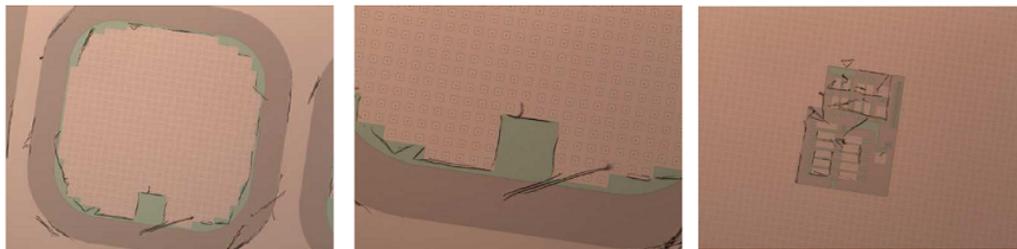


FIGURE B.1 – Problème de fabrication de transistors Si de puissance : résine impossible à retirer après implantation Phosphore.



FIGURE B.2 – Problème de report de substrat Si sur embase métallique, avec de nombreux *voids*. Alors, seule une surface très faible a été exploitable pour fabriquer des diodes verticales de puissance.

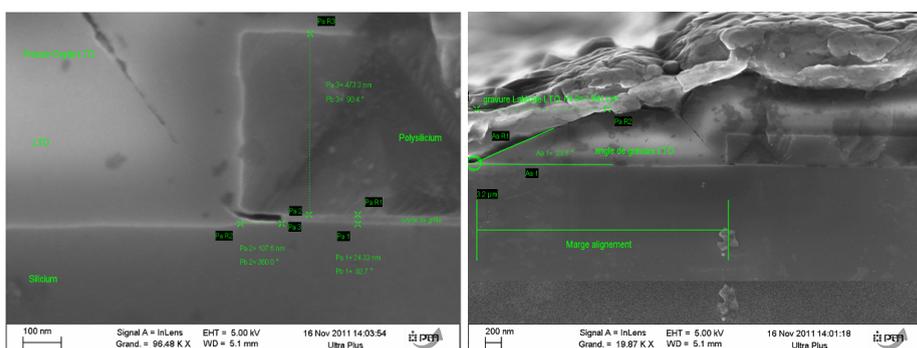


FIGURE B.3 – Problème de fabrication de transistors de puissance Si : surgravure de l'oxyde de grille et court-circuit grille source.

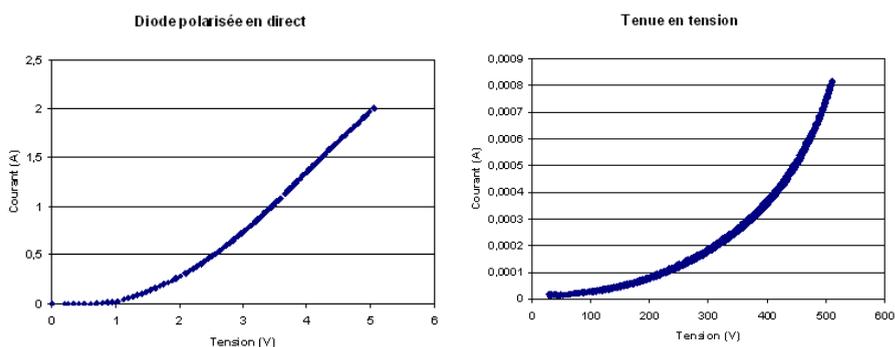


FIGURE B.4 – Caractérisation électrique des diodes de la figure B.2. Performances non compatibles avec l'électronique de puissance.

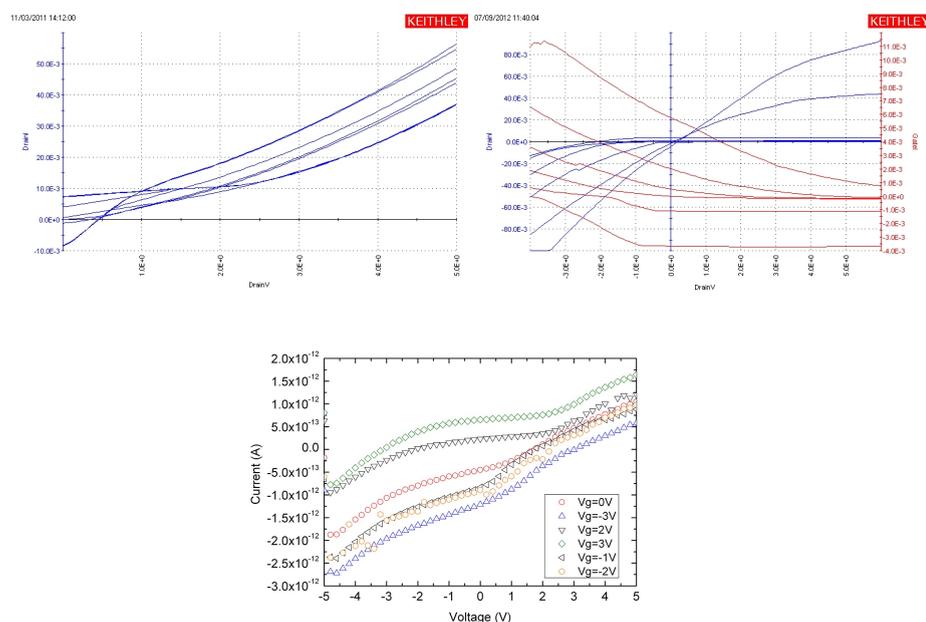


FIGURE B.5 – Mauvais fonctionnement de transistors en Silicium (en haut) et en Diamant (en bas). Les transistors Silicium présentent des fuites grille-source, des mauvais contacts ohmiques, une difficulté d'inversion. Les transistors diamant ne démontrent aucune modulation de conductivité, et les fuite grille-drain s'ajoutent aux fuites drain-source.

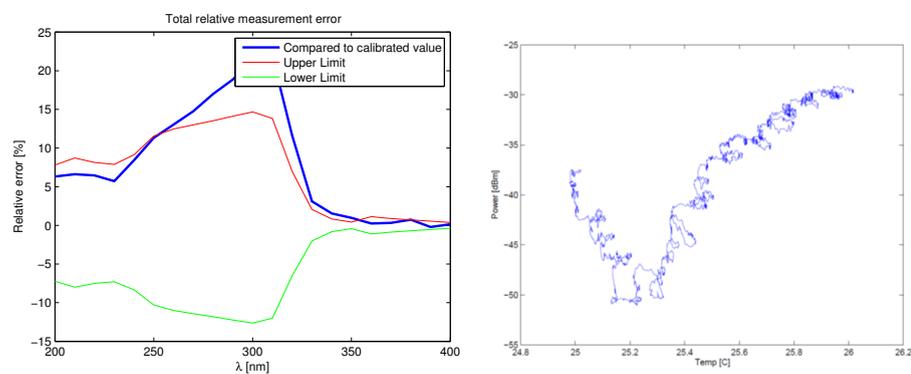


FIGURE B.6 – A gauche, difficultés de mesures de la sensibilité spectrale à faible niveau de puissance optique, avec plus de 20% d'erreur. A droite, difficultés de mesure de résonateurs optiques intégrés et de leur variation en fonction de la température.

Annexe C

CV et informations personnelles

ROUGER Nicolas, PhD
 Chargé de recherche CNRS
 34 ans - <http://www.g2elab.grenoble-inp.fr/pp-330879.kjsp>

Laboratoire de génie électrique de Grenoble
 UMR 5269 UJF / Grenoble-INP / CNRS
 04 76 82 63 10
nicolas.rouger@g2elab.grenoble-inp.fr

Habilitation à Diriger des Recherches
 CNRS section 08

Expérience

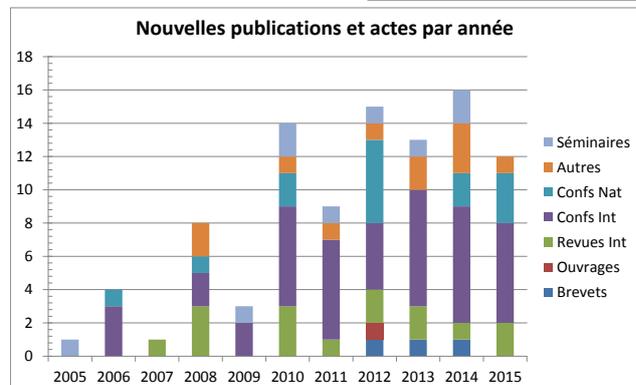
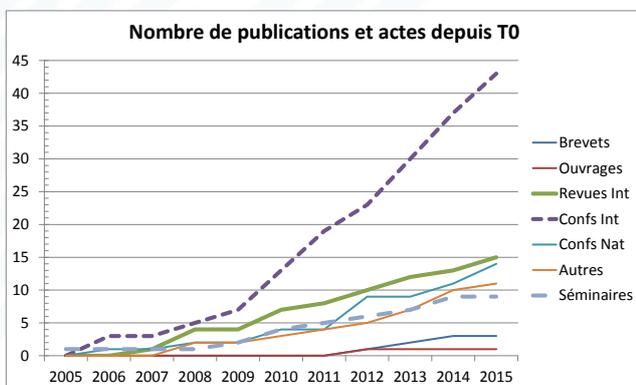
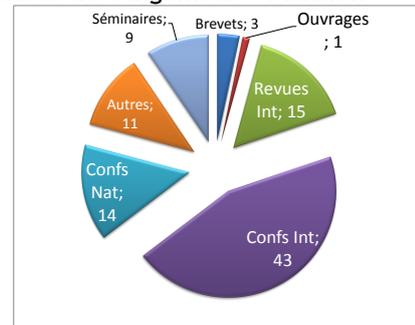
- Depuis 1^{er} Octobre 2013 - Chargé de recherche 1^{ère} Classe CNRS
- 1^{er} Octobre 2009 - 30 Septembre 2013 - Chargé de recherche 2^{nde} classe CNRS. Classé 1^{er} sur 120 candidats - section 08
- 1^{er} Septembre 2008 - 31 Aout 2009 - Post doctoral Fellow - Microsystems and Nanotechnology Group - University of British Columbia (Vancouver - CANADA)
- 1^{er} Septembre 2005 - 31 Aout 2008 - Doctorant au G2Elab / Moniteur à l'UJF
- 1^{er} Septembre 2001 - 31 Aout 2005 - Elève fonctionnaire stagiaire - Ecole Normale Supérieure de Cachan - Dpt EEA

Diplômes

- Juillet 2008 - Doctorat de l'institut polytechnique de Grenoble
- Juin 2005 - Master 2 Recherche Génie Electrique - Mention Très bien - Institut polytechnique de Grenoble
- Juin 2004 - Agrégation externe de génie électrique option électronique de puissance - classé 3^{ème} sur 10 reçus
- Juin 2003 - Maîtrise EEA options Ingénierie Electrique - Mention assez bien - Paris Sud Orsay / ENS Cachan
- Septembre 2002 - Licence Ingénierie Electrique - Mention assez bien - Paris Sud Orsay / ENS Cachan
- Juillet 1999 - Baccalauréat Scientifique spécialité Mathématiques et Sciences de l'Ingénieur - Mention très bien - Lycée Jean-Perrin Marseille - bourse de mérite

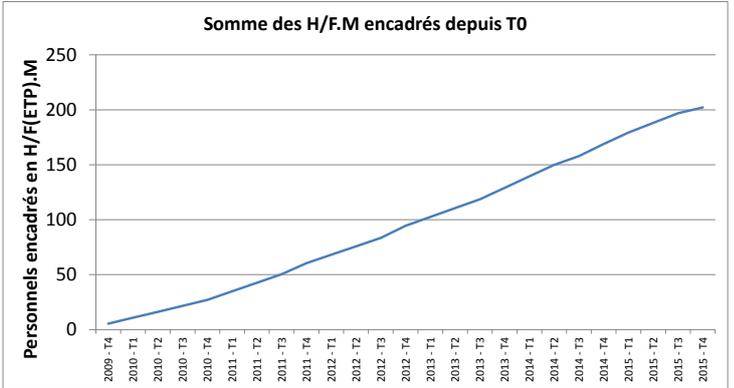
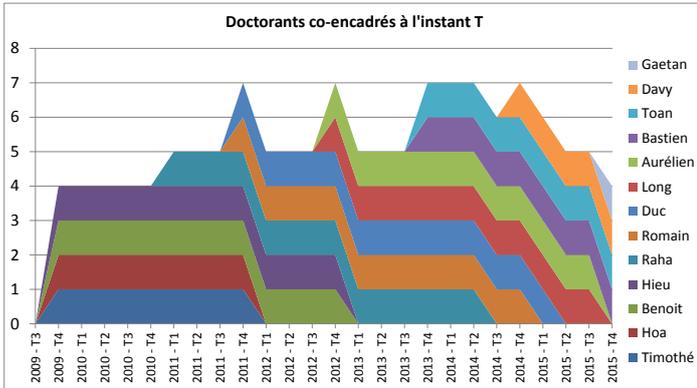
Publications

- 2 Brevets déposés + 1 en cours de dépôt
- 15 revues internationales
- 1 chapitre d'ouvrage en langue anglaise
- 43 conférences internationales dont 1 papier et 2 présentations invitées
- 14 conférences nationales

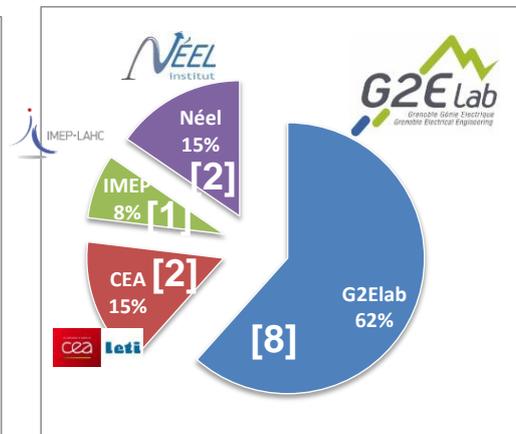
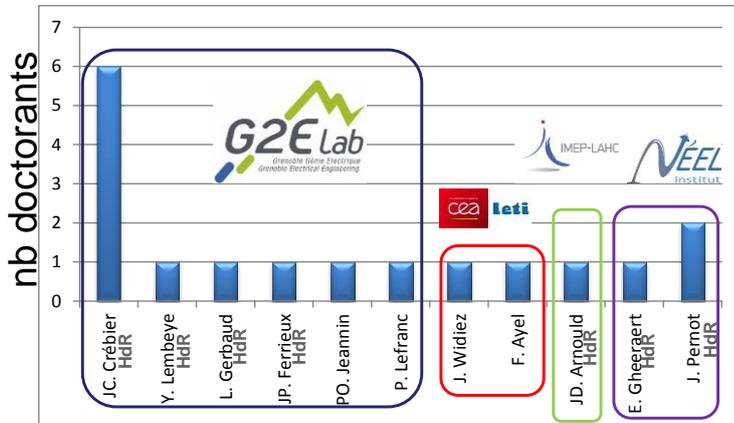


Co-encadrement

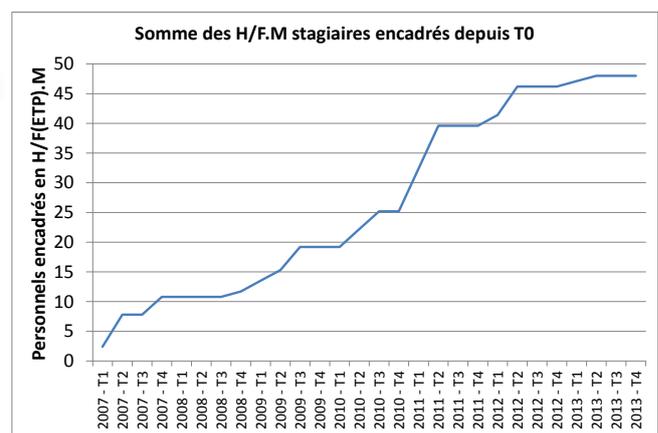
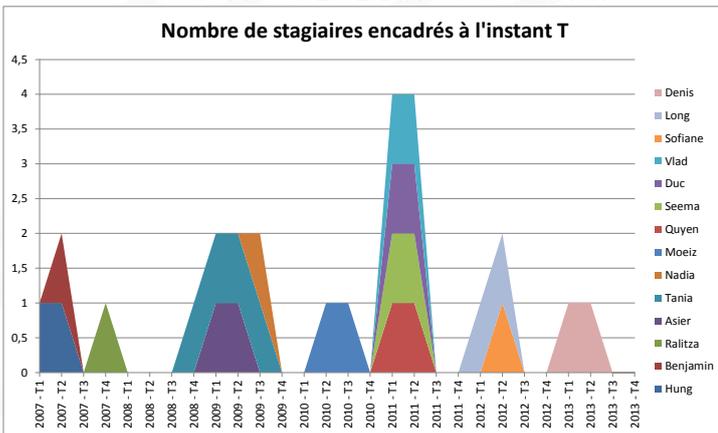
- Taux d'encadrement moyen : 53%
- 7 thèses soutenues, 5 thèses en cours (dont 1 dérogation de direction), 1 à démarrer en Oct 2015.



Co-encadrants



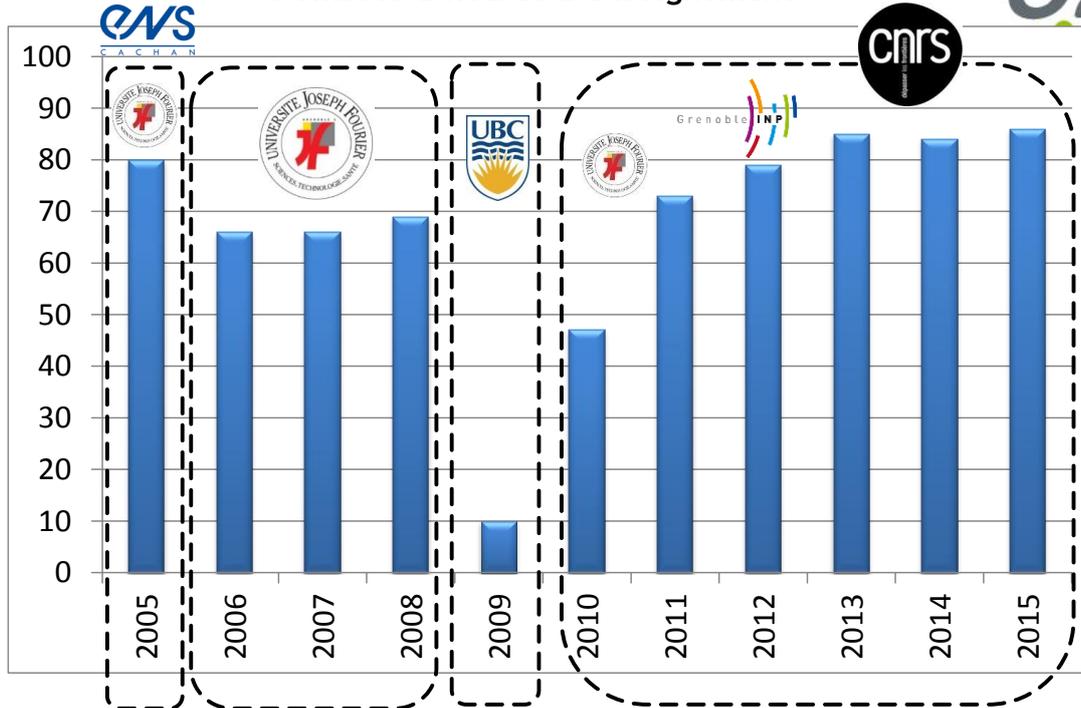
- 10 Master 2 - 2 DUT - 1 licence MIT



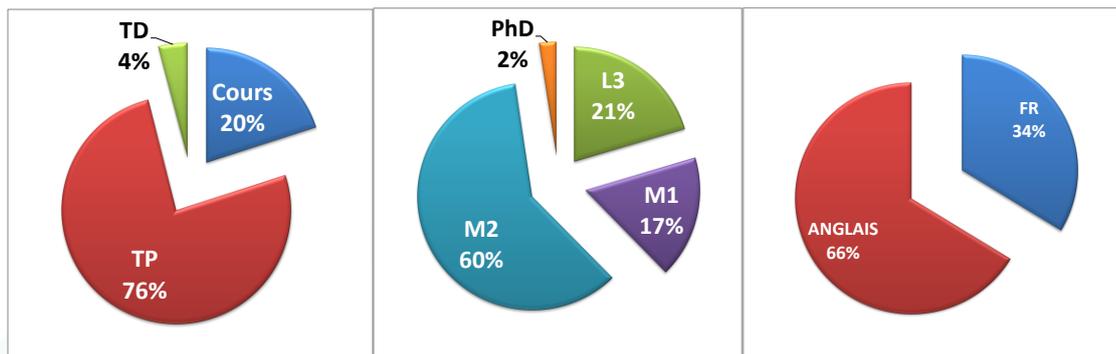
Enseignement

- 745 heures d'enseignements depuis 2004 en enseignement supérieur (DUT GEii Grenoble, DUT Mesure Physique Grenoble, Master UJF Grenoble, ENSE3 Grenoble, PHELMA Grenoble, Formation Continue Grenoble-INP, Summer School Grenoble-INP, University of British Columbia ECE Department)

Nombres d'heures d'enseignement



Répartition des enseignements depuis 2012



Responsabilités

- Track Chair de la conférence internationale PRIME 2014
- Session Chair de la conférence internationale CIPS 2012
- Session Chair des conférences nationales SGE 2014 et EPF 2012
- Responsable scientifique local du projet européen H2020 GREENDIAMOND (2015-2019)
- Coordinateur du projet ANR SiPowLight (programme JCJC 2010)
- Coordinateur du projet CARAPACE (Labex Lanef 2012-2018)
- Coordinateur du projet BQR WiCiSiTude (Grenoble-inp 2011-2014)
- Membre du conseil de laboratoire G2Elab (élu : 2015-2020, nommé : 2010-2015)
- Membre nommé au bureau de l'alliance 4 Labex LANEF (2012-2018)
- Membre nommé au Groupe Thématique 13 Cellule Energie CNRS
- Examineur de 3 jurys de thèses (AMPERE / INSA Lyon 2015, LAAS / UPS Toulouse 2011 et LMP / Polytech' Tours 2011)
- Expert pour l'Observatoire de Micro et NanoTechnologie - groupe Grands Gaps

Participation à des projets de recherche

- 1xH2020, 3xANR, 1xOSEO, 1xCarnot, 2xBQR, 1xADEME, 1xCNRS PEPS, 1xStart-Up
- Montage de projets internationaux (ULaval Canada, AIST, NIMS Japon), Européen (H2020, FP7, ERC)
- Montage de projets nationaux (ANR) et locaux (BQR, Labex)

G2Elab - Laboratoire de Génie Électrique de Grenoble

Site : Domaine Universitaire

BP 46 - 38402 St Martin d'Hères - Cedex, France

Tél. +33 (0)4 76 82 62 99 - Fax +33 (0)4 76 82 63 00

www.G2Elab.grenoble-inp.fr

Liste de publications et actes

Section 08 : Micro et nano - technologies, électronique, photonique, électromagnétisme, énergie électrique

Dr. Nicolas ROUGER

Chargé de Recherche 1ère classe au G2Elab - UMR 5269

Docteur de l'Institut Polytechnique de Grenoble

Lauréat de l'agrégation de génie électrique

Ancien élève normalien au département EEA de l'ENS Cachan



Publications sur la période Septembre 2005 - Février 2015

Chapitres d'ouvrages (1)

- [1] JC. Crébier and N. **Rouger**. Industrial and power electronics, book chapter of introducing to circuits and systems. Encyclopedia Of Life Support Systems (EOLSS), Unesco, 2012.

Articles publiés dans des revues internationales à comités de lecture (14)

- [2] A. Marechal, N. **Rouger**, JC. Crebier, J. Pernot, S. Koizumi, T. Teraji, and E. Gheeraert. [Model implementation towards the prediction of J\(V\) characteristics in diamond bipolar device simulations](#). *Diamond and Related Materials*, 43 :34 – 42, 2014.
- [3] B. Sarrazin, N. **Rouger**, and JP. Ferrieux. [Performance analysis of different power electronics structures for electric vehicles \(EVs\)](#). *European Journal of Electrical Engineering*, Volume 16/3-4, Été 2013.
- [4] Nicolas **Rouger**, L. Benaissa, Jean-Christophe Crébier, Julie Widiez, J. Defonseca, D. Lafond, Eric Vagnon, and Victor Gaude. [Packaging à l'échelle du wafer pour les semiconducteurs de puissance dans les convertisseurs multicellulaires](#). *European Journal of Electrical Engineering*, Volume 16/3-4, Été 2013.
- [5] R. Vafaei, N. **Rouger**, D.N. To, and J. Crebier. [Experimental Investigation of an Integrated Optical Interface for Power MOSFET Drivers](#). *Electron Device Letters, IEEE*, 33(2) :230 –232, feb. 2012.
- [6] HX. Nguyen, JL. Coulomb, L. Gerbaud, JC. Crébier, and N **Rouger**. [Application of progressive quadratic response surface method for an oscillation problem optimization](#). *COMPEL, The International Journal for Computation and Mathematics in Electrical and Electronic Engineering*, 31(3) :842–857, 2012.
- [7] H. Nguyen-Xuan, L. Gerbaud, N. **Rouger**, and J.-C. Crébier. [Optimization of a power mosfet and its monolithically integrated self-powering circuits](#). *International Journal of Applied Electromagnetics and Mechanics*, 37(2) :159–171, Jan. 2011.
- [8] N. **Rouger**, L. Chrostowski, and R. Vafaei. [Temperature Effects on Silicon-on-Insulator \(SOI\) Racetrack Resonators: A Coupled Analytic and 2-D Finite Difference Approach](#). *Lightwave Technology, Journal of*, 28(9) :1380 –1391, may1, 2010.

- [9] Robi Boeck, Nicolas A. Jaeger, Nicolas **Rouger**, and Lukas Chrostowski. [Series-coupled silicon racetrack resonators and the Vernier effect: theory and measurement](#). *Opt. Express*, 18(24) :25151–25157, Nov 2010.
- [10] D Deptuck, N **Rouger**, N Jaeger, and L Chrostowski. [A trans-Canadian graduate course in silicon nanophotonics](#). *Photons technical review*, 8(1) :29–33, Spring 2010.
- [11] J.-C. Crebier and N. **Rouger**. [Loss Free Gate Driver Unipolar Power Supply for High Side Power Transistors](#). *Power Electronics, IEEE Transactions on*, 23(3) :1565 –1573, may 2008.
- [12] N. **Rouger**, J.-C. Crebier, and S. Catellani. [High-Efficiency and Fully Integrated Self-Powering Technique for Intelligent Switch-Based Flyback Converters](#). *Industry Applications, IEEE Transactions on*, 44(3) :826 –835, may-june 2008.
- [13] N. **Rouger** and J.-C. Crebier. [Toward Generic Fully Integrated Gate Driver Power Supplies](#). *Power Electronics, IEEE Transactions on*, 23(4) :2106 –2114, july 2008.
- [14] JC Cr ebier, B Nguyen, L Vincent, N **Rouger**, L Aubard, and C Schaeffer. [Promotion d’une Approche Syst eme dans l’Int egration Monolithique pour Semi-Conducteurs de Puissance](#). *European Journal of Electrical Engineering*, 10(5) :527–540, 2007.

Articles publi es de conf erences internationales invit ees (1)

- [15] L. Chrostowski, N. **Rouger**, D. Deptuck, and N.A.F. Jaeger. [Silicon Nanophotonics Fabrication: An innovative graduate course](#). In *Telecommunications (ICT), 2010 IEEE 17th International Conference on*, pages 544 –551, april 2010.

Pr esentations invit ees dans des conf erences internationales (2)

- [16] N. **Rouger**. Challenges of diamond devices for power electronics. In *2nd Japan-France CVD diamond power device workshop*, Oct 2014.
- [17] N. **Rouger**. [Challenges and benefits of microelectronics for power electronics: from integrated optical driving to optimized power semiconductor switches](#). In *Microelectronics and Electronics (PRIME), 2014 10th Conference on Ph.D. Research in*, pages 1–1, June - Invited presentation 2014.

Brevets d’inventions (2)

- [18] Romain Grezaud, Fran ois Ayel, Nicolas **Rouger**, and Jean-Christophe Cr ebier. [Circuit de commande pour convertisseur de puissance](#). *Brevet d’invention CEA / CNRS - B12721 FR*, 2013.
- [19] T.H. Trinh, JC. Cr ebier, N. **Rouger**, and Y. Lembeye. [Convertisseur de tension](#). *Patent FR 12/51601*, Feb 2012.

Articles publi es de conf erences internationales   comit e de lecture (34)

- [20] L.T. Le, JC. Crebier, and N. **Rouger**. [CMOS Integrated Optical Isolator for Power Transistor Gate Driver](#). In *IEEE IECON 2014*, Oct - Nov 2014.
- [21] A. Marechal, G. Chicot, N. **Rouger**, P. Muret, J. Pernot, and E. Gheeraert. [Leakage current conduction mechanisms in atomic layer deposited HfO₂, ZrO₂ and Al₂O₃ on O-terminated diamond](#). *International Conference on Diamond and Carbon Materials*, 2014. **A. Marechal recipient of the Elsevier Young Scholar Award**.
- [22] R. Grezaud, F. Ayel, N. **Rouger**, and J.-C. Crebier. [Monolithically integrated voltage level shifter for Wide Bandgap Devices-based converters](#). In *Microelectronics and Electronics (PRIME), 2014 10th Conference on Ph.D. Research in*, pages 1–4, June 2014.
- [23] D.-N. To, N. **Rouger**, Y. Lembeye, J.-D. Arnould, and N. Corrao. [Modeling and characterization of 0.35  m CMOS coreless transformer for gate drivers](#). In *Power Semiconductor Devices IC’s (ISPSD), 2014 IEEE 26th International Symposium on*, pages 330–333, June 2014.

- [24] N.-D. To, N. **Rouger**, J.-D. Arnould, N. Corrao, J.-C. Crebier, and Y. Lembeye. [Integrated gate driver circuits with an ultra-compact design and high level of galvanic isolation for power transistors](#). In *Integrated Power Systems (CIPS), 2014 8th International Conference on*, pages 1–6, Feb 2014.
- [25] N. **Rouger**, J. Widiez, L. Benaissa, B. Imbert, P. Gondcharton, B. Letowski, JC. Crebier, and B. Letowski. [3D Packaging for vertical power devices](#). In *Integrated Power Systems (CIPS), 2014 8th International Conference on*, pages 1–6, Feb 2014.
- [26] A. Maréchal, N. **Rouger**, JC. Crébier, J. Pernot, S. Koizumi, T. Teraji, and E. Gheeraert. [Diamond bipolar device simulation](#). *IEEE Workshop on Wide Bandgap Power Devices and Applications*, pages 151–154, Oct 2013.
- [27] Romain Grezard, François Ayel, Nicolas **Rouger**, and Jean-Christophe Crébier. [An Adaptive Output Impedance Gate Drive Circuit for Safer and More Efficient Control of Wide Bandgap Devices](#). *IEEE Workshop on Wide Bandgap Power Devices and Applications*, pages 68–71, Oct 2013.
- [28] Romain Grezard, François Ayel, Nicolas **Rouger**, and Jean-Christophe Crébier. [A Specific Switching Characterization Method for Evaluation of Operating Point and Temperature Impacts on Wide Bandgap Devices](#). *IEEE Workshop on Wide Bandgap Power Devices and Applications*, pages 104–107, Oct 2013.
- [29] N. **Rouger**, L. Benaissa, J. Widiez, B. Imbert, V. Gaude, and JC. Crébier. [True 3D Packaging Solution for Stacked Vertical Power Devices](#). In *Power Semiconductor Devices and ICs (ISPSD), 2013 25th International Symposium on*, pages 90–100, May 2013.
- [30] R. Vafaei, JC. Crébier, and N **Rouger**. [Performance Measurements of an Optical Detector Designed for Monolithic Integration with a Power VDMOS](#) . In *2013 IEEE International Instrumentation and Measurement Technology Conference (I2MTC)*, pages 1609 – 1614, May 2013.
- [31] T.H. Trinh, T.H. Phung, JC. Crébier, N. **Rouger**, and Y. Lembeye. [Integrated Low Power Low Voltage Isolated Switch Mode Power Supply](#). In *Industrial Electronics CONFERENCE, IEEE IECON 2012*, pages 500–505, October 2012.
- [32] L. Benaissa, N. **Rouger**, J. Widiez, J.C. Crebier, J. Dafonseca, D. Lafond, V. Gaude, and K. Vladimirova. [A vertical power device conductive assembly at wafer level using direct bonding technology](#). In *Power Semiconductor Devices and ICs (ISPSD), 2012 24th International Symposium on*, pages 77 –80, june 2012.
- [33] L. Kerachev, K. Vladimirova, V. Gaude, J. Widiez, J.-C. Crebier, N. **Rouger**, and Y. Lembeye. [Implementation of monolithic multiple vertical power diodes in a multiphase converter](#). In *Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE*, pages 169 –175, feb. 2012.
- [34] Trung Hieu Trinh, Jean-Christophe Crébier, Nicolas **Rouger**, and Yves Lembeye. [An Integration of Dual Active Bridge DC/DC Converters Used in Micro Converters Networks](#). In *Power Electronics/Intelligent Motion/Power Quality PCIM Europe Conference 2012*, page ., Nuremberg, Allemagne, May 2012.
- [35] B. Sarrazin, N. **Rouger**, J.P. Ferrieux, and Y. Avenas. [Benefits of cascaded inverters for electrical vehicles’ drive-trains](#). In *Energy Conversion Congress and Exposition (ECCE), 2011 IEEE*, pages 1441 –1448, sept. 2011.
- [36] B. Sarrazin, N. **Rouger**, J.P. Ferrieux, and J.C. Crebier. [Cascaded Inverters for electric vehicles: Towards a better management of traction chain from the battery to the motor?](#) In *Industrial Electronics (ISIE), 2011 IEEE International Symposium on*, pages 153 –158, june 2011.
- [37] T. Simonot, H.X. Nguyen, N. **Rouger**, J.C. Crebier, A. Bourennane, L. Gerbaud, and J.L. Sanchez. [Towards reduced threshold voltages for vertical power Mosfet transistors](#). In *Industrial Electronics (ISIE), 2011 IEEE International Symposium on*, pages 444 –449, june 2011.
- [38] N. **Rouger**, J.-C. Crebier, and O. Lesaint. [Integrated low power and high bandwidth optical isolator for monolithic power MOSFETs driver](#). In *Power Semiconductor Devices and ICs (ISPSD), 2011 IEEE 23rd International Symposium on*, pages 356 –359, may 2011.
- [39] T. Simonot, N. **Rouger**, JC. Crébier, V. Gaude, and I. Pheng. [A novel power system in package with 3D chip on chip interconnections of the power transistor and its gate driver](#). In *Power Semiconductor Devices and ICs (ISPSD), 2011 IEEE 23rd International Symposium on*, pages 328 –331, may 2011.

- [40] T. Simonot, N. **Rouger**, J.C. Créber, and J.D. Arnould. [Design and characterization of a signal insulation coreless transformer integrated in a CMOS gate driver chip](#). In *Power Semiconductor Devices and ICs (ISPSD), 2011 IEEE 23rd International Symposium on*, pages 360–363, may 2011.
- [41] Xuan Hoa Nguyen, Laurent Gerbaud, Nicolas **Rouger**, and Jean-Christophe Créber. [Flexible Parameter Identification Tool for semiconductor Device Design](#). In *11th International Workshop on Optimization and Inverse Problems in Electromagnetism, oiipe2010*, pages ISBN 978–954–438–855–3, Sofia, Bulgarie, September 2010.
- [42] Xuan Hoa Nguyen, Laurent Gerbaud, Nicolas **Rouger**, and Jean-Christophe Créber. [optimization of a power MOSFET And Its Monolithically integrated self-powering Circuits](#). In *11th International Workshop on Optimization and Inverse Problems in Electromagnetism, oiipe2010*, pages ISBN 978–954–438–855–3, Sofia, Bulgarie, September 2010.
- [43] T. Simonot, J.C. Créber, N. **Rouger**, and V. Gaude. [3D hybrid integration and functional interconnection of a power transistor and its gate driver](#). In *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE*, pages 1268–1274, sept. 2010.
- [44] T. Simonot, N. **Rouger**, and J.C. Créber. [Design and characterization of an integrated CMOS gate driver for vertical power MOSFETs](#). In *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE*, pages 2206–2213, sept. 2010.
- [45] Tania Tasmin, Nicolas **Rouger**, Guangrui Xia, Lukas Chrostowski, and Nicolas A. F. Jaeger. [Design of a 1550nm SiGe/Si quantum-well optical modulator](#). volume 7750, page 77501N. SPIE, 2010.
- [46] Wei Shi, Zigang Duan, Raha Vafaei, Nicolas **Rouger**, Behnam Faraji, and Lukas Chrostowski. [Simulation of a 1550-nm InGaAsP-InP transistor laser](#). volume Photonics and Optoelectronics Meetings (POEM) : Optoelectronic Devices and Integration,, pages 75160P–75160P–7, 2009.
- [47] N. **Rouger** and L. Chrostowski. [Simulation of coupling between parallel SOI nanowaveguides and its dependence on temperature](#). In *Optical MEMS and Nanophotonics, 2009 IEEE/LEOS International Conference on*, pages 103–104, aug. 2009.
- [48] N. **Rouger** and J.-C. Crebier. [Integrated Photoreceiver For An Isolated Control Signal Transfert In Favour Of Power Transistors](#). In *Power Semiconductor Devices and IC's, 2008. ISPSD '08. 20th International Symposium on*, pages 213–216, may 2008.
- [49] N. **Rouger**, J.-C. Crebier, H. Tran Manh, and C. Schaeffer. [Toward integrated gate driver supplies : Practical and analytical studies of high-voltage capabilities](#). In *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, pages 873–879, june 2008.
- [50] N. **Rouger**, J.-C. Crebier, R. Mitova, L. Aubard, and C. Schaeffer. [Fully integrated driver power supply for insulated gate transistors](#). In *Power Semiconductor Devices and IC's, 2006. ISPSD 2006. IEEE International Symposium on*, pages 1–4, june 2006.
- [51] N **Rouger**, S Catellani, and J.C Créber. [High Efficiency and Fully Integrated Self Powering Technique For VIPer Based Flyback Converters](#). In *Industry Applications Conference, 2006. 41st IAS Annual Meeting. Conference Record of the 2006 IEEE*, volume 5, pages 2503–2510, oct. 2006.
- [52] N. **Rouger**, J.-C. Crebier, L. Aubard, and C. Schaeffer. [Toward Generic Fully Integrated Gate Driver Power Supplies](#). In *IEEE Industrial Electronics, IECON 2006 - 32nd Annual Conference on*, pages 1866–1871, nov. 2006.

Articles publiés de conférences nationales à comité de lecture (11)

- [53] N. **Rouger**, R. Vafaei, N.-D. To, L. T. Le, N. Corrao, J.-D. Arnould, Y. Lembeye, and J.-C. Crebier. [Transfert isolé des signaux de commande dans le contexte de l'intégration pour les composants actifs d'électronique de puissance](#). In *Symposium de Génie Electrique SGE 2014*, July 2014.
- [54] R. Grezard, F. Ayel, N. **Rouger**, and J.-C. Crebier. [Méthodes spécifiques de caractérisation en dynamique et de commande de composants grand gap en environnement variable](#). In *Symposium de Génie Electrique SGE 2014*, July 2014.

- [55] Nicolas **Rouger**, Raha Vafaei, Duc Ngoc To, and Jean-Christophe Créber. [Etude expérimentale d'un étage intégré d'isolation par voie optique pour transistors de puissance](#). In *Electronique de Puissance du Futur 2012*, page ., France, 2012.
- [56] Christophe Gineste, Thierry Bouchet, Olivier Gatti, Jean-Christophe Créber, Patrick Austin, Nicolas **Rouger**, Abdelhakim Bourennane, Frédéric Morancho, and Marie Breil. [Vers une filière et un support de conception EDA \(Electronic Design Automation\) des fonctions de coupure spécifiques](#). In *Electronique de Puissance du Futur 2012*, page ., France, 2012.
- [57] Nicolas **Rouger**, L. Benaissa, Jean-Christophe Créber, Julie Widiez, J. Defonseca, D. Lafond, Eric Vagnon, and Victor Gaude. [Packaging à l'échelle du wafer pour les convertisseurs multicellulaires](#). In *Electronique de Puissance du Futur 2012*, page ., France, 2012.
- [58] Benoît Sarrazin, Nicolas **Rouger**, and Jean-Paul Ferrieux. [Evaluation des Performances d'une Chaîne de Traction pour Véhicule Electrique pour Différentes Structures d'Electronique de Puissance](#). In *Electronique de Puissance du Futur 2012*, page ., France, 2012.
- [59] Trung Hieu Trinh, Nicolas **Rouger**, Yves Lembeye, and Jean-Christophe Créber. [Convertisseur intégré pour les applications réseaux de micro convertisseurs](#). In *Electronique de Puissance du Futur 2012*, page ., France, 2012.
- [60] Timothé Simonot, Nicolas **Rouger**, and Jean-Christophe Créber. [Conception, intégration 3D et caractérisation d'un circuit de commande CMOS pour transistors de puissance](#). In *Électronique de Puissance du Futur 13ème édition du colloque*, page ., Saint-Nazaire, France, June 2010.
- [61] Timothé Simonot, Nicolas **Rouger**, Xuan Hoa Nguyen, Jean-Christophe Créber, A. Bourennane, J.L. Sanchez, and Laurent Gerbaud. [Tension de seuil réduite pour composants de puissance à grille: Intérêts et conséquences](#). In *13ème édition du colloque Électronique de Puissance du Futur*, page 4p., Saint-Nazaire, France, June 2010.
- [62] Nicolas **Rouger** and Jean-Christophe Créber. [Intégration Monolithique d'un Récepteur Optique au sein de Transistors de Puissance : Enjeux et Possibilités](#). In *EPF 2008 XIIème colloque Electronique de Puissance du Futur*, pages 141–146, Tours, France, July 2008.
- [63] JC Créber, B Nguyen, L Vincent, N **Rouger**, L Aubard, and C Schaeffer. Promotion d'une approche système dans l'intégration monolithique pour semi-conducteurs de puissance. In *Electronique de Puissance du Futur (EPF)*, 2006.

Communications à des congrès, symposium (7)

- [64] A. Maréchal, G. Chicot, N. **Rouger**, P. Muret, J. Pernot, and E. Gheeraert. [Determination of band diagram alignments of atomic layer deposited HfO₂, ZrO₂ and Al₂O₃ on O-terminated diamond](#). In *20th International Hasselt Diamond Workshop on CVD diamond, SBDD 2015*, Feb 2015.
- [65] N. **Rouger**. G2elab and hybrid and monolithic integration for power semiconductor devices. In *The 1st Tsukuba-Grenoble Symposium*, Oct 2014.
- [66] N. **Rouger**, J. Widiez, L. Benaissa, B. Imbert, B Gondcharton, B. Letowski, B. Signamarcheix, and JC. Creber. [Advanced Wafer Level Packaging Technology by Layer Transfer Engineering: Application to 3D Packaging for vertical power devices](#). In *IMAPS*, 2014.
- [67] A. Maréchal, N. **Rouger**, JC. Créber, J. Pernot, S. Koizumi, T. Teraji, and E. Gheeraert. [Models and parameters study for diamond electronic devices simulations](#). *2013 JSAP-MRS Joint Symposia*, 2013.
- [68] A. Maréchal, N. **Rouger**, JC. Créber, J. Pernot, S. Koizumi, T. Teraji, and E. Gheeraert. [Parameter adjustment for diamond electronic devices simulation](#) . In *18th International Hasselt Diamond Workshop on CVD diamond, SBDD 2013*, Feb 2013.
- [69] N Jaeger, D Deptuck, N **Rouger**, and L Chrostowski. [Current Trends in Silicon Photonics in the Context of Higher Education](#). CMOS Emerging Technologies Workshop, Whistler Canada, 2010.
- [70] MAG Torres, N **Rouger**, R Vafaei, S Amin, R Boeck, B Faraji, B Francis, A Kulpa, JM Michaan, L Chrostowski, N Jaeger, and D Deptuck. Soi nanophotonic devices analysis and fabrication. Pacific Centre for Advanced Materials and Microstructures (PCAMM) Annual Meeting, Victoria - Canada, Nov 2008.

Séminaires (10)

- [71] N. **Rouger**. Présentation du parcours et du métier de chercheur cnrs. In *Journées des métiers - ENS Cachan parcours Sapphire*, Dec 2014.
- [72] N. **Rouger** and JC. Crebier. Hybrid and monolithic integration for power semiconductor devices and their associated ic's. In *STmicroelectronics Milano meeting*, Sept 2014.
- [73] N. **Rouger** and PO. Jeannin. Composants gan de puissance : possibilités et contraintes associées pour une utilisation dans les convertisseurs à haute fréquence. Séminaire de l'équipe Électronique de Puissance G2Elab, Jan 2013.
- [74] N. **Rouger**. Wide bandgap material, gan. Workshop EPFL - Lanef, Juil 2012.
- [75] N. **Rouger**. Commande optique de composants de puissance. Journées Thématiques GdR Seeds, June 2012.
- [76] N. **Rouger**. état de l'art autour de l'intégration des éléments périphériques des semiconducteurs de puissance. Journées Thématiques GdR Seeds, pôle ISP3D, March 2011.
- [77] N. **Rouger**. Commande optique de composants de puissance. Séminaire de rencontre G2Elab - IMEP, Feb 2010.
- [78] N. **Rouger**. Contrôle optique intégré pour les semiconducteurs de puissance et les convertisseurs d'énergie. Conseil scientifique du G2Elab, May 2010.
- [79] N. **Rouger**. Soi nanophotonics. Séminaire du MiNa Group - UBC Vancouver, June 2009.
- [80] F Capy and N. **Rouger**. Nouvelles fonctions de commutation de puissance intégrées sur silicium. Journées Thématiques GdR Seeds, Sept 2005.

Autres (14)

- [81] N. **Rouger** and PO. Jeannin. Grands gaps : système et intégration. Synthèse Annuelle de l'Observatoire des Micro et Nano Technologies, Feb 2015.
- [82] N. **Rouger** and PO. Jeannin. Grands gaps : Drivers, système et fiabilité. [Revue de veille trimestrielle OMNT N.7](#), Sept 2014.
- [83] N. **Rouger** and PO. Jeannin. Grands gaps : Drivers, système et fiabilité. [Revue de veille trimestrielle OMNT N.6](#), Jun 2014.
- [84] N. **Rouger** and PO. Jeannin. Grands gaps : Drivers, système et fiabilité. [Revue de veille trimestrielle OMNT N.5](#), Jan 2014.
- [85] N. **Rouger**. Rapport de fin de projet, anr sipowlight, Mars 2014.
- [86] N. **Rouger** and PO. Jeannin. Grands gaps : vers une intégration 3d et monolithique des périphériques de commande et de contrôle des composants de puissance. Synthèse Annuelle de l'Observatoire des Micro et Nano Technologies, Feb 2014.
- [87] N. **Rouger** and PO. Jeannin. Grands gaps : technologies et composants de puissance. Revue de veille trimestrielle OMNT N.4, Dec 2013.
- [88] N. **Rouger** and PO. Jeannin. Grands gaps : Drivers, système et fiabilité. Revue de veille trimestrielle OMNT N.2, June 2013.
- [89] N. **Rouger** and PO. Jeannin. Grands gaps : Drivers, système et fiabilité. Revue de veille trimestrielle OMNT N.1, March 2013.
- [90] N. **Rouger**. Rapport à t0+30, anr sipowlight. Compte rendu intermédiaire, June 2013.
- [91] N. **Rouger** and PO. Jeannin. Driver gan haute fréquence - contribution à la synthèse annuelle, groupe grands gaps. Synthèse Annuelle de l'Observatoire des Micro et Nano Technologies, Feb 2013.
- [92] N. **Rouger**. Rapport à t0+18, anr sipowlight. Compte rendu à mi projet, Jul 2012.
- [93] N. **Rouger**. Rapport à t0+6, anr sipowlight. Compte rendu intermédiaire, May 2011.
- [94] N **Rouger**. [Intégration monolithique des fonctions d'interface au sein de composants de puissance à structure verticale](#). PhD thesis, Grenoble Institute of Technology, Jul 2008.

Articles soumis, en cours d'évaluation (5)

- [95] Nicolas **Rouger**. Analytic and semi-analytic modeling for double gaussian and any pn junction. *COMPEL Journal*, 2015.
- [96] N. **Rouger**, R. Vafaei, N.-D. To, L. T. Le, N. Corrao, J.-D. Arnould, Y. Lembeye, and J.-C. Crebier. Selected paper from sge2014 for journal publication. *EPE Journal*, 2015.
- [97] L.T. Le, Davy Colin, JC. Crebier, and N. **Rouger**. Cmos gate driver with integrated optical receiver for power electronics applications. In *EPE - ECCE Europe*, 2015.
- [98] N. **Rouger**. [CMOS Gate Drivers for High Speed - High Voltage Wide Bandgap Power Switches](#). In *CMOSETR*, 2015.
- [99] JC. Crebier, B. Letowski, J. Widiez, and N. **Rouger**. Convertisseur. *Brevet d'invention CEA / CNRS en cours d'évaluation*, Titre provisoire.

NOUVEAU PARADIGME POUR L'INTÉGRATION DES ACTIFS EN ÉLECTRONIQUE DE PUISSANCE

Résumé Ce manuscrit présente les faits marquants de recherche en électronique de puissance, depuis leur positionnement dans le contexte international jusqu'à la démonstration expérimentale de nouveaux concepts. Grâce à l'encadrement de nombreux chercheurs temporaires, des fonctions innovantes ont été proposées pour le pilotage des composants de puissance, ainsi que de nouvelles architectures de transistors de puissance intégrés. Les contributions sélectionnées concernent l'intégration d'organes périphériques de commande destinés à repousser les compromis de conception classiques en électronique de puissance. De nombreuses pistes de recherche sont présentées, faisant intervenir des compétences pluridisciplinaires telles que l'électronique de puissance, la physique du semiconducteur, la microélectronique et la nanophotonique.

Mots clés *Intégration, électronique de puissance, gate driver, isolation optique.*

NEW PARADIGM FOR THE INTEGRATION OF POWER ELECTRONICS DEVICES AND DEDICATED CIRCUITS

Abstract This manuscript presents the highlights of my research in the field of power electronics, from their position in the international context to the experimental demonstration of new concepts. While supervising several temporary researchers, innovative functions have been proposed for driving power semiconductor devices, and new architectures of integrated power transistors. Selected contributions to the integration of gate driver solutions are presented to repel classic design tradeoffs in power electronics. Key research perspectives are presented, involving multi-disciplinary skills such as power electronics, semiconductor physics, microelectronics and nanophotonics.

Keywords *Integration, power electronics, gate driver, optical isolation.*