



HAL
open science

Intégration de capacités verticales débouchantes au sein d'un interposeur silicium

Olivier Guiller

► **To cite this version:**

Olivier Guiller. Intégration de capacités verticales débouchantes au sein d'un interposeur silicium. Electronique. Université Grenoble Alpes, 2015. Français. NNT : 2015GREAT021 . tel-01207346

HAL Id: tel-01207346

<https://theses.hal.science/tel-01207346v1>

Submitted on 30 Sep 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Nano électronique et Nano technologies**

Arrêté ministériel : 7 août 2006

Présentée par

Olivier Guiller

Thèse dirigée par **Emmanuel Defay** et

Co-encadrée par **Sylvain Joblot** et **Yann Lamy**

préparée au sein du **CEA LETI**

dans l'**École Doctorale Électronique, Électrotechnique,
Automatique & Traitement du signal (EEATS)**

Intégration de capacités verticales débouchantes au sein d'un interposeur silicium

Thèse soutenue publiquement le **2 avril 2015**,
devant le jury composé de :

M. Bernard FLÉCHET

Professeur, Université de Savoie, Président

Mme Ulrike LÜDERS

Chargée de recherches, CRISMAT Caen, Rapporteur

M. Francis CALMONT

Professeur, INSA Lyon, Rapporteur

M. Emmanuel DEFAY

Ingénieur-chercheur, LIST Luxembourg, Examineur, Directeur de thèse

M. Sylvain JOBLOT

Ingénieur-docteur, STMicroelectronics, invité

M. Yann LAMY

Ingénieur-chercheur, CEA LETI, invité



Remerciements

Ce travail de thèse a été réalisé au sein du laboratoire LETI au CEA Grenoble, en collaboration avec STMicroelectronics Crolles. Cette étude a été possible grâce à l'implication de nombreuses personnes que je tiens à remercier.

Je souhaite tout d'abord remercier les membres du jury qui ont accepté d'évaluer mon travail, Francis Calmont et Ulrike Lüders rapporteurs de cette étude, ainsi que Bernard Fléchet président de ce jury.

Un grand merci à Sylvain Joblot ainsi qu'à Yann Lamy pour m'avoir encadré, formé et conseillé tout au long de ces quatre années, ainsi qu'à Emmanuel Defay, mon directeur de thèse. Merci à Pascal Chausse et à Alexis Farcy pour avoir pris le temps de m'épauler lorsque j'en ai eu besoin.

L'étude de ce nouveau type de composant intégré a demandé de nombreux développements dans divers domaines de la microélectronique, les personnes y ayant pris part sont nombreuses.

Côté LETI, merci à toute les personnes des labos LP3D et LECA qui m'ont aidé directement ou indirectement : Gilles Simon, Jean-Phillipe Colonna, Jean Charbonnier, Alice Ruckly, Cyrille Laviron, Monique Drevon, Severine Cheramy, Christine Ferrandon, Roselyn Segaud, Stéphane Nicolas, Stephan Borel... Merci aussi à Catherine Brunet-Manquat et à David Bouchu pour leur aide en termes de préparation d'échantillons.

Merci aux acteurs de la salle blanche du LETI ayant permis le développement des différents procédés de fabrication du TSC : Stéphane Minoret, Larissa Djomeni Weleguela, Thierry Mourier, Mathilde Gottardi, Barbara Glück, Helen Grampeix, Anne Roule, Olivier Pollet, Nathalie Bernard-Henriques, Denis Renaud, Nacima Allouti, Alain Charpentier, Pascal Besson ainsi qu'aux opérateurs en poste. Je souhaiterais aussi remercier les personnes du DACLE/Dolphin qui m'ont aidé à dessiner les deux jeux de masques réalisés durant la thèse : Omar Saïd Ali et Julien Vallée.

Merci à Romain Anciant et à Patrick Brunet-Manquat du laboratoire de fiabilité et de caractérisation des microsystèmes pour leur aide au sujet des mesures électriques sous pointes. De la même manière, merci à Denis Mariolle pour la mise en place de la mesure par SSRM.

Côté STMicroelectronics, merci aux membres de mon équipe : Perceval Coudrain, Pierre Bar, Remi Velard, Christophe Aumont, Jean Michailos, Yoan Civet, Fabienne Ponthenier, Fabrice Casset, Laurent-Luc Chapelon, Nicolas Hotellier, Sandrine Lhostis, Cédric Chappaz ainsi que Pascal Ancey. Merci aussi à Julien Ferrand et Mickael Gros-Jean pour leur aide sur le développement du procédé de dépôt de Ta₂O₅ ALD, ainsi qu'à Frédéric Hasbani pour les discussions sur le découplage du PDN.

Je souhaiterais remercier l'équipe de l'IMEP-LAHC Chambéry avec qui j'ai longuement collaboré pendant mes travaux de thèse : Khadim Dieng, Phillipe Artillan, Cedric Bermont et Thierry Lacrevez.

Merci à mes collègues thésards, Benjamin Vianne, Papa Momar Souare, Yann Beilliard, Simon Gousseau, Remi Coquant, Sebastien Mermoz, Mélanie Brocard et particulièrement à Alizée Taluy, Julien Berthaud et Benoit Savornin.

Enfin, merci à mes amis, à ma famille, mais surtout à Astrid pour m'avoir soutenu durant ces quatre années.

Table des matières

Introduction générale.....	7
Chapitre I : Contexte de l'étude	10
1 Introduction.....	11
2 Évolution des architectures en microélectronique	12
2.1 Évolution et limitations des méthodes d'intégration classique	12
2.1.1 Historique de l'évolution de l'industrie microélectronique	12
2.1.2 Étapes de réalisation d'un CI classique.	13
2.1.3 Limitation de l'intégration bidimensionnelle	14
2.2 Du 2D vers la 3D	16
2.2.1 Évolution des architectures planaires.	16
2.2.2 Principe et apports de l'intégration 3D.	18
2.3 L'interposeur	21
2.3.1 L'approche 2.5D.....	21
2.3.2 Différentes méthodes de réalisation des TSV	24
2.4 Étapes de réalisations d'un interposeur silicium passif.	26
2.4.1 Réalisation des <i>Through Silicon Vias</i> (TSV).....	27
2.4.2 Réalisation des niveaux d'interconnexions damascènes	29
2.4.3 Réalisation de la face arrière de l'interposeur	30
3 La capacité Métal-Isolant-Métal.....	34
3.1 Principe de fonctionnement.....	34
3.2 Critères de performances.....	36
3.2.1 Valeur de capacité	36
3.2.2 Courant de fuite	36
3.2.3 Linéarité en tension.....	37
3.2.4 Tension de claquage	38
3.3 Revue bibliographique des empilements MIM intégrés	39
3.3.1 Les matériaux candidats à l'intégration MIM.....	39
3.3.2 L'évolution des diélectriques haute permittivités.....	40
3.3.3 Développement de nouvelles architectures	41
4 Le réseau de distribution de puissance dans les circuits 3D	44
4.1 Principes et enjeux du Power Delivery Network.....	44
4.1.1 Rôle du <i>Power delivery network</i>	44

4.1.2	Les sources de bruit dans le PDN	46
4.2	Principe et limites du découplage capacitif.....	47
4.2.1	Principe du découplage capacitif.....	47
4.2.2	Impact des effets parasites de la capacité sur la tension à ses bornes.....	50
4.2.3	Mise en parallèle de capacités de découplages au sein du PDN.....	51
4.2.4	Effet d'antirésonance dans le PDN.....	52
4.3	Évolution des PDN pour l'intégration 3D	54
4.3.1	Limitation des méthodes de découplages classiques	54
4.3.2	L'augmentation de l'impédance du PDN dans les circuits 3D.....	57
4.3.3	Solutions de découplage capacitif pour les circuits 3D	58
5	Conclusion	62
Chapitre II : Présentation et évaluation de l'architecture du Through Silicon Capacitor.....		64
1	Introduction.....	65
2	Intégration d'une MIM de découplage 3D au sein de l'interposeur.....	65
2.1	Présentation du Through Silicon Capacitor.....	65
2.2	Objectifs de performances de la capacité TSC	67
2.3	Démarche de l'étude	68
3	Développement d'un modèle analytique RC distribué	69
3.1	Dimensionnement de la structure et hypothèses de modélisation.....	70
3.2	Modélisation du flanc de TSC.....	71
3.3	Prise en compte de la non-conformité des couches déposées en flanc de via.....	74
3.4	Intégration de la contribution du fond du TSC au modèle RC	76
4	Influence de l'architecture d'un TSC unitaire sur l'ESR et la capacité.....	77
4.1	Les matériaux évalués et leurs caractéristiques.....	77
4.2	Influence de la géométrie du via	78
4.2.1	Influence du diamètre du via	78
4.2.2	Influence de la profondeur du via	79
4.3	Influence de l'épaisseur et de la non-conformité des couches.....	80
4.3.1	Influence de la conformité du diélectrique sur la valeur capacitive	80
4.3.2	Influence de l'épaisseur et de la conformité de l'électrode inférieure sur l'ESR.....	81
5	Évaluation des performances électriques d'une matrice de TSC.....	83
5.1	Modélisation d'une matrice de TSC	83

5.2	Influence de la géométrie et du design de la matrice sur les performances électriques du composant.....	84
5.2.1	Influence du type de procédé de réalisation des TSV sur la densité de capacité	84
5.2.2	Influence de la densité de la matrice sur la densité de capacité	86
5.2.3	Influence de la taille de la matrice sur les valeurs de capacité, d'ESR et d'ESL.....	87
6	Conclusion	89

Chapitre III : Développement de procédés..... 90

1	Introduction.....	91
2	Développement du dépôt de l'empilement MIM dans des vias profonds	91
2.1	Procédés de dépôt du diélectrique	92
2.1.1	Critères de choix du procédé de dépôt diélectrique.....	92
2.1.2	Présentation des procédés de dépôt étudiés.....	93
2.2	Procédé de dépôt des électrodes.....	95
2.2.1	Critères de choix du procédé de dépôt des électrodes.....	95
2.2.2	Présentation du procédé de dépôt de TiN par MOCVD	96
2.3	Caractérisation de l'empilement MIM déposé dans des vias profonds.....	97
2.3.1	Conformité de l'empilement MIM déposé dans des vias profonds.....	97
2.3.2	Résistivité d'une couche de TiN en flanc de tranchée	106
3	Développement de la co-intégration TSC/TSV	112
3.1	Principe de co-intégration du TSC et du TSV au sein d'un interposeur « via middle » ...	112
3.2	Réalisation des étapes de co-intégration TSC/TSV.....	115
3.2.1	Principe de l'électrolyse de cuivre pour le remplissage de vias.....	115
3.2.2	Développement de l'étape de partial-filling	119
3.2.3	Remplissage du via post <i>partial-filling</i> et dépôt MIM.....	122
3.3	Influence du <i>partial-filling</i> sur les performances électriques de la capacité	123
3.3.1	Influence du <i>partial-filling</i> sur la valeur capacitive	123
3.3.2	Influence du <i>partial-filling</i> sur l'ESR du composant	125
4	Conclusion	127

Chapitre IV : Évaluation des performances du composant TSC intégré à l'interposeur128

1	Introduction.....	129
2	Caractérisation électrique de matrices capacitives.....	129
2.1	Présentation du dispositif de test	129

2.1.1	Réalisation du démonstrateur	130
2.1.2	Présentation des structures de test	132
2.2	Caractérisation électrique de matrices de TSC.....	133
2.2.1	Caractérisation de la valeur capacitive.....	133
2.2.2	Caractérisation du courant de fuites.....	136
2.2.3	Comportement fréquentiel du composant	137
3	Simulation électromagnétique d'une matrice de TSC.....	142
3.1	Présentation de la méthodologie	142
3.1.1	Présentation de la structure modélisée	142
3.1.2	Extraction du modèle électrique du TSC	145
3.2	Résultats des simulations électromagnétiques par éléments finis	147
3.2.1	Simulation d'un TSC unitaire	147
3.2.2	Simulation de matrices de TSC	149
4	Conclusion	157
	Conclusion générale et perspectives.....	158
	Références	161
	Annexes.....	167
1	Modélisation analytique distribuée du flanc de TSC.....	167
1.1	Modélisation simplifiée du flanc de TSC	167
1.2	Modélisation complète du flanc de TSC.....	170
1.3	Modification du modèle analytique RC pour inclure le <i>partial-filling</i>	172
2	Concept du TSC comportant plusieurs couches diélectriques	175
	Résumé	177
	Abstract	178

Introduction générale

L'invention du transistor en 1947 a été une véritable révolution technologique permettant la miniaturisation des systèmes électroniques, ses nombreuses retombées ont indubitablement façonné nos sociétés actuelles. Le microprocesseur (inventé par Intel en 1969) a ensuite permis l'essor de l'ordinateur personnel, transformant notre façon de travailler et de communiquer. Aujourd'hui, les composants microélectroniques sont présents dans de nombreux objets de notre quotidien, et le panel d'utilisations possible du transistor est difficilement quantifiable.

Depuis sa naissance, les efforts de l'industrie de la microélectronique se sont focalisés sur la réduction de la taille des composants, principalement à travers la diminution de la longueur de grille des transistors MOSFET¹, paramètre clé des technologies CMOS². Cependant, depuis quelques années, cette course effrénée à la miniaturisation se heurte à certaines barrières physiques poussant l'industrie à envisager de nouvelles solutions d'intégrations afin d'augmenter les performances et la diversification des fonctionnalités offertes par les circuits intégrés.

Parmi ces nouvelles solutions, l'intégration 3D consiste à empiler plusieurs puces de silicium les unes sur les autres. Cette nouvelle voie est rendue possible grâce au *Through Silicon Via* (ou TSV) un élément permettant d'assurer le transport électrique vertical entre les deux faces d'un substrat de silicium. Cependant, l'intégration 3D exploitera son plein potentiel lorsque de fines couches de silicium seront reportées les unes sur les autres à l'échelle de la plaque. L'atteinte de cet objectif nécessitera un certain temps à arriver à maturité, puisqu'il requiert l'évolution de tout l'écosystème industriel. Malgré tout, certaines solutions intermédiaires en termes de maturité technologique sont d'ores et déjà commercialisées, c'est le cas de l'interposeur silicium dont l'utilisation renvoie souvent au terme d'intégration 2.5D, à mi-chemin entre intégration planaire classique et intégration 3D.

L'interposeur silicium consiste en un substrat de silicium aminci comportant des TSV, sur lequel sont reportées plusieurs puces de silicium à haute densité d'intégration. L'objet résultant est ensuite reporté sur le BGA³ lui-même reporté sur le PCB⁴. L'interposeur fait donc office de plateforme d'intégration permettant le placement côte à côte de puces hétérogènes ne comportant pas de TSV. Le principal avantage de l'interposeur est la haute densité d'interconnexion atteignable grâce à l'utilisation du silicium, permettant ainsi d'augmenter les bus de communication entre les puces qui y sont reportées. Cependant, la complexification de la structure induite par l'ajout de l'interposeur a pour effet d'augmenter l'impédance du réseau de distribution de puissance (ou PDN⁵), pouvant nuire à l'intégrité de l'alimentation des différents composants présents dans le circuit intégré et mener à des erreurs de traitement logique de la part des transistors.

Les capacités de découplage sont depuis longtemps utilisées au sein du PDN afin stabiliser l'alimentation du circuit intégré, mais il devient ici nécessaire d'en intégrer au sein de l'interposeur afin d'assurer l'intégrité de l'alimentation des structures tridimensionnelles.

¹ MOSFET : *Metal Oxide Semiconductor Field Effect Transistor* (Transistor à effet de champ à grille métal-oxyde)

² CMOS : *Complementary Metal Oxide Semiconductor*

³ BGA : *Ball Grid Array* (Matrice de billes)

⁴ PCB : *Printed Circuit Board* (Circuit imprimé)

⁵ PDN : *Power Delivery Network* (Réseau de distribution de puissance)

L'objectif de cette thèse de doctorat consiste en l'intégration d'un nouveau type de capacité intégrée au sein de l'interposeur silicium. Cette capacité *Métal-Isolant-Métal* (MIM) tridimensionnelle appelée *Through Silicon Capacitor (ou TSC)* a pour particularité de traverser l'intégralité de l'épaisseur de l'interposeur et d'être co-intégrée avec les TSV. Les travaux réalisés sont détaillés dans les quatre chapitres constituant ce manuscrit.

Le premier chapitre traite du contexte de l'étude. Une première partie est consacrée à l'évolution des architectures en microélectroniques : en partant des circuits planaires classiques et leurs limitations, jusqu'aux intégrations tridimensionnelles. L'interposeur sera ici l'objet d'une discussion et les étapes menant à sa réalisation seront présentées. Une seconde partie se focalise sur la capacité MIM : son principe de fonctionnement, ses critères de performances, ainsi qu'une revue des empilements MIM présents dans la littérature. Le sujet de la dernière partie de ce chapitre porte sur le PDN à travers son principe de fonctionnement et ses enjeux ainsi que l'utilité et les limitations du découplage capacitif en son sein. S'en suivra une discussion sur l'évolution des PDN dans le cadre de l'intégration 3D.

Le second chapitre est consacré à la présentation de la capacité traversante faisant l'objet de cette étude ainsi qu'à l'évaluation de son architecture. Tout d'abord, l'architecture du TSC sera présentée, ainsi que les objectifs de performances à atteindre. Une démarche d'étude sera alors proposée pour répondre aux nombreux défis de cette intégration innovante. De nombreux paramètres géométriques et matériaux influencent les performances électriques de cette capacité, un modèle analytique a donc été développé afin de quantifier leurs influences dans le but de définir une architecture performante. Le développement de ce modèle sera tout d'abord présenté, puis l'influence des différents paramètres sera évaluée, à l'échelle d'un TSC unitaire dans un premier temps, puis à l'échelle d'une matrice de TSC.

Le troisième chapitre traite du développement des procédés propres à la réalisation du TSC. Une première partie est consacrée au développement des méthodes de dépôts des couches constituant l'empilement MIM dans des vias profonds ainsi qu'à leurs caractérisations. La seconde partie de ce chapitre traite quant à elle du développement de la méthode de co-intégration des TSC et TSV au sein de l'interposeur : son principe, sa réalisation, sa caractérisation ainsi que son influence sur les performances électriques du composant.

Le quatrième et dernier chapitre de ce manuscrit est consacré à l'évaluation des performances du composant TSC intégré à l'interposeur, cette évaluation a été opérée par deux approches. Dans un premier temps, un démonstrateur de test simplifié comportant des matrices capacitives a été réalisé puis caractérisé, les résultats issus des mesures sous pointes feront l'objet d'une discussion. Dans un second temps, une campagne de simulations électromagnétiques par éléments finis a permis d'évaluer les performances électriques du composant lorsque ce dernier est intégré à l'interposeur silicium. La méthodologie de simulation sera tout d'abord présentée, puis les résultats issus de cette dernière donneront lieu à une discussion.

Chapitre I : Contexte de l'étude

1 Introduction

Les architectures tridimensionnelles (3D) apparaissent être une solution prometteuse dans le développement technologique des circuits microélectroniques intégrés, permettant l'augmentation de la performance globale des circuits, ainsi que la diversification de leurs applications. Cependant, l'arrivée à maturité de ces architectures complexes nécessite l'évolution de tout l'écosystème industriel, à travers le développement de nombreuses briques technologiques toutes aussi variées les unes que les autres.

L'objectif de ce premier chapitre est la définition du contexte dans lequel s'est déroulé le développement de la capacité traversante faisant l'objet de cette étude.

La première partie de ce chapitre traite de l'évolution des architectures en microélectronique, en prenant pour base la définition des méthodes d'intégration classiques et leurs limitations. L'évolution de ce schéma classique planaire vers les solutions d'intégration 3D fera l'objet d'une discussion mettant en avant les avantages ainsi que les défis imposés par ces dernières. La plateforme d'intégration qu'est l'interposeur silicium sera ensuite introduite, ainsi que l'approche dite « 2.5D » qui en découle, permettant une solution intermédiaire entre une intégration planaire et une intégration 3D. Enfin, les étapes technologiques menant à la réalisation d'un interposeur silicium seront exposées.

La seconde partie traite de la technologie Métal-Isolant-Métal utilisée pour le développement de notre capacité traversante. Le principe de fonctionnement d'un condensateur MIM sera introduit ainsi que ses critères de performances. Une revue bibliographique d'empilements MIM intégrés sera proposée, que ce soit d'un point de vue matériaux ou architectures présents dans la littérature.

La troisième et dernière partie de ce chapitre se concentre sur l'application de notre capacité : le découplage au sein du *Power Delivery Network*. Tout d'abord, le rôle du PDN sera discuté, ainsi que les sources de bruit le perturbant. Ensuite, le principe de découplage capacitif permettant de garantir l'intégrité de l'alimentation du circuit sera mis en avant, ainsi que ses limitations. Enfin, des cas réels de circuits de découplage seront présentés, en partant des circuits planaires classiques, jusqu'aux solutions permettant le découplage de circuits tridimensionnels par l'introduction de condensateurs dans l'interposeur silicium.

2 Évolution des architectures en microélectronique

2.1 Évolution et limitations des méthodes d'intégration classique

2.1.1 Historique de l'évolution de l'industrie microélectronique

L'industrie de la microélectronique est née avec l'invention du transistor en 1947. La seconde partie du XX^{ème} siècle a vu l'essor de cette industrie grâce aux nombreuses applications de l'objet ainsi qu'aux avancées technologiques des procédés de fabrication et à une meilleure compréhension des matériaux semi-conducteurs. La taille des transistors n'a cessé de diminuer permettant l'augmentation de leur nombre au sein des processeurs. En 1965, Gordon Moore prédit que le nombre de transistors contenu dans un processeur doublerait approximativement tous les deux ans [1]. Cette extrapolation empirique (communément appelée la loi de Moore) tient lieu d'objectif de recherche et développement dans l'industrie de la microélectronique. La Figure I. 1 représente l'évolution du nombre de transistors présent dans les processeurs de 1971 à 2011. Cette évolution exponentielle est en adéquation avec les prévisions de Moore.

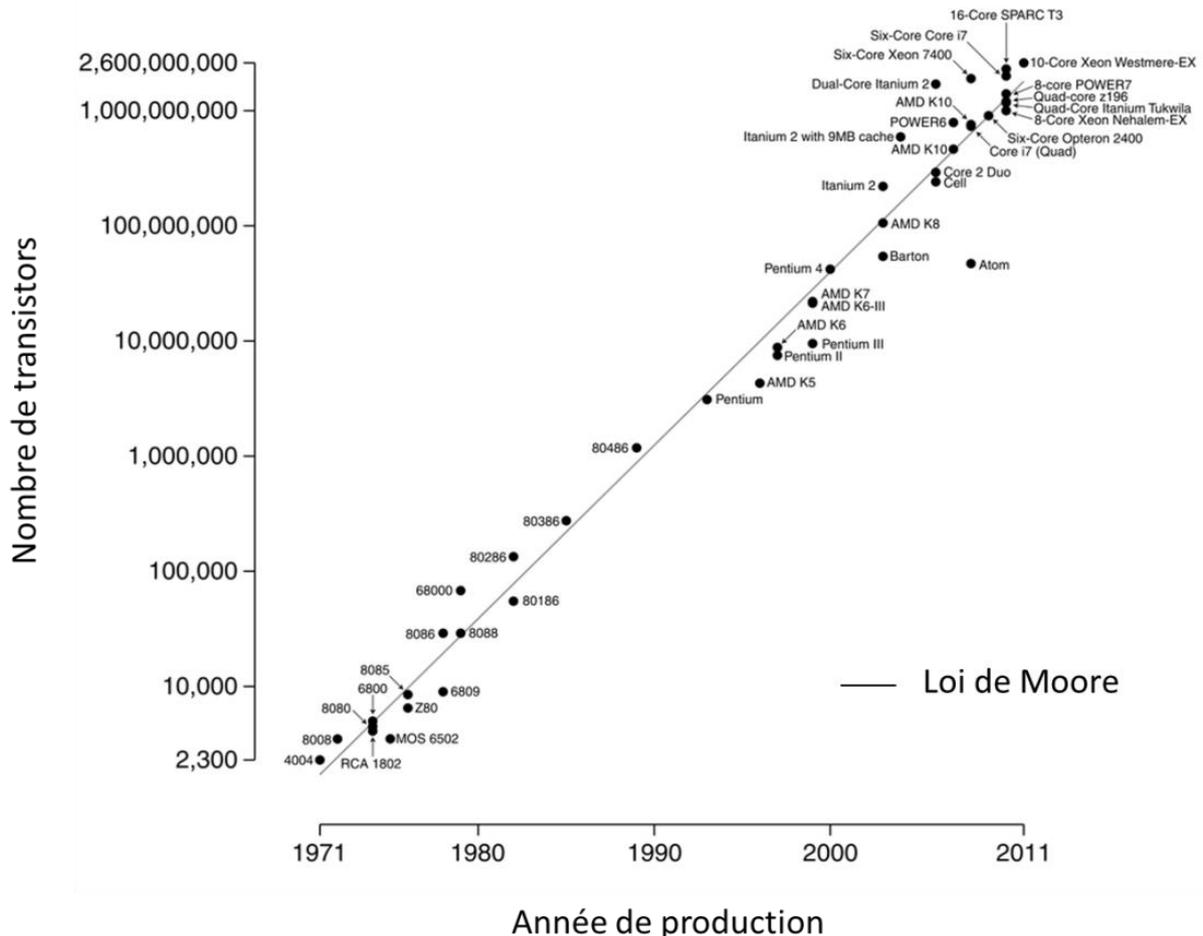


Figure I. 1 [2]: Nombre de transistors au sein des processeurs en fonction de leur année de production. La droite correspond à la loi de Moore de 1975 pour laquelle le nombre de transistors est doublé tous les 2 ans.

L'évolution de la puissance de calcul fournie par les transistors, la réduction des coûts de production ainsi que l'augmentation de l'utilisation des innombrables applications rendues possibles par le transistor ont entraîné l'explosion de l'industrie de la microélectronique des années 70 à nos jours. *L'International Technology Roadmap for Semiconductors* (ou ITRS) est une conférence annuelle regroupant des experts des différents domaines de la microélectronique, son but est la rédaction d'une feuille de route (ou *roadmap*) se basant sur la loi de Moore définissant les barrières techniques que les industriels doivent franchir à chaque génération de nœud technologique.

Si la loi de Moore s'est vérifiée pendant plus de quarante ans, la miniaturisation des transistors CMOS¹ ne peut continuer éternellement. Dans les premiers processeurs, les éléments les plus fins mesuraient 10 µm, l'ITRS prédit des tailles inférieures à la dizaine de nanomètres à l'horizon 2021 [3]. Dès lors que les dimensions critiques sont de l'ordre de la taille de quelques atomes, les propriétés électriques des éléments composant le transistor sont altérées, notamment avec l'apparition d'un large courant de fuite à travers l'oxyde de grille dû au phénomène quantique d'effet tunnel. Ces phénomènes s'imposent comme ultime limite à la réduction de la taille des transistors CMOS.

2.1.2 Étapes de réalisation d'un CI classique.

La fabrication d'un Circuit Intégré (ou CI) classique planaire depuis la réalisation des transistors jusqu'au report de la puce sur le circuit imprimé fait appel à de nombreuses étapes qui sont partitionnées de la manière suivante :

- La première partie consiste en la réalisation de composants actifs (transistors) et passifs (résistance, capacité, inductance) sur un premier niveau à travers une série d'étapes opérées sur une plaque de silicium (implantation ionique, dépôt, gravure, etc.). Plus communément appelée *Front End Of Line* (ou FEOL), cette partie du procédé de réalisation comporte les éléments les plus petits, par conséquent l'intégration la plus dense. Le nœud technologique d'une génération correspond à la moitié du pas de répétition des motifs les plus fins présents dans la structure (une cellule de mémoire flash pour la génération actuelle de 22 nm) [3].
- La seconde partie est la réalisation des niveaux d'interconnexions appelés *Back End Of Line* (ou BEOL). Ces niveaux consistent en une succession de couches d'isolants et de conducteurs permettant d'une part l'interconnexion des différents composants *front-end* afin d'assurer les fonctions logiques et d'autre part le relâchement progressif de la densité d'intégration afin de permettre une compatibilité entre la partie *front-end* et le monde extérieur. Tout comme le FEOL, le BEOL est opéré à l'échelle de la plaque de silicium.
- La dernière partie de la réalisation d'un circuit intégré est son assemblage. Tout d'abord, la plaque de silicium est découpée afin d'obtenir des puces unitaires, ces dernières sont ensuite placées sur un substrat le plus souvent organique (généralement un BGA²) qui composera la base du boîtier. Deux méthodes différentes permettent d'assurer la connexion électrique entre la puce et le substrat sous-jacent : la première est le câblage filaire (ou *wire bonding*), la seconde est le retournement de puce (ou *flip-chip*) nécessitant au préalable la réalisation d'interconnexions au niveau BEOL. Une fois la connexion réalisée, une résine d'enrobage est

¹ CMOS : *Complementary Metal Oxide Semiconductor*.

² BGA : *Ball Grid Array* – Type de substrat de boîtier supportant une matrice de billes de soudures.

appliquée sur la structure afin de protéger la puce de l'environnement extérieur. Le boîtier est finalement reporté sur le circuit imprimé (ou *Printed Circuit Board* - PCB) par soudure, ce dernier apportant l'alimentation électrique à la structure.

La Figure I. 2 illustre une puce logique unitaire composée des niveaux FEOL supportant les transistors et des niveaux d'interconnexions BEOL. Cette puce a été reportée sur un BGA par *flip-chip* à l'aide de μ -pillar avant d'être enrobée d'une résine protectrice. L'objet résultant communément dénommé par le terme anglais *package* peut alors être soudé sur le PCB afin d'assurer sa fonction dans le circuit électronique global.

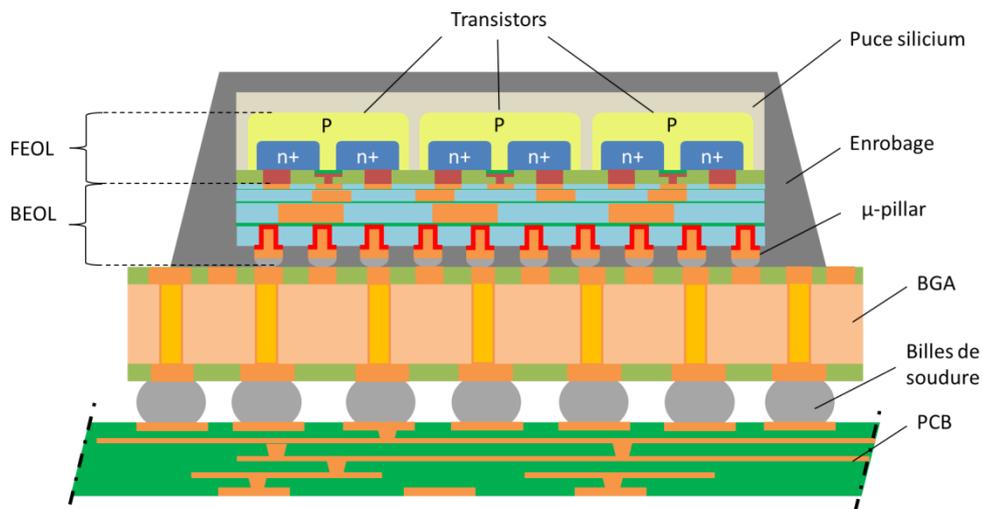


Figure I. 2 : Représentation d'un empilement puce logique/BGA/PCB.

2.1.3 Limitation de l'intégration bidimensionnelle

Depuis la création de l'industrie du semi-conducteur jusqu'à la fin des années 90, la réalisation des transistors (partie FEOL) a aussi bien dominée les performances que le coût des puces. La miniaturisation continue de leur longueur de grille entraîne l'augmentation de la densité de courant les traversant, la diminution de leur tension d'alimentation ainsi que la réduction du temps nécessaire à leur commutation.

Cependant, la réduction dimensionnelle des transistors entraîne invariablement celles des interconnexions les reliant entre eux ou à leur environnement extérieur. La Figure I. 3 [4] illustre les niveaux d'interconnexions métalliques d'une puce comportant des transistors MOSFET¹ : les niveaux métalliques sont séparés par des isolants et connectés verticalement entre eux par des vias de contact. La réduction de la longueur de grille des MOSFET a pour effet la réduction du pas de répétitions (ou *pitch*) des lignes métalliques du BEOL proches des transistors, augmentant ainsi leur densité. De plus, le nombre de niveaux de métaux composant le BEOL nécessaires à la redistribution

¹ MOSFET : *Metal-Oxide-Semiconductor Field-Effect Transistor* (Transistor à effet de champ à grille métal-oxyde)

des signaux depuis les transistors vers l'extérieur de la puce doit être supérieur, augmentant par conséquent la longueur moyenne des interconnexions ainsi que le coût de la puce [5].

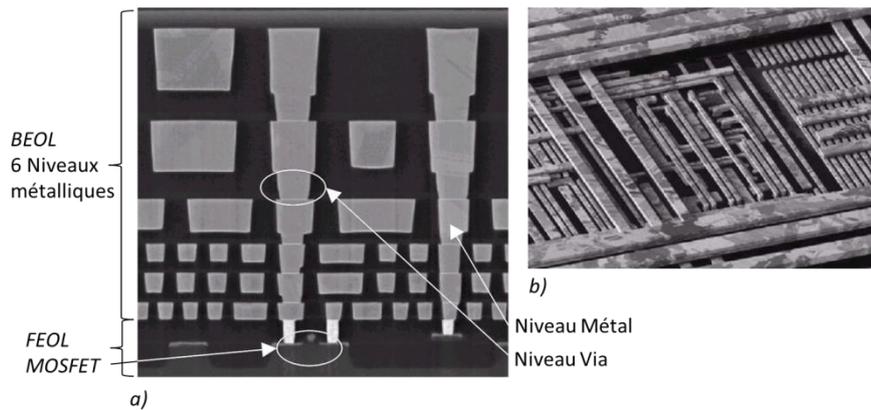


Figure 1. 3 [4] : a) Vue en coupe d'une puce comportant des transistors MOSFET et son réseau d'interconnexion métallique. b) Vue de dessus du réseau d'interconnexions.

La miniaturisation des niveaux FEOL influe sur les propriétés électriques des niveaux d'interconnexion BEOL : leur résistance R se voit augmentée de même que leur capacité parasite C . Cela a pour effet l'augmentation du délai de transmission RC entre les transistors au sein même du circuit intégré, ou vers l'extérieur de la puce. Lorsque ce délai devient plus grand que le temps de commutation des transistors, les interconnexions deviennent le facteur limitant des performances du circuit intégré. La Figure 1. 4 [6] illustre cette problématique en montrant l'évolution des délais de propagation en fonction des nœuds technologiques concernant les portes logiques seules (en vert), les interconnexions seules (en jaune et bleu selon les matériaux utilisés) ou les deux combinés (en marron et gris).

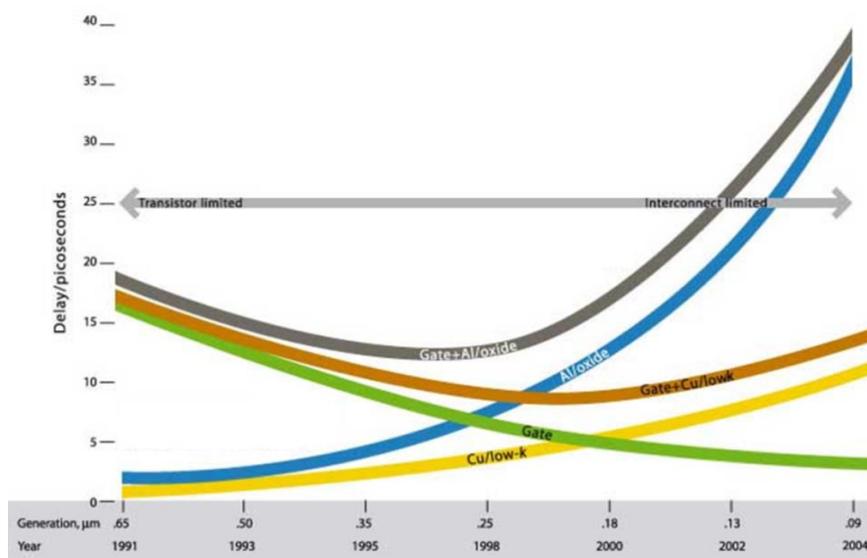


Figure 1. 4 [6]: Évolution des délais de propagation en fonction du nœud technologique.

On constate que malgré la diminution du délai de commutation, l'augmentation du délai d'interconnexion domine le temps de propagation global à partir des nœuds inférieurs à 250 nm. Afin de limiter le délai induit par le BEOL il est nécessaire d'utiliser un métal de faible résistivité, c'est pourquoi les industriels ont remplacé l'aluminium par le cuivre dans les niveaux d'interconnexions dans la fin des années 90. De même, l'utilisation d'un isolant de plus faible permittivité diélectrique que le traditionnel oxyde de silicium SiO_2 permet de limiter les capacités parasites. Comme on peut le voir sur la Figure I. 4, le délai engendré par l'utilisation de lignes en aluminium isolées par un oxyde de silicium (courbe bleue) est plus important que celui engendré par l'utilisation de lignes en cuivre isolées par des diélectriques de faible permittivité diélectrique (courbe jaune). Ces améliorations ont toutefois leurs propres limites physiques et il apparaît clairement que la miniaturisation des transistors ne suffit plus à augmenter à elle seule les performances des circuits intégrés.

Les performances des systèmes CMOS actuels sont restreintes par le délai de propagation du signal au sein des niveaux d'interconnexion BEOL. L'augmentation du nombre de niveaux de métaux composant le BEOL est une solution coûteuse et l'utilisation de répéteurs, bien qu'ils permettent la diminution du délai de propagation, occupent une surface importante de la puce et augmentent la consommation du circuit en raison de leur nature active [7]. Ces limitations rendent la tendance du *More Moore* (consistant à la poursuite de la loi de Moore) coûteuse et incertaine.

2.2 Du 2D vers la 3D

2.2.1 Évolution des architectures planaires.

Les circuits électroniques actuels ont des spécifications de plus en plus avancées et de plus en plus diversifiées, poussées par la demande du marché grand public (calcul, système embarqué, technologies sans fil...). En résumé, les circuits se doivent de proposer une plus grande puissance de calcul, un faible encombrement, une faible consommation énergétique ainsi qu'une plus large palette de fonctionnalités. De plus, leur coût de fabrication ainsi que leur temps de conception doivent être réduits au maximum.

Face à la diversification des applications nécessitant, outre un gain en performance, une augmentation des fonctionnalités du circuit, de nouveaux types de systèmes « tout intégrés » ont vu le jour. Cette approche consistant à regrouper de nombreuses applications au sein d'un même système est appelée « *More Than Moore*¹ ». On distingue deux types d'architectures : la première est le *System on Chip (SoC)*², la seconde est le *System in Package (SiP)*³. Ces deux types d'intégrations sont décrites ci-après.

System on Chip

Le SoC a pour principe le regroupement sur une même puce de composants actifs et passifs fabriqués en même temps à l'aide de procédés compatibles. Ainsi, plusieurs blocs assurant des fonctions différentes peuvent être intégrés ensemble, qu'ils soient logiques (CPU⁴, GPU¹, mémoire)

¹ Face à la grande diversité des appellations, les conventions de l'ITRS ont été utilisées dans ce manuscrit.

² SoC : *System on Chip* (système sur puce)

³ SiP : *System in Package* (système en boîtier)

⁴ CPU : *Central Processing Unit* (unité centrale de calcul).

ou non (circuit analogique, RF², bus de communication) [8]. Cette approche offre une grande diversité de produits tout en assurant un faible encombrement, de larges bandes passantes entre les blocs fonctionnels ainsi qu'une faible consommation énergétique [9]. La Figure I. 5 [10] représente l'architecture 28 nm du SoC « Tegra K1 » de Nvidia développée pour le marché mobile. Il intègre au sein d'une même puce 5 cœurs logiques, un GPU composé de 192 unités de calcul ainsi que de nombreux blocs actifs assurant diverses fonctions telles que l'encodage audio-vidéo, la gestion de l'affichage et des périphériques, etc.

Puisque tous les composants du SoC sont réalisés au même niveau, ils partagent le même nœud technologique imposé par la réalisation des éléments les plus fins de la structure rendant leur coût de production de plus en plus cher à chaque génération. De plus, leur conception est très exigeante : le fait d'intégrer ces différentes fonctions sur un même design requiert des moyens de calculs ainsi qu'un savoir-faire très avancé entraînant un temps de développement relativement long. Enfin, l'intégration SoC est soumise aux limitations induites par les niveaux d'interconnexions comme discuté précédemment.

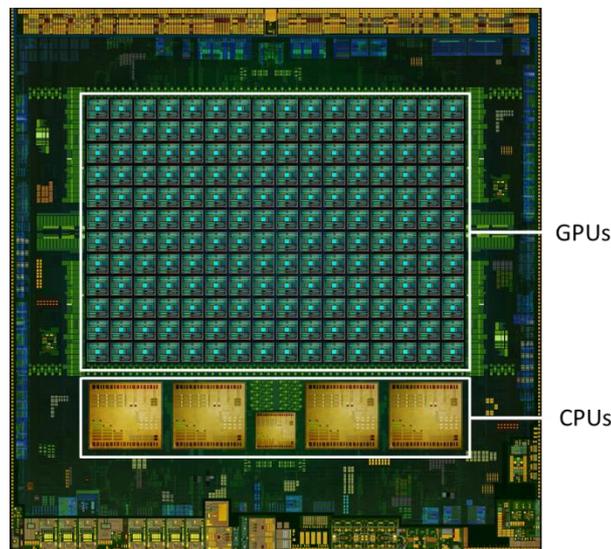


Figure I. 5 [10] : Représentation de l'architecture du SoC « Tegra K1 » de Nvidia embarquant 5 cœurs logiques A15, un GPU composé de 192 unités de calcul ainsi que de multiples blocs actifs assurant diverses fonctions.

System in Package - SiP

L'architecture SiP permet le regroupement de plusieurs éléments hétérogènes issus de technologies différentes au sein d'un même boîtier : circuits intégrés, batteries, MEMS³, composants RF [9]... Chaque élément faisant appel à des procédés de fabrication radicalement différents, une intégration sur puce de type SoC n'est pas envisageable. Ces éléments sont donc fabriqués séparément puis regroupés sur un même substrat avant d'être interconnectés par *wire-bonding* ou

¹ GPU : *Graphics Processing Unit* (unité de calcul graphique).

² RF : Radio Fréquence.

³ MEMS: *Microelectromechanical systems* (Microsystème électromécanique).

flip-chip. Le *SiP* a l'avantage de diminuer considérablement l'espace occupé comparé à une architecture standard où tous les éléments hétérogènes sont assemblés sur la carte mère. Cependant, le coût de fabrication d'un tel système est très élevé et le type de connexion utilisé peut détériorer les performances et la fiabilité des circuits.

Si le *wire-bonding* permet l'empilement de plusieurs puces l'une sur l'autre, le câblage nécessite une place non négligeable dans le *package*. De plus, le nombre d'I/O¹ est limité en raison de leur positionnement sur la périphérie de la puce. À l'inverse, la technique de *flip-chip* impose un placement des puces côte à côte, cependant leur taille est réduite et le nombre d'I/O disponible sous la puce s'en voit augmenté. La Figure I. 6 [11] [12] illustre ces deux méthodes de connexion : la partie a) montre l'image MEB d'une puce reportée et câblée par *wire-bonding*, la partie b) est une vue en coupe d'une puce mémoire reportée par *flip-chip* sur le substrat du package.

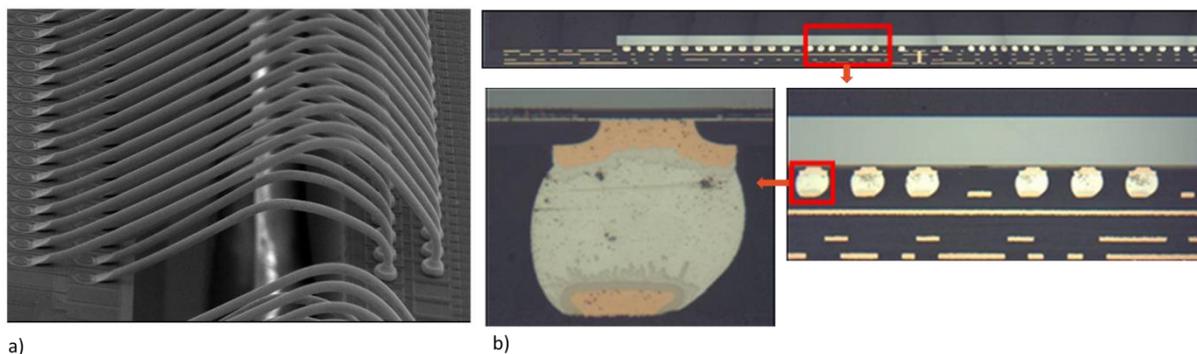


Figure I. 6 :a) [11] Méthode de connexion par *wire-bonding* : un pitch de 55 μm est utilisé entre deux câbles de 0.1 mm. b) [12] Méthode de connexion par *flip-chip* : la puce est reportée sur le substrat de package à l'aide de billes de soudure.

Une solution idéale consiste à tirer parti de ces deux méthodes : empiler plusieurs puces les unes sur les autres tout en proposant des connexions ne nécessitant pas d'espace supplémentaire. Une telle architecture est possible à travers l'intégration 3D.

2.2.2 Principe et apports de l'intégration 3D.

En réponse aux limitations discutées précédemment, l'intégration 3D apparaît comme une solution prometteuse en étant à la frontière entre l'approche « *more Moore* » s'attelant à la miniaturisation des dispositifs CMOS et l'approche « *more than Moore* » visant la diversification des fonctionnalités à l'aide d'intégration hétérogène. L'intégration 3D consiste à empiler plusieurs puces de silicium les unes sur les autres par *flip-chip* en les connectant verticalement. Cette technique est rendue possible grâce au *Through Silicon Via* (ou TSV), cette brique technologique permet le transport électrique vertical à travers le substrat de silicium.

Les solutions d'intégration tirant parti de ce nouveau type de connexions sont nombreuses et trouvent leurs utilités dans diverses applications telles que les capteurs d'image CMOS [13],

¹ I/O: *Input/Output* (Entée/Sortie).

l'empilement de puces mémoires les unes sur les autres ou associées à un processeur [14] [15], allant jusqu'à des processeurs dont l'architecture est répartie sur plusieurs niveaux [16]. La Figure I. 7 [17] représente un empilement de quatre puces mémoires reportées les unes sur les autres, les TSV assurent le contact électrique d'une face à l'autre de chaque puce amincie.

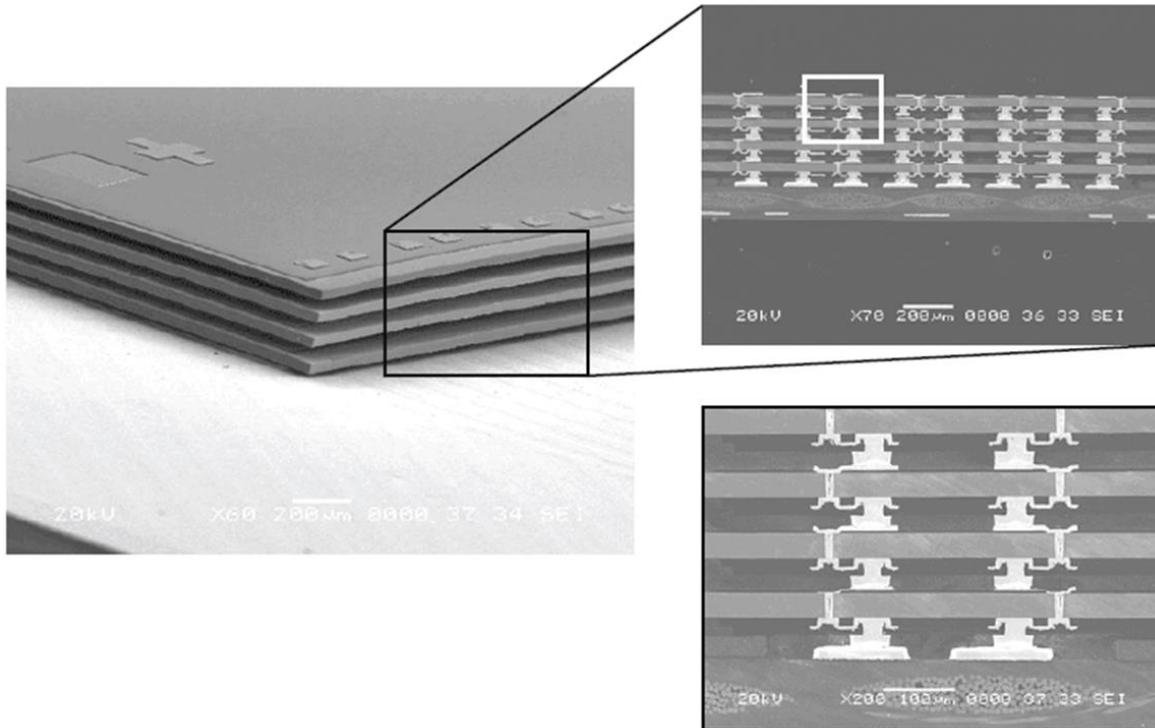


Figure I. 7 [17]: Empilement de 4 puces mémoires réalisé par Amkor. Le diamètre des TSV est de $10\ \mu\text{m}$ et l'épaisseur de substrat aminci est de $50\ \mu\text{m}$.

L'intégration tridimensionnelle permet l'amélioration des circuits intégrés à travers les principaux aspects discutés ci-dessous :

Réduction de l'encombrement

L'avantage le plus évident de l'intégration 3D est la réduction de la surface occupée par le système (plus communément appelé *footprint*), dû à l'empilement des puces par rapport à une intégration sur un même plan comme illustré dans la Figure I. 8. De plus, les TSV permettent l'optimisation de la transmission des signaux de la structure grâce à l'utilisation de l'axe vertical. Cela permet de réduire encore le *footprint* en diminuant l'aire occupée par les lignes d'interconnexions planaires traditionnelles du BEOL.

Augmentation des performances électriques

Comme il a été mentionné précédemment, les nœuds technologiques avancés sont limités par le temps de propagation au sein des niveaux d'interconnexions de la puce, notamment en raison de la longueur moyenne des lignes métalliques portant le signal entre les blocs actifs d'un même plan. L'empilement tridimensionnel des différents blocs permet la diminution de cette longueur moyenne, comme on peut le voir sur la Figure I. 8 où la ligne orange représente la longueur d'interconnexion maximale entre deux blocs actifs dans une intégration 2D ou 3D d'un système équivalent. Cette réduction a pour effet la diminution des délais de transmission du système [18].

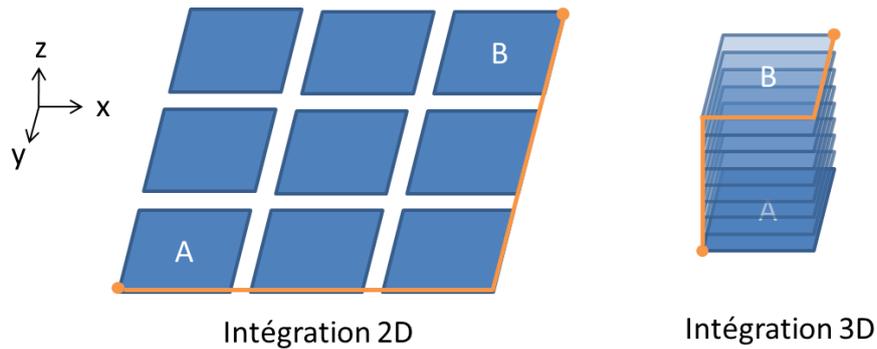


Figure 1. 8 : Comparaison de l'encombrement en intégration 2D ou 3D, la ligne orange illustre la longueur d'interconnexion maximale entre deux blocs actifs.

En comparaison à un *SiP*, l'utilisation conjointe des TSV et des fortes densités d'intégrations offertes par le substrat de silicium permet une augmentation considérable du nombre d'I/O disponible entre deux puces empilées l'une sur l'autre. Cette amélioration des bus de communication inter-puce ouvre la porte à des applications hautes performances nécessitant de larges bandes passantes.

Intégration hétérogène haute densité

Un intérêt majeur de l'approche 3D consiste en la possibilité d'utiliser des puces de nature hétérogène à l'instar d'un *SiP*, tout en conservant les hautes performances du *SoC*. Pour simplifier, chaque étage de la structure peut être issu d'une plaque de silicium différente ayant subi son propre procédé de fabrication. Ainsi, des technologies radicalement différentes et dont la co-intégration sur une même plaque est impossible, peuvent cohabiter les unes au-dessus des autres dans un système 3D. De plus, les vitesses de communication inter-blocs sont supérieures à travers les TSV en comparaison à un *SoC* planaire, ce qui est dû à la réduction de la longueur moyenne d'interconnexion [18].

Si les architectures tridimensionnelles permettent une amélioration des circuits intégrés ainsi qu'une diversification de leurs fonctions, leur réalisation nécessite le développement de nombreuses briques technologiques qui leur sont propres telles que la réalisation de TSV, l'amincissement de substrat, les nombreuses méthodes de report des puces par collage direct ou indirect, etc. De plus, de telles architectures impliquent une coordination du FEOL, du BEOL et de l'assemblage qui sont aujourd'hui des domaines relativement cloisonnés dans l'industrie de la microélectronique. Outre les techniques, les règles et les outils de design et de simulation doivent aussi être repensés et uniformisés.

L'intégration 3D offrira tout son potentiel lorsqu'elle s'opérera en reportant de fines couches de silicium les unes sur les autres en collage direct à l'échelle de la plaque de silicium et en les reliant grâce à de hautes densités d'interconnexions. Cependant, de telles structures mettront du temps à atteindre leur maturité puisqu'elles requièrent l'évolution de tout l'écosystème industriel. Une solution intermédiaire en termes de maturité technologique réside dans l'utilisation du collage indirect et de l'interposeur dont il sera question dans la partie suivante.

2.3 L'interposeur

2.3.1 L'approche 2.5D

L'intégration 3D haute densité (ou *3D-IC*¹) ne sera pas mature avant quelques années. Cependant, de nombreuses étapes technologiques intermédiaires permettent de profiter d'architectures tridimensionnelles aux densités d'intégration certes moindres, mais offrant déjà des avantages certains en comparaison aux intégrations de type *SoC* et *SiP* décrites précédemment. Une de ces solutions consiste en l'intégration côte à côte de puces sur un interposeur, on se réfère souvent à cette méthode par le terme « 2.5D ». Cette approche ne nécessitant pas la fabrication de TSV dans les puces logiques reportées peut être considérée comme une étape intermédiaire entre une intégration classique planaire et une intégration 3D, où l'empilement vertical de puces actives tel que mémoire sur logique est possible (voir Figure I. 9) [19]. À l'image du substrat organique d'un *SiP*, l'interposeur est une plateforme d'intégration permettant le report et l'interconnexion de puces hétérogènes.

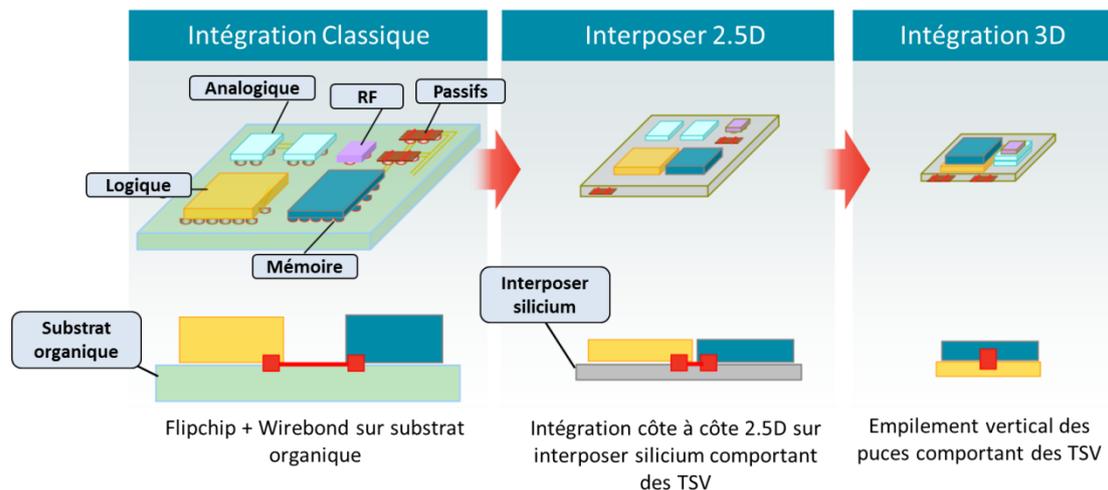


Figure I. 9 [19] : Progression des technologies d'intégration 3D illustrant l'évolution du placement des composants hétérogènes ainsi que des longueurs d'interconnexions critiques.

Il est nécessaire de distinguer trois types d'interposeur, leur différence réside dans le matériau utilisé pour sa réalisation : l'interposeur organique, verre ou silicium. L'interposeur organique a été le premier à être développé et est largement majoritaire, les vias sont réalisés mécaniquement ou par forage laser et présentent un diamètre minimum de 30 μm [20]. L'épaisseur de l'interposeur organique est comprise entre 60 et 450 μm , et la finesse des lignes de cuivre permettant le routage peut atteindre 9 μm . Les avantages de l'interposeur organique résident dans sa relative simplicité de fabrication (similaire à celui d'un PCB), et la présence de nombreuses infrastructures matures permettant sa réalisation. De plus, l'utilisation d'un substrat de type « panneau » permet la réalisation simultanée de nombreuses unités, tirant ainsi le coût de production à la baisse.

¹ 3D-IC : 3D integrated circuit (circuit intégré tridimensionnel)

Cependant, le principal désavantage que présente l'interposeur organique réside dans sa faible densité d'intégration. L'interposeur en verre utilise des *Through Glass Via* afin d'assurer le transport électrique vertical, il a l'avantage de montrer de bonnes performances en RF grâce à la faible constante diélectrique du verre et ouvre la porte à de nombreuses applications en optoélectronique. De plus, les larges surfaces d'intégration des procédés sur verre entraînent une baisse du coût de production. Cependant, l'intégration de composants passifs sur un interposeur verre est limitée aux niveaux d'interconnexions de celui-ci, et l'utilisation du verre restreint la densité de via maximale (le $pitch^1$ minimum des vias est de $50\ \mu\text{m}$ [21]) ainsi que l'épaisseur minimale du substrat aminci par rapport au silicium ($100\ \mu\text{m}$). L'interposeur silicium permet quant à lui l'intégration de composants actifs et passifs, de plus l'utilisation du silicium permet l'obtention de plus hautes densités de via ($pitch_{MIN} = 10\ \mu\text{m}$) et de routage ($<1\ \mu\text{m}$) ainsi que de plus faibles épaisseurs (jusqu'à $20\ \mu\text{m}$ [21]).

Les interposeurs haute densité sont aujourd'hui réalisés en silicium, avec des volumes et une fiabilité en nettes améliorations [19]. C'est à partir de ces interposeurs que les intégrations *SiP* les plus complexes vont pouvoir être envisagées. De plus, les substrats silicium offrent un très large panel de technologies et de matériaux qui permettent de réaliser des composants sur le substrat. Ainsi, l'intégration des capacités tridimensionnelles faisant l'objet de cette étude sera étudiée uniquement sur substrats silicium.

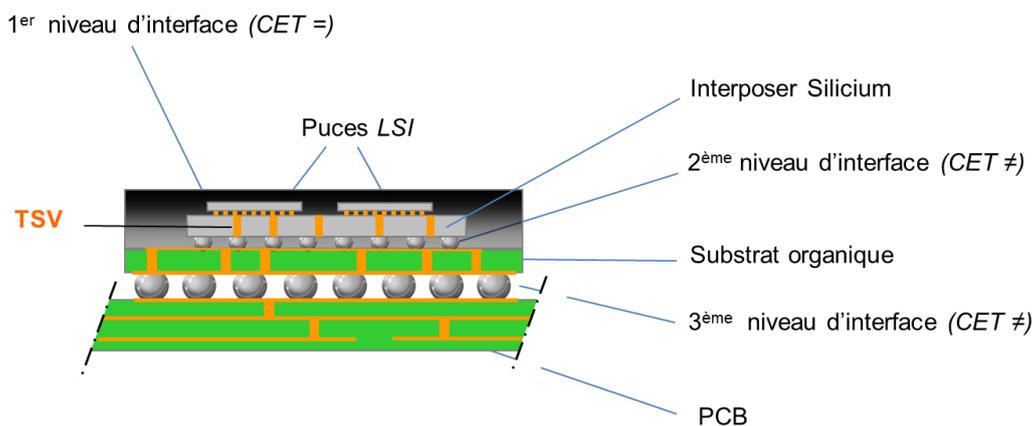


Figure I. 10 [22] : Illustration d'une architecture 2.5D. Les puces LSI sont reportées sur l'interposeur par l'intermédiaire de copper-pillar, lui-même reporté sur le substrat de boîtier à l'aide de billes de soudures.

La Figure I. 10 illustre une architecture 2.5D où les puces LSI^2 sont reportées sur l'interposeur par collage indirect en utilisant des *copper-pillar*³. L'interposeur est lui-même reporté sur le substrat de boîtier à l'aide de billes de soudures. En comparaison à un *SiP* classique, l'utilisation d'un substrat de silicium pour reporter les différentes puces permet l'augmentation de la densité d'interconnexions les reliant, par rapport à un substrat organique, augmentant de ce fait la bande passante de leur bus de communication. De plus, face à la miniaturisation des nœuds technologiques, l'interposeur permet de combler l'écart de densité d'intégration et d'interconnexions entre les puces *LSI* et le

¹ *Pitch* : Pas de répétition

² LSI : *Large Scale Integration* (intégration haute densité)

³ *Copper-pillar* ou μ -*pillar* : Micro-pilier de cuivre réalisé par croissance électrolytique permettant la réalisation d'interconnexions de faibles dimensions et de forte densité.

substrat organique sous-jacent ($pitch_{MIN} = 80\mu\text{m}$), grâce à des niveaux de redistribution adaptés (on appelle cette fonctionnalité le « *fan-out* »). L'interposeur permet en parallèle la réduction du nombre de niveaux de routage BEOL des puces reportées ainsi que ceux du substrat de boîtier et permet d'assurer un nombre important d'interconnexions avec ce dernier.

Puisque les puces reportées et l'interposeur partagent le même matériau, leur Coefficient d'Expansion Thermique (CET) est le même, réduisant de ce fait les contraintes thermomécaniques au 1^{er} niveau d'interface (voir Figure I. 10). L'interface critique en termes de gestion thermomécanique est déplacée entre l'interposeur et le substrat de boîtier (2^{ème} niveau d'interface dans la Figure I. 10). Enfin, l'interposeur permet le placement côte à côte de puces dont le procédé de fabrication peut être radicalement différent, permettant par exemple la désolidarisation des blocs d'un SoC par l'utilisation de différents nœuds technologiques, tout en conservant les hautes densités d'interconnexion propre au silicium.

La première architecture comportant un interposeur silicium a été commercialisée en 2011 par l'entreprise *Xilinx*, connue pour la mise sur le marché des FPGA¹ en 1985. La Figure I. 11 représente deux coupes MEB de l'architecture Virtex 7-2000T proposée par *Xilinx* [19] : la structure se compose de 4 puces FPGA de technologie 28 nm (comportant au total 2 millions de cellules logiques) reportées sur l'interposeur silicium par des μ -bumps dont le *pitch* est 40 μm . L'interposeur silicium utilise une partie du back-end du nœud technologique 65 nm, son épaisseur est de 100 μm et 4 niveaux de métaux sont présents en face avant (en regard avec les puces logiques). Les TSV assurant le contact électrique de la face avant à la face arrière ont un diamètre d'environ 10 μm . L'interposeur est à son tour reporté sur le BGA par *flipchip* à l'aide de billes de soudure dont le *pitch* est 200 μm . L'objet résultant peut être soudé sur le PCB grâce aux billes du BGA possédant un *pitch* de 2 mm. En comparaison à l'utilisation de larges FPGA monolithiques, l'interposeur silicium permet, outre une intégration de puces hétérogènes, une réduction de la puissance consommée ainsi qu'une augmentation du taux de transfert des données (de 25 Gb/s à 28 Gb/s) [19].

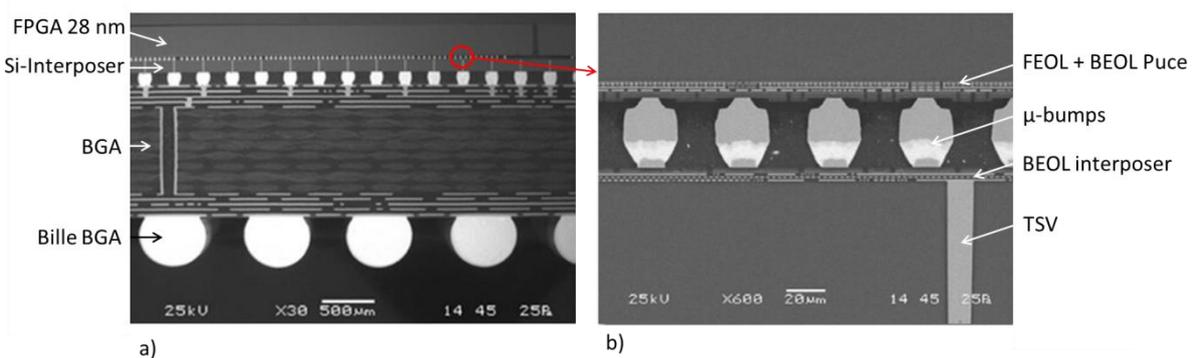


Figure I. 11 : Coupes MEB de l'architecture Virtex-7 commercialisée par Xilinks. a) Vue d'ensemble de l'empilement FPGA/Interposeur/BGA. b) Interface FPGA/Interposeur.

¹ FPGA : Field-Programmable Gate Array (Circuit logique programmable après fabrication)

Bien que l'approche 2.5D utilisant l'interposeur peut être considérée comme une étape technologique intermédiaire entre une intégration planaire et une véritable intégration 3D, les performances et la relative simplicité d'intégration hétérogène offertes par celle-ci peuvent se révéler suffisantes pour de nombreuses applications, faisant plutôt de l'approche 2.5D une voie parallèle à celle de l'intégration 3D. De plus, bien que l'interposeur s'avère être l'élément permettant l'approche 2.5D, son utilisation ne se limite pas à celle-ci. Il peut tout aussi bien être utilisé pour supporter des empilements 3D de puces actives comportant des TSV, tout en apportant les avantages discutés ci-dessus. Si dans un premier temps l'interposeur silicium assure une fonction passive, l'intégration possible de zone active ouvre la porte à un large panel d'applications. Comme nous le verrons dans la partie suivante, la réalisation d'un interposeur silicium peut prendre différentes voies, notamment en termes de réalisation des TSV, en fonction de l'application visée.

2.3.2 Différentes méthodes de réalisation des TSV

La réalisation des TSV n'est pas restreinte à une seule méthode de fabrication : selon l'application visée ainsi que la nature de l'objet sur lequel ils sont intégrés, les étapes de réalisation propres aux TSV ne seront pas réalisées au même moment sur la plaque de silicium. Ces différentes approches ont une influence sur les procédés de réalisation, en termes de budget thermique autorisé et de géométrie des TSV. La Figure I. 12 [23] illustre cette disparité exposant 3 des principales méthodes de réalisations des TSV.

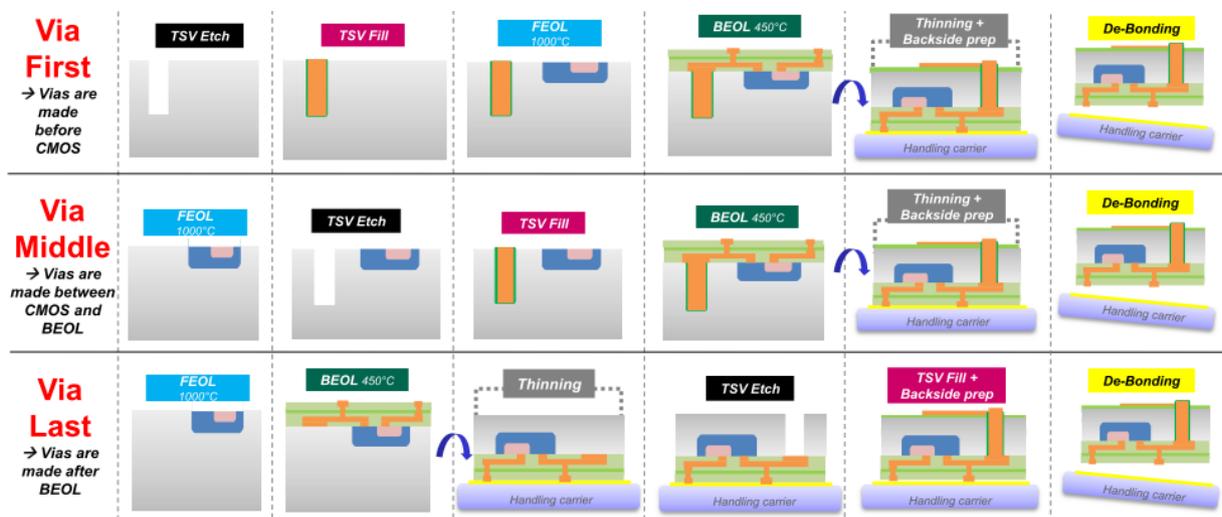


Figure I. 12 [23]: Illustration des procédés de réalisation des intégrations de TSV « via First », « Via Middle » et « Via Last ».

- « **Via-first** » : La réalisation des TSV est opérée avant celles des transistors (le FEOL). Cette approche permet l'utilisation d'un oxyde thermique pour réaliser l'isolation entre le matériau conducteur remplissant le via et le substrat de silicium. Cependant, les hautes températures des procédés FEOL (~ 1000 °C) proscrirent l'utilisation de certains matériaux comme le cuivre en tant que conducteur, car ce dernier diffuserait dans le substrat de silicium, altérant les

propriétés électriques du semi-conducteur et donc celles des composants actifs. Ce procédé pourra néanmoins être adapté à la fabrication d'un interposeur exclusivement passif.

- « **Via-Middle** » : Les TSV sont fabriqués entre la réalisation du FEOL et celle des niveaux d'interconnexion BEOL. Cette approche à l'avantage de permettre l'utilisation du cuivre pour remplir le TSV, la diffusion de ce dernier dans le silicium étant limitée par les plus basses températures des procédés BEOL (~ 450 °C).
- « **Via-Last** » : Les TSV sont fabriqués après la réalisation des niveaux FEOL et BEOL en face avant ainsi que l'amincissement du substrat, les TSV sont dans ce cas réalisés depuis la face arrière du substrat de silicium. Les principaux défis de ce type d'intégration résident dans la difficulté d'alignement FAv^1/FAr^2 lors de l'étape de lithographie des vias, moins précis qu'un alignement classique FAv/FAv , mais également dans l'utilisation d'un collage temporaire et de procédés basses températures (< 250 °C) afin d'assurer la tenue de la résine de collage. Ces difficultés influent sur la géométrie des vias, les épaisseurs des matériaux d'isolation, ou métalliques...

La variété des méthodes de réalisation de TSV ne se résume pas aux 3 types discutés ci-dessus, on peut en effet citer la méthode « *via after bonding* » [23] consistant à réaliser les TSV après le report de deux puces l'une sur l'autre, ainsi que la méthode « *via bridge* » où la reprise du contact électrique de chaque TSV gravé en FAv est réalisée en FAr à l'aide de vias de plus petites dimensions [22].

Le type de TSV réalisé a une influence directe sur les matériaux et les procédés utilisés (en fonction notamment des budgets thermiques autorisés) ainsi que sur la géométrie du via. Des TSV de faibles diamètres permettent l'obtention d'un grand nombre d'I/O propice aux intégrations 3D haute densité, leur faible profondeur de gravure dans le silicium entraîne de faibles épaisseurs de substrat aminci. Les TSV de plus larges diamètres limitent le nombre d'I/O pour une surface fixée et le substrat aminci est plus épais, assurant une meilleure tenue mécanique de l'objet final. L'utilisation de substrats épais (200-300 µm) peut se révéler intéressante, notamment pour l'approche « *silicon package* » où le BGA classique est remplacé par un interposeur qui peut être directement reporté sur le PCB [22]. Ainsi, selon l'application visée, certains types de réalisation des TSV seront favorisés.

Dans le cadre de notre étude, nous nous focaliserons sur l'intégration de TSV au sein d'un interposeur passif, ne comportant donc pas de transistors. La géométrie des TSV au sein de cet interposeur est un paramètre de premier ordre influant sur les propriétés électriques de la capacité faisant l'objet de cette étude. Ainsi, deux types d'intégrations seront distingués au long de ce manuscrit. Il sera question dans le premier cas de l'intégration de type « *via-middle* » dont les TSV présentent un diamètre Φ se situant dans la gamme 5-15 µm et dont le facteur de forme (ou *aspect ratio* – AR) se situe autour de 8. La seconde est l'intégration de type « *via-last* » faisant appel à des TSV de diamètre Φ compris entre 40 et 100 µm pour un facteur de forme se situant autour de 3.

L'approche 2.5D apparaît comme une étape intermédiaire dans le développement de l'intégration tridimensionnelle et l'utilisation de l'interposeur silicium permet l'apport de

¹ FAv : Face avant du substrat de silicium

² FAr : Face arrière du substrat de silicium

nombreuses fonctionnalités dans le circuit électronique. Sa fabrication peut prendre différentes voies en fonction de l'application visée, influant directement sur les étapes technologiques de réalisation utilisées, la description de ces étapes fera l'objet de la prochaine section.

2.4 Étapes de réalisations d'un interposeur silicium passif.

Comme il a été décrit dans la partie précédente, il existe plusieurs façons de réaliser les TSV en fonction de l'application visée. Par conséquent, le procédé de réalisation de l'interposeur complet est adapté au type de TSV qui y est intégré. La partie suivante décrit les étapes de réalisation d'un interposeur silicium, cependant les méthodes de réalisation sont nombreuses et cette description n'a pas pour but d'être exhaustive. Ainsi seront décrites ici uniquement les techniques utilisées dans le cadre de la présente étude.

L'interposeur décrit ici ne possède pas de partie active et les TSV sont réalisés avant les niveaux d'interconnexions BEOL en face avant. Un niveau RDL en face arrière assure le routage du signal. La réalisation des interconnexions d'interface telle que les μ -pillar en face avant ou les *solder bump* en face arrière ne sera pas évoquée puisqu'elles ne sont pas nécessaires à la réalisation de la capacité traversante faisant l'objet de ce manuscrit. La Figure I. 13 représente une vue en coupe d'un interposeur silicium « *via-middle* » réalisé au CEA LETI [24], les TSV sont visibles sur la tranche ainsi que le RDL et les *solder bump* de la face arrière.

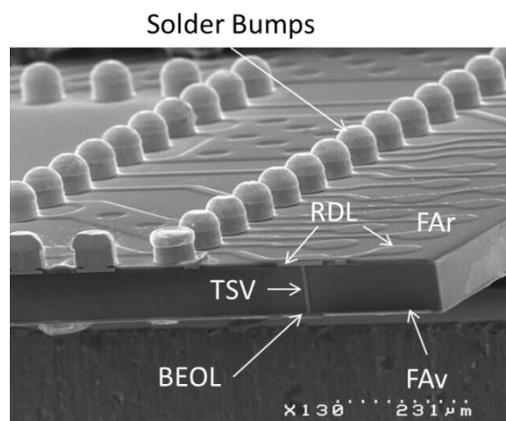


Figure I. 13 [24] : Coupe MEB d'un interposeur « *via-middle* » après descelllement, comportant les *solder bumps* de la face arrière, les TSV et les μ -pillar en face avant.

Les TSV sont fabriqués en premier sur la plaque de silicium et l'absence de transistor permet l'utilisation du cuivre comme matériau de remplissage. Ensuite, les niveaux d'interconnexions BEOL permettant le routage du signal en face avant sont réalisés. Enfin, les étapes en face arrière sont opérées, regroupant l'amincissement du substrat, le collage temporaire, la reprise de contact des TSV et la réalisation du niveau RDL.

2.4.1 Réalisation des *Through Silicon Vias* (TSV)

La réalisation des TSV constitue la première étape de la fabrication de l'interposeur, la Figure I. 14 illustre leur fabrication, les principales étapes sont décrites ci-après.

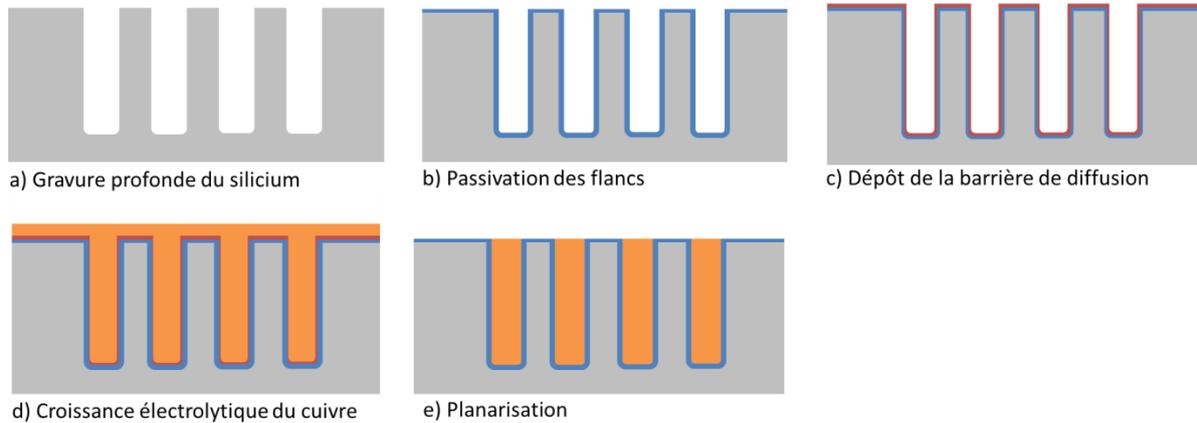


Figure I. 14 : Illustration des étapes de réalisations d'un TSV.

a) Gravure profonde

La première étape de la réalisation des TSV consiste en la gravure des vias dans le silicium. Afin de sélectionner les zones à graver, une étape de photolithographie est opérée avant la gravure. Selon l'épaisseur de la résine utilisée lors de cette étape ainsi que la profondeur du via souhaitée, l'utilisation d'un masque dur peut être nécessaire afin d'encaisser la gravure profonde sans commencer à graver le silicium. Le masque dur est un oxyde de silicium déposé avant l'étape de photolithographie, il est nécessaire de le graver avant réaliser la gravure profonde des TSV.

La gravure des TSV est opérée par *Deep Reactive Ion Etching* (ou DRIE¹) en utilisant le procédé Bosch [25]. Ce procédé de gravure par plasma (illustré sur la partie a) de la Figure I. 15) permet l'obtention de cavités verticales profondes, il consiste en une série répétée de réactions de gravure anisotrope du silicium par SF₆, suivie d'une passivation par C₄F₈ générant un dépôt CF₂. Ce dépôt de passivation permet d'inhiber la gravure lors du prochain cycle SF₆, protégeant la partie déjà gravée. Les cycles gravure/passivation sont répétés jusqu'à l'atteinte de la profondeur souhaitée. Le procédé Bosch présente une sélectivité élevée ainsi qu'une gravure particulièrement verticale. La partie b) de la Figure I. 15 représente le flanc d'un TSV 12 x 80 μm post gravure Bosch, la morphologie « en vague » du flanc de gravure, caractéristique du procédé Bosch est appelé *scalloping*.

¹ DRIE : *Deep Reactive Ion Etching* (gravure ionique réactive profonde)

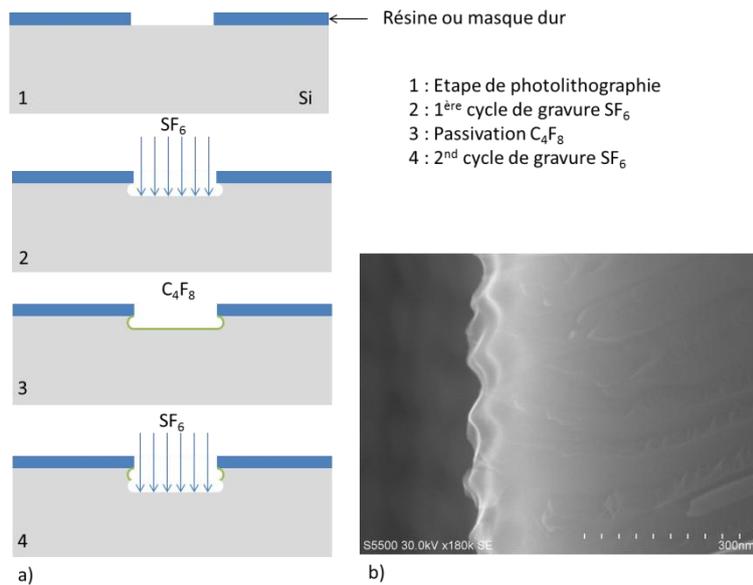


Figure I. 15 : a) Description des cycles gravure/passivation du procédé de gravure Bosch. b) Coupe MEB post gravure Bosch du flanc d'un TSV 12 x 80 μm .

b) Passivation des flancs du TSV

Après la réalisation des cavités par gravure profonde, il est nécessaire de procéder à l'isolation électrique entre le matériau conducteur et le silicium du substrat afin d'éviter les courts-circuits. Deux paramètres définissent la méthode de dépôt du diélectrique utilisé, le premier est le budget thermique autorisé, le second est la conformité du dépôt au sein du TSV. Dans le cas d'un interposeur passif où les TSV sont réalisés avant les niveaux BEOL, la meilleure solution consiste à faire croître un oxyde de silicium par oxydation thermique : la couche résultante présente une excellente conformité et permet de surcroît l'atténuation du *scalloping* induit par la gravure profonde puisque qu'une partie du silicium est consommée pendant la croissance. Les procédés de dépôts par SACVD¹ ou PECVD² permettent quant à eux l'isolation du via à plus faible température, au détriment de la conformité de la couche dans le TSV.

c) Barrière de diffusion

Le cuivre montre une forte tendance à diffuser dans le silicium, altérant de ce fait ses propriétés semi-conductrices. La couche de passivation ne suffit pas à elle seule à stopper la diffusion du cuivre dans silicium, l'ajout d'une couche d'un matériau « barrière » est nécessaire pour bloquer les atomes de cuivres. Les matériaux couramment utilisés sont en général des nitrures, comme le nitrure de titane (TiN), le nitrure de tantale (TaN) ou le nitrure de tungstène (WN) déposé dans la plupart des cas par PVD³ ou CVD¹.

¹ SACVD : *Sub-Atmospheric pressure Chemical Vapor Deposition* (dépôt chimique en phase gazeuse à pression sous-atmosphérique).

² PECVD : *Plasma-Enhanced Chemical Vapor Deposition* (dépôt chimique en phase gazeuse assisté par plasma).

³ PVD : *Physical Vapor Deposition* (dépôt physique en phase gazeuse).

d) Remplissage des TSV

Le dépôt du cuivre de remplissage est opéré par voie électrolytique, cependant les fortes résistivités des matériaux utilisés comme couches barrière ne permettent pas l'utilisation de ces dernières pour un dépôt conforme dans le TSV. Ainsi, il est nécessaire de déposer au préalable une couche d'accroche de cuivre réalisée en PVD ou CVD afin d'établir un contact électrique favorable pour l'électrolyse.

La méthode de remplissage dépend de la taille du TSV. En effet, pour de larges diamètres et de fortes profondeurs (de type « *via-last* ») le dépôt métallique recouvre les flancs et le fond du TSV uniquement, le remplissage complet du TSV demandant un temps de dépôt prohibitif (voir Figure I. 16-b). Dans le cas de TSV de plus faibles diamètres (de type « *via-middle* »), il est possible de remplir complètement la cavité de cuivre par l'intermédiaire d'un procédé de croissance appelé « *bottom-up* ». Cette méthode permet la localisation de la croissance sur un front évoluant du fond vers le haut du TSV, évitant ainsi la formation de cavité dans le cuivre (voir Figure I. 16-a).

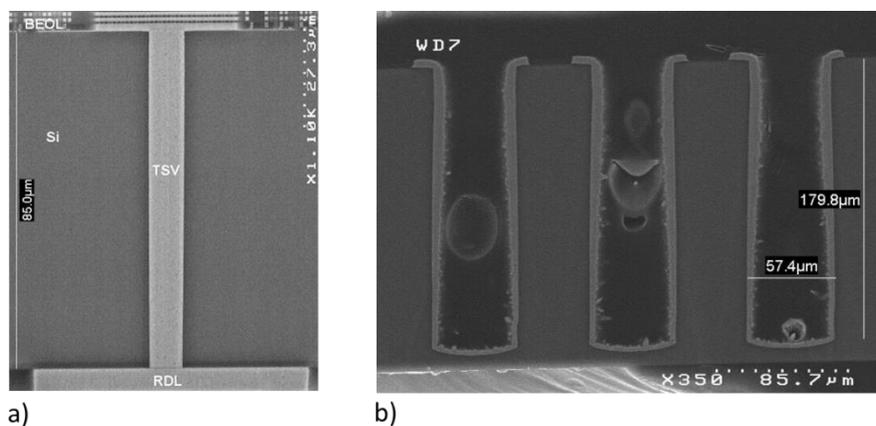


Figure I. 16 : a) [24] Vue en coupe d'un TSV $10 \times 80 \mu\text{m}$ rempli de cuivre assurant la connexion entre le BEOL en FAv et le RDL en FAR. b) [22] Vue en coupe d'un TSV $60 \times 180 \mu\text{m}$ partiellement rempli de cuivre.

e) Planarisation de la face avant

Dans le cas où des niveaux BEOL sont présents au-dessus du TSV, la dernière étape consiste au retrait des couches de cuivre et de barrière de diffusion en surface de la plaque. Ce retrait est effectué par CMP² : un procédé de polissage tirant parti des propriétés abrasives et corrosives d'un *slurry*³ utilisé conjointement avec une polisseuse automatique. Cette planarisation de la face avant est nécessaire avant la réalisation des niveaux des niveaux BEOL.

2.4.2 Réalisation des niveaux d'interconnexions damascènes

Une fois les TSV fabriqués, les niveaux d'interconnexions de l'interposeur sont réalisés en FAv. Ils permettent la redistribution des signaux entrent les différentes puces reportées sur l'interposeur,

¹ CVD : *Chemical Vapor Deposition* (dépôts chimiques en phase gazeuse).

² CMP : *Chemical Mechanical Planarization* (planarisation mécano-chimique)

³ *Slurry* : Mixture fluide d'un solide pulvérisé avec un liquide

ainsi que leur connexion électrique au BGA à travers les TSV. Le procédé utilisé pour la fabrication des niveaux d'interconnexion de l'interposeur est le même que celui largement utilisé pour la réalisation des niveaux d'interconnexion BEOL d'une puce active : il s'agit du procédé damascène. La Figure I. 17 l'illustre. La première étape du procédé damascène consiste au dépôt des couches de diélectriques permettant l'isolation électrique des lignes métalliques transportant les signaux (a). Ensuite, les deux couches de diélectriques sont gravées successivement par plasma (b). Puis, de la même manière que pour le TSV, il est nécessaire de déposer une barrière de diffusion du cuivre afin de protéger le substrat de silicium (c). Le cuivre utilisé pour conduire les signaux électriques est déposé par voie électrolytique (d) à l'aide d'une couche d'accroche sous-jacente. La dernière étape de réalisation d'un niveau d'interconnexion consiste en la planarisation de ce dernier par CMP(f).

Les étapes de a) à f) sont répétées autant de fois que nécessaire, selon le nombre de niveaux de métaux et vias de contact présent en face avant de l'interposeur. Les interconnexions d'interface destinées au report des puces actives sur l'interposeur sont ensuite réalisées.

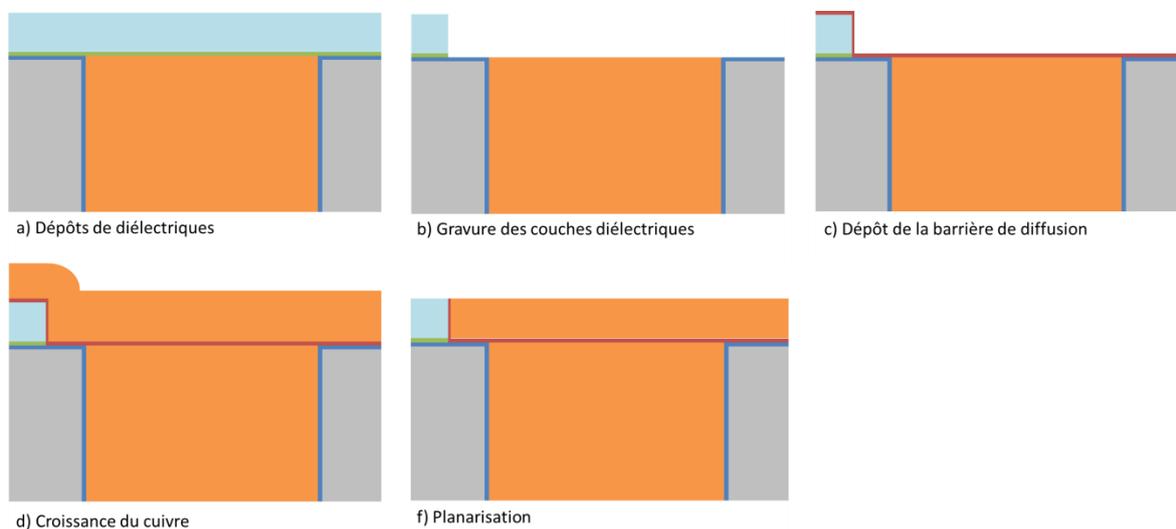


Figure I. 17 : Illustration du procédé damascène permettant la réalisation des niveaux d'interconnexions FAV de l'interposeur.

2.4.3 Réalisation de la face arrière de l'interposeur

Les étapes de fabrication en face arrière nécessitent le collage temporaire de la plaque de silicium sur une poignée (ou *handling carrier*) en silicium ou verre, cela facilite la manipulation des plaques amincies, de nature plus fragile. Lorsque les opérations sur la face avant de la plaque de silicium ont été réalisées, une dernière étape de passivation suivie de l'étalement d'une résine de collage permet le scellement de la plaque sur la poignée tout en protégeant les composants déjà réalisés. La plaque est retournée exposant sa face arrière permettant ainsi l'amincissement du substrat, la reprise de contact des TSV, ainsi que la réalisation du RDL assurant la transmission du signal vers les billes de soudure permettant le report de l'interposeur sur le BGA. La Figure I. 18 illustre la réalisation des procédés en face arrière de l'interposeur silicium, les principales étapes sont décrites ci-après.

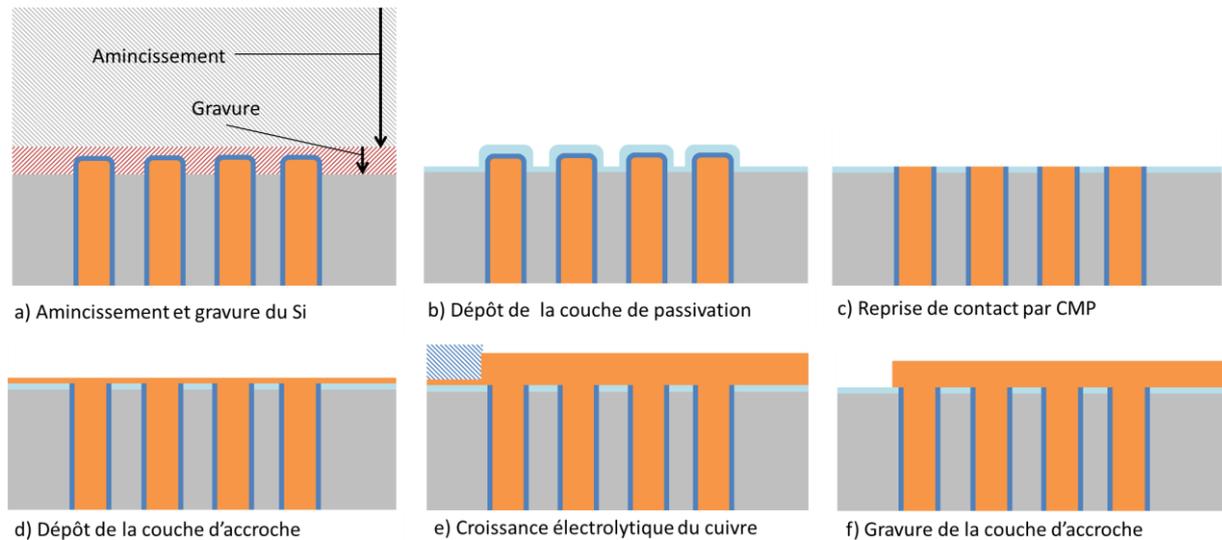


Figure I. 18 : Illustration de la réalisation des procédés en face arrière de l'interposeur silicium.

a) Amincissement et gravure du silicium

L'amincissement de la plaque de silicium (voir Figure I. 18-a) s'effectue en plusieurs étapes. Tout d'abord, une étape de *grinding*¹ permet le retrait du silicium sur la majorité de l'épaisseur du substrat. Bien que cette méthode ait l'avantage d'être rapide, le retrait de la matière est effectué de façon mécanique, ce qui a pour effet de créer une zone d'érouissage de quelques micromètres en surface du silicium et d'induire des contraintes mécaniques ainsi qu'une fragilité. Pour pallier à ce problème, l'amincissement est terminé à l'aide d'une étape de CMP permettant d'éliminer les défauts induits par le *grinding* pour obtenir une surface plane et ainsi libérer les contraintes mécaniques. À cette étape de la fabrication, les TSV sont toujours enfouis dans le silicium (à ~ 10 µm de la FAr).

Le fond des TSV est révélé par une étape de gravure par plasma SF₆ du silicium, la sélectivité de cette gravure permet la conservation de la couche de passivation déposée dans le TSV en FAv. La Figure I. 19 représente les fonds de TSV ressortant post gravure, on les appelle les *copper-nails*. À l'échelle de la plaque, on observe une variation bord/centre de la hauteur de ces *copper-nails*. Cette différence s'explique par la disparité de la profondeur de gravure des TSV lors de l'étape *DRIE* en face avant, par la non-uniformité de l'étape de scellement ainsi que par la non-uniformité de l'étape d'amincissement, notamment lorsque la courbure de la plaque est importante. L'addition de ces non-uniformités est communément appelée TTV pour *Total Thickness Variation*.

¹ *Grinding* : Meulage

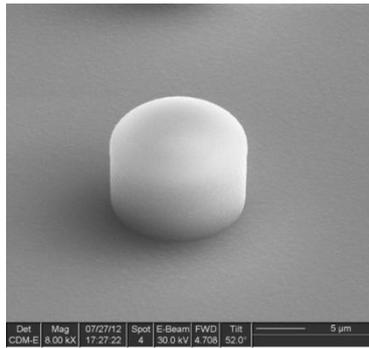


Figure I. 19¹ : Cliché MEB des copper-nails après révélation par gravure SF₆.

b) Dépôt de la couche de passivation

Le dépôt de la couche diélectrique de passivation assure une double fonction. La première est l'isolation électrique du RDL et du substrat. La seconde est de faciliter la reprise de contact lors de l'étape de planarisation des *copper-nails* : une trop faible épaisseur déposée peut induire la rupture du silicium à la base des *copper-nails* ainsi que la délamination des couches présentes sur le flanc du TSV. Le diélectrique utilisé pour la passivation est généralement un oxyde déposé par PECVD à basse température (≤ 200 °C) [24].

c) Reprise de contact par CMP

Cette étape de CMP permet l'ouverture des *copper-nails* et donc la reprise du contact électrique avec la face avant à travers le cuivre du TSV. La Figure I. 20 représente l'état du contact FAr du TSV après planarisation des *copper-nails*.

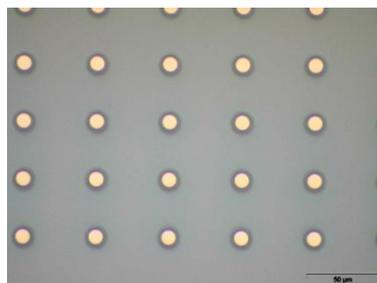


Figure I. 20 [24] : Vue optique de la face arrière après ouverture des *copper-nails* par CMP.

d) Dépôt des couches de barrière et d'accroche

Le RDL permettant le routage des signaux sur la face arrière de l'interposeur est déposé par croissance électrolytique, nécessitant le dépôt au préalable d'une couche barrière ainsi qu'une couche d'accroche en cuivre, toutes deux déposées par PVD sur toute la surface.

¹ Crédit image : Perceval Coudrain – CEA LETI/ST Microelectronics

e) Croissance électrolytique du cuivre

À la différence des croissances électrolytiques de cuivre abordées dans le cadre du remplissage du TSV et du procédé damascène, la croissance du RDL FAr n'est pas effectuée pleine plaque. La croissance est limitée aux zones sans résine (comme on peut le voir sur la Figure I. 18-e), cette dernière empêchant l'accès électrique à la solution électrolytique et donc le dépôt de cuivre. Ainsi, la plaque subit une étape de photolithographie entre le dépôt de la couche d'accroche et la croissance, l'alignement du masque s'effectue sur les TSV débouchés.

f) Gravure de la couche d'accroche

La gravure de la couche d'accroche par voie chimique permet d'isoler les lignes RDL les unes des autres. Elle est bien entendu effectuée après le retrait de la résine photosensible.

Le procédé de réalisation de l'interposeur « *via-middle* » tel qu'il a été présenté dans cette section a été démontré sur la plateforme de LETI par les équipes d'intégration 3D [24]. Dans le cadre de notre étude, c'est à dire l'intégration d'une capacité verticale débouchante au sein de cet interposeur, le procédé présenté servira de base de discussion, mais ne sera cependant pas la seule voie étudiée.

Conclusion sur l'évolution des architectures en microélectronique.

Cette première partie introductive a tout d'abord mis en avant l'évolution des circuits intégrés planaires « classiques » depuis l'invention du transistor. Les principales étapes de réalisation d'un tel circuit intégré ont été présentées ainsi que les limitations inhérentes à ce type d'architecture mettant en avant la nécessité d'évolution de ce schéma classique.

Dans un second temps, l'évolution des architectures planaires a été discutée à travers la présentation des architectures *SoC* et *SiP*, des solutions déjà commercialisées depuis plusieurs années. L'intégration 3D se situe à la frontière de *more Moore* et du *more than Moore*, ses apports sont nombreux, cependant cette voie pleine de promesses nécessite l'évolution de tout l'écosystème industriel et mettra un certain temps à atteindre sa maturité.

L'interposeur silicium et l'approche 2.5D associée constituent une étape intermédiaire, permettant de nombreuses applications innovantes tirant parti de certains aspects de l'intégration 3D, comme le *Through Silicon Via*. Enfin les étapes de réalisation d'un interposeur silicium passif ont été décrites, depuis la réalisation des TSV, jusqu'à la reprise du contact en face arrière de l'objet.

Bien qu'il apporte de nombreux avantages l'ajout d'un interposeur silicium dans le package entraîne un surcoût de ce dernier. Ainsi, pour être viable, l'interposeur doit permettre une évolution notable des performances des circuits ainsi que la diversification de ses applications potentielles. De plus, outre sa fonction de plateforme d'intégration hétérogène haute densité, l'interposeur permet l'intégration de composants actifs et passifs.

C'est dans ce contexte que la capacité faisant l'objet de cette étude a été développée : elle est intégrée à l'interposeur silicium et participe donc à sa fonctionnalisation.

3 La capacité Métal-Isolant-Métal

Le condensateur est un composant passif largement utilisé dans les circuits électroniques, qu'ils soient intégrés ou pas. Il peut être considéré comme une des briques essentielles à la réalisation de fonctions électroniques au côté des résistances et des inductances, car il permet la gestion du signal électrique dans le système.

Il existe de nombreux types de capacités et autant de procédés permettant leur réalisation. Cette section limite la discussion aux capacités Métal-Isolant-Métal intégrées en couches minces, puisque c'est cette architecture qui a été développée dans le cadre de la présente étude. La structure MIM intégrée a été choisie car elle permet l'atteinte de bonnes performances électriques tout en limitant la surface occupée sur l'interposeur (en comparaison à un composant discret). Elle permet de surcroît la co-intégration avec les TSV.

Dans une première partie, le principe de fonctionnement d'une telle capacité sera exposé, puis ses critères de performances seront passés en revue. Enfin, un état de l'art de ce type de capacité sera présenté, discutant des matériaux ainsi que des architectures utilisées dans l'industrie.

3.1 Principe de fonctionnement

Comme son nom l'indique, la capacité Métal-Isolant-Métal (ou MIM) se compose d'une couche de diélectrique placée entre deux électrodes métalliques. Tel qu'il est visible sur la Figure I. 21, chaque électrode est connectée individuellement aux bornes « V_{DD}^1 » et « V_{SS}^2 » du circuit dans lequel la capacité est intégrée. Lorsqu'une différence de potentiel est appliquée entre les deux électrodes, un champ électrique E apparaît au sein du diélectrique ayant pour effet la polarisation de ce dernier. Lorsqu'il est polarisé, le diélectrique réagit au champ électrique le traversant et s'écarte de sa position d'équilibre. Lorsque la polarisation cesse, le retour du matériau diélectrique à sa position d'équilibre engendre la libération de charges dans le circuit. Quatre mécanismes physiques principaux contribuent à la polarisation du matériau diélectrique :

- **La polarisation électronique** : elle est due à un déplacement du barycentre du nuage électronique par rapport au noyau atomique dans la direction opposée au champ électrique.
- **La polarisation ionique** : elle est issue du mouvement des atomes les uns par rapport aux autres dans la molécule ionique induit par le champ électrique.
- **La polarisation dipolaire** : elle concerne les molécules possédant un moment dipolaire permanent. Sous l'influence du champ électrique, les molécules tendent à s'orienter dans la direction du champ.

¹ V_{DD} : borne d'alimentation positive (= V_{CC} , $V+$, V_{S+})

² V_{SS} : borne d'alimentation négative (= V_{EE} , $V-$, V_{S-} , GND)

- **La polarisation de charge espace** : elle met en jeu les charges présentes dans le matériau se déplaçant sous l'effet du champ électrique et agissant comme des dipôles. Ces charges sont dues à la présence de défauts dans le matériau, par exemple des lacunes ou des liaisons pendantes.

Ces différents mécanismes de polarisation ne possèdent pas la même cinétique, ainsi la polarisation globale du matériau diélectrique varie en fonction de la fréquence à laquelle est soumis le composant. Il s'agit du phénomène de relaxation diélectrique, traduisant la difficulté qu'ont les différents dipôles en présence à suivre la fluctuation du champ électrique dans le temps. La valeur de permittivité d'un milieu représente sa propension à se polariser sous l'effet d'un champ électrique. La polarisation d'un matériau linéaire et isotrope est reliée au champ extérieur par la relation :

$$\vec{P} = \epsilon_0 \cdot \chi \cdot \vec{E} \quad I. 1$$

Avec $\epsilon_r = 1 + \chi$

Où χ représente susceptibilité électrique du matériau, ϵ_r sa permittivité relative (sans dimension) et ϵ_0^1 la constante de permittivité du vide (en F.m⁻¹).

La Figure I. 22, représente la variation des composantes réelle ϵ' (en rouge) et imaginaire ϵ'' (en bleu) de la permittivité du milieu en fonction de la fréquence : la partie a) correspond à la polarisation dipolaire, la partie b) à la polarisation ionique et la partie c) à la polarisation électronique. ϵ_r'' correspond aux pertes relatives totales du matériau diélectrique.

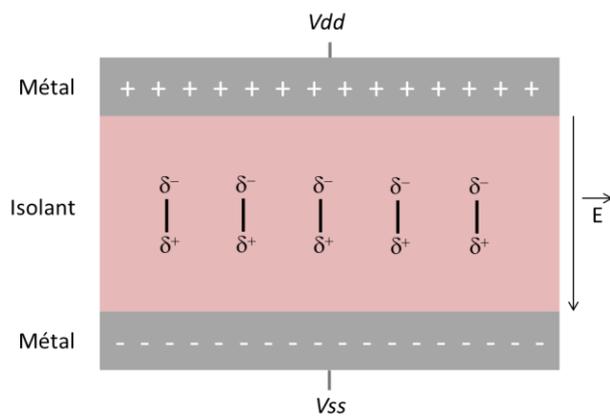


Figure I. 21 : Structure MIM polarisé sous l'influence d'un champ électrique E.

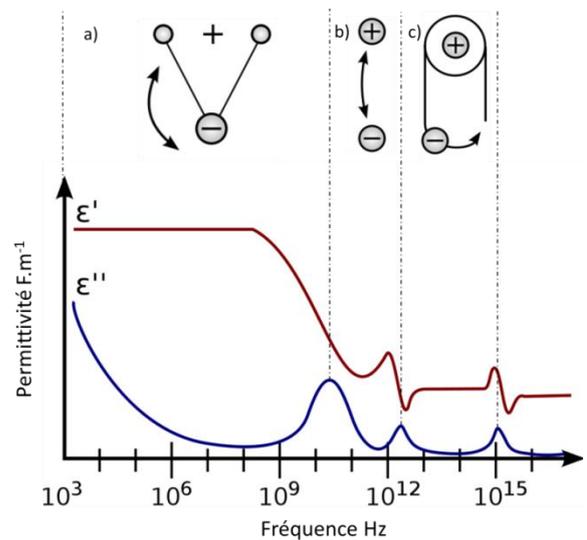


Figure I. 22² : Variation de la permittivité relative d'un diélectrique en fonction de la fréquence.

¹ $\epsilon_0 = 8.854\ 187\ 817... \times 10^{-12}$ F.m⁻¹

² Crédit image Prof. Kenneth A. Mauritz (University of Southern Mississippi)

3.2 Critères de performances

Les performances d'une capacité MIM peuvent être évaluées à travers les propriétés suivantes :

- Sa valeur de capacité, correspondant à la quantité d'énergie qu'elle est capable d'emmagasiner pour une tension donnée.
- Sa linéarité, correspondant à la variation de la valeur de capacité en fonction de la tension appliquée.
- Le courant de fuite, correspondant au courant de conduction traversant la structure polarisée.
- Sa tension de claquage, correspondant à la tension maximale applicable à la structure avant la création de chemin conducteur irréversible à travers le diélectrique.
- La résistance et l'inductance parasite de la structure.

3.2.1 Valeur de capacité

La valeur de capacité correspond à la quantité d'énergie que la structure est capable d'emmagasiner sous l'influence d'un champ électrique, et par conséquent à sa capacité à restituer des charges lorsque la polarisation cesse. Cette valeur dépend de la permittivité relative ϵ_R intrinsèque au type de matériau diélectrique utilisé, ainsi que la distance séparant les deux électrodes (par conséquent de l'épaisseur e de la couche diélectrique) influant sur l'intensité du champ électrique traversant le diélectrique pour une tension fixée. Le second facteur influant la valeur capacitive est géométrique : la surface de diélectrique polarisable S est directement proportionnelle à la quantité d'énergie que la structure MIM peut emmagasiner. Dans le cas d'une structure plane, la valeur de capacité s'exprime par la relation :

$$C_{MIM} = \epsilon_r \cdot \epsilon_0 \cdot \frac{S}{e} \quad 1.2$$

Avec ϵ_0 la permittivité du vide

Afin de quantifier l'efficacité d'une capacité intégrée, il est courant de rapporter sa valeur capacitive à la surface qu'elle occupe sur silicium, on parle alors de densité de capacité, exprimée en nF.mm⁻².

3.2.2 Courant de fuite

Bien que dans l'idéal, aucun courant ne traverse le diélectrique, lorsqu'une tension continue est appliquée aux bornes d'un condensateur, des porteurs peuvent être injectés à travers le diélectrique, notamment lorsque l'épaisseur de ce dernier est faible. Le courant de conduction qui en résulte est appelé courant de fuite, il a pour origine différents phénomènes de conduction. La densité de fuite correspond au courant de fuite rapporté à la surface développée de la capacité. La Figure I. 23 [26] représente l'évolution du courant de fuite d'une capacité MIM de 20 nF.mm⁻² utilisant du (Ba,Sr)TiO₃ comme diélectrique: dans ce cas de figure, le courant de fuite augmente avec la température, car certains phénomènes de conduction sont activés en température.

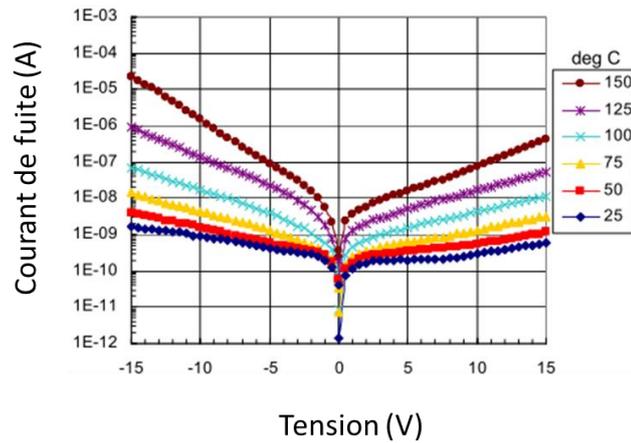


Figure I. 23 [26] : Évolution du courant de fuite d'une capacité MIM en fonction de la température. Le diélectrique utilisé est un Barium Strontium Titanate (BST).

Le courant de fuite dépend fortement de la largeur de bande interdite du matériau diélectrique utilisé. En effet, plus la bande interdite du matériau est large, plus les différents phénomènes de conduction entrant en jeu sont faibles. De plus, une faible hauteur de barrière entre les électrodes et le diélectrique favorise la conduction par effet tunnel, l'utilisation d'électrodes possédant un travail de sortie important est donc favorable dans le cadre d'une capacité MIM.

3.2.3 Linéarité en tension

La permittivité du diélectrique est directement liée à l'orientation ainsi qu'au nombre de dipôles sous un champ électrique. Ainsi, la valeur de la capacité varie en fonction de la tension appliquée au condensateur. Selon l'application, une forte non-linéarité peut-être un facteur limitant, notamment si elle nécessite un fonctionnement de la capacité sur une large gamme de tension. La variation de la valeur de capacité en fonction de la tension appliquée est le plus souvent de type parabolique, tel qu'illustré sur la Figure I. 24.

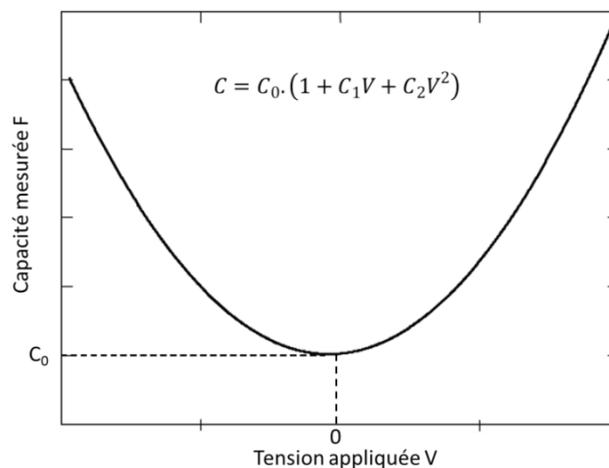


Figure I. 24 : Illustration de la variation de la valeur capacitive en fonction de la tension appliquée

La relation entre la valeur de capacité et la tension appliquée s'exprime par la relation :

$$C = C_0 \cdot (1 + C_1 V + C_2 V^2) \quad 1.3$$

Où C_0 est la valeur capacitive à 0 V, C_1 le coefficient linéaire (ppm.V⁻¹) et C_2 le coefficient quadratique (ppm.V⁻²).

Le coefficient quadratique C_2 est inhérent au type de matériau diélectrique utilisé, il dépend notamment des dipôles et de l'anisotropie moléculaire du matériau. Le coefficient linéaire C_1 est quant à lui associé à la présence de charges dans le diélectrique ou aux interfaces avec les électrodes.

3.2.4 Tension de claquage

Le claquage d'un condensateur correspond à la création irréversible d'un chemin de conduction à travers le diélectrique lorsque le condensateur est soumis à une tension de polarisation trop importante, induisant de larges courants de conduction ainsi qu'une perte de la propriété capacitive de l'empilement.

La tension V_{BD} à laquelle apparait le claquage dépend en premier lieu de l'épaisseur du diélectrique utilisé : à tension égale, le champ électrique présent au sein de l'isolant est plus important lorsque son épaisseur est faible, favorisant ainsi la création d'un chemin conducteur. La valeur de champ électrique maximum que peut supporter un diélectrique est appelée champ de claquage, il est défini par :

$$E_{BD} = \frac{V_{BD}}{e} \quad 1.4$$

Le champ de claquage dépend du matériau diélectrique utilisé, les travaux de Mc Pherson *et al.* [27] ont mis en avant (de manière empirique) le fait que le champ de claquage est inversement proportionnel à la constante diélectrique selon :

$$E_{BD} = 29,9 \cdot \varepsilon_r^{-0.65} \quad 1.5$$

Ainsi, l'atteinte de hautes valeurs capacitives est limitée par la gamme de fonctionnements du composant en tension. Si de faibles valeurs d'épaisseur de diélectrique associées à de fortes valeurs de permittivité relative permettent la réalisation de fortes valeurs de capacité (voir équation 1. 2), la tension de claquage de la capacité MIM s'en trouve réduite limitant ainsi la gamme de fonctionnements en tension du composant.

En pratique, les couches déposées ne sont pas parfaitement planes. En effet, la rugosité des électrodes déposées peut induire un effet de pointe augmentant localement la valeur du champ électrique facilitant ainsi la création d'un chemin conducteur dans la couche diélectrique.

3.3 Revue bibliographique des empilements MIM intégrés

3.3.1 Les matériaux candidats à l'intégration MIM

La plupart des travaux présents dans la littérature mettent en avant le développement et l'intégration de diélectriques présentant de hautes permittivités relatives associées à des électrodes compatibles dans le but d'augmenter la densité de capacité. Une attention toute particulière doit être portée sur les propriétés du diélectrique ainsi que celles des électrodes car elles définissent les performances électriques de la capacité MIM. Les différents matériaux potentiels seront exposés dans la suite de ce paragraphe, avec pour limitation ceux présentant une température de dépôt inférieure à 400 °C afin d'assurer leur compatibilité avec un procédé BEOL.

a) Le diélectrique

Les matériaux diélectriques utilisables dans le cadre d'une capacité MIM doivent répondre à différents critères :

- Une permittivité relative ϵ_R la plus élevée possible afin d'atteindre de forte densité de capacité.
- Un champ de claquage E_{BD} élevé afin de permettre l'utilisation de la capacité sur une large gamme de tension et ainsi assurer la fiabilité du composant.
- Une large bande interdite E_G pour limiter les courants de fuites.
- Une hauteur de barrière entre le métal et le diélectrique suffisamment importante pour limiter mes phénomènes de conduction, menant à des courants de fuites.

Le Tableau I. 1 [28] rassemble les propriétés physiques des principaux diélectriques candidats pour une utilisation au sein d'une structure MIM.

Diélectrique	ϵ_R	E_G (eV)	E_{BD} (MV.cm ⁻¹)
SiO ₂	4.2	9	10
Si ₃ N ₄	7	5.3	7
Al ₂ O ₃	9	8.7	8
HfO ₂	18	5.6	6
Ta ₂ O ₅	25	4.5	5
ZrO ₂	25	5.8	4
SrTiO ₃	>150	3.3	1
PZT	>800	3-4	3

Tableau I. 1 [28] : Propriétés physiques des diélectriques candidats à une intégration au sein d'une capacité MIM : permittivité relative ϵ_R , largeur de bande interdite E_G et champ de claquage E_{BD} .

b) Les électrodes métalliques

Les métaux pouvant constituer les électrodes de la capacité MIM doivent répondre aux besoins suivants :

- Un travail de sortie élevé afin de limiter les courants de fuite

- Une faible résistivité pour limiter la résistance parasite
- Une forte résistance à l'oxydation
- Une bonne compatibilité chimique avec le diélectrique

Le Tableau I. 2 [28] présente les propriétés physiques des principaux métaux candidats pour la réalisation des électrodes d'une structure MIM.

Métal	Travail de sortie (eV)	Résistivité ($m\Omega \cdot \mu m$)
TiN	4.8	2000
TaN	4.5	4000
Cu	4.7	19
Al	4.1	30
Ru	4.8	76
Pt	5.7	94

Tableau I. 2 [28] : Caractéristiques des métaux potentiels pour la réalisation d'électrodes de structures MIM.

Les matériaux candidats à l'intégration au sein d'une structure MIM sont nombreux, cependant chacun apporte ses avantages et ses inconvénients, car de nombreux paramètres sont à prendre en compte (propriétés physiques, compatibilité chimique, facilité et coût d'intégration...). Ainsi, le choix des matériaux de l'empilement consiste avant tout en un compromis prenant en compte ces différents paramètres et bien entendu, l'application visée qui oriente les besoins en termes de performances électriques.

3.3.2 L'évolution des diélectriques haute permittivités

L'oxyde de silicium (SiO_2) étant le diélectrique le plus mature, il possède d'excellentes propriétés isolantes et a été intégré dans les premières capacités MIM menant à des densités de capacité de l'ordre de $1 \text{ nF} \cdot \text{mm}^{-2}$ associées à de bonnes caractéristiques électriques [29]. L'amincissement de l'épaisseur de SiO_2 en dessous de quelques dizaines de nanomètres entraîne l'apparition de forts courants de fuite ainsi que de faibles tensions de claquage.

Le SiO_2 a donc été progressivement remplacé par le nitrure de silicium (Si_3N_4) couplé à des électrodes de nitrure de titane (TiN), de nitrure de tantale (TaN) ou de cuivre (Cu), permettant l'atteinte de densité de l'ordre de $2 \text{ nF} \cdot \text{mm}^{-2}$ [30] [31] [32].

Les oxydes métalliques ont ensuite été étudiés pour atteindre des densités toujours plus hautes, induisant cependant des problèmes de non-linéarité en tension et en température. L'alumine (Al_2O_3) a tout d'abord été étudiée, car elle présente une large bande interdite ainsi qu'un champ de claquage élevé, mais sa forte non-linéarité observée avec des électrodes en TiN limite son utilisation à des applications de découplage ou DRAM¹ [33]. Des densités de capacité de l'ordre de $5 \text{ nF} \cdot \text{mm}^{-2}$ ont été atteintes grâce à l'utilisation d'un oxyde d'hafnium (HfO_2) associé à des électrodes de TiN,

¹ DRAM : *Dynamic Random Access Memory* (mémoire vive dynamique)

TaN ou Ta (Tantale), présentant de très faibles courants de fuites [34]. Néanmoins, la faible tension de claquage ainsi que la forte non-linéarité en tension limitent l'utilisation du HfO_2 dans des empilements MIM. Les résultats les plus intéressants ont été obtenus avec un oxyde de tantale (Ta_2O_5) associé à des électrodes de TiN : une densité de $5 \text{ nF}\cdot\text{mm}^{-2}$ et une bonne linéarité en tension [35]. Les courants de fuite associés restent toutefois élevés et fortement activés en température, ainsi de nouveaux matériaux sont étudiés pour la réalisation d'électrodes proposant un travail de sortie plus élevé et une meilleure compatibilité chimique avec le Ta_2O_5 tel que le ruthénium (Ru) et le platine (Pt) [36].

Aucun matériau diélectrique n'est idéal, et plus la permittivité relative du diélectrique est élevée, plus faible sera son champ de claquage (voir la relation I. 5) ainsi que sa stabilité face aux variations de tension. C'est pourquoi de nouveaux types de structures sont étudiés à travers les nanolaminates : ils consistent en un empilement des multiples couches diélectriques tirant parti des propriétés de chacun des matériaux le composant. À titre d'exemple, l'ajout d'un matériau possédant une large bande interdite aux interfaces permet la réduction des courants de fuite. Ainsi, des empilements multicouches comprenant $\text{HfO}_2/\text{Ta}_2\text{O}_5$ [37] ainsi que $\text{HfO}_2/\text{Al}_2\text{O}_3$ [38] ont été intégrés, permettant l'atteinte de densité de capacité similaire aux empilements simple couche ($5 \text{ nF}\cdot\text{mm}^{-2}$) mais de meilleures performances électriques.

L'atteinte de densités de capacités encore plus élevées nécessite l'utilisation de diélectriques possédant une structure cristalline de type pérovskite, possédant des valeurs de permittivité diélectrique très importantes. Une densité de $10 \text{ nF}\cdot\text{mm}^{-2}$ a été démontrée grâce à l'utilisation d'un SrTiO_3 associée à des électrodes de platine [39]. Cependant, ces matériaux sont fortement non linéaires, présentent un faible champ de claquage et sont difficilement intégrables.

3.3.3 Développement de nouvelles architectures

Comme le démontre l'équation I. 2, trois paramètres influencent la valeur capacitive : la permittivité relative du diélectrique, son épaisseur et enfin la surface capacitive. Si les deux premiers paramètres dépendent du diélectrique déposé, la surface capacitive découle directement de l'architecture choisie.

Les densités de capacité présentées dans la section précédente ont été démontrées au sein d'architectures planaires, ce sont les structures les plus communément intégrées au sein des circuits. Dans ce cas de figure, les couches composant l'empilement MIM sont déposées successivement sur une surface plane, puis une série de gravures des différents matériaux opérées à l'aide de masques lithographiques dédiés permettent la réalisation du composant.

Comme discuté précédemment, l'augmentation de la densité de capacité à travers l'utilisation de nouveaux matériaux diélectriques se fait au détriment de la fiabilité du composant (courant de fuite, tension de claquage). Ainsi, l'industrie se tourne naturellement vers le développement de structures tridimensionnelles, car elles permettent l'augmentation de la surface de diélectrique polarisée pour un *footprint* sur silicium équivalent. Dans ce cas, la densité de capacité est donnée par rapport à la surface projetée du condensateur, traduisant son encombrement.

La Figure I. 25 présente la capacité HiDTC (*High Density Trench Capacitor*) issue de travaux d'A. Bajolet et al. [40]. Ce condensateur MIM tridimensionnel est présent dans les niveaux d'interconnexions de la puce logique (entre les niveaux Métal 1 et Métal 4). Les couches composant

l'empilement MIM sont déposées dans des tranchées profondes de 4 μm , les deux électrodes sont en TiN CVD. Une fois l'empilement MIM déposé, la cavité est remplie avec du Tungstène (W).

Une densité de capacité de 35 $\text{nF}\cdot\text{mm}^{-2}$ a été démontrée grâce à l'utilisation d'un Ta_2O_5 déposé par MOCVD ainsi qu'un Al_2O_3 déposé par ALD. Les caractérisations électriques démontrent des performances similaires à une structure 2D dans le cas de l' Al_2O_3 : un faible courant de fuite ($<1\text{nA}\cdot\text{nF}^{-1}$ @ 5.5V), une faible dispersion de la valeur capacitive, ainsi qu'un champ de claquage supérieur à 7 $\text{MV}\cdot\text{cm}^{-1}$.

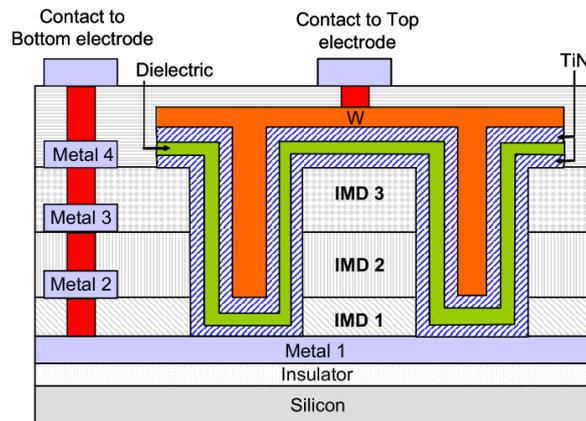


Figure I. 25 [40] : Schéma de principe de la capacité MIM HiDTC.

Une approche différente a été mise en avant par la réalisation d'empilements MIM déposés sur des nanofils de silicium par *P-H. Morel* [41]. Tout d'abord, les nanofils de silicium sont crûs par CVD, puis l'empilement MIM est déposé : les électrodes se composent d'un TiN déposé par CVD tandis que le diélectrique est un Al_2O_3 déposé par ALD. La Figure I. 26 représente une photo MEB en coupe d'un nanofil sur lequel a été déposé l'empilement MIM. L'avantage premier de cette technique est le développement de la surface capacitive permettant l'atteinte d'une densité de capacité de 96 $\text{nF}\cdot\text{mm}^{-2}$ associée à une épaisseur d' Al_2O_3 de 15 nm. Cependant, les dispositifs fabriqués présentent une chute de la valeur capacitive avec la fréquence de mesure qui apparaît dès les plus faibles fréquences, témoignant d'une forte résistance série.

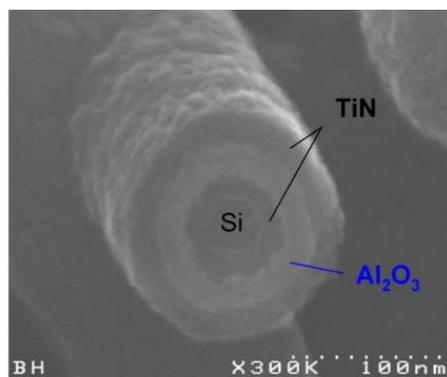


Figure I. 26 [41]: Coupe MEB d'une capacité MIM à base de nanofils

Une densité de capacité record de $440 \text{ nF}\cdot\text{mm}^{-2}$ a été démontrée par *J. H. Klootwijk et Al.* [42], cette valeur est atteinte grâce à la polarisation de trois couches diélectriques déposées dans un réseau de pores gravés dans le silicium. Ainsi, cette structure n'est pas une MIM à proprement parler, mais plutôt une MIMIMIM, comme représenté sur la Figure I. 27.a)-b). Tout d'abord, le substrat de silicium est dopé à l'aide d'Arsenic afin d'augmenter la densité de porteurs de charges, et donc sa conductivité. Ensuite, des pores de diamètre d'environ $1,5 \mu\text{m}$ sont gravés dans le silicium à une profondeur de $30 \mu\text{m}$ permettant le développement de la surface capacitive, une oxydation thermique permet la croissance d'un oxyde de silicium de 5 nm qui constitue la première couche diélectrique polarisable. L'étape suivante consiste aux dépôts successifs des couches de l'empilement TiN $20\text{nm}/\text{Al}_2\text{O}_3$ $10\text{nm}/\text{TiN}$ $20\text{nm}/\text{Al}_2\text{O}_3$ $10\text{nm}/\text{TiN}$ 20nm par ALD. Ces couches sont ensuite gravées pour permettre l'accès électrique aux électrodes puis recouvertes par un oxyde de passivation. Enfin, les trous de contact sont ouverts et les plots de contact sont réalisés. La Figure I. 27c)-d), représente des vues en coupe de l'empilement finalisé. Des mesures électriques ont permis d'évaluer une tension de claquage supérieure à 6V ainsi qu'un faible courant de fuite ($\sim 10\text{nA}\cdot\text{mm}^{-2}$ @ 5V).

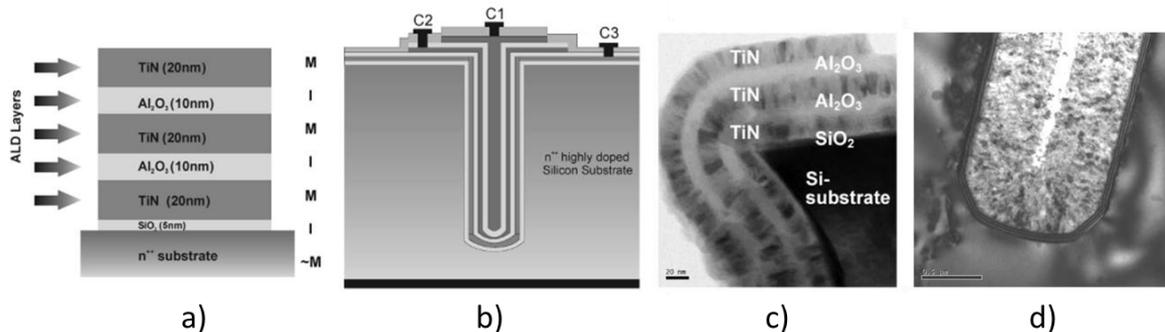


Figure I. 27 [42]: a) Schéma de principe de l'empilement MIMIMIM. b) Schéma en coupe de la structure comprenant les plots de contacts. c) Coupe MEB de l'empilement en haut de la structure. d) Coupe MEB du fond de la structure.

Conclusion sur la capacité Métal-Isolant-Métal

Le condensateur étant une brique essentielle de la majorité des fonctions électroniques, les besoins en capacité au sein de circuits sont élevés. L'intégration de ces dernières en couches minces permet un gain de place dans le circuit ainsi qu'une amélioration notable des performances électriques.

La capacité MIM permet la polarisation d'une fine couche de diélectrique interposée entre deux électrodes métalliques. La densité de capacité est souvent utilisée afin de quantifier la performance d'une capacité MIM, cependant ce n'est pas le seul critère de performance à retenir. La linéarité, le courant de fuite, la tension de claquage ainsi que les résistances et inductances séries sont autant de critères de performances qui devront être respectés en fonction de l'application visée.

Ces critères de performances sont définis par les propriétés des matériaux composant l'empilement MIM, et le choix de ces matériaux n'est pas direct. En effet, un diélectrique affichant une permittivité relative élevée aura tendance à proposer une faible bande interdite ainsi qu'un faible champ de claquage. De la même façon, les électrodes se doivent d'être thermochimiquement compatibles avec le diélectrique tout en ayant un fort travail de sortie associé à une faible résistivité.

Ainsi, le choix des matériaux composant l'empilement capacitif relève d'un compromis prenant en compte les propriétés physiques, la compatibilité chimique, la facilité et le coût d'intégration, sans oublier l'application visée qui oriente les besoins en termes de performances électriques.

Si les matériaux évoluent, notamment avec l'utilisation de diélectrique de permittivité relative toujours plus élevée, les architectures d'intégration évoluent elles aussi. L'utilisation d'architectures tridimensionnelles permet de développer la surface capacitive, et donc la densité de capacité sans augmenter l'encombrement de la structure. De nombreux types de capacités MIM 3D sont étudiés et permettent l'atteinte de densités de capacités bien supérieures aux structures planaires classiques.

Cependant, l'intégration de capacités MIM tridimensionnelles relève de nombreux défis, notamment en termes de procédé de dépôts qui se doivent d'être maîtrisés dans des structures dont le facteur de forme peut être élevé. De plus, les structures 3D peuvent entraîner un surcoût ainsi qu'une altération des performances électriques par rapport à leur homologue planaire. Encore une fois, le choix de l'architecture doit être fait en fonction des performances souhaitées, et donc de l'application à laquelle se destine la capacité.

La capacité MIM 3D développée dans le cadre de cette étude assure une fonction de découplage au sein du réseau de distribution de puissance du circuit électronique : ce sera l'objet de la partie suivante.

4 Le réseau de distribution de puissance dans les circuits 3D

4.1 Principes et enjeux du Power Delivery Network

4.1.1 Rôle du *Power delivery network*

Dans un circuit électronique, le rôle du réseau de distribution de puissance, plus communément appelé *Power Delivery Network* (PDN), est de fournir une alimentation stable aux différents composants présents dans le système. La conception d'un PDN fiable est un point crucial pour les technologies nanométriques due à l'augmentation rapide de la densité de puissance et de la fréquence de commutation des transistors ainsi que la diminution de leur tension d'alimentation.

La Figure I. 28 est une représentation simplifiée du PDN d'un empilement comportant deux puces logiques comportant les transistors, reportées sur un interposeur lui-même reporté sur un BGA soudé au PCB. Le PDN se compose d'une chaîne complexe d'interconnexions distribuant les électrons depuis les bornes d'un régulateur de tension externe jusqu'aux transistors présents sur la puce logique, en passant par tous les niveaux intermédiaires de la structure.

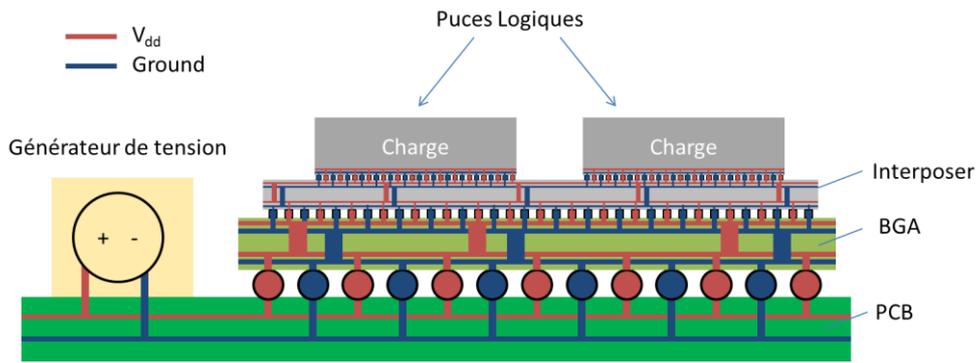


Figure I. 28: Représentation simplifiée du PDN d'un empilement 3D.

Une méthode couramment utilisée pour la conception d'un PDN fiable est la définition d'une impédance cible Z_{CIBLE} , qui tiendra lieu de valeur maximum pour l'impédance du PDN sur la totalité de la gamme de fréquence d'utilisation où des transitoires de courant sont présents. En effet, une impédance supérieure à Z_{CIBLE} peut entraîner des erreurs dans le traitement logique des transistors. Cette valeur peut être définie par l'équation I. 6 [43] où V_{dd} correspond à la tension d'alimentation du cœur du processeur, α au rapport de variation de tension acceptable pour la détection d'état logique (V_{MIN}/V_{MAX}), I_{max} le courant maximal traversant les transistors lors de leur commutation et I_{min} le courant minimum lors de l'état de repos du cœur logique.

$$Z_{CIBLE} = \frac{V_{dd} \cdot \alpha}{I_{max} - I_{min}} \quad I. 6$$

Avec l'avancée des technologies, le bruit dans le PDN devient un facteur déterminant pour les performances et la fiabilité des produits. Si l'on suit les tendances proposées par l'ITRS 2012 [3], la tension d'alimentation des transistors V_{dd} tend à devenir de plus en plus faible. Le Tableau I. 3 se base sur les données ITRS 2012 pour les valeurs de nœud technologique, puissance maximale admissible et tension d'alimentation V_{dd} . Le courant a été calculé selon $I_{max} = P_{max}/V_{dd}$ et l'impédance cible Z_{CIBLE} en utilisant l'équation I. 6 pour un $\alpha = 5\%$ ainsi qu'un transitoire de courant de 50%.

Année	Noeud (nm)	P_{max} (W)	V_{dd} (V)	I_{max} (A)	Z_{CIBLE} (m Ω)
2011	22	161	0,90	179	0,50
2013	18	149	0,85	175	0,48
2015	15	143	0,80	179	0,45
2017	13	130	0,75	173	0,43
2019	10.9	133	0,71	187	0,38

Tableau I. 3 : Tendances de l'industrie jusqu'en 2019 en termes de nœud technologique, puissance maximale admissible (pour les applications micro-processeur), tension d'alimentation V_{dd} des transistors, courant maximum I_{max} et impédance cible Z_{CIBLE} .

La chute de la tension d'alimentation des puces logiques entraîne une baisse de l'impédance cible du PDN. Cela s'explique par le fait qu'à plus faible tension de fonctionnement, les circuits sont plus sensibles aux bruits parasites présents dans le réseau d'alimentation.

4.1.2 Les sources de bruit dans le PDN

Les sources de bruits dans le réseau sont nombreuses. Dans les circuits radiofréquence, les amplificateurs de puissance et oscillateurs en génèrent. Dans les environnements digitaux, les principales sources de bruit proviennent de l'alimentation électrique, des régulateurs de tension, mais surtout de la commutation simultanée des transistors. Ce bruit peut être assimilé à une variation de tension dans le PDN. Pour un courant donné I , cette variation de tension V aux bornes d'une capacité idéale C peut être décrite par l'Eq. 1.7 :

$$I = C \frac{dV}{dt} \quad 1.7$$

$$\frac{dV}{dt} = \frac{I}{C} \quad 1.8$$

$$V = \frac{I}{\omega C} \quad 1.9$$

Avec ω la fréquence angulaire du signal.

Dans la plupart des circuits CMOS, la puce logique n'a besoin de courant que lorsque ses transistors entrent en commutation, seul un faible courant de fuite persiste lors des états logiques 0 ou 1. L'équation 1.9 nous montre qu'un besoin en courant se traduit par une variation de la tension V . Ainsi, lorsque les transistors commutent et tirent du courant, il en résulte une chute de tension dans le PDN.

Avec l'augmentation des vitesses et densités de transistors au sein des processeurs, ce bruit est plus important puisque plus de transistors tirent de courant lorsqu'ils commutent simultanément. S'il est trop important, ce bruit peut générer des erreurs dans les opérations logiques. En effet, un circuit logique peut prendre deux états : bas «0» ou haut «1», la valeur de cet état est déterminée par une mesure de tension associée à une marge d'acceptation α .

La partie a) de la Figure I. 29 illustre les besoins de la logique en termes de détection d'état, V_{dd} est la tension d'alimentation nominale correspondant à l'état «1», V_{ss} correspondant à l'état «0». La marge d'acceptation est un pourcentage α de la valeur nominale V_{dd} , ainsi «1» V_{MIN} est la tension seuil en dessous de laquelle l'état haut n'est plus détecté. Le bruit généré dans le PDN peut déformer le signal de sorte que la détection d'un état logique soit faussée, la Figure I. 29 illustre les effets que peuvent avoir un bruit haute fréquence (b), une chute de tension (c), ou un délai résistif/inductif (d) sur le signal [44]. En pratique, tous ces effets se combinent et peuvent mener à des erreurs de traitement de la puce logique dues à une mauvaise détection d'état.

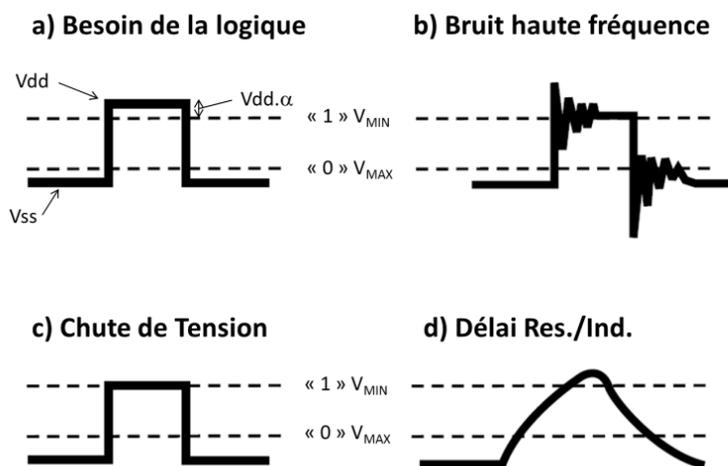


Figure I. 29 [44]– a) Besoin de la logique en terme de détection d'état. Effet d'un bruit haute fréquence (b), d'une chute de tension (c) ou un délai résistif/inductif (d) sur le signal.

L'objectif principal du « *power management* » est de réduire ces erreurs en assurant l'intégrité du signal, en d'autres termes assurer des états logiques « 0 » et « 1 » propres. Afin d'y parvenir, des méthodes de découplages sont utilisées, elles permettent de réduire les erreurs logiques en réduisant le bruit d'oscillation dans le PDN.

4.2 Principe et limites du découplage capacitif

4.2.1 Principe du découplage capacitif

L'utilisation de capacités de découplages est la solution la plus utilisée pour assurer l'intégrité du signal, car elle est efficace et peu coûteuse. L'équation I. 9 montre que pour une variation d'intensité de courant traversant le circuit, l'augmentation de la valeur de capacité C donne lieu à une diminution de la variation de tension V à ses bornes. En régime transitoire, lorsque le besoin en courant de la puce logique augmente, le large temps de réponse du générateur de tension ne permet pas le maintien du niveau de tension nécessaire au bon fonctionnement du circuit, provoquant une variation non désirable de la tension dans le PDN. Ainsi, le placement d'une capacité dans le circuit permet de réduire cette variation de tension : la capacité de découplage agit alors comme un réservoir d'énergie fournissant les électrons nécessaires indépendamment du générateur de tension et plus rapidement que ce dernier, avec assez de réserves pour maintenir le niveau de tension.

La Figure I. 30 [45], représente la variation de tension évaluée aux bornes d'une capacité idéale. Trois capacités de valeurs différentes ont été prise en compte : $1 \mu\text{F}$, $0,1 \mu\text{F}$ et $0,01 \mu\text{F}$, chacune subissant des variations de courant la traversant de $0,5 \text{ A}\cdot\text{ns}^{-1}$, avec un pic de courant de 1 A (les résultats ont été obtenus par simulation avec le logiciel Spice). L'augmentation de la valeur de la capacité permet la diminution de la variation de tension au sein du PDN.

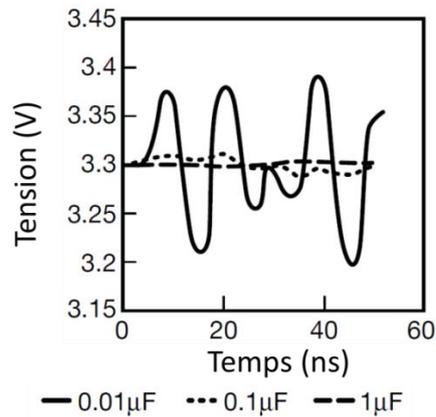


Figure I. 30 [45]: Variation de la tension aux bornes d'une capacité idéale de découplage de 1 μF , 0,1 μF et 0,01 μF . L'augmentation de la valeur de la capacité réduit la variation de tension à ses bornes.

Une capacité de découplage réelle possède une résistance et une inductance propre, on parlera de résistance et d'inductance série équivalente, communément appelée *Equivalent Series Resistance (ESR)* et *Equivalent Series Inductance (ESL)*. Ce sont les valeurs de résistance et d'inductance qui, mises en série avec la capacité idéale, traduisent le comportement de la capacité réelle. Le modèle d'une telle capacité est illustré sur la Figure I. 31.



Figure I. 31 : Modèle d'une capacité réelle possédant une inductance ESL et une résistance ESR parasite.

L'impédance de ce modèle série est un nombre complexe donnée par l'équation suivante :

$$Z = ESR + \frac{1}{jC\omega} + j\omega ESL \quad I. 10$$

$$Z = ESR + j \left(\omega ESL - \frac{1}{C\omega} \right) \quad I. 11$$

Avec $\omega = 2\pi f$, ω étant la pulsation et f la fréquence du signal.

La partie réelle de l'impédance correspond à la résistance du dispositif et la partie imaginaire correspond à sa réactance, qui traduit sa réponse aux fluctuations du signal dans le temps. En pratique, on mesure le module de l'impédance, qui s'exprime de la manière suivante :

$$|Z| = \sqrt{ESR^2 + \left(\omega ESL - \frac{1}{C\omega}\right)^2} \quad I. 12$$

La Figure I. 32 illustre le comportement en fréquence du module de l'impédance d'une capacité non idéale.

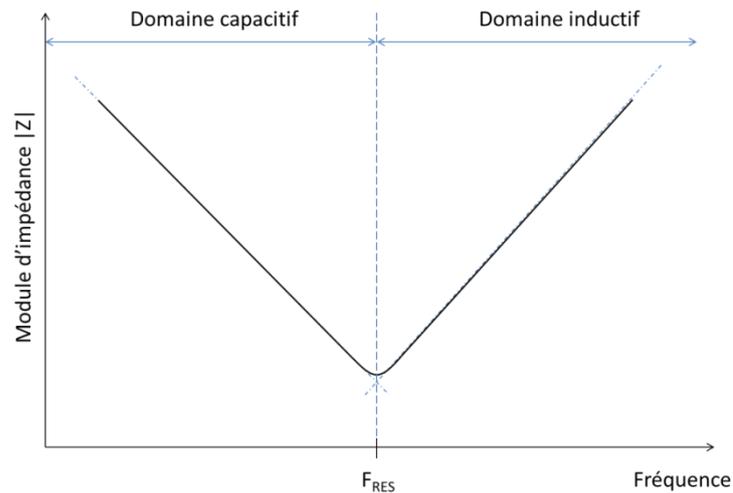


Figure I. 32 : Comportement fréquentiel d'une capacité non idéale.

La partie gauche de la courbe correspond à la contribution de la réactance capacitive χ_C , elle est donnée par :

$$\chi_C = \frac{1}{\omega C} \quad I. 13$$

La partie droite de la courbe correspond à la contribution de la réactance inductive χ_L , donnée par la formule suivante :

$$\chi_L = \omega ESL \quad I. 14$$

Ces deux composantes s'annulent à la fréquence de résonance de la capacité, elle correspond à la valeur d'impédance minimale de la capacité (soit l'impédance réelle et donc l'ESR). Elle s'exprime par :

$$f_{res} = \frac{1}{2\pi\sqrt{L \cdot C}} \quad I. 15$$

Une capacité permet l'apport en énergie dont les transistors ont besoin lors de leur commutation, mais cet apport est limité par l'impédance propre de la capacité, dépendant de ses propriétés intrinsèques : sa valeur C , son inductance parasite ESL et sa résistance parasite ESR .

4.2.2 Impact des effets parasites de la capacité sur la tension à ses bornes

a) Effet de l' ESR sur la tension aux bornes de la capacité

Afin d'illustrer l'impact de l' ESR sur le découplage, nous allons reprendre l'équation I. 9 en y intégrant le terme parasite réel de l' ESR :

$$V = \frac{I}{\omega C} + I \cdot ESR \quad I. 16$$

Comme le montre cette expression, même une valeur de capacité infinie ne permet pas l'élimination complète de la variation de tension due au terme introduit par l' ESR . La Figure I. 33 [45], représente la variation de tension aux bornes d'une capacité de $0,1 \mu F$ associé à trois valeurs d' ESR de 1Ω , $0,1 \Omega$ et $0,01 \Omega$ subissant une variation de courant de $0,5 A \cdot ns^{-1}$, avec un pic de courant de $1 A$. Il apparaît que la diminution de la valeur de l' ESR va de pair avec celle de la variation de tension à ses bornes. Ainsi, lorsqu'il y a un besoin en courant, une capacité de découplage possédant un faible ESR est plus à même de limiter la variation à ses bornes.

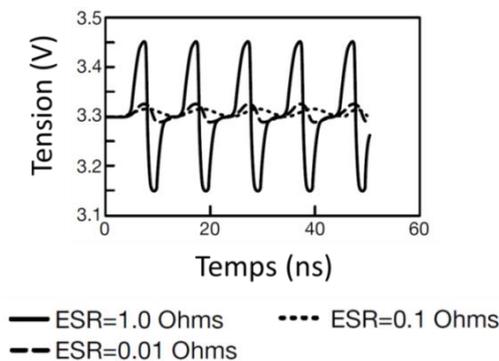


Figure I. 33 [45] : Effet de l' ESR sur la variation de tension aux bornes d'une capacité de $0,1 \mu F$

b) Effet de l' ESL sur la tension aux bornes de la capacité

L'augmentation de la fréquence des circuits logiques implique un déplacement du point de fonctionnement de la capacité de découplage vers son domaine inductif. On peut visualiser ce comportement inductif par une restriction physique de la capacité à fournir rapidement de l'énergie à la puce logique en commutation. L'inductance et la tension sont liées par la relation suivante :

$$V = ESL \cdot \frac{dI}{dt} \quad I. 17$$

$$V = \omega ESL \cdot I \quad I. 18$$

Il apparait ici qu'une variation de courant dans le circuit entraine une variation de tension d'autant plus importante que la vitesse de fonctionnement est élevée (ω important ou dt faible), pouvant entrainer des erreurs de détection d'état logique. Ainsi, pour un $\omega \cdot I$ donné, la réduction de la valeur d' ESL contribue à l'atténuation de la variation de tension aux bornes de la capacité. La Figure I. 34 [45], représente la variation de tension aux bornes d'une capacité de $0,1 \mu F$ associée à un ESR de $0,1 \Omega$ et trois valeurs d' ESL de 100 pH , 500 pH et 1000 pH subissant une variation de courant de $2 \text{ A} \cdot \text{ns}^{-1}$. L'augmentation de l'inductance parasite mène à une augmentation de la variation de tension, il est donc primordial d'utiliser une capacité de découplage avec un ESL le plus faible possible. De plus, l'augmentation de la valeur d' ESL de la capacité entraine une réduction de sa fréquence de résonance (voir équation I. 15), limitant ainsi le domaine fréquentiel sur lequel la capacité de découplage est performante.

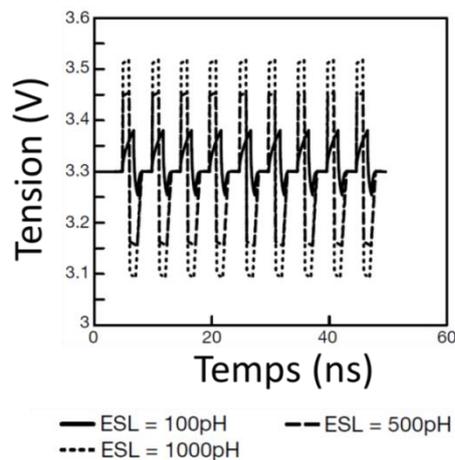


Figure I. 34 [45] : Effet de l' ESL sur la variation de tension aux bornes d'une capacité de $0,1 \mu F$ avec un ESR de $0,1 \Omega$.

4.2.3 Mise en parallèle de capacités de découplages au sein du PDN

Dans le PDN, de nombreuses capacités de découplages sont utilisées en parallèle, permettant d'une part l'augmentation de la valeur de capacité C_{TOT} et d'autre part la diminution des valeurs d'inductance L_{TOT} et de résistance R_{TOT} de la manière suivante :

$$C_{TOT} = n \cdot C \quad I. 19$$

$$L_{TOT} = \frac{ESL}{n} \quad I. 20$$

$$R_{TOT} = \frac{ESR}{n} \quad I. 21$$

Avec n , le nombre de capacités identiques en parallèle.

On peut donc réécrire l'impédance totale à partir de l'équation I. 12 de la manière suivante :

$$|Z| = \sqrt{\left(\frac{ESR}{n}\right)^2 + \left(\frac{\omega ESL}{n} - \frac{1}{n\omega C}\right)^2} \quad I. 22$$

La Figure I. 35 [46] montre l'impact du placement de n capacités identiques en parallèle ($C = 1$ nF, $ESR = 0.1 \Omega$, $ESL = 100$ pH). L'impédance est réduite d'un facteur 2 à chaque fois que l'on double le nombre de capacités, la fréquence de résonance restant identique.

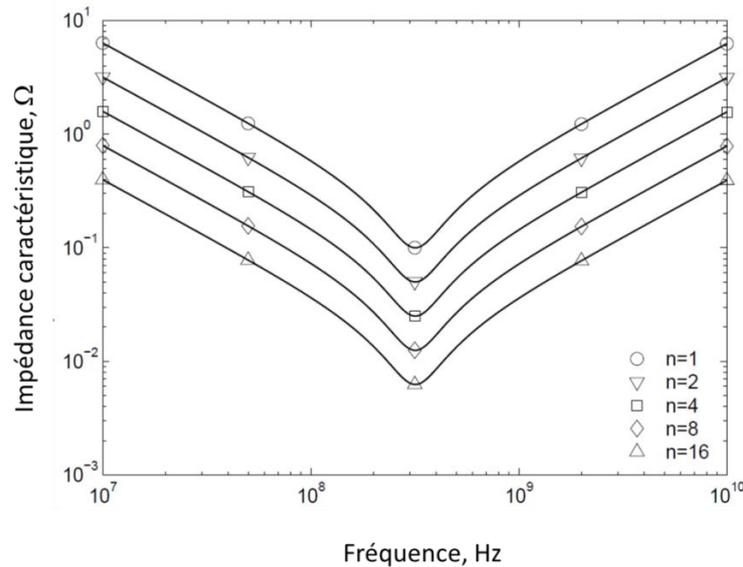


Figure I. 35 [46] : Évolution de l'impédance caractéristique en fonction du nombre n de capacités de 1 nF, 0,1 Ω, 100 pH en parallèle. L'impédance du circuit est réduite d'un facteur 2 à chaque fois que le nombre de capacités est doublé.

4.2.4 Effet d'antirésonance dans le PDN

En pratique, les capacités de découplages intégrées au PDN peuvent différer en termes de valeurs et d'effets parasites (ESR , ESL), elles ne possèdent donc pas le même profil d'impédance fréquentielle. La mise en parallèle de telles capacités peut mener à un effet indésirable d'antirésonance.

La Figure I. 36 illustre le profil d'impédance fréquentiel de deux capacités montées en parallèle, une première que l'on nommera A de valeur C_1 possédant une inductance L_1 et une seconde

nommée B de valeur C_2 et possédant une inductance L_2 . Les fréquences f_1 et f_3 correspondent aux fréquences de résonance des circuits LC série intrinsèques aux capacités A et B respectivement. La fréquence f_2 correspond à la fréquence d'antirésonance du circuit LC parallèle formé par L_1 et C_2 , c'est-à-dire lorsque la capacité A fonctionne dans son domaine inductif alors que B fonctionne dans son domaine capacitif. Il en résulte un circuit résonateur LC parallèle entre les deux composants, dont l'impédance est maximale à la fréquence d'antirésonance. Le pic d'impédance est d'autant plus important que les fréquences de résonances intrinsèques des deux capacités montées en parallèle sont éloignées, car la gamme de fréquence comprise entre f_1 et f_3 sur laquelle le circuit résonateur LC parallèle est présent s'en trouve augmentée. Ce pic peut dépasser la valeur cible de l'impédance du PDN Z_{CIBLE} , c'est pourquoi il est crucial de le limiter.

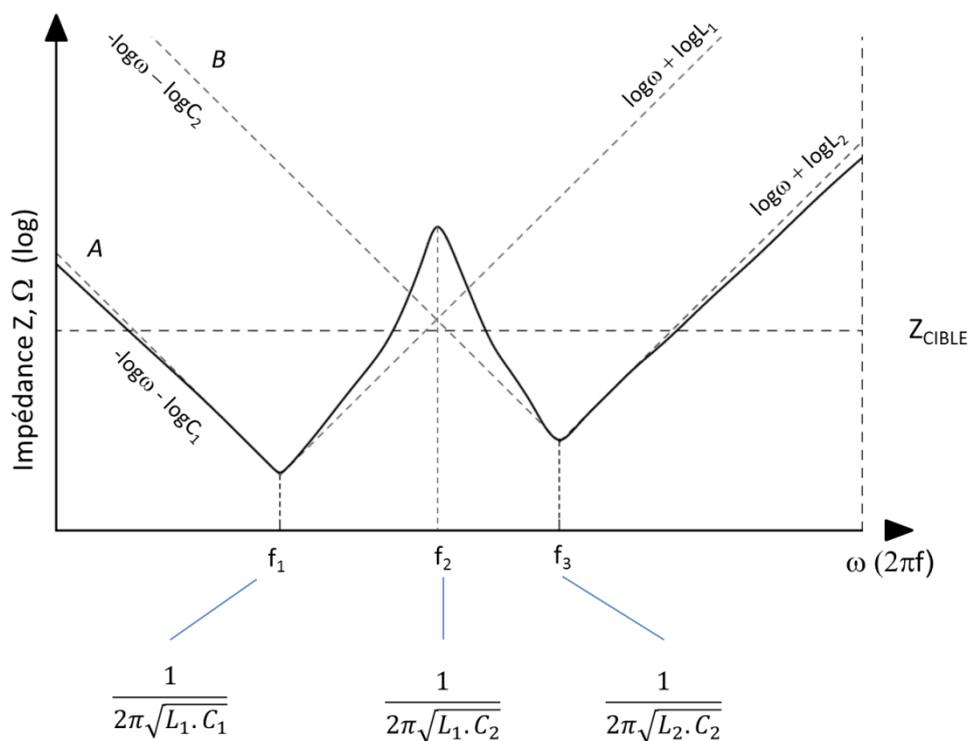


Figure I. 36 [46]: Impédance de deux capacités A et B montées en parallèle. Un pic d'impédance apparaît à la fréquence d'antirésonance du circuit LC parallèle formé par A et B .

Le facteur Q d'un circuit est défini par le rapport de sa réactance sur sa résistance (voir l'équation I. 23), il permet de quantifier le phénomène d'amortissement : plus le facteur Q est élevé, plus les creux et les pics d'impédance sont amplifiés.

$$Q = \frac{\chi}{ESR} = \frac{\sqrt{\frac{ESL}{C}}}{ESR} \quad I. 23$$

Au sein du circuit résonateur LC parallèle, l' ESR de la capacité est un élément d'amortissement. L'effet d'antirésonance est amplifié lorsqu'une capacité à faible ESR résonne avec une forte inductance. Ainsi, bien que la diminution de la valeur d' ESR permette la réduction globale de l'impédance du réseau, son augmentation permet quant à elle l'amointrissement des pics d'impédance au sein du PDN. Le choix de la valeur d' ESR consiste donc en un compromis visant à maintenir l'impédance du circuit sous la valeur cible Z_{CIBLE} .

L'ajout d'une troisième capacité nommée C dans le circuit, possédant une fréquence de résonance intrinsèque proche de la fréquence d'antirésonance des deux premières, permet l'atténuation du pic en le déplaçant de part et d'autre de sa propre fréquence de résonance comme illustré sur la Figure I. 37 [46]. Deux pics d'impédances sont maintenant présents sur le profil fréquentiel, ils correspondent aux antirésonances des circuits résonateurs LC formés par les capacités A et C d'une part, et C et B d'autre part. Lors de la conception du PDN, l'ajout de capacités de découplage de différentes valeurs est répété jusqu'à ce l'impédance soit maintenue sous la valeur Z_{CIBLE} , sur toute la gamme de fréquence d'utilisation.

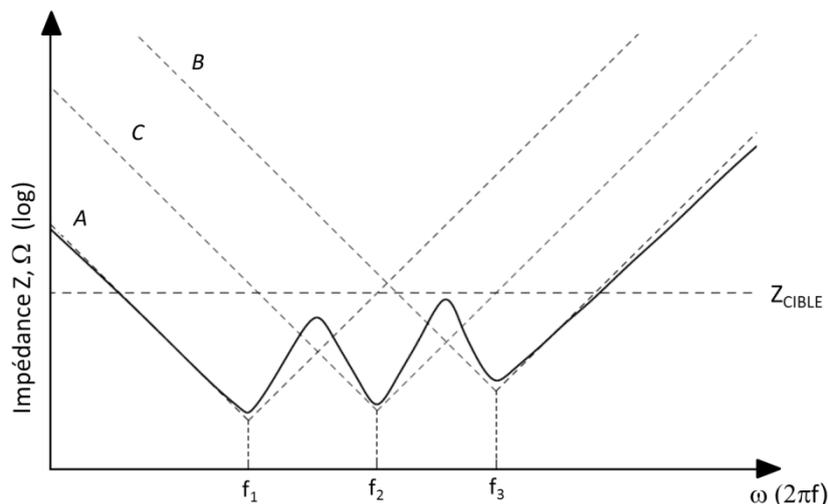


Figure I. 37 [46]: Impédance de trois capacités montées en parallèle, l'ajout d'une capacité C permet de maintenir l'impédance du circuit sous sa valeur cible Z_{CIBLE} .

4.3 Évolution des PDN pour l'intégration 3D

4.3.1 Limitation des méthodes de découplages classiques

Nous avons passé en revue l'impact des propriétés intrinsèques de la capacité sur la qualité du découplage ainsi que les effets de la mise en parallèle de plusieurs capacités dans un circuit idéal. En pratique, la capacité n'est pas directement connectée aux transistors qui tirent le courant, mais elle n'est accessible qu'au travers des interconnexions qui possèdent elles aussi une impédance propre influant sur le découplage. La Figure I. 38 représente un circuit comprenant une puce logique reportée sur un BGA par des bosses de soudure (ou *solder bumps*), ce dernier est reporté sur PCB à

l'aide de billes de soudure (ou *solder balls*). Le circuit *RLC* simplifié équivalent du PDN de cette structure est illustré sur la Figure I. 39.

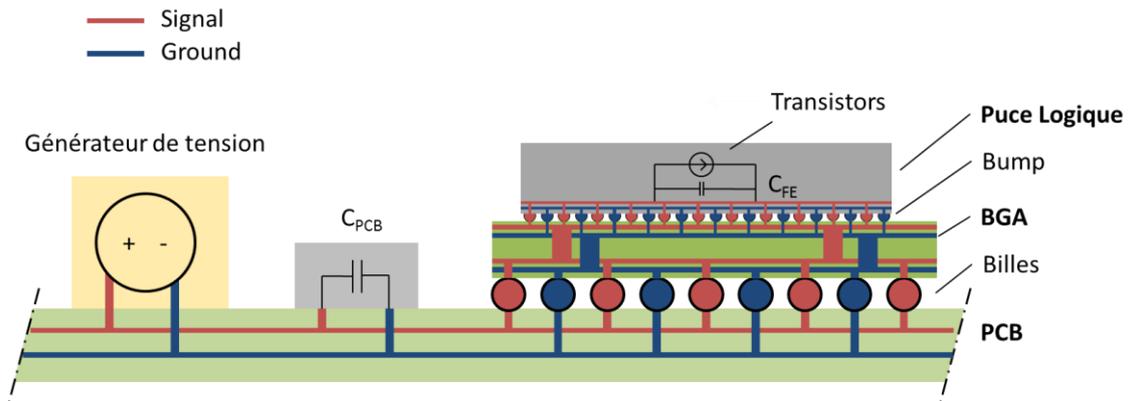


Figure I. 38 : Schéma simplifié du PDN d'un empilement PCB/BGA/Puce logique, une première capacité de découplage C_{PCB} est montée à la surface du PCB et une seconde C_{FE} est présente au sein de la puce logique.

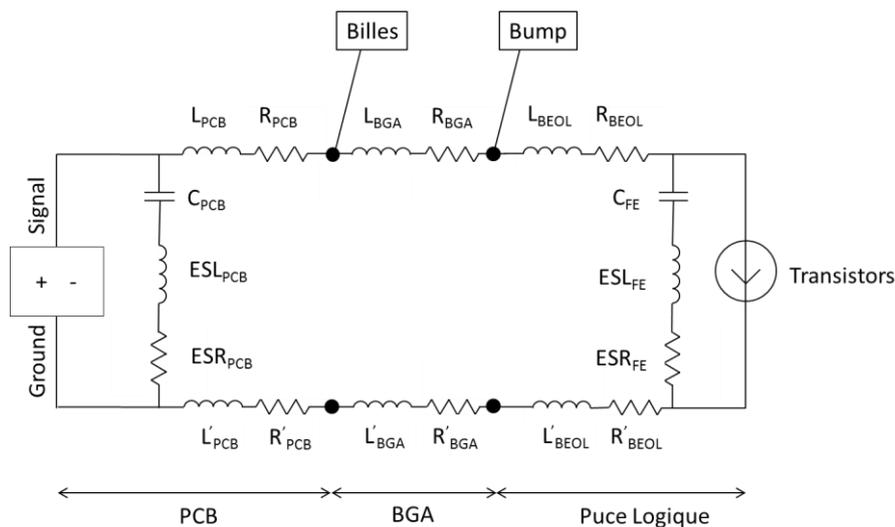


Figure I. 39 : Schéma RCL simplifié du PDN d'un empilement PCB/BGA/Puce logique comportant une capacité de découplage sur le PCB C_{PCB} ainsi qu'une capacité au sein des plans front-end C_{FE} .

Deux types de capacités de découplages sont présentes dans ce circuit, elles correspondent aux deux types de capacités les plus communément utilisées dans des circuits de découplage classiques. La première C_{PCB} est un composant discret monté à la surface du PCB (plus communément appelée *Surface Mounted Devices* ou *SMD*), la seconde C_{FE} est présente au sein des plans transistors de la puce logique (*front-end*).

Ces deux types de capacité dominent l'impédance du PDN pour différentes gammes de fréquences. C_{PCB} permet l'apport de fortes valeurs capacitives au PDN, cependant leur forte

impédance d'accès limite leur réponse en fréquence (au-delà de ~ 100 MHz [47]). A contrario, C_{FE} permet le découplage de fréquences plus élevées (supérieures à 2 GHz [47]) grâce à un chemin d'accès d'impédance faible, mais l'intégration de fortes valeurs entraîne une augmentation prohibitive de la taille et du coût de la puce [48].

Lors de la commutation des transistors, la capacité de découplage doit fournir les électrons nécessaires au maintien de la tension d'alimentation. Ainsi, l'impédance totale du circuit de découplage dépend non seulement des propriétés intrinsèques de la capacité, mais aussi de l'impédance des interconnexions dans la boucle. Si C_{FE} est connectée au plus près de la logique et permet un apport rapide aux transistors, l'accès à C_{PCB} est limité par l'impédance des interconnexions du BEOL de la puce logique (L_{BEOL} , R_{BEOL}), des *solder bumps*, des interconnexions du BGA (L_{BGA} , R_{BGA}), des *solder balls* et des interconnexions du PCB (L_{PCB} , R_{PCB}).

Comme on peut le voir sur la Figure I. 39, les capacités C_{PCB} et C_{FE} sont montées en parallèle dans le circuit de découplage. Puisque leurs impédances d'accès ainsi que leurs valeurs de capacité sont différentes, il en résulte un circuit résonateur LC parallèle entre la capacité C_{FE} de la puce logique et l'inductance du circuit d'accès à C_{PCB} (composé notamment de L_{BEOL} , L_{BGA} , L_{PCB} et ESL_{PCB}). Comme discuté précédemment (voir partie 4.2.3), ce circuit résonateur a pour effet l'augmentation de l'impédance sur la gamme de fréquence comprise entre les fréquences de résonance propre à C_{FE} et C_{PCB} .

Cet effet, appelé « *chip/package resonance* » est un problème majeur dans les circuits de découplage classique, limitant l'efficacité du découplage des fréquences intermédiaires (~ 10 MHz-2 GHz) par la seule utilisation des capacités C_{FE} et C_{PCB} [47] [49] [50]. La Figure I. 40 issue de [50] représente la mesure d'impédance fréquentielle vue par la puce logique d'un circuit similaire. Le pic d'impédance à 33 MHz est dû à C_{FE} résonant avec la boucle d'inductance du package.

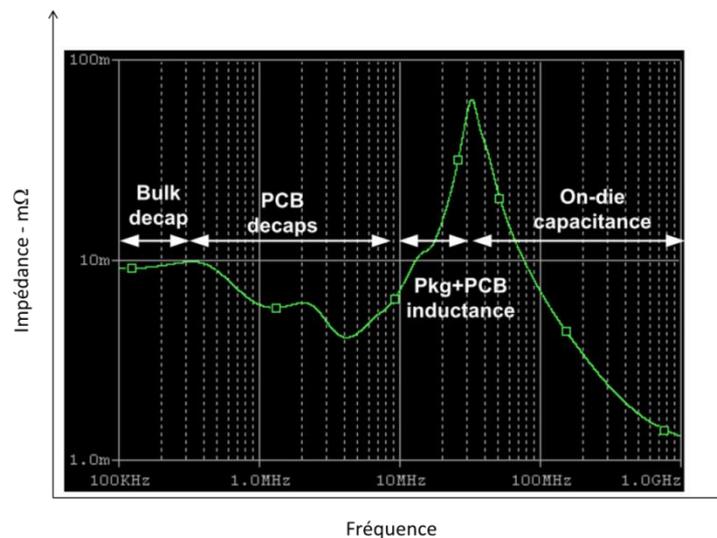


Figure I. 40 [50] : Impédance fréquentielle du PDN du point de vue de la logique. Les différentes capacités dominent différentes gammes de fréquences. Le pic d'impédance est le résultat de la résonance parallèle entre C_{FE} et l'inductance du package.

4.3.2 L'augmentation de l'impédance du PDN dans les circuits 3D

Si les circuits intégrés tridimensionnels comportent de nombreux avantages, le développement de PDN fiables assurant leur bon fonctionnement est un véritable défi. En effet, la complexification et la hiérarchisation de la structure introduite par l'empilement de puces hétérogènes induisent des effets parasites affectant l'intégrité du signal. L'empilement de multiples puces logiques au sein d'un même package peut conduire à de sérieux problèmes d'intégrité de puissance, car le bruit de commutation simultané au sein du PDN sera plus important si plusieurs puces logiques y contribuent [51]. De plus, la hiérarchisation de la structure apporte de nouvelles interconnexions prenant part à l'augmentation de l'effet de résonance *chip/package* induisant des pics d'impédance plus élevés aux fréquences intermédiaires [52] pouvant dépasser l'impédance cible Z_{CIBLE} du PDN.

L'ajout d'un interposeur silicium entre la puce logique et le BGA (tel qu'illustré sur la Figure I. 41) aura pour effet l'augmentation de l'impédance d'accès à la capacité de découplage montée sur le PCB. En effet, comme on peut le voir sur la Figure I. 42, la boucle de découplage comporte désormais les TSV, les μ -bumps, les niveaux de redistributions du signal en face avant et face arrière de l'interposeur, autant de composants contribuant à l'augmentation de l'impédance du circuit [52]. Il en va de même lorsque l'on empile de multiples puces comportant des TSV les unes sur les autres, l'impédance du PDN sera plus importante si elle est observée à partir de la puce supérieure [53] [54].

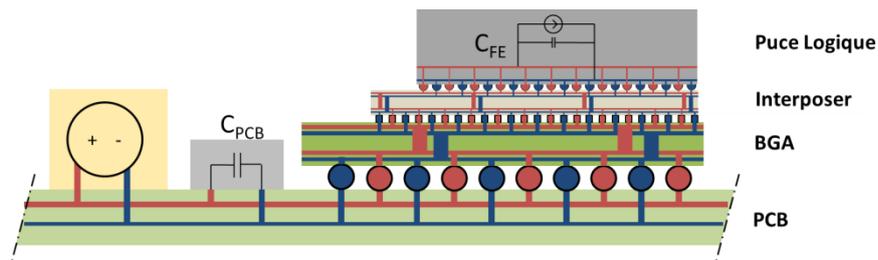


Figure I. 41 : Schéma simplifié du PDN d'un empilement PCB/BGA/Si-interposeur/Puce.

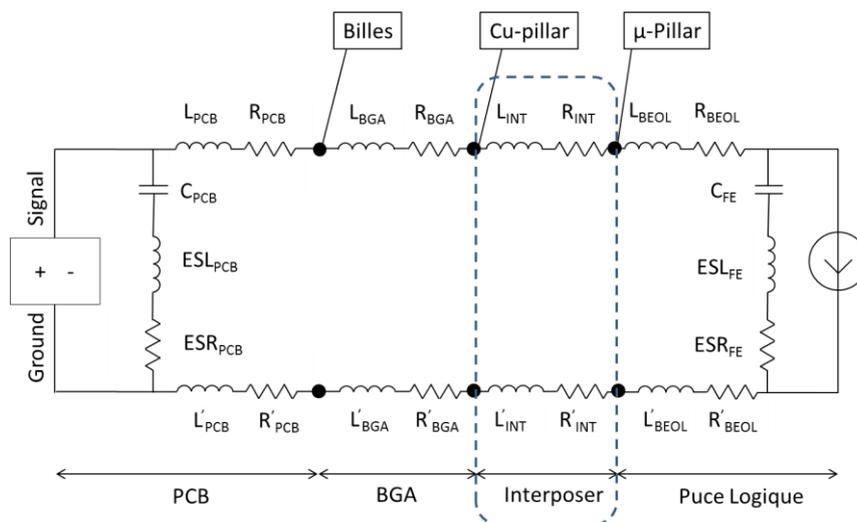


Figure I. 42: Schéma RCL simplifié du PDN d'un empilement PCB/BGA/Si-interposeur/Puce logique.

La complexification des structures dans les intégrations 3D nécessite une maîtrise de l'impédance du PDN accrue par rapport aux structures classiques, car elles favorisent l'apparition de pics d'impédances aux fréquences d'antirésonance. Les solutions pour atténuer la résonance du PDN sont les suivantes [48]:

- L'augmentation de la capacité sur la puce logique C_{FE} .
- La réduction de l'inductance du package et du PCB.
- L'ajout de capacité de découplage à des niveaux intermédiaires du *package*.

L'augmentation de la capacité présente dans les niveaux transistors de la puce logique est compromise par le besoin de place nécessaire à son intégration qui entrainerait un surcoût important de fabrication. L'inductance du package et du PCB peut être réduite par une conception soignée du PDN, cependant elle est limitée par l'impédance intrinsèque des interconnexions composant ce dernier. L'ajout de capacité de découplage dans le *package* semble être une solution idéale afin de découpler les fréquences intermédiaires.

4.3.3 Solutions de découplage capacitif pour les circuits 3D

Pour pouvoir fournir un découplage sur toute la gamme de fréquences, il est nécessaire d'intégrer de nouveaux types de capacités de découplages dans les différents niveaux du circuit 3D. La Figure I. 43 représente la structure discutée précédemment sur laquelle ont été intégrées des capacités supplémentaires dans le BGA C_{BGA} , l'interposeur C_{INT} ainsi que dans les niveaux d'interconnexions BEOL de la puce logique C_{BEOL} [55].

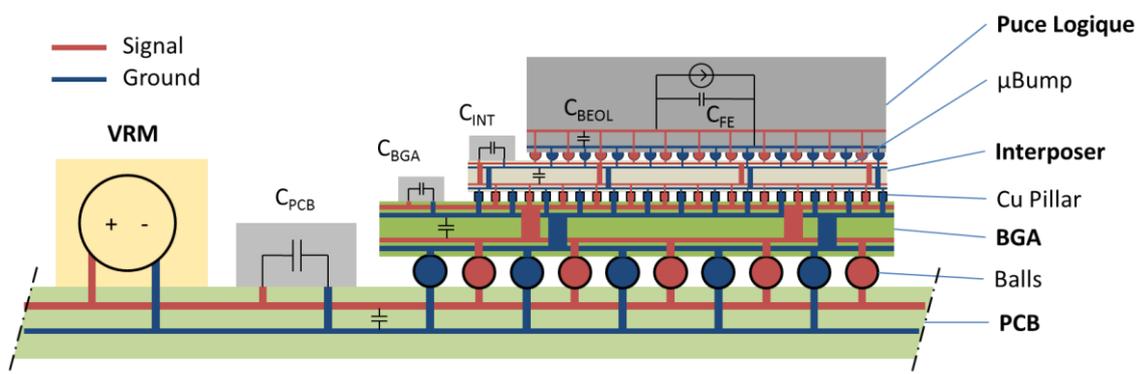


Figure I. 43 : Schéma d'un empilement PCB/BGA/Si-interposeur/Puce logique incluant plusieurs types de découplage à chaque niveau du package.

Deux types de capacités sont présentes à chaque niveau du package : les capacités SMD montées à la surface du substrat et celles intégrées dans le substrat. Dans le cas de ces dernières, on distinguera les solutions consistant à enterrer une capacité discrète dans un substrat organique aux capacités de type couche mince intégrées dans des substrats organiques ou silicium. La Figure I. 44 [51] illustre ces différents types d'intégrations : a) capacité discrète montée à la surface d'un substrat organique, b) capacité discrète intégrée dans un substrat organique, c) capacité couches minces intégrée dans un substrat silicium.

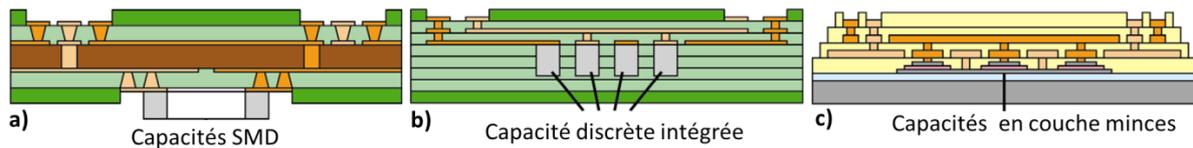


Figure I. 44 [51] : Vue en coupe de capacités montées ou intégrées dans des substrats organique ou silicium, a) Capacité discrète montée à la surface d'un substrat organique. b) Capacité discrète intégrée dans un substrat organique. c) Capacité en couches minces intégrée dans un substrat silicium.

De nombreuses études mettent en avant les avantages des capacités intégrées par rapport aux capacités montées à la surface du substrat (sur un même niveau) dus à la suppression de l'inductance parasite induite par les pads et les boucles inductives des vias et des lignes, que ce soit sur le PCB [56], le BGA [47] ou l'interposeur [51]. De plus, les capacités SMD ont le désavantage d'occuper de la place dans le package limitant ainsi la réduction de sa taille.

La Figure I. 45 représente un modèle RLC simplifié du PDN de la structure illustrée dans la Figure I. 43. Les capacités de découplage connectées entre les plans *signal* et *ground* apportent des électrons aux transistors en commutation, mais cet apport est limité par l'impédance parasite des interconnexions dans la boucle induisant des effets d'antirésonances. Un placement ingénieux de ces différents types de capacité permet aux concepteurs la réduction des pics d'antirésonances afin de maintenir l'impédance du PDN sous Z_{CIBLE} sur la totalité de la gamme de fréquences sur laquelle le circuit opère.

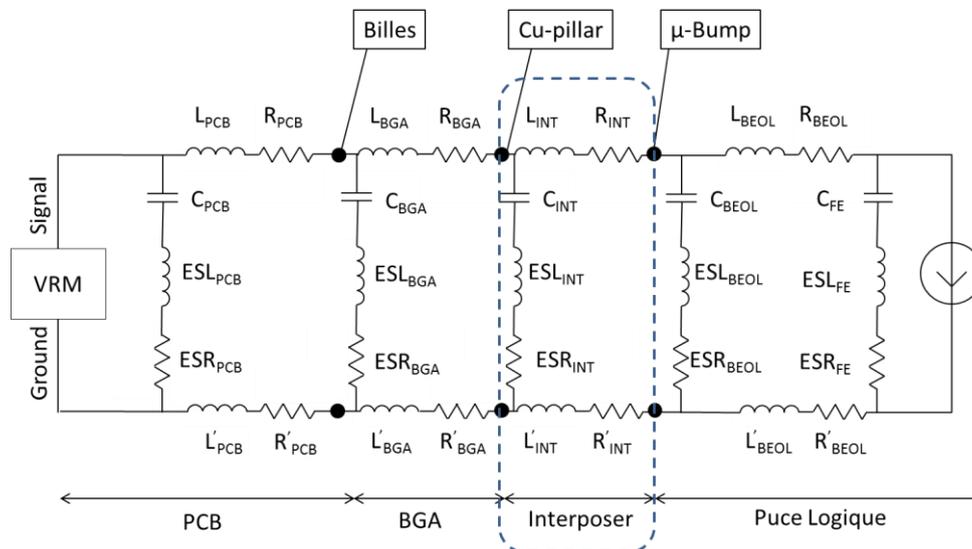


Figure I. 45 : Schéma équivalent d'un PDN comportant des capacités de découplage aux différents niveaux de la structure.

L'introduction de l'interposeur silicium dans la structure augmente l'impédance du PDN, l'intégration d'une capacité de découplage associée est nécessaire. C'est pourquoi de nombreux

types de capacités sont étudiés dans le cadre d'une intégration sur interposeur, qu'elles soient planaires [51] [52] [26] [57] [58] [59], ou tridimensionnelles [60] [61].

Afin d'illustrer la contribution de l'ajout de capacité de découplage dans le package, nous allons prendre l'exemple de l'intégration de capacité au sein d'un interposeur silicium, les résultats présentés sont issus des travaux de *Zhe Li et al.* [52]. Le dispositif de test, visible en encart sur la Figure I. 46, est composé d'un BGA (F1517 Package sur le schéma), d'un interposeur silicium, et de deux puces logiques (FPGA et daughter die sur le schéma). L'empilement comporte des capacités de découplage montées sur le BGA C_{BGA} ainsi que des capacités de découplage dans la puce logique C_{FE} . De plus, des capacités C_{INT} ont été intégrées en couches minces à l'interposeur silicium, apportant une valeur de 2,2 nF associée à une valeur d'ESR de 140 mΩ.

La Figure I. 46 présente la mesure de l'impédance du PDN à partir des billes de soudure du BGA, avec (en rouge) et sans (en bleu) capacités de découplage sur l'interposeur. Les différentes capacités dominent l'impédance à différentes bandes de fréquence. C_{BGA} apporte la plus grande valeur de capacité et domine l'impédance du PDN à basse fréquence. Le pic d'impédance observé autour 100 MHz sur la courbe bleue correspond à la résonance parallèle entre C_{FE} et sa boucle d'inductance à travers le package jusqu'à C_{BGA} . L'ajout de C_{INT} permet de réduire le pic d'impédance induit par la résonance parallèle de C_{FE} et L_{BGA} et de déplacer la résonance vers des fréquences inférieures.

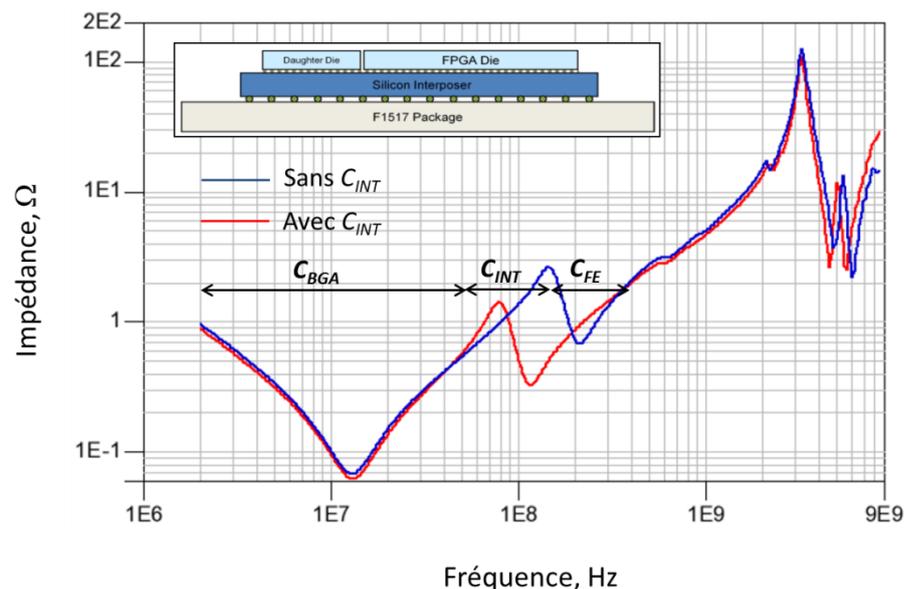


Figure I. 46 [52] : Impédance du PDN mesuré, avec (en rouge) et sans (en bleu) capacités de découplage intégrées à l'interposeur C_{INT} .

De la même manière, les travaux de *Heeseok Lee et al.* [57] ont démontré un découplage des fréquences intermédiaires (~10MHz - 2GHz) par l'intégration d'une capacité planaire de 40nF ($1\text{nF}\cdot\text{mm}^{-2}$) sur l'interposeur.

Ainsi, l'intégration de capacité de découplage sur l'interposeur silicium permet l'atténuation du pic de résonance chip/package lui-même amplifié par l'introduction de l'interposeur dans le système.

De plus, une capacité performante intégrée sur l'interposeur permettrait la diminution du besoin capacitif sur le BGA et même sur la puce logique, le découplage étant dans ce cas déplacé sur l'interposer.

Conclusion sur la distribution de puissance dans les circuits 3D

Cette partie a été l'occasion de définir le rôle primordial qu'assure le PDN au sein des circuits intégrés, ce dernier devant respecter une impédance maximale Z_{CIBLE} sur toute sa gamme de fonctionnements. Cette valeur cible évolue avec les nœuds technologiques et devient de plus en plus faible, et donc de plus en plus ardue à respecter.

Cette faible impédance est nécessaire à l'élimination du bruit dans le signal, provenant principalement de la commutation des transistors dans les circuits digitaux. Un bruit trop important pouvant entraîner des erreurs de détection d'état logique faussant le traitement des processeurs.

Des capacités de découplage sont utilisées afin d'assurer l'intégrité du signal, elles fournissent l'énergie aux transistors en commutation. Ces capacités possèdent des composantes résistive et inductive parasites qui influent sur la qualité du découplage et leur mise en parallèle mène à un effet indésirable d'antirésonance.

En pratique c'est la capacité présente sur la puce logique qui résonne avec l'inductance du package, induisant un pic d'impédance pouvant dépasser Z_{CIBLE} . Si l'effet Chip/Package est déjà problématique au sein des circuits classiques, il devient critique dans les structures plus complexes intégrées en 3D.

L'intégration de capacité de découplage au sein d'un interposeur répond à cette problématique en assurant l'intégrité de l'alimentation dans des structures tridimensionnelles.

5 Conclusion

Ce premier chapitre a été l'occasion de situer le contexte dans lequel a été développée la capacité traversante faisant l'objet de la présente étude.

Les limitations des circuits planaires classiques en termes de coût, d'encombrement et de performances poussent aujourd'hui les industriels à se tourner vers des architectures tridimensionnelles innovantes où les puces sont empilées les unes sur les autres. Cependant, l'intégration 3D exploitera son plein potentiel lorsque de fines couches de silicium seront reportées les unes sur les autres à l'échelle de la plaque. L'atteinte de cet objectif demandera beaucoup de temps de développement. Malgré tout, des solutions intermédiaires sont d'ores et déjà commercialisées. C'est le cas de l'interposeur silicium, qui permet l'intégration de multiples puces hétérogènes et l'augmentation de leur bus de communication grâce à la haute densité d'intégration offerte par le silicium. Au-delà de son rôle de plateforme d'intégration, l'interposeur silicium peut être fonctionnalisé en accueillant des composants actifs et passifs. C'est dans ce dernier cas de figure que nous nous placerons dans le cadre de cette étude : le développement d'une capacité intégrée à l'interposeur silicium.

La capacité étudiée est une capacité Métal-Isolant-Métal, ce type de condensateur intégré est utilisé depuis longtemps en microélectronique en tant que brique fondamentale de nombreuses fonctions électroniques. Son principal critère de performance est sa densité de capacité, traduisant la quantité d'énergie que le composant est capable d'emmagasiner. Cependant, son courant de fuite, sa linéarité en tension et sa tension de claquage ne doivent pas être sous-estimés, car ils peuvent être cruciaux pour certaines applications. Les performances de la capacité MIM sont définies par les matériaux composant l'empilement, et si l'intégration de diélectrique de plus haute permittivité paraît être la solution la plus simple pour assurer l'augmentation de la densité de capacité, ce n'est pas forcément le cas. En effet, l'augmentation de la permittivité va de pair avec la diminution de la fiabilité électrique de l'empilement (fuites, linéarité, claquage), et l'intégration de certains matériaux (comme les pérovskites) reste difficile. Pour ces raisons, les architectures MIM 3D sont de plus en plus utilisées, car elles permettent l'augmentation de la densité de capacité par une autre approche axée sur le développement de la surface capacitive tout en conservant un encombrement réduit au sein du circuit.

Les capacités jouent un rôle primordial au sein du réseau de distribution de puissance des circuits digitaux, elles permettent d'assurer l'intégrité de l'alimentation face à des transitoires rapides induits par les transistors en commutation. Dans un circuit de découplage réel, un effet d'antirésonance est observé entre la capacité présente dans la puce logique et l'inductance du package. Cette antirésonance est exacerbée par la hiérarchisation des structures, notamment en intégration 3D où de nouveaux éléments tels que l'interposeur induisent une augmentation de l'inductance du PDN. Il est donc crucial d'intégrer un découplage au sein de l'interposeur silicium pour assurer l'intégrité de l'alimentation du système.

Chapitre II :

Présentation et évaluation de l'architecture du Through Silicon Capacitor

1 Introduction

Le premier chapitre a permis de mettre en avant le besoin de capacités de découplage dans les intégrations 3D, et notamment au sein de l'interposeur silicium. Ce second chapitre introduit le composant capacitif développé au cours des travaux de thèse pour répondre à ce besoin : le *Through Silicon Capacitor* (ou TSC).

Une première partie est consacrée à la présentation de ce dispositif, ainsi qu'aux spécifications de performances ciblées dans le cas d'une application de découplage. La démarche d'étude sera ensuite présentée.

La seconde partie de ce chapitre a pour objectif l'évaluation des principales performances électriques du composant afin de définir une architecture permettant l'atteinte des spécifications cibles. Pour y parvenir, un modèle analytique a été mis en place afin de ne pas multiplier les tests sur plaques. Tout d'abord, la méthode de modélisation sera présentée et discutée, puis l'influence des différents paramètres de conception et de réalisation de la structure sera évaluée.

Cette analyse permettra d'une part la mise en avant des paramètres qu'il est important de maîtriser lors de la réalisation de la structure, et d'autre part l'évaluation des performances électriques du *Through Silicon Capacitor* ainsi que leur comparaison à l'état de l'art.

2 Intégration d'une MIM de découplage 3D au sein de l'interposeur.

2.1 Présentation du Through Silicon Capacitor

Le *Through Silicon Capacitor* (ou TSC) est une capacité Métal-Isolant-Métal tridimensionnelle qui a pour particularité de traverser l'intégralité de l'épaisseur de l'interposeur. En effet, les couches composant l'empilement MIM sont déposées dans des matrices de cavités profondes réalisées au préalable par DRIE¹. Cette architecture permet l'utilisation des flancs de ces cavités pour développer la surface capacitive du dispositif MIM et augmenter ainsi la densité de capacité du composant par rapport à une architecture MIM planaire.

La Figure II. 1 représente l'exemple d'une matrice de TSC intégrée à un interposeur silicium. La similarité de l'architecture du TSC avec celle du *Through Silicon Via* (TSV) n'est pas anodine, car le TSC a été conçu de manière à être co-intégré avec le TSV au sein de l'interposeur silicium. Cette co-intégration implique le partage de nombreuses étapes de réalisation : la gravure des vias par DRIE et leur passivation, le remplissage cuivre et la reprise de contact en face arrière. L'utilisation des étapes propres à la fabrication des TSV permet la réduction du coût de réalisation du TSC. Cela signifie aussi que la géométrie des TSC se doit d'être similaire à celles des TSV avec lesquelles ils sont co-intégrés, par conséquent les performances électriques du TSC dépendent du type de TSV utilisé.

¹ DRIE : *Deep Reactive Ion Etching* (Gravure Ionique réactive profonde)

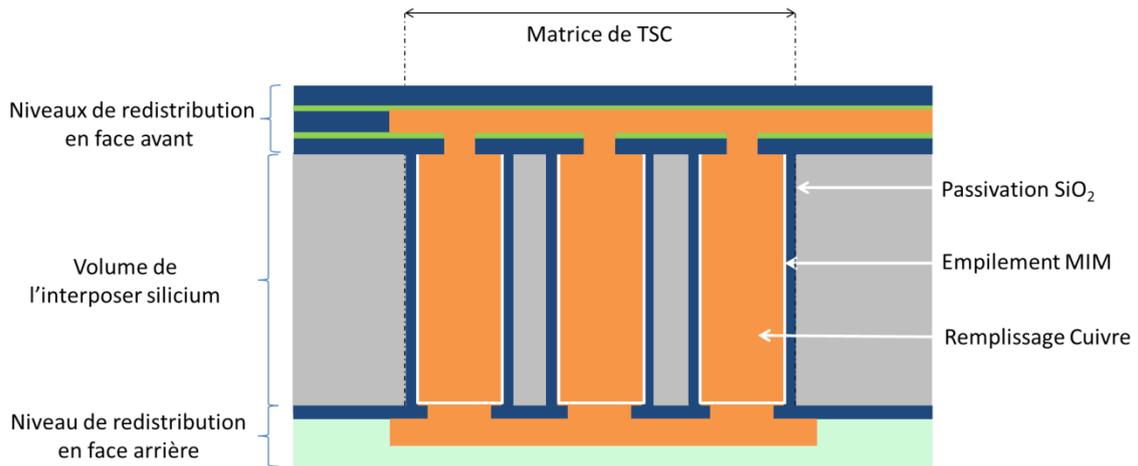


Figure II. 1. Schéma en coupe illustrant l'intégration du TSC au sein d'un interposeur silicium.

La Figure II. 2 illustre une coupe schématique représentant l'architecture d'un TSC unitaire, les différentes couches en présence sont visibles : la passivation électrique de SiO_2 , les trois couches électrode/diélectrique/électrode composant l'empilement MIM ainsi que le cuivre de remplissage. Comme on peut le voir sur le schéma électrique associé, chacune des électrodes du dispositif MIM est accessible depuis une face différente de l'interposeur. L'application d'une différence de potentiel entre $V+$ et la masse permet la polarisation de la couche de diélectrique présente sur les flancs et dans le fond du via.

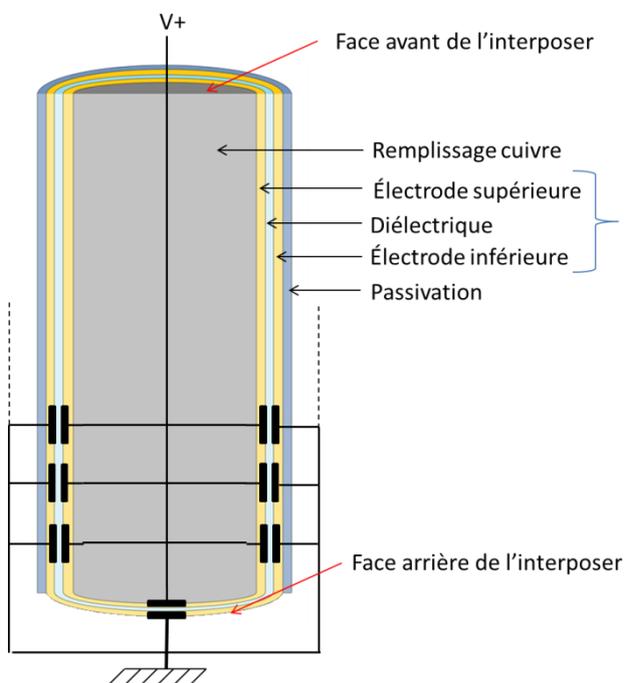


Figure II. 2. Illustration en coupe d'un TSC unitaire et du schéma électrique simplifié associé.

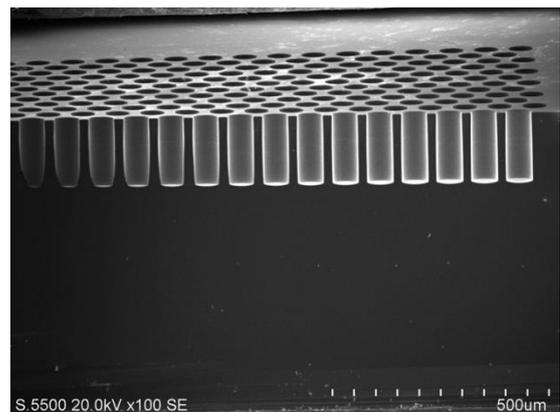


Figure II. 3. Coupe MEB post gravure DRIE d'une matrice de TSC de diamètre $60 \mu\text{m}$.

La capacité est composée d'une multitude de TSC unitaires, leur nombre dépend de la surface allouée au composant sur l'interposeur, de leur diamètre ainsi que de la densité de la matrice. La Figure II. 3 représente une coupe MEB post gravure DRIE d'une matrice de TSC de diamètre 60 μm .

Puisque le contact électrique de chacun des TSC unitaires est réalisé indépendamment depuis les deux faces de l'interposeur, le composant capacitif peut être considéré comme une multitude de capacités individuelles connectées en parallèle les unes aux autres. Une telle structure permet une réduction très importante de la résistance série équivalente (ESR_{TOT}) et de l'inductance série équivalente (ESL_{TOT}) du composant proportionnelle au nombre de TSC unitaire dans la matrice, tout en cumulant leurs valeurs de capacité individuelles, tel que :

$$ESR_{TOT} = \frac{ESR_{TSC}}{n} \quad II. 1$$

$$ESL_{TOT} = \frac{ESL_{TSC}}{n} \quad II. 2$$

$$C_{TOT} = C_{TSC} \cdot n \quad II. 3$$

Où ESR_{TSC} , ESL_{TSC} et C_{TSC} représentent les contributions individuelles d'un TSC et n le nombre de TSC dans la matrice.

L'architecture TSC permet ainsi l'apport d'une capacité sur l'interposeur, permettant notamment une application de découplage du PDN. Sa structure tridimensionnelle favorise le développement de la surface capacitive permettant l'atteinte d'une densité de capacité plus élevée que dans le cas d'une MIM planaire. La mise en parallèle de nombreux TSC unitaires au sein d'une matrice entraîne la réduction de l'impédance du dispositif, améliorant ainsi la qualité du découplage. Enfin, l'architecture du TSC a été conçue de manière à permettre sa co-intégration avec le TSV, réduisant de ce fait son coût de production.

2.2 Objectifs de performances de la capacité TSC

Les critères de performances des capacités MIM ont été décrits dans le premier chapitre. Cette partie définit les objectifs de performances ciblés dans le cas du TSC. Ces spécifications ont été fixées en prenant pour base les valeurs de performance de la MIM5, une capacité de découplage de 5 $\text{nF} \cdot \text{mm}^{-2}$ en production chez STMicroelectronics, dont la fiabilité est éprouvée.

Afin d'obtenir un gain significatif de densité de capacité pouvant justifier l'utilisation du TSC par rapport à une MIM planaire, l'architecture du TSC doit permettre d'augmenter la valeur de capacité surfacique à au moins 40 $\text{nF} \cdot \text{mm}^{-2}$. De plus, la structure parallèle de la matrice de TSC doit permettre d'adresser de faibles valeurs d'impédance parasite. Ainsi, les valeurs cibles de résistance et d'inductance série ont été évaluées à 100 $\text{m}\Omega$ et 25 pH respectivement, elles correspondent aux gammes de valeurs publiées dans la littérature pour des capacités de découplage de faible impédance intégrées à l'interposeur [52] [26] [62], ou non [63]. Le Tableau II. 1 résume les spécifications de la capacité TSC.

Critère de performance	Unité	Cible
Capacité surfacique	nF.mm ⁻²	> 40
Courant de fuite @ 3.3V - 125°C	A.cm ⁻²	< 10 ⁻⁷
Tension de claquage	V	> 10
Coefficient linéaire de tension	Ppm.V ⁻¹	< 150
Coefficient quadratique de tension	Ppm.V ⁻²	< 100
ESR	mΩ	< 100
ESL	pH	< 25

Tableau II. 1. Spécifications cibles de la capacité TSC issues des besoins exprimés dans la littérature et par les industriels.

2.3 Démarche de l'étude

La mise au point d'un nouveau type de composant soulève de nombreux défis en termes de conception, de réalisation et de qualification. Voici la démarche d'étude proposée afin d'y répondre, elle se décompose en trois étapes :

- Évaluation de l'architecture de la capacité TSC

L'objectif de cette première étape est l'évaluation des paramètres influençant les propriétés électriques du composant afin de définir une architecture permettant l'atteinte des objectifs de performance en termes de géométrie et de matériaux utilisés.

Pour y parvenir, un modèle analytique distribué a été mis en place afin de quantifier l'impact de chacun des paramètres sur les valeurs de capacité et de résistance série d'un TSC unitaire. Ces résultats ont ensuite été extrapolés à l'échelle d'une matrice de TSC afin d'évaluer les performances du dispositif capacitif dans son ensemble, en fonction des paramètres de conception de cette matrice. Cette étape est présentée dans la suite de ce chapitre.

- Développement des procédés propres au TSC

La seconde étape a pour objectif le développement des procédés menant à la réalisation des briques technologiques nécessaires à la réalisation du TSC.

Un premier axe de développement consiste en la réalisation d'un empilement métal-isolant-métal dans des vias profonds, à travers le choix des méthodes et paramètres de dépôt, leur réalisation, ainsi que leur caractérisation. Le second axe de développement est la réalisation de la co-intégration TSC/TSV, à travers la conception d'un procédé de fabrication, sa réalisation et sa caractérisation. Le développement de ces procédés propres à la capacité TSC sera l'objet du troisième chapitre.

- **Évaluation des performances du composant TSC intégré à l'interposeur.**

L'objectif de cette dernière étape consiste en l'évaluation des performances du TSC lorsque ce dernier est intégré à l'interposeur silicium, elle se décompose en deux parties distinctes.

Tout d'abord, une campagne de caractérisations électriques du composant a été réalisée sur un démonstrateur simplifié permettant la mesure électrique de matrices de TSC depuis la face avant d'un substrat de silicium.

Dans un second temps, une campagne de simulations électromagnétiques par éléments finis effectuée sur des modèles de matrices traversantes a permis l'évaluation des performances du TSC lorsqu'il est intégré à l'interposeur silicium.

Cette dernière partie sera l'objet du quatrième chapitre de ce manuscrit.

3 Développement d'un modèle analytique RC distribué

La première étape des travaux de thèse a été l'évaluation des performances électriques de la capacité TSC. Le but étant la définition d'une architecture permettant l'atteinte des spécifications électriques principales en termes de géométrie et de matériaux utilisés.

Afin de ne pas multiplier les tests sur plaques, les performances du TSC ont été évaluées à travers des méthodes de modélisation. Un modèle analytique distribué a tout d'abord été mis en place afin d'évaluer la valeur de capacité ainsi que la valeur d'ESR d'un TSC unitaire en fonction de ses paramètres géométriques et matériaux. L'évaluation de l'inductance nécessite quant à elle une méthode de simulation par éléments finis qui sera présentée dans le dernier chapitre. Les informations recueillies à travers la modélisation RC et la simulation ont permis l'évaluation des performances électriques d'une matrice de TSC en fonction de l'espace alloué au composant sur l'interposeur ainsi que la densité de la matrice.

Nous allons dans cette première partie établir le modèle analytique du TSC permettant le calcul de la résistance série et de la valeur de capacité du TSC. Le modèle du TSC a été adapté des travaux de modélisation publiés par *A. Bajolet et al.* [64] qui sont décrits en détail dans son manuscrit de thèse [65]. Ce modèle a originellement été développé pour l'étude d'une capacité MIM intégrée dans les niveaux d'interconnexions d'une puce logique [55], il est en accord avec des mesures RF effectuées sur plaques [64] [65]. La particularité de ce modèle provient de la prise en compte de la distribution électrique le long des électrodes de la MIM, un paramètre crucial dans le cas du TSC où les électrodes sont déposées dans des vias dont la profondeur égale celle de l'épaisseur de l'interposeur (de 100 à 300 μm).

Le modèle original planaire a été adapté pour correspondre à l'architecture du TSC :

- Des expressions de résistance et de capacité radiales ont été intégrées pour prendre en compte la géométrie cylindrique d'un TSC.
- Les contributions du fond de via et du remplissage de cuivre ont été implémentées.
- La non-uniformité de l'épaisseur des couches est prise en compte.

La suite de la section présente en détail le modèle RC du TSC.

3.1 Dimensionnement de la structure et hypothèses de modélisation

Avant toutes choses, il est nécessaire d'émettre certaines hypothèses permettant la modélisation du TSC :

- On considère le TSC comme un cylindre parfait. Il s'agit d'une approximation raisonnable au regard de la grande maturité des techniques de gravure DRIE.
- Le substrat de silicium est considéré comme infiniment résistif, c'est-à-dire que les porteurs de charges ne passent que par le métal des électrodes supérieures et inférieures et qu'aucun ne passe par le silicium. Par conséquent, aucun effet de polarisation de la couche de passivation du TSC n'est pris en compte.
- Les accès électriques au TSC, que ce soit en haut ou en fond de via sont considérés équipotentiels.
- La résistivité du cuivre de remplissage est significativement plus faible que celle du métal composant les électrodes de la MIM. Ainsi, lorsque les deux chemins électriques sont disponibles au passage du courant, le transport de charges dans l'électrode est négligé face au transport dans le cuivre.
- Les couches en présence ne présentent aucune rugosité.
- Lorsque la non-conformité de la couche est prise en considération, la décroissance de l'épaisseur de matériau le long de l'axe Z est considérée comme linéaire.

La Figure II. 4 présente deux schémas en coupe d'un TSC de diamètre Φ et de profondeur L, ainsi que la nomenclature utilisée. Les couches en présence sont (depuis l'extérieur) : la passivation d'épaisseur t_p (en bleu foncé), l'électrode inférieure d'épaisseur t_{inf} (en jaune), le diélectrique d'épaisseur t_{hk} (en bleu clair), l'électrode supérieure d'épaisseur t_{sup} (en jaune) et le remplissage de cuivre (en gris). Cette nomenclature sera utilisée dans le modèle analytique.

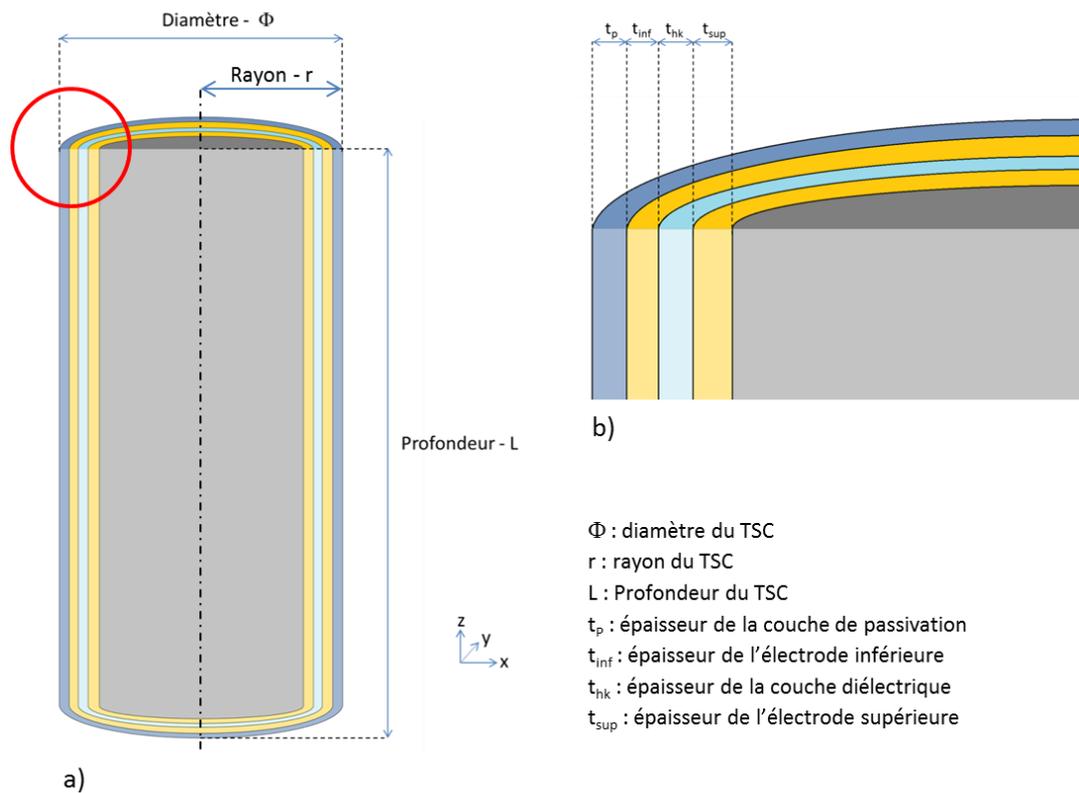


Figure II. 4. Schémas en coupe de l'architecture du TSC et nomenclature associée. a) Vue complète du TSC. b) Détails des couches en flanc supérieur de via.

3.2 Modélisation du flanc de TSC

La première étape de la modélisation de la structure complète consiste en la modélisation du flanc de TSC. Au vu des dimensions du TSC, cette partie latérale est celle influençant le plus les résultats extraits du modèle complet (environ 97% de la capacité totale dans le cas d'un TSC $10 \times 80 \mu\text{m}$).

De plus, c'est sur les flancs de la structure que la distribution d'impédances prend tout son sens. En effet, le positionnement des contacts induit une variation du flux de courant dans les électrodes inférieures et supérieures, selon l'axe Z. Pour tenir compte de cet effet de propagation, la structure est décomposée selon un circuit électrique équivalent constitué par un réseau distribué d'impédances, tel qu'il est visible sur la Figure II. 5 (correspondant au cercle rouge visible sur la Figure II. 4). Le composant est divisé selon l'axe Z en N éléments de dimensions égales (L/N) comportant chacun :

- Une résistance longitudinale R_1 et une résistance transverse R_2 associée à l'électrode inférieure.
- Une résistance longitudinale R_4 associée au remplissage cuivre et une résistance transverse R_3 associée à l'électrode supérieure.
- Une capacité C associée au diélectrique.

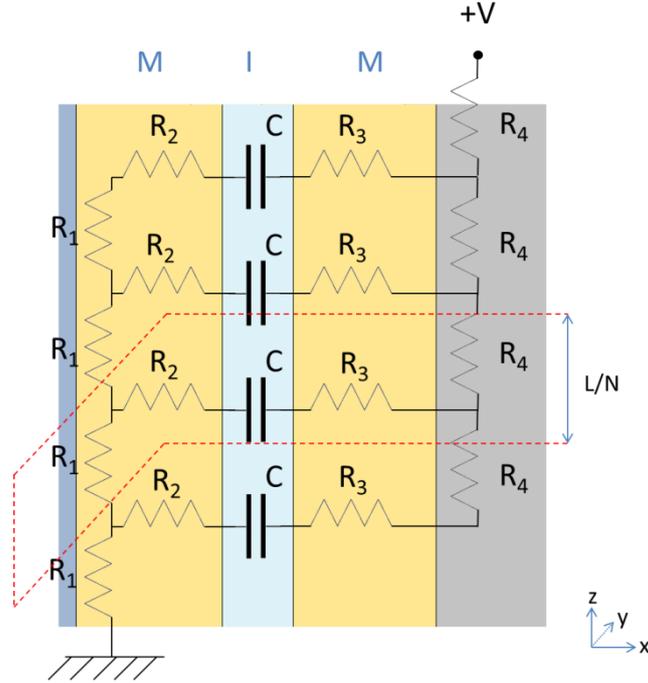


Figure II. 5. Schéma de la structure du flanc de TSC et du réseau d'impédances associé.

Ces différentes composantes sont définies par les relations suivantes :

$$R_1 = \frac{\rho_{inf} \cdot L}{N \cdot (\pi r^2 - \pi(r - t_{inf})^2)} \quad II. 4$$

$$R_2 = \frac{\rho_{inf} \cdot N}{2\pi L} \cdot \ln\left(\frac{r}{r - t_{inf}}\right) \quad II. 5$$

$$R_3 = \frac{\rho_{sup} \cdot N}{2\pi L} \cdot \ln\left(\frac{r - t_{inf} - t_{hk}}{r - t_{inf} - t_{hk} - t_{sup}}\right) \quad II. 6$$

$$R_4 = \rho_{SF} \cdot \frac{L}{N \cdot \pi \cdot (r - t_{inf} - t_{hk} - t_{sup})^2} \quad II. 7$$

$$C = \frac{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_r \cdot L}{N \cdot \ln\left(\frac{r - t_{inf}}{r - t_{inf} - t_{hk}}\right)} \quad II. 8$$

Avec ρ_{inf} la résistivité du métal de l'électrode inférieure, ρ_{SF} la résistivité du cuivre de remplissage, ρ_{sup} celle du métal de l'électrode supérieure, ϵ_0 ¹ la permittivité du vide et ϵ_r la permittivité relative du diélectrique.

¹ $\epsilon_0 = 8,854187817 \cdot 10^{-12} \text{ kg}^{-1} \cdot \text{m}^{-3} \cdot \text{A}^2 \cdot \text{s}^4$

Afin de ne pas surcharger les expressions, l'épaisseur de la passivation n'y apparaît pas, le rayon de TSC considéré dans le calcul est donc le rayon réel auquel on soustrait l'épaisseur de la couche de passivation t_p .

Comme il a été mentionné précédemment, le modèle du TSC a été adapté des travaux de modélisation publiés par *A. Bajolet et al.* [64] qui sont décrits en détail dans son manuscrit de thèse [65]. Ainsi, la démonstration menant aux expressions analytiques de résistance et de réactance de la structure ne sera pas présentée dans ce chapitre. Cependant, la démonstration complète prenant en compte les composantes radiales propres à l'architecture du TSC est consultable en annexe de ce manuscrit.

La méthode de modélisation proposée par *A. Bajolet et al.* est basée sur un raisonnement par récurrence permettant l'extraction des expressions analytiques de résistances et de réactance de la structure. Elles sont présentées ci-après.

La résistance de la partie inférieure (comportant l'électrode inférieure) est donnée par la relation suivante :

$$R_{inf(z)} = \frac{\rho_{inf} \cdot \ln\left(\frac{r}{r - t_{inf}}\right)}{2 \cdot \pi \cdot z} + \frac{\rho_{inf} \cdot z}{6 \cdot t_{inf} \cdot \pi \cdot r - 3 \cdot t_{inf}^2 \cdot \pi} \quad II. 9$$

Où z correspond donc à une position sur l'axe Z (la résistance de la structure complète est donc obtenue pour $z = L$).

La résistance de partie supérieure (comportant l'électrode supérieure ainsi que le remplissage cuivre) est quant à elle donnée par la relation suivante :

$$R_{sup(z)} = \frac{\rho_{sup} \cdot \ln\left(\frac{r - t_{inf} - t_{hk}}{r - t_{inf} - t_{hk} - t_{sup}}\right)}{2 \cdot \pi \cdot z} + \frac{\rho_{SF} \cdot z}{3 \cdot \pi \cdot (r - t_{inf} - t_{hk} - t_{sup})^2} \quad II. 10$$

De la même manière, l'expression analytique de la réactance de la structure correspond à :

$$\chi_{(z)} = \frac{\ln\left(\frac{r - t_{inf}}{r - t_{inf} - t_{hk}}\right)}{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_r \cdot z \cdot \omega} = \frac{1}{j \cdot C \cdot \omega} \quad II. 11$$

Le modèle ainsi développé permet l'extraction de la valeur d'ESR du flanc du TSC en prenant en considération la distribution du flux de courant le long des électrodes. Elle correspond à la somme des équations II. 9 et II. 10. La valeur capacitive du flanc de via peut quant à elle être extraite de l'équation II. 11.

À titre de comparaison, la valeur de résistance de l'électrode inférieure calculée à l'aide du modèle distribué est de 17Ω pour une couche de TiN de 100 nm déposée dans un via de $10 \times 80 \mu\text{m}$. Cette valeur s'élève à 52Ω pour une même couche calculée à l'aide des équations de résistance

standards (le modèle n'est alors pas distribué). Cet écart d'un facteur supérieur à 3 justifie l'utilisation du réseau distribué d'impédance pour le calcul de l'ESR de la structure complète.

3.3 Prise en compte de la non-conformité des couches déposées en flanc de via.

Comme il a été mentionné plus tôt, le modèle analytique RC a été originellement développé pour l'étude d'une capacité MIM planaire, les épaisseurs des matériaux sont donc considérées comme constantes dans toute la structure. Cependant, dans le cas du TSC, les profondeurs mises en jeu entraînent une non-uniformité de l'épaisseur de la couche déposée, on parle de non-conformité de la couche. En effet, lors du dépôt de matériau dans un via profond, le phénomène de diffusion des réactifs jusqu'au fond du via entraîne une différence de cinétique de réaction entre le haut et le fond du via, induisant de ce fait une différence d'épaisseur de matériau déposé (ce phénomène sera expliqué plus en détail dans le troisième chapitre de ce manuscrit). La Figure II. 6 illustre en partie a) la coupe d'une couche conforme déposée dans un via et en partie b) une couche non conforme dont l'épaisseur en fond de via est amoindrie.

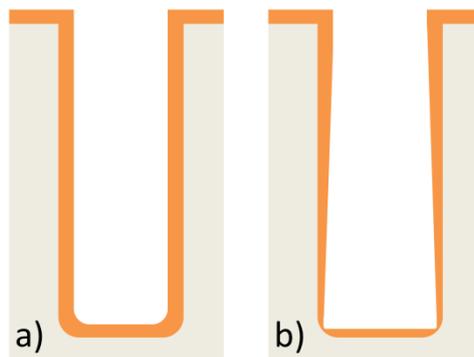


Figure II. 6. Illustration en coupe de la conformité d'une couche déposée dans un via. a) La couche est conforme: l'épaisseur est uniforme. b) La couche n'est pas conforme: l'épaisseur en fond de via est amoindrie.

Dans le cadre du modèle, cette variation d'épaisseur des couches impacte directement les valeurs d'ESR et de capacité du flanc de via. Il est donc nécessaire d'intégrer l'effet de la non-uniformité des couches afin d'obtenir un modèle RC plus fidèle au composant réel.

Pour ce faire, la profondeur L du TSC est subdivisée en N sections de longueur égales selon l'axe Z . Pour chacune de ces sections, l'épaisseur des matériaux en présence est calculée en fonction de sa position sur l'axe Z ainsi que du pourcentage de conformité de la couche (correspondant au ratio de l'épaisseur en fond de flanc sur l'épaisseur en haut de flanc). Un pourcentage de conformité c de 100% correspond à une couche dont l'épaisseur ne varie pas. La décroissance de l'épaisseur de chacune des couches est considérée linéaire selon l'axe Z .

La Figure II. 7 représente la façon dont le flanc de via est divisé afin de prendre en compte la non-conformité de la couche : t représente l'épaisseur de la couche en haut de via. L'épaisseur en fond de via correspond au produit de t et de la conformité c associée. Dans cet exemple, le flanc de via est

divisé en quatre parties de longueurs égales, n étant l'indice associé à chaque section (croissant depuis le haut du via).

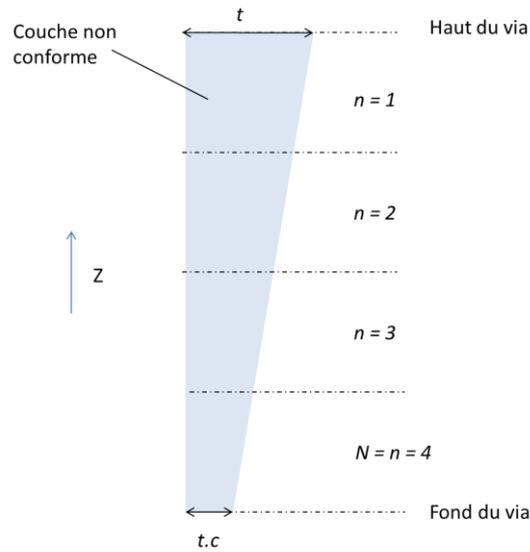


Figure II. 7. Illustration en coupe de la méthode de découpage du flanc de via pour la prise en compte de la non-conformité de la couche.

L'épaisseur de la section d'indice n est donnée par l'expression II. 12, elle correspond à la moyenne de l'épaisseur de la couche présente en haut de la section d'indice n (exprimée par le terme A) et de l'épaisseur de la couche présente en bas de la section d'indice n (exprimée par le terme B).

$$t_n = \frac{\overbrace{\left[t \cdot \left(c + (1 - c) \cdot \frac{N - n + 1}{N} \right) \right]}^{\text{Terme A}} + \overbrace{\left[t \cdot \left(c + (1 - c) \cdot \frac{N - n}{N} \right) \right]}^{\text{Terme B}}}{2} \quad \text{II. 12}$$

Les épaisseurs ainsi obtenues sont ensuite réinjectées dans les équations II. 9, II. 10 et II. 11 (avec $z = L/N$). Les composantes transverses et longitudinales des résistances des parties supérieures et inférieures sont calculées séparément.

La valeur de capacité du flanc de via correspond à la somme des composantes capacitives de chaque section. Pour chacune des parties inférieures et supérieures, la valeur de résistance correspond à la somme des composantes résistives transversales de chaque section montées en parallèle et des composantes résistives longitudinales montées en série.

3.4 Intégration de la contribution du fond du TSC au modèle RC

Le modèle développé jusqu'ici ne prend en compte que le flanc du TSC, afin d'obtenir un modèle de la structure complète il est nécessaire d'intégrer la contribution du fond de via. Puisque l'accès électrique depuis le fond du via est considéré comme équipotentiel, le transport transversal est nul. Ainsi, le schéma électrique équivalent du fond de via (visible sur la Figure II. 8) comporte trois composantes : R_5 la résistance de l'électrode inférieure, R_6 celle de l'électrode supérieure et C_f la capacité du fond de via.

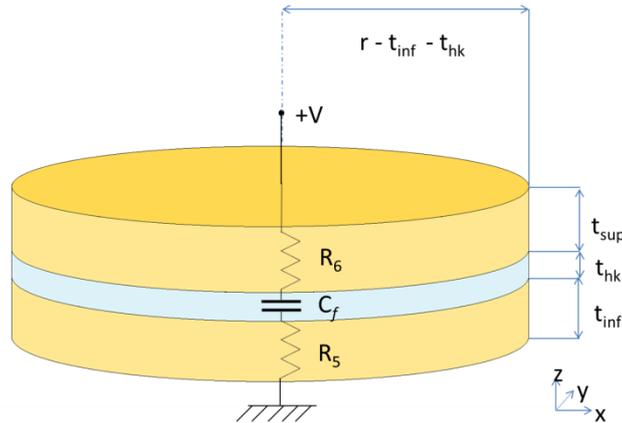


Figure II. 8. Schéma de la structure du fond de via et du circuit électrique équivalent.

Chacune des composantes du fond de via s'exprime de la manière suivante :

$$R_5 = \rho_{inf} \cdot \frac{t_{inf}}{\pi \cdot (r - t_{inf} - t_{hk})^2} \quad II. 13$$

$$R_6 = \rho_{sup} \cdot \frac{t_{sup}}{\pi \cdot (r - t_{inf} - t_{hk})^2} \quad II. 14$$

$$C_f = \varepsilon_0 \cdot \varepsilon_r \cdot \frac{\pi \cdot (r - t_{inf} - t_{hk})^2}{t_{hk}} \quad II. 15$$

Afin de considérer la structure dans son ensemble, la valeur capacitive totale du TSC correspond à la somme de contributions capacitives du flanc et du fond de via. R_5 est associé en parallèle à la valeur de résistance transverse de la partie inférieure du flanc, de même R_6 est associé en parallèle à la valeur de résistance transverse de la partie supérieure du flanc.

Le modèle ainsi développé permet le calcul des valeurs d'ESR et de capacité de la structure TSC en prenant en compte la distribution du flux de courant le long des électrodes selon l'axe Z ainsi que la non-uniformité de l'épaisseur des couches déposées en flanc de via.

4 Influence de l'architecture d'un TSC unitaire sur l'ESR et la capacité

4.1 Les matériaux évalués et leurs caractéristiques

Les matériaux diélectriques évalués en vue d'une intégration au sein de la capacité TSC sont l'alumine (Al_2O_3) et l'oxyde de tantale (Ta_2O_5). Comme il a été mentionné dans le premier chapitre, l'alumine est utilisée depuis longtemps comme diélectrique de structure MIM. De ce fait, les procédés de réalisations sont matures et la littérature sur le sujet est fournie, permettant de nombreux points de comparaison dans le cadre d'une intégration au sein du TSC. L'alumine présente une permittivité diélectrique de $\epsilon_R = 8,5$ [66], une bande interdite de $E_G = 8,5$ eV [28] ainsi qu'un champ de claquage de $E_{BD} = 8$ MV.cm⁻¹. Ces matériaux ont été choisis car leur intégration est déjà maîtrisée au sein de capacités MIM planaires, permettant de focaliser l'étude sur l'intégration dans les TSC.

L'oxyde de tantale a été choisi, car il présente une permittivité relative de $\epsilon_R = 25$, permettant théoriquement l'atteinte d'une densité de capacité plus élevée que dans le cas de l'Alumine. Cependant, sa bande interdite moins large de $E_G = 4,5$ eV ainsi que son champ de claquage plus faible de $E_{BD} = 5$ MV.cm⁻¹ [28] ont tendance à exacerber les courants de fuites et à diminuer la tension de claquage du dispositif final. Il est donc nécessaire d'adapter les épaisseurs de diélectriques déposées en fonction des spécifications recherchées, ce qui influe sur la valeur capacitive.

Le métal composant les électrodes supérieures et inférieures est le nitrure de titane (TiN). Il a tout d'abord été choisi pour sa bonne compatibilité avec l'alumine et le l'oxyde de Tantale, mais aussi parce qu'il est déjà utilisé dans le procédé TSV pour la réalisation de la barrière de diffusion (voir chapitre I). Le TiN présente un travail de sortie de 4,8 eV [28], sa résistivité a été évaluée à 194 $\mu\Omega$.cm par une mesure 4 pointes effectuée en surface de plaque (qui sera l'objet d'une discussion dans le prochain chapitre), une valeur proche de celle rapportée dans la littérature de 200 $\mu\Omega$.cm [28].

Le métal utilisé pour le remplissage du via est un cuivre présentant une résistivité de 1,9 $\mu\Omega$.cm [28], il remplit complètement le via. Le Tableau II. 2 résume les principales caractéristiques des matériaux utilisés dans le modèle RC.

	Al_2O_3	Ta_2O_5	TiN	Cu
Permittivité relative ϵ_R	8.5	25	-	-
Résistivité ρ ($\mu\Omega$.cm)	-	-	194	1,9

Tableau II. 2. Résumé des principales caractéristiques des matériaux utilisés dans le modèle RC.

Les épaisseurs minimales de diélectriques déposés ont été définies d'après la fiabilité électrique d'empilements TiN/Diélectrique/TiN dans des structures tridimensionnelles rapportées dans la littérature. Plus exactement en fonction de leur tension de claquage V_{BD} correspondant à la tension de polarisation maximum applicable avant la création irréversible d'un chemin conducteur à travers le diélectrique. Ainsi, l'épaisseur minimale d' Al_2O_3 a été fixée à 20 nm pour une tension de claquage

supérieure à 11V [55] permettant l'atteinte de l'objectif fixé à 10V (voir le Tableau II. 1), de même celle du Ta₂O₅ a été fixée à 40 nm pour une tension de claquage supérieure à 15V [67].

4.2 Influence de la géométrie du via

Avant d'évaluer l'influence de la géométrie du via sur les valeurs d'ESR et de capacité, il convient de déterminer les autres paramètres entrant en jeu dans la modélisation. Ainsi, une couche de passivation de 200 nm a été prise en compte, l'épaisseur des électrodes de TiN a été fixée à 100 nm, valeur traditionnellement utilisée pour les TSV, et celle des couches d'Al₂O₃ et de Ta₂O₅ a 20 et 40 nm respectivement. Toutes les couches sont considérées comme étant parfaitement conformes. Deux paramètres géométriques influencent les performances électriques d'un TSC unitaire : le diamètre du via et sa profondeur.

4.2.1 Influence du diamètre du via

Le diamètre du via est un paramètre qui est fixé lors de la conception du masque de lithographie permettant la réalisation de l'étape de gravure. La Figure II. 9 représente l'évolution de la valeur capacitive en fonction du diamètre de via pour un TSC d'une profondeur fixée à 100 μm , épaisseur classique des interposeur silicium. La courbe en bleu représente les valeurs obtenues lors de l'utilisation d'une couche de 20 nm d'Al₂O₃ et la courbe en rouge celles obtenues pour une couche de Ta₂O₅ de 40 nm. Dans les deux cas, la valeur capacitive augmente avec le diamètre (allant de pair avec l'augmentation de la surface capacitive). Le gain de capacité offert par l'oxyde de tantale sur l'alumine augmente proportionnellement avec la surface capacitive disponible dans la structure. Pour un via de 100 x 100 μm , la valeur capacitive d'un TSC unitaire est de 147 pF dans le cas de l'alumine et 216 pF dans le cas de l'oxyde de tantale, soit une augmentation de 47 %.

Bien que l'augmentation du diamètre entraîne l'augmentation de la valeur capacitive d'un TSC unitaire, il est important de prendre en considération le fait qu'au sein d'une matrice de TSC, l'augmentation du diamètre entraîne une réduction de la densité de TSC. Ainsi, à l'échelle du dispositif, l'augmentation du diamètre n'entraîne pas nécessairement l'augmentation de la densité de capacité.

La Figure II. 10 représente quant à elle l'évolution de l'ESR en fonction du diamètre du via, les valeurs présentées ont été calculées dans le cas de l'alumine. La différence avec l'oxyde de tantale est négligeable, car seule la différence d'épaisseur de 20 nm entre les deux diélectriques influence le résultat du calcul de l'ESR de la partie supérieure de la structure. Comme on peut le voir, la réponse résistive de la structure décroît exponentiellement avec l'augmentation du diamètre. La résistance série de la structure est inférieure à 5 Ω pour les diamètres supérieurs à 45 μm , et peut atteindre jusqu'à 46 Ω dans le cas d'un via de diamètre 5 μm . Cet effet est à prendre en considération lors de la conception de la matrice de TSC afin d'atteindre les objectifs d'ESR de la matrice.

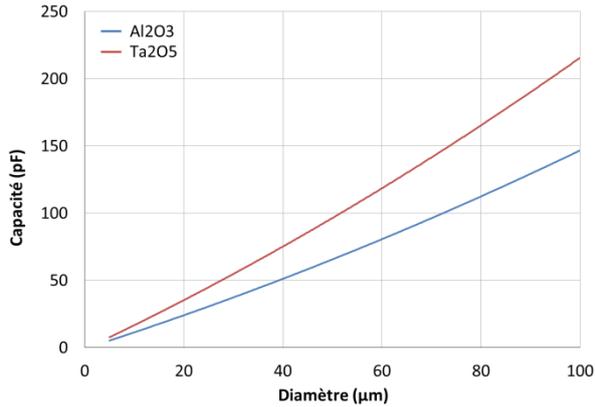


Figure II. 9. Évolution de la capacité en fonction du diamètre de via pour un TSC unitaire d'une profondeur de 100 μm : dans le cas de l'utilisation d'une couche de 20 nm d'Al₂O₃ (en bleu) et 40 nm de Ta₂O₅ (en rouge).

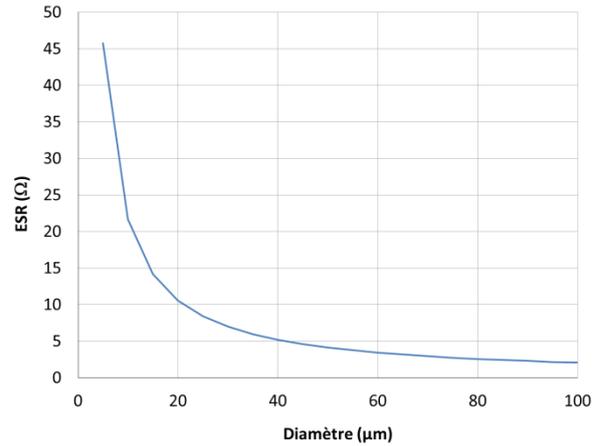


Figure II. 10. Évolution de l'ESR en fonction du diamètre de via pour un TSC unitaire d'une profondeur de 100 μm.

4.2.2 Influence de la profondeur du via

La profondeur du via dépend de l'étape de gravure profonde des TSC par DRIE. La Figure II. 11 représente l'évolution de la résistance série de la structure en fonction de la profondeur du via pour un diamètre fixé à 50 μm. La courbe en bleu représente les valeurs obtenues lors de l'utilisation d'une couche de 20 nm d'Al₂O₃ et la courbe en rouge celles obtenues pour une couche de Ta₂O₅ de 40 nm. La capacité augmente linéairement avec la profondeur du via, puisque la surface capacitive disponible est proportionnelle à la profondeur. Pour un via de 50 x 250 μm, la valeur capacitive d'un TSC unitaire est de 153 pF dans le cas de l'alumine et 225 pF dans le cas de l'oxyde de tantale, on retrouve le gain de 47 % calculé précédemment.

Contrairement au diamètre du via, la profondeur de ce dernier n'influence pas la densité de TSC de la matrice. Ainsi, l'augmentation de la profondeur du TSC entraîne l'augmentation proportionnelle de la densité de capacité de la matrice de TSC.

La courbe rouge visible sur la Figure II. 12 représente l'évolution de la résistance série de la structure en fonction de la profondeur du via pour un diamètre fixé à 50 μm, les valeurs présentées ont été calculées dans le cas de l'alumine. L'ESR augmente linéairement avec la profondeur de la structure, un ESR de 10,4 Ω est observé dans le cas d'un TSC de 50 x 250 μm.

Les croix bleues visibles sur la Figure II. 12 représentent quant à elles les valeurs de résistance de la composante longitudinale de l'électrode inférieure. Comme on peut le voir sur le graphique, les deux courbes sont confondues, mettant en évidence le fait que cette composante domine largement la valeur d'ESR de la structure complète. Ainsi, la résistance série de la structure est limitée par le transport longitudinal de l'électrode inférieure (selon l'axe Z).

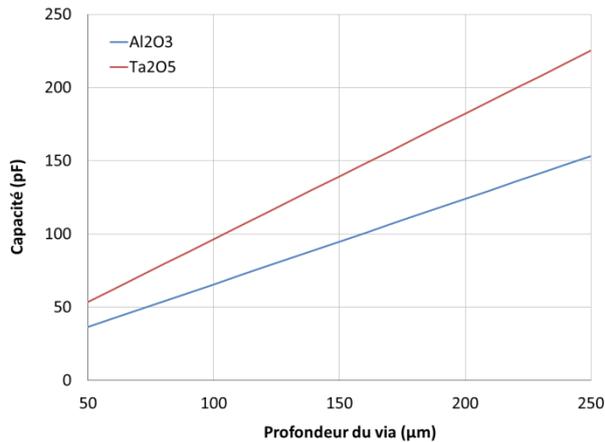


Figure II. 11. Évolution de la capacité en fonction de la profondeur d'un TSC unitaire pour un diamètre de 50 μm : dans le cas de l'utilisation d'une couche de 20 nm d' Al_2O_3 (en bleu) et 40 nm de Ta_2O_5 (en rouge).

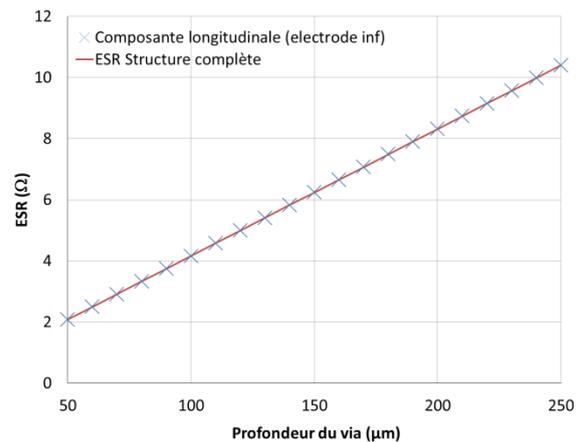


Figure II. 12. Évolution de l'ESR en fonction de la profondeur du TSC unitaire pour un diamètre de 50 μm .

4.3 Influence de l'épaisseur et de la non-conformité des couches

Afin d'évaluer l'influence de l'épaisseur et de la non-conformité des couches de l'empilement MIM sur les valeurs d'ESR et de capacité de la structure, il est nécessaire de fixer les paramètres géométriques du via. Ainsi, un via de diamètre 10 μm et de profondeur 80 μm a été considéré dans le modèle, cette structure correspond à la géométrie d'un TSV en intégration « *via-middle* ». Une couche de passivation conforme de 200 nm a été prise en compte dans le modèle.

Dans un premier temps, l'effet de la non-conformité de la couche de diélectrique sera discuté, puis l'influence de l'épaisseur et de la non-conformité de l'électrode inférieure seront présentées.

4.3.1 Influence de la conformité du diélectrique sur la valeur capacitive

La conformité de la couche diélectrique joue un rôle important sur la valeur capacitive du TSC. En effet, une épaisseur minimale de matériau se doit d'être déposée en tout point de la structure afin d'assurer la fiabilité du composant (tension de claquage, courant de fuites...). En conséquence, une non-conformité de la couche entraîne la nécessité de déposer une épaisseur plus importante en haut de via afin de respecter l'épaisseur minimale nécessaire en fond de via, entraînant de ce fait une diminution de la valeur capacitive du TSC.

La Figure II. 13, représente l'évolution de la capacité en fonction de la conformité de la couche diélectrique. La courbe en bleu représente les valeurs obtenues dans le cas de l'utilisation d'une couche d' Al_2O_3 et la courbe en rouge celles obtenues pour une couche de Ta_2O_5 , des électrodes conformes de 100 nm d'épaisseur ont été prises en compte dans la modélisation. Les valeurs présentées ont été calculées de manière à ce qu'une épaisseur minimale soit présente en fond de via : 20 nm dans le cas de l'alumine et 40 nm dans le cas de l'oxyde de tantale.

La valeur capacitive d'un TSC de 10 x 80 μm dont la couche de diélectrique de Ta_2O_5 est conforme est évaluée à 13,4 pF. Celle d'une couche présentant une conformité de 80 % est évaluée à 12 pF,

soit une perte d'environ 10 % par rapport à une couche conforme (le constat est le même dans le cas de l'alumine). Il est donc crucial que la couche de diélectrique soit la plus conforme possible, toute non-conformité entraînant une perte non négligeable de la valeur capacitive du TSC.

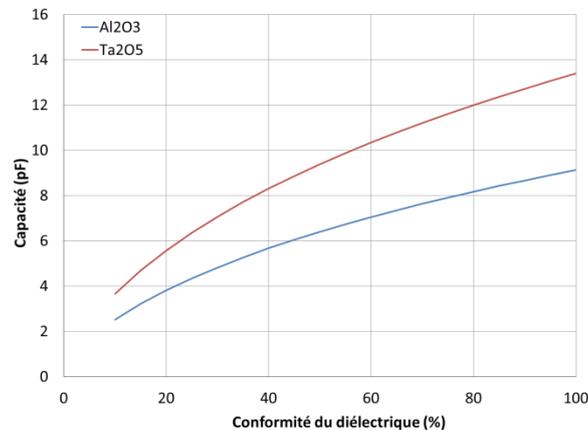


Figure II. 13. Évolution de la capacité en fonction de la conformité de la couche diélectrique pour un TSC de $10 \times 80 \mu\text{m}$: dans le cas de l'utilisation d'une couche de 20 nm d' Al_2O_3 (en bleu) et 40 nm de Ta_2O_5 (en rouge).

4.3.2 Influence de l'épaisseur et de la conformité de l'électrode inférieure sur l'ESR

Comme discuté précédemment, la valeur d'ESR de la structure complète est limitée par le transport longitudinal des charges le long de l'électrode inférieure, l'effet de l'épaisseur et de la conformité de cette dernière a donc été évalué.

La Figure II. 14 représente l'évolution de l'ESR de la structure en fonction de l'épaisseur de l'électrode inférieure. Dans ce cas, les trois couches composant l'empilement MIM sont considérées comme conformes, l'épaisseur de diélectrique est 20 nm et celle de l'électrode supérieure est 100 nm. L'ESR de la structure complète diminue avec l'épaississement de la couche, elle a été évaluée à $34,5 \Omega$ lorsque l'électrode inférieure présente une épaisseur de 50 nm et à $11,6 \Omega$ pour une épaisseur de 150 nm.

La Figure II. 15 représente la variation de l'ESR en fonction de l'uniformité de l'électrode inférieure. Dans ce cas, l'épaisseur en haut de via est fixée à 100 nm. Si dans le cas d'une couche de 100 nm conforme l'ESR de la structure est évaluée à $17,4 \Omega$, cette valeur monte à $29,7 \Omega$ lorsque la couche de TiN présente une conformité de 30 %.

Ainsi, la conformité de l'électrode inférieure joue un rôle de premier ordre sur la valeur d'ESR du composant, cependant une non-conformité peut être compensée par une augmentation de l'épaisseur cible de la couche (correspondant à l'épaisseur en haut de via). En effet, contrairement au cas de la couche de diélectrique, l'augmentation de l'épaisseur de l'électrode inférieure n'entraîne pas d'effet néfaste significatif sur les performances du composant (bien que le temps de dépôt s'en trouve augmenté).

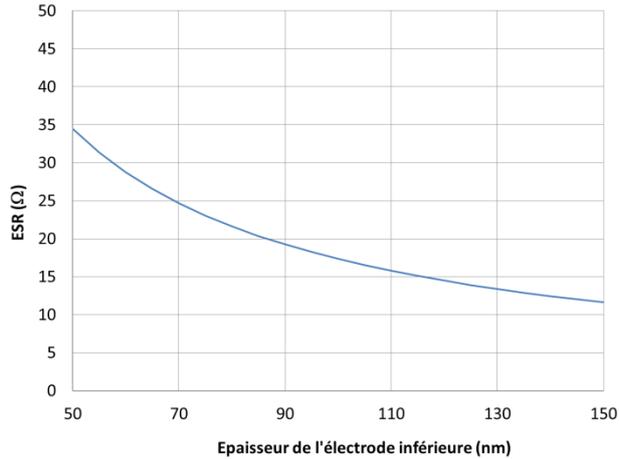


Figure II. 14. Évolution de l'ESR de la structure en fonction de l'épaisseur de l'électrode inférieure pour un TSC de $10 \times 80 \mu\text{m}$.

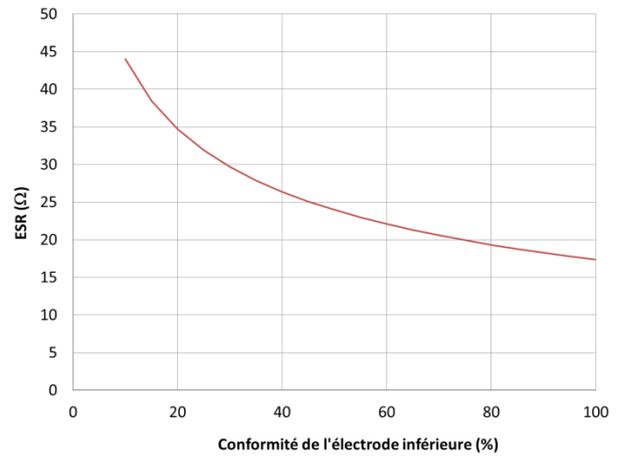


Figure II. 15. Évolution de l'ESR de la structure en fonction de la conformité de l'électrode inférieure pour un TSC de $10 \times 80 \mu\text{m}$ et une épaisseur de 100 nm.

Conclusions sur l'influence de l'architecture d'un TSC unitaire sur les valeurs d'ESR et de capacité

Le modèle RC présenté précédemment a permis l'évaluation des valeurs de résistance série et de capacité du TSC en fonction de son architecture. Cela a permis de tirer certaines conclusions sur le comportement de la structure en fonction des différents paramètres géométriques.

Comme on pouvait le supposer, l'augmentation du diamètre et de la profondeur de via entraîne l'augmentation de la valeur capacitive du TSC. Cependant, si l'augmentation de la profondeur entraîne l'augmentation de la densité de capacité à l'échelle d'une matrice de TSC, ce n'est pas forcément le cas pour l'augmentation du diamètre puisque cette augmentation entraîne parallèlement la diminution de la densité de TSC dans la matrice (les vias étant plus larges, leur nombre diminue à pas de répétition égal).

Deux types de couches diélectriques ont été évalués, 20 nm d'alumine ($\epsilon_R = 8,5$) et 40 nm d'oxyde de tantale ($\epsilon_R = 25$). Sur la totalité des structures étudiées, le gain offert par la plus haute permittivité relative de l'oxyde de tantale a été évalué à 47 % par rapport à l'utilisation de la couche d'alumine.

L'augmentation de la profondeur et la réduction du diamètre de via entraînent tous deux l'augmentation de la résistance série de la structure. Si dans le premier cas la relation est linéaire, l'ESR décroît exponentiellement avec l'augmentation du diamètre, un phénomène qu'il faut prendre en compte lors du design de la matrice de TSC afin de respecter les objectifs de fiabilité. De plus, il a été démontré que l'ESR de la structure est limitée par le transport longitudinal de l'électrode inférieure.

La conformité des couches de l'empilement MIM est un paramètre de premier ordre influençant les valeurs d'ESR et de capacité. Si dans le cas des électrodes, l'augmentation de la résistance série due à la non-conformité de la couche peut être compensée par l'augmentation de l'épaisseur cible de cette dernière, ce n'est pas le cas du diélectrique où un surdépôt en haut de via entraîne une diminution non négligeable de la valeur capacitive du composant. Il est donc crucial de développer un dépôt diélectrique le plus conforme possible afin d'optimiser la valeur capacitive du TSC.

5 Évaluation des performances électriques d'une matrice de TSC

La précédente section a permis l'évaluation des valeurs d'ESR et de capacité d'un TSC unitaire en fonction des paramètres géométriques de son architecture. Cependant, le composant complet est constitué d'une matrice mettant en parallèle une multitude de TSC unitaires. Cette partie a donc pour objectif l'évaluation des valeurs de capacité et d'ESR d'une telle matrice en fonction de ses paramètres de conception.

5.1 Modélisation d'une matrice de TSC

Plusieurs paramètres sont à prendre en considération lors de la conception de la matrice de TSC, ils sont illustrés sur la Figure II. 16. La taille de la matrice est définie par sa longueur x et sa largeur y , ϕ représente le diamètre d'un TSC et S l'espace entre deux TSC consécutifs. Le pas de répétition P (ou *pitch*) est la somme du diamètre Φ et de l'espace inter-via S . Le nombre de TSC dans la matrice dépend d'une part de la taille de cette dernière, mais aussi du pas de répétition des vias, qui définit sa densité.

Le placement des TSC au sein de la matrice joue lui aussi un rôle important, on peut distinguer deux types d'organisation de matrice :

- La matrice carrée où le pas de répétition P définit la taille de la cellule élémentaire selon les axes x et y .
- La matrice hexagonale, plus compacte, où la taille de la cellule élémentaire est définie par le pas de répétition P selon l'axe x et $P\sqrt{\frac{3}{2}}$ selon l'axe y . Ce type de matrice est visible sur la Figure II. 16.

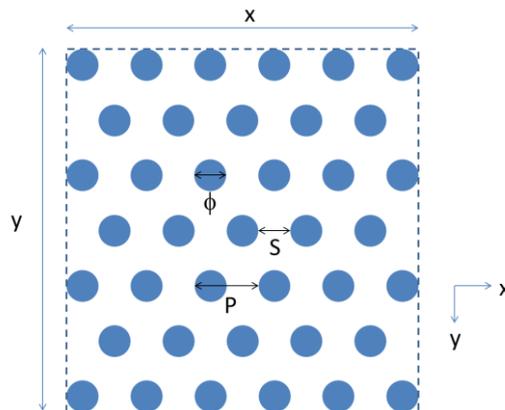


Figure II. 16. Illustration d'une matrice de TSC hexagonale et de ses paramètres de conception.

Afin de permettre l'évaluation des performances électriques du composant capacitif, il est nécessaire de prendre certaines hypothèses en considération :

- Les interconnexions reliant les TSC les uns aux autres sont considérées comme des conducteurs parfaits d'impédance nulle.

- Tous les TSC présents au sein de la matrice sont supposés identiques (pas de variation de géométrie, d'épaisseur et d'uniformité des couches déposées), de sorte que tous les TSC possèdent la même impédance.
- L'inductance série d'un TSC unitaire ESL_{TSC} est évaluée à 166 ± 34 pH. Cette valeur a été extraite de la simulation électromagnétique par éléments finis d'une structure équivalente qui sera présentée dans le dernier chapitre de ce manuscrit (voir section 3.2.1 du chapitre IV).

Ces hypothèses permettent de définir l'impédance de la matrice comme étant égale à l'impédance d'un TSC divisé par le nombre de TSC présent dans la matrice. Ainsi, les composantes capacitives C_{TOT} , inductives L_{TOT} et résistives R_{TOT} de la matrice complète peuvent être déterminées par les équations II. 1, II. 2 et II. 3 réécrites ci-après :

$$ESR_{TOT} = \frac{ESR_{TSC}}{n} \quad II. 1$$

$$ESL_{TOT} = \frac{ESL_{TSC}}{n} \quad II. 2$$

$$C_{TOT} = C_{TSC} \cdot n \quad II. 3$$

Où C_{TSC} et ESR_{TSC} correspondent aux composantes capacitives et résistives d'un TSC unitaire déterminées à l'aide du modèle analytique précédemment présenté et n le nombre de TSC présents dans la matrice, calculé à partir des différents paramètres de conception de la matrice (taille, densité et type de placements des TSC dans la matrice).

5.2 Influence de la géométrie et du design de la matrice sur les performances électriques du composant

5.2.1 Influence du type de procédé de réalisation des TSV sur la densité de capacité

Comme il a été discuté dans le premier chapitre, plusieurs procédés de réalisation de l'interposeur sont étudiés en parallèle, menant à différentes géométries de TSV. Puisque les TSC et TSV sont gravés au cours de la même étape, les différents procédés de réalisation de TSV entraînent différentes géométries de TSC, et par conséquent, différentes valeurs de capacité.

Deux gammes de couples diamètre Φ /profondeur L ont été évaluées afin de correspondre aux procédés de réalisations « *via-middle* » et « *via-last* » des TSV. L'Aspect Ratio¹ des TSC a été fixé à 3 dans le cas du « *via-last* » et à 8 dans le cas du « *via-middle* ». La densité de capacité a été calculée dans les cas de l'utilisation d'une couche de 20 nm d' Al_2O_3 et de 40 nm de Ta_2O_5 . Une couche de passivation de 200 nm de SiO_2 a été prise en considération ainsi que des électrodes inférieures et

¹ Aspect Ratio ou AR (facteur de forme)

supérieures en TiN de 100 nm d'épaisseur. Les TSC sont organisés en matrices hexagonales de 1 x 1 mm. Pour des raisons de comparaison, l'espace inter-via S a été fixé à 10 μm .

La Figure II. 17 illustre la disparité de la valeur de densité de capacité en fonction de la variation de géométrie des TSC dans des matrices hexagonales. Neufs types de structures sont présentées : une structure planaire ne comportant aucun TSC, trois structures de types « *via-middle* » (de géométries 5 x 40, 10 x 80 et 15 x 120 μm) ainsi que trois structures de types « *via-last* » (de géométries 40 x 120, 60 x 180 et 80 x 240 μm). Pour chacune de ces structures, la valeur de densité de capacité issue de l'utilisation de l' Al_2O_3 et présentée en bleu et celle issue de l'utilisation du Ta_2O_5 et présentée en rouge, n correspond au nombre de TSC présent dans la matrice de 1 x 1 mm.

Pour toutes les structures étudiées, l'utilisation de l'oxyde de tantale apporte un gain de 47 % à la valeur de densité de capacité par rapport à l'utilisation de l'alumine. L'architecture du TSC permet le développement de la surface capacitive, et par conséquent un gain de densité de capacité par rapport à une MIM planaire (une augmentation d'un facteur >10 est observée dans le cas des TSC « *via-middle* » 15 x 120 μm). Cependant, ce gain varie fortement en fonction de la géométrie des TSC présents dans la matrice, ainsi le gain en termes de densité de capacité offerte par l'architecture du TSC dépend du procédé de réalisation de l'interposeur et des TSV associés.

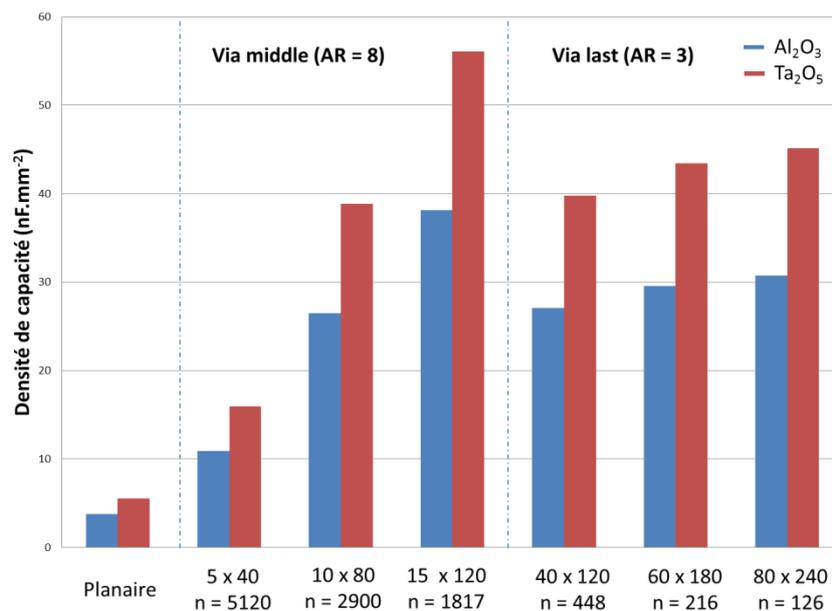


Figure II. 17. Densité de capacité de différentes géométries de matrices hexagonales de TSC dans les cas où le diélectrique est une couche de 20 nm d'alumine (en bleu) ou de 40 nm d'oxyde de tantale (en rouge). n représente le nombre de TSC dans la matrice.

Si l'architecture du TSC permet sa co-intégration avec de nombreux types de géométries de TSV, la densité de capacité offerte par la matrice est fortement dépendante du type de procédé utilisé pour la réalisation des TSV. De plus, en fonction du type de TSV présent sur l'interposeur, le nombre de TSC présents en parallèle dans la matrice pour une surface donnée varie, menant à des disparités des valeurs d'ESR et d'ESL comme discuté précédemment (voir les équations II. 1 et II. 2).

5.2.2 Influence de la densité de la matrice sur la densité de capacité

Si le diamètre et la profondeur du via sont imposés par le procédé de réalisation des TSV utilisés, certains paramètres influençant la densité de capacité sont indépendants, tel que le type de diélectrique utilisé, le type de matrice ainsi que sa densité.

La Figure II. 18 illustre la variation de la densité de capacité en fonction du pas de répétition des TSC au sein de la matrice. Quatre cas sont présentés, pour chacun d'entre eux les TSC possèdent un diamètre de $10\ \mu\text{m}$ pour une profondeur de $80\ \mu\text{m}$ (correspondant à une géométrie « *via-middle* »). Les deux courbes bleues présentent les valeurs de densité de capacité dans le cas où une couche de $20\ \text{nm}$ d' Al_2O_3 est utilisée : la courbe en pointillé correspond à une matrice carrée et celle en trait plein à une matrice hexagonale. De la même manière, les deux courbes rouges correspondent à l'utilisation d'une couche de $40\ \text{nm}$ de Ta_2O_5 .

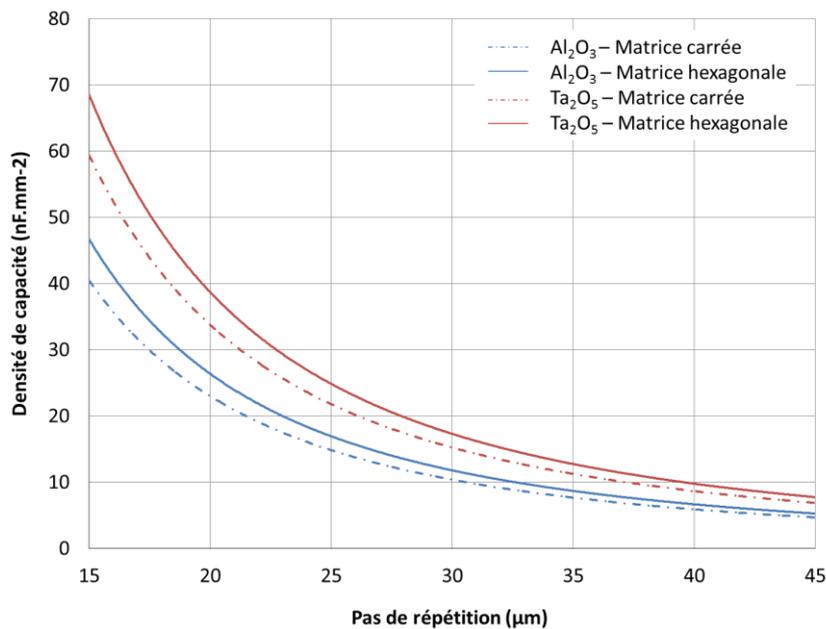


Figure II. 18. Densité de capacité en fonction du pas de répétition des TSC au sein de la matrice pour des TSC de $10 \times 80\ \mu\text{m}$.

L'utilisation de matrices hexagonales permet l'atteinte d'une densité de capacité plus élevée que lorsqu'une matrice carrée est utilisée, puisque dans cette configuration la densité de TSC est plus importante. L'utilisation de l'oxyde de tantale entraîne de plus hautes densités de capacité malgré une épaisseur doublée pour des raisons de fiabilité : pour un pas de répétition fixé à $15\ \mu\text{m}$, une matrice hexagonale d' Al_2O_3 permet l'atteinte de $47\ \text{nF}\cdot\text{mm}^{-2}$ alors que l'utilisation du Ta_2O_5 permet l'augmentation de cette valeur jusqu'à $69\ \text{nF}\cdot\text{mm}^{-2}$ dans la même configuration.

Cette densité de capacité montre une forte amélioration par rapport aux structures planaires classiques [52] [57] [26], cependant elle pourrait être encore augmentée en utilisant une couche de diélectrique plus fine (jusqu'à une certaine limite définie par les besoins de fiabilité du composant tel que la tension de claquage ou les courants de fuite en fonction de l'application visée). De plus, l'utilisation de multiples couches diélectriques dans la structure permettrait l'augmentation de la

densité de capacité (tel que publié par *Roozeboom et al.* [42]) au détriment du coût qu'entraînent les étapes additionnelles nécessaires à sa réalisation. La réalisation d'une architecture TSC comportant de multiples couches diélectriques est envisageable et est présentée en annexe de ce manuscrit. Un autre paramètre crucial influençant la valeur capacitive de la matrice de TSC est sa densité : l'utilisation d'un pas de répétition agressif augmente significativement le nombre de TSC présents dans la matrice développant ainsi la surface capacitive du dispositif. Comme on peut le voir sur la Figure II. 18, la réduction du pas de répétition de 20 à 15 μm permet une augmentation de la densité de capacité de 77 % pour les matrices carrées et 80 % pour les matrices hexagonales.

Ainsi, de hautes valeurs de densité de capacité peuvent être atteintes grâce à l'utilisation d'un diélectrique de haute permittivité relative tel que le Ta_2O_5 sur des matrices denses. Cependant, de telles structures peuvent avoir une influence significative sur l'interposeur final due à la contrainte mécanique induite par la matrice sur le substrat de silicium [68].

5.2.3 Influence de la taille de la matrice sur les valeurs de capacité, d'ESR et d'ESL

Les deux sections précédentes ont mis en avant les besoins en termes de procédé et de design de la matrice nécessaires à la réalisation d'une capacité haute densité, cette section a pour objectif la définition des performances électriques intrinsèques d'un tel dispositif.

Le Tableau II. 3 résume les principales propriétés électriques de matrices de TSC en fonction de la surface qu'elles occupent sur l'interposeur. Le nombre de TSC a été calculé pour une matrice hexagonale de TSC $10 \times 80 \mu\text{m}$ présentant un pas de répétition de 15 μm . Cette géométrie correspond au procédé de réalisation de TSV « *via-middle* », qui tend à être largement utilisé dans les salles blanches pour la réalisation d'interposeur silicium. Les valeurs capacitives ont été calculées dans le cas de l'utilisation d'une couche de 40 nm de Ta_2O_5 à l'aide de l'équation II. 3. L'ESR a quant à lui été calculé à l'aide du modèle RC précédemment présenté et de l'équation II. 1 en considérant des interconnexions idéales entre les TSC de la matrice. L'ESL d'un TSC unitaire a été évalué à 166 ± 34 pH, cette valeur a été extraite de simulations électromagnétiques d'une structure TSC équivalente. L'ESL de la structure complète a été calculée à l'aide de l'équation II. 2 en considérant des interconnexions idéales entre les TSC de la matrice.

Taille (mm^2)	n_{TSC}	C (nF)	ESR ($\text{m}\Omega$)	ESL (fH)
0,5	2511	34	7	66
0,75	3795	51	5	44
1	5120	69	3	32
2	10246	137	2	16

Tableau II. 3. Propriétés électriques principales d'une matrice de TSC en fonction de sa taille.

Comme on pouvait s'y attendre, l'impédance du composant chute à mesure que la taille de la matrice augmente dû au nombre accru de TSC connectés en parallèle : un dispositif de 2 mm^2 présentant une capacité de 137 nF inclut 10246 TSC, ses valeurs d'ESR et d'ESL ont été évaluées respectivement à 2 $\text{m}\Omega$ et 16 fH. Outre l'atteinte des spécifications fixées précédemment, ces faibles valeurs mettent en avant l'avantage de la structure massivement parallèle du TSC comparée à d'autres structures 2D [52] [26] ou 3D [62].

Ces valeurs doivent être cependant considérées avec précaution, puisqu'elles ne tiennent compte ni de l'impédance des interconnexions entre les TSC au sein de la matrice (modèle DC à fréquence nulle sans effets de propagation), ni de l'impédance mutuelle entre les différents TSC de la matrice.

Conclusion sur l'évaluation des performances électriques d'une matrice de TSC

Les paramètres influençant les propriétés électriques de la matrice capacitive sont nombreux, ils peuvent cependant être scindés en deux groupes. Le premier regroupant le diamètre et la profondeur du TSC est fixé par le procédé de réalisation du TSV avec lequel le TSC est co-intégré. Le second, regroupant la densité de la matrice ainsi que sa taille est quant à lui indépendant du procédé TSV et dépend uniquement des paramètres de conception de la matrice.

Le procédé de réalisation du TSV choisit pour assurer la connexion électrique entre les deux faces de l'interposeur silicium influe significativement sur la densité de capacité atteignable par la matrice de TSC. De plus, pour une surface et un pas de répétition fixés, l'augmentation du diamètre des TSC/TSV entraîne invariablement la diminution du nombre de TSC présent en parallèle dans la matrice, menant à une augmentation de l'impédance de la structure. Ainsi, le dispositif capacitif ne sera pas aussi performant selon le type de TSV avec lequel il est co-intégré.

La densité de la matrice est définie par le pas de répétition des TSC ainsi que le type de matrice utilisé, c'est le paramètre influençant le plus la valeur de densité de capacité du dispositif. De hautes valeurs de densité de capacité peuvent être atteintes grâce à l'utilisation d'un pas de répétition agressif (environ $70 \text{ nF}\cdot\text{mm}^{-2}$ pour une matrice hexagonale de TSC $10 \times 80 \mu\text{m}$ présentant un pas de répétition de $15 \mu\text{m}$ utilisant une couche de 40 nm de Ta_2O_5 comme diélectrique). S'il y a un paramètre à optimiser en premier lieu pour améliorer les performances globales du composant, c'est celui-ci.

Enfin, l'architecture parallèle de la matrice de TSC permet l'atteinte de faible valeur d'ESR et d'ESL, de l'ordre du $\text{m}\Omega$ et du fH respectivement, démontrant la capacité de l'architecture TSC à fournir un découplage de qualité au sein du PDN.

6 Conclusion

Ce second chapitre a dans un premier temps permis la présentation du *Through Silicon Capacitor*, le composant capacitif développé au cours des travaux de thèse. Cette capacité MIM tridimensionnelle est destinée à être intégrée à un interposeur silicium aux côtés des *Through Silicon Vias* avec lesquelles elle partage plusieurs étapes de réalisation.

Le composant capacitif présente la particularité de traverser l'intégralité de l'épaisseur de l'interposeur sur lequel il est intégré. Cette architecture permet la mise en parallèle d'une multitude de TSC unitaires au sein d'une matrice, favorisant de ce fait l'atteinte de faibles valeurs d'impédances propices à un découplage de qualité.

Un modèle analytique distribué du TSC a été développé, afin de permettre l'évaluation de ses valeurs de capacité et de résistance série en fonction des nombreux paramètres géométriques, morphologiques et matériaux. Il permet de prendre en compte la distribution du flux de courant le long des électrodes ainsi que la non-conformité des couches en présence, deux paramètres de premières importances dans le cas du TSC. Ce modèle ne permet cependant pas l'évaluation de l'inductance série du composant, qui participe au phénomène d'antirésonance au sein du PDN décrit dans le premier chapitre. L'évaluation de l'inductance nécessite une méthode de simulation par éléments finis qui sera présentée dans le dernier chapitre de ce manuscrit.

Deux types de diélectriques ont été étudiés : l'alumine de permittivité diélectrique $\epsilon_R = 8,5$ et l'oxyde de tantale de permittivité diélectrique $\epsilon_R = 25$. Ils permettent tous deux l'atteinte de l'objectif de densité de capacité de $40 \text{ nF}\cdot\text{mm}^{-2}$ pour une architecture de type « *via-middle* » ($10 \times 80 \mu\text{m}$) associé à une matrice dense ($pitch = 15 \mu\text{m}$). Cependant, un gain de 47 % est observé dans le cas de l'utilisation de l'oxyde de tantale par rapport à l'alumine, malgré une épaisseur doublée pour des raisons de fiabilité (limitation des courants de fuite et de la tension de claquage). La conformité de la couche de diélectrique est un paramètre à contrôler lors de la réalisation de la structure, une trop forte variation d'épaisseur entraînant une chute non négligeable de la valeur capacitive du composant.

L'évaluation de l'ESR de la structure a permis de mettre en avant le fait que le transport de charges est limité par l'électrode inférieure. Ainsi, les paramètres de cette dernière que sont sa résistivité, son épaisseur et son uniformité ont une influence importante sur la résistivité de la structure complète. Il convient donc de les maîtriser lors du dépôt de la couche de nitrure de titane.

La mise en parallèle des TSC au sein de la matrice permet l'atteinte des spécifications ciblées en termes d'ESR et d'ESL : des gammes de valeurs de l'ordre du $\text{m}\Omega$ et du fH ont été calculées pour des matrices denses en intégration « *via-middle* » ($10 \times 80 \mu\text{m}$). Ce type d'intégration du TSV tend à être largement utilisé pour la réalisation d'interposeur silicium. Le TSC peut cependant être co-intégré avec de nombreux types de procédés de TSV, mais les performances de la capacité sont intimement liées au type de TSV avec lequel elle partage la géométrie.

Chapitre III :

Développement de procédés

1 Introduction

L'architecture du *Through Silicon Capacitor* est innovante, et met en jeu des topologies 3D très importantes pour un composant capacitif intégré au silicium. Les procédés habituellement utilisés pour la réalisation de structures MIM classiques se doivent d'être réévalués afin d'être intégrés à la fabrication du TSC.

L'objectif de ce chapitre est la présentation des principaux procédés développés au cours des travaux de thèse dans le cadre de la réalisation de la capacité TSC. Ce chapitre est divisé en deux parties.

La première partie traite du dépôt de l'empilement métal-isolant-métal dans des vias profonds. Les critères de choix des procédés feront l'objet d'une discussion, puis les différents procédés de dépôt évalués ainsi que leurs paramètres seront présentés : dans le cas du dépôt de diélectrique dans un premier temps, puis dans le cas du dépôt des électrodes métalliques.

Les dépôts réalisés ont ensuite été caractérisés morphologiquement à travers une étude de conformité qui fera l'objet d'une discussion. Comme il a été démontré à travers l'étude du modèle RC présenté dans le chapitre précédent, la valeur d'ESR du TSC est limitée par la résistance de l'électrode inférieure. Ainsi, des mesures de résistance de la couche métallique la composant ont été effectuées. Une méthode de caractérisation a été mise en place afin de permettre la mesure de la résistance de la couche en flanc de via, un critère important au vu de l'architecture du TSC, qui n'est pas quantifiable avec les méthodes de mesures habituellement utilisées. Les résultats de ces mesures seront présentés, puis feront l'objet d'une discussion.

La seconde partie de ce chapitre traite quant à elle de la co-intégration des TSC et TSV au sein d'un interposeur silicium de type « *via-middle* ». En effet, cette co-intégration fait appel à un procédé de dépôt innovant développé pour l'occasion [69]. Le principe sera exposé dans une première section. La réalisation de ce dépôt sera ensuite présentée, puis les résultats issus de sa caractérisation morphologique feront l'objet d'une discussion. Enfin, l'influence de l'ajout de ce dépôt sur les valeurs de capacité et d'ESR du TSC sera évaluée à l'aide du modèle RC présenté précédemment (ce dernier ayant été modifié pour prendre en considération la nouvelle structure).

2 Développement du dépôt de l'empilement MIM dans des vias profonds

L'empilement des trois couches composant l'empilement métal-isolant-métal constitue le centre névralgique de la capacité TSC. Les propriétés électriques et morphologiques de ces couches ont une influence directe sur les performances du composant capacitif, il est donc impératif de contrôler leurs procédés de dépôts. Si les procédés de dépôts des matériaux envisagés sont bien connus pour des structures planaires, il n'en est pas de même pour des architectures profondes telles que celles mises en jeu dans le cadre du TSC.

En effet, le TSC traverse l'interposeur, ce qui veut dire que les matériaux doivent être déposés sur un flanc vertical de profondeur égale à celle de l'épaisseur de l'interposeur, pouvant atteindre 300 μm selon le type de TSV intégré. Le dépôt d'une couche conforme dans une telle structure nécessite un procédé de dépôt adapté.

Cette section décrit les procédés de dépôts développés au cours de la thèse, la première partie présente les procédés utilisés pour le dépôt du diélectrique alors que la seconde traite du dépôt de métal constituant les électrodes. Une dernière partie décrit les méthodes de caractérisations mises en place ainsi que les résultats en découlant.

2.1 Procédés de dépôt du diélectrique

2.1.1 Critères de choix du procédé de dépôt diélectrique

Le matériau diélectrique est la base du phénomène de polarisation permettant au condensateur MIM d'assurer sa fonction. Comme discuté précédemment, la valeur de capacité du composant dépend d'une part de la permittivité relative ϵ_R propre au matériau déposé et d'autre part de l'épaisseur e de la couche. De plus, une couche diélectrique de trop faible épaisseur entraîne un courant de fuites important, ainsi qu'une faible tension de claquage du composant.

L'épaisseur de la couche est un paramètre qui devient critique lorsqu'elle est déposée dans une structure tridimensionnelle, ce qui est le cas du TSC. En effet, les profondeurs que nécessite son architecture peuvent être un frein à la diffusion des espèces réactives lors du dépôt et une non-uniformité de l'épaisseur déposée peut apparaître au sein de la structure [65] [70]. Une forte non-uniformité de la couche diélectrique dans le TSC entraîne une perte de performance du composant (voir chapitre II).

La méthode de dépôt de diélectrique la plus répandue dans l'industrie de la microélectronique est le dépôt par CVD¹, permettant l'élaboration de couches uniformes solides à partir de réactifs présents en phase gazeuse. Le principal avantage de cette technique est sa vitesse de dépôt compatible à un environnement industriel ($< 1 \text{ nm.mn}^{-1}$ sur plusieurs plaques simultanément). Elle est cependant limitée par la faible conformité des dépôts réalisés (environ 50 % pour une couche de Ta_2O_5 déposée par MOCVD dans une tranchée d'AR ~ 8) provoquée par la déplétion gazeuse entraînant un manque de réactif pénétrant la cavité pour former le diélectrique [40] [70].

L'ALD² est une méthode plus adaptée au dépôt de matériaux dans des cavités profondes. Contrairement à la technique CVD où les différents réactifs sont présents simultanément dans le volume du réacteur, l'ALD se caractérise par l'introduction séquentielle de chacun des précurseurs en alternance avec des cycles de purge de la chambre. Les couches ainsi formées peuvent être très fines (une seule couche moléculaire déposée par cycle) et permettent de surcroît l'atteinte de très bonnes conformités (proche de 100%) grâce à la saturation de la surface en précurseur rendue possible par le traitement séquentiel. Le désavantage de cette technique réside dans son faible rendement dû à un cycle de dépôt variant de 0,5 à 10 secondes selon le matériau déposé [71].

La conformité de dépôt étant dans notre cas un paramètre primordial pour le bon fonctionnement de la capacité TSC, la méthode ALD a été retenue pour réaliser le dépôt des couches d'alumine et d'oxyde de tantale. Les procédés de dépôts réalisés dans le cadre de l'étude ainsi que leurs caractérisations sont exposés ci-après.

¹ CVD : *Chemical Vapor Deposition* (dépôt chimique en phase gazeuse).

² ALD : *Atomic Layer Deposition* (dépôt par couche atomique).

2.1.2 Présentation des procédés de dépôt étudiés

Principe des dépôts ALD et PEALD¹

La technique de dépôt par ALD a fait l'objet de nombreuses revues dans la littérature [72] [73]. L'ALD est très proche de la CVD, qui est basée sur des réactions binaires de type $A + B \rightarrow \text{Produit}$. Cependant, dans le cas du dépôt ALD, l'injection des différents précurseurs dans le réacteur est opérée de manière séquentielle. Un cycle correspond au dépôt d'une monocouche moléculaire, il est répété jusqu'à l'obtention de l'épaisseur souhaitée. Ce cycle élémentaire se décompose en quatre étapes, illustrées sur la Figure III. 1.

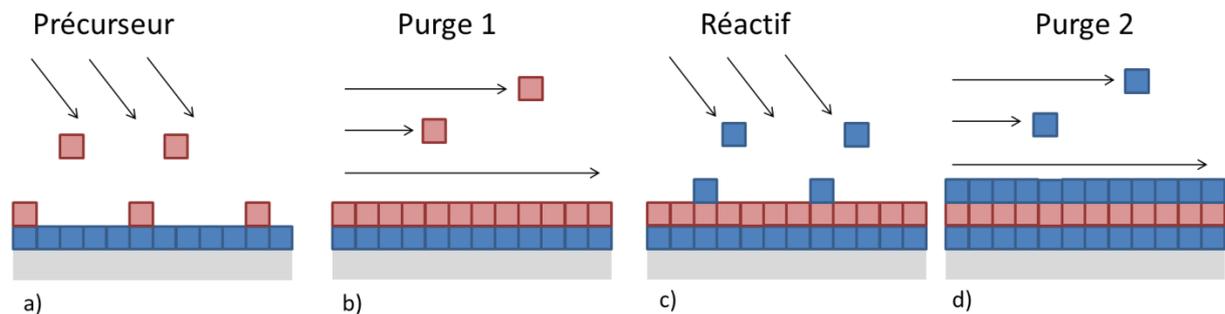


Figure III. 1. Illustration d'un cycle élémentaire de dépôt ALD. Le précurseur est introduit dans le réacteur jusqu'à saturation de la surface, une purge permet ensuite l'évacuation de l'excès de précurseur et des sous-produits. La démarche est répétée pour le réactif.

- Le précurseur est injecté dans le réacteur, les molécules réagissent avec les sites d'adsorption présents à la surface du substrat. Cette étape doit être assez longue pour que la totalité des sites soit occupée, saturant ainsi la surface. Le processus est ainsi autolimitant.
- Le volume du réacteur est purgé à l'aide d'un gaz inerte, le précurseur en excès ainsi que les sous-produits de réaction sont évacués.
- Le réactif est introduit dans la chambre, il réagit avec le précurseur présent en surface. Lors d'un dépôt d'oxyde, le réactif introduit est une molécule oxydante dans le cas de l'ALD (H_2O , O_2 , O_3), ou des radicaux d'oxygène dans le cas d'un dépôt PEALD.
- La chambre réactive est à nouveau purgée.

Le processus propre à la technique ALD permet la croissance de couches uniformes très fines présentant une faible densité de défauts, de plus la saturation de surface à chaque cycle d'injection est particulièrement adaptée aux forts facteurs de formes propres aux structures tridimensionnelles telles que le TSC. La température de dépôt est un paramètre majeur influant sur la réaction chimique. Si elle est trop faible, le précurseur ne se décompose pas et se condense à la surface du

¹ PEALD: Plasma-Enhanced Atomic Layer Deposition (dépôt par couche atomique assisté par plasma)

substrat. Si elle est trop élevée, la molécule se décompose complètement et la réaction est alors de type CVD.

La technique de dépôt ALD assistée par plasma (PEALD ou Plasma-Enhanced ALD) est une amélioration de l'ALD classique (dite ALD thermique). Dans le cas d'un plasma direct, deux électrodes sont présentes dans le réacteur tel qu'illustré dans la Figure III. 2. Une tension est appliquée à l'électrode supérieure à l'aide d'un générateur radiofréquence, le substrat est quant à lui placé sur l'électrode inférieure. Dans le cas d'un dépôt diélectrique, l'utilisation d'un plasma permet la création de radicaux d'oxygène dans la chambre. Ces derniers réagissent beaucoup plus facilement avec le précurseur présent en surface que les composés moléculaires, permettant des températures des dépôts à plus faible température que l'ALD thermique ainsi que l'optimisation des temps de dépôts.

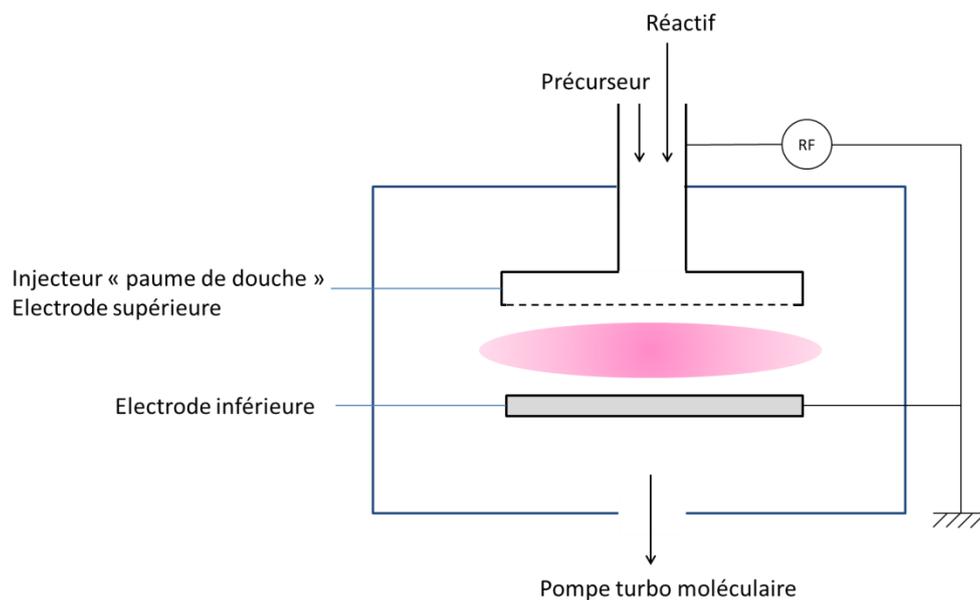


Figure III. 2. Schéma de principe d'une chambre de dépôt PEALD (par plasma direct).

Cas de l'alumine déposé par ALD

Le premier diélectrique étudié pour l'intégration au sein du TSC a été l'alumine déposée par ALD. Le dépôt a été effectué dans la salle blanche du LETI sur un équipement permettant le traitement de plaques de 300 mm de diamètre fabriqué par l'équipementier ASM. Le précurseur organométallique utilisé est le Triméthylaluminium (ou TMA) de formulation $\text{Al}(\text{CH}_3)_3$ porté par de l'azote N_2 . L'oxydation est assurée par l'injection d' H_2O dans la chambre. Le dépôt est effectué à 300 °C, les temps de pulse et de purge sont donnés dans le Tableau III. 1 :

Pulse TMA	Purge TMA	Pulse H_2O	Purge H_2O
100 ms	1000 ms	150 ms	1500 ms

Tableau III. 1. Temps de pulse et de purge du dépôt d'alumine par ALD.

Cas de l'oxyde de tantale déposé par PEALD

Le second diélectrique étudié a été l'oxyde de tantale (Ta_2O_5) déposé par PEALD. Ce dépôt a été effectué dans la salle blanche de *STMicroelectronics* de Crolles. L'appareillage utilisé est un équipement de production sur substrats 300 mm fabriqué par l'équipementier *ASM*. Le précurseur utilisé est le t-butylimino tri(dyméthylamino) de tantale (plus communément dénommé TBTDET), de formulation $TaN_4(CH_3)_3(C_2H_5)_6$. L'oxygène introduit dans la chambre lors de l'étape d'oxydation est dilué dans de l'argon. La création du plasma oxydant est assurée par un générateur radiofréquence fonctionnant à 13,56 MHz pour 75 W de puissance. Le dépôt est effectué à 200 °C sous une pression de 7 Torr, les temps de pulse et de purge sont donnés dans le Tableau III. 2 :

Pulse TBTDET	Purge TBTDET	Pulse O ₂	Purge O ₂
2500 ms	2000 ms	600 ms	500 ms

Tableau III. 2. Temps de pulse et de purge du dépôt de Ta_2O_5 par PEALD.

Il est nécessaire d'effectuer le dépôt à basse température afin d'obtenir une couche amorphe présentant une permittivité diélectrique d'environ $\epsilon_R \sim 25$. L'oxyde de tantale déposé à plus haute température (600-650°C) présente une structure cristalline anisotrope dont la permittivité diélectrique peut atteindre ($\epsilon_R \sim 40$) [74]. Cependant, l'anisotropie entraîne une dépendance de ϵ_R à l'orientation du cristal qui entrainerait une incertitude dans la valeur capacitive d'un condensateur tirant partie de cette couche.

2.2 Procédé de dépôt des électrodes

2.2.1 Critères de choix du procédé de dépôt des électrodes

Les propriétés du matériau métallique composant les électrodes ont un impact direct sur les performances du composant capacitif. Comme il a été discuté dans le précédent chapitre, la résistivité et l'épaisseur du matériau déposé influent fortement sur l'ESR du composant. De plus, les profondeurs mises en jeu par l'architecture TSC entraînent une conductivité limitée par le transport longitudinal des charges à travers l'électrode inférieure.

Au même titre que pour le diélectrique, la conformité du dépôt des électrodes régit l'épaisseur de ces dernières, une trop faible conformité entraînant une faible épaisseur déposée en fond de via et donc une forte résistance de la couche. Cependant, un surdépôt en haut de via est moins critique que dans le cas du dépôt de diélectrique et n'aura pour effet nuisible que l'augmentation du temps de dépôt.

Le dépôt de TiN peut s'effectuer par PVD¹ [75], CVD [76] ou ALD [77] [42]. À l'inverse des techniques de CVD et ALD exposées précédemment, le dépôt par PVD n'implique pas de réaction chimique en surface du substrat: la pulvérisation d'une cible de titane et sa réaction avec l'azote présent dans la chambre permet la formation de TiN en phase gazeuse. Le TiN se condense ensuite

¹ PVD : *Physical Vapor Deposition* (Dépôt physique par phase vapeur)

sur le substrat, permettant un dépôt à basse température. Cependant, cette technique montre ses limites en intégration 3D lorsque les dépôts sont effectués sur d'importants facteurs de forme tels que dans les TSV. Dans ce cas, même la technique I-PVD (pour *Ionized PVD*) ne suffit pas à surmonter les problèmes de non-uniformité et de continuité de la couche déposée. A titre d'exemple, une conformité d'environ 6 % d'une couche de cuivre déposée par I-PVD dans un via de 56 x 165 μm (AR \sim 3) a été observée au cours des travaux de thèse.

Parmi les méthodes de dépôt envisageable, le TiN ALD présente les meilleures conformités (proche de 100 % pour un AR 10) ainsi qu'une plus grande pureté des couches déposées [78] [79], toutefois les temps de dépôts élevés peuvent être un frein en termes de coût de production.

Le dépôt de TiN par CVD classique requiert une température de dépôt trop élevée pour être utilisée au sein des niveaux d'interconnexion BEOL (< 400 °C), cependant une méthode alternative de dépôt par *Metal Organic CVD*¹ permet la réalisation de couches à plus basse température (200 °C). L'utilisation d'un précurseur organométallique permet un dépôt à plus faible température, puisque sa température de dissociation est plus faible que celle des halogénures métalliques utilisés comme précurseur pour le dépôt par CVD classique [78]. Cette méthode est notamment utilisée pour la réalisation de barrières à la diffusion du cuivre au sein des TSV.

Dans le cadre de notre étude, deux dépôts de TiN doivent être réalisés dans des matrices de vias profonds. La technique PVD ne permet pas l'obtention d'une couche conforme dans de tels facteurs de forme et les temps de dépôt élevés caractéristiques de l'ALD entraîneraient un surcoût non négligeable du composant. Nous nous sommes donc tournés vers le dépôt de TiN par MOCVD, qui sera présenté dans la prochaine section.

2.2.2 Présentation du procédé de dépôt de TiN par MOCVD

La technique choisie pour le dépôt des électrodes du TSC est le dépôt chimique en phase vapeur à l'aide d'un précurseur organométallique permettant le dépôt d'une couche de TiN à basse température (< 400 °C). Le principe de la technique CVD est illustré sur la Figure III. 3, elle peut être décomposée en cinq étapes comme suit :

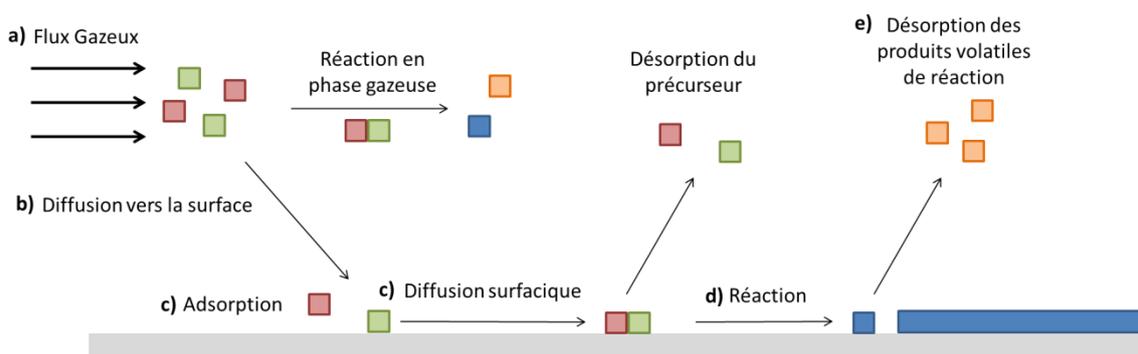


Figure III. 3. Principe du dépôt par CVD

¹ MOCVD : *Metal Organic Chemical Vapor Deposition* (Dépôt en phase vapeur aux organométalliques)

a) Introduction des précurseurs dans le réacteur : Ils sont injectés en même temps dans la chambre, une partie des précurseurs réagissent en phase gazeuse.

b) Transport des espèces vers la surface du substrat : Les précurseurs doivent atteindre la surface du substrat par diffusion.

c) Adsorption et diffusion surfacique : Après avoir atteint la surface du substrat, les espèces réactives sont adsorbées. Cette adsorption dépend de la nature, de la distribution des atomes et de l'état de surface du substrat. Les espèces adsorbées peuvent diffuser à la surface du substrat vers des sites de nucléation, ainsi qu'être désorbées de la surface.

d) Réaction de surface des réactifs : Les espèces adsorbées se dissocient et réagissent entre elles pour former la couche.

e) Désorption des produits volatils de réaction : les produits sont ensuite évacués vers la pompe.

Les films de TiN déposés par MOCVD contiennent certaines impuretés telles que le carbone provenant d'une décomposition incomplète du précurseur. La présence de carbone dans la couche a pour effet l'augmentation de sa résistivité, ce qui est problématique dans notre cas. Afin de réduire la concentration de la couche en carbone, un traitement plasma in-situ composé d'azote et d'hydrogène est effectué en alternance avec le dépôt. Les espèces hydrogénées réagissent alors avec le carbone présent dans la couche déposée afin de former des radicaux volatils évacués vers la pompe. Dans le même temps, l'azote issu du NH_3 est incorporé dans le film.

Dans le cas de notre étude, deux types de dépôt de TiN par MOCVD ont été évalués. Le premier, réalisé sur un équipement 200 mm fabriqué par l'équipementier *Applied Materials*, utilise comme précurseur le Tetrakis(diméthylamino)titanium (ou TDMAT) de formulation $\text{C}_8\text{H}_{24}\text{N}_4\text{Ti}$ conjointement avec du diazote (N_2). Le TiN est alors déposé à 380 °C sous une pression de 3,5 Torr et le plasma de N_2/H_2 est généré par une alimentation haute fréquence de 13,56 MHz.

Le second dépôt évalué dans le cadre de l'étude a été réalisé sur un équipement 300 mm fabriqué par l'équipementier *STPS*. Le précurseur utilisé est Tetrakis(diéthylamido)titanium (ou TDEAT) de formulation $\text{C}_{16}\text{H}_{40}\text{N}_4\text{Ti}$ ainsi que de l'ammoniac (NH_3). Le TiN est alors déposé à 200 °C sous une pression de 3 Torr et le plasma de NH_3/H_2 est généré par une alimentation fonctionnant à 400 kHz.

L'utilisation du TDEAT permet le dépôt d'une couche de TiN à plus faible température que le TDMAT, permettant ainsi une utilisation du matériau lorsque de faibles budgets thermiques sont nécessaires. C'est le cas du procédé de réalisation de TSV « *via-last* », où le budget thermique est limité par la température de fusion de la colle utilisée pour fixer le substrat sur la poignée temporaire.

2.3 Caractérisation de l'empilement MIM déposé dans des vias profonds

2.3.1 Conformité de l'empilement MIM déposé dans des vias profonds

L'étude de la conformité de l'empilement MIM a été effectuée sur deux structures distinctes. La première consiste en un empilement TiN/ Al_2O_3 /TiN déposé dans des matrices de vias correspondant à une géométrie de TSV de type « *via-last* ». Elle a été réalisée sur des plaques de 200 mm de

diamètre. La seconde structure étudiée consiste en un empilement TiN/Ta₂O₅/TiN déposé dans des matrices de vias correspondant à une géométrie de TSV de type « *via-middle* ». Elle a été réalisée sur des plaques de 300 mm de diamètre.

Le but étant d'étudier la faisabilité du TSC lorsqu'il est associé à différents procédés de réalisation du TSV menant à des géométries différentes, le « *via-last* » et le « *via-middle* » étant deux procédés largement étudiés pour l'intégration de TSV dans l'interposeur silicium. De plus, les différents procédés de dépôts n'étant disponibles que sur certains équipements, l'étude de ces deux structures (200 et 300 mm) a permis d'élargir le panel de matériaux observés.

2.3.1.1 Empilement TiN/Al₂O₃/TiN dans une matrice de type « *via-last* »

La méthode de réalisation de la structure est illustrée sur la Figure III. 4. Tout d'abord, une couche d'oxyde de silicium de 500 nm est crue dans un four d'oxydation, cette couche assure la fonction de masque dur. Ensuite, une étape de photolithographie permet la réalisation des motifs de vias à l'aide d'un masque dédié. Ce masque comporte trois diamètres de vias différents (40, 60, et 100 µm) organisés en matrices.

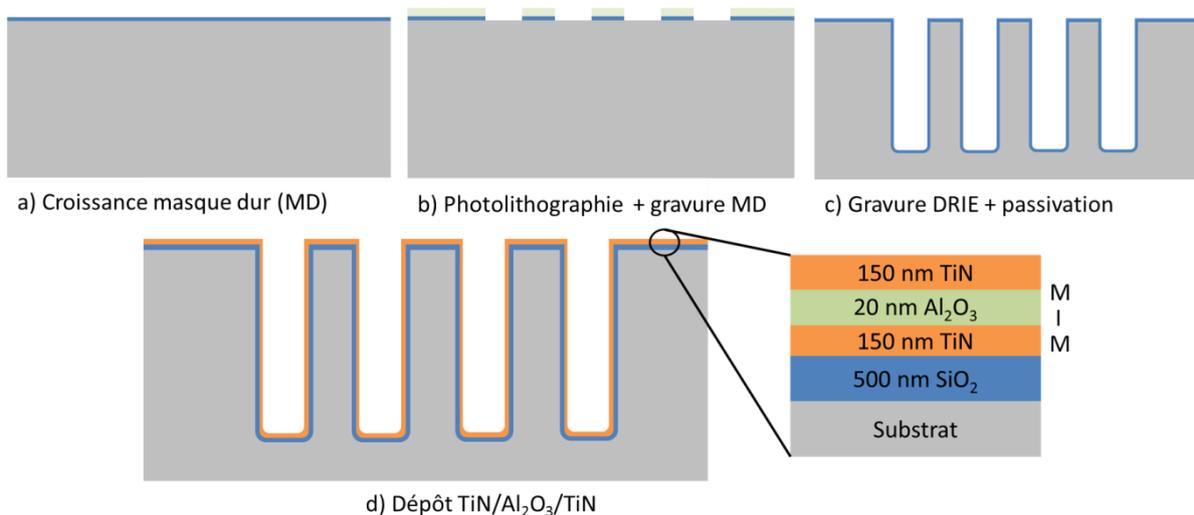


Figure III. 4. Méthode de réalisation de la structure de test pour la caractérisation de la conformité de l'empilement MIM.

Le masque dur est ensuite gravé par plasma, puis les vias sont réalisés par *Deep Reactive Ion Etching*. Lors de cette étape, la profondeur de gravure dépend du diamètre des vias, les larges ouvertures sont gravées plus profondément que les petites (phénomène de l'ARDE¹) [80]. Ainsi, les trois diamètres présents sur la plaque sont gravés à trois profondeurs différentes, des coupes MEB ont permis la détermination de ces profondeurs de gravures (elles sont présentées sur la Figure III. 5). Les diamètres de 40, 60 et 100 µm ont entraîné des profondeurs respectives de 152, 168 et 188 µm mettant en avant le caractère non linéaire de la relation diamètre/profondeur de gravure.

¹ ARDE : *Aspect Ratio Dependent Etching* (Gravure dépendante du facteur de forme)

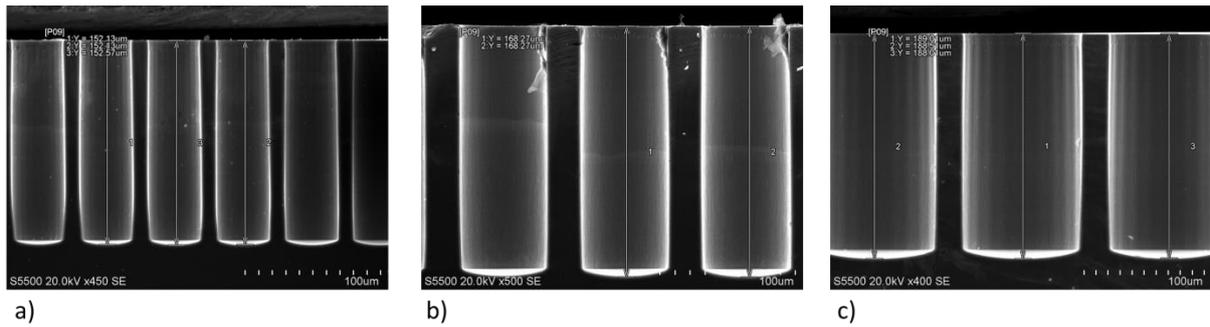


Figure III. 5. Coupes MEB de vias de différents diamètres gravés simultanément par DRIE. la profondeur de gravure dépend du diamètre des vias : a) 40 x 152 μm , b) 60 x 168 μm , c) 100 x 188 μm

Une fois les vias réalisés, la résine issue de l'étape de photolithographie ainsi que le masque dur sont retirés par voie chimique. Puis la plaque est une nouvelle fois placée dans un four à oxydation afin de faire croître une couche de 500 nm d'oxyde de silicium qui assure la fonction de passivation de la surface et des flancs de vias. L'oxyde thermique a été choisi d'une part, car il présente une très bonne conformité (proche de 100%) et d'autre part, car le phénomène de croissance consomme une partie du silicium ce qui a pour effet d'adoucir le *scalloping* induit par l'étape de gravure DRIE et le procédé BOSCH associé. Bien entendu, l'oxyde thermique est à proscrire dans des intégrations limitées en température puisque sa température de croissance est élevée ($> 1000^\circ\text{C}$), ce qui n'est pas le cas dans cette étude de conformité.

L'étape suivante consiste aux dépôts successifs des trois couches de l'empilement MIM respectant les conditions de dépôt exposées précédemment. L'électrode inférieure est une couche de 150 nm de TiN déposée par MOCVD, le précurseur utilisé dans ce cas est le TDMAT. Le diélectrique est une couche de 20 nm d'alumine déposée par ALD, l'équipement étant destiné aux plaques 300 mm, les plaques ont été placées sur un substrat porteur (un *holder*) avant de subir le dépôt. L'électrode supérieure est un TiN identique à celui précédemment déposé. La plaque est ensuite clivée de manière à ouvrir les vias au sein d'une matrice, tel qu'il est illustré sur la Figure III. 6.

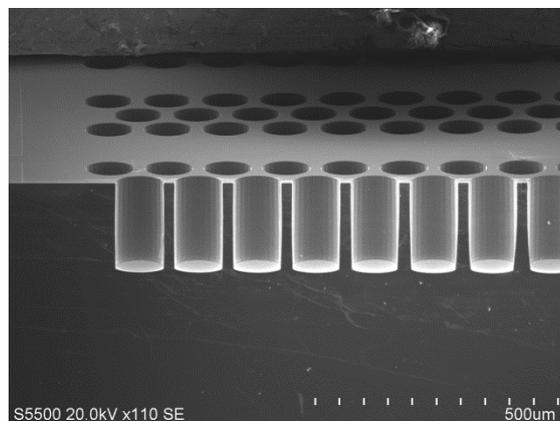


Figure III. 6. Coupe MEB d'une matrice de TSC 100 x 188 μm avec un dépôt de TiN.

L'épaisseur des couches de l'empilement MIM a été caractérisée grâce aux vues en coupe des vias obtenue à l'aide d'un Microscope Électronique à Balayage (ou MEB). Afin de juger de la conformité des couches déposées au sein d'un via, leur épaisseur a été mesurée en quatre points de la structure, comme illustré sur la Figure III. 7 :

- a) en surface de la plaque (Top)
- b) dans la partie supérieure du flanc du via (F_{Top})
- c) dans la partie inférieure du flanc du via (F_{Bot})
- d) au fond du via (Bot)

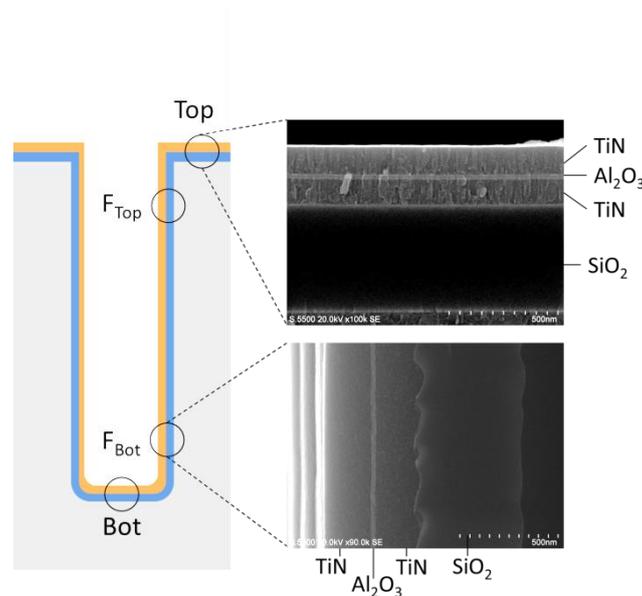


Figure III. 7. Points de mesures d'épaisseur au sein d'un TSC pour l'étude de la conformité de dépôt et images MEB associées.

Contrairement aux méthodes de caractérisation d'épaisseur classique (interférométrie, diffraction de rayon X...) la mesure à partir des coupes MEB de la structure permet la détermination de l'épaisseur déposée sur les flancs ainsi qu'au fond du via. Cependant, le résultat de la mesure est influencé par les points suivants :

Localisation de l'échantillon sur la plaque : au sein d'une chambre de dépôt, on peut observer une variation de l'efficacité du procédé à l'échelle de la plaque, on parle alors d'uniformité de dépôt. Pour limiter ce problème, tous les échantillons ont été prélevés au centre de la plaque.

Dépendance au grossissement : la précision de la mesure MEB est liée au grossissement choisi. Ainsi pour chaque couche étudiée, un grossissement adapté a été choisi.

Dépendance aux angles de clivage et d'observations : une coupe non perpendiculaire à l'empilement des couches aboutit à une surestimation de l'épaisseur des couches minces.

Variation locale et erreur humaine : Sur une même image, on peut observer de faibles variations d'épaisseur. De plus, l'appréciation de l'épaisseur de la couche revient à l'opérateur de l'équipement, cette appréciation peut être altérée par une mauvaise qualité de l'image empêchant le bon discernement des interfaces, notamment à fort grossissement. Afin de réduire l'influence de ces deux artéfacts, plusieurs mesures d'épaisseurs sont effectuées sur la même image puis moyennées.

La Figure III. 8 a) illustre la mesure de l'épaisseur de la couche de diélectrique en surface de la plaque, 3 mesures sont effectuées à un grossissement de 220 k. La moyenne résultant de ces trois mesures est 19,3 nm, l'écart type observé s'élève à 0,4 nm, soit ~2 % de la moyenne.

Scalloping du via : Ce dernier influe fortement sur la valeur d'épaisseur de l'électrode inférieure comme on peut le voir sur la Figure III. 8 b) : la valeur d'épaisseur depuis une bosse est de 204 nm alors qu'elle s'élève à 248 nm depuis un creux. Ainsi, les résultats de conformité du TiN MOCVD tiennent compte uniquement de l'électrode supérieure.

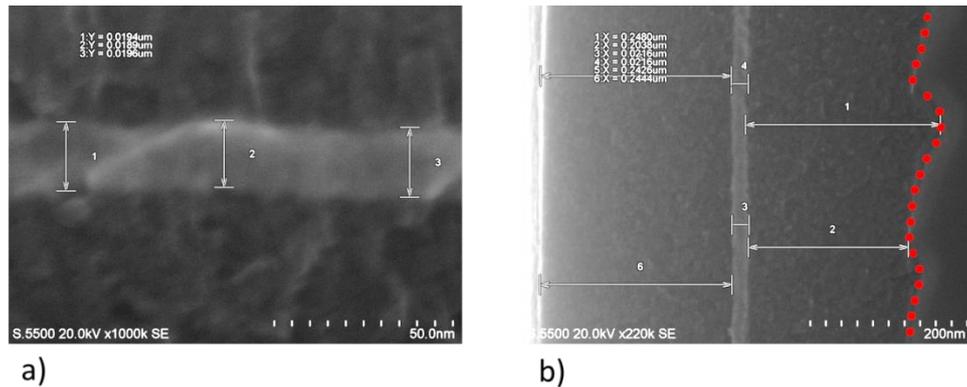


Figure III. 8. Illustration de la mesure d'épaisseur a) du diélectrique en surface de plaque, b) de l'empilement MIM sur le flanc du TSC. Le scalloping, visible en rouge, induit par la gravure DRIE a une forte influence sur l'épaisseur de l'électrode inférieure.

Le Tableau III. 3 présente les résultats des mesures d'épaisseurs des couches d'oxyde de silicium, d'alumine et de nitrure de titane déposées dans des vias de 100 x 188, 60 x 168 et 40 x 152 μm . La conformité Bot/Top représente le rapport d'épaisseur de la couche déposée en fond de via sur celle déposée en surface, c'est le rapport couramment utilisé pour évaluer la conformité d'un dépôt.

Géométrie	Couche	Épaisseur (nm)				Conformité
		Top	F _{Top}	F _{Bot}	Bot	Bot/Top (%)
100 x 188	SiO ₂	490	513	519	493	100
	TiN	139	266	262	112	80
	Al ₂ O ₃	21	21	20	20	95
60 x 168	SiO ₂	490	519	525	483	98
	TiN	135	249	244	106	78
	Al ₂ O ₃	20	21	19	19	94
40 x 152	SiO ₂	486	516	496	477	98
	TiN	147	257	249	114	78
	Al ₂ O ₃	19	20	20	20	100

Tableau III. 3. Résultats des mesures d'épaisseurs de l'empilement MIM déposé dans des via de 100 x 188, 60 x 168 et 40 x 152 μm .

Le premier constat ressortant de ces mesures est l'absence de variation significative de la conformité des couches en fonction de la géométrie du via dans lequel elles sont déposées. La conformité élevée de la couche de SiO_2 est due à l'utilisation d'un oxyde thermique. À titre de comparaison, la conformité d'une couche du même matériau déposée par SACVD¹ a été évaluée dans les mêmes conditions conduisant à une conformité de 33 %. La couche d'alumine est très conforme, confirmant de ce fait l'efficacité du dépôt ALD dans des cavités profondes.

Le TiN déposé par MOCVD à 380°C à l'aide du TDMAT montre lui aussi une bonne conformité de 78 %. Par ailleurs, lorsque l'épaisseur déposée est suffisante, le dépôt de TiN de l'électrode inférieure encaisse la forte topologie du *scalloping* induite par la gravure DRIE comme on peut le voir sur la Figure III. 8 b). Enfin, l'épaisseur de TiN déposée en flanc de TSC est plus importante que celle déposée en surface, l'effet visible sur la Figure III. 9 est dû à l'inefficacité du plasma N_2/H_2 sur les flancs, utilisé pour densifier la couche. Cela laisse suggérer une concentration élevée de carbone dans la couche déposée sur le flanc du TSC qui entraînerait une augmentation de sa résistivité.

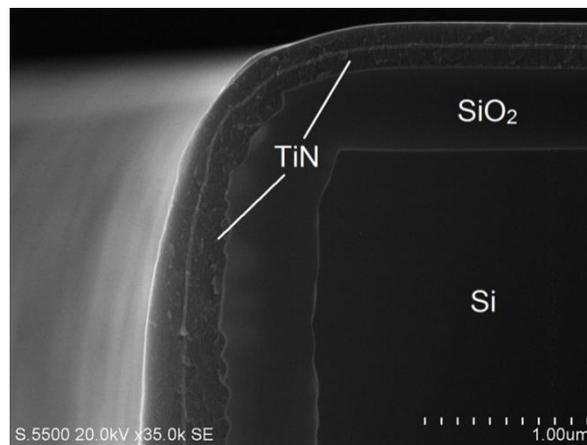


Figure III. 9. Coupe MEB d'un empilement $\text{SiO}_2/\text{TiN}/\text{Al}_2\text{O}_3/\text{TiN}$ en haut d'un via de $40 \times 152 \mu\text{m}$. L'épaisseur de TiN déposée en flanc est plus importante que celle déposée en surface.

2.3.1.2 Empilement $\text{TiN}/\text{Ta}_2\text{O}_5/\text{TiN}$ dans une matrice de type « *via-middle* »

À la différence de la première structure étudiée, l'empilement MIM est ici déposé dans une matrice de vias de $12 \times 80 \mu\text{m}$. Cette géométrie correspond au procédé de réalisation de TSV de type « *via-middle* ». L'enchaînement des étapes nécessaires à sa réalisation est similaire à celui exposé dans le cas de la première structure, quelques différences sont tout de même à relever. Tout d'abord, l'utilisation d'un masque dur n'est pas nécessaire : les vias étant moins profonds, l'étape de gravure DRIE est moins longue et la résine issue de l'étape de photolithographie est suffisante pour assurer le masquage. Ensuite, la couche d'oxyde thermique assurant la passivation a été réduite à 200 nm d'épaisseur. Enfin, l'électrode inférieure est une couche de 60 nm de TiN déposé par MOCVD à 200 °C à l'aide du TDEAT. Le diélectrique est une couche de 40 nm d'oxyde de tantale déposée par

¹ SACVD : *Sub-Atmospheric Chemical Vapor Deposition*

PEALD et l'électrode supérieure est un TiN identique à celui de l'électrode inférieure. Une illustration de la structure réalisée est visible sur la Figure III. 10.

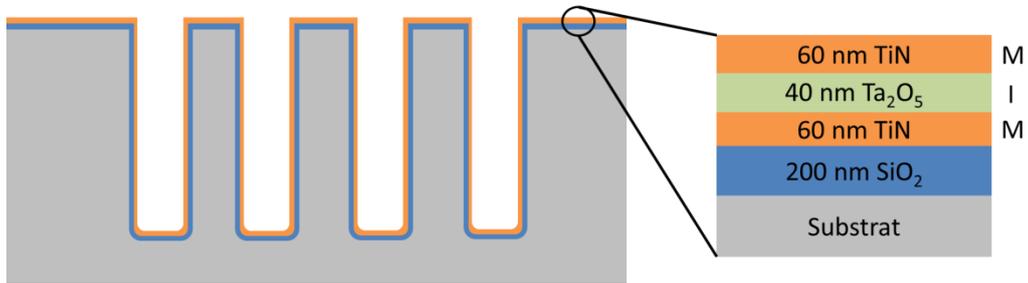


Figure III. 10. Schéma de principe de la structure réalisée dans le cadre de l'étude de la conformité d'un empilement TiN/Ta₂O₅/TiN déposé dans une matrice de vias de type « via-middle ».

Les échantillons ont été réalisés par clivage des matrices, la Figure III. 11 présente deux vues en coupe d'une matrice de TSC 12 x 80 µm. Le Tableau III. 4 présente les résultats des mesures d'épaisseurs des couches d'oxyde de silicium, d'oxyde de tantale et de nitrure de titane déposées dans des vias de 12 x 80 µm.

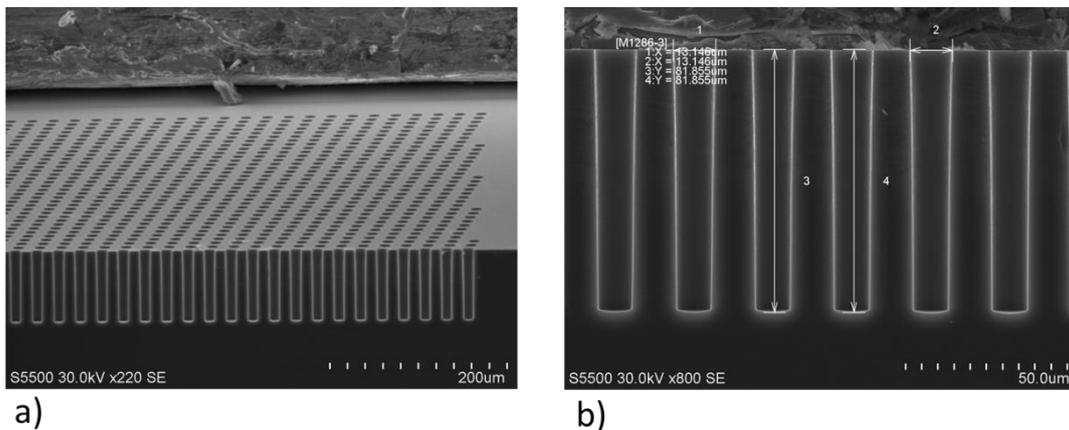


Figure III. 11. Coupe MEB d'une matrice de TSC 12x80 µm.

Couche	Épaisseur (nm)				Conformité Bot/Top (%)
	Top	F _{Top}	F _{Bot}	Bot	
SiO ₂	198	232	226	188	95
Ta ₂ O ₅	51	42	41	37	73
TiN	66	67	44	21	32

Tableau III. 4. Résultats des mesures d'épaisseurs de l'empilement MIM déposé dans des via de 12x80 µm.

Tout comme dans la première structure étudiée, l'oxyde thermique présente une très bonne conformité. La couche de TiN présente quant à elle une faible conformité de 32 %. Comme on peut le voir sur la Figure III. 12 b), la faible épaisseur de TiN composant l'électrode inférieure déposée dans la partie basse du flanc de via ne permet pas d'encaisser la topologie du *scalloping* induite par la gravure DRIE. De plus, cette faible épaisseur entraîne invariablement une augmentation de la résistance équivalente du dispositif, quelle que soit la résistivité du matériau. Cet amincissement doit être pris en compte lors du dépôt de l'électrode : une épaisseur de TiN plus importante doit être déposée afin d'obtenir une couche plus épaisse dans le fond du via, entraînant de ce fait un surdépôt en haut de via.

Bien que le TDEAT utilisé comme précurseur dans ce cas de figure permette le dépôt du TiN à plus faible température que le TDMAT utilisé dans la première structure, la faible conformité observée lors du dépôt à 200 °C est un facteur limitant. En effet, si l'impact est moindre dans le cadre d'une utilisation en barrière de diffusion, il est important lorsque l'on tire parti des propriétés électriques de la couche comme c'est le cas pour le TSC. Cependant, lorsqu'il est effectué à plus haute température (350 °C), les conformités de dépôt sont comparables à celles obtenues avec l'utilisation d'un TDMAT à 380 °C.

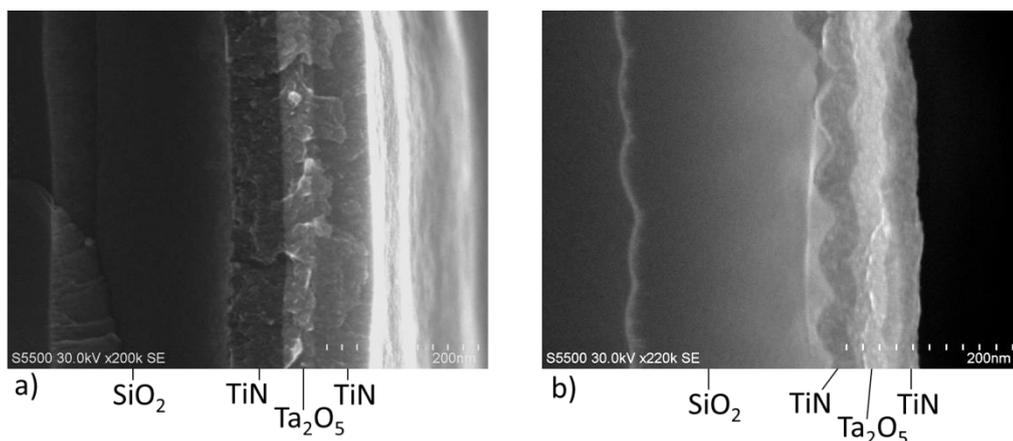


Figure III. 12. Coupe MEB d'un empilement TiN/Ta₂O₅/TiN déposé dans un via de 10 x 80 µm : on observe un amincissement significatif de la couche de TiN entre la partie supérieure du flanc de via (a) et la partie inférieure du flanc de via (b)

La conformité de la couche de Ta₂O₅ a été évaluée à 73 %, une valeur en deçà de celle observée dans le cas du dépôt d'alumine par ALD (il convient cependant de garder en tête l'aspect ratio différent des deux structures). Cette disparité est problématique, car afin de respecter une valeur minimum d'épaisseur de diélectrique déposée en fond de via, il est nécessaire de déposer une épaisseur plus importante dans la partie supérieure de la structure, entraînant ainsi une plus faible valeur capacitive du dispositif. La plus faible uniformité de la couche observée en PEALD peut s'expliquer par la forte réactivité des radicaux d'oxygène, ces derniers auraient tendance à se recombinaison en surface et sur les flancs avant leur diffusion jusqu'au fond du via.

Pour pallier à ce problème, les conditions de dépôt ont été modifiées : les temps de pulses des précurseurs et de purge du TBTDET ont été augmentés, comme on peut le voir dans le Tableau III. 5. Le temps de cycle passe de 5,6 à 7 secondes, laissant aux espèces plus de temps pour diffuser au

fond du via et saturer la surface. En plus de la conformité du dépôt, l'uniformité de celui-ci a elle aussi été évaluée. Pour ce faire, deux échantillons ont été observés pour chaque dépôt : un premier provenant du centre de la plaque, et un second prélevé en périphérie de la plaque. Les résultats sont visibles dans le Tableau III. 6, la valeur d'uniformité donnée pour chaque point de mesure correspond au pourcentage de variation de l'épaisseur mesurée en périphérie de la plaque par rapport à celle mesurée au centre. Une valeur négative traduit un amincissement de la couche du centre vers le bord, à l'inverse une valeur positive traduit un épaissement de la couche.

	Pulse TBTDET	Purge TBTDET	Pulse O ₂	Purge O ₂
1 ^{ère} recette	2500 ms	2000 ms	600 ms	500 ms
2 ^{nde} recette	3000 ms	2500 ms	1000 ms	500 ms

Tableau III. 5. Comparaison des temps de pulse et de purge des deux dépôts de Ta₂O₅ réalisés par PEALD.

		Épaisseur (nm)				Conformité Bot/Top (%)
		Top	F _{Top}	F _{Bot}	Bot	
1 ^{ère} recette	centre	51	42	41	37	73
	bord	45	40	32	33	73
	Uniformité (%)	-12	-5	-22	-11	
2 ^{nde} recette	centre	43	45	38	35	81
	bord	45	43	35	36	80
	Uniformité (%)	5	-4	-8	3	

Tableau III. 6. Résultats des mesures d'épaisseurs de Ta₂O₅ déposé dans des via de 12 x 80 μm à l'aide de deux recettes de dépôt PEALD.

L'augmentation du temps de cycle élémentaire du dépôt PEALD a permis une augmentation de la conformité du dépôt de 7 % ainsi qu'une amélioration de son uniformité à l'échelle de la plaque. Cependant, la conformité du dépôt de Ta₂O₅ par PEALD reste inférieure à celui du dépôt d'alumine par ALD au sein des structures considérées.

Conclusions de l'étude de conformité

L'étude de la conformité de l'alumine déposée par ALD a démontré l'efficacité de cette méthode pour réaliser une couche de diélectrique très conforme dans des vias profonds, cependant la température de dépôt de l'alumine considérée (300 °C) est incompatible avec un procédé « *via-last* » qui requiert une température inférieure à 250 °C afin de conserver l'intégrité de la résine de collage.

L'oxyde de Tantale permet en raison de sa permittivité relative $\epsilon_R \sim 25$ l'atteinte de valeurs capacitives plus élevées que l'alumine. La méthode PEALD permet son dépôt à 200 °C, une température compatible avec le procédé « *via-last* ». Cependant, on observe un amincissement de la couche déposée d'environ 20 % entre la surface de la plaque et le fond du via, probablement dû à la

forte réactivité des espèces présentes dans le plasma. Cette disparité d'épaisseur est problématique pour une utilisation au sein d'un dispositif MIM car le respect d'un minimum déposé est nécessaire afin d'assurer la fiabilité du composant (tension de claquage, courant de fuites...). Entraînant ainsi un surdépôt en haut de via, et donc une perte de valeur capacitive du composant, tel qu'il a été discuté dans le second chapitre. La conformité du dépôt d'oxyde de Tantale pourrait être optimisée par l'utilisation d'une méthode ALD thermique, à l'aide par exemple de Pentakis-diméthylamino Tantalum (PDMAT - $C_{10}H_{30}N_5Ta$) déposé à ~ 250 °C [81].

L'étude de la conformité du Nitrure de titane a permis la mise en parallèle de deux procédés de dépôt MOCVD utilisant un précurseur différent conduisant à deux températures de dépôt distinctes : le TDMAT déposé à 380 °C et le TDEAT déposé à 200 °C. Si le premier permet l'obtention d'une conformité élevée d'environ 80 %, sa température de dépôt n'est pas compatible avec le procédé « *via-last* ». Le second permet quant à lui un dépôt à plus faible température, cependant les conformités obtenues dans ce cas sont de l'ordre de 30 %. La non uniformité du dépôt d'électrode est toutefois moins critique que dans le cas du diélectrique, mais un surdépôt en haut de via entraînerait une augmentation du temps nécessaire à la réalisation de la couche.

L'observation de la conformité de la couche de TiN a permis de mettre en avant un élément beaucoup plus problématique dans le cadre d'une utilisation au sein d'une structure MIM. En effet, l'augmentation de l'épaisseur de la couche dans le flanc du via par rapport à celle observée en surface démontre l'inefficacité du plasma de densification utilisé lors du dépôt par MOCVD. Le traitement plasma permet l'élimination du carbone résiduel dans la couche, ce dernier ayant pour effet l'augmentation de la résistivité du matériau. Une électrode résistive est synonyme d'un ESR élevé du composant capacitif, ainsi il est crucial de déterminer la résistivité du TiN déposé en flanc de via.

2.3.2 Résistivité d'une couche de TiN en flanc de tranchée

La résistivité de la couche de TiN déposée dans le TSC définit la valeur de résistance des électrodes au côté des paramètres géométriques (profondeur du via, épaisseur et conformité de la couche). L'étude de conformité présentée dans la section précédente a permis de mettre en avant l'inefficacité du plasma de densification sur les flancs du TSC, ce plasma permettant de réduire la concentration en carbone de la couche influençant directement la valeur de résistivité de cette dernière.

La résistivité de la couche de TiN a tout d'abord été mesurée en surface de la plaque. Deux types de dépôts ont été comparés, tous deux effectués à l'aide du précurseur TDEAT à 200 °C. Dans le premier cas, un TiN densifié a été déposé alors que dans le second, le dépôt a été effectué en l'absence du plasma NH_3 de densification. Une mesure quatre pointes a été utilisée afin de déterminer la résistivité du TiN en surface. La Figure III. 13 illustre le principe de cette méthode : les pointes 1 et 4 permettent l'injection du courant dans la couche alors que les pointes 2 et 3 servent à mesurer la tension. La séparation de l'injection de courant et de la mesure de tension permet de s'affranchir de la résistance de contact pouvant perturber la mesure de résistance.

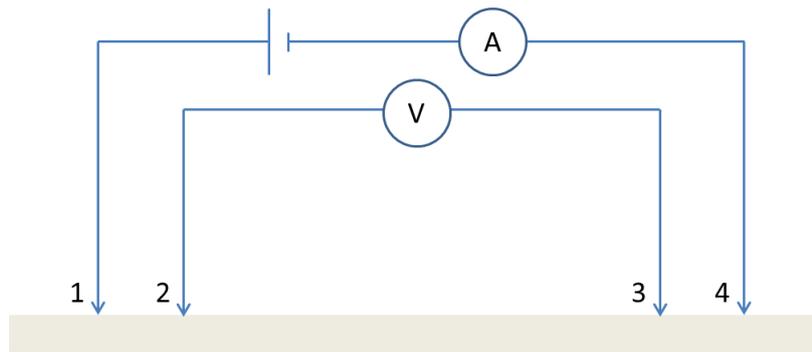


Figure III. 13. Schéma de principe de la mesure de résistivité 4 pointes.

La résistivité de la couche de TiN densifié a été évaluée à $194 \mu\Omega.cm$ et celle de la couche déposée en absence de plasma s'élève à $8000 \mu\Omega.cm$, une augmentation d'un facteur de plus de quarante démontrant l'importance du traitement plasma sur la conduction électrique de la couche.

Ces mesures réalisées à la surface de la plaque ne sont pas représentatives de la couche déposée sur le flanc. En effet, il est difficile de quantifier l'efficacité du plasma sur les flancs du TSC à partir des mesures d'épaisseur seules, et uniquement une mesure directe de la couche permettrait l'évaluation de sa résistivité. Aucune méthode de caractérisation directe de la couche déposée en flanc de via n'étant disponible (à ma connaissance), les travaux de thèse ont été l'occasion de mettre en place un procédé expérimental permettant la mesure directe de la résistivité d'une couche mince déposée en flanc de cavité profonde.

La mesure directe au sein même d'un via cylindrique s'avère difficile, la courbure de la couche ainsi que l'espace restreint disponible sont autant de freins à la mesure. Ainsi, la méthode développée utilise des tranchées gravées dans le silicium afin de fournir une surface plane plus large facilitant la mesure. La méthode, illustrée sur la Figure III. 14, peut être décomposée selon les étapes suivantes :

- a) **Gravure des tranchées** : Un masque de photolithographie permet la définition des motifs à graver dans le silicium : les tranchées sont ouvertes de $10 \mu m$, correspondant ainsi au diamètre d'un TSV « *via-middle* ». Les tranchées sont longues de $1,7 mm$ ce qui facilitera le clivage lors d'une étape ultérieure, elles sont gravées par DRIE à une profondeur de $90 \mu m$.
- b) **Dépôts dans les tranchées** : Les tranchées sont passivées par oxydation thermique de $500 \mu m$ afin d'isoler électriquement la couche étudiée du substrat. Le dépôt métallique à étudier est ensuite effectué.
- c) **Clivage de la tranchée** : la plaque est clivée de manière à ouvrir la tranchée par la moitié, comme on peut le voir sur la Figure III. 14-c.
- d) **Polissage de la surface** : Le matériau conducteur présent en surface de la plaque est retiré par polissage afin d'éliminer toute conduction par la surface lors de la mesure.
- e) **Report de l'échantillon** : l'échantillon est reporté par collage sur un substrat porteur de manière à ce que le flanc de tranchée soit accessible pour la mesure.

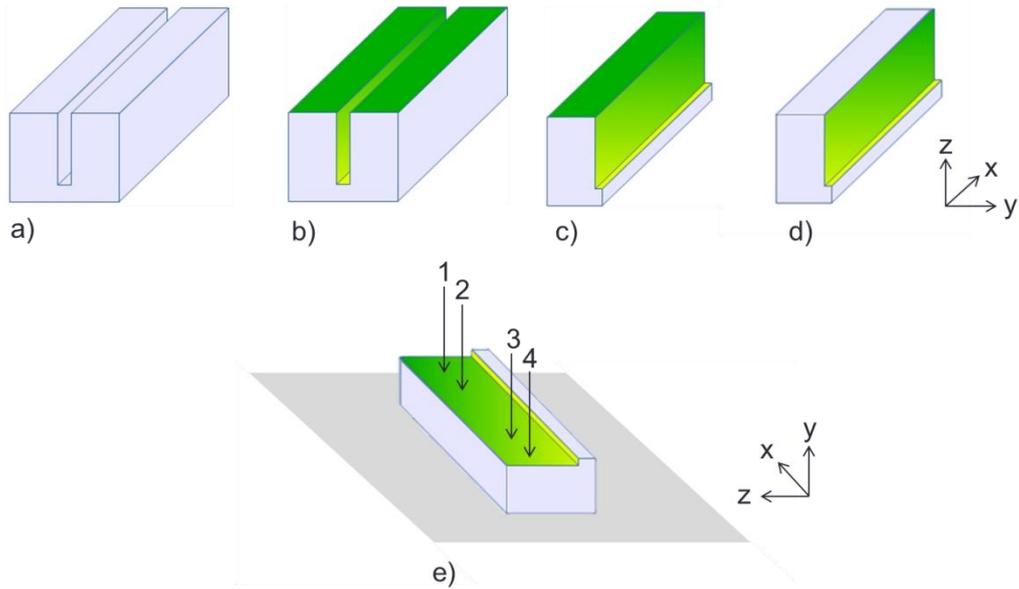


Figure III. 14. Schéma illustrant la réalisation de la mesure de résistivité quatre points en flanc de tranchée.

L'échantillon est placé sur un banc de test et quatre pointes sont posées sur la couche tel qu'illustré sur la Figure III. 14-e, les numéros de pointes correspondent au montage électrique présenté sur la Figure III. 13. Les résultats de la mesure sont visibles sur la Figure III. 15 présentant la courbe de résistance en fonction de l'écartement des pointes. La résistance est égale au rapport de la tension en Volts sur l'intensité de courant mesurée en Ampères. Trois points de mesures ont été relevés correspondant à différents écartements des pointes 2 et 3 selon l'axe x : 300, 560 et 1150 μm .

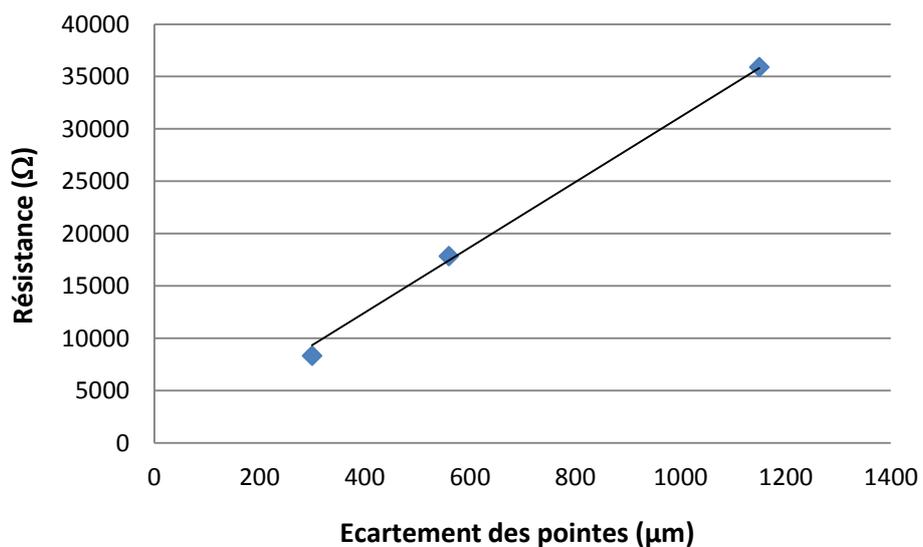


Figure III. 15. Résultats de la mesure 4 pointes d'une couche de TiN déposée en flanc de tranchée.

La résistivité ρ de la couche est donnée par l'équation III. 1 où l correspond à l'écartement des pointes et A à la section de la couche.

$$\rho = R \cdot \frac{A}{l} \quad \text{III. 1}$$

Ainsi, la pente est égale au ratio ρ/A , la section correspond au produit de l'épaisseur de la couche par la profondeur de la tranchée. La profondeur de la tranchée a été mesurée à $70 \pm 2 \mu\text{m}$ par microscopie optique lors de la mesure, et l'épaisseur moyenne de la couche a été évaluée à $41 \pm 5 \text{ nm}$ à partir des données de conformité mesurées et présentées dans le Tableau III. 4 pour un TSC $10 \times 80 \mu\text{m}$. Ces valeurs mènent à une résistivité estimée à $9000 \pm 1400 \mu\Omega\cdot\text{cm}$. La forte incertitude due à la méthode de mesure ne permet pas l'évaluation précise de la valeur de résistivité du matériau. Elle correspond cependant à la valeur mesurée en surface de la plaque dans le cas d'un dépôt de TiN non densifié ($\rho = 8000 \mu\Omega\cdot\text{cm}$), démontrant l'inefficacité du plasma de densification sur les flancs de la structure.

Cette forte résistivité du matériau en flanc de structure influe sur la valeur d'ESR d'un TSC, cette dernière étant limitée par la résistance de l'électrode inférieure. Le modèle RC présenté dans le second chapitre prédit une valeur d'ESR d'environ 17Ω dans le cas où une électrode inférieure conforme de TiN densifié ($\rho = 194 \mu\Omega\cdot\text{cm}$) de 100 nm est utilisée dans la structure. Cette valeur augmente à 715Ω dans le cas où cette même électrode est considérée comme non densifiée ($8000 \mu\Omega\cdot\text{cm}$).

Bien qu'elle permette une mesure directe de la résistivité dans le flanc du TSC, cette méthode est limitée par la surface nécessaire à la pose des quatre pointes. En effet, s'il est possible de modifier l'écartement des pointes selon l'axe x , la profondeur de la tranchée ne permet pas l'étude de la résistance de la couche selon l'axe z . Ainsi, la valeur de résistivité obtenue ne prend pas en compte l'uniformité réelle de la couche : son calcul nécessite l'évaluation d'une épaisseur moyenne uniforme sur la totalité du flanc. Cependant, on peut émettre l'hypothèse que l'efficacité du plasma sur la couche que l'on souhaite caractériser dépend de la position sur le flanc, et donc que la résistivité de la couche est amenée à évoluer selon l'axe z .

Une seconde méthode de caractérisation a donc été mise en place pour répondre à cette hypothèse, la mesure de résistance par *Scanning Spreading Resistance Microscopy* (SSRM). Son principe de fonctionnement est très proche de celui de l'AFM conducteur : une pointe AFM en silicium comportant un revêtement conducteur de siliciure de platine (PtSi) se déplace sur une petite surface d'un matériau conducteur. Comme on peut le voir sur la Figure III. 16, le courant électrique est injecté depuis une première électrode (la colle d'argent) et traverse le TiN jusqu'à la pointe mobile (selon les axes z et x) faisant office de seconde électrode. Un potentiel fixe de $0,5 \text{ V}$ est appliqué entre les deux électrodes, les variations d'intensité de courant permettent de remonter à la valeur de résistance. À la différence de l'AFM conducteur, la méthode SSRM permet la mesure en section, elle est souvent utilisée pour définir la distribution de dopants dans les matériaux semi-conducteurs ainsi que la délimitation de jonctions.

Dans notre cas, la méthode SSRM permet de dresser une cartographie de la résistance en flanc de TSC, et donc de déterminer l'impact du plasma de densification sur la résistivité du TiN en fonction de la position sur l'axe z . La méthode de préparation de l'échantillon reprend les trois premières

étapes présentées sur la Figure III. 14-a-b-c, soit la gravure des tranchées, leur passivation, le dépôt de TiN ainsi que le clivage. L'échantillon est ensuite collé sur un substrat porteur à l'aide d'une colle d'argent conductrice faisant office d'électrode, puis la pointe AFM est placée sur la tranchée comme on peut le voir sur la Figure III. 17.

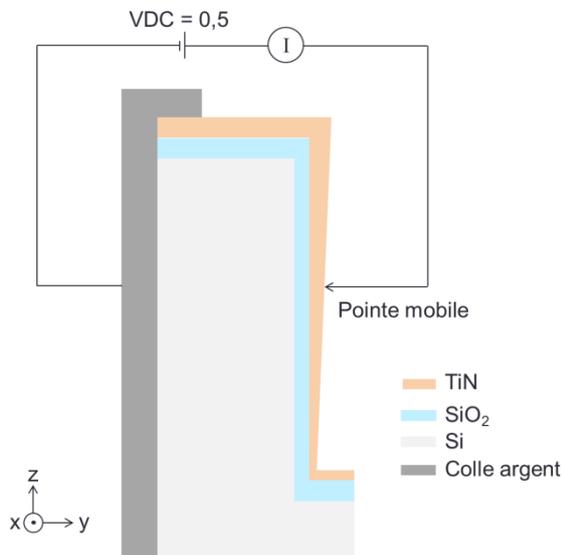


Figure III. 16. Schéma de principe de la mesure par SSRM.

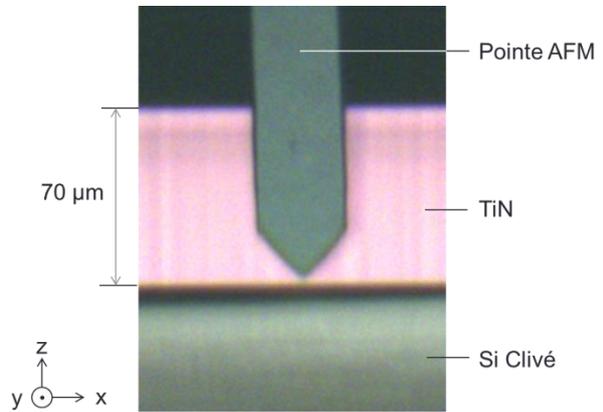


Figure III. 17. Vue optique de la mesure par SSRM

La mesure est effectuée sur une surface carrée de $10 \times 10 \mu\text{m}$ à différentes profondeurs, la Figure III. 18 présente les résultats des scans de résistance en haut, milieu et fond de tranchée. Le premier constat ressortant de ces mesures concerne les gammes de résistances observées (~ 10000 - 120000Ω), elles sont 1 à 3 décades au-dessus des valeurs calculées dans un cas très pessimiste (environ 350Ω si l'on considère une couche de 19 nm d'épaisseur moyenne possédant une résistivité de $15000 \mu\Omega\cdot\text{cm}$ déposée dans une tranchée profonde de $70 \mu\text{m}$). De plus, on n'observe pas de variation significative de la résistance mesurée entre les différentes profondeurs. L'hypothèse la plus probable expliquant ces résultats est que la résistance mesurée provienne de la résistance de contact plutôt que celle de la couche.

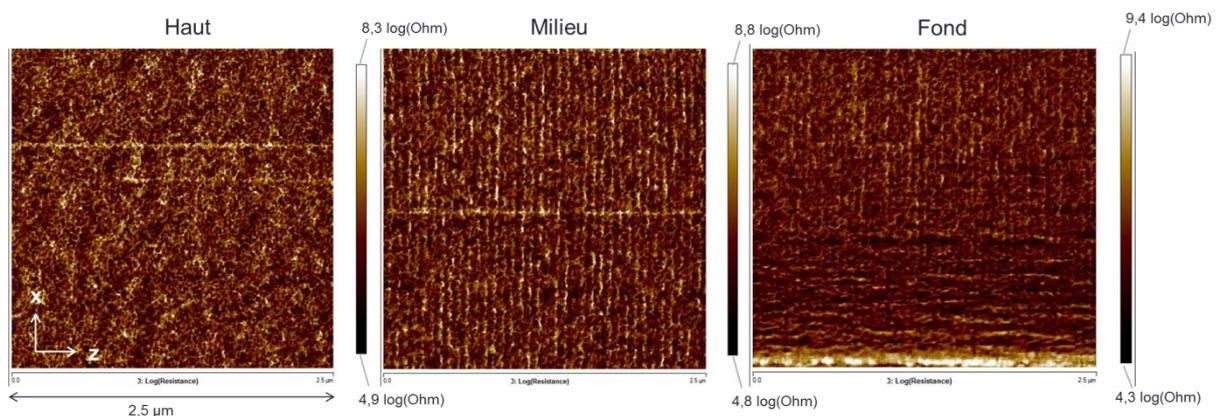


Figure III. 18. Résultats des mesures de la couche de TiN déposée sur le flanc de tranchée effectuées par SSRM à différentes profondeurs.

Cette hypothèse est soutenue par la variation spatiale de résistance. En effet, si l'on observe les scans provenant du milieu et du fond de la tranchée, un motif de répétition est visible probablement dû au *scalloping* induit par la gravure DRIE. C'est pourquoi il n'est pas visible en haut de tranchée où l'épaisseur déposée est suffisante pour encaisser le *scalloping*. Ainsi, les variations de résistances observées proviendraient de l'évolution du contact de la pointe sur la couche plutôt qu'une variation due à la résistivité de la couche.

Un avantage certain de la technique de caractérisation par SSRM réside dans la possibilité de caractériser simultanément la topologie de la couche par AFM. La Figure III. 19 présente les résultats d'une telle mesure opérée au milieu d'un flanc de tranchée : il apparaît ici que les pics de résistance observés en SSRM correspondent aux creux induits par le *scalloping* (on note que la période observée en AFM est proche de celle observée précédemment en MEB). Ainsi, la résistance observée par SSRM est bien dominée par les fluctuations de résistance de contact.

La méthode d'évaluation de la résistivité de la couche de TiN par SSRM nécessiterait d'être modifiée pour s'affranchir de la résistance de contact, en séparant l'injection de courant et la mesure de tension (à l'image de la méthode quatre pointes).

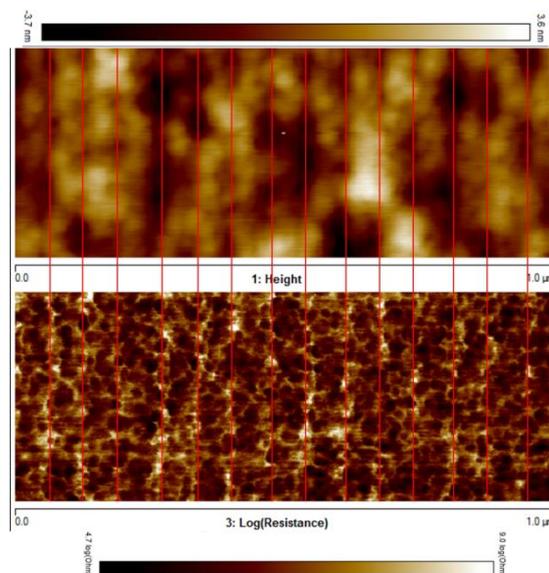


Figure III. 19. Comparaison des mesures de topologie par AFM (en haut) et de résistance par SSRM (en bas) opérées simultanément en milieu d'un flanc de tranchée. Les creux induits par le *scalloping* sont visible en foncé sur l'image AFM, ils correspondent aux zones de plus hautes résistivité en clair sur l'image SSRM.

Conclusions sur l'étude de résistivité du TiN MOCVD

La caractérisation électrique de la couche de TiN déposée par MOCVD a permis d'évaluer la résistivité de la couche de TiN déposée dans le flanc d'une tranchée. Cette valeur élevée est prohibitive pour une utilisation de la couche en tant qu'électrodes dans le TSC, car la faible conductivité de l'électrode inférieure entraînerait un ESR trop élevé du dispositif capacitif.

Une première solution consisterait en l'utilisation d'un dépôt de TiN par ALD pour la réalisation des électrodes, cette méthode permettant l'atteinte de couche stœchiométrique sans impliquer de traitement plasma mène à de plus faibles résistivités [78]. De plus, la méthode par ALD permettrait

l'atteinte de meilleures conformités ainsi que de plus faibles températures de dépôt. Cependant, le surcoût induit par le temps de dépôt plus important dans le cas de l'ALD par rapport à la technique CVD est à prendre en considération.

Une seconde solution consisterait à utiliser un métal de plus faible résistivité conjointement au TiN de l'électrode inférieure, comme c'est le cas pour l'électrode supérieure et le cuivre de remplissage du TSC. C'est vers cette dernière solution que les travaux ont été orientés, en tirant parti d'une couche de cuivre de faible résistivité, qui assure aussi un rôle crucial dans la co-intégration TSC/TSV.

3 Développement de la co-intégration TSC/TSV

3.1 Principe de co-intégration du TSC et du TSV au sein d'un interposeur « *via middle* »

Dans les précédentes parties de ce manuscrit, le TSC a été étudié de manière indépendante. Cependant, une des particularités de cette architecture réside dans le fait qu'elle coexiste avec le TSV au sein de l'interposeur silicium. Plus encore, les procédés de réalisation des TSC et des TSV partagent plusieurs étapes permettant ainsi la réduction du coût de fabrication des deux briques technologiques. Il existe plusieurs procédés de réalisation du TSV (« *via-first* », « *via-middle* », « *via-last* »...), il en découle logiquement plusieurs procédés de réalisation du TSC possibles.

Dans le cadre de ces travaux de thèse, la co-intégration TSC/TSV a été développée dans le cas de l'intégration de type « *via-middle* ». Les raisons de ce choix sont multiples, tout d'abord, l'industrie semble s'orienter vers la fabrication d'interposeurs comportant ce type de TSV permettant un nombre important d'I/O et de faibles épaisseurs de substrats. De plus, le budget thermique autorisé pour la réalisation de TSV de type « *via-last* » (< 250 °C) limite l'utilisation de certaines méthodes de dépôt de l'empilement MIM comme nous avons pu le voir dans la partie précédente. Enfin, les *pitch* resserrés associés à l'intégration « *via-middle* » sont propices à l'atteinte de forte densité de capacité (voir chapitre II).

Le procédé de co-intégration TSC/TSV au sein d'un interposeur « *via-middle* » s'articule autour d'une étape innovante de dépôt électrolytique de cuivre: le remplissage partiel, ou « *partial-filling* » [69]. Le procédé de co-intégration illustré sur la Figure III. 20 se base sur les étapes de réalisation d'un interposeur « *via-middle* » déjà discutées dans le premier chapitre, seules les étapes supplémentaires permettant l'intégration du TSC seront décrites ci-après.

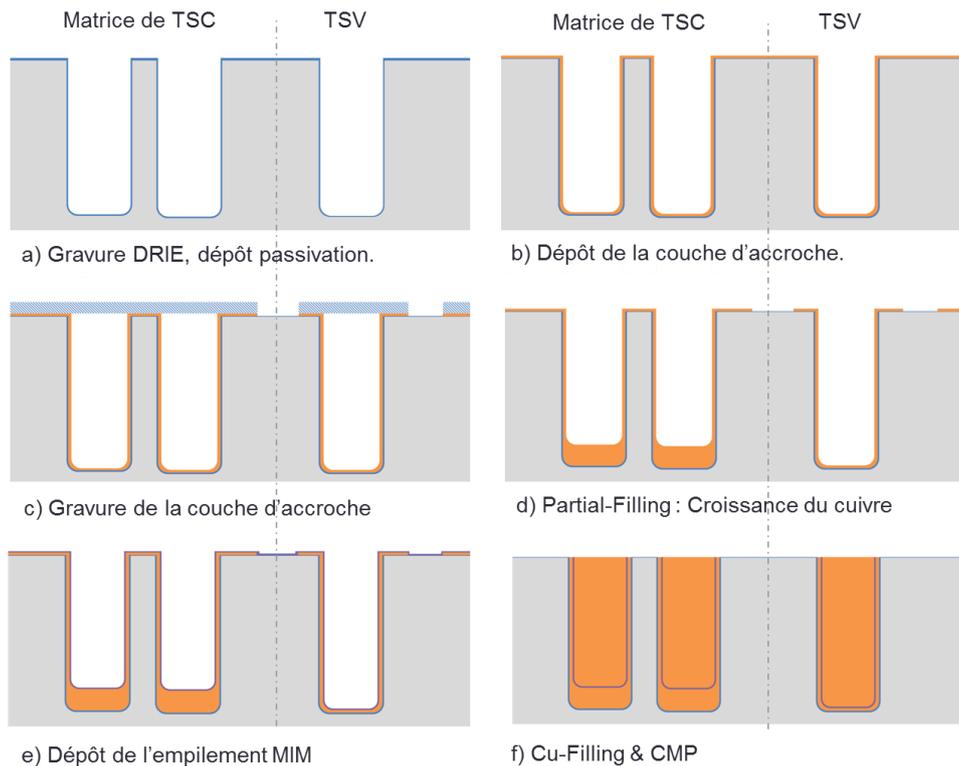


Figure III. 20. Illustration du procédé de co-intégration en face avant des TSC et TSV au sein d'un interposeur silicium de type « via-middle ».

a) Les cavités des TSC et TSV sont réalisées simultanément par gravure profonde (DRIE), puis une couche de SiO_2 est déposée afin d'assurer l'isolation électrique des vias et du substrat. Ces étapes sont décrites dans le premier chapitre.

b) Le dépôt de la couche d'accroche s'effectue en plusieurs étapes. Tout d'abord, un empilement Ti/TiN/Ti est déposé dans la cavité par PVD. Son rôle consiste d'une part à réaliser une électrode de faible résistivité permettant la croissance de cuivre dans le via sous de bonnes conditions et d'autre part à empêcher la diffusion du cuivre vers le substrat. Dans un second temps, le dépôt d'une couche de cuivre est nécessaire afin d'initier la croissance électrolytique effectuée dans l'étape d, cette couche est déposée par PVD.

c) La couche d'accroche est gravée de manière à isoler électriquement les TSV et ainsi inhiber la croissance électrolytique de cuivre. Les zones à graver sont définies par une étape de photolithographie permettant l'ouverture d'un film sec photosensible laminé sur la plaque de silicium. Contrairement à une résine classique appliquée par spin-coating, le film sec permet de recouvrir le via sans y introduire de résine comme on peut le voir sur Figure III. 20-c, facilitant ainsi son retrait (étape de « stripping »). La Figure III. 21, représente un motif issu du masque utilisé pour cette étape. Les ronds bleus représentent la matrice de TSC centrale et les TSV placés en périphérie, les zones rouges hachurées représentent les parties ouvertes du film sec. L'électrode permettant la croissance électrolytique de cuivre est gravée autour des TSV, la *partial-filling* est donc localisé dans les TSC uniquement.

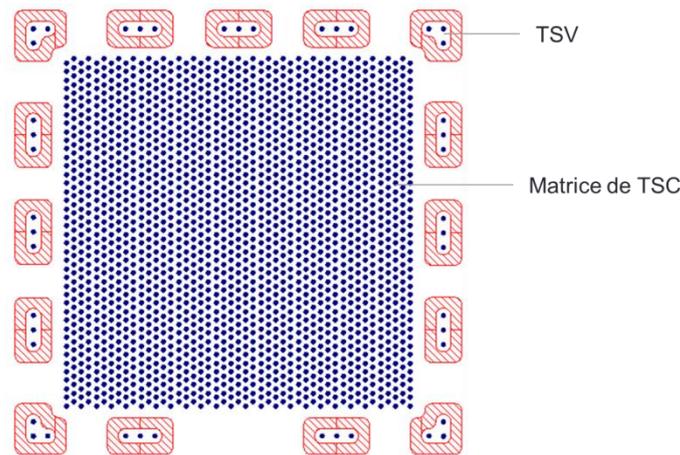


Figure III. 21. Motif de gravure de la couche d'accroche. Les ronds bleus représentent la matrice de TSC centrale et les TSV placés en périphérie, les zones rouges hachurées représentent les parties gravées.

d) L'étape de *partial-filling* est une croissance de cuivre effectuée par électrolyse. Il s'agit d'un procédé semblable au remplissage « *bottom-up* » des TSV favorisant l'évolution d'un front de croissance du fond du via vers la surface de la plaque. Dans le cas du *partial filling*, le via n'est pas rempli complètement, l'objectif est de déposer une certaine épaisseur de cuivre dans le fond du via (environ 5 à 10 μm) tout en limitant la croissance sur les flancs du TSC. L'étape de *partial-filling* sera décrite plus en détail dans la prochaine section.

e) Les dépôts des trois couches composant l'empilement MIM sont ensuite réalisés, comme il a été décrit en détail précédemment.

f) Les TSC et TSV sont ensuite remplis simultanément de cuivre par un procédé de remplissage « *bottom-up* » nécessitant au préalable le dépôt d'une couche d'accroche. Une étape de CMP effectuée en face avant permet l'élimination des couches de matériaux présentes en surface, cette planarisation de la plaque permet la réalisation *a posteriori* des niveaux d'interconnexions de la face avant de l'interposeur telle que décrite dans le premier chapitre.

Dans cette intégration, la seule différence entre le TSC et le TSV réside dans la croissance d'un *partial-filling* de cuivre dans le premier. Cette couche de cuivre déposée dans le fond du TSC permet de décaler la hauteur des dépôts MIM par rapport au TSV. L'étape de reprise de contact en face arrière de la plaque est illustrée sur la Figure III. 22, dans un premier temps un retrait du silicium permet de découvrir les « *copper-nails* »¹. Puis, lors de l'ouverture de ces derniers, les couches de l'empilement MIM sont supprimées physiquement au fond des TSV par une étape de CMP, permettant un contact électrique entre les deux faces de l'interposeur par le cuivre de remplissage. Dans le cas de la matrice de TSC, l'empilement MIM est protégé par la surépaisseur générée par le *partial-filling* et chacune des électrodes de la capacité est accessible depuis une des faces de l'interposeur.

¹ *Copper-nails* : Plots de cuivre ressortant du silicium après l'étape de gravure en face arrière de l'interposeur

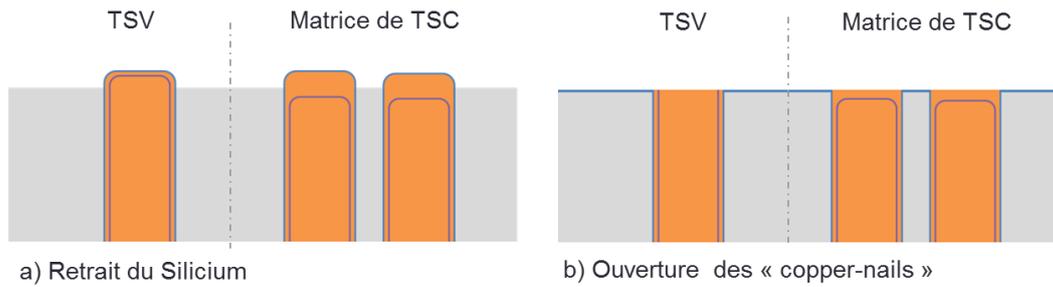


Figure III. 22. Illustration de la reprise de contact des TSC et TSV en face arrière d'un interposeur « via-middle ».

L'épaisseur de cuivre déposée en fond de TSC doit être suffisamment importante pour que la CMP débouche sur le cuivre du *partial-filling*. Cette épaisseur dépend de la hauteur des « *copper-nails* » ressortant du silicium après l'étape de retrait du silicium, ainsi que de l'épaisseur de la couche de passivation déposée avant leur ouverture par CMP. La hauteur des « *copper-nails* » dépend elle-même du TTV¹ induit par les étapes de gravure des vias, de scellement, d'amincissement et de retrait de silicium. Le maximum de hauteur des « *copper-nails* » a été évalué à ~6 µm après retrait du silicium dans le cadre de la réalisation d'un interposeur « *via-middle* » sur la plateforme du LETI [13]. Ainsi, l'épaisseur cible du dépôt de cuivre lors de l'étape de *partial-filling* est fixée à 10 ± 2 µm, laissant une assez large marge de manœuvre permettant d'encaisser un TTV important.

Bien que le *partial-filling* permette la co-intégration TSC/TSV, il a pour désavantage la diminution de la surface capacitive, menant à un amoindrissement de la valeur de capacité du TSC. Les principaux objectifs de l'étape de *partial-filling* sont les suivants :

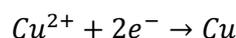
- L'atteinte de l'épaisseur cible déposée en fond de TSC.
- La limitation de la croissance sur les flancs du TSC.
- L'absence de cavités après le remplissage complet des TSV et TSV.

La réalisation de l'étape de *partial-filling* fait l'objet de la partie suivante.

3.2 Réalisation des étapes de co-intégration TSC/TSV.

3.2.1 Principe de l'électrolyse de cuivre pour le remplissage de vias

En microélectronique, le dépôt de cuivre est réalisé par voie électrochimique à l'aide de la technique d'ECD². L'équation III. 2 décrit la réaction menant au dépôt du métal, les ions Cu^{2+} réagissent avec deux électrons pour former un atome de cuivre. Le principe est donc de faire circuler un courant dans une cathode en présence d'une solution ionique de cuivre.



III. 2

¹ TTV : *Total Thickness Variation* (Variation d'épaisseur Globale)

² ECD : *Electro Chemical Deposition* (Dépôt par voie électro-chimique)

En pratique, c'est la plaque qui assure le rôle de cathode grâce au dépôt de la couche d'accroche réalisé au préalable. Une fois la plaque plongée dans une solution électrolytique, une différence de potentiel est appliquée entre la plaque (cathode) et des anodes de cuivre. Lorsque la plaque entre en contact avec l'électrolyte, il y a génération d'un courant entre anode et cathode et ainsi dépôt de Cu sur la cathode.

La cinétique de dépôt est conditionnée par plusieurs réactions. Cependant elle suit la loi de Faraday, la vitesse de dépôt dépend de la densité de courant locale tel que [82] :

$$m = \frac{Q}{n \cdot F} \cdot M \quad \text{III. 3}$$

Avec m la masse de cuivre déposée par cm^2 (en $\text{g} \cdot \text{cm}^{-2}$), Q la densité de charge électrique (en $\text{C} \cdot \text{cm}^{-2}$), n le nombre d'électrons échangés, F la constante de Faraday ($96500 \text{ C} \cdot \text{mol}^{-1}$), et M la masse molaire du matériau déposé (en $\text{g} \cdot \text{mol}^{-1}$).

La vitesse de dépôt peut donc s'exprimer de la manière suivante :

$$\frac{\delta m}{\delta t} = \frac{M}{n \cdot F} \cdot j \quad \text{III. 4}$$

Avec j la densité de courant entre les deux électrodes (en $\text{A} \cdot \text{cm}^{-2}$)

Dans le cas d'un dépôt ECD au sein d'un via, la cinétique de réaction est liée à la géométrie de ce dernier. En effet, la vitesse de dépôt locale dépend de deux facteurs :

- **La densité de courant** : la non-conformité de la couche d'accroche peut générer une forte résistance en fond de via, menant à une densité de courant amoindrie par rapport à la surface de la plaque.
- **La concentration en espèces** : Les profondeurs mises en jeu par les vias entraînent une augmentation du temps de diffusion des espèces jusqu'au fond du via, menant à une concentration d'ion cuivre plus faible en fond de via qu'en surface de la plaque.

Ces deux mécanismes ont tendance à entraîner une non-conformité de la croissance proportionnelle à la profondeur du via : le dépôt de cuivre est plus rapide en surface de la plaque et en haut de flanc de via qu'au fond de celui-ci. Cet effet est problématique, car il mène à la création de cavités dans le via. Comme on peut le voir sur la Figure III. 23, la croissance de cuivre étant plus rapide en haut de flanc, le via se referme (on appelle ce phénomène le pincement) empêchant ainsi la diffusion des ions Cu^{2+} vers le fond. La croissance est donc inhibée en dessous du pincement résultant en une cavité dans le cuivre de remplissage.

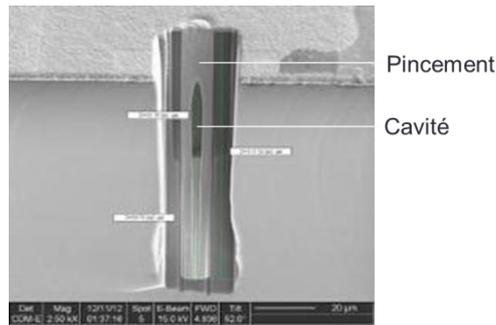


Figure III. 23¹. Coupe MEB d'un TSV exhibant une cavité dans le cuivre due à une croissance non conforme.

Pour pallier à ce problème, la méthode appelée « *bottom-up* » (ou encore « *super-filling* ») a été développée. Cette méthode introduit trois additifs au bain de sulfate de cuivre utilisé pour l'électrolyse classique. Ces additifs ont pour effet le blocage du dépôt en surface et sur le flanc du via tout en l'accéléralant en fond de via. Les trois additifs utilisés sont les suivants : un accéléralateur ayant pour effet l'accéléralation du dépôt, un supprimeur ayant pour effet le ralentissement du dépôt et un « *leveler* » utilisé pour lisser la surface du cuivre et éliminer ses aspérités.

L'utilisation conjointe de l'accéléralateur et du supprimeur permet l'obtention d'un front de croissance évoluant du fond du via vers la surface de la plaque. Ce phénomène peut s'expliquer par les deux mécanismes suivants :

- Le supprimeur est une molécule significativement plus grosse que l'accéléralateur, il a donc plus de difficulté à diffuser jusqu'au fond du via. Il en résulte une concentration de supprimeur plus faible en fond de via qu'en surface, favorisant donc la croissance « *bottom-up* ».
- Bien que le supprimeur diffuse lentement dans le fond de la géométrie, il est très rapidement actif sur la surface. L'accéléralateur lui, met plus de temps à s'adsorber et va, dans le temps, venir prendre la place du supprimeur sur la surface du cuivre. Ce phénomène de « déplacement » permet l'accéléralation du dépôt au fur et à mesure que l'accéléralateur prend la place du supprimeur dans le fond des motifs alors qu'en surface, la croissance est bloquée par la présence du supprimeur en forte concentration.

Le processus de croissance par la méthode « *bottom-up* » est illustré sur la Figure III. 24, il peut être décrit comme suit :

- **Phase 1** : La plaque est introduite dans le bain et une tension est appliquée entre les électrodes. Les espèces en présence migrent vers la surface de cuivre. La concentration en accéléralateur est plus importante que celle de supprimeur en fond du via dû à la faible diffusion de ce dernier. À l'inverse, le supprimeur domine les réactions de surface.
- **Phase 2** : L'accéléralateur prend la place du supprimeur. Le phénomène est accentué en fond de via car la concentration en accéléralateur domine celle du supprimeur. Le dépôt est donc accéléré en fond de via, résultant en un front de croissance évoluant du fond vers la surface.

¹ Crédit images : T. Mourrier, A. Roule (CEA-LETI)

- **Phase 3** : Une fois le via rempli de cuivre, la forte concentration d'accélérateur au-dessus des motifs provoque un surdépôt (ou « *bump* »).

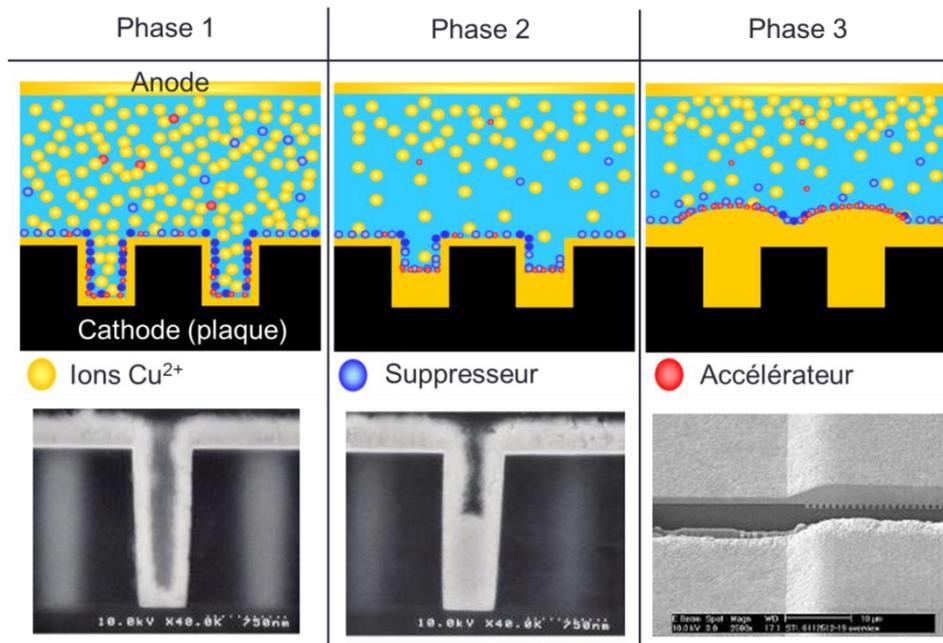


Figure III. 24¹. Illustration de croissance électrolytique de cuivre par la méthode « bottom-up ».

Le troisième additif (le « *leveler* ») permet d'éviter un surdépôt lors de la phase 3. Le « *leveler* » est généralement composé de petites molécules azotées électro actives qui viennent s'adsorber sur les zones à fortes densités de courant où il inhibe le dépôt. Lors des phases 1 et 2 décrites précédemment, il agit de concert avec le suppresser pour ralentir le dépôt de cuivre en surface et dans les angles (où les densités de courant sont plus importantes). Lors de la phase 3, le « *bump* » induit un effet de pointe favorisant l'adsorption du « *leveler* » au détriment de l'accélérateur, permettant l'obtention d'une surface plane. L'effet du « *leveler* » est visible sur la Figure III. 25 présentant les coupes MEB post croissance « bottom-up ». En l'absence d'additif, on observe un surdépôt au-dessus du motif, l'ajout de « *leveler* » dans la solution électrolytique permet l'obtention d'une surface plane.

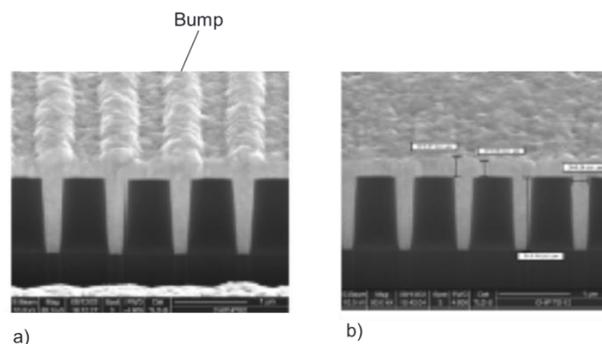


Figure III. 25². Coupe MEB post croissance « bottom-up » : a) sans « *leveler* » ; b) avec « *leveler* ».

¹⁻² Crédit images : T. Mourier, A. Roule (CEA-LETI)

Contrairement au TSV pour lequel la méthode de remplissage « *bottom-up* » a été développée, la réalisation de l'architecture TSC nécessite non pas une, mais deux croissances électrolytiques au sein d'un même via. Si la seconde reprend le procédé de remplissage de via exposé ci-dessus, le *partial-filling* consiste en un remplissage partiel de la cavité. Ce dernier consiste en une adaptation du procédé de remplissage « *bottom-up* » tel qu'il sera exposé dans la section suivante.

3.2.2 Développement de l'étape de partial-filling

Comme il a été mentionné précédemment, la quantité de matériau déposé lors de la croissance électrolytique est proportionnelle à la densité de courant traversant l'électrolyte ainsi qu'au temps de dépôt (voir l'équation III. 4). Dans le cadre du développement du *partial-filling*, le paramètre principal est l'épaisseur de cuivre déposée en fond de via. Ainsi, afin d'atteindre l'objectif d'une dizaine de microns déposés, plusieurs croissances ont été réalisées en faisant varier la charge appliquée aux électrodes. Une fois le *partial-filling* réalisé, les vias ont été observés par microscopie électronique dans le but de définir l'épaisseur du dépôt en fond de via.

Les échantillons d'étude ont été réalisés comme suit : en amont de la croissance, les plaques de silicium de 300 mm ont subi une gravure profonde permettant de réaliser des matrices de vias de diamètre 10 μm et de profondeur 80 μm , puis une oxydation thermique a permis la réalisation de la couche de passivation. Une couche d'accroche/barrière a ensuite été réalisée, elle consiste en un empilement Ti/TiN/Ti et d'une couche de cuivre déposée par PVD.

L'étape d'ECD a été effectuée à l'aide de l'équipement Raider ECD fabriqué par *SemiTool*, il comporte quatre anodes concentriques permettant une répartition du courant injecté à l'échelle de la plaque. L'épaisseur de matériau déposé dépendant d'une part du courant traversant l'électrolyte et d'autre part du temps de dépôt, différentes charges ont été appliquées aux plaques afin d'obtenir une variation de l'épaisseur de cuivre en fond de via. Le Tableau III. 7 décrit le procédé de remplissage complet d'un TSV de 10 x 80 μm , la charge exprimée en ampère minute correspond au produit du temps de dépôt et du courant traversant l'électrolyte. Comme on peut le voir, le procédé de remplissage est divisé en 15 étapes successives de durée équivalente, au cours desquels le courant traversant le système électrolytique est graduellement augmenté afin d'optimiser le temps de dépôt en fonction du taux de remplissage de la cavité.

Afin d'évaluer la variation d'épaisseur de cuivre déposé lors du *partial-filling*, quatre niveaux de charges ont été étudiés : 8,5 ; 10,5 ; 15,9 et 20,5 Amp.min. Ces niveaux correspondent à un pourcentage de la charge totale nécessaire au remplissage complet d'un via de même géométrie (72,7 Amp.min), soit respectivement : 12 %, 15 %, 22 % et 28 %. En pratique, le procédé de remplissage complet visible dans le Tableau III. 7 est repris, mais il est stoppé après l'atteinte des étapes n°5, 6, 7 ou 8 en fonction du taux de charge recherché. Dans le cas de la plaque à laquelle a été appliquée une charge de 10,5 Amp.min, l'étape n°6 a été légèrement raccourcie (de 50 secondes) afin d'atteindre la charge cible.

Suite à la croissance, le clivage de la plaque suivi d'une coupe FIB¹ permet l'observation en coupe du via partiellement rempli à l'aide d'un MEB. L'étape de FIB est nécessaire, car le cuivre étant un matériau très ductile, ce dernier a tendance à rester en place après un simple clivage de l'échantillon.

Les résultats des mesures sont visibles dans le Tableau III. 8, la charge influe directement sur l'épaisseur observée en fond de via, cependant la relation charge/épaisseur n'est pas linéaire. En effet, les nombreux mécanismes réactionnels mis en jeu ainsi que le temps de diffusion des différentes espèces en présence induisent un délai avant que la croissance « *bottom-up* » ne démarre, rendant la cinétique de réaction difficilement prévisible.

N° Etape	Courant (Amp)	Temps (s)	Temps Cumulé (min)	Charge (Amp.min)	Charge Cumulée (Amp.min)	Taux de Charge (%)
1	0,102	290	4,83	0,5	0,5	0,7
2	0,224	290	9,66	1,1	1,6	2,2
3	0,346	290	14,49	1,7	3,3	4,5
4	0,468	290	19,32	2,3	5,6	7,7
5	0,591	290	24,15	2,9	8,5	12,0
6	0,713	290	28,98	3,4	11,9	16,0
7	0,835	290	33,81	4	15,9	22,0
8	0,957	290	38,64	4,6	20,5	28,0
9	1,079	290	43,47	5,2	25,7	35,4
10	1,202	290	48,3	5,8	31,5	43,4
11	1,324	290	53,13	6,4	37,9	52,2
12	1,446	290	57,96	7	44,9	61,8
13	1,568	290	62,79	7,6	52,5	72,3
14	1,69	290	67,62	8,17	60,7	83,5
15	2,479	290	72,45	11,98	72,7	100,0

Tableau III. 7. Descriptifs des étapes de dépôts du procédé de remplissage complet d'un via de 10 x 80 µm.

Plaque	Taux de remplissage (%)	Charge appliquée (Amp.min)	Épaisseur observée (µm)
1	12	8,5	2
2	15	10,5	2,15
3	22	15,9	9,9
4	28	20,5	30

Tableau III. 8. Résultats des mesures d'épaisseur de cuivre déposé en fond de via en fonction de la charge appliquée pendant la croissance.

¹ FIB : Focused Ion Beam

La plaque n°3 ayant reçu une charge de 15,9 amp.min a mené à un dépôt de 9,9 μm de cuivre dans le fond du via, comme on peut le voir sur Figure III. 26. Cette épaisseur correspond à l'objectif fixé de $10 \pm 2 \mu\text{m}$ nécessaire à la co-intégration de TSC et TSV.

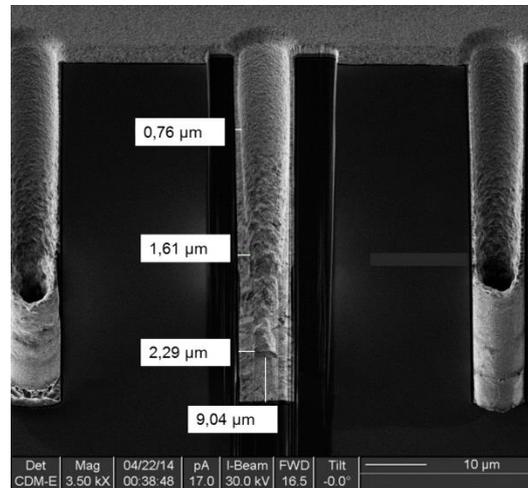


Figure III. 26. Coupe MEB d'un via de $10 \times 80 \mu\text{m}$ ayant subi une charge de 15,9 Amp.min lors de l'étape de partial-filling, 9,9 μm de cuivre ont été déposés en fond de via.

Outre l'épaisseur de cuivre en fond de via, celle déposée sur le flanc est un paramètre de taille dans le cadre du TSC. En effet, tout surdépôt à cette étape entraîne inéluctablement la réduction de la surface capacitive disponible au dispositif MIM réalisé *a posteriori*, menant à une réduction de sa valeur de capacité. La mesure d'épaisseur de cuivre déposée en flanc a été effectuée sur la plaque n°3, une épaisseur de 0,7 μm a été observée en haut du via pour une épaisseur de 2,6 observée en fond de via, les coupes MEB menant à ces mesures sont visibles sur la Figure III. 27. L'effet de l'épaississement de la couche sur les performances électriques du dispositif MIM sera discuté dans la section 3.3 de ce chapitre.

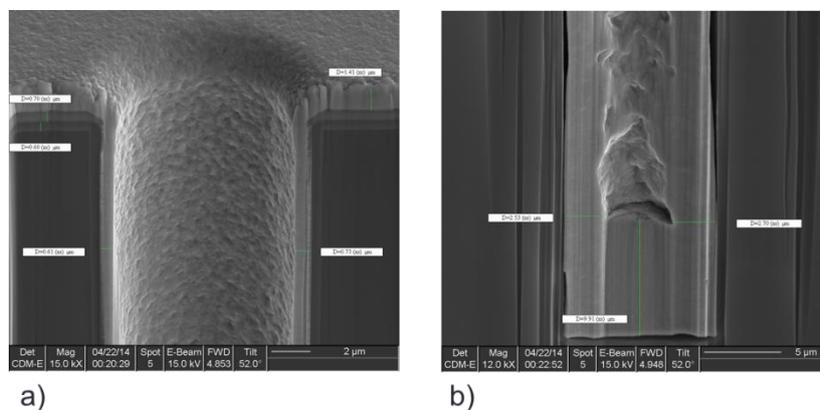


Figure III. 27. Coupes MEB détaillée d'un via de $10 \times 80 \mu\text{m}$ partiellement rempli de cuivre. L'épaisseur de cuivre déposée en flanc est de 0,7 μm en haut de via (a) et 2,6 μm en fond de via (b).

3.2.3 Remplissage du via post *partial-filling* et dépôt MIM.

La dernière étape nécessaire à la qualification de la co-intégration TSC/TSV en face avant consiste en la réalisation du remplissage du via suite à la croissance du *partial-filling* et du dépôt de l'empilement MIM. En effet, la première croissance électrolytique qu'est le *partial-filling* a pour effet la modification de la géométrie de la cavité dans laquelle le remplissage du via doit être réalisé. Il convient donc de s'assurer que le remplissage « *bottom-up* » soit réalisable dans cet espace restreint par rapport au remplissage d'un TSV classique. Le risque étant la création d'un pincement en haut de via durant la croissance, menant à l'apparition d'une cavité au sein du via rempli.

Le procédé utilisé pour la réalisation des échantillons reprend les étapes exposées dans la partie précédente jusqu'à la réalisation du *partial-filling*. Une couche de TiN MOCVD de 160 nm d'épaisseur a ensuite été déposée afin de prendre en compte l'impact des électrodes de la capacité MIM. Dans un souci de simplification du procédé, l'étape de dépôt de diélectrique n'a pas été effectuée dans ce cas de figure. Suite au dépôt du TiN, une couche d'accroche de cuivre PVD est déposée afin de permettre la croissance ECD. Tout comme pour l'étape de *partial-filling*, la seconde croissance de cuivre a été réalisée à l'aide de l'équipement *Raider ECD*, mais cette fois-ci le procédé de remplissage complet d'un TSV 10 x 80 μm a été appliqué tel qu'il est visible dans le Tableau III. 7.

La plaque a ensuite subi une coupe FIB permettant d'observer le via rempli en coupe à l'aide d'un MEB. La Figure III. 28 présente les coupes MEB issues de cette observation, comme on peut le constater, le TSC est rempli de cuivre et ne présente aucune cavité. Ainsi, la seconde croissance électrolytique permet d'une part le remplissage des TSC ayant au préalable subi une étape de *partial-filling* et d'autre part le remplissage des TSV n'ayant pas subi de *partial-filling*, assurant ainsi leur co-intégration.

Il faut cependant noter que la réalisation d'une étude de reproductibilité du procédé n'a pas été possible dans le cadre des travaux de thèse, la validation du procédé de remplissage nécessiterait une étude statistique sur un panel d'échantillons plus large. De même, l'évaluation de l'impact du recuit de stabilisation du cuivre n'a pas été évaluée, une étude thermomécanique de cette étape permettrait de définir son influence sur la cristallisation du cuivre, sur le stress induit au silicium ainsi que son effet sur l'empilement MIM. L'étude présentée ci-dessus consiste donc en une démonstration de faisabilité, la validation du procédé nécessite quant à elle une étude plus approfondie.

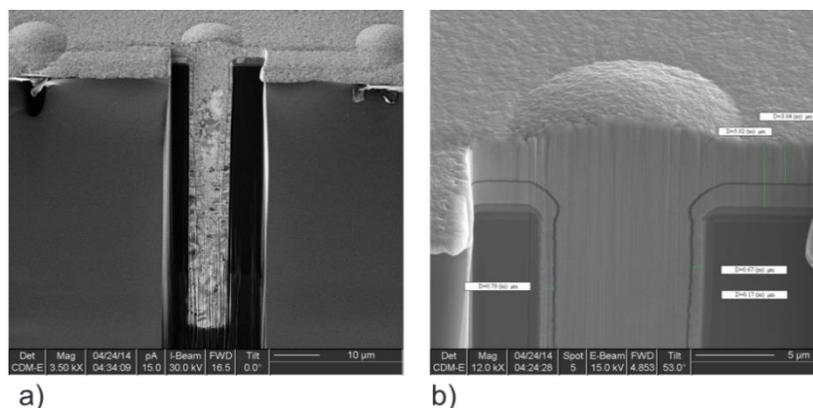


Figure III. 28. Coupe MEB d'un via de 10 x 80 μm après *partial-filling*, dépôt d'électrodes et second remplissage « *bottom-up* ». a) Vue d'ensemble du TSC et b) Partie supérieure du TSC.

3.3 Influence du *partial-filling* sur les performances électriques de la capacité

L'influence du *partial-filling* sur les valeurs d'ESR et de capacité a été évaluée à l'aide du modèle RC présenté dans le second chapitre. Afin de ne pas surcharger le manuscrit, les modifications apportées au modèle afin de prendre en compte la couche de *partial-filling* sont décrites en annexe.

3.3.1 Influence du *partial-filling* sur la valeur capacitive

La couche de cuivre composant le *partial-filling* occupe un volume non négligeable du via, et puisque celle-ci est déposée avant la couche diélectrique, elle tend à diminuer la surface développée polarisable, entraînant une diminution de la valeur capacitive du TSC.

Afin de quantifier l'influence de la géométrie de la couche de *partial-filling* sur la valeur capacitive d'un TSC, le modèle analytique présenté dans le précédent chapitre a été utilisé. Deux paramètres ont été évalués : l'épaisseur de cuivre déposée en fond de via ainsi que la conformité de la couche sur le flanc de via.

La Figure III. 29 illustre l'évolution de la valeur capacitive d'un TSC de 10 x 80 μm en fonction de l'épaisseur de cuivre déposée en fond de via. Le modèle de TSC utilisé pour les calculs prend en considération l'empilement suivant : une couche de passivation de 200 nm, une couche de *partial-filling* conforme de 700 nm sur les flancs, les électrodes de TiN présentent une épaisseur de 100 nm et le diélectrique considéré est une couche de 40 nm de Ta₂O₅. Dans ce cas, toutes les couches en présence sont considérées comme conformes.

L'épaisseur déposée en fond de via varie sur une gamme de 0 à 10 μm . Comme on peut le voir, la valeur capacitive du TSC décroît linéairement à mesure que l'épaisseur déposée en fond de via augmente, limitant de ce fait la profondeur disponible lors du dépôt de diélectrique. Un TSC avec un dépôt de 10 μm en fond de via présentent une capacité de 10 nF alors qu'un TSC sans cuivre déposé en fond de via présente une capacité de 11,3 nF. Cette diminution d'environ 12 % de la valeur capacitive se retrouve à l'échelle de la matrice.

La Figure III. 30 illustre quant à elle l'évolution de la valeur capacitive d'un TSC de 10 x 80 μm en fonction de la conformité de la couche de cuivre en flanc de via. Le modèle considéré pour les calculs est similaire au précédent, l'épaisseur de la couche de cuivre en fond de via é été fixée à 10 μm pour correspondre à celle mesurée dans la section 3.2.2. Dans ce cas, l'épaisseur de la couche en haut de flanc a été fixée à 700 nm, l'effet de la conformité a été évalué sur une gamme variant de 100 % à 400 %. Contrairement aux conformités observées dans le cas des couches d'électrodes et de diélectrique, la conformité de la couche de *partial-filling* est supérieure à 100 %. Cela dénote un épaissement de la couche déposée depuis le haut du via vers le fond, caractéristique de la croissance électrolytique « *bottom-up* » du cuivre.

La valeur capacitive d'un TSC de 10 x 80 μm est de 10 nF dans le cas où la couche de *partial-filling* est parfaitement conforme. Cette valeur chute à 6,2 nF lorsque la couche présente une conformité de 386 % correspondant à l'épaissement mesuré dans la section 3.2.2. Cette diminution d'environ 38 % de la valeur capacitive est directement transposable à l'échelle de la matrice, et donc à la valeur de densité de capacité du composant.

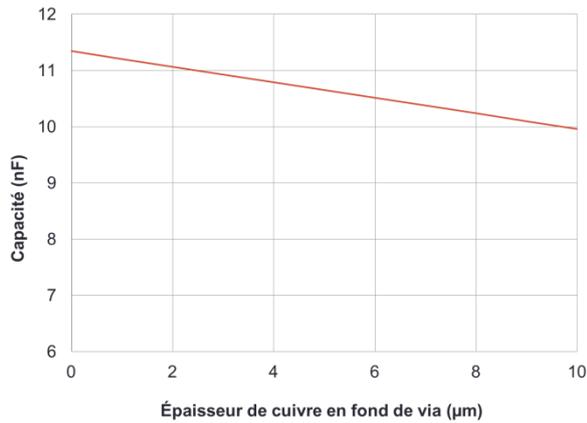


Figure III. 29. Évolution de la capacité d'un TSC 10 x 80 μm en fonction de l'épaisseur de cuivre déposée en fond de via.

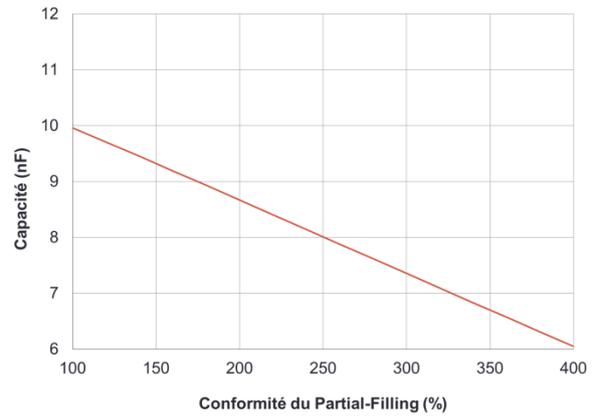


Figure III. 30. Évolution de la capacité d'un TSC 10 x 80 μm en fonction de la conformité de la couche en flanc de via, avec une épaisseur en fond de via fixée à 10 μm.

En l'état, le procédé de *partial-filling* présenté dans la section 3.2.2 entraîne une diminution non négligeable de la valeur capacitive du TSC. En effet, dans le cas où le *partial-filling* est absent de la structure, une matrice hexagonale de TSC 10 x 80 μm présentant un pas de répétition de 5 μm permet l'atteinte d'une densité de capacité de 69 nF.mm⁻² (en prenant en considération une couche conforme de 40 nm de Ta₂O₅). Lorsque le *partial-filling* est introduit dans l'architecture, la densité de capacité chute à 32 nF.mm⁻², soit une diminution de plus de la moitié de la valeur. Cette valeur amoindrie est en dessous de la spécification ciblée de 40 nF.mm⁻², il est donc nécessaire d'optimiser le procédé de dépôt du *partial-filling* afin de réduire son influence néfaste sur la valeur capacitive du composant.

Deux voies d'amélioration sont possibles, la première consiste à réduire l'épaisseur de cuivre déposé en fond de via. Cependant, il faut prendre en compte le fait qu'une trop faible épaisseur déposée donnerait lieu à l'endommagement, voir la destruction de l'empilement MIM au fond du via lors de la reprise de contact en face arrière de l'interposeur. Ainsi, la diminution de l'épaisseur déposée en fond de via doit aller de pair avec la diminution de la hauteur des « *copper-nail* » en face arrière, et donc l'amélioration du TTV¹ des différents procédés influent sur cette hauteur à l'échelle de la plaque (gravure des vias, amincissement du substrat et gravure du silicium en face arrière). La cible de 10 μm de cuivre déposés en fond de via a été établie avec une large marge de manœuvre. Une bonne optimisation du procédé de réalisation de l'interposeur permettrait donc de réduire cette épaisseur de quelques microns, et ainsi optimiser la valeur capacitive du composant.

La seconde voie d'amélioration consiste à limiter l'épaississement de la couche en flanc de via lors de la croissance du cuivre. Cette option est à considérer en priorité puisque sur les gammes de variations considérées, elle influence le plus la diminution de la valeur capacitive du TSC. Une solution pour y parvenir consisterait en la modification du bain électrolytique de croissance, notamment en augmentant la concentration en suppresseur inhibant le dépôt de cuivre sur les flancs, cependant une augmentation du temps de dépôt est à prévoir.

¹ TTV : Total Thickness Variation (Variation d'épaisseur globale)

3.3.2 Influence du *partial-filling* sur l'ESR du composant

En l'absence de *partial-filling*, l'ESR du TSC est limitée par la résistivité de la couche de TiN inférieure. Le procédé de dépôt du TiN par MOCVD entraîne une forte résistivité du matériau sur les flancs de la structure à cause de la faible efficacité du plasma de densification. La forte résistivité de la couche entraîne une résistance série du composant ne permettant pas l'atteinte des spécifications désirées.

Outre sa fonction de co-intégration avec le TSV, l'ajout du *partial-filling* au TSC permet l'introduction d'une couche de faible résistivité à la partie inférieure de la structure, de manière à ce que le transport de charges ne soit plus limité par l'électrode inférieure en TiN.

Afin de quantifier l'influence du *partial-filling* sur la valeur d'ESR du composant, le modèle analytique présenté dans le précédent chapitre a été utilisé. Trois cas ont été considérés, ils sont décrits ci-dessous :

- **Cas n°1** : Le *partial-filling* est absent de la structure, l'ESR est limité par l'électrode inférieure de TiN.
- **Cas n°2** : Le *partial-filling* est présent dans la structure. Sa géométrie correspond aux mesures morphologiques présentées dans la section 3.2.2 (épaisseur en haut de flanc = 700 nm, conformité = 386 % et 10 μm déposés en fond de via).
- **Cas n°3** : Le *partial-filling* est présent dans la structure. Sa géométrie correspond à un dépôt optimisé (épaisseur 700 nm, conformité = 100 % et 5 μm déposés en fond de via).

Dans tous les cas, le calcul de l'ESR a été effectué pour un TSC de 10 x 80 μm en considérant l'empilement suivant : une couche de passivation conforme de 200 nm, des électrodes de TiN conforme d'épaisseur 100 nm et une couche de diélectrique conforme de 40 nm d'épaisseur. Les résultats ont été extrapolés à l'échelle d'une matrice hexagonale de TSC de 1 mm^2 présentant un pas de répétition de 15 μm , comportant ainsi 5120 TSC en parallèle. Les valeurs de résistivités du TiN et du cuivre prises en compte sont respectivement 8000 $\mu\Omega\cdot\text{cm}$ et 1,9 $\mu\Omega\cdot\text{cm}$. Le Tableau III. 9 présente les résultats calculés à l'aide du modèle pour les trois cas.

	Cas n°1	Cas n°2	Cas n°3
ESR TSC unitaire	715 Ω	52 $\text{m}\Omega$	44 $\text{m}\Omega$
ESR matrice de TSC	140 $\text{m}\Omega$	10 $\mu\Omega$	9 $\mu\Omega$

Tableau III. 9. Valeurs d'ESR des trois cas d'étude dans le cas d'un TSC unitaire de 10 x 80 μm et d'une matrice présentant un pas de répétition de 15 μm .

Dans le cas n° 1 où la couche de *partial-filling* est absente de la structure, la résistance série d'un TSC unitaire a été évaluée à 715 Ω . Bien que cette forte valeur soit atténuée par la mise en parallèle des 5120 TSC présents dans la matrice pour atteindre 140 $\text{m}\Omega$, elle reste supérieure aux objectifs de performance fixés dans le second chapitre (100 $\text{m}\Omega$). Dans ce cas de figure, l'objectif ne serait respecté qu'à partir de 7150 TSC présents en parallèle dans la matrice.

L'introduction de la couche de *partial-filling* permet une réduction importante de la valeur de résistance série d'un TSC : elle a été évaluée à 52 $\text{m}\Omega$ dans le cas n°2 correspondant à la couche de

partial-filling caractérisée précédemment. La mise en parallèle de ces TSC au sein d'une matrice en comportant 5120 permet l'atteinte d'une valeur d'ESR égale à $52 \mu\Omega$, soit quatre ordres de grandeur en dessous de l'état de l'art. Dans le cas n° 3 où l'on considère une couche de *partial-filling* optimisée, l'ESR est encore réduit (à cause de la plus faible épaisseur de cuivre en fond de via) : elle a été évaluée à $44 \text{ m}\Omega$ pour un TSC unitaire et $9 \mu\Omega$ pour une matrice comportant 5120 TSC.

Conclusions sur la co-intégration TSC/TSV

Dans le cas de l'interposeur « *via-middle* », la co-intégration est rendue possible grâce à l'introduction d'une couche de cuivre présente sous l'électrode inférieure de TiN localisée uniquement dans les TSC, l'objectif étant de décaler la hauteur de l'empilement MIM dans ces derniers. De cette manière, lors de la reprise de contact opérée en face arrière de l'interposeur, l'empilement MIM est détruit au sein des TSV permettant un contact électrique entre les deux faces de l'interposeur. Au sein des TSC, l'empilement MIM est protégé par cette couche appelée « *partial-filling* » permettant ainsi la polarisation du diélectrique depuis chacune des faces de l'interposeur.

Le *partial-filling* est réalisé par croissance électrolytique de cuivre selon le procédé « *bottom-up* », mais contrairement à celui-ci, la croissance est stoppée lorsque l'épaisseur de cuivre désirée a été déposée en fond de via. Cette épaisseur doit être assez importante pour encaisser la dispersion de la hauteur des « *copper-nails* » observée après le retrait du silicium post amincissement en face arrière de l'interposeur. Une trop faible épaisseur pouvant entraîner l'altération, voir la destruction de l'empilement MIM au sein des TSC.

La caractérisation morphologique de la couche après dépôt a permis la validation de l'objectif d'une dizaine de microns déposée en fond de via pour une charge de 15,9 amp.min appliquée lors de la croissance. De plus, un second remplissage a été effectué par croissance « *bottom-up* » mettant en avant l'absence de cavité dans la structure finale, malgré un volume réduit par la présence du *partial-filling*, validant ainsi le procédé de co-intégration TSC/TSV.

Au-delà de la co-intégration TSC/TSV, le *partial-filling* permet l'introduction d'une couche de faible résistivité sous l'électrode inférieure. Cette propriété s'avère très intéressante dans le cas du TSC. En effet, sans cette couche, la valeur d'ESR du TSC est limitée par le transport longitudinal de charges le long de l'électrode inférieure. De plus, l'étude de la couche de TiN déposée par MOCVD a mis en avant l'inefficacité du plasma de densification entraînant une forte résistivité du matériau sur les flancs de la structure. L'apport du *partial-filling* permet l'atteinte de valeur d'ESR dans la gamme du $\mu\Omega$ à l'échelle de la matrice de TSC et résout donc le problème de la couche de TiN hautement résistive.

Cependant, l'ajout du *partial-filling* déposé avant l'empilement MIM réduit significativement la surface développée disponible lors du dépôt de la couche diélectrique, entraînant ainsi une diminution notable de la valeur capacitive du TSC. Cet amoindrissement de performance est dominé par l'épaississement de l'épaisseur de cuivre depuis le haut de via vers le fond. Une optimisation du procédé de croissance est nécessaire pour atteindre l'objectif de densité de capacité défini plus tôt ($40 \text{ nF}\cdot\text{mm}^{-2}$). Une voie d'amélioration consisterait à augmenter la concentration en suppressor du bain électrolytique de croissance, au détriment du temps de dépôt.

4 Conclusion

Ce troisième chapitre a permis la présentation des principaux procédés de fabrication développés au cours des travaux de thèse. Bien que la réalisation du TSC complet fasse appel à de nombreuses autres étapes, ces dernières sont liées à la réalisation de l'interposeur lui-même et ont été présentées dans le premier chapitre. Les procédés présentés ici sont donc propres à la réalisation du composant capacitif qu'est le TSC, et s'intègrent à la réalisation de l'interposeur complet.

L'étude des procédés de dépôts de l'empilement MIM dans des vias profonds a permis l'évaluation de la conformité de ces couches en fonction des différents paramètres mis en jeu (matériau déposé, méthode et température de dépôt, précurseur utilisé). L'utilisation de la méthode ALD dans le cas du dépôt de diélectrique permet le dépôt d'une couche très conforme nécessaire au maintien d'une valeur de capacité optimale. La méthode PEALD permet elle aussi l'atteinte de bonnes conformités, malgré une valeur en deçà de celle observée dans le cas de l'ALD thermique dans les structures considérées. L'utilisation de la méthode de dépôt MOCVD dans le cas du TiN des électrodes a notamment été choisie pour sa vitesse de dépôt élevée par rapport à un dépôt ALD. Cependant, l'étude de conformité de la couche a mis en avant une forte épaisseur déposée en flanc de via, dénotant la faible influence du plasma de densification utilisé en MOCVD afin de diminuer la résistivité de la couche.

La résistivité de la couche de TiN en flanc de TSC a donc fait l'objet d'une étude, à travers la mise en place d'une méthode permettant une mesure directe de la résistance de la couche. Les résultats montrent une valeur de résistivité en flanc proche de celle mesurée en surface dans le cas d'un dépôt opéré en l'absence de plasma de densification. La résistivité de la couche de TiN est un facteur limitant les performances du composant capacitif en termes de résistance série. Cette problématique est résolue grâce à l'intégration d'une couche de cuivre de faible résistivité sous l'électrode inférieure : le *partial-filling*.

Ce dernier permet de surcroît la co-intégration des TSC et des TSV au sein d'un interposeur silicium de type « *via-middle* », qui tend à être le type d'intégration le plus utilisé dans les salles blanches industrielles.

Chapitre IV :

Évaluation des performances du composant TSC intégré à l'interposeur

1 Introduction

Le précédent chapitre s'est attelé à la présentation des différents procédés développés dans le cadre des travaux de thèse, nécessaires à la réalisation du TSC. L'objectif de ce dernier chapitre est l'évaluation des performances du TSC lorsque ce dernier est intégré à l'interposeur silicium.

Pour y parvenir, un démonstrateur de test comportant des matrices capacitives a été réalisé et caractérisé. Faute de temps, la fabrication d'un interposeur complet comportant des capacités traversantes n'a pas été possible au cours de la thèse. Ainsi, les matrices capacitives présentes sur le démonstrateur de test ne sont pas traversantes : toutes les étapes menant à leur réalisation ont été opérées depuis la face avant. Bien que la caractérisation d'une telle structure permette l'évaluation de certaines des propriétés du TSC, d'autres nécessitent une structure traversante. C'est pourquoi les caractérisations sur plaques ont été complétées par une campagne de simulation par éléments finis de matrices de TSC traversantes. Ce dernier chapitre se décompose donc en deux parties.

La première partie traite de la réalisation du démonstrateur de test et de la caractérisation électrique des matrices qui y sont présentes. Dans un premier temps, les différentes étapes menant à la réalisation du démonstrateur seront présentées, ainsi que les structures sur lesquelles ont été effectués les tests électriques. Dans un second temps, les résultats des mesures électriques seront présentés et feront l'objet d'une discussion. Différentes propriétés des matrices ont été évaluées : leur valeur capacitive, leurs courants de fuites ainsi que leur comportement en fréquence.

La seconde partie de ce chapitre traite de la campagne de simulation électromagnétique par éléments finis effectuée sur des modèles de matrices traversantes. Tout d'abord, la structure modélisée ainsi que la méthodologie d'extraction du modèle électrique du TSC seront présentées. Ensuite, les résultats issus des simulations feront l'objet d'une discussion : que ce soit dans le cas d'un TSC unitaire, de matrices de TSC présentant des accès électriques équipotentiels ou encore de matrices de TSC présentant des accès électriques réalistes.

2 Caractérisation électrique de matrices capacitives

2.1 Présentation du dispositif de test

La conception, le développement, la réalisation et la caractérisation d'un interposeur complet intégrant les capacités traversantes faisant l'objet de cette étude demande beaucoup de temps. Il n'a malheureusement pas été possible de caractériser de telles capacités à l'issue des travaux de thèse.

Cependant, la réalisation et la caractérisation d'un démonstrateur test simplifié « face avant » ont permis l'évaluation de certaines caractéristiques électriques du composant. Ce démonstrateur comporte un empilement MIM déposé dans des matrices de vias profonds non débouchantes, ainsi les contacts électriques de chacune des électrodes de la capacité sont repris par la même face de la plaque de silicium.

Cette configuration ne permet pas la mesure des valeurs d'ESR et d'ESL représentatives du TSC, puisque dans ce cas les capacités non débouchantes ne peuvent pas être considérées comme montées en parallèle. Ce démonstrateur permet malgré tout la mesure de la valeur capacitive du composant ainsi que celle du courant de fuites traversant le diélectrique.

2.1.1 Réalisation du démonstrateur

La première partie de la méthode de réalisation de la structure est illustrée sur la Figure IV. 1 (reprise du troisième chapitre). Tout d'abord, un masque dur d'oxyde de silicium de 500 nm est crû dans un four d'oxydation. Ensuite, une étape de photolithographie permet la réalisation des motifs de vias à l'aide d'un masque dédié. Le masque dur est ensuite gravé par plasma, puis les vias sont réalisés par DRIE. Une fois les vias gravés, la résine et le masque dur sont retirés par voie chimique. Puis la plaque est placée dans un four pour y faire croître une couche de 500 nm d'oxyde de silicium faisant office de passivation. L'empilement MIM est ensuite déposé selon les conditions suivantes : les électrodes sont composées d'une couche de 150 nm de TiN déposée par MOCVD, le précurseur utilisé dans ce cas est le TDMAT. Le diélectrique est une couche de 20 nm d'alumine déposée par ALD.

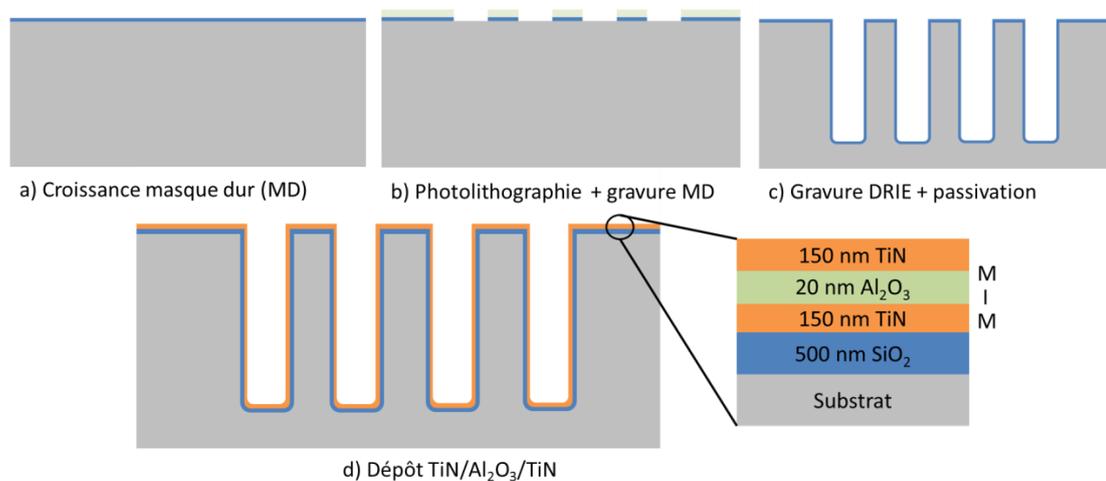


Figure IV. 1. Première partie de la méthode de réalisation de la structure de test pour la caractérisation électrique de matrices de TSC.

Jusqu'ici, le procédé de réalisation ne diffère pas de celui utilisé dans le cadre de l'étude de conformité de l'empilement TiN/Al₂O₃/TiN dans une matrice de type « *via-last* » présenté précédemment. Cependant, notre objectif dans ce cas est la mesure électrique de l'empilement MIM. Afin de polariser le diélectrique, chacune des électrodes doit être accessible aux pointes de mesures. En l'état, l'électrode inférieure est inaccessible, car elle est enfouie sous l'électrode supérieure et le diélectrique, il est donc nécessaire de graver l'électrode supérieure pour en dégager l'accès. La gravure du diélectrique n'est pas obligatoire : la pointe de mesure transpercera facilement les 20 nm d'alumine, la conservation de la couche diélectrique permet de surcroît la limitation des courants de fuites dus au possible court-circuit entre les deux électrodes.

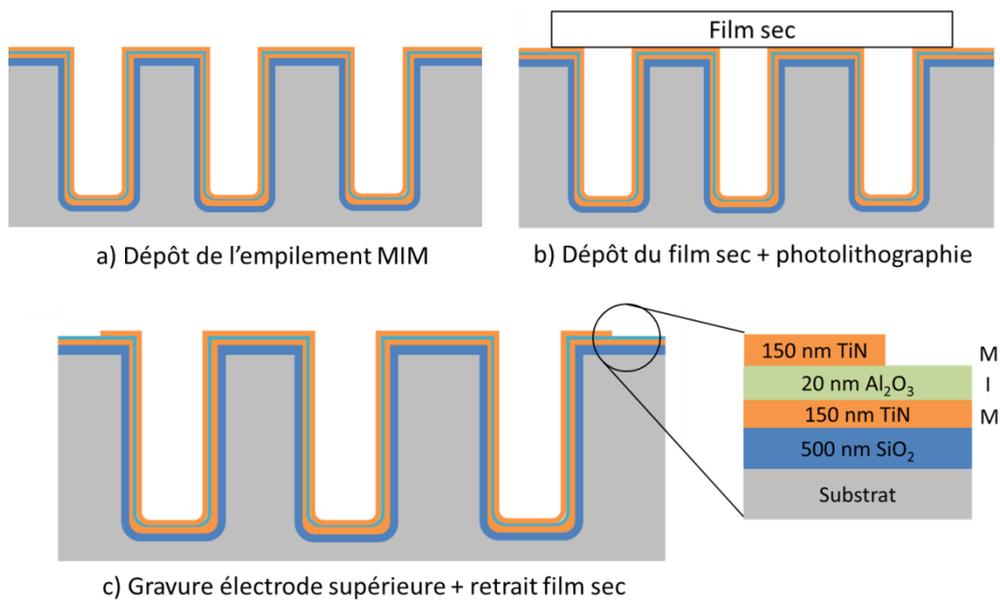


Figure IV. 2. Seconde partie de la méthode de réalisation de la structure de test : gravure de l'électrode supérieure.

La Figure IV. 2 illustre la méthode de gravure de l'électrode supérieure, le schéma comporte désormais chacune des couches de l'empilement. Tout d'abord, un film sec photosensible d'environ $14 \mu\text{m}$ d'épaisseur est laminé à la surface de la plaque. Le film sec étant négatif, l'étape de photolithographie permet la réticulation du polymère composant le film sur la surface exposée à l'insolation. Ces parties recouvrant les matrices de via protègent la couche de TiN lors de l'étape de gravure qui suit.

Aucune méthode de gravure du TiN n'étant disponible sur la plateforme du LETI, il a été nécessaire de développer un procédé spécifique afin de graver l'électrode supérieure de la capacité. Cette gravure a été effectuée par plasma, de nombreux tests sur plaques ont permis l'atteinte d'un point de fonctionnement dont les paramètres sont présentés dans le Tableau IV. 1. La gravure du TiN s'effectue en deux étapes distinctes :

- Une première étape dite de « pré-gravure » est nécessaire au retrait de la couche d'oxyde de titane qui se forme naturellement à la surface de la couche de TiN après dépôt, sans quoi la gravure du TiN s'avère difficile. Cette pré-gravure s'effectue à l'aide de Trichlorure de bore (BCl_3) et d'argon (Ar) dont les flux sont respectivement de 75 et 100 sccm. La pression de la chambre est de 50 mTorr et la puissance appliquée au générateur radiofréquence nécessaire à la création du plasma est de 250 Watts. La gravure est effectuée sous un champ magnétique de 30 Gauss.
- La seconde étape consiste en la gravure du TiN. Les gaz injectés dans la chambre sont le Chlore (Cl_2) et le Bromure d'hydrogène (HBr) dont les flux sont respectivement de 75 et 45 sccm. La pression de la chambre est de 50 mTorr et la puissance appliquée au générateur radiofréquence nécessaire à la création du plasma est de 250 Watts.

	BCl ₃ (sccm)	Ar (sccm)	Cl ₂ (sccm)	HBr (sccm)	Pression (mTorr)	Puissance RF (W)	\vec{B} (Gauss)
Pré gravure	75	100	-	-	50	250	30
Gravure principale	-	-	75	45	50	250	0

Tableau IV. 1. Paramètres du procédé de gravure du TiN par plasma.

La Figure IV. 3 représente les résultats de l'analyse EDX¹ effectués après l'étape de gravure de l'électrode supérieure. Les pics présents à ~0,5 et 1,5 keV correspondent à la présence d'atomes d'oxygène et d'aluminium dans la couche analysée : cela signifie que la gravure s'est bien arrêtée sur la couche d'alumine. Ce résultat est corroboré par la coupe MEB visible sur la Figure IV. 4 effectuée elle aussi après l'étape de gravure : la couche de TiN supérieure a bien été gravée et la couche d'alumine est toujours présente à la surface de la plaque avec une épaisseur cohérente.

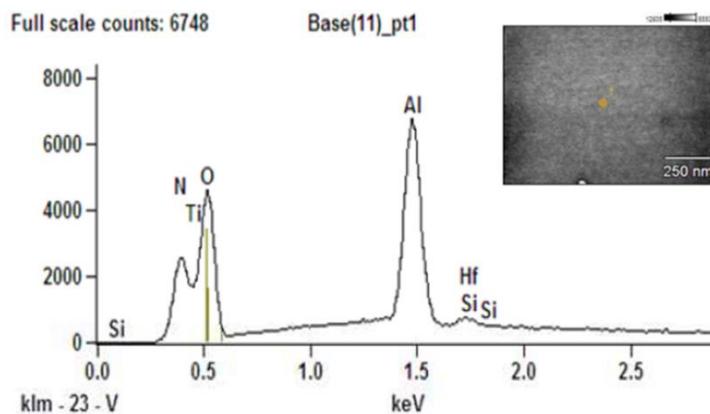


Figure IV. 3. Résultats de l'analyse EDX effectuée après l'étape de gravure du TiN. La surface analysée est visible en encart.

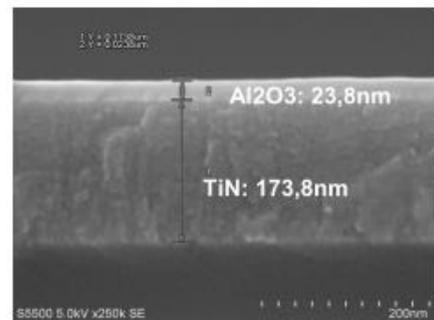


Figure IV. 4. Coupe MEB de la structure effectuée après l'étape de gravure du TiN.

La dernière étape de réalisation de la structure de test consiste au retrait du film sec (ou stripping). Il est effectué par voie chimique à l'aide d'une solution aqueuse d'hydroxyde de tétraméthylammonium de formulation C₄H₁₃NO (communément appelé TMAH).

La plaque de 200 mm de diamètre sur laquelle ont été réalisées les structures de test comporte de nombreux motifs différents permettant d'évaluer l'impact de nombreux paramètres de conception, ces motifs sont présentés dans la partie suivante.

2.1.2 Présentation des structures de test

Le jeu de masques² utilisé pour la réalisation du démonstrateur permet la fabrication de nombreuses matrices différentes sur une même plaque dont les paramètres varient (taille et type de

¹ EDX : Energy Dispersive X-ray (Analyse dispersive en énergie)

² Un jeu de masques correspond à l'ensemble des masques utilisés lors des étapes de photolithographie nécessaire à la réalisation du composant.

matrices, diamètre des vias, pas de répétition), ainsi que des motifs de MIM planaire, réalisés dans un objectif de comparaison.

La Figure IV. 5 représente le cliché d'un motif de la structure finale effectuée à l'aide d'un microscope optique. La matrice hexagonale visible sur l'image comporte 633 vias de 60 μm de diamètre, le pas de répétition des vias est de 80 μm . Le carré central supportant la matrice présente un côté d'environ 2 mm pour une surface de 4 mm^2 , une marge minimale de 50 μm est présente entre le bord de l'électrode supérieure et les vias. Un pad d'accès permettant la pose de la pointe de mesure sur l'électrode supérieure est visible sur la gauche de la structure, il mesure 120 x 120 μm .

Contrairement aux structures présentées dans les précédents chapitres, l'architecture du composant présent sur ce démonstrateur développé en face avant présente la particularité de comporter une composante planaire. Ainsi, la surface polarisable de la capacité ne provient plus uniquement des flancs et du fond des vias, mais aussi de la partie présente en surface de la plaque, augmentant de ce fait de manière modérée la valeur capacitive de la structure.

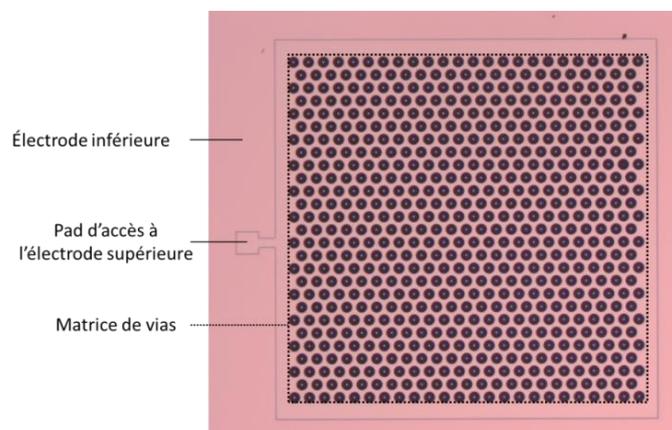


Figure IV. 5. Cliché optique de la structure finale vue de dessus.

2.2 Caractérisation électrique de matrices de TSC

Cette partie présente les résultats des caractérisations électriques effectuées sur le démonstrateur de test, elle se décompose en trois parties. Tout d'abord, les valeurs capacitives issues des mesures de différentes matrices de TSC seront présentées. Dans un second temps, les mesures de courants de fuites effectués sur ces mêmes matrices feront l'objet d'une discussion. Enfin, le comportement en fréquence du composant sera étudié.

2.2.1 Caractérisation de la valeur capacitive

Toutes les mesures ont été acquises à l'aide d'un probeur manuel couplé à deux pointes de mesures. La valeur capacitive des condensateurs a été extraite à l'aide d'un LCR mètre *Agilent 4284A* dont le signal a été fixé à une fréquence de 10 kHz et à un niveau d'oscillation de 500 mV. La borne positive (correspondant au potentiel le plus élevé) est connectée à l'électrode supérieure qui a été gravée, tandis que la borne négative est connectée à l'électrode inférieure présente sur toute la

surface de la plaque. La résistance de contact des pointes a été évaluée à $\sim 30 \Omega$, cette forte valeur est probablement due à la formation d'un oxyde à la surface du TiN. Chacune des valeurs capacitives présentées correspond à la moyenne d'au moins trois mesures effectuées sur des structures identiques.

Tout d'abord, la valeur de permittivité relative de l'alumine a été extraite à partir des mesures de capacité de trois condensateurs planaires de différentes surfaces S (4,18 mm², 0,43 mm² et 0,13 mm²). En prenant en considération une épaisseur d'Al₂O₃ de $e = 20,24$ nm (extraite de mesures MEB effectuées sur une plaque provenant du même lot¹), ainsi qu'une permittivité du vide égale à $\epsilon_0 = 8.8542 \times 10^{-12}$ F.m⁻¹, la valeur de permittivité relative de l'alumine peut être calculé à partir de l'équation IV. 1 :

$$\epsilon_{Al_2O_3} = \frac{C \cdot e}{\epsilon_0 \cdot S} \quad IV. 1$$

De cette manière, la permittivité relative de l'alumine a été évaluée à $\epsilon_{Al_2O_3} = 8,56$, correspondant à la moyenne des valeurs extraite de chacune des structures mesurées. Cette valeur est en accord avec l'état de l'art [28].

Dans un second temps, des mesures de valeurs capacitives ont été effectuées sur 4 structures différentes comportant toutes une matrice de vias, le Tableau IV. 2 résume leurs paramètres architecturaux. Dans un souci de comparaison, toutes ces structures possèdent une électrode supérieure de surface égale : un carré central de 640 μ m de côté supportant la matrice de vias auquel il convient d'ajouter la surface du pad d'accès, résultant en une surface totale de 0,43 mm². Ainsi, la variation d'architecture des différentes structures provient de la forme des vias et de la densité de la matrice. La géométrie des vias correspond à une intégration de type « *via-last* ».

Motif	n_{TSC}	Diamètre TSC (μ m)	Profondeur TSC (μ m)	Pas de répétition (μ m)
D100P130	14	100	188	130
D100P120	20	100	188	120
D60P80	42	60	168	80
D40P60	85	40	152	60
D40P50	120	40	152	50

Tableau IV. 2. Paramètres architecturaux des matrices de vias dont la valeur capacitive a été mesurée.

La Figure IV. 6 présente les valeurs de densité de capacité des différentes matrices mesurées (en bleu) aux côtés des valeurs issues de la modélisation de ces matrices (en rouge), les résultats issus d'une structure planaire de même surface ont été intégrés à titre de comparaison. Les structures

¹ Un lot correspond à un ensemble de plaques ayant subi les mêmes procédés de fabrication aux mêmes moments sur les mêmes équipements.

modélisées prennent en compte les valeurs réelles d'épaisseur de couches et de profondeurs des vias issues de mesures MEB ainsi que la valeur de permittivité de l'alumine précédemment évaluée. De plus, la contribution de la composante planaire de la capacité a été ajoutée au modèle (comprenant notamment l'influence des pads d'accès eux aussi capacitifs). On note une bonne corrélation entre les valeurs mesurées et celles modélisées, validant ainsi la modélisation de la valeur capacitive des matrices de TSC. Le Tableau IV. 3 présente les valeurs de capacité des différentes matrices mesurées.

Comme on peut le voir, la géométrie de la matrice influence fortement la valeur de capacité du composant. Les matrices comportant le plus de vias présentent les valeurs capacitives les plus élevées : une valeur de 9,47 nF a été mesurée pour la matrice « D40P50 » entraînant une densité de capacité de 22,10 nF.mm⁻². Ainsi, les matrices comportant des vias de plus faibles diamètres permettent l'atteinte de densités de capacités plus élevées, et ce, malgré la plus grande profondeur des vias de diamètre plus important. Le pas de répétitions des vias au sein de la matrice influence lui aussi la densité de capacité offerte par le composant : pour un diamètre de via de 40 µm, la réduction du pas de répétition de 60 à 50 µm permet une augmentation de la valeur capacitive de 2,27 nF, entraînant une augmentation de la densité de capacité de 5,3 nF.mm⁻², soit un gain de 30 %. Enfin, une augmentation de la densité de capacité d'un facteur 6 a été observée entre la structure MIM planaire et la structure tridimensionnelle la plus compacte (D40P60), mettant en avant l'avantage d'une telle structure.

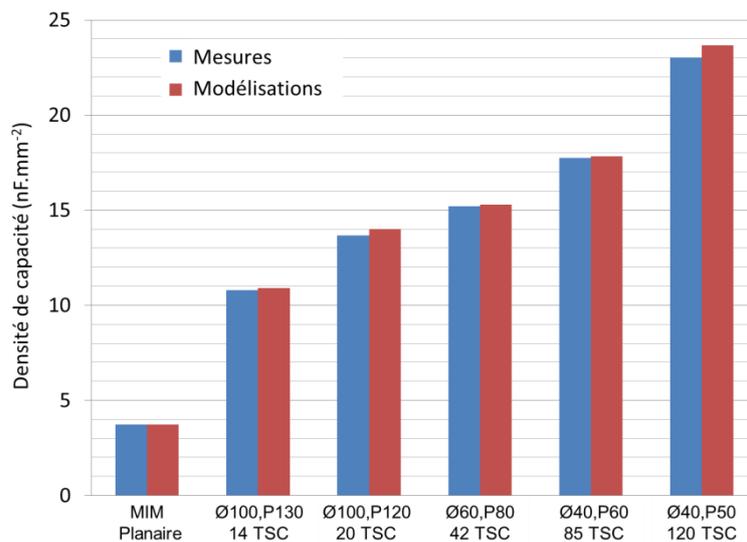


Figure IV. 6. Valeurs de densités de capacité des différentes matrices étudiées issue des mesures (en bleu) et de modélisations (en rouge).

Motif	n_{TSC}	Capacité (nF)	C_s (nF.mm ⁻¹)
Planaire	-	1,54	3,60
D100P130	14	4,54	10,60
D100P120	20	5,68	13,26
D60P80	42	6,36	14,83
D40P60	85	7,20	16,81
D40P50	120	9,47	22,10

Tableau IV. 3. Valeurs de capacité des différentes matrices mesurées.

2.2.2 Caractérisation du courant de fuites

La seconde partie de la campagne de caractérisations électriques du démonstrateur face avant a consisté en l'évaluation du courant de fuites traversant le diélectrique lorsque celui-ci est polarisé. Les mesures ont comme précédemment été acquises à l'aide d'un probeur manuel couplé à deux pointes de mesures. Dans ce cas, la valeur de courant traversant la structure a été extraite à l'aide d'une unité de source et mesure *Keithley* 2400, pour un potentiel appliqué variant sur une gamme de -6 V à 6 V.

La Figure IV. 7 présente les résultats de mesure de densité de courant en A.cm⁻² en fonction de la tension appliquée à une structure planaire de 4,2 mm². La valeur de densité de fuites observée est de 1,4 A.cm⁻² pour une tension applique de 3,3V, elle est largement supérieure à celles rapportées dans la littérature pour des structures similaires [40] [83] ainsi qu'à l'objectif de performance fixé à un maximum de 10⁻⁷ A.cm⁻² pour la même tension.

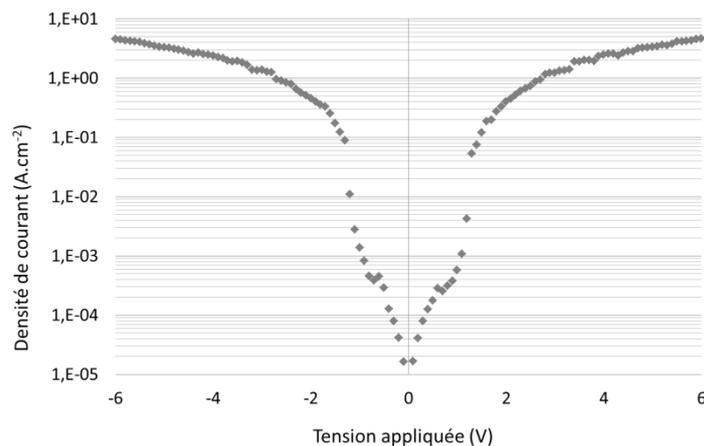


Figure IV. 7. Densité de courant mesurée pour un courant appliqué variant de -6 à 6 V sur une MIM planaire de 4,2 mm².

Cet important courant de fuite peut provenir d'une piètre qualité de diélectrique, ou d'un défaut dans la structure. Pour répondre à cette dernière question, des coupes MEB ont été réalisées : ces dernières ont effectivement révélé un défaut de fabrication. Comme on peut le voir sur la Figure IV.

8, la couche d'alumine n'est pas présente sur la totalité de la surface de la plaque comme il se devrait. On peut donc en conclure que la couche de diélectrique a été gravée par le TMAH lors de l'étape de stripping, entraînant ainsi des courts-circuits entre les deux électrodes. Ainsi, la forte densité de courant observée lors de la mesure électrique provient très probablement des fuites périmétriques en surface dues au contact des électrodes supérieures et inférieures.

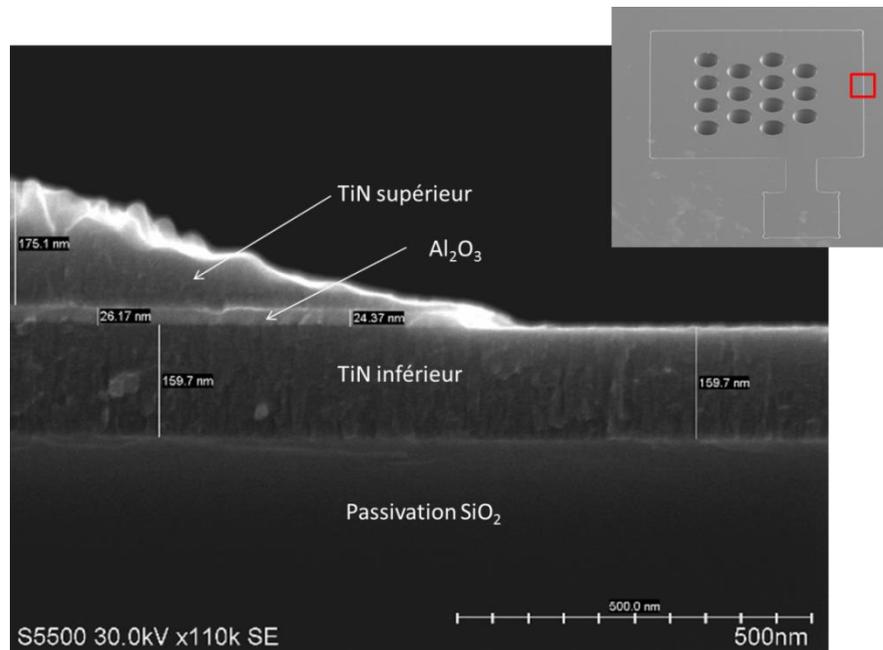


Figure IV. 8. Coupe MEB de l'empilement TiN/Al₂O₃/TiN, effectuée après l'étape de retrait du film sec : la couche d'alumine est gravée par cette étape. L'encart rouge illustre l'endroit du motif où a été effectuée la coupe MEB.

Tous les procédés de retraits du film sec disponibles sur la plateforme du LETI utilisent le TMAH. Dans ces conditions, il n'a malheureusement pas été possible de réaliser une étude fiable des courants de fuites de nos capacités MIM, qu'elles soient planaires ou tridimensionnelles. De même, il a été impossible d'étudier la tension de claquage des composants, puisque cette dernière est faussée par la présence de courts-circuits entre les électrodes.

2.2.3 Comportement fréquentiel du composant

La dernière partie de l'étude électrique du démonstrateur de test a eu pour objectif la caractérisation du comportement fréquentiel du composant. Cette campagne de mesures a été effectuée en collaboration avec « l'Institut de Microélectronique Électromagnétisme et Photonique et le Laboratoire d'Hyperfréquences et de Caractérisation » (IMEP-LAHC).

L'équipement utilisé pour cette caractérisation se compose :

- D'un analyseur d'impédance *Agilent* 4294A couplé à une sonde coaxiale 42941A pour les gammes de fréquences de 100 Hz à 110 MHz.
- D'un analyseur de réseau *Agilent* N5247A PNA-X couplé à une sonde GSG |Z| fabriquée par *Cascade Microtech* pour les gammes de fréquences de 10 MHz à 10 GHz.

La réponse électrique a donc pu être mesurée sur une large gamme de fréquences allant de 100 Hz à 10 GHz. 6 types de matrices différentes ont été caractérisées, leurs paramètres sont présentés dans le Tableau IV. 4.

Nom	Taille (μm)	n_{TSC}	Diamètre (μm)	Profondeur (μm)	Pas de répétition (μm)
TSCx1	220 x 220	1	100	188	-
TSCx8	340 x 340	8	60	168	80
TSCx20	640 x 640	20	100	188	120
TSCx42	640 x 640	42	60	168	80
TSCx85	640 x 640	85	40	152	60
TSCx120	640 x 640	120	40	152	50

Tableau IV. 4. Paramètres architecturaux des matrices de vias dont le comportement fréquentiel a été caractérisé.

La Figure IV. 9 présente les valeurs de modules $|Z|$ et d'arguments φ des impédances des différentes matrices testées en fonction de la fréquence appliquée. Sur la partie gauche de la figure sont présentés les résultats des mesures de matrices comportant 1 (en noir), 8 (en bleu) et 20 (en rouges) vias. La partie droite illustre quant à elle les résultats des mesures de matrices comportant 42 (en noir), 85 (en bleu) et 120 (en rouges) vias. Chacun des résultats est composé de la mesure extraite à l'aide de l'analyseur d'impédance, de la mesure extraite à l'aide de l'analyseur de réseau, ainsi qu'une courbe issue d'un travail de modélisation propre aux structures étudiées. Cette modélisation, ayant fait l'objet d'une publication par *K.Dieng et al.* [84] dont sont issues les Figure IV. 9 et Figure IV. 11, ne sera pas présentée dans ce manuscrit.

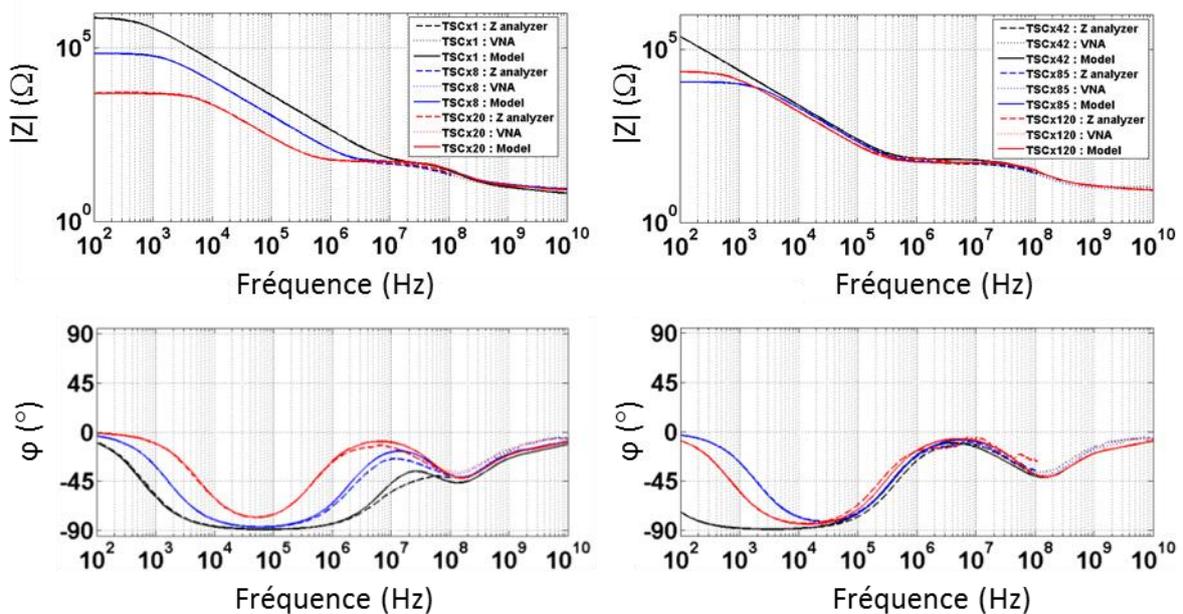


Figure IV. 9 [84]. Valeurs de modules $|Z|$ et d'arguments φ des impédances des différentes matrices testées en fonction de la fréquence appliquée.

Afin de rentrer dans le détail de l'évolution du module de l'impédance en fonction de la fréquence, l'exemple de la matrice TSCx20 visible sur la Figure IV. 10 sera considéré. Comme on peut le voir, 5 domaines fréquentiels sont visibles, la valeur du module d'impédance pour chacun d'entre eux est dominée par : 1) Les pertes diélectriques inhérentes au matériau, ici l'alumine. 2) La réactance capacitive issue des TSC ($1 / C\omega$). 3) La résistance issue des TSC, évaluée à 53Ω , due à la faible conductivité du TiN. 4) La réactance capacitive issue des pads de mesures. 5) La résistance de contact des pointes, évaluées à 7Ω .

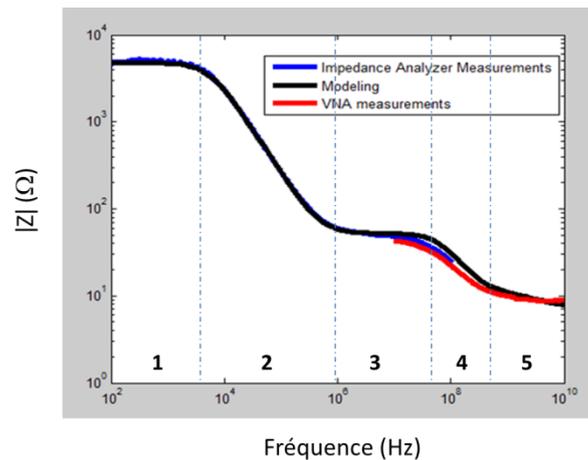


Figure IV. 10¹. Évolution du module de l'impédance de la matrice TSCx20, 5 domaines fréquentiels sont visibles.

Les valeurs de capacités parallèles C_p extraites des mesures d'impédances à l'aide de la relation IV. 2 sont présentées sur la Figure IV. 11. Le Tableau IV. 5 résume les valeurs de capacités C et de fréquences de coupure f_c de chacune des matrices étudiées. Cette fréquence, extraite des courbe $C_p(f)$, correspond à la fréquence seuil à partir de laquelle la valeur de capacité passe en dessous de 90% de sa valeur maximale, traduisant ainsi la perte de capacité du composant.

$$C_p(f) = \frac{\text{Im} \left[\frac{1}{Z(f)} \right]}{2\pi f} \quad \text{IV. 2}$$

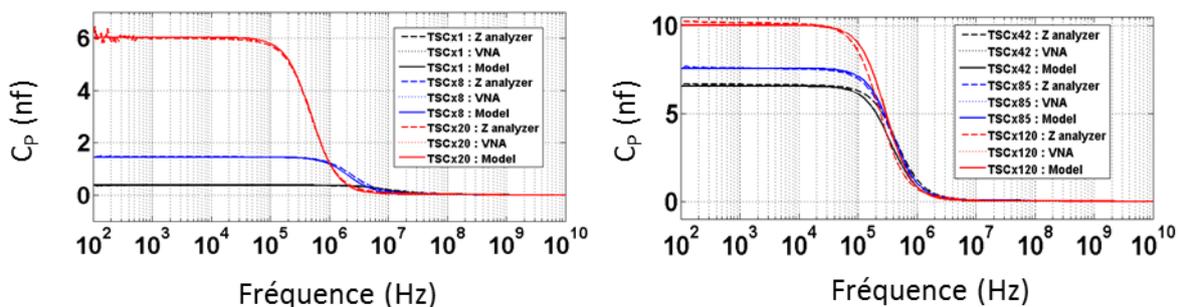


Figure IV. 11 [84]. Valeurs de capacités parallèles extraites des mesures d'impédances des différentes matrices testées en fonction de la fréquence appliquée.

¹ Crédit Image : Khadim Dieng IMEP-LAHC Chambéry

Matrix	C (nF)	f_c (MHz)
TSCx1	0,37	7,90
TSCx8	1,45	1,60
TSCx20	6,03	0,25
TSCx42	6,70	0,19
TSCx85	7,67	0,12
TSCx120	10,26	0,10

Tableau IV. 5¹. Valeurs de capacité C et de fréquences de coupure f_c extraites des mesures d'impédance pour les 6 matrices testées.

Tout d'abord, on note que les valeurs de capacité mesurées sont cohérentes avec celles mesurées précédemment au LCR mètre. Ensuite, ces résultats mettent en avant un phénomène de coupure des matrices mesurées, apparaissant à une fréquence de l'ordre de la centaine de kHz observée dans le cas de la matrice comportant 120 vias. Cette coupure est attribuée à la forte résistance du TiN MOCVD utilisé pour la réalisation des électrodes, comme il a été discuté précédemment. De plus, l'architecture de ce démonstrateur de test ne permet pas la mise en parallèle des vias puisque ces derniers ne sont pas traversants. Ainsi, contrairement à la structure TSC présentée dans les précédents chapitres, celle présente sur le démonstrateur face avant ne profite ni de la réduction d'impédance proportionnelle aux nombres de vias dans la matrice, ni de la faible résistivité de la couche de cuivre introduite par le « *partial-filling* », ni de la couche de cuivre introduite par le remplissage du via.

Cette limitation due à la forte résistance du TiN a été confirmée par les travaux de modélisation de *K.Dieng et al.* [84] sur ces mêmes dispositifs, qui mettent en avant l'apport de l'introduction du cuivre dans la structure. La Figure IV. 12 représente les valeurs de capacités parallèles des matrices TSCx42, TSCx85 et TSCx120 issues de modélisations dans le cas de l'utilisation d'électrodes en TiN (en pointillé) dans les mêmes conditions que précédemment, et dans le cas où le TiN est remplacé par des électrodes en cuivre (d'épaisseur 1,5 μm sur les flancs et 3 μm en surface et de conductivité $\sigma_{\text{Cu}} = 45 \text{ MS.m}^{-1}$). Comme on peut le voir, la capacité nominale est quasiment la même dans les deux cas, cependant, le phénomène de coupure dû à la résistivité élevée des électrodes disparaît dans le cas de l'utilisation du cuivre. La gamme de fréquence de fonctionnement de la capacité est alors seulement limitée par la résonance série induite par les effets inductifs.

¹ Données issues des mesures réalisées par Khadim Dieng à l'IMEP-LAHC Chambéry

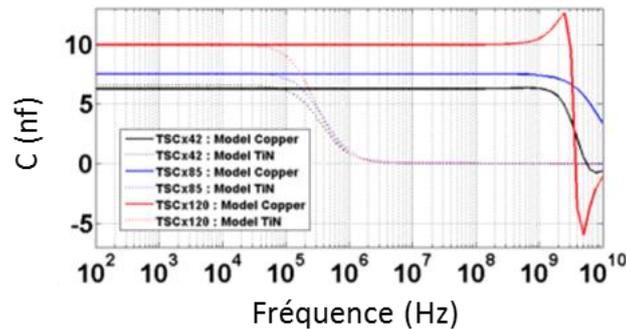


Figure IV. 12 [84]. Valeurs de capacités parallèles issues des modélisations des matrices TSCx42, TSCx85 et TSCx120. dans le cas de l'utilisation d'électrodes en TiN (en pointillé) et dans le cas de l'utilisation d'électrodes en cuivre (en traits pleins).

Conclusion sur la caractérisation électrique de matrices TSC

Le temps nécessaire à la réalisation et à la qualification de matrices de TSC débouchantes étant trop important pour rentrer dans le cadre du projet de thèse, un démonstrateur de test ne comportant que des étapes effectuées en face avant de la plaque a été réalisé. Puisque dans ce cas, les vias ne sont pas débouchants, il a été nécessaire d'ouvrir l'accès électrique à l'électrode inférieure de la capacité depuis la face avant. Pour ce faire, un procédé de gravure par plasma a été développé, il permet de retirer le TiN MOCVD composant l'électrode supérieure en s'arrêtant sur la couche d'alumine, permettant ainsi l'accès électrique à l'électrode inférieure pour la pointe de mesure (en traversant la fine couche de diélectrique).

La première étape de la campagne de caractérisation électrique du démonstrateur de test a été la mesure des valeurs capacitives de différentes matrices. Cela a permis de mettre en avant la forte influence de la géométrie des vias (diamètre/profondeurs). Ainsi, les performances électriques des matrices de TSC dépendent directement du type de procédé TSV utilisé pour la réalisation de l'interposeur, avec lesquels elles partagent la géométrie. La densité est elle aussi un paramètre de premier ordre, la diminution du pas de répétition des vias au sein de la matrice permet l'augmentation significative de la densité de capacité. La fabrication de matrices denses est donc un enjeu de taille dans le procédé de réalisation du TSC. Enfin, une augmentation de la densité de capacité d'un facteur 6 a été observée entre la structure MIM planaire et la structure tridimensionnelle la plus compacte, mettant en avant l'avantage d'une telle structure.

La seconde étape a été l'évaluation des courants de fuites de la capacité polarisée. D'importants courants de conduction ont été observés, suggérant un défaut du composant. Une étude plus approfondie de la structure a effectivement révélé que le retrait de la résine de photolithographie effectuée dans un bain de TMAH, a pour effet secondaire la gravure de la couche d'alumine. L'absence de diélectrique en surface de la plaque mène à des courts-circuits entre les deux électrodes, expliquant l'origine des larges courants de fuite observés. Tous les procédés de retraits du film sec disponibles sur la plateforme du LETI utilisant le TMAH, il n'a pas été possible de réaliser une étude fiable des courants de fuites et de la tension de claquage de nos capacités MIM.

La troisième étape de la campagne de caractérisation électrique du démonstrateur de test a eu pour objectif l'évaluation du comportement du composant en fréquence. Cette étude a été menée en collaboration avec le laboratoire de l'IMEP-LAHC, spécialisé dans le domaine des caractérisations hautes fréquences. Elle a mis en avant un phénomène de coupure des dispositifs présents sur le

démonstrateur de test apparaissant à faible fréquence, attribuée à la faible conductivité du TIN MOVCD utilisé pour la réalisation des électrodes. Les travaux de modélisations de *K.Dieng et al.* [84] ont mis en avant la résolution de cette problématique grâce à l'introduction de cuivre dans la structure, comme c'est le cas avec le « *partial-filling* » ainsi que le remplissage. De plus, les vias capacitifs présents sur ce démonstrateur n'étant pas débouchants, l'architecture ne permet pas la mise en parallèle de chacun de ces vias, et donc, la réduction de l'impédance proportionnelle aux nombres de vias dans la matrice comme c'est le cas pour le TSC.

Les mesures effectuées sur le démonstrateur de test ont permis l'évaluation de certains aspects électriques du composant, cependant une étude complète nécessiterait la réalisation de l'architecture traversante du TSC. Puisque cette dernière n'a pas pu être réalisée au cours des travaux de thèse, une campagne de simulation électromagnétique a été mise en place afin d'évaluer le comportement du composant traversant. Cette étude par simulation fait l'objet de la partie suivante.

3 Simulation électromagnétique d'une matrice de TSC

La campagne de simulation électromagnétique par éléments finis a été réalisée par Khadim Dieng et Philippe Artillan au sein du laboratoire de l'IMEP-LAHC à partir des données technologiques fournies par STMicroelectronics et le CEA LETI. La première partie de cette section présente la méthode de simulation à travers d'une part la présentation de la structure modélisée, et d'autre part l'extraction du modèle électrique du TSC. La seconde partie expose les résultats issus de la simulation d'un TSC unitaire dans un premier temps, puis de la simulation de différentes matrices de TSC dans un second temps.

3.1 Présentation de la méthodologie

3.1.1 Présentation de la structure modélisée

L'un des objectifs de la campagne de simulation a été de se placer dans un cas réaliste d'intégration du TSC au sein d'un interposeur silicium. Ainsi, le modèle utilisé se base sur le design et le procédé de réalisation d'un démonstrateur traversant dont le jeu de masque a été réalisé au cours des travaux de thèse, le schéma d'intégration de ce démonstrateur est présenté sur la Figure IV. 13. Le modèle développé prend en considération les cavités du composant présentes dans le volume de l'interposeur, mais aussi les niveaux de redistributions présents en face avant et en face arrière de l'interposeur.

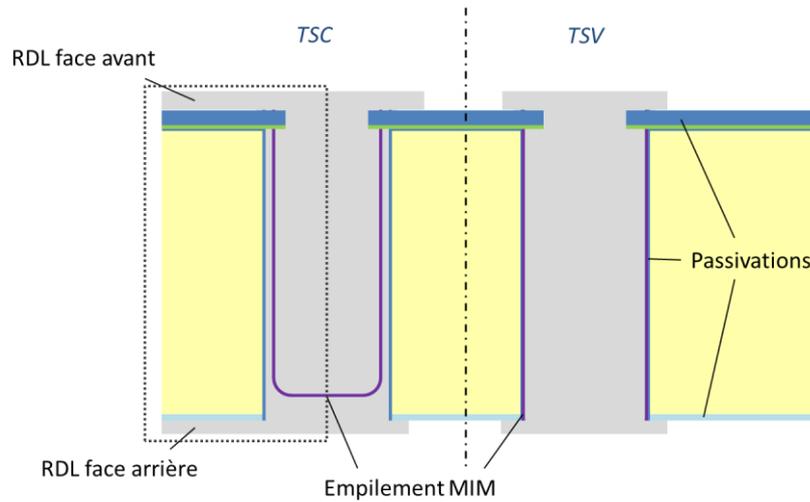


Figure IV. 13. Schéma d'intégration du démonstrateur traversant.

La Figure IV. 14 est une représentation schématique des différents éléments composant la structure finale du TSC issue du démonstrateur traversant ainsi que les cotes associées (en nanomètre). Le schéma représente une vue en coupe de la moitié d'un TSC unitaire de diamètre de $12\ \mu\text{m}$ et de profondeur de $75\ \mu\text{m}$, il correspond à la partie encadré en pointillé sur la Figure IV. 13 (l'axe de symétrie centrale du via est représenté sur la partie droite du schéma).

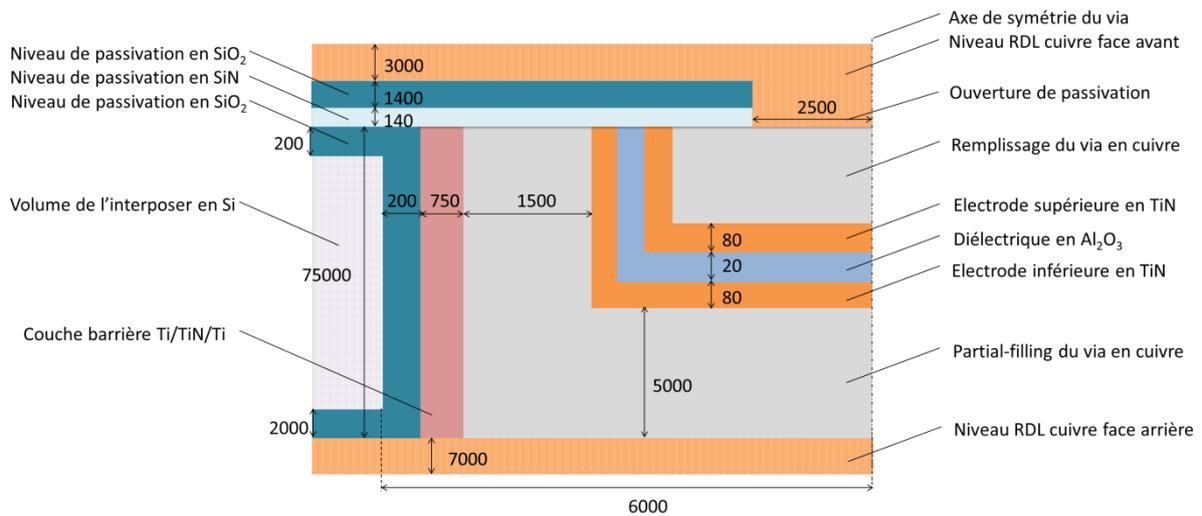


Figure IV. 14. Représentation schématique des différents éléments composant la structure du TSC et des cotes associées (en nm). Le schéma représente la vue en coupe de la moitié d'un TSC.

La partie supérieure de la structure (présente en face avant de la plaque de silicium) se compose d'une couche de passivation de $140\ \text{nm}$ de SiN, d'une couche de passivation de $1,4\ \mu\text{m}$ de SiO₂ et d'une couche de $3\ \mu\text{m}$ de cuivre permettant l'interconnexion des TSC au sein de la matrice. L'accès à l'électrode supérieure du TSC depuis la face avant de l'interposeur est réalisé à l'aide d'une ouverture de $5\ \mu\text{m}$ de diamètre des couches de passivation centrée sur le via.

La partie centrale correspondant au volume de l'interposeur regroupe (depuis la gauche vers la droite) :

- Une couche de passivation en SiO_2 200 nm d'épaisseur présente en face avant et sur les flancs du TSC.
- Un empilement de Ti 250 nm/TiN 250 nm/Ti 250 nm assurant le rôle de barrière de diffusion du cuivre.
- Une couche de *partial-filling* en cuivre de 1,5 μm sur les flancs du TSC, et 5 μm déposé dans le fond.
- L'empilement MIM se composant de l'électrode inférieure en TiN de 80 μm d'épaisseur, du diélectrique en Al_2O_3 de 20 nm d'épaisseur et de l'électrode supérieure en TiN de 80 μm d'épaisseur.
- Le cuivre de remplissage du via.

La partie inférieure de la structure est composée d'une couche de passivation en SiO_2 de 2 μm d'épaisseur ainsi que d'une couche de cuivre de 7 μm d'épaisseur correspondant au niveau de redistribution présent en face arrière de l'interposeur.

Une des difficultés rencontrées lors de la simulation par éléments finis de structures telles que le TSC réside dans la nécessité de réaliser un maillage fin (pour permettre la bonne prise en compte des fines couches présentes dans l'architecture, de l'ordre de la dizaine de nanomètres) sur de larges géométries (correspondant ici à l'épaisseur de l'interposeur, de l'ordre de la centaine de micromètres). Cela a pour effet de démultiplier les nœuds de calculs pour lesquels le solveur doit converger. En d'autres termes, le temps de calcul s'en trouve considérablement augmenté.

Afin d'alléger le calcul, la structure présentée dans la Figure IV. 14 a été simplifiée, le résultat de cette simplification est présenté sur la Figure IV. 15.

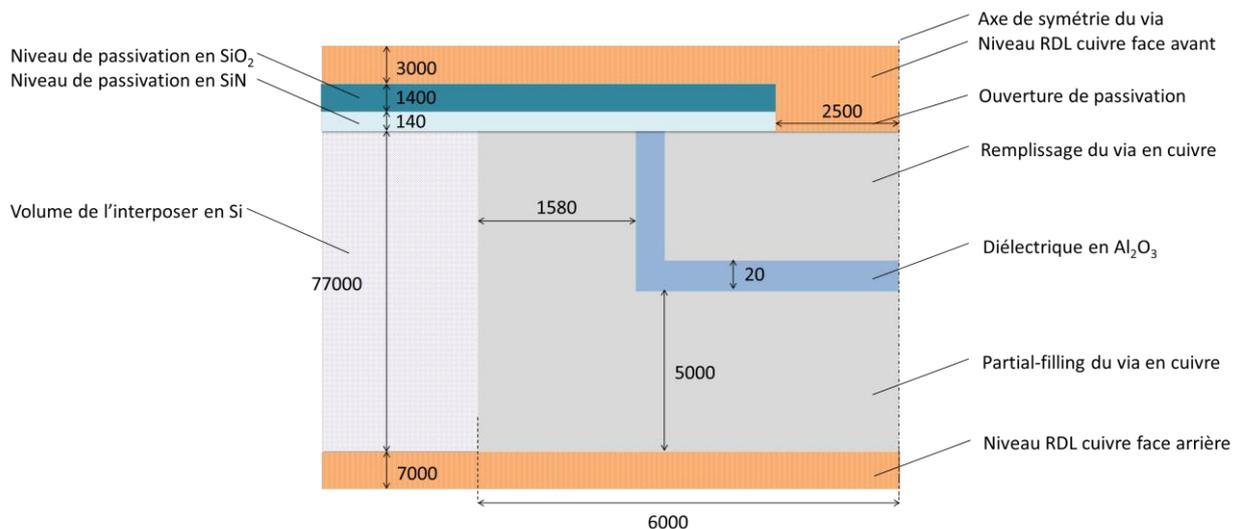


Figure IV. 15. Représentation schématique des différents éléments composant la structure simplifiée du TSC prise en compte lors de la simulation et des cotes associées (en nm). Le schéma représente la vue en coupe de la moitié d'un TSC.

La structure simplifiée s'est séparée de plusieurs éléments : les électrodes supérieures et inférieures de TiN, l'empilement Ti/TiN/Ti servant de couche barrière, les couches de passivations présentes sur les flancs TSC et en face arrière. Les hypothèses de modélisation sont donc les suivantes :

- Les couches en présence sont considérées conformes et ne présentent aucune rugosité.
- On considère le TSC comme un cylindre parfait.
- Lorsque plusieurs TSC sont présents au sein d'une matrice, ils sont considérés comme identiques (pas de variations de géométrie de vias, ni d'épaisseur de couches).
- La contribution des électrodes de TiN est négligée par rapport aux couches de cuivre présentes dans les vias, ces dernières présentant une résistivité significativement plus faible : le courant passe donc par le chemin le moins résistif.
- Le substrat de silicium est considéré comme infiniment résistif, c'est-à-dire que les porteurs de charges ne passent que par le métal des électrodes supérieures et inférieures et qu'aucun ne passe par le silicium. Par conséquent, aucun effet de polarisation de la couche de passivation du TSC n'est pris en compte (le couplage électromagnétique entre les électrodes et les TSC d'une matrice est quant à lui pris en compte).

Les propriétés des matériaux pris en compte pour la simulation sont résumées dans le Tableau IV.

6.

	Si	SiO ₂	SiN	Al ₂ O ₃	Cu
σ (S.m ⁻¹)	-	-	-	-	58.10 ⁻⁶
ϵ_R	10	3.9	7	8.56	-

Tableau IV. 6. Propriétés des matériaux utilisés pour la simulation.

3.1.2 Extraction du modèle électrique du TSC

Cette partie a pour objectif de présenter la méthodologie mise en place par Khadim Dieng et Philippe Artillan afin d'extraire les propriétés électriques du TSC. Le logiciel qui a été utilisé pour effectuer les simulations est « Q3D extractor », développé par ANSYS. Il permet d'extraire les paramètres de capacité, de conductance, de résistance et d'inductance à partir du modèle défini précédemment. Pour extraire l'impédance de la structure complète, il est nécessaire de modéliser le schéma électrique équivalent du TSC. La Figure IV. 16 présente la manière dont la structure a été modélisée à partir du schéma technologique.

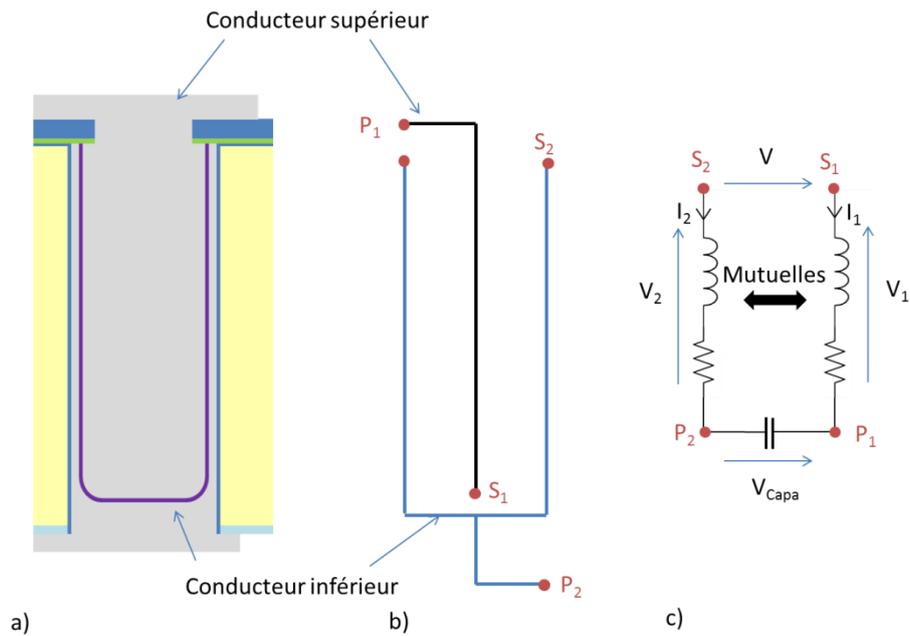


Figure IV. 16.¹ a) Schéma technologique en coupe du TSC. b) Schéma de la structure prise en compte pour la simulation. c) Schéma électrique équivalent.

Si l'on se base sur le schéma électrique présenté sur la Figure IV. 16 c) le courant I traversant la structure est défini par :

$$I = I_1 = -I_2 \quad \text{IV. 3}$$

L'impédance de l'ensemble de la structure est définie par la loi d'ohm selon :

$$Z = \frac{V}{I} \quad \text{IV. 4}$$

Avec V la tension aux bornes du TSC définie par :

$$V = V_1 + V_{\text{capa}} - V_2 \quad \text{IV. 5}$$

Les différentes composantes de tension aux bornes du conducteur supérieur (V_1), inférieur (V_2) et de la capacité (V_{capa}) s'expriment de la manière suivante :

¹ Crédits : Khadim Dieng IMEP-LAHC

$$V_1 = Z_{11} \cdot I_1 + Z_{12} \cdot I_2 \quad \text{IV. 6}$$

$$V_2 = Z_{22} \cdot I_2 + Z_{21} \cdot I_1 \quad \text{IV. 7}$$

$$V_{capa} = Z_{capa} \cdot I = \frac{1}{jC\omega} \cdot I \quad \text{IV. 8}$$

Où les termes Z_{11} et Z_{22} représentent respectivement l'impédance des conducteurs supérieurs et inférieurs (regroupant leur résistance et leur inductance tel que $Z = R + jL\omega$), les termes Z_{12} et Z_{21} représentent l'impédance mutuelle due respectivement au conducteur inférieur et au conducteur supérieur, C la valeur capacitive et ω la fréquence angulaire.

La tension aux bornes du TSC s'exprime donc de la manière suivante :

$$V = \left(Z_{11} - Z_{12} + Z_{22} - Z_{21} + \frac{1}{jC\omega} \right) \cdot I \quad \text{IV. 9}$$

On note que contrairement au modèle analytique présenté dans le second chapitre de ce manuscrit, le modèle électrique pris en compte dans le cadre de la simulation n'est pas distribué, correspondant ainsi à un cas pessimiste. Lors de la simulation d'une matrice de TSC, le couplage entre les différents TSC est pris en compte.

3.2 Résultats des simulations électromagnétiques par éléments finis

Cette partie a pour objectif la présentation et l'analyse des résultats obtenus par l'intermédiaire de la simulation électromagnétique du TSC par éléments finis. Tout d'abord, les résultats issus de la modélisation d'un TSC unitaire seront présentés, ensuite ceux issus de la modélisation de matrices comportant plusieurs TSC seront exposés. Les données des tableaux ainsi que la majorité des figures (courbes d'impédances et modèles simulés) présentées dans cette section sont issues des travaux de simulations de Khadim Dieng et Phillippe Artillan de l'IMEP-LAHC Chambéry.

3.2.1 Simulation d'un TSC unitaire

La première étape de l'étude a été la simulation d'un TSC unitaire, le modèle utilisé dans ce cas est représenté en coupe sur la Figure IV. 17. Les ports A et B présents sur la surface latérale des niveaux de redistribution supérieurs et inférieurs correspondent aux connexions avec le circuit externe : c'est entre ces deux ports qu'est simulée la différence de potentiel appliquée au TSC. Les niveaux RDL face avant et face arrière ont été simulés pour une surface de 22 x 22 μm , cela correspond aux cotes du motif présent sur le masque du démonstrateur traversant, prenant en compte les diverses règles de dessins nécessaires à la réalisation du composant.

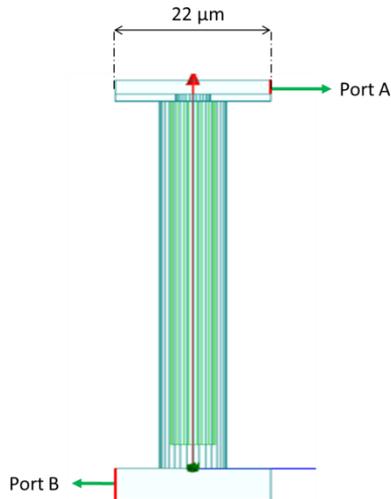


Figure IV. 17. Modèle utilisé pour la simulation d'un TSC unitaire.

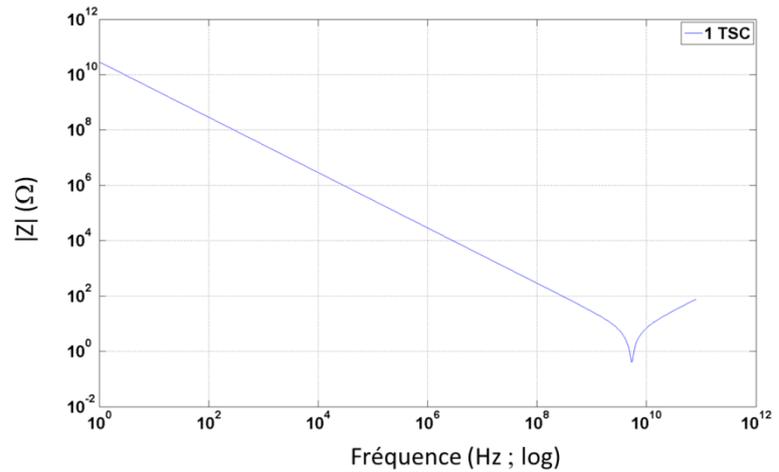


Figure IV. 18. Profil d'impédance en fonction de la fréquence issu de la simulation d'un TSC unitaire.

Les résultats de la simulation sont présentés à travers le profil d'impédance fréquentielle visible sur la Figure IV. 18, ainsi que dans le Tableau IV. 7 présentant les propriétés électriques extraites de la simulation. La capacité d'un TSC a été évaluée à 5,55 pF, une différence de seulement 0,08 pF est observée entre le résultat issu de la simulation et celui calculé à l'aide du modèle analytique présenté dans le second chapitre de ce manuscrit (pour un modèle de géométrie équivalente prenant uniquement en compte la partie cylindrique du TSC).

L'ESR d'un TSC unitaire a été évalué à 400 mΩ, cette valeur correspondant à la partie réelle de l'impédance du système est extraite du profil d'impédance à la fréquence de résonance à laquelle les composantes complexes capacitives et inductives s'annulent. La fréquence de résonance du système est donnée par l'équation IV. 10.

$$f_R = \frac{1}{2\pi\sqrt{LC}} \quad \text{IV. 10}$$

Contrairement au modèle analytique proposé précédemment, la simulation par éléments finis du TSC permet l'extraction de la valeur d'inductance du dispositif. Comme il a été discuté dans le premier chapitre, l'inductance d'une capacité de découplage est un paramètre crucial influant sur les performances du composant. En effet, au sein du réseau de distribution de puissance, les éléments inductifs présents dans le circuit résonnent avec les éléments capacitifs montés en parallèle, induisant des pics d'impédance sur le profil fréquentiel des circuits. Ces pics d'impédances peuvent provoquer des erreurs dans le traitement de la puce logique dû à une mauvaise détection d'état.

L'inductance série d'un TSC unitaire extraite du profil d'impédance grâce à l'équation IV. 10 a été évaluée à 165,6 pH, et la fréquence de résonance de la capacité à 5,25 GHz.

	f_R (GHz)	ESR ($m\Omega$)	ESL (ρH)	C (pF)
1 TSC	5,25	400	165,6	5,55

Tableau IV. 7. Propriétés électriques issues de la simulation d'un TSC unitaire.

3.2.2 Simulation de matrices de TSC

La seconde étape de l'étude a consisté en la simulation de matrices de TSC. Une première partie se concentre sur l'effet de la mise en parallèle de plusieurs TSC unitaires afin d'évaluer l'impact sur les performances électriques de la matrice, dans ce cas un accès équipotentiel à la matrice est considéré. Une seconde partie s'attèle à évaluer l'influence du placement des accès à la matrice sur les performances électriques de cette dernière.

3.2.2.1 Cas d'une excitation équipotentielle

Afin d'évaluer l'effet de la mise en parallèle de plusieurs TSC unitaires au sein d'une matrice sans être influencé par le placement des accès électriques à la matrice, il a été nécessaire de simuler une excitation quasi équipotentielle depuis chacune des faces de l'interposeur.

Trois cas ont été étudiés, les modèles utilisés sont visibles sur la Figure IV. 19. Le premier est un TSC unitaire identique à celui présenté dans la section précédente. Le second est une matrice comportant deux TSC en ligne, dont les niveaux RDL ont été simulés pour une surface de $22 \times 44 \mu m$. Le troisième est une matrice comportant quatre TSC en ligne, dont les niveaux RDL ont été simulés pour une surface de $22 \times 88 \mu m$. Pour chacun des trois cas étudiés, les ports A et B apportant l'excitation électrique à la structure correspondent à la totalité de la surface latérale des niveaux RDL en face avant et face arrière du composant : l'excitation électrique est alors considérée comme étant équipotentielle, cette dernière étant équivalente pour chacun des TSC de la matrice.

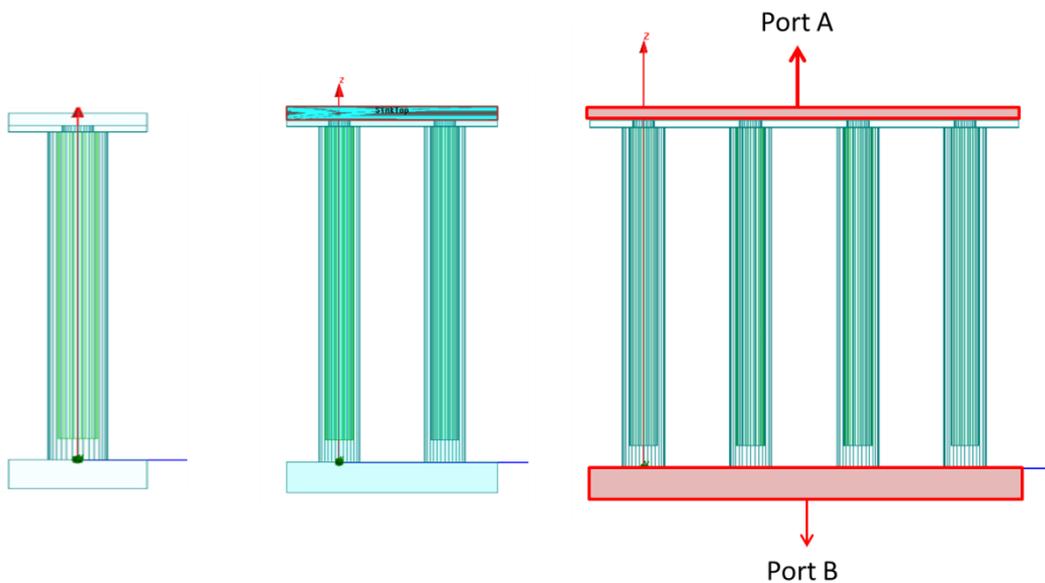


Figure IV. 19. Modèles utilisés pour la simulation d'un TSC unitaire, et de matrices de deux et quatre TSC. Les parties rouges visibles sur la matrice comportant 4 TSC représentent les ports d'excitation.

Les résultats sont présentés à travers le profil d'impédance fréquentielle visible sur la Figure IV. 20, ainsi que dans le Tableau IV. 8 présentant les propriétés électriques issues des simulations. On observe une diminution de l'impédance de la structure à mesure que le nombre de TSC présents dans la matrice augmente, validant une évolution proche du comportement théorique de capacités placées en parallèle donné par l'équation IV. 11. De ce fait, la fréquence de résonance de la capacité (donnée par l'équation IV. 10) est indépendante du type de structure simulée, puisqu'à chaque fois que C est doublé, L est divisé par deux, rendant le facteur LC constant. Cette propriété de l'architecture TSC signifie que de larges valeurs capacitives sont atteignables par le dispositif, sans pour autant réduire sa fréquence de résonance, à condition que chacun des TSC individuels au sein de la matrice soient équivalents.

$$|Z| = \sqrt{\left(\frac{ESR}{n}\right)^2 + \left(\frac{\omega ESL}{n} - \frac{1}{n\omega C}\right)^2} \quad \text{IV. 11}$$

Où n correspond au nombre de capacités en parallèle.

Cette réduction de l'impédance du système en fonction du nombre de TSC placés en parallèle met en avant un des principaux avantages de l'architecture TSC, permettant l'atteinte de faibles valeurs parasites, notamment lorsque de nombreux TSC sont présents dans la matrice. Cependant, dans un cas réaliste d'intégration au sein d'un interposeur silicium, l'accès à la matrice capacitive n'est pas forcément opéré de manière équipotentielle. La section suivante traite de l'influence du type d'accès à la matrice sur son profil d'impédance pour des cas d'intégration réalistes.

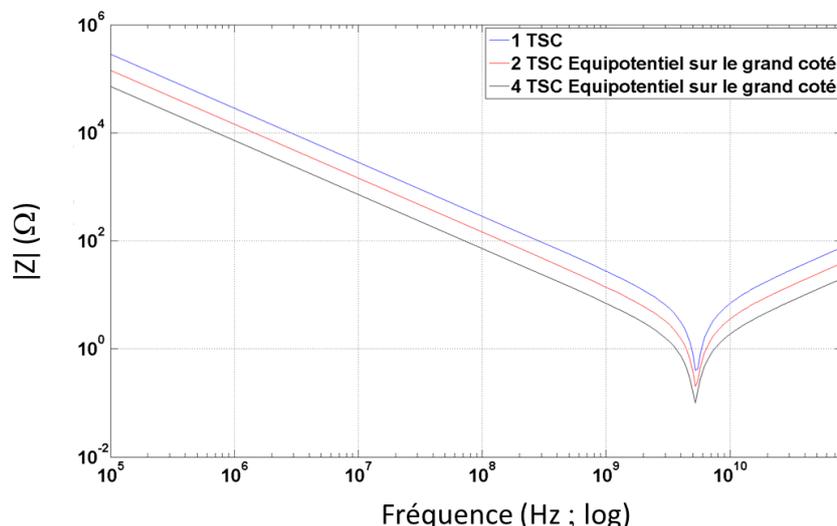


Figure IV. 20. Profil d'impédance en fonction de la fréquence issu des simulations d'un TSC unitaire (en bleu), d'une matrice de 2 TSC (en rouge) et d'une matrice de 4 TSC (en noir).

	f_R (GHz)	ESR ($m\Omega$)	ESL (pH)	C (pF)
1 TSC	5,25	400,9	165,58	5,55
2 TSC	5,25	201,7	82,86	11,09
4 TSC	5,25	100,6	41,43	22,18

Tableau IV. 8. Propriétés électriques issues des simulations d'un TSC unitaire, d'une matrice de 2 TSC et d'une matrice de 4 TSC.

3.2.2.2 Influence du type d'accès à la matrice de TSC sur le profil d'impédance

L'accès électrique à la matrice de TSC peut être réalisé de diverses manières. Dans le cadre de la présente étude, un interposeur présentant un unique niveau métallique sur chacune de ses faces a été considéré.

Dans un premier temps, 3 cas d'études ont été considérés. La Figure IV. 21 représente les motifs issus du design des masques de photolithographie correspondant à ces trois cas, seules les parties centrales (encadrées en pointillés) ont été modélisées, les accès électriques sont représentés en rouge. Chacune de ces trois matrices comporte 4 TSC et une surface projetée égale à $1936 \mu\text{m}^2$, cependant la forme de la matrice ainsi que les accès électriques disponibles diffèrent pour chacun des cas :

- Cas n° 1 : La matrice est de forme allongée ($22 \times 88 \mu\text{m}$), les accès sont repris depuis les petits côtés de la matrice.
- Cas n° 2 : La matrice est de forme allongée ($22 \times 88 \mu\text{m}$), les accès sont centrés sur les grands côtés de la matrice.
- Cas n° 3 : La matrice est de forme carrée ($44 \times 44 \mu\text{m}$), les accès sont centrés sur les côtés de la matrice.

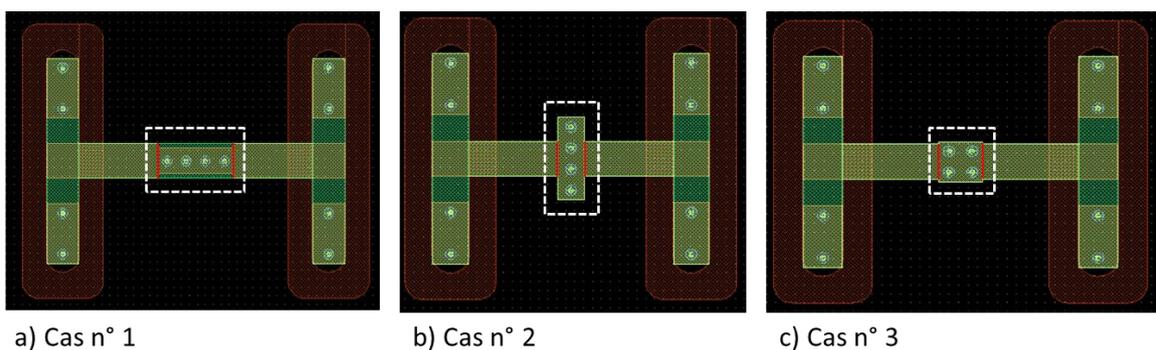


Figure IV. 21. Motifs étudiés pour l'influence du type d'accès électrique. Le modèle réalisé pour chacun des cas d'étude consiste en la partie centrale des motifs, les accès électriques sont représentés en rouge.

Les résultats sont présentés à travers le profil d'impédance fréquentielle visible sur la Figure IV. 22, ainsi que dans le Tableau IV. 9 présentant les propriétés électriques issues des simulations des trois cas étudiés. Bien que la valeur capacitive soit égale à $22,19 \text{ pF}$ dans chacun des cas, les valeurs

d'ESR, d'ESL et de fréquences de résonances sont différentes soulignant l'importance de l'accès électrique à la matrice de TSC. Le cas n° 1 présente les performances les plus amoindries avec un ESR de 206,1 mΩ et un ESL de 126,8 pF entraînant une fréquence de résonance de 3 GHz. Le cas n° 3 présente des performances intermédiaires avec un ESR de 172,2 mΩ et un ESL de 81,17 pF entraînant une fréquence de résonance de 3,75 GHz. Le cas n° 2 présente les performances les plus intéressantes, avec un ESR de 132,6 mΩ et un ESL de 71,43 pF entraînant une fréquence de résonance de 4 GHz.

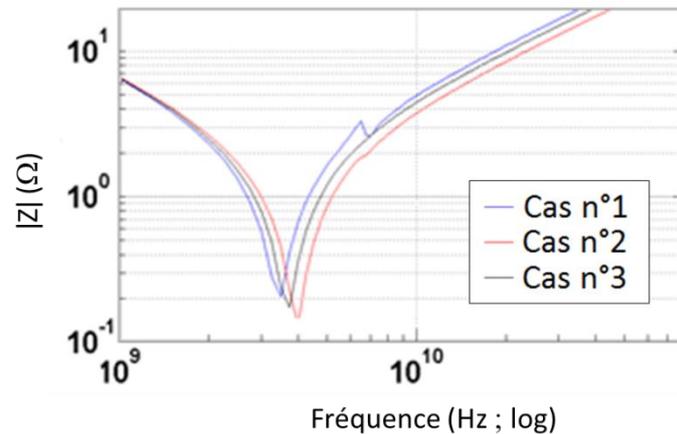


Figure IV. 22. Profil d'impédance en fonction de la fréquence issu des simulations pour les cas d'études n°1 (en bleu), n°2 (en rouge) et n°3 (en noir) dont le type d'accès électrique à la matrice diffère.

	f_R (GHz)	ESR (mΩ)	ESL (pF)	C (pF)
Cas n°1	3	206,1	126,8	22,19
Cas n°2	4	132,6	71,43	22,19
Cas n°3	3,75	172,2	81,17	22,19

Tableau IV. 9. Propriétés électriques issues des simulations de trois matrices comportant 4 TSC, dont les accès électriques diffèrent.

Un autre paramètre est à prendre en considération, sur le profil du cas n° 1 visible sur Figure IV. 22, on peut observer un pic d'impédance dans le domaine inductif de la capacité, cet effet est aussi visible sur le cas n°2, mais de manière plus discrète. Ce pic d'impédance est issu d'un phénomène d'antirésonance entre les TSC au sein de la matrice, traduisant une répartition inégale du champ électromagnétique sur l'ensemble de la structure.

En effet, à l'image du phénomène d'antirésonance entre les différentes capacités placées en parallèle au sein du PDN (voir le premier chapitre), les phénomènes de propagation au sein de la matrice entraînent des résonances entre les différents TSC : puisqu'ils sont montés en parallèle, chaque TSC est une capacité individuelle. Ainsi, l'ESL des différents TSC de la matrice est inégale, entraînant une distribution de leurs fréquences de résonances individuelles, on voit donc apparaître

des circuits oscillateurs LC parallèles entre les TSC d'une même matrice, entraînant des pics d'impédance aux fréquences d'antirésonances.

Aucune antirésonance n'est visible sur la matrice carrée dont la forme permet la limitation des effets de propagation. De la même façon, on n'observe pas de phénomène d'antirésonance pour un accès électrique équipotentiel (voir Figure IV. 20) puisque dans ce cas, le champ électromagnétique est idéalement réparti au sein de la structure et les TSC sont considérés équivalents.

Afin d'évaluer l'influence de la forme de la matrice et du placement des accès électriques sur des structures de plus grande taille, deux cas d'études supplémentaires ont ensuite été considérés. Ces deux matrices sont plus grandes que celles précédemment évaluées, elles comportent chacune 16 TSC. La Figure IV. 23 représente les modèles utilisés pour ces deux cas d'études :

- Cas n° 4 : La matrice est de forme carrée ($130 \times 130 \mu\text{m}$), les accès sont centrés sur les côtés de la matrice.
- Cas n° 5 : La matrice est de forme allongée ($22 \times 352 \mu\text{m}$), les accès sont repris depuis les petits côtés de la matrice.

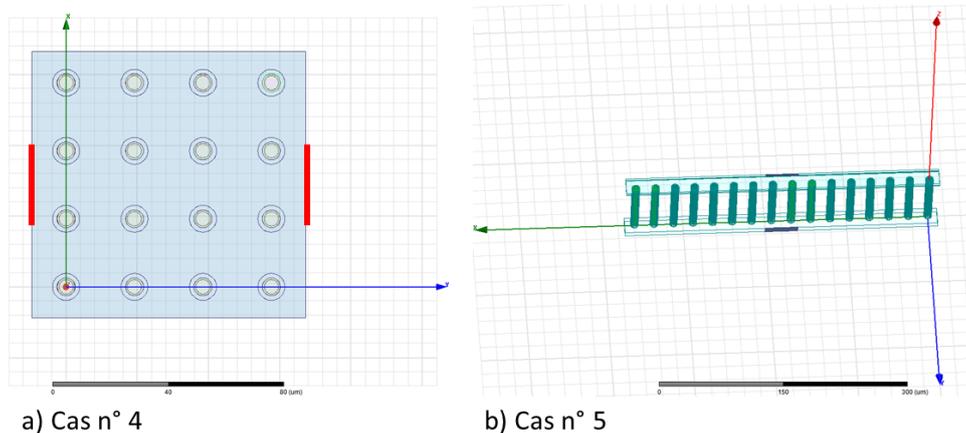


Figure IV. 23. Modèles utilisés pour la simulation de matrice comportant 16 TSC. a) cas d'une matrice carrée de $130 \mu\text{m}$ de côté. b) cas d'une matrice allongée de $22 \times 352 \mu\text{m}$.

Les résultats sont présentés à travers le profil d'impédance fréquentielle visible sur la Figure IV. 24, ainsi que dans le Tableau IV. 10 présentant les propriétés électriques issues des simulations électromagnétiques. À première vue, les valeurs d'ESR et d'ESL de ces deux matrices comportant 16 TSC sont inférieures à celles extraites des simulations de matrices comportant 4 TSC. Cependant si l'on rapporte ces valeurs à celles d'un TSC unitaire, tel qu'on peut le voir sur le Tableau IV. 11, on peut voir que la réduction des valeurs d'ESR et d'ESL n'est pas proportionnelle au nombre de TSC présent dans la matrice alors que l'augmentation de la valeur capacitive l'est. Cela est dû à l'augmentation de l'impédance parasite dans les niveaux de redistribution, exacerbée par la taille plus importante de la matrice. La fréquence de résonance résultante est donc amoindrie pour des matrices de plus grandes tailles.

Concernant la comparaison des cas n°4 et n°5, la matrice allongée présente une valeur d'ESR plus importante que celle observée dans le cas de la matrice carrée, cela s'explique par le chemin

électrique plus long que doit emprunter le courant pour accéder aux TSC présents au centre de la matrice.

La valeur d'ESL est quant à elle plus faible dans le cas de la matrice allongée, puisque dans ce cas, les couplages inductifs entre les TSC sont moins importants. Ce résultat met en évidence la problématique de couplage inductif entre les TSC lorsque ces derniers sont proches les uns des autres. Ainsi, bien que la réduction du pas de répétition des TSC au sein d'une matrice permette l'augmentation de la densité de capacité du dispositif, l'augmentation du couplage entre ces derniers doit être prise en considération. De la même manière, l'utilisation d'une matrice hexagonale présentera une valeur d'ESL plus importante que lorsqu'une matrice carrée est utilisée.

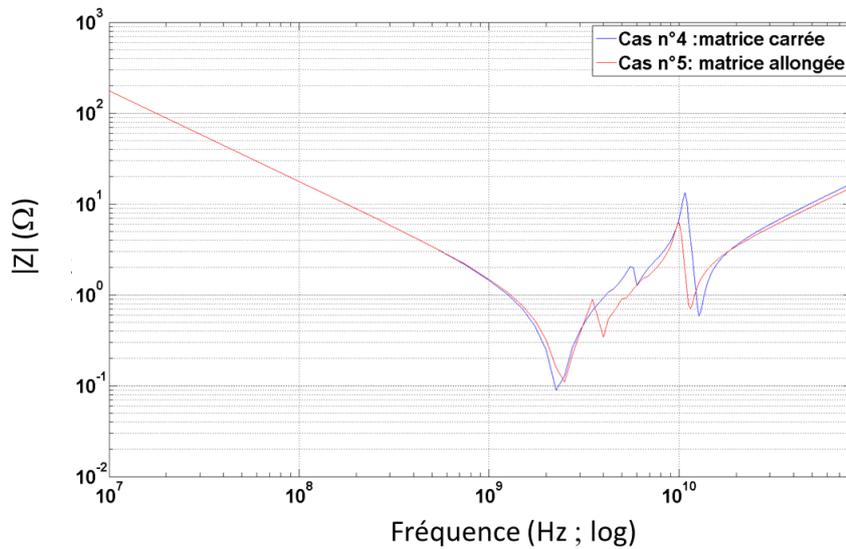


Figure IV. 24. Profil d'impédance en fonction de la fréquence issu des simulations de matrices comportant 16 TSC, l'une carrée (en bleu) et l'autre allongée (en rouge).

	f_R (GHz)	ESR (mΩ)	ESL (pH)	C (pF)
Cas n° 4 : Matrice carrée	2,25	89,4	56,35	88,78
Cas n° 5 : Matrice allongée	2,5	110,2	45,6	88,78

Tableau IV. 10. Propriétés électriques issues des simulations de deux matrices comportant 16 TSC, l'une carrée et l'autre allongée.

	f_R (GHz)	ESR (mΩ)	ESL (pH)	C (pF)	ESR*n (mΩ)	ESL*n (pH)	C/n (pF)
Cas n°2 : 4 TSC	4	132,6	71,43	22,19	530,40	285,72	5,55
Cas n° 4 : 16 TSC	2,25	89,4	56,35	88,78	1430,40	901,60	5,55

Tableau IV. 11. Comparaison des propriétés électriques des cas n°2 et n°4 à l'échelle de la matrice, et rapportées à un TSC unitaire.

Enfin, d'importants pics d'impédances sont visibles sur la Figure IV. 24. Ces pics sont dus aux phénomènes d'antirésonances issus de la propagation du champ au sein de la structure. Il en résulte l'apparition de circuits résonateurs LC parallèles entre les TSC au sein même de la matrice, provoquant ainsi l'apparition de pics d'impédances prohibitifs pour une application de découplage. Ce phénomène problématique est bien connu dans le cadre de l'utilisation d'un réseau de capacité de découplage [85] [86].

Il est donc crucial d'uniformiser la répartition du champ électromagnétique au sein de la matrice de TSC. D'autant plus que les matrices étudiées dans le cadre de la simulation ne comportent que quelques TSC (afin de réduire le temps de calcul). En effet, afin d'offrir une capacité de découplage de plus d'une centaine de nF, il est nécessaire de monter plusieurs centaines, voire plusieurs milliers de TSC en parallèle sur de larges surfaces. Le phénomène d'antirésonance sur de telles structures se doit d'être maîtrisé.

Afin de limiter l'antirésonance au sein de la matrice, il est nécessaire de se rapprocher du cas où les accès sont équipotentiels, tel que cela a été présenté dans la section précédente. Pour se faire, la matrice de TSC doit être connectée au PDN par de nombreux accès. Cette connexion au PDN dépend bien entendu du type d'interposeur sur lequel est intégrée la capacité TSC qui déterminera, d'une part le nombre de niveaux métalliques disponibles pour le routage des signaux en face avant et en face arrière de l'interposeur, et d'autre part le pas de répétition des interconnexions d'interfaces (billes de soudure, μ -bumps).

La présence de plusieurs niveaux de métaux permet la distribution du potentiel à travers des vias situés directement au-dessus (et en dessous) de la matrice, par opposition à un accès latéral entraînant la propagation du champ à travers un unique niveau de métal. La Figure IV. 25 illustre la distribution des accès en représentant la face avant de la matrice avec a) un unique accès latéral (tel qu'elle a été simulée) et b) de multiples accès distribués réalisés à l'aide de vias présents sur un niveau de métal supérieur, permettant ainsi la réduction des effets de propagation au sein de la structure, et donc la limitation des phénomènes d'antirésonances. Cette distribution est aussi envisageable en face arrière de l'interposeur. De la même manière, le placement des connexions d'interfaces directement au-dessus et en dessous de la matrice capacitive permet d'uniformiser le champ appliqué à la matrice de TSC.

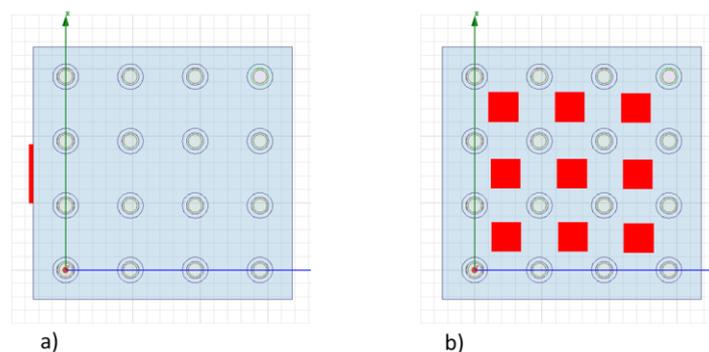


Figure IV. 25. a) Accès latéral à la matrice sur le même niveau de métal. b) Accès distribué à l'aide de vias présents sur un niveau de métal supérieur.

Conclusion sur la campagne de simulation par éléments finis

La campagne de simulations par éléments finis a permis l'évaluation du comportement électrique du composant TSC. Le modèle pris en considération est basé sur une architecture traversante pour un via de géométrie réaliste de $12 \times 75 \mu\text{m}$ correspondant à une intégration de type « *via-middle* ». Ce modèle intègre la couche de *partial-filling* qui a été discuté dans le chapitre précédent, le matériau diélectrique considéré est une couche de 20 nm d'alumine.

Les résultats ont été extraits à l'aide du logiciel Q3D développé par *Ansys*. Contrairement au modèle analytique présenté dans le second chapitre, la simulation par éléments finis présente l'avantage de permettre le calcul de l'inductance de la structure, un élément crucial dans le cas de l'étude d'une capacité de découplage puisqu'il est à l'origine des phénomènes d'antirésonance dans le PDN.

Tout d'abord, les performances d'un TSC unitaire ont été étudiées, permettant d'extraire sa valeur d'inductance évaluée à 165,6 pH ainsi que sa fréquence de résonance évaluée à 5,25 GHz.

Ensuite, des modèles de matrices comportant plusieurs TSC ont été simulés. Dans un premier temps, un accès électrique latéral équipotentiel à la matrice a été considéré. Dans cette configuration, les résultats de simulation mettent en évidence l'effet de la mise en parallèle des TSC au sein d'une matrice : l'impédance résultante est divisée par le nombre de TSC dans la matrice. Ainsi, sur de larges matrices comportant de nombreux TSC, l'architecture du composant permet l'atteinte de faibles valeurs parasites d'ESR et d'ESL.

Dans un second temps, un accès latéral aux matrices a été considéré, et l'on peut dans ce cas voir apparaître des pics d'impédances sur les profils d'impédance fréquentielle issus des simulations. Ces pics d'impédance sont dus au phénomène d'antirésonance des TSC entre eux au sein même de la matrice. Cette antirésonance est d'autant plus marquée que la structure est grande, cela est dû aux phénomènes de propagation au sein de la structure. Dans ce cas de figure, de larges structures engendrent des pics d'impédance prohibitifs pour une application de découplage. Il est donc crucial de se rapprocher d'un accès équipotentiel en homogénéisant le champ sur l'ensemble de la structure. Pour y parvenir, on peut tirer profit de niveaux de métaux supplémentaires pouvant être présents en face avant et en face arrière de l'interposeur afin de distribuer le potentiel en de nombreux points de la surface de chacune des électrodes. De plus, positionner les interconnexions d'interfaces en regard avec la matrice de TSC permettrait une distribution plus homogène du potentiel.

4 Conclusion

L'évaluation des performances électriques du composant TSC au sein d'un interposeur a été traitée de deux manières différentes.

Dans un premier temps, un démonstrateur simplifié comportant des matrices capacitives non traversantes a été fabriqué. Sa réalisation a nécessité le développement d'un procédé de gravure plasma du TiN, afin de permettre l'accès électrique à l'électrode inférieure depuis la face avant de la plaque de silicium.

Les mesures électriques effectuées sur ce démonstrateur ont permis de mettre en avant l'avantage de l'utilisation d'une structure tridimensionnelle par rapport à une structure planaire par l'augmentation de la densité de capacité d'un facteur supérieur à 6, dans le cas des structures testées les plus denses. De plus, cette densité de capacité dépend largement de la géométrie du via, ainsi la densité atteignable par la matrice de TSC dépend du type de TSV avec lequel elle partage ses dimensions.

Les mesures des matrices en fréquence ont révélées une fréquence de coupure de l'ordre de la centaine de kHz attribuée à la forte résistance du TiN MOCVD utilisé comme électrode. Dans le cas d'une matrice de TSC traversante, cette fréquence devrait être plus élevée grâce à la mise en parallèle des TSC d'une part et à l'introduction du cuivre dans la structure.

Dans un second temps, une campagne de simulations électromagnétiques par éléments finis a permis l'évaluation des performances électriques de matrices de TSC traversantes. La simulation d'un modèle de TSC unitaire a tout d'abord permis l'évaluation de sa valeur d'inductance estimée à 165,6 pH ainsi que sa fréquence de résonance estimée quant à elle à 5,25 GHz. La simulation de matrices de TSC s'est faite en deux temps.

Tout d'abord, un accès électrique équipotentiel a été considéré, mettant en avant l'avantage de la mise en parallèle de nombreux TSC au sein d'une matrice permettant l'atteinte de faibles valeurs d'ESR et d'ESL. Cependant, la simulation de matrices de TSC comportant un accès électrique latéral a mis en évidence l'émergence de phénomènes d'antirésonances entre les TSC d'une même matrice, soulignant l'importance de la prise en compte des accès électriques à la matrice au sein de l'interposeur lors de sa conception. En effet, il est crucial que ces derniers soient efficacement distribués afin de répartir les phénomènes de propagation au sein de la structure, sans quoi les pics d'impédance issus du phénomène d'antirésonance peuvent s'avérer prohibitifs dans le cadre d'une application de découplage.

Conclusion générale et perspectives

L'intégration 3D prend tout son sens face aux limitations des circuits planaires classiques en termes de coûts, d'encombrement et de performances. Cependant, la réalisation de structures fiables comportant de fines couches de silicium reportées les unes sur les autres requiert le développement de nombreuses briques technologiques, et mettra un certain temps avant d'arriver à maturité. L'approche 2.5D, à travers l'utilisation de l'interposeur, apparaît comme une solution intermédiaire permettant d'ores et déjà le report côte à côte de puces hétérogènes. Cependant, l'ajout de cet objet dans la structure rallonge le circuit électrique entre le générateur de tension et les transistors en commutation présents sur les puces logiques, augmentant ainsi les résistances et inductances parasites au sein du PDN. Cela a pour effet d'exacerber la résonance chip/package, un phénomène déjà problématique dans les structures classiques, car celui-ci provoque des pics d'impédance sur le profil d'impédance fréquentielle du PDN. Ces pics peuvent dépasser l'impédance cible Z_{CIBLE} sous laquelle doit se trouver le circuit sur toute sa gamme de fréquences de fonctionnements afin d'assurer l'intégrité de l'alimentation et éviter les erreurs de traitement logique des transistors. Face à la complexification des PDN dans les structures tridimensionnelles, il devient nécessaire de trouver des solutions pour réduire son impédance, et le moyen le plus efficace pour y parvenir consiste à intégrer une capacité de découplage au sein du package, située au plus près des transistors.

L'objectif de ce travail de thèse était donc le développement d'une capacité intégrée à l'interposeur silicium. L'architecture innovante du *Through Silicon Capacitor* (TSC) a été conçue pour permettre son intégration aux côtés des *Through Silicon Vias* (TSV) avec lesquelles elle partage plusieurs étapes de réalisation. Le TSC présente la particularité de traverser l'intégralité de l'épaisseur de l'interposeur sur lequel il est intégré. Cette architecture permet la mise en parallèle d'une multitude de TSC unitaires au sein d'une matrice, favorisant de ce fait l'atteinte de faibles valeurs d'impédances propices à un découplage de qualité.

La première étape de l'étude a été l'évaluation de l'influence des paramètres géométriques et matériaux sur les performances électriques du composant. Un modèle analytique distribué de la structure du TSC a donc été développé, permettant l'évaluation des valeurs capacitives et de résistance série équivalente du composant. L'étude de modélisation a permis de valider l'utilisation de couches de 20 nm d'alumine et de 40 nm d'oxyde de tantale en tant que diélectrique MIM, permettant l'atteinte d'une densité de capacité de 47 nF.mm⁻² et 69 nF.mm⁻² (respectivement) dans une intégration de type « *via-middle* » (10 x 80 μm) associé à une matrice dense (*pitch* de 15 μm), des valeurs supérieures à l'objectif de densité de capacité fixé à 40 nF.mm⁻². De plus, la conformité de la couche est un paramètre de première importance, puisque l'amincissement de l'épaisseur déposée engendre inévitablement des problèmes de fiabilité (courants de fuites, tension de claquage). L'évaluation de l'ESR a quant à elle mis en évidence le fait que la valeur de résistance au sein de la structure est limitée par le transport longitudinal de charges sur le flanc de l'électrode inférieure. La mise en parallèle des TSC au sein de la matrice permet l'atteinte des spécifications ciblées en termes d'ESR et d'ESL (respectivement < 100 mΩ et <25 pH) : des gammes de valeurs de l'ordre du mΩ et du fH en intégration « *via-middle* ». Les performances du TSC sont liées à sa géométrie et varieront en fonction du type d'intégration des TSV présents sur l'interposeur.

La seconde étape de cette étude a consisté au développement des procédés propres à la réalisation du TSC. Dans un premier temps, les efforts ont été tournés vers le développement des procédés de dépôt d'un empilement MIM dans une matrice de via profonds, plusieurs types de couches ont été réalisées en faisant varier leurs paramètres (matériaux, type et température de dépôt, précurseurs utilisés). Les conformités de ces couches ont ensuite été caractérisées et comparées. Dans le cas du dépôt de diélectrique, la méthode ALD a engendrée une très bonne conformité nécessaire au maintien d'une valeur de capacité optimale, la conformité obtenue en PEALD à elle aussi permet le dépôt d'une couche conforme, bien qu'un peu en retrait par rapport à l'ALD dans les structures considérées. L'étude de la conformité de la couche de TiN constituant les électrodes a mis en avant une forte épaisseur déposée en flanc de via, dénotant la faible influence du plasma de densification utilisé en MOCVD afin de diminuer la résistivité de la couche. Cette observation a soulevé la question de la valeur de résistivité de la couche de TiN en flanc de via. Une valeur importante, puisque l'étude de modélisation a montré que l'ESR de la structure est limitée par le transport longitudinal de charges sur le flanc de l'électrode inférieure. La résistivité de la couche de TiN en flanc a donc été caractérisée, et la faible influence du plasma de densification a été confirmée, entraînant ainsi une résistivité importante de la couche.

Dans un second temps, le procédé de co-intégration des TSC et TSV au sein d'un interposeur « *via-middle* » a été développé. Il fait appel à une croissance électrolytique localisée dans la matrice de TSC effectuée en amont du dépôt de l'électrode inférieure. De cette manière, lors de la reprise de contact en face arrière de l'interposeur, l'empilement MIM est détruit au sein des TSV permettant un contact électrique entre les deux faces de l'interposeur. Au sein des TSC, l'empilement MIM est protégé par cette couche appelée « *partial-filling* » permettant ainsi la polarisation du diélectrique depuis chacune des faces de l'interposeur. Le procédé de « *partial-filling* » est dérivé d'un procédé de croissance « *bottom-up* » utilisé pour remplir les cavités du TSV. La réalisation d'un démonstrateur de test a permis de démontrer la faisabilité du « *partial-filling* » en respectant un dépôt d'une dizaine de microns visés en fond de via, ainsi que celle du remplissage cuivre des TSC après le dépôt de l'empilement MIM : la structure obtenue était exempte de défauts. Au-delà de la co-intégration TSC/TSV, le « *partial-filling* » permet l'introduction d'une couche de faible résistivité sous l'électrode inférieure, et résout ainsi le problème du TiN hautement résistif en permettant l'atteinte de valeur d'ESR dans la gamme du $\mu\Omega$ à l'échelle de la matrice de TSC, une valeur plusieurs décades en dessous de l'objectif fixé à un maximum de $100\text{ m}\Omega$.

La troisième étape de l'étude a été l'évaluation des performances du composant TSC intégré au sein d'un interposeur silicium. Cette évaluation a été effectuée de deux manières distinctes. Tout d'abord, la réalisation et la caractérisation électrique d'un démonstrateur de test comportant des matrices capacitives non débouchantes a permis de mettre en évidence l'avantage de l'utilisation d'une structure tridimensionnelle par rapport à une structure planaire avec un gain de densité de capacité d'un facteur supérieur à 6 dans le cas des structures testées les plus denses. Les mesures des matrices en fréquence ont néanmoins révélé de faibles valeurs de coupures (de l'ordre de 100 kHz) attribuées à la forte résistivité du TiN. Cependant, ces valeurs devraient être plus élevées dans le cas d'un TSC débouchant grâce à l'utilisation du cuivre et la mise en parallèle des TSC au sein de la matrice.

Ensuite, une campagne de simulations électromagnétiques par éléments finis a permis l'évaluation des performances électriques de matrices de TSC. La simulation d'un modèle de TSC unitaire a tout d'abord permis l'évaluation de sa valeur d'inductance estimée à 165,6 pH, valeur qu'il

n'était pas possible d'obtenir à l'aide du modèle analytique. La simulation de matrices de TSC a permis de valider le comportement parallèle permettant l'atteinte de faibles valeurs d'ESR et d'ESL. Cependant, la simulation de matrices de TSC comportant un accès électrique réaliste a mis en évidence l'émergence de phénomènes d'antirésonances entre les TSC d'une même matrice, entraînant des pics d'impédance sur le profil fréquentiel de la matrice, pouvant être prohibitifs pour une application de découplage.

Le TSC étant un nouveau composant, les perspectives concernant son développement sont nombreuses. Concernant la réalisation des matrices de TSC traversantes, bien que leur fabrication n'ait pas été possible durant la thèse, une large partie des travaux de thèse a été consacrée à la conception d'un véhicule de test 300 mm à travers la planification des étapes procédés et de leurs paramètres, ainsi qu'à travers le dessin d'un jeu de masques permettant sa réalisation. Ce jeu de masques (présent en salle blanche du LETI) comporte dix niveaux de masquages et permet la réalisation de nombreux motifs de test (plus de 300) selon trois types d'intégrations distincts, permettant ainsi une étude de différents aspects du TSC ainsi qu'une étude de fiabilité du composant.

L'architecture présentée dans ce manuscrit ne comporte qu'une seule couche de diélectrique polarisée, cependant la réalisation d'une architecture comportant plusieurs couches de diélectrique dans un via est tout à fait envisageable, permettant ainsi de démultiplier la densité de capacité offerte par le composant. Cette architecture est présentée en annexe de ce manuscrit.

Concernant la modélisation du TSC, il serait intéressant de réaliser un modèle réaliste d'un PDN complet (intégrant les transistors, les niveaux de métaux des puces logiques, les interconnexions d'interfaces, les niveaux de redistribution de l'interposeur, les TSV...). Cela permettrait de quantifier la qualité du découplage offerte par le TSC ainsi que de définir des règles de dessins optimisant son intégration sur l'interposeur au côté des TSV. C'est une des thématiques des travaux de thèse de Khadim Dieng, un doctorant travaillant sur la modélisation du TSC au sein du laboratoire de l'IMEP-LAHC Chambéry. Une confrontation des simulations avec des mesures électriques effectuées sur le véhicule de test 300 mm validerait définitivement le modèle qui pourrait servir aux designers des futurs interposeurs.

Au cours de ce manuscrit, les discussions autour du TSC ont été centrées sur une application de découplage. Cependant, la capacité TSC peut être utilisée pour assurer d'autres fonctions, par exemple dans un convertisseur DC/DC au sein d'un interposeur actif, où son utilisation permettrait de réduire significativement la surface occupée par les capacités, traditionnellement planaires.

Références

- [1] G. E. Moore, "Cramming More Components Onto Integrated Circuits," *Electronics*, vol. 38, pp. 114-117, apr 1965.
- [2] (2014) wikipedia. [Online]. http://en.wikipedia.org/wiki/Moore's_law
- [3] (2012) International Roadmap for Semiconductors. [Online]. <http://public.itrs.net>
- [4] S. Galdin-Retailleau, A. Bournel, and P. Dollfus, "L'électronique ultime," in *Les nanosciences : Nanotechnologies et nanophysique.*: Belin - collection Echelles, 2004, ch. 11, pp. 345-373.
- [5] M.T. Bohr, "Interconnect scaling-the real limiter to high performance ULSI," in *Electron Devices Meeting, 1995. IEDM '95*, 1995, pp. 241 - 244.
- [6] Justin Bogan, "Growth and chemical characterisation studies of Mn silicate barrier layers on SiO₂ and CDO," Dublin City University, Dublin, PhD Thesis 53340589 , 2012.
- [7] Scott List, Mandeep Bamal, Michele Stucchi, and Karen Maex, "A global view of interconnects," *Microelectronic Engineering*, vol. 83, no. 11–12, pp. 2200-2207, 2006.
- [8] Neelima Muralidharan, Subbarao Wunnava, and Amir Noel, "The System on Chip technology," in *International Latin American and Caribbean Conference for Engineering and Technology (LACCEI'2004)*, Miami, 2004.
- [9] A. Maurelli, D. Belot, and G. Campardo, "SoC and SiP, the Yin and Yang of the Tao for the New Electronic Era," *Proceedings of the IEEE*, vol. 97, no. 1, pp. 9-17, Jan. 2009.
- [10] Nvidia Corporation. (2014, Janvier) Nvidia news. [Online]. <http://nvidianews.nvidia.com/imagelibrary/detail.aspx?MediaDetailsID=2667>
- [11] Donald J. Beck and Alberto C. Perez, "Wire Bond Technology The Great Debate: Ball vs. Wedge," Palomar Technologies, Inc, Carlsbad, 2007.
- [12] Dick James. (2011, Feb) How to Get 5 Gbps Out of a Samsung Graphics DRAM. [Online] Solid State Technology - Chipworks.
- [13] P. Coudrain et al., "3D Integration of CMOS image sensor with coprocessor using TSV last and micro-bumps technologies," in *Electronic Components and Technology Conference (ECTC), 2013 IEEE 63rd*, 2013, pp. 674 - 682.
- [14] Dong Hyuk Woo, Nak Hee Seong, D.L. Lewis, and H.-H.S. Lee, "An optimized 3D-stacked memory architecture by exploiting excessive, high-density TSV bandwidth," in *High Performance Computer Architecture (HPCA), 2010 IEEE 16th International Symposium on*, 2010, pp. 1 - 12.
- [15] H. Oprins et al., "Numerical and Experimental Characterization of the Thermal Behavior of a Packaged DRAM-on-Logic Stack," in *Electronic Components and Technology Conference (ECTC), 2012 IEEE 62nd*, 2012, pp. 1081 - 1088.
- [16] Gabriel H. Loh, Yuan Xie, and Bryan, Black, "Processor Design in 3D Die-Stacking Technologies," *Micro, IEEE*, vol. 27, no. 3, pp. 31 - 48, May-June 2007.

- [17] Françoise Von Trapp. (2010, Jan) The Future Looks Bright For 3D Integration. Disponible en ligne - <http://electronicdesign.com/>.
- [18] Maxime Rousseau, "Impact des technologies d'intégration 3D sur les performances des composants CMOS," Université Toulouse III - Paul Sabatier, Toulouse, PhD 2009.
- [19] Ivo Bolsens, "2.5D ICs: Just a Stepping Stone or a Long Term Alternative to 3D?," Xilinx, 2011.
- [20] Timothy G. Lenihan and E. Jan Vardaman, "Challenges to Consider in Organic Interposer HVM," TechSearch International for iNEMI Substrate & Packaging Workshop, Toyama, 2014.
- [21] Jean-Marc Yannou and Jérôme Baron, "3D Glass & Silicon Interposers, Myth, Niche or High Volume Necessity?," Yole Développement, 2010.
- [22] Y. Lamy, S. Joblot, C. Ferrandon, J.F. Carpentier, and G. Simon, "Through-Silicon-Via (TSV) for silicon package: "via-bridge" approach," in *IMAPS International Symposium on*, 2012, pp. 9-13.
- [23] Yole Développement, "Advanced Packaging 3D IC, TSV & Embedded WLP Technologies," Yole Développement, Workshop 2009.
- [24] J. Colonna et al., "Electrical and morphological assessment of via middle and backside process technology for 3D integration," in *Electronic Components and Technology Conference (ECTC), 2012 IEEE 62nd*, 2012, pp. 796 - 802.
- [25] Alexandre Reis and Raj Bhattacharya, "Deep Reactive Ion Etching," University of maryland, Lectures ENEE416, 2004.
- [26] Akihito Takano et al., "Development of Si interposer with low inductance decoupling capacitor," in *IEEE Electronic Components and Technology Conference (ECTC)*, 2011, pp. 849 - 854.
- [27] J. McPherson, J. -Y Kim, A. Shanware, and H. Mogul, "Thermochemical description of dielectric breakdown in high dielectric constant materials," *Applied Physics Letters*, vol. 82, no. 13, pp. 2121 - 2123, Mar 2003.
- [28] A. Farcy, J.-F. Carpentier, M. Thomas, J. Torres, and P. Ancey, "Integration of high-performance RF passive modules (MIM capacitors and inductors) in advanced BEOL," *Microelectronic Engineering*, vol. 85, no. 10, pp. 1940-1946, Oct 2008.
- [29] D.S. Gardner et al., "Integrated On-Chip Inductors With Magnetic Films," *Transactions on Magnetics*, vol. 43, no. 6, pp. 2615–2617, 2007.
- [30] S. Van Huylbroeck, S. Decoutere, R. Venegas, S. Jenei, and G. Winderickx, "Investigation of PECVD dielectrics for nondispersive metal-insulator-metal capacitors," *Transactions on Electron Device Letters*, vol. 23, no. 4, pp. 191–193, 2002.
- [31] P. Zurcher et al., "Integration of thin film MIM capacitors and resistors into copper metallization based RF-CMOS and Bi-CMOS," in *Proceedings of IEDM*, San Francisco, USA, 2000, pp. 153–156.
- [32] Ruichen Liu et al., "Single mask metal-insulator-metal (MIM) capacitor with copper damascene metallization for sub-0.18 μm mixed mode signal and system-on-a-chip (SoC) applications," in *Proceedings of IITC*, San Francisco, USA, 2000, pp. 111–113.

- [33] K.H. Allers, P. Brenner, and M. Schrenk, "Dielectric reliability and material properties of Al₂O₃ in metal insulator metal capacitors (MIMCAP) for RF bipolar technologies," in *Proceedings of BCTM*, Toulouse, France, 2003, pp. 35–38.
- [34] X. Yu et al., "A high-density MIM capacitor (13 fF/μm²/sup 2/) using ALD HfO₂ dielectrics," *Transactions on Electron Device Letters*, vol. 24, no. 2, pp. 63–65, 2003.
- [35] M. Gros-Jean, S. Crémer, C. Besset, and O. Salicio, in *Proceedings BCTM*, Monteray, USA, 2002, pp. 73–76.
- [36] R.M. Fleming et al., "Defect dominated charge transport," *Journal of Applied Physics*, vol. 88, no. 2, pp. 850–862, 2002.
- [37] D. Roberts et al., "Application of on-chip MIM decoupling capacitor for 90nm SOI," in *Proceedings of IEDM*, Washington DC, USA, 2005, pp. 72–75.
- [38] F. Mondon and S. Blonkowski, "Electrical characterisation and reliability of HfO₂ and Al₂O₃–HfO₂ MIM capacitors," *Journal of Microelectronics Reliability*, vol. 43, no. 8, pp. 1259–1266, 2003.
- [39] E. Defay et al., "Above IC integrated SrTiO₃ high K MIM capacitors," in *Proceedings of ESSDERC*, Montreux, Switzerland, 2006, pp. 186–189.
- [40] A. Bajolet et al., "Three-dimensional 35 nF/mm² MIM capacitors integrated in BiCMOS technology," in *Solid-State Device Research Conference, 2005. ESSDERC 2005. Proceedings of 35th European*, 2005, pp. 121 - 124.
- [41] Paul-Henry Morel, "Etude de l'Intégration 3D et des Propriétés Physiques de Nanofils de Silicium obtenus par Croissance – Réalisation de Capacités Ultra-Denses," UNIVERSITÉ DE GRENOBLE, Grenoble, Ph.D 2011.
- [42] J.H. Klootwijk et al., "Ultrahigh Capacitance Density for Multiple ALD-Grown MIM Capacitor Stacks in 3-D Silicon," *Electron Device Letters, IEEE*, vol. 29, no. 7, pp. 740 - 742, July 2008.
- [43] Larry Smith, Shishuang Sun, Peter Boyle, and Bozidar Krsnik, "System power distribution network theory and performance with various noise current stimuli including impacts on chip level timing," in *Custom Integrated Circuits Conference, 2009. CICC '09. IEEE*, 2009, pp. 621 - 628.
- [44] Yun Chase, "Introduction to Choosing MLC Capacitors for bypass/decoupling applications," AVX Corporation,.
- [45] J. Cain, "The effects of ESR and ESL in digital decoupling applications," in *Capacitor and resistor technology symposium; 17th, CARTS '97*, 1997, pp. 190-194.
- [46] Mikhail Popovich, "High Performance Power Distribution Networks with On-Chip Decoupling Capacitors for Nanoscale Integrated Circuits," University of Rochester, New York, Ph.D 2007.
- [47] Prathap Muthana, Madhavan Swaminathan, Ege Engin, P. Markondeya Raj, and Rao Tummala , "Mid frequency decoupling using embedded decoupling capacitors," in *Electrical Performance of Electronic Packaging, 2005. IEEE 14th Topical Meeting on*, 2005, pp. 271 - 274.
- [48] Daniel Amey and Karl Dietz, "Application of embedded capacitor technology for high

- performance semiconductor packaging," in *DesignCon*, 2007.
- [49] M.M. Corbalan et al., "Power and signal integrity challenges in 3D systems," in *IEEE Design Automation Conference (DAC)*, 2013, pp. 1 - 4.
- [50] Larry Smith, Shishuang Sun, Mayra Sarmiento, Zhe Li, and Karthik Chandrasekar, "On-Die Capacitance Measurements in the frequency and time domains," in *DesignCON*, 2011.
- [51] K. Kikuchi et al., "Wideband ultralow power distribution network impedance evaluation of decoupling capacitor embedded interposers for 3-D integrated LSI system," in *Electronic Components and Technology Conference (ECTC), 2013 IEEE 63rd*, 2013, pp. 1190 - 1196.
- [52] Zhe Li, Hong Shi, J. Xie, and A. Rahman, "Development of an optimized power delivery system for 3D IC integration with TSV silicon interposer," in *Electronic Components and Technology Conference (ECTC), 2012 IEEE 62nd*, 2012, pp. 678 - 682.
- [53] Kiyeong Kim et al., "Impedance of power distribution networks in TSV-based 3D-ICs," in *Electrical Design of Advanced Packaging and Systems Symposium (EDAPS), 2011 IEEE*, 2011, pp. 1 - 4.
- [54] Jun So Pak et al., "On-chip PDN design effects on 3D stacked on-chip PDN impedance based on TSV interconnection," in *Electrical Design of Advanced Packaging & Systems Symposium (EDAPS), 2010 IEEE*, 2010, pp. 1 - 4.
- [55] S. Jeannot et al., "Toward next high performances MIM generation: up to 30fF/ μm^2 with 3D architecture and high- κ materials," in *IEEE Electron Devices Meeting (IEDM)*, 2007, pp. 997 - 1000.
- [56] H. Kim, B. K. Sun, and J. Kim, "Suppression of GHz range power/ground inductive impedance and simultaneous switching noise using embedded film capacitors in multilayer packages and PCBs," *IEEE Microwave and Wireless Components Letters*, vol. 14, no. 2, pp. 71 - 73, Feb 2004.
- [57] Heeseok Lee et al., "Power Delivery Network Design for 3D SIP Integrated over Silicon Interposer Platform," in *Electronic Components and Technology Conference, 2007. ECTC '07. Proceedings. 57th*, 2007, pp. 1193 - 1198.
- [58] J.M. Yook, J.C. Kim, S.H. Park, J.I. Ryu, and J.C. Park, "High density and low-cost silicon interposer using thin-film and organic lamination processes," in *IEEE Electronic Components and Technology Conference (ECTC)*, 2012, pp. 274 - 278.
- [59] W.-S. Liao et al., "A Manufacturable Interposer MIM Decoupling Capacitor with Robust Thin high-K Dielectric for Heterogeneous 3D IC CoWoS System Integration," in *2014 IEEE International Electron Devices Meeting*, San Francisco, 2014, pp. 634-637.
- [60] B. Dang et al., "Three-Dimensional Chip Stack With Integrated Decoupling Capacitors and Thru-Si Via Interconnects," *IEEE Electron Device Letters*, vol. 31, no. 12, pp. 1461 - 1463, Dec 2010.
- [61] H. Jacquinet and D. Denis, "Characterization, modeling and optimization of 3D embedded trench decoupling capacitors in Si-RF interposer," in *IEEE Electronic Components and Technology Conference (ECTC)*, 2013, pp. 1372 - 1378.
- [62] F. Lallemand and F. Voiron, "Silicon interposers with integrated passive devices, an excellent

- alternativ to discrete components," in *Microelectronics Packaging Conference (EMPC)*, Grenoble, 2013, pp. 1-6.
- [63] F. Roozeboom et al., "High-Density, Low-Loss MOS Capacitors for Integrated RF Decoupling," in *Proceedings 34 th Int. Symp. on Microelectronics (IMAPS 2001)*, Baltimore, 2001, pp. 477-483.
- [64] A. Bajolet et al., "Low-Frequency Series-Resistance Analytical Modeling of Three-Dimensional Metal–Insulator–Metal Capacitors," *Electron Devices, IEEE Transactions on*, vol. 54, no. 4, pp. 742 - 751, April 2007.
- [65] A. Bajolet, "Intégration de capacités MIM tridimensionnelles de 35nF/mm² et au-delà dans des technologies CMOS et BiCMOS. ," INPG, Grenoble, PhD 2006.
- [66] O. Guiller et al., "Through Silicon Capacitor co-integrated with TSVs on silicon interposer," *Microelectronic Engineering*, vol. 120, pp. 121-126, May 2014.
- [67] M. Thomas et al., "Impact of TaN/Ta copper barrier on full PEALD TiN/Ta₂O₅/TiN 3D damascene MIM capacitor performance," in *International Interconnect Technology Conference, 2007*, pp. 158-160.
- [68] Yuen Sing Chan, Hong Yu Li, and Xiaowu Zhang, "Thermo-Mechanical Design Rules for the Fabrication of TSV Interposers," *Components, Packaging and Manufacturing Technology, IEEE Transactions on*, vol. 3, no. 4, pp. 633-640, April 2013.
- [69] Jean-Philippe COLONNA, Sylvain JOBLLOT, Thierry MOURIER, and Olivier GUILLER, "PROCESS FOR PRODUCING A THROUGH-SILICON VIA AND A THROUGH-SILICON CAPACITOR IN A SUBSTRATE, AND CORRESPONDING DEVICE," B12-6832FR – FZ/EVH, 2013.
- [70] Pinzelli L. et al., "High-K dielectric deposition in 3D architectures: The case of Ta₂O₅ deposited with metal-organic precursor TBTDET," *Microelectronics and reliability*, vol. 47, no. 4-5, pp. 700–703, 2007.
- [71] Mickael Gros-Jean, "Etude des procédés de dépôt et caractérisation de couches minces d'oxyde à forte permittivité diélectrique. Optimisation des performances électriques et de la productivité des circuits électroniques.," Université de Grenoble, Grenoble, HDR 2012.
- [72] Steven M. George, "Atomic Layer Deposition: An Overview," *Chemical Reviews*, vol. 110, no. 1, pp. 111 - 131, 2010.
- [73] Cheol Seong Hwang, Ed., *Atomic Layer Deposition for Semiconductors.*: Springer, 2014.
- [74] C. Chaneliere, J. L. Autran, R. A. B. Devine, and B. Balland, "Tantalum pentoxide (Ta₂O₅) thin films for advanced dielectric applications," *Materials Science & Engineering reports*, vol. 22, no. 6, pp. 269-322, 1998.
- [75] A. Gicouel, N. Laidani, P. Saillard, and J. Amouroux, "Plasma and nitrides: application to the nitriding of titanium ," *Pure and Applied Chemistry*, vol. 62, no. 9, pp. 1743-1750, 1990.
- [76] Larissa Djomeni et al., "Study of low temperature MOCVD deposition of TiN barrier layer for copper diffusion in high aspect ratio through silicon vias," *Microelectronic Engineering*, vol. 120, pp. 127-132, May 2014.

- [77] Hyo Kyeom Kim et al., "Metalorganic atomic layer deposition of TiN thin films using TDMAT and NH₃," *Journal of the Korean Physical Society*, vol. 41, no. 5, pp. 739-744, 2002.
- [78] Ju Youn Kim, Gil Heyun Choi, Young Do Kim, Yangdo Kim, and Hyeongtag Jeon, "Comparison of TiN Films Deposited Using Tetrakisdimethylaminotitanium and Tetrakisdiethylaminotitanium by the Atomic Layer Deposition Method," *Jpn. J. Appl. Phys.*, vol. 42, pp. 4245–4248, July 2003.
- [79] Jaebum Kim, Hyunseok Hong, Subhankar Ghosh, Ki-Young Oh, and Chongmu Lee, "Physical Properties of Highly Conformal TiN Thin films Grown by Atomic Layer Deposition," *Japanese Journal of Applied Physics*, vol. 43, no. 3, p. 1375, March 2003.
- [80] K.J. Owen, B. VanDerElzen, R.L. Peterson, and K. Najafi, "High aspect ratio deep silicon etching," in *Micro Electro Mechanical Systems (MEMS)*, 2012, pp. 251-254.
- [81] D.A Deen et al., "Atomic layer deposited Ta₂O₅ gate insulation for enhancing breakdown voltage of AlN/GaN high electron mobility transistors," *Applied Physics Letters*, vol. 98, no. 2, pp. 023506 - 023506-3, Jan 2011.
- [82] Helen H. Lou and Yinlun Huang, "Electroplating," in *Encyclopedia of Chemical Processing*, Taylor & Francis Group, Ed. New York, USA: Taylor & Francis, 2006, ch. Volume 2, pp. 839-849.
- [83] A. Bajolet et al., "Impact of TiN post-treatment on metal insulator metal capacitor performances," *Microelectronic Engineering*, vol. 83, no. 11–12, pp. 2189-2194, November–December 2006.
- [84] Khadim Dieng et al., "Electrical Model and Characterization of Through Silicon Capacitors (TSC) in Silicon Interposer," in *3DIC*, Cork, 2014.
- [85] Masaaki Togashi and Chris Burket, "ESR Controlled MLCCs and Decoupling Capacitor," in *DesignCon 2007*, 2007, pp. 14 - 27.
- [86] Murata Manufacturing Co, *Application manual for power supply noise suppression and decoupling for digital ics.*, 2010.

Annexes

1 Modélisation analytique distribuée du flanc de TSC

La modélisation du flanc de TSC a été adaptée des travaux de modélisation publiés par *A. Bajolet et al.* [64]. La méthodologie utilisée dans le cas du TSC suit scrupuleusement celle décrite dans le manuscrit de thèse d' *A. Bajolet* [65] en prenant soin de l'adapter à la géométrie du TSC. On note que cette méthodologie de modélisation a également été reprise par *P.H. Morel* [41] dans le cadre de la modélisation de nanofils de silicium capacitifs.

Cette section se divise en deux parties. Dans un premier temps, une structure simplifiée sera considérée afin de démontrer la démarche de modélisation. La modélisation de la structure complète sera exposée dans un second temps.

1.1 Modélisation simplifiée du flanc de TSC

Nous nous intéresserons dans un premier temps à la modélisation d'une structure simplifiée du flanc de via, afin d'exposer la méthodologie de modélisation. Cette structure simplifiée se compose de l'électrode inférieure et de la moitié du diélectrique. L'électrode supérieure est dans ce cas considérée comme un conducteur parfait.

Le positionnement des contacts induit une variation du flux de courant dans l'électrode inférieure, selon l'axe Z. Pour tenir compte de cet effet de propagation, la structure est décomposée selon un circuit électrique équivalent constitué par un réseau distribué d'impédances, tel qu'il est visible sur la Figure V. 1. Le composant est divisé en N éléments de dimensions égales.

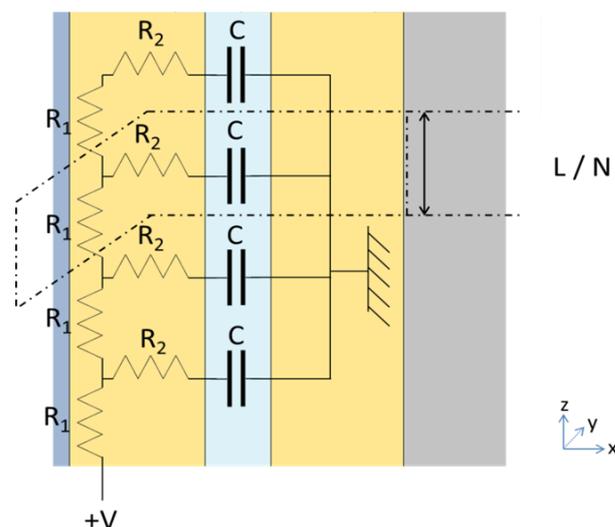


Figure V. 1. Schéma de la structure du flanc de TSC et du réseau d'impédances de la structure simplifiée.

Chacun des éléments composant le réseau d'impédance est constitué d'une résistance longitudinale R_1 , d'une résistance transverse R_2 et d'une capacité C . Ces éléments sont définis par les relations suivantes :

$$R_1 = \frac{\rho_{inf} \cdot L}{N \cdot (\pi r^2 - \pi(r - t_{inf})^2)} \quad V. 1$$

$$R_2 = \frac{\rho_{inf} \cdot N}{2\pi L} \cdot \ln\left(\frac{r}{r - t_{inf}}\right) \quad V. 2$$

$$C = \frac{2 \cdot \pi \cdot \varepsilon_0 \cdot \varepsilon_r \cdot L}{N \cdot \ln\left(\frac{r - t_{inf}}{r - t_{inf} - t_{hk}/2}\right)} \quad V. 3$$

Avec ρ_{inf} la résistivité du métal de l'électrode inférieure, ε_0^1 la permittivité du vide et ε_r la permittivité relative du diélectrique. Afin de ne pas surcharger les expressions, l'épaisseur de la passivation n'y apparait pas, le rayon de TSC considéré dans le calcul est donc le rayon réel auquel on soustrait l'épaisseur de la couche de passivation t_p .

L'impédance de la structure complète peut alors s'exprimer par la relation de récurrence suivante :

$$Z_{n+1} = R_1 + \frac{Z_t \cdot Z_n}{Z_t + Z_n} \quad V. 4$$

Avec Z_t , la somme des impédances transverses définie par :

$$Z_t = R_2 + \frac{1}{jC\omega} \quad V. 5$$

Le terme initial de la suite est défini par :

$$Z_0 = R_1 + R_2 + \frac{1}{jC\omega} \quad V. 6$$

L'indice de la suite est directement lié au nombre d'éléments de longueur L/N , il correspond donc à une position sur l'axe Z suivant :

$$z = n \cdot \frac{L}{N} \quad V. 7$$

Avec $0 \leq n \leq N - 1$

L'impédance de la structure complète (pour $z = L$) peut être exprimée par la relation suivante :

¹ $\varepsilon_0 = 8,854187817 \cdot 10^{-12} \text{ kg}^{-1} \cdot \text{m}^{-3} \cdot \text{A}^2 \cdot \text{s}^4$

$$Z_n = R_n - j \cdot \chi_n$$

V. 8

Ce nombre complexe comporte deux composantes distinctes. R_n , la partie réelle de l'impédance correspond à la résistance de la structure alors que la composante imaginaire χ_n , correspond à sa réactance, induite par la capacité dans le cas de notre modèle.

Ce modèle ne permet qu'un calcul par récurrence de R et C, c'est-à-dire que seul un calcul des termes successifs de la suite est possible. Afin de définir un modèle analytique, certaines approximations sont nécessaires. Les capacités MIM sont généralement utilisées à des fréquences inférieures à 10 GHz. Dans ce cas, la composante transverse de la résistance (R_T) devient négligeable devant l'élément capacitif C, soit :

$$R_T \ll \frac{1}{C \cdot \omega}$$

V. 9

Dans notre cas, $R_T = R_2$, ce qui est équivalent à :

$$\omega \ll \frac{\ln\left(\frac{r - t_{inf}}{r - t_{inf} - t_{hk}/2}\right)}{\rho_{inf} \cdot \epsilon_0 \cdot \epsilon_r \cdot \ln\left(\frac{r}{r - t_{inf}}\right)}$$

V. 10

Dans notre cas, l'équation V. 10 est vérifiée jusqu'à une fréquence supérieure à 7 THz (calculée pour un TSC 10 x 80 μm comportant une couche de 40 nm de Ta_2O_5 - $\epsilon_R = 25$, ainsi qu'une électrode inférieure de 100 nm de TiN et de résistivité égale à 194 $\mu\Omega \cdot \text{cm}^{-1}$).

Dans ces conditions, on peut définir les parties réelles R_n et imaginaires χ_n de l'impédance par les relations de récurrences suivantes :

$$R_{n+1} = R_1 + \frac{R_2 \cdot \chi_n^2 + \frac{R_n}{(C \cdot \omega)^2}}{\left(\chi_n + \frac{1}{C \cdot \omega}\right)^2}$$

V. 11

$$\chi_{n+1} = \frac{\left(\frac{\chi_n}{C \cdot \omega}\right)}{\chi_n + \left(\frac{1}{C \cdot \omega}\right)}$$

V. 12

La seconde récurrence ne dépendant pas de la première, on peut extraire son terme général :

$$\chi_n = \frac{1}{C \cdot \omega \cdot (n + 1)}$$

V. 13

En réinjectant χ_N , dans l'équation V. 11 on peut en extraire le terme général de R_N :

$$R_n = \frac{R_1 + R_2}{(n + 1)^2} + \frac{n \cdot R_2}{(n + 1)^2} + \frac{R_1 \cdot n \cdot (2 \cdot n + 1)}{6 \cdot (n + 1)} \quad \text{V. 14}$$

En réutilisant les équations V. 1, V. 2, V. 3, V. 7 et en faisant tendre N vers l'infini dans les expressions V. 13 et V. 14, on peut déduire les expressions analytiques de la suite Z_N , tel que :

$$R_{(z)} = \frac{\overbrace{\rho_{inf} \cdot \ln\left(\frac{r}{r - t_{inf}}\right)}^{\text{terme transversal}}}{2 \cdot \pi \cdot z} + \frac{\overbrace{\rho_{inf} \cdot z}^{\text{terme longitudinal}}}{6 \cdot t_{inf} \cdot \pi \cdot r - 3 \cdot t_{inf}^2 \cdot \pi} \quad \text{V. 15}$$

$$\chi_{(z)} = \frac{\ln\left(\frac{r - t_{inf}}{r - t_{inf} - t_{hk/2}}\right)}{2 \cdot \pi \cdot \varepsilon_0 \cdot \varepsilon_r \cdot z \cdot \omega} = \frac{1}{j \cdot C \cdot \omega} \quad \text{V. 16}$$

L'expression $R_{(z)}$ correspond à la résistance de la structure (et donc celle de l'électrode inférieure), où z indique la position selon l'axe Z. Deux termes sont visibles dans cette expression, le premier (proportionnel à $1/z$) représente la contribution au transport transversal (selon le plan xy) de la résistance série. Le second (proportionnel à z), représente la contribution au transport longitudinal (selon l'axe Z) de la résistance série. L'expression $\chi_{(z)}$ correspond à la réactance de la structure simplifiée (soit $1/j \cdot C \cdot \omega$).

1.2 Modélisation complète du flanc de TSC

Afin de modéliser l'architecture complète du TSC, il est nécessaire d'intégrer à la structure simplifiée la contribution de la partie supérieure composée de l'électrode supérieure ainsi du cuivre de remplissage. Nous nous placerons dans le cas où la résistivité du cuivre de remplissage est significativement plus faible que celle du métal composant l'électrode, la contribution au transport longitudinal de la partie supérieure est donc uniquement attribuée au cuivre. De plus, l'accès électrique en haut de via étant considéré équipotentiel, le transport transversal dans le cuivre de remplissage n'est donc pas pris en compte. Cette configuration mène au schéma électrique équivalent de la Figure V. 2.

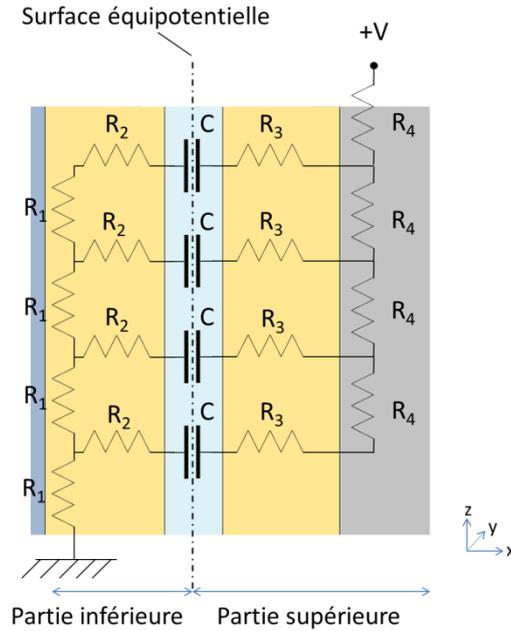


Figure V. 2. Schéma de la structure du flanc de TSC et du réseau d'impédances de la structure complète incluant l'électrode supérieure ainsi que le remplissage cuivre.

Dans la mesure où l'équation V. 10 est vérifiée sur toute la gamme de fréquence d'utilisation du TSC, le plan de coupe présent au milieu du diélectrique (voir Figure V. 2) peut être considéré comme une surface équipotentielle. De cette manière, la valeur d'ESR de la structure complète correspond à la somme des résistances des parties supérieures et inférieures du schéma équivalent.

Les composantes de la partie supérieure R_3 et R_4 s'expriment de la manière suivante :

$$R_3 = \frac{\rho_{sup} \cdot N}{2\pi L} \cdot \ln \left(\frac{r - t_{inf} - t_{hk}}{r - t_{inf} - t_{hk} - t_{sup}} \right) \quad V. 17$$

$$R_4 = \rho_{SF} \cdot \frac{L}{N \cdot \pi \cdot (r - t_{inf} - t_{hk} - t_{sup})^2} \quad V. 18$$

Avec ρ_{SF} la résistivité du cuivre de remplissage et ρ_{sup} celle de métal de l'électrode supérieure.

La capacité de la structure prend maintenant en compte l'intégralité de l'épaisseur du diélectrique, elle s'exprime donc de la manière suivante :

$$C = \frac{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_r \cdot L}{N \cdot \ln \left(\frac{r - t_{inf}}{r - t_{inf} - t_{hk}} \right)} \quad V. 19$$

En suivant le même raisonnement que dans le cas de la structure simplifiée, l'expression analytique de la résistance correspondant à la partie supérieure de la structure peut s'exprimer de la manière suivante :

$$R_{(z)} = \frac{\rho_{sup} \cdot \ln\left(\frac{r - t_{inf} - t_{hk}}{r - t_{inf} - t_{hk} - t_{sup}}\right)}{2 \cdot \pi \cdot z} + \frac{\rho_{SF} \cdot z}{3 \cdot \pi \cdot (r - t_{inf} - t_{hk} - t_{sup})^2} \quad V. 20$$

De la même manière, l'expression analytique de la réactance de la structure complète correspond à :

$$\chi_{(z)} = \frac{\ln\left(\frac{r - t_{inf}}{r - t_{inf} - t_{hk}}\right)}{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_r \cdot z \cdot \omega} = \frac{1}{j \cdot C \cdot \omega} \quad V. 21$$

Le modèle ainsi développé permet l'extraction de la valeur d'ESR du flanc du TSC en prenant en considération la distribution du flux de courant le long des électrodes. Elle correspond à la somme des équations V. 15 et V. 20. La valeur capacitive du flanc de via peut quant à elle être extraite de l'équation V. 21.

1.3 Modification du modèle analytique RC pour inclure le *partial-filling*

La prise en compte de la couche de *partial-filling* nécessite une modification du modèle analytique de TSC présenté précédemment. Nous nous placerons dans le cas où la résistivité du cuivre composant le *partial-filling* est significativement plus faible que celle du métal composant l'électrode inférieure, la contribution du transport longitudinal de la partie inférieure de la structure est donc uniquement attribuée au cuivre. Cette configuration mène au schéma électrique équivalent visible sur la Figure V. 3.

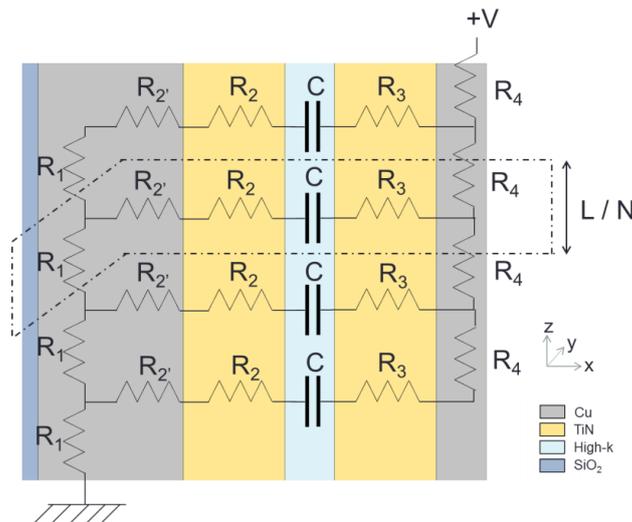


Figure V. 3. Schéma de la structure du flanc de TSC et du réseau d'impédances de la structure complète incluant le *partial-filling*.

Les différentes composantes de la structure s'expriment de la manière suivante :

$$R_1 = \frac{\rho_{PF} \cdot L}{N \cdot (\pi r^2 - \pi (r - t_{PFS})^2)} \quad V. 22$$

$$R_{2'} = \frac{\rho_{PF} \cdot N}{2\pi L} \cdot \ln\left(\frac{r}{r - t_{PFS}}\right) \quad V. 23$$

$$R_2 = \frac{\rho_{inf} \cdot N}{2\pi L} \cdot \ln\left(\frac{r - t_{PFS}}{r - t_{PFS} - t_{inf}}\right) \quad V. 24$$

$$R_3 = \frac{\rho_{sup} \cdot N}{2\pi L} \cdot \ln\left(\frac{r - t_{PFS} - t_{inf} - t_{hk}}{r - t_{PFS} - t_{inf} - t_{hk} - t_{sup}}\right) \quad V. 25$$

$$R_4 = \rho_{SF} \cdot \frac{L}{N \cdot \pi \cdot (r - t_{PFS} - t_{inf} - t_{hk} - t_{sup})^2} \quad V. 26$$

$$C = \frac{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_r \cdot L}{N \cdot \ln\left(\frac{r - t_{PFS} - t_{inf}}{r - t_{PFS} - t_{inf} - t_{hk}}\right)} \quad V. 27$$

Avec ρ_{PF} la résistivité du cuivre composant le *partial-filling* et t_{PFS} l'épaisseur de la couche de *partial-filling* en flanc de via.

En suivant la méthodologie de modélisation présentée précédemment, l'expression analytique de la résistance série correspondant à la partie inférieure de la structure peut s'exprimer de la manière suivante :

$$R_{(z)inf} = \frac{\rho_{inf} \cdot \ln\left(\frac{r - t_{PFS}}{r - t_{PFS} - t_{inf}}\right)}{2 \cdot \pi \cdot Z} + \frac{\rho_{PF} \cdot \ln\left(\frac{r}{r - t_{PFS}}\right)}{2 \cdot \pi \cdot Z} + \frac{\rho_{PF} \cdot Z}{6 \cdot t_{PFS} \cdot \pi \cdot r - 3 \cdot t_{PFS}^2 \cdot \pi} \quad V. 28$$

L'expression analytique de la résistance série correspondant à la partie supérieure de la structure peut s'exprimer de la manière suivante :

$$R_{(z)sup} = \frac{\rho_{sup} \cdot \ln\left(\frac{r - t_{PFS} - t_{inf} - t_{hk}}{r - t_{PFS} - t_{inf} - t_{hk} - t_{sup}}\right)}{2 \cdot \pi \cdot Z} + \frac{\rho_{SF} \cdot Z}{3 \cdot \pi \cdot (r - t_{PFS} - t_{inf} - t_{hk} - t_{sup})^2} \quad V. 29$$

De la même manière, l'expression analytique de la réactance de la structure complète correspond à :

$$\chi(z) = \frac{\ln\left(\frac{r - t_{PFS} - t_{inf}}{r - t_{PFS} - t_{inf} - t_{hk}}\right)}{2 \cdot \pi \cdot \varepsilon_0 \cdot \varepsilon_r \cdot Z \cdot \omega} = \frac{1}{j \cdot C \cdot \omega} \quad V. 30$$

Le modèle ainsi développé prend maintenant en compte la couche de *partial-filling* présente sur le flanc de la structure. Mais il est nécessaire de modifier le modèle du fond de TSC afin d'inclure l'effet de l'épaisseur de *partial-filling*. Les composantes R_5 , R_6 et C_f (visibles sur la Figure II. 8) s'expriment maintenant de la manière suivante :

$$R_5 = \rho_{inf} \cdot \frac{t_{inf}}{\pi \cdot (r - t_{PFS} - t_{inf} - t_{hk})^2} \quad V. 31$$

$$R_6 = \rho_{sup} \cdot \frac{t_{sup}}{\pi \cdot (r - t_{PFS} - t_{inf} - t_{hk})^2} \quad V. 32$$

$$C_f = \varepsilon_0 \cdot \varepsilon_r \cdot \frac{\pi \cdot (r - t_{PFS} - t_{inf} - t_{hk})^2}{t_{hk}} \quad V. 33$$

En sus de la modification de l'expression des composantes R_5 , R_6 et C_f la prise en compte de *partial-filling* nécessite l'ajout d'une nouvelle composante R_{PF} correspondant au cuivre déposé en fond de via s'exprimant de la sorte :

$$R_{PF} = \rho_{PF} \cdot \frac{t_{PFb}}{\pi \cdot (r)^2} \quad V. 34$$

Avec t_{PFb} l'épaisseur de cuivre déposée en fond de via.

La structure complète correspond à l'association en série des parties supérieures et inférieures. La partie supérieure est composée des expressions issues du flanc supérieur et du fond de via supérieur associées en parallèle. La partie inférieure est composée des expressions issues du flanc inférieur et du fond de via inférieur associées en parallèle, l'expression résultante est associée en série avec R_{PF} .

Dans cette configuration, le calcul des composantes du flanc de via se doivent de prendre en compte le décalage engendré par la présence du *partial-filling* en fond de via, c'est-à-dire pour :

$$z = L - t_{PFb} \quad V. 35$$

2 Concept du TSC comportant plusieurs couches diélectriques

Les travaux de thèses ont été l'occasion d'entamer une réflexion sur les possibles améliorations de l'architecture du TSC, au-delà de la structure présentée au long de ce manuscrit. Cette section a pour objectif de présenter le concept d'une matrice de TSC comportant deux couches diélectriques déposées dans les vias. Ce concept a été inclus dans le dépôt d'un brevet au cours de la thèse.

La Figure V. 4 représente une coupe schématique d'une matrice de TSC comportant deux couches diélectriques. Une différence majeure avec l'architecture précédemment exposée consiste en la présence de deux caissons, réalisés avant la gravure des vias par DRIE. Ces caissons apportent deux fonctions, la première est de permettre le dépôt de diélectrique à la surface de la plaque, augmentant ainsi la densité de capacité offerte par le dispositif. La seconde est de permettre la reprise de contact de l'électrode intermédiaire dans le cas où deux couches diélectriques sont déposées, permettant leur polarisation. La principale difficulté de cette intégration consiste en l'ouverture de l'accès à l'électrode intermédiaire lors de l'étape de CMP en face avant. En effet, les profondeurs de gravures des caissons et les épaisseurs de dépôts de cuivres en surface de la plaque doivent être maîtrisées afin de déboucher sur l'électrode intermédiaire.

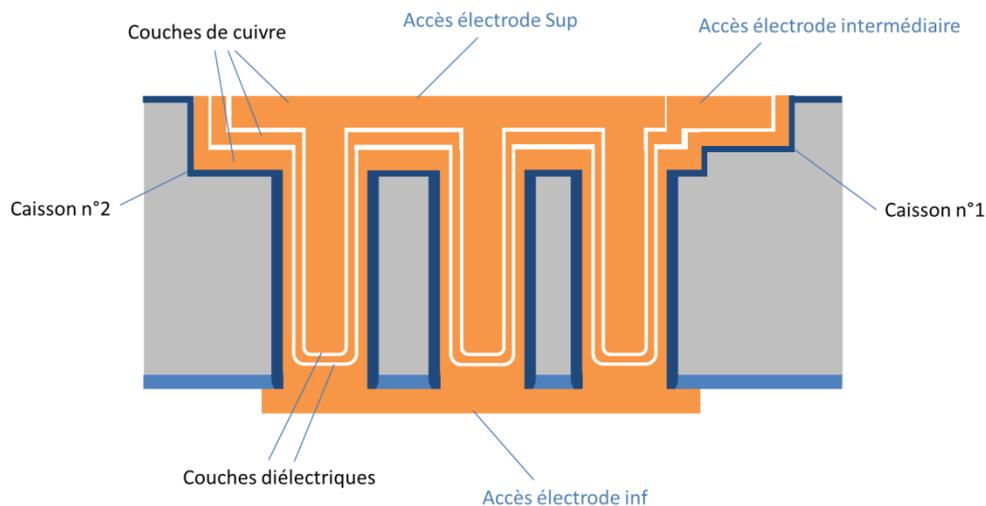


Figure V. 4. Coupe schématique représentant une matrice de TSC comportant deux couches diélectriques.

La Figure V. 5 représente un motif issu du jeu de masques du démonstrateur 300 mm développé pendant la thèse, tirant parti de ce concept. Le carré central supporte la matrice de TSC, et les carrés de plus petite taille présents en périphérie supportent les TSV permettant de faire transiter le signal à travers l'épaisseur du substrat de silicium. Les pads d'accès (encadrés en rouge) sont présent en face arrière de la plaque. Le pad central permet l'application d'un potentiel transmis d'une part à l'électrode inférieure des TSC part le niveau de redistribution présent en face arrière, et d'autre part à l'électrode supérieure par l'intermédiaire des TSV entourés en bleu sur la figure. Les pads gauche et droite permettent de transmettre un potentiel à l'électrode intermédiaire à l'aide des TSV entourés en vert sur la figure. Une telle structure permettrait de doubler la densité de capacité offerte par la matrice de TSC par rapport à une structure ne comportant qu'une seule couche de diélectrique

polarisable, en échange de la complexification du procédé de réalisation ainsi que de l'augmentation du coût de fabrication.

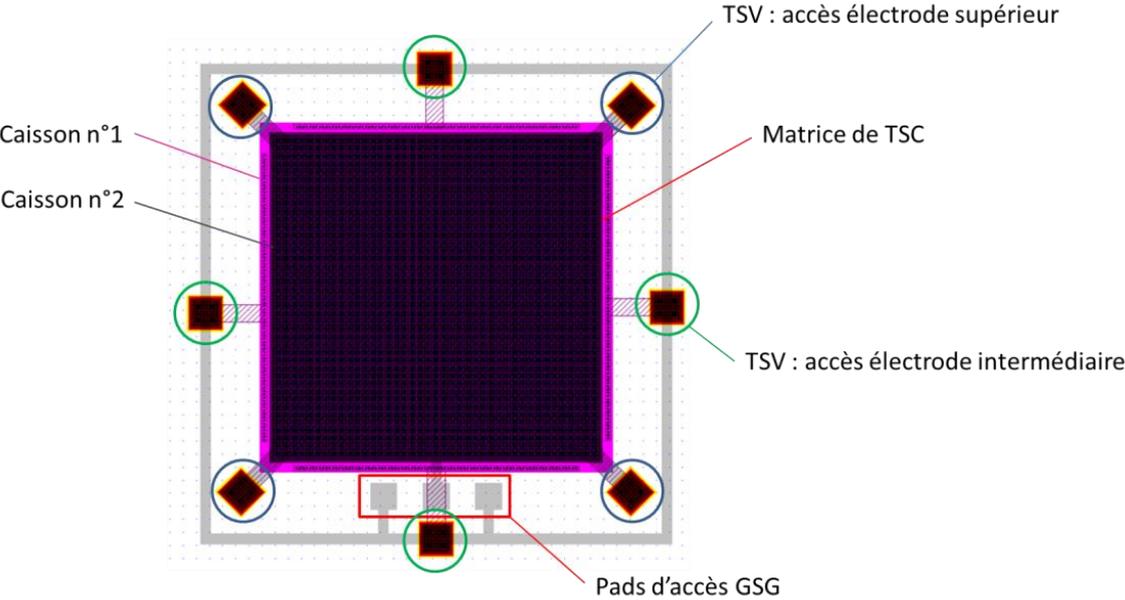


Figure V. 5. Motif d'intégration de TSC « double couche » issu du jeu de masques du démonstrateur 300 mm.

Résumé

Intégration de capacités verticales débouchantes au sein d'un interposeur silicium

La densité des circuits intégrés n'a pas cessé d'augmenter depuis la découverte du transistor en 1947, à travers la réduction de la taille de leurs composants. Cependant, cette miniaturisation se heurte aujourd'hui à certaines barrières et la réduction de la longueur de grille des transistors ne permet plus à elle seule l'augmentation des performances globales des circuits intégrés. L'industrie de la microélectronique s'est donc tournée vers de nouvelles solutions d'intégrations hétérogènes visant à développer la diversification des fonctionnalités proposées par les circuits. Parmi ces solutions, l'intégration 3D consistant à empiler plusieurs puces de silicium les unes sur les autres à l'aide de « *Through Silicon Vias* » (TSV) apparaît très prometteuse. Toutefois, de telles structures mettront du temps à atteindre leur maturité puisqu'elles requièrent l'évolution de tout l'écosystème industriel. Une solution intermédiaire en termes de maturité technologique réside dans l'utilisation de l'interposeur : un substrat aminci placé entre les puces haute densité et le « *Ball Grid Array* » faisant office de plateforme d'intégration permettant le placement côte à côte de puces hétérogènes ainsi que la réalisation d'une forte densité d'interconnexions. Cependant, l'ajout de l'interposeur dans le système a pour effet l'augmentation de l'impédance du réseau de distribution de puissance. L'intégration d'une capacité de découplage au sein de l'interposeur répond à cette problématique en assurant l'intégrité de l'alimentation dans des structures tridimensionnelles.

L'objectif de cette thèse de doctorat consiste en l'étude de l'intégration d'un nouveau type de capacité intégrée au sein de l'interposeur silicium. Cette capacité basée sur un empilement *Métal-Isolant-Métal* (MIM) tridimensionnelle a pour particularité de traverser l'intégralité de l'épaisseur de l'interposeur et d'être co-intégrée avec les TSV.

La première étape de l'étude de ce nouveau composant intégré a été la définition d'une architecture performante, réalisée à travers une étude de modélisation permettant l'évaluation de l'influence des nombreux paramètres géométriques et matériaux entrant en jeu. Cette étude a permis de mettre en avant les faibles valeurs d'ESR et d'ESL atteignable par la structure (de l'ordre du mΩ et fH respectivement). Ensuite, la réalisation de la capacité a nécessité le développement de procédés de fabrication innovants permettant le dépôt d'un empilement MIM dans des matrices de vias profonds ainsi que sa co-intégration avec les TSV. Enfin, les performances du composant ont été évaluées à travers la réalisation et la caractérisation d'un démonstrateur de test ainsi qu'une campagne de simulations électromagnétiques par éléments finis. Une densité de capacité de 20 nF.mm⁻² a été atteinte sur ce démonstrateur, offrant un gain d'un facteur supérieur à 6 par rapport à une structure planaire.

Mots clés : *Intégration 3D, Découplage, MIM, Interposeur Silicium.*

Abstract

Through Silicon Capacitor integration on silicon interposer

Integrated circuits density never stopped rising since the discovery of the transistor in 1947, through components size shrinking. However, this miniaturization now encounters barriers and reduction of transistor's gate size alone no longer allows integrated circuits overall performances increase. Therefore, microelectronic industry turned to new heterogeneous integration solutions aiming to develop the diversification of functionalities offered by the circuits. Among these solutions, 3D integration involving stacking several silicon dies on top of each other with the help of *Through Silicon Vias* (TSV) appears to be promising. Nevertheless, such structures will take times to reach maturity since they require the evolution of the whole industrial ecosystem. A transitional solution in term of technological maturity lies in the use of the interposer: a thinned substrate placed between the high density silicon dies and the *Ball Grid Array* acting as an integration platform allowing side by side placement of heterogeneous dies as well as high density interconnections. However, the addition of the interposer in the system leads to the increase of the *Power Delivery Network* impedance. The integration of a decoupling capacitor on the interposer resolves this issue by ensuring power integrity within 3D structures.

The objective of this PhD thesis consists in the study of different aspects of a new kind of integrated capacitor within the silicon interposer. This 3D *Metal-Insulator-Metal* (MIM) capacitor has the particularity to cross over the whole silicon interposer's thickness and to be co-integrated with TSV.

The first step of this new integrated component study has been the definition of an efficient architecture, achieved through a modeling study allowing the influence evaluation of the numerous geometrical and material parameters coming into play. This modeling study pointed out the low ESR and ESL values achievable by the structure (in the $m\Omega$ and fH range respectively). Then, the fabrication of the capacitor required the development of innovative process steps allowing the deposition of a MIM stack in deep vias matrices as well as co-integration with TSV. Finally, component performances have been evaluated through the fabrication of a test demonstrator as well as a finites elements electromagnetic simulation campaign. A capacitance density of $20 \text{ nF}\cdot\text{mm}^{-2}$ has been reached on this demonstrator, showing an increase up to a factor 6 compared to a planar structure.

Key words: 3D integration, Decoupling, PDN, MIM, Silicon Interposer.

Intégration de capacités verticales débouchantes au sein d'un interposeur silicium

La densité des circuits intégrés n'a pas cessé d'augmenter depuis la découverte du transistor en 1947, à travers la réduction de la taille de leurs composants. Cependant, cette miniaturisation se heurte aujourd'hui à certaines barrières et la réduction de la longueur de grille des transistors ne permet plus à elle seule l'augmentation des performances globales des circuits intégrés. L'industrie de la microélectronique s'est donc tournée vers de nouvelles solutions d'intégrations hétérogènes visant à développer la diversification des fonctionnalités proposées par les circuits. Parmi ces solutions, l'intégration 3D consistant à empiler plusieurs puces de silicium les unes sur les autres à l'aide de « *Through Silicon Vias* » (TSV) apparaît très prometteuse. Toutefois, de telles structures mettront du temps à atteindre leur maturité puisqu'elles requièrent l'évolution de tout l'écosystème industriel. Une solution intermédiaire en termes de maturité technologique réside dans l'utilisation de l'interposeur : un substrat aminci placé entre les puces haute densité et le « *Ball Grid Array* » faisant office de plateforme d'intégration permettant le placement côte à côte de puces hétérogènes ainsi que la réalisation d'une forte densité d'interconnexions. Cependant, l'ajout de l'interposeur dans le système a pour effet l'augmentation de l'impédance du réseau de distribution de puissance. L'intégration d'une capacité de découplage au sein de l'interposeur répond à cette problématique en assurant l'intégrité de l'alimentation dans des structures tridimensionnelles. L'objectif de cette thèse de doctorat consiste en l'étude de l'intégration d'un nouveau type de capacité intégrée au sein de l'interposeur silicium. Cette capacité basée sur un empilement *Métal-Isolant-Métal* (MIM) tridimensionnelle a pour particularité de traverser l'intégralité de l'épaisseur de l'interposeur et d'être co-intégrée avec les TSV. La première étape de l'étude de ce nouveau composant intégré a été la définition d'une architecture performante, réalisée à travers une étude de modélisation permettant l'évaluation de l'influence des nombreux paramètres géométriques et matériaux entrant en jeu. Cette étude a permis de mettre en avant les faibles valeurs d'ESR et d'ESL atteignable par la structure (de l'ordre du mΩ et fH respectivement). Ensuite, la réalisation de la capacité a nécessité le développement de procédés de fabrication innovants permettant le dépôt d'un empilement MIM dans des matrices de vias profonds ainsi que sa co-intégration avec les TSV. Enfin, les performances du composant ont été évaluées à travers la réalisation et la caractérisation d'un démonstrateur de test ainsi qu'une campagne de simulations électromagnétiques par éléments finis. Une densité de capacité de 20 nF.mm⁻² a été atteinte sur ce démonstrateur, offrant un gain d'un facteur supérieur à 6 par rapport à une structure planaire.

Through Silicon Capacitor integration on silicon interposer

Integrated circuits density never stopped rising since the discovery of the transistor in 1947, through components size shrinking. However, this miniaturization now encounters barriers and reduction of transistor's gate size alone no longer allows integrated circuits overall performances increase. Therefore, microelectronic industry turned to new heterogeneous integration solutions aiming to develop the diversification of functionalities offered by the circuits. Among these solutions, 3D integration involving stacking several silicon dies on top of each other with the help of *Through Silicon Vias* (TSV) appears to be promising. Nevertheless, such structures will take times to reach maturity since they require the evolution of the whole industrial ecosystem. A transitional solution in term of technological maturity lies in the use of the interposer: a thinned substrate placed between the high density silicon dies and the *Ball Grid Array* acting as an integration platform allowing side by side placement of heterogeneous dies as well as high density interconnections. However, the addition of the interposer in the system leads to the increase of the *Power Delivery Network* impedance. The integration of a decoupling capacitor on the interposer resolves this issue by ensuring power integrity within 3D structures. The objective of this PhD thesis consists in the study of different aspects of a new kind of integrated capacitor within the silicon interposer. This 3D *Metal-Insulator-Metal* (MIM) capacitor has the particularity to cross over the whole silicon interposer's thickness and to be co-integrated with TSV. The first step of this new integrated component study has been the definition of an efficient architecture, achieved through a modeling study allowing the influence evaluation of the numerous geometrical and material parameters coming into play. This modeling study pointed out the low ESR and ESL values achievable by the structure (in the mΩ and fH range respectively). Then, the fabrication of the capacitor required the development of innovative process steps allowing the deposition of a MIM stack in deep vias matrices as well as co-integration with TSV. Finally, component performances have been evaluated through the fabrication of a test demonstrator as well as a finites elements electromagnetic simulation campaign. A capacitance density of 20 nF.mm⁻² has been reached on this demonstrator, showing an increase up to a factor 6 compared to a planar structure.

