



HAL
open science

Méthodologie de conception de circuits analogiques pour des applications radiofréquence à faible consommation de puissance

François Fadhuile-Crepy

► **To cite this version:**

François Fadhuile-Crepy. Méthodologie de conception de circuits analogiques pour des applications radiofréquence à faible consommation de puissance. Electronique. Université de Bordeaux, 2015. Français. NNT : 2015BORD0028 . tel-01219254

HAL Id: tel-01219254

<https://theses.hal.science/tel-01219254>

Submitted on 22 Oct 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE PRÉSENTÉE

POUR OBTENIR LE GRADE DE

DOCTEUR DE

L'UNIVERSITÉ DE BORDEAUX

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGENIEUR

SPÉCIALITÉ : ÉLECTRONIQUE

Par François FADHUILE-CREPY

**MÉTHODOLOGIE DE CONCEPTION DE CIRCUITS ANALOGIQUES
POUR DES APPLICATIONS RADIOFRÉQUENCE À FAIBLE
CONSOMMATION DE PUISSANCE**

Sous la direction de : Thierry TARIS
Co-directeur : Yann DEVAL

Soutenue le : 6 janvier 2015

Devant la commission d'examen formée de :

M.	KERHERVE Eric	Professeur	IMS Bordeaux	Président
M.	BARTHELEMY Hervé	Professeur	IM2NP Toulon-Marseille	Rapporteur
M.	MORCHE Dominique	HDR	CEA-LETI - Grenoble	Rapporteur
M.	TARIS Thierry	Professeur	IMS Bordeaux	Directeur de thèse
M.	DEVAL Yann	Professeur	IMS Bordeaux	Co-directeur de thèse
M.	ENZ C. Christian	Professeur	EPFL Neuchâtel	Encadrant
M.	BELOT Didier	HDR	STMicronics, Crolles	Encadrant
M.	BEGUERET Jean-Baptiste	Professeur	IMS Bordeaux	Examineur

Titre : MÉTHODOLOGIE DE CONCEPTION DE CIRCUITS ANALOGIQUES POUR DES APPLICATIONS RADIOFRÉQUENCE À FAIBLE CONSOMMATION DE PUISSANCE

Résumé : Les travaux de thèse présentés se situent dans le contexte de la conception de circuits intégrés en technologie CMOS avancée pour des applications radiofréquence à très faible consommation de puissance. Les circuits sont conçus à travers deux concepts. Le premier est l'utilisation du coefficient d'inversion qui permet de normaliser le transistor en fonction de sa taille et de sa technologie, ceci permet une analyse rapide pour différentes performances visées ou différentes technologies. La deuxième approche est d'utiliser un facteur de mérite pour trouver la polarisation la plus adéquate d'un circuit en fonction de ses performances. Ces deux principes ont été utilisés pour définir des méthodes de conception efficaces pour deux blocs radiofréquence : l'amplificateur faible bruit et l'oscillateur.

Mots clés : Méthode de conception, Analogique, Radiofréquence, Faible consommation, Amplificateur faible bruit, Oscillateur LC

Title : DESIGN METHODOLOGY FOR LOW POWER RF ANALOG CIRCUITS

Abstract : Thesis work are presented in the context of the integrated circuits design in advanced CMOS technology for ultra low power RF applications. The circuits are designed around two concepts. The first is the use of the inversion coefficient to normalize the transistor as a function of its size and its technology, this allows a quick analysis for different performances or different technologies. The second approach is to use a figure of merit to find the most appropriate polarization of a circuit based on its performance. These two principles were used to define effective design methods for two RF blocks: low noise amplifier and oscillator.

Key words : Design methodology, Analog, RF , Low power, Low noise amplifier (LNA), LC oscillator (VCO).

Unité de recherche

[Laboratoire d'Intégration du Matériau au Système, UMR 5218, 351 Cours de la Libération 33405 Talence]

"Il faut tenir à une résolution parce qu'elle est bonne, et non parce qu'on l'a prise"

François de La Rochefoucauld, 1613-1680

Remerciements

La réalisation d'une thèse se fait aussi par la rencontre de nombreuses personnes qui ont participé à la bonne humeur et le succès de travaux, je tiens ainsi remercier toutes ces personnes.

Ces travaux ont été effectués au cours d'une thèse CIFRE entre laboratoire IMS de l'université de Bordeaux et l'entreprise STMicroelectronics à Crolles, en collaboration avec l'EPFL (Suisse).

Dans ce contexte, je souhaite à remercier le Professeur Pascal FOUILLAT et son successeur le Professeur Claude PELLET, directeur du laboratoire IMS, pour m'avoir accueilli au sein de l'établissement et permis la réalisation de ces travaux.

Je tiens à dire un GRAND MERCI à mon directeur de thèse le Professeur Thierry TARIS qui m'a toujours accordé la plus grande confiance dans tout ce que j'ai pu entreprendre, pour les nombreuses discussions scientifiques que nous avons réalisé, et pour le sérieux et la grande rigueur qu'il a porté dans mes travaux jusqu'au bout. Je remercie également sa famille pour sa gentillesse. Je souhaite également dire un GRAND MERCI à mon co-directeur le Professeur Yann DEVAL, pour sa grande expertise qu'il a su me faire partager sur de nombreux sujets avant et pendant ma thèse et pour sa bonne humeur pendant et en dehors du travail. Je remercie également sa famille pour sa gentillesse.

Je remercie également mon responsable de STMicroelectronics Monsieur Didier BELOT pour les moyens qu'il a mis à disposition pour le bon déroulement de ces travaux et la confiance qu'il nous a accordé pour la réalisation de nos recherches.

Pour finir avec mes responsables, je tiens à remercier énormément le Professeur Christian ENZ de l'EPFL pour l'accueil qu'il a su me fournir dans ses locaux, pour la grande expertise qu'il a su m'enseigner sur les modèles et les circuits et sa sympathie.

J'adresse mes sincères remerciements aux rapporteurs de ma thèse pour leurs remarques qui ont amélioré la qualité du manuscrit, Monsieur Dominique MORCHE (HDR) du CEA-LEITI à Grenoble et le Professeur Hervé BARTHELEMY de l'université IM2NP Toulon et Marseille.

Je remercie également le Professeur Jean Baptiste BEGUERET, chef du groupe conception de l'université de Bordeaux, pour son soutien, son savoir et sa très bonne humeur que j'avais grand plaisir de côtoyer tous les jours.

Je remercie aussi le Docteur François RIVET pour tout ce qui a su m'enseigner durant mes stages, sa confiance qui m'a encouragé et donné plaisir à travailler dans la recherche, sa sympathie et sa bonne humeur m'a fait aussi passer de bons moments inoubliables.

Je souhaite également remercier les différentes membres des équipes que j'ai pu côtoyer durant ma thèse: tout le groupe conception auquel j'ai eu beaucoup d'affection pendant ces cinq années de séjour. Tout d'abord le Professeur Eric KERHERVE chef de l'équipe CSH où j'ai fini ma thèse et membre de mon jury de thèse. La docteure Nathalie DELTIMPLE et sa petite famille. Magalie DE MATOS pour sa bonne humeur et tout l'aide qu'elle m'a donné. Olivier MAZOUFFRE pour tout son aide, son expertise et sa bonne humeur :). Christine BOGDAN pour sa gentillesse. Je remercie également Isabelle FAVRE pour sa bonne humeur et les nombreuses heures passés en salle blanche pour m'aider au micro-cablage.

Puisque l'histoire fait partie de nous, je remercie aussi les anciens de l'IMS que j'ai côtoyé : Nicolas REGIMBAL (merci pour ta confiance quand j'ai travaillé pour toi et ton support que tu m'as fourni), Yoann ABIVEN (pour ta précieuse aide et ta sympathie), André MARIANO ("je ne veux pas des problèmes mais des solutions" merci pour cette phrase que je n'oublierai jamais), Hassene KRAIMIA

(merci pour ton soutien aux moments où j'en avais besoin), Quentin BERAUD, Yohann LUQUE ("tu parles trop!"), Andrée FOUQUE, Cedrik MAJEK, Romaric TOUPE, Sofiane ALOUI, Nejdat DEMIREL, Raffaele SEVERINO, Paolo LUCCHI ("pizza kebab canard !"), Yohan PICCIN, Dean KAROLAK ("moi tout casser !"), Sophie DREAN, Bernardo LEITE, Youssef BOUTAID, Victor DUPUY (pour tout ton aide et ta sympathie), Olivier MOLL, Jérémy MICHAUD, Jean-Etienne LORIVAL, Oskar HOLSTENSSON, Mario WEISZ, Heider MARCONI, Marcos LAJOVIC CARNEIRO,...

Puisque hier c'est le passé et aujourd'hui c'est un présent, je remercie aussi les différentes doctorants résistants : Dwight CABRERA SALAS, Mathieu VALLET, Nicolas MARTIN, Yoan VEYRAC, David POLGE, Manuel POTEREAU, Mouna BEN MABROUK, Aurélien LARIE (ancien doctorant), Boris MORET, Jérémie PRADES, Raphael GUILLAUME, Raphael RODER, Ayat CHHAIBI, Mickael POCHERON, Antoine RENAUD, Maxime BARRIERE, Farida, Tayeb, Marcelo, Daniel, Guillaume BERHAULT, Nicola VERRASCINA, Rosario D'ESPISITO (et Sara), Fabien MESQUITA (et Emmanuelle), Camilo COELHO (et Vanessa), Florent TORRES, Romain BERGES,... Une spéciale dédicace à Gabrielle GUITTON qui a su me supporter comme son responsable de stage ;) Bon courage à vous tous pour cette fin de thèse. Mais aussi tous les autres membres du laboratoire IMS avec lesquels j'ai passé de bon moment, Simone DANG VAN que je remercie énormément pour sa gentillesse et son aide, le très gentil Didier GEOFFROY, Arnaud CURUCHET, Dominique DALLET, l'équipe modèle : Thomas ZIMMER, Cristell MANEUX, Sébastien FREGONES, l'administration : Nathalie, Sophie, Valérie, Mireille, le service informatique : Régis, Patrick, Jean-Emmanuel et Alexa, et l'équipe EDMINA : Laurent, Yannick, Yves, Isabelle, Bruno, Zahia, Richard et Simon. Pour finir avec l'IMS, je remercie les membres de la branche IEEE Student de Bordeaux pour le travail qu'on a effectué ensemble et l'équipe organisatrice des JNRDM 2015 de Bordeaux pour le super truc qui se prépare.

Je remercie également les différents membre de l'EPFL qui m'ont accueilli dans ce beau pays qu'est la Suisse : Anurag MANGLA (sa très grande expertise qu'il a bien voulu partager avec moi et sa bonne humeur), Maria-Anna CHALKIADAKI (pour leur gentillesse et son savoir, et merci à son mari Antonios), Lucian BARBUT pour sa gentillesse, Farzan JAZAYERI (pour les bons moments de rigolade et le funny volley), Wladek GRABINSKI et Jean-Michel SALLESE (pour les belles conversations à table et leurs gentillesse), et tous les autres que j'ai pu croiser.

Je remercie aussi très fort mes amis qui m'ont suivi et supportés durant ces années : Maura et Marco, Marie et Julien et Lilie, Marion Mathieu et Ethan, Adrien, Sébastien, Vincent, Stéphane, Philippe, Charles Edouard, Bertrand, Anne Chloé et Ceff. Nos amis de famille : Leroy, Criquebec, Aziza, Lajus, Perronton, Pagezy, Lecam, Pointeau,...

Ma famille sans qui je ne serais pas là aujourd'hui : ma mère Corinne, Adélaïde et Xavier, Damien, Charlotte, Mathieu, Nicolas, Myriam, Gérard et Jacqueline, Benjamin, Virginie, Matéo, Léo, Maya, Antoine, Anaïs,... Ma famille Italienne : Rina, Antonio, Alfonso et Manuela et Chiara, Carmen et Ian, Daniela (Gnagnagna),...

Et à mon épouse Pamela, partenaire scientifique et dans la vie :)

Spécial dédicace aux Tortues !

Table des matières

Introduction générale.....	13
Chapitre I. Introduction sur les télécommunications sans fil	16
1. Histoire et principe de la télécommunication sans fil.....	17
a. Origines de la télécommunication sans fil.....	17
b. Les ondes électromagnétiques	17
c. Principe de la modulation de signal.....	19
2. Système de télécommunication sans fil.....	23
a. Architectures radiofréquences	23
b. Blocs radiofréquences	29
3. Les Standards Radiofréquences.....	35
4. Evolution de la technologie intégrée : MOS	39
5. Conclusion.....	43
Bibliographie.....	45
Chapitre II. Le transistor MOSFET	48
1. Fonctionnement du transistor MOSFET en statique	49
2. Modèle petit signal du transistor MOS	55
a. Partie active du transistor	55
b. Partie passive	60
c. Modèle petit signal du transistor MOS	63
3. Les sources de bruit	63
4. Extractions de paramètres.....	66
a. Extraction des paramètres relatifs à la partie active	66
b. Extraction des paramètres passifs.....	68
5. Conclusion.....	69
Bibliographie.....	71
Chapitre III. Méthodologie de conception de LNA à base de FOM	74
1. Conception du cœur actif du circuit	75
a. Optimisation à partir du FOM	75

b.	Déroulement de la conception	78
c.	Pertinence de la méthode	79
d.	Evolution du FOM en fonction de la longueur de grille.....	81
e.	Comparaison des technologies	82
f.	Comparaison de topologies	85
g.	Conclusion.....	87
2.	Réalisation d'une source commune complémentaire en CMOS 28nm	88
a.	Analyse du circuit.....	88
b.	Méthode de conception complète	93
c.	Simulations des circuits complets.....	96
d.	Layout de la puce.....	102
e.	Conclusion.....	104
3.	Mesures	105
a.	Les circuits en CMOS 28nm	105
b.	Les circuits en CMOS 130nm	113
4.	Conclusion.....	117
	Bibliographie.....	119
	Chapitre IV. Méthodologie de conception d'Oscillateur.....	122
1.	Méthode de conception d'oscillateurs LC.....	123
a.	Analyse linéaire	124
b.	Analyse non-linéaire.....	126
c.	Analyse du bruit de phase.....	130
d.	Méthode de conception d'oscillateur à base de FOM	133
2.	Méthode de conception d'oscillateur à base de FOM du LNA	135
3.	Conclusion.....	140
	Bibliographie.....	141
	Conclusion générale	144
	Liste des publications	145
	Perspectives	146

Bibliographie.....	147
Annexe A: Caractéristiques des blocs RF	151
1. Gain et adaptation d'impédance	151
2. Facteur de bruit.....	152
3. Linéarité.....	154
a. Compression du gain	154
b. Distorsion harmonique	155
c. Distorsion d'intermodulation.....	156
Bibliographie.....	159
Annexe B : Partie passive du transistor MOS	160
1. Résistance de grille : R_G	161
2. Capacités extrinsèques.....	162
3. Capacités intrinsèques	164
4. Bibliographie	166
Annexe C : Simulation de la transconductance	167
Annexe D : Extraction des paramètres passifs	168
Bibliographie.....	170
Annexe E : Méthode d'optimisation du courant.....	171
Bibliographie.....	173
Annexe F : Calcul analytique de la source commune complémentaire.....	174
1. Calcul du gain.....	175
2. Calcul du bruit	176
3. Calcul de l'impédance d'entrée	180
4. Calcul du buffer.....	182
Bibliographie.....	182

Introduction générale

L'explosion du marché des dispositifs communicants sans fils (téléphone, tablette,...) incite les industrielles à fournir des produits toujours moins chers pour être compétitifs. Aujourd'hui, l'utilisation de technologies avancées, en constante amélioration, permet de réduire le coût de production en intégrant des systèmes électroniques entiers sur une unique puce. Pour la conception de circuit radiofréquence, des problématiques restent encore à résoudre pour réduire le coût de production, comme par exemple la rapide portabilité vers différentes technologies ou vers de nouveaux standards. L'industrie sollicite alors une conception automatique de circuit analogique radiofréquence. Des problématiques de consommation de puissance apparaissent aussi avec l'utilisation des objets communicants fonctionnant sur des sources d'énergie autonome (par exemple une batterie). Nos travaux de recherches se sont donc intéressés sur l'analyse d'une méthodologie permettant de rendre automatique la conception de circuits analogiques pour des applications radiofréquence à faible consommation de puissance. Notre étude s'est plus particulièrement focalisée sur deux blocs primordiaux des systèmes radiofréquence : les amplificateurs à faible bruit et les oscillateurs.

Le premier chapitre présente l'évolution des systèmes de télécommunication sans fils et le contexte économique nécessitant d'utiliser des méthodes de conception efficace pour les circuits analogiques en application radiofréquence à faible consommation.

Le second chapitre présente en détail le fonctionnement d'un transistor MOSFET à partir du modèle EKV. Son comportement est décrit par l'intermédiaire du coefficient d'inversion qui permet de disposer d'un modèle continu dans tous les régimes de fonctionnement du transistor en saturation. Nous verrons comment normaliser le transistor et les paramètres utiles à considérer pour simplifier la conception d'un circuit analogique radiofréquence.

Le troisième chapitre décrit une méthodologie de conception d'amplificateur à faible bruit pour des applications radiofréquence à faible consommation. Nous verrons que cette méthode a été appliquée sur différentes technologies et topologies de circuits. La description analytique à partir du coefficient d'inversion et la normalisation du transistor a permis de rendre cette méthode semi-automatique. Pour finir, nous validons cette méthode par des simulations et des mesures pour des technologies avancées telles que la CMOS 130nm et 28nm de STMicroelectronics.

Enfin, le quatrième chapitre reporte une méthodologie de conception d'oscillateur pour des applications radiofréquence à faible consommation. Cette méthode sera décrite à partir des études linéaire et non linéaire du circuit. Par ailleurs, une méthode originale de conception d'un oscillateur à partir de la conception d'amplificateur faible bruit sera présentée.

Chapitre I

Introduction

sur les télécommunications sans fil

Chapitre I. Introduction sur les télécommunications sans fil

Chapitre I. Introduction sur les télécommunications sans fil	16
1. Histoire et principe de la télécommunication sans fil.....	17
a. Origines de la télécommunication sans fil.....	17
b. Les ondes électromagnétiques	17
c. Principe de la modulation de signal.....	19
2. Système de télécommunication sans fil.....	23
a. Architectures radiofréquences	23
b. Blocs radiofréquences	29
3. Les Standards Radiofréquences.....	35
4. Evolution de la technologie intégrée : MOS	39
5. Conclusion.....	43
Bibliographie.....	45

Le premier chapitre a pour objectif de présenter brièvement les origines de la télécommunication sans fil : son fonctionnement et son évolution. Nous partirons des ondes électromagnétiques qui permettent de transmettre de l'information dans l'air. Ensuite nous expliquerons comment sont réalisés les systèmes électroniques qui permettent d'envoyer et recevoir l'information et les problèmes qu'ils rencontrent.

Puis, nous aborderons la notion de standards, qui couvrent les bandes radiofréquences, la demande croissante de transfert d'information, ainsi que la problématique énergétique liée aux appareils mobiles. Nous terminerons ce chapitre en abordant le cœur des technologies silicium et le domaine des circuits intégrés qui permettent de réaliser des systèmes complets de télécommunication sans fil sur une seule puce.

1. Histoire et principe de la télécommunication sans fil

a. Origines de la télécommunication sans fil

Depuis tout temps l'homme a appris à communiquer de diverses façons à travers de longues distances. A partir de la fin du 18^e siècle, la transmission d'information évolua avec l'invention du télégraphe optique par C. CHAPPE. Les premiers télégraphes sans fil furent développés par S. MORSE vers les années 1840. Ces systèmes utilisaient les ondes électromagnétiques générées par des électroaimants inventés par W. STURGEON en 1823. Les ondes électromagnétiques furent mises en équation par J.C. MAXWELL seulement en 1865. En 1888, H. R. HERTZ valide la théorie de J.C. MAXWELL par des expériences. A. POPOV utilise la première antenne qui reçoit des signaux électromagnétiques naturels liés aux éclairs puis réussit à en générer. E. BRANLY invente le premier détecteur d'ondes électromagnétiques. En 1893, N. TESLA décrit le principe d'émission radio. En 1896, G. MARCONI synthétise toutes ces découvertes pour réaliser la première radiotéléphonie, ouvrant ainsi le monde de la télécommunication sans fil.

Avant de nous concentrer sur la radio télécommunication nous allons illustrer la manière dont les ondes électromagnétiques sont créées.

b. Les ondes électromagnétiques

Toute matière est constituée d'atomes (Figure I-1) : ils sont composés d'électrons et d'un noyau. Les électrons aussi nommés porteurs de charge négative (q) constituent des couches plus ou moins complètes autour du noyau. Les éléments chimiques reportés dans le tableau périodique des éléments (Figure I-2) sont distingués par leur nombre de couches et leur nombre d'électrons dans leur dernière couche. Les éléments chimiques « métaux de transition » sont généralement nommés « métaux » par abus de langage. Ces métaux ont leur dernière couche d'électrons incomplète leur

permettant de transférer facilement un électron à un atome voisin. Ceci leur confère des propriétés de conductivité, une caractéristique recherchée dans les domaines de l'électricité et de l'électronique. Les « métalloïdes » aussi connus sous le nom de « semi-conducteur » sont aussi très utilisés pour leurs propriétés électriques.

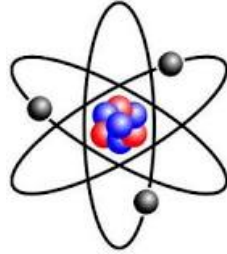


Figure I-1 Dessin d'un atome : trois électrons qui gravitent autour d'un noyau

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	
1	H																	He	
2	Li	Be											B	C	N	O	F	Ne	
3	Na	Mg											Al	Si	P	S	Cl	Ar	
4	K	Ca	Sc	Ti	V	Cr	Mn	Fe	Co	Ni	Cu	Zn	Ga	Ge	As	Se	Br	Kr	
5	Rb	Sr	Y	Zr	Nb	Mo	Tc	Ru	Rh	Pd	Ag	Cd	In	Sn	Sb	Te	I	Xe	
6	Cs	Ba	*	Lu	Hf	Ta	W	Re	Os	Ir	Pt	Au	Hg	Tl	Pb	Bi	Po	At	Rn
7	Fr	Ra	*	Lr	Rf	Db	Sg	Bh	Hs	Mt	Ds	Rg	Cn	Uut	Fll	Uup	Lv	Uus	Uuo

↓																			
*	La	Ce	Pr	Nd	Pm	Sm	Eu	Gd	Tb	Dy	Ho	Er	Tm	Yb					
*	Ac	Th	Pa	U	Np	Pu	Am	Cm	Bk	Cf	Es	Fm	Md	No					

Métalloïdes	Non-métaux	Halogènes	Gaz rares
Métaux alcalins	Métaux alcalino-terreux	Métaux de transition	Métaux pauvres
Lanthanides	Actinides	Superactinides	Éléments non classés

Figure I-2 Tableau périodique des éléments

Les électrons sont retenus autour du noyau grâce à un champ électrique. Lorsqu'un matériau subit une accumulation d'électrons (ou charge électrique), le champ électrique augmente. Ce champ électrique exerce sur la matière une action mécanique qui génère un champ magnétique. L'interaction entre le champ électrique (E) et le champ magnétique (B) génère une force électromagnétique (F) qui est décrite par l'équation de LORENTZ (équation I.1). Cette force (F) est référencée dans un repère galiléen. Elle dépend de la charge d'un électron ($q=-1,602.10^{-19}$ C), du champ électrique (E), de la vitesse des porteurs (v) et du champ magnétique (B). La distinction entre la force électrique ($F_{elec} = qE$) et la force magnétique ($F_{mag} = q v \wedge B$) met en évidence que la vitesse des électrons influe

seulement sur la force magnétique. Cette force électromagnétique se propage par la suite dans un milieu à travers des ondes électromagnétiques.

$$F = q E + v \wedge B \quad (I.1)$$

Les ondes électromagnétiques sont utilisées pour transmettre de l'information (ou signal) dans l'air. Elles sont émises par un conducteur ou ligne de transmission nommée antenne. La taille de l'antenne est liée à la longueur de l'onde (λ) et donc fréquence du signal ($\lambda = \frac{c}{f}$ avec c la célérité de la lumière et f la fréquence de l'onde). Pour recevoir ou émettre un signal, la taille de l'antenne doit être au minimum égale à $\lambda/4$. Plus la fréquence est élevée, plus la taille de l'antenne est petite.

Les ondes électromagnétiques sont classées suivant leur longueur d'onde (Table I-1). Les ondes utilisées pour la télécommunication sans fil sont les ondes aux fréquences radio (ou radiofréquences) et les micro-ondes. La longueur des ondes radiofréquence est comprise entre 10 mètres et 3 centimètres. Les micro-ondes peuvent aller jusqu'à 500 μ m.

Table I-1 Classement des ondes en fonction de leurs longueurs d'ondes.

Longueur d'onde (dans le vide)	Fréquences	Type d'onde
	0 Hz	Champs statiques
>10m	>30MHz	Ondes faibles fréquences
10m à 3cm	30MHz à 10GHz	Radiofréquence
3cm à 500 μ m	30MHz à 600GHz	Micro-ondes
500 μ m à 780nm	600GHz à 385THz	Infrarouge
780nm à 380nm	385THz à 789THz	Lumière visible
380nm à 10nm	789THz à 30PHz	Ultraviolet
10nm à 10pm	30PHz à 30EHz	Rayon X
<10pm	> 30EHz	Rayon Y

c. Principe de la modulation de signal

Les premières télécommunications sans fil étaient conçues pour transmettre de l'information sonore. Le son a une plage de fréquence allant de quelques hertz à une vingtaine de kilohertz. Pour transmettre et recevoir une onde électromagnétique de 20kHz dans l'air, il est nécessaire de disposer d'une antenne d'au moins 3750 mètres ($\lambda/4$). Pour diminuer la taille de l'antenne, des signaux de fréquences plus élevées sont nécessaires. Pour ce faire, il est utilisé un signal en hautes fréquences aussi nommé la porteuse dont sa haute fréquence permet d'utiliser des antennes de taille raisonnable.

Cette porteuse est modifiée, ou modulée, par le signal contenant l'information, de plus faible fréquence. Pour des transmissions sonores, la première modulation utilisée était la modulation d'amplitude. Aujourd'hui, ce type de modulation est moins utilisé au détriment de modulation plus complexe utilisant des modulations de fréquence, de phase ou des mélanges des trois types de modulation. Les systèmes de télécommunication moderne utilisent des techniques de modulations et démodulation numériques. Contrairement aux modulations analogique, les modulations numériques permettent d'augmenter les capacités des canaux et de transmettre/recevoir l'information avec une bonne précision malgré le bruit environnant et les distorsions.

Modulation Linéaire: Modulation d'amplitude (AM)

La première modulation utilisée fut la modulation d'amplitude. Son principe, illustré sur la Figure I-3, consiste à modifier l'amplitude d'une sinusoïde de haute fréquence (HF) à l'aide d'un signal en basses fréquences (BF) contenant l'information à transmettre. Cette opération s'effectue en multipliant les deux signaux à travers un mélangeur. Par la suite le signal modulé est transmis dans les ondes à travers l'antenne. La modulation d'amplitude est sensible aux bruits du canal de transmission qui peuvent modifier aisément l'amplitude du signal. La modulation d'amplitude numérique est dénommées ASK (Amplitude Shift Keying).

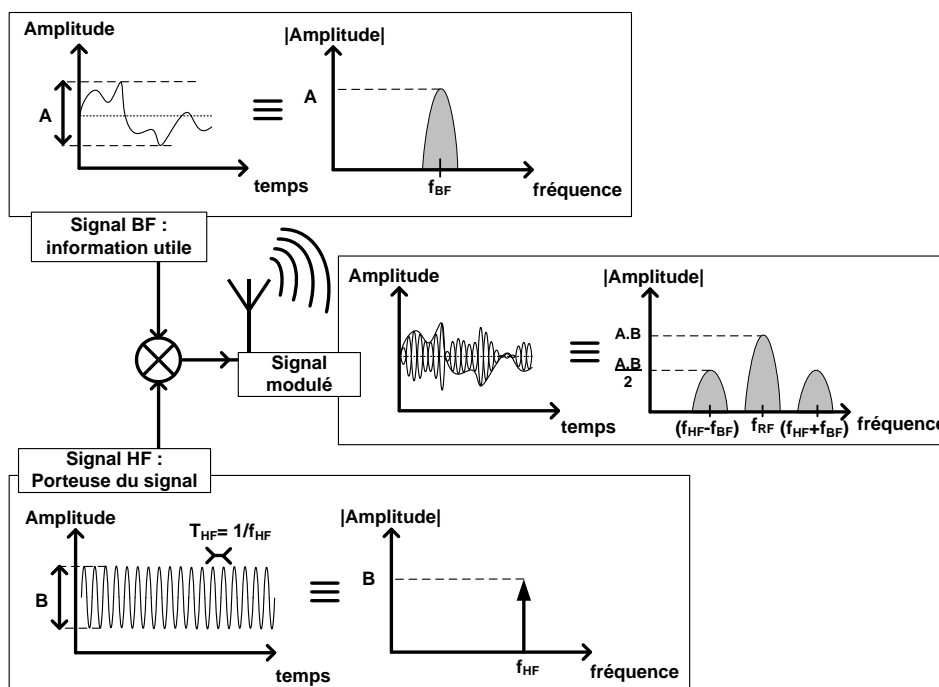


Figure I-3 Principe de la modulation d'amplitude (AM)

Les modulations angulaires : Modulation de Fréquence (FM) et de Phase (PM)

On distingue deux types de modulation angulaires, les modulations de fréquence (FM) et de phase (PM). Ces deux modulations disposent d'une amplitude constante ce qui leurs permettent d'être plus robustes au bruit ambiant et aux atténuations.

La modulation de fréquence utilise différentes fréquences, ou sous porteuses, pour transmettre l'information. Cette variation de fréquence peut se faire de façon directe modifiant la fréquence d'un oscillateur contrôlé par tension ou VCO (Voltage Control Oscillator), ou de façon indirecte avec des systèmes plus complexes. La méthode directe est illustrée sur la Figure I-4. Le signal utile, de nature analogique ou numérique, modifie l'impédance du résonateur faisant varier la fréquence de l'oscillateur. Le signal sinusoïdal en sortie de l'oscillateur dispose alors de différentes fréquences d'oscillation qui sont par la suite transmises à l'antenne. Le signal modulé en fréquence dispose d'une bande de fréquence plus large que la modulation AM et PM. Ceci peut engendrer plus de contraintes dans la conception. Cette approche nécessite d'utiliser un système d'asservissement (ou PLL) pour bien contrôler la fréquence d'oscillation. Les modulations numériques de fréquences sont dénommées FSK (Frequency-Shift Keying).

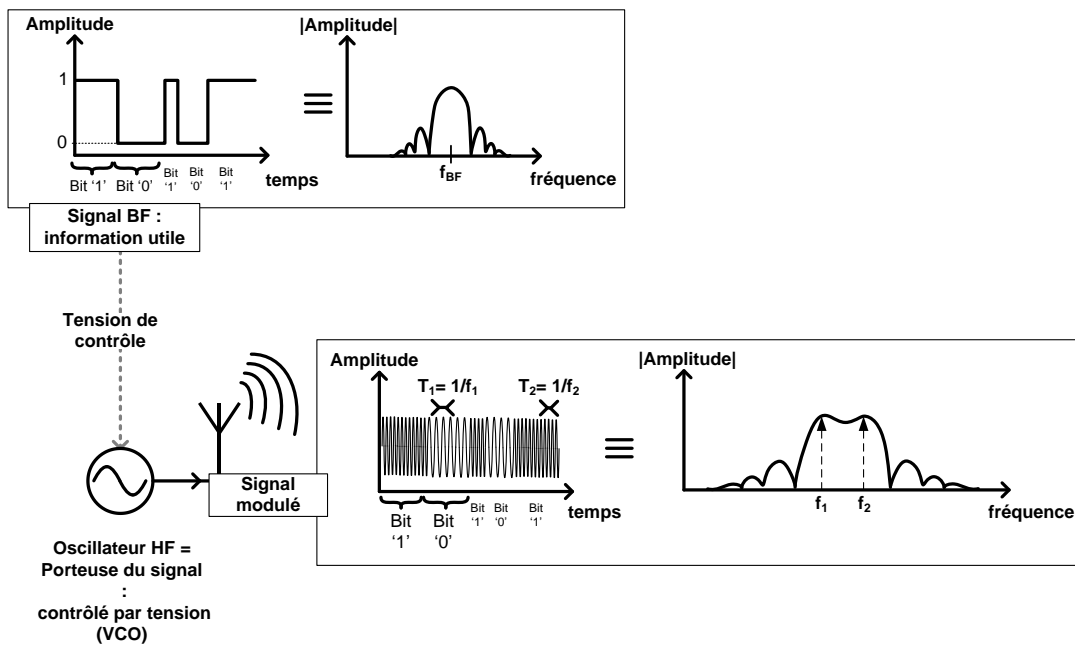


Figure I-4 Exemple de modulation de fréquence à base de VCO et de signaux numériques

Le principe de la modulation de phase consiste à modifier à l'aide d'un déphaseur numérique ou analogique la phase d'un sinus dont l'amplitude et la fréquence sont constantes. Le déphaseur peut être réalisé de différentes manières. Par exemple, pour la modulation numérique à deux changements de phase ou BPSK (Binary Phase Shift Keying), les données sont directement mélangées avec le signal RF. Pour des modulations quadratique ou QPSK (Quadrature Phase Shift Keying), les voies en phase (I : In phase) et déphasée ou quadrature (Q) sont séparées pour être introduites séparément au

signal RF, puis les signaux mélangés sont additionnés entre eux. La variation de la phase peut être plus aisément représentée avec sa constellation en partie imaginaire et réelle. Un cas simple à quatre phases est illustré sur la Figure I-5. Le signal RF est déphasé suivant un code numérique à travers le déphaseur puis transmis dans l'antenne. Les modulations de phase sont majoritairement numériques et sont dénommées PSK (Phase-Shift Keying) : BPSK (Binary), QPSK (Quadrature), $\pi/4$ -QPSK,...

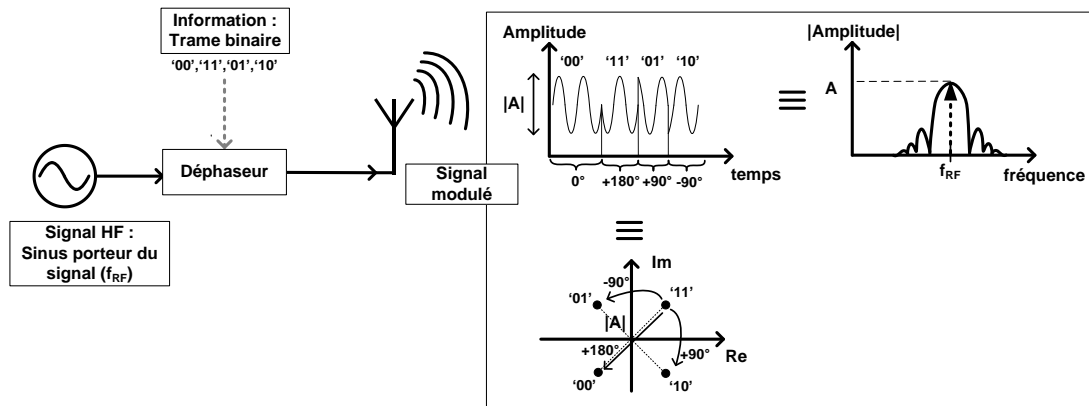


Figure I-5 Exemple de modulation de phase numérique QPSK.

Systèmes à modulations complexes

Les modulations d'amplitude, de phase et de fréquence peuvent être combinées pour réaliser des modulations plus complexes permettant d'augmenter le débit du signal. Le mélange de la modulation d'amplitude et de phase est nommé QAM (Quadrature Amplitude Modulation), il est très utilisé pour sa capacité à fournir beaucoup d'information sur une seule fréquence. Un seul symbole pour contenir plusieurs bits, par exemple le 4096QAM dispose de 12bits par symbole. Cependant la modulation QAM est sensible au bruit environnant qui peut déformer la constellation et confondre les symboles entre eux. Les communications sans fils actuelles, soumises à de nombreuses perturbations, utilisent généralement des modulations 16QAM ou 64QAM.

Il existe des systèmes complexes comme l'OFDM (Orthogonal Frequency-Division Multiplexing) qui utilisent différents types de modulations pour transmettre l'information. L'OFDM transpose différents signaux ayant leur propre modulation (PSK, QAM,...) vers différents sous-canaux de fréquences très proches à l'aide d'une transformée de Fourier inverse rapide (FFT⁻¹ : Fast Fourier Transform) Figure I-6.

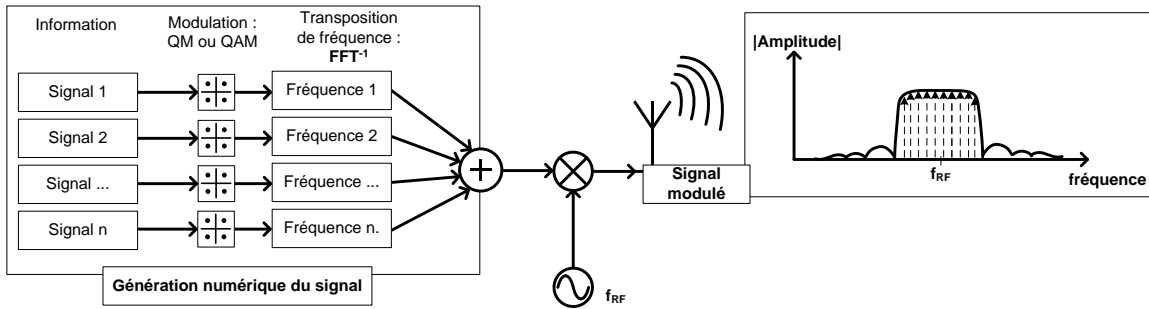


Figure I-6 Exemple modulation complexe avec l'OFDM

Pour émettre et recevoir le signal utile un système électronique est nécessaire. Nous allons décrire les architectures et les blocs nécessaires à la réalisation d'un système de télécommunication sans fil.

2. Système de télécommunication sans fil

a. Architectures radiofréquences

Un terminal radio est composé de cinq fonctions principales illustré dans la Figure I-7 : le traitement en hautes fréquences, la transposition en fréquences de l'information, le traitement en basses fréquences, la conversion analogique / numérique, le traitement numérique.

Pour des terminaux conventionnels, la partie émettrice et réceptrice est basée sur des blocs ayant des fonctions équivalentes. Cependant leurs contraintes et les spécificités sont différentes du fait que le système d'émission contrôle un unique signal et le système de réception recueille tous les signaux qui arrivent sur l'antenne. Cette différence implique un traitement plus important du signal en réception pour considérer seulement l'information utile. Pour ces raisons, nous reporterons seulement les architectures réceptrices.

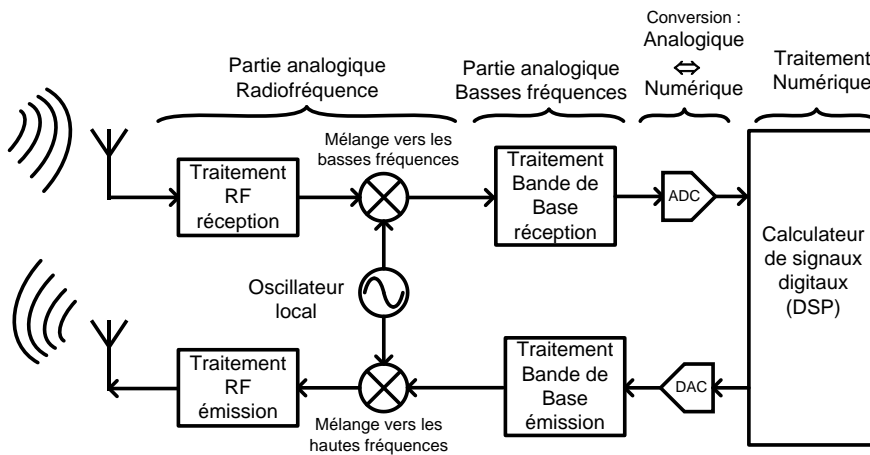


Figure I-7 Chaîne d'émission-réception de télécommunication

Il existe plusieurs architectures de terminaux radiofréquence. Elles disposent chacune d'avantages et d'inconvénients qui généralement dépendent de l'application en termes de: standard, coût et portabilité du produit.

Récepteur hétérodyne

Le récepteur superhétérodyne (Figure I-8 a.) fut breveté par E.H. Armstrong en 1920 et fut majoritairement utilisé jusqu'aux années 1990. Il est toujours utilisé pour des applications haute fréquence (Satellite >10GHz, radar) ou professionnelles (station de base 2G, 3G, 4G) semi-intégrées. Il est basé sur un principe de transposition de la bande RF vers des fréquences plus basses ou hétérodynage.

Dans cette architecture (Figure I-8 a), le signal radio reçu par l'antenne est d'abord filtré par le filtre d'antenne qui présélectionne la bande liée à l'application, afin de rejeter les bloqueurs hors-bande. Le signal est ensuite amplifié à l'aide d'un amplificateur faible bruit ou LNA (Low noise amplifier) qui lui ajoute peu de bruit, avant d'être injecté dans le filtre réjecteur d'image. Ce dernier remplit deux fonctions : la première est d'atténuer la bande ou canal image qui se superpose au canal voulu après le mélangeur à la fréquence intermédiaire (FI); la seconde est de filtrer le bruit thermique de la bande image. Le signal passe à travers le mélangeur où il est transposé vers les basses fréquences et il est filtré par le filtre de canal pour isoler le canal voulu des brouilleurs proches (canaux adjacents, alternés, bloqueurs dans la bande...). Finalement le signal est amplifié, souvent au moyen d'un amplificateur à gain variable (AGV), pour fournir un signal à la bonne échelle au démodulateur analogique (AM/FM) ou numérique (FSK) ou un convertisseur analogique-numérique (CAN ou ADC).

Cette architecture présente un bon compromis entre sensibilité et sélectivité, mais elle est souvent coûteuse, peu intégrable et gourmande en puissance. Le fait de transposer la bande RF vers des fréquences plus basses permet de relâcher les contraintes de facteur de qualité Q du filtre de sélection du canal. Par exemple, le standard GSM utilise une porteuse à 900MHz avec un canal de 200kHz, si la sélection du canal de 200kHz se faisait à 900MHz il serait nécessaire de disposer d'un facteur Q de 4500. Par contre si le signal est transposé à une fréquence plus faible de 10MHz, le facteur Q nécessaire n'est plus que de 53,5. Il existe un compromis entre les pertes d'un filtre, dont dépendent la sensibilité, et son facteur de qualité. Les contraintes des facteurs de qualité des filtres peuvent être encore plus relâchées en effectuant la transposition de fréquence en plusieurs étapes (Figure I-8) : on passe d'une structure à simple conversion (a) à une structure à double conversion (b).

Pour des systèmes radio à modulation numérique, le deuxième mélangeur de l'architecture superhétérodyne à double conversion est remplacé par un mélangeur complexe (Figure I-9), ou un démodulateur en quadrature, qui génère deux voies de sortie : une en phase (In-phase : I) et une en

quadrature (Q) déphasée de 90° . Le signal est par la suite reconstitué numériquement par calcul vectoriel. Le second filtre de canal passe-bande est remplacé par un filtre passe-bas qui permet d'isoler le canal voulu des brouilleurs proches et d'empêcher les repliements de signal et de bruit. Les démodulateurs I/Q sont sensibles à des problèmes de déséquilibre entre les voies I et Q: d'une part au niveau de la génération d'OL en quadrature (imperfection du déphaseur en amplitude et phase) et d'autre part au niveau des mélangeurs, des filtres et AGV (erreur de gain et de phase). Des systèmes de calibration sont employés pour résoudre ces problèmes.

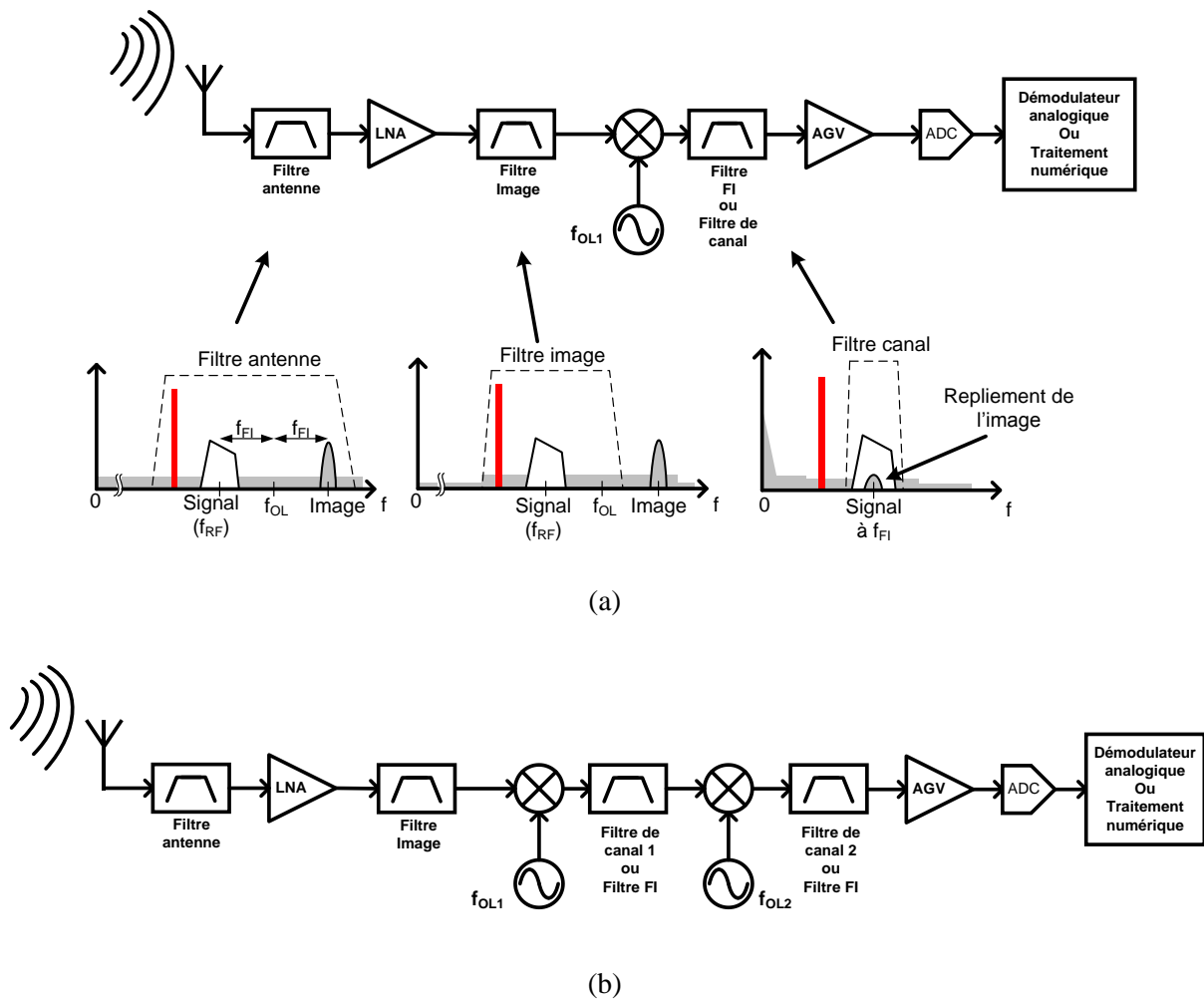


Figure I-8 Architecture d'une réception superhétérodyne à simple (a) et double (b) conversion

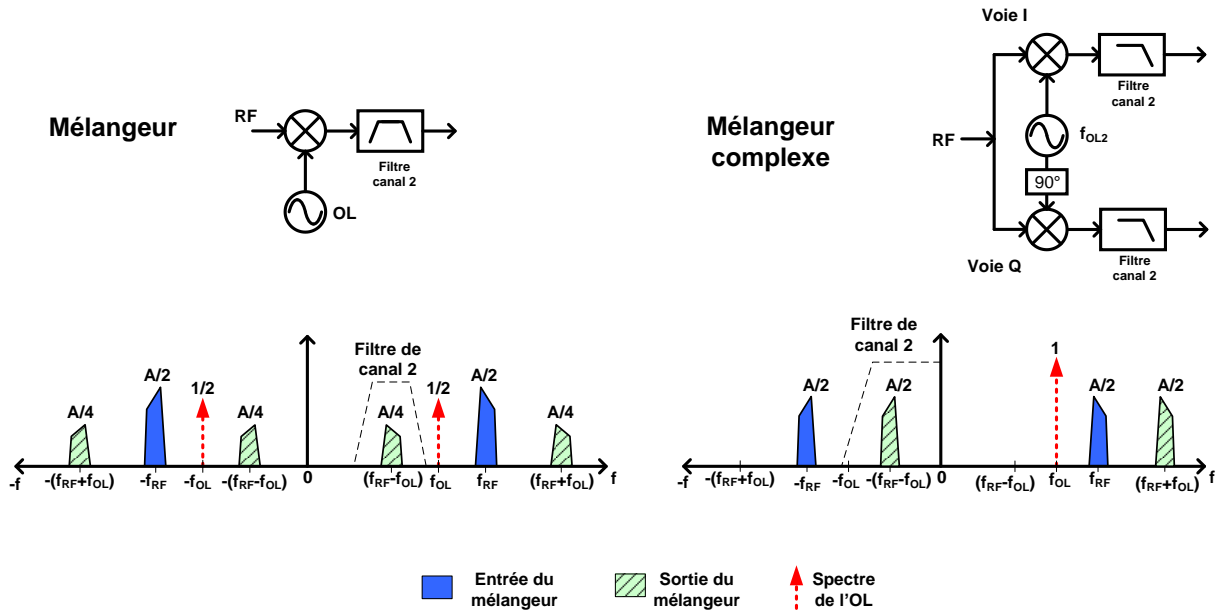


Figure I-9 Mélangeur complexe ou démodulateur I/Q

Les compromis et les problèmes associés aux filtres réjecteurs d'image, coûteux et complexes, ont poussé les recherches vers des architectures à réjection d'image où l'image est supprimée en grande partie et le signal souhaité est conservé. Les structures les plus connues sont celles de HARTLEY et WEAVER illustrées sur la Figure I-10 [1]. Ces structures permettent une forte intégration en utilisant seulement des filtres passe bas à la place de filtre passe bande. Plus récemment des architectures à réjection d'images sont apparues : l'architecture à (très) faible fréquence intermédiaire (Near Zero Intermediate Frequency, NZIF, ou (Very) Low IF, (V)LIF), basée sur l'utilisation d'un filtre passe-bande polyphasé, ou encore l'architecture dite « full complex » basée sur un mélangeur à double quadrature.

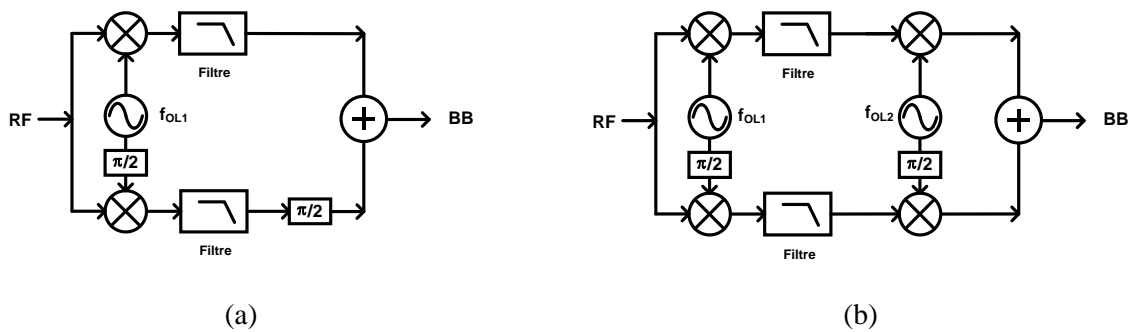


Figure I-10 Principe de la réjection d'image par les méthodes de HARTLEY (a) et de WEAVER (b)

Récepteur Homodyne

L'architecture homodyne, également appelée à conversion directe ou zéro IF (Intermediary Frequency), transpose le signal d'information RF directement en basses fréquences avec un seul oscillateur local (Figure I-11). La fréquence de l'oscillateur local (f_{OL}) est égale à la fréquence du signal RF (f_{RF}) permettant de centrer le signal utile à une fréquence nulle. Un filtre passe bas ou AA

(Anti-Aliasing) est ajouté pour réduire les problèmes liés au repliement spectral du signal lors de la démodulation [2]. La conversion directe requiert moins de blocs que les architectures hétérodynes diminuant ainsi le coût de fabrication. Les filtres images de type passe bande, à fort facteur de qualité, ne sont plus nécessaires car la fréquence image n'existe plus du fait que la fréquence intermédiaire est nulle. La suppression de ce filtre et des étages suivants permet non seulement de gagner en intégration mais également de réduire la consommation du récepteur.

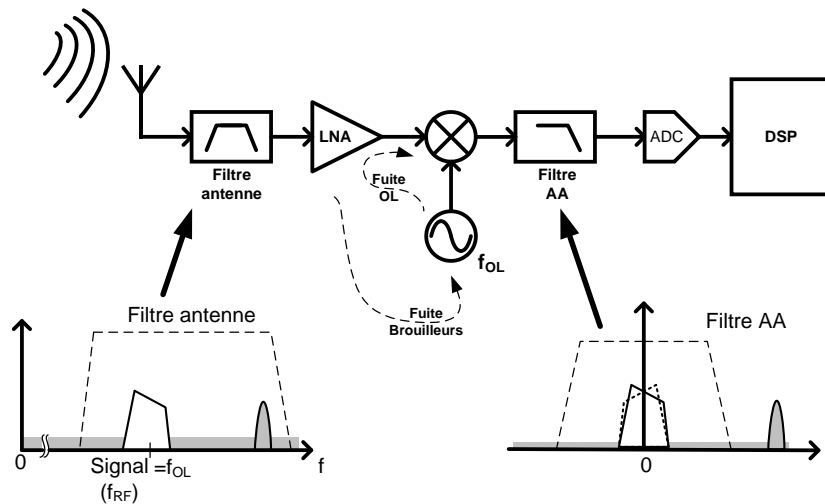


Figure I-11 Récepteur homodyne

L'architecture homodyne souffre cependant de défauts majeurs liés : aux « DC offsets », au repliement spectral du signal et au bruit en $1/f$.

Le « DC offsets » est provoqué par une mauvaise isolation au niveau du LNA et/ou mélangeur induit par des couplages parasites. Deux cas influent sur le « DC offsets » : les fuites de l'OL et les fuites des brouilleurs. Pour les « fuites OL », le signal de l'oscillateur remonte à l'entrée du LNA ou/et du mélangeur se confondant avec le signal utile de même fréquence puis il est mélangé avec lui-même à travers le mélangeur. Ce phénomène est aussi dénommée « auto-mélange » ou « self-mixing ». Sur le même principe, les signaux issus de la voie RF peuvent se retrouver sur la voie OL, Figure I-11, et créer des composantes continues par auto-mélange. Ce sont les brouilleurs, signaux de forte puissance présents dans le signal reçu à l'antenne, qui sont à l'origine de ce phénomène. Si l'auto-mélange ne varie pas dans le temps le problème de « DC offsets » peut être compensé par calibration.

Le problème de réjection de la fréquence image est inhérent à la réception hétérodyne, il n'existe pas en réception homodyne; cependant un phénomène de repliement spectral persiste. Les fréquences négatives du spectre du signal se replient sur les fréquences positives du signal lors du mélange centré sur zéro. Si le signal a un spectre symétrique (ex : modulation d'amplitude AM) ce repliement n'a pas d'effet. Pour des modulations de phase (PM) et de fréquence (FM) qui disposent d'un spectre asymétrique (pour PM) et multifréquence (pour FM), ce repliement des fréquences

négligentes corrompent l'information. Ce problème est résolu à l'aide d'architectures polyphasées [2] (Figure I-9).

Architectures spécifiques

Les nombreux standards de télécommunication sans fil ont incité à développer des architectures plus adaptées aux applications ciblées suivant des critères différents parmi lesquels nous retrouvons souvent: la réduction coûts de fabrications et/ou la réduction de puissance consommée. Les appareils hyper-connectés, tels que les Smartphones, les ordinateurs portables, les tablettes, visent des « connectivités ultimes » pouvant utiliser plusieurs standards de communications sans fils sur le même appareil. Des architectures multi-standard sont alors apparues utilisant des systèmes reconfigurables [3], [4] ou utilisant des algorithmes mathématiques, aussi connu sous le nom de Radio-logicielle. La Radio-logicielle idéale vise à supprimer tous les blocs analogiques afin de réaliser tout le traitement du signal de façon numérique. Un tel système se compose uniquement d'un convertisseur analogique vers numérique en haute fréquence, et d'un processeur de traitement de signal DSP (Figure I-12) [5]. Malheureusement nous n'avons aujourd'hui ni les moyens technologiques, ni les avancées techniques permettant de réaliser une telle solution. L'un des principaux verrous est lié à la fréquence d'échantillonnage très élevée nécessaire pour extraire des canaux étroits, typiquement quelques centaines de kHz, à partir du signal RF modulé. Les activités de recherche, très importantes dans ce domaine aujourd'hui, commencent à proposer des solutions pour des scénarios de communications particuliers. Elles utilisent des algorithmes mathématiques pour résoudre le problème d'échantillonnage RF, combinées à des techniques d'extraction de canal de type: sur-échantillonnage [6], sous-échantillonnage [7], processeur d'échantillonnage [8] [9].

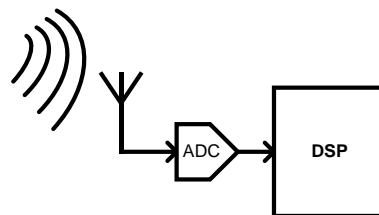


Figure I-12 : Cas idéale de réception Radio-logicielle

Nous retrouvons également une technique originale développée au laboratoire IMS dénommée SASP pour Sample analog signal processor [9] présentée sur la Figure I-13. Son principe est de réaliser une transformée de Fourier rapide (FFT) analogique du signal RF pour relâcher les contraintes sur l'étage de conversion analogique/numérique en transposant le signal en basse fréquence sous forme séquentielle. L'architecture de réception se résume alors à un LNA, le SASP et un convertisseur analogique vers numérique.

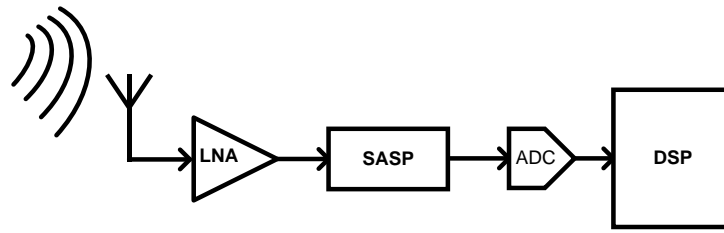


Figure I-13 : Exemple de système de Radio-logicielle à base de SASP

À l'opposé des appareils hyper-connectés nous trouvons des objets au besoin très réduit en termes de capacités de communications. Les nœuds de réseaux de capteurs sans fil, ou Wireless Sensor Networks (WSN), sont un exemple typique pour lesquels la réduction de puissance consommée prime sur la performance dans le développement des modules radio. C'est particulièrement la partie réception qui fait aujourd'hui l'objet d'efforts de recherche importants, car les nœuds capteurs passent l'essentiel de leur temps en mode écoute. Pour atteindre des consommations minimalistes, les récepteurs s'affranchissent du traitement de signal hautes fréquences conventionnel pour extraire directement l'information du signal RF modulé. Nous retrouvons ici des architectures à détection d'enveloppe, supergénérate, à oscillateur injectées ou modulé [10]. Dans le cas de la détection d'enveloppe de [11], Figure I-14, l'architecture utilise seulement le filtre d'antenne, un LNA, un détecteur d'enveloppe et un convertisseur analogique vers numérique. Ce système fonctionnant avec une modulation OOK (On-Off Keying) peut ainsi fournir l'information au DSP avec une consommation totale de $65\mu\text{W}$ à 1,9GHz.

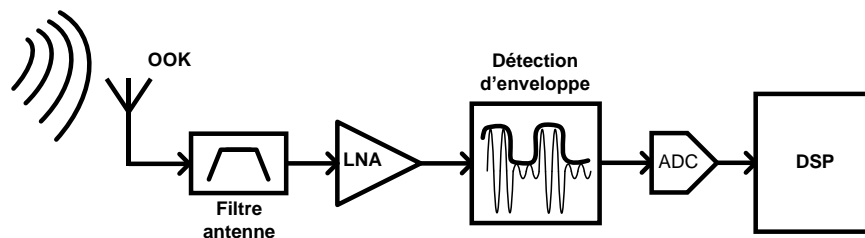


Figure I-14 : Exemple d'architecture WSN à détection d'enveloppe

Nous pouvons remarquer que les récepteurs, mises à part les architectures dites spécifiques, font appel, pour la partie traitement de signal en haute fréquence, toujours aux mêmes types de blocs RF à savoir : des amplificateurs faible bruit (LNA), des mélangeurs, des oscillateurs locaux et des filtres.

b. Blocs radiofréquences

Dans un premier temps nous allons décrire brièvement la fonctionnalité de chacun des différents blocs constituant le traitement haute fréquence (HF) des architectures RF les plus

communes. Puis nous décrivons les caractéristiques essentielles communes à la réalisation d'un système et/ou d'un circuit RF.

➤ Circuits Radiofréquences

La partie RF d'un système de télécommunication sans fil classique est généralement composée de cinq fonctions de base:

- Amplification : de puissance en émission, faible bruit en réception,
- Mélange : vers les hautes fréquences en émission, vers les basses fréquences en réception,
- Synthèse de fréquence: à base d'oscillateur haute fréquence,
- Filtrage.

Chacune de ces fonctions est réalisée par un bloc qui sera développé suivant des caractéristiques imposées au niveau système. L'association des différents blocs réalise le système complet qui doit répondre aux normes.

Amplificateur faible bruit (LNA)

L'amplificateur faible bruit ou Low Noise Amplifier (LNA) est le premier bloc actif d'une chaîne de réception. Il se situe après un filtre « passe-bande » qui sélectionne la bande contenant l'information. Les LNA traitent des signaux de très faibles amplitudes. Ils doivent disposer d'un gain important et d'un faible bruit en excès. Une partie de nos travaux de recherches se sont focalisés sur ce bloc. Leur analyse sera plus approfondie dans le chapitre III et une méthode de conception de LNA faible consommation en radiofréquence sera proposée.

Amplificateur de puissance (PA)

L'amplificateur de puissance (PA : Power Amplifier) est le dernier bloc actif d'une chaîne d'émission, il se positionne juste avant le filtre antenne et l'antenne elle-même. Son rôle est de transmettre la puissance nécessaire pour que le signal émis puisse atteindre la distance souhaitée. Il s'agit du bloc qui demande le plus de puissance instantanée dans un système radiofréquence. Les paramètres de conception des PA sont le gain de puissance, la puissance de sortie, la linéarité et le rendement énergétique.

Mélangeurs

Les mélangeurs permettent la transposition en fréquence de l'information vers les hautes fréquences pour l'émission ou les basses fréquences pour la réception. Les mélangeurs traitent des petits signaux contenant l'information et des grands signaux permettant la montée ou descente en

fréquence. Les grands signaux proviennent de l'oscillateur local. La linéarité est fortement considérée pour éviter de polluer les canaux adjacents lors du mélange.

Oscillateur local

L'oscillateur local fournit un signal de fréquence élevée pour la transposition du message ou du signal modulé. Pour des systèmes de télécommunications modernes l'oscillateur est inclus dans un synthétiseur de fréquence qui permet de stabiliser son amplitude et sa fréquence afin de diminuer le bruit qu'il peut générer. Les synthétiseurs de fréquence utilisent une fréquence de référence plus basses disposant d'un très bon bruit de phase (ex : quartz). Nos travaux de recherche se sont aussi focalisés sur l'étude de l'oscillateur local, dans le chapitre IV une méthode de conception sera présentée.

Filtres

Les filtres ont plusieurs rôles dans une chaîne de transmission, ils permettent au signal modulé de respecter le masque d'émission : ils sélectionnent la bande de réception, ils permettent d'éviter les repliements spectraux dans le canal mais également de rejeter les fréquences images. La sélectivité en fréquence (ou facteur de qualité) et la surface occupée sont deux paramètres fondamentaux entrant dans la conception de filtre. Nos travaux de recherches se sont particulièrement portés sur l'étude des amplificateurs à faible bruit et des oscillateurs. Ces circuits sont soumis à certaines caractéristiques, tels que le gain ou le bruit, que nous allons présenter.

➤ Caractéristiques des blocs RF

Tous les systèmes de télécommunications doivent respecter les conditions de test définies par la ou les norme(s) attachée(s) au standard. Pour répondre à ces conditions de test les systèmes et leurs blocs doivent présenter des performances spécifiques que l'on étudie suivant: le gain, le bruit, les non-linéarités et la réjection. La description de ces différentes caractéristiques est réalisée ci-dessous et une étude plus détaillée est proposée dans l'annexe A « Caractéristiques des blocs RF ».

Gain d'un système

En réception, le signal qui arrive à l'antenne peut être très faible, de l'ordre de -100dBm. Pour qu'il puisse être détecté par le convertisseur analogique-numérique, il est nécessaire d'augmenter son amplitude par l'intermédiaire du gain du système (Figure I-15). Le gain total d'un système est défini comme étant le rapport du signal à l'entrée du convertisseur analogique numérique divisé par le signal à la sortie de l'antenne. L'amplitude du signal à l'entrée de l'antenne peut varier suivant les conditions de propagation dues à l'environnement. Pour éviter des problèmes de saturation du signal ou

d'amplitude trop faible, des amplificateurs à gain variable sont utilisés dans la partie basses fréquences de traitement analogique du signal.

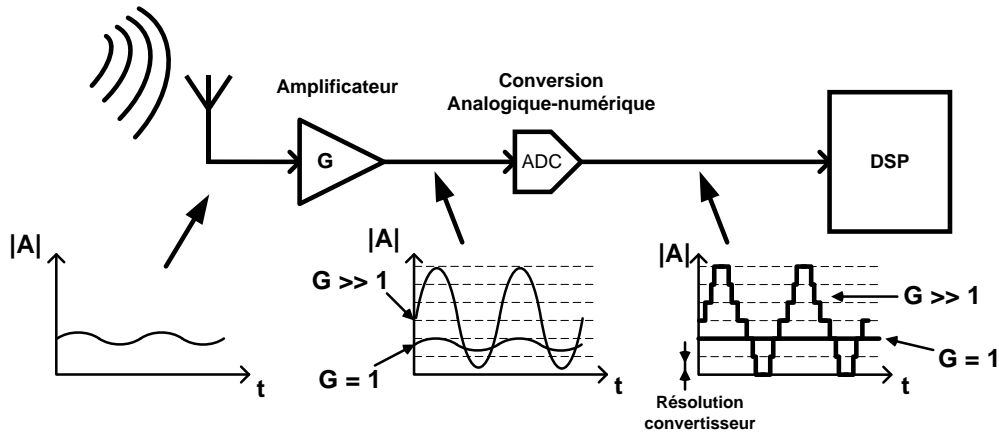


Figure I-15 Amplification d'un signal et résolution du convertisseur

Facteur de Bruit d'un système

Le signal reçu à l'antenne présente généralement une amplitude très faible, au point que la différence entre l'amplitude du signal et celle du plancher de bruit de l'environnement peut être faible. Cette différence s'exprime comme le rapport signal à bruit (SNR : Signal to Noise Ratio). Pour que l'information transmise par les ondes soit traitée correctement par la partie numérique (ou signal processing), il faut que l'amplitude du signal comme le rapport signal sur bruit restent suffisants.

Dès l'entrée du signal dans l'antenne, le bruit et l'information utile sont considérés comme un seul signal dans le système. Il n'est pas possible de dissocier ces deux types de signaux au niveau électronique. Lorsque le signal utile traverse un bloc analogique, l'information et le bruit sont amplifiés par le même gain (G). Il se rajoute à ce signal le bruit intrinsèque des composants constituant le circuit. Ainsi le rapport signal sur bruit en sortie (SNR_{out}) d'un bloc est plus faible que le rapport signal sur bruit d'entrée (SNR_{in}) comme l'illustre la Figure I-16. Cette dégradation du rapport signal sur bruit est quantifiée par le facteur de bruit défini dans (équation I.2).

$$F = \frac{SNR_{in}}{SNR_{out}} \quad (I.2)$$

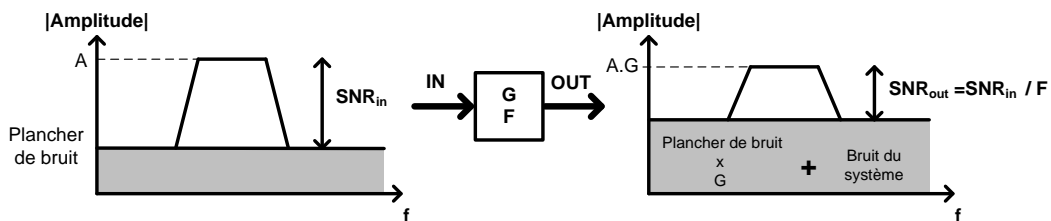


Figure I-16 Influence du bruit d'un bloc

Pour des systèmes en cascades (Figure I-17) de gain G_i et de facteur de bruit F_i , l'étude du bruit menée par FRIIS [12] a permis de mettre en avant (équation I.3) que les premiers blocs sont prépondérants dans le calcul du bruit d'un système. Pour diminuer le bruit d'un système, il est nécessaire que le ou les premier(s) bloc(s) dispose(nt) d'un fort gain et d'un faible facteur de bruit. En pratique si le gain des premiers blocs est important, à partir du 2^e bloc la dynamique du signal est suffisamment grande pour que le bruit intrinsèque des composants n'ait quasiment plus d'influence. Pour cette raison le premier bloc d'une chaîne de réception radiofréquence est toujours un amplificateur faible bruit (LNA).

$$F_{tot} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 \cdot G_2} + \dots + \frac{F_n - 1}{G_1 \cdot G_2 \cdot \dots \cdot G_{n-1}} \quad (I.3)$$

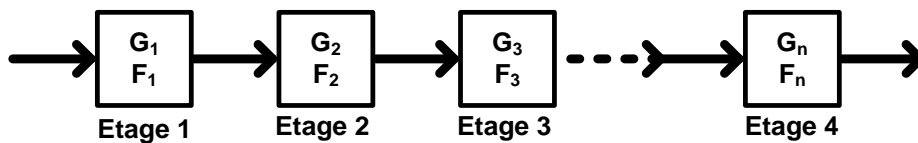


Figure I-17 Système à n étage en cascade

Le Bruit de phase

Le bruit de phase est une caractéristique typique des synthétiseurs de fréquence et plus particulièrement des oscillateurs à haute fréquence. Il provient du bruit à basse fréquence qui se retrouve modulé autour de la fréquence d'oscillation. Ainsi la porteuse délivrée par l'oscillateur local (OL) fluctue en permanence autour d'une fréquence centrale. Comme illustré dans la Figure I-18, ce phénomène a pour conséquence, lors de la transposition en fréquence basse ou haute, d'une part de dégrader le rapport signal à bruit du signal utile, d'autre part d'introduire des perturbations dans les canaux adjacents en élargissant le spectre du signal modulé.

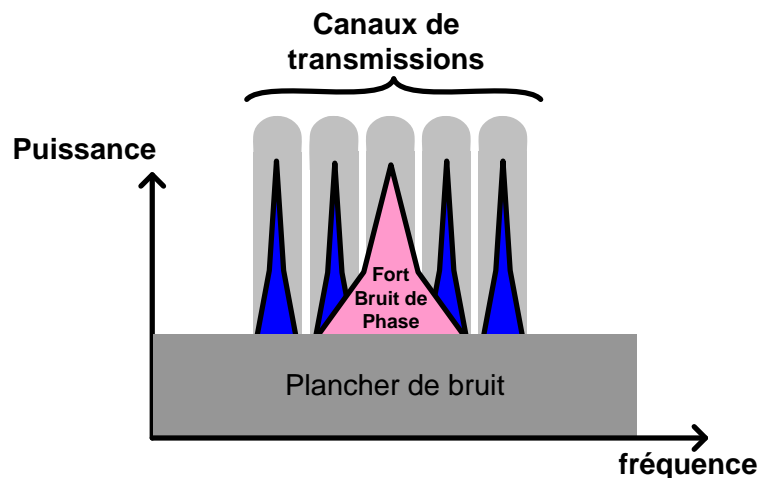


Figure I-18 Influence du bruit de phase dans les canaux de transmission

Linéarité d'un système

Les circuits électroniques, en tant que dispositifs physiques, ne sont jamais parfaitement linéaires. Tous les composants, particulièrement le transistor, distordent les signaux qui les traversent. Les effets des non-linéarités peuvent être critiques pour les transmissions sans fils. Par exemple, les amplificateurs de puissance peuvent polluer le spectre d'émission et perturber les canaux de communications voisins. En réception, les bloqueurs présents à l'antenne peuvent se mélanger pour dégrader le SNR et/ou désensibiliser la chaîne de réception. La linéarité d'un système électronique s'étudie suivant : la compression de gain, la distorsion d'harmonique et l'intermodulation.

La compression de gain, ou distorsion d'ordre 1, provient de la saturation des composants actifs, elle est évaluée par le point de compression à -1dB (CP1) qui correspond au point où le gain chuté de 1dB par rapport à son comportement linéaire. La saturation du fondamental du signal (l'harmonique n°1) provoque par la suite la montée en puissance des autres harmoniques du signal, connu sous le nom de distorsion d'harmonique (H). Ces harmoniques polluent ainsi le spectre du signal. Les harmoniques les plus proches, d'ordre 2 (H2) et 3 (H3), risquent de perturber l'information transmise si elles se trouvent dans la bande traitée ; cependant la bande passante des systèmes joue souvent le rôle de filtre permettant ainsi de les négliger.

Les systèmes de communications sont de type multi-porteuses, elles font apparaître des phénomènes d'intermodulation ou distorsions croisées. Pour caractériser ce phénomène il est communément utilisé la méthode du « deux tons ». Deux signaux sinusoïdaux de fréquences relativement proches (F_1 et F_2) sont transmis à travers un système non-linéaire. En sortie du système, illustré dans la Figure I-19, il apparaît : les deux signaux d'entrée (F_1 et F_2), les harmoniques de chacun (H2 et H3) dues à la distorsion d'harmonique et les intermodulations d'ordre 2 (IM2) et 3 (IM3). On constate que l'intermodulation d'ordre 3 (IM3) se retrouve proche des deux fondamentales. Pour des transmissions de télécommunications modernes, les bandes de fréquences sont composées de différents canaux de communication (en gris sur la Figure I-19) pour augmenter le nombre d'utilisateurs et le débit. L'intermodulation d'ordre 3 (IM3) peut perturber l'information d'un canal adjacent. L'intermodulation d'ordre 3 est caractérisée par l'intermodulation d'ordre 3 ou IIP3 (3rd order Input Intermodulation Point) détaillé dans l'annexe A « Caractéristiques des blocs RF ».

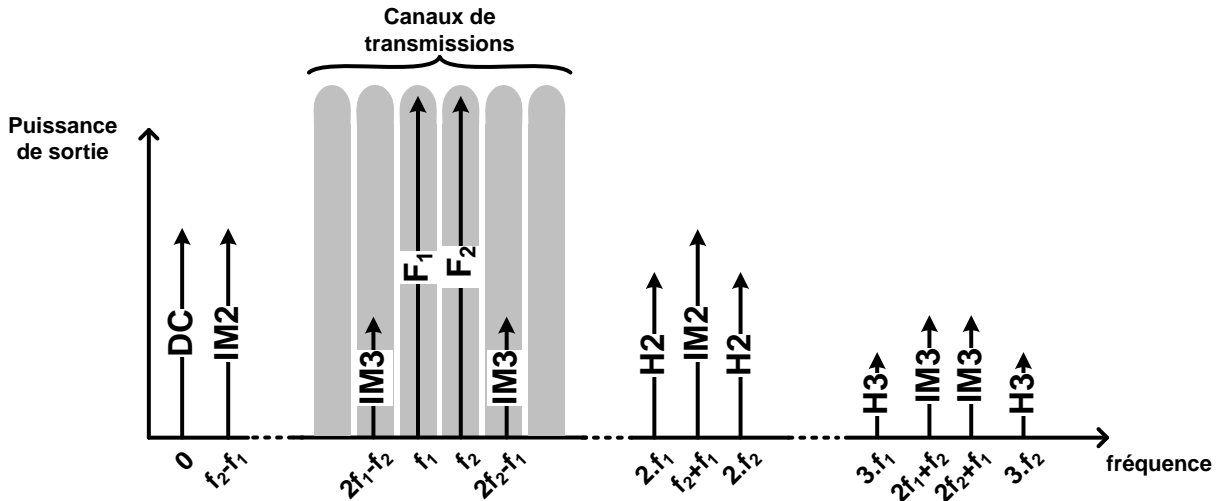


Figure I-19 : Vue spectrale de la combinaison de deux signaux en sortie d'un système non linéaire

Dans une chaîne de réception, la linéarité est d'autant plus importante que chaque étage donne du gain au signal. De ce fait, si un étage sort un signal présentant des distorsions, tous les étages suivant amplifieront cette distorsion. La linéarité d'un système comportant n blocs en cascade est souvent caractérisée avec l'IIP3 total à partir de l'équation (I.4). Elle met en évidence que les derniers blocs d'un système sont les plus critiques pour les phénomènes d'intermodulation.

$$\frac{1}{IIP3_{TOT}} = \frac{1}{IIP3_1} + \frac{G_1}{IIP3_2} + \frac{G_2 G_1}{IIP3_3} + \dots + \frac{G_{n-1} \dots G_2 G_1}{IIP3_n} \quad (I.4)$$

Ces différents types de performances vont ainsi être ajusté pour le(s) système (ou circuits) en fonctions des caractéristiques du standard qu'il va adresser. Ces standards sont nombreux et leurs spécifications très différentes suivant les applications visées. Nous allons poursuivre, dans la suite, en décrivant les grandes classes d'applications et les contraintes de développement inhérentes à celles ci.

3. Les Standards Radiofréquences

La multiplication des applications en télécommunication sans fil a imposé une classification des différents standards. Ceux-ci sont classés par types de réseaux qui sont définis en fonction de la distance de transmission du signal, du débit de la transmission et de l'application visée, comme illustré sur la Figure I-20.

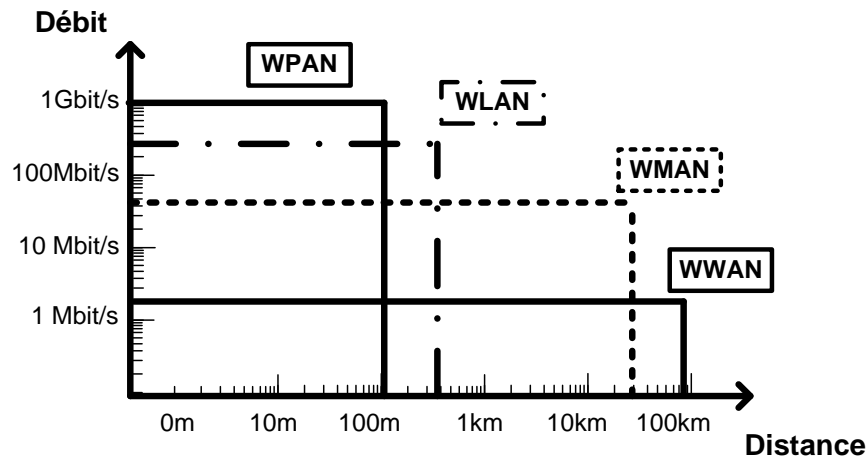


Figure I-20 Topologies des différents réseaux sans fil

- Le réseau personnel sans fil, WPAN (Wireless Personal Area Network), est de faible portée et pour des applications personnelles. Les standards les plus connus sont : Bluetooth, Zigbee (très faible débit et faible consommation), le " Higher Rate" sous le standard 802.15.3a utilisant l'Ultra Wide Band (UWB : large bande et fort débit).
- Le réseau local sans fil, WLAN (Wireless Local Area Network), est de moyenne portée avec un très haut débit. Ce type de réseau est notamment utilisé pour le WiFi.
- Le réseau métropolitain sans fil, WMAN (Wireless Metropolitan Area Network) permet des transmissions sur des longues distances avec un haut débit. Les principaux standards connus pour ces applications sont le WiMax et le HiperMAN (europe).
- Le réseau étendu sans fil, WWAN (Wireless Wide Area Network), aussi connu sous le nom de « réseau cellulaire mobile », permet des communications sur de très longues distances à l'aide de réseaux d'antennes ou de satellites. Les standards les plus connus sont les réseaux téléphoniques : le GSM (Globe System for Mobile) et l'UMTS (Universal Mobile Telecommunication System).

Tous ces standards de télécommunications disposent de spécifications différentes : fréquence centrale, bande passante, débit, dynamique, modulation,... La Table I-2 rassemble les principales spécifications relatives aux standards évoqués précédemment.

Table I-2 Informations sur différents standards en Radiofréquence

Réseau	Standard		Emission (GHz)	Réception (GHz)	Application	Modulation/ Mode de transmission	Débit
WPAN	Higher Rate (UWB) 802.15.3a		3.1-10.6		Données	OFDM QPSK (MBOA), BPSK, QPSK	55-480 Mbit/s
	Bluetooth		2.402-2.480		Données	GFSK	723 kbit/s
	Zigbee		0.868-0.8686 2.412-2.472		Données	GFSK, O-QPSK	28-250 kbit/s
WLAN	WiFi	802.11a	5.15-5.35		Données	OFDM BPSK, QPSK, 16QAM, 64QAM	54Mbit/s
		802.11b	2.412-2.472		Données	DQSPK, DBPSK, CCK	11Mbit/s
		802.11g	2.412-2.472		Données	OFDM BPSK, QPSK, 16QAM, 64QAM	54Mbit/s
	HiperLan2		5.15-5.35 5.47-5.725		Données	OFDM xQAM, BPSK	54Mbit/s (par utilisateurs)
WMAN	MBWA		NC		Données	OFDM	1Mbit/s (par utilisateur)
	WiMAX		2-11		Données	BPSK, QPSK, xQAM	70Mbit/s
WWAN	GSM	Gsm900	0.88-0.915	0.925-0.960	Voix	GMSK	14.5kbit/s
		Dcs1800	1.71-1.785	1.805-1.88	Voix		115kbit/s
		Pcs1900	1.85-1.91	1.93-1.99	Voix		
	EDGE		1.71-1.785	1.805-1.88	Données	GMSK, 8-PSK	384kit/s
	UMTS		1.92-1.98	2.11-2.17	Données Visio Voix	QPSK, HPSK	2Mbit/s
	LTE		2.5-2.7		Données	QPSK, 16-QAM, 64-QAM,	100Mbit/s 50Mbit/s

Les caractéristiques d'un système d'émission-réception sont spécifiques au standard auquel il s'adresse. Le changement de standard, ou de technologie, requiert un redimensionnement complet du système. Cette étape, appelée migration, représente un coût important dans le développement d'un produit. Ainsi la portabilité des circuits et des systèmes est une caractéristique importante qui s'évalue à tous les niveaux de conception. Dans l'industrie, le temps de développement d'un produit est critique car le marché est fortement concurrentiel. Il devient alors nécessaire d'utiliser des méthodes de conception efficace. Nous verrons que l'un des objectifs de ces travaux de thèse est de proposer des méthodes efficaces de conception de circuits RF. Ces approches pourront ainsi être exploitées à mieux appréhender les phases de migration d'un produit, en réduisant les temps de redimensionnement des circuits.

Contrainte d'autonomie

L'évolution des standards est marquée par l'augmentation du débit de l'information. Dans le cas de téléphone portable, le standard de première génération dans les années 1980 est le GSM, il permet de transférer uniquement la voix des utilisateurs avec un débit de 14.55kbit/s. La deuxième génération 2G dans les années 1990, utilisant le standard Dsc1800 ou Pcs1900, transmet d'autres données que la voix telles que les MMS (Multimedia Messaging Service) avec un débit de 115 kbit/s. La demande grandissante des utilisateurs de transférer toujours plus de données, notamment avec l'expansion d'internet, mène à la création de la troisième génération 3G en 2002 utilisant le standard UMTS avec des débits de l'ordre de 2Mbit/s. En 2012, la quatrième génération 4G utilise le standard LTE qui peut atteindre les 100Mbits/s. Nous parlons déjà aujourd'hui de la sortie prochaine du "LTE advanced" dont le débit théorique devrait atteindre 1Gbits/s. Cette constante évolution vers plus de débit impose de sérieux enjeux dans le développement des systèmes de communications associés. Leur fréquence de fonctionnement, leur bande passante mais surtout leur consommation d'énergie sont en perpétuelle augmentation. Pour les objets portables ultra-connectés de types Smartphones ou tablettes, la maîtrise de la puissance consommée est un enjeu majeur.

D'autres dispositifs autonomes présentent également de fortes contraintes en consommation, parmi ceux-ci nous trouvons les réseaux de capteurs sans fils ou WSN (Wireless Sensors Network). Les WSN font partie des WPAN, ils sont utilisés pour des applications personnelles ou corporelles qui nécessitent une faible transmission d'information, une très faible consommation de puissance et une longue durée de vie (idéalement une dizaine d'année). Ce dernier point est pour certaines applications au cœur de leur développement. Par exemple le remplacement de batterie pour des capteurs intra corporel est difficilement envisageable pour des problèmes pratiques mais également de coût. La surveillance de sites naturels, type forêt, par WSN est d'autant plus efficace que la densité de nœud est importante et leur distribution géographique véritablement aléatoire. Le remplacement de batterie sur les nœuds est impossible. De ce fait, les performances de ces nœuds de capteurs sont complètement différentes des circuits traditionnels. Leurs performances sont relâchées volontairement pour faciliter la réduction de la consommation : diminution du débit, du BER et sensibilité modérée. Un certain nombre de WSN utilisent les standards Bluetooth et Zigbee aujourd'hui. Si ces normes proposent des spécifications relâchées pour permettre de réduire l'énergie nécessaire aux communications, elles restent encore surdimensionnées pour des domaines comme la surveillance environnementale ou industrielle. Il y a donc de plus en plus de solutions dites propriétaires qui se développent actuellement dans la bande ISM 2.4GHz.

Les applications visant l'autonomie énergétique se dirigent de plus en plus vers la récupération d'énergie : solaire, thermique, de flux d'air ou par ondes électromagnétiques. Ces dispositifs présentent une durée de vie très grande mais l'énergie qu'elles peuvent convertir dépend fortement de

l'environnement. Bien que les systèmes à récupération d'énergie soient prometteurs, ils sont encore souvent combinés avec des batteries pour stocker l'énergie qu'ils récupèrent. Aujourd'hui, la densité d'énergie stockée dans les batteries n'a que peu évolué avec les avancées technologiques [13]. En quinze ans, de 1990 à 2005, l'énergie stockable n'a même pas doublé alors que la demande en énergie oui. Pour des objets mobiles à connectivités avancées, le besoin de puissance devient trop important en comparaison à la capacité des batteries. L'autonomie d'une batterie d'un Smartphone est souvent inférieure à un jour pour une utilisation soutenue. Pour des systèmes autonomes comme les WSN pour lesquels les contraintes d'autonomie et d'encombrement imposent de faibles facteurs de forme, la conception devient délicate. Dans ces deux applications, objets hyper connectés et WSN, il y a un compromis entre la taille du dispositif, la puissance consommée par l'objet et l'énergie disponible dans la batterie. Pour soulager les difficultés de stockage ou récupération d'énergie, la réalisation des systèmes se dirige vers la réduction de consommation d'énergie. Elle s'applique à plusieurs niveaux : protocoles de communications, architectures du système jusqu'aux blocs constituant le système. Pour nos travaux, nous nous sommes focalisés sur l'optimisation de circuit RF au niveau transistors en technologie MOS, en vue de réduire la consommation tout en conservant les performances nécessaires au bon fonctionnement du système.

4. Evolution de la technologie intégrée : MOS

Le choix de la technologie utilisée pour la réalisation d'un circuit est primordial pour respecter les performances souhaitées pour un standard. Ce choix ne dépend pas seulement de la fréquence du signal mais aussi de l'application visée et de son coût de fabrication. Pour des applications spatiales ou militaires les performances sont très sévères et le prix des technologies est moins contraignant. Des technologies telles que le HBT (Heterojunction Bipolar Transistor) ou HEMT (High-Electron-Mobility Transistor) y sont essentiellement utilisées pour les applications RF et millimétriques. Nos travaux ont été réalisés au cours d'une thèse industrielle pour l'entreprise STMicroelectronics. Notre étude c'est focalisé sur une technologie CMOS (Complementary Metal Oxyde Semiconductor), très utilisé en numérique, disposant d'un faible coût de fabrication et d'une forte intégration.

Les performances à haute fréquence des transistors MOS sont inférieures à celles des bipolaires ou HBT et des HEMT. Cependant la densité d'intégration du CMOS le rend imbattable pour la réalisation de systèmes numériques. On remarque sur la Figure I-21 [14] que les technologies HBT (SiGe, InP, III-V) et HEMT (GaAs, GaN, InP) disposent d'une fréquence de travaille nettement supérieur au CMOS digital, par contre il y a un maximum de cent milles transistors sur une même puce avec le SiGe. Pour le CMOS, la fréquence est plus faible mais le nombre de transistors peut atteindre plusieurs centaines de millions. En 2013, le processeur Intel i7 en technologie 22nm intègre 1,4 milliard de transistors sur la même puce. Pour des dispositifs destinés à un marché de masse, le cas

idéal pour réduire le coût de production est d'intégrer le système complet sur une même puce (SOC : System On Chip), limitant ainsi le nombre de composants externes à reporter lors de la réalisation. Le mélange de technologie bipolaire et MOS, le BiCMOS, a permis dans un premier temps de réduire la surface occupée en combinant différents blocs sur la même puce. Aujourd'hui, l'amélioration des performances des technologies MOS permet de réaliser des SOC contenant toute la partie télécommunication et la partie numérique (DSP) sur une puce unique [15].

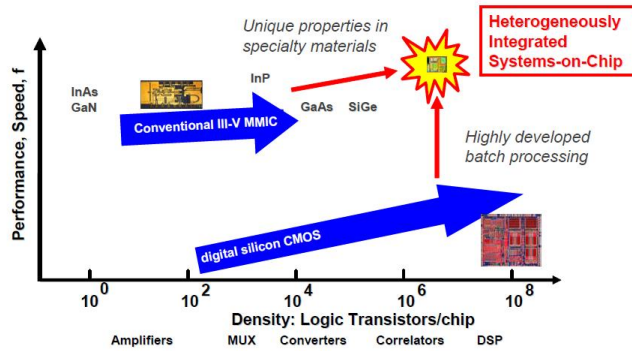


Figure I-21 Technologie en fonction de la fréquence et de la densité d'intégration [14]

Evolution des performances du MOS

A l'heure actuelle, la technologie MOS fait partie des technologies avancées qui disposent de la plus faible résolution de gravure. En 2014, elle atteint des résolutions minimales allant jusqu'à 10nm (Intel, STMicroelectronics), en développement. Cette résolution minimale est souvent associée à la longueur grille du transistor. La réduction de la taille des transistors est linéaire et suit des prédictions empiriques : la «loi de Moore» [16][17] (Figure I-22). Cette constante évolution des technologies est coûteuse et induit des changements sur les performances des transistors. Pour la conception de systèmes intégrés, il est alors nécessaire de redimensionner les circuits à chaque nouvelle génération technologique, typiquement tous les deux ans, tout en essayant de conserver un coût de développement raisonnable.

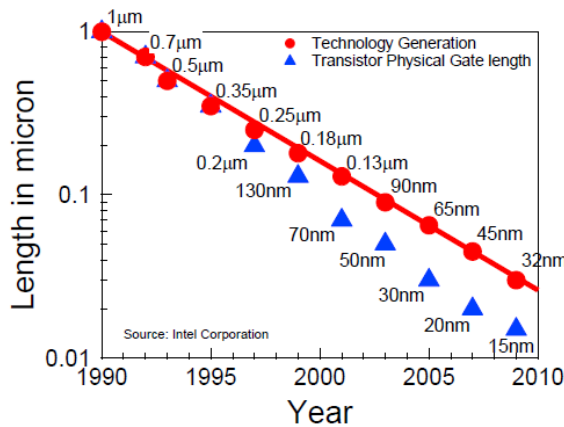


Figure I-22 : Evolutions des tailles du CMOS en fonctions des années [17]

La diminution de la longueur de grille des transistors influe fortement sur deux grandes caractéristiques : la fréquence de fonctionnement et la tension de polarisation.

La diminution des dimensions d'un circuit permet de réduire les capacités parasites qui limitent la fréquence de fonctionnement. Pour comparer les technologies, il est communément utilisé la fréquence de transition f_T qui correspond à la fréquence à laquelle le gain dynamique en courant est nul. La Figure I-23 met en évidence que la réduction de la longueur de grille permet d'augmenter la f_T [18]. La fréquence de transition en 2001 est de 90 GHz pour la 130nm, elle atteint 180 GHz pour la technologie 65nm en 2005 et elle est de 350 GHz pour la technologie 28nm en 2010. Cette amélioration de la f_T permet de réaliser des circuits travaillant à des fréquences plus élevées permettant ainsi de concurrencer les technologies HBT et HEMT pour des applications millimétriques. D'autre part, cette augmentation de la f_T réduit naturellement la consommation des circuits opérant à plus basse fréquence.

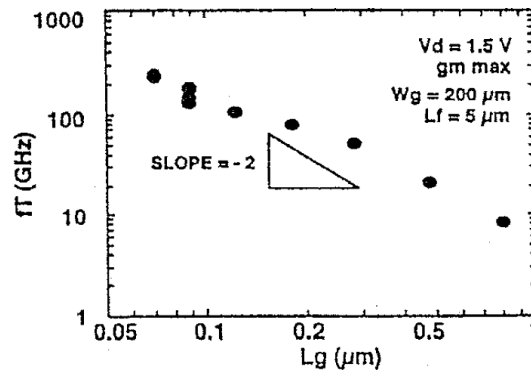


Figure I-23 : Evolution de la f_T en fonction de la longueur de grille [18]

Pour des raisons de robustesse la diminution de longueur de grille s'accompagne d'une diminution de la tension de polarisation (V_{DD}) (Figure I-24) [19] [20]. Nous pouvons remarquer que la tension a fortement diminué entre la technologie 0,8 μm (5V) et la 0,25 μm (1,8V), pour se stabiliser au alentour de 1V. Cette tendance permet de concevoir des systèmes pouvant fonctionner sous très faible polarisation et faible consommation de puissance. Cependant, la tension de seuil du transistor V_{TH} (détaillé dans le chapitre II) diminue moins rapidement que V_{DD} . Cette réduction de marge entre V_{DD} et V_{TH} implique une diminution de la dynamique maximale du signal, et pousse les circuits à fonctionner dans différentes zones de conduction. Lorsque le transistor est polarisé proche ou sous le seuil de conduction les performances du transistor se dégradent pour les signaux en hautes fréquences et la polarisation du transistor est plus sensible aux variations de l'alimentation.

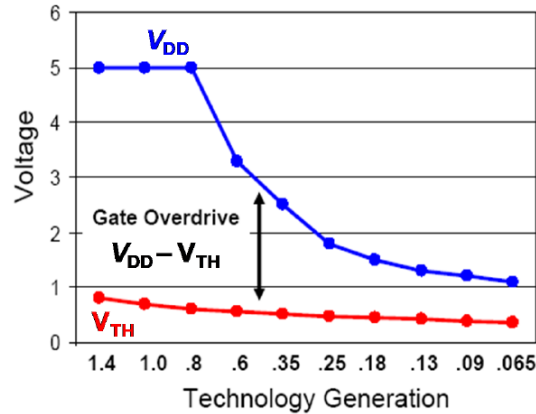


Figure I-24 : Evolution de la tension de polarisation et de seuil du CMOS [19]

Les technologies MOS avancées ont permis de réaliser des circuits à très faible consommation en radiofréquence. Cependant la rapide évolution des technologies n'a pas permis de définir des méthodes de conception adaptées à leur réalisation alors que les demandes pour des circuits à très faible consommation est grandissante.

Méthode de conception

Depuis les années 1970, la conception de circuits analogiques à faible consommation est optimisée avec la métrique « gm/I_D » [21]. Cette métrique est maximum dans la région de la faible inversion ou WI (Weak Inversion) comme illustré sur la Figure I-25. La faible inversion (détaillée dans le chapitre II) correspond à l'état du transistor lorsque le canal est peu formé : faible concentration d'électrons et polarisation en dessous du seuil de conduction. Les régions d'inversions du transistor peuvent être représentées avec le coefficient d'inversion (IC) détaillé dans le chapitre II. Dans la région de faible inversion, la fréquence de transition (f_T) est minimale. Ceci induit une forte dégradation du gain pour les hautes fréquences et ne permet pas de réaliser des circuits radiofréquences (RF). Pour des applications hautes fréquences, les transistors sont habituellement polarisés en région de forte inversion ou SI (Strong Inversion) où la f_T est à son maximum. La forte inversion (détaillé dans le chapitre II) correspond à l'état du transistor lorsque le canal est entièrement formé : forte concentration d'électron et polarisation au dessus du seuil de conduction. La consommation de puissance est par conséquent plus importante en forte inversion. Pour les applications RF inférieures à 10 GHz, la forte augmentation de la f_T (28nm : 350GHz) a permis de polariser les transistors en inversion modérée ou MI (Moderate Inversion), entre la faible inversion et la forte inversion, afin de diminuer la consommation. Selon des facteurs de mérite nouveaux tels que le « gm^2/I_D » [22] et le « $gm.f_T/I_D$ » [23](Figure I-25).

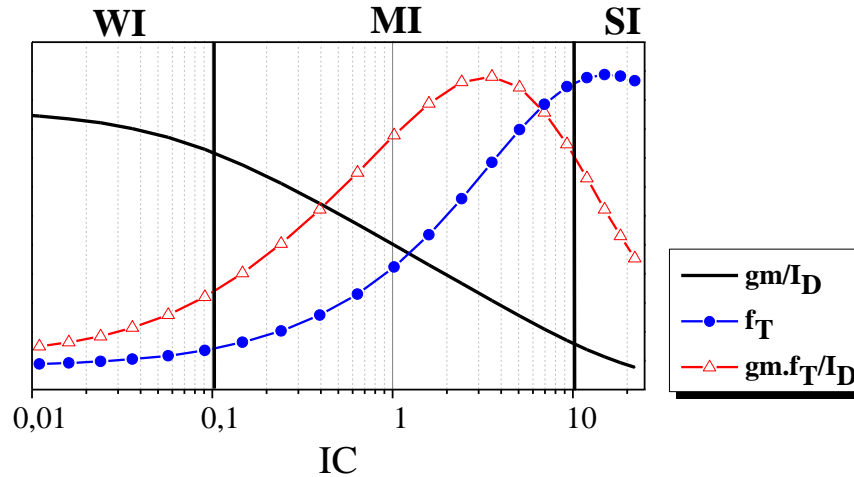


Figure I-25 : Evolution de « gm/I_D », f_T et « $gm \cdot f_T / I_D$ » en fonction du coefficient d'inversion

Toutes ces métriques permettent de définir la région dans laquelle le transistor disposerait de la polarisation idéale à l'application visée : analogique, ou haute fréquence ou fréquence intermédiaire à faible consommation. Ces métriques sont des tendances de conception, elles ne permettent pas de définir directement les performances d'un circuit. Bien que les points d'optimisations soient proches ils sont souvent différents suivant la topologie du circuit. Nous constatons que des tendances de conception de circuit existent mais elles ne sont pas définies clairement en tant que méthodes de conception permettant par exemple d'automatiser la réalisation d'un circuit RF à faible consommation. Nous verrons dans les chapitres III et IV les méthodes de conception que nous proposons pour la réalisation de circuit afin de satisfaire des performances RF à faible consommation d'énergie pour des amplificateurs à faible bruit et des oscillateurs contrôlés en tension.

5. Conclusion

La télécommunication sans fil a beaucoup évolué à l'image du nombre de standards et d'applications exploitant ce mode de communication et de transfert de données. Dans un monde où la rentabilité est au cœur du développement de nos sociétés, le coût de réalisation d'un produit devient un critère de la plus haute importance. Au niveau de la fabrication, les systèmes électroniques intégrés favorisent l'utilisation de technologies CMOS. Leur forte densité d'intégration leur permet de présenter des coûts de fabrication très bas. Cette tendance est renforcée par l'amélioration constante de leurs performances, f_T notamment, qui permet au procédé MOS de conquérir de nouveaux marchés tel que celui des applications millimétriques. Pour réduire le coût de développement, des méthodes de conception efficaces sont nécessaires pour dimensionner les circuits rapidement vers différents standards et différents nœuds technologiques. Dans le domaine analogique/RF cet espace reste à combler alors que la conception numérique est en avance sur ce type d'outils.

Le marché actuel fait ressortir, d'une part une augmentation de la consommation des objets communicants conventionnels, mais aussi une expansion des applications, réseaux et solutions matérielles sans fil. Ce dernier point est illustré par le développement à très grande échelle de réseaux de capteurs sans fil. Il ressort de ces tendances que les systèmes actuels, du type spécifique ou du genre hyper-connectés, appelle à une contrainte commune: la maîtrise de leur consommation à tous les niveaux de conception.

Nos travaux ont pour objectif de développer une méthode de conception efficace qui permet de passer rapidement d'un standard à l'autre, mais également de travailler sur la portabilité technologique. Nous verrons à travers le Chapitre II, relatif à la description approfondie du transistor MOS, que la normalisation du transistor permet un redimensionnement rapide. Notre méthode est appliquée à la conception de circuits radiofréquences pour une faible consommation de puissance. Dans le Chapitre III, une méthode de conception d'amplificateur faible bruit (LNA) est développée. Dans le Chapitre IV, deux approches de conception d'oscillateur contrôlé en tension (VCO) sont décrites. Pour illustrer nos méthodes, nous travaillerons dans la bande 2,4GHz dédiées aux applications Industrielles, Scientifiques et Médicales (ISM) largement exploitées aujourd'hui pour le développement de réseaux de capteurs sans fil.

Bibliographie

- [1] B. Razavi, *RF Microelectronics*. Prentice Hall PTR, Upper Saddle River, NJ, USA, 1998.
- [2] A. Abidi, « Direct-conversion radio transceivers for digital communications », *IEEE J. Solid-State Circuits*, vol. 30, n° 12, p. 1399-1410, déc. 1995.
- [3] G. L. Fudge, M. . Chivers, S. Ravindran, R. E. Bland, et P. E. Pace, « A reconfigurable direct RF receiver architecture », in *IEEE International Symposium on Circuits and Systems, 2008. ISCAS 2008*, 2008, p. 2621-2624.
- [4] D. Chen, W. Pan, P. Jiang, J. Jin, T. Mo, et J. Zhou, « Reconfigurable Dual-Channel Multiband RF Receiver for GPS/Galileo/BD-2 Systems », *IEEE Trans. Microw. Theory Tech.*, vol. 60, n° 11, p. 3491-3501, nov. 2012.
- [5] J. Mitola, « The software radio architecture », *IEEE Commun. Mag.*, vol. 33, n° 5, p. 26-38, mai 1995.
- [6] C.-K. K. Yang et M. . Horowitz, « A 0.8 μm CMOS 2.5 Gb/s oversampling receiver and transmitter for serial links », *IEEE J. Solid-State Circuits*, vol. 31, n° 12, p. 2015-2023, déc. 1996.
- [7] C. . DeVries et R. D. Mason, « Subsampling Architecture for Low Power Receivers », *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 55, n° 4, p. 304-308, avr. 2008.
- [8] S. P. Reichhart, B. Youmans, et R. Dygert, « The software radio development system », *IEEE Pers. Commun.*, vol. 6, n° 4, p. 20-24, août 1999.
- [9] F. Rivet, Y. Deval, J. Begueret, D. Dallet, P. Cathelin, et D. Belot, « The Experimental Demonstration of a SASP-Based Full Software Radio Receiver », *IEEE J. Solid-State Circuits*, vol. 45, n° 5, p. 979-988, mai 2010.
- [10] H. Kraïmia, T. Taris, Y. Deval, et D. Belot, « Radio frequency signal demodulation method for wireless sensors network, involves filtering signal by filter whose bandwidth includes two coding frequencies, where bandwidth is centered on frequency distinct from center frequency of signal », FR20120058735, 21-mars-2014.

- [11] N. Pletcher, S. Gambini, et J. Rabaey, « A 65 μ W, 1.9 GHz RF to digital baseband wakeup receiver for wireless sensor nodes », in *IEEE Custom Integrated Circuits Conference, 2007. CICC '07*, 2007, p. 539-542.
- [12] Friis, « Noise figures of radio receivers », *Proc. IRE*, vol. 32, n° 7, p. 419-422, 1944.
- [13] J.-M. Tarascon, « L'énergie : stockage électrochimique et développement durable : Leçon inaugurale prononcée le jeudi 9 décembre 2010 », in *L'énergie : stockage électrochimique et développement durable*, Paris: Collège de France, 2013.
- [14] « International Technology Roadmap for Semiconductors : Radio Frequency and Analog/Mixed-Signal technologies for Wireless Communications ». 2009.
- [15] R. B. Staszewski, R. Staszewski, J. L. Wallberg, T. Jung, C.-M. Hung, J. Koh, D. Leipold, K. Maggio, et P. T. Balsara, « SoC with an integrated DSP and a 2.4-GHz RF transmitter », *IEEE Trans. Very Large Scale Integr. VLSI Syst.*, vol. 13, n° 11, p. 1253-1265, nov. 2005.
- [16] R. Chau et G. Marcyk, « Intel Corporation ». .
- [17] C. Enz, « Courses : Advanced Analog and RF IC Design ». 2011.
- [18] H. S. Momose, S. Nakamura, Y. Katsumata, et H. Iwai, « Study of direct-tunneling gate oxides for CMOS applications », in *1998 3rd International Symposium on Plasma Process-Induced Damage*, 1998, p. 30-33.
- [19] P. Packan, « IEDM Short Course (Intel) ». 2007.
- [20] T.-J King Liu, « Bulk CMOS Scaling to the end of the Roadmap ». University of California at Berkely, juin-2012.
- [21] E. A. Vittoz et J. Fellrath, « CMOS analog integrated circuits based on weak inversion operation », *IEEE J Solid-State Circuits*, vol. SC-12, n° 3, p. 224-231, juin 1977.
- [22] I. Song et B.-G. Park, « A Simple Figure of Merit of RF MOSFET for Low-Noise Amplifier Design », *Electron Device Lett. IEEE*, vol. 29(12), 2008.
- [23] A. Shameli et P. Heydari, « Ultra-Low Power RFIC Design Using Moderately Inverted MOSFETs: An Analytical/Experimental Study », *RFIC*, 2004.

Chapitre II

Le transistor MOSFET

Chapitre II. Le transistor MOSFET

Chapitre II. Le transistor MOSFET	48
1. Fonctionnement du transistor MOSFET en statique	49
2. Modèle petit signal du transistor MOS.....	55
a. Partie active du transistor.....	55
b. Partie passive	60
c. Modèle petit signal du transistor MOS	63
3. Les sources de bruit	63
4. Extractions de paramètres.....	66
a. Extraction des paramètres relatifs à la partie active.....	66
b. Extraction des paramètres passifs.....	68
5. Conclusion.....	69
Bibliographie.....	71

La technologie CMOS est la plus utilisée pour la conception de circuits intégrés de masse du fait de sa forte intégration et de son faible coût de fabrication. La diminution de la taille des transistors lui permet par ailleurs de fonctionner à des fréquences très élevées ou à des très faibles consommations. Dans ce chapitre, nous présentons le fonctionnement du transistor MOS, en statique et en dynamique à partir du modèle EKV [1]. Les principes de normalisation du transistor sont ensuite décrits. Cette normalisation a notamment pour objectif de rendre la modélisation du transistor indépendant de sa taille et de la technologie. Enfin les méthodes d'extraction des paramètres indispensables à la description et la normalisation du transistor MOS sont exposées.

1. Fonctionnement du transistor MOSFET en statique

Le principe de fonctionnement du transistor MOS ou MOSFET (Metal Oxide Semiconductor Field Effect Transistor) (Figure II-1) repose sur l'application d'un champ électrique sur une structure métal-oxyde-semiconducteur. Il comporte quatre accès : la grille (ou gate en anglais), le drain (Drain), la source et le substrat (ou Bulk). L'ensemble des caractéristiques du transistor MOS sont principalement liées à l'épaisseur d'oxyde t_{ox} , ainsi qu'aux dimensions géométriques de la grille, largeur W (Width) et longueur L (Length). Le drain et la source permettent un accès au semi-conducteur afin de former le canal de conduction. La connexion au substrat est conventionnellement utilisée pour bloquer les diodes parasites qui génèrent des courants de fuites.

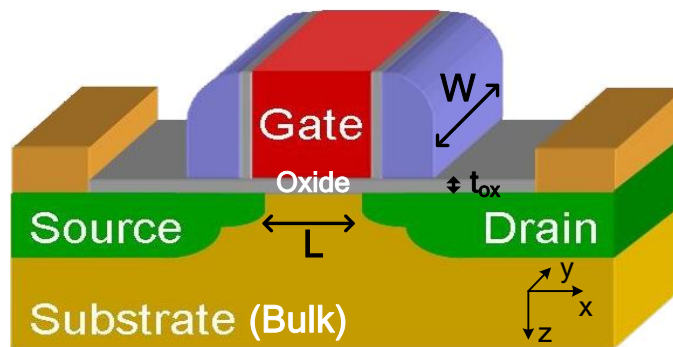


Figure II-1 Transistor MOSFET en 3D

La différence de potentiel entre la grille et le semi-conducteur génère des charges à l'interface de l'oxyde et crée ainsi un potentiel de surface (Ψ_s) dans le semi-conducteur. Le transistor MOS fonctionne suivant différents modes en fonction du potentiel de surface répertorié dans la Table II-1 :

- L'accumulation correspond à un potentiel de surface négative. Il provoque une forte migration des trous (holes en anglais) à l'interface générant un excès de charges positives.
- La déplétion correspond à un potentiel de surface nul, rendant les atomes à leur état naturel (sans excitation).
- L'inversion correspond à un potentiel de surface positif qui provoque une augmentation de la concentration d'électrons (charge négatives). Deux régions se distinguent. La faible inversion (weak inversion en anglais) dispose d'une faible concentration d'électrons. La forte inversion (strong inversion en anglais) dispose d'une forte concentration d'électrons.

Table II-1 Mode de fonctionnement du transistor MOS

Accumulation	Déplétion	Appauvrissement	Inversion de charge
$V_{GS} < 0$ ou $\Psi_s/U_T < 0$	$V_{GS} = 0$ ou $\Psi_s/U_T = 0$	$V_{GS} > 0$ ou $\Psi_s/U_T > 0$	$V_{GS} \gg 0$ ou $\Psi_s/U_T \gg 0$

Il existe dans la littérature deux approches pour modéliser physiquement le comportement du transistor : en utilisant les potentiels de surface, ou bien par transfert de charge. Ces approches fournissent des résultats équivalents mais avec une complexité de réalisation différente. Pour la suite de nos travaux, nous nous inspirerons du modèle EKV, du nom de leurs inventeurs C.C Enz, F. Krummenacher et E.A. Vittoz. Ce modèle repose sur le transfert de charge dans le semi-conducteur.

Les modes de fonctionnement du transistor peuvent être décrits analytiquement avec les équations de Poisson (II. 1) en trois dimensions (x, y, z) à partir du calcul du champ électrique E , ρ étant la concentration de charge et ϵ_{Si} la permittivité du Silicium. En supposant que le canal soit beaucoup plus long et large que l'épaisseur d'oxyde, il est possible d'affirmer que le champ électrique suivant la profondeur « z » est prépondérant. Ceci permet de simplifier les équations de Poisson suivant une seule dimension : z .

$$\frac{\partial E}{\partial x} + \frac{\partial E}{\partial y} + \frac{\partial E}{\partial z} = \frac{\rho}{\epsilon_{Si}} \xrightarrow{\text{si } \frac{\partial E}{\partial z} \gg \frac{\partial E}{\partial x} + \frac{\partial E}{\partial y}} \frac{\partial E}{\partial z} = \frac{\rho}{\epsilon_{Si}} \quad (\text{II.1})$$

En développant l'équation (II.1), il est possible de connaître la densité de charge dans le semi-conducteur avec l'équation (II.2). Cette fonction dépend du potentiel électrostatique (Ψ), de la tension du canal (V), du potentiel de Fermi dans le substrat en silicium (Φ_F) et de la tension thermodynamique (U_T). Le calcul est développé dans [1] et cette fonction est représentée sur la Figure II-2. Comme illustré dans la Table II-1, on distingue les trois modes de fonctionnement du transistor : accumulation, déplétion et inversion de charge. Pour la réalisation de circuit électronique, le transistor est généralement polarisé en inversion de charge.

$$F(\Psi, \Phi_F, V) \cong \sqrt{\underbrace{\left(e^{\frac{\Psi}{U_T}} - 1 \right)}_{\text{électrons}} \cdot e^{\frac{2 \cdot \Phi_F - V}{U_T}} + \underbrace{\left(e^{-\frac{\Psi}{U_T}} - 1 \right)}_{\text{trous}} + \underbrace{\frac{\Psi}{U_T}}_{\text{charges fixes}}} \quad (\text{II.2})$$

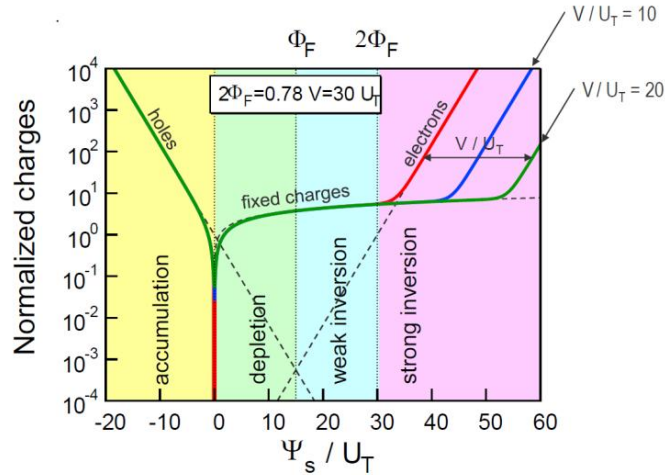


Figure II-2. Densité de charge dans le Semi-conducteur en fonction du potentiel de surface sur la tension thermodynamique.

La densité de charges mobiles en inversion (Q_i) est obtenue dans l'équation (II.3) en intégrant la concentration de charge, avec q la charge d'un électron, ϵ_{Si} la permittivité du Silicium, N_b la concentration du dopage du substrat.

$$-Q_i = \sqrt{\frac{q \cdot \epsilon_{Si} \cdot N_b}{2 \cdot U_T}} \cdot \int_0^{\Psi_s} \frac{e^{\frac{\Psi - 2 \cdot \Phi_F - V}{U_T}}}{F(\Psi, \Phi_F, V)} \cdot d\Psi \quad (\text{II.3})$$

La densité de charges mobiles en inversion permet d'obtenir le courant du canal I_D avec l'équation (II.4) en l'intégrant sur une plage de tension de V_{DS} . Le courant dépend du paramètre β (équation II.5) qui est composé de la mobilité intrinsèque des porteurs μ_n , de la capacité d'oxyde surfacique (C_{ox}), et de la taille du transistor : largeur (W) et longueur (L).

$$I_D = \beta \cdot \int_{V_s}^{V_D} \frac{-Q_i}{C_{ox}} \cdot dV \quad (\text{II.4})$$

$$\beta = \mu_n \cdot C_{ox} \cdot \frac{W}{L} \quad (\text{II.5})$$

Du fait de la symétrie du transistor MOS entre le drain et la source, le transistor fonctionne de manière équivalente dans les deux sens. Le courant I_D circule du drain vers la source. Si le courant I_D est positif, il est défini le mode « Forward » de courant I_F . Si le courant I_D est négatif, il est défini le mode « Reverse » de courant I_R . Les tensions V_D et V_S sont respectivement les différences de potentiel entre le drain et le bulk, et entre la source et le bulk. Si la différence de potentiel V_{DS} est nulle ($V_D = V_S$), le canal est équilibré et les électrons accumulés au niveau de l'oxyde ne migrent pas vers une sortie, rendant ainsi le courant I_D nul. La tension de pincement V_P (Pinch-off Voltage) correspond à l'instant où le canal du transistor est complètement formé et délimite la transition entre un fonctionnement linéaire et un fonctionnement saturé du transistor. La Figure II-3 récapitule les modes de polarisation du transistor lorsqu'il est en inversion de charge.

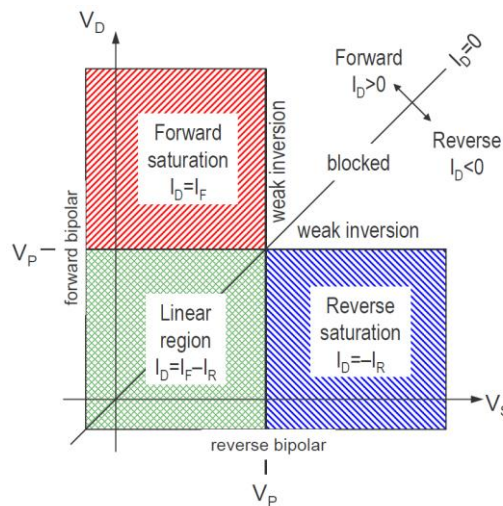


Figure II-3 Différents modes de polarisation en régime d'inversion

Les caractéristiques du courant I_D sont représentées sur les Figure II-4 en fonction de la tension de grille V_G et de la fonction de drain V_D lorsque le transistor est en forte inversion. V_{DSsat} ($=V_{PS}$) est défini comme la tension de transition entre l'état linéaire et l'état de saturation. Un facteur de pente n est défini dans l'équation (II.6) [1], il est la dérivée de la fonction de seuil du transistor V_{TB} en fonction du potentiel de surface Ψ_s . Il est aussi défini comme étant la dérivée de la tension de grille V_G en fonction de la tension de pincement V_P . La tension V_{T0} est la tension de seuil à l'équilibre.

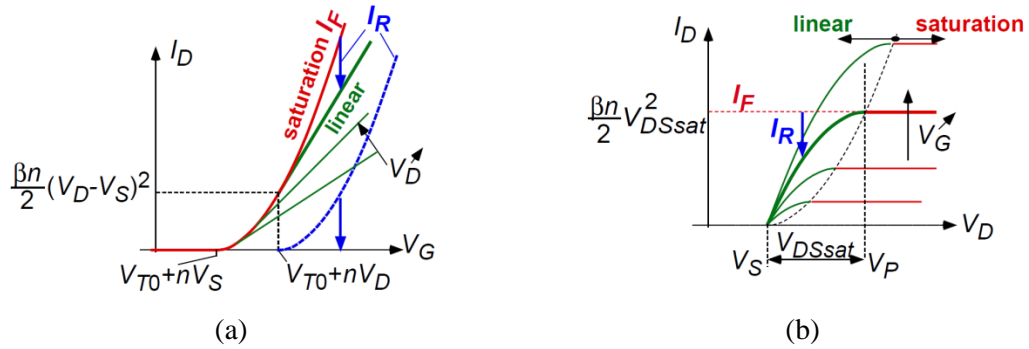


Figure II-4 Evolution du courant I_D en fonction de la tension de grille V_G (a) et la tension de drain V_D (b) en forte inversion

$$n = \frac{dV_{TB}}{d\Psi_s} = \frac{dV_G}{dV_P} \quad (\text{II.6})$$

Le régime linéaire est utilisé pour remplacer les résistances intégrées par des transistors qui ont une capacité d'intégration plus importante pour des valeurs équivalentes. Mise à part le cas où le transistor est utilisé comme une résistance ou une capacité variable (Chapitre II.2.b), le transistor est généralement utilisé en polarisation « Forward » (I_F) et en saturation. Nous continuerons notre étude en se plaçant dans ces conditions.

En régime de saturation, le courant est décrit dans l'équation (II.7) [2] de façon continue de la faible à la forte inversion en fonction des tensions du transistor :

$$I_D = I_{spec} \left[\ln^2 \left(1 + e^{\frac{V_{GS} - V_T}{2.n.U_T}} \right) - \ln^2 \left(1 + e^{\frac{V_{GS} - V_T - n.V_{DS}}{2.n.U_T}} \right) \right] \quad (\text{II.7})$$

$$\text{avec } I_{spec} = 2.n.\beta.U_T^2 = 2.n.\mu.C_{ox} \cdot \frac{W}{L} . U_T^2$$

Du fait de la complexité de l'équation (II.7), il est plus communément utilisé des équations simplifiées du courant en dissociant la forte (II.8) et la faible inversion (II.9) :

- Pour la forte inversion, lorsque $V_{GS} > V_T$:

$$I_D \cong \frac{\beta}{2n} . (V_{GS} - V_T)^2 \quad (\text{II.8})$$

$$\text{avec } \beta = \mu.C_{ox} \cdot \frac{W}{L}$$

- Pour la faible inversion, lorsque $V_{DS} \gg U_T$:

$$I_D \cong I_{spec} \cdot e^{\frac{V_{GS}-V_T}{n \cdot U_T}} \cdot \left(1 - e^{-\frac{V_{DS}}{U_T}} \right) \quad (\text{II.9})$$

$$\text{avec } I_{spec} = 2 \cdot n \cdot \beta \cdot U_T^2 = 2 \cdot n \cdot \mu \cdot C_{ox} \cdot \frac{W}{L} \cdot U_T^2 \quad (\text{II.10})$$

Pour la conception de circuit, le choix de la formule du courant à utiliser n'est pas évident. Il faut soit utiliser une formule valide sur tous les régimes de fonctionnement en saturation (II.7) mais difficile à exploiter, soit des formules plus accessibles (II.8) et (II.9) mais dont la transition est approximative. Pour cette raison, nous n'allons pas travailler directement avec la formule du courant mais avec sa normalisation qui est nommée le coefficient d'inversion : IC.

Le coefficient d'inversion IC (Inversion Coefficient en anglais) (II.11) est une mesure du niveau d'inversion du canal. C'est une normalisation du courant de drain par rapport à un courant spécifique I_{spec} (II.12) en saturation. Nous distinguons deux parties pour ce courant spécifique : une partie proportionnelle à la taille du transistor W/L, et une partie dépendante de la technologie utilisée $I_{spec\Box}$. Le courant spécifique carré ($I_{spec\Box}^2$) est composé de la capacité d'oxyde par unité de surface (C_{ox}), de la tension thermodynamique ($U_T = k \cdot T / q$), de la mobilité de surface à faible champ (μ_0) et d'un facteur de pente n . Le facteur n varie de 1,4 en faible inversion à 1,6 en forte inversion, mais nous le considérerons ici comme une constante égale à 1,5.

$$IC = \frac{I_D}{I_{spec}} \quad (\text{II.11})$$

$$I_{spec} = I_{spec\Box} \cdot \frac{W}{L} \quad \text{avec } I_{spec\Box}^2 = 2n\mu_0 C_{ox} U_T^2 \quad (\text{II.12})$$

Le coefficient d'inversion permet de distinguer directement dans quel régime d'inversion se situe le transistor, quelque soit la technologie ou la taille utilisée, ce qui est intéressant pour la conception de circuit.

- $IC \leq 0,1$: Inversion faible (Weak Inversion), noté WI
- $0,1 \leq IC \leq 10$: Inversion modérée (Moderate Inversion), noté MI
- $10 \leq IC$: Inversion forte (Strong Inversion), noté SI

La Figure II-5 représente le coefficient d'inversion en fonction de la tension de grille, on retrouve le comportement exponentiel de IC en faible inversion et l'asymptote de la forte inversion. Le paramètre I_{spec} correspond à I_D quand $IC = 1$.

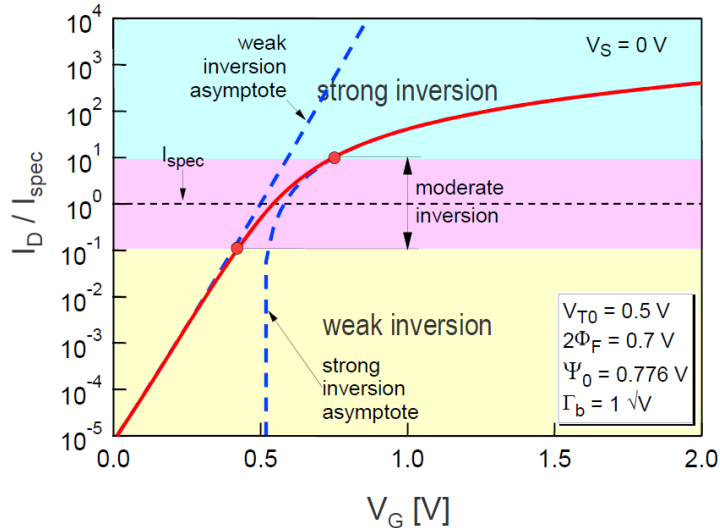


Figure II-5 : Coefficient d'inversion en fonction de la tension de grille V_G

L'étude statique du transistor MOSFET à partir du modèle EKV basé sur le transport des charges a permis de mettre en avant le coefficient d'inversion. Ce coefficient IC est un moyen pratique pour réaliser des études indépendamment de la taille ou de la technologie du transistor utilisé. Nous allons à présent regarder le comportement du transistor MOSFET en dynamique et le caractériser en fonction de IC .

2. Modèle petit signal du transistor MOS

Le modèle petit signal du transistor MOS est obtenu à partir du modèle grand signal qui est linéarisé pour un point de polarisation, c'est un modèle quasi-statique. Il existe différents modèles de transistor MOS petits signaux [3] [4] [5]. Leur complexité dépend de la fréquence de fonctionnement et de la précision souhaitée. Pour notre étude, nous travaillons avec le modèle EKV [1]. La nécessité de simulations réalistes impose l'utilisation de modèles précis. Cependant pour la réalisation de circuit par des approches analytiques, l'utilisation d'approximations avec des modèles simplifiés est suffisante. Tout d'abord nous verrons le modèle petit signal basses fréquences qui est constitué par la partie active du transistor. Ensuite, nous analyserons la partie passive du transistor afin de proposer un modèle plus adapté aux applications hautes fréquences.

a. Partie active du transistor

La partie active du transistor est décrite à partir de la physique du semi-conducteur exposée dans le chapitre II.1. Elle est composée d'une conductance g_{ds} représentant la dépendance du courant de drain à la tension V_{DS} comme illustré en Figure II-6 . La partie active comporte également différentes sources de courant contrôlées par les tensions appliquées aux bornes du composant (Figure

II-6) : drain (V_D), source (V_S), et grille (V_G). Les transconductances g_{md} , g_{ms} et g_m représentent la dépendance des sources de courant aux tensions de drain, de source et de grille respective.

$$g_m = \frac{dI_D}{dV_{GS}} \quad (\text{II.13})$$

$$g_{ds} = \frac{dI_D}{dV_{DS}} \quad (\text{II.14})$$

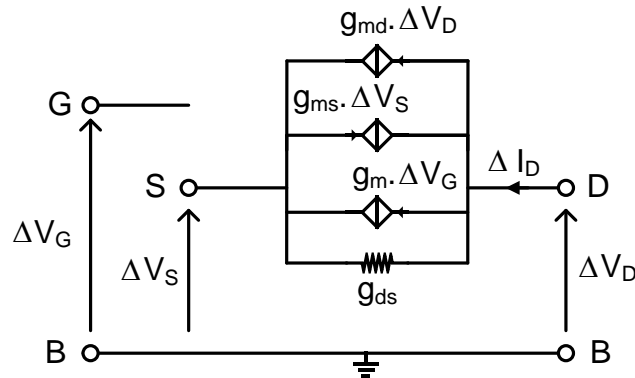


Figure II-6 Modèle petits signaux de la partie active du MOS

Généralement la source et le bulk sont reliés entre eux, ce qui permet de remplacer les tensions V_G et V_D par les tensions V_{GS} et V_{DS} qui sont plus communément utilisées. Lorsque le transistor est polarisé en saturation, la source de courant prépondérante est celle liée à la transconductance g_m . Elle est définie dans l'équation (II.13) comme la dérivée du courant de drain I_D en fonction de la différence de potentiel V_{GS} . La transconductance g_m est sans aucun doute le paramètre le plus important du modèle petit signal. Elle est associée à la vitesse du composant, au bruit thermique et indirectement à la consommation en courant. La conductance g_{ds} dépend de la variation du courant de drain par rapport à la variation de tension V_{DS} (II.14). La transconductance et la conductance peuvent être définies analytiquement à l'aide du coefficient d'inversion.

- La transconductance : g_m

L'étude de [6] a permis de définir analytiquement la transconductance g_m de façon continue et simple sur tous les régimes de polarisation. Son expression (II.15) est composée de trois parties distinctes :

- Les caractéristiques technologiques du transistor : $I_{spec\Box}$
- la taille du transistor : W et L
- une fonction du coefficient d'inversion : $Gm(IC, \lambda_c)$ (II.16):

La fonction $G_m(IC, \lambda_c)$ prend en compte le coefficient d'inversion et un facteur de saturation de vitesse des porteurs λ_c qui sera expliqué ci-après. Ce facteur λ_c varie de 0 (sans saturation) à 1.

$$g_m = \frac{G_m IC, \lambda_c \cdot I_{spec} \cdot W}{U_T} \cdot \frac{W}{L} \quad (II.15)$$

$$G_m(IC, \lambda_c) = \frac{1}{n} \frac{\sqrt{(IC \cdot \lambda_c + 1)^2 + 4 \cdot IC} - 1}{\lambda_c (IC \cdot \lambda_c + 1) + 2} \quad (II.16)$$

En Figure II-7 nous retrouvons la comparaison en la transconductance analytique g_m définie en (II.15) et des résultats de simulation en technologie 28nm utilisant un modèle PSP. On remarque que la prise en compte du facteur de saturation de la vitesse des porteurs permet une parfaite correspondance entre la formule analytique et la simulation. Si λ_c n'est pas considéré (soit $\lambda_c=0$), la formule analytique diverge lorsque le transistor est polarisé en forte inversion (SI). Le même comportement a été vérifié pour des transistors en technologie 40nm de STMicroelectronics avec le modèle BSIM6 (1).

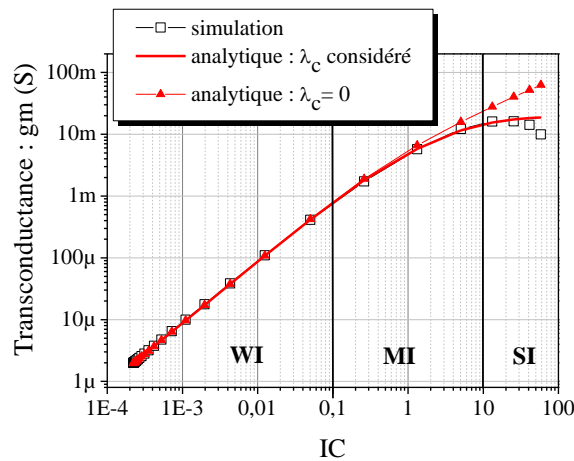


Figure II-7 Comparaison de la transconductance en simulation et analytique avec et sans facteur de saturation de vitesse des porteurs pour un transistor de taille $W = 6\mu\text{m}$ et $L=30\text{nm}$.

- Le facteur de saturation de vitesse des porteurs : λ_c

Pour les transistors à canaux courts (environ $L < 200\text{nm}$), lorsque le champ électrique longitudinale E_x devient trop important, il apparait une dérive de la vitesse des porteurs : trous (holes) et électrons (Figure II-8) [1]. Ce phénomène a pour effet de faire saturer la transconductance lorsque le transistor est polarisé en forte inversion.

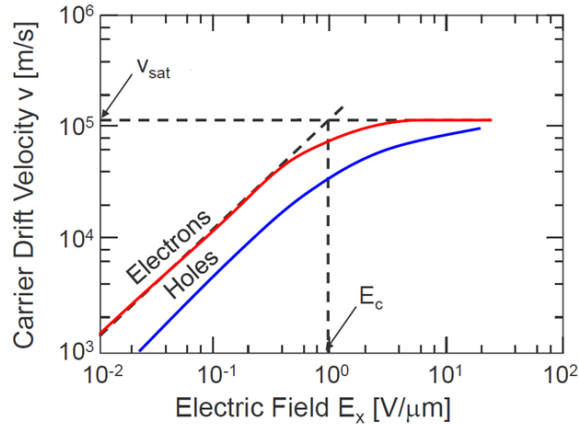


Figure II-8 Dérive de la vitesse des porteurs dans le Silicium en fonction du champ électrique

Le facteur de saturation de vitesse des porteurs (λ_c) est défini dans l'équation (II.17), il dépend de la mobilité prenant en compte l'effet du champ vertical (μ_z), de la dérive de saturation de vitesse (v_{sat}) et de la longueur de grille (L). Il peut également être décrit selon la valeur du champ électrique longitudinal critique (E_c) et la longueur de grille (L). Des valeurs typiques de v_{sat} et E_c sont reportés dans la Table II-2 pour un substrat en silicium à la température ambiante [7]. La méthode d'extraction du paramètre λ_c pour chaque longueur de grille (L) sera décrite dans le chapitre II.4.a.

$$\lambda_c \cong \frac{2\mu_z U_T}{v_{sat} L} = \frac{U_T}{E_c L} \quad (\text{II.17})$$

Table II-2 Valeurs typiques de v_{sat} et E_c dans le Silicium à température ambiante

	v_{sat}	E_c
Electrons	10^5 m/s	1 V/ μm
Trous	8×10^4 m/s	3 V/ μm

- La conductance : g_{ds}

La conductance g_{ds} du canal a une évolution dynamique par rapport à la tension V_{GS} . Il correspond à la pente du courant I_D en fonction de la tension V_{DS} lorsque le transistor est en saturation (Figure II-9). L'asymptote de la pente g_{ds} rejoint un courant nul à la tension d'Early (V_A ou V_M). La conductance g_{ds} est définie avec la tension d'Early et le courant I_D dans l'équation (II.18) [1].

$$g_{ds} = \frac{I_D}{V_M} \quad (\text{II.18})$$

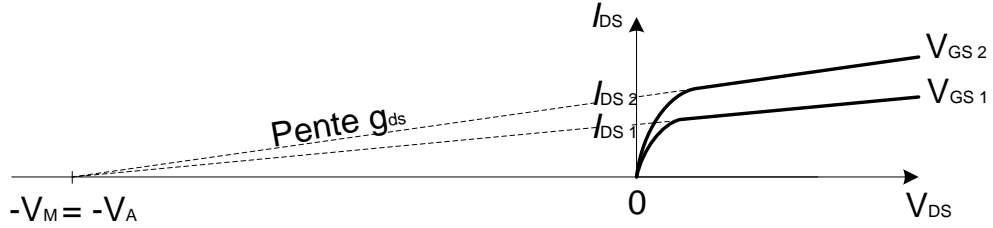


Figure II-9 Convergence de la caractéristique (I_D - V_{DS}) en saturation vers ($-V_M$).

La tension d'Early V_M dispose d'une description analytique complexe définie à partir de l'équation (II.19) [1]. La dérivée du courant I_D en fonction de la tension V_{DS} est décrite de façon discontinue en faible et forte inversion dans les équations (II.20) et (II.21) respectivement. Ces équations dépendent de la permittivité du silicium (ϵ_{Si}), de la charge d'un électron (q), du potentiel de barrière à la jonction du drain et de la source à l'équilibre (Φ_B), d'une approximation du potentiel de surface à l'équilibre en forte inversion (Ψ_0), de la tension de pincement (V_P) et d'un facteur de correction des effets en deux dimensions (κ).

$$V_M = I_D \cdot \frac{dV_{DS}}{dI_D} \quad (\text{II.19})$$

En faible inversion :

$$\frac{dI_D}{dV_{DS}} = -\kappa \frac{dI_D}{dL} \sqrt{\frac{\epsilon_{Si}}{2qN_b(\Phi_B + V_{DS})}} \quad (\text{II.20})$$

En forte inversion :

$$\frac{dI_D}{dV_{DS}} = -\kappa \frac{dI_D}{dL} \sqrt{\frac{\epsilon_{Si}}{2qN_b(\Phi_B - \Psi_0 + V_{DS} - V_P)}} \quad (\text{II.21})$$

L'approximation proposée dans l'équation (II.22) est souvent admise. La conductance g_{ds} est alors définie à l'aide du courant I_D , de la longueur de grille (L) et d'un paramètre empirique, α_{Gds} . La méthode d'extraction du paramètre α_{Gds} sera décrite dans le chapitre II.4.a.

$$g_{ds} = \frac{I_D}{V_M} \approx \frac{I_D}{\alpha_{Gds} \cdot L} = \frac{I_C \cdot I_{spec} \cdot W}{\alpha_{Gds} \cdot L} \quad (\text{II.22})$$

En Figure II-10 nous retrouvons la comparaison entre la conductance analytique g_{ds} définie en (II.22) et les résultats de simulation en technologie 28nm utilisant un modèle PSP. Nous pouvons constater que l'expression analytique est très proche des résultats de simulation pour le régime de faible inversion (WI). A partir de l'inversion modérée, l'effet de saturation de vitesse des porteurs induit un

début de saturation que l'expression analytique n'intègre pas. Il faut donc rester prudent sur l'utilisation de cette représentation lorsque le coefficient d'inversion approche 10.

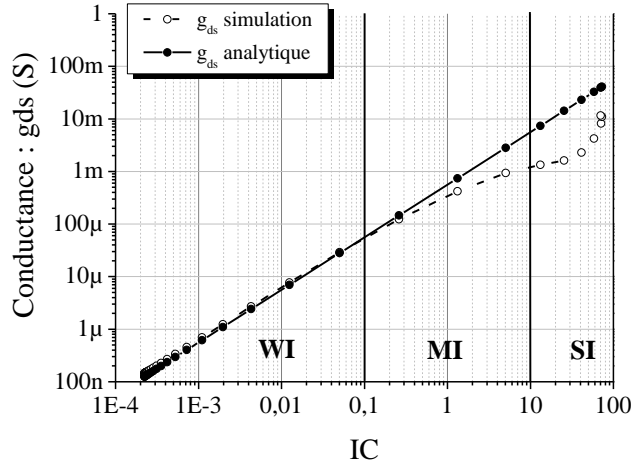


Figure II-10 Comparaison de la conductance entre analytique et simulation pour un transistor de taille $W=6\mu\text{m}$ et $L=30\text{nm}$.

Nous avons pu remarquer que la description de la transconductance g_m et de la conductance g_{ds} est réalisée à partir de trois types de paramètres :

- Les paramètres de polarisation, représentés par le coefficient d'inversion (IC)
- la taille du transistor (W et L)
- les paramètres technologiques : $I_{\text{spec}\square}$, λ_c and α_{Gds} .

Nous verrons dans la partie 4. « Extractions de paramètres » que seulement deux simulations DC permettent d'extraire les paramètres technologiques.

b. Partie passive

La partie passive d'un transistor est composée de résistances et de capacités qui sont souvent dénommées « parasites » du fait qu'elles affectent le comportement « naturel » d'amplification du transistor. C'est principalement la réponse en fréquence du transistor qui se retrouve affectée par ces parasites. Les composants parasites sont divisés en deux catégories : les parasites extrinsèques liés à la réalisation technologique (connexions du composant), d'autre part les parasites intrinsèques inhérents à la physique du transistor MOS.

Une vue en coupe du transistor MOS est représentée sur la Figure II-11 avec son équivalent électrique. Les accès du transistor sont des métaux disposant d'une certaine résistivité. Les résistances R_G , R_S et R_D sont définies respectivement comme étant les accès à la grille, à la source et au drain du

transistor. Les résistances R_S et R_D sont en série avec la résistance de canal $R_{DS}=1/g_{ds}$. La résistance R_{DS} est généralement beaucoup plus grande que la somme des résistances d'accès ($R_S + R_D$). Il est ainsi possible de négliger les résistances d'accès devant R_{DS} . La résistance de grille R_G sera décrite plus en détails dans la suite de ce chapitre. Les jonctions PN entre le substrat et le dopage du drain et de la source forment les diodes D_{BS} et D_{BD} . Le substrat peut aussi être modélisé avec une représentation en petits signaux. Cependant ces jonctions D_{BS} et D_{BD} , de même que le modèle du substrat, ont une influence relativement modérée sur le comportement du transistor dans notre cas d'étude. Ainsi, et par soucis de simplification de l'analyse au niveau circuit, nous n'avons pas inclus de modélisation spécifique du substrat dans nos modèles analytiques.

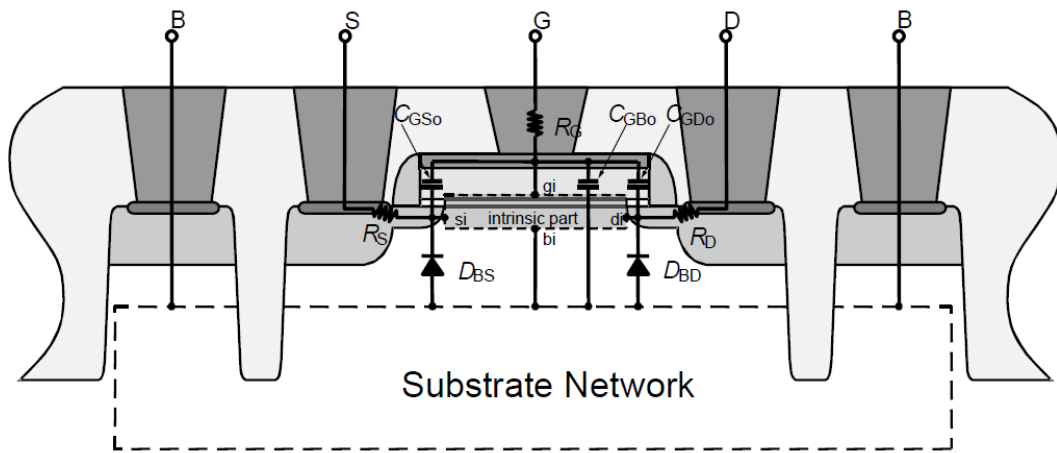


Figure II-11 Vue en coupe du transistor MOS et son équivalent électrique extrinsèque

- Résistance de grille : R_G

La résistance de grille R_G est spécifiée sur Figure II-12 [1], elle se compose de résistances en série (équation II.23) : résistance de contact (R_{Gcon}), résistance du haut de la grille (R_{Gtop}), résistance externe (R_{Gext}) et résistance du via (R_{Gvia}).

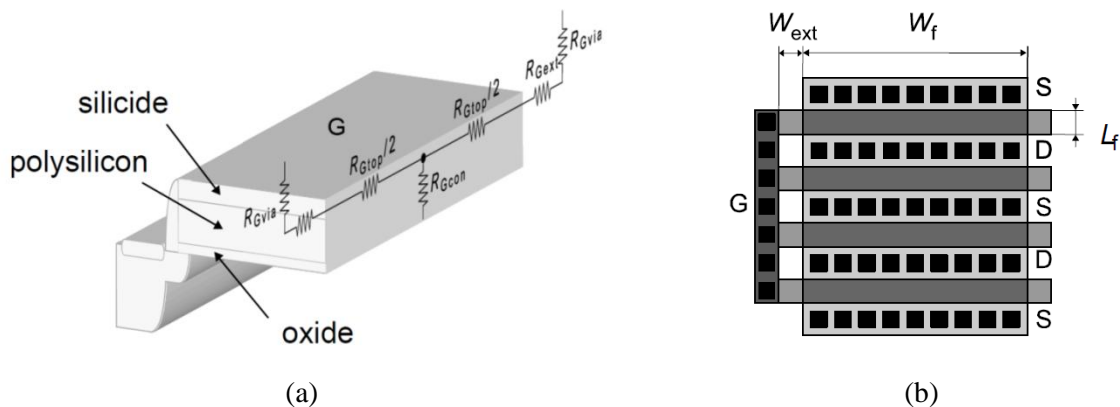


Figure II-12 Vue en coupe de la grille et son équivalent électrique (a) et vue de dessus d'un transistor à plusieurs doigts (b).

$$R_G = R_{Gcon} + R_{Gtop} + R_{Gext} + R_{Gvia} \quad (II.23)$$

En considérant des techniques de layout et des simplifications définis dans l'annexe B « Partie passive du transistor MOS », il est possible de simplifier la résistance de grille avec l'équation II.24. On obtient une résistance de grille R_G qui est proportionnelle à la taille du doigt du transistor (W_f, L_f), du nombre de doigts (N_f) et dépend d'un paramètre technologique : $R_{G\Box}$. La méthode d'extraction de ce paramètre technologique est illustrée dans le chapitre II.4.b.

$$R_G \approx \frac{W_f}{N_f \cdot L_f} \cdot R_{G\Box} \quad (II.24)$$

- Capacités parasites

Les accès grille-source et grille-drain sont soumis à quatre typologies de capacités parasites extrinsèques (Figure II-13) [1]. La capacité de champs de frange externe (C_{of}) et la capacité de champs de frange entre l'électrode de grille et le via (C_{Gf}) sont indépendantes de la polarisation, contrairement à la capacité de champs de frange interne (C_{if}) et capacité de chevauchement (C_{ov}) qui y sont fortement dépendantes. Les capacités intrinsèques ($c_{GSi}, c_{GDi}, c_{GBi}, c_{BSi}$) subissent des variations en fonction des charges induites dans le canal. Pour les circuits en petits signaux, la polarisation du transistor n'évolue que très peu autour du point de fonctionnement. Il est alors possible de considérer que les capacités intrinsèques du transistor sont constantes.

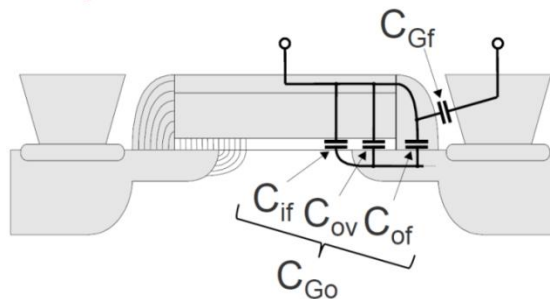


Figure II-13 Capacités parasites extrinsèque du transistor MOS

Les contraintes de précisions des modèles peuvent être relâchées pour la réalisation d'un circuit de manière analytique. L'annexe B « Partie passive du transistor MOS » décrit les étapes qui permettent de simplifier le modèle des capacités. Les capacités sont définies à partir de la largeur de grille du transistor (W) et d'un paramètre technologique (C_w). Nous définissons ainsi dans l'équation (II.25) les capacités C_{GS} , C_{GD} et C_{BD} qui dépendent respectivement des capacités par unité de longueur C_{GSw} , C_{GDw} et C_{BDw} . La méthode d'extraction de ces paramètres technologiques est illustrée dans le chapitre II.4.b.

$$\begin{aligned}
 C_{GS} &\approx W \cdot C_{GSw} & (a) \\
 C_{GD} &\approx W \cdot C_{GDw} & (b) \\
 C_{BD} &\approx W \cdot C_{BDw} & (c)
 \end{aligned}
 \tag{II.25}$$

c. Modèle petit signal du transistor MOS

Si le transistor est en saturation et polarisé dans un régime d'inversion de charge, nous pouvons établir le modèle simplifié du transistor MOS proposé dans la Figure II-14. Nous retrouvons ici un modèle petit signal conventionnel mais sous une forme normalisée. Il est composé de la transconductance (g_m) et la conductance (g_{ds}) qui définissent la partie active du transistor. Les capacités intrinsèques et extrinsèques sont regroupées sous : C_{GS} , C_{GD} , C_{BD} . Nous retenons pour les différents composants constituant ce modèle les expressions décrites dans les équations (II.15), (II.22), (II.24) et (II.25). Ce modèle est d'une part défini par des paramètres technologiques : trois pour la partie active ($I_{spec\Box}, \lambda_c, \alpha_{gds}$) et quatre pour la partie passive ($R_{G\Box}, C_{GSw}, C_{GDw}$ et C_{BDw}). D'autre part, il est défini par trois paramètres de conception : la taille (W,L) et la polarisation (IC). Ce modèle, basé sur des réseaux RC, est suffisant pour couvrir des applications n'excédant pas la dizaine de GHz.

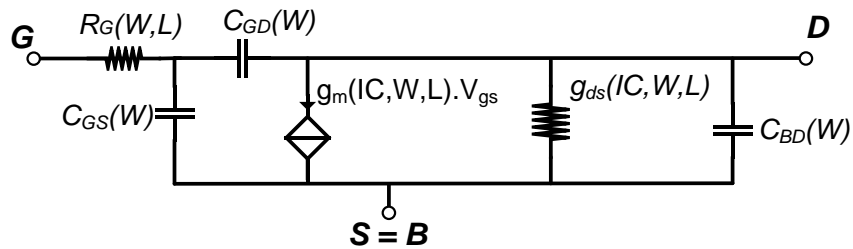


Figure II-14 : Modèle petit signaux normalisé du transistor MOS

La réalisation d'amplificateur faible bruit nécessite d'utiliser un modèle petit signal disposant des contributions en bruit du transistor. Nous allons à présent aborder les sources de bruit principales du composant MOS.

3. Les sources de bruit

Le bruit des composants génère des perturbations qui se superposent au signal utile et ont tendance à masquer son contenu. Si le niveau de bruit est trop important l'information contenue dans le signal utile est inexploitable. Il est donc indispensable de considérer les problématiques de bruit lors de la conception de circuits. Le bruit est quantifié au travers de la densité spectrale de puissance $S(f)$ intégrée sur une plage de 1Hz en fonction de la fréquence. Il existe 3 types de bruit [8] qui, par ordre d'importance en électronique, sont: le bruit blanc, le bruit en 1/f et le bruit hautes fréquences. Ce dernier devient significatif pour des systèmes opérant dans le domaine millimétriques, et au delà, il est

par conséquent négligé aux fréquences Radio. Le bruit en $1/f$, comme illustré dans la Figure II-15, est inversement proportionnel à la fréquence, il affecte donc particulièrement les circuits fonctionnant à basses fréquences. Cependant 2 types de circuits sont concernés par les effets du bruit en $1/f$ dans le domaine RF: les mélangeurs et les oscillateurs. L'étude du bruit dans ces circuits, particulièrement l'oscillateur, fait l'objet d'approches spécifiques à cause du bruit en $1/f$. Le bruit de type blanc est caractéristique des sources présentant une densité spectrale de puissance indépendante de la fréquence comme l'illustre la Figure II-15. Il tire ainsi son nom de l'analogie qui peut être faite avec le spectre de la lumière blanche. Cette forme de bruit prédomine aux fréquences Radio et va faire l'objet principal de notre étude lors du développement du modèle.

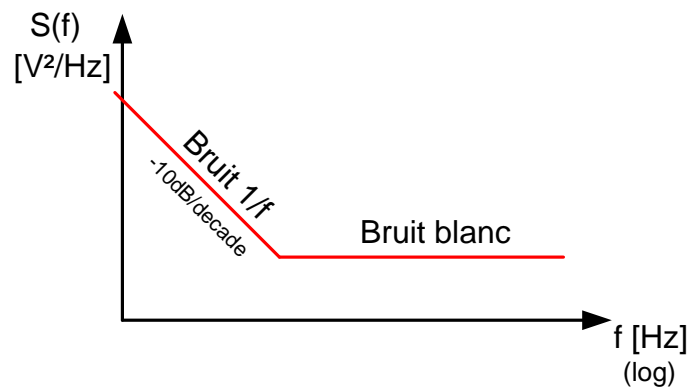


Figure II-15 Représentation du bruit d'un transistor dans le domaine spectral

- Le bruit thermique

Ce bruit est de type blanc, et se localise dans les composants ayant une partie résistive. Son origine vient de l'agitation thermique liée aux chocs subits entre les porteurs dans le conducteur qui constitue une variation aléatoire du courant et de la tension [9]. Il est aussi parfois appelé Bruit Johnson [10] ou bruit de Nyquist [11].

Dans le transistor MOSFET deux sources de bruit thermique principales sont considérées : une liée au canal de conduction, l'autre à la résistance de grille. Les résistances d'accès de drain et de source génèrent également du bruit thermique mais leur influence est négligeable. Dans le modèle EKV [1], la source de bruit du canal $\overline{i_{nd}^2}$ est représentée par la conductance du transistor g_{ds} (II.26) et la source de bruit de la grille $\overline{v_{ng}^2}$ est représentée par la résistance de grille R_G (II.27). Il est ainsi possible d'obtenir un modèle équivalent du transistor avec les sources de bruit thermique sur la Figure II-16.

$$\overline{i_{nd}^2} = 4.k.T.g_{ds}(IC,W,L) \quad (II.26)$$

$$\overline{v_{ng}^2} = 4.k.T.R_G(W,L) \quad (II.27)$$

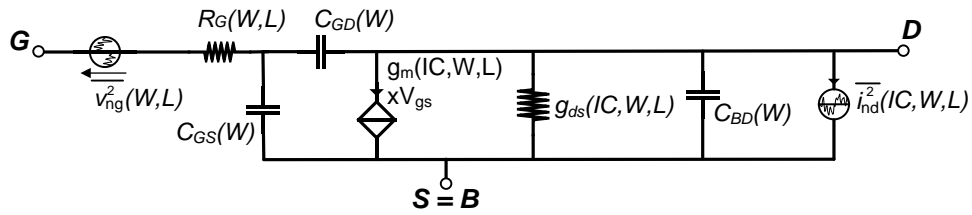


Figure II-16 Modèle petits signaux du transistor MOS avec ses sources de bruit thermique

- Le bruit 1/f ou flicker noise

Le bruit en 1/f est provoqué par trois sources principales. La première est décrite avec le modèle de Mc-Worther [1] [12] (équation II.28). Elle provient de la fluctuation du nombre de porteurs durant l'inversion de charge provoquée par les piègeages des porteurs à l'interface entre le silicium(Si) et l'oxyde (SiO₂). Cette équation dépend du courant de drain (I_D), de la densité des porteurs à l'équilibre (n₀), de la variance de la fluctuation de densité des porteurs ($\overline{\Delta n^2}$) et d'une constante de temps qui dépend de l'effet tunnel du transistor (τ).

$$S_{\Delta i_{nd}^2} \Big|_{\Delta N} = \left(\frac{I_D}{n_0} \right)^2 \overline{\Delta n^2} \cdot \frac{2.\tau}{1+(2.\pi.f.\tau)^2} \quad (II.28)$$

La seconde source de bruit provient de la fluctuation de mobilité des porteurs à cause de la nature granulométrique de certains matériaux [13] [14]. Ces fluctuations de mobilité se situent dans les résistances et le canal du MOSFET [15]. L'équation de cette source est représentée dans l'équation (II.29) [1] [13], elle dépend du courant de polarisation, de la fréquence (f), du nombre total de charges mobiles (N) et du paramètre de Hooge (α_H varie de 10⁻⁴ à 10⁻⁶).

$$S_{\Delta i_{nd}^2} \Big|_{\Delta \mu} = I_D^2 \cdot \frac{\alpha_H}{f.N} \quad (II.29)$$

La troisième source vient de la contribution des résistances de drain et de la source du transistor. Elle est définie dans l'équation (II.30) [1] [16] avec le courant (I_D), la fluctuation de la résistance (S_{AR²}), des transconductances de source (g_{ms}) et de drain (g_{md}) et la résistance du drain ou de la source (égale par symétrie) (R_{D,S}).

$$S_{\Delta I_{nD}^2} \Big|_{\Delta R} = \frac{g_{ms}^2 + g_{md}^2}{1 + R_{D,S}(g_{ms} + g_{md})} \cdot I_D^2 \cdot S_{\Delta R^2} \quad (\text{II.30})$$

Le bruit en 1/f total est la contribution de toutes ces sources de bruit (équation II.31) [1].

$$S_{\Delta I_{nD}^2} = S_{\Delta I_{nD}^2} \Big|_{\Delta N} + S_{\Delta I_{nD}^2} \Big|_{\Delta \mu} + S_{\Delta I_{nD}^2} \Big|_{\Delta R} \quad (\text{II.31})$$

Nos travaux de recherche relatifs à la réalisation d'amplificateur faible bruit, où seulement le bruit thermique est considéré, se référeront au modèle proposé dans la Figure II-16. Pour les investigations relatives aux oscillateurs exposées dans le chapitre IV, nous reviendrons sur la prise en compte du bruit en 1/f au travers du bruit de phase spécifique aux oscillateurs.

4. Extractions de paramètres

Les modèles AC et en bruit, proposés dans les figures Figure II-14 et Figure II-16 respectivement, décrivent de manière analytique le comportement du transistor MOS, à partir du coefficient d'inversion et des paramètres technologiques, sous une forme normalisée. Cette description fait apparaître certains paramètres spécifiques à extraire :

Pour la partie active : $I_{\text{spec}\square}$ pour le coefficient d'inversion, α_{Gds} pour la conductance et λ_c pour l'influence de la saturation de vitesse des porteurs dans la transconductance.

Pour la partie passive : à partir d'un modèle petit signal simplifié, il faut extraire C_w pour les capacités et R_{\square} pour les résistances du transistor.

a. Extraction des paramètres relatifs à la partie active

Pour extraire les caractéristiques $I_{\text{spec}\square}$ et λ_c liées respectivement au coefficient d'inversion et à la saturation de vitesse des porteurs, le rapport « g_m/I_D », aussi connu sous le nom « d'efficacité en courant », est exploité. D'un point de vue comportemental, tracer les courbes non normalisées « g_m/I_D » ou normalisées « $G_m(IC, \lambda_c)/IC$ » est équivalent, à un facteur près de normalisation. Pour des raisons de simplicité, nous allons expliquer les allures des courbes d'un point de vue normalisé « $G_m(IC, \lambda_c)/IC$ ». Cependant, pour extraire les paramètres $I_{\text{spec}\square}$ et λ_c ce seront les courbes non normalisées « g_m/I_D » qui seront utilisées.

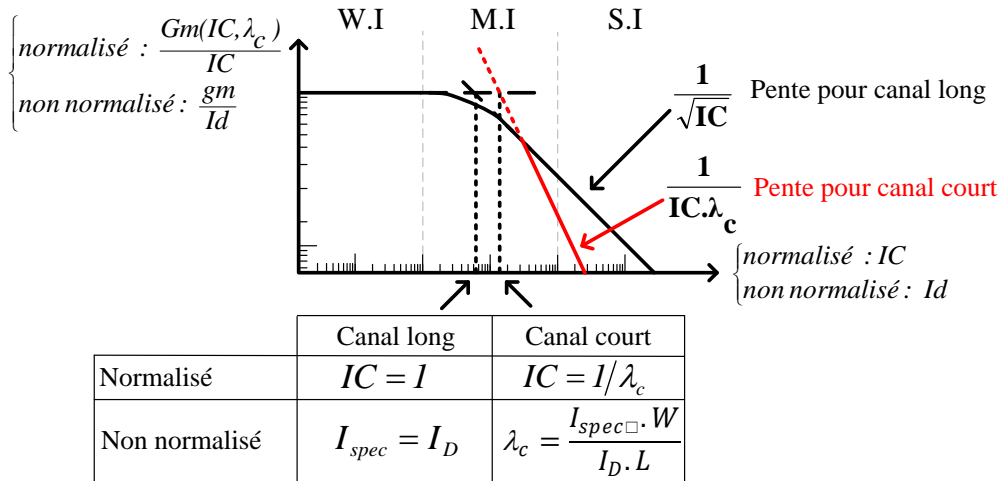


Figure II-17 Méthode d'extraction pour les paramètres : I_{spec} et λ_c .

Le rapport « $Gm(IC, \lambda_c)/IC$ » permet de distinguer deux tendances sur la Figure II-17. En faible inversion (WI), ce rapport est constant et égale à 1. En forte inversion (SI), ce rapport décroît suivant une pente de $1/\sqrt{IC}$ pour des transistors à canaux longs et une pente de $1/(\lambda_c \cdot IC)$ pour des transistors à canaux courts. Pour les transistors à canaux longs, les deux asymptotes de faible et forte inversion se croisent par définition au point $IC=1$. C'est ainsi qu'est défini le courant spécifique I_{spec} lorsque la courbe « g_m/I_D » est tracée. Le paramètre I_{spec} est par la suite obtenu en divisant I_{spec} par le rapport W/L (équation II.12). Pour les transistors à canaux courts, l'intersection de ces asymptotes permet d'obtenir le courant I_D qui est utilisé dans l'équation (II.32) pour trouver λ_c . Le paramètre λ_c dépend de la longueur du canal (L), il doit être extrait pour chaque longueur de canal.

$$\lambda_c = \frac{I_{spec} \cdot W}{I_D \cdot L} \quad (II.32)$$

Une caractéristique électrique (I_D-V_{GS}) permet de trouver g_m . L'annexe C « Simulation de la transconductance » explique comment obtenir la transconductance de façon efficace en simulation DC.

La caractéristique électrique (I_D-V_{DS}) (Figure II-18) permet de déterminer g_{ds} qui est la dérivée du courant I_D en fonction de la tension V_{DS} (équation II.14). Il est ensuite possible de déduire le paramètre empirique $\alpha_{G_{ds}}$ à partir de l'équation (II.33) en saturation. Ce paramètre est constant quelles que soient la taille et la polarisation du transistor en saturation.

$$\alpha_{G_{ds}} = \frac{I_D}{g_{ds} \cdot L} = \frac{I_D}{L} \cdot \frac{\Delta V_{DS}}{\Delta I_D} \quad (II.33)$$

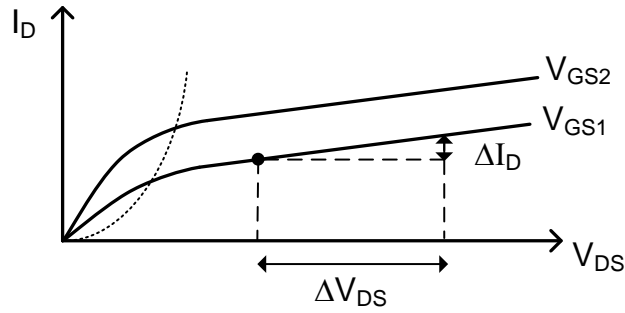


Figure II-18 Caractéristique électrique (I_D - V_{DS})

b. Extraction des paramètres passifs

Pour extraire les composants passifs, des simulations de type paramètre S sont réalisées pour déduire les admittances du transistor. A partir du schéma équivalent du transistor (Figure II-19), on fixe le port 1 entre le bulk et la grille et le port 2 entre la bulk et le drain. La source et le bulk sont connectés entre eux. Pour un transistor en saturation, à fréquences relativement faibles et des transistors de petites tailles, il est possible de se situer dans les conditions où $\omega.R_G.(C_{GS}+C_{GD}+C_{BD}) \ll 1$ ce qui permet d'obtenir les capacités et résistances en fonction des admittances simplifiées Y_{ij} (II.34) [1] [17]. Le détail du calcul est illustré dans l'annexe D « Extraction des paramètres passifs».

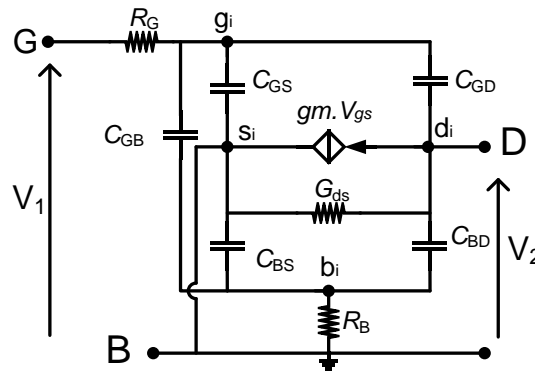


Figure II-19 Modèle petits signaux équivalent en saturation du transistor

$$Si \omega.R_G.(C_{GS} + C_{GD} + C_{BD}) \ll 1:$$

$$\begin{cases} C_{GD} \cong -\frac{imag(Y_{12})}{\omega} & (a) \\ C_{BD} \cong \frac{imag(Y_{22})}{\omega} - C_{GD} & (b) \\ C_{GS} \cong \frac{imag(Y_{11})}{\omega} - C_{GD} & (c) \\ R_G \cong \frac{real(Y_{11})}{[imag(Y_{11})]^2} & (d) \end{cases} \quad (II.34)$$

On constate sur la Figure II-20 que les équations définies dans (II.34) correspondent parfaitement avec les mesures.

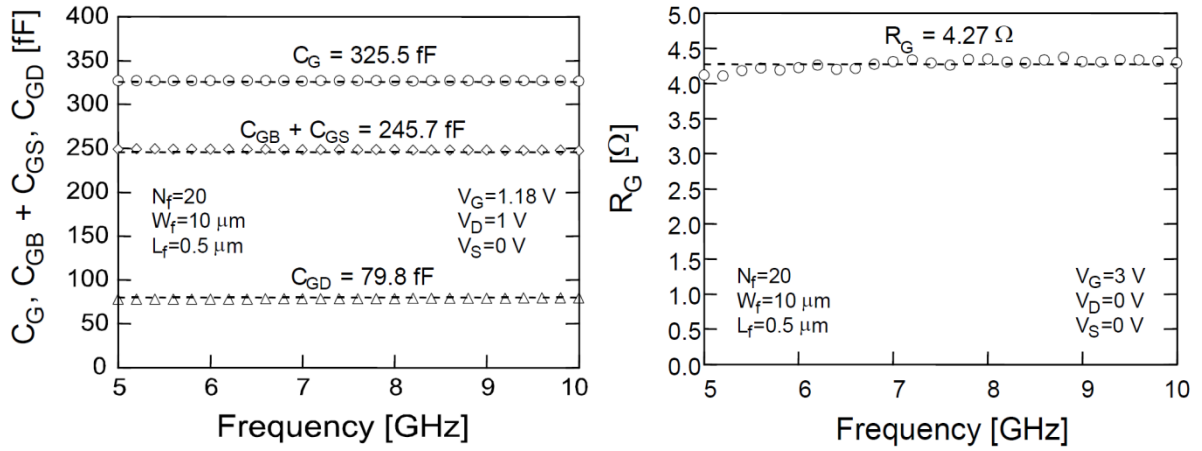


Figure II-20 Comparaison entre mesures et analytique pour un transistor NMOS avec : $W=10\mu\text{m}$, $L=0.5\mu\text{m}$, 20doigts, $V_G=1.18\text{V}$ et $V_D=1\text{V}$. [1]

Dans la partie II.2.b, nous avons constaté que les capacités sont proportionnelles à la largeur du canal W et la résistance de grille à W/L . Les paramètres technologiques pour la normalisation du transistor sont alors définis comme suit au moyen des équations (II.35): C_{GSw} , C_{GDw} , C_{BDw} et $R_{G\Box}$.

$$\begin{aligned}
 C_{GSw} &= C_{GS}/W & (a) \\
 C_{GDw} &= C_{GD}/W & (b) \\
 C_{BDw} &= C_{BD}/W & (c) \\
 R_{G\Box} &= \frac{R_G \cdot L}{W} & (d)
 \end{aligned}
 \tag{II.35}$$

5. Conclusion

Dans ce chapitre le transistor MOSFET a été présenté à partir du modèle EKV. L'étude du transfert de charges a permis de distinguer les différents régimes de fonctionnement du transistor suivant le type de porteurs qui y sont majoritaires : accumulation, déplétion, inversion. Notre étude s'est par la suite focalisée sur le fonctionnement en inversion de charge qui est plus communément utilisé pour la réalisation de circuits en électronique analogique. Le courant du transistor est normalisé de façon à distinguer les différents modes d'inversions de charge (faible inversion, inversion modéré et forte inversion) de façon indépendante de la taille du composant et de la technologie utilisée. Ce courant normalisé est représenté par le coefficient d'inversion (IC). Un modèle petit signal du transistor MOS est ensuite proposé pour décrire son comportement. La partie active, constituée de la transconductance $g_m(IC)$ et de la conductance $g_{ds}(IC)$ est représentée en fonction du coefficient

d'inversion. La partie passive, constituée des résistances et capacités parasites est analysée et normalisée en fonction de la taille du transistor : largeur W et longueur L . Suivant les mêmes principes de normalisation et de description en fonction du IC, un modèle équivalent en bruit du transistor MOS est également proposé. La dernière partie de ce chapitre décrit les méthodes d'extraction des paramètres technologiques mis en jeu dans les modèles.

Nous allons dans les prochains chapitres utiliser les modèles AC et en bruit proposés, pour la synthèse et l'optimisation de circuits radiofréquences.

Bibliographie

- [1] C. C. Enz et E. A. Vittoz, *Charge-based MOS Transistor Modeling*. s1, John Wiley & Sons, Ltd, 2006.
- [2] Y. Tsvividis, K. Suyama, et K. Vavelidis, « Simple 'reconciliation' MOSFET model valid in all regions », *Electron. Lett.*, vol. 31, n° 6, p. 506-508, mars 1995.
- [3] M. J. Deen, C.-H. Chen, S. Asgaran, G. . Rezvani, J. Tao, et Y. Kiyota, « High-Frequency Noise of Modern MOSFETs: Compact Modeling and Measurement Issues », *IEEE Trans. Electron Devices*, vol. 53, n° 9, p. 2062-2081, sept. 2006.
- [4] T. C. Ng, T. N. Swe, K.-S. Yeo, K. W. Chew, J.-G. Ma, et M. . Do, « Small signal model and efficient parameter extraction technique for deep submicron MOSFETs for RF applications », *Circuits Devices Syst. IEE Proc. -*, vol. 148, n° 1, p. 35-39, févr. 2001.
- [5] C. C. Enz et Y. Cheng, « MOS transistor modeling for RF IC design », *IEEE J. Solid-State Circuits*, vol. 35, n° 2, p. 186-201, févr. 2000.
- [6] A. Mangla, M.-A. Chalkiadaki, F. Fadhuile, T. Taris, Y. Deval, et C. C. Enz, « Design methodology for ultra low-power analog circuits using next generation BSIM6 MOSFET compact model », *Microelectron. J.*, vol. 44, n° 7, p. 570-575, juill. 2013.
- [7] S. M. Sze, *Semiconducteur Devices : Physics and Technology*, 2nd éd. John Wiley & Sons, 1981.
- [8] A. van der Ziel, *Noise in Solid State Devices and Circuits*. John Wiley, 1986.
- [9] A. van der Ziel, « Thermal Noise in Field Effect Transistors », *Proc. IEEE*, p. 1801-12, août-1962.
- [10] J. B. Johnson, « Thermal agitation of electriciy in conductor », *Phys Rev*, vol. 29, p. 97-109, 1928.

- [11] H. Nyquist, « Thermal agitation of electric charge in conductors », *Phys Rev*, vol. 32, p. 110-113, 1928.
- [12] A. L. M. Worther, « Semiconductor Surface Physics », *R. H. Kingston, Ed. Philadelphia: University of Pennsylvania Press*, p. 27, 1957.
- [13] F. N. Hooge, « 1/f Noise », *Physica*, vol. 83, p. 14-23, 1976.
- [14] Y. Tsididis, *Operation and Modeling of the MOS Transistor*, 2nd éd. Mc-Graw Hill, 1999.
- [15] T. H. Lee, *The design of CMOS radio-frequency integrated circuit*, Cambridge University Press. 1998.
- [16] X. Li et L. K. J. Vandamme, « 1/f Noise in Series Resistance of LDD MOSTs », *Solid-State Electron.*, vol. 35, n° 10, p. 1471-1475, oct. 1992.
- [17] M. Bucher, C. Lallement, C. Enz, et F. Krummenacher, « Accurate MOS modelling for analog circuit simulation using the EKV model », in , *1996 IEEE International Symposium on Circuits and Systems, 1996. ISCAS '96., Connecting the World*, 1996, vol. 4, p. 703-706 vol.4.
- [18] B. Razavi, R.-H. Yan, et K. F. Lee, « Impact of distributed gate resistance on the performance of MOS devices », *IEEE Trans. Circuits Syst. Fundam. Theory Appl.*, vol. 41, n° 11, p. 750-754, nov. 1994.
- [19] C. L. Fabien Prégaldiny, « A simple efficient model of parasitic capacitances of deep-submicron LDD MOSFETs », *Solid-State Electron.*, n° 12, p. 2191-2198, 2002.

Chapitre III

Méthodologie de conception

d'amplificateur faible bruit à base de FOM

Chapitre III. Méthodologie de conception de LNA à base de FOM

Chapitre III. Méthodologie de conception de LNA à base de FOM	74
1. Conception du cœur actif du circuit	75
a. Optimisation à partir du FOM	75
b. Déroulement de la conception	78
c. Pertinence de la méthode	79
d. Evolution du FOM en fonction de la longueur de grille.....	81
e. Comparaison des technologies	82
f. Comparaison de topologies	85
g. Conclusion.....	87
2. Réalisation d'une source commune complémentaire en CMOS 28nm	88
a. Analyse du circuit.....	88
b. Méthode de conception complète	93
c. Simulations des circuits complets.....	96
d. Layout de la puce.....	102
e. Conclusion	104
3. Mesures	105
a. Les circuits en CMOS 28nm.....	105
b. Les circuits en CMOS 130nm	113
4. Conclusion.....	117
Bibliographie.....	119

Ce chapitre reporte nos travaux sur la réalisation d'une méthodologie de conception d'amplificateur faible bruit ou LNA (Low Noise Amplifier) à faible consommation pour des applications radiofréquences. Notre étude est basée sur la normalisation du transistor et l'utilisation du coefficient d'inversion, décrites dans le chapitre II. Tout d'abord nous proposerons notre méthode de conception du circuit. Cette approche se déroule en deux étapes. La première permet de dimensionner et polariser de façon optimale les composants du cœur du circuit pour atteindre des performances souhaitées. Nous vérifierons la pertinence de notre méthode, puis nous l'utiliserons pour comparer différentes technologies et topologies de circuits. Nous verrons en utilisant des modèles analytiques que cette méthode permet de dimensionner et polariser les transistors de façon automatique. La deuxième étape de la méthode permet de dimensionner les composants passifs pour l'adaptation d'entrée. Un amplificateur complémentaire à contre réaction résistive a été réalisé en technologie CMOS 28nm pour valider cette méthode. Pour finir, nous validerons notre étude avec différentes topologies sur un nœud CMOS 130nm.

1. Conception du cœur actif du circuit

La première approche de conception que nous avons utilisée est inspirée des travaux de T. Melly [1]. Elle utilise la description analytique d'un circuit et la normalisation des transistors pour définir une équation du courant en fonction des performances du circuit. Cette équation du courant permet d'obtenir le courant minimal pour une performance fixée. Bien que très efficace pour le gain en tension de circuits simples sous certaines hypothèses, cette approche devient rapidement difficile à utiliser pour des circuits complexes ou pour des équations du bruit. Pour cette raison nous avons choisi de quitter cette voie. Nous décrivons cette approche dans l'annexe E « Méthode d'optimisation du courant ». Nous avons choisi de nous focaliser sur une méthode de conception qui peut être réalisée de façon analytique, sans calcul complexe ou directement par simulateur. Pour cela, nous utilisons des formules de gain et de bruit déjà connues dans la littérature pour calculer directement le facteur de mérite ou figure of merit (FOM).

a. Optimisation à partir du FOM

Dans le chapitre I.4 nous avons illustré les trois principales approches pour polariser un transistor suivant l'application : la « f_T » pour les hautes fréquences, le « g_m/I_D » pour l'analogique basses fréquences avec faible consommation, et le « $gm.f_T/I_D$ » pour les fréquences intermédiaires et une faible consommation. Pour les applications faisant l'objet de notre étude, les fréquences RF à faible consommation, la métrique « $gm.f_T/I_D$ » [2] est utilisée par certains concepteurs depuis les années 2000. Celle-ci définit une polarisation optimale du transistor dans la région d'inversion modérée. Cependant, cette métrique fournit seulement une tendance de polarisation sans définir une méthode de conception réelle.

Notre méthode de conception se base sur l'utilisation du facteur de mérite ou FOM. Ce paramètre a été créé pour comparer entre eux différentes topologies pour une même fonction. Le FOM est le compromis entre les différentes performances d'un circuit. Le FOM des LNA, défini par l'ITRS (International Technology Roadmap for Semiconductors) dans l'équation III.1 [3] est le compromis entre le gain en tension de l'amplificateur (A_v), la fréquence du signal ($freq$), la linéarité (IIP3), le facteur de bruit (F), et la puissance consommée. Celle-ci est liée au courant I_D et la tension d'alimentation V_{dd} .

$$FOM = \frac{A_{v_{abs}} \cdot IIP3_{mW} \cdot freq_{GHz}}{(F - 1)_{abs} \cdot (I_D \cdot V_{dd})_{mW}} \quad (III.1)$$

Pour notre étude nous allons utiliser un FOM différent, destiné en particulier à des applications à faible consommation. Dans ce FOM la linéarité est exclue comme dans l'équation III.2 [4]. Un circuit disposant d'une bonne linéarité implique une augmentation de la consommation de courant. La linéarité peut être améliorée avec l'utilisation de filtres ou des techniques de calibration digitale permettant ainsi de relâcher les contraintes de consommation dues à la linéarité sur le LNA. Par ailleurs, il existe aussi des standards où la linéarité est moins critique. Il est alors possible d'utiliser un FOM qui ne tient pas en compte de la linéarité pour des applications à très faible consommation d'énergie. Dans ce FOM, le facteur de bruit (F) est remplacé par le facteur de bruit minimum (F_{min}). Bien que les deux paramètres amènent à une optimisation du circuit équivalente, l'utilisation du facteur de bruit minimum permet de s'affranchir de l'adaptation d'entrée en bruit pour le dimensionnement et la polarisation du cœur du circuit. Cette adaptation sera réalisée dans une deuxième étape.

$$FOM = \frac{A_{v_{abs}} \cdot freq_{GHz}}{(F_{min} - 1)_{abs} \cdot (I_D \cdot V_{dd})_{mW}} \quad (III.2)$$

A l'aide de simulations sur un circuit de type source commune à charge capacitive (Figure III-1), nous allons étudier la variation de gain, de facteur de bruit minimum, de puissance et de FOM en fonction du régime de fonctionnement du transistor. Ce dernier sera décrit par le coefficient d'inversion IC comme illustré dans le Chapitre II. Le circuit source commun à charge capacitive dispose d'un seul transistor et d'une capacité de charge C_L qui peut aussi représenter la capacité d'entrée de l'étage suivant. Le signal (en tension) entre par la grille et module le courant du drain en sortie, converti en tension à travers la charge.

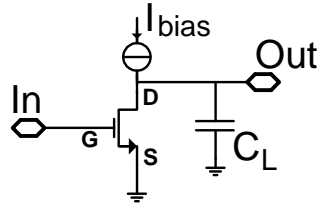


Figure III-1 Circuit : source commune à charge capacitive

Pour nos simulations nous fixons V_{dd} constant ; seule la variation du courant aura une influence sur le FOM au travers de la puissance. Les simulations sont réalisées pour une fréquence fixe de 2,4 GHz en technologie 28nm bulk de STMicroelectronics, la valeur de la capacité de charge et la taille du transistor étant fixes : $C_L=100\text{fF}$, $W=11\mu\text{m}$ et $L=30\text{nm}$. Les résultats des simulations sont représentés dans la Figure III-2. Le gain, augmente jusqu'à un maximum de 16dB pour valeur de IC égale à 2 puis il diminue vers le régime de forte inversion. La diminution du gain est provoquée par la saturation de la vitesse des porteurs en forte inversion. Le bruit se comporte de façon opposé au gain : lorsque le gain augmente le bruit du circuit diminue, et vice-versa. Le minimum de bruit est atteint pour un IC égale à 3,5. Ces observations ont déjà été remarquées dans l'article [4]. Le courant est quant à lui proportionnel au coefficient d'inversion par définition mathématique (équation II.11).

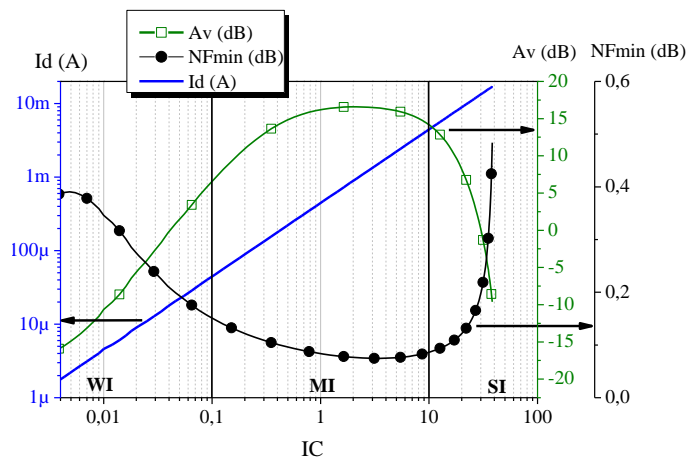


Figure III-2 Résultats de simulation sur l'évolution du gain, du bruit et du courant en fonction du coefficient d'inversion d'une source commune à charge capacitive à 2,4GHz

Le compromis entre le gain, le bruit et la puissance consommée en fonction du coefficient d'inversion fait apparaître un maximum de FOM en régime d'inversion modérée (MI) sur la Figure III-3. L'allure de la courbe « $g_m \cdot f_T / I_D$ » [2] est comparée au FOM en fonction du coefficient d'inversion pour un circuit de même taille. On constate que le maximum du FOM se situe en correspondance d'un IC égal à 1,5 et le maximum de « $g_m \cdot f_T / I_D$ » pour un IC égale à 3,5. Bien que les coefficients d'inversion des maxima de FOM soient proches, la méthode du « $g_m \cdot f_T / I_D$ » conduit à une consommation deux fois plus importante dans cet exemple : avec $IC_{FOM}=1,5=I_{D,FOM}/I_{spec}$ et

$IC_{\ll gm.f_T/I_D \gg} = 3,5 = Id_{\ll gm.f_T/I_D \gg} / I_{spec}$ alors $Id_{\ll gm.f_T/I_D \gg} = (3,5/1,5) * Id_{FOM}$. L'intérêt principal de l'approche par FOM est de connaître directement les performances du circuit : gain, bruit et consommation. Nous allons à présent utiliser l'approche du FOM pour concevoir un amplificateur faible bruit à faible consommation de puissance.

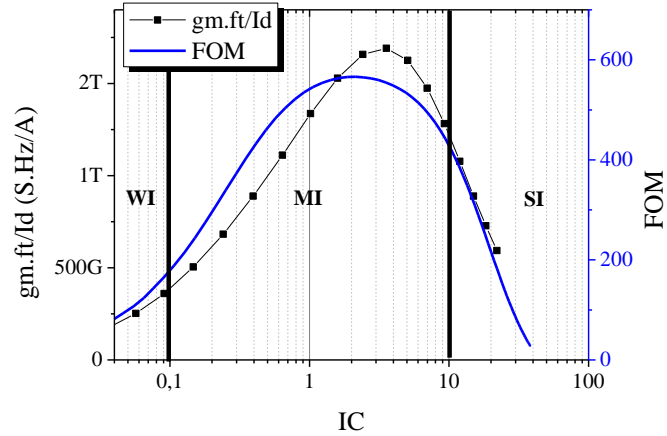


Figure III-3 Résultats de simulation sur l'évolution du FOM et de « gm.f_T/I_D » en fonction du coefficient d'inversion d'une source commune à charge capacitive à 2,4GHz

b. Déroulement de la conception

Dans le paragraphe précédent nous avons constaté qu'il existe un point optimal de polarisation en régime d'inversion modérée pour maximiser le FOM. De plus toutes les performances d'un circuit dépendent non seulement de la polarisation mais aussi de la taille du transistor (la largeur (W) et la longueur (L) de grille) et des composants du circuit. Si on considère un cas simple comme la source commune à charge capacitive et que l'on fixe la capacité de charge (C_L) constante, il est possible de définir à travers l'équation III.3 que le gain en tension (A_v), le facteur de bruit minimum (F_{min}) et le courant (I_D) dépendent uniquement du coefficient d'inversion (IC) et de la taille du transistor (W et L).

$$\begin{cases} A_v = f_{A_v}(W, L, IC) \\ F_{min} = f_{F_{min}}(W, L, IC) \\ I_D = f_{I_D}(W, L, IC) \end{cases} \quad (III.3)$$

La dépendance des performances (gain, bruit, courant) dans le FOM permet d'évaluer si le LNA respecte les spécifications fixées par le système à la polarisation optimale. Si le circuit ne respecte pas les performances, la solution pour conserver la polarisation optimale est de modifier la taille du transistor. Il est ainsi possible de décrire une méthode de conception (Figure III-4) pour optimiser la partie active du circuit. Cette méthode se compose de deux étapes. La première étape discerne la polarisation optimale (IC_{opt}) avec le maximum de FOM. La deuxième étape incrémente la taille du transistor si le circuit ne respecte pas les performances souhaitées pour la polarisation optimale. En réalisant une boucle sur ces deux étapes, il est possible d'obtenir le point d'opération optimal qui respecte les performances souhaitées : les tailles du transistor W_{opt} et L_{opt} et le coefficient

d'inversion IC_{opt} . Si cette approche ne permet pas de respecter les performances souhaitées trois solutions sont possibles : modifier les valeurs des composants passifs du circuit (par exemple la charge), ne pas travailler à polarisation optimale, changer la topologie du circuit.

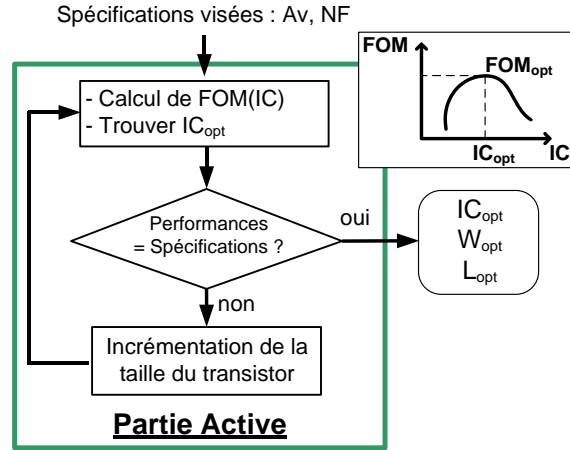


Figure III-4 Etapes de conception de la partie active d'un circuit par la méthode du FOM_{opt} à IC_{opt} .

Nous allons vérifier si cette méthode permet d'atteindre de bonnes performances et son efficacité.

c. Pertinence de la méthode

Nous allons vérifier la pertinence de la méthode de conception proposée dans le cas d'une source commune capacitive en technologie CMOS 28nm. Nous fixons la capacité de charge à 100fF, la fréquence de travail à 2,4GHz, le facteur de bruit minimum inférieur à 1dB et le gain en tension constant à 10dB. Nous comparons les simulations de courant (I_D) et le FOM en fonction des différentes largeurs de grille (W) dans la Figure III-5, pour des longueurs de grille (L) de 30nm (a) et 40nm (b). Sur la même figure, nous reportons le courant et le FOM optimal trouvé avec la méthode. Dans la Table III-1, les principales valeurs numériques pour $L = 30nm$ et $L = 40 nm$ sont reportées ainsi que pour d'autres longueurs (L) de grilles. Nous pouvons constater dans le cas (a) que la méthode du FOM ne fournit pas le FOM maximal possible par le circuit, il y existe une différence relative de 22% entre les deux points. De plus, le minimum de courant varie de 5% par rapport à celui obtenu par la méthode de la FOM. Dans le cas (b), nous remarquons que le courant minimal est très proche du courant trouvé par la méthode, étant l'écart relatif inférieur à 1%. Pour le FOM maximal l'écart relatif est inférieur à 0,15%. Pour différentes longueurs de grille, (Table III-1), on constate que la méthode permet dans la plus part des cas de dimensionner le transistor avec peu de différence par rapport au minimum de courant possible pour un même gain. De plus, le coefficient d'inversion obtenu par la méthode est très proche du coefficient d'inversion obtenu par le FOM maximal possible. Le cas de la longueur de grille de 30nm montre que la méthode n'est pas efficace tout le temps ; cependant elle permet de dimensionner rapidement un circuit avec des performances proches de l'optimum absolu.

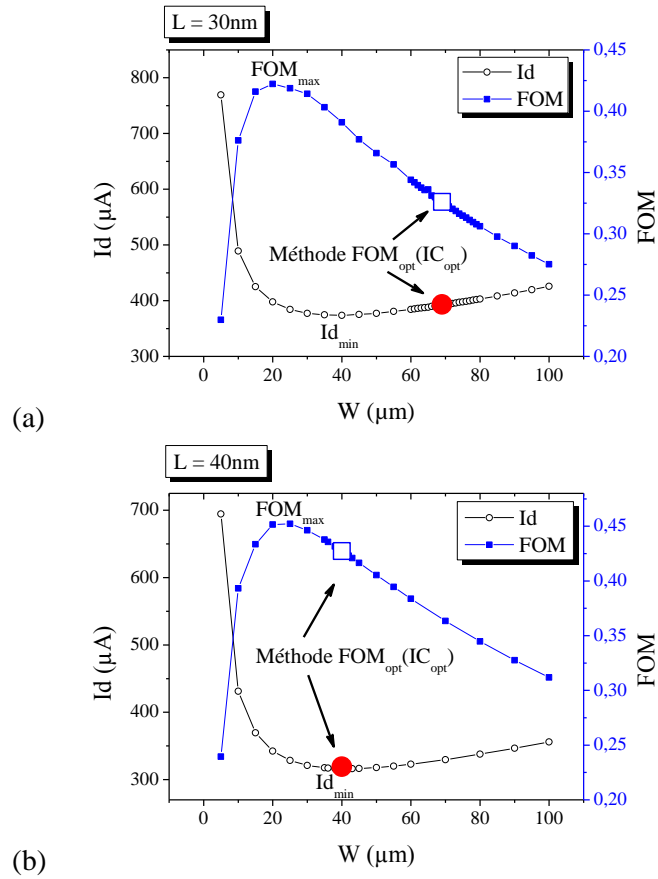


Figure III-5 Variation du courant et du FOM en fonction de la largeur de grille (W) pour un gain de 10dB avec une longueur de grille de 30nm (a) et 40nm (b).

Table III-1 Comparaison numérique entre la méthode et les meilleures performances du circuit

L (nm)	Entre la méthode et le courant minimum $I_{d_{\min}}$		Entre la méthode et la FOM maximale		
	Différence (μA)	Différence relative	Différence relative de FOM	IC de FOM_{\max}	IC de la méthode
30	20	5%	22%	0,42	0,12
35	0,7	0,2%	9,4%	0,45	0,19
40	3	0,97%	0,14%	0,37	0,23
65	1,7	0,6%	0,22%	0,46	0,23
70	2	0,7%	0,27%	0,49	0,22

d. Evolution du FOM en fonction de la longueur de grille

La longueur minimale du canal est souvent un paramètre utilisé comme moyen d'augmenter la fréquence de travail du transistor et réduire la consommation du circuit. Cependant, diminuer la longueur de grille réduit par la même occasion le gain intrinsèque maximum. Pour des technologies avancées et des applications RF à faible consommation l'utilisation de la longueur minimale n'est pas nécessairement le choix optimal. Pour la source commune à charge capacitive en technologie 28nm, la méthode de conception illustrée dans la Figure III-4 est appliquée pour disposer d'un gain en tension fixe de 10dB avec un bruit inférieur à 1dB à la fréquence de fonctionnement de 2,4GHz. Le circuit est optimisé avec la méthode pour différentes longueurs de grille (L) et les résultats de simulations sont illustrés dans la Figure III-6. Le gain est constant (10dB) et le facteur de bruit minimum augmente avec la longueur du canal ce qui devrait faire diminuer le FOM. Cependant, on constate que le courant diminue jusqu'à atteindre le minimum à une longueur de 60nm puis il augmente. Cette variation du courant induit un maximum de FOM pour une longueur de grille de 40nm.

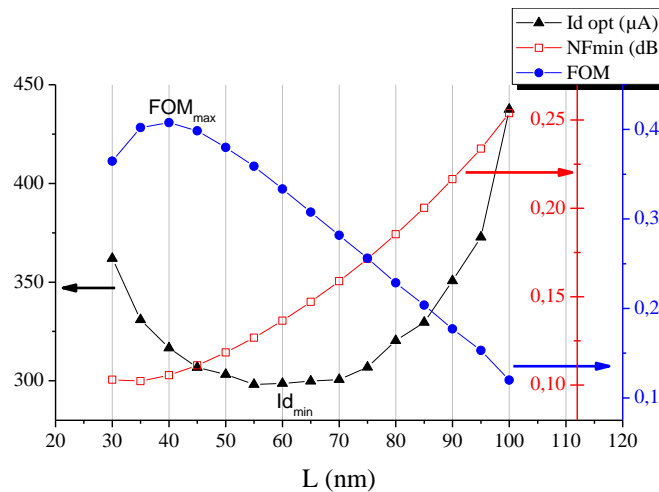


Figure III-6 FOM, NF_{min} et I_{Dopt} à la polarisation optimale en fonction de la longueur du canal (L) pour un gain en tension de 10dB

Nous pouvons supposer qu'il existe une corrélation entre l'existence d'un minimum de courant et l'effet de la saturation de la vitesse des porteurs, représenté par le coefficient λ_c . Pour visualiser cette relation entre les deux phénomènes, nous analysons l'évolution du facteur de saturation de la vitesse des porteurs (λ_c) défini dans le chapitre II (équation II.17) et nous la comparons avec le courant optimal, correspondant au IC optimal de la méthode. Le paramètre λ_c est extrait et affiché dans la Figure III-7. Il est possible de constater que le facteur λ_c n'évolue pas de façon linéaire avec L . La pente de λ_c augmente lorsque la longueur de grille (L) diminue. La relation entre le courant minimal et le facteur λ_c n'est pas directe, cependant on constate que le courant minimal correspond au changement de pente de λ_c .

L'augmentation du facteur de saturation de la vitesse des porteurs (λ_c) provoque une saturation de la transconductance plus importante, en d'autres mots une saturation du gain plus grande. Pour disposer du même gain avec un facteur λ_c plus grand, il est nécessaire d'avoir une transconductance plus importante, donc un courant plus grand. C'est pour cela que le courant augmente si on passe de $L= 60\text{nm}$ à $L= 30\text{nm}$ pour un gain égal (10dB). Cependant, on constate que le courant augmente dès $L= 60\text{nm}$ à des longueurs plus grandes. Ceci est provient du fait que l'augmentation de la taille du transistor génère des capacités parasites plus importantes. Ainsi, pour conserver un gain constant, il est nécessaire d'augmenter le courant. Il existe donc un compromis entre la saturation de la vitesse de porteurs et les capacités parasites pour une longueur de grille optimale.

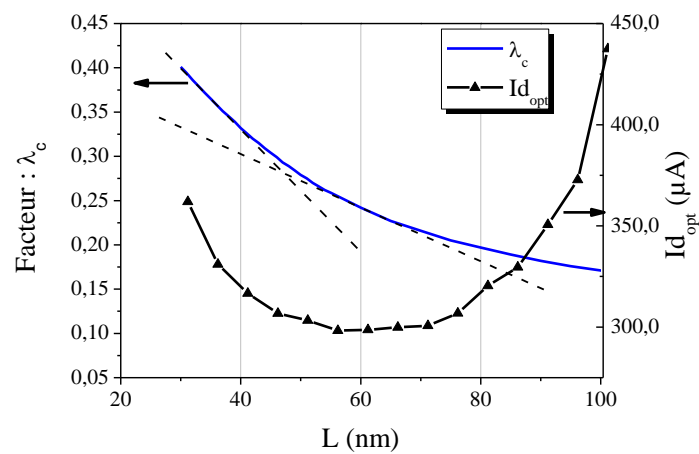


Figure III-7 Evolution du facteur de saturation de la vitesse des porteurs (λ_c) en fonction de la longueur de grille

Pour les technologies avancées, il devient alors intéressant de vérifier si la longueur minimale du canal est la plus adaptée pour des applications RF à faible consommation. Afin de confirmer cette tendance, nous allons vérifier ce phénomène sur différentes technologies.

e. Comparaison des technologies

Il est intéressant de remarquer que cette méthode est également un moyen de comparer différentes technologies destinées à une même application. Si les circuits disposent du même gain et d'un facteur de bruit très proche, alors le fait de maximiser le FOM permet d'obtenir une consommation minimale. Nous avons appliqué la méthode sur différentes technologies et différents types de transistors de STMicroelectronics. En technologie CMOS 28nm, nous avons utilisé les transistors : nfet, à faible tension de seuil ou « lvt » (Low Voltage Threshold) et à très faible tension de seuil ou « slvt » (Super Low Voltage Threshold). Nous avons aussi comparé la CMOS 28nm avec deux autres technologies : la CMOS 65nm (lvt) et CMOS 130nm (rfhsmos4).

La topologie source commune à charge capacitive (Figure III-1) est toujours dimensionnée pour disposer d'un gain en tension fixe de 10dB avec un facteur de bruit inférieur à 1dB à la fréquence de fonctionnement de 2,4GHz. La capacité de charge est fixée à 100fF. Le circuit est optimisé avec la

méthode pour différentes longueurs de grilles, les résultats de simulations sont reportés dans les Figure III-8, Figure III-9 et Figure III-10.

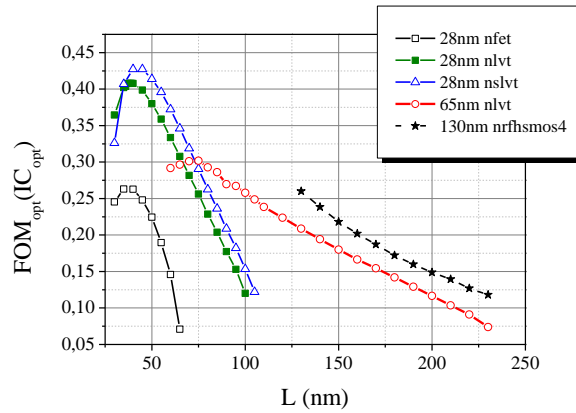


Figure III-8 Comparaison des FOM optimaux en fonction de la longueur de grille pour différentes technologies à 2,4GHz et 10dB de gain

Le paragraphe précédent nous a permis de constater qu'il existe une longueur de grille (L) optimale pour maximiser le FOM. On retrouve le même comportement (Figure III-8) pour les technologies 28nm et 65nm, ce qui n'est pas le cas pour la 130nm. Pour les technologies 28nm et 65nm, il apparaît clairement que la longueur minimale n'est pas le meilleur choix pour réaliser des LNA RF à faible consommation. Pour les transistors en technologie 28nm la longueur optimale est plutôt de 40nm et pour la technologie 65nm la longueur optimale est de 75nm. Pour la technologie 130nm, la longueur optimale est la longueur minimale, ceci vient du fait que la fréquence de transition (f_T) de cette technologie est beaucoup plus faible que pour les deux autres : 90GHz pour la 130nm, 180GHz pour la 65nm et 350GHz pour la 28nm.

A partir de la Figure III-8 il est possible de mettre en avant plusieurs caractéristiques :

- L'évolution des technologies permet de disposer de FOM plus importantes lorsqu'ils sont utilisés proche de la longueur de grille minimale : 0,26 pour la 130nm, 0,30 pour la 65nm et 0,42 pour la 28nm.
- L'évolution des FOM est différente suivant les technologies. Les pentes des courbes de la 65nm et la 130nm semblent avoir une décroissance équivalente alors que les pentes de la 28nm décroissent plus rapidement.
- A longueur de grille donnée, c'est la technologie de longueur minimale la plus proche qui sera la plus performante. Par exemple, pour une longueur de grille de 75nm la technologie 65nm dispose d'un meilleur FOM par rapport à la technologie 28nm (lvt et slvt). Le FOM de la technologie 130nm est meilleur à taille équivalente que le 65nm.

- En 28nm, la réduction de tension de seuil est clairement favorable au FOM puisque le « lvt » et « slvt » présentent un FOM presque deux fois plus élevé que le « fet ».

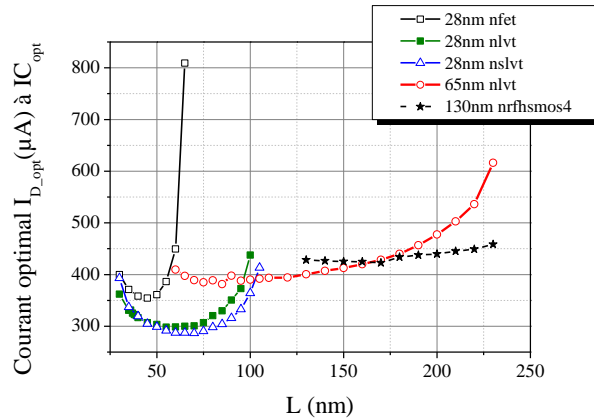


Figure III-9 Evolution du courant optimal en fonction de la longueur de grille pour différentes technologies à 2,4GHz et 10dB de gain

L'évolution du courant optimal pour les différentes longueurs de grille est représentée dans la Figure III-9. Certains comportements peuvent être remarqués :

- Il existe un minimum de courant suivant la longueur de grille. Cet effet est évident sur les transistors de la technologie 28nm mais il est moins marquant sur la 65nm et la 130nm.
- Le courant minimal ne correspond pas au maximum de FOM. Pour le 28nm « lvt » on obtient le maximum de FOM pour la longueur de 40nm alors que le minimum de courant est à 55nm. Puisque le gain est constant (à 10dB) cela signifie que le rapport entre le bruit et le courant est meilleur à 40nm.
- On avait constaté que le FOM de la 65nm devient meilleur que la 28nm autour de 75nm. Cette courbe montre que le courant de la 65nm devient meilleur seulement aux alentours de 100nm. Ceci implique un bruit plus important pour la technologie 28nm pour une même taille donnée. On retrouve le même comportement avec la 130nm. La 130nm consomme plus de courant que la 65nm jusqu'à une longueur de 175nm alors que le FOM est meilleur en 130nm, impliquant un bruit plus important pour la technologie 65nm.

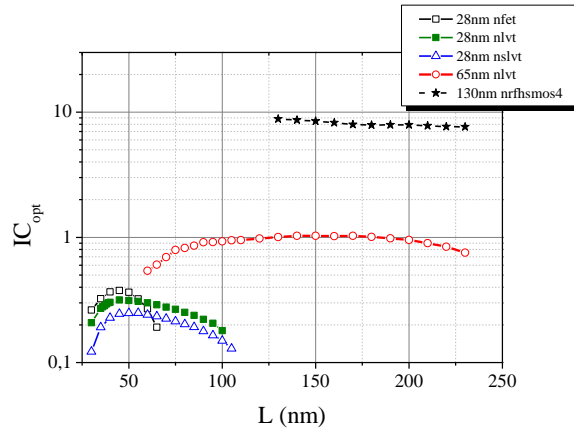


Figure III-10 Evolution du coefficient d'inversion optimal en fonction de la longueur de grille à 2,4GHz et 10dB de gain

Pour finir, l'évolution du coefficient d'inversion en fonction de la longueur de grille est illustrée dans la Figure III-10. Il est possible de remarquer :

- Toutes les configurations sont polarisées en régime d'inversion modérée ($0,1 < IC < 10$).
- L'évolution des technologies a permis de diminuer le coefficient d'inversion optimal. Le circuit en 130nm travaille à la limite du régime de forte inversion et les circuits en 28nm sont proches du régime de faible inversion.
- Pour la 28nm, il apparait clairement un optimum de coefficient d'inversion. Il se situe à une longueur (lvt : 50nm) comprise entre le maximum de FOM (lvt : 40nm) et le minimum de courant (lvt : 55nm). Pour la 65nm, le maximum d'IC se situe à une longueur de 150nm, loin du maximum de FOM (75nm) et du minimum de courant (100nm). Il ne semble donc pas avoir de relation directe entre le maximum de IC et les meilleur FOM et I_D .

La méthode permet donc de comparer différentes technologies et types de transistors, nous allons à présent montrer qu'elle permet aussi de comparer efficacement différentes topologies de circuits.

f. Comparaison de topologies

Nous avons montré que la méthode proposée en Figure III-4 est un moyen efficace de concevoir des LNA radiofréquence à faible consommation. Cependant, la première étape pour réaliser un circuit est de choisir son architecture. Afin, de définir qu'elle est la topologie la plus efficace pour un LNA RF à faible consommation, nous allons comparer quatre structures de base. Les topologies

choisies sont présentées dans la Figure III-11 selon [5]. Nous retrouvons : la source commune à charge inductive (a), le cascode à charge inductive (b), la source commune complémentaire (SCC) à contre réaction résistive à charge capacitive (c) et la source commune à charge capacitive (d).

Pour cette étude nous utilisons la technologie CMOS 65nm de STMicroelectronics pour disposer d'inductances dont les modèles sont validés. Les quatre circuits présentent une longueur de grille minimale : 60nm. Les capacités de charge sont différentes. Pour la source commune et la source commune complémentaire à charge capacitive, la capacité C_L est de 50fF, ce qui correspond à la capacité d'entrée d'une grille pour un transistor de largeur (W) de 50 μ m et longueur (L) 60nm en technologie CMOS 65nm. Pour le cascode et la source commune à charge inductive, la valeur de la capacité de charge est fixée pour réaliser une résonance à 2,4GHz avec l'inductance de charge (L_{load}). Pour notre étude nous avons fixés des inductances de 10nH avec un facteur de qualité de 10 et une capacité de 425fF.

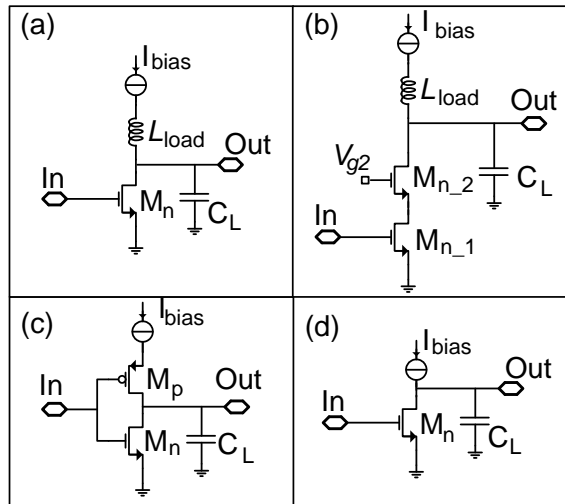


Figure III-11Circuits étudiés : (a) source commune inductive, (b) cascode inductif, (c) source commune complémentaire et (d) source commune capacitive.

Les spécifications visées sont : un gain en tension de 10dB et un facteur de bruit minimum de 1,5dB à la fréquence de 2,4GHz pour une tension d'alimentation Vdd de 1V. Les performances obtenues sont affichées dans la Table III-2. Ces résultats nous permettent de constater que :

- La topologie de circuit qui dispose du FOM le plus grand est la source commune à charge capacitive (d). Cependant il s'agit de la topologie qui consomme le plus de courant (205 μ A) avec le cascode (b). La source commune à charge capacitive dispose du meilleur FOM grâce à un facteur de bruit minimum le plus faible : 0,12dB.

- Le circuit qui consomme le moins est la source commune complémentaire (c) avec un courant de $147\mu\text{A}$, soit 30% d'écart relatif par rapport à la source commune capacitive (d) pour une différence relative de 5% de FOM.
- Le circuit de source commune inductive (a) dispose d'un courant plus important que la source commune complémentaire (c) mais d'un FOM meilleur.
- Le cascode inductif est la topologie qui présente le facteur de bruit minimum plus important car il est composé de deux transistors en série avec une inductance.

Ces résultats peuvent nous faire réfléchir sur la pertinence d'un facteur de mérite pour comparer des circuits entre eux. En effet, le circuit qui dispose du meilleur FOM est la source commune capacitive (d) alors qu'il s'agit de la topologie qui consomme le plus. La source commune inductive (a) permet de réduire la consommation tout en conservant un facteur de bruit faible, cependant l'utilisation d'une inductance inclut aussi une augmentation de la surface occupée par le circuit sur le silicium et donc un coût de fabrication plus important. En troisième place pour le FOM se trouve la source commune complémentaire capacitif (c) (ou current reused) qui dispose du courant consommé le plus faible.

Table III-2 Performances des différentes topologies en 65nm

V _{dd} =1V	A _v (dB)	NF _{min} (dB)	I _d (μA)	P (μW)	FOM
(a)	10	0,15	168	168	1290
(b)	10	0,31	205	205	494
(c)	10	0,17	147	147	1284
(d)	10	0,12	205	205	1359

Les FOM existants se focalisent essentiellement sur les performances des circuits. Pour des produits grands publics, le coût donc l'aire du silicium est très important. Les circuits de source commune (d) et source commune complémentaire (c) à charge capacitive ont l'avantage de ne pas disposer d'inductance. Le FOM doit par conséquent être construit suivant le contexte et l'application.

g. Conclusion

Pour des applications RF à faible consommation, l'utilisation du FOM pour polariser des transistors est une approche simple pour dimensionner le cœur d'un circuit avec des consommations proches des meilleurs possibles. De plus, son utilisation nous a permis de constater que la longueur de grille minimale n'est pas le meilleur choix pour maximiser la FOM et diminuer la puissance consommée pour des technologies avancées telles que les CMOS 28nm ou 65nm. Dans un contexte de forte intégration, faible coût et faible consommation, nous avons décidé d'implémenter le circuit

source commune complémentaire à charge capacitive en technologie CMOS 28nm de STMicroelectronics.

2. Réalisation d'une source commune complémentaire en CMOS 28nm

Nous décidons de concevoir le circuit source commune complémentaire en technologie CMOS 28nm, pour cela nous réalisons le cœur du circuit avec la méthode de la FOM puis nous ajoutons l'adaptation d'entrée et de sortie pour obtenir un circuit complet. Nous verrons qu'il est ainsi possible de définir une méthode de conception complète. L'utilisation d'une représentation analytique d'un circuit permet de définir les tailles et les polarisations des composants de façon automatique.

a. Analyse du circuit

Le circuit source commune complémentaire que nous avons implémenté est représenté dans la Figure III-12. Le cœur du circuit est composé de deux transistors, un NMOS (M_1) et PMOS (M_2), qui utilisent le même courant de polarisation. Ce circuit est aussi nommé « current-reused » (courant réutilisé). Le transistor M_1 est polarisé avec un miroir de courant (non représenté sur la figure) qui génère la tension V_{gs_LNA} . Le transistor M_2 dispose du même courant que celui fixé par le transistor M_1 et la tension de grille s'auto-polarise avec la résistance R_F . L'adaptation d'entrée est réalisée avec un diviseur capacitif pour régler la partie réelle à 50 ohms, elle est composée : des capacités parasites et transconductances des transistors du cœur (M_1 et M_2), de la capacité de charge (capacité d'entrée du transistor M_3) et de la capacité de réglage C_{in} . La partie imaginaire est ajustée à zéro avec l'inductance série L_G . En sortie, le buffer est réalisé avec une source commune (M_3) à charge résistive pour disposer d'une large bande de fonctionnement. Les polarisations sont séparées pour contrôler chaque étage de façon indépendante.

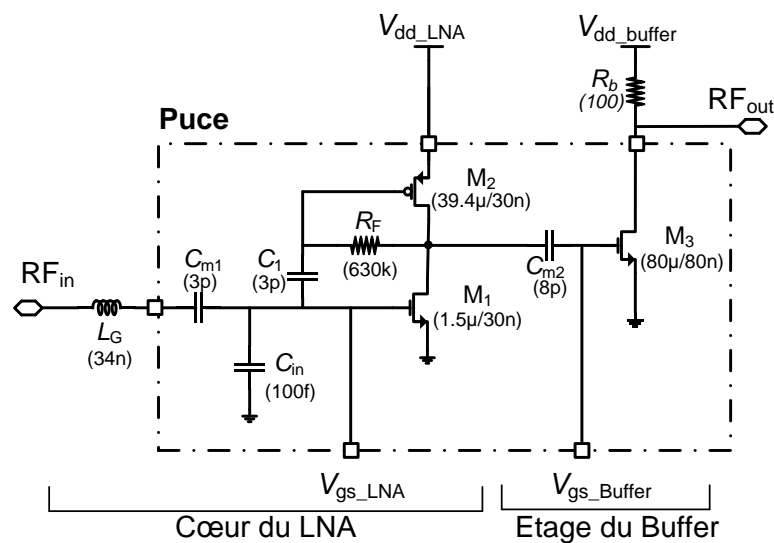


Figure III-12 Circuit source commune complémentaire réalisé

La description analytique du circuit est réalisée à partir du schéma petits signaux défini dans la Figure III-13. La topologie de source commune complémentaire peut être représentée en modèle petits signaux comme deux sources communes à charge capacitives en parallèle : une NMOS et une PMOS. Les détails des calculs sont décrits dans l'annexe F « Calcul analytique de la source commune complémentaire » et les résultats finaux sont reportés ci-dessous. Les transistors M_1 et M_2 sont regroupés à travers des composants équivalents, noté eq , ce qui permet d'obtenir un schéma équivalent à un montage source commune à charge capacitive.

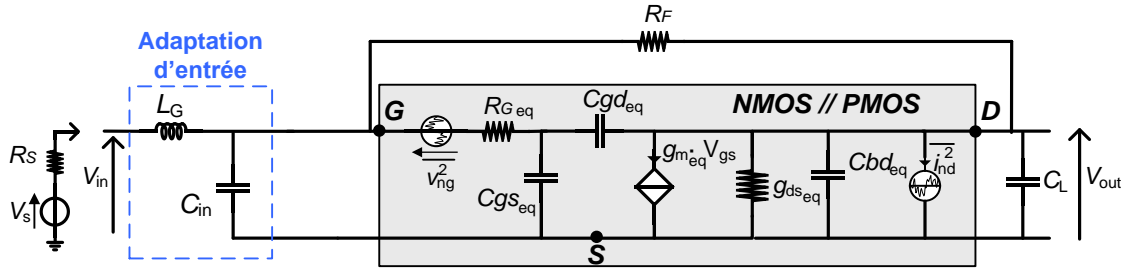


Figure III-13 Schéma équivalent petits signaux

Le gain en tension du cœur du circuit, sans adaptation d'entrée, est décrit dans l'équation III.4. Pour simplifier sa représentation nous avons dissocié l'impédance de sortie Z_{out} et l'impédance de contre-réaction Z_{eq_fb} (avec « fb » pour « feedback ») dans les équations III.5 et III.6. Pour le calcul du gain la résistance de grille n'est pas considérée car son impacte est mineur.

$$|A_v| \cong \left| \frac{(Y_{eq_fb} - g_{m_eq}) \cdot Z_{out}}{1 + Z_{out} \cdot Y_{eq_fb}} \right| \quad (III.4)$$

L'impédance de sortie Z_{out} dépend des conductances, des capacités parasites C_{GS} et C_{BD} et de la capacité de charge C_L . La capacité de charge correspond à la capacité d'entrée de l'étage suivant, elle représente ici la capacité C_{GS} du transistor M_3 .

$$Z_{out} = \frac{1}{g_{ds_eq} + j\omega(C_{GS_eq} + C_{BD_eq} + C_L)} \quad (III.5)$$

L'impédance de contre réaction Z_{eq_fb} est essentiellement composée de la résistance de contre réaction et de la capacité C_{GD} .

$$Y_{eq_fb} = \frac{1}{Z_{eq_fb}} = -\frac{1}{R_F} + j\omega \cdot C_{GD_eq} \quad (III.6)$$

Dans la même optique de simplification, nous regroupons les modèles des transistors NMOS et PMOS définis dans l'équation III.7 : transconductance équivalente g_{m_eq} , conductance équivalente g_{ds_eq} , capacités équivalentes C_{eq} (C_{GS_eq} , C_{GD_eq} , C_{BD_eq}) et résistance équivalente R_{G_eq} .

$$\begin{aligned}
 g_{m_eq} &= g_{m_1}(IC_1, W_1, L_1) + g_{m_2}(IC_2, W_2, L_2) \\
 g_{ds_eq} &= g_{ds_1}(IC_1, W_1, L_1) + g_{ds_2}(IC_2, W_2, L_2) \\
 C_{GS_eq} &= C_{GSw_NMOS} \cdot W_1 + C_{GSw_PMOS} \cdot W_2 \\
 C_{GD_eq} &= C_{GDw_NMOS} \cdot W_1 + C_{GDw_PMOS} \cdot W_2 \\
 C_{BD_eq} &= C_{BDw_NMOS} \cdot W_1 + C_{BDw_PMOS} \cdot W_2 \\
 C_L &\approx C_{GS_3} \\
 R_{G_eq} &= R_{G\phi_NMOS} \cdot \frac{W_1}{L_1} + R_{G\phi_PMOS} \cdot \frac{W_2}{L_2}
 \end{aligned} \tag{III.7}$$

Dans le chapitre II, nous avons décrit comment un transistor peut être normalisé en fonction de sa taille et du coefficient d'inversion. Il est alors possible de décrire le comportement du circuit avec ces mêmes paramètres :

- Paramètres technologiques : partie active ($I_{spec\Box}, \lambda_c, \alpha_{gds}$) et partie passive ($C_{GSw}, C_{GDw}, C_{BDw}$ et $R_{G\Box}$).
- Paramètres de conception : taille du transistor (W, L) et coefficient d'inversion (IC)

L'extraction des paramètres de la technologie CMOS 28nm, nous permette de comparer dans la Figure III-14 l'équation analytique (III.4) et les simulations réalisées sous Cadence pour le gain en tension. On constate que le comportement analytique du gain correspond parfaitement à la simulation jusqu'à un coefficient d'inversion de 1. Ensuite, le gain de la simulation décroît rapidement. Nous avons remarqué dans la Figure II-10 que le modèle analytique de la conductance g_{ds} diverge à partir d'un coefficient d'inversion de 1 car des effets avancés tels que la saturation de la vitesse des porteurs n'ont pas été considérés.

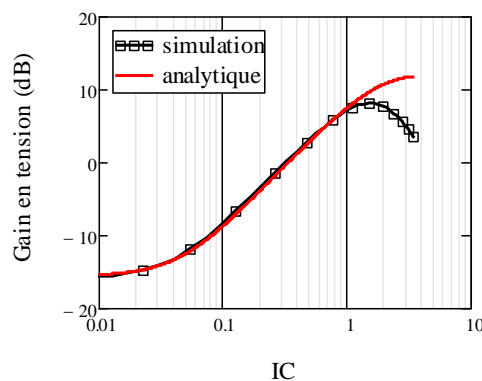


Figure III-14 Gain en tension en fonction du coefficient d'inversion à 2,4GHz : comparaison entre résultats analytique et simulation

Les bruits générés par les résistances de grille, l'inductance (L_G) et le canal de conduction nécessitent une adaptation en bruit. Le facteur de bruit minimum du circuit est représenté dans l'équation (III.8). L'influence de la résistance de contre-réaction R_F peut être négligée si sa valeur est importante. Le coefficient de surtension du réseau d'adaptation d'entrée Q_π est introduit et détaillé

dans l'annexe F « Calcul analytique de la source commune complémentaire ». Le facteur de bruit minimum est souvent calculé avec la transconductance, cependant l'utilisation du gain en tension permet de prendre en compte la fonction de transfert complète du circuit. Les deux approches de calculs sont présentées dans l'annexe F. Le facteur de bruit analytique est comparé à la simulation dans la Figure III-15. On constate que l'équation utilisée permet de disposer d'une bonne approximation quant au comportement en bruit du circuit avec une différence de 0,4dB pour des IC de 0,01 à 1. Tout comme le gain, on constate qu'à partir d'un IC de 1, le facteur de bruit diverge à cause du g_{ds} . Ce graphique révèle également que la validité du modèle du transistor pour la région de faible inversion ($IC < 0,1$) est discutable. Nous constatons en effet que le facteur de bruit minimum diminue ce qui n'est pas le cas dans la réalité.

$$F_{\min} = 1 + Q_{\pi}^2 \frac{\left(g_{ds_eq} + \frac{1}{R_F} \right) Z_{out} + R_{G_eq} \cdot Av^2}{Av^2 R_S} \quad (III.8)$$

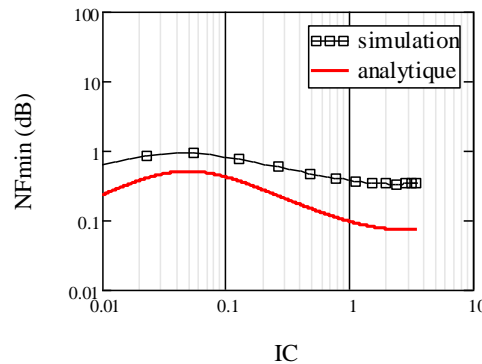


Figure III-15 Comparaison du facteur de bruit minimum NFmin entre simulation et analytique à 2,4GHz

Pour finir nous comparons le FOM obtenu par simulation et celui calculé analytiquement dans la Figure III-16. On remarque qu'il existe deux points de maximum de FOM pour le calcul analytique : un dans la région d'inversion modérée et un autre dans la faible inversion. Le maximum du FOM dans la région de faible inversion vient d'un facteur de bruit sous dimensionné par rapport à la réalité et d'un courant très faible dans cette région qui prédomine dans la formule du FOM. Dans les régions d'inversion forte et modérée, les modes de fonctionnement les plus adaptés au contexte, nous constatons que les résultats obtenus par simulation et calcul analytique sont très proches. Le maximum de FOM apparaît en inversion modérée pour un IC de 1,2 pour l'analytique et 1,5 pour la simulation. Ces courbes démontrent que le dimensionnement de circuit par méthode analytique est pertinent et fiable.

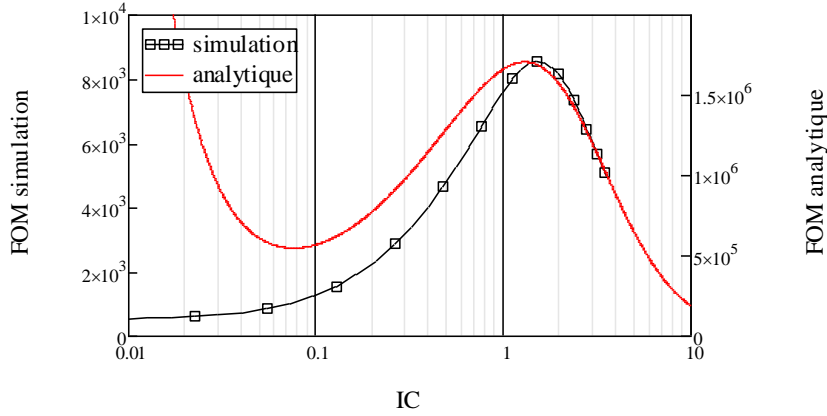


Figure III-16 Comparaison de la FOM entre simulation et analytique à 2,4GHz

➤ Adaptation d'entrée

L'adaptation d'entrée du circuit (Z_{in}) est réalisée par diviseur capacitif, sa formule est représentée dans l'équation (III.9). Les tailles et les polarisations des transistors sont fixées par la méthode de la FOM, ceci implique que les capacités des transistors, les transconductances et conductances sont imposées fixes. L'équation (III.9) met en évidence qu'il est possible de régler la partie réelle de l'impédance à 50 ohms en modifiant la valeur de la capacité C_{IN} . Par la suite, l'inductance série (L_G) compense la partie imaginaire de type capacitif de Z_{in} . Cette technique simple permet ainsi de réaliser l'adaptation d'entrée à une fréquence avec seulement deux composants. Cependant l'utilisation d'une inductance à forte valeur n'est pas favorable à l'intégration, particulièrement dans le cas des technologies avancées comme le CMOS 28nm où la valeur de l'inductance L_G augmente considérablement pour compenser les capacités très faibles. A titre d'exemple, pour un circuit fonctionnant à 2,4GHz (Table III-4) il est nécessaire de disposer d'une inductance de 30nH pour avoir une partie imaginaire proche de zéro. Cette valeur d'inductance est difficilement intégrable sur silicium. D'autre part, son facteur de qualité modéré va dégrader les performances. Nous avons décidé de conserver cette topologie et d'externaliser l'inductance L_G .

$$Z_{in} = \text{Re}(Z_{in}) + j \cdot \text{Im}(Z_{in}) = \begin{cases} \text{Re}(Z_{in}) = \frac{\frac{1 + g_{m_{eq}} \cdot Z_{eq_out}}{Z_{eq_fb} + Z_{eq_out}}}{\left(\frac{1 + g_{m_{eq}} \cdot Z_{eq_out}}{Z_{eq_fb} + Z_{eq_out}}\right)^2 + (\omega \cdot (C_{IN} + C_{GS_eq}))^2} \\ \text{Im}(Z_{in}) = \frac{\omega \cdot L_G - \omega \cdot (C_{IN} + C_{GS_eq})}{\left(\frac{1 + g_{m_{eq}} \cdot Z_{eq_out}}{Z_{eq_fb} + Z_{eq_out}}\right)^2 + (\omega \cdot (C_{IN} + C_{GS_eq}))^2} \end{cases} \quad (\text{III.9})$$

➤ Adaptation de sortie

Le buffer permet de mesurer le circuit sur des instruments ayant une impédance d'entrée de 50 ohms sans charger le LNA. Cet étage de sortie est réalisé autour d'une source commune à charge résistive. Cette topologie fournit un gain et une impédance de sortie stables sur une large bande de fréquence. Pour limiter les risques, la sortie du circuit se fait directement sur le drain du transistor afin de modifier les composants externes ou le réseau d'adaptation en cas de gain trop faible ou circuit mal adapté.

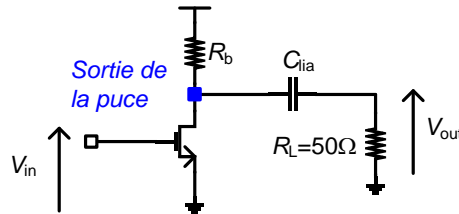


Figure III-17 Buffer : Source commune à charge résistive

b. Méthode de conception complète

L'analyse du circuit met en avant qu'il est possible d'élargir la méthode de conception en ajoutant les adaptations d'impédance entrée et sortie du circuit. Ceci fournit une méthode complète de conception que nous illustrons dans la Figure III-18.

L'approche la plus simple est de commencer par la fin du circuit (le buffer), puis de remonter jusqu'à l'entrée du circuit, en passant par le cœur du circuit et en finissant par l'adaptation d'impédance en entrée. Nous savons que l'instrument de mesure du circuit dispose d'une impédance de 50 ohms. A l'aide de cette information, il est possible de dimensionner le buffer pour qu'il dispose d'une impédance de sortie de 50 ohms et d'un gain en tension égale à 1 pour ne pas affecter la valeur du gain du cœur du LNA. Le buffer nous fournit l'information sur la valeur de la capacité de charge (C_L) du cœur du circuit. En utilisant cette capacité de charge, il est possible de dimensionner la partie active du circuit avec la méthode du FOM illustrée dans la Figure III-4. La méthode complète permet d'une part d'obtenir la (les) polarisation(s) optimale(s) ($I_{C_{opt}}$) et les tailles du (des) transistor(s) optimale(s) (W_{opt} et L_{opt}) pour que le circuit dispose des performances souhaitées au FOM optimal. D'autre part, le dimensionnement de l'adaptation d'entrée est réalisé en utilisant les paramètres trouvés dans l'étape précédente. Pour finir, les performances globales du circuit sont vérifiées. Généralement le gain obtenu à la fin est différent des spécifications visées car le facteur de surtension de l'adaptation d'entrée n'a pas été intégré lors des phases de dimensionnement. Il est alors nécessaire de réitérer la procédure globale en modifiant les performances visées au départ si l'on veut tenir exactement la spécification de gain en tension. Dans la pratique, il est admis un gain de LNA supérieur au cahier des charges, cela permet d'améliorer la sensibilité globale du récepteur.

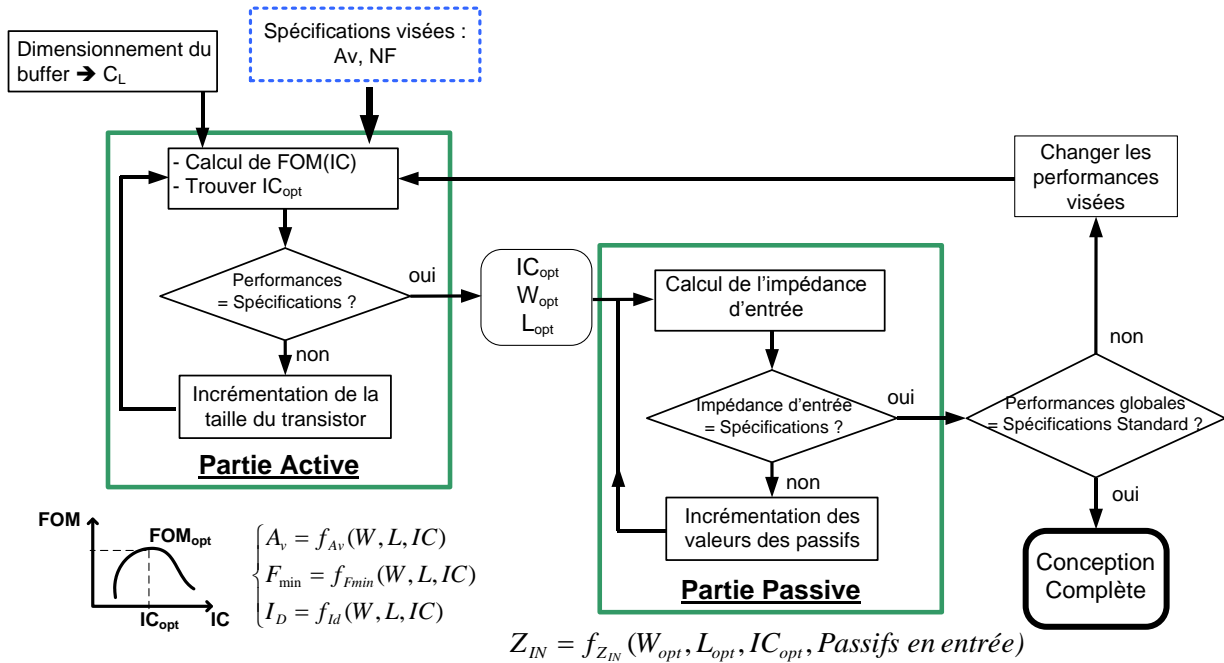


Figure III-18 Diagramme de conception du circuit complet

Cette méthode de conception peut être menée manuellement avec un simulateur ou de façon analytique. Pour la réalisation analytique, le fait de disposer de boucles récursives permet une automatisation dans le dimensionnement des composants. Un logiciel d'automatisation implémenté sur Matlab est en cours de développement. A l'heure actuelle, le logiciel dont l'interface est proposée dans la Figure III-19 permet de dimensionner seulement le cœur du circuit. Dans ce logiciel il est possible de choisir : les spécifications visées (fréquence, gain, bruit, capacité de charge), les variables à modifier (la taille et le coefficient d'inversion), la topologie du circuit, l'algorithme d'optimisation, la technologie.

L'utilisation de ce logiciel et les résultats qui en découlent, doivent être considérés suivant les points suivant :

- Toutes les topologies de circuit existantes peuvent être utilisées à condition que leurs représentations comportementales soient correctes.
- Les algorithmes d'optimisations dépendent du circuit analysé. Pour une topologie disposant d'un seul transistor la méthode de la Figure III-4 peut être directement réalisée, ce qui n'est pas le cas pour des circuits plus complexes.
- Les technologies constituent une base de données définie au travers de la normalisation du transistor (chapitre II).

A l'aide du logiciel nous avons dimensionné le cœur de la source commune complémentaire. D'abord nous avons utilisé un algorithme permettant d'atteindre seulement les performances en gain et en bruit pour le circuit. Dans ce cas, il est nécessaire de vérifier chaque polarisation et chaque taille les

performances, puis de traiter les données pour sélectionner les meilleures possibilités. Pour cette approche le dimensionnement est réalisé en moins d'une minute. Ensuite, nous avons utilisé la méthode du FOM et le processus a mis moins de cinq secondes pour trouver les paramètres optimaux. Ce gain de temps vient du fait que la méthode du FOM_{opt} définit une polarisation optimale, puis il suffit de vérifier les performances à cette polarisation optimale (IC_{opt}). Nous avons aussi utilisé la méthode du FOM_{opt} manuellement sur Cadence, il nous a fallu moins de quinze minutes pour obtenir ces mêmes paramètres. Bien que la méthode soit relativement rapide sous Cadence, on relève facilement la puissance du logiciel en gain de temps si l'on souhaite modifier les performances visées ou la technologie utilisée.

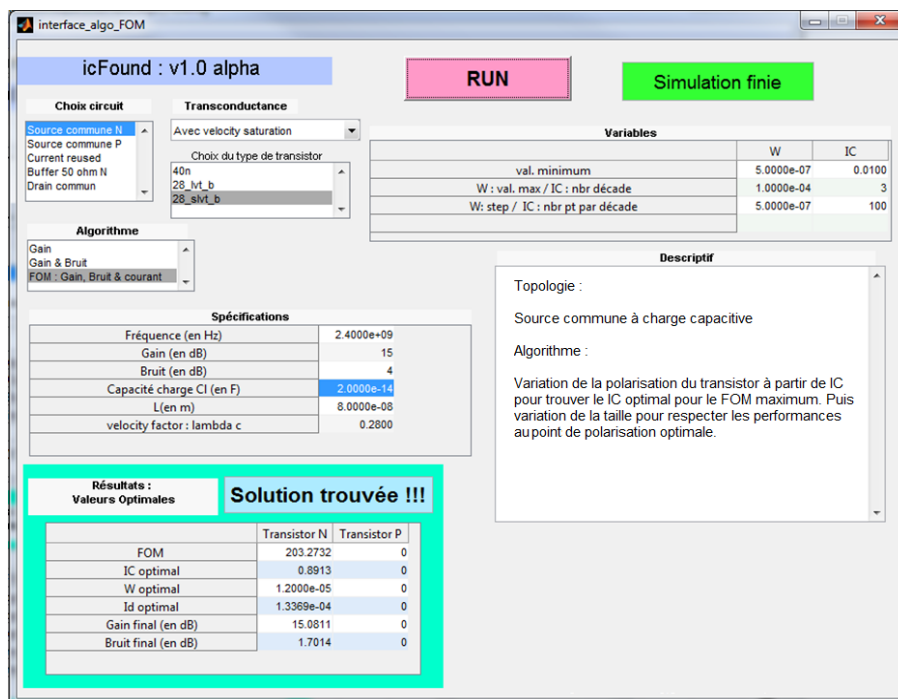


Figure III-19 Logiciel de conception automatique (en cours de développement)

Le circuit source commune complémentaire dispose de deux transistors (un NMOS et un PMOS) ; nous avons étudié deux stratégies d'optimisation pour le cœur du circuit :

- **Algorithme n°1** : Le transistor le moins performant en termes de mobilité des porteurs, le PMOS, est optimisé en polarisation avec le FOM optimal. Cet algorithme est présenté dans la Figure III-20 (a).
- **Algorithme n°2** : Les deux transistors sont optimisés avec le FOM maximal. Cet algorithme est présenté dans la Figure III-20 (b).

Dans la configuration de source commune complémentaire auto-polarisée, les deux transistors utilisent le même courant de polarisation (I_D), il est donc possible de définir une relation entre les

coefficients d'inversion et les tailles des deux transistors (équation III.10). Nous choisissons de définir la largeur de grille du PMOS (W_p) en fonction de : sa longueur de grille du PMOS (L_p), son coefficient d'inversion (IC_p) et les paramètres du transistor NMOS (W_n , L_n et IC_n), comme défini dans l'équation (III.11). Cette astuce nous permet ainsi d'enlever une variable dans notre algorithme, et de diminuer le temps de calcul. Il est aussi possible de fixer les longueurs de grilles (L_n et L_p) pour diminuer le temps de calcul. Ces deux algorithmes ont des temps d'exécution assez proches même si l'optimisation des deux transistors en FOM est plus rapide.

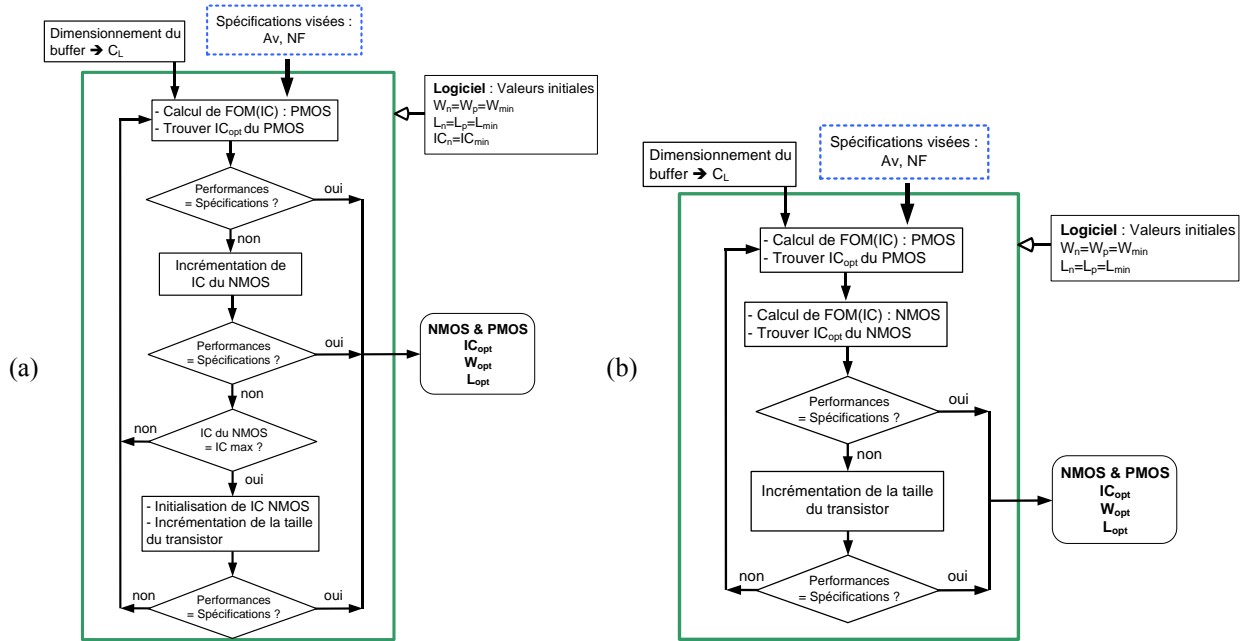


Figure III-20 Algorithmes de dimensionnement du cœur du circuit source commune complémentaire : (a) optimisation du PMOS avec le FOM et réglage du NMOS, (b) optimisation des deux transistors avec le FOM.

$$IC_n \cdot Ispec_n = Id_n = Id_p = IC_p \cdot Ispec_p \quad (III.10)$$

$$W_p = \frac{IC_n \cdot Ispec_{\phi_n} \cdot W_n \cdot L_p}{IC_p \cdot Ispec_{\phi_p} \cdot L_n} \quad (III.11)$$

Les circuits ont été réalisés sur la base de ces deux algorithmes, nous allons par la suite présenter les simulations avec les couples de paramètres obtenus.

c. Simulations des circuits complets

Les simulations réalisées ont été effectuées uniquement au niveau schématique car l'extracteur de parasites pour le layout n'était pas fonctionnel sur cette technologie au moment de la conception. Cependant des approximations de parasites ont été réalisées analytiquement puis considérées. La méthode complète de conception (Figure III-18) a été appliquée à la conception de quatre circuits de topologie source commune complémentaire avec des propriétés différentes afin de

vérifier la portabilité de la méthode. La description de ces circuits est récapitulée dans la Table III-3. La puce réalisée est composée de :

- Deux circuits à 2,4GHz conçus avec les deux algorithmes (n°1 et n°2) définis dans Figure III-20 avec des transistors à faible tension de seuil ou « lvt » (low voltage threshold) ayant la longueur de grille minimale (30nm).
- Deux circuits à 900MHz avec l’algorithme n°2 : un circuit avec des transistors « lvt » et une longueur de grille de 130nm pour avoir un effet de saturation de la vitesse des porteurs limité. L’autre circuit utilise des transistors à très faible tension de seuil ou « slvt » (super low voltage threshold) avec la taille minimale de longueur de grille (30nm).

Table III-3 Récapitulatif des circuits réalisés

Circuit	Fréquence	Algorithme	Type de transistors	Longueur de grille (L)	Gain en tension visé pour le cœur
N°1	2,4GHz	N°1	LVT	30n	15dB
N°2	2,4GHz	N°2	LVT	30n	15dB
N°3	900MHz	N°2	SLVT	30n	20dB
N°4	900MHz	N°2	LVT	130n	20dB

Le schéma complet des circuits est représenté dans la Figure III-21. Dans les simulations nous avons pris en compte les inductances des câblages (L_{bonding}), les circuits de découplages et les circuits de protections ESD. Tous les composants sont identiques pour les quatre circuits sauf les transistors du cœur du circuit (M_n et M_p) et du miroir de courant, et les composants réalisant l’impédance d’entrée : la capacité de réglage (C_{in}) et l’inductance en série (L_G).

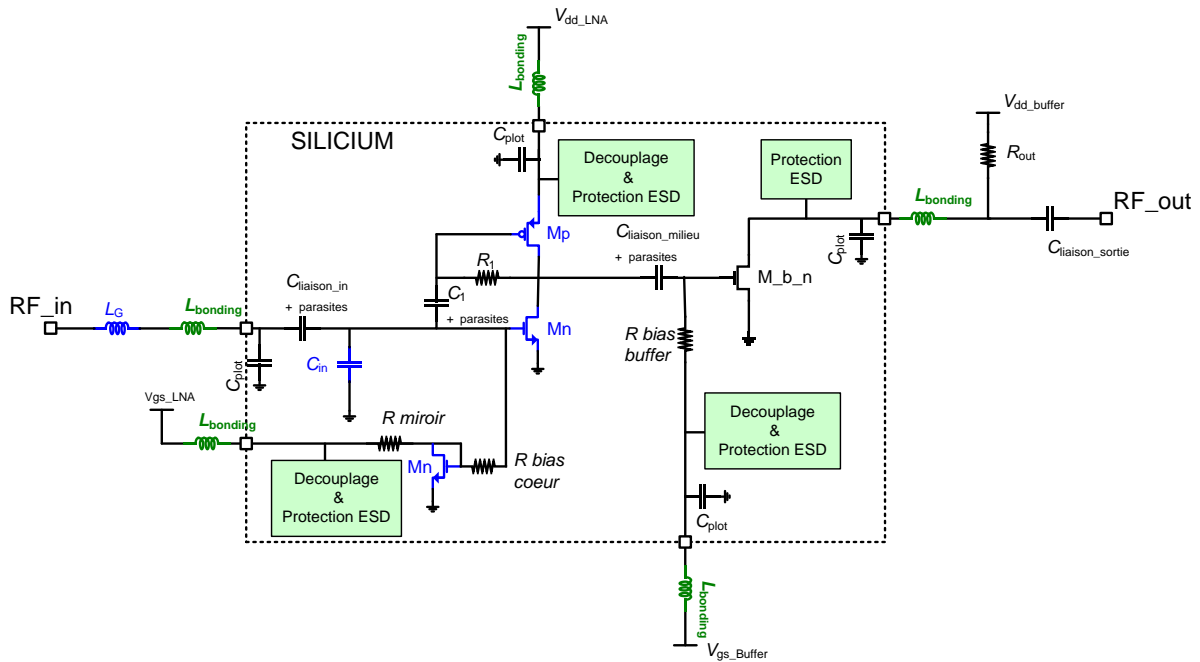


Figure III-21 Schématique complet des simulations

La méthode de la Figure III-18 nous a permis de dimensionner les transistors et les composants passifs d'entrée, selon les valeurs reportées dans la Table III-4. On peut noter que :

- Les transistors NMOS sont nettement plus petits que les transistors PMOS parce que la mobilité des porteurs est plus faible pour les PMOS.
- Le circuit n°2 qui polarise les deux transistors au FOM maximum dispose de transistors deux fois plus petits que le n°1.
- Le circuit n°4 qui a une longueur de grille plus grande (130nm) implique une largeur de grille plus importante (230 μ m) que le circuit n°3 (46 μ m) à la même fréquence. Pour des raisons de layout, le transistor PMOS de 230 μ m a été divisé en dix transistors de 23 μ m en parallèles.
- Les valeurs des inductances nécessaires à l'adaptation d'entrée sont élevées : de 20nH à 100nH. La réduction de la taille des transistors d'entrée engendre une augmentation de la valeur de l'inductance L_G pour compenser des parties imaginaires négatives importantes. Cette tendance est illustrée avec les circuits n°3 et n°4. Le circuit n°3 dont les transistors sont beaucoup plus petits que les transistors du circuit n°4 nécessite une inductance deux fois plus grande que le n°4 : 100nH et 48nH respectivement. Ce point soulève la problématique d'intégration des circuits RF dans des nœuds CMOS très avancés.

Table III-4 Valeurs des composants pour les quatre circuits définis avec la méthode de conception

	N°1	N°2	N°3	N°4	
Fréquence (Hz)	2,4G	2,4G	900M	900M	
	lvt	lvt	slvt	lvt	
W_n (m)	4,5u	1,5u	6u	14,5u	
L_n (m)	30n	30n	30n	130n	
Doigts N	5	2	6	20	x10
W_p (m)	73,5u	39,4u	46u	230u	23u
L_p (m)	30n	30n	30n	130n	130n
Doigts P	50	50	46		14
C_{in} (F)	156f	100f	295f	550f	
L_G (H)	20,8n	34n	100n	48n	

Durant nos travaux nous avons vérifié la possibilité d'intégrer les inductances sur le silicium bien que les valeurs nécessaires soient supérieures à 20nH. Les travaux de thèse de B. Leite [6], nous ont permis de dimensionner une inductance en technologie intégrée de façon analytique et de vérifier son comportement avec des simulations électromagnétiques sur Momentum. Nous avons analysé différentes tailles et distances pour des inductances carrés avec blindage (ou shield) à la masse. Pour une surface limitée de 300µm par 300µm, les meilleures combinaisons nous ont permis d'atteindre des valeurs maximales de 8,7nH avec des facteurs de qualité de 15. Bien que ces performances soit correctes, elles ne correspondent pas aux besoins nécessaires pour les circuits source commune complémentaire utilisés. Il a donc été confirmé le choix d'utiliser des inductances externes.

Pour se rapprocher de la réalité, les simulations on été réalisées avec des modèles d'inductances discrètes des constructeurs Murata et Coilsraft. Les composants choisis sont reportés dans la Table III-5, les valeurs d'inductances et de facteurs de qualités sont reportées pour la fréquence d'utilisation. Pour le circuit n°2, nous avons utilisé deux inductances en série pour obtenir la valeur nécessaire. Pour les circuits n°3 et n°4, les valeurs des inductances ont été modifié par rapport à la Table III-4 afin que les circuits soient correctement adaptés.

Table III-5 Inductances des constructeurs choisies

Circuit	Fréquence	Inductance (nH)	Q	Fabricant
N°1	2,4 GHz	21	110	Coilsraft
N°2	2,4 GHz	29 & 3	92 & 130	Coilsraft
N°3	900 MHz	132	60	Murata (série LQW18A)
N°4	900 MHz	40	80	Murata (série LQW18A)

Les résultats des quatre circuits à fréquence de travail respective sont reportés dans la Table III-6. Pour illustrer graphiquement ces résultats, les paramètres S et le facteur de bruit du circuit n°1 sont représentés dans la Figure III-22 en fonction de la fréquence. On constate que le circuit est parfaitement adapté en puissance et en bruit à 2,4GHz pour une consommation en puissance de 120 μ W (hors consommation du buffer). Le circuit dispose d'un minimum de réflexion d'entrée (S11) de -12dB à 2,4GHz, en sortie le S22 est inférieur à -20dB sur toute la bande de fréquence représentée (1,5GHz à 3GHz), l'isolation (S12) est inférieure à -45dB sur toute la bande. Le gain en puissance total (S21) est de 20,4dB. En sachant que le buffer dispose d'un gain de 2,5dB, le gain du cœur de l'amplificateur faible bruit est 17,9dB. Nous représentons ci-après les performances du buffer seul. La technique d'adaptation par diviseur capacitif est inductance série permet également de réaliser l'adaptation en bruit. Nous constatons dans la Figure III-22 (b) que le facteur de bruit (F) est très proche du facteur de bruit minimum (F_{min}) à la fréquence de travail 2,4GHz. Sa valeur est de 0,9dB. Nous pouvons en conclure que le circuit n°1 dispose de bonnes performances pour une consommation de 120 μ W.

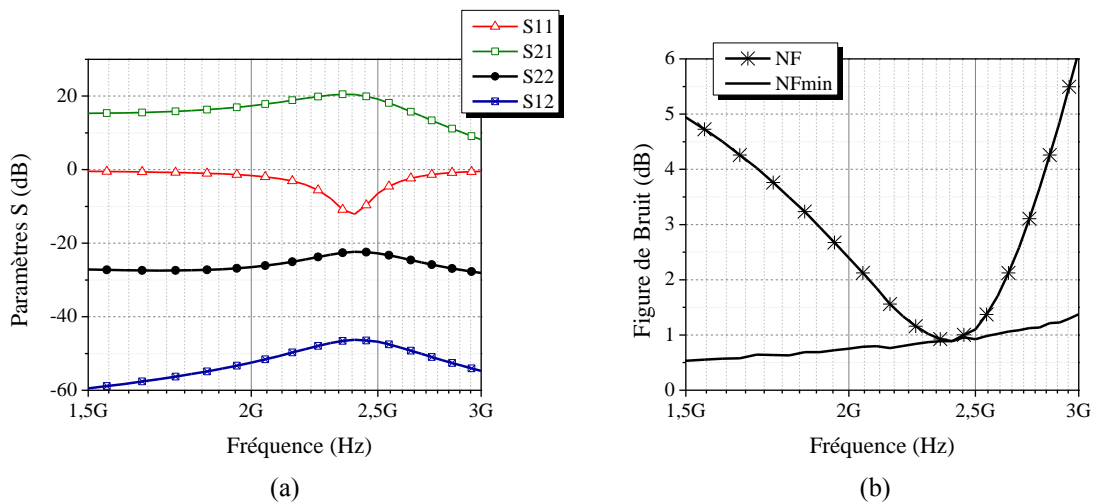


Figure III-22 Simulation des paramètres S (a) et de bruit (b) pour le circuit n°1 à 120 μ W

Dans la Table III-6 les performances à la fréquence de travail des quatre circuits sont reportées. Il est possible de noter que :

- Tous les circuits ont un gain supérieur à 18dB (sans buffer) et une adaptation d'impédance correcte : S11 inférieur à -12 dB et S22 inférieur à -19dB.
- Tous les circuits sont adaptés en bruit à leur fréquence de travail respective et disposent d'un faible facteur de bruit (inférieur à 1,5dB).
- Pour des performances très proches, le circuit n°2 consomme 20% de moins de puissance que le n°1 : 96 μ W à la place de 120 μ W. Ceci vient du fait que le circuit n°2

utilise l'algorithme 2 qui optimise les deux transistors au FOM maximal, alors que l'algorithme n°1 optimise seulement le PMOS.

- Pour les circuits n°1 et n°2, pour lesquels les cœurs ont été réalisés de façon à fournir un gain de 15dB, on obtient un gain total augmenté de 3 à 3,5dB avec le réseau d'adaptation en entrée pour la même consommation. Au moment de la réalisation de la puce, seule la méthode du cœur du circuit était bien définie. Il aurait été nécessaire de redimensionner l'ensemble pour obtenir les 15dB de gain défini au départ et ainsi diminuer la consommation globale du circuit.
- L'utilisation de transistors de très petite taille pour le circuit n°3 permet de diminuer la tension d'alimentation à 0,6V, ce qui n'est pas le cas pour le circuit n°4 qui a besoin d'une tension de 1V pour fonctionner correctement.
- La comparaison de consommation entre les circuits n°3 et n°4 est délicate car ils ont des transistors différents et des longueurs de grille différentes. Cependant, nous pouvons constater que le circuit n°3 consomme environ deux fois moins de puissance et présente des meilleures performances.

Table III-6 Performances obtenues à la fréquence de travail des quatre circuits

	n°1	n°2	n°3	n°4
Fréquence (Hz)	2,4 G	2,4G	900M	900M
Type de transistor	lvt	lvt	slvt	lvt
Vdd (V)	0,9	0,9	0,6	1
I _D (A)	135u	107u	62u	116u
P (W)	121u	96u	37u	116u
S21 (dB)	20,4	21	27	23
S11 (dB)	-12,1	-12,8	-20,4	-16
S22 (dB)	-22	-23	-20	-19
S12 (dB)	-46	-47	-53	-51
NFmin (dB)	0,9	1	1	1,2
NF (dB)	0,95	1,05	1,4	1,4
Gain sans le buffer (dB)	17,9	18,5	24,5	20,5

Le buffer a été dimensionné pour disposer d'une impédance de sortie de 50 ohms sur une large bande. Le buffer est composé d'un transistor NMOS « slvt », de largeur de grille de 80µm et de longueur de grille de 80nm. Il est associé à une résistance de 100 ohms. Les simulations reportées dans la Figure III-23 sont effectuées pour une consommation de 6mA avec un Vdd de 1V. La consommation du buffer n'a pas été considérée dans les résultats de l'amplificateur faible bruit car sa présence n'est due qu'à la réalisation de mesures sur des instruments à 50 ohms. Pour la réalisation de

systèmes complètement intégrés, l'amplificateur faible bruit est suivi du mélangeur. Il est possible de constater sur la Figure III-23 que le gain en tension est proche de 2,5dB sur une bande de 10MHz jusqu'à 6GHz. Il apparait un maximum de gain à la fréquence de 16GHz, qui est provoqué par la résonance avec l'inductance de câblage (environ 1nH) située entre le drain du transistor et la résistance R_{out} . Du coté de l'impédance de sortie, on remarque que la partie réelle est de 45 ohms entre 10MHz et 10GHz, la partie imaginaire est proche de zéro dans la même région.

Nous allons maintenant présenter brièvement le layout de la puce réalisée contenant les quatre circuits.

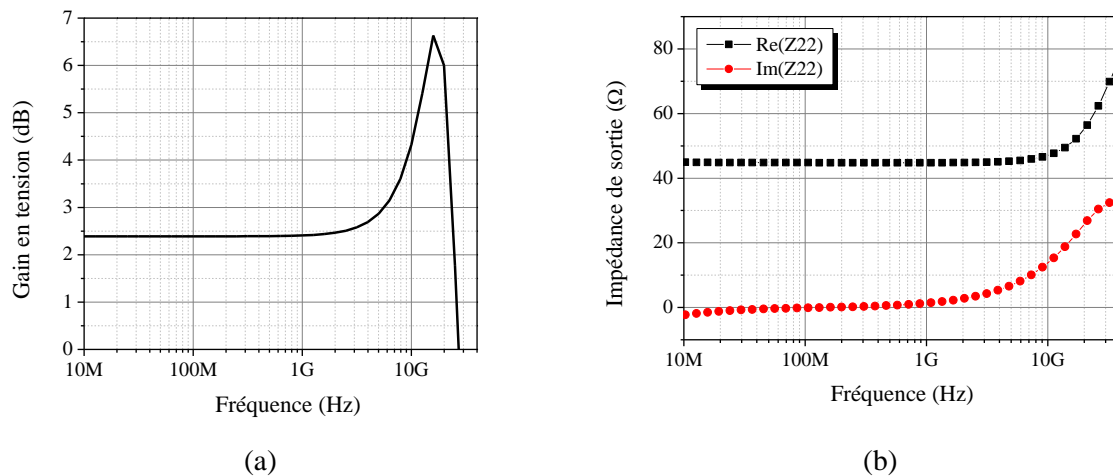


Figure III-23 : Gain en tension (a) et impédance de sortie (b) du buffer

d. Layout de la puce

La puce a été réalisée pour inclure quatre LNA sur une surface inférieure à un millimètre carré ($0,84\text{mm}^2$). Ceci est possible car aucune inductance n'a été intégrée. Le dessin, ou layout, de la puce est représenté sur la Figure III-24. Le positionnement des plots d'entrée/sortie est prévu pour réaliser du câblage ou réaliser des mesures sous pointes. Le report de la puce sur une carte de circuit imprimé ou PCB (Printed Circuit Board) permet d'utiliser des composants discrets. Pour optimiser la place, les plots de masse du signal RF sont communs à tous les circuits. Ceci n'a pas d'effet sur les performances ou d'interactions entre les circuits car chaque circuit est mesuré indépendamment. Les polarisations sont indépendantes afin de contrôler au mieux le courant qui passe dans chaque branche. Pour les quatre LNA nous retrouvons les plots : V_{dd} pour l'alimentation de l'amplificateur, V_{gs_Ina} pour la tension de contrôle de l'amplificateur, V_{gs_buffer} pour la tension de contrôle du buffer et la masse (gnd). Le réglage de la tension d'alimentation du buffer est effectué à travers la sortie RF (RF_{out}). Chaque circuit dispose donc de quatre plots DC et deux plots RF (entrée et sortie). On remarque dans la Figure III-24 que les circuits sont au plus proches des plots d'entrées RF afin de réduire les chemins résistifs. L'entrée d'un LNA est la partie la plus critique pour le facteur de bruit (F) et la réflexion du signal d'entrée (S_{11}).

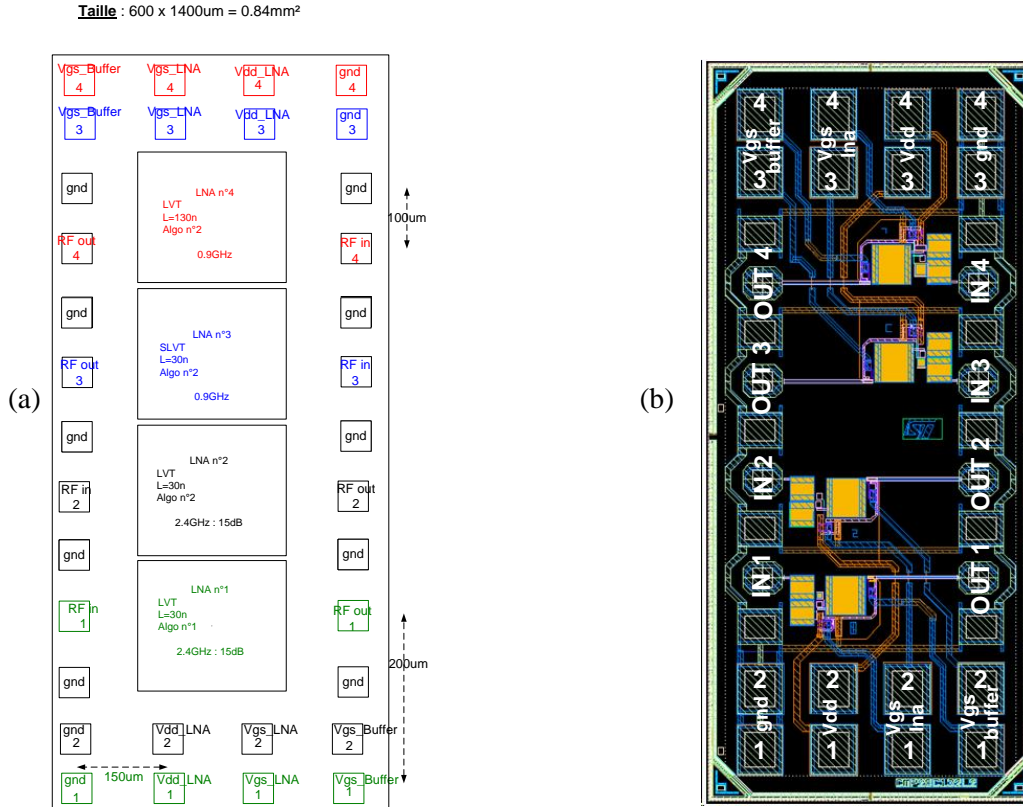


Figure III-24 Puce : positionnement des circuits (a) et vue layout (b)

➤ Capacités intégrées

Lors de la réalisation du circuit, l'extracteur de parasites n'était pas opérationnel. Une estimation des capacités parasites a été réalisée analytiquement avec l'équation III.12 : où A est la surface du métal, d la distance entre les deux métaux et les permittivités du vide (ϵ_0) et du diélectrique ($\epsilon_{dielectric}$). Les capacités de liaisons sont les plus critiques puisqu'elles représentent des surfaces importantes qui engendre des capacités parasites avec le substrat comme illustré dans la Table III-7. Les capacités RF de bonne qualité disponibles dans le kit de développement sont de type MOM (Figure III-25).

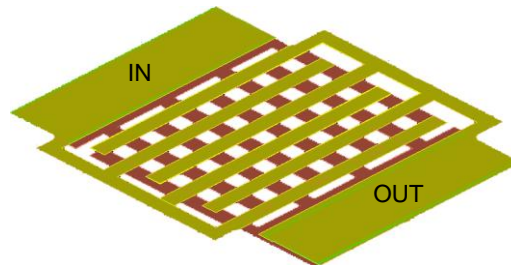


Figure III-25: Architecture de la capacité MOM utilisé avec connexion sur le coté

$$Capacité_{parasite} = \frac{\epsilon_0 \cdot \epsilon_{dielectric} \cdot A}{d} \quad (III.12)$$

Le circuit réalisé utilise un diviseur capacitif pour l'adaptation d'entrée. La maîtrise des valeurs des capacités d'entrée est donc critique. Par ailleurs, si les capacités parasites sont importantes alors le circuit aura besoin d'un courant plus important pour des performances équivalentes. Afin de limiter les capacités parasites avec le substrat, les connexions des capacités de liaison ont été modifiées. Les connexions classiques sur le coté du composant ont été remplacées par des connexions au-dessus du composant, tel qu'indiqué dans la Table III-7. En plus de diminuer les capacités parasites latérales avec le substrat, cette topologie permet d'augmenter la capacité par unité de surface. D'autre part, cette configuration admet des accès plus larges, réduisant ainsi les résistances d'accès parasites et le bruit associé.

Table III-7 : Mode de connexion de la capacité MOM

	Connexion standard	Connexion par dessus
Vue de haut		
Vue de profile		

e. Conclusion

Le dimensionnement complet, incluant les réseaux d'adaptation d'entrée/sortie, de quatre LNA a été présenté, suivant des algorithmes d'optimisations différents à 900MHz et 2,4GHz. L'utilisation du comportement analytique du circuit permet de rendre automatique le dimensionnement des composants et de définir les polarisations pour obtenir un circuit qui respecte les un cahier des charges tout en optimisant son FOM. Cette méthode a été appliquée à la conception d'une source commune complémentaire en CMOS 28nm de STMicroelectronics dont nous allons présenter les mesures par la suite.

3. Mesures

Dans cette partie nous allons aborder les mesures des circuits réalisées en technologie CMOS 28nm de STMicroelectronics. Nous verrons qu'à cause de défauts, liés à la fabrication notamment, ces circuits n'ont pas fourni des performances suffisantes pour valider la méthode du FOM. Bien que la méthode ait été validée par des simulations, nous avons voulu vérifier avec des mesures qu'il existe bien une polarisation optimale en utilisant le FOM. Pour cela, nous avons utilisé des LNA réalisés en technologie CMOS 130nm de STMicroelectronics mais qui n'ont pas été optimisés avec la méthode.

a. Les circuits en CMOS 28nm

Une photographie de la puce est reportée dans la Figure III-26. Les mesures ont été effectuées à l'aide d'un banc à impédance de source/charge variables ou « load/source pull » : directement sur la puce par le moyen des pointes millimétriques, et en utilisant un PCB avec des micro-câblages. L'utilisation d'un PCB pour réaliser l'adaptation externe n'a pas permis d'obtenir des performances viables, nous ne les présenterons donc pas. Avant de présenter les mesures, nous faisons part des difficultés qui sont apparues lors des mesures ne permettant pas d'aboutir à des résultats correctes.

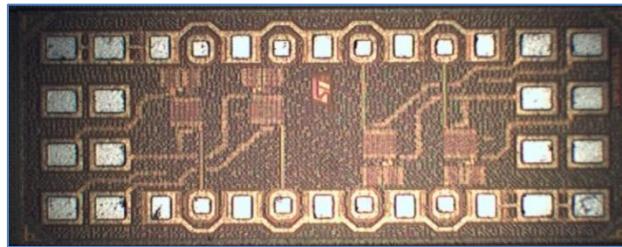


Figure III-26 Photographie de la puce en CMOS 28nm

➤ *Difficultés de mesures*

Les mesures réalisées ont fait apparaître plusieurs problèmes :

- Le positionnement de pointes a été très difficile. Une visualisation par microscope optique nous a permis de constater que la puce reçue est plus petite que le dessin de layout envoyé en fonderie, une surface inférieure de 10%. La raison est due au procédé de « rétrécissement » ou « shrink » que STMicroelectronics utilise pour passer d'une technologie de 32nm à 28nm. Cette manipulation permet d'éviter de (re)développer toutes les règles de dessin, fort coûteuses, validées pour le nœud 32nm. Cette opération doit être prise en compte directement lors de la création du layout. Cependant lors de la réalisation de notre puce, nous avons pensé à tort que cette technique était transparente pour l'utilisateur.
- L'ouverture des plots nous a posé de grandes difficultés pour le positionnement des pointes et les micro-câblages. Pour visualiser ce phénomène nous avons réalisé une

cartographie en trois dimensions de la puce (Figure III-27). Elle nous a permis de constater que la gravure isotrope n'a pas permis d'ouvrir suffisamment les plots. Par exemple pour les plots RF qui sont les plus petits et les plus critiques, l'ouverture en haut de l'oxyde de passivation est de $50\mu\text{m}$ pour finir à $22\mu\text{m}$ au niveau du métal de connexion. Nous avons aussi constaté que les ouvertures au niveau du métal ne sont pas uniformes. Ceci peut être provoqué par des résidus d'oxyde sur le métal. Pour confirmer la présence d'oxyde sur les plots, une analyse par spectroscopie ou micro-section serait nécessaire, elle n'a cependant pas pu être réalisée. Mise à par le fait que les connexions soit très difficiles à réaliser dans ces conditions, la réduction d'accès du métal à l'entrée du circuit (augmentation de la résistance d'accès) et la présence de passivation (capacités) peuvent provoquer une augmentation du bruit du circuit.

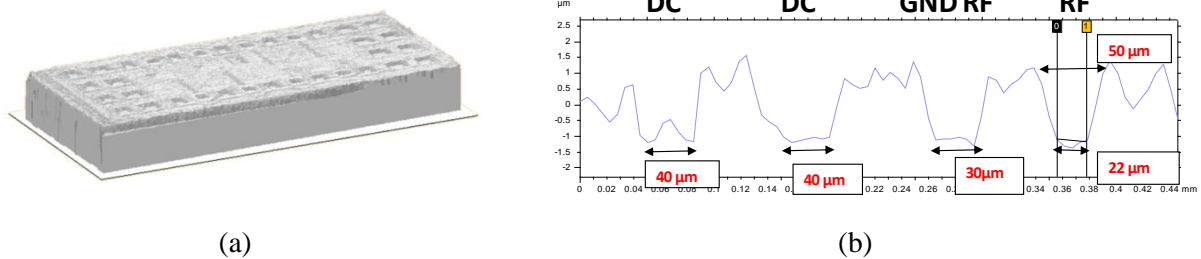


Figure III-27 Cartographie en 3D de la puce (a) et relief en 2D au niveau des plots (b)

- Les mesures de paramètres S ont mis en évidence que la puce réalisée est très sensible aux problèmes d'ESD. Pendant la transition de mesure du ports 1 au port 2 sur l'analyseur de réseaux toutes les puces ont été détruites, par conséquent nous ne reportons pas de mesures relatives aux paramètres S. Nous avons ajouté des diodes de protection externe pour éviter tout problème relatif aux ESD, cependant cela n'a pas été suffisant. Cette forte sensibilité aux problèmes d'ESD provient sûrement de l'épaisseur d'oxyde de grille qui est très faible.

Les mesures de paramètres S ne fonctionnant pas, nous avons réglé les adaptations d'entrée et de sortie avec des chariots à impédance variable ou « load pull » jusqu'à obtenir le meilleur gain en puissance.

➤ Système de mesure avec variation d'impédance

Les mesures ont été réalisées grâce au banc présenté dans la Figure III-28. Le signal radiofréquence est produit par un générateur RF, il est couplé avec un « power meter » pour mesurer avec précision la puissance fournie par le générateur au signal RF. Ensuite il traverse un isolateur pour

entrer dans un chariot d'impédance variable ou « source pull ». Celui-ci représente l'impédance d'entrée du circuit pour jouer le rôle d'adaptation d'entrée. Ensuite le signal RF entre dans la puce soit par connexion sous pointes directement sur la puce, soit par l'intermédiaire de micro-câblage avec un PCB. Après avoir traversé le circuit, le signal RF passe par un autre chariot d'impédance variable de sortie ou « load pull ». Le signal traverse un « T de polarisation » qui permet de fournir une tension DC à la sortie du circuit pour polariser le buffer, sans perturber le signal RF. Enfin, le signal RF est envoyé dans deux instruments de mesures à travers un coupleur : un « power meter », pour vérifier précisément la puissance en sortie, et un analyseur de spectre. Les pertes de chaque élément sont prises en compte pour le calcul du gain du circuit : coupleur, isolateur, « source pull », « load pull », « T de polarisation ». Pour l'alimentation du circuit, un PCB de découplage est utilisé pour limiter les perturbations sur l'alimentation et contrôler les éventuelles oscillations en basses fréquences.

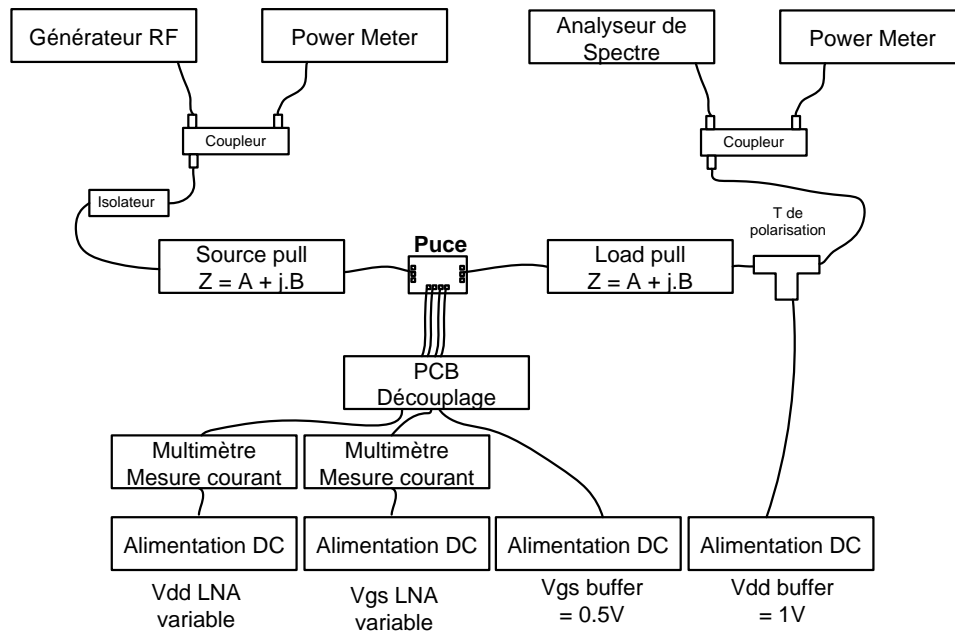


Figure III-28 Système de mesure à impédance variable

Les images relatives aux deux approches de connexion du circuit sont présentées dans la Figure III-29. Pour les mesures sous pointes, un PCB de découplage est placé juste avant les pointes DC, ceci permet de découpler les alimentations DC, cependant les perturbations qui arrivent sur les pointes ne peuvent pas être limitées. Pour les mesures avec les micro-câblages, le PCB est réalisé pour disposer de lignes de transmission RF à 50 ohms en entrée et en sortie. Le « T de polarisation » est supprimé, la polarisation du buffer est réalisée directement sur le PCB ainsi que l'adaptation de sortie. Le PCB est réalisé de telle sorte, qu'il est possible de mesurer les quatre circuits sans modifier le PCB ou retourner la puce.

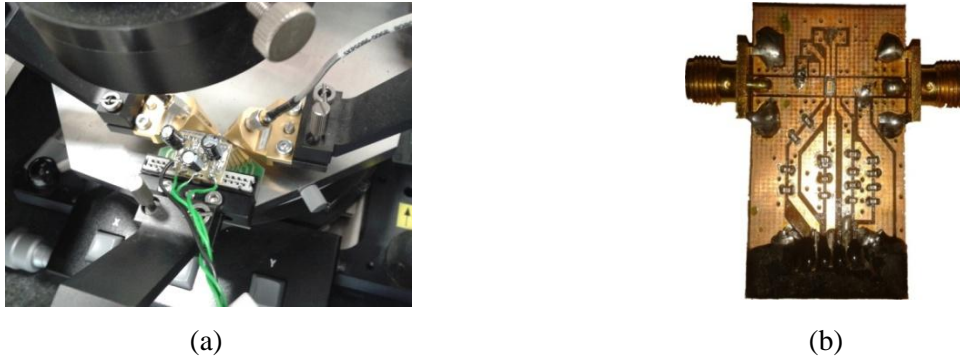


Figure III-29 Photographie des deux approches de connexions : mesure sous pointes (a) et PCB (b)

Nous avons remarqué lors du début des mesures que le LNA n°1 ne fonctionne pas. D'après les instruments de polarisation, il y a un court-circuit sur le cœur du circuit. La cause de ce dysfonctionnement est inconnue, l'analyse du layout du circuit sans LVS (Layout versus Schematic) ne nous a pas permis de mettre en évidence une erreur de conception. Les performances des circuits ne sont pas optimales, par conséquent nous présenterons seulement le LNA n°2 qui fonctionne à 2,4GHz. Cependant, nous comparons les impédances d'entrée et de sortie des quatre circuits entre les simulations et les mesures effectuées avec le PCB. Les impédances caractéristiques des circuits sont reportées dans la Table III-8. Pour l'entrée on constate que les parties réelles sont cohérentes entre les simulations et les mesures. Pour la partie imaginaire, on constate une forte variation (plus de 200 ohms) pour les circuits ayant une longueur de grille de 30nm (LNA n°2 et n°3), et mineure pour le LNA n°4 ayant des longueur de grille de 130nm (26 ohms). Bien que la différence soit notable, elle nous est favorable car ces valeurs se rapprochent de zéro. Pour les sorties, on constate que les mesures sont relativement proches des simulations.

Table III-8 Impédances d'entrées et sorties des circuits : simulation et mesures

	Simulation		Mesures	
	Zin	Zout	Zin	Zout
LNA n°2	52 - j.420	57 - j.1	50 - j.225	57 + j.1
LNA n°3	59 - j.735	59 - j.1	50 - j.420	61 - j.2
LNA n°4	31 - j.306	61 + j.0	40 - j.280	64 - j.30

➤ Mesures du LNA n°2

Les mesures sous pointes au « power meter » nous ont permis d'obtenir les performances en gain à 2,4GHz en fonction de la puissance consommée pour différentes tensions d'alimentation (Vdd). Les résultats sont présentés dans la Figure III-30. Pour une consommation inférieure à 400µW le circuit présente du gain : pour une alimentation de 1V et une consommation de 350µW il atteint 16dB

de gain, pour un V_{dd} de 0,8V et une consommation de $200\mu W$ le gain est de 14dB, pour un V_{dd} de 0,6V et une puissance de $75\mu W$ le gain est de 10dB. Le graphe nous fait remarquer que pour un même gain, il est préférable de diminuer la tension d'alimentation V_{dd} pour diminuer la puissance consommée plutôt que de diminuer le V_{gs} lié à la puissance consommée. Si l'on considère, par exemple, un gain de 10dB, avec un V_{dd} à 0,7V il consomme $100\mu W$ alors que pour un V_{dd} de 0,6V il consomme $75\mu W$. Dans ces valeurs de gains, le gain du buffer est inclus (2,5dB), cependant les résultats de gain du circuit complet ne correspondent pas avec les simulations, il est alors fort probable que le buffer dispose aussi d'un gain moins important. En effet, pour le LNA n°2, nous avons noté dans la Table III-6 pour une alimentation de V_{dd} à 0,9V et une consommation en puissance de $96\mu W$ que le circuit devait avoir 21dB de gain. Cependant nous remarquons pour un V_{dd} de 0,9V le gain est à peine 15dB pour une puissance consommée de $275\mu W$. Nous avons mené des investigations pour trouver l'origine de cette différence.

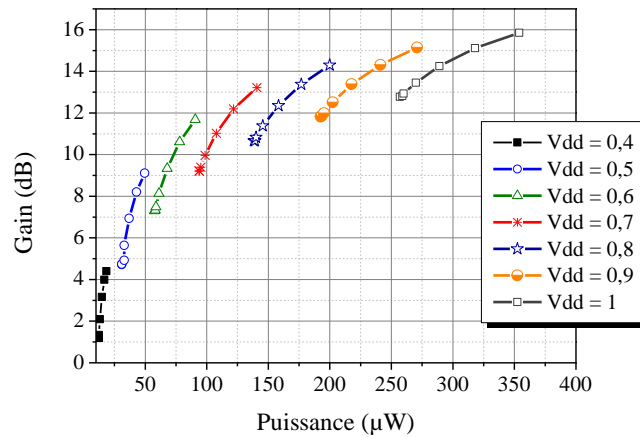


Figure III-30 Mesure sous pointes du gain en puissance du LNA n°2 à 2,4GHz avec une variation de la puissance pour différents V_{dd}

Pour cela nous avons tout d'abord vérifié le spectre de sortie du LNA, illustré dans la Figure III-31. Nous avons constaté la présence de signaux de fortes amplitudes en basses fréquences : de 20MHz à 200MHz. On remarque clairement que le signal RF à 2,4GHz dispose d'une puissance nettement inférieure aux parasites en basses fréquences : le signal RF est à -70dBm alors que les parasites sont au dessus de -50dBm. L'ajout des capacités de découplage sur les accès DC a permis d'atténuer ces signaux mais pas totalement. Ces signaux ne correspondent pas à des fréquences connues comme par exemple le GSM à 900MHz, la radio FM (87MHz à 108MHz) ou le 50Hz du secteur. Il est probable que ces signaux soient générés par des oscillations provoquées par le circuit utilisant la puissance utile du circuit à la place de servir uniquement à l'amplification.

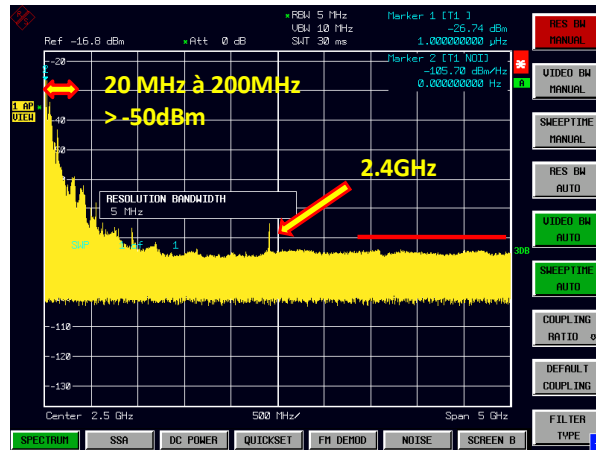


Figure III-31 Spectre du signal pour les mesures sous pointes de 1Hz à 5GHz

Le « power meter » permet d'intégrer toute l'énergie sans distinction de fréquence. Cette procédure de mesure est souvent utilisée lors de mesure au « load pull » pour des amplificateurs de puissance. Cependant, si des signaux de fréquences différentes apparaissent dans le spectre cette méthode n'est plus tout à fait correcte car elle prend en compte la puissance des autres fréquences. Pour les mesures qui suivent nous mesurons le gain et le bruit avec l'analyseur de spectre à la fréquence de 2,4GHz. De plus nous reportons le circuit sur un PCB avec des micro-câblages pour rapprocher au plus près le découplage DC de la puce. Les résultats des mesures sont reportés dans la Figure III-32 et sont comparés avec l'approche du « power meter » avec la puce sous pointes. On constate que les deux procédures de mesures n'ont pas de différences pour la tension d'alimentation de 1V. Cependant, on constate une différence de 1dB pour le Vdd à 0,8V et de 2dB pour le Vdd à 0,7V. Bien que les signaux en basses fréquences soient plus atténués avec les mesures sur PCB, les performances ne sont toujours pas similaires aux simulations.

Les mesures du gain et du bruit pour la fréquence de 2,4GHz sont reportées dans les Figure III-33 pour des tensions d'alimentation de 1V et 1,2V. Les valeurs des coefficients d'inversion des transistors NMOS et PMOS sont associées à chaque puissance de façon numérique. On remarque que le bruit du circuit est très élevé. Pour des puissances de 180 μ W le bruit est de 11,5dB pour un gain de 10dB. Au mieux le facteur de bruit atteint 9dB pour un gain de 19dB avec une consommation de 540 μ W. Par ailleurs les transistors NMOS et PMOS sont polarisés dans la région d'inversion modérée, sauf pour la puissance la plus faible (29 μ W) avec le PMOS et la puissance la plus forte (540 μ W) pour le NMOS. On constate que le canal du NMOS est plus développé que celui du PMOS avec un IC supérieur à 1 et arrivant à la forte inversion. Le PMOS dispose d'IC compris entre 0,1 et 1.

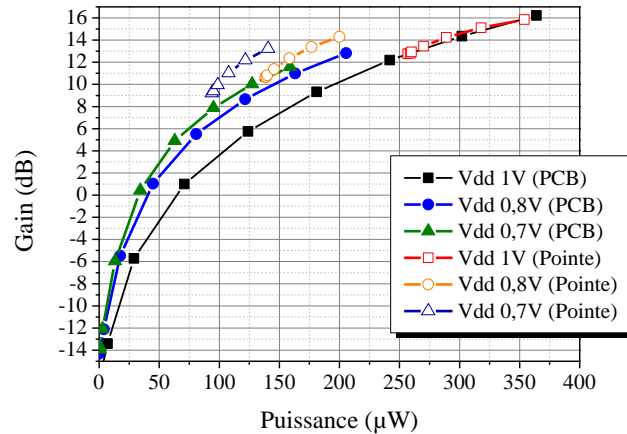


Figure III-32 Mesure du gain du LNA n°2 à 2,4GHz en fonction de la puissance consommée pour différents Vdd et comparaison des deux types de mesures.

Le LNA qui dispose du meilleur bruit est le LNA n°3 avec un bruit minimum de 7dB pour un gain de 17dB à 700µW. Nous pouvons affirmer que les circuits réalisés ne sont pas des amplificateurs « faible bruit » à proprement parler. L'origine de ce bruit important est difficile à définir. Une possibilité proviendrait des plots qui ne sont pas assez ouvert provoquant une augmentation de la résistance d'accès du LNA et donc une augmentation du facteur de bruit. Une autre explication pourrait venir du transistor PMOS qui dispose d'un coefficient d'inversion inférieur à 1, qui correspond à une région où le bruit peut être important. Une dernière explication pourrait provenir du fait que la technologie est en cours de développement disposant d'un modèle de bruit du transistor non viable dans les régions de travail utilisées : inversion faible et inversion modérée.

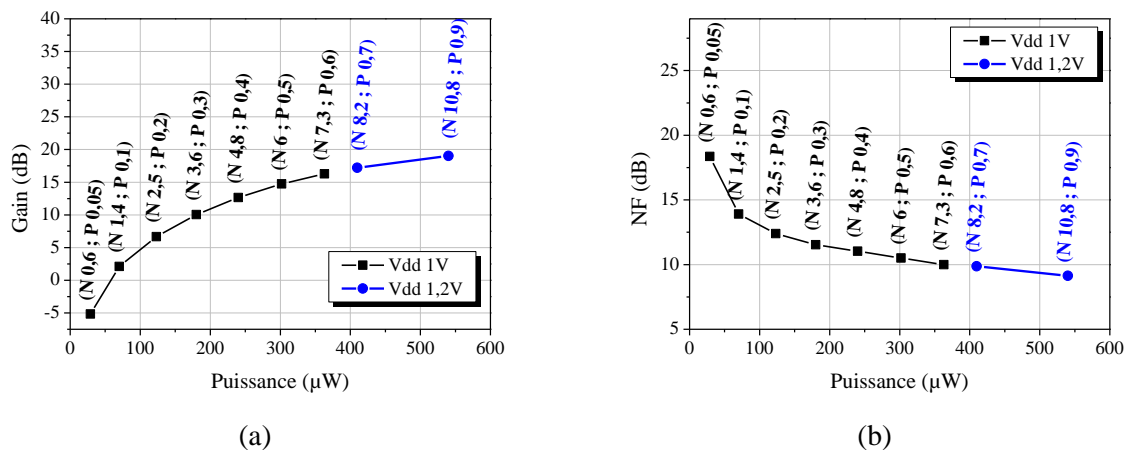


Figure III-33 Performances en gain (à gauche) et en bruit (à droite) en fonction de la puissance consommée pour le LNA n°2 à 2,4GHz avec les valeurs numériques d'IC du NMOS et PMOS

Les mesures du gain et du bruit sont représentés sur la Figure III-34 en fonction de la fréquence pour deux consommations de puissance : 180µW et 300µW. Sur ces graphiques il est possible de constater deux pics pour le gain, un à 800MHz et l'autre à 1,35GHz. Le pic à 800MHz pourrait correspondre à un signal parasite du standard GSM, ceci peut se confirmer avec la présence

d'un pic de bruit incohérent à cette même fréquence. Le pic à 1,35GHz ne correspond pas à un standard particulier, il s'agit de la fréquence de résonance à laquelle le circuit propose le meilleur gain. Si la réalisation du circuit avait été correcte, ce pic de résonance aurait été normalement à 2,4GHz. A 1,35GHz, le circuit dispose d'un gain de 25dB pour une consommation 300 μ W et de 20dB pour une consommation de 180 μ W. Le bruit est toujours élevé, aux alentours de 12dB. Il apparait une autre résonance plus proche de la fréquence d'intérêt à 2GHz. Le bruit le plus faible remarqué est de 9,7dB à la fréquence de 2,75GHz.

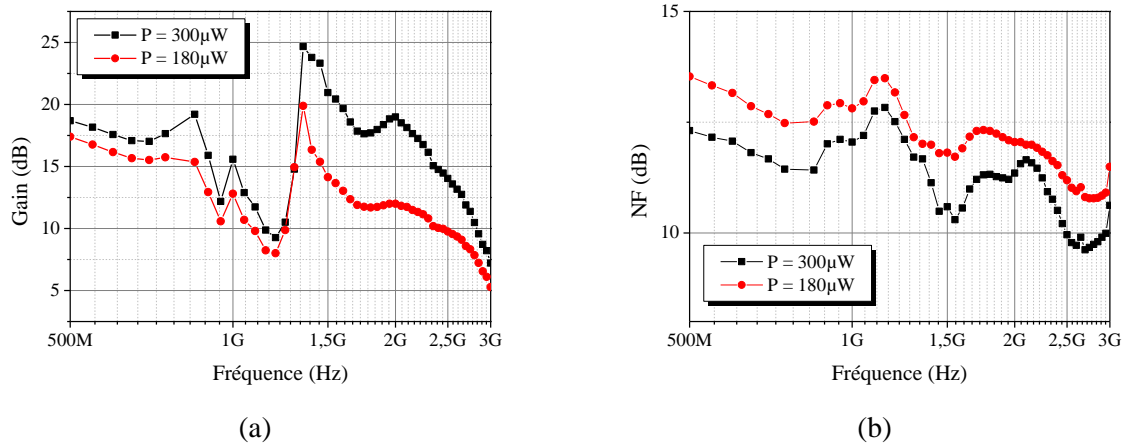


Figure III-34 Performances en gain (a) et en bruit (b) en fonction de la fréquence pour le LNA n°2 aux puissances consommées de 300 μ W et 180 μ W.

A partir des mesures de gain et de bruit à 2,4GHz, le FOM est calculé puis représenté dans la Figure III-35 en fonction de la puissance consommée. Les valeurs des coefficients d'inversion des transistors NMOS et PMOS sont associées à chaque puissance de façon numérique. Malgré un comportement du gain et du bruit similaires aux courbes de la Figure III-2 dans les régions de faible et modérée inversion, les mesures ne permettent pas de montrer que le FOM atteint un optimum.

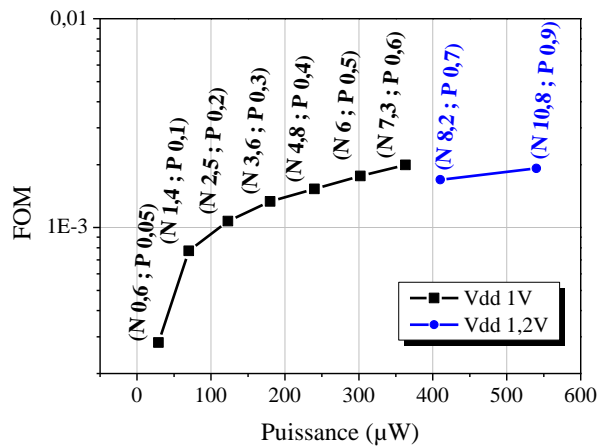


Figure III-35 FOM et IC en fonction de la puissance consommée pour le LNA n°2 à 2,4GHz avec les valeurs numériques d'IC du NMOS et PMOS

Suite aux problèmes rencontrés nous avons décidé d'utiliser des amplificateurs faible bruit qui fonctionnent correctement afin de valider la méthode. Pour cela nous avons utilisé des échantillons disponibles au laboratoire.

b. Les circuits en CMOS 130nm

Les circuits réalisés en CMOS 28nm n'ont pas permis de valider un maximum de FOM à partir des mesures de gain, de bruit et de courant. Afin de vérifier la méthode, des LNA réalisés par Dr. Aya Mabrouki et Dr. Thierry Taris en technologie CMOS 130nm de STMicroelectronics ont été analysés. Le circuit du Dr. A. Mabrouki est un cascode à dégénérescence inductive. Le circuit du Dr. T. Taris est une source commune complémentaire ou « current reused » de même topologie que le circuit implémenté en 28nm.

➤ Organisation de la mesure

Les deux circuits ont subi le même protocole de mesures qui a été utilisé sur la puce en CMOS 28nm mais sans utiliser d'impédance variable. Les tensions de polarisation Vdd ont été fixées à 0,5V pour le circuit du Dr. A. Mabrouki et à 0,6V pour le circuit du Dr. T. Taris de façon à conserver les paramètres utilisés par les concepteurs. Les tensions de contrôle de la grille (V_{GS}) sont incrémentés par pas de 20mV de 50mV au Vdd. Pour chacun de ces points de polarisation, les paramètres S et le facteur de bruit (NF) sont mesurés à 2,4GHz pour les inclure dans le calcul du FOM et trouver la polarisation optimale. Afin de vérifier l'adaptation sur une bande plus large, nous réalisons des mesures de 2GHz à 3GHz avec un pas de 200MHz.

Table III-9 Organisation de la mesure

Valeurs	Vdd		Vgs	Paramètre S & NF
		Mabrouki	Taris	50mV à Vdd pas de 20mV

➤ Circuit du Dr A, Mabrouki

Le circuit développé par le Dr, A, Mabrouki [7] est un LNA cascode à dégénérescence inductive et à charge inductive à 2,4GHz. Ces travaux de recherche ont été développés pour améliorer la linéarité du LNA en modifiant la tension du substrat (V_{BS}) qui joue un rôle important sur la tension de seuil du transistor (V_{th}). Ce circuit est entièrement intégré (Figure III-36), il dispose de trois inductances et occupe une surface totale de 2mm².

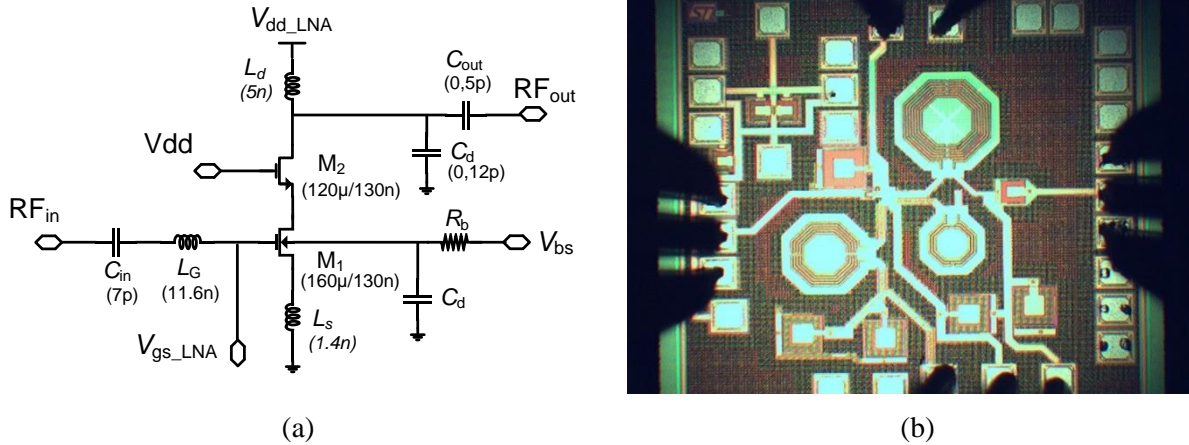


Figure III-36 : Circuit Cascode de la puce d'A, Mabrouki : schématique (a) et photographie (b)

La procédure de mesures décrite précédemment est réalisée sur ce circuit. Les extractions des performances à 2,4GHz (le gain, le bruit et le FOM) sont représentées dans la Figure III-37 en fonction du courant de polarisation (I_D) et du coefficient d'inversion (IC) du transistor M_1 . Les instruments de mesure n'ont pas permis de définir les performances du circuit seulement pour une tension de contrôle V_{GS} de 170mV à 420mV à la place de 50mV à 600mV. Cependant, les résultats obtenus ont permis de constater que les allures du gain, du bruit et du FOM correspondent à la partie III.1. Le gain croît avec la consommation de courant ou le coefficient d'inversion puis il commence à saturer ce qui fait diminuer le gain. Le bruit diminue avec l'augmentation du courant puis augmente quand le gain diminue. Le FOM dispose d'un pic maximal en régime d'inversion modérée pour un IC égale à 1,2. Au point maximal de FOM, le circuit présente un gain de 8,8dB avec un facteur de bruit de 3,3dB pour une consommation de 800 μ A (ou puissance de 400 μ W). Le concepteur du circuit présenta ce circuit non optimisé en polarisation de FOM avec un gain de 9dB, un bruit de 3,2dB pour une consommation de 980 μ A (ou puissance de 490 μ W). Soit une différence de 180 μ A, ou 18% de différence relative, pour des performances très proches.

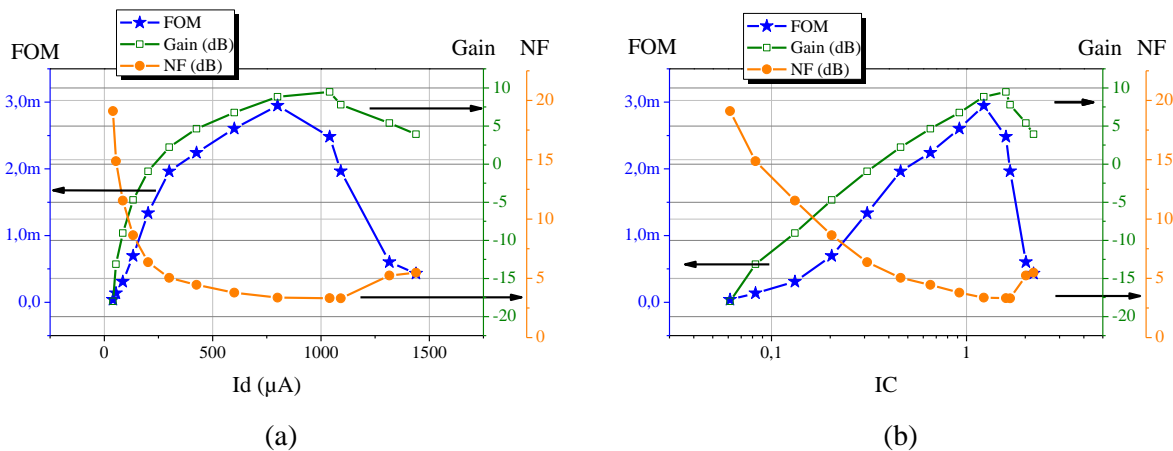


Figure III-37 Performances du circuit à 2,4GHz en fonction : du courant de polarisation (a) et le coefficient d'inversion (b)

Les mesures des paramètres S et du facteur de bruit en fonction de la fréquence sont présentées pour la polarisation au FOM maximal dans la Figure III-38 pour une puissance de $400\mu\text{W}$. Cette courbe met en évidence qu'à ce point de polarisation, l'adaptation optimale n'est pas à 2,4GHz mais plus vers 2,25GHz. Néanmoins, les paramètres de réflexions (S11 et S22) sont en dessous de -10dB à 2,4GHz ce qui est convenable. La courbe du bruit montre que le bruit est adapté à 2,4GHz.

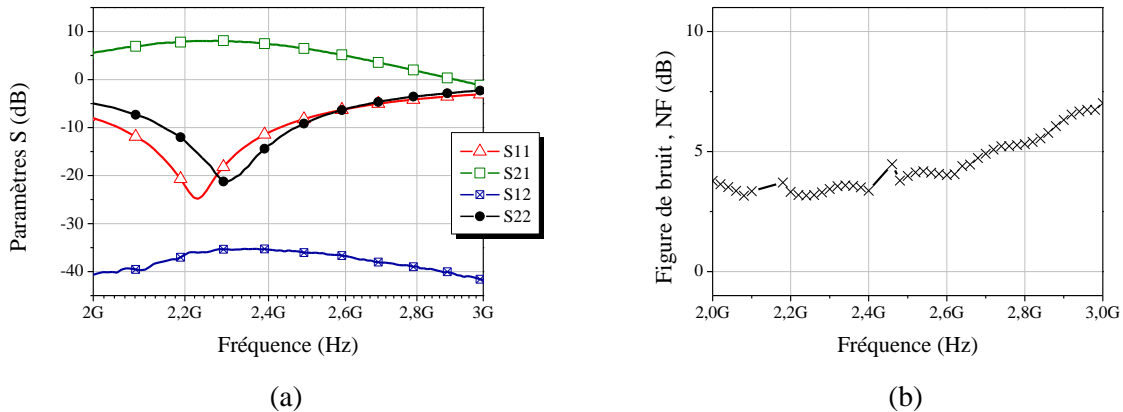


Figure III-38 Paramètres S (a) et Facteur de bruit (b) à la polarisation optimale pour $400\mu\text{W}$

➤ Circuit du Dr T. Taris

Le circuit développé par le Dr. T. Taris est une source commune complémentaire ou « current reused » [8] (Figure III-39). Le circuit réalisé en 28nm est de même topologie et sa description est réalisée dans la partie III.2. Il a été réalisé pour des applications à très faible consommation à 2,4GHz. Il est entièrement intégré et contient deux inductances au totale pour l'adaptation 50 ohms : une en entrée et une en sortie. Le circuit occupe une surface de $0,63\text{mm}^2$.

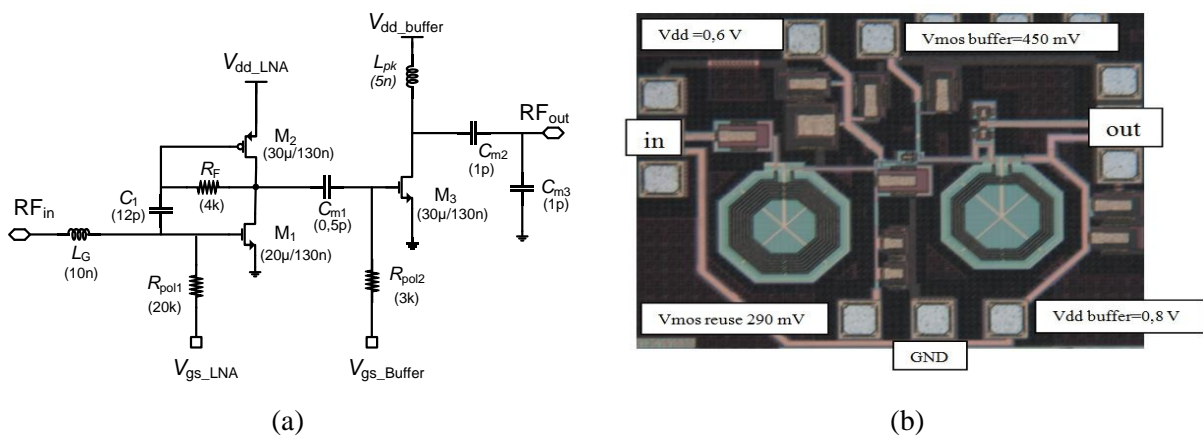


Figure III-39 Circuit source commune complémentaire de T. Taris : schématique (a) et photographie (b)

La même procédure de mesure décrite précédemment est menée sur ce circuit. Les extractions des performances à 2,4GHz (le gain, le bruit et le FOM) sont représentées dans la Figure III-40 en fonction du courant de polarisation (I_D) et du coefficient d'inversion (IC) du transistor M_1 . Contrairement au cascode, les instruments de mesures ont permis de réaliser les mesures sur toute la plage de tension V_{GS} : de 50mV à 500mV. Ceci nous a permis de bien visualiser le comportement du circuit du régime de faible inversion ($IC < 0,1$) jusqu'au régime de forte inversion ($IC > 10$). Les allures du gain, bruit et FOM sont par ailleurs mieux définies. Nous constatons encore que le gain et le bruit se dégradent vers la forte inversion et que le pic de FOM est bien défini en inversion modérée. Le point optimum de FOM est défini pour un coefficient d'inversion de 1,6, un courant de 135 μ A (ou puissance de 81 μ W) avec un gain de 14,35dB et un facteur de bruit de 5dB à 2,4GHz. Le concepteur du circuit présenta ce circuit avec un gain de 15,7dB, un bruit de 4,6dB et un courant de 218 μ A (ou puissance de 130 μ W). Les performances visées par le concepteur Dr. T. Taris sont meilleures mais le circuit n'est pas optimisé en FOM et dispose d'un courant plus important. Avec la méthode on obtient une diminution du courant de 83 μ A, soit 38% en moins et un FOM meilleur de 19%. L'objectif de cette comparaison est de définir une polarisation optimale afin de trouver le meilleur compromis entre les performances.

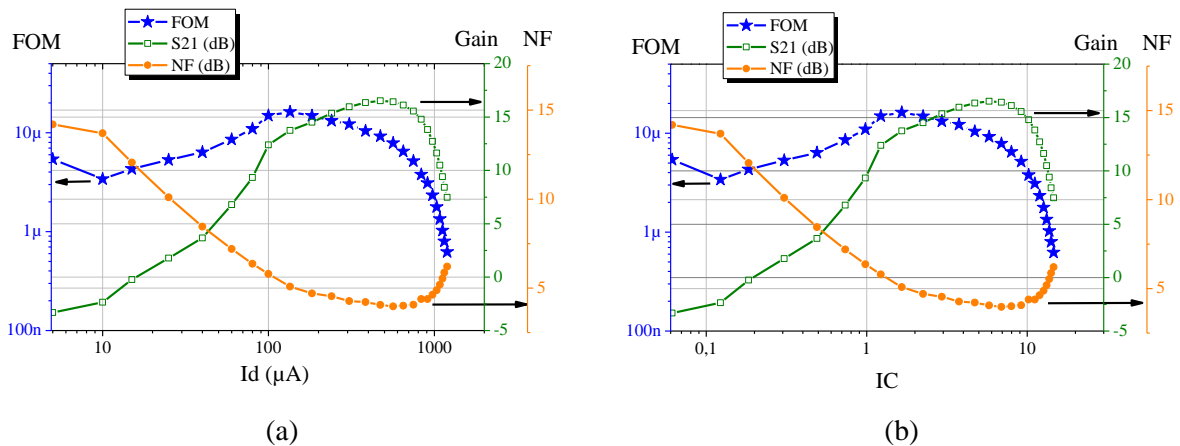


Figure III-40 Performances du circuit à 2,4GHz en fonction : du courant de polarisation (a) et le coefficient d'inversion (b)

Les mesures des paramètres S et du bruit en fonction de la fréquence sont présentées pour la polarisation au FOM maximal dans la Figure III-41, pour une puissance de 81 μ W. On remarque que le circuit dispose du S21 maximal aux alentours de 2,4GHz, de même que le meilleur S22 de -13,6dB à cette même fréquence. Le S11 est de -10,7dB à 2,4GHz et il est minimal à 2,54GHz. Le S11 n'est pas centré à 2,4GHz car son adaptation dépend de la transconductance des transistors qui est différente car la polarisation n'est pas celle prévue par le concepteur. Le bruit est à son minimum à la fréquence de 2,4GHz.

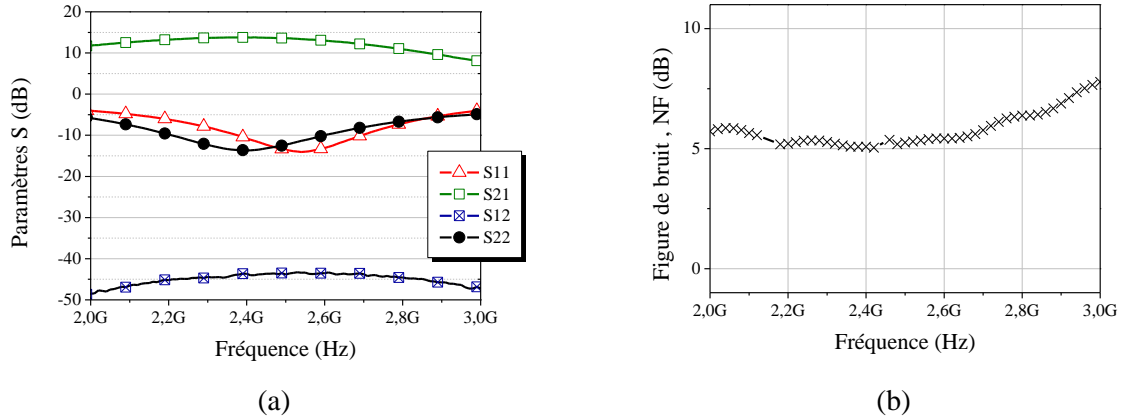


Figure III-41 Paramètres S (a) et Facteur de bruit (b) à la polarisation optimale pour 81µW

➤ Conclusion des mesures

Nous avons utilisé trois types de mesures sur deux circuits en technologies CMOS 130nm bulk : des mesures DC pour récolter le courant de polarisation, des mesures de paramètres S pour connaître le gain en puissance et l'adaptation du circuit, et des mesures de bruit pour le facteur de bruit. Les données de courant, gain et bruit ont été intégrées au FOM de l'amplificateur faible bruit à faible consommation pour des fréquences radio. Ces mesures nous ont confirmé qu'il existe bien un maximum de FOM dans la région d'inversion modérée. Bien que les circuits ne soient pas optimisés avec la FOM lors de leur conception, les mesures ont montré qu'utiliser la méthode de FOM pour polariser le circuit permet de diminuer la consommation en courant. Pour le circuit du Dr. A. Mabrouki avec des performances très proches en termes de gain et de bruit, il est possible d'économiser 18% de la puissance consommée. Cependant, ce circuit avait été conçu pour améliorer la linéarité qui nécessite généralement un courant plus important, ce que nous n'avons pas considérée dans notre cas. Pour le circuit de T. Taris qui a été réalisé pour des très faibles consommations, on constate qu'utiliser la méthode de la FOM permettrait d'économiser presque 40% de la puissance consommée avec des performances légèrement inférieures.

4. Conclusion

Une nouvelle approche de conception d'amplificateur RF à faible consommation a été présentée dans ce chapitre. Elle utilise les performances de gain, de bruit et de consommation de courant d'un circuit afin de définir une polarisation optimale à partir d'un facteur de mérite (FOM). Cette approche permet dans un premier temps de dimensionner le cœur d'un circuit puis dans un deuxième temps de régler l'adaptation. Cette méthode a permis d'affirmer que pour des technologies avancées, tels que la CMOS 65nm ou la 28nm, l'utilisation de la longueur de grille minimale n'est pas un choix optimal pour diminuer la consommation de courant. En utilisant des représentations analytiques des circuits à partir de la normalisation du transistor et du coefficient inversion, il est

possible de dimensionner les composants de façon automatique. Cette automatisation est un atout majeur pour modifier rapidement le dimensionnement d'un circuit en fonction de ses performances ou de sa technologie. A cause de problèmes diverses liés à la maturité de la technologie au moment de la fabrication, les mesures des puces 28nm n'ont pas pu complètement illustrer l'approche proposée. Cependant des mesures effectuées sur deux topologies différentes, un cascode et une source commune complémentaire auto-polarisée, en technologie CMOS 130nm ont permis de valider expérimentalement la puissance d'optimisation de la méthode de dimensionnement par FOM optimale à IC optimal.

Bibliographie

- [1] T. Melly, « Conception d'un émetteur récepteur à faible consommation intégrée en technologie CMOS », EPFL, 2000.
- [2] A. Shameli et P. Heydari, « Ultra-Low Power RFIC Design Using Moderately Inverted MOSFETs: An Analytical/Experimental Study », *RFIC*, 2004.
- [3] « International Technology Roadmap for Semiconductors : System Drivers ». 2011.
- [4] I. Song et B.-G. Park, « A Simple Figure of Merit of RF MOSFET for Low-Noise Amplifier Design », *Electron Device Lett. IEEE*, vol. 29(12), 2008.
- [5] T. H. Lee, *The design of CMOS radio-frequency integrated circuit*, Cambridge University Press. 1998.
- [6] B. Leite, « Design and modeling of mm-wave integrated transformers in CMOS and BiCMOS technologies », Bordeaux 1, 2011.
- [7] A. Mabrouki, T. Taris, Y. Deval, et J. Begueret, « CMOS low-noise amplifier linearization through body biasing », in *IEEE International Symposium on Radio-Frequency Integration Technology, 2009. RFIT 2009*, 2009, p. 150-153.
- [8] T. Taris, J.-B. Begueret, et Y. Deval, « A 60 μ W LNA for 2.4GHz wireless sensors network applications », *RFIC*, 2011.

Chapitre IV

Méthodologie de conception

d'Oscillateur

Chapitre IV. Méthodologie de conception d'Oscillateur

Chapitre IV. Méthodologie de conception d'Oscillateur.....	122
1. Méthode de conception d'oscillateurs LC.....	123
a. Analyse linéaire.....	124
b. Analyse non-linéaire.....	126
c. Analyse du bruit de phase.....	130
d. Méthode de conception d'oscillateur à base de FOM.....	133
2. Méthode de conception d'oscillateur à base de FOM du LNA.....	135
3. Conclusion.....	140
Bibliographie.....	141

La première partie de cette étude a été réalisée durant le stage de fin d'étude de Gabrielle Guitton encadré par Pr. C.C. Enz au sein du laboratoire ICLAB à l'Ecole Polytechnique Fédérale de Lausanne (EPFL) et co-encadré par le Pr. T. Taris et moi même. L'analyse de l'oscillateur a été réalisée avec une technologie avancée 40nm de STMicroelectronics avec un modèle BSIM6. Suite aux travaux réalisés durant ce stage, nous avons imaginé un dimensionnement de l'oscillateur à partir de la méthode de l'amplificateur faible bruit présenté dans le chapitre III. Cette seconde partie d'étude s'est déroulée avec des simulations en technologie 65nm de STMicroelectronics avec un modèle PSP du transistor.

1. Méthode de conception d'oscillateurs LC

Les oscillateurs sont des systèmes asservis à contre réaction positive comme illustré dans la Figure IV-1, dont la fonction de transfert est décrite dans l'équation IV.1. Pour que l'oscillateur maintienne une amplitude constante, il est nécessaire que le système respecte les conditions de Barkausen : disposer d'un gain de boucle égale à 1 et une phase totale nulle (équation IV.2).

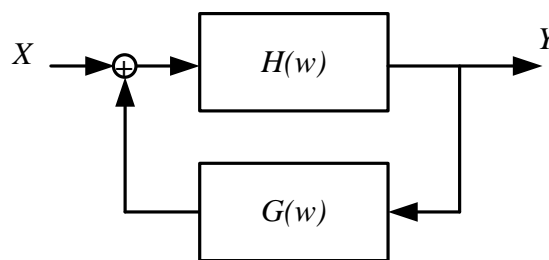


Figure IV-1 Système asservi

$$Y = \frac{H(\omega)}{1 - H(\omega).G(\omega)} . X \quad (IV.1)$$

$$\begin{cases} |H(\omega_0).G(\omega_0)| = 1 \\ \arg(H(\omega_0).G(\omega_0)) = 0 \end{cases} \quad (IV.2)$$

Il existe deux grandes familles d'oscillateurs : les oscillateurs en anneaux (ou ring) et les oscillateurs à réseaux LC. Nous focaliserons notre étude sur les oscillateurs de type LC. Bien que le réglage de la fréquence d'oscillation ne soit pas une fonction linéaire, les oscillateurs de type LC ont l'avantage d'avoir une consommation maîtrisée et un spectre fréquentiel plus propre, c'est à dire moins d'harmoniques autour de la fréquence centrale. Dans cette partie nous illustrerons la méthode de conception avec un oscillateur LC de type Pierce.

Les oscillateurs sont considérés comme des circuits utilisant des « grands signaux », contrairement aux amplificateurs faibles bruit (LNA) qui sont considérés comme des circuits « petits signaux ». La polarisation du transistor varie constamment dans le temps en fonction du signal d'entrée, l'analyse « petits signaux » n'est alors plus correcte. Cependant les parasites, principalement capacitifs, varient que peu avec la polarisation. Par conséquent, nous allons analyser le comportement du circuit suivant deux approches : une approche linéaire et une non-linéaire. La partie linéaire permet d'une part de fixer la fréquence d'oscillation du résonateur LC, d'autre part de vérifier les conditions nécessaires pour démarrer l'oscillation. La partie non-linéaire permet de définir le courant nécessaire pour obtenir l'amplitude souhaitée. Enfin le bruit de phase du circuit sera abordé.

a. Analyse linéaire

L'oscillateur de Pierce (Figure IV-2 a) est un oscillateur à trois points, présentant trois zones d'impédances caractéristiques :

- la capacité C_1 représente la capacité entre la grille et la source.
- la capacité C_2 fait office de capacité de charge cumulée à la capacité entre le drain et le substrat (ou bulk).
- le réseau LC principal ou « tank » est composé de la capacité C_3 de réglage pour l'oscillation, de la capacité entre le drain et la source, et de l'inductance L qui n'est pas idéale et dispose de pertes résistives (r).

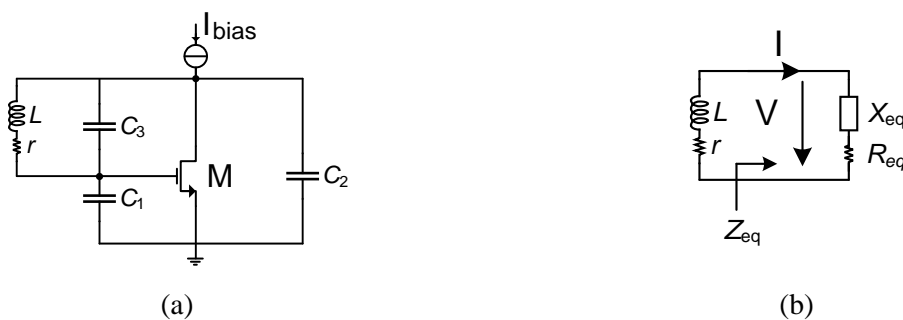


Figure IV-2 Oscillateur Pierce (a) et schéma équivalent d'un circuit résonnant en série LC (b)

La fréquence de résonance d'un oscillateur de type Pierce est définie dans l'équation IV.3, elle dépend de l'inductance L en parallèle avec les capacités du circuit. Les pertes associées à l'inductance, représentées par r , contribuent à atténuer l'amplitude du signal. Cette atténuation est compensé par le transistor afin d'entretenir l'oscillation. Pour connaître le gain nécessaire au maintien de l'oscillation, l'impédance du circuit est dissociée en deux parties : l'impédance de l'inductance d'une part, et l'impédance équivalente (Z_{eq}) représentant le reste du circuit, illustré dans la Figure IV-2 b. Cette impédance équivalente est retranscrite dans l'équation IV.4 [1].

$$\omega_{osc} = \frac{1}{\sqrt{L.(C_3 + C_{12})}} \quad \text{avec} \quad C_{12} = \frac{C_1.C_2}{C_1 + C_2} \quad (\text{IV.3})$$

$$Z_{eq}(\omega) = \frac{g_m + j.\omega.(C_1 + C_2)}{\omega^2.(C_1.C_2 + C_1.C_3 + C_2.C_3) - j.\omega.g_m.C_3} \quad (\text{IV.4})$$

Pour compenser les pertes de l'inductance, et atteindre les conditions d'oscillation, il est nécessaire que les parties réelles et imaginaires de Z_{eq} soient égales et opposées à celles de Z_L comme indiqué dans l'équation IV.5.

$$\begin{cases} \text{Re}(Z_{eq}(\omega)) = -\text{Re}(Z_L(\omega)) \\ \text{Im}(Z_{eq}(\omega)) = -\text{Im}(Z_L(\omega)) \end{cases} \quad (\text{IV.5})$$

En supposant que le facteur de qualité du résonateur (Q_L) est largement supérieur à 1, il est possible de déduire des équations IV.4 et IV.5 une fonction de la transconductance critique (g_{m_crit}) nécessaire pour compenser les pertes de l'inductance dans équation IV.6. L'étude approfondie de la transconductance critique g_{m_crit} [2] a permis de mettre en avant :

- Pour minimiser la consommation, la capacité C_1 doit être égale à la capacité C_2 .
- Pour minimiser les couplages d'harmonique avec la grille et conserver un signal quasi-sinusoidal, il est préférable que $C_3 \ll C_{12}$.

Ces valeurs de capacités sont aussi liées à la fréquence de résonance suivant l'équation IV.3.

$$g_{m_crit} \approx \frac{\omega_{osc}}{Q_L} . (C_1 + C_2) \left(1 + \frac{C_3}{C_{12}} \right) \quad \text{avec} \quad Q_L = \omega L / r \quad (\text{IV.6})$$

Une fois que la valeur de la transconductance critique (g_{m_crit}) est fixée par les paramètres du circuit, nous utilisons l'équation de la transconductance en fonction du coefficient d'inversion (Equation II.15) pour lier les paramètres physiques du transistor (W) au coefficient d'inversion dans l'équation IV.7. La largeur de grille correspond à la taille minimale requise pour que l'oscillation démarre, nous la notons W_{crit} . De la même façon, nous définissons le courant minimum nécessaire pour obtenir une oscillation I_{D_crit} (équation IV.8). Les paramètres W_{crit} et I_{D_crit} sont représentés en fonction de IC dans la Figure IV-3. L'équation IV.7 permet de définir des couples de valeurs (W_{crit} , IC) nécessaires pour que le circuit oscille. Sur le graphe de la Figure IV-3 (a), on constate qu'il existe une relation quasi-linéaire entre la taille (W) et le coefficient d'inversion pour des IC compris entre 0,01 et 0,1. Ceci signifie que le courant est quasi-constant pour chacun de ces points alors que la taille du transistor est divisée par 10. Ce phénomène est confirmé sur le graphique (b) du courant minimum critique (I_{D_crit}). On constate sur la Figure IV-3 (b), que du régime de faible inversion à l'inversion modéré ($1 < IC$) le courant n'augmente que très peu : de 220µA à 380µA (moins du double). Pour des IC supérieurs à 1, le courant augmente rapidement allant jusqu'à 8mA. Par ailleurs, à travers le

paramètre λ_c , on constate que l'effet de la saturation de la vitesse des porteurs accentue la consommation de courant pour les technologies avancées. En région de forte inversion, on remarque que la largeur de grille W_{crit} tend vers une valeur constante, c'est une conséquence de la saturation de la vitesse des porteurs.

$$W_{crit}(IC) = \frac{g_{m_crit} \cdot L \cdot U_T}{G_m(IC, \lambda_c) \cdot I_{spec\phi}} \quad (IV.7)$$

$$I_{D_crit} = \frac{IC \cdot I_{spec\phi} \cdot W_{crit}(IC)}{L} \quad (IV.8)$$

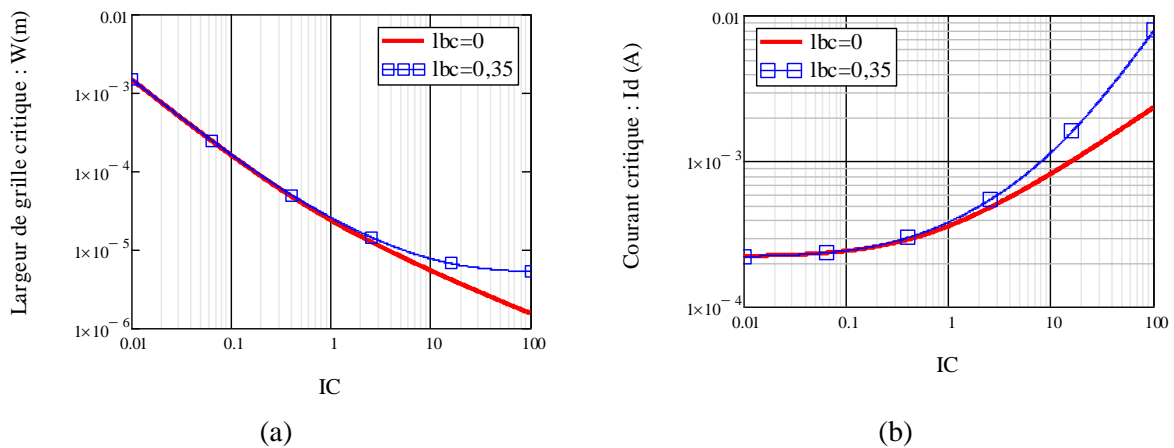


Figure IV-3 Evolution de la largeur de grille critique W_{crit} (a) et du courant critique I_{D_crit} (b) en fonction du coefficient d'inversion, avec ($\lambda_c=0.35$) et sans ($\lambda_c=0$) influence de la saturation de vitesse des porteurs

L'analyse linéaire du circuit permet dans un premier temps de définir la fréquence d'oscillation du circuit et les conditions minimales requises pour que le circuit oscille : la taille et le courant critiques. Cependant le courant nécessaire pour obtenir une amplitude spécifique ne peut être obtenu avec une analyse linéaire. Une analyse non-linéaire est nécessaire.

b. Analyse non-linéaire

Pour le comportement non-linéaire du circuit, nous allons analyser les harmoniques du courant de sortie en fonction du signal d'entrée. Les harmoniques les plus intéressantes sont les harmoniques d'ordre zéro (H_0) et un (H_1). L'harmonique zéro correspond au courant continu, elle va nous permettre de connaître le courant de polarisation nécessaire pour obtenir l'amplitude souhaitée. La première harmonique est le courant à la fréquence fondamentale qui par l'intermédiaire de l'amplitude du signal, permet de connaître la puissance de sortie du signal. Pour cette analyse, nous utilisons un signal sinusoïdal de pulsation ω_{osc} et d'amplitude A_{osc} . Ceci est représentatif du comportement réel d'un oscillateur LC ayant un bon facteur de qualité Q_L . Il est alors possible de définir la tension V_{gt} , dans l'équation IV.9, qui représente la différence entre la tension de grille V_g et la tension de seuil V_T ($V_{gt} =$

$V_g - V_T$). Cette tension V_{gt} comprend une composante continue (V_{gt0}) et une composante variable dans le temps ($A_{osc} \cdot \cos(\omega_{osc} \cdot t)$).

$$V_{gt} = V_{gt0} + A_{osc} \cdot \cos(\omega_{osc} \cdot t) \quad (IV.9)$$

Le courant peut être représenté soit avec des équations relativement simples, mais discontinues suivant les régions de polarisation, soit avec une équation plus complexe mais continue.

Dans la première approche, qui ne nous concerne pas ici, les expressions du courant dans les régions de faible et forte inversion sont bien connues et peuvent être analysées simplement et séparément. Ces analyses sont détaillées dans le livre de E. Vittoz sur la conception d'oscillateur [9]. Nous retenons que :

- En régime de forte inversion, le courant est défini avec une équation quadratique en fonction de la tension V_{gt} (équation IV.10). Un simple développement de l'équation du courant est suffisant pour visualiser les harmoniques du signal.

$$I_D(t) = \frac{I_{spec}}{(2 \cdot n \cdot U_T)^2} \cdot (V_{gt0} + A_{osc} \cdot \cos(\omega_{osc} \cdot t))^2 \quad (IV.10)$$

- En régime de faible inversion, le courant est défini avec une équation exponentielle en fonction de la tension V_{gt} (équation IV.11). Il est nécessaire de réaliser une transformée de Fourier pour analyser les harmoniques du signal. La transformée de Fourier de l'exponentielle est réalisée à partir des fonctions de Bessel de 1^{er} espèce.

$$I_D(t) = I_{spec} \cdot e^{\frac{V_{gt0} + A_{osc} \cdot \cos(\omega_{osc} \cdot t)}{n \cdot U_T}} \quad (IV.11)$$

Pour notre étude, nous avons choisi d'analyser le comportement des harmoniques du circuit à partir d'une équation du courant continue de la faible à la forte inversion prenant en compte l'effet de saturation de la vitesse des porteurs pour les technologies avancées à canal court. Ce courant est défini dans l'équation IV.12 [2]. Il dépend du courant spécifique (I_{spec}), de la charge d'électron dans la source (q_s) et du facteur de saturation de la vitesse des porteurs (λ_c). Dans le cas des oscillateurs, il est intéressant de noter que le courant spécifique (I_{spec}), équation IV.13, n'est plus défini comme une constante. Il dépend de la largeur de grille (W_{crit}) qui varie en fonction du coefficient d'inversion IC, et qui permet de vérifier les conditions d'oscillation définies par la transconductance $g_{m_{crit}}$, équation IV.7. Pour diminuer la complexité des calculs, il est préférable d'analyser les harmoniques du circuit à partir du coefficient d'inversion (IC) à la place du courant.

$$I_D = IC \cdot I_{spec} = \frac{4 \cdot (q_s + q_s^2)}{2 + \lambda_c + \sqrt{4(1 + \lambda_c) + \lambda_c^2(1 + 2 \cdot q_s)^2}} \cdot I_{spec} \quad (IV.12)$$

$$I_{spec} = \frac{I_{spec0} \cdot W_{crit}(IC)}{L} \quad (IV.13)$$

Pour prendre en compte le signal oscillant dans le courant, nous utilisons l'équation IV.14 qui lie la tension V_{gt} à la charge de l'électron dans la source (q_s).

$$2q_s + \ln(q_s) = V_{gt} \cdot n \cdot U_T \quad (IV.14)$$

L'utilisation des équations IV.9, IV.12 et IV.14 permettent de définir une équation du coefficient d'inversion IV.15 en fonction du temps (t), de la tension de polarisation (V_{gt0}), de l'amplitude (A_{osc}) et de la pulsation (ω_{osc}) du signal. La description analytique de cette fonction est complexe à établir, il est nécessaire d'utiliser un calculateur numérique.

$$IC(t) = f_{IC}(t, V_{gt0}, A_{osc}, \omega_{osc}) \quad (IV.15)$$

Pour analyser le comportement non-linéaire d'un circuit, il est communément utilisé d'étudier les harmoniques du courant. Afin de conserver la normalisation du transistor, nous analysons les harmoniques à travers le courant normalisé, soit le coefficient d'inversion. Une transformé de Fourier est effectuée sur l'équation du coefficient d'inversion variant dans le temps défini dans IV.15. L'équation IV.16 permet d'obtenir les coefficients ic_m pour chaque harmonique de la fréquence d'oscillation.

$$ic_m(V_{gt0}, A_{osc}) = \alpha \int_{-0,5}^{0,5} f_{IC}(t, V_{gt0}, A_{osc}, \omega_{osc}) \cdot \cos(m \cdot \omega_{osc} \cdot t) \cdot d(\omega_{osc} \cdot t) \quad (IV.16)$$

Il est ainsi possible d'obtenir le courant continu I_{D_DC} à partir du premier coefficient ic_0 et du courant spécifique (I_{spec}), équation IV.13. Le courant à la fréquence d'oscillation, de la première harmonique, est défini avec I_{D_H1} dans l'équation IV.18.

$$I_{D_DC} = ic_0(V_{gt0}, A_{osc}) \cdot I_{spec}(IC) \quad (IV.17)$$

$$I_{D_H1} = ic_1(V_{gt0}, A_{osc}) \cdot I_{spec}(IC) \quad (IV.18)$$

Pour ces équations, il est nécessaire de définir la tension V_{gt0} . Elle peut être connue à partir de la transconductance de la première harmonique (g_{m_H1}), de l'amplitude d'oscillation du signal (A_{osc}) et du courant de la première harmonique (I_{D_H1}) (équation IV.19). Par ailleurs, on fait l'hypothèse que la

transconductance du fondamental ($g_{m_{H1}}$) est égale à la transconductance critique ($g_{m_{crit}}$) pour entretenir l'oscillation. Par l'intermédiaire d'un calculateur numérique, il est ainsi possible de connaître les valeurs de V_{gt0} pour chaque amplitude et chaque coefficient d'inversion. On obtient ainsi des formules de courants ($I_{D_{DC}}$, $I_{D_{H1}}$) qui dépendent uniquement du coefficient d'inversion et de l'amplitude du signal.

$$g_{m_{H1}} = g_{m_{crit}} = \frac{I_{D_{H1}}}{A_{osc}} = \frac{ic_1(V_{gt0}, A_{osc}) \cdot I_{spec}(IC)}{A_{osc}} \rightarrow ic_1(V_{gt0}, A_{osc}) = \frac{g_{m_{crit}} \cdot A_{osc}}{I_{spec}(IC)} \quad (IV.19)$$

Pour finir, le courant continu ($I_{D_{DC}}$) nécessaire pour respecter les conditions d'oscillation et fournir une amplitude fixée (A_{osc}) est calculé numériquement avec le V_{gt0} trouvé. Ainsi une fois définie l'amplitude du signal, le courant dépend alors uniquement du coefficient d'inversion (équation IV.20). Cette fonction est représentée dans la Figure IV-4 (a) et elle est comparée aux simulations. Le circuit de type Pierce est dimensionné avec la largeur de grille critique (W_{crit}) pour obtenir une oscillation de 100mV à 2,4GHz pour une technologie CMOS 40nm. On constate sur la Figure IV-4 (a) que le courant calculé et le courant observé par simulation correspondent parfaitement. Il est reporté le courant « minimum analytique » de la Figure IV-3 (b) nécessaire pour démarrer l'oscillation (analyse linéaire), calculé à partir de l'équation (IV.8). On observe que le courant nécessaire pour disposer d'une amplitude de 100mV est plus important que celui nécessaire pour démarrer l'oscillation. Pour la région de faible inversion, la différence entre ces deux courbes est importante : plus d'un facteur 2. En région d'inversion modérée, les valeurs des courants se rapprochent jusqu'à devenir très proches, mais jamais égales, dans la région de forte inversion. La très faible différence du courant en région de forte inversion peut questionner l'utilisateur sur la nécessité d'une analyse complexe, non-linéaire, pour obtenir des résultats finalement proches de ceux d'une analyse simple, linéaire. Cependant, nous verrons par la suite, qu'il existe un optimum de facteur de mérite (FOM) pour les oscillateurs RF à faible consommation dans la région d'inversion modérée. Dans la Figure IV-4 (b), on remarque que la taille W_{crit} calculée analytiquement (équation IV.7) correspond aussi aux simulations réalisées pour une amplitude de 100mV à 2,4GHz. Cependant, on remarque une légère divergence pour les coefficients d'inversion important, autour d'IC égale à 100.

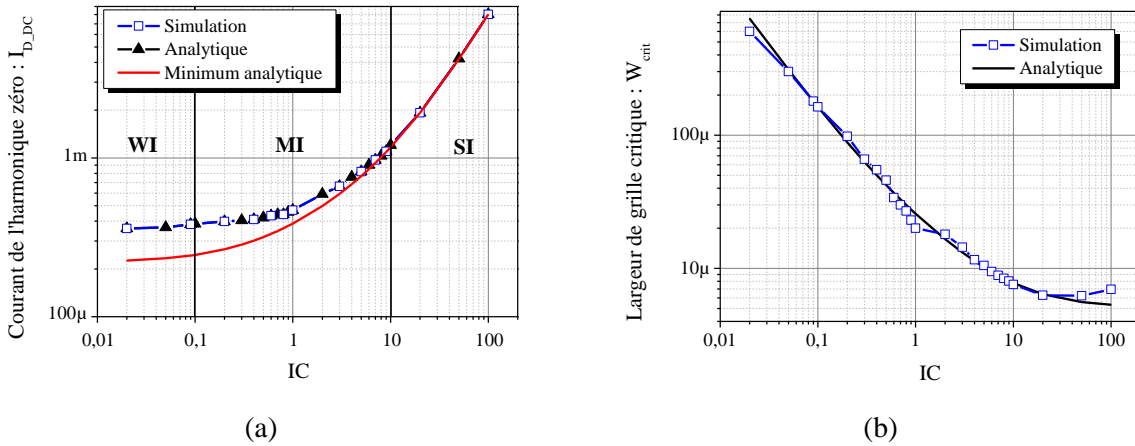


Figure IV-4 Evolution du courant d'harmonique d'ordre zéro I_{D_DC} (a) et de la largeur de grille critique W_{crit} (b) pour une amplitude fixe de 100mV à 2,4GHz : analytique et simulation

$$I_{D_DC} = i_{c_0}(IC, A_{osc}) \cdot I_{spec}(IC) \quad (IV.20)$$

L'analyse non-linéaire présentée permet de définir le courant nécessaire pour que l'oscillateur fournisse une amplitude souhaitée. Il est ainsi possible de définir un dimensionnement et une polarisation du transistor valide dans toutes les régions d'inversions pour des technologies avancées.

c. Analyse du bruit de phase

L'analyse et la description analytique du bruit de phase d'un oscillateur sont des sujets complexes, pour lesquels nous trouvons dans la littérature plusieurs interprétations. Les études les plus connues sont celles de Leeson et de Hajimiri. Le modèle de Leeson [3] est semi-empirique et basé sur une représentation du système comme étant linéaire et invariant dans le temps. Bien que cette hypothèse ne soit pas correcte pour les oscillateurs fonctionnant avec des grands signaux, cette représentation permet d'obtenir un modèle correcte du comportement du bruit dans la bande fréquentielle en $1/f^2$, où le bruit est le plus critique pour un système de télécommunication. Le modèle d'Hajimiri [4] prend en compte le comportement temporel du signal. Il démontre qu'il existe des formes des signaux plus ou moins sensibles aux perturbations d'amplitude ou de phase, par exemple les signaux sinusoïdaux sont plus sensibles aux variations que les signaux carrés. D'autre part, les harmoniques du signal ont aussi une contribution sur le bruit de phase. Pour ce modèle, l'étude est réalisée sur la réponse impulsionnelle du système qui par la suite est décomposé en série de Fourier. Le modèle de Hajimiri permet d'obtenir des résultats très pertinents cependant son application est complexe.

Pour notre étude nous avons utilisé une approche différente développée par E. Rubiola [5]. Ce modèle empirique est basé sur une analyse linéaire du circuit qui prend en compte uniquement le bruit thermique. Ce modèle permet d'obtenir des résultats plus corrects dans la région $1/f^2$ que le modèle de Leeson et de façon plus simple que le modèle d'Hajimiri. Le schéma équivalent en bruit d'un

oscillateur de type Pierce est présenté dans la Figure IV-5. Les sources de bruits du circuit proviennent de l'inductance du résonateur (v_{nL}) et du canal du transistor (i_{nd}).

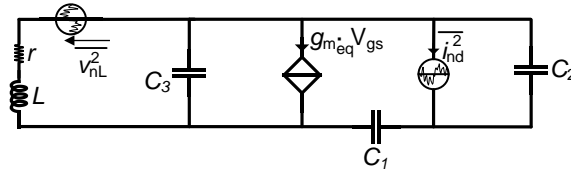


Figure IV-5 Schéma équivalent petits signaux de l'oscillateur de Pierce avec les sources de bruit

Le modèle du bruit de phase développé par E. Rubiola prend en compte la densité spectrale de puissance du bruit en tension (S_{V_n}) et l'amplitude différentielle entre le drain et la grille du transistor (A_{dg}), équation IV.21. Pour le cas de l'oscillateur de type Pierce, la tension sur le drain est égale et opposée à la tension de grille. Il est alors possible de définir la tension A_{dg} comme étant le double de l'amplitude d'oscillation A_{osc} .

$$L(\Delta\omega) = \frac{S_{V_n}/2}{A_{dg}^2/2} = \frac{S_{V_n}/2}{2.A_{osc}^2} \quad (\text{IV.21})$$

La densité spectrale de puissance du bruit en tension (S_{V_n}) est représentée dans l'équation IV.22 à partir de la résistance de l'inductance du résonateur (r), de la pulsation d'oscillateur (ω_{osc}), de la différence de pulsation à laquelle le bruit de phase est calculé ($\Delta\omega$) et du facteur de bruit thermique γ_n . Ce facteur γ_n est utilisé pour représenter le bruit du canal du transistor [6].

$$S_{V_n} = k.T.r(1 + \gamma_n(IC)) \left(\frac{\omega_{osc}}{\Delta\omega} \right)^2 \quad (\text{IV.22})$$

Le bruit de phase est un paramètre difficile à représenter physiquement et simplement. Pour notre cas nous utilisons le facteur de bruit thermique $\gamma_n(IC)$ comme une fonction empirique (équation IV.23) qui varie de 1 à 3,5 en fonction du coefficient d'inversion [7] (Figure IV-6). Les paramètres a , b et c sont extraits par la mesure. Bien que ces paramètres ne soient pas définis physiquement dans notre cas, ils sont constants pour un transistor dans une technologie donnée.

$$\gamma_n(IC) = a.IC^2 + b.IC + c \quad (\text{IV.23})$$

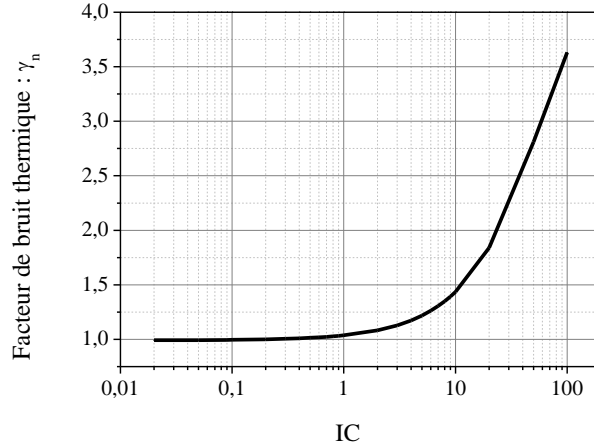


Figure IV-6 Comportement du facteur de bruit thermique $\gamma_n(IC)$ en fonction du coefficient d'inversion

Pour l'oscillateur de Pierce, il est possible de remplacer la résistance de l'inductance r par les capacités du circuit (C_1, C_2, C_3), le facteur de qualité du résonateur Q_L et la pulsation d'oscillation ω_{osc} , comme défini dans l'équation IV.24. Les capacités globales (C_1, C_2, C_3) sont fixées pour fournir la fréquence de résonance avec l'inductance, cependant il est important de se souvenir que les capacités du transistor varient en fonction de la taille du transistor et donc dépendent du coefficient d'inversion et de la transconductance critique g_{m_crit} .

$$Q_L = \frac{\omega_{osc} \cdot L}{r} = \frac{1}{\omega_{osc} \cdot r \cdot (C_3 + C_{12})} \rightarrow r = \frac{1}{\omega_{osc} \cdot Q_L \cdot (C_3 + C_{12})} \quad (IV.24)$$

A partir des équations IV.21-24, le bruit de phase du circuit est défini dans l'équation IV.25. L'amplitude du circuit A_{osc} et la pulsation ω_{osc} sont fixées par le cahier des charges. Le facteur de qualité Q_L et les capacités sont définis avec le résonateur. On remarque alors que le bruit de phase varie uniquement en fonction du facteur de bruit $\gamma_n(IC)$.

$$L(\Delta\omega) = 10 \cdot \log \left[kT \left(\frac{\omega_{osc}}{\Delta\omega} \right)^2 \frac{1 + \gamma_n(IC)}{4 \cdot A_{osc}^2 \cdot Q_L \cdot \omega_{osc} \cdot (C_3 + C_{12})} \right] \quad (IV.25)$$

L'équation du bruit de phase $L(\Delta\omega)$ (IV.25) est comparée aux simulations dans la Figure IV-7 en fonction du coefficient d'inversion, pour une fréquence d'oscillation de 2,4GHz à une distance $\Delta\omega$ de 1MHz de la porteuse et une amplitude A_{osc} de 100mV. On remarque que les résultats analytiques sont proches des simulations avec un écart inférieur à 0,5dB pour un bruit de phase de l'ordre de -110dBc/Hz. Nous remarquons également un minimum de bruit de phase obtenu dans la région d'inversion modérée, pour un IC égale à 0,8 en simulation.

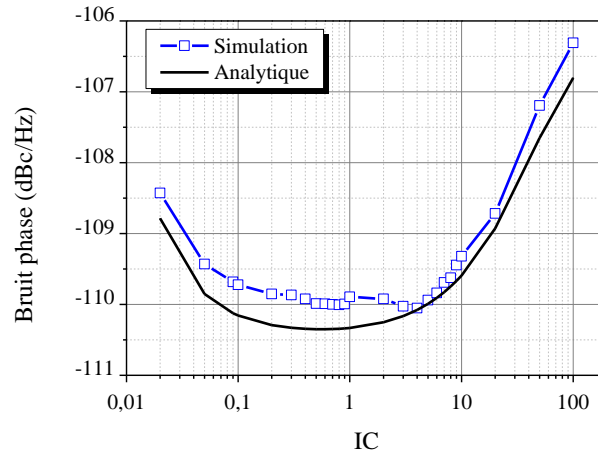


Figure IV-7 Bruit de phase à 1MHz d'une porteuse à 2,4GHz en fonction du coefficient d'inversion pour une amplitude fixe de 100mV

L'augmentation du courant pour une amplitude fixe définie dans la Figure IV-4 et l'apparition d'un point de minimum de bruit de phase dans la Figure IV-7 permettent d'envisager l'existence d'une polarisation optimale. Afin de vérifier cette idée nous allons analyser le facteur de mérite (FOM) de l'oscillateur en fonction du coefficient d'inversion.

d. Méthode de conception d'oscillateur à base de FOM

L'ITRS définit un facteur de mérite (*FOM*) pour les oscillateurs décrit par l'équation IV.26. Ce FOM dépend de la pulsation du signal (ω_{osc}), de la puissance consommée (P_{DC}), du bruit de phase ($L(\Delta\omega)$) et de la pulsation à laquelle est mesurée le bruit de phase ($\Delta\omega$). La puissance consommée P_{DC} correspond au produit de la tension d'alimentation globale (V_{dd}) et du courant à l'harmonique zéro ($I_{D_{DC}}$) défini à partir du coefficient d'inversion (IC) et de l'amplitude du signal (A_{osc}) dans l'équation IV.20. Le bruit de phase est également défini à partir du coefficient d'inversion (IC) et de l'amplitude du signal (A_{osc}) dans l'équation IV.25.

$$FOM = \frac{kT}{L(\Delta\omega, IC) \cdot P_{DC}(IC)} \left(\frac{\omega_{osc}}{\Delta\omega} \right)^2 \quad (IV.26)$$

En choisissant une valeur constante de V_{dd} , typiquement 1V, une pulsation ω_{osc} correspondant à une fréquence de 2,4GHz et $\Delta\omega$ correspondant à 1MHz, il est possible de représenter, Figure IV-8 le facteur de mérite (*FOM*) en fonction du coefficient d'inversion (IC) pour une amplitude de signal A_{osc} égale à 100mV. Pour ces simulations, le circuit de Pierce a été réalisé en technologie 40nm avec une inductance de 5nH ayant un facteur de qualité de 10. On constate qu'il apparait un point maximum de FOM à la limite entre les régions de faible inversion et de l'inversion modéré, pour un IC de 0,9. Cependant on constate que ce maximum de FOM persiste sur une grande plage de variation d'IC en inversion modérée. Par ailleurs, les calculs analytiques représentent bien le comportement du circuit en

simulation. Il est donc envisageable de réaliser une méthode de conception analytique à partir du FOM pour définir la polarisation optimale (IC_{opt}).

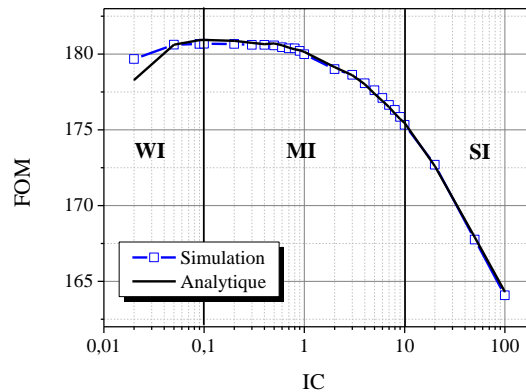


Figure IV-8 FOM en fonction du coefficient d'inversion pour une amplitude de 100mV à 2,4GHz

Les étapes de conception d'un oscillateur sont répertoriées dans la Figure IV-9 (a). A partir de l'analyse linéaire du circuit, les conditions nécessaires pour compenser les pertes résistives et entretenir l'oscillation sont calculées : la transconductance critique (g_{m_crit}) et la largeur de grille critique en fonction du coefficient d'inversion ($W_{crit}(IC)$). En utilisant ces paramètres, l'analyse non-linéaire est réalisée pour calculer les harmoniques du signal. Par une transformée de Fourier sur l'équation du courant, il est possible de définir une équation du courant de polarisation (I_{DC}) en fonction de l'amplitude du signal (A_{osc}), de la première harmonique et du coefficient d'inversion. Pour cette même amplitude d'oscillation (A_{osc}), le bruit de phase ($L(\Delta\omega)$) est calculé en fonction du coefficient d'inversion. Pour finir, le FOM est calculé. L'apparition du maximum de FOM permet de définir une polarisation optimale (IC_{opt}).

Bien qu'il ne soit pas encore validé par un logiciel (présenté dans le Chapitre III.2.b), un algorithme possible de conception est décrit dans la Figure IV-9 (b). Cet algorithme utilise les différentes étapes décrites dans la Figure IV-9 (a), en vérifiant les performances obtenues pour le bruit de phase. En effet, dans le diagramme (a) le bruit de phase obtenu à la polarisation optimale IC_{opt} ne correspondent pas forcément aux performances souhaitées au départ. Deux solutions sont alors possibles : ne pas utiliser la polarisation optimale, ou changer l'amplitude du signal. Nous avons vu dans la Figure IV-7 qu'il existe un minimum de bruit de phase en fonction du coefficient d'inversion. Si ce point minimum de bruit de phase est plus grand que les performances visées, le fait de changer la valeur du coefficient d'inversion ne donnera pas de solution. Il est alors nécessaire d'augmenter l'amplitude du signal pour diminuer le bruit de phase, ce qui augmente par la même occasion la consommation du circuit. Dans l'algorithme proposé (b), nous choisissons de modifier l'amplitude du signal et de conserver la polarisation optimale (IC_{opt}) obtenue avec le FOM. Une autre approche serait

de réaliser des algorithmes plus complexes faisant varier l'amplitude du signal et le coefficient d'inversion pour vérifier si il est possible de minimiser le courant consommé.

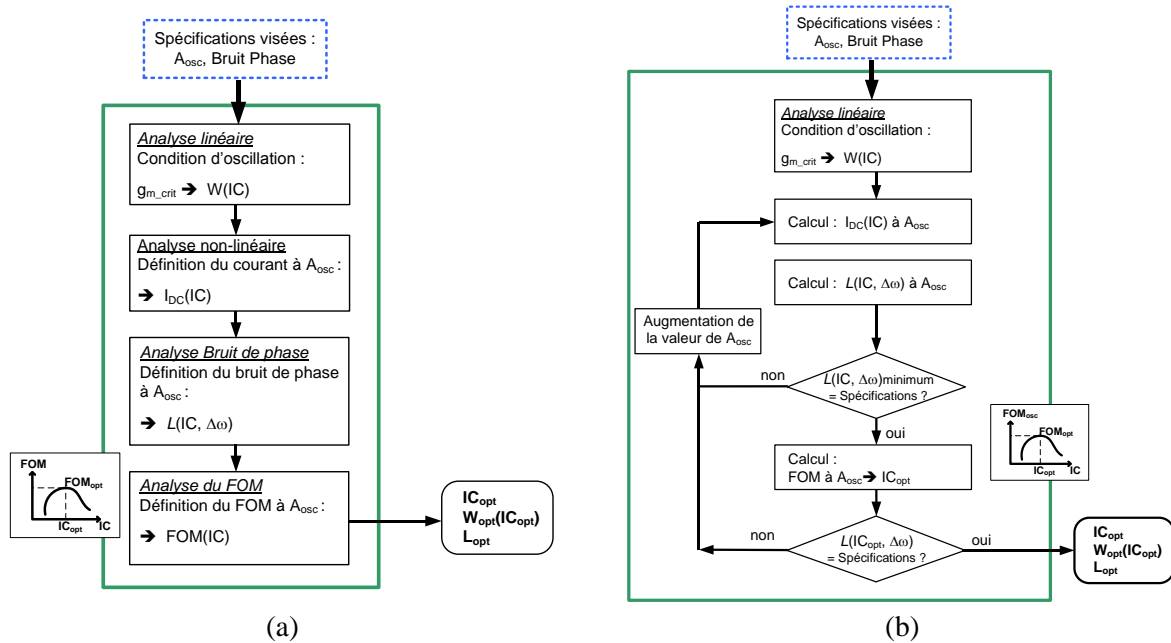


Figure IV-9 Etapes de conception d'un oscillateur (a) et algorithme de conception (b) à base de FOM

Nous venons d'apercevoir qu'il est possible de définir des méthodes pour dimensionner et polariser des oscillateurs afin de respecter les performances visées à partir d'une analyse linéaire, non-linéaire et du bruit de phase. L'apparition d'un pic de FOM qui décroît lentement dans la région d'inversion modérée (Figure IV-8) permet de confirmer l'intérêt de polariser les transistors en inversion modérée pour des applications RF à faible consommation dans des technologies avancées. Dans la partie suivante nous avons réalisé une approche différente de conception. Cette méthode utilise le FOM de l'amplificateur à faible bruit, défini dans le chapitre III, pour concevoir des oscillateurs.

2. Méthode de conception d'oscillateur à base de FOM du LNA

Nous avons vu dans le paragraphe IV.1 que les oscillateurs sont des systèmes asservis à contre réaction positive. En considérant uniquement l'aspect linéaire de l'oscillateur, il est possible de réaliser un oscillateur avec deux amplificateurs de gain unitaire et de déphasage 180°, comme reporté dans la Figure IV-10. Cette configuration permet ainsi de respecter les conditions de Barkausen pour entretenir l'oscillation.

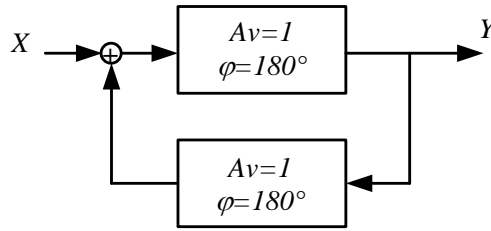


Figure IV-10 Réalisation d'un oscillateur à base de deux amplificateurs de gain unitaire et de déphasage de 180°

Nous illustrons dans la Table IV-1 ce système à l'aide de deux amplificateurs sources communes à charge inductive mise en contre-réaction permettant de réaliser la topologie d'oscillateur « cross-coupled ». Cette table permet de se rendre compte que les conditions d'oscillation nécessaires pour que le circuit oscille sont que chaque source commune inductive dispose d'un gain de 1. Mise à part les conditions d'oscillations, cette approche ne fournit pas d'autres informations relatives à l'oscillation. Cependant nous venons de voir dans le paragraphe IV.1.d qu'il existe une polarisation optimale ($I_{C_{opt}}$) pour les oscillateurs qui permet un maximum de FOM. Cette polarisation optimale se situe dans la région d'inversion modérée, tout comme les amplificateurs faibles bruit (LNA) analysés dans le chapitre III. L'idée est alors d'utiliser deux amplificateurs faible bruit à faible consommation pour concevoir l'oscillateur à faible consommation ayant un bruit de phase faible.

Table IV-1 Evolution d'amplificateur en Oscillateur

Source commune (SC) inductive	Deux SC en contre-réaction	Oscillateur Cross-coupled

Afin de vérifier la pertinence de cette approche nous comparons l'évolution des performances d'un LNA et de l'oscillateur en fonction du courant. Deux LNA sont dimensionnés pour fournir un pic de résonance à 2,4GHz et disposer d'un gain supérieur à 1 ; ensuite ils sont mis en contre-réaction pour réaliser l'oscillateur. Les simulations ont été réalisées dans une technologie CMOS 65nm de STMicroelectronics. Dans la Figure IV-11 (a), l'amplitude du signal oscillant est comparée au gain en tension du LNA. On constate que pour un dimensionnement de circuit fixe, le gain et l'amplitude augmentent de façon similaire en fonction du courant. Dans la Figure IV-11 (b), le bruit de phase, à

1MHz de la porteuse, et le facteur de bruit minimum diminuent de façon similaire avec l'augmentation du courant. Il est ainsi possible de constater que le comportement linéaire de l'amplificateur faible bruit se répercute sur le comportement non-linéaire de l'oscillateur. Nous allons donc dimensionner un oscillateur à partir d'un dimensionnement de LNA.

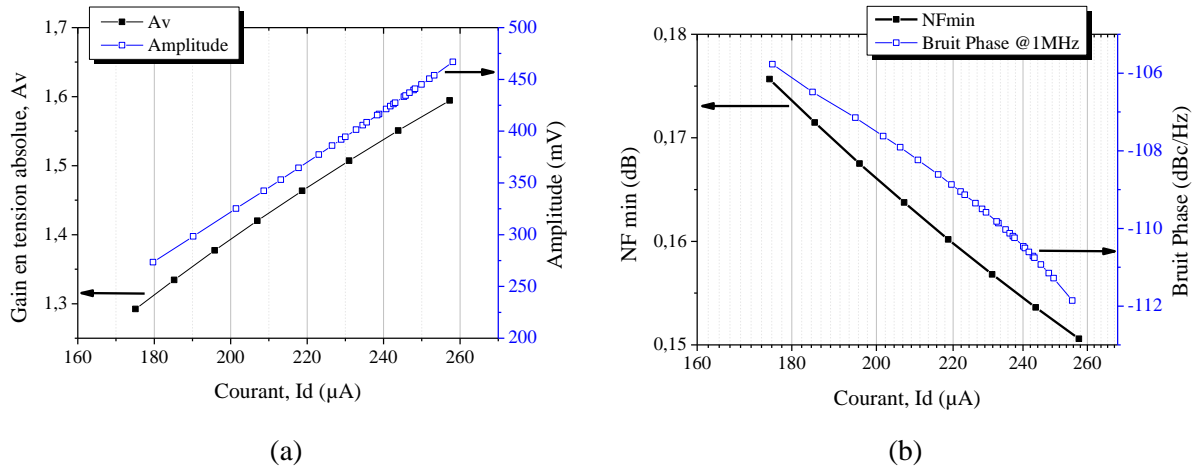


Figure IV-11 Comparaison des performances du LNA et de l'oscillateur en fonction du courant : comparaison entre le gain en tension du LNA et l'amplitude de l'oscillateur (a), comparaison entre le facteur de bruit minimum du LNA et le bruit de phase de l'oscillateur (b).

La méthode de conception de LNA décrite dans le chapitre III.1.b est utilisée pour dimensionner les deux sources communes à charge inductive. Les deux LNA disposent d'un gain supérieur à 1 pour la polarisation optimale $I_{C_{opt}}$ à la fréquence de 2,4GHz, puis ils sont combinés pour réaliser l'oscillateur. Dans la Figure IV-12, nous comparons l'amplitude (a), le bruit de phase (b) et le coefficient d'inversion (c) des transistors en fonction du courant consommé pour des oscillateurs de largeurs de grille fixes (6, 8 et 10 μm). Sur ce même graphique, nous reportons les performances des oscillateurs dimensionnés avec le FOM du LNA, polarisés à $I_{C_{opt}}$, pour différentes largeurs de grille (de 6 μm à 19 μm). Nous pouvons remarquer que :

- L'amplitude du signal, décrite dans la Figure IV-12 (a), met en évidence que l'augmentation de la largeur de grille (W) contribue à diminuer la consommation pour une amplitude constante. Ce résultat confirme la tendance de la Figure IV-4. Cependant, on remarque l'existence d'une largeur maximale à partir de laquelle l'amplitude du signal n'augmente plus.
- Le bruit de phase est reporté dans la Figure IV-12 (b). On constate que l'augmentation de la largeur de grille implique une augmentation du bruit de phase pour une même consommation. L'allure des performances avec le FOM fait apparaître l'existence d'une largeur de grille à partir de laquelle cette tendance s'inverse.

- Les coefficients d'inversions associés aux résultats d'amplitude et du bruit de phase sont illustrés dans la Figure IV-12 (c). L'augmentation de la largeur de grille du transistor implique une diminution du coefficient d'inversion pour un même courant. Cette diminution explique en partie l'augmentation du bruit de phase, comme illustré dans la Figure IV-7.
- L'intérêt de la polarisation optimale du LNA pour concevoir un oscillateur est difficile à juger sur ces courbes. On ne visualise pas de polarisation ou taille optimale, mais l'on constate une convergence de l'amplitude avec l'augmentation de la largeur de grille et un changement d'allure pour le bruit de phase. Par contre, on constate que cette approche permet de prévoir le comportement global du circuit en fonction de la taille du transistor.

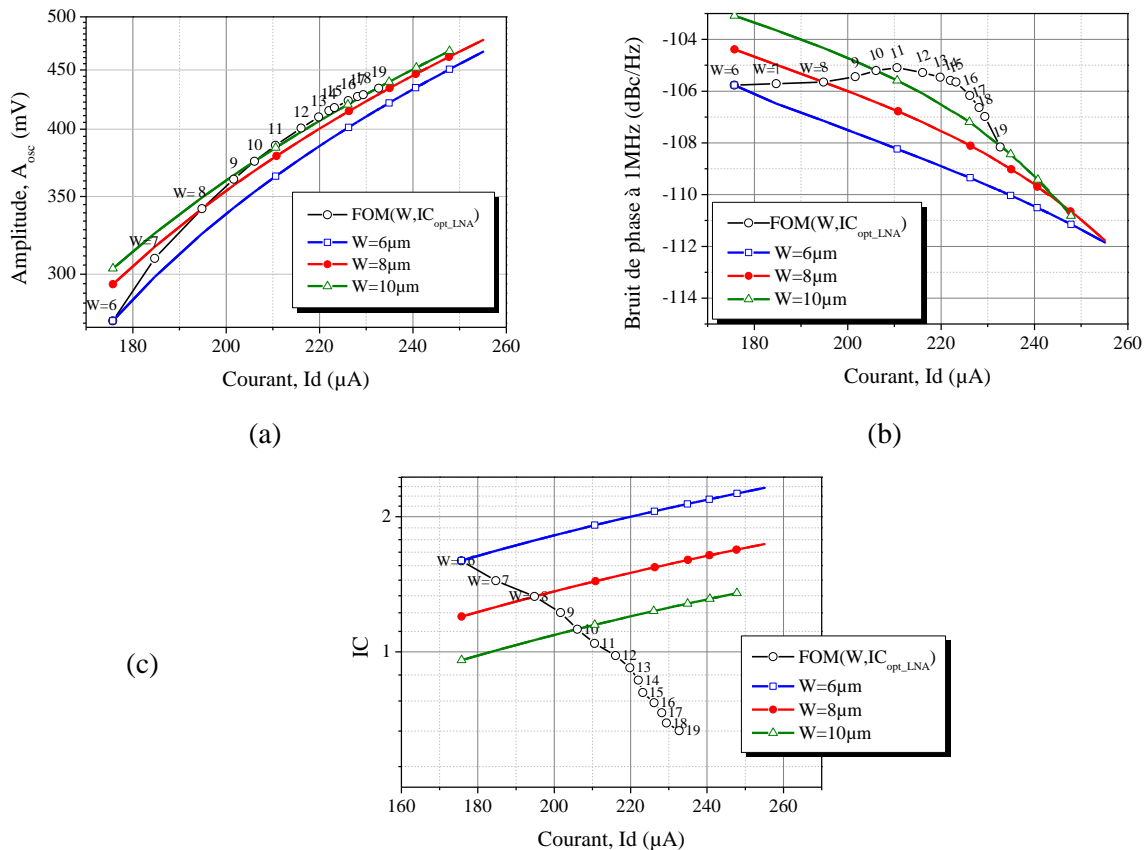


Figure IV-12 Comparaison de l'amplitude (a), du bruit de phase (b) et du coefficient d'inversion (c) en fonction du courant consommé pour différentes largeurs de grilles et un oscillateur conçu à base de FOM de LNA

Nous avons remarqué dans la Figure IV-8 que le FOM optimal de l'oscillateur se situe pour un coefficient d'inversion optimal compris entre 0,1 et 1. Cette même gamme de coefficient d'inversion se retrouve pour la FOM optimale du LNA. De plus, les comportements des performances pour l'oscillateur et le LNA sont similaires dans la Figure IV-11 : entre l'amplitude et le gain en

tension, et entre le bruit de phase et le facteur de bruit minimum. Nous pouvons envisager de concevoir un oscillateur à partir du FOM du LNA. Une méthode de conception d'oscillateur possible est décrite dans la Figure IV-13. Dans un premier temps, le LNA est dimensionné pour qu'il dispose d'un gain en tension supérieur à 1 et qu'il soit polarisé au coefficient d'inversion optimal (IC_{opt}) du FOM du LNA. Par la suite, deux LNA identiques sont combinés en contre-réaction pour former l'oscillateur. Ensuite, les performances d'amplitude et de bruit de phase de l'oscillateur sont vérifiées pour les mêmes conditions de polarisation (à IC_{opt} du LNA). Si l'amplitude et/ou le bruit de phase ne correspondent pas aux spécifications requises, la taille du transistor est modifiée. Dans l'éventualité où les performances requises ne sont pas atteintes avec la méthode, il existe trois solutions : ne pas travailler au coefficient d'inversion optimal, changer les valeurs des composants passifs du circuit, utiliser une topologie de circuit différente. Cette méthode de conception à base de LNA devient intéressante en considérant le temps de simulation ou la complexité des calculs non-linéaire des oscillateurs. En effet, les simulations des oscillateurs sont souvent très longues comparées aux simulations linéaires des LNA. Même si la méthode des LNA ne permet pas de définir directement ni l'amplitude du signal, ni le bruit de phase, elle permet d'obtenir des couples de paramètres (W , IC) avec une polarisation proche de la polarisation optimale (IC_{opt}) de l'oscillateur. Ces couples sont par la suite utilisées en simulation (ou calcul analytique) non-linéaire afin de vérifier les performances de l'oscillateur. Cette méthode de conception n'a pas pu être terminée par manque de temps, cependant elle permettrait d'automatiser la conception d'oscillateur radiofréquence pour des applications à faible consommation.

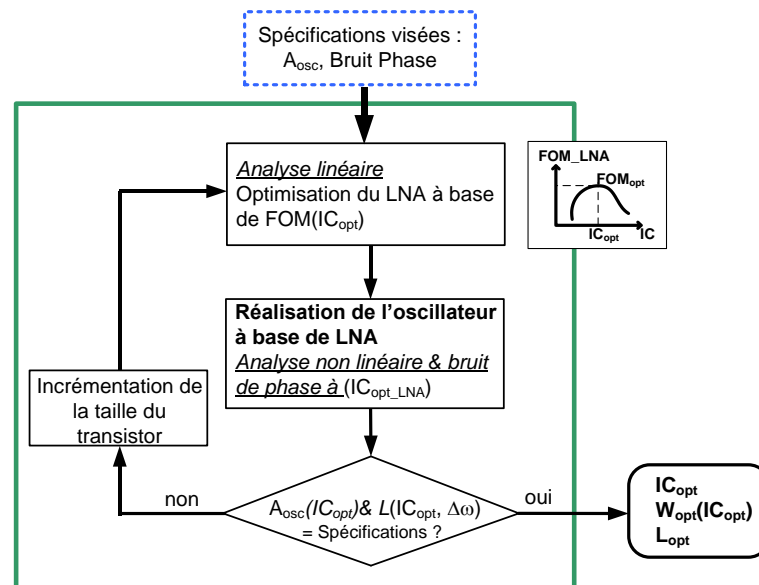


Figure IV-13 Méthode de conception d'oscillateur à base de FOM de LNA

3. Conclusion

Dans ce chapitre nous avons exposé deux méthodes de conception d'oscillateur. La première approche, conventionnelle, utilise trois types d'analyses pour définir le dimensionnement du circuit. Une première analyse linéaire permet de définir les conditions d'oscillation à partir du résonateur qui fixe la fréquence d'oscillation. Une analyse non-linéaire permet de fixer le courant nécessaire pour disposer d'une amplitude d'oscillation choisie. Enfin, le bruit de phase est analysé pour un dimensionnement donné suivant les conditions d'oscillation et l'amplitude du signal. Ces trois types d'analyses ont permis de visualiser l'existence d'un point optimum de FOM en région d'inversion modérée, pour une amplitude constante. Ce point optimal de polarisation a permis de définir une méthode de conception pour les oscillateurs. La polarisation optimale pour l'oscillateur RF à faible consommation se situe en inversion modérée, tout comme les amplificateurs faible bruit (LNA) RF à faible consommation. C'est sur ce second constat que l'idée de la deuxième approche de conception est alors apparue : utiliser le FOM du LNA pour concevoir un oscillateur. Bien que l'oscillateur soit un circuit de type « grand signal » et le LNA soit un circuit de type « petit signal », nous avons constaté que les performances des deux blocs RF ont des comportements similaires en fonction du courant. Nous avons donc envisagé une méthode de conception d'oscillateur à partir de la conception d'un LNA. Il reste aujourd'hui à confronter ces deux méthodes avec des mesures de circuits dimensionnés suivant ces approches. Les investigations proposées ouvrent la voie à des flots de conception semi-automatiques pour la réalisation RF.

Bibliographie

- [1] E. Vittoz, « Theory of the Pierce Oscillator », in *Low-Power Crystal and MEMS Oscillators*, Springer Netherlands, 2010, p. 41-92.
- [2] E. A. Vittoz, *Low-Power Crystal and MEMS Oscillators*. Springer, 2010.
- [3] E. Vittoz, « Implementations of the Pierce Oscillator », in *Low-Power Crystal and MEMS Oscillators*, Springer Netherlands, 2010, p. 93-135.
- [4] A. Mangla, C. C. Enz, et J.-M. Sallese, « Figure-of-merit for optimizing the current-efficiency of low-power RF circuits », in *Mixed Design of Integrated Circuits and Systems (MIXDES), 2011 Proceedings of the 18th International Conference*, 2011, p. 85-89.
- [5] D. B. Leeson, « A simple model of feedback oscillator noise spectrum », *Proc. IEEE*, vol. 54, n° 2, p. 329-330, févr. 1966.
- [6] A. Hajimiri et T. H. Lee, « A general theory of phase noise in electrical oscillators », *IEEE J. Solid-State Circuits*, vol. 33, n° 2, p. 179-194, févr. 1998.
- [7] E. Rubiola, *Phase noise and frequency stability in oscillators*, Cambridge University Press. 2008.
- [8] T. H. Lee, *The design of CMOS radio-frequency integrated circuit*, Cambridge University Press. 1998.
- [9] A. Antonopoulos, M. Bucher, K. Papathanasiou, N. Mavredakis, N. Makris, R. K. Sharma, P. Sakalas, et M. Schroter, « CMOS Small-Signal and Thermal Noise Modeling at High Frequencies », *IEEE Trans. Electron Devices*, vol. 60, n° 11, p. 3726-3733, nov. 2013.

Conclusion générale

et Perspectives

Conclusion générale

Le travail présenté dans ce mémoire de thèse entre dans le cadre de la réalisation de méthodologie de conception de circuits analogiques pour des applications radiofréquence sous contraintes de faible consommation.

Le chapitre I dresse l'évolution des systèmes de télécommunication sans fils, permettant d'introduire le contexte dans lequel les travaux ont été développés. La rapide évolution du marché et des technologies, et la réduction du coût de fabrication des systèmes de télécommunication incitent à disposer de méthodologies de conception simples, rapides et efficaces. Nos travaux se sont focalisés sur la conception des circuits analogiques radiofréquence pour des applications à faible consommation de puissance, et plus particulièrement sur les amplificateurs à faibles bruit et les oscillateurs.

Dans le chapitre II, le fonctionnement du transistor MOSFET a été détaillé. A partir du modèle EKV, cette étude nous a permis de normaliser le transistor afin de prendre en compte son comportement physique avec seulement quelques paramètres technologiques et trois paramètres de conception. Ce modèle utilise le coefficient d'inversion. Il nous a permis d'obtenir un modèle continu du fonctionnement du transistor de la faible inversion jusqu'à la forte inversion, couvrant ainsi tous les régimes de fonctionnement du transistor utilisés par les concepteurs de circuits analogiques.

Le chapitre III reporte la méthodologie de conception d'amplificateur faible bruit RF à faible consommation de puissance. Nous avons proposé une méthode de conception utilisant un compromis des principales caractéristiques de ce type d'amplificateur : le gain, le facteur de bruit et la consommation de courant. Ce compromis est réalisé sous forme d'un facteur de mérite. Il nous a permis de distinguer une polarisation optimale à laquelle le compromis des performances est à son maximum. Une méthode complète de conception de circuit s'est alors basée sur le facteur de mérite et la normalisation du transistor MOS. Ce facteur de mérite nous a permis de comparer différentes technologies et types de transistor mais également plusieurs topologies de circuits. D'autre part, cette méthode a été menée de façon analytique, ce qui a permis de rendre la conception semi-automatique grâce à une implémentation dans un logiciel. Cette méthode de conception a été validée en simulation par l'implémentation d'une source commune complémentaire auto-polarisée à charge capacitive en technologie CMOS 28nm de STMicroelectronics. Des mesures effectuées sur deux amplificateurs à faibles bruit à 2,4GHz en technologie CMOS 130nm ont validé l'existence d'une polarisation optimale à partir du facteur de mérite.

Dans le chapitre IV, une méthodologie de conception d'oscillateur radiofréquence à faible consommation de puissance est présentée. Un oscillateur de type Pierce a été analysé de façon linéaire

et non-linéaire. A partir de ces différentes analyses, nous avons pu dimensionner et polariser le circuit pour : respecter les conditions d'oscillation, obtenir une amplitude de signal souhaitée, et définir le bruit de phase. L'utilisation d'un facteur de mérite pour les oscillateurs, nous a permis d'identifier une polarisation optimale pour une amplitude constante. Cette polarisation optimale a été utilisée également pour définir une méthodologie de conception. Dans ce chapitre, nous avons présenté une solution alternative de conception à partir d'amplificateur faible bruit. Cette approche permet de dimensionner plus rapidement un oscillateur.

Liste des publications

- 2014
- *"Design Methodology for Low Power RF LNA based on the Figure of Merit and the Inversion Coefficient"*, F. Fadhuile, T. Taris, Y. Deval, D. Belot, C. Enz, International Conference on Electronics Circuits and Systems (ICECS), December 2014
 - *"Méthodologie de conception d'Amplificateur Faible Bruit RF basée sur le Facteur de Mérite et le Coefficient d'Inversion"*, F. Fadhuile, T. Taris, Y. Deval, D. Belot, G. Guitton, C. Enz, Journée Nationales du Réseau Doctoral en Microelectronique (JNRDM), Mai 2014
 - *"Design of Ultra Low-Power RF Oscillators based on the Inversion Coefficient Methodology using BSIM6 model"*, G. Guitton, A. Mangla, M-A. Chalkiadaki, F. Fadhuile, T. Taris, C. Enz, International Journal of Circuit Theory and Applications (en cours d'acceptation)
- 2013
- *"Design methodology for ultra low-power analog circuits using next generation BSIM6 MOSFET compact model"*, A. Mangla, M-A Chalkiadaki, F. Fadhuile, T. Taris, Y. Deval, C. Enz, Microelectronics Journal, Vol 44, Issue 7, July 2013
 - *"Méthodologie de conception de circuits radiofréquence à très faible consommation en technologie CMOS à base de coefficient d'inversion"*, F. Fadhuile, T. Taris, Y. Deval, C. Enz, D. Belot, Journée Nationales des Microondes (JNM), Mai 2013
 - *"Méthodologie de conception de circuits radiofréquence à très faible consommation en technologie CMOS à base de coefficient d'inversion"*, F. Fadhuile, T. Taris, Y. Deval, C. Enz, D. Belot., Groupe De Recherche Ondes (GDR), Janvier 2013

Thématiques complémentaires :

- 2013
- *"Wide-Band Rejection of Interfering Signals"*, F. Rivet, F. Fadhuile, Y. Deval, T. Taris, Electronics, Circuits , and Systems (ICECS), december 2013
 - *"Réjection large bande de signaux interférents"*, F. Rivet, F. Fadhuile, Y. Deval, T. Taris, Journée Nationales des Microondes (JNM), Mai 2013
- 2011
- *"A low power digitally-enhanced SASP-based receiver architecture for mobile DVB-S*

applications in the Ku-band (10.7-12.75 GHz) ", Fouque, F. Rivet, F. Fadhuile, Y. Deval, J-B. Begueret, D. Belot, IEEE Radio and Wireless Symposium, Phoenix, USA, January 2011.

Perspectives

Les études réalisées durant cette thèse peuvent être poursuivies de différentes manières :

- D'un point de vue scientifique, la linéarité pourrait être considérée dans le facteur de mérite de l'amplificateur faible bruit permettant d'étendre la méthode de conception à un plus grand nombre d'applications. L'amélioration du modèle de la conductance, en prenant en compte les effets néfastes des technologies avancées, permettrait d'obtenir une correspondance parfaite entre l'étude analytique et la simulation. De plus, l'étude des oscillateurs devrait être validée par des mesures. Cependant, nous nous sommes aperçus que la variation de la polarisation du circuit ne permet pas de définir une polarisation optimale ; il est alors nécessaire de réaliser plusieurs oscillateurs de différentes tailles pour visualiser le point optimum de FOM. Il serait aussi intéressant de concevoir une méthode pour d'autres blocs RF, tels que les mélangeurs ou les amplificateurs de puissance. Nous avons vu que les transistors MOS sont de plus en plus utilisés pour des applications millimétriques. La méthode de FOM à faible consommation n'a plus de sens pour ces applications, cependant la conception automatique de circuits millimétriques pourrait être réalisée avec des modèles plus complexes du transistor MOS et une prise en compte du layout.
- D'un point de vue industriel, le logiciel de conception peut être amélioré pour disposer d'une bibliothèque de technologies et de topologies d'amplificateur faible bruit plus importante. Il serait aussi intéressant d'utiliser des algorithmes de conception plus complexes pour optimiser au mieux les circuits. Par ailleurs, on pourrait imaginer d'introduire d'autres blocs du système de télécommunication dans le logiciel (comme l'oscillateur, mélangeur, filtre,...) pour réaliser les systèmes entiers de façon automatique. Le dimensionnement du circuit pourrait aussi prendre en compte le layout afin d'optimiser au maximum le circuit. Enfin, la prise en compte du layout permettrait de disposer d'un produit directement prêt à envoyer en fonderie.
- D'un point de vue technologique, les technologies MOS « classique » atteignent leurs résolutions minimales (10nm), très proche de la taille des atomes (0,1nm) rendant complexe la fabrication et la représentation des modèles du transistor (physique quantique). Les technologies MOS vont alors améliorer leurs performances par :

l'amélioration des caractéristiques du matériau, l'isolation du substrat par un oxyde (SOI) et l'utilisation de transistor multi-doigts, à travers de nouvelles technologies MOS FDSOI et MOS multi-grille (MG). Dans moins de dix ans, les performances des nouvelles technologies MOS devrait même surpasser les performances des technologies bipolaire et HEMT [1]. Il sera alors nécessaire de faire évoluer la méthodologie en prenant en compte ces nouveaux modèles de transistor MOS.

Bibliographie

- [1] « International Technology Roadmap for Semiconductors : Radio Frequency and Analog/Mixed-Signal technologies ». 2013.

Annexes

Annexes

Annexe A: Caractéristiques des blocs RF	146
1. Gain et adaptation d'impédance	147
2. Facteur de bruit.....	147
3. Linéarité.....	149
a. Compression du gain	149
b. Distorsion harmonique	150
c. Distorsion d'intermodulation.....	151
Annexe B : Partie passive du transistor MOS	155
1. Résistance de grille : R_G	156
2. Capacités extrinsèques.....	157
3. Capacités intrinsèques	159
Annexe C : Simulation de la transconductance.....	162
Annexe D : Extraction des paramètres passifs	163
Annexe E : Méthode d'optimisation du courant.....	166
Annexe F : Calcul analytique de la source commune complémentaire.....	169
1. Calcul du gain.....	170
2. Calcul du bruit.....	171
3. Calcul de l'impédance d'entrée	175
4. Calcul du buffer.....	176

Annexe A: Caractéristiques des blocs RF

Dans cette annexe nous allons définir comment les caractéristiques de gain, de bruit et de linéarité sont obtenues.

1. Gain et adaptation d'impédance

La notion de gain est liée à la transmission de puissance et par conséquent à l'adaptation d'impédance. Pour amplifier un signal, considéré comme une onde, il convient de le récupérer correctement en limitant sa réflexion. En prenant l'exemple de la Figure A-1, nous allons définir l'impédance optimale Z_L permettant de recueillir le maximum de puissance fournie par la source V_s , en fonction de son impédance Z_s .

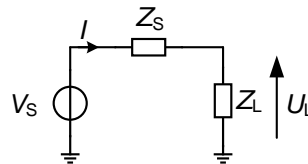


Figure A-1 Adaptation d'impédance

La puissance consommée par la charge dépend de la tension au borne de la charge (U_L) et du complexe conjugué du courant (I^*) (équation A.1). En développant cette équation, il est possible de constater que l'impédance de charge (Z_L) doit être le conjugué de l'impédance de la source (Z_s) pour transférer le maximum de puissance de la source vers la charge (équation A.2).

$$P_L = U_L \cdot I^* \quad (\text{A.1})$$

$$Z_s = Z_L^* \quad (\text{A.2})$$

Pour transmettre le maximum de signal dans un système complet à deux ports (Figure A-2), il est nécessaire que les impédances d'entrée (Z_{in}) et de sortie (Z_{out}) soient respectivement les conjugués des impédances de source (Z_s) et de charge (Z_L) (équation A.3).

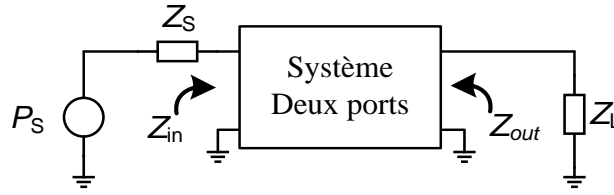


Figure A-2 Adaptation d'impédance d'un bloc dans une chaîne

$$\begin{cases} Z_S = Z_{in}^* \\ Z_L = Z_{out}^* \end{cases} \quad (\text{A.3})$$

L'adaptation d'impédance va par conséquent conditionner les performances du gain en puissance du système. On considère le gain en puissance G_P du système à deux ports, P_o est la puissance de sortie et P_i est la puissance d'entrée. Si le système est parfaitement adapté, il est possible d'écrire dans l'équation A.4 que le gain en puissance dépend de la tension de sortie en valeur efficace V_{o_rms} (ou rms : root mean square), de la tension d'entrée en valeur efficace V_{i_rms} , des résistances de source (R_S) et de charge (R_L) [1].

$$G_P = \frac{P_o}{P_i} = \left(\frac{V_{o_rms}}{V_{i_rms}} \right)^2 \frac{R_S}{R_L} \quad (\text{A.4})$$

Si l'on considère que la résistance de source est égale à la résistance de charge ($R_S=R_L$), ce qui est souvent le cas pour les systèmes RF (typiquement 50 ohm), il est possible de définir dans l'équation A.5 que le gain en puissance G_P est égal au gain en tension G_V . Cependant, cette égalité n'est valable qu'à condition que l'adaptation d'impédance soit parfaite, ce qui n'est jamais totalement le cas mais souvent sous-entendu.

$$\begin{cases} G_V = \frac{V_o}{V_i} \Rightarrow (G_V)_{dB} = 20 \cdot \log\left(\frac{V_o}{V_i}\right) \\ G_P = \left(\frac{V_o}{V_i}\right)^2 \cdot 1 \Rightarrow (G_P)_{dB} = 10 \cdot \log\left(\frac{V_o}{V_i}\right)^2 = 20 \cdot \log\left(\frac{V_o}{V_i}\right) \end{cases} \quad (\text{A.5})$$

2. Facteur de bruit

En radiofréquence, la quantification pure du bruit (N) n'est pas considérée mais plutôt son niveau par rapport au signal utile (S). Le bruit d'un circuit est déterminé par le facteur de bruit (ou NF : noise figure), défini à partir du facteur de bruit F (équation A.6).

$$NF = 10.\log(F) = 10.\log\left(\frac{\left(\frac{S}{N}\right)_{entrée}}{\left(\frac{S}{N}\right)_{sortie}}\right) \quad (A.6)$$

Pour un système entier constitué de n blocs en cascade (Figure A-3) de gain G_i et de facteur de bruit F_i , l'étude du bruit menée par FRIIS [2] permet de définir le bruit globale d'un système avec l'équation A.7.

$$F_{tot} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1.G_2} + \dots + \frac{F_n - 1}{G_1.G_2 \dots G_{n-1}} \quad (A.7)$$

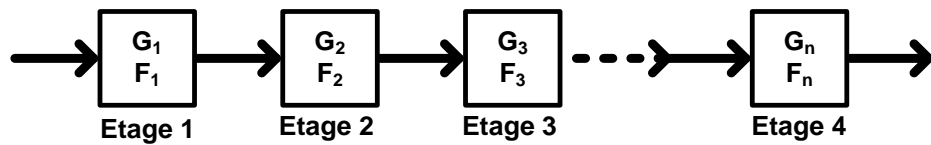


Figure A-3 Système à n étage en cascade

Pour un circuit considéré comme un système à deux ports (Figure A-4), on utilise la méthode de calcul du facteur de bruit de Friis [2] [3] (équation A.8). Cette analyse ramène à l'entrée les différentes sources de bruit du système. On obtient alors les sources I_N et V_N correspondantes au bruit en courant et en tension du système. L'impédance de la source est représentée avec son admittance Y_S . A partir de ces sources de bruit, la formule de Friis (équation A.9) permet d'obtenir directement le facteur de bruit du système. Cette présentation du calcul du facteur de bruit reste générale ; en première approximation il est possible de considérer que les sources I_N et V_N ne soient pas corrélées, ce qui n'est pas le cas dans la réalité.

$$F = \frac{\text{Bruit en puissance total en sortie}}{\text{Bruit en sorti de la source}} \quad (A.8)$$

$$F = 1 + \frac{\overline{I_N^2} + Y_S^2 \cdot \overline{V_N^2}}{I_S^2} \quad (A.9)$$

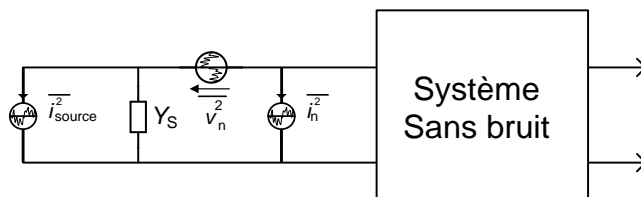


Figure A-4 Système pour le calcul du bruit

3. Linéarité

Les circuits électroniques sont des dispositifs physiques, par conséquent ils ne sont jamais parfaitement linéaires. En appliquant un signal $x(t)$ à l'entrée d'un système, Figure A-5, la sortie $y(t)$ s'écrit génériquement sous la forme proposée dans l'équation A.10 dans laquelle les coefficients α_n et dérivées $n^{\text{ième}}$ décrivent le caractère non linéaire de la fonction de transfert.

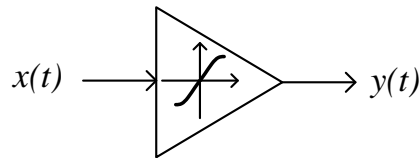


Figure A-5 Système non linéaire

$$y(t) = \alpha_1 x(t) + \alpha_2 x^2(t) + \alpha_3 x^3(t) + \dots \quad (\text{A.10})$$

Suivant la forme du signal d'entrée $x(t)$, le signal de sortie $y(t)$ peut faire apparaître différents phénomènes non linéaires :

- Distorsion du signal : la saturation des composants actifs provoque une compression du gain.
- Distorsion d'harmonique : caractérisée par la génération d'harmoniques du signal d'entrée présentes dans le signal de sortie.
- Distorsion d'intermodulation : la combinaison des signaux d'entrées de différentes fréquences produit des parasites à des fréquences différentes des harmoniques.

Chacune de ces non linéarités est quantifiée par une caractéristique. Elles vont être par la suite définies et analysées.

a. Compression du gain

Pour un signal d'entrée $x(t)$ sinusoïdal de type $A \cdot \cos(\omega t)$, en se limitant au troisième ordre, on peut développer le signal de sortie $y(t)$ comme dans l'équation A.11.

$$y(t) = \frac{\alpha_2 A^2}{2} + \left(\alpha_1 A + \frac{3\alpha_3 A^3}{4} \right) \cos \omega t + \frac{\alpha_2 A^2}{2} \cos 2\omega t + \frac{\alpha_3 A^3}{4} \cos 3\omega t + \dots \quad (\text{A.11})$$

A partir de l'équation A.11 du signal de sortie, on considère uniquement la partie du signal ayant la même fréquence que l'entrée (ou fondamentale) dans l'équation A.12.

$$y(t) = \dots + \left(\alpha_1 A + \frac{3\alpha_3 A^3}{4} \right) \cos \omega t + \dots \quad (\text{A.12})$$

Pour des analyses petits signaux, les harmoniques sont négligeables. Il est alors possible de supposer que le facteur $3/4.(\alpha_3.A)^3$ soit négligeable devant $\alpha_1.A$ (dans l'équation A.12). Le gain linéaire du circuit est défini avec le paramètre α_1 . Quand cette hypothèse n'est plus vérifiée, le gain varie en fonction de l'amplitude du signal d'entrée provoquant ainsi la perte de linéarité du système. Quand l'amplitude d'entrée A est trop importante, le signal en sortie sature et le gain décroît : c'est la compression de gain. La compression de gain, ou distorsion d'ordre 1, est évaluée à l'aide du point de compression à -1 dB (CP1). Il est généralement relevé en entrée du circuit. Il correspond à la puissance du signal d'entrée ICP1 pour laquelle le gain réel perd 1 dB par rapport au gain petit signal (linéaire), équation A.13. Son principe est illustré par la Figure A-6.

$$20\log\left|\alpha_1 + \frac{3}{4}\alpha_3 A_{ICP1}^2\right| = 20\log|\alpha_1| - 1 \Rightarrow A_{ICP1} = \sqrt{0.145\frac{|\alpha_1|}{|\alpha_3|}} \Rightarrow ICP1 = 20\log A_{ICP1} \quad (A.13)$$

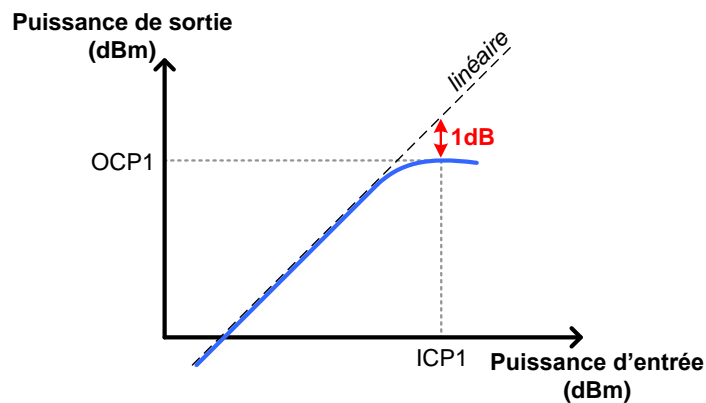


Figure A-6 Point de compression à -1 dB

Dans une chaîne de réception, cette caractéristique de compression est d'autant plus sévère que les étages traversés donnent du gain au signal. Pour le LNA, il convient que son ICP1 soit supérieur à la puissance maximale que peut atteindre le signal à l'antenne.

b. Distorsion harmonique

L'évaluation de la compression de gain caractérise la fréquence du signal d'entrée (la fondamentale). Cependant l'équation A.12 fait apparaître d'autres harmoniques, multiples de la fondamentale : ce sont des distorsions harmoniques d'ordre n , HD_n . Elles sont calculées suivant le rapport entre l'amplitude de l'harmonique d'ordre n et $(\alpha_1.A)$. Ainsi l'on écrit les distorsions d'harmoniques d'ordre 2 et 3 :

$$HD_2 = \frac{1}{2} \frac{\alpha_2}{\alpha_3} A \quad (A.14)$$

$$HD_3 = \frac{1}{4} \frac{\alpha_2}{\alpha_3} A^3 \quad (\text{A.15})$$

La distorsion harmonique totale THD est définie comme la somme des carrés de HD_n dans l'équation A.16. En pratique, pour les systèmes radiofréquences, les contraintes que la distorsion d'intermodulation impose au système sont bien plus fortes que celles des distorsions harmoniques.

$$THD = \sqrt{\sum_{i=2}^n (HD_i)^2} \quad (\text{A.16})$$

c. Distorsion d'intermodulation

L'excitation des systèmes de communications étant de type multi-porteuses, elle fait apparaître des phénomènes d'intermodulations ou distorsions croisées. Pour caractériser ce comportement, un signal d'entrée multi-harmoniques est appliqué : *le two tone test*. Il est composé de deux porteuses à différentes fréquences et prend la forme : $x(t) = (A \cdot \cos(\omega_1 t) + B \cdot \cos(\omega_2 t))$. Appliqué à l'entrée du système de la Figure A-5, la réponse $y(t)$ issue de l'équation A.10, fait alors apparaître de nombreuses composantes que l'on peut classer comme suit :

Une composante continue (DC) :

$$\frac{1}{2} \alpha_2 (A^2 + B^2) \quad (\text{A.17})$$

Des fondamentaux à ω_1 et ω_2 (F_1 et F_2) :

$$\left[\alpha_1 A + \frac{3}{2} \alpha_3^2 A B^2 + \frac{3}{4} \alpha_3^3 A^3 \right] \cos(\omega_1 t) \quad (\text{A.18})$$

$$\left[\alpha_1 A + \frac{3}{2} \alpha_3^2 A^2 B + \frac{3}{4} \alpha_3^3 A^3 \right] \cos(\omega_2 t) \quad (\text{A.19})$$

Des harmoniques du second ordre à $2\omega_1$ et $2\omega_2$ (H2) :

$$\frac{1}{2} \alpha_2 A^2 \cos(2\omega_1 t) \quad (\text{A.20})$$

$$\frac{1}{2} \alpha_2 B^2 \cos(2\omega_2 t) \quad (\text{A.21})$$

Des harmoniques du troisième ordre à $3\omega_1$ et $3\omega_2$ (H3) :

$$\frac{1}{4}\alpha_3 A^3 \cos(3\omega_1 t) \quad (\text{A.22})$$

$$\frac{1}{4}\alpha_3 B^3 \cos(3\omega_2 t) \quad (\text{A.23})$$

Des intermodulations à $\omega_1 - \omega_2$, $\omega_1 + \omega_2$, $2\omega_1 - \omega_2$, $2\omega_1 + \omega_2$, $2\omega_2 - \omega_1$, $2\omega_2 + \omega_1$ (IM2 et IM3) :

$$\alpha_2 AB \cos(\omega_1 - \omega_2)t + \alpha_2 AB \cos(\omega_1 + \omega_2)t \quad (\text{A.24})$$

$$\frac{3}{4}\alpha_3 A^2 B \cos(2\omega_1 - \omega_2)t + \frac{3}{4}\alpha_3 AB^2 \cos(2\omega_2 - \omega_1)t \quad (\text{A.25})$$

$$\frac{3}{4}\alpha_3 A^2 B \cos(2\omega_1 + \omega_2)t + \frac{3}{4}\alpha_3 AB^2 \cos(2\omega_2 + \omega_1)t \quad (\text{A.26})$$

La représentation du spectre résultant d'un test de deux porteuses est proposée dans la Figure A-7.

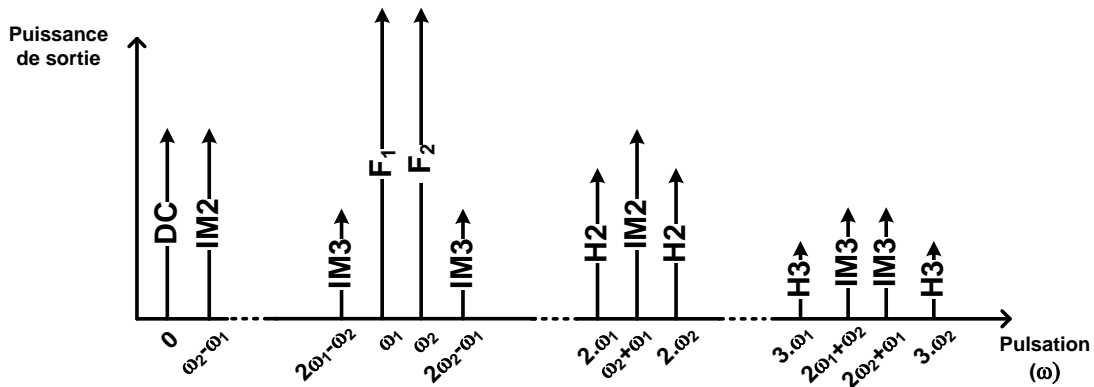


Figure A-7 Spectre de sortie pour un test de type deux porteuses

Les effets de la distorsion harmonique sont réduits si les harmoniques se trouvent en dehors de la bande passante du système. Ce n'est pas le cas des intermodulations, surtout lorsque les fréquences d'entrée sont proches. Les produits d'intermodulation du troisième ordre IM3, situés à $2\omega_2 - \omega_1$ et $2\omega_1 - \omega_2$ sont alors dans le voisinage du ou des canaux à recevoir. Nous calculons la distorsion d'intermodulation IMD pour les intermodulations susceptibles de se trouver dans la bande du système, à savoir IM2 et IM3, Figure A-7, correspondant aux fréquences $\omega_2 - \omega_1$, $2\omega_2 - \omega_1$ et $2\omega_1 - \omega_2$ respectivement. L'IMD_n est définie comme le rapport de l'IM_n sur l'harmonique fondamentale de sortie en mode linéaire, ($\alpha_1.A$) ici. En posant A=B, nous pouvons écrire dans des conditions de faible distorsion:

$$IMD2 = \frac{\alpha_2}{\alpha_1} A \quad \text{ou encore} \quad IMD2_{dBm} = IM2_{dBm} - (P_{in,dBm} + G_{dB}) \quad (\text{A.27})$$

$$IMD3 = \frac{3}{4} \frac{\alpha_3}{\alpha_1} A^2 \text{ ou encore } IMD3_{dBm} = IM3_{dBm} - (P_{in,dBm} + G_{dB}) \quad (A.28)$$

En comparant ces expressions à celles de la distorsion harmonique de second et troisième ordre dans les équations A.14 et A.15, nous remarquons que l'IMD₂ vaut le double de l'HD₂ et que l'IMD₃ vaut le triple de HD₃. Cela confirme que les contraintes de linéarité portent essentiellement sur la distorsion d'intermodulation. Ainsi en reportant sur un même graphique la réponse, en dB, du fondamental (F) avec l'IM2 d'une part, Figure A-8 (a), et l'IM3 d'autre part, Figure A-8 (b), nous pouvons définir les caractéristiques de linéarité harmonique d'ordre deux (IP₂) et d'ordre trois (IP₃).

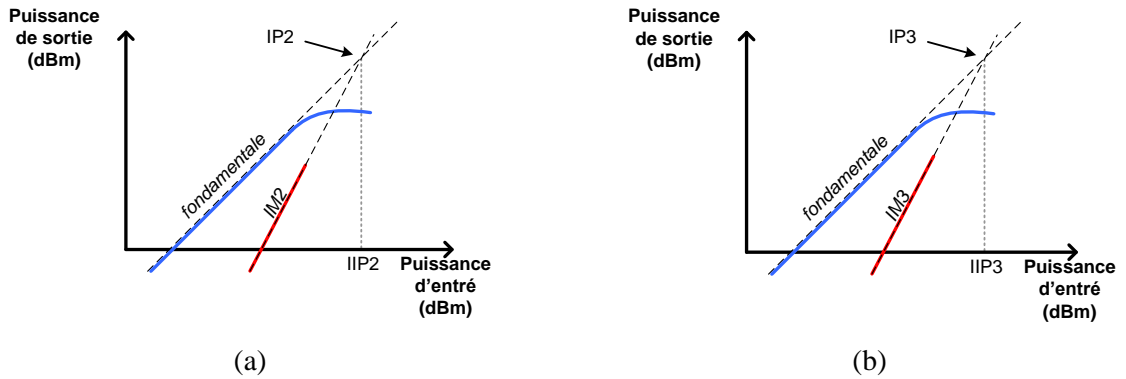


Figure A-8 Représentation des intermodulations d'ordre 2 (a) et d'ordre 3 (b)

Les puissances d'entrées pour lesquelles les droites, en dB, du fondamental et des intermodulations d'ordres 2 et 3 coïncident, sont appelées 2nd order Input Intermodulation Point (IIP2) et 3rd order Input Intermodulation Point (IIP3). Ils sont analytiquement calculés de la manière suivante:

$$\alpha_1 A_{IIP2} = \alpha_2 A_{IIP2}^2 \Rightarrow A_{IIP2} = \frac{\alpha_1}{\alpha_2} \Rightarrow IIP2 = 20 \cdot \log(A_{IIP2}) \quad (A.29)$$

$$\alpha_1 A_{IIP3} = \frac{3}{4} \alpha_3 A_{IIP3}^3 \Rightarrow A_{IIP3} = \sqrt{\frac{4}{3} \frac{\alpha_1}{\alpha_3}} \Rightarrow IIP3 = 20 \cdot \log(A_{IIP3}) \quad (A.30)$$

L'IIP2 et l'IIP3 ne sont pas spécifiés par la norme mais suivent des conditions de test qui définissent la puissance, P_{in} , et les fréquences du signal d'entrée, f_1 et f_2 . Il est donc intéressant de connaître leur expression en fonction des puissances d'entrée des deux porteuses appliquées :

$$IIP3 = P_{in} - \frac{IMD3_{dB}}{2} = P_{in} - \frac{[IM3 - P_{in} - G]}{2} \quad (A.31)$$

$$IIP2 = P_{in} - IMD2_{dB} = P_{in} - [IM2 - P_{in} - G] \quad (A.32)$$

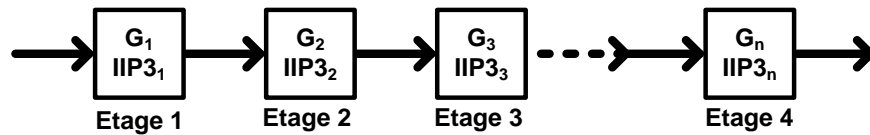


Figure A-9 Système à N étages en cascade pour caractérisation de l'IIP3

Dans le cas d'un système comportant N étages,

Figure A-9, tous adaptés en puissance en entrée et sortie, l'IIP3 global ($IIP3_{TOT}$) s'établit suivant l'équation A.33 :

$$\frac{1}{IIP3_{TOT}} = \frac{1}{IIP3_1} + \frac{G_1}{IIP3_2} + \frac{G_2 G_1}{IIP3_3} + \dots + \frac{G_{n-1} \dots G_2 G_1}{IIP3_n} \quad (A.33)$$

Dans une chaîne de réception, l'entrée du signal se fait par l'antenne. Il ressort donc de l'équation A.33 que l'impact de l'IIP3 d'un bloc RF sur le système, sera d'autant plus important qu'il est placé « tard » dans le récepteur, et que les étages précédents donnent du gain. En pratique on limite le gain dans la partie RF pour le reporter sur le(s) dernier(s) étage(s) de la partie analogique, en bande de base. Par conséquent, l'intermodulation dans les premiers blocs, typiquement le LNA et le mélangeur, qui pourrait théoriquement être relâchée, doit tout de même être maîtrisée. C'est principalement l'IIP3 qui caractérise ce comportement, mais également l'IIP2 dans les mélangeurs et pour des architectures à conversion directe.

Bibliographie

- [1] Y. E. Papanonos, *Radio-frequency microelectronic circuits for telecommunication Applications*, Kluwer Academic Publishers, Boston, USA. 1999.
- [2] Harald Friis, « Noise Figure of Radio Receivers », *Proc IRE*, p. 149-22, juill. 1944.
- [3] T. H. Lee, *The design of CMOS radio-frequency integrated circuit*, Cambridge University Press. 1998.

Annexe B : Partie passive du transistor MOS

La partie passive d'un transistor est composée de résistances et de capacités qui sont souvent dénommées « parasites » du fait qu'elles affectent le comportement « naturel » d'amplification du transistor. C'est principalement la réponse en fréquence du transistor qui se retrouve affectée par ces « parasites ». Les composantes parasites sont classées en deux catégories : les parasites extrinsèques liées à la réalisation technologique (connexions du composant), et les parasites intrinsèques inhérentes à la physique du transistor.

Une vue en coupe du transistor MOS est représentée sur la Figure II-11 avec son modèle équivalent électrique. Les accès du transistor sont des métaux disposant d'une certaine résistivité. Les résistances R_G , R_S et R_D sont définies respectivement comme étant les accès à la grille, à la source et au drain du transistor. Les résistances R_S et R_D sont en série avec la résistance du canal $R_{DS}=1/g_{ds}$. La résistance R_{DS} est généralement beaucoup plus grande que la somme des résistances d'accès ($R_S + R_D$). Il est ainsi possible de négliger les résistances d'accès devant R_{DS} . La résistance de grille R_G sera décrite plus en détails dans la suite de cette annexe. Les interfaces entre le substrat et le drain et la source forment les diodes D_{BS} et D_{BD} . Le substrat peut aussi être modélisé avec une représentation en petits signaux. Cependant ces jonctions D_{BS} et D_{BD} , de même que le modèle du substrat, ont une influence relativement modérée sur le comportement du transistor dans notre cas d'étude. Ainsi, et par soucis de simplification de l'analyse au niveau circuit, nous n'avons pas inclus de modélisation spécifique du substrat dans nos modèles analytiques.

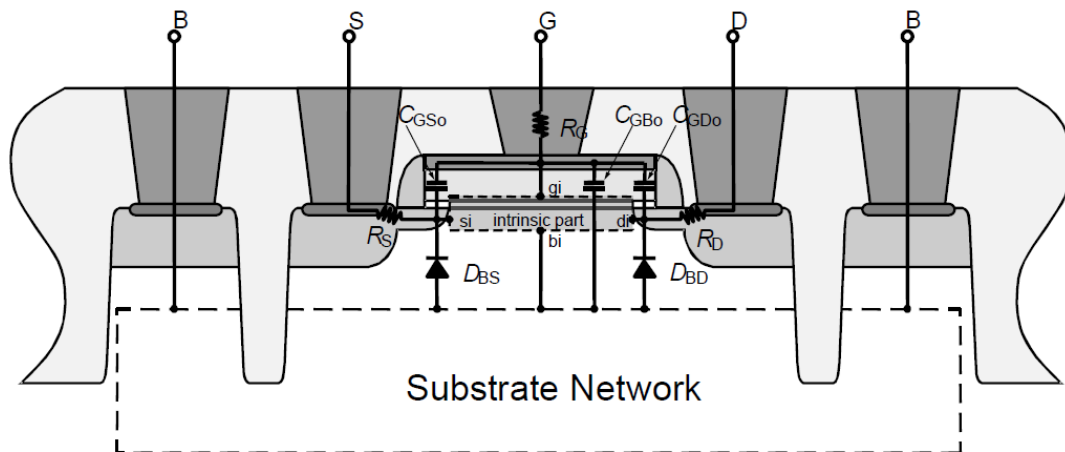


Figure B-1 Vue en coupe du transistor MOS et son modèle équivalent électrique extrinsèque

1. Résistance de grille : R_G

La résistance de grille R_G est représentée sur Figure B-2 [1], elle se compose de résistances en série (équation B.1).

$$R_G = R_{Gcon} + R_{Gtop} + R_{Gext} + R_{Gvia} \quad (B.1)$$

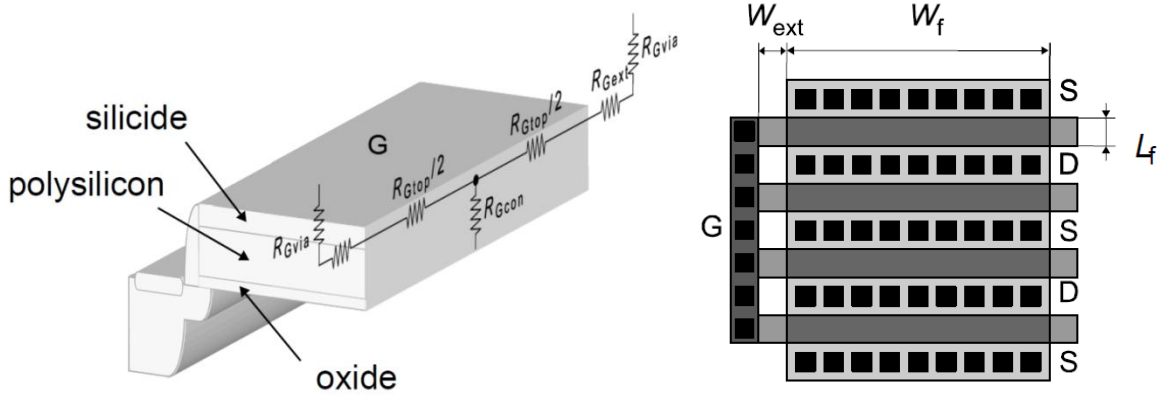


Figure B-2 Vue en coupe de la grille et son équivalent électrique (à gauche) et vue de dessus d'un transistor à plusieurs doigts (à droite).

La résistance du contact R_{Gcon} est définie dans équation B.2. Elle dépend de la résistivité du métal de contact (ρ_{con}), et de la taille du transistor (W_f et L_f) définie par doigt du transistor (N_f). La largeur totale du transistor (W) dépend de la largeur de grille de chaque doigt (W_f) et du nombre de doigts (N_f) (équation B.3).

$$R_{Gcon} = \frac{\rho_{con}}{N_f \cdot W_f \cdot L_f} \quad (B.2)$$

$$W = N_f \cdot W_f \quad (B.3)$$

La résistance du haut de la grille (R_{Gtop}) dépend de la taille du transistor (W_f et L_f), du nombre de doigts (N_f), de la résistance carrée de la grille (R_{\square}) et d'un facteur 1/3 qui prend en compte la nature distribuée de R_{Gtop} [2] (équation B.4).

$$R_{Gtop} = \frac{1}{3} \frac{W_f}{N_f \cdot L_f} \cdot R_{G\square} \quad (B.4)$$

Une résistance externe (R_{Gext}) qui dépend du dessin de layout est introduite avec l'équation B I.5. Cette résistance peut être rendue négligeable par des techniques de layout.

$$R_{Gext} = \frac{W_{ext}}{N_f \cdot L_f} \cdot R_{G\square} \quad (B.5)$$

La résistance du via ($R_{G\text{via}}$) dépend de la résistance d'un via (R_{via}) et du nombre de vias (N_{via}) (équation B.6). Cette résistance $R_{G\text{via}}$ peut également être négligée si le nombre de vias en parallèle est important.

$$R_{G\text{via}} = \frac{R_{\text{via}}}{N_{\text{via}}} \quad (\text{B.6})$$

Il est donc possible de simplifier l'expression de la résistance de grille avec l'équation B.7. Les métaux ont une résistivité (ρ_{con}) de l'ordre de $10^{-8} \Omega/\text{m}$, la résistance carré de la grille ($R_{G\Box}$) vaut quelques Ω/\Box . Dans l'équation (B.7), la résistivité ρ_{con} est divisée par le carré de la largeur W_f , souvent proche du micromètre, ce qui rend prépondérant $R_{G\Box}$ par rapport à $\frac{\rho_{\text{con}}}{W_f^2}$. La résistance du contact ($R_{G\text{con}}$) peut donc être négligée. On obtient une résistance de grille R_G (équation B.8) qui est proportionnelle à la taille du transistor et dépend d'un paramètre technologique : $R_{G\Box}$. Pour des raisons de commodité le facteur 1/3 peut être inclus dans $R_{G\Box}$.

$$R_G \approx R_{G\text{con}} + R_{G\text{top}} = \frac{W_f}{N_f L_f} \cdot \frac{1}{3} R_{G\Box} + \frac{\rho_{\text{con}}}{W_f^2} \quad (\text{B.7})$$

$$R_G \approx \frac{W_f}{N_f L_f} \cdot R_{G\Box} \quad (\text{B.8})$$

2. Capacités extrinsèques

Les accès grille-source et grille-drain présentent à quatre typologies de capacités parasites (Figure II-13) [1] qui sont décrites analytiquement dans l'équation (B.9) en négligeant les résistances d'accès au drain et à la source. Les capacités C_{of} et C_{Gf} sont indépendantes de la polarisation contrairement aux capacités C_{if} et C_{ov} qui en sont fortement dépendantes. La capacité de champs de frange entre l'électrode de grille et le via (C_{Gf}) dépend du nombre de vias en parallèle.

$$C_{GS(D)} = C_{\text{ov}}(V_G, V_{S(D)}) + C_{\text{if}}(V_G, V_{S(D)}) + C_{\text{of}} + C_{\text{Gf}} \quad (\text{B.9})$$

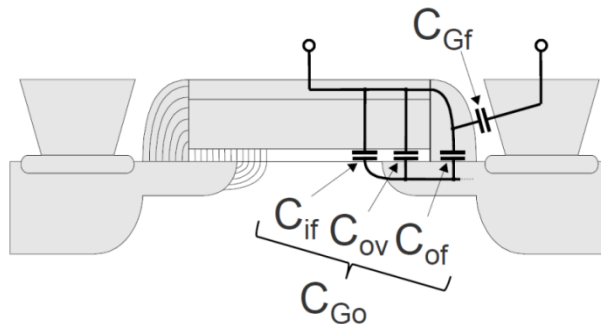


Figure B-3 Capacités parasites extrinsèque du transistor MOS

La capacité de chevauchement (C_{ov} : overlap) [3] est définie dans l'équation (B.10) par la largeur de grille (W), la capacité d'oxyde surfacique (C_{ox}) et la longueur effective du chevauchement (L_{ov-eff}). La longueur effective de chevauchement correspond à l'extension de la source et du drain sous l'oxyde de grille (la partie dopée sous la grille). Elle varie suivant la tension appliquée à la grille. Cette longueur n'a pas de relation avec la longueur du canal intrinsèque.

$$C_{ov}(V_G) = W \cdot L_{ov-eff}(V_G) \cdot C_{ox} \quad (B.10)$$

La capacité de champs de frange interne (C_{if} : inner fringing-field) [3] est définie dans (B.11) avec (B.12). Cette capacité apparait lorsqu'il n'y a aucun porteur proche de l'oxyde, quand le canal est déconnecté de l'extension du drain/source. Cette capacité atteint son maximum lorsque le transistor est en déplétion. En accumulation et en régime d'inversion, cette capacité est nulle.

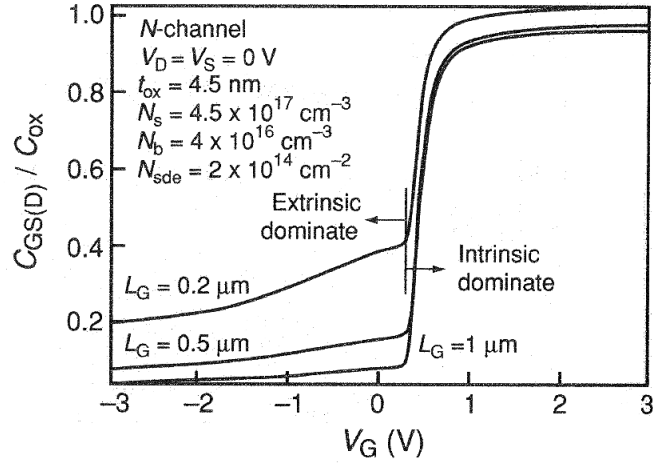
$$C_{if} = C_{if-max} \cdot \exp \left[- \left(\frac{V_G - V_{FB} - \Phi_F/2}{3\Phi_F/2} \right)^2 \right] \quad (B.11)$$

$$C_{if-max} \equiv W \cdot \frac{\epsilon_{Si}}{3\pi} \cdot \ln \left(1 + \frac{x_j}{t_{ox}} \cdot \sin \left(\frac{\pi \epsilon_{ox}}{2 \epsilon_{Si}} \right) \right) \quad (B.12)$$

La capacité de champs de frange externe (C_{of} : outer fringing-field) [3] (équation B.13) est indépendante de la polarisation. Elle dépend de la taille (W), de la permittivité de l'oxyde (ϵ_{ox}) et des épaisseurs de l'oxyde (t_{ox}) et du polysilicium (t_{poly}).

$$C_{of} = W \cdot \frac{2 \cdot \epsilon_{ox}}{\pi} \cdot \ln \left(1 + \frac{t_{poly}}{t_{ox}} \right) \quad (B.13)$$

La variation de la capacité totale ($C_{GS(D)}$) qui est normalisée par rapport à la capacité d'oxyde (C_{OX}) est représentée sur la Figure B-4 [3] en fonction de la polarisation de la grille (V_G). On peut remarquer une variation d'un facteur 10 de la valeur de la capacité en fonction la tension qui lui est appliquée. Pour des tensions négatives et très faiblement positives, les capacités extrinsèques sont prédominantes. Pour des tensions positives, les capacités intrinsèques influent le plus. On constate une variation de la valeur de 20-30% pour les tensions positives. Pour la réalisation d'un circuit, le transistor MOS est généralement polarisé avec une tension positive.


 Figure B-4 Evolution de la capacité $C_{GS(D)}$ normalisée en fonction de la tension V_G [1] [3]

3. Capacités intrinsèques

Les capacités intrinsèques subissent des variations en fonction des charges induites dans le canal ; elles peuvent aussi être considérées dans la partie active du transistor. Les capacités sont normalisées par rapport à la capacité d'oxyde $C_{OX} (\equiv W.L.C_{ox})$. Les capacités normalisées c_{GSi} et c_{GD_i} sont décrites dans les équations (B.14) et (B.15), elles dépendent des densités de charges en inversion normalisé du drain ($q_d \equiv Q_{iD}/Q_{spec}$) et de la source ($q_s \equiv Q_{iS}/Q_{spec}$).

$$c_{GSi} = \frac{C_{GSi}}{C_{OX}} = \frac{q_s}{3} \frac{2q_s + 4q_d + 3}{(q_s + q_d + 1)^2} \quad (B.14)$$

$$c_{GD_i} = \frac{C_{GD_i}}{C_{OX}} = \frac{q_d}{3} \frac{2q_d + 4q_s + 3}{(q_s + q_d + 1)^2} \quad (B.15)$$

Les capacités normalisées en relation avec le bulk, c_{GBi} (B.16), c_{BSi} (B.17) et c_{BDi} (B.18), sont liées aux capacités c_{GSi} et c_{GD_i} et au facteur de pente n .

$$c_{GBi} = \frac{C_{GBi}}{C_{OX}} = \frac{n-1}{n} (1 - c_{GSi} - c_{GD_i}) \quad (B.16)$$

$$c_{BSi} = \frac{C_{BSi}}{C_{OX}} = (n-1) c_{GSi} \quad (B.17)$$

$$c_{BDi} = \frac{C_{BDi}}{C_{OX}} = (n-1) c_{GD_i} \quad (B.18)$$

Les capacités intrinsèques normalisées sont affichées suivant la tension de grille V_G et la tension de seuil à l'équilibre V_{T0} sur la Figure B-5 [1]. On constate sur le graphique que la capacité c_{GSi} varie légèrement avant que V_G soit égale à V_{T0} (à la valeur 0), puis elle subit une variation de 60%

autour de 0 et ensuite se stabilise. Cette capacité peut être plus importante quand le transistor est polarisé sous le seuil V_{T0} si le transistor est de type canal court. La capacité c_{GD_i} peut varier de 35% si la tension V_G est beaucoup plus grande que V_{T0} . La capacité c_{GB_i} diminue de 25% avec l'augmentation de V_G . Les capacités c_{BS_i} et c_{BD_i} suivent respectivement les évolutions de c_{GS_i} et c_{GD_i} avec un facteur $(n-1)$. Il est défini la capacité de grille c_{G_i} équivalente normalisée, comme étant la somme des capacités ayant le plus de variation : c_{GS_i} , c_{GD_i} et c_{GB_i} (équation B.19) [1]. La capacité c_{G_i} suit le comportement de c_{GB_i} quand le transistor est sous le seuil ($V_G - V_{T0} < 0$). A partir du seuil la capacité c_{GS_i} est prépondérante, puis l'évolution de c_{GD_i} est prise en compte pour les plus fortes tensions. Si l'on considère toute la plage de tension, on constate que la capacité équivalente de grille c_{G_i} peut varier de 100%.

$$c_{G_i} \equiv c_{GS_i} + c_{GD_i} + c_{GB_i} \quad (B.19)$$

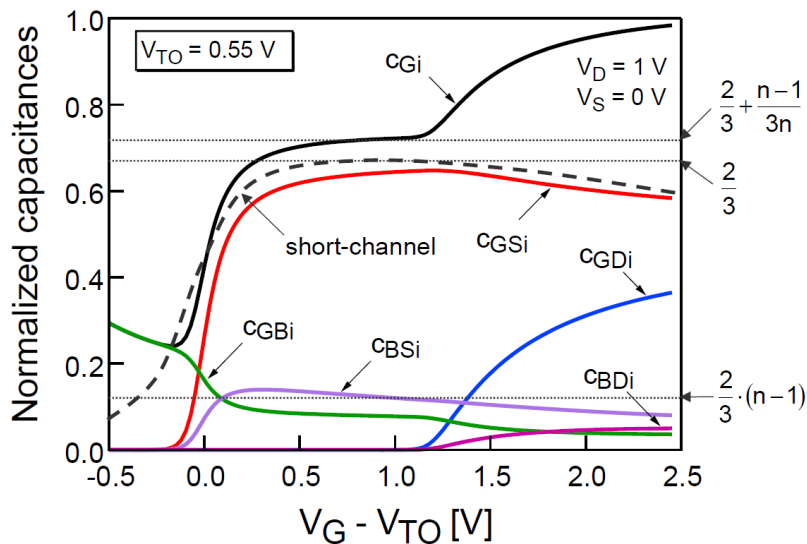


Figure B-5 Capacités intrinsèques normalisées en fonction de la tension ($V_G - V_{T0}$) [1]

Pour les circuits en petits signaux, la polarisation du transistor n'évolue que très peu autour du point de fonctionnement. Il est alors possible de considérer que les capacités intrinsèques du transistor sont constantes.

Pour la réalisation de circuits, où les contraintes sur la précision du modèle peuvent être relâchées pour une étude analytique, les capacités et les résistances peuvent être approximées en fonction de la taille du transistor (W , L) et de paramètres technologiques. Nous définissons ainsi dans l'équation (B.20) la résistance de grille (R_G) qui dépend de la résistance par carré $R_{G\Box}$, et les capacités C_{GS} , C_{GD} et C_{BD} qui dépendent respectivement des capacités par unité de longueur C_{GSw} , C_{GDw} et C_{BDw} . La méthode d'extraction de ces paramètres technologiques est illustrée dans l'annexe D « Extraction des paramètres passifs ».

$$\begin{aligned}C_{GS} &= W \cdot C_{GSW} & (a) \\C_{GD} &= W \cdot C_{GDW} & (b) \\C_{BD} &= W \cdot C_{BDW} & (c) \\R_G &= \frac{R_{G\Box} \cdot W}{L} & (d)\end{aligned} \quad (B.20)$$

4. Bibliographie

- [1] C. C. Enz et E. A. Vittoz, *Charge-based MOS Transistor Modeling*. s1, John Wiley & Sons, Ltd, 2006.
- [2] B. Razavi, R.-H. Yan, et K. F. Lee, « Impact of distributed gate resistance on the performance of MOS devices », *IEEE Trans. Circuits Syst. Fundam. Theory Appl.*, vol. 41, n° 11, p. 750-754, nov. 1994.
- [3] C. L. Fabien Prégaldiny, « A simple efficient model of parasitic capacitances of deep-submicron LDD MOSFETs », *Solid-State Electron.*, n° 12, p. 2191-2198, 2002.

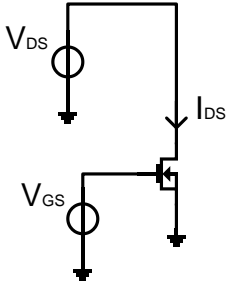
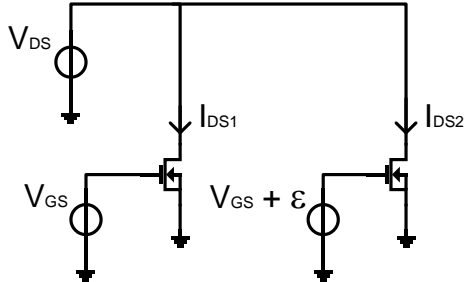
Annexe C : Simulation de la transconductance

Pour extraire la transconductance (g_m) en simulation, deux s'approches sont possibles. La transconductance est la dérivée du courant I_D en fonction de la variation de la tension V_{GS} (équation II-13). Pour connaître g_m , il faut analyser l'évolution du courant I_D en fonction de la tension appliquée V_{GS} .

Habituellement pour obtenir la transconductance, on extrait le courant sur un seul transistor pour deux tension de polarisation V_{GS} (Table C-1, a.). Pour disposer d'une transconductance précise, il est nécessaire que la variation entre les deux tensions V_{GS} soit très faible. Cet effet est d'autant plus accentué dans la région de faible inversion où le courant varie de façon exponentielle avec la tension V_{GS} . Pour analyser la transconductance dans tous les régimes d'inversion du transistor, il faut une large plage de tension V_{GS} . Par conséquent, il est nécessaire de disposer d'un grand nombre points. Cette opération implique un temps de simulation relativement long suivant la précision et la variation de V_{GS} souhaitée.

Une alternative plus rapide avec une précision équivalente est d'utiliser deux transistors identiques en parallèle ayant une tension de polarisation V_{GS} très proche (Table C-1, b). La différence de tension sur les grilles (ε) va définir la précision du calcul de la dérivée. La rapidité vient du nombre de point V_{GS} plus faible pour couvrir une même gamme de variation V_{GS} .

Table C-1 Méthodes d'extraction de la transconductance : (a) avec un seul transistor, (b) avec deux transistors identiques en parallèle

 $g_m = \frac{dI_{DS}}{dV_{GS}} = \frac{I_{DS}(V_{GS_1}) - I_{DS}(V_{GS_2})}{V_{GS_1} - V_{GS_2}}$ <p style="text-align: center;">(a)</p>	 $g_m = \frac{dI_{DS}}{dV_{GS}} = \frac{I_{DS2} - I_{DS1}}{(V_{GS} + \varepsilon) - V_{GS}} = \frac{I_{DS2} - I_{DS1}}{\varepsilon}$ <p style="text-align: center;">Avec $\varepsilon \rightarrow 0$</p> <p style="text-align: center;">(b)</p>
--	--

Annexe D : Extraction des paramètres passifs

L'extraction des composantes passives se fait par la réalisation de simulations de paramètres S pour déduire les admittances du transistor. A partir du schéma équivalent du transistor (Figure II-19), on fixe le port 1 entre le bulk et la grille et le port 2 entre la bulk et le drain. La source et le bulk sont connectés entre eux. Il est possible d'en extraire les admittances Y_{ij} (D.1) [1] [2]. Une transcapacité intrinsèque de la grille (C_m) est introduite dans Y_{21} et Y_{22} ce qui provoque un retard du signal dans le canal. C_m est issu d'un modèle non-quasi-statique du transistor MOS. Pour notre étude, nous négligeons cet effet. De plus les résistances de drain et de source sont négligeables si leurs valeurs sont comparées à celle de $R_{DS} (=1/g_{ds})$ supérieur.

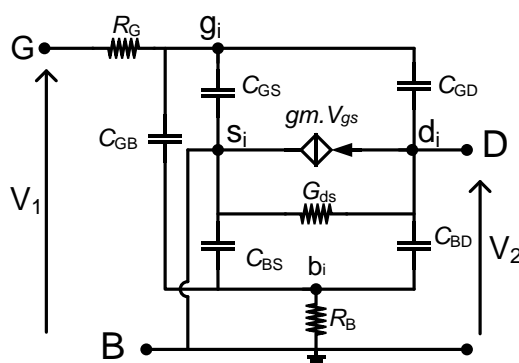


Figure D-1 Modèle petits signaux équivalent en saturation du transistor

$$\left\{ \begin{array}{l} Y_{11} \cong \frac{j \cdot \omega \cdot (C_{GS} + C_{GD} + C_{BD})}{1 + j \cdot \omega \cdot R_G \cdot (C_{GS} + C_{GD} + C_{BD})} \quad (a) \\ Y_{12} \cong \frac{-j \cdot \omega \cdot C_{GD}}{1 + j \cdot \omega \cdot R_G \cdot (C_{GS} + C_{GD} + C_{BD})} \quad (b) \\ Y_{21} \cong \frac{g_m - j \cdot \omega \cdot (C_{GD} + C_m)}{1 + j \cdot \omega \cdot R_G \cdot (C_{GS} + C_{GD} + C_{BD})} \quad (c) \\ Y_{22} \cong \frac{g_{ds} + \omega^2 \cdot R_G \cdot C_{GD} \cdot C_m + j \cdot \omega \cdot (C_{BD} + C_{GD})}{1 + j \cdot \omega \cdot R_G \cdot (C_{GS} + C_{GD} + C_{BD})} \quad (d) \end{array} \right. \quad (D.1)$$

Pour un transistor de petite taille en saturation, à fréquences relativement faibles, il est possible de se situer dans les conditions où $\omega \cdot R_G \cdot (C_{GS} + C_{GD} + C_{BD}) \ll 1$ ce qui permet d'obtenir des admittances simplifiées Y_{ij} (D.2) [1] [2].

Si $\omega.R_G.(C_{GS} + C_{GD} + C_{BD}) \ll 1$:

$$\begin{cases} Y_{11} \cong \omega^2.R_G^2.(C_{GS} + C_{GD} + C_{BD})^2 + j.\omega.(C_{GS} + C_{GD} + C_{BD}) & (a) \\ Y_{12} \cong -\omega^2.R_G.C_{GD}.(C_{GS} + C_{GD} + C_{BD}) - j.\omega.C_{GD} & (b) \\ Y_{21} \cong g_m - \omega^2.R_G.(C_{GD} + C_m).(C_{GS} + C_{GD} + C_{BD}) - j.\omega.(C_{GD} + C_m) & (c) \\ Y_{22} \cong g_{ds} + \omega^2.R_G.[(C_{GD} + C_{BD})(C_{GS} + C_{GD} + C_{BD}) + C_{GD}.C_m] + j.\omega.(C_{BD} + C_{GD}) & (d) \end{cases} \quad (D.2)$$

Les équations (D.2) sont comparées avec des mesures sur la Figure II-20. On remarque que :

- Pour Y_{11} : la partie réelle $\text{Re}\{Y_{11}\}$ et la partie imaginaire $\text{Im}\{Y_{11}\}$ correspondent parfaitement aux mesures.
- Pour Y_{12} : la partie réelle $\text{Re}\{Y_{12}\}$ diverge légèrement lorsque la fréquence augmente, la partie imaginaire $\text{Im}\{Y_{12}\}$ correspond aux mesures.
- Pour Y_{21} : la partie réelle $\text{Re}\{Y_{21}\}$ correspond aux mesures, la partie imaginaire $\text{Im}\{Y_{21}\}$ est assimilable aux mesures si l'effet de la transcapacité est prise en compte.
- Pour Y_{22} : la partie réelle $\text{Re}\{Y_{22}\}$ diverge d'un facteur 2 à 3 car l'effet du couplage avec le substrat n'est pas considéré ; la partie imaginaire $\text{Im}\{Y_{22}\}$ est très proche des mesures.

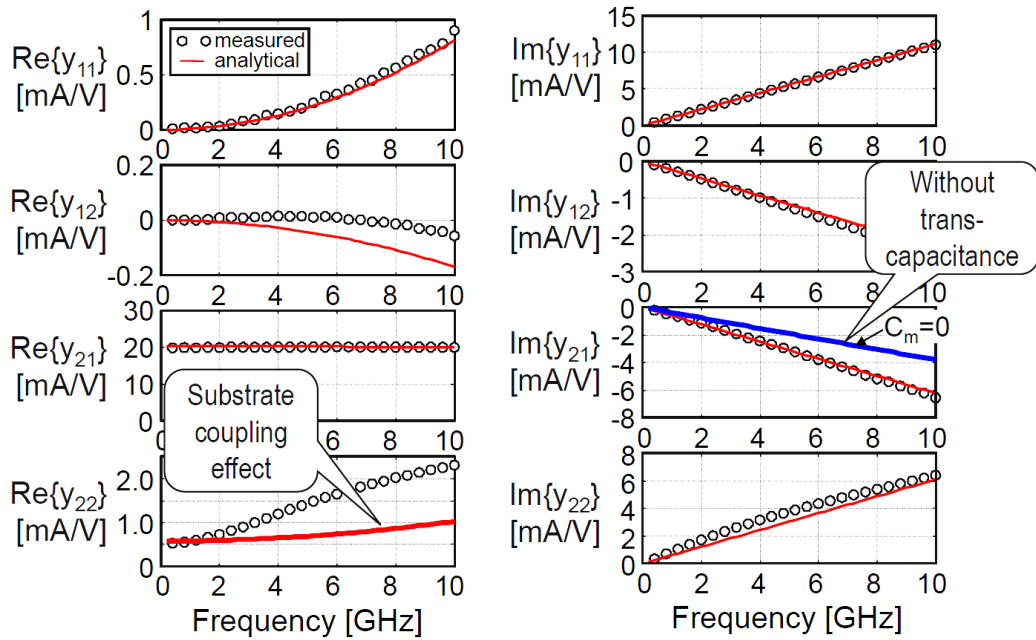


Figure D-2 Extraction des paramètres Y_{ij} [1] [2]: comparaison entre mesures et résultats analytiques pour un transistor NMOS avec : $W=12\mu\text{m}$, $L=0.36\mu\text{m}$, 10doigts, $V_G=1\text{V}$ et $V_D=1\text{V}$.

Pour extraire les capacités C_{GS} , C_{GD} et C_{BD} et la résistance R_G , il est nécessaire d'extraire les paramètres $\text{Im}\{Y_{11}\}$, $\text{Im}\{Y_{12}\}$, $\text{Im}\{Y_{22}\}$ et $\text{Re}\{Y_{11}\}$ qui disposent d'une bonne représentation

analytique si comparé aux mesures. A partir des équations (D.2), il est possible de déduire les équations (D.3).

$$Si \omega.R_G.(C_{GS} + C_{GD} + C_{BD}) \ll 1:$$

$$\begin{cases} C_{GD} \cong -\frac{imag(Y_{12})}{\omega} & (a) \\ C_{BD} \cong \frac{imag(Y_{22})}{\omega} - C_{GD} & (b) \\ C_{GS} \cong \frac{imag(Y_{11})}{\omega} - C_{GD} & (c) \\ R_G \cong \frac{real(Y_{11})}{[imag(Y_{11})]^2} & (d) \end{cases} \quad (D.3)$$

Il a été vérifié sur la Figure D-3 que les équations définis dans (D.3) correspondent parfaitement aux mesures.

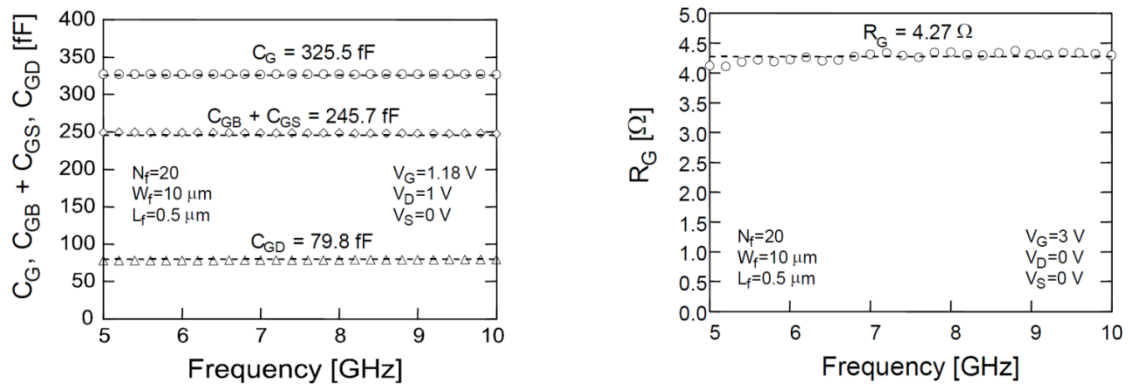


Figure D-3 Comparaison entre mesures et analytique pour un transistor NMOS avec : $W=10\mu\text{m}$, $L=0.5\mu\text{m}$, 20doigts, $V_G=1.18\text{V}$ et $V_D=1\text{V}$. [1]

Bibliographie

[1] C. C. Enz et E. A. Vittoz, *Charge-based MOS Transistor Modeling*. s1, John Wiley & Sons, Ltd, 2006.

[2] M. Bucher, C. Lallement, C. Enz, et F. Krummenacher, « Accurate MOS modelling for analog circuit simulation using the EKV model », in , *1996 IEEE International Symposium on Circuits and Systems, 1996. ISCAS '96., Connecting the World, 1996*, vol. 4, p. 703-706 vol.4.

Annexe E : Méthode d'optimisation du courant

La première approche de conception d'amplificateur faible bruit (LNA) que nous avons utilisée s'inspire des travaux de T. Melly [1]. Elle utilise la description analytique d'un circuit et la normalisation des transistors pour définir une équation du courant en fonction des performances du circuit. Cette équation du courant permet d'obtenir le courant minimal pour une performance fixée. Nous allons illustrer cette méthode à partir d'un exemple : trouver la formule du courant en fonction du gain en tension (A_v) pour une source commune à charge capacitive défini dans la Figure E-1 (a). Afin de simplifier les calculs analytiques, nous faisons l'hypothèse que le circuit fonctionne au-delà de sa bande passante à -3dB, c'est-à-dire dans la pente à -20dB par décade, défini dans la Figure E-1 (b). Cette situation est typique des circuits radiofréquences. De plus, nous considérons que le courant de polarisation est égal au courant de drain.

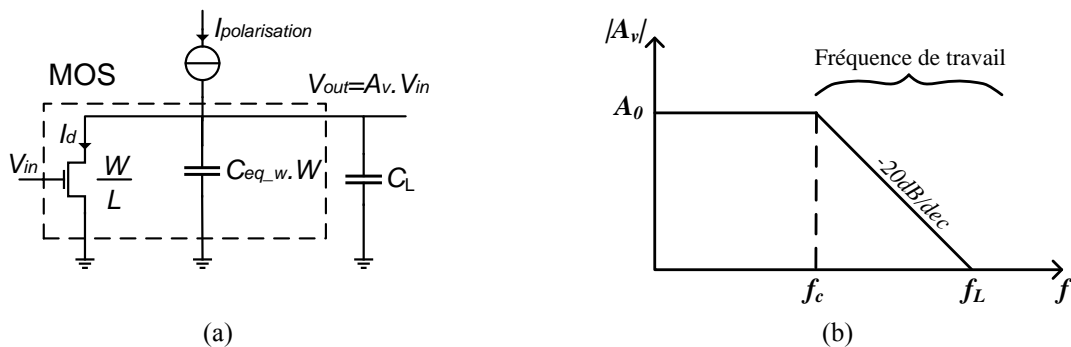


Figure E-1 Source commune à charge capacitive (a) et l'allure de son gain en tension en fonction de la fréquence (b)

La fonction du gain en tension A_v du circuit est décrite dans l'équation E.1, elle dépend de la transconductance du transistor (g_m), de la capacité de charge (C_L) et d'une capacité équivalente du transistor (C_{eq_w}) qui dépend de la largeur du transistor (W). Dans cette méthode, l'objectif est d'obtenir une équation du courant en fonction des performances du circuit. Nous allons exploiter le fait que le courant dépend de la largeur de grille du transistor (W) (équation E.2).

$$|A_v| = \frac{g_m}{2\pi \cdot f \cdot (C_{eq_w} \cdot W + C_L)} \quad (E.1)$$

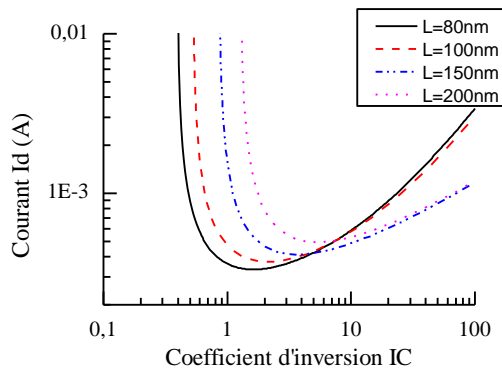
$$I_D = \frac{IC \cdot I_{spec} \cdot W}{L} \quad (E.2)$$

En manipulant l'équation E.1 du gain en tension, il est possible d'isoler la largeur de grille (W) tel reporté dans l'équation E.3.

$$|A_v| = \frac{Gm(IC, \lambda_c) \cdot I_{spec\phi} \cdot W/L}{nU_T} \cdot \frac{1}{2\pi \cdot f \cdot (C_{eq_w} \cdot W + C_L)} \Rightarrow W = \frac{C_L}{\frac{Gm(IC, \lambda_c) \cdot I_{spec\phi}}{nU_T \cdot L} \cdot \frac{1}{|A_v| \cdot 2\pi \cdot f} - C_{eq_w}} \quad (E.3)$$

A partir des équations E.2 et E.3 on obtient une formule du courant I_D (équation E.4) qui dépend de : la longueur de grille (L), des paramètres technologiques ($I_{spec\phi}$, λ_c , C_{eq_w}), des performances du circuit (le gain A_v , la fréquence f) et du coefficient d'inversion (IC). Pour un gain en tension fixe de 20dB à la fréquence de 2,4GHz, nous représentons graphiquement le courant en fonction du coefficient d'inversion (IC) pour différentes longueur de grille (L) pour une technologie CMOS 40nm de STMicroelectronics, illustré dans la Figure E-2. On constate qu'il existe un minimum de courant (I_{D_min}), correspondant à un coefficient d'inversion optimal (IC_{opt}), qui se situe dans la région d'inversion modérée ($1 < IC < 10$) pour chaque cas. Lorsque la longueur de grille augmente, on remarque que le courant minimum augmente de la même façon que le coefficient d'inversion optimal. Enfin la largeur de grille nécessaire (W) est définie à partir de l'équation E.2 en utilisant IC_{opt} et I_{D_min} .

$$I_D = \frac{IC \cdot I_{spec\phi} \cdot C_L}{\frac{Gm(IC, \lambda_c) \cdot I_{spec\phi}}{nU_T} \cdot \frac{1}{|A_v| \cdot 2\pi \cdot f} - L \cdot C_{eq_w}} \quad (E.4)$$



On constate que cette méthode est très efficace pour obtenir le courant minimum à partir d'une performance. Cependant, cette méthode dispose de quelques inconvénients :

- L'hypothèse sur la bande de fréquence du circuit (Figure E-2) devient de moins en moins correcte avec les technologies avancées. En effet, la f_T devient tellement grande en comparaison à la fréquence d'utilisation que le signal utile n'est plus forcément dans la pente à -20dB par décade. Ceci implique qu'il est nécessaire d'utiliser des formules du gain complexes pour être correctes, créant ainsi des difficultés pour obtenir une équation du courant en fonction des performances.
- Cette équation dépend uniquement du gain et ne prend pas en compte le bruit du circuit.

Pour la réalisation d'un amplificateur faible bruit, deux solutions sont possibles :

- Soit conserver le dimensionnement à partir du minimum de courant à gain fixe. Si le bruit obtenu à la fin ne respecte pas les performances alors le gain est augmenté.
- Soit utiliser cette méthode pour obtenir une formule du courant en fonction des performances du facteur de bruit. L'intersection de la courbe du courant pour le gain (Figure E-2) et de la courbe du courant pour le facteur de bruit définit la polarisation nécessaire pour respecter les deux performances. Bien que cette méthode soit correcte, elle risque d'augmenter la consommation du courant, sauf si cette intersection se situe au minimum de courant.

Cette méthode d'optimisation du courant est efficace pour dimensionner un circuit, cependant elle fonctionne facilement seulement dans certaines conditions. Elle peut être difficile à mettre en œuvre si les équations du gain ou du bruit se complexifient.

Bibliographie

[1] T. Melly, « Conception d'un émetteur récepteur à faible consommation intégrée en technologie CMOS », EPFL, 2000.

Annexe F : Calcul analytique de la source commune complémentaire

Dans cette annexe nous décrivons le comportement analytique de la source commune complémentaire à auto-polarisation réalisée en technologie CMOS 28nm par STMicroelectronics (Figure F-1). Le circuit est composé du cœur de l'amplificateur faible bruit (LNA), de l'adaptation d'entrée et de celle de sortie. Tout d'abord, nous allons détailler les étapes de calcul du LNA : gain en tension (A_v), facteur de bruit minimum de bruit (F_{min}) et adaptation d'entrée (Z_{in}). Enfin, nous reportons les équations de l'adaptation de sortie (Z_{out}).

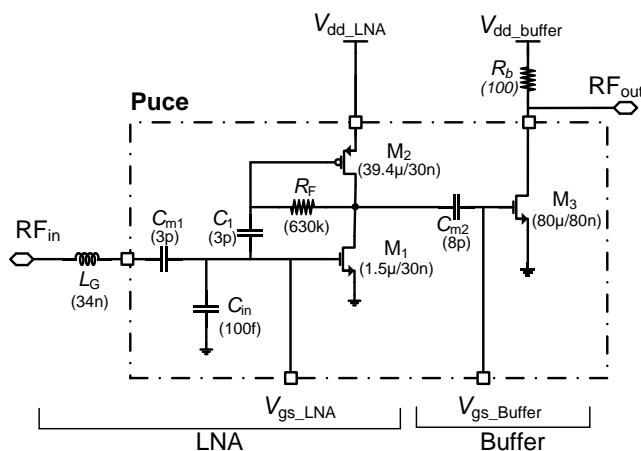


Figure F-1 Circuit implémenté en technologie CMOS 28nm

La description analytique du circuit est réalisée à partir du schéma petits signaux défini dans la Figure III-13. La topologie de source commune complémentaire peut être représentée en modèle petits signaux comme étant deux sources communes à charge capacitive en parallèle : une NMOS et une PMOS. Les transistors M_1 et M_2 sont regroupés à travers des composants équivalents (noté *eq*) définis dans l'équation F.1: transconductance équivalente $g_{m,eq}$, conductance équivalente $g_{ds,eq}$, capacités équivalentes C_{eq} ($C_{GS,eq}$, $C_{GD,eq}$, $C_{BD,eq}$) et résistance équivalente $R_{G,eq}$.

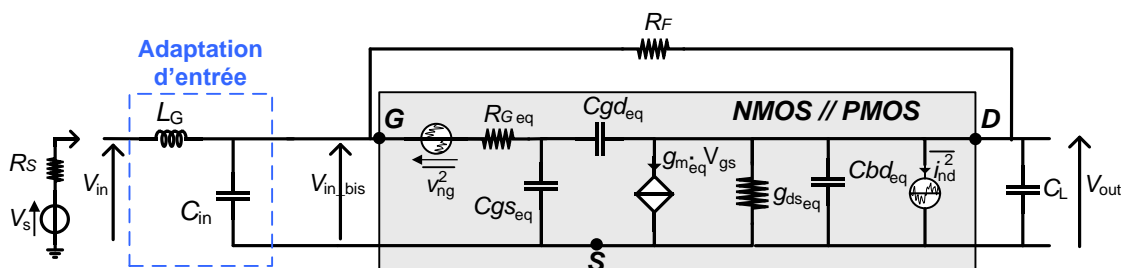


Figure F-2 Schéma équivalent petits signaux de l'inverseur

$$\begin{aligned}
 g_{m_eq} &= g_{m_1}(IC_1, W_1, L_1) + g_{m_2}(IC_2, W_2, L_2) \\
 g_{ds_eq} &= g_{ds_1}(IC_1, W_1, L_1) + g_{ds_2}(IC_2, W_2, L_2) \\
 C_{GS_eq} &= C_{GSw_NMOS} \cdot W_1 + C_{GSw_PMOS} \cdot W_2 \\
 C_{GD_eq} &= C_{GDw_NMOS} \cdot W_1 + C_{GDw_PMOS} \cdot W_2 \\
 C_{BD_eq} &= C_{BDw_NMOS} \cdot W_1 + C_{BDw_PMOS} \cdot W_2 \\
 C_L &\approx C_{GS_3} \\
 R_{G_eq} &= R_{G\emptyset_NMOS} \cdot \frac{W_1}{L_1} + R_{G\emptyset_PMOS} \cdot \frac{W_2}{L_2}
 \end{aligned} \tag{F.1}$$

1. Calcul du gain

Le calcul du gain en tension (A_v) est effectué à partir du schéma équivalent simplifié de la Figure F-3. Ce gain est calculé (équation F.2) avec le rapport de la tension de sortie (v_{out}) sur la tension en entrée du circuit sans prendre en compte l'adaptation (v_{in_bis}).

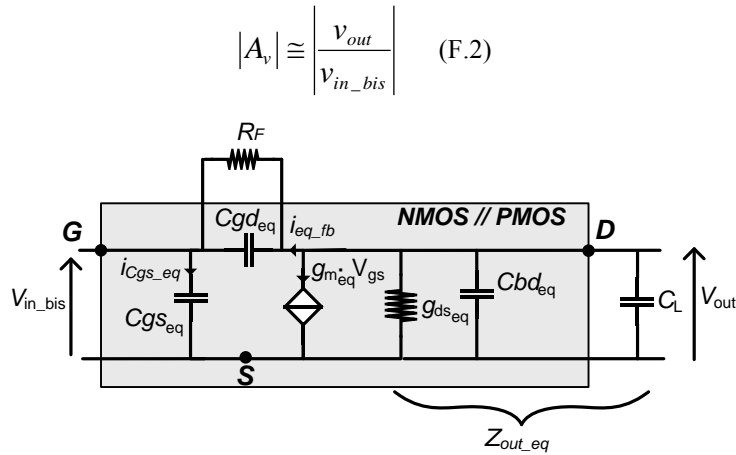


Figure F-3 Schéma petits signaux pour le calcul du gain en tension

Pour simplifier le calcul analytique, il est défini :

- L'impédance de sortie (Z_{out}) (équation F.3) dépendant des conductances (g_{ds_eq}), des capacités parasites C_{GS_eq} et C_{BD_eq} et d'une capacité de charge C_L . La capacité de charge correspond à la capacité d'entrée de l'étage suivant ; sa valeur est essentiellement représentée avec la capacité C_{GS} du transistor M_3 .
- L'impédance de contre réaction (Z_{eq_fb}) (équation F.4). On considère que l'effet de la résistance de grille R_G soit négligeable pour le gain. Par conséquent la capacité C_{GD_eq} et la résistance de contre réaction R_F sont en parallèle. L'impédance Z_{eq_fb} est parcourue par le courant i_{eq_fb} .

$$Z_{out} = \frac{1}{g_{ds_eq} + j\omega(C_{GS_eq} + C_{BD_eq} + C_L)} \quad (F.3)$$

$$Y_{eq_fb} = \frac{I}{Z_{eq_fb}} = -\frac{1}{R_F} + j\omega.C_{GD_eq} \quad (F.4)$$

Les détails du calcul du gain en tension sont reportés dans la Table F-1. De plus, nous définissons que la tension entre la grille et la source, et la tension d'entrée sont égales : $v_{gs} = v_{in_bis}$.

Table F-1 Détails du calcul du gain en tension

<p>En sortie du circuit</p>	$v_{out} = Z_{out} \cdot i_{out} = -Z_{out} \cdot (v_{in_bis} \cdot g_{m_eq} + i_{eq_fb})$ $\Rightarrow i_{eq_fb} = -\frac{v_{out}}{Z_{out}} - v_{in_bis} \cdot g_{m_eq} \quad (1)$ <p>avec $i_{eq_fb} = v_{dg} \cdot Y_{eq_fb} \quad (2) :$</p> $i_{eq_fb} = \begin{cases} (1) \\ (2) \end{cases} \Rightarrow v_{out} = Z_{out} \cdot [-v_{in_bis} \cdot g_{m_eq} - Y_{eq_fb} \cdot v_{dg}] \quad (3)$
<p>Loi des mailles entre la grille (G), la source (S) et le drain (D).</p>	$v_{in_bis} + v_{dg} + v_{out} = 0 \Rightarrow v_{dg} = v_{out} - v_{in_bis} \quad (4)$ <p>En utilisant le v_{dg} de (3) dans v_{out} du (4) on obtient :</p> $v_{out} = Z_{out} \cdot [-v_{in_bis} \cdot g_{m_eq} - Y_{eq_fb} \cdot v_{out} + Y_{eq_fb} \cdot v_{in_bis}]$ <p>En regroupant v_{out} et v_{in} :</p> $v_{out} \cdot \left(\frac{1 + Z_{out} \cdot Y_{eq_fb}}{Z_{out}} \right) = v_{in_bis} (Y_{eq_fb} - g_{m_eq})$
<p>Gain en tension</p>	$A_v = \frac{v_{out}}{v_{in_bis}} = \frac{Z_{out} \cdot (Y_{eq_fb} - g_{m_eq})}{1 + Z_{out} \cdot Y_{eq_fb}}$

2. Calcul du bruit

Nous allons calculer le facteur de bruit minimum (F_{min}) par deux approches différentes : la première utilise les équations du rapport signal à bruit (SNR) et la deuxième utilise la formule de Friis [1] en considérant la fonction de transfert du circuit.

Pour calculer le facteur de bruit minimum, nous considérons que le circuit est adapté en bruit. Ceci signifie que l'impédance d'entrée du circuit est le conjugué de la source donc R_S (Figure F-4). Pour le calcul du facteur de bruit minimum, nous considérons le gain en tension passif ou coefficient de surtension (Q_π) du réseau d'adaptation d'entrée du circuit lorsqu'il est adapté. En considérant une parfaite adaptation en entrée, il est possible de définir la tension v_{gs} en fonction des capacités C_{in} et C_{gs} ,

de la résistance de source R_S et de la tension d'entrée v_{in} (équation F.16). Le coefficient de surtension (Q_π) est alors défini dans l'équation F.17 à partir des tensions v_{gs} et v_{in} .

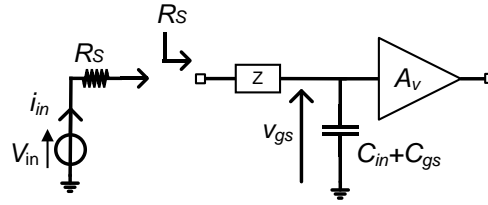


Figure F-4 : Simplification du circuit pour le calcul du coefficient de surtension

$$v_{gs} = \begin{cases} \frac{i_{in}}{2\pi \cdot f \cdot (C_{in} + C_{gs_eq})} \\ i_{in} = \frac{v_{in}}{2 \cdot R_S} \end{cases} \quad (F.5)$$

$$Q_\pi^2 = \frac{v_{gs}}{v_{in}} = \frac{1}{2 \cdot R_S \cdot 2\pi \cdot f \cdot (C_{in} + C_{gs_eq})} \quad (F.6)$$

Si on néglige les corrélations entre les sources de bruit, il est possible de distinguer trois sources de bruit principales dans le circuit analysé (Figure III-13) provenant : du canal de conduction i_{nd} , de la résistance de grille v_{ng} et de la résistance de contre réaction i_{Rf} . A ceci, nous définissons la source de bruit de la résistance de la source i_{R_S} nécessaire pour les calculs du bruit. Ces différentes sources de bruit sont représentées dans l'équation F.18.

$$\begin{cases} \overline{i_{nd}^2} = 4 \cdot k \cdot T \cdot g_{ds} \\ \overline{v_{ng}^2} = 4 \cdot k \cdot T \cdot R_G \\ \overline{i_{Rf}^2} = 4 \cdot k \cdot T \cdot \frac{1}{R_F} \\ \overline{i_{R_S}^2} = 4 \cdot k \cdot T \cdot \frac{1}{R_S} \end{cases} \quad (F.7)$$

- **Méthode n°1 :**

La première méthode utilise la définition du facteur de bruit (F), qui est défini par rapport signal à bruit en entrée (SNR_{in}) divisé par le rapport signal à bruit en sortie (SNR_{out}) (équation F.17). En dissociant le signal (S) et le bruit (N), il est possible définir le facteur de bruit F en fonction du bruit en sortie (N_{out}), du gain (G) et du bruit en entrée (N_{in}).

$$F = \frac{SNR_{in}}{SNR_{out}} = \frac{S_{in}}{N_{in}} \cdot \frac{N_{out}}{S_{out}} = \frac{N_{out}}{G \cdot N_{in}} \quad (F.8)$$

Annexe F : Calcul analytique de la source commune complémentaire

En considérant que les sources de bruit sont des sources de courants :

- En entrée, la source de bruit (N_{in}) vient de la résistance de source (R_S) multipliée par le coefficient de surtension (Q_π).
- En sortie, le bruit (N_{out}) provient de la somme de trois sources : le canal de conduction (g_{ds}), la résistance de contre-réaction (R_F), et le bruit à l'entrée de la grille ramené à la sortie. Ce dernier est le cumul des sources de bruit en tension de la résistance de source (R_S) et de la résistance de grille (R_G) multiplié par la transconductance (g_m) pour convertir la tension d'entrée par le courant de sortie.
- Le gain (G) est représenté par la transconductance du circuit (g_m).

Table F-2 Calcul du facteur de bruit minimum : méthode n°1

Sources de bruit du circuit et gain	$\begin{cases} N_{in} = 4.k.T.R_S \cdot Q_\pi ^2 \\ N_{out} = 4.k.T.g_{ds} + 4.k.T. \frac{1}{R_F} + g_m^2 \cdot (4.k.T.R_G + 4.k.T.R_S \cdot Q_\pi ^2) \\ G = g_m^2 \end{cases}$
Facteur de bruit minimum	$F_{min} = \frac{4.k.T \left[g_{ds} + \frac{1}{R_F} + g_m^2 \cdot (R_G + R_S \cdot Q_\pi ^2) \right]}{4.k.T.R_S \cdot Q_\pi ^2 \cdot g_m^2} = 1 + \frac{g_{ds} + \frac{1}{R_F} + g_m^2 \cdot R_G}{R_S \cdot Q_\pi ^2 \cdot g_m^2}$

• **Méthode n°2 :**

La deuxième approche utilise le calcul de Friis [1]. Cette analyse ramène à l'entrée les différentes sources de bruit du système afin de le rendre indépendant du bruit (Figure F-5). On obtient alors les sources I_N et V_N correspondant au bruit en courant et en tension du système. A partir de ces sources de bruit, la formule de Friis (équation F.18) permet d'obtenir directement le facteur de bruit du système.

$$F = 1 + \frac{I_N^2 + Y_S^2 \cdot V_N^2}{I_S^2} \quad (F.9)$$

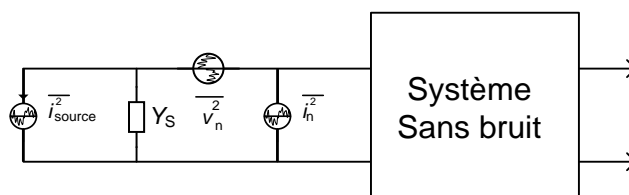


Figure F-5 Système pour le calcul du bruit

Annexe F : Calcul analytique de la source commune complémentaire

Les différentes sources de bruit sont représentées dans la Table F-3. Le bruit de la source I_S est dépend de la résistance d'entrée R_S de 50 ohms. Son admittance est définie avec Y_S . Pour notre analyse, nous décidons de reporter les sources de bruit à l'entrée du système sous forme de tension V_N . La source de courant du système I_N est alors nulle.

Pour le calcul de la source de bruit en tension du système V_N , nous considérons la fonction de transfert du circuit par l'intermédiaire du gain en tension (A_v , défini dans Table F-1) et de l'impédance de sortie du circuit (Z_{out} définie dans l'équation F.3). En sortie du circuit, les sources de courant du canal (i_{nd}) et de la résistance de contre réaction (i_{rp}) sont converties en tension à travers l'impédance de sortie Z_{out} . De plus, il est ajouté le bruit en tension de la résistance de grille (v_{ng}) ramené en sortie en le multipliant par le gain en tension (A_v). Les sources de bruit global du système sont ramenées en entrée en les divisant par le gain en tension (A_v). Du fait que les sources de bruit sont des densités spectrales de puissance, il est nécessaire d'utiliser le gain au carré. Enfin, le coefficient de surtension (Q_π) est considéré.

Table F-3 Etapes du calcul du facteur de bruit

Différentes sources de bruit	$\begin{cases} I_N^2 = 0 \\ V_N^2 = Q_\pi ^2 \frac{\left(4.k.T.g_{ds_eq} + 4.k.T/R_F\right).Z_{out} + Av^2.4.k.T.R_{G_eq}}{Av^2} \\ Y_S^2 = \frac{1}{R_S^2} \\ I_S^2 = 4.k.T.1/R_S \end{cases}$
Calcul avec la formule de Friis	$F_{min} = 1 + \frac{0 + \frac{1}{R_S^2} \cdot Q_\pi ^2 \cdot \frac{\left(4.k.T.g_{ds_eq} + 4.k.T/R_F\right).Z_{out} + Av^2.4.k.T.R_{G_eq}}{Av^2}}{4.k.T.1/R_S}$
Facteur de bruit minimum	$F_{min} = 1 + Q_\pi ^2 \frac{\left(g_{ds_eq} + 1/R_F\right).Z_{out} + Av^2.R_{G_eq}}{R_S}$

- **Comparaison des méthodes :**

Les deux méthodes sont représentées dans la Figure F-6 et elles sont comparées aux simulations de la technologie CMOS 28nm. La deuxième méthode représente mieux le comportement du circuit avec un écart de 0,4dB pour des coefficients d'inversion (IC) allant de 0,01 à 1. A partir d'un IC de 1, cette courbe diverge légèrement mais conserve la même allure, ceci provient certainement de la conductance analytique (g_{ds}) qui est moins correcte dans cette région. La première méthode est plus proche des valeurs des simulations à partir de la région d'inversion modéré (IC>0,1).

Bien que l'allure de la courbe ne correspond pas aux simulations, les fortes valeurs du bruit pour la région de faible inversion ($IC < 0,01$) paraissent plus réalistes si l'on considère les phénomènes physiques. Ceci impliquerait que les modèles utilisés dans la technologie CMOS 28nm pour le bruit en hautes fréquences ne sont pas correctes pour la région de faible inversion.

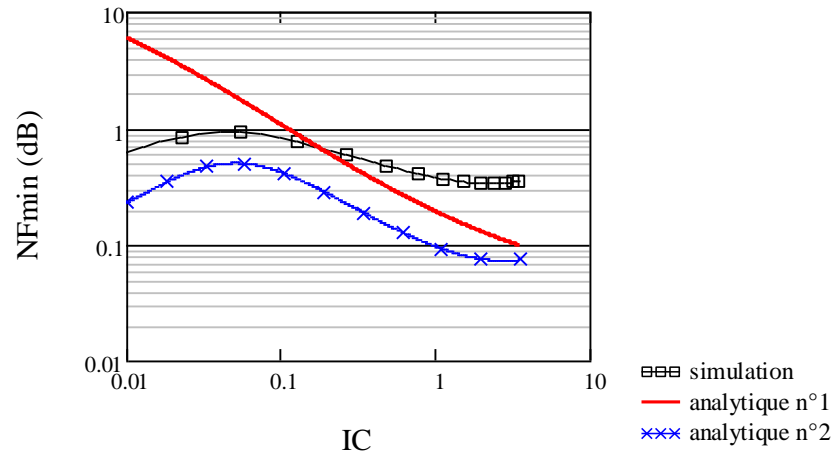


Figure F-6 : Figure de bruit minimum du circuit : comparaison entre deux calculs analytiques et les simulations

3. Calcul de l'impédance d'entrée

L'adaptation d'entrée du circuit (Z_{in}) est un diviseur capacitif avec une inductance en série. Son schématique en petits signaux est représenté dans la Figure F-7. Pour simplifier la représentation, on regroupe les impédances des composants tels que dans l'équation F.1. Les détails du calcul sont reportés dans la

Table F-4.

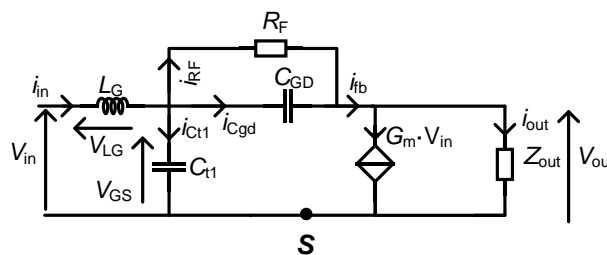


Figure F-7 Schéma petits signaux pour le calcul de l'impédance d'entrée

$$\begin{cases} C_{t1} = C_{in} + C_{GS_eq} \\ Y_{eq_fb} = \frac{1}{Z_{eq_fb}} = -\frac{1}{R_F} + j\omega.C_{GD_eq} \\ Z_{out} = \frac{1}{g_{ds_eq} + j\omega(C_{GS_eq} + C_{BD_eq} + C_L)} \end{cases} \quad (F.10)$$

Table F-4 Calcul de l'impédance d'entrée

Courant d'entrée n°1	$i_{in} = i_{C_{t1}} + i_{f_b}$ avec $\begin{cases} i_{C_{t1}} = v_{gs} \cdot j \cdot \omega \cdot C_{t1} \\ i_{f_b} = i_{C_{GD}} + i_{R_F} = v_{gd} \cdot Y_{eq_fb} \end{cases}$
Tension v_{gs} en fonction de la sortie	$v_{gs} = v_{f_b} + v_{out} = i_{f_b} \cdot Z_{eq_fb} + i_{out} \cdot Z_{out} = i_{f_b} \cdot Z_{eq_fb} + (i_{f_b} - gm_{eq} \cdot v_{gs}) Z_{out}$ $\rightarrow i_{f_b} = \frac{v_{gs} (1 + gm_{eq} \cdot Z_{out})}{Z_{eq_fb} + Z_{out}}$
Courant d'entrée n°2	$i_{in} = i_{C_{t1}} + i_{f_b} = v_{gs} \cdot \left[j \cdot \omega \cdot C_{t1} + \frac{(1 + gm_{eq} \cdot Z_{out})}{Z_{eq_fb} + Z_{out}} \right]$
Tension v_{gs} en fonction de l'entrée	$v_{gs} = v_{in} - v_{LG} = v_{in} - i_{in} \cdot j \cdot \omega \cdot L_G$
Division du courant d'entrée par v_{gs}	<ul style="list-style-type: none"> ▪ En divisant la fonction du courant i_{in} par v_{gs} : $\frac{i_{in}}{v_{gs}} = \frac{v_{gs}}{v_{gs}} \cdot \left[j \cdot \omega \cdot C_{t1} + \frac{(1 + gm_{eq} \cdot Z_{out})}{Z_{eq_fb} + Z_{out}} \right]$ <ul style="list-style-type: none"> ▪ En utilisant la fonction qui lie v_{gs} à v_{in} : $\frac{i_{in}}{v_{gs}} = \frac{i_{in}}{v_{in} - i_{in} \cdot j \cdot \omega \cdot L_G}$ <ul style="list-style-type: none"> ▪ On obtient : $\rightarrow \frac{v_{in}}{i_{in}} - j \cdot \omega \cdot L_G = \frac{1}{j \cdot \omega \cdot C_{t1} + \frac{1 + gm_{eq} \cdot Z_{eq_out}}{Z_{eq_fb} + Z_{eq_out}}}$
Impédance d'entrée	$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{j \cdot \omega \cdot (C_{IN} + C_{GS_eq}) + \frac{1 + gm_{eq} \cdot Z_{eq_out}}{Z_{eq_fb} + Z_{eq_out}}} + j \cdot \omega \cdot L_G$

4. Calcul du buffer

Pour réaliser des mesures sur des instrumentations ayant une impédance d'entrée de 50Ω , nous avons opté pour la conception du circuit source commune à charge résistive (Figure F-8) pour réaliser l'adaptation d'impédance sur une large bande de fréquence. Nous avons utilisé le coefficient d'inversion pour dimensionner le circuit. Un algorithme est réalisé pour respecter un gain en tension fixe supérieur à 0dB et une impédance de sortie proche de « $50\Omega + 0.j$ » à partir des formules reportées dans la TableF-5. Les calculs analytiques ne sont pas détaillés. La résistance R_2 est minimisée pour augmenter l'impédance de sortie. Elle n'a pas été représentée dans le schématique finale (Figure III.12) car elle est contenue dans les lignes d'accès du layout.

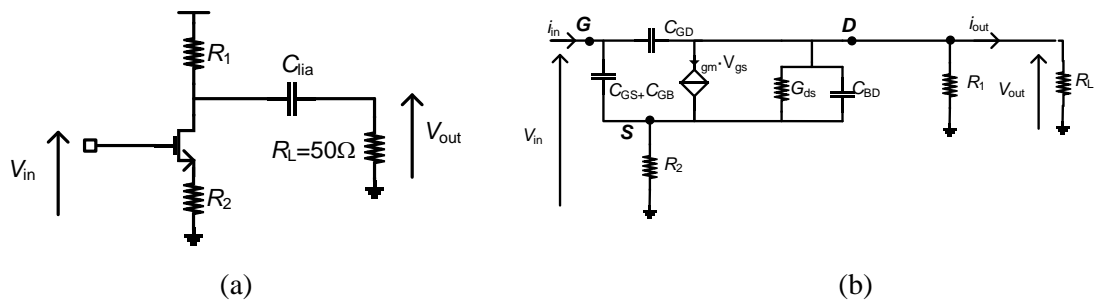


Figure F-8 Vue schématique (à gauche) et petits signaux (à droite) d'une source commune à charge résistive.

TableF-5 : Formules caractéristiques du circuit à source commune à charge résistive.

Impédance de sortie	$Z_{out} = -R_2 - \frac{1 + g_m \cdot R_2}{(g_{ds} + 1/R_1) + j \cdot \omega \cdot C_{bd}}$
Impédance d'entrée	$Z_{in} = \frac{\omega^2 \cdot R_2 \cdot C_{gd} \cdot C_{bd} - j \cdot \omega \cdot (C_{gd} \cdot R_2 + C_{gd} \cdot (R_2 \cdot g_{ds} + R_2 / R_1))}{\omega^2 \cdot [C_{gs} (C_{gd} + C_{bd}) - C_{bd} \cdot C_{gd}] - j \cdot \omega \cdot [C_{gs} [g_{ds} + 1/R_1] + C_{gd} (g_m + g_{ds} + 1/R_1)]}$
Gain en tension	$A_v = \frac{-g_m + \frac{R_2 \cdot (g_m + g_{ds})}{Z_{in}} + j \cdot \omega \cdot (C_{gd} + \frac{R_2 \cdot C_{bd}}{Z_{in}})}{g_{ds} \cdot (R_1 // R_L) + 1 + R_2 \cdot (g_m + g_{ds}) + j \cdot \omega \cdot [(C_{bd} + C_{gd}) \cdot (R_1 // R_L) + C_{bd} \cdot R_2]}$

Bibliographie

- [1] Harald Friis, « Noise Figure of Radio Receivers », *Proc IRE*, p. 149-22, juill. 1944.