



HAL
open science

Évaluation des mécanismes de défaillance et de la fiabilité d'une nouvelle terminaison haute tension : approche expérimentale et modélisation associée

Fedia Baccar El Boubkari

► To cite this version:

Fedia Baccar El Boubkari. Évaluation des mécanismes de défaillance et de la fiabilité d'une nouvelle terminaison haute tension : approche expérimentale et modélisation associée. Electronique. Université de Bordeaux, 2015. Français. NNT : 2015BORD0266 . tel-01248247

HAL Id: tel-01248247

<https://theses.hal.science/tel-01248247>

Submitted on 4 Jan 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE PRÉSENTÉE

POUR OBTENIR LE GRADE DE

DOCTEUR DE

L'UNIVERSITÉ DE BORDEAUX

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUE ET DE L'INGENIEUR

SPÉCIALITÉ : Électronique

Par Fedia BACCAR EL BOUBKARI

**Évaluation des mécanismes de défaillance et de la fiabilité d'une
nouvelle terminaison haute tension : approche expérimentale et
modélisation associée**

Sous la direction de : Éric WOIRGARD

Co-Encadrant : Loïc THEOLIER

Soutenue le 1 décembre 2015

Membres du jury :

M. Woirgard, Eric

M. Théolier, Loïc

M. Morancho, Frédéric

M. Morel, Hervé

M. Crébier, Jean-Christophe

M. Gautier Gaël

M. Azzopardi, Stéphane

Professeur, Université de Bordeaux

Maitre de conférences, Université de Bordeaux

Professeur, LAAS, Toulouse

Directeur de recherche CNRS, Lyon

Directeur de recherche CNRS, Grenoble

Professeur, GREMAN, Tours

Docteur HDR, Safran Tech

Directeur de Thèse

Co-Encadrant de Thèse

Président

Rapporteur

Rapporteur

Examineur

Invité

Évaluation des mécanismes de défaillance et de la fiabilité de nouveaux interrupteurs de puissance haute tension : approche expérimentale et modélisation associée

Résumé : Ces travaux s'intègrent dans le projet de recherche SUPERSWITCH dans lequel des solutions alternatives à l'IGBT, utilisées dans les convertisseurs de puissance dans la gamme des tensions en tension 600-1200 V, sont envisagées. Les nouvelles structures du transistor MOS basées sur le principe de Super-Jonction tel que le transistor DT-SJMOSFET et sa terminaison originale, la « Deep Trench Termination » se propose comme alternative aux IGBT. Dans ce contexte, cette thèse se focalise sur la caractérisation de la robustesse de la terminaison DT² adapté à une diode plane. Après avoir effectué un état de l'art sur les composants de puissances à semi-conducteur unidirectionnels en tension, les terminaisons des composants de puissance et la fiabilité des modules de puissance, un véhicule de test a été conçu en vue de réaliser les différents essais de vieillissement accéléré et suivi électrique. La fiabilité de la terminaison DT² a été évaluée par des essais expérimentaux et des simulations numériques, dont une méthodologie innovante a été proposée. Au final de nouvelles structures ont été proposées pour limiter les problèmes de délaminage et de charges aux interfaces mis en avant dans notre étude.

Mots clés : Deep Trench Termination (DT²), fiabilité, vieillissement accéléré, contrainte mécanique, tenue en tension, frittage de la pâte d'argent, modélisation par éléments finis, TCAD SENTAURUS.

Evaluation of failure mechanisms and reliability of new high-voltage power switches: experimental approach and modeling associated

Abstract: This work is a part of the research project SUPERSWITCH in which alternatives solutions to the IGBT, are investigated. This solution was used IGBT in power converters in the 600-1200 V breakdown voltage range. The new MOSFET structures based on the super-junction, such as the DT-SJMOSFET and its "Deep Trench Termination", is proposed as an alternative to IGBT. In this context, this thesis focuses on the robustness characterization of the DT² termination adapted to a planar diode. After a state of the art on unidirectional voltage power components, the power components termination, and power modules reliability, a test vehicle has been designed in order to carry out different accelerated ageing tests and electrical monitoring. The reliability of DT² termination was evaluated by experimental tests and numerical simulations. An innovative modeling methodology has been proposed. Finally, new structures have been proposed to limit the delamination failure mechanisms and interface charges problems highlighted in this thesis.

Keywords: Deep Trench Termination (DT²), reliability, accelerated ageing, mechanical stress, breakdown voltage, silver paste sintering technology, finite element modeling analysis, TCAD SENTAURUS.

Laboratoire de l'Intégration du Matériau au Système (IMS)

IMS, UMR 5218, Bâtiment A31, 351 Cours de la Libération, 33400 Talence

À mes parents, À mon frère

À mes sœurs, À mon mari

Remerciements

Les travaux présentés dans cette thèse ont été effectués au sein de l'équipe « Puissance » du groupe « fiabilité » du laboratoire de l'Intégration du Matériau au Système (IMS) à Bordeaux et financées par l'agence nationale de la recherche (ANR).

À l'issue de cette thèse, je souhaite tout d'abord remercier le directeur du laboratoire IMS Monsieur Claude PELLET, pour m'avoir accueilli au sein de son établissement. Je tiens aussi à remercier Madame Geneviève DUCHAMP, qui dirige le groupe FIABILITE, de m'avoir accueilli en son sein et Monsieur Jean-Michel VINASSA responsable de l'équipe FIABILITE.

Je remercie également Monsieur Éric WOIRGARD, mon directeur de thèse, pour avoir su me guider avec beaucoup d'attention. Ses qualités scientifiques et humaines ont contribué à l'aboutissement de cette thèse.

Je tiens à exprimer une profonde reconnaissance à mon co-encadrant Monsieur Loïc THEOLIER, maître de conférences à l'IUT de Bordeaux, pour son encadrement scientifique et technique, sa disponibilité, le recul qu'il m'a apporté, et pour toutes les discussions instructives que nous avons eues durant toute la durée de mon travail de recherche.

Je tiens à exprimer ma gratitude à Monsieur Stéphane AZZOPARDI pour son aide, sa disponibilité et d'avoir accepté d'être invité dans ma soutenance.

Je suis très honoré de la présence à mon jury de thèse et je tiens à remercier :

Monsieur Frédéric MORANCHO, professeur à l'université Paul Sabatier pour avoir accepté d'être président du jury dans ma soutenance.

Monsieur Hervé MOREL, directeur de recherche au CNRS Lyon, et Monsieur Jean-Christophe CREBIER, directeur de recherche au CNRS Grenoble, pour avoir rapporté sur cette thèse et participé au jury de ma soutenance.

Monsieur Gaël GAUTIER, Professeur à l'Université François Rabelais de Tours d'avoir accepté d'examiner mes travaux de thèse.

Je remercie toute l'équipe PUISSANCE dont Jean-Yves pour ses conseils sur les expérimentations et sa disponibilité pour résoudre les problèmes des serveurs de simulation. Merci également à Isabelle pour son aide et sa gentillesse.

Je tiens aussi à remercier tous les doctorants que j'ai rencontré pendant mes trois ans de thèse : Hadhemi, Ayat, Issam, Mouna, Antoine, Toni, Maxime, Omar, Faïçal, Wissam, Mohamed, Raphaël, Mickaël, et tous les autres...

Un infini remerciement et ma reconnaissance absolue à ma chère mère Jawhara, à mon cher père Abdellaziz, à mon cher frère Sahbi, et à mes chères sœurs Fatma, Mariem, Minou, pour m'avoir soutenu et encouragé toutes ces années d'étude. Je leur dédie ce mémoire en témoignage de la confiance et du soutien qu'ils m'ont toujours attesté. À mes nièces Khadija, Baya et mon neveu Mohamed qui bien étant très jeunes verront en ce manuscrit la fierté et l'espoir. Merci également à ma belle-famille.

A mon cher mari Kamal qui m'a encouragé et qui m'a entouré au quotidien d'amour sans réserve. Pour son soutien et sa patience pendant ces trois années de thèse.

Table des matières

| | |
|---|----|
| Table des matières | 9 |
| Liste des abréviations et symboles..... | 11 |
| Introduction générale..... | 15 |
| Chapitre.1. État de l'art | 19 |
| 1.1 Introduction..... | 21 |
| 1.2 Électronique de puissance..... | 21 |
| 1.2.1 Généralités | 21 |
| 1.2.2 Les interrupteurs de puissance | 22 |
| 1.3 Les composants de puissances à semi-conducteur unidirectionnels en tension..... | 23 |
| 1.3.1 Rappel sur les semi-conducteurs..... | 23 |
| 1.3.2 Les diodes bipolaires | 26 |
| 1.3.3 Les transistors MOS de puissance | 30 |
| 1.3.4 Les transistors IGBT | 32 |
| 1.3.5 Objectif des nouvelles structures de composants MOS..... | 34 |
| 1.3.6 Transistors à base de Super-Jonction | 34 |
| 1.4 Les terminaisons des composants de puissance | 37 |
| 1.4.1 Généralités | 37 |
| 1.4.2 Les anneaux de gardes | 38 |
| 1.4.3 La plaque du champ | 39 |
| 1.4.4 Couche semi résistive : SIPOS..... | 41 |
| 1.4.5 La JTE | 41 |
| 1.4.6 Les structures à tranchées profondes | 42 |
| 1.5 Fiabilité des modules de puissance | 45 |
| 1.5.1 Définition d'un module de puissance..... | 45 |
| 1.5.2 Défaillance des modules de puissance | 53 |
| 1.5.3 Conséquence des tests de vieillissement | 56 |
| 1.6 Conclusion | 59 |
| Chapitre.2. Tests de vieillissement accéléré et de suivi électrique..... | 61 |
| 2.1 Introduction..... | 63 |
| 2.2 Présentation du vieillissement accéléré choisi..... | 63 |
| 2.3 Présentation du véhicule de test..... | 65 |

| | | |
|-------------|---|-----|
| 2.3.1 | Présentation de la diode DT ² | 65 |
| 2.3.2 | Report de la puce sur le substrat..... | 73 |
| 2.3.3 | Mesures électriques initiales..... | 81 |
| 2.4 | Mesures et observations après vieillissement par cyclage passif | 82 |
| 2.4.1 | Mesures électriques | 82 |
| 2.4.2 | Observations optiques..... | 84 |
| 2.5 | Suivi des caractéristiques électriques | 89 |
| 2.5.1 | Présentation du protocole de test | 89 |
| 2.5.2 | Résultats électriques du protocole..... | 90 |
| 2.6 | Conclusion | 95 |
| Chapitre.3. | Modélisation par éléments finis d'une dégradation dans la diode DT ² | 97 |
| 3.1 | Introduction..... | 99 |
| 3.2 | Procédés de simulation électrique sous TCAD SENATURUS | 99 |
| 3.3 | Influence d'un délaminage à l'interface Silicium / BCB sur le comportement électrique .. | 101 |
| 3.3.1 | Influence d'un délaminage à l'interface Si / BCB sur la tenue en tension | 101 |
| 3.3.2 | Influence d'un délaminage à l'interface Si /BCB sur la capacité Anode Cathode | 111 |
| 3.4 | Influence d'une fissure au niveau du coin de la diode DT ² sur la caractéristique inverse .. | 116 |
| 3.5 | Influence des charges à l'interface Si / BCB sur la tenue en tension | 119 |
| 3.5.1 | Modélisation 2D | 119 |
| 3.5.2 | Modélisation 3D | 126 |
| 3.5.3 | Modélisation « Mixed Mode » | 127 |
| 3.6 | Protection de la structure | 139 |
| 3.7 | Simulation de la contrainte mécanique dans la structure | 142 |
| 3.7.1 | Introduction..... | 142 |
| 3.7.2 | Initialisation des paramètres d'entrée dans la simulation | 142 |
| 3.7.3 | Modélisation 2D des contraintes dans la structure | 143 |
| 3.7.4 | Modélisation 3D des contraintes dans la structure | 145 |
| 3.7.5 | Optimisation de la structure | 146 |
| 3.7.6 | Discussion | 151 |
| 3.8 | Conclusion | 151 |
| | Conclusion générale | 153 |
| | Bibliographie..... | 156 |
| | Liste des publications | 163 |

Liste des abréviations et symboles

Abréviations

| | |
|----------------------------------|--|
| Al ₂ O ₃ : | Alumine |
| AlN : | Nitruire d'aluminium |
| AMB : | Active Metal Brazing |
| BCB : | BenzoCycloButene |
| BV _{DSS} : | Tenue en tension statique entre le drain et la source, grille reliée à la source |
| CTE : | Coefficient de dilatation thermique (Coefficient of Thermal Expansion ppm/°C) |
| Cu : | Cuivre |
| CuMo : | Cuivre-Molybdène |
| DAB : | Direct Aluminium Bonded |
| DBC : | Direct Bonding Copper |
| DT ² : | Deep Trench Termination |
| GaN : | Nitruire de gallium |
| IGBT : | Insulated Gate Bipolar Transistor |
| JTE : | Junction Termination Extension |
| LPCVD : | Low Pressure Chemical Vapo Deposition |
| Si : | Silicium |
| SiC : | Carbure de silicium |
| Si ₃ N ₄ : | Nitruire d'aluminium |
| SMI : | Substrat Métallique Isolé |
| SIPOS : | Semi Insulating Polycrystalline Silicon |
| SiON : | Oxynitruire |

VRT : Variation rapide de température
VDMOS : Vertical Diffused MOS
WLCSP : Wafer Level Chip Package Scale processus
ZCE : Zone de charge d'espace

Grandeurs physiques

E : Champ électrique
E1, E2 : Sources continues
E_A : Niveau d'énergie des accepteurs
E_c : Valeur du champ électrique critique
E_D : Niveau d'énergie des donneurs
 \vec{F} : Force électrique
f1, f2 : Fréquence des sources alternatives
f : Probabilité de défaillance
I_D : Courant de drain
k : Constante de Boltzmann
N_A : Concentration de dopage de la couche dopée P
N_D : Concentration de dopage de la couche dopée N
n_i : Concentration intrinsèque des porteurs libres
P : Puissance dissipé dans les composants
q : Charge électrique élémentaire
R : Fonction de fiabilité
R_a : Résistance de la zone d'accès au drain
R_{ch} : Résistance de canal
R_d : Résistance de la zone de « drift »
R_{DSON} : Résistance à l'état passant du transistor MOS de puissance
R_{DSON.S} : Résistance spécifique à l'état passant du transistor MOS de puissance
R_{sub} : Résistance du substrat N+ reliée au drain
V_{AC} : Tenue en tension entre Anode et Cathode

| | |
|------------------------|--|
| V_{DS} : | Tension entre le drain et la source |
| V_{TH} : | Tension de seuil des composants à commande MOS |
| V_{GS} : | Tension entre la grille et la source |
| W : | Largeur de la zone de déplétion |
| W_N, W_P : | Largeur des colonnes N et P |
| V : | Différence de potentiel |
| $V1, V2$: | Amplitude des sources alternatives |
| ε : | Permittivité du semi-conducteur |
| ε_0 : | Permittivité absolue du vide |
| ε_{BCB} : | Permittivité relative du BCB |
| ε_{Si} : | Permittivité relative du silicium |
| ε_{vide} : | Permittivité relative du vide |
| λ : | Taux de défaillance |
| μ_n : | Mobilité des électrons |
| ρ : | Densité de charges |
| Φ : | Barrière de potentiel |

Introduction générale

La recherche et le développement dans le domaine des énergies renouvelables, sont un des objectifs les plus importants pour le futur de l'humanité. L'amélioration du rendement de la chaîne énergétique nécessite une amélioration du rendement de chaque partie la constituant. Le secteur des transports consomme 25% de l'énergie mondiale et utilise plus de la moitié du pétrole produit dans le monde. Par conséquent, les activités de recherche liées à l'utilisation d'énergies alternatives pour les transports terrestres (véhicules hybrides et électriques par exemple) sont d'une importance majeure. Les activités de recherche en électronique de puissance répondent pleinement à ces futurs changements : il y a de nombreuses applications (gestion du réseau de distribution électrique, traction électrique, transports, systèmes nomades...) utilisant une large variété de composants de puissance. L'amélioration drastique des performances de ces composants, en termes d'économie énergie, de taille, de coût, de poids et de fiabilité, est un facteur clé de sauvegarde de l'énergie.

Parmi ces dispositifs actuels de commutation de puissance, l'interrupteur intégré sur silicium reste un élément fondamental visant de nombreuses applications. Différentes technologies ont permis de repousser les limites des composants sur le plan des pertes énergétiques. C'est pour cette raison que plusieurs structures innovantes ont été récemment proposées pour dépasser la limite théorique du compromis « résistance à l'état passant / tenue en tension » des composants de puissance unipolaires conventionnels. Le but principal de ces technologies est de changer la structure de la zone N- destinée à tenir la tension à l'état bloqué. Ces nouveaux dispositifs nécessitent une protection en périphérique afin de tenir des tensions élevées. De nombreuses études ont proposé plusieurs techniques de terminaison pour améliorer la tenue en tension : la technique de « Junction Termination Extension » (JTE), la plaque de champ, et la technique de « Semi Insulating Polycrystalline Silicon » (SIPOS). Malgré l'intérêt de ces techniques, elles consomment une grande surface pour les dispositifs haute tension. Récemment, la structure de tranchée profonde est devenue l'une des options de conception pour les dispositifs semi-conducteurs.

Dans ce contexte et dans le cadre du projet SUPERSWITCH, le laboratoire LAAS, en collaboration avec le laboratoire GREMAN et la société IBS, proposent de réaliser des transistors MOS haute tension basés sur la technologie de Deep Trench et la technologie de Super-Jonction. Ces nouveaux dispositifs sont atypiques par leur méthode de fabrication, car la réalisation des zones actives (Super-Jonction) se base sur une gravure à fort ratio de forme, suivi d'une implantation 3D ou d'une diffusion à travers un oxyde de contrôle. De plus, leur

terminaison est réalisée par une tranchée large et profonde remplie de diélectrique nommé DT² (Deep Trench Termination). Il est donc nécessaire d'évaluer leurs performances électriques et de stabiliser leur variabilité technologique. Parallèlement, la pénétration des marchés, par ces dispositifs, sera liée à la démonstration urgente d'une fiabilité opérationnelle en relation avec les standards actuels très exigeants dans les domaines du transport. Cette situation nécessite donc un effort spécifique sur les méthodes de construction et de démonstration de la fiabilité notamment par des approches mixtes (couplage modélisation-expérimentation) et ces réflexions doivent être intégrées au plus tôt des phases de conception et de développement.

A l'heure actuelle, aucune étude sur la fiabilité de la terminaison de type DT² a été menée. Nos travaux de recherche au laboratoire IMS se situent dans ce contexte. Le but de cette thèse est d'étudier la robustesse et d'analyser la défaillance d'une diode avec la terminaison DT² afin de confirmer la possibilité d'intégrer cette technologie dans les futurs assemblages et de l'industrialiser en état.

Dans le premier chapitre, nous commencerons par donner une généralité sur l'électronique de puissance, ainsi que les principaux types de convertisseurs pouvant existés et les différents types d'interrupteurs qui les composent. Ensuite, une grande partie sera consacrée à détailler le principe de fonctionnement des MOSFET de puissance, des IGBT, et des transistors à base de Super-Jonction. Ceci nous permettra de présenter différentes terminaisons utilisées pour ces composants jusqu'à la terminaison DT² (Deep Trench Termination). La composition d'un module de puissance sera présentée en suivant, dans le but de comprendre le choix de notre véhicule de test. Pour finir, les modes de défaillances connues des modules de puissance et des puces seront présentés afin de mesurer l'originalité de nos observations.

Le deuxième chapitre quant à lui, sera dédié à la partie expérimentale liée au test de vieillissement accéléré. Dans une première partie, nous avons opté pour les meilleurs puces restées intactes, ce qui été difficile à effectuer. En effet, la plaque du silicium a été stockée dans une salle blanche depuis 2008, et donc de nombreuses puces présentent déjà des délaminages et des fissures dans le BCB. Une fois que le choix des puces a été effectué, les véhicules de test seront préparés afin qu'ils soient adaptés pour les mesures électriques, pour les observations optiques (micro section et observation microscopique) ainsi que pour le vieillissement en étuve. Pour cela, les diodes DT² sélectionnées seront reportées sur un substrat DBC (Direct Bonded Copper) en utilisant le procédé de frittage de pâte d'argent. Dans une seconde partie, l'assemblage sera soumis à un vieillissement accéléré par cyclage passif afin de caractériser la stabilité du comportement électrique des diodes. Pour cela, des mesures de caractéristiques inverses de la diode seront réalisées, des analyses optiques seront

effectuées afin de fournir une explication aux variations observées liées au vieillissement. De plus, une procédure caractérisant les diodes en direct sera mise en place afin de tester la stabilité électrique de ces nouveaux composants au cours de leur fonctionnement.

Dans le troisième chapitre, des simulations bi et tridimensionnelle par éléments finis sous TCAD SENTAURUS ont été envisagées pour comprendre l'influence d'une dégradation sur les comportements électriques de la diode DT². Afin d'analyser et d'optimiser la précision des résultats sans augmenter le nombre de nœuds et le temps de calcul, nous proposerons un modèle précis qui prend en compte la proportion de la surface dégradée dans la diode DT² en utilisant la simulation « Mixed Mode ». La dernière partie de ce chapitre sera consacrée à l'étude de la contrainte mécanique dans la structure dès les phases de conception à l'aide de l'outil SProcess de TCAD Sentaurus.

Chapitre.1. État de l'art

1.1 Introduction

La tenue en tension des dispositifs de puissance à semi-conducteur est l'une des caractéristiques primordiales en électronique de puissance. En conséquence, afin d'améliorer cette tenue en tension, il est nécessaire de créer une terminaison adaptée pour réduire le pic du champ électrique à la périphérie du composant de puissance. Dans ce contexte, une nouvelle terminaison « Deep Trench termination : DT² » basée sur une tranchée large et profonde remplie par un diélectrique a été proposée en 2008 et est spécifiquement adaptée pour les composants de puissance à semi-conducteur [1] [2]. Jusqu'à présent, la fiabilité et la robustesse de cette nouvelle terminaison n'ont pas encore été étudiées.

Dans ce chapitre, nous commençons par présenter succinctement les convertisseurs de puissance et leur interrupteur électronique associé. Ensuite, nous nous attardons sur quelques composants d'électronique de puissance à semi-conducteur unidirectionnels en tension afin de comprendre leur évolution. Tous ces composants nécessitent une terminaison adaptée afin de tenir des tensions élevées, que nous présentons par la suite. Parmi ces terminaisons, nous pouvons citer la « Deep Trench Termination » qui est le support de cette thèse. Pour finir, la composition d'un module de puissance et leur mode de défaillance sont présentés.

1.2 Électronique de puissance

1.2.1 Généralités

Au cours de la deuxième moitié du 20^{ème} siècle, entre l'électrotechnique et l'électronique, s'est développée une nouvelle discipline : l'électronique de puissance [3]. Elle permet de convertir entre le générateur et le récepteur (ou réciproquement), une énergie électrique sous sa forme donnée (continue, alternative, basse ou haute fréquence) en une forme appropriée à l'alimentation d'une charge [4]. Pour assurer le transfert d'énergie entre ces deux sources, la présence des convertisseurs sera indispensable.

L'énergie électrique peut exister sous deux formes : une forme continue (batterie d'accumulateurs, génératrice à courant continu) ou une forme alternative (réseau de distribution électrique, alternateur). La charge peut nécessiter une alimentation alternative ou continue. Donc, on peut définir quatre classes de convertisseurs transformant directement l'énergie électrique [5]. La Figure 1 présente les grandes familles de convertisseurs existant. On peut trouver deux sources alternatives définies par leur amplitude (V_1 , V_2) et leur fréquence (f_1 , f_2), et deux sources de tension ou de courant continues (E_1 , E_2).

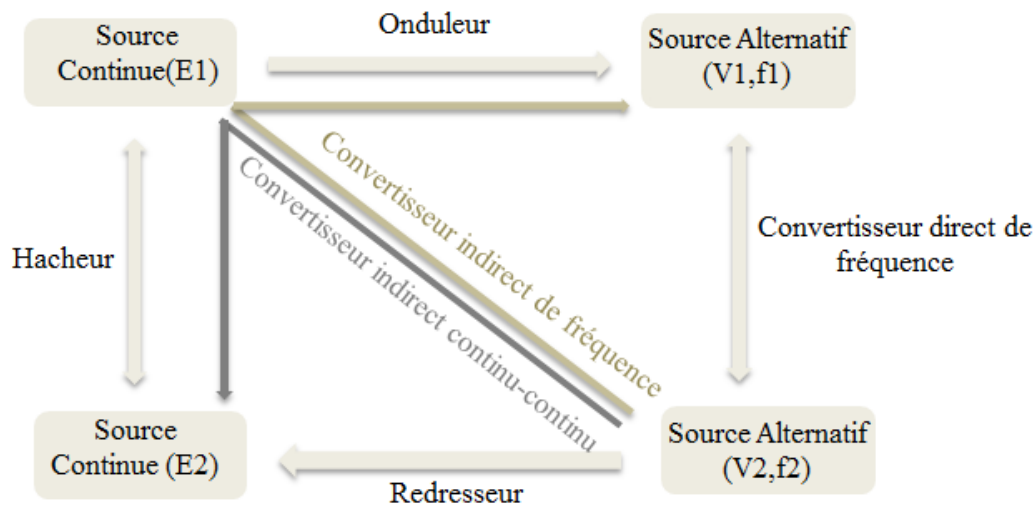


Figure 1 : Grandes familles de convertisseurs.

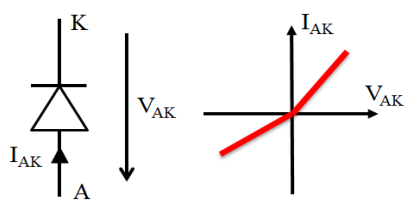
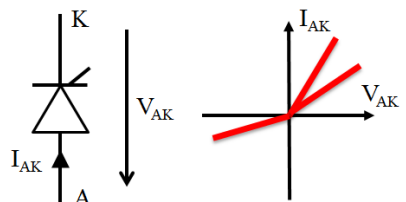
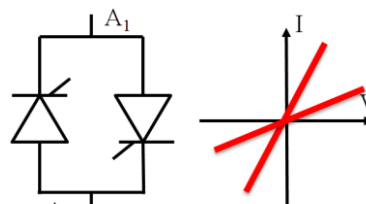
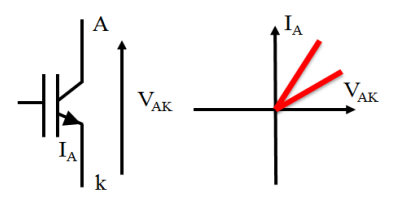
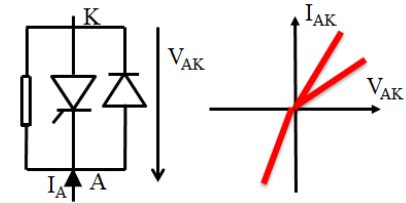
Ces convertisseurs sont réalisés avec des interrupteurs à base de composants de puissance à semi-conducteur et des composants passifs (des capacités ou des inductances). Les premiers accomplissent la fonction de contrôle du transfert d'énergie électrique entre le générateur et le récepteur, alors que les seconds permettent d'assurer le stockage d'énergie et le filtrage des formes d'ondes de tension et de courant.

1.2.2 Les interrupteurs de puissance

Dans le domaine ferroviaire par exemple, durant la phase d'accélération, l'énergie provenant du réseau électrique arrive à la machine électrique qui transforme cette énergie en une énergie mécanique. Lors de freinage, l'énergie cinétique doit être évacuée afin de freiner le train. Le même convertisseur statique assure le transfert d'énergie de la machine électrique vers le réseau ou vers une résistance ballast. Ces hypothèses nécessitent que les convertisseurs assurent une réversibilité soit en courant soit en tension. Ceci se traduit par une bidirectionnalité en courant et/ou en tension des interrupteurs qui les composent. Le Tableau 1 résume les trois grandes familles d'interrupteurs en électronique de puissance.

Les interrupteurs unidirectionnels en tension et en courant, sont caractérisés par un courant et une tension de même signe (transistor) ou de signe différent (diode). Les interrupteurs bidirectionnels en tension ou en courant sont définis par trois segments. Ils sont réalisés avec une structure de type thyristor ou par l'association de plusieurs interrupteurs : transistors et diodes (thyristor dual). Les interrupteurs bidirectionnels en tension et en courant peuvent être obtenus en assemblant des composants unidirectionnels tels que les Thyristor ou des IGBT. Seul le triac est capable de réaliser cette fonction seule.

Tableau 1 : Les trois grandes familles d'interrupteurs en électronique de puissances.

| Interrupteurs unidirectionnels en tension et en courant | Interrupteurs bidirectionnels en tension ou en courant | Interrupteurs bidirectionnels en tension et en courant |
|---|--|--|
|  <p>Diode</p> |  <p>Thyristor</p> |  <p>Triac</p> |
|  <p>Transistor</p> |  <p>Thyristor dual</p> | |

1.3 Les composants de puissances à semi-conducteur unidirectionnels en tension

Cette section rappellera quelques principes de fonctionnement d'une diode, qui est notre composant d'étude. Dans un deuxième temps, le fonctionnement des transistors MOS de puissance et l'IGBT est présenté afin de contextualiser les nouveaux concepts adaptés au transistor MOS.

1.3.1 Rappel sur les semi-conducteurs

Les matériaux solides peuvent être classés en trois groupes qui sont les isolants, les semi-conducteurs et les conducteurs. On considère comme isolants, les matériaux de résistivité supérieure à $10^8 \Omega \cdot \text{cm}$, comme semi-conducteur les matériaux avec une résistivité comprise entre $10^{-3} \Omega \cdot \text{cm}$ et $10^8 \Omega \cdot \text{cm}$, et comme conducteurs les matériaux avec une résistivité inférieure à $10^{-3} \Omega \cdot \text{cm}$.

La Figure 2 présente les bandes d'énergie pour ces trois groupes de matériaux. Les deux bandes d'énergie sont éloignées et aucun courant ne peut circuler dans le cas des isolants, contrairement aux conducteurs dont les deux bandes d'énergie se recouvrent partiellement. Pour les semi-conducteurs, la conduction électrique s'effectue par la création de paires électron-trou. Les trous résultant du passage d'électrons de la bande de valence vers la bande de conduction qui sont séparées par un faible intervalle d'énergie [6].

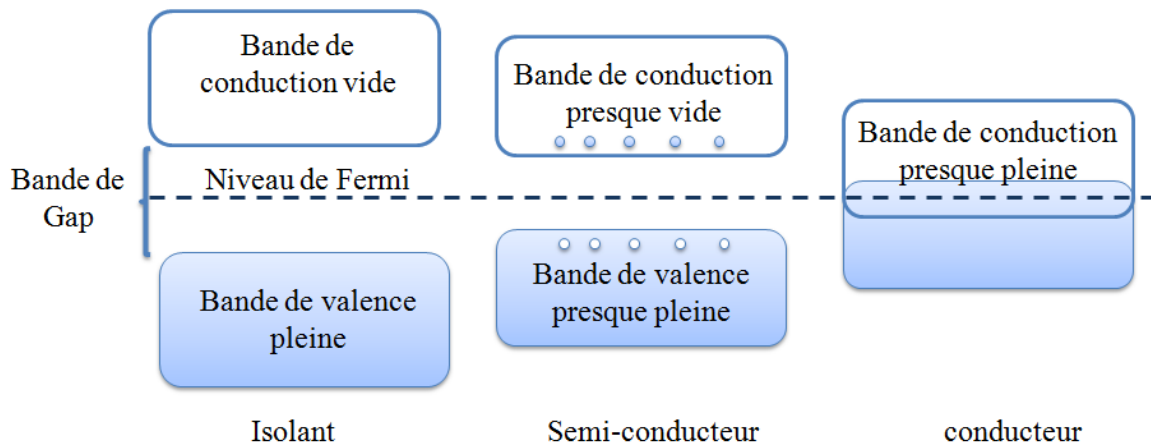


Figure 2 : Bandes d'énergie pour les isolants, les semi-conducteurs et les conducteurs.

La jonction PN est la base de la conception de l'ensemble des composants semi-conducteurs. Elle est obtenue par la mise en juxtaposition d'une couche semi-conductrice dopée P et d'une autre dopée N. Le composant ainsi réalisé est une diode bipolaire.

1.3.1.1 Dopage de type N

Un semi-conducteur de type N est un semi-conducteur intrinsèque, dans lequel on introduit des impuretés qui possèdent 5 électrons sur leur couche externe (Phosphore ou Arsenic). Les impuretés sont appelées des donneurs parce qu'elles donnent un électron à la bande de conduction. La Figure 3 présente schématiquement des liaisons électroniques pour le silicium dopé avec du phosphore.

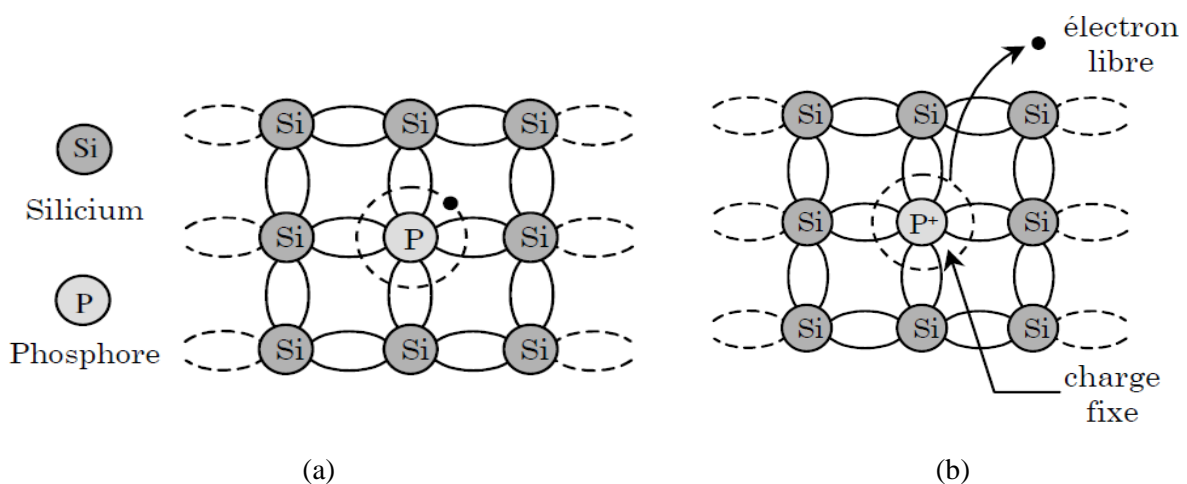


Figure 3 : Silicium dopé au phosphore (a) à $T = 0 \text{ K}$ et, (b) à $T \neq 0 \text{ K}$.

Quatre électrons d'atome de silicium voisins sont mis en commun avec quatre électrons de l'atome donneur. Le cinquième électron est faiblement lié à l'impureté. Une très faible énergie due à une température supérieure au zéro Kelvin est suffisante pour le libérer et le déplacer dans la bande de conduction pour qu'il se trouve libre [6] [7] [8]. L'atome de

phosphore a perdu sa neutralité et est devenu un ion positif (charge fixe). Ainsi, il y a apparition d'un niveau d'énergie dans la bande interdite E_D , situé au-dessous de la bande de conduction (Figure 4 (a)). À température ambiante, la quasi-totalité des atomes donneurs est ionisée. Si N_D correspond à la concentration des atomes donneurs, on obtient $n = N_D$ électrons libres. Dans un semi-conducteur de type N, les électrons sont majoritaires, les trous sont minoritaires, et la conduction est assurée par les électrons.

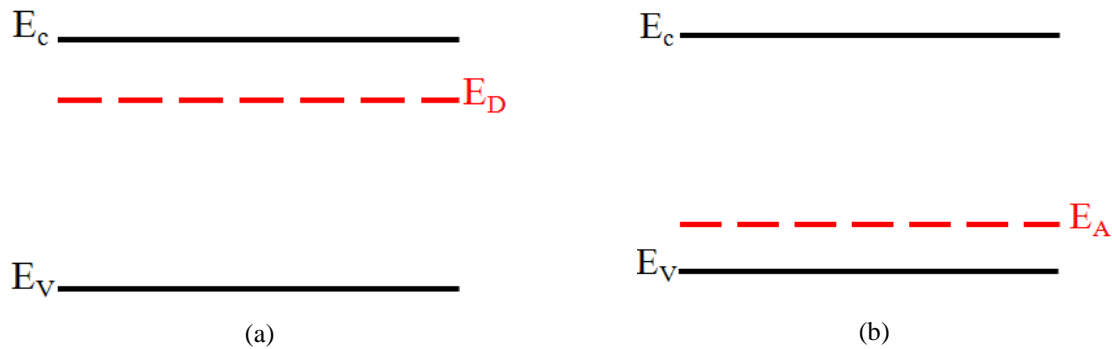


Figure 4 : Niveau d'énergie (a) pour un dopage de type N, et (b) pour un dopage de type P.

1.3.1.2 Dopage de type P

Un semi-conducteur de type P est un semi-conducteur intrinsèque, dans lequel on introduit des impuretés, qui possèdent trois électrons sur leur couche externe (Bore, Indium). Ces impuretés sont appelées des accepteurs parce qu'elles acceptent un électron de la bande de conduction afin de réaliser une liaison avec le cristal semi-conducteur. La Figure 5 présente schématiquement des liaisons électroniques pour le semi-conducteur silicium dopé P par du Bore.

L'atome dopant a perdu sa neutralité et est devenu alors un ion fixe négatif par capture d'un électron. Ce phénomène correspond à l'apparition d'un niveau d'énergie E_A dans la bande de gap, au-dessus de la bande de valence. La quasi-totalité des atomes accepteurs est ionisée à la température ambiante (Figure 4 (b)). Si N_A correspond à la concentration des atomes accepteurs, donc on obtient $p = N_A$ trous libres. Dans un semi-conducteur de type P, les trous sont les majoritaires, les électrons sont les minoritaires, et la conduction est assurée par les trous.

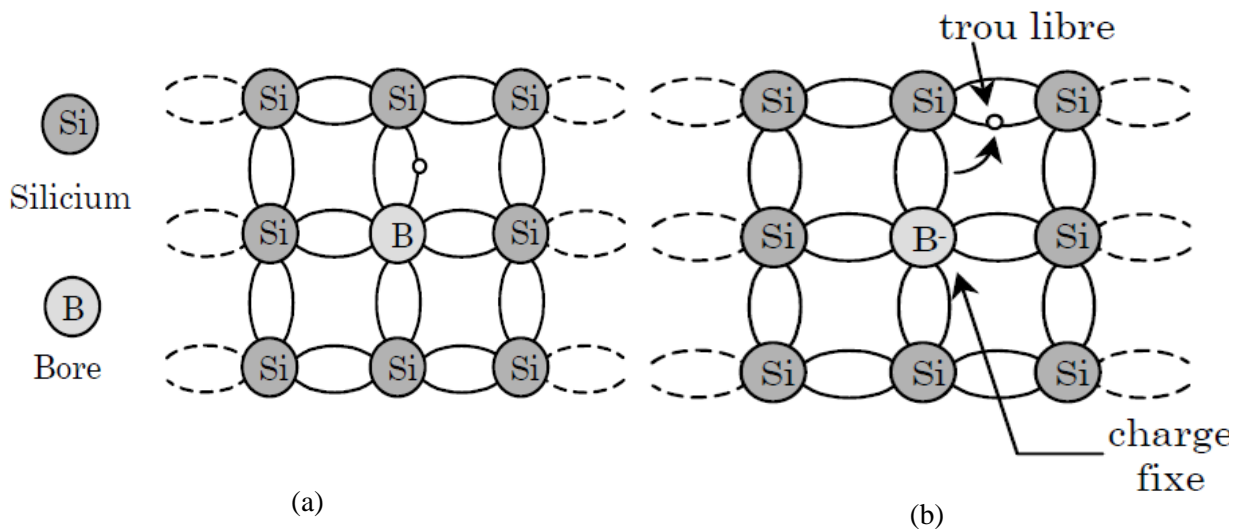


Figure 5 : Silicium dopé au Bore (a) à $T = 0 \text{ K}$ et, à (b) $T \neq 0 \text{ K}$.

1.3.2 Les diodes bipolaires

Une diode PN est la mise en contact entre un semi-conducteur de type P et un semi-conducteur de type N, issus d'un même cristal.

1.3.2.1 Diode PN à l'équilibre

À une température ambiante, les deux régions P et N possèdent des concentrations de porteurs différentes. Ceci va entraîner une circulation de courant de diffusion afin d'égaliser la concentration en porteurs des deux régions. En conséquence, les trous qui sont majoritaires dans la région P, vont être diffusés dans la région N laissant derrière eux des ions fixes négatifs. Par contre, les électrons qui restent majoritaires dans la région N, vont être diffusés dans la région P laissant derrière eux des ions fixes positifs [9]. Il apparaît donc au niveau de la jonction PN une zone dépourvue de charges libres et contenant des charges fixes positives et négatives. Ces charges créent un champ électrique E interne dirigé de la région N vers la région P. Ce champ s'oppose à la diffusion des porteurs libres dans le but d'atteindre un équilibre électrique. Dans ces conditions, les répartitions du champ électrique, du potentiel électrostatique, et des charges sont résumés sur la Figure 6.

La zone dépourvue de porteurs libres est appelée zone de charge d'espace (ZCE). Elle s'étend sur une épaisseur de l'ordre de $0,5 \mu\text{m}$ à l'équilibre.

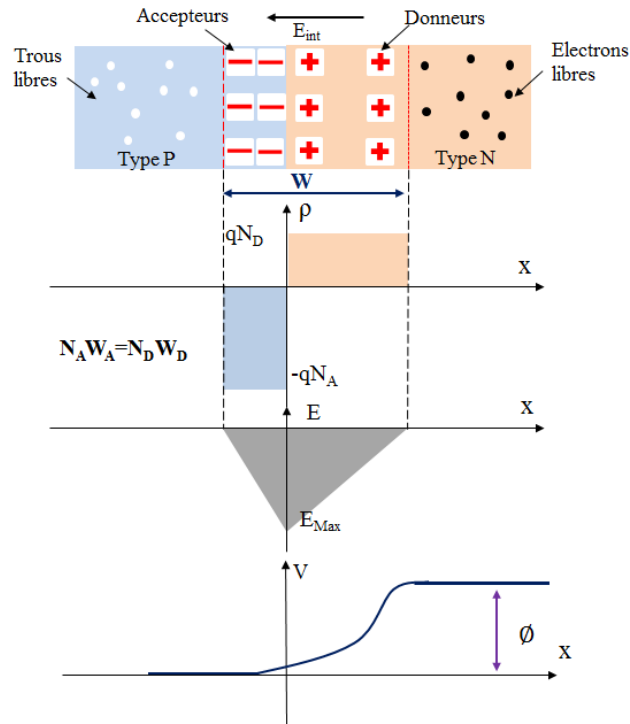


Figure 6 : Jonction PN à l'équilibre thermodynamique.

D'après la Figure 6, la forme du champ électrique peut être déduite par application des équations de l'électrostatique. En effet, $E(x)$ est un champ qui s'exprime en fonction de la densité de charge interne $\rho(x)$:

$$\frac{d E(x)}{dx} = \frac{1}{\varepsilon} \rho(x) \quad (\text{eq. 1})$$

Où ε représente la permittivité du semi-conducteur.

Il apparaît donc une différence de potentiel (DDP) résultante du champ électrique entre les deux extrémités de la jonction, appelée potentiel de diffusion. L'expression de ce potentiel est donnée par l'équation suivante :

$$V(x) = \int -E(x) dx \quad (\text{eq. 2})$$

La largeur de la zone de déplétion W est donnée par l'équation suivante :

$$W = \sqrt{\frac{2\varepsilon N_A + N_D}{q N_A \cdot N_D}} \phi \quad (\text{eq. 3})$$

Avec N_A et N_D représentant respectivement les concentrations des atomes accepteurs et des atomes donneurs. ϕ représente la barrière de potentiel qui constitue le potentiel de diffusion de la jonction, et s'écrit sous la forme suivante :

$$\phi = U_T \cdot \ln \left(\frac{N_A \cdot N_D}{n_i^2} \right) \quad (\text{eq. 4})$$

$$U_T = \frac{k \cdot T}{q} \quad (\text{eq. 5})$$

Avec n_i est la concentration intrinsèque des porteurs libres, q est la valeur absolue de la charge de l'électron, et k est la constante de Boltzmann.

1.3.2.2 Diode PN polarisée en direct

Une diode PN est dite polarisée en direct, si une tension positive est appliquée entre l'anode et la cathode : $V_{AK} > 0$ V. Un champ électrique externe va s'opposer au champ électrique interne, ce qui va entraîner une réduction de la hauteur de la barrière de potentiel et une augmentation des porteurs majoritaires pouvant franchir la zone de déplétion, d'où une circulation du courant (Figure 7). L'apport de porteurs majoritaires au voisinage de la jonction va entraîner une diminution de la largeur de la région désertée. À partir de cette tension de seuil, les porteurs libres peuvent franchir librement la zone de déplétion, et la jonction devient passante et donc un courant direct s'établit.

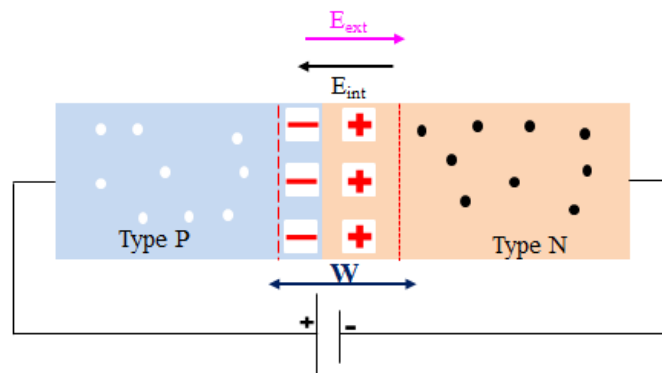


Figure 7 : Diode PN polarisée en directe.

1.3.2.3 Diode PN polarisée en inverse

La tenue en tension d'un composant semi-conducteur de puissance est supportée par la jonction PN, qui doit être polarisée en inverse. En appliquant une tension négative (V_I), l'anode est portée à un potentiel négatif par rapport à celui de la cathode ($V_{ak} < 0$ V). Un champ électrique externe créé par une source de tension s'ajoute au champ électrique interne (Figure 8). La zone de charge espace va donc s'étendre jusqu'à un nouvel équilibre entre la diffusion et le champ électrique. Dans ce cas, la hauteur de la barrière de potentiel est plus importante que dans une jonction à l'équilibre, et le courant de diffusion devient nul. Ainsi, un seul courant de minoritaires a la possibilité de traverser la jonction : c'est le courant de fuite [10]. Plus la ZCE s'étend, plus le champ électrique maximal sera important.

La tension appliquée va s'ajouter à la tension générée à l'équilibre, ce qui rend l'équation du potentiel sous la forme suivante :

$$V'(x) = V(x) - V_I \quad (\text{eq. 6})$$

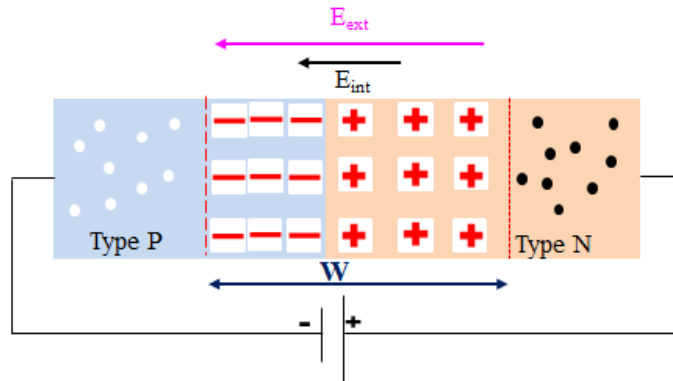


Figure 8 : Diode PN polarisée en inverse.

Pour de fortes valeurs de tension de polarisation, le courant peut augmenter brusquement. Dans ce cas, la tension de claquage de la jonction est atteinte. En effet, une augmentation de la tension entraîne une augmentation du champ électrique à l'intérieur de la jonction, cette dernière possède une valeur critique qu'elle ne peut dépasser. De plus, la force électrique ($\vec{F} = -q\vec{E}$) appliquée sur les électrons liés au réseau cristallin, augmente et dépasse la force de liaison des électrons de valence sur les noyaux. Ceci va libérer ces électrons, et le cristal devient conducteur. À partir de cette situation, la tension inverse et le champ électrique cessent d'augmenter.

Il existe deux explications différentes pour le phénomène de claquage pour une jonction PN : l'effet Zener (tunnel) et l'effet d'avalanche.

Effet Zener : Les électrons associés aux paires électron-trou générés pendant l'augmentation brusque du champ électrique, sont émis de la bande de valence vers la bande de conduction à travers la zone de charge espace, d'où le nom effet tunnel. Cet effet est observable dans les jonctions fortement dopées et ayant une très petite zone de charge espace [11].

Effet d'avalanche : lorsque la largeur de la région de déplétion est supérieur à $0,1 \mu\text{m}$, le phénomène de claquage de la jonction est obtenu par effet avalanche avant l'effet tunnel. Pour des champs électriques environ dix fois inférieure au seuil d'effet Zener, un apport de chaleur va créer des paires électrons-trous. L'énergie thermique acquise par ces électrons, est suffisante pour permettre de briser les liaisons de covalence entre les atomes au sein du réseau cristallin. Les électrons éjectés sont à leur tour accélérés par le champ électrostatique et

heurtent d'autres atomes du cristal, résultant ainsi une nouvelle case vide d'électrons. Il en résulte un processus en chaîne appelée un phénomène d'avalanche [11].

Il est possible à partir d'une jonction PN d'établir diverses structures semi-conductrices : nous pouvons citer par exemple : les MOSFET et les IGBT...

1.3.3 Les transistors MOS de puissance

1.3.3.1 Structure du transistor MOS

Les transistors MOS de puissance ont une conduction verticale. Ils utilisent le volume du semi-conducteur pour la circulation du courant. Sur la face supérieure de la puce, on trouve seulement les deux électrodes de grille et de source. Le drain, lui, est placé sur la face arrière du substrat, ce qui permet d'avoir une plus grande densité d'intégration [12]. La Figure 9 montre une coupe schématique d'un transistor VDMOS (Vertical Diffused MOS).

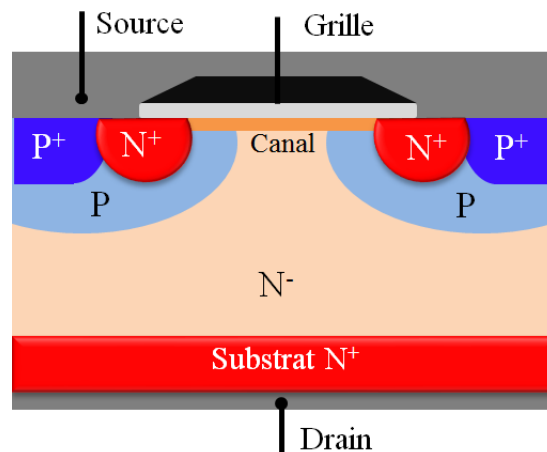


Figure 9 : Coupe schématique d'un transistor VDMOS.

1.3.3.2 Comportement statique du transistor MOS

✓ Fonctionnement à l'état bloqué

À l'état bloqué, c'est-à-dire lorsque la tension grille-source est inférieure à la tension de seuil (V_{TH}), la tension appliquée entre drain et source est soutenue principalement par la zone de charge d'espace (ZCE) qui apparaît dans la couche N^- [13] [14]. Par définition, la tenue en tension d'un MOS présente la tension maximale qui peut être appliquée entre la source et le drain à l'état bloqué.

Plusieurs expressions approximatives [15] [16] [17] ont été proposées liant l'épaisseur de la zone de charge espace (W_N) et le dopage de la couche N^- (N_D) à la tension de claquage BV_{DSS} . Les expressions de Gharbi [17] ont été retenues pour une jonction PN plane infinie. Il

a estimé le couple dopage / épaisseur, minimisant ainsi la résistance par surface unitaire de la couche N⁻. Dans ce cas, ce couple s'exprime par les deux expressions suivantes :

$$W_N(cm) = 2,44 \times 10^{-6} \cdot BV_{DSS}^{\frac{7}{6}} \quad (\text{eq. 7})$$

$$N_D(cm^{-3}) = 2,16 \cdot BV_{DSS}^{-\frac{4}{3}} \quad (\text{eq. 8})$$

D'après ces équations, le dopage (N_D), l'épaisseur de la région de drift (W_N) et la tenue en tension sont fortement liés. Ceci a pour conséquence de modifier le comportement du transistor MOS en régime directe en fonction de la tenue en tension. En effet, l'augmentation de l'épaisseur (W_N) et la diminution du dopage (N_D) de la couche N⁻ entraîne une augmentation de la résistance et de la tenue en tension.

✓ Fonctionnement à l'état passant

À l'état passant, une tension (V_{GS}) supérieure à la tension de seuil (V_{TH}) est appliquée entre les deux électrodes grille et source. Ainsi, un canal d'inversion de type N est formé permettant le passage du courant entre le drain et la source.

Un transistor MOS en régime continu, se comporte comme une résistance passante (R_{DSON}), ce qui se traduit par une chute de tension aux bornes du transistor. La résistance à l'état passant est donnée par l'expression suivante :

$$R_{DSON} = \left(\frac{V_{DS}}{I_D} \right)_{V_{DS} \rightarrow 0} \quad (\text{eq. 9})$$

Cette résistance est décomposée en quatre résistances en série correspondant chacune à la résistance des différentes régions, la résistance du canal (R_{ch}), la résistance d'accès (R_a) correspondant à la région située entre les deux cuissons P, la résistance (R_d) correspondant à la région de drift et la résistance (R_{sub}) correspond au substrat (Figure 10).

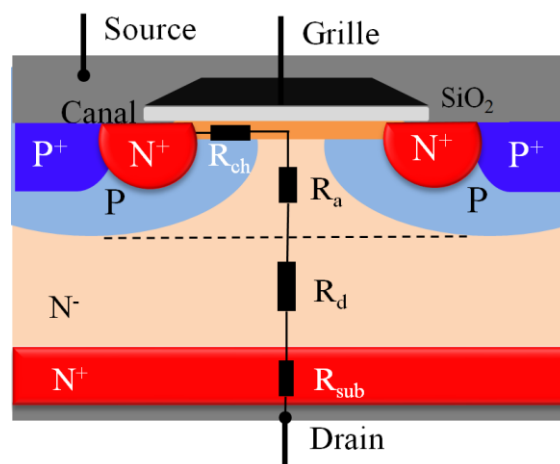


Figure 10 : Principales composantes des résistances d'un MOS.

Un des objectifs des fabricants de composants de puissance est de minimiser les pertes en conduction qui s'exprime en fonction de la résistance du composant à l'état passant :

$$P = V_{DS} \cdot I_D = R_{DS(on)} \cdot I_D^2 \quad (\text{eq. 10})$$

Il est donc nécessaire d'avoir une valeur de résistance faible à l'état passant afin de minimiser les pertes en conduction. L. Théolier a montré que les résistances de canal (R_{ch}) et de substrat (R_{sub}) sont négligeables devant les autres résistances à haute tension. Donc, seulement la résistance du drift (R_d) et la résistance d'accès (R_a) vont influencer sur la résistance à l'état passant. Les expressions de ces résistances sont étroitement liées au dopage et à l'épaisseur de la région N^- [2].

Une idée consiste à augmenter fortement le nombre de cellules MOS mises en parallèle, entraînant une diminution drastique de la résistance. Cependant, le transistor conçu de la sorte présenterait une surface trop importante. Le paramètre le plus important en conduction est donc le produit de cette résistance par la surface active; appelé la résistance passante spécifique « $R_{DS(on)} \cdot S$ », lorsque l'on cherche à comparer des technologies entre elles.

La résistance à l'état passant et la tenue en tension sont étroitement liées, ce qui rend nécessaire de trouver un compromis entre les deux. En effet, la zone de drift assure deux fonctions : elle supporte la quasi-totalité de la tension entre drain et source à l'état bloqué, et elle a un effet résistif à l'état passant.

1.3.4 Les transistors IGBT

1.3.4.1 Structure du transistor IGBT

Les IGBT sont des composants mixtes, dont la structure regroupe un transistor bipolaire et un transistor à effet de champ (MOSFET). D'une façon plus rigoureuse, il est plus approprié de parler d'une utilisation mixte de la propriété bipolaire du transistor et unipolaire du MOSFET (Figure 11-a). La structure d'un IGBT classique a été développée pour fonctionner de manière similaire à un transistor MOSFET en remplaçant la couche N^+ de drain par une couche P^+ (Figure 11-b). Cette couche favorise l'injection des porteurs minoritaires dans la région faiblement dopée N^- dans le but de moduler la conductivité à l'état passant [18]. Les IGBT présentent donc l'avantage d'être commandés en tension à travers une grille isolée et d'avoir une faible chute de tension à l'état passant ($2 \text{ V @ } 100 \text{ A.cm}^{-2}$) ce qui explique leur présence dans de nombreux systèmes de conversion d'énergie. Néanmoins ils possèdent des inconvénients limitant leurs performances (commutation lente, emballement thermique), que les industriels aimeraient se dispenser.

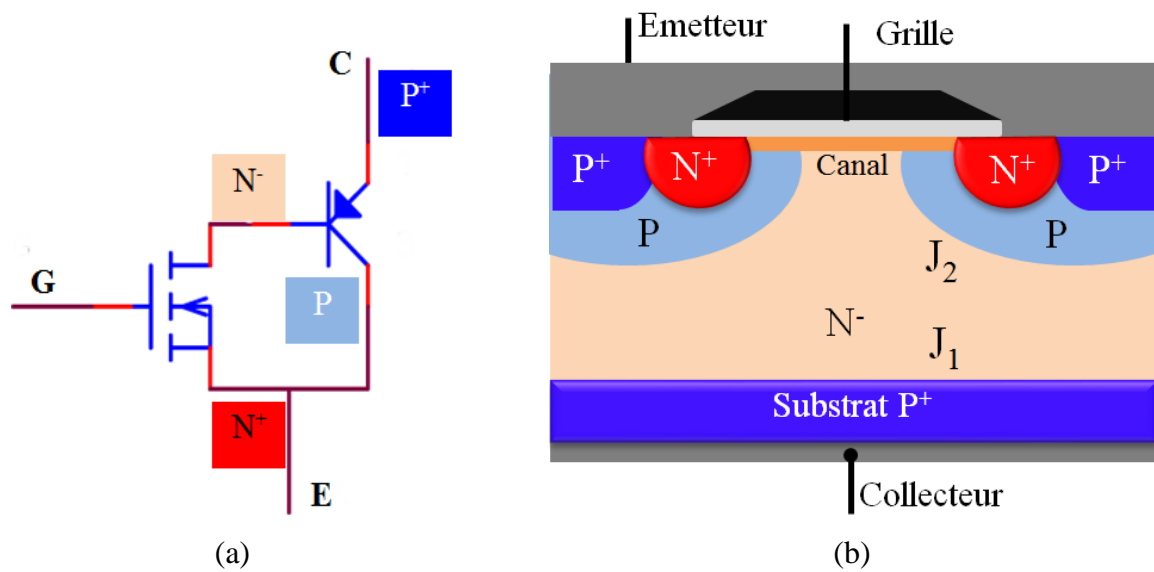


Figure 11 : (a) Schéma électrique équivalent en statique d'un IGBT, et (b) coupe schématique d'un IGBT.

1.3.4.2 Principe de fonctionnement

Le fonctionnement d'un IGBT est similaire à celui d'un MOSFET (1.3.3). Lorsque la tension appliquée entre la grille et l'émetteur est inférieure à la tension de seuil du composant, la couche d'inversion permettant de créer le canal N entre Collecteur et Emetteur ne peut pas être formée, et donc l'IGBT est bloqué. La tension maximale entre collecteur et émetteur est supportée par la jonction J_2 . La zone de charge espace s'étend alors dans la zone N^- , en effet cette dernière a un niveau de dopage beaucoup plus faible que la zone de diffusion P [19].

Par contre, l'application d'une tension entre la grille et l'émetteur supérieure à la tension de seuil du composant, favorise la formation d'une zone d'inversion au-dessous de la grille, court-circuitant ainsi la zone N^+ à la zone faiblement dopée N^- . Un courant d'électron circule dans la zone d'inversion, provoquant l'injection des trous de la couche P^+ (collecteur) vers la zone faiblement dopée N^- . Cette injection va augmenter la conductivité de la zone N^- d'un facteur allant de 3 à 100. Les trous circulent jusqu'à la couche de diffusion P, ils seront alors combinés avec des électrons attirés de l'émetteur par la zone de métallisation.

Le seul composant concurrent à l'IGBT est le transistor MOS de puissance dans les applications de faible puissance. Malgré ses divers avantages (commutation rapide, pas d'emballement thermique), dans les applications haute tension (1200 V), il est handicapé par une grande résistance à l'état passant, ce qui correspond à une chute de tension importante. Donc afin de dépasser la limite conventionnelle des MOSFETS, il a fallu proposer de nouvelles structures.

1.3.5 Objectif des nouvelles structures de composants MOS

Trouver un meilleur compromis entre la résistance à l'état passant et la tenue en tension est devenu un défi dans le domaine de la puissance. Plusieurs structures innovantes, ont été proposées afin de modifier la zone structurale de la région de drift : Le transistor à Super-Jonction, le transistor à déplétion MOS latérale (OBVDMOS) et à îlots flottants (FLIMOS). Théolier [2] a comparé plusieurs transistors qui sont basés sur des structures innovantes (Îlots flottantes, Tranchés, Super-Jonction) afin de déterminer le transistor qui possède le meilleur compromis entre la résistance et la tenue en tension dans le but de proposer une alternative aux IGBTs pour des applications 1200 V. La Figure 12 résume ses travaux.

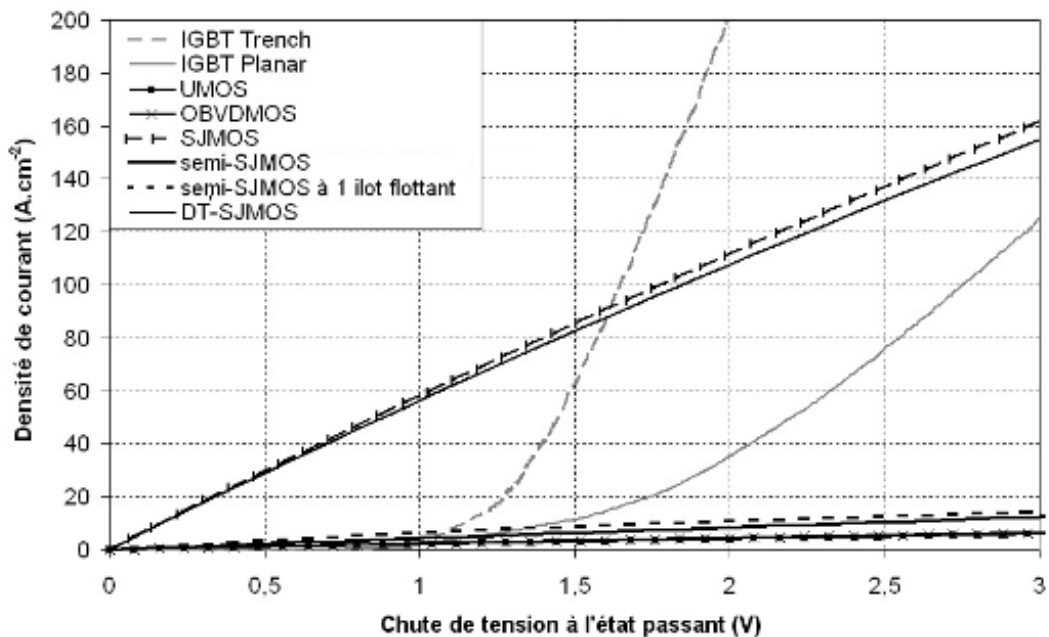


Figure 12 : Caractéristiques de transfert des différents composants [2].

Toutes les structures MOS ne se basant pas sur une Super-Jonction dans l'ensemble de la couche épitaxiée ne peuvent pas concurrencer l'IGBT. Les transistors MOS à Super-Jonction (SJ-MOS) et à tranchée profonde (DT-SJMOS) sont les candidats potentiels pour concurrencer l'IGBT. Par la suite, nous allons présenter leur fonctionnement et les différences entre ces deux structures.

1.3.6 Transistors à base de Super-Jonction

1.3.6.1 Principe de la Super-Jonction

De nombreuses études ont été faites sur le concept de Super-Jonction [20] [21] [22]. Le principe consiste à avoir une zone de charge d'espace constituée d'une succession de régions N et P (Figure 13). Cela signifie que le champ électrique va se développer non seulement

verticalement mais aussi latéralement. Les paramètres géométriques de ces deux couches sont tels que la largeur (W_N et W_P) et le dopage (N_D et N_A) doivent être judicieusement choisis afin d'avoir une balance de charge quasi-parfaite entre ces deux régions. En effet, elles doivent être totalement désertées avant que le champ électrique critique ne soit atteint.

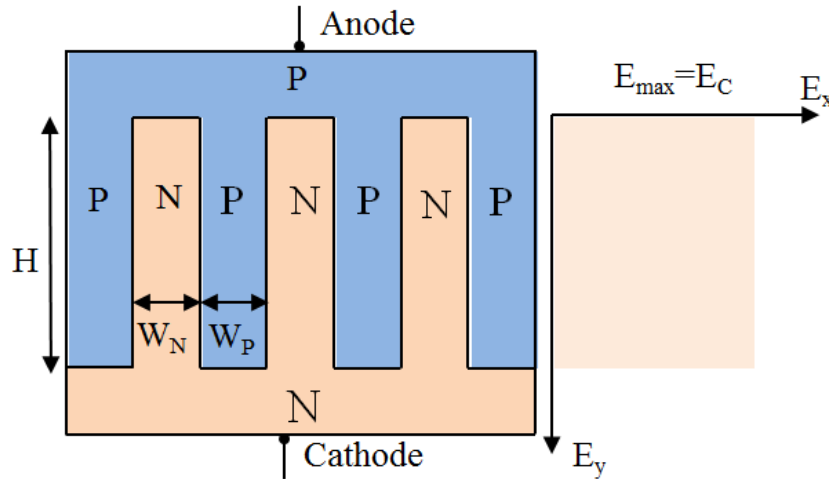


Figure 13 : Coupe schématique de la Super-Jonction.

En appliquant une tension positive à la cathode, puisque la largeur (W) est très inférieure à l'épaisseur (H), les couches N et P se dépeuplent plus vite latéralement que verticalement. La zone de charge espace va donc s'étaler latéralement, ainsi, seule la composante E_x du champ électrique augmente sans dépasser la valeur du champ critique E_C . Dans une deuxième étape, tenant compte de l'uniformité de profil du champ électrique dans tout le volume dû au dépeuplement totale des couches P et N, on peut considérer que ces couches sont équivalentes à un diélectrique. Il apparait donc une relation simple entre la tension appliquée entre la cathode et l'anode (ou drain et source pour un MOSFET) et l'épaisseur de la région de drift [2] :

$$BV_{DSS} = E_y \cdot H \quad (\text{eq. 11})$$

Où E_y est la composante verticale du champ électrique.

Comme pour tous les composants électroniques, la tension de claquage d'un transistor MOS est atteinte lorsque le champ électrique de ce dernier atteint sa valeur critique.

$$BV_{DSS} = E_C \cdot H \quad (\text{eq. 12})$$

E_C est la valeur du champ critique du silicium.

Par conséquent, la tenue en tension dépend uniquement de l'épaisseur de la région de drift (H) et non plus de sa concentration.

1.3.6.2 Super Jonction MOSFET (SJ-MOS)

Le SJ-MOSFET (Figure 14) est basé sur le principe d'un MOSFET de puissance, dans lequel la région N⁻ est remplacée par des couches alternées N et P fortement dopées. Lorsqu'on applique une tension positive entre le drain et la source, le MOS fonctionne exactement comme le principe de la Super-Jonction décrit dans la partie 1.3.6.1.

À l'état passant, la section de conduction est diminuée, en effet dans le cas des MOSFETs verticaux, le courant entre drain et source circule dans toute la surface active, alors qu'il passe seulement par les bandes N dans le cas des MOSFETs à Super-Jonction. Cet inconvénient est réduit par l'augmentation de la concentration des dopants des bandes N, de telle sorte que la résistance passante spécifique « $R_{DS(on),S}$ » de ces nouveaux concepts est très petite par rapport à celle des composants traditionnels [2].

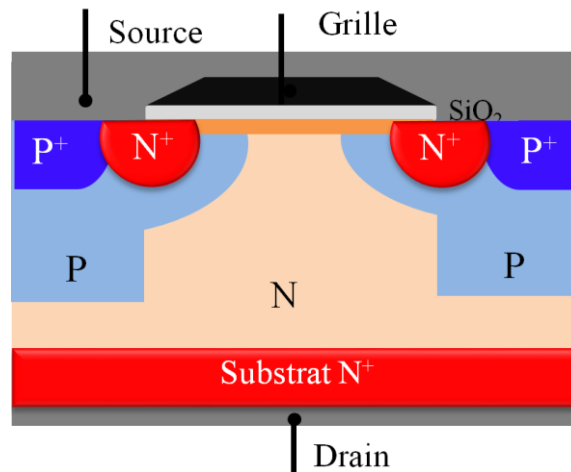


Figure 14 : Coupe schématique d'un SJ-MOSFET.

Avec cette nouvelle structure à Super-Jonction, la limite théorique du compromis $R_{DS(on),S} / BV_{DSS}$ des structures conventionnelles est dépassée. En effet, il existe une limite dans l'optimisation des composants conventionnels modélisée par une équation liant BV_{DSS} et $R_{DS(on),S}$ [2].

$$R_{DS(on),S} (\Omega \cdot cm^2) = 8,9 \cdot 10^{-9} \cdot BV_{DSS}^{2,4} \quad (\text{eq. 13})$$

Fujihira [20] a calculé les limites de performances des nouveaux composants à Super-Jonction en terme de compromis « $R_{DS(on),S} / BV_{DSS}$ ». Dans le cas des structures MOS verticales, il a proposé la relation suivante :

$$R_{DS(on),S} (\Omega \cdot cm^2) = 1,98 \cdot 10^{-1} \cdot W^{\frac{5}{4}} \cdot BV_{DSS} \quad (\text{eq. 14})$$

Avec W , la largeur des tranchées N et P ($W = W_N = W_P$).

La simple comparaison de cette relation avec la limite théorique des composants unipolaires conventionnels [2] montre que, dans le cas des composants MOS à Super-Jonction, la résistance passante spécifique minimale est directement proportionnelle à BV_{DSS} pour les structures verticales, contre $BV_{DSS}^{2,4}$.

1.3.6.3 DT-SJMOSFET (Deep Trench Super Junction MOSFET)

La structure DT-SJMOSFET (Figure 15) a été basée sur plusieurs travaux de recherche [23] [24] [25]. Elle présente le même concept que la Super-Jonction. La principale différence est l'introduction d'une tranchée profonde dans la couche N^- pour réaliser les bandes P nécessaires à l'équilibre de charge. Afin de contrôler la dose diffusée, les bandes P sont réalisées par diffusion de polysilicium dopé bore à travers un oxyde mince. Les tranchées sont ensuite nettoyées et remplies par un diélectrique. Cette méthode de fabrication est la plus simple et la moins coûteuse, comparée à d'autres méthodes se basant sur une succession d'implantations et épitaxie [26], ou sur une gravure profonde suivie d'une croissance épitaxiale [27].

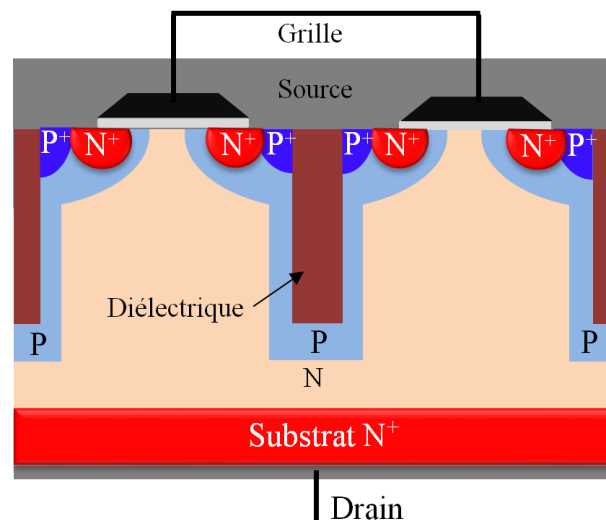


Figure 15 : Coupe schématique d'un DT-SJ-MOSFET.

1.4 Les terminaisons des composants de puissance

1.4.1 Généralités

Afin de distribuer le potentiel sur la plus grande surface de silicium possible, et donc de diminuer le champ électrique à la surface, il est nécessaire de trouver une technique de protection qui étale au mieux latéralement la zone de charge espace. De nombreuses études ont proposé plusieurs techniques de terminaison pour les structures conventionnelles. On peut citer par exemple : les extensions de jonction implantée « Junction Termination Extension »

(JTE), les anneaux de garde « Floating Guard Rings », les plaques de champ « Field Plates », et les couches semi-résistives « Semi Insulating Polycrystalline Silicon » (SIPOS) [28] [29].

1.4.2 Les anneaux de gardes

Cette terminaison a été proposée par Kao en 1967 [30]. Elle consiste à réduire l'intensité du champ électrique en surface en créant un ou plusieurs anneaux entourant la jonction PN principale (Figure 16).

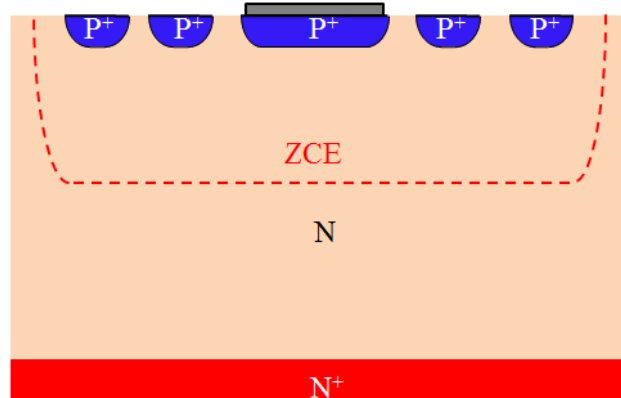
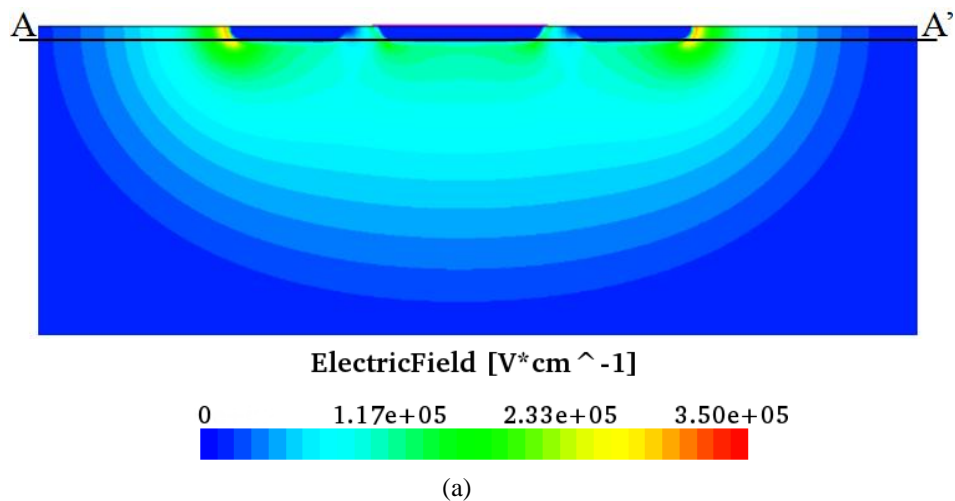


Figure 16 : Coupe schématique d'une terminaison de type anneaux de garde.

En polarisation inverse, les régions P et N de la jonction principale vont être dépeuplées latéralement et verticalement. Lorsque la zone de déplétion atteint le premier anneau fortement dopé avant que le champ électrique critique soit atteint, la distribution des lignes de potentiel est modifiée de façon qu'elles contournent l'anneau. De cette manière, la courbure des lignes de potentielles est allongée, ce qui va retarder le claquage. La Figure 17 (a) présente la distribution du champ électrique dans la structure et la Figure 17 (b) montre le rôle des anneaux de gardes limitant le champ électrique autour de la jonction principale à une valeur inférieure à la valeur critique [29].



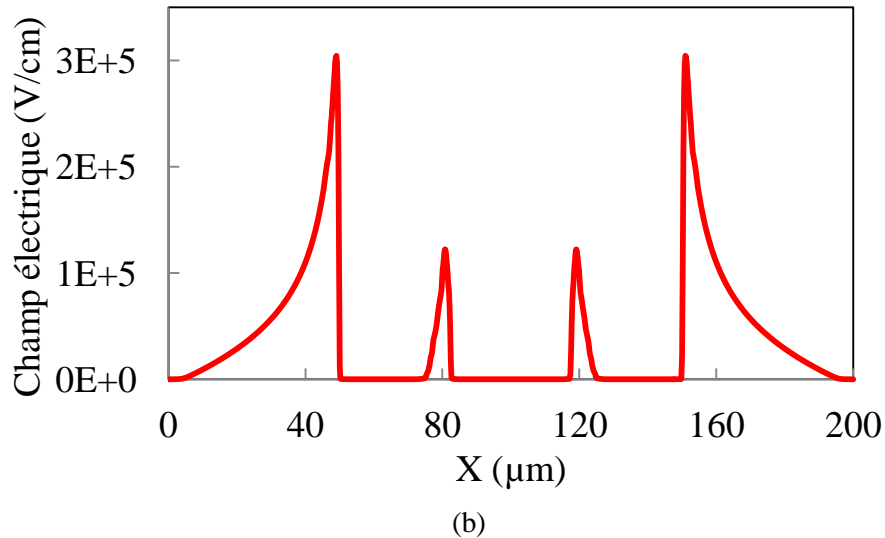


Figure 17 : (a) Distribution du champ électrique dans une diode PN avec des anneaux de garde, et (b) une coupe horizontale du champ électrique suivant l'axe AA'.

Afin que cette technique de terminaison soit efficace, il est nécessaire de maîtriser le nombre d'anneaux de gardes et la distance entre deux anneaux successifs.

1.4.3 La plaque du champ

Elle a été proposée par Grove en 1967 [31], et est basée sur la prolongation de l'électrode de contact placée au-dessus de la jonction principale PN via une couche mince d'oxyde comme illustré dans la Figure 18.

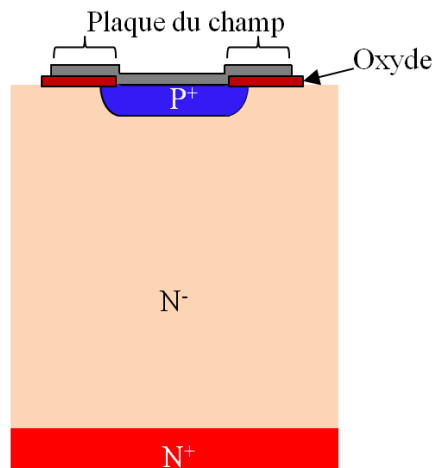


Figure 18: Terminaison de type plaque du champ.

En appliquant une tension négative sur cette électrode, la capacité métal-oxyde-semi-conducteur sera chargée, d'où l'apparition d'une zone de désertion dans le silicium. Ainsi, cette nouvelle zone va étaler latéralement la zone de charge d'espace de la jonction PN principale (Figure 19) [29].

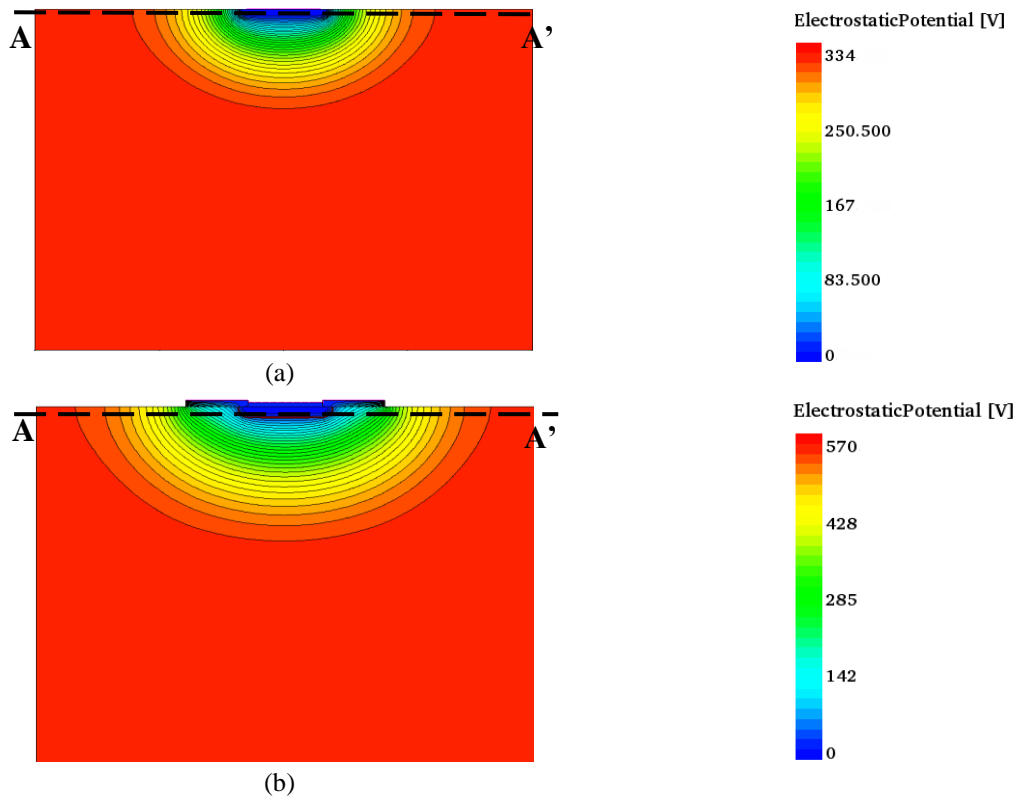


Figure 19 : Distribution des lignes de potentiel dans une diode PN (a) sans, et (b) avec la terminaison de type plaque du champ.

La zone de charge espace sera étirée et contournera l'extrémité de la plaque du champ. Cette prolongation va diminuer l'intensité du champ électrique au niveau de la jonction PN principale améliorant la tenue en tension (Figure 20).

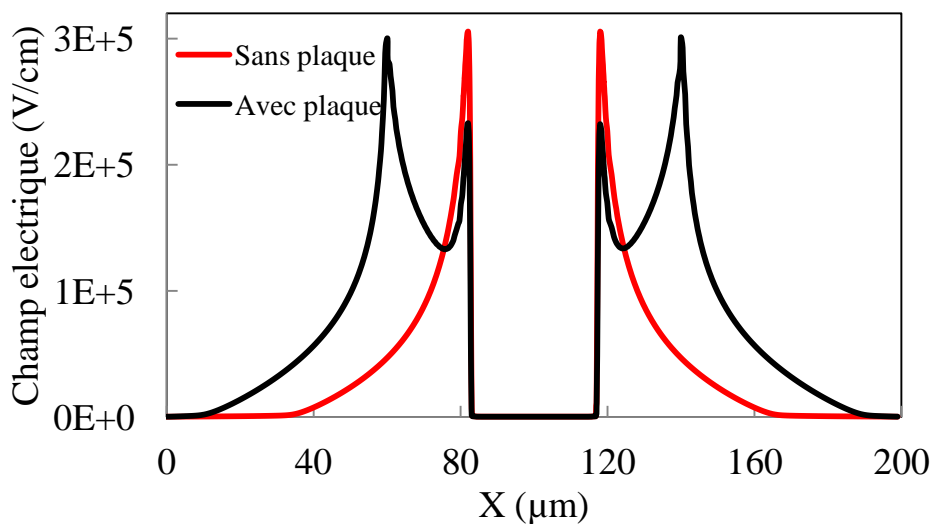


Figure 20 : Coupe horizontale du champ électrique suivant l'axe AA'.

Les paramètres affectant l'efficacité de cette technique de terminaison sont l'épaisseur de l'oxyde et la longueur de la plaque. L'optimisation de la terminaison consiste à choisir ces

deux paramètres pour que le claquage puisse se produire simultanément au niveau de l'extrémité de la plaque du champ et dans la jonction cylindrique principale.

1.4.4 Couche semi résistive : SIPOS

Clark proposa une nouvelle idée en 1972 consistant à ajouter une couche de passivation entre les deux électrodes ayant des propriétés semi-résistives. Le but de cette couche est de répartir le champ électrique de façon homogène au niveau de la surface de la jonction PN dans les dispositifs haute tension. Une couche d'oxyde sur laquelle est déposée une couche de polysilicium assure le contact entre l'électrode haute tension placée en surface et la jonction PN principale afin d'obtenir un potentiel linéaire entre les deux contacts [32]. Malgré la réduction du champ électrique en surface, le courant de fuite généré par le contact ohmique à travers le polysilicium reste élevé. En 1976, Matshusita [33] a introduit la terminaison SIPOS (Semi Insulating Polycrystalline Silicon) pour effectuer la passivation des transistors bipolaires (1200 V).

En 1991, Jaume [34] a proposé la combinaison de la terminaison SIPOS et de la plaque de champ pour des composants de l'ordre de 1000 V (Figure 21).

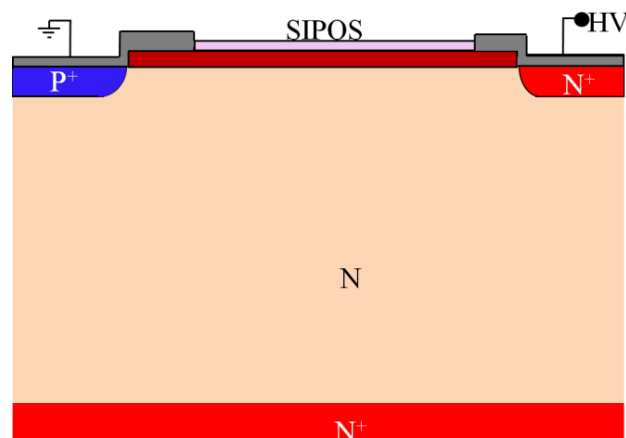


Figure 21 : Combinaison entre la terminaison SIPOS et la plaque du champ.

Les paramètres qui agissent sur l'efficacité de cette structure sont : la distance qui sépare les deux électrodes, la concentration et l'épaisseur de la zone épithaxie N⁺, l'épaisseur de l'oxyde et la longueur de la plaque du champ.

1.4.5 La JTE

L'extension de jonction implantée « JTE » a été proposée par Temple en 1977 [35]. Son principe est basé sur la présence d'une implantation de type P faiblement dopée en surface autour de la jonction PN principale (Figure 22).

La zone de charge espace s'étend d'avantage latéralement et verticalement grâce à la nouvelle jonction implantée.

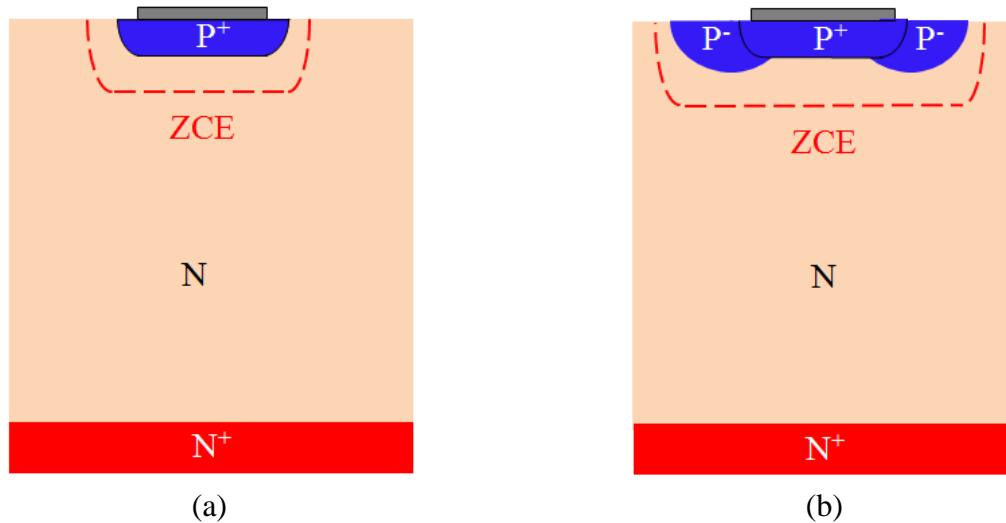


Figure 22 : Diode sans (a) la terminaison JTE et, (b) avec la terminaison JTE.

L'optimisation de cette structure consiste à dépléter totalement la couche P avant que le champ électrique atteigne sa valeur critique. En effet, l'extension de jonction supporte latéralement une partie de la tension appliquée en inverse et éloigne alors d'avantage le seuil de claquage sur les bords de la structure [36].

Malgré l'intérêt de ces techniques (JTE, Anneaux de garde, Plaque du champ, SIPOS), elles ont l'inconvénient de consommer une grande surface pour les dispositifs haute tension.

Avec les nouvelles structures basées sur les Super-Jonctions, le champ électrique est réparti dans tout le volume. Il est donc nécessaire de trouver des terminaisons « volumiques » afin d'étaler également la zone de charge espace en profondeur dans la terminaison. Récemment, la structure de tranchée profonde est devenue l'une des options de conception pour les dispositifs de semi-conducteurs.

1.4.6 Les structures à tranchées profondes

Dans cette partie, nous décrivons les terminaisons volumiques basées sur des tranchées profondes.

1.4.6.1 La T³JTE

La terminaison T³JTE (Trench Termination Technique Junction Termination Extension) est constituée d'une tranchée large et profonde, accompagnée d'une couche P diffusée autour

de la tranchée (Figure 23) qui se comporte comme une extension de jonction implantée (JTE) verticale [29] [37] [38].

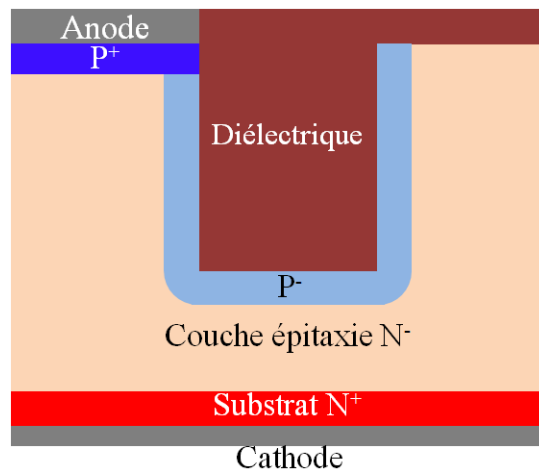


Figure 23 : Coupe schématique de la terminaison T³JTE.

Comme pour la JTE, l'optimisation de cette terminaison passe par la désertion totale de la couche P. En effet, il faut que la zone de charge d'espace contourne le diélectrique afin de repousser les lignes de potentiels, mais la terminaison gagne en efficacité si les lignes de potentiel entre dans le diélectrique.

1.4.6.2 La terminaison DT² adaptée aux Super Jonctions

La terminaison DT² (Deep Trench Termination) a été adaptée à la DT-SJ-diode, et est basée sur le concept de la T³JTE [2]. Elle est constituée d'une large et profonde tranchée recouverte par une plaque de champ en surface, afin d'étirer les lignes de potentiels dans la structure. Ceci évite ainsi une augmentation du champ électrique au niveau de la jonction PN de surface. Dans cette terminaison, la dernière cellule active participe à l'équilibre latéral des charges nécessaire au fonctionnement de la Super-Jonction. Pour cela, il faut avoir la même dose diffusée autour de la tranchée de la terminaison et des cellules actives. De plus, pour que l'équilibre des charges soit respecté, il faut que la distance entre la dernière tranchée de la zone active et la tranchée de la terminaison soit identique à la distance entre deux tranchées successives de la zone active (Figure 24). Avec des dimensions bien définies (largeur de la plaque de champ, largeur et profondeur de la tranchée), il a été démontré que cette terminaison peut tenir une tension égale à la tension d'une jonction plane théorique.

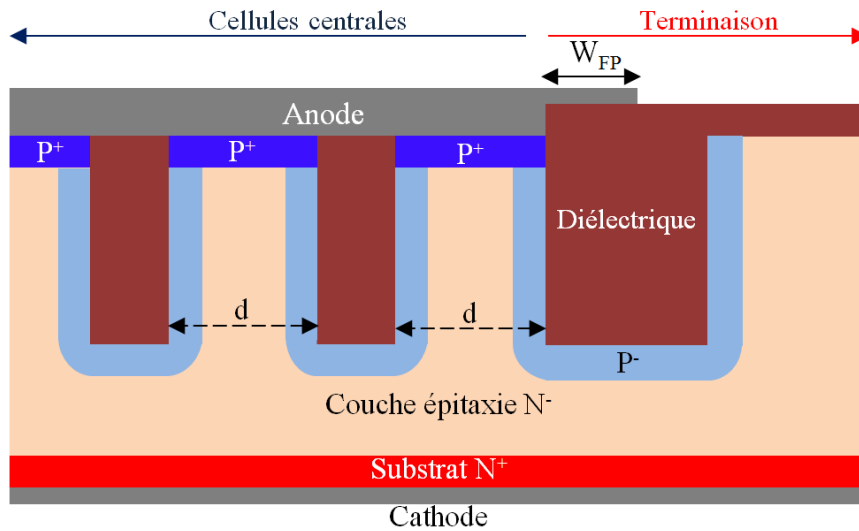


Figure 24 : Coupe schématique de la DT-SJ-diode avec la terminaison DT².

1.4.6.3 La terminaison DT² adaptée aux jonctions planar

Afin de valider cette nouvelle terminaison adaptée aux DT-SJ-diodes, il a été proposé de tester le principe de fonctionnement sur une simple diode PN planar [2]. La tenue en tension théorique de la jonction plane est 1600 V et celle de la terminaison est de 1200 V afin d'en vérifier le fonctionnement. La Figure 25 présente la coupe schématique d'une diode DT². Dans cette structure, la couche P entourant la tranchée de terminaison est retirée. En effet, cette couche est nécessaire dans les structures à Super Junction afin de garantir l'équilibre de charge avec la dernière cellule centrale. Contrairement à la structure T³JTE, il est prévu que les lignes de potentiels entrent dans la terminaison, sans la contourner. Les lignes de potentiel sont donc confinées dans la tranchée de terminaison et remontent en surface, comme pour une structure DT-SJMOS.

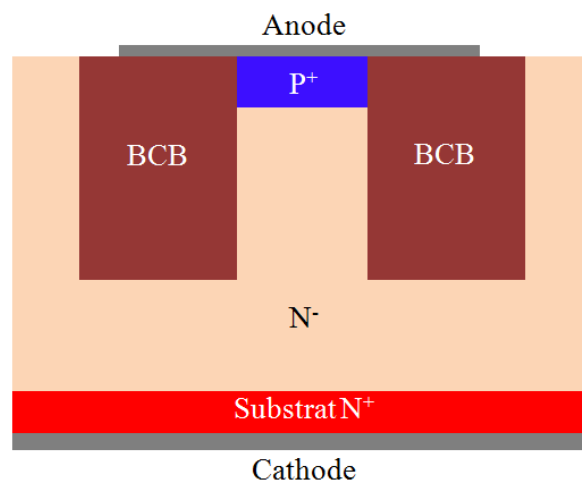


Figure 25 : Coupe schématique d'une diode planar avec la terminaison DT².

La Figure 26 compare la mesure expérimentale avec la simulation réalisée dans le cadre de la validation de la structure [2].

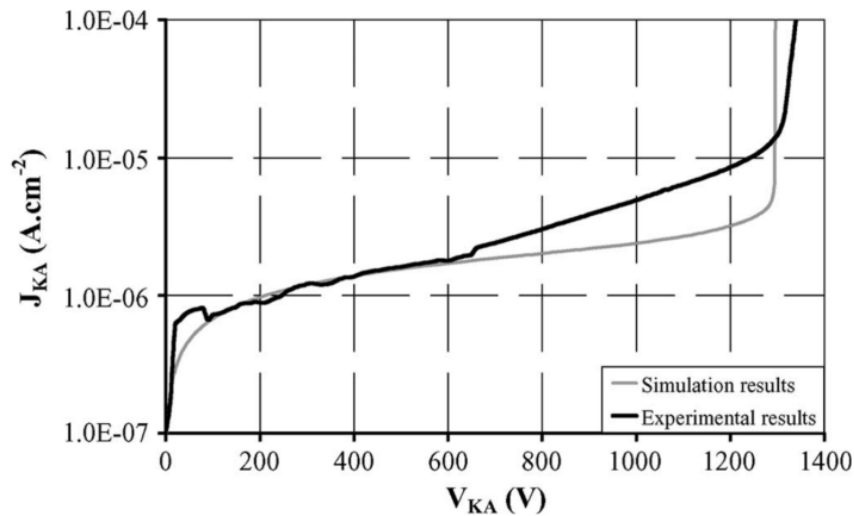


Figure 26 : Comparaison de la caractéristique inverse J (V) de la DT² entre la simulation et l'expérimentation [2].

Comme nous pouvons le voir sur la Figure 26, la bonne correspondance entre la mesure expérimentale et la simulation, ont permis de valider le concept de cette terminaison originale.

La fiabilité et la robustesse de cette nouvelle terminaison n'ont pas encore été étudiées. C'est pourquoi dans cette thèse nous nous intéressons à l'étude de la robustesse de cette terminaison.

1.5 Fiabilité des modules de puissance

Cette partie présente la composition d'un module de puissance. Il est nécessaire de connaître sa composition afin de comprendre le choix de notre véhicule de test.

1.5.1 Définition d'un module de puissance

Un module de puissance est un circuit «électronique constitué de connexions électriques, de puces semi-conductrices, d'isolants et d'un substrat. Les puces semi-conductrices sont reliées entre elles par des fils de câblage et protégées de l'environnement par un boîtier. Ce dernier est normalement encapsulé avec du gel silicone pour minimiser les décharges électrostatiques. Le module de puissance est monté sur un dissipateur thermique afin d'évacuer la chaleur générée par les composants pendant leur fonctionnement [39]. Les modules de puissance sont généralement sous la forme présentée en Figure 27.

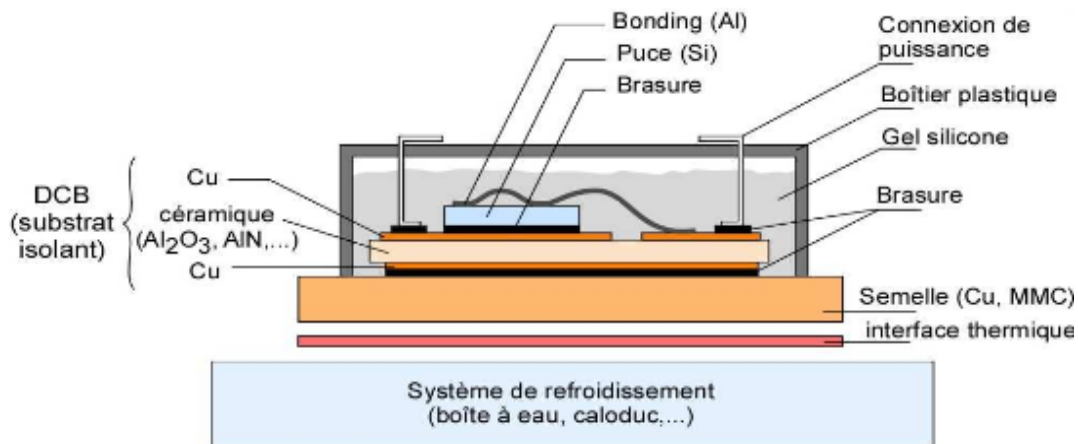


Figure 27 : Représentation schématique d'un module de puissance [18].

1.5.1.1 Les puces semi-conductrices

Les puces semi-conductrices (Figure 28) sont des éléments actifs (IGBT, MOSFET, diode, Transistor..) qui constituent le module de puissance. Elles sont caractérisées par des concentrations de dopage et des dimensions de ses couches qui définissent ses caractéristiques électriques. Elles sont généralement fabriquées en Silicium (Si). Il existe aussi d'autres matériaux pour les applications haute température et haute puissance : Le diamant [40], le carbure de silicium (SiC) [41], et le nitrure de Gallium (GaN) [42]. L'épaisseur d'une puce varie de 100 à 500 μm et ses deux faces sont métallisées par un métal (Or, Cuivre, Aluminium..) : la face avant pour assurer les connexions électriques avec les autres éléments du module et la face arrière pour brasier la puce sur un substrat. Une couche de passivation recouvre la face supérieure de la puce afin de protéger sa surface de l'environnement extérieur, de limiter le courant de fuite et de diminuer le risque de claquage dans l'air [43].

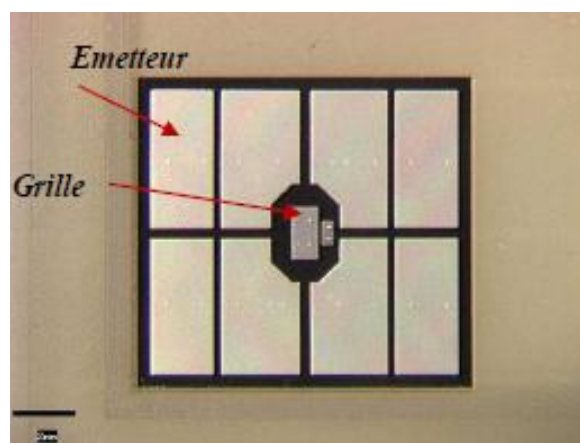


Figure 28 : Puce IGBT NPT Planar 600 V / 200 A [18].

1.5.1.2 Les substrats isolants

Le substrat est un support et isolant électrique placé entre les composants électroniques et la semelle, réalisé en diélectrique organique ou céramique. Il facilite l'évacuation de la chaleur des puces (flux thermique) en dehors du module de puissance, et élimine les pertes générées pendant les phases de conduction et de commutation. Ce support contient des pistes conductrices qui permettent la connexion électrique des composants. On peut le définir comme une couche de transition qui sert à homogénéiser les coefficients de dilatation thermique (CTE) entre la semelle et les puces [44] [45] [46].

Le substrat doit posséder différentes propriétés physiques telle que : un coefficient de dilatation thermique proche de celui des puces et semelles, une faible permittivité diélectrique afin d'affaiblir l'effet des capacités parasites, une bonne tenue contre les chocs thermiques et mécaniques, une rigidité diélectrique élevée pour assurer l'isolation entre la semelle et les composants semi-conducteurs [47] [48]. Il existe différents types de substrats : substrat céramique métallisé (DBC), substrat céramique brasé (AMB), et substrat métallique isolé (SMI).

✓ Substrat céramique métallisé (DBC)

Ce substrat appelé en anglais « Direct Bonding Copper », est constitué par une céramique (oxyde d'aluminium (Al_2O_3) ou nitrure d'aluminium (AlN)), métallisée avec du cuivre sur l'une ou sur les deux faces. L'épaisseur standard de céramique varie de 635 μm à 300 μm et de 150 μm à 300 μm pour la couche de métallisation (Figure 29) [49]. C'est un substrat couramment utilisé dans l'électronique de puissance en raison de ses propriétés intéressantes : une haute conductivité thermique et électrique, une excellente isolation électrique, un coefficient de dilatation thermique proche de celle du silicium, et une faible résistance thermique. Pour les applications haute température, le cuivre est remplacé par l'aluminium. Dans ce cas, le nom du substrat devient DAB : « Direct Aluminium Bonding » [50] [51]. Il possède des caractéristiques électriques et thermiques proche de DBC.



Figure 29 : Schéma d'un substrat céramique métallisé en face avant et face arrière (DBC).

✓ Substrat céramique brasé (AMB)

Appelé en anglais « Active Metal Brazing », sa fabrication repose sur les techniques de sérigraphie. Le report de métal (Cuivre ou Aluminium) est effectué par une brasure de haute

température de fusion (Figure 30). La brasure est constituée d'un alliage Ti/Ag/Cu. L'avantage de ce type de substrat est sa bonne tenue thermomécanique pendant les cyclages thermiques de grande amplitude [46].

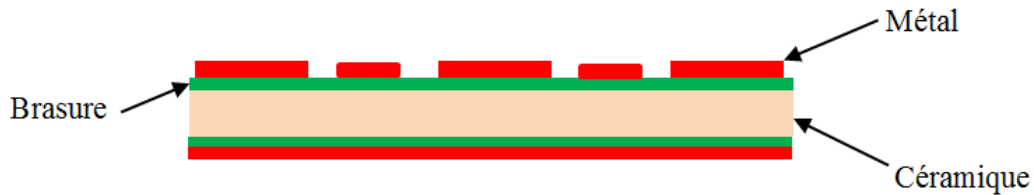


Figure 30 : Schéma d'un substrat céramique brasé (AMB).

✓ Substrat métallique isolé (SMI).

Appelé en anglais « Insulated Metal Substrate », il est constitué d'un support métallique en aluminium ou en cuivre assurant le rôle de semelle, surmonté d'une faible couche isolante (généralement résine époxy 50 à 100 μm) et d'une couche de métal (cuivre) qui varie de 35 μm à 300 μm (Figure 31). Malgré le faible coût de fabrication et la facilité de mise en œuvre des SMI, ils sont rarement utilisés dans les applications dont les contraintes thermiques sont importantes. En effet à partir de 160 °C, la résine époxy perd ses propriétés mécaniques et électriques [49] ce qui rend ce type de substrat sensible aux fortes contraintes thermiques.



Figure 31 : Schéma d'un substrat métallique isolé (SMI).

1.5.1.3 Les Semelles

Dans un module de puissance, les puces sont reportées sur le substrat. Le substrat, à son tour, est reporté sur une semelle via une brasure possédant une température de fusion inférieure à celle entre le substrat et la puce. Ce support assure la liaison entre le module et le refroidisseur. Elle assure également l'évacuation du flux de chaleur générée par les puces, afin d'améliorer le transfert de puissance entre le module et le dissipateur thermique. Parmi les matériaux qui constituent la semelle on peut citer : le cuivre (Cu), l'AlSiC (matrice d'aluminium renforcée par des billes de carbure de silicium), les alliages de cuivre (Cuivre-Tungstène (CuW), Cuivre-Molybdène (CuMo)) [49]. La semelle est principalement utilisée pour les applications moyenne et forte puissance.

Le cuivre est généralement le matériau le plus utilisé pour les applications automobiles et ferroviaires grâce à sa conductivité thermique élevée (380 W / mK), et sa facilité de production. L'AlSiC présente le meilleur candidat pour les applications des systèmes embarqués, grâce à sa faible densité massique qui est de l'ordre de 3 g.cm⁻³ et son module de Young élevé (jusqu'à 290 GPa) [46].

1.5.1.4 Les Brasures

La plupart des connexions entre les différents éléments constituant un module de puissance sont réalisées par des brasures (Puce/Substrat, Substrat/Semelle, Métal/Céramique) [43] [46], dont l'épaisseur varie de quelques dizaines à centaines de micromètres. Ils se présentent comme des liaisons thermiques et mécaniques.

Le processus de brassage se déroule comme suit : d'abord, la pâte à braser est déposée entre les éléments à braser; ensuite l'ensemble est mis à une température au-delà de la température de fusion; enfin après refroidissement, on obtient une liaison métallurgique entre les éléments à braser.

Les brasures sont traditionnellement constituées d'alliages à base de plomb [52] (Figure 32). Depuis quelques années, l'utilisation du plomb a été interdite à cause de sa toxicité [53]. Le choix de l'alliage est basé sur sa température de fusion, il doit y avoir plusieurs critères : une faible résistivité électrique, une bonne tenue mécanique, et une bonne mouillabilité entre les différents interfaces des matériaux du module de puissance [54].

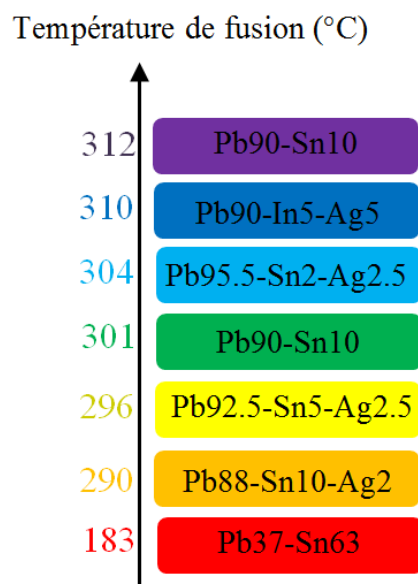


Figure 32 : Température de fusion pour différents alliages à base du Plomb.

1.5.1.5 Les connexions électriques

Il existe deux types de connexions électriques :

- Les connexions internes qui assurent la connexion entre les surfaces des composants et entre la surface d'un composant et le substrat.
- Les connexions externes qui assurent la transmission des signaux de puissance et de commande du module de puissance vers l'extérieur.

✓ *Les connexions internes*

Le processus de collage du fil de câblage est un processus d'assemblage électronique qui permet la connexion électrique entre la puce (IGBT, MOSFET, diode...) et des substrats avec des fils fins appelés « wire bonding » [55]. L'objectif est de réaliser une connexion à faible résistance avec une bonne tenue mécanique et une grande fiabilité. Les fils de connexion ont un diamètre variant de 20 μm à environ 500 μm selon la densité de courant qui traverse la puce. Ils sont réalisés avec des matériaux qui possèdent une conductivité électrique élevée (l'argent, l'or, l'aluminium, le cuivre). L'aluminium est le métal le plus couramment utilisé grâce à son faible coût de production par rapport aux autres matériaux.

Il existe deux techniques de câblage permettant de réaliser les connexions électriques entre les puces et les substrats : le « wedge bonding » et le « ball bonding » [56]. Pour la première technique, un fil (généralement en aluminium) est amené par l'outil (aiguille ou stylet). Ce dernier descend vers la surface de sorte que le fil est pressé entre la puce et la pointe de l'aiguille à température ambiante. Une onde ultrasonore est appliquée et le résultat est une connexion de type « Wedge Bonding ». Le fil est ensuite guidé par l'outil sur le second plot et une soudure est effectuée [57]. La Figure 33 décrit le processus de câblage par « Wedge Bonding ».

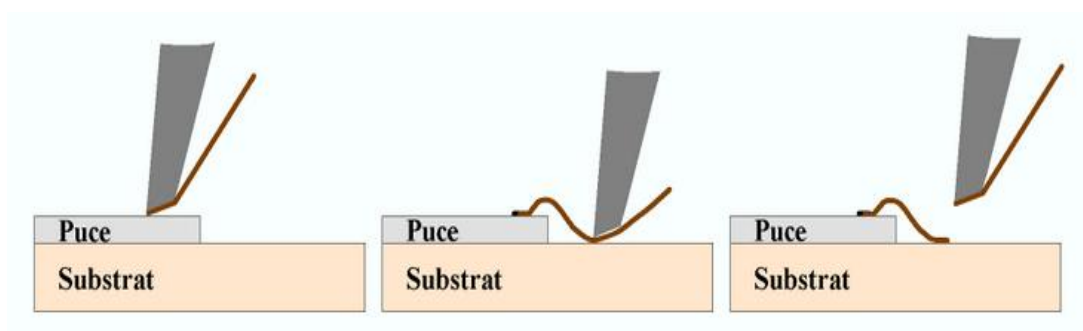


Figure 33 : Séquence d'un câblage : « Wedge Bonding » [57].

Pour la deuxième technique, le fil (en or) est passé à travers un capillaire chauffé afin de faire fondre son extrémité pour former une boule sur le plot à souder. L'outil de fixation (capillaire) se déplace suivant un chemin de trajectoire spécifique pour former une boucle de

fil qui ramène à la deuxième connexion. Ensuite, il descend pour souder la seconde extrémité à travers un procédé thermosonique. Le fil est arraché par le capillaire, puis une nouvelle connexion peut être effectuée. La Figure 34 décrit les différentes étapes du processus de câblage par « Ball Bonding » [57].

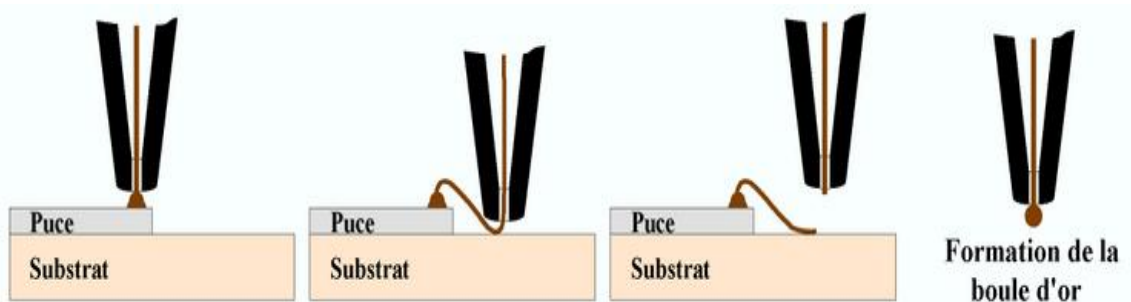


Figure 34 : Séquence d'un câblage : « Ball Bonding » [57].

Une autre technologie consiste à remplacer les fils de câblages par un ruban, afin d'éviter l'utilisation de plusieurs fils en parallèle, et d'avoir la possibilité de câbler des composants qui possèdent une forte densité de courant. Elle a pour avantages, de baisser le coût de fabrication, de diminuer les inductances parasites, d'améliorer la productivité du processus et de renforcer la fiabilité du module (Figure 35) [50].

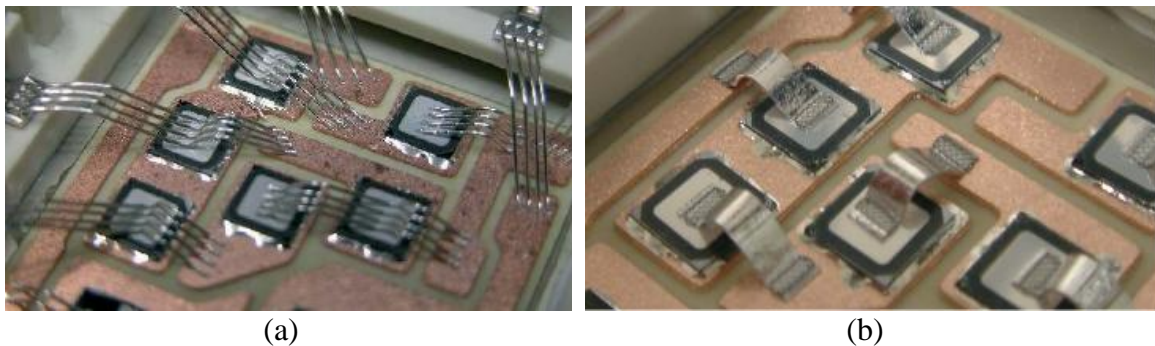


Figure 35 : (a)Fils de Bonding et (b) Ruban de Bonding.

✓ *Les connexions externes*

La connexion entre le module de puissance et l'extérieur est réalisée via des connecteurs brasés sur la métallisation du substrat (Figure 36). Une nouvelle solution consiste à remplacer les brasures par des connecteurs intégrés aux boîtiers, et des fils de câblage assurent la liaison entre ces connecteurs et le module de puissance [53].

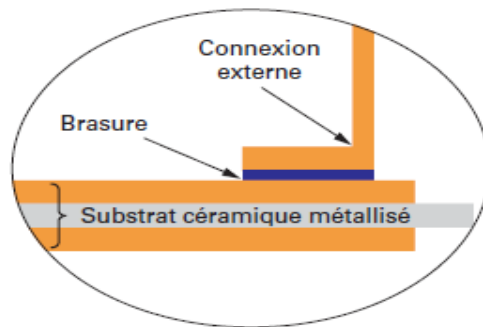


Figure 36 : Coupe schématique d'un connecteur externe brasé [53].

1.5.1.6 Les systèmes de refroidissements

Les systèmes de refroidissements servent à maintenir le module de puissance à un niveau de température plus faible que la température critique de chaque élément. Les systèmes de refroidissement peuvent être des radiateurs ou des systèmes à eau, fixés sur la semelle des modules de puissance.

1.5.1.7 Encapsulation

Avant la fermeture du boîtier, le module de puissance est recouvert par un gel encapsulant (Figure 37) pouvant être en époxy, en parylène, en silicone ou en polyimide. Il assure l'amélioration de sa tenue diélectrique et la protection des composants de puissance à semi-conducteurs contre l'arc de l'air, l'humidité, les chocs mécaniques, les gaz et les contaminants chimiques qui peuvent impacter la durée de vie du module. Le gel sert aussi à éviter des décharges partielles résultantes des défauts dans la métallisation du substrat [58].

Les gels encapsulant doivent posséder des caractéristiques bien spécifiques : de bonnes propriétés électriques pour l'isolation électrique entre les électrodes, mécanique et surtout une bonne tenue thermique entre $-50\text{ }^{\circ}\text{C}$ et $+200\text{ }^{\circ}\text{C}$, aussi qu'une grande pureté et une faible perméabilité à l'humidité et aux gaz [48].



Figure 37 : Module de puissance rempli de gel silicone [49].

1.5.1.8 Les Boitiers

Après l'assemblage des différents éléments constituant le module de puissance, l'ensemble est fermé dans un boîtier réalisé dans un matériau polymère ou métallique (Figure 38). Ce dernier assure le rôle d'un support mécanique, mais également pour protéger l'ensemble contre les changements environnementaux, la pollution, les produits chimiques présents dans son environnement proche. Il doit avoir une faible résistance thermique afin d'assurer le transfert de chaleur entre le module et l'environnement [43] [59].

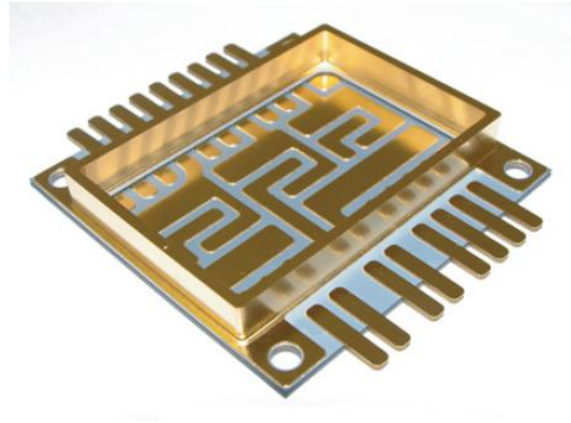


Figure 38 : Boîtier vide sans leur couvercle supérieur pour modules de puissance [43].

1.5.2 Défaillance des modules de puissance

1.5.2.1 Définitions

Selon la norme AFNOR, la fiabilité d'un système ou d'un dispositif est son aptitude (la probabilité) à accomplir sa mission pendant une période de temps donnée et dans des conditions d'emploi et d'environnement bien spécifiques.

Une défaillance est la cessation d'un dispositif à accomplir sa fonction à un instant donné, c'est le passage de l'état de fonctionnement à l'état de dysfonctionnement à cause d'une dégradation d'origine mécanique, électrique ou même chimique [60].

En se basant sur des analyses statistiques et en utilisant la fonction de fiabilité, on peut définir un taux de défaillance $\lambda(t)$ qui présente la vitesse de variation de la fiabilité d'un composant en fonction du temps, et qui détermine la probabilité de l'apparition d'une défaillance à un instant donné au cours de son utilisation. L'expression du taux de défaillance est donnée par l'équation suivante :

$$\lambda(t) = \frac{f(t)}{R(t)} \quad (\text{eq. 13})$$

$f(t)$ représente la densité de probabilité de défaillance, et $R(t)$ la fonction de fiabilité.

La Figure 39 présente l'évolution du taux de défaillance d'un système en fonction du temps. Cette courbe est connue sous le nom « courbe en forme de baignoire ». Selon la durée de fonctionnement du système, on peut définir trois différents types de défaillances : Défaillance précoce, aléatoire et d'usure.

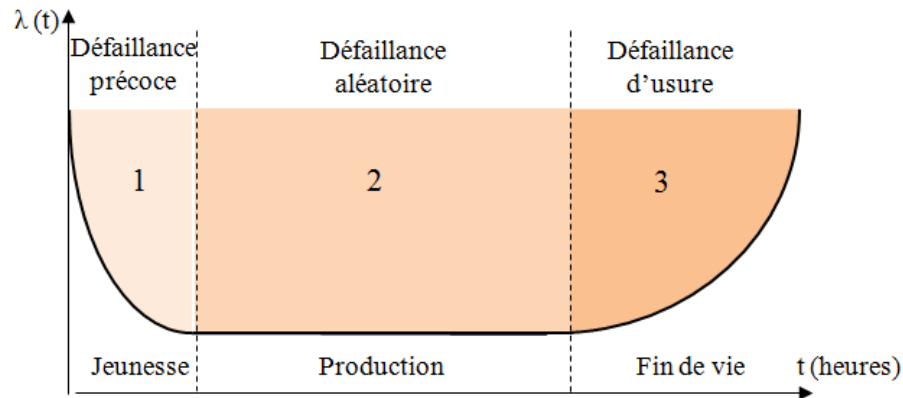


Figure 39 : Taux de défaillance d'un dispositif en fonction du temps.

La période de défaillance précoce « 1 » caractérise la période de jeunesse du dispositif. Le taux de défaillance diminue avec le temps d'utilisation. Ce type de défaillance résulte généralement d'un défaut généré pendant la procédure de fabrication (Figure 40), d'un mauvais transport, ou d'une mauvaise utilisation du dispositif pendant les premiers mois.

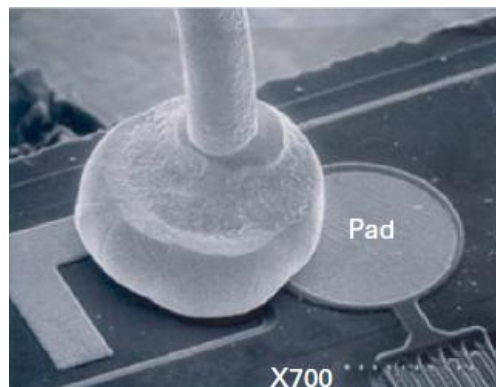


Figure 40 : Défaillance de jeunesse : mauvais alignement du pied de câblage [53].

La période de défaillance aléatoire « 2 » caractérise la période de production. Le taux de défaillance est constant et faible. Il est donc indépendant de la durée d'utilisation sous contrainte du dispositif.

La période de défaillance d'usure « 3 », caractérise la partie du vieillissement ou la fin de durée de vie du composant (Figure 41). Le taux de défaillance s'accroît avec la durée

d'utilisation. C'est le cas du vieillissement du produit, correspondant à la zone de détermination de sa durée de vie.

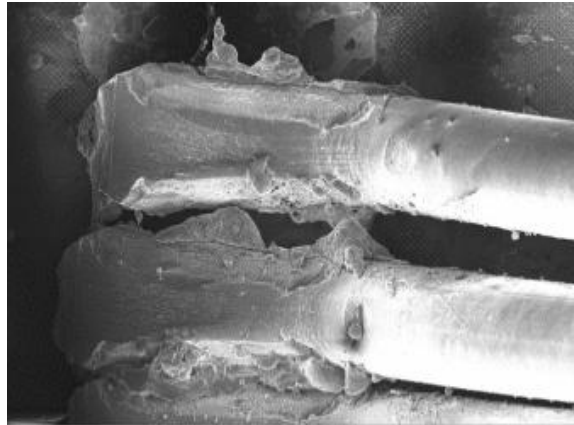


Figure 41 : Défaillance d'usure : décollement et déplacement du fil de câblage [18].

1.5.2.2 Tests de Vieillessement accéléré

Pendant la durée de vie d'un composant, ce dernier est soumis à des variations de températures provenant de l'environnement ou de l'auto-échauffement du composant lui-même, ce qui va agir sur son propre fonctionnement et donc sur sa fiabilité.

En raison de l'importance de cette durée de vie face à l'évolution de la technologie des composants de puissance, une estimation sur cette dernière en se basant seulement sur un retour d'expériences est insuffisante. En effet, c'est une étude coûteuse et difficile à mettre en œuvre. Une solution alternative consiste à intégrer des tests de vieillissement (fatigue thermique) qui accélèrent les contraintes imposées aux modules de puissance de sorte à provoquer les mêmes défaillances pouvant être observées lors d'une application réelle et qui nous amène à la qualification du composant [61] [62].

Ces tests de vieillissement accéléré sont utilisés afin de déterminer ou estimer la durée de vie des composants. Le principe consiste à minimiser le temps d'expérience en accélérant les mécanismes de défaillances sur une période de temps très court par rapport à la réalité tout en respectant l'aire de sécurité du composant. Ce genre de test est réalisé par deux types de cyclage : Actif et Passif.

✓ Cyclage Actif :

Appelé en anglais « Power Cycling », ce type de vieillissement est utilisé afin de reproduire les contraintes thermiques générées par l'auto-échauffement dû à la dissipation de puissance du composant lui-même pendant son fonctionnement (commutation et conduction) [62].

✓ Cyclage Passif :

Appelé en anglais « Thermal Cycling », ce type de vieillissement est utilisé afin d'étudier l'effet des conditions environnementales réelles sur le module de puissance (variation de température en vol, changement du jour à nuit...). Ici les changements de température sont issus d'une source extérieure au module de puissance : les composants sont mis dans une enceinte thermique.

Il existe deux types de profil de cyclage assurant la fonction de vieillissement par cyclage passif :

✓ Cyclage thermique passif en variation rapide de température (VRT) :

Ce type de cyclage permet d'effectuer des cycles thermiques chaud / froid dans une seule chambre climatique, avec des pentes de variation de température rapides et contrôlées.

✓ Cyclage de type choc thermique passif :

Ce type de cyclage permet de varier rapidement la température du module de puissance en le déplaçant entre deux chambres climatiques de températures différentes.

1.5.3 Conséquence des tests de vieillissement

Les cyclages actifs et passifs engendrent des dégradations au sein du module de puissance. Ils sont principalement liés à l'assemblage du composant dans son boîtier ou à la puce elle-même.

1.5.3.1 Reconstruction de la métallisation

Les couches de métallisation des puces semi-conductrices sont soumises à des contraintes électriques, chimiques et thermomécaniques, pouvant conduire à plusieurs types de dégradations, affaiblissant les performances du composant. La Figure 42 présente une comparaison entre l'état de la métallisation de l'émetteur d'un IGBT avant et après un cyclage actif. Nous pouvons observer le glissement des grains et des fissures qui se propagent au niveau de la couche de métallisation, ce qui va fragiliser les connexions et augmenter la résistance de métallisation [63] [64] [65]. Ce phénomène est appelé la reconstruction de la métallisation.

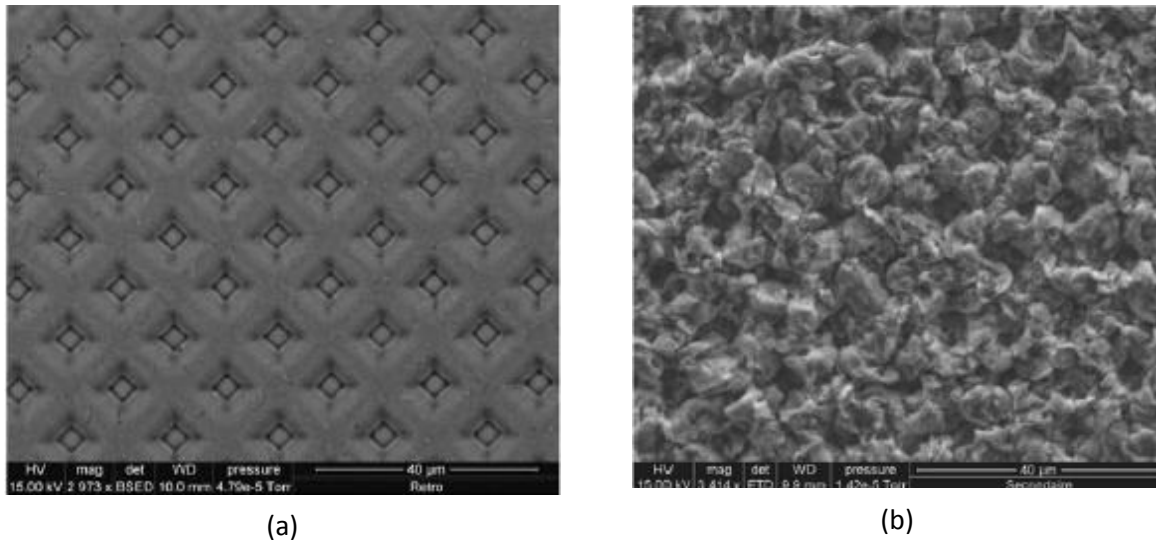


Figure 42 : Dégradation de la métallisation d'émetteur d'un IGBT (a) avant, et (b) après cyclage actif [63].

1.5.3.2 Dégradation des fils de câblage

La dégradation des fils de câblage est l'une des principales causes de la défaillance des modules de puissance [50] [66] [67]. Lorsque la puce est soumise à des variations de température, la différence de coefficient de dilatation thermique (CTE) entre l'aluminium et le silicium va imposer des contraintes mécaniques au niveau de l'interface puce avec le fil de câblage. Ces contraintes vont créer une dégradation qui commence par l'apparition de fissures au niveau du contact avec la métallisation. Ensuite, elles se propagent et conduisent au décollement complet du fil de câblage [18]. De plus, la dissipation de puissance dans les puces et l'auto-échauffement des fils va entraîner une variation de température au niveau des fils eux-mêmes, pouvant être responsables de l'apparition de fissures au niveau des pieds de fil de câblage (Figure 43).

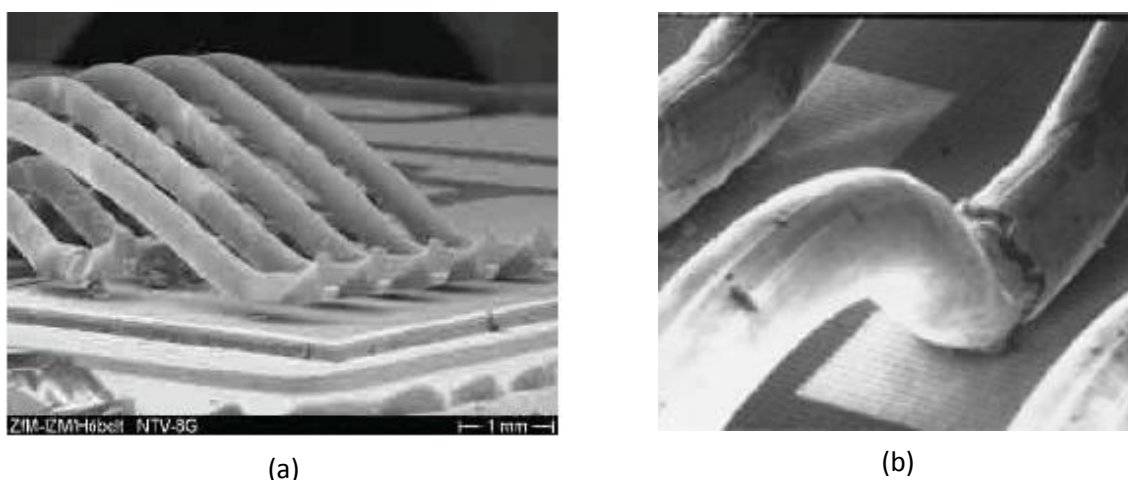


Figure 43: Dégradation d'un module de puissance (a) par levé des fils de câblage [67], et (b) par fissuration du fil de câblage [50].

1.5.3.3 Dégradation de la brasure

L'endommagement des joints de brasures résulte principalement de l'accumulation des contraintes mécaniques dans la brasure dû à la différence de CTE entre la puce, la semelle et le substrat. Ces contraintes mécaniques engendrent progressivement des fissures dans la brasure, jusqu'au délaminage et ensuite la défaillance totale du module (Figure 44) [68].

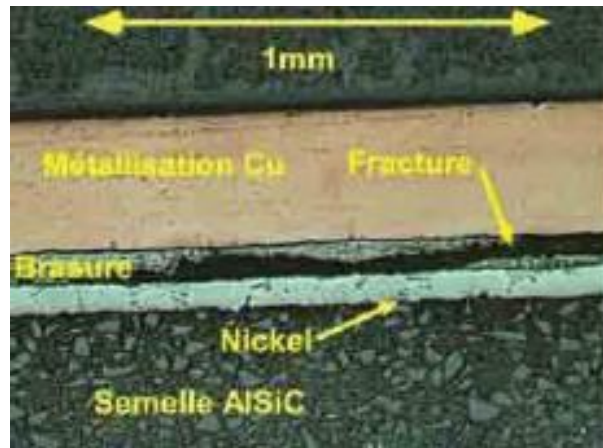


Figure 44 : Exemple d'une fissure de la brasure entre la semelle et le DCB [68].

1.5.3.4 Dégradation au niveau du substrat

Les variations du profil de température entraînent un phénomène d'écrouissage du cuivre du DCB. Les contraintes dans ce dernier vont augmenter jusqu'à atteindre la limite de rupture de la céramique et créer des fissures dans celle-ci. Ces fissures se propagent dans la céramique en augmentant la résistance thermique de l'assemblage et diminuant la tenue diélectrique de la céramique [18] [68].

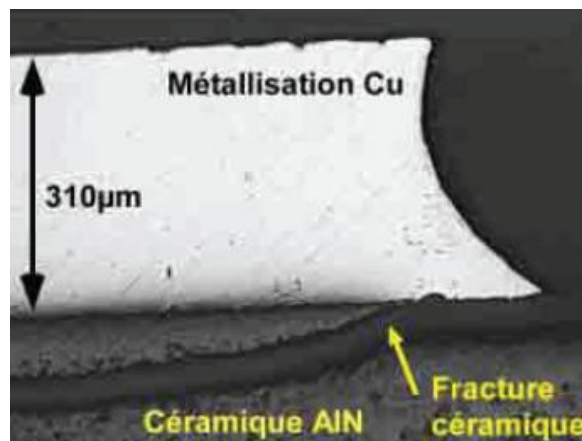


Figure 45 : Exemple d'une fissure dans la céramique [68].

1.6 Conclusion

Dans ce chapitre, nous avons présenté des composants de puissance unidirectionnels en tension tel que l'IGBT, et le MOSFET. Ce dernier est handicapé par sa résistance à l'état passant, ce qui implique une chute de tension importante par rapport aux composants bipolaires (l'IGBT). Dans ce contexte, de nouveaux concepts ont été proposés dont l'idée commune est la modification structurelle de la zone N⁻ destinée à supporter la tension inverse. Parmi ces concepts, nous citons : les SJ-MOSFET et les DT-SJ-MOSFET. Ces nouveaux composants nécessitent la présence d'une terminaison adaptée permettant la remontée des lignes de potentiel en surface. La terminaison DT² a été proposée pour accompagner les transistors DT-SJMOSFET, et des diodes planar 1200 V ont été réalisées afin de valider le concept. L'étude de la robustesse de cette terminaison est essentielle afin de déterminer la fiabilité des diodes, dès les phases de conception. Pour cela, nous avons détaillé la composition d'un module de puissance afin d'en connaître sa composition et de comprendre le choix de notre véhicule de test à venir. Nous avons également mis en avant les différents modes de défaillances et leurs conséquences respectives.

Les chapitres suivants auront pour objectifs l'étude de la robustesse par des tests de vieillissement accéléré, leur analyse et la validation des phénomènes observés par simulation à éléments finis.

Chapitre.2. Tests de vieillissement accéléré et de suivi électrique

2.1 Introduction

Dans le cadre de la qualification de la diode à tranchée profonde (DT²), des tests de vieillissement accéléré et de suivi électrique ont été réalisés dans le but d'évaluer sa fiabilité et sa robustesse au cours de son fonctionnement.

Dans ce chapitre, nous commençons par présenter le type de vieillissement qui a été adopté pour notre étude et les profils de température choisis. La diode DT² a été reportée sur un substrat DBC (Direct Bonded Copper) en utilisant le procédé de frittage de pâte d'argent afin d'être en mesure de caractériser le vieillissement du composant et non de l'assemblage lui-même. En effet, nous intéressons seulement à la caractérisation de la puce et non à celui de l'assemblage. De plus, il sera intéressant de confirmer que la présence des tranchées dans la structure ne fragilise pas la résistance mécanique de la puce suite au procédé d'assemblage, et de montrer la faisabilité d'intégrer cette nouvelle technologie dans les futurs assemblages de puissance. Dans un second temps, les véhicules de test ont été soumis à un vieillissement accéléré afin de confirmer la stabilité électrique de cette terminaison. Des analyses optiques ont été effectuées afin de fournir une explication aux variations observées liées au vieillissement. Les observations optiques ont montré des délaminages à l'interface Silicium / BCB (Si / BCB) et des fissures au coin de la terminaison.

A la fin de ce chapitre, un suivi des caractéristiques électriques a été réalisé afin de tester la stabilité de ces nouveaux composants au cours de leur fonctionnement.

2.2 Présentation du vieillissement accéléré choisi

Le but de cette thèse est d'étudier le comportement de la terminaison DT² lorsqu'elle est soumise à des contraintes thermomécaniques environnementales. Nous avons donc choisi une méthode de caractérisation de la fiabilité des véhicules de tests en utilisant un cyclage passif de type choc. Les profils de température retenus ont été définis pour caractériser la fiabilité des assemblages par rapport aux demandes de l'industrie de l'automobile (-40 °C / +125 °C, paliers de 30 minutes). Les variations de température sont ultrarapides, cette variation s'effectue par passage alternatif d'une chambre froide à une chambre chaude. La Figure 46 donne le profil de température du vieillissement passif retenu.

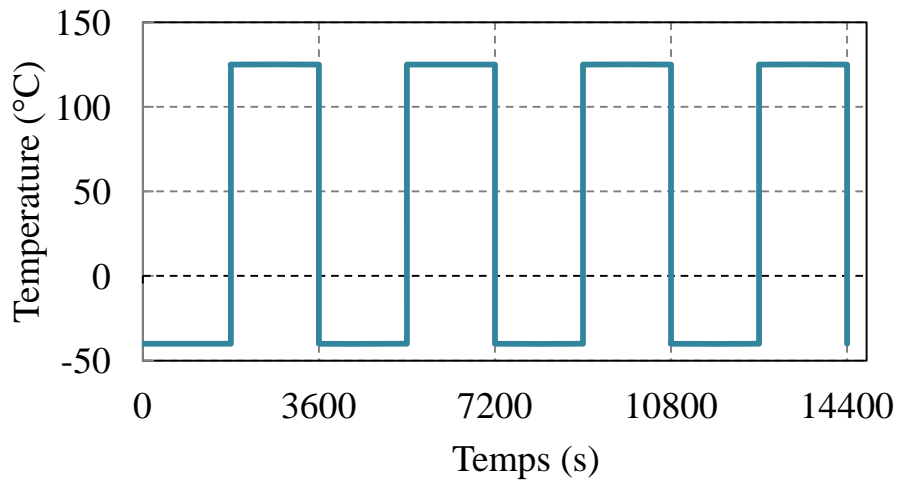


Figure 46 : Profil de température du vieillissement passif retenu.

Ces tests de vieillissement ont été réalisés au sein du laboratoire IMS. Le cyclage thermique est effectué dans une enceinte thermique avec deux chambres climatiques indépendantes (Climats série CTr) assurant ainsi la transition entre les deux paliers de température (Figure 47). Une nacelle intégrée dans l'enceinte sur laquelle les véhicules de test sont placés, se déplace rapidement d'une chambre à l'autre, suivant le profil défini précédemment. Ainsi, cette enceinte permet de réaliser le vieillissement passif souhaité de type chocs entre -40 °C et +125 °C avec un cycle de 60 minutes (30 minutes par palier).



Figure 47 : Enceinte climatique Climats série CTr.

2.3 Présentation du véhicule de test

La première partie présente la motivation du choix du BenzoCycloBytène (BCB) pour le remplissage des tranchées par le laboratoire LAAS, ainsi qu'une description de la terminaison innovante DT². La deuxième partie décrit la méthode choisie pour reporter la puce sur un substrat.

2.3.1 Présentation de la diode DT²

2.3.1.1 Choix du diélectrique pour le remplissage des tranchées

Le choix du diélectrique utilisé pour remplir la terminaison a été fait suivant le critère de facilité de réalisation des terminaisons. En effet, plusieurs matériaux ont été testés pour remplir les terminaisons.

✓ Remplissage des tranchées avec de l'oxynitride.

Le premier diélectrique testé était l'Oxynitride (SiON). Le remplissage a été fait par la méthode LPCVD (Low Pressure Chemical Vapo Deposition). La Figure 48 présente le résultat de remplissage.

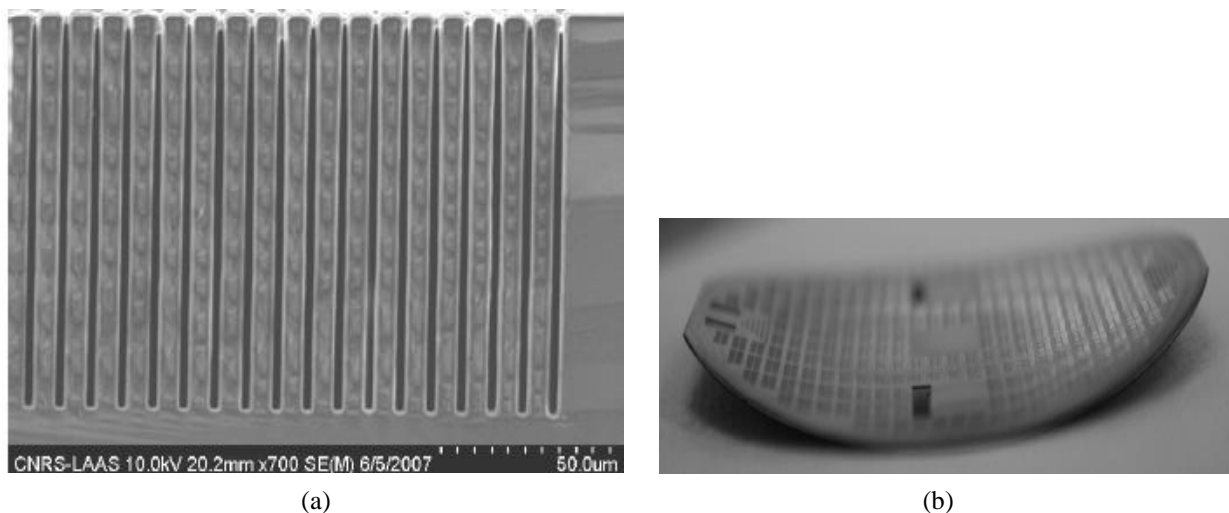


Figure 48 : (a) Image du remplissage des tranchées des cellules élémentaires par SiON, (b) image d'une plaquette de silicium après remplissage des tranchées par SiON (2).

Les résultats n'ont pas été satisfaisants. En effet, la formation de bouchons au niveau du haut des tranchées a empêché ces dernières d'être remplies complètement (Figure 48 (a)). De plus ce type de dépôt provoque une déformation importante de la plaquette de silicium par contraintes mécaniques. Cette déformation est principalement due à une contrainte résiduelle en tension de la couche SiON déposée (Figure 48 (b)). En raison de cet inconvénient, les recherches d'amélioration de process technologique n'ont pas été poursuivies.

✓ Remplissage des tranchées avec du Spin On Glass 500F

Le second diélectrique étudié est la résine SU-8, communément utilisée pour la réalisation des MEMS. La Figure 49 présente le résultat de remplissage des tranchées par SOG.

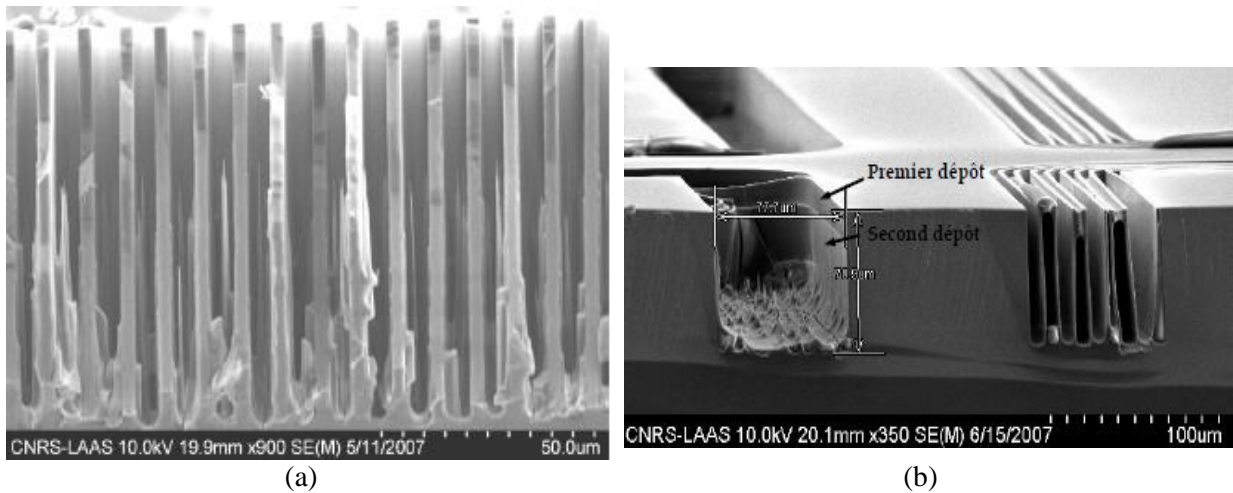


Figure 49 : Observation MEB (a) des tranchées centrales, et (b) de la tranchée de terminaison après remplissage par SOG à 500 tr/min [2].

L'utilisation du SOG ne permet pas le remplissage complet de la tranchée de la terminaison. En effet, comme montre la Figure 49 (a), ce diélectrique recouvre seulement les parois de la tranchée et ne remplit pas complètement les tranchées. Plusieurs dépôts consécutifs de résine ont été effectués afin d'augmenter l'épaisseur du diélectrique. Cette initiative n'a rien résolu comme montre la Figure 49 (b).

Pour résoudre ce problème, l'équipe avait essayé de diminuer la vitesse de la tournette d'un facteur 5. La Figure 50 montre le résultat obtenu.

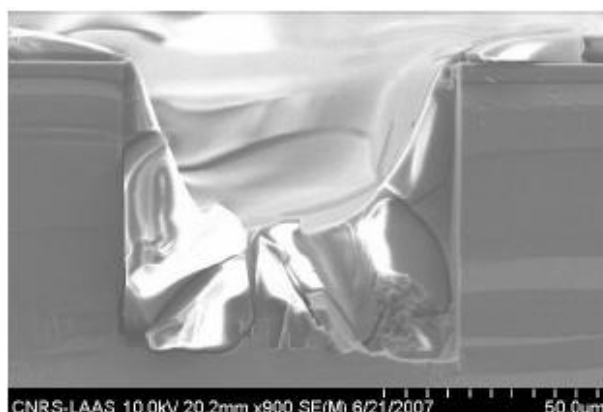


Figure 50 : Observation MEB de la tranchée de terminaison remplie par SOG à faible vitesse de rotation [2].

Le fait de diminuer la vitesse de rotation de la tournette permet de garder du SOG dans les tranchées, mais avec l'apparition de fissures dans le SOG après refroidissement. En général,

ce type de résine est utilisé dans les couches fines et de faible épaisseur. Ne pouvant pas modifier la géométrie des tranchées pour limiter les contraintes, ce matériau de remplissage a été abandonné.

✓ **Remplissage des tranchées avec du BenzoCycloButene**

Des études ont démontré la possibilité d'utiliser le BenzoCycloButene (BCB) dans des couches de passivation dans le « Wafer Level Chip Package Scale processus » (WLCSP) [69], et les couches inter-métaux dans le domaine de la microélectronique [70]. Ce type de résine est utilisé aussi dans la conception des capteurs d'humidité [71] et dans le remplissage des couches d'épaisseurs supérieures à 10 μm , en raison de sa faible constante diélectrique et sa bonne stabilité thermique. La Figure 51 présente le résultat du remplissage de la tranchée de terminaison réalisé avec une seule étape.

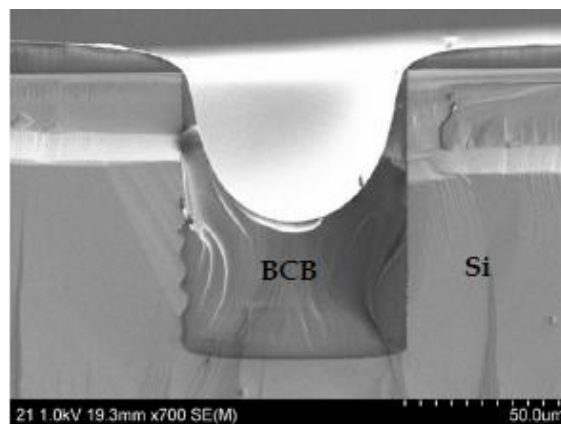


Figure 51 : Remplissage incomplet de la tranchée de terminaison avec un seul dépôt de BCB [2].

La tranchée de terminaison n'étant pas remplie complètement. Il a été proposé de remplir la tranchée par deux dépôts successifs de BCB. La Figure 52 présente le résultat obtenu après un remplissage complet avec deux dépôts de BCB.

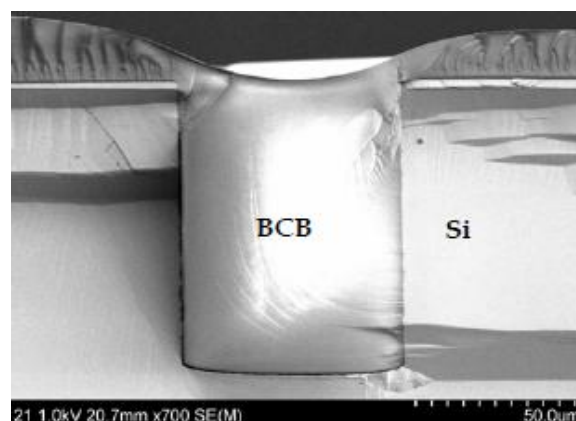


Figure 52 : Remplissage complet de la tranchée de terminaison avec deux dépôts de BCB [2].

La Figure 53 présente une image MEB des tranchées de la terminaison et des cellules élémentaires remplies complètement avec du BCB. Aucune fissure ou remplissage incomplet ne peut être observé dans les tranchées. Ainsi, ce type de matériau possède des propriétés qui permettent de remplir des tranchées de faibles et grandes épaisseurs sur une profondeur de l'ordre de 100 μm .

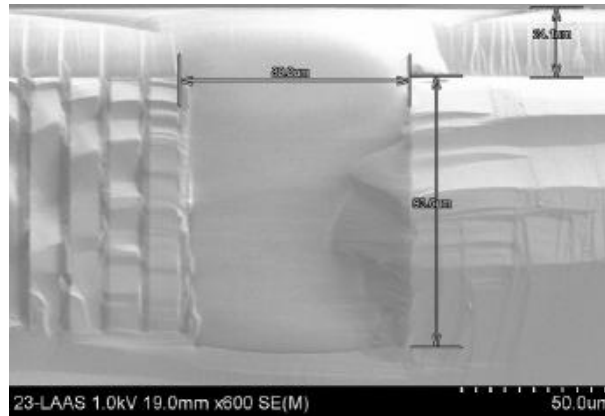


Figure 53 : Image MEB de tranchées fines et large remplies complètement [2].

2.3.1.2 Présentation de la diode DT^2 utilisée

Le substrat utilisé est un substrat de type N possédant une concentration égale à 10^{14}cm^{-3} . Notre plaquette de silicium est composée de 120 puces, fabriquée en 2008 au LAAS, et stockée dans une salle blanche pendant 5 ans (Figure 54). Nous avons récupéré cette plaquette de silicium en mars 2013. La plaquette comporte plusieurs puces qui sont déjà abimées et cassées. Dans notre étude, nous avons opté pour les meilleures puces restées intactes, ce qui a été difficile à effectuer. En effet, 85 % des puces présentent déjà des délaminages à l'interface Si / BCB et des fissures dans le BCB. Ces puces seront présentées et étudiées ultérieurement.

Chaque puce mesure 7,73 mm et 3,23 mm. Elles sont composées de 12 diodes différentes chacune. Pour chaque diode, la terminaison est réalisée de manière différente (Gravure profonde, spirale..). La largeur de la tranchée de terminaison varie d'une diode à une autre, afin de tester son impact sur la tenue de tension. Par contre, la largeur de la plaque de champ est constante et égale à 40 μm . La Figure 55 présente une vue de dessus de la puce composée de 12 diodes différentes.

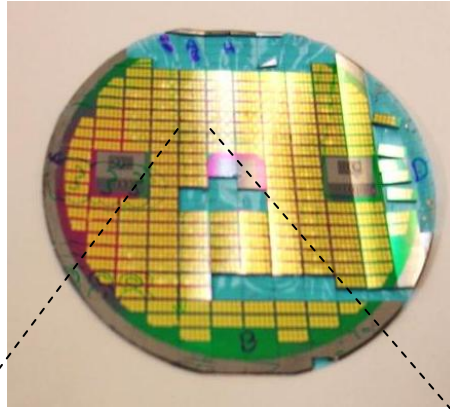
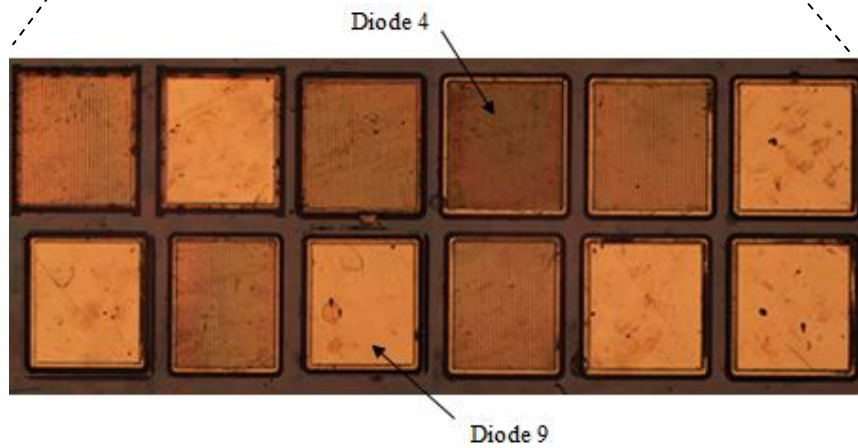


Figure 54 : Image de la plaquette de Silicium.

(a)



(b)

Figure 55 : Vue de dessus de la puce composée de 12 diodes différentes.

Notre intérêt s'est focalisé seulement sur deux diodes : la diode 4 et la diode 9. En effet, les autres diodes ont des terminaisons incomplètes, ne permettant pas de faire des caractéristiques électriques [2]. Le point commun entre les deux diodes 4 et 9, est la tranchée de la terminaison remplie par du BCB. Les deux tranchées ont été réalisées en une seule étape et ont une ouverture de masque de $72\ \mu\text{m}$ de large. La seule différence, est que la diode 4 possède des tranchées fines et profondes dans toute sa zone active en prévision de la réalisation de composants à Super-Jonctions. La Figure 56 présente une vue de dessus des deux diodes 4 et 9. Nous pouvons observer que pour les deux diodes, la zone active est encerclée par une tranchée de BCB et que la métallisation de la surface est en or. Les composants en notre possession ont une surface active d'un millimètre carré.

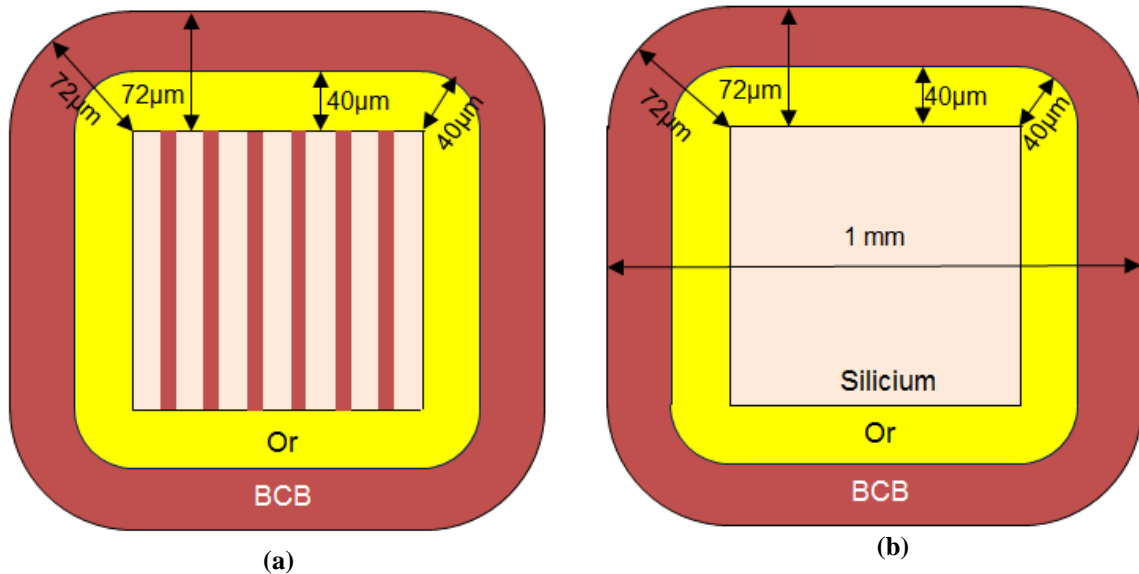


Figure 56 : Vue de dessus de (a) la diode 4, et (b) de la diode 9.

Pour la suite de notre étude, nous avons choisi seulement la diode numéro 9 pour étudier sa fiabilité et sa robustesse. En effet, nous avons rencontré quelques difficultés au niveau du câblage des fils de connexions de la diode 4 vers le substrat. Pour comprendre l'origine du problème et la différence des deux diodes, nous avons analysé l'état de surface (rugosité) des deux diodes à l'aide d'un profilomètre optique à une haute résolution : ALTISURF 500 (Figure 57).



Figure 57 : Profilomètre ALTISURF 5000.

La Figure 58 présente la rugosité de surface de la puce entière composée de 12 diodes différentes. Nous remarquons l'existence des défauts sur la surface des diodes 1, 3,4, 8, et 10.

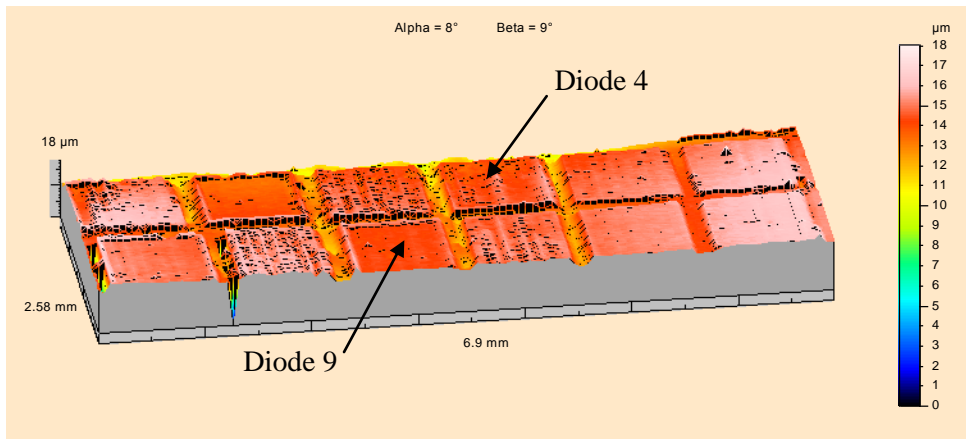


Figure 58 : Representation 3D de la rugosité de surface de la puce entière.

La Figure 59 montre une reconstruction 3D de la rugosité de surface de la diode 4. Nous observons que les couleurs varient du bleu à l'orange soit de 1 µm à 4 µm en hauteur relative. Le bombement central explique le fait que nous ne puissions pas poser le fil de connexion.

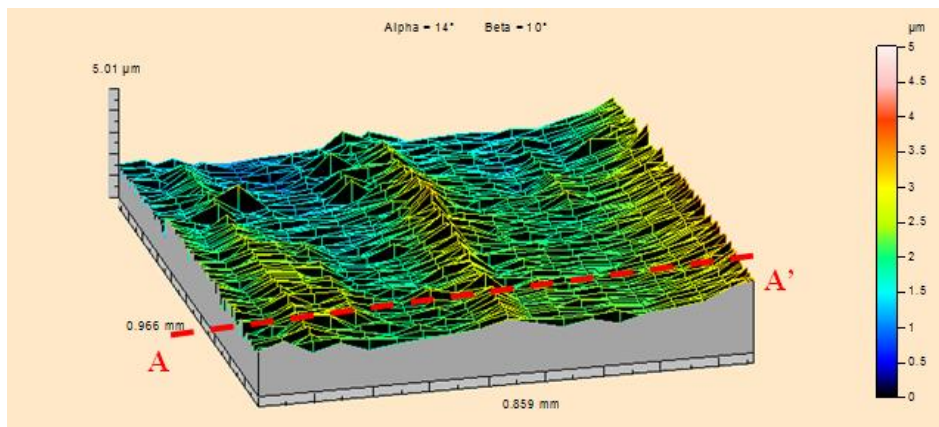


Figure 59 : Representation 3D de la rugosité de surface de la diode 4.

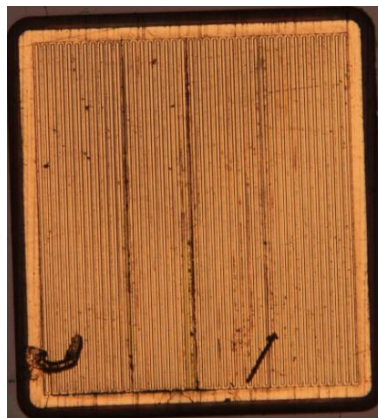


Figure 60 : Observation optique de la vue de dessus de la diode 4.

Une coupe de profil de la rugosité, suivant l'axe AA' de la Figure 59, a été réalisée sur la Figure 61. Comme nous pouvons le voir, il est possible d'observer en partie les tranchées fines présentées dans la zone active (Figure 60). Cette coupe, à plus haute résolution, confirme les observations précédentes.

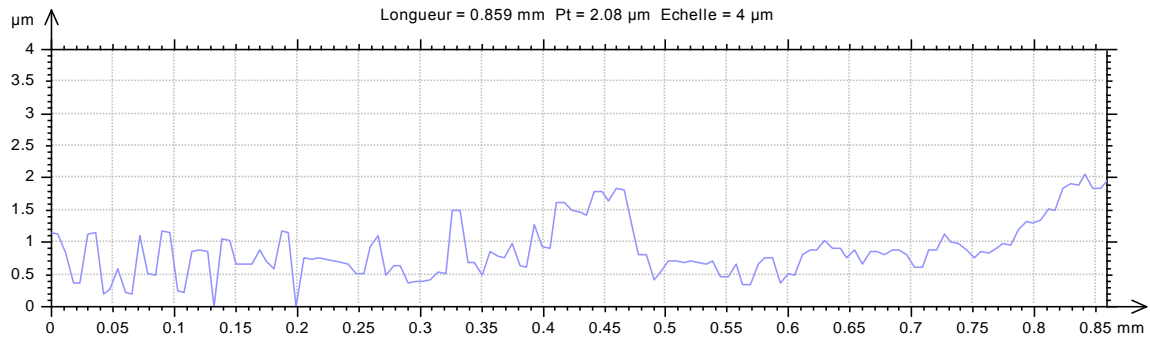


Figure 61 : Le profil mesuré de la rugosité de surface de la diode 4.

Le fait de ne pas pouvoir poser un fil de câblage sur la diode 4 est incompatible avec une industrialisation de ce type de puces. Il est donc nécessaire d'améliorer le procédé de polissage. Ceci nous a également empêché de travailler sur ce type de composant.

Par contre, nous observons sur la diode 9 (Figure 62) que la rugosité de surface est très faible comparée à celle de la diode 4. Cela rend le câblage du fil d'interconnexion possible à réaliser.

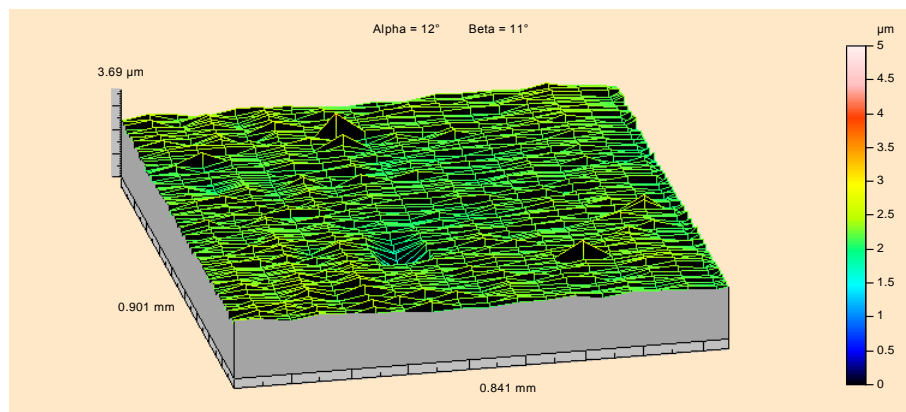


Figure 62 : Représentation 3D de la rugosité de surface de la diode 9.

La Figure 63 présente une vue de coupe de la diode 9 retenue pour l'ensemble de notre étude. La diode est composée d'une large et profonde tranchée remplie par du BenzoCycloButène (BCB) et recouverte par une plaque de champ en surface. L'épaisseur de la puce est de 500 µm, la largeur de la tranchée est de 72 µm, sa profondeur est de 110 µm, la plaque de champ mesure 40 µm et la métallisation est faite en or. Il est important de rappeler que la jonction PN plane peut tenir en théorie une tenue en tension de l'ordre de 1600V, mais

que la terminaison a été dimensionnée pour tenir 1200V afin de vérifier son fonctionnement et sa fiabilité.

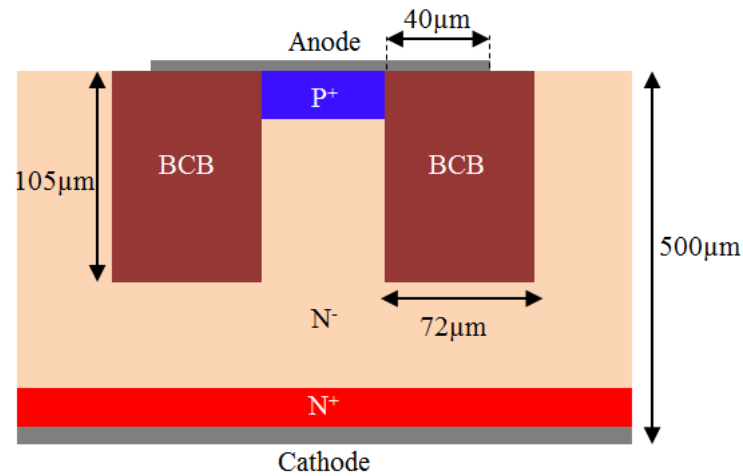


Figure 63 : Coupe schématique de la structure de la diode DT².

2.3.2 Report de la puce sur le substrat

Afin de caractériser les diodes, il était nécessaire de reporter celles-ci sur des substrats. Le choix des matériaux de l'assemblage doit permettre de caractériser la diode au cours du vieillissement accéléré sans altérer celle-ci.

2.3.2.1 Généralités

La plupart des puces semi-conductrices de puissance sont reportées sur des substrats via des brasures, qui sont généralement constituées de plomb. Dans le processus d'assemblage, la brasure est placée entre les deux surfaces métalliques à assembler. Une température est appliquée pour chauffer l'alliage de brasure. Lorsque l'ensemble est refroidi, un joint de brasure est formé, joignant ainsi les deux surfaces métalliques.

En raison de la toxicité de ces brasures, et dans le but d'augmenter la température de fonctionnement et surtout la durée de vie et la tenue en cisaillement des assemblages, de nombreuses études ont proposé de remplacer ces brasures à base de plomb. Une technologie récente consiste à reporter la puce par frittage de pâte d'argent, ce qui permet d'avoir une meilleure conduction thermique entre la puce et le substrat et des tenues en cisaillement optimisées.

La technique du frittage d'argent a été choisie comme étant la technique de report la plus résistante et la plus efficace disponible au laboratoire IMS. En effet, nous ne voulons pas qu'une défaillance relative au report affecte le comportement propre aux diodes DT².

2.3.2.2 Report de la puce par frittage de pâte d'argent

✓ Le frittage de pâte d'argent

Le frittage est un processus longtemps utilisé pour les poteries. Il est défini comme étant l'agglomération de pâtes sous une pression et une température inférieure à la température de fusion du matériau, formant ainsi un matériau cohérent et compact.

Actuellement, le procédé de frittage apparaît comme étant une solution pour dépasser les limites des joints de brasure plomb pour les applications de puissance à haute température. Il a été développé dans les années 90 par Khunert et Schwarzbauer dont le but est de trouver de nouvelles techniques d'assemblage pour les modules de puissance [72]. Parmi les matériaux utilisés pour le report par frittage, on trouve l'argent. Celui-ci possède de nombreux avantages : une bonne conductivité thermique et électrique et surtout, il n'est pas toxique et peu sensible à l'oxydation. Cette nouvelle technologie d'assemblage avec la pâte d'argent offre une alternative intéressante à la technologie de brasage. En effet, en plus des propriétés électriques, thermiques et mécaniques de l'argent massif supérieures à celle des brasures et de sa température de fusion élevée (961 °C), de nombreux travaux ont démontré les avantages qu'apporte le frittage de pâte d'argent nanométrique dans le cadre de la réalisation d'un assemblage de puissance [73] [74].

Généralement, une pâte d'argent est principalement constituée par des micro ou nano particules d'argent, elle contient aussi :

- Un liant : cela permet d'avoir une pâte cohésive, et qui facilite ainsi son application par sérigraphie.
- Un dispersant : il enrobe toutes les particules d'argent constituant la pâte et les sépare les unes des autres.
- Un diluant : cette substance sert à rendre la pâte visqueuse.

✓ Procédure expérimentale

Le laboratoire IMS s'est doté d'un savoir-faire sur le frittage de pâte d'argent nanométrique et micrométrique. Les puces semi-conductrices sont donc reportées sur des substrats en utilisant un procédé d'assemblage par frittage de pâte d'argent simple, rapide et reproductible en trois étapes présenté en Figure 64.

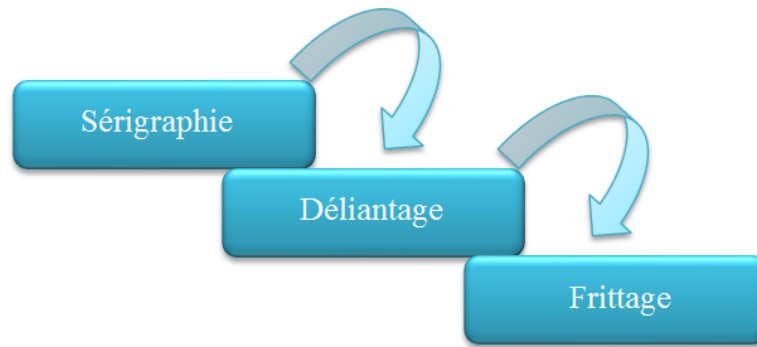


Figure 64 : Étape d'obtention d'un assemblage fritté.

La sérigraphie est une technique ancienne de report de motif (imprimerie) sur un substrat. Elle est largement utilisée dans l'industrie car elle permet le dépôt de la pâte/ crème sur de faibles épaisseurs. Elle permet d'obtenir des dépôts d'argent reproductibles et d'épaisseurs constantes sur toute la surface.

Le déliantage est une étape préliminaire au frittage qui permet l'évacuation des différents additifs (solvants, liant, diluant) qui enrobent les particules à fritter. Cette étape est nécessaire pour préparer le frittage car elle évite la formation de défauts dans l'attache.

Après l'élimination de tous les additifs par déliantage, l'ensemble est donc prêt pour être fritté. La température de frittage doit être inférieure à la température de fusion du matériau et supérieure à la température de déliantage. Durant cette étape, les grains commencent par se réarranger dans des positions plus stables. Ceci contribue à une augmentation globale de la densité. Au cours de réarrangement des particules, il existe une augmentation du contact inter particulaire, ce qui permet la formation de pores entre les particules. Par la suite, les pores deviennent instables et sont pincés les uns des autres, ce qui conduit à l'étape finale de frittage. La dernière étape comprend l'élimination des pores. Cette étape se caractérise également par la croissance des ponts entre les particules, favorisant ainsi la baisse du taux de porosité (Figure 65) [75].

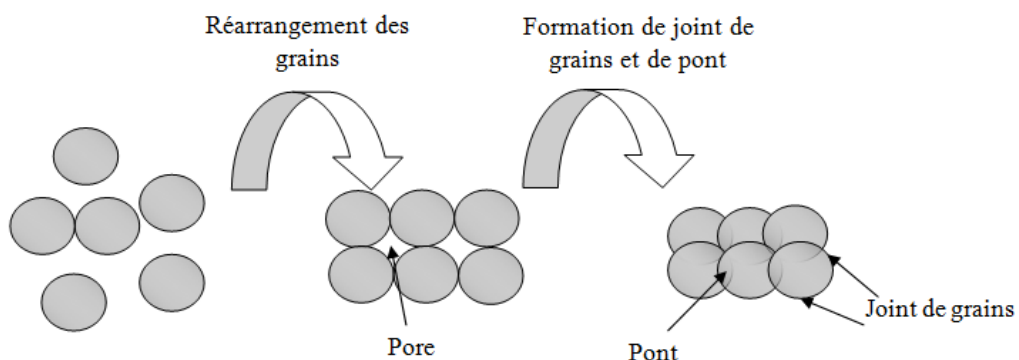


Figure 65 : Les différentes étapes de la phase de frittage

Dans notre travail, nous avons effectué les démarches suivantes:

- **Une sérigraphie** de 100 μm de la pâte d'argent Argomax $\text{\textcircled{R}}2020$ nanométrique, à travers un écran métallique appelé clinquant, ce dernier est placé au-dessus d'un substrat. Il est nécessaire de mélanger les grains de la pâte avant l'utiliser. La pâte d'argent est tartinée manuellement avec une raclette, et passe entre les ouvertures du clinquant (Figure 66).



Figure 66 : (a) clinquant et (b) raclette et spatule.

- **Un déliantage** : évacuation des solvants présents dans la pâte d'argent à 130 °C pendant 30 minutes (Figure 67), en utilisant une presse Instron équipée de deux plateaux chauffants qui permettent d'atteindre une température de 300 °C en surface et qui sont indépendants l'un de l'autre. Leurs températures sont gérées via des capteurs installés dans le boîtier électrique de commande. A l'aide de cet appareil INSTRON, on peut appliquer des forces allant de 60 N jusqu'à 30 kN (Figure 68).

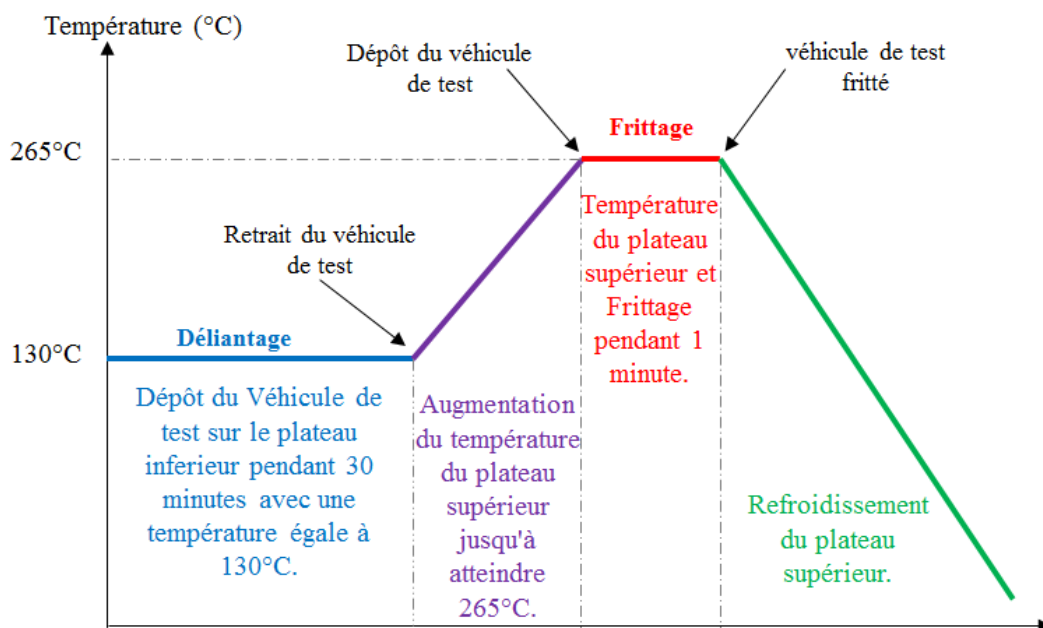


Figure 67 : Étapes du processus du frittage d'argent.



(a)



(b)

Figure 68 : (a) Presse Instron équipée de plateaux chauffants, et (b) un grossissement sur les plateaux.

- **Un frittage** sous pression de 10 MPa, pendant 1 minute (Figure 67). La pression appliquée sur les véhicules de test a été calculée en se basant sur les dimensions des puces et non pas sur celles du substrat. En effet, en utilisant ces derniers nous avons remarqué la croissance des fissures au niveau de la face supérieure de la puce, c'est pourquoi nous avons adapté notre démarche en utilisant les dimensions de la puce afin de déterminer la force appliquée en Newton. Par exemple, dans notre cas pour avoir les 10 MPa sur la puce, nous avons appliqué une force de l'ordre de 480 N ($2 \times 7,73 \text{ mm} \times 3,23 \text{ mm} \times 10 \text{ MPa}$). Le facteur 2 provient du fait que nous avons fritté deux puces par substrat.

Le véhicule de test est placé sur le plateau inférieur de la presse sur une plaque de caoutchouc. Cette dernière est utilisée pour deux raisons : d'une part pour homogénéiser la pression appliquée sur l'ensemble des puces (deux puces par substrats), d'autre part pour empêcher tout contact mécanique direct entre la presse et les puces semi-conductrices, protégeant ainsi l'assemblage au cours du processus. Les plateaux chauffants du haut et du bas prennent respectivement les températures 265 °C et 130 °C. Le pilotage de la pression de frittage est effectué à travers le logiciel « Bluhill » vendu avec la machine de presse, qui permet de contrôler le procédé de frittage (pression et temps). La presse débute le calcul du temps de frittage (1 minute dans notre cas) lorsque le plateau supérieur est en contact direct avec l'échantillon et la pression de consigne (10 MPa) est atteinte.

Le substrat utilisé dans notre travail est de type DBC de dimension 1" x 2", métallisé en cuivre avec des finitions nickel flash or sur ses deux faces (supérieure et inférieure). L'épaisseur de la céramique constituant le substrat est 630 μm , alors que celle de la

métallisation de la face supérieure et inférieure est de l'ordre 300 μm . La Figure 69 présente le premier résultat des puces frittées sur un substrat.



Figure 69 : Puces reportées sur un substrat après le processus du frittage de pâte d'argent.

Les premières puces assemblées à l'aide du processus de frittage d'argent ont été donc réalisées avec succès. Une micro section a été faite afin d'observer l'effet du frittage sur les puces frittées. La Figure 70 présente une vue de coupe de la DT² après frittage réalisée avec un MEB, et la Figure 71 montre des agrandissements sur les deux tranchées.

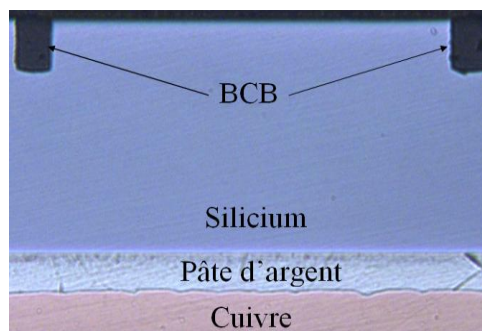


Figure 70 : Vue de coupe de la puce reportée sur un substrat après le frittage d'argent.



Figure 71 : Agrandissement de la tranchée (a) du côté droite, et (b) et du côté gauche.

La micro section montre que la pâte d'argent est homogène et uniforme, avec une épaisseur constante sous toute la puce. Aucune fissure ou lacune ne peut être observée autour de la tranchée. L'épaisseur de la couche d'argent a été mesurée au profilomètre, et présente une épaisseur moyenne de 30 μm . La Figure 70 montre que les différentes couches de la

structure sont nettement visibles : le silicium, la couche d'argent frittée et la couche de cuivre sur le substrat DBC. En outre, d'après la Figure 71, la diode ne présente aucune fissure autour des tranchées, confirmant que les tranchées n'empêchent pas l'intégration de cette technologie dans les assemblages à haute température et à forte pression. De plus, pour le reste de notre étude, nous avons pris l'hypothèse que les contraintes résiduelles dues au frittage étaient négligeables devant les contraintes du vieillissement accéléré.

2.3.2.3 Tenue mécanique de l'interconnexion fritté

Les tests de cisaillement sont des tests qui appartiennent à la famille des analyses destructives. Leur principe consiste à appliquer une force longitudinale sur l'assemblage afin de déterminer sa tenue mécanique, caractériser et évaluer le joint fritté. Dans notre travail, notre but est d'évaluer la reproductibilité du procédé de frittage d'argent entre la diode DT² et le substrat DBC. Nos tests de cisaillement ont été faits au sein du laboratoire IMS en utilisant une machine de cisaillement Dage 4000 (Figure 72) pouvant aller jusqu'à une force égale à 100 kg.



Figure 72 : Machine de cisaillement Dage 4000.

Nous avons effectué le test de cisaillement sur quelques véhicules de test, afin de trouver une valeur moyenne de la tenue mécanique de notre joint fritté. La Figure 73 donne un exemple d'un échantillon après le test de cisaillement.

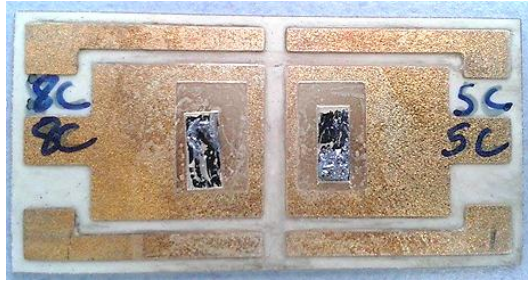


Figure 73 : Image du résultat du test de cisaillement des puces reportées sur DBC.

Des restes de métallisation de la puce et des morceaux de silicium sont restés coller sur le substrat, donc la rupture est localisée au niveau de la puce et sa métallisation, et non pas au niveau joint fritté. La surface du joint fritté est totalement recouverte de la métallisation de la puce, cela confirme un excellent joint (attache) de la puce. Nous avons trouvé une force moyenne d'arrachement de 32 MPa. Le fait que la puce de silicium casse avant l'arrachement de celle-ci prouve que les défaillances thermomécaniques apparaîtront tardivement dans l'assemblage et nous permettrons de réaliser des vieillissements thermiques sereinement.

Comme il était détaillé précédemment, les diodes sont reportées avec succès sur les substrats en utilisant le procédé de frittage de pâte d'argent. Une fois le frittage est réalisé, un fil de câblage de diamètre 250 μm , servant à lier la partie haute de la puce (Anode) à une des parties conductrices du substrat a été réalisé en utilisant la méthode de « wedge Bonding ». Des connexions externes ont été brasées sur la face métallisée du substrat afin de permettre la connexion de la puce au traceur (TEK371A), qui servira pour les relevés des caractéristiques électriques. La Figure 74 présente le véhicule de test préparé pour les tests de vieillissement accéléré.

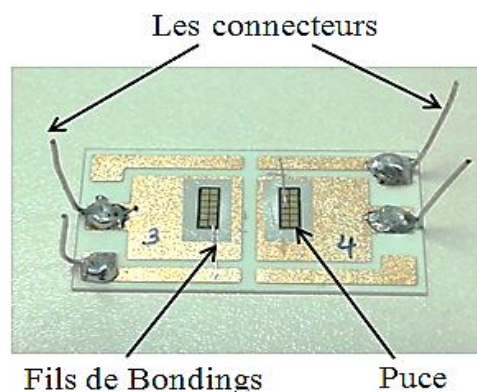


Figure 74 : Image du véhicule de test réalisé.

2.3.3 Mesures électriques initiales

Afin de protéger nos puces contre les arcs électriques dus au faible champ électrique critique de l'air (30 kV.cm^{-1}), nous avons effectué nos mesures en immergeant nos véhicules de test dans un bain de diélectrique liquide (Galden DO3) pour effectuer les tests à haute tension.

Après la préparation des véhicules de test et avant de lancer les tests de vieillissement accéléré, les caractéristiques électriques inverses ont été relevées afin de vérifier que le processus de frittage et le stockage des puces pendant 5 ans n'ont pas d'effet sur la tenue en tension de la diode DT². La Figure 75 présente des mesures de la tenue en tension pour trois séries de diodes réalisées avec le TEK371A.

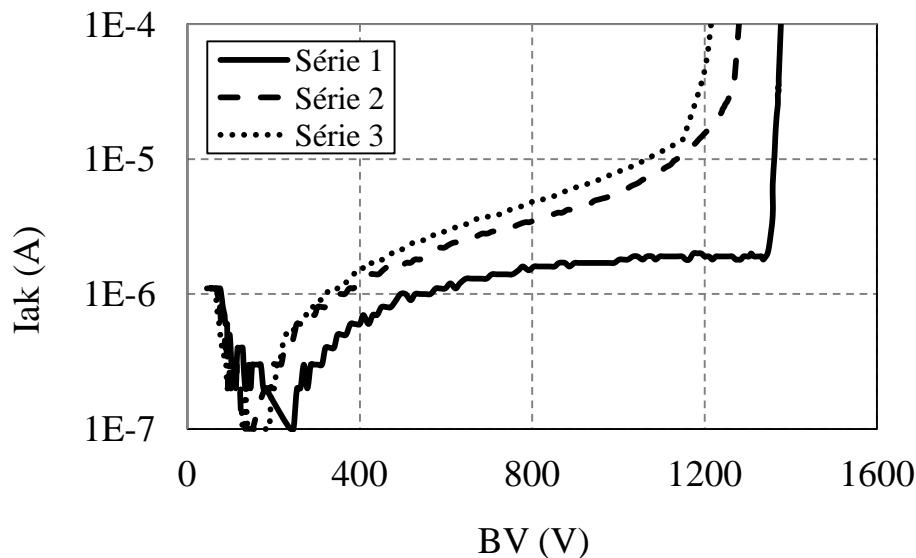


Figure 75 : Tenue en tension des diodes après frittage.

Nous observons que la tenue en tension des trois séries de diodes est restée toujours voisine ou supérieure à 1200 V, qui été la tenue en tension en sortie de fabrication. Par contre, nous remarquons que le niveau du courant de fuite n'est pas le même pour les différentes diodes testées. On peut expliquer en partie, cette variation du courant par le fait que la caractérisation des puces n'était pas faite dans l'obscurité. Il y a donc une génération photonique, augmentant ainsi le courant de fuite. De plus, l'appareil utilisé pour ces mesures est un TEK371A avec une résolution sur le courant de 10^{-6} A.

Nous avons montré que la tenue en tension des diodes DT² reste stable avec une valeur supérieure à 1200 volts avant et après frittage, pour toutes les diodes. Ces caractéristiques électriques inverses serviront de référence afin de les comparer avec les caractéristiques mesurées après vieillissement thermique passif.

2.4 Mesures et observations après vieillissement par cyclage passif

Ces travaux sont focalisés sur l'analyse de défaillance de la diode DT² et non pas sur la détermination de la durée de vie de celle-ci. Il est nécessaire donc de définir le critère de défaillance et d'en comprendre leur cause. Ici, le seul critère retenu est la conservation de la tenue en tension au-dessus d'une valeur critique : 1200 V. Dans l'ensemble des mesures à suivre, notre référence de temps correspond aux mesures réalisées juste après le report des puces sur des substrats et non les mesures qu'ont pu effectuer le LAAS, juste après la fabrication des composants.

2.4.1 Mesures électriques

Tous les 100 cycles, les véhicules de test sont retirés de l'enceinte thermique afin d'être caractérisés électriquement à l'aide d'un traceur TEK371A. Seule la caractéristique inverse des diodes a été mesurée dans cette étude. Nous avons classé les résultats obtenus selon la variation de la tenue en tension, en trois séries composées chacune de trois caractéristiques maximum, par manque de composants intacts. La Figure 76 présente les caractéristiques inverses d'une diode de la série 1 après un vieillissement accéléré.

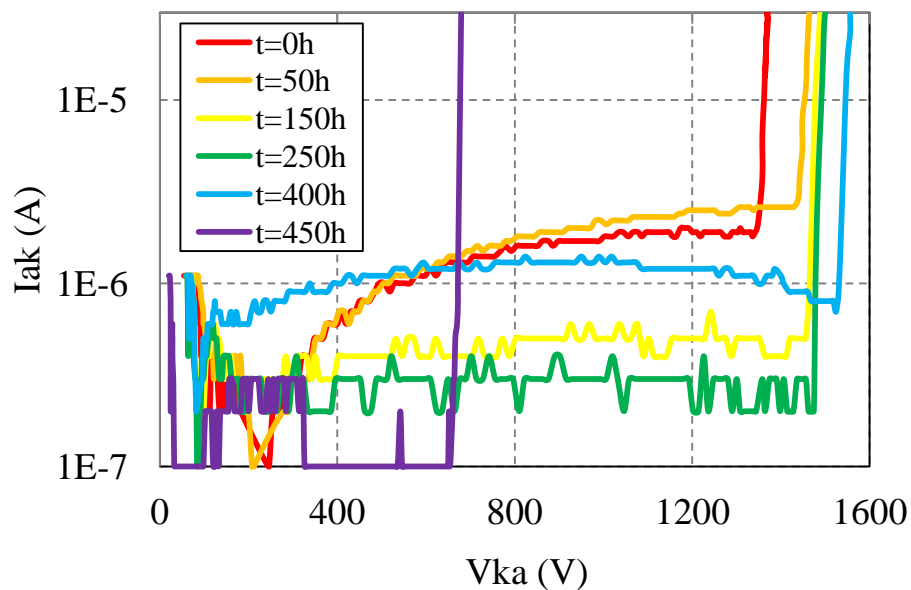


Figure 76 : Évolution de la tenue en tension de la série 1 en fonction du nombre de cycles.

Une augmentation de la tenue en tension a été observée sur cette série de diodes en fonction du nombre de cycles. Cette série présente un excellent comportement après 400 heures de cyclage thermique avec une tenue en tension proche de 1600 V. À 450 heures de cyclage, la tenue en tension a chuté à 650 V.

La Figure 77 présente les caractéristiques électriques inverses d'une diode de la série 2 en fonction du nombre de cycles.

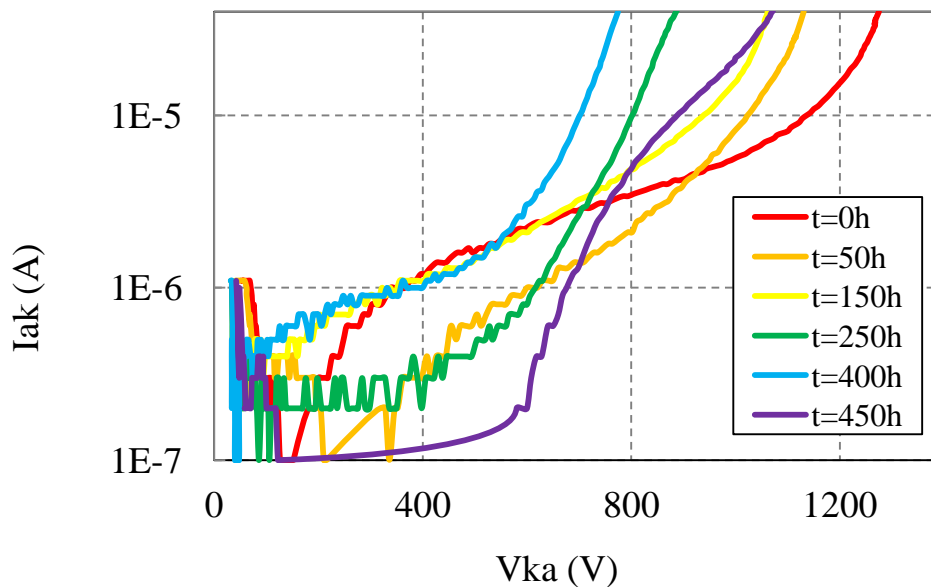


Figure 77 : Évolution de la tenue en tension de la série 2 en fonction du nombre de cycles.

Nous observons après 400 heures de cyclage une diminution de la tenue en tension passant de 1275 V à 770 V sur cette série. Ces diodes sont encore fonctionnelles après 400 heures de cyclage thermique, mais avec une tension de claquage de 770 V. À 450 heures de cyclage, la tenue en tension augmente et atteint 1050 V.

La Figure 78 présente les caractéristiques électriques inverses d'une diode de la série 3 après le vieillissement accéléré.

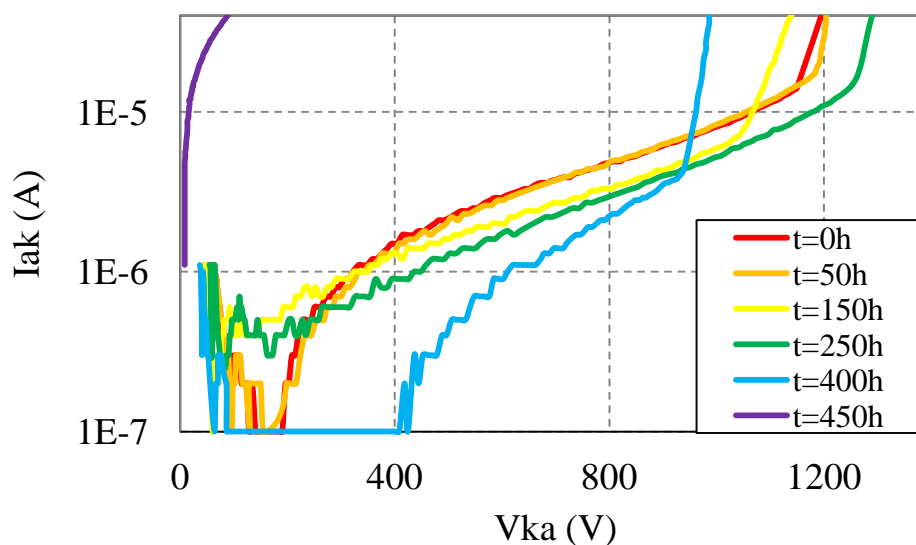


Figure 78 : Évolution de la tenue en tension de la série 3 en fonction du nombre de cycles.

Un comportement imprévisible a été relevé sur cette série de diodes. En effet, une augmentation ou diminution de la tenue en tension est enregistrée. Par exemple, la tenue en tension augmente de $t = 0$ h à $t = 250$ h, mais diminue de $t = 250$ h à $t = 450$ h. De plus à 450 heures les composants ne tiennent même pas 10 V.

À ce stade, nous n'arrivons pas à comprendre l'origine des variations de la tenue en inverse, donc des analyses optiques du composant doivent être réalisées.

2.4.2 Observations optiques

Après les tests de vieillissement accéléré, les véhicules de tests ont été préparés pour des analyses optiques (Microscopie optique et Microscopie électronique à balayage : MEB). Par la suite, nous nous intéressons seulement à la puce et non pas à l'assemblage. En effet le but de ce travail est l'analyse de défaillance de la puce elle-même.

2.4.2.1 Microscopie électronique

Avant de préparer les échantillons pour l'enrobage, nous avons pris des images de la vue de dessus de la diode 9 avec le microscope optique afin d'observer l'état de surface des diodes. La Figure 79 présente une vue de dessus des diodes après 450 heures de cyclage.

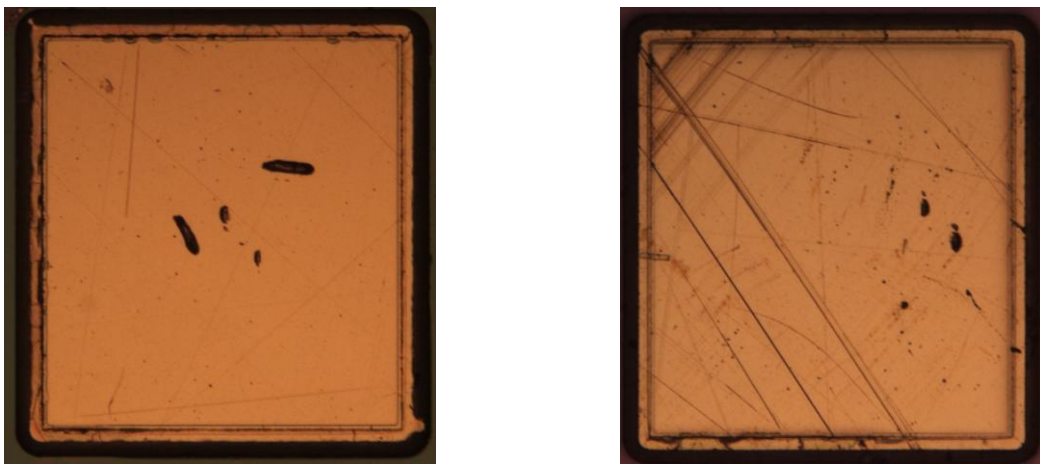


Figure 79 : Vue de dessus des diodes après 450 heures de cyclage.

Les taches noires apparues sur la vue de dessus des diodes DT² sont dues aux traces de mesure sous pointe effectué par le LAAS. Les rayures présentées sur la surface sont dues à un mauvais transport entre le LAAS et l'IMS.

Après 450 heures de cyclage, nous avons remarqué l'apparition des délaminages tout au long de l'interface Si / BCB et des fissures au coin de la diode sur les différentes séries. Pour

cela, nous avons effectué d'autres images optiques en se focalisant sur ces délaminages et ces fissures (Figure 80 et Figure 81).

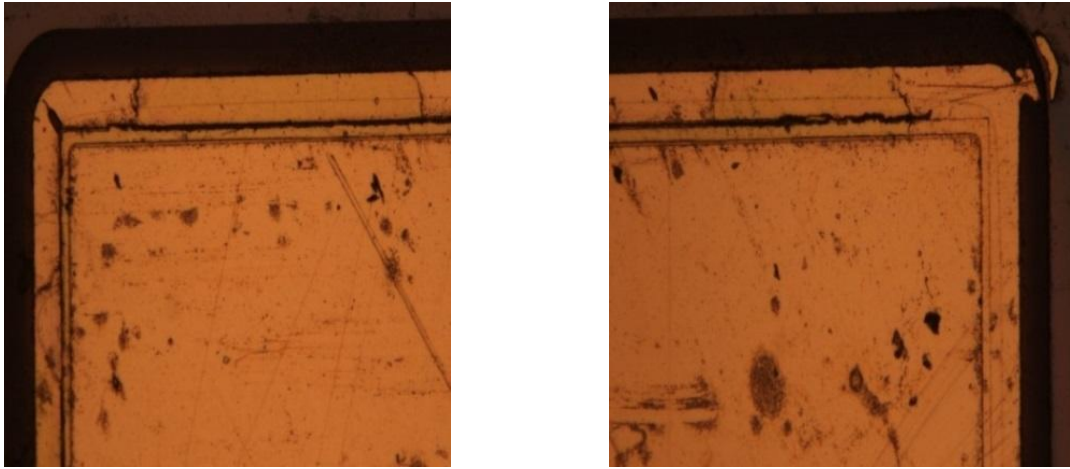


Figure 80 : Délaminages à l'interface Si / BCB.

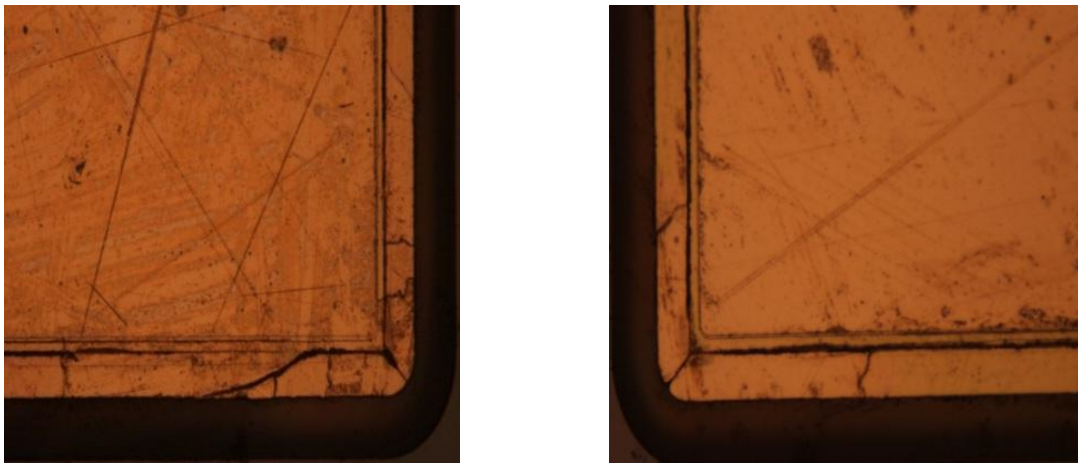


Figure 81 : Délaminages à l'interface Si / BCB et fissures au coin de la diode DT².

Nous avons effectué aussi un agrandissement sur le délaminage à l'interface Si / BCB et sur la fissure au coin de la diode DT² (Figure 82).

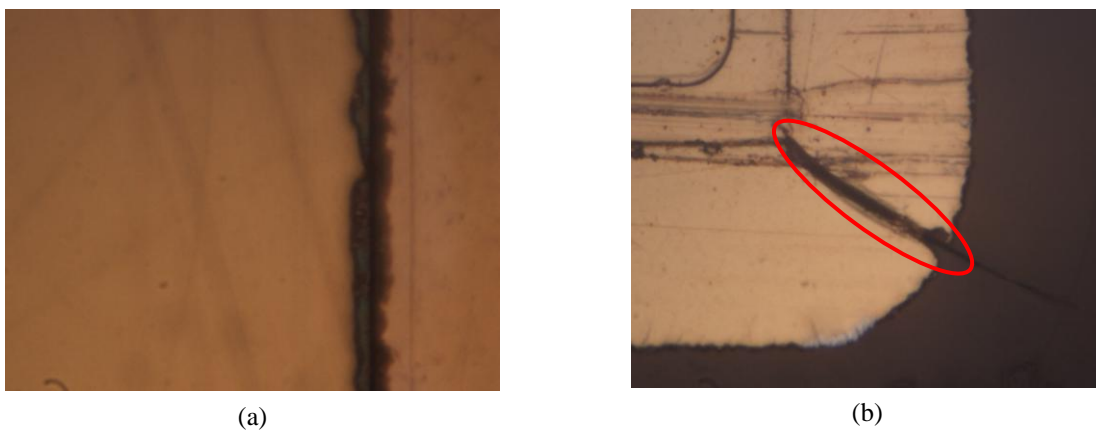


Figure 82 : Un agrandissement (a) du délaminage, et (b) de la fissure.

En regardant ces images, nous remarquons que la fissure au coin se propage à partir du point du contact entre le silicium et le BCB pour finalement se terminer dans le BCB.

Afin de préparer l'échantillon (Puce reportée sur substrat) pour des observations en microscopie électronique et MEB, nous avons utilisé une résine époxy Struers pour enrober les véhicules de test. L'étape de durcissement nécessite 9 heures. Après l'enrobage, les échantillons sont découpés à l'aide d'une scie diamantée et polis manuellement en utilisant des draps de polissage Struers de différentes épaisseurs.

Tous les échantillons ont été préparés au sein du laboratoire IMS. Ils ont été polis avec la polisseuse STRUERS (Figure 83 (a)). Cette étape est très délicate, car le polissage a été fait manuellement, sans maîtriser la pression appliquée sur les échantillons (Figure 83 (b)), ce qui rend difficile l'obtention d'un état de surface sans rugosité

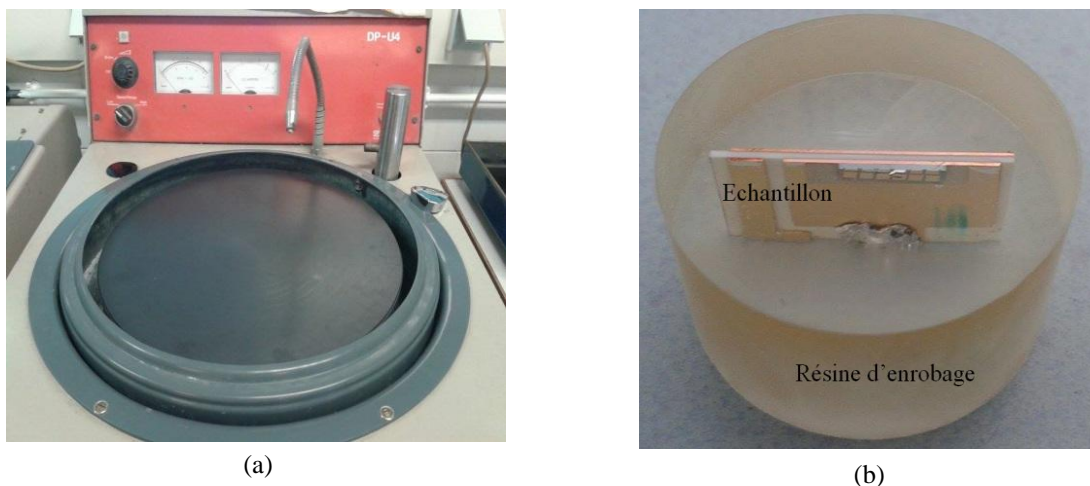
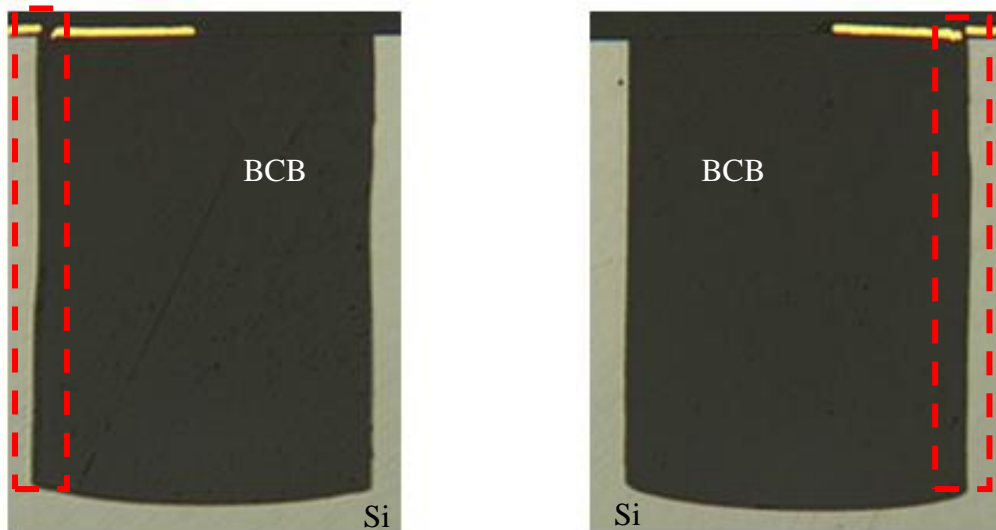
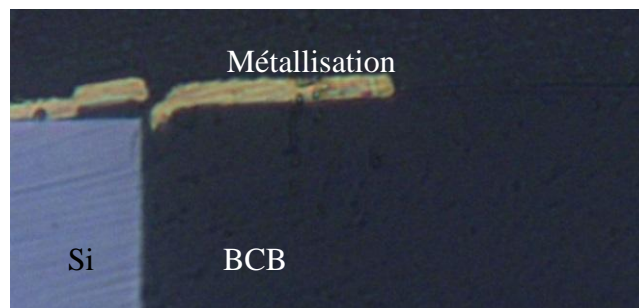


Figure 83 : Image (a) d'une polisseuse (STRUERS) équipée d'un disque abrasif, et (b) d'un échantillon enrobé d'une résine époxy pour les analyses optiques.

Après la préparation des échantillons, nous avons effectué des observations optiques. Sur la Figure 84, nous observons un délaminage à l'interface Si / BCB du côté de la métallisation avec une fissure dans l'or. Nous remarquons que le délaminage s'est propagé tout le long de l'interface, et que l'or s'est craqué.



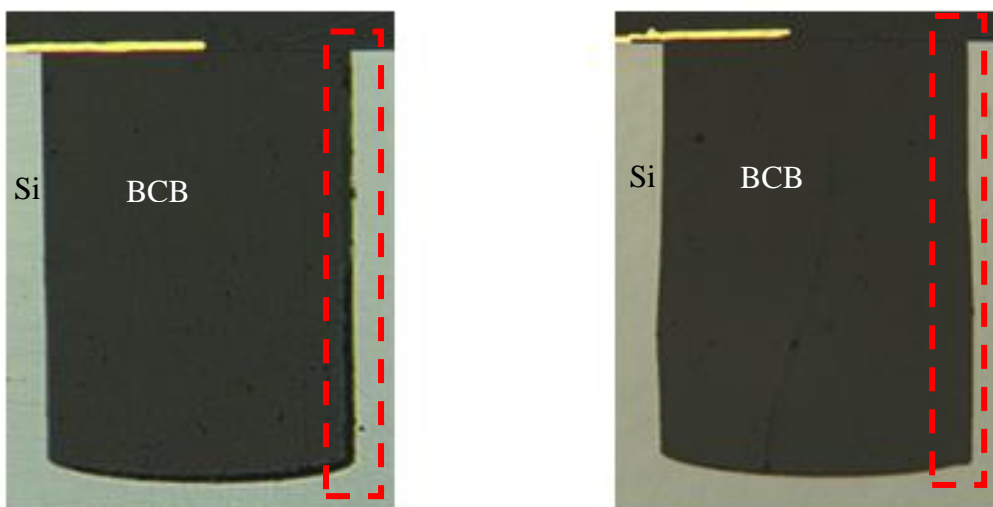
(a)



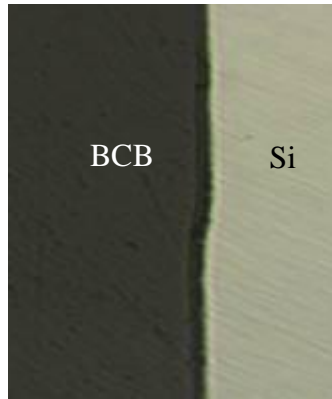
(b)

Figure 84 : (a) Observation optique d'un délaminage à l'interface Si / BCB du cotée de la métallisation avec une fissure dans l'or, et (b) son agrandissement.

Nous observons sur la Figure 85 un délaminage à l'interface Si /BCB du coté non métallisé de la diode DT². Ce délaminage s'est propagé tout le long de l'interface.



(a)



(b)

Figure 85 : (a) Observation optique d'un délaminage a l'interface Si / BCB du cotée non métallisée, et (b) son agrandissement.

Comme nous pouvons le voir, les délaminages se propagent aux endroits les plus fragiles. En effet, la singularité géométrique des tranchées et les propriétés mécaniques différentes de deux matériaux (BCB et le Silicium) affaiblissent nos diodes.

De plus, nous avons remarqué sur certaines diodes, que le délaminage ne se propage pas dans la métallisation en or (Figure 86).

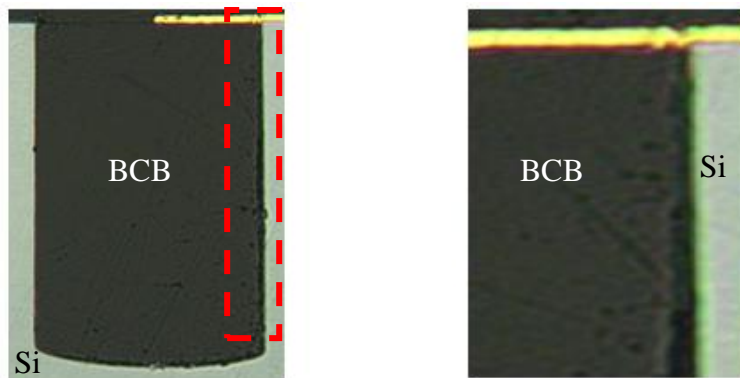


Figure 86 : (a) Observation optique d'un délaminage à l'interface Si / BCB sans fissure dans la métallisation en or, et (b) son agrandissement.

En conclusion, nous pouvons dire que la variation de la température du chaud au froid va introduire des contraintes au niveau de l'interface des couches de la diode et suivant les propriétés de silicium et BCB, ils subiront alors une compression ou une traction. Ces défaillances sont introduites dans notre cas par des fissures et des délaminages.

2.4.2.2 Observation au MEB

Des analyses MEB sont réalisées dont le but d'affiner nos observations. Les observations MEB après le cyclage, sont données par la Figure 87.

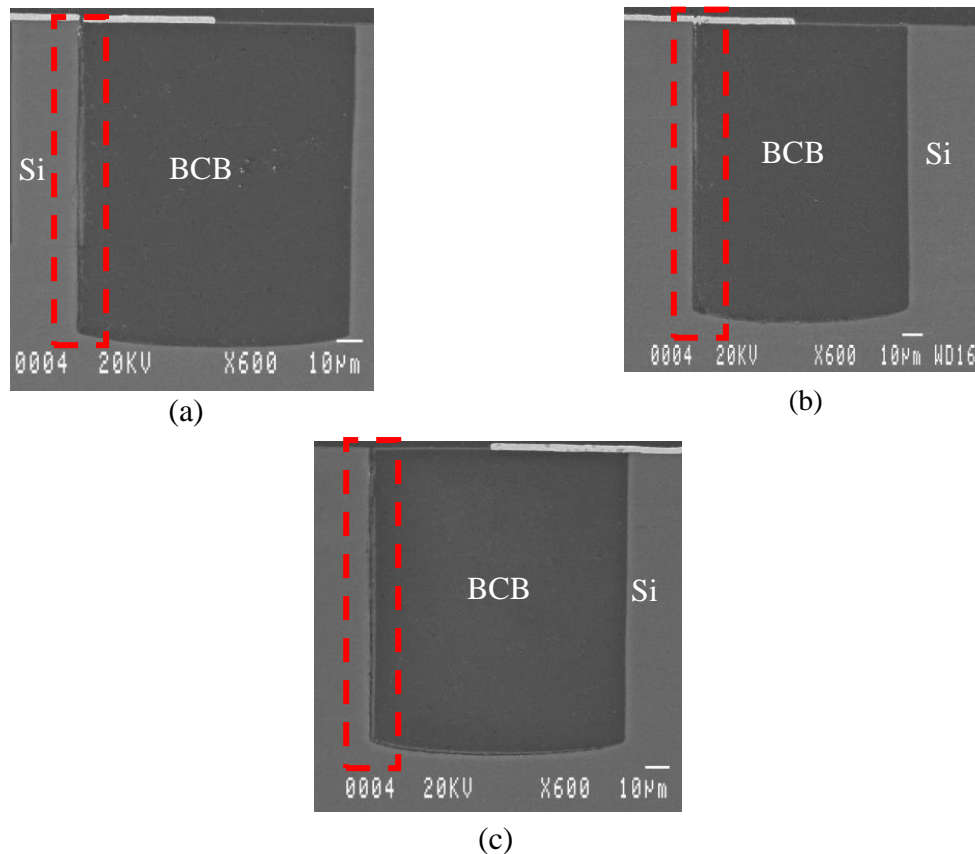


Figure 87 : Image MEB du délaminage du côté de la métallisation en or (a) avec fissure et (b) sans fissure dans l'or, et (c) du côté non métallisé.

Comme nous pouvons le voir, la fissure s'est propagée tout le long de la tranchée remplie en BCB, soit du côté de la métallisation en or avec et sans fissure dans l'or, soit du côté non métallisé. Cela pourrait être dû au stress soulagé et renforcé dans le BCB pendant la transition de température haute à température ambiante basse (vieillesse accélérée).

Le délaminage à l'interface Si / BCB peut s'expliquer par la grande différence entre les coefficients de dilatation thermique (CTE) des deux matériaux. Pour rappel le BCB à un $CTE = 42 \text{ ppm}/^\circ\text{C}$ et le silicium à un $CTE = 3 \text{ ppm}/^\circ\text{C}$. Des simulations thermomécaniques sont nécessaires pour le justifier.

2.5 Suivi des caractéristiques électriques

2.5.1 Présentation du protocole de test

Une procédure de fatigue a été mise en place pour les diodes intactes et non cyclées thermiquement afin de suivre les caractéristiques électriques au cours de celle-ci à l'aide d'un traceur Agilent B1505A disponible en fin de la thèse. En effet, nous avons abandonné le TEK371A, car le B1505A couvre une large gamme de puissance pouvant aller de 10 fA à 40 A et de 2 μV à 3000 V, et donc nous pouvons mesurer des niveaux de courant inférieurs à

10^{-6} A. La procédure est très différente des procédures conventionnelles, car ici nous avons cherché à savoir si une conduction de 200 A.cm^{-2} peut modifier l'état d'interface Si / BCB. Pour cela, nous relevons la caractéristique directe des diodes jusqu'à 2 A puis nous mesurons la caractéristique C (V) et la caractéristique inverse. La procédure de test est la suivante :

- ✓ Mesure de la caractéristique inverse et la caractéristique $C_{ak}(V)$ pour avoir une référence à T_0 .
- ✓ Répétition des étapes suivantes 5 fois :
 - Stress de la diode par une caractérisation en direct jusqu'à 200 A.cm^{-2} .
 - Attente d'au moins 5 minutes.
 - Mesure de la caractéristique inverse et de la caractéristique $C_{ak}(V)$.

Le temps d'attente a pour but de laisser refroidir les puces entre chaque test susceptible de générer un auto-échauffement. La variation de la température peut en effet modifier les caractéristiques électriques d'un composant.

2.5.2 Résultats électriques du protocole

2.5.2.1 Caractéristique directe

La Figure 88 présente la caractéristique directe d'une diode pour 5 mesures consécutives tel que présentées précédemment.

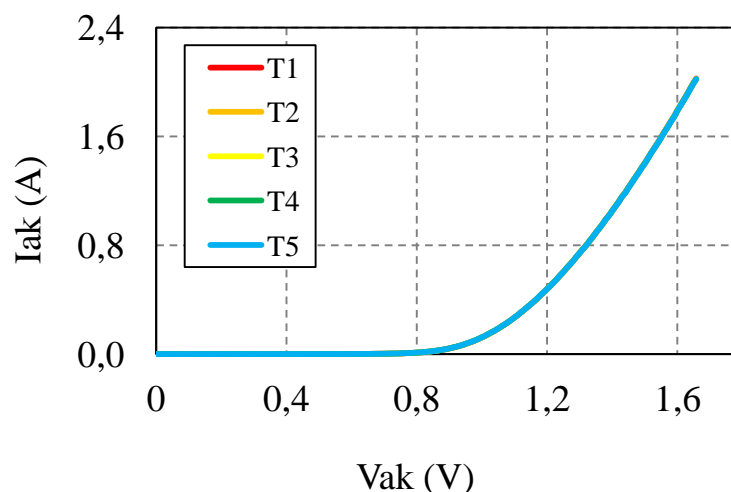


Figure 88 : Caractéristique directe de la diode pour 5 mesures consécutives.

Cette figure montre la reproductibilité de la mesure pour un exemple d'une diode. En effet, toutes les courbes se superposent parfaitement. Le protocole de test présenté précédemment a permis le refroidissement des diodes validant le temps d'attente.

2.5.2.2 Capacité Anode-Cathode

La Figure 89 représente les relevés consécutifs de la capacité de jonction de la diode 9 en fonction de la tension Anode-Cathode (V_{ak}) pour une diode donnée.

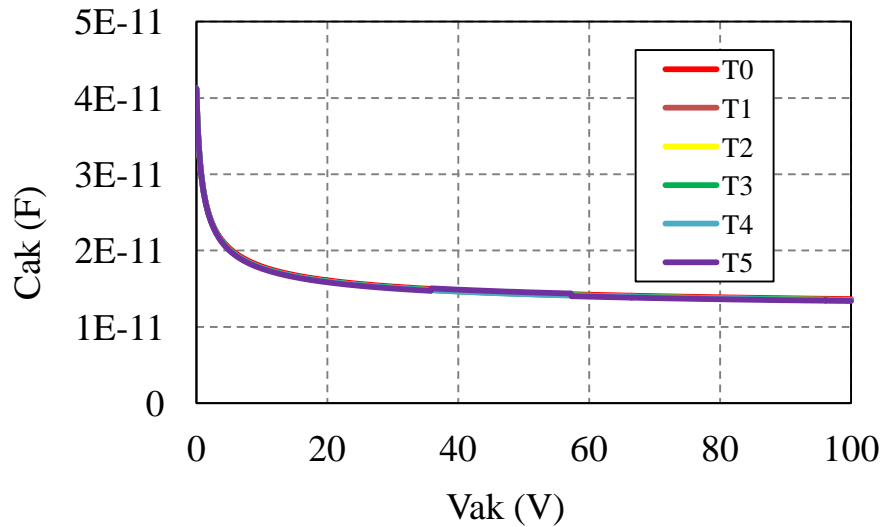


Figure 89 : Caractéristique de la capacité de jonction de la diode pour 5 mesures consécutives.

Les résultats présentent une parfaite reproductibilité des mesures. Le protocole de test n'influence aucunement ce type de mesures.

La Figure 90 quant à elle, présente trois caractéristiques de capacité de jonction pour trois échantillons de diodes.

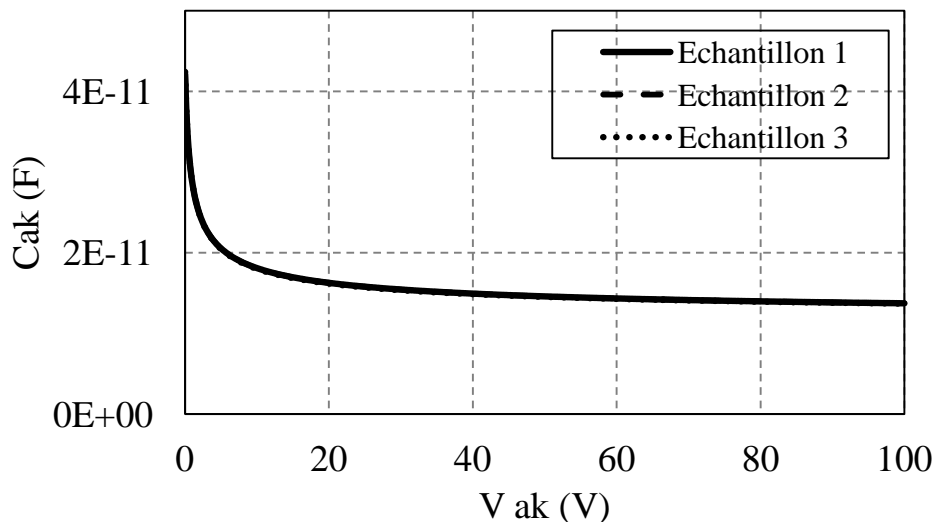


Figure 90 : Caractéristique de la capacité de jonction pour trois échantillons de diodes.

Les trois courbes se superposent. C'est un résultat prévisible car toutes les puces ont la même structure et sont reliées aux substrats de la même façon.

2.5.2.3 Caractéristique inverse

Comme mentionné précédemment, les diodes sont supposées tenir une tension de l'ordre de 1200 V avec un courant de fuite ne dépassant pas quelques microampères. Malheureusement, un comportement imprévisible a été relevé sur la plupart des diodes en ce qui concerne la caractéristique inverse. Aucune diode étudiée ne possède une tenue en tension supérieure à 1200 V. En effet, nous avons caractérisé quelques diodes restantes en notre possession non cassées, mais elles ne respectent pas autant le critère de défaillance. Nous nous intéresserons donc seulement à la variation de la caractéristique électrique des diodes et à son analyse. Les variations de la caractérisation en inverse ont été classées en trois séries en fonction de l'évolution de la tenue en tension.

La Figure 91 représente les relevés consécutifs de caractérisation en inverse des diodes de la série A.

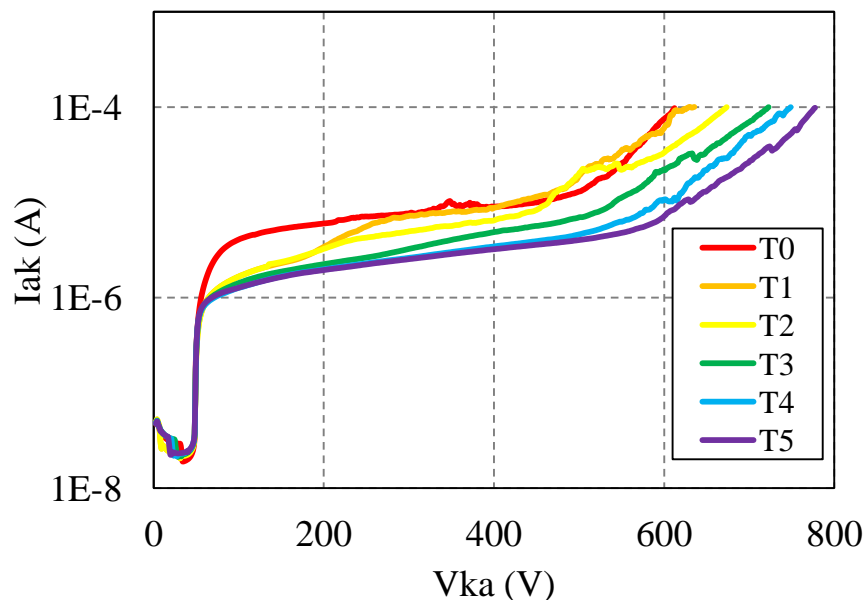


Figure 91 : Caractéristiques inverses des diodes de la série A pour 6 mesures consécutives.

Nous remarquons l'existence d'une première avalanche précoce à 50 V. Le niveau de courant atteint à 50 V n'est pas suffisant pour définir cette tension comme limite du composant. De plus, avec TEK371A, nous ne pouvions pas voir ce type de comportement car on reste dans la limite de précision de l'appareil de mesure. En se concentrant sur la haute tension des différentes courbes, celles-ci présentent une augmentation de la tension pour un courant donné au fur et à mesure des essais. Ce comportement suggère que la mise en conduction directe de la diode a pour effet d'augmenter la tenue en tension. En effet, la tenue en tension initiale n'est que de 600 V tandis qu'elle augmente à 800 V après cinq mesures de la caractéristique directe. Il est tout de même à noter que malgré cette augmentation, la diode

n'atteint toujours pas les 1200 V et que l'avalanche n'est pas prononcée en comparaison avec les caractéristiques obtenues avec le cyclage passif.

À présent, la Figure 92 représente les relevés consécutifs de caractérisation en inverse des diodes de la série B.

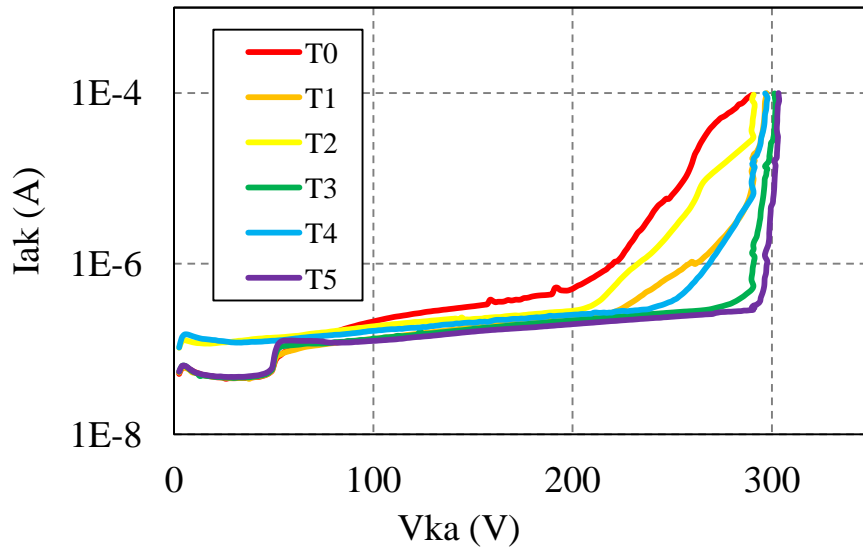


Figure 92 : Caractéristiques inverses des diodes de la série B pour 6 mesures consécutives.

La tenue en tension de cette série varie très peu au cours des essais. La tenue en tension varie seulement de 30 V et reste proche de 300 V, ce qui est éloigné des 1200 V désirés. Cependant, les variations restent imprévisibles, la tenue en tension augmente de T0 à T1 mais diminue de T1 à T2 par exemple. Ce comportement chaotique a été observé sur de nombreuses diodes testées. Pour finir, nous pouvons noter que l'avalanche est plus prononcée pour cette série de diodes que pour la série A. De plus, le courant de fuite reste inférieur à celui de la série A.

Nos différents tests ont permis de découvrir une avalanche prématurée touchant la plupart des diodes. Nous avons considéré cette avalanche comme étant une première avalanche qui se produit à 50 V, comme vu dans les deux diodes précédentes.

Pour finir, la Figure 93 représente les relevés consécutifs de caractérisation en inverse des diodes de la série C.

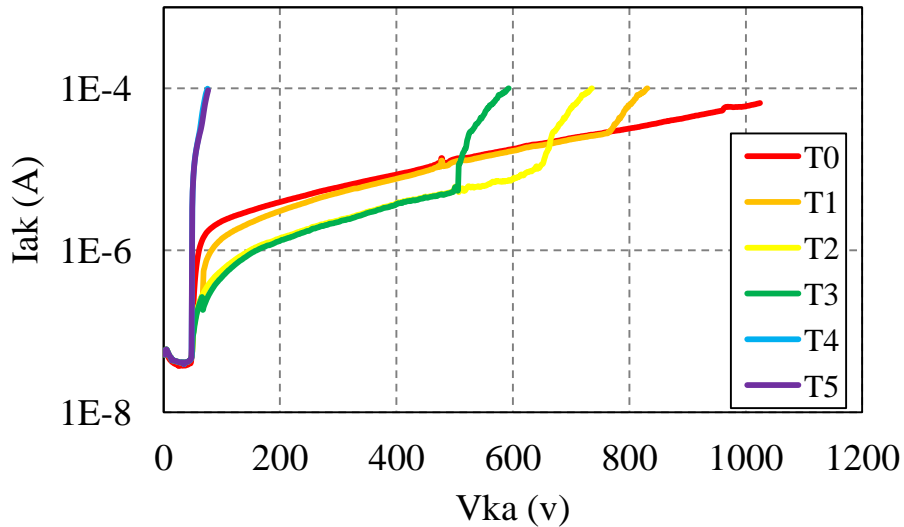


Figure 93 : Caractéristiques inverses des diodes de la série C pour 6 mesures consécutives.

Ces résultats relatifs à la série C illustrent bien l'avalanche à 50 V. En effet, pour les premières mesures, cette série de diode a une tenue en tension fixe de l'ordre de 1050 V. Cependant, après quatre mesures, la tenue en tension chute brusquement à 50 V. C'était la première fois qu'on dévoilait cette défaillance inquiétante.

Ces résultats montrent aussi que l'avalanche à 50 V, qu'on décrira de précoce, a tendance à s'estomper. Cependant, la limite de courant de 100 μ A, choisie pour ne pas détériorer les composants, ne nous a pas permis de visualiser le courant de la diode au-delà des 50 V. Nous avons donc caractérisé la diode jusqu'à un courant de fuite de 8 mA (la limite de Agilent B1505A). La caractéristique électrique de la diode est présentée par la Figure 94.

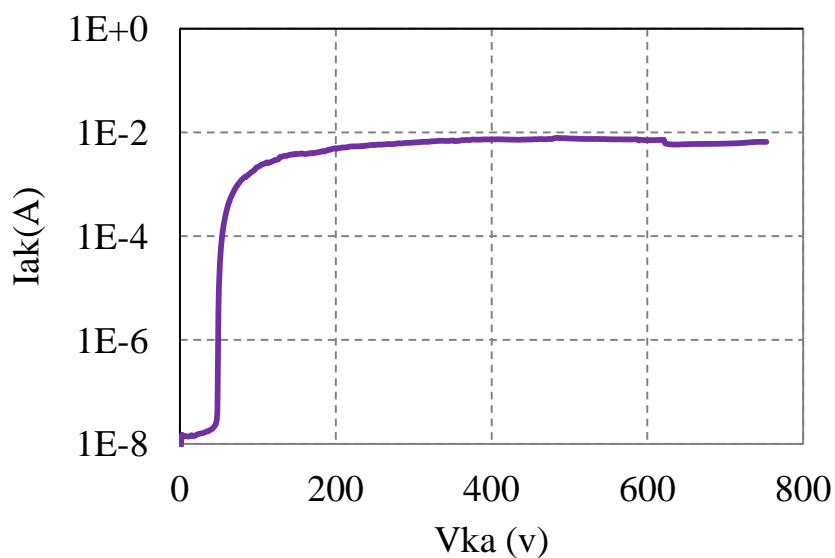


Figure 94 : Caractéristique inverse des diodes de la série C à T5.

Le phénomène d'avalanche a tendance à s'estomper entre 50 V et 200 V. À partir de 200 V, le courant sature à 7,3 mA. A ce jour, nous n'avons pas pu conclure sur ce phénomène. En effet, soit le Agilent B1505A provoque ce comportement, soit il existe un phénomène de saturation lié au passage du courant le long de l'interface Si / BCB.

2.6 Conclusion

Le but de ce chapitre fut d'étudier la robustesse de la diode « Deep Trench Termination » 1200 V, en la soumettant à des tests de vieillissement accéléré, afin de confirmer la possibilité d'intégrer cette technologie dans des assemblages de puissance. Nous avons commencé par la préparation d'un véhicule de test simple : les diodes ont été reportées sur des substrats DBC avec le procédé de frittage de pâte d'argent. Il était essentiel que les mécanismes de défaillance apparaissent dans la diode bien avant l'assemblage pour éviter qu'une défaillance relative au report affecte le comportement des diodes. Les véhicules de test ont été ensuite soumis à des tests de vieillissement accéléré de type cyclage passif par chocs : une température minimale de -40 °C et maximale de +125 °C, avec des paliers de 30 minutes. Tous les 100 cycles, les véhicules de test ont été retirés de l'enceinte thermique et les caractéristiques inverses ont été mesurées. La tenue en tension évoluait à chaque sortie de façon imprévisible. Nous avons classé les résultats obtenus en trois séries selon l'évolution de la tenue en tension. Nous n'arrivons pas à trouver une explication relative au comportement de la tenue en tension, c'est pourquoi des analyses optiques ont été indispensables. Ces dernières ont montré des délaminages le long de l'interface Si / BCB et des fissures dans les angles de la diode DT². De plus une procédure caractérisant les diodes en direct jusqu'à une densité de courant de 200 A.cm⁻² a été mise en place afin de savoir si une conduction de courant peut modifier l'état d'interface Si / BCB. De même, une évolution de la tenue en tension a été observée. Nous avons classé aussi ces résultats en trois séries suivant leur évolution. A ce stade, des simulations par élément finis sous TCAD SENTAURUS sont nécessaires afin de comprendre les comportements électriques des diodes et seront investiguées dans le chapitre suivant.

Chapitre.3.

Modélisation par éléments finis d'une dégradation dans la diode DT^2

3.1 Introduction

Dans le deuxième chapitre, les véhicules de test sont soumis à un vieillissement accéléré dont le but est d'apporter des informations sur leur robustesse. Une variation de la tenue en tension a été observée. Les observations optiques ont montré des délaminages à l'interface Si / BCB et des fissures au coin sont apparues sur la diode à tranchée profonde. Une étude approfondie sera menée à l'aide de simulation par éléments finis afin de comprendre les phénomènes physiques mis en jeu au sein de la diode DT².

Le logiciel TCAD-SENTAURUS est un logiciel de simulation par éléments finis permettant de modéliser une structure électronique. Il est possible de dégrader la structure afin d'établir un lien entre la dégradation et la variation de la caractéristique électrique, en simulant numériquement le comportement électrique d'une structure semi-conductrice unitaire ou d'une structure incluse dans un circuit électrique « Mixed Mode ».

Dans ce chapitre, nous étudions l'influence d'une dégradation sur les comportements électriques de la structure. L'approche de la simulation « Mixed Mode » est adoptée afin de déterminer un nouveau modèle électrique de simulation tenant compte du coin de la structure et permettant d'avoir une optimisation temps de calcul / maillage.

Enfin, une étude de cas sur la contrainte mécanique sera menée par simulation afin de mieux comprendre l'origine des dégradations apparues sur les diodes DT² lors de leur stockage qui a duré près de cinq années.

3.2 Procédés de simulation électrique sous TCAD SENTAURUS

Dans le logiciel TCAD SENTAURUS, la structure du composant est définie par deux fichiers distincts : fichier structure et fichier commande.

- ✓ Fichier structure : Appelé Sentaurus Device Editor (SDE) de format TDR, on y définit notamment la géométrie de la structure, les différentes régions et le dopage des couches constituant le composant. (Figure 95).
- ✓ Fichier commande : Appelé Sentaurus Device (SDEVICE), on y définit notamment les modèles physiques et mathématiques de la simulation, les électrodes et les conditions aux limites. (Figure 96).

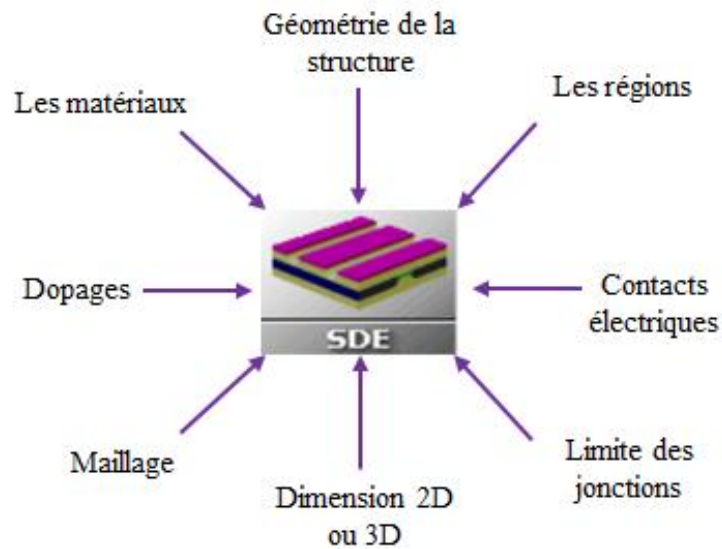


Figure 95 : Les parties définies dans le fichier de structure (SDE) de TCAD.

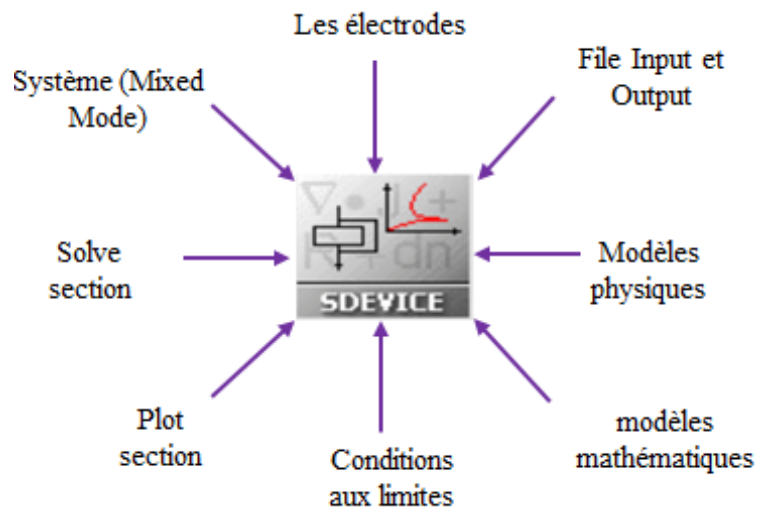


Figure 96 : Les parties définies dans le fichier de commande (SDEVICE) de TCAD.

Donc, pour modéliser un composant à semi-conducteur et le simuler par la suite, nous avons besoin de définir la géométrie de la structure et ses paramètres physiques. Le Tableau 2 résume les épaisseurs et les dopages des différentes couches de la diode DT² [2].

Tableau 2 : Epaisseurs et dopages des différentes couches de la diode DT²

| Couche | Epaisseur (µm) | Dopage (cm ⁻³) |
|-------------------------|----------------|----------------------------|
| P ⁺ implanté | 5 | 10 ¹⁸ |
| N ⁺ implanté | 5 | 10 ¹⁶ |
| N ⁻ bulk | 290 | 10 ¹⁴ |

Les caractéristiques inverses de la jonction plane et de la terminaison simulées sont présentées Figure 97.

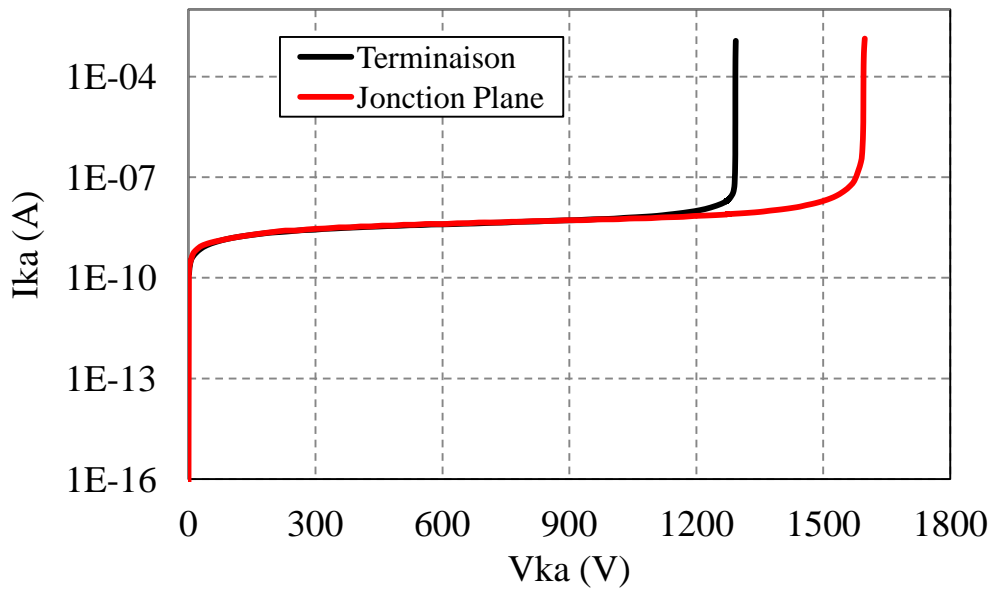


Figure 97 : Caractéristique inverse simulée de la jonction plane et la terminaison.

Comme nous pouvons le voir, la jonction plane peut supporter une tension de l'ordre de 1600V, alors que la terminaison atteint seulement 1250V. Ce résultat confirme que le LAAS a dimensionné la terminaison à 1200V afin d'en valider son comportement.

3.3 Influence d'un délaminage à l'interface Silicium / BCB sur le comportement électrique

Afin de d'identifier les causes des variations de la tenue en tension de la diode DT², après les tests de vieillissement accéléré, des simulations 2D et 3D du délaminage à l'interface Si / BCB et de la fissure au coin de la puce ont été étudiées. Nous allons commencer par étudier l'effet de cette dégradation sur la tenue en tension et par la suite sur la capacité inter-électrode entre Cathode et Anode. L'objectif de cette simulation est de trouver un paramètre électrique informant la présence d'un délaminage à l'interface Si /BCB.

3.3.1 Influence d'un délaminage à l'interface Si / BCB sur la tenue en tension

3.3.1.1 Modélisation 2D

Un délaminage à l'interface Si / BCB est représenté en simulation par un manque de matière de largeur W, de profondeur égale à celle de la tranchée de terminaison (105 μm). Afin d'observer l'impact de la largeur du délaminage sur la caractéristique inverse de la diode DT², plusieurs largeurs W compris entre 0,1 μm et 8 μm ont été simulées. Dans le fichier de

simulation, nous n'avons pas pris de critère de défaillance dû au champ critique de l'air. En effet, nous avons pris l'hypothèse que nos mesures expérimentales étant effectuées dans du GALDEN et que les composants seront encapsulés dans un gèle diélectrique montés dans un boîtier pour être commercialisés, le champ électrique critique de ces matériaux dépendra de ceux-ci.

Comme nous l'avons vu dans les observations optiques, nous simulerons le délaminage sur le côté intérieur de la tranchée avec et sans fissure dans la métallisation et sur le côté extérieur.

Par défaut, TCAD SENTAURUS considère que les structures 2D ont une épaisseur de 1 μm . Cette épaisseur effective est définie en spécifiant un « Area Factor » (AF) dans la partie physique. Par conséquent, il est nécessaire de définir cette valeur dans notre structure afin de représenter au mieux la surface réelle de notre composant.

✓ Délaminage du côté extérieur de la tranchée

La Figure 98 représente une coupe schématique d'un délaminage entre le silicium et le BCB sur le côté extérieur de la tranchée.

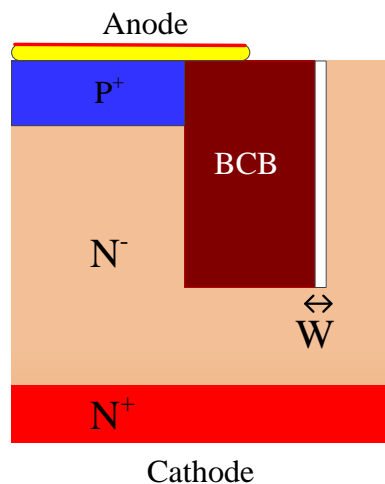


Figure 98 : Coupe schématique d'un délaminage entre le silicium et le BCB du côté extérieur de la tranchée.

La Figure 99 présente les caractéristiques inverses de la structure avec différentes largeurs de vide (W). Nous avons fait varier la largeur W entre 0,1 μm et 8 μm . La largeur de 0 μm correspond à la géométrie de référence, sans délaminage.

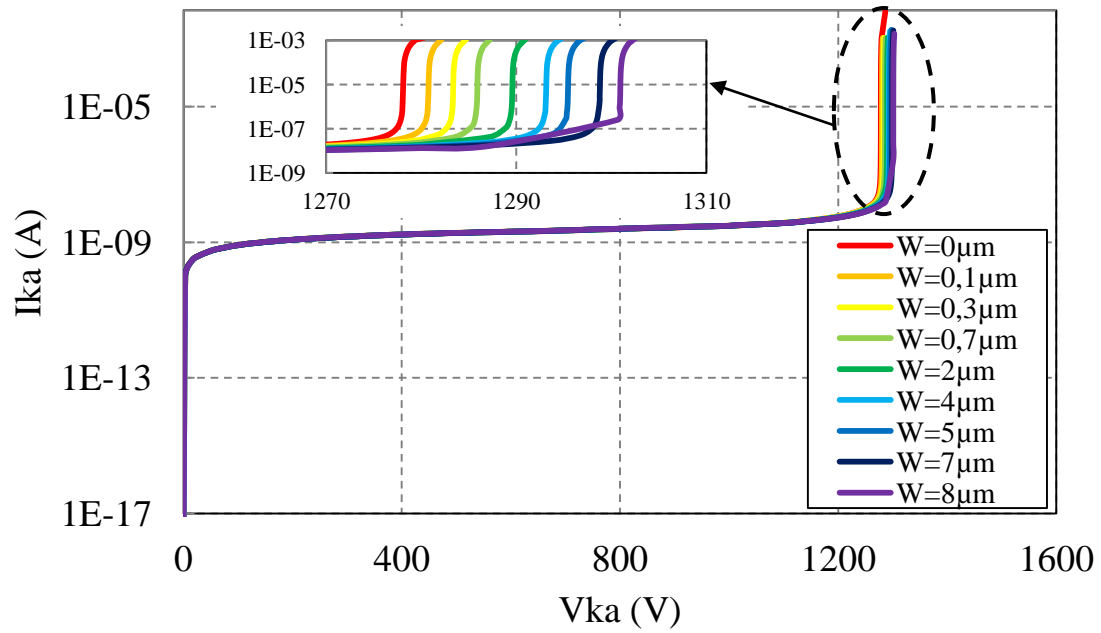
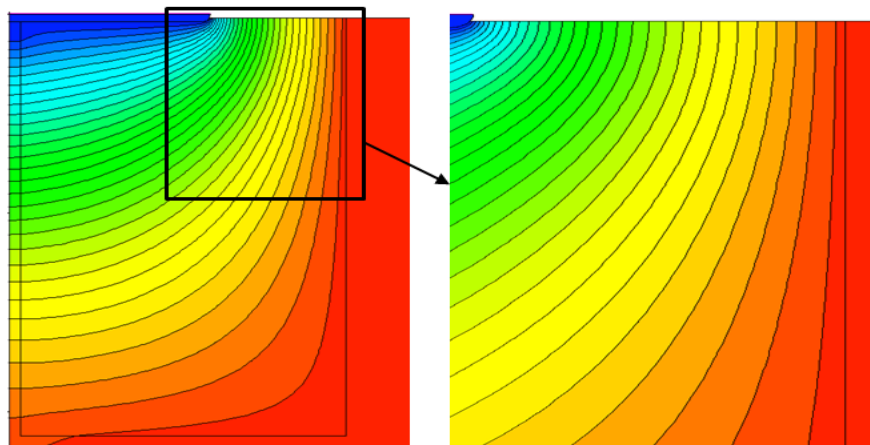


Figure 99 : Variation de la caractéristique inverse de la diode en fonction de l'épaisseur du délaminage à l'interface Si / BCB sur le côté extérieur de la tranchée.

Nous remarquons qu'un délaminage à l'interface Si / BCB du côté extérieur de la tranchée modifie très légèrement la tenue en tension (quelques volts). Pour comprendre l'origine de cette légère modification une comparaison entre deux captures d'images de la distribution des lignes de potentiels avec et sans vide est nécessaire (Figure 100).



(a)

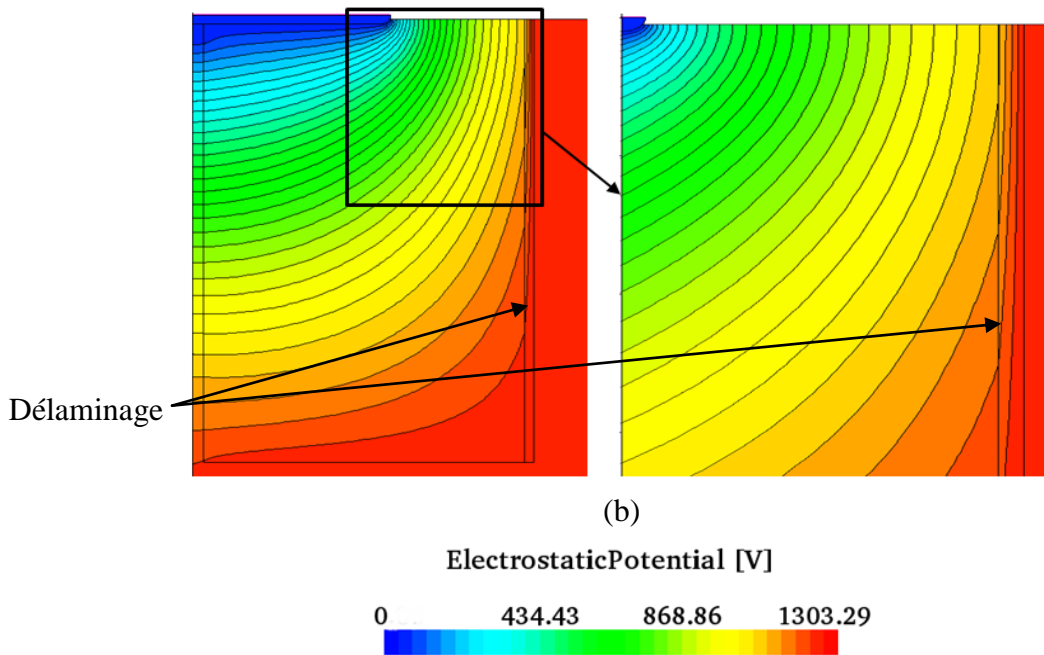


Figure 100 : Distribution 2D des lignes de potentiel dans la structure et son agrandissement (a) avec, et (b) sans création du vide au niveau du côté extérieur de la tranchée.

Les deux principaux paramètres qui influent sur la tenue en tension sont la largeur de la plaque du champ et la largeur de la tranchée. L'augmentation de la largeur entre la fin de la plaque de champ et l'extrémité extérieure de la terminaison entraîne un élargissement de la zone de distribution des lignes de potentiels et donc une augmentation de la tenue en tension provoquée par la diminution locale du champ électrique autour de la plaque de champs.

- ✓ **Délaminage du côté intérieur de la tranchée avec fissure partielle dans la métallisation de l'anode**

La Figure 101 présente une coupe schématique d'un délaminage au niveau du côté intérieur de la tranchée avec fissure partielle dans la métallisation de l'anode.

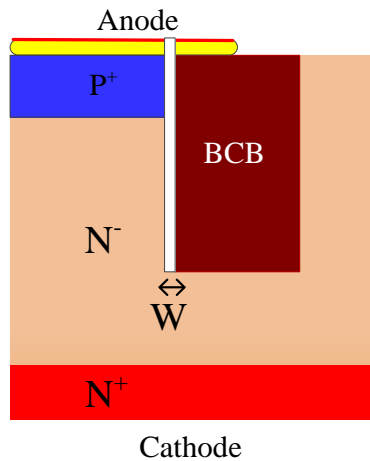


Figure 101 : Coupe schématique d'un délaminage entre le silicium et le BCB du côté intérieur de la tranchée avec fissure partielle dans la métallisation de l'anode.

La structure proposée a été simulée avec différentes largeurs de vide (W). Nous avons varié la largeur W entre $0,1 \mu\text{m}$ et $8 \mu\text{m}$. La largeur de $0 \mu\text{m}$ correspond à la géométrie de référence, sans délaminage. De plus, nous avons pris l'hypothèse que le délaminage ne se faisait pas sur l'ensemble de la puce et donc, que l'ensemble de la métallisation de surface est au même potentiel. La Figure 102 représente l'évolution de la caractéristique inverse de la diode DT^2 dans ces conditions.

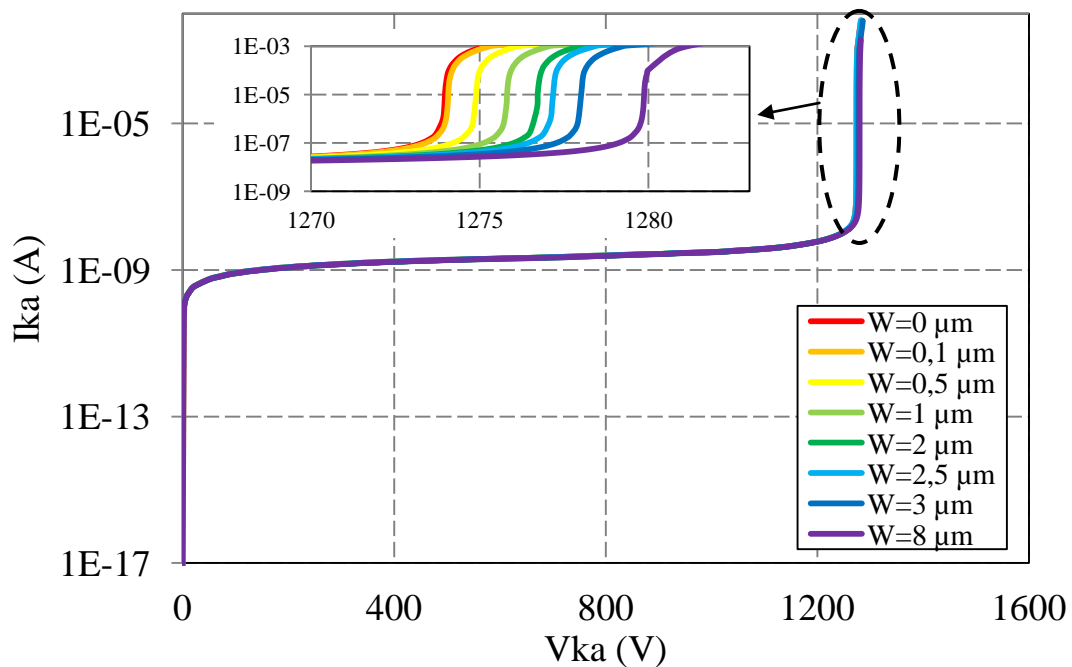


Figure 102 : Variation de la caractéristique inverse de la diode DT^2 en fonction de l'épaisseur du délaminage à l'interface Si/BCB du côté intérieur de la tranchée avec fissure dans l'or.

Cette figure montre qu'un délaminage à l'interface Si / BCB avec une fissure incomplète dans la métallisation de l'anode n'affecte pas la tenue en tension. Ceci s'explique par le fait

que le champ électrique dans la structure est concentré au bout de la plaque de champ et qu'il n'y a aucune modification dans cette région.

L'insertion du vide à l'interface Si / BCB modifie la répartition des lignes de potentiel à cause de la faible permittivité du milieu vide (Figure 103). Ainsi, on constate une modification des lignes de potentiel à l'intérieur du vide, contrairement à une structure sans vide dont ces dernières sont parallèles à la jonction plane PN, sous celle-ci.

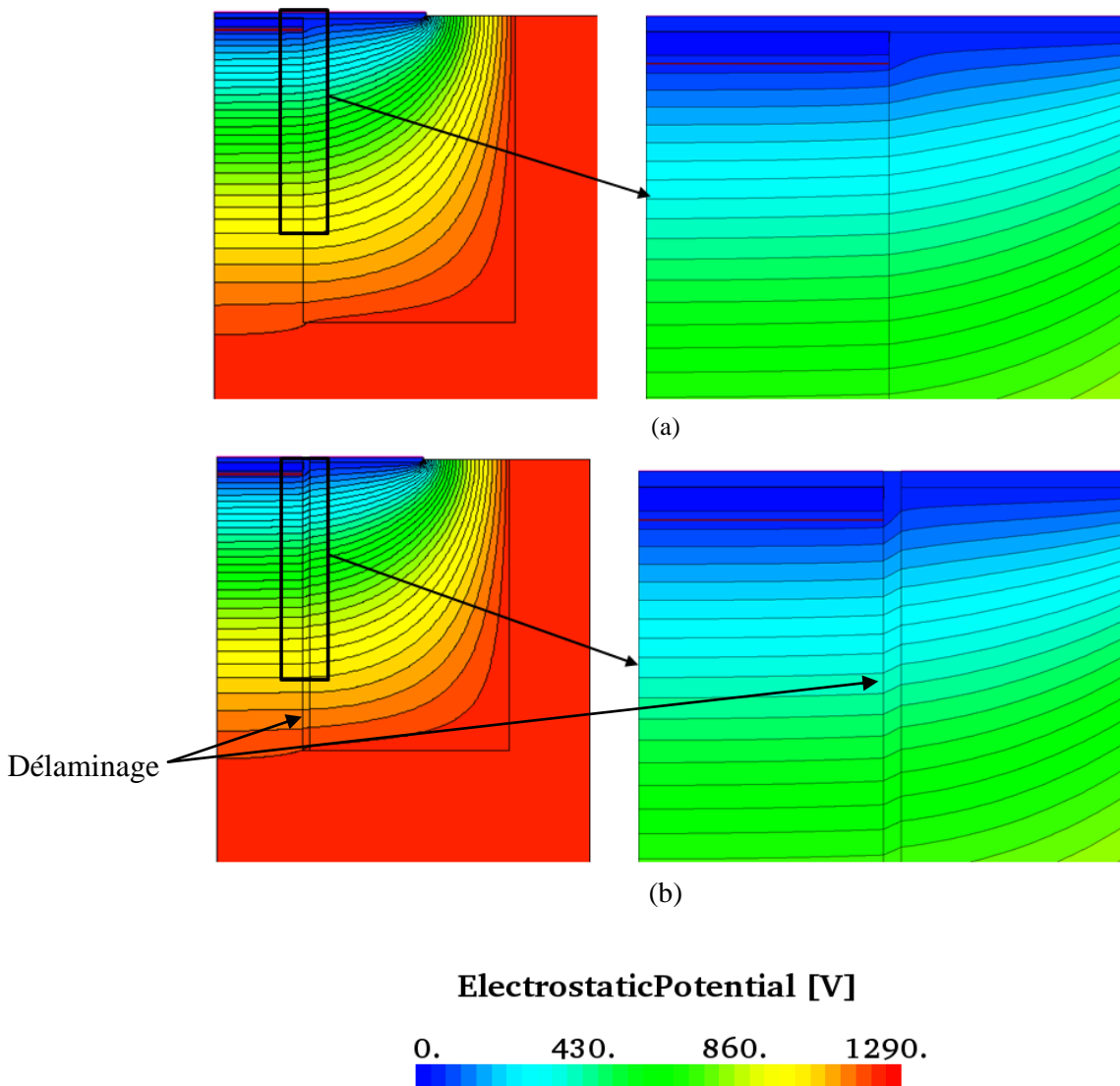


Figure 103 : Distribution 2D des lignes de potentiel dans la structure (a) avec, et (b) sans délaminage.

Cette modification des lignes de potentiel engendre une augmentation locale du champ électrique, mais reste très faible, localisée et n'intervient pas dans la tenue en tension de la structure (Figure 104).

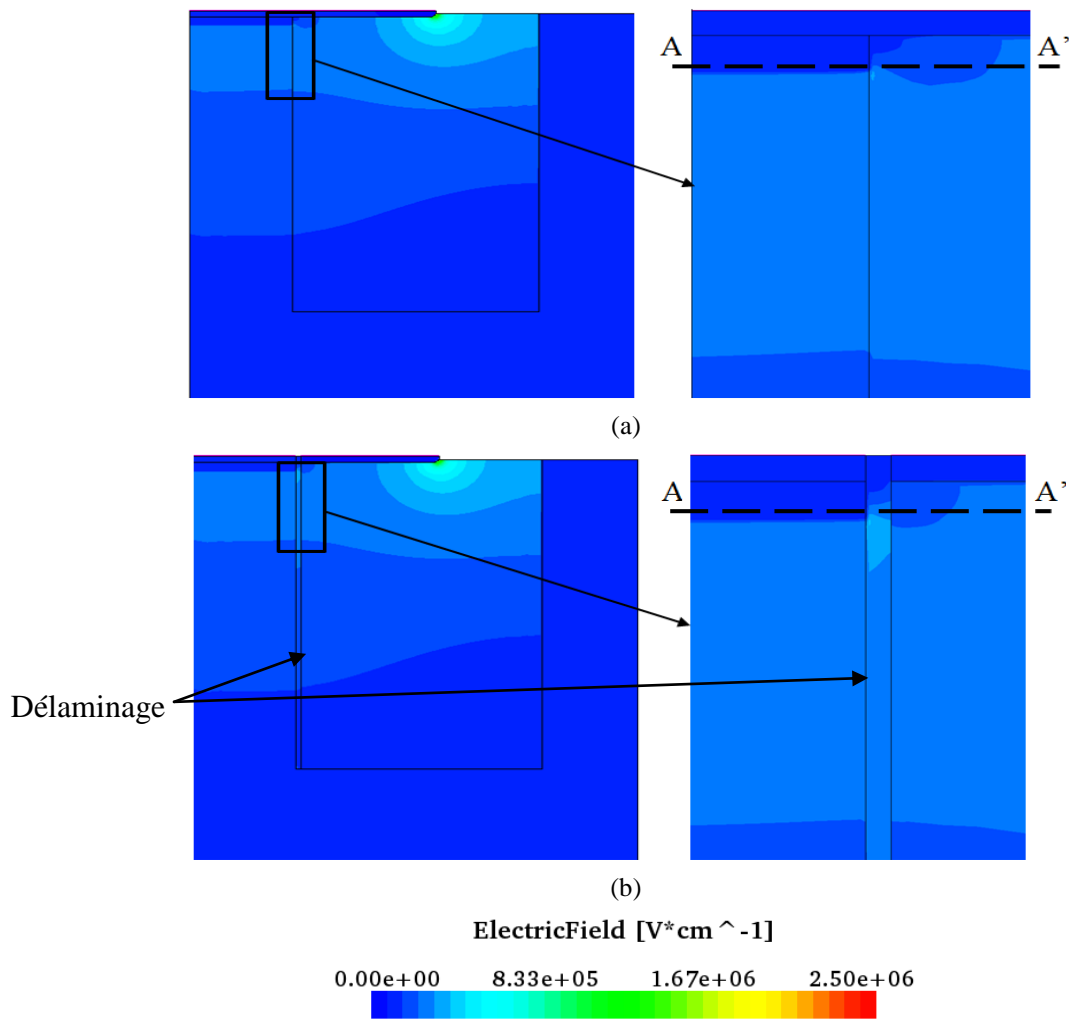
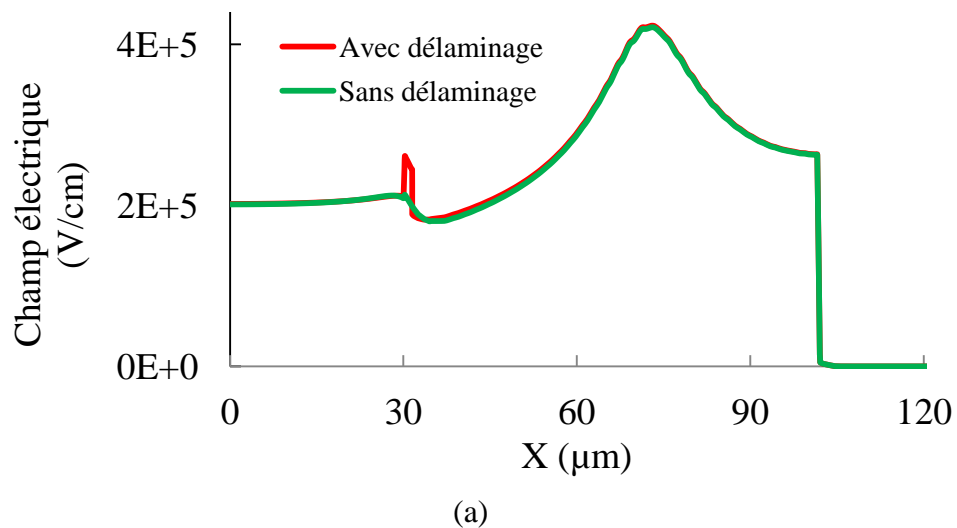
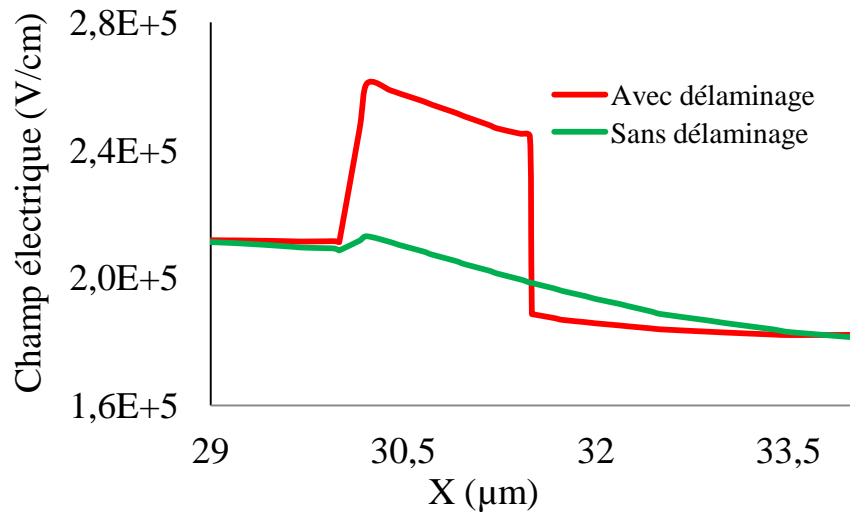


Figure 104 : Distribution 2D du champ électrique dans la structure et son agrandissement (a) avec, et (b) sans création de vide

La Figure 105 représente la répartition du champ électrique le long de l'axe horizontal AA' de la Figure 104. Nous remarquons qu'un maximum de champ électrique est situé dans la zone de vide créée à l'interface Si / BCB.





(b)

Figure 105 : (a) Répartition de champ électrique le long d'une ligne de coupe horizontale AA', et (b) son grandissement autour du délamination à l'interface Si / BCB.

L'augmentation du champ électrique n'est pas suffisante pour avoir un claquage local. De plus, la présence du BCB empêche l'apparition d'un arc électrique dans la structure tant que celui-ci n'a pas atteint son champ de rupture.

✓ **Délamination du côté intérieur de la tranchée sans fissure dans la métallisation de l'anode**

La Figure 106 présente une coupe schématique d'un délamination du côté intérieur de la tranchée sans fissure de la métallisation de l'anode.

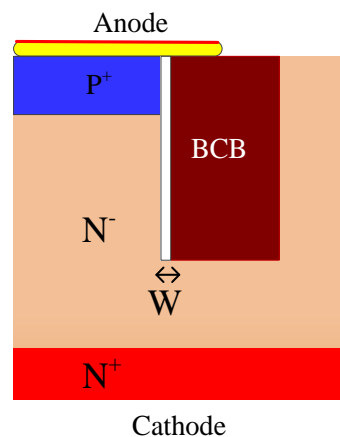


Figure 106 : Coupe schématique d'un délamination du côté intérieur de la tranchée sans fissure dans la métallisation de l'anode.

La Figure 107 représente les caractéristiques inverses de la structure avec différentes largeurs de vide (W). Nous avons fait varier la largeur W entre $0,1 \mu\text{m}$ et $8 \mu\text{m}$. La largeur de $0 \mu\text{m}$ correspond à la géométrie de référence, sans délaminage.

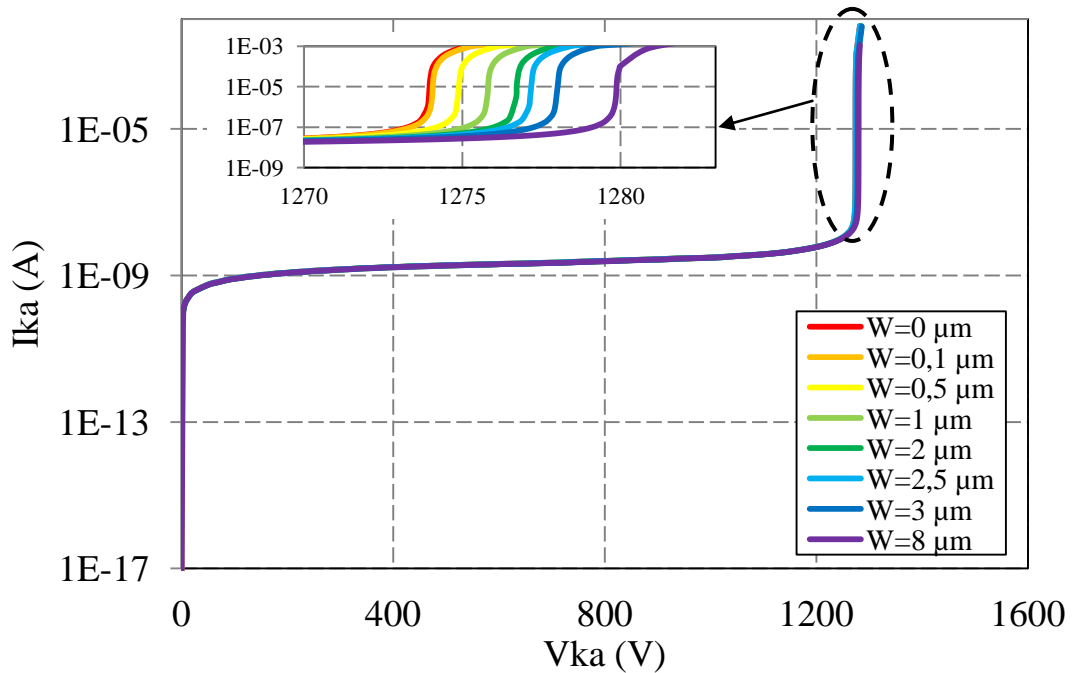


Figure 107 : Variation de la caractéristique inverse de la diode DT^2 en fonction de l'épaisseur du délaminage à l'interface Si / BCB du côté intérieur de la tranchée sans fissure dans l'anode.

Cette figure montre qu'un délaminage à l'interface Si / BCB sans fissure dans l'or a le même comportement que la structure précédente. En effet, le champ électrique dans la structure est toujours concentré au bout de la plaque de champ et une modification de l'interface Si / BCB ne modifie pas assez le champ électrique pour modifier la tenue en tension.

Nous pouvons donc en conclure qu'un délaminage à l'interface Si / BCB du côté extérieur ou du côté intérieur de la tranchée avec et sans fissure dans la métallisation de l'anode n'affecte pas la tenue en tension.

3.3.1.2 Modélisation 3D

Nous avons souhaité modéliser la diode en 3D afin de vérifier que les comportements observés dans les simulations 2D se reproduisent. La simulation tridimensionnelle d'un composant semi-conducteur présente un temps de calcul très long et un espace mémoire important. En effet dans notre cas, il est nécessaire d'avoir un maillage très fin au niveau de l'interface Si / BCB et Vide / BCB. Nous avons donc choisi de simuler un quart de la structure réelle comme le montre la Figure 108.

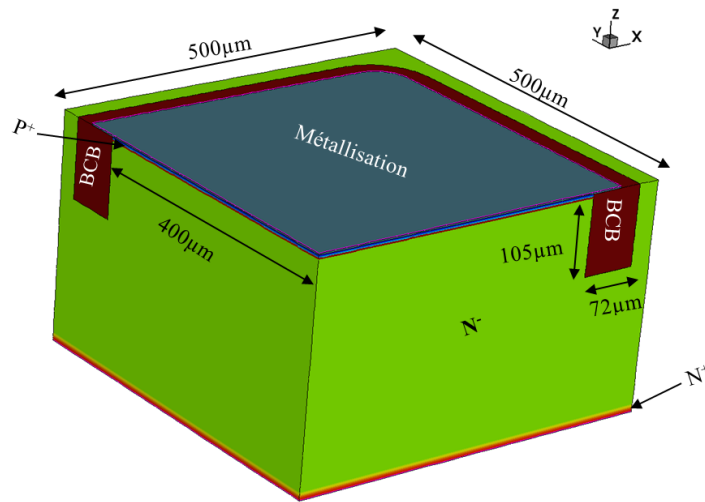


Figure 108 : Structure modélisée en 3D représentant un quart de la diode DT².

La Figure 109 présente les caractéristiques inverses de la structure avec différentes largeurs de vide pour une structure 3D en fonction d'un délaminage du côté intérieur de la tranchée avec une fissure dans la métallisation de l'anode. Nous avons varié la largeur W entre $0,1 \mu\text{m}$ et $3 \mu\text{m}$. La largeur de $0 \mu\text{m}$ correspond à la géométrie de référence, sans délaminage.

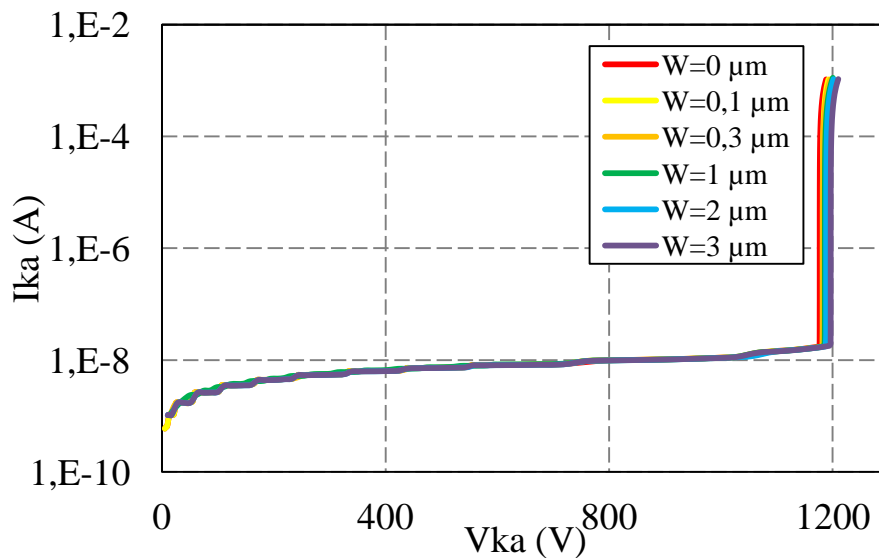


Figure 109 : Variation de la caractéristique inverse de la diode DT² en fonction de l'épaisseur du délaminage à l'interface Si / BCB du côté intérieur avec fissure dans la métallisation de l'anode.

Nous observons que le résultat obtenu en 3D est similaire à celui obtenu en 2D. En effet presque toutes les courbes de la tenue en tension en fonction de différentes largeurs du vide se superposent. Nous pouvons ajouter, que la simulation 2D se rapporte à la simulation 3D en spécifiant un AF tenant compte de l'épaisseur suivant l'axe z de la structure en 2D.

La Figure 110 présente la répartition de lignes de potentiel dans la diode DT². Le délaminage est représenté par une ligne rose dans la Figure 110 (a). Exactement comme dans une structure 2D, les lignes de potentiels sont confinées dans la tranchée, et remontent en surface entre l'extrémité de la tranchée et l'extrémité de la plaque du champ. Au niveau de l'interface Si / BCB, les lignes de potentiels entrent dans un milieu de faible permittivité diélectrique et changent leur direction dans une petite zone mais sans influence sur la tenue en tension de la structure. La structure 3D à l'avantage de pouvoir définir un délaminage sur une zone précise.

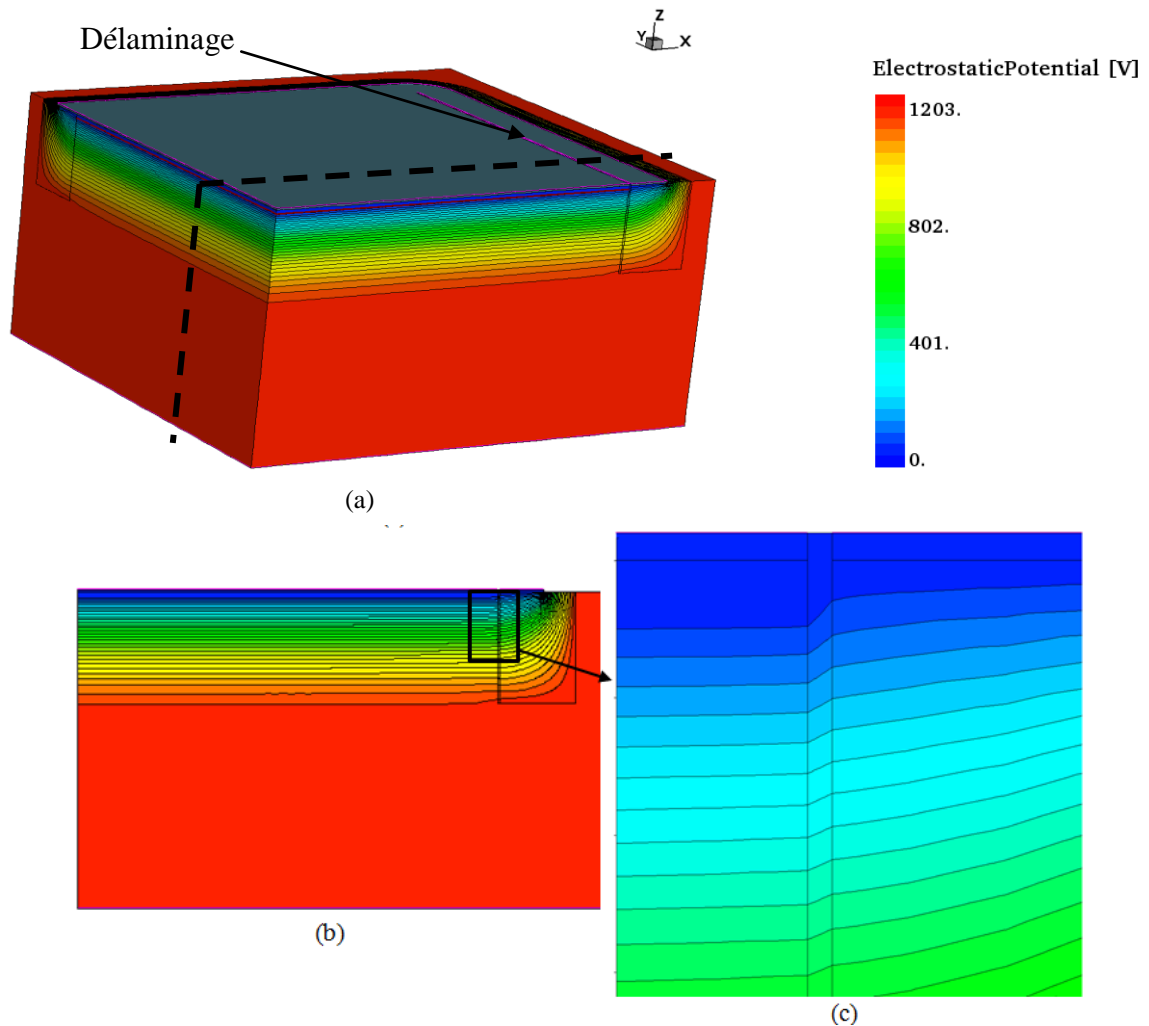


Figure 110 : Distribution 3D des lignes de potentiels (a) dans la structure, (b) suivant une coupe, et (c) son agrandissement.

3.3.2 Influence d'un délaminage à l'interface Si /BCB sur la capacité Anode Cathode

Le comportement dynamique d'une diode est lié en partie à la capacité inter-électrode qu'il faut charger et décharger lors des commutations. Un délaminage à l'interface Si / BCB peut modifier cette capacité. Nous souhaitons maintenant savoir si la variation de la capacité peut-être un identificateur de présence de délaminage dans la structure. Pour cela, nous avons

modélisé et caractérisé la capacité anode-cathode en fonction de la tension de polarisation inverse.

3.3.2.1 Modélisation en « Mixed Mode »

Afin de prendre en compte la zone active de la diode DT^2 , nous avons utilisé la simulation « Mixed Mode ». Nous aurons pu faire notre simulation en 3D, mais « Mixed Mode » permet de réduire le temps de calcul. L'ensemble d'avantages de ce mode sera expliqué intérieurement.

Dans notre cas, la structure simulée est composée de deux cellules définies par éléments finis : une cellule de base représentée par la zone 1 (zone active de la diode DT^2) et la terminaison représentée par la zone 2 dans la Figure 111. Pour représenter plus fidèlement le composant, nous avons associé un coefficient de profondeur (*Area Factor*) AF1 pour la cellule de base et un AF2 pour la terminaison afin de prendre en compte les différentes surfaces de chaque zone.

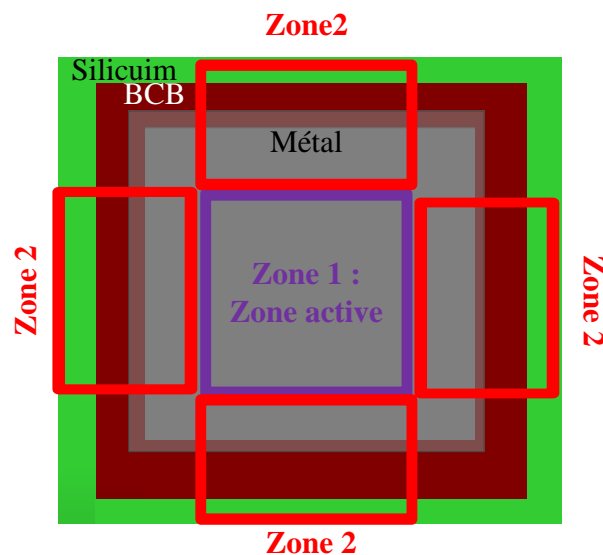


Figure 111 : Représentation schématique des deux zones définies pour la diode DT^2 en « Mixed Mode ».

La Figure 112 présente le circuit simulé sous TCAD SENTAURUS, avec D1 et D2 représentant respectivement la cellule de base et la terminaison. Tandis que E_G est une source de tension variable permettant de balayer la caractéristique de la diode et R une résistance améliorant la convergence de la simulation.

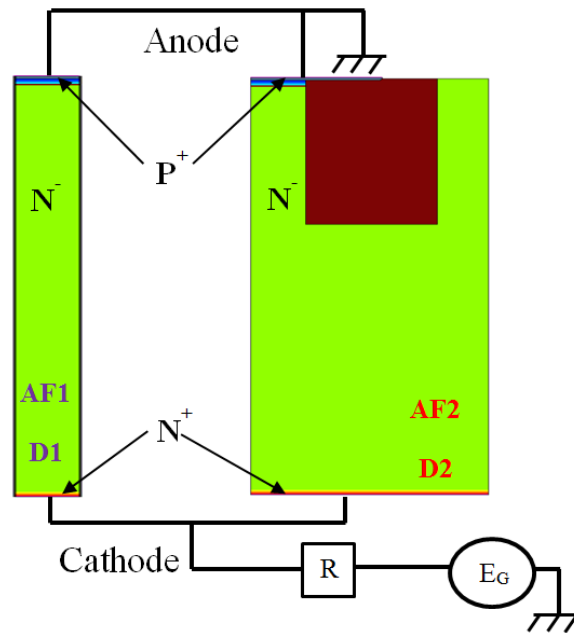


Figure 112 : Modèle associée à la diode DT² pour la simulation « Mixed Mode ».

La capacité de la structure a été simulée et la Figure 113 présente la variation de cette capacité pour différentes largeurs de vides W créées dans la structure.

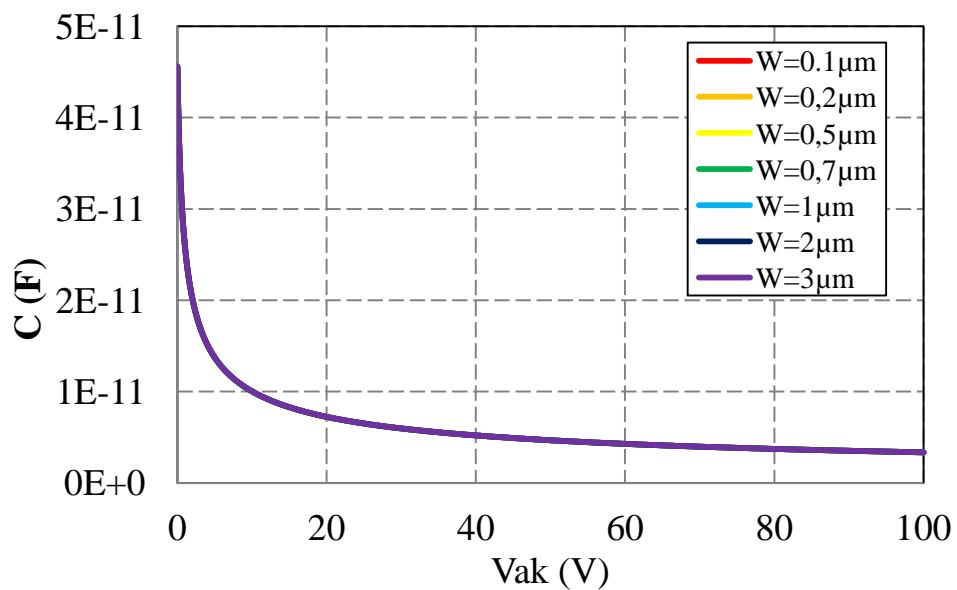


Figure 113 : Variation de la capacité parasite en fonction de différentes largeurs de vide.

Nous observons que le vide créé à l'interface Si / BCB n'a pas d'effet sur la capacité parasite. Afin de comprendre la cause de la superposition de ces courbes, nous avons modélisé la structure par des capacités parasites élémentaires.

3.3.2.2 Modélisation analytique de la capacité inter-électrodes

La Figure 114 présente les capacités parasites élémentaires associées à la cellule D1 et D2. Ce modèle peut être discuté, mais il est suffisant dans notre cas pour justifier qu'un délaminage n'a pas d'influence sur la caractéristique $C_{ak}(V_{ak})$.

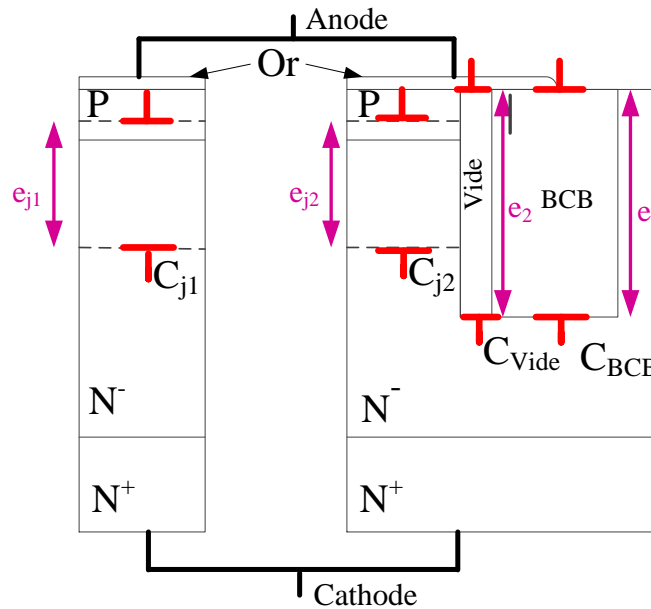


Figure 114 : Capacités parasites de la structure.

Il existe trois types de capacités : la capacité de la jonction associée à une région de déplétion (C_{j1} et C_{j2}), la capacité associée au délaminage (C_{vide}), et la capacité associée au BCB (C_{BCB}). La capacité totale est présentée sur la Figure 115.

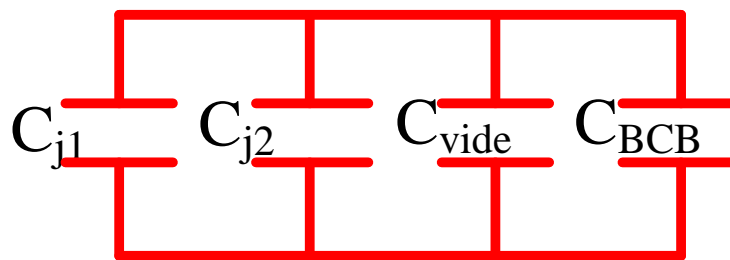


Figure 115 : Schéma équivalent des capacités parasites de la structure.

Ces diverses capacités s'expriment par la formulation générale d'une capacité :

$$C = \frac{\epsilon_0 \epsilon_r A}{e} \quad (\text{eq. 16})$$

Où ϵ_0 présente la permittivité du vide ($\epsilon_0 = 8,854 \times 10^{-12} \text{ F m}^{-1}$), ϵ_r est la permittivité relative du matériau, e est la distance entre les deux électrodes de la capacité, et A est la surface d'une électrode de condensateur (Figure 116).

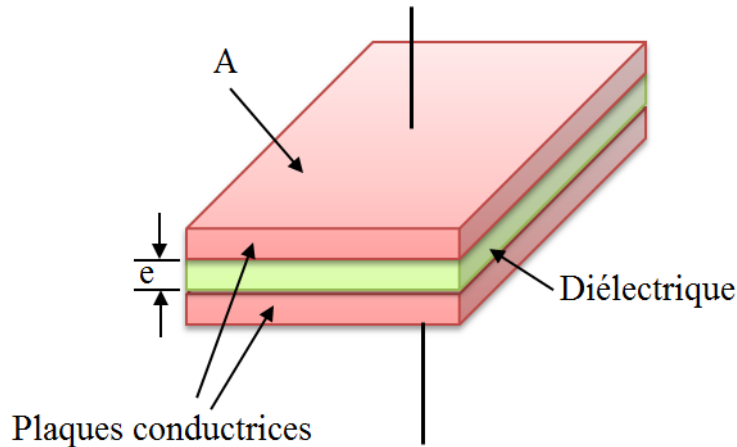


Figure 116 : Modèle d'un condensateur plan.

Les différentes valeurs des capacités ont été calculées pour une tenue en tension égale à 1200 V afin de trouver la valeur minimale de la capacité de déplétion de la jonction PN.

✓ **Capacité inter-électrode due au BCB**

La permittivité relative du BCB est de 3,9. L'épaisseur de la couche de BCB est de 105 μm pour une tenue en tension de 1200 V. La surface de l'électrode supérieure sur le BCB est de $4000 \times 1 \mu\text{m} \times 40 \mu\text{m}$, soit $1,6 \times 10^5 \mu\text{m}^2$. Théoriquement, la capacité inter-électrode dû au BCB, d'après l'équation (eq. 16) est de :

$$C_{BCB} = 52 \times 10^{-15} \text{ F} \quad (\text{eq. 17})$$

✓ **Capacité inter-électrode due au délaminage**

La permittivité relative du vide est de 1. La profondeur du délaminage est supposée égale à la profondeur de la tranchée, soit 105 μm pour une tenue en tension de 1200 V. La surface de l'électrode supérieure sur le BCB est de $4000 \times 1 \mu\text{m} \times 0,1 \mu\text{m}$, soit $4 \times 10^2 \mu\text{m}^2$. Théoriquement, la capacité inter-électrode due au délaminage est de :

$$C_{\text{vide}} = 33 \times 10^{-18} \text{ F} \quad (\text{eq. 18})$$

✓ **Capacité inter-électrode due à la jonction j_1**

La permittivité relative du silicium est de 11,7. La profondeur de la zone de déplétion associée à la jonction j_1 est de 100 μm pour une tenue en tension de 1200 V. La surface de l'électrode supérieure sur la jonction est de $10^5 \times 1 \mu\text{m} \times 10 \mu\text{m}$, soit $10^6 \mu\text{m}^2$. Théoriquement, la capacité inter-électrode due à la jonction j_1 est de :

$$C_{j_1} = 10^{-12} \text{ F} \quad (\text{eq. 19})$$

✓ Capacité inter-électrode due à la jonction j_2

La permittivité relative du silicium est de 11,7. La profondeur de la zone de déplétion associée à la jonction j_2 est de $100 \mu\text{m}$ pour une tenue en tension de 1200 V . La surface de l'électrode supérieure sur la jonction est de $4000 \times 1 \mu\text{m} \times 30 \mu\text{m}$, soit $12 \times 10^4 \mu\text{m}^2$. Théoriquement, la capacité inter-électrode due à la jonction j_1 est de :

$$C_{j_2} = 124 \times 10^{-15} \text{ F} \quad (\text{eq. 20})$$

Nous pouvons observer que $C_{\text{vide}} \ll C_{\text{BCB}} < C_{j_2} \ll C_{j_1}$. Ce résultat confirme que le délaminage créée dans la structure n'a pas d'effet sur les caractéristiques électriques de la diode et qu'il ne peut être identifié ni par la variation de la tenue en tension ni par la mesure de la capacité parasite du composant.

3.4 Influence d'une fissure au niveau du coin de la diode DT^2 sur la caractéristique inverse

Afin d'évaluer l'influence d'une fissure apparue sur le coin de la diode DT^2 , la simulation 3D a été étudiée. La Figure 117 présente la structure de la diode DT^2 simulée avec une fissure sur son coin.

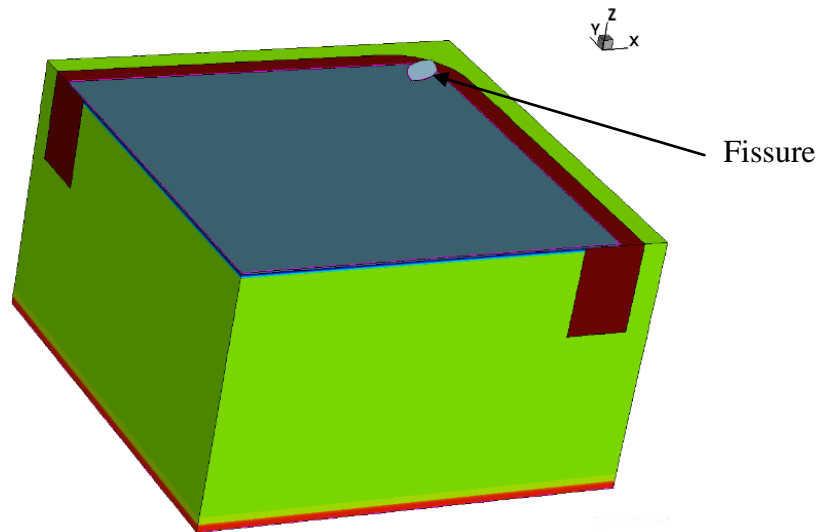


Figure 117: Structure de la diode DT^2 avec une fissure sur son coin.

Une fissure de quelques micromètres d'épaisseur est difficile à mailler car les nœuds doivent être proches dans la direction de l'épaisseur, et éloignés dans la profondeur et la largeur afin d'optimiser le temps de calcul. Le moteur de maillage SNMESH, privilégie un ordonnancement des nœuds dans les axes du repère orthogonal, ce qui rend difficile le maillage dans notre cas et le moteur NOFFSET 3D nécessite un plus grand nombre de nœuds

de maillage pour fonctionner. Nous avons volontairement créé une fissure qui ne représente pas une fissure réelle pour simplifier le maillage et augmenter l'influence de la présence d'une fissure dans la structure.

La fissure est présentée sous la forme d'un ovale. Sa longueur correspond au rayon de courbure de la terminaison, soit 70 μm et la profondeur de la fissure a été variée entre 70 μm et 300 μm . Nous avons activé le modèle d'avalanche dans la partie « physics » du fichier « Sdevice ». Seulement, le courant est utilisé comme critère d'arrêt pour la simulation. La Figure 118 présente l'évolution de la caractéristique inverse en fonction de la profondeur de la fissure présente sur le coin de la diode DT².

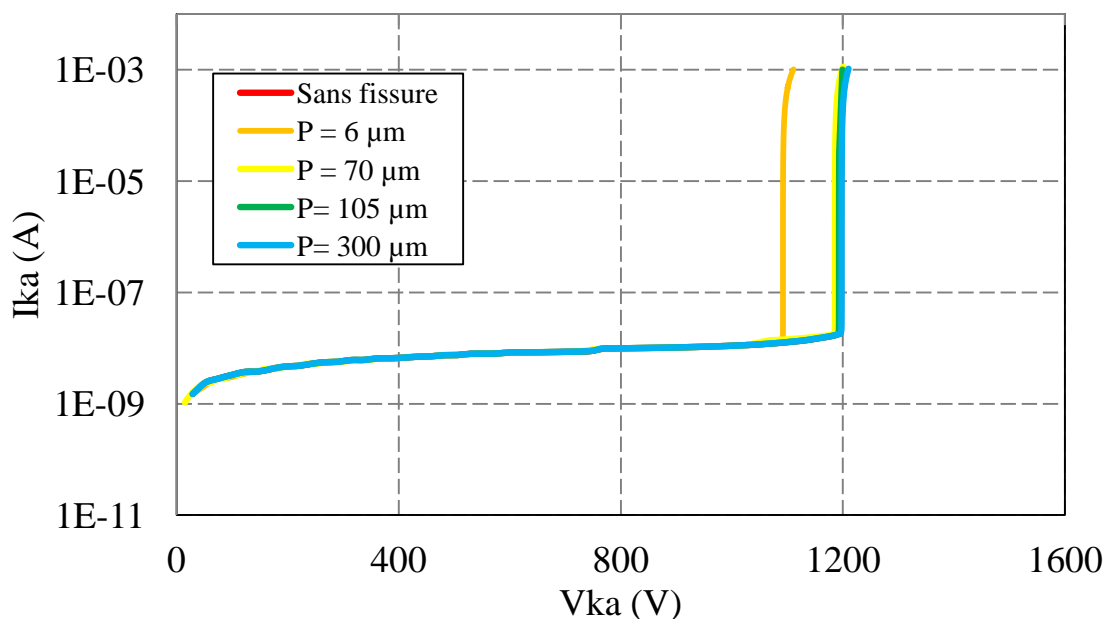
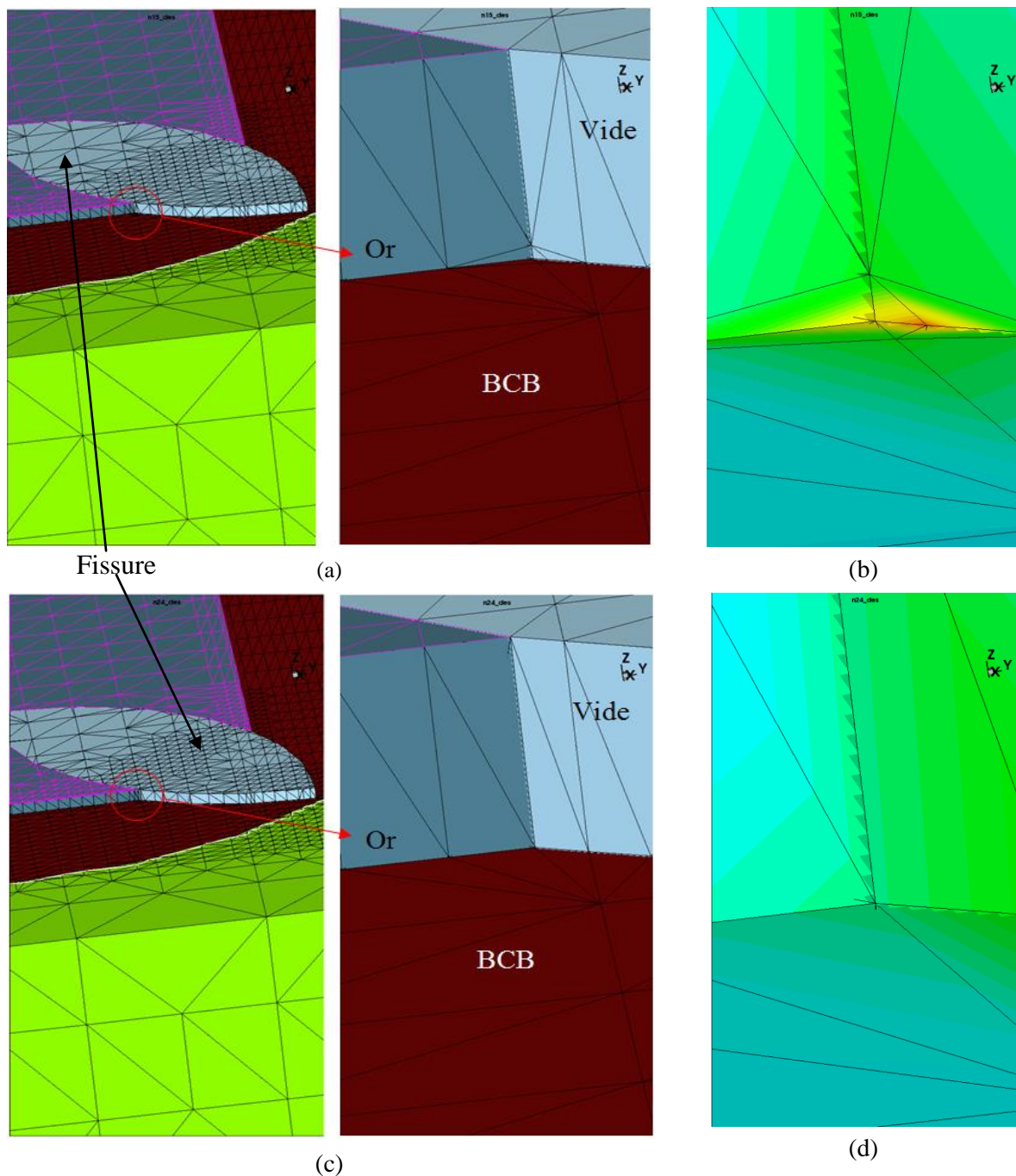


Figure 118 : Évolution de la caractéristique inverse en fonction de la profondeur de la fissure sur le coin de la diode DT².

Nous avons remarqué qu'une fissure sur le coin de la diode DT² de profondeur comprise entre 70 μm et 300 μm n'affecte pas la tenue en tension. En effet les caractéristiques électriques se superposent avec celle d'une structure sans fissure. Par contre, nous avons trouvé que pour une profondeur égale à 6 μm de la fissure, la tenue en tension chute de 100 V. Pour comprendre cette chute de tension, une comparaison de la répartition du champ électrique entre deux structures maillées pour une fissure de profondeur 6 μm et 70 μm est effectuée (Figure 119).



**Figure 119 : (a) Structure maillée pour une fissure de (a) 6 μm et (c) 70 μm .
Agrandissement de la répartition du champ électrique de la structure maillée au niveau de la fissure pour
une profondeur de (b) 6 μm et (d) 70 μm .**

Comme nous pouvons le voir, un maximum de champ électrique apparaît dans le BCB pour la structure ayant une fissure de 6 μm . Ce maximum de champ est généré à cause d'un resserrement de maillage dans la courbure de la fissure. Cela provoque une avalanche prématurée. La diminution de la tenue en tension, ne dépend donc pas de la structure, mais de la définition du maillage. Il est à préciser que le logiciel génère un maillage automatique qui diffère d'une structure à une autre.

Les observations optiques permettent de visualiser des délaminages à l'interface Si / BCB et des fissures au niveau du coin. Nous avons démontré avec la simulation qu'il est impossible que ces derniers soient responsables des variations de la tenue de tension et donc d'autres hypothèses seront vérifiées.

3.5 Influence des charges à l'interface Si / BCB sur la tenue en tension

Un isolant ne peut jamais être idéal car ce dernier possède des impuretés (antioxydant, agents, additifs) créant ainsi des défauts de structures dans ses bandes d'énergie. Ces défauts se présentent sous la forme d'états d'énergie dans la bande interdite (Figure 120).

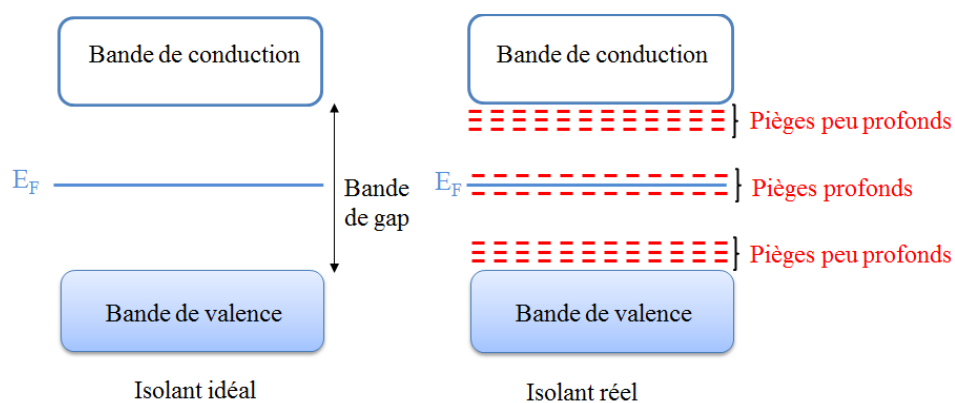


Figure 120 : Diagramme de bande d'un isolant idéal et réel.

Ces états d'énergie ont la possibilité de piéger des charges dans le diélectrique. Selon leur position dans la bande interdite, ils sont considérés comme des pièges à électrons s'ils sont proches de la bande de conduction et des pièges à trous lorsqu'ils sont proches de la bande de valence. Selon l'origine de ces pièges, ces derniers peuvent être profonds ou peu profonds. Généralement, les pièges peu profonds sont dus à un désordre physique, et les pièges profonds sont à l'origine des défauts chimiques [76]. De plus, le fait de mettre un semi-conducteur en contact direct avec un isolant peut créer des états d'interface, pouvant piéger des charges électriques.

Dans notre étude, nous avons supposé que les variations de la tenue en tension sont la conséquence des charges piégés à l'interface Si / BCB. Par conséquent, il est nécessaire de comprendre l'influence de charges fixes piégés à l'interface Si / BCB par la simulation.

3.5.1 Modélisation 2D

Avec le logiciel TCAD SENTAURUS, nous pouvons créer une quantité de charges fixes de type électrons ou trous à l'interface de deux matériaux différents en activant un modèle spécifique dans la session « physics » du fichier « SDEVICE » :

Physics (MaterialInterface="Si / BCB")

{Traps (Conc = C FixedCharge)}

C présente la dose des charges fixes insérées à l'interface des deux matériaux Silicium et BCB en cm^{-2} .

Nous avons commencé par une première comparaison entre deux doses de charges négatives et une seconde entre deux doses de charges positives, afin de comprendre l'effet des charges fixes sur la tenue en tension.

3.5.1.1 Influence des charges négatives

Les deux doses négatives choisies pour la comparaison sont $C = -10^{10} \text{cm}^{-2}$ et $C = -4 \times 10^{12} \text{cm}^{-2}$. La Figure 121 présente la répartition 2D des lignes de potentiels dans la structure pour les deux doses citées précédemment.

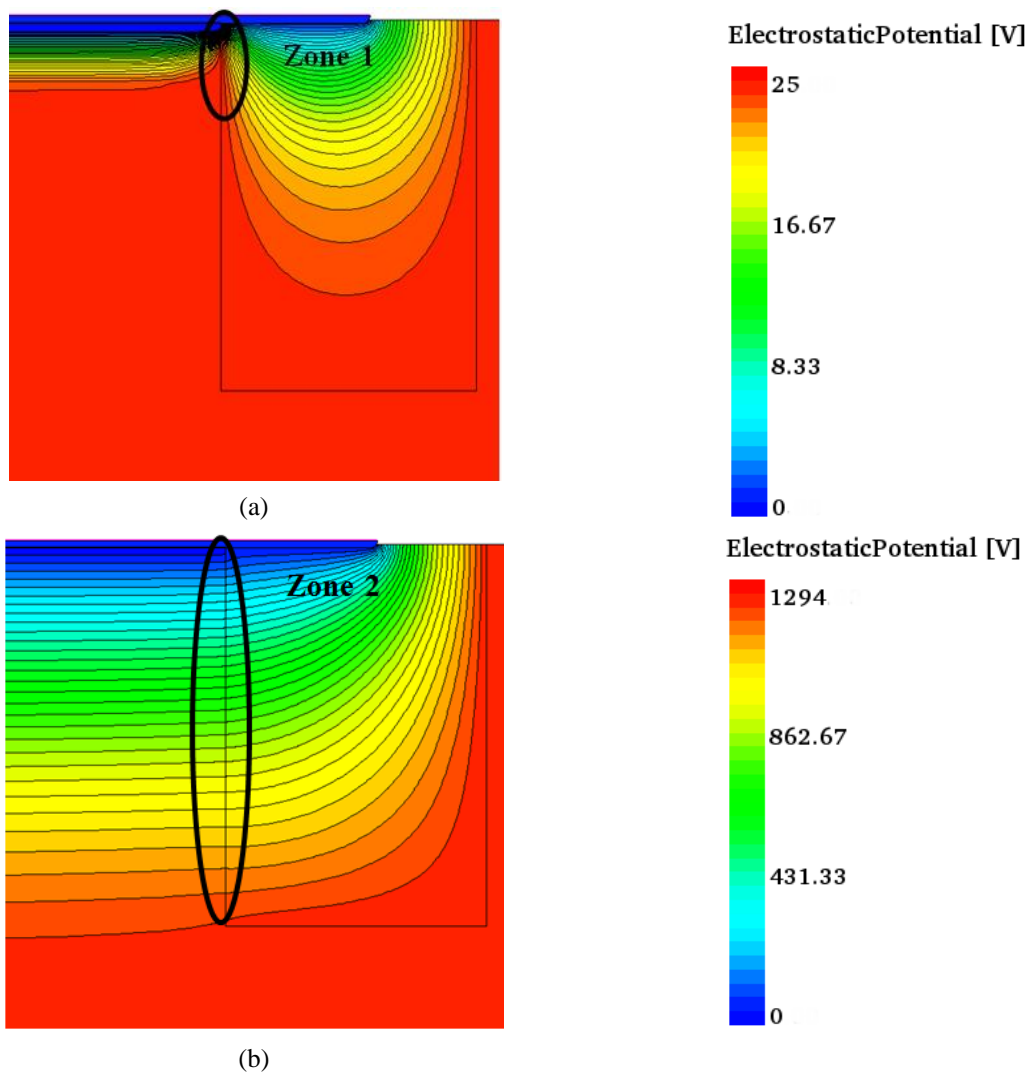


Figure 121 : Distribution 2D des lignes de potentiels dans la structures pour une dose de (a) $C = -4 \times 10^{12} \text{cm}^{-2}$, et (b) $C = -10^{10} \text{cm}^{-2}$.

D'après la Figure 121, pour une dose insérée de -10^{10} cm^{-2} , la déplétion s'étale sur $100 \mu\text{m}$ et la structure a une tenue en tension de 1294 Volts, proche de la tenue en tension de la structure de référence. Toutes les charges négatives présentes sont recombinées avec des trous permettant aux lignes de potentiels de s'étaler sur toute la profondeur de la terminaison. Par contre, pour une dose de $-4 \times 10^{12} \text{ cm}^{-2}$, la tenue en tension est de 25 Volts. La quantité de charges fixes à l'interface est trop élevée et n'est pas entièrement recombinée avec des trous. La zone de charge espace est pincée à l'interface Si / BCB, limitant ainsi l'efficacité de la terminaison. Pour comprendre l'origine du claquage prématuré, une comparaison de la répartition du champ électrique dans la structure pour les deux doses a été réalisée pour une tension identique (25 V) en Figure 122 (a) et (b).

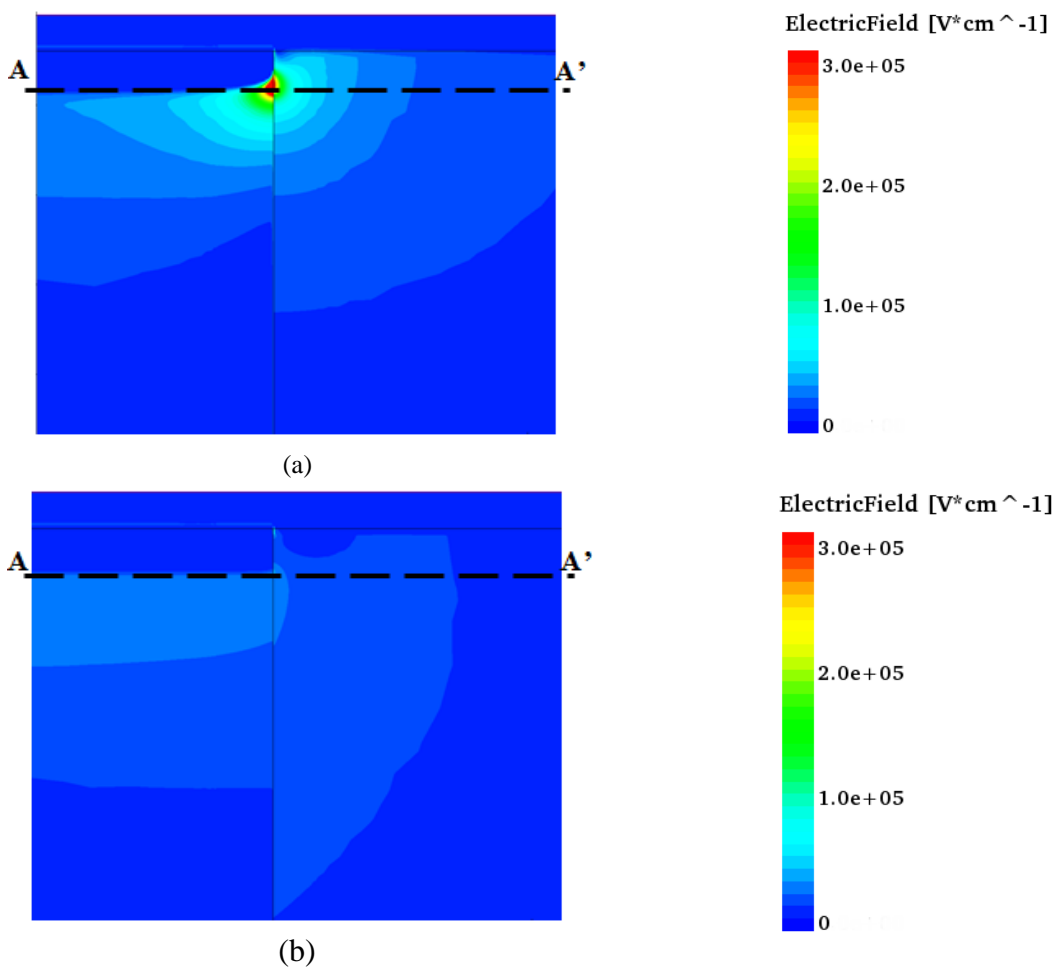


Figure 122 : Répartition du champ électrique pour une dose de (a) $C = -4 \times 10^{12} \text{ cm}^{-2}$, et (b) $C = -10^{10} \text{ cm}^{-2}$.

Le resserrement des lignes de potentiels a créé une augmentation locale du champ électrique dans la zone 1, ce qui a provoqué une avalanche prématurée dans la structure. Une coupe suivant l'axe horizontale (AA') de ce champ électrique a été faite (Figure 123). Le maximum de champ électrique est situé exactement dans le coin gauche supérieur de la tranchée, à l'endroit où les lignes de potentiels sont fortement resserrées et par conséquent, le gradient de potentiel est le plus important.

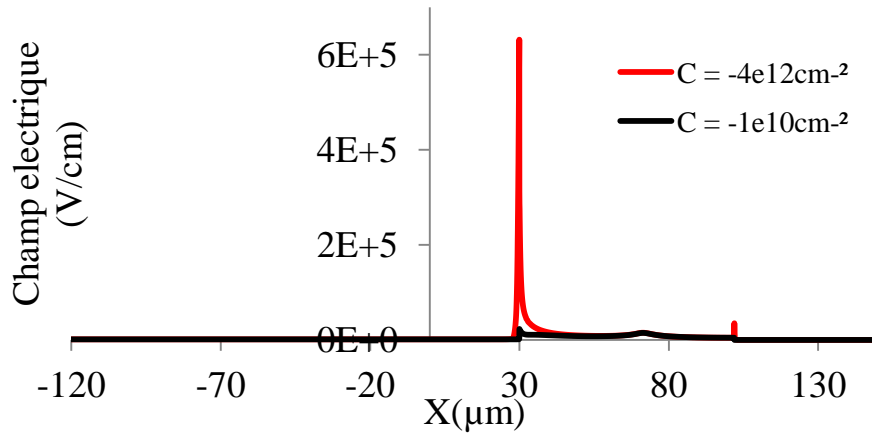


Figure 123 : Répartition de champ électrique le long d'une ligne de coupe horizontale AA'.

Cette augmentation locale du champ électrique a influencé la distribution de la densité du courant lors de l'avalanche. La Figure 124 présente la distribution de la densité de courant dans la structure pour les deux concentrations pour une tension identique (25 V).

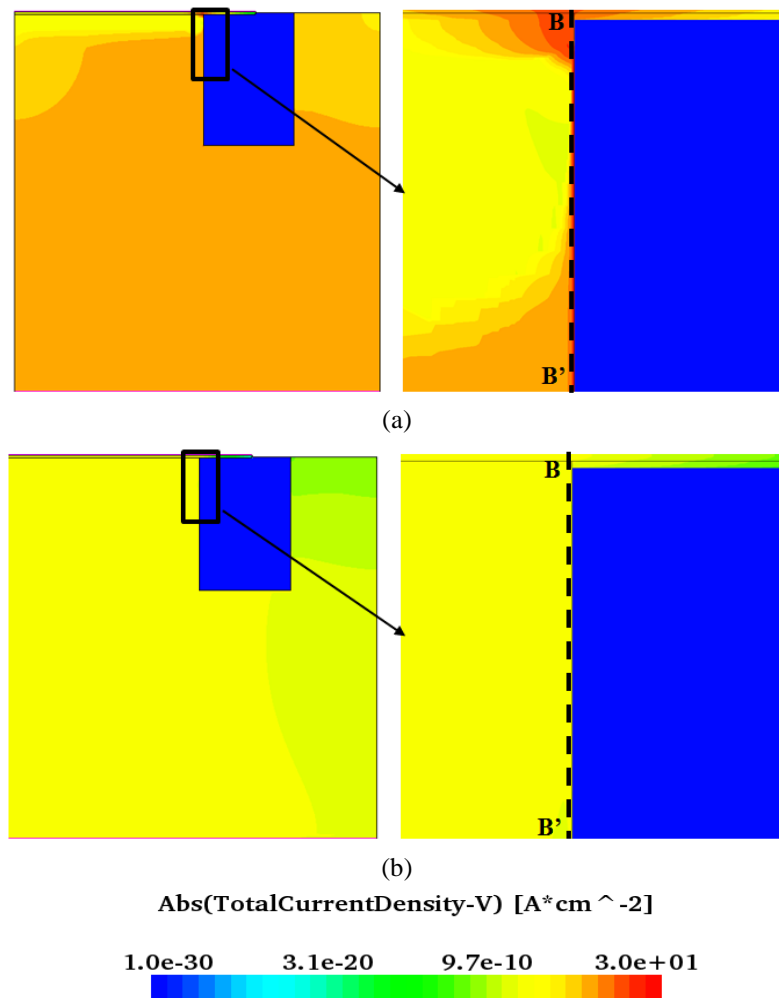


Figure 124 : Répartition de la densité de courant pour une dose (a) $C = -4 \times 10^{12} \text{ cm}^{-2}$, et (b) $C = -10^{10} \text{ cm}^{-2}$.

Nous remarquons que pour une dose de $-4 \times 10^{12} \text{ cm}^{-2}$, le courant est concentré le long de l'interface Si / BCB. Ceci pourrait avoir plusieurs effets négatifs tel que l'échauffement local de la résine ou la modification locale de l'interface Si / BCB, augmentant davantage le nombre de charges. Pour une faible dose de charges, le courant reste réparti de façon homogène dans la structure, limitant ainsi l'apparition du phénomène d'avalanche.

3.5.1.2 Influence des charges positives

Les deux doses de charges positives choisies pour la comparaison sont $C = +10^{12} \text{ cm}^{-2}$ et $C = +5 \times 10^{12} \text{ cm}^{-2}$. La Figure 125 présente la répartition 2D des lignes de potentiel dans la structure pour les deux doses citées précédemment.

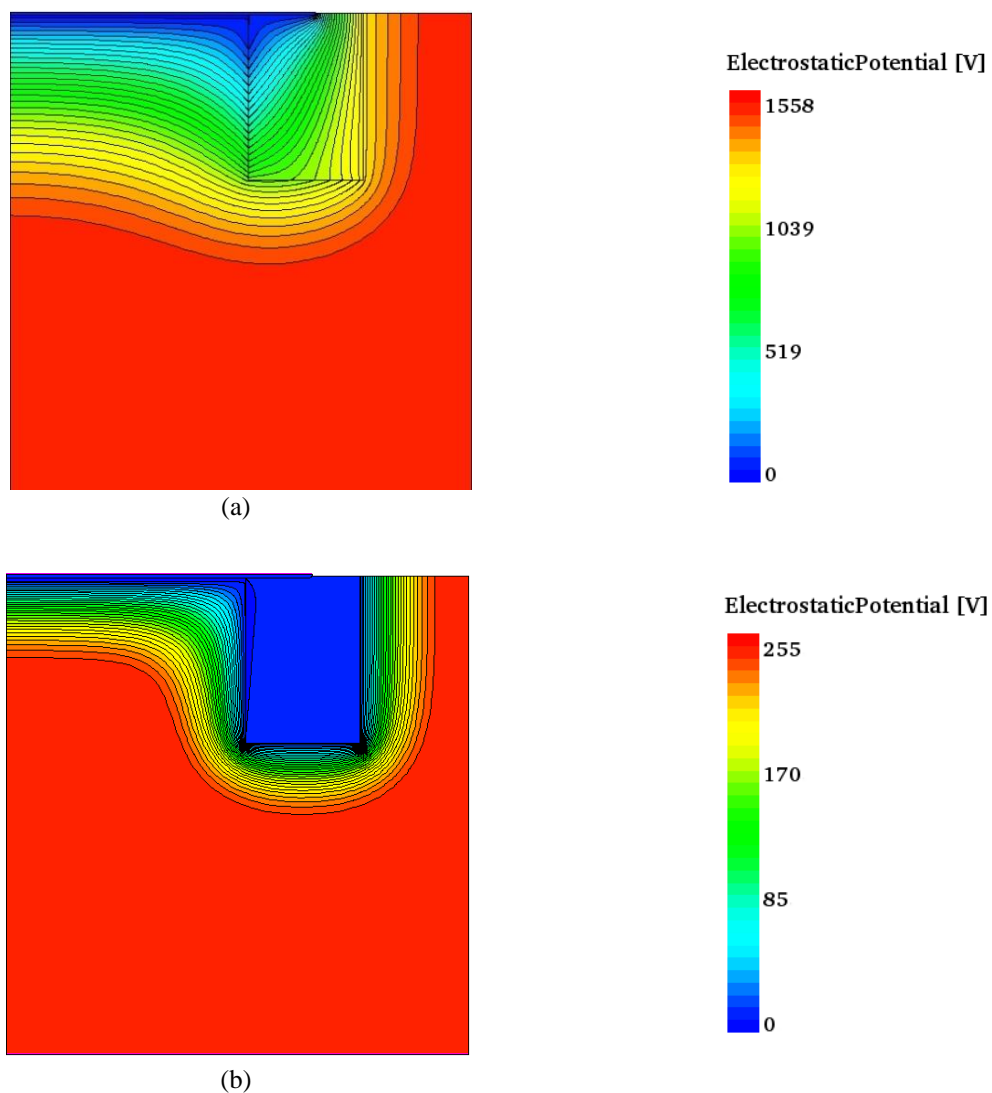


Figure 125 : Répartition 2D des lignes de potentiel dans la structure pour une dose (a) $C = +10^{12} \text{ cm}^{-2}$, et (b) $C = +5 \times 10^{12} \text{ cm}^{-2}$.

Pour une dose $C = +10^{12} \text{ cm}^{-2}$, la tension de claquage est égale à 1555 V. En effet, toutes les charges positives présentées sont recombinés avec des électrons. Ainsi, les lignes de

potentiels se propagent à l'intérieur de la tranchée profonde, et sur l'ensemble de sa profondeur. Il est à noter, comme pour la T³JTE, que les lignes de potentiels sortent de la terminaison, grâce au même phénomène. Pour une dose $C = +5 \times 10^{12} \text{ cm}^{-2}$, la tension de claquage est égale à 254 V. Les lignes de potentiels ne pénètrent pas à l'intérieur de la tranchée. En effet, seule une partie des trous est recombinaisonnée avec des électrons. Les charges restantes à l'interface bloquent la distribution des lignes de potentiels à l'intérieur de la tranchée et limitent ainsi l'efficacité de la terminaison. Afin d'identifier la région de claquage prématurée avec une dose élevée de charges, une capture du champ électrique (Figure 126) dans la structure est enregistrée à la tension de claquage (254 V).

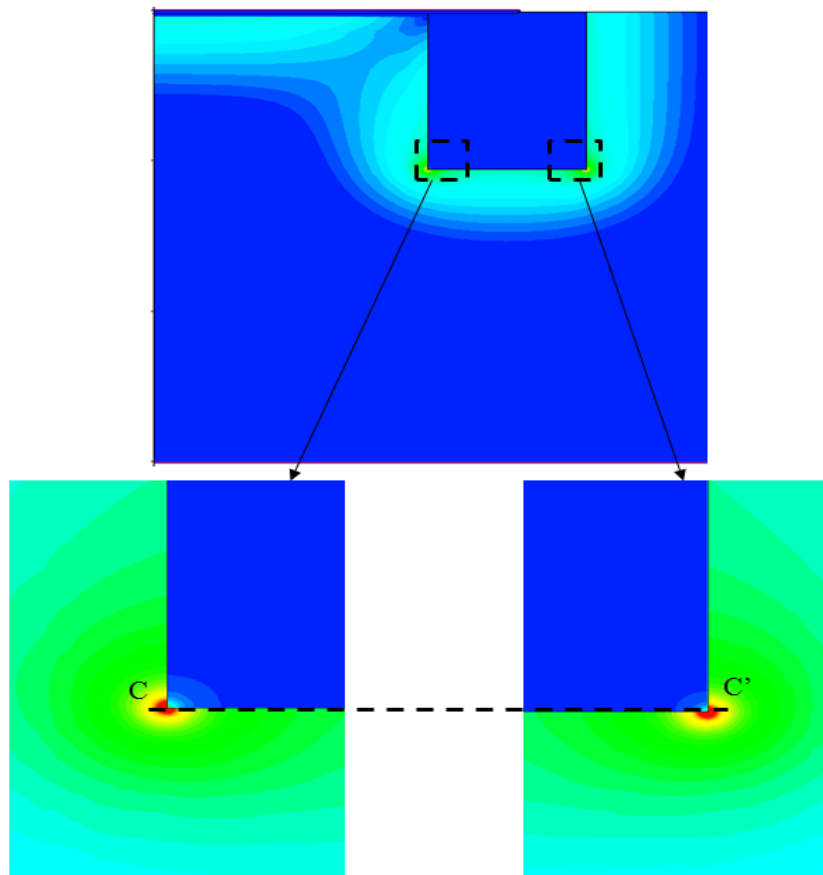


Figure 126 : Distribution 2D du champ électrique pour une dose de $C = +5 \times 10^{12} \text{ cm}^{-2}$.

Le resserrement des lignes de potentiels au niveau des coins inférieurs de la tranchée crée une augmentation locale de champ électrique, et donc une avalanche prématurée. Une coupe suivant l'axe horizontale CC' (Figure 127) montre l'existence de deux maximums de champ électrique au niveau des coins inférieurs de la tranchée. Pour cette raison, cette structure ne peut supporter que 254 V comparant à celle ayant une faible dose (1555 V).

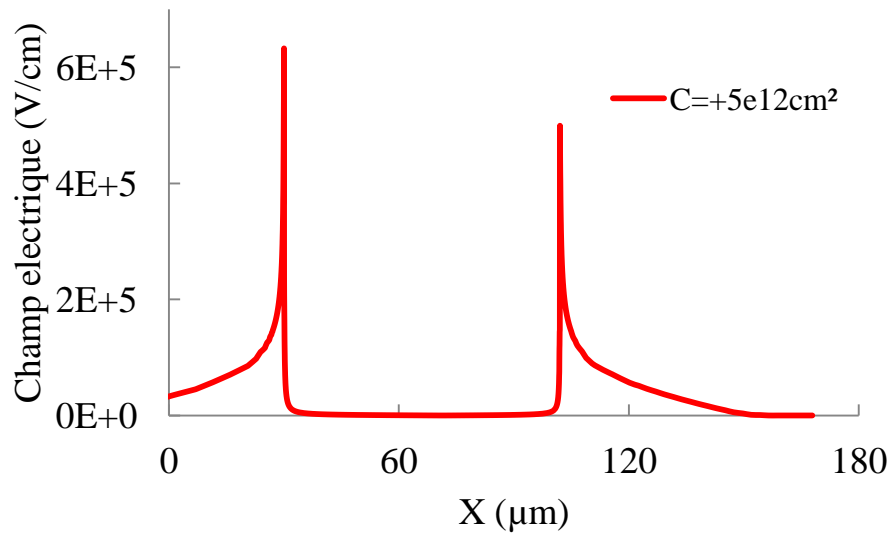


Figure 127 : Répartition du champ électrique le long de la ligne de coupe horizontale CC'.

3.5.1.3 Influence générale de charges à l'interface

Nous souhaitons mettre en avant l'influence des charges à l'interface sur la tenue en tension. La Figure 128 représente l'effet de l'insertion des charges fixes à l'interface Si / BCB sur la tenue en tension de la diode DT².

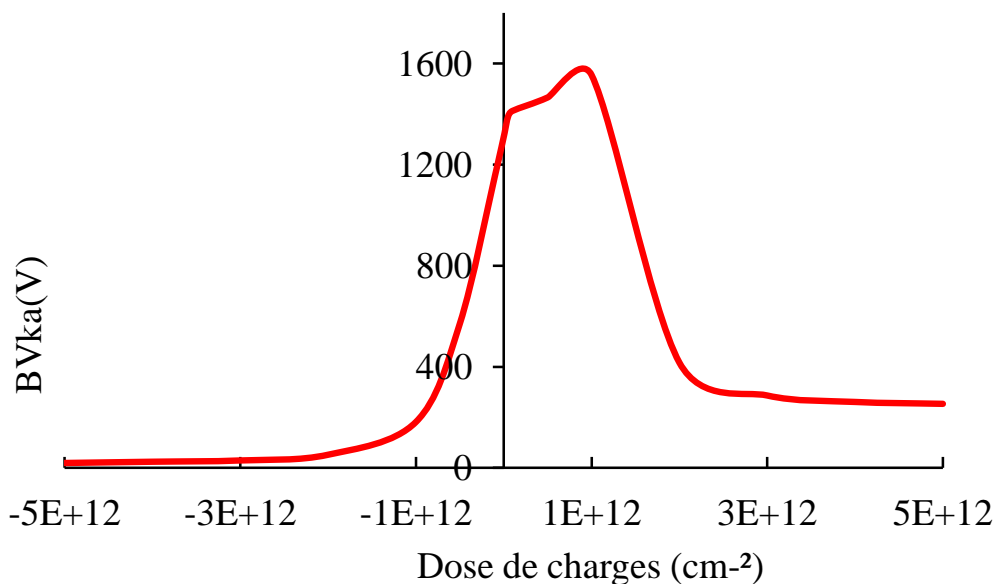


Figure 128 : Influence de l'insertion de charges fixes sur la tenue en tension de la diode DT².

Comme nous pouvons le voir sur la Figure 128, la tenue en tension est modifiée par l'insertion des charges fixes à l'interface Si / BCB. Une valeur de tenue en tension retrouvée peut alors être expliquée par une quantité de charges négatives ou positives piégées à l'interface Si / BCB.

Pour l'augmentation de la tenue en tension, une hypothèse de cette variation est que les charges électriques positives sont piégées à l'interface Si / BCB, ce qui va donner naissance à une nouvelle jonction virtuelle P / N⁻ le long de la tranchée. De même pour la diminution de la tenue en tension, une hypothèse de cette variation est que les charges électriques négatives ou positives sont piégées à l'interface Si / BCB, ce qui va donner naissance à une nouvelle jonction virtuelle N⁺ / N⁻ ou P⁺ / N⁻ le long de la tranchée, et limiter ainsi la déplétion des charges dans le silicium à proximité de la tranchée.

3.5.1.4 Discussion

La simulation a mis en évidence la sensibilité de la structure face aux charges fixes à l'interface. Nous pouvons maintenant apporter des hypothèses sur la différence entre les séries 1, 2, et 3 des diodes retrouvées après le vieillissement accéléré par le type et la quantité de la dose de charges piégées à l'interface Si / BCB. En effet, pour la série 2 des diodes, la diminution de la tenue en tension peut être alors expliquée par la présence de charges négatives ou une grande quantité de charges fixes positives (supérieure à 10^{12} cm⁻²) localisée à l'interface Si / BCB. Par contre, pour la série 1 des diodes, l'augmentation de la tenue en tension peut être expliquée par la faible quantité de charges positives fixes créées à l'interface Si / BCB (inférieure à 10^{12} cm⁻²). Reste maintenant la série 3 des diodes dont la tenue en tension ne cesse pas de varier au cours du vieillissement accéléré. Cela peut être expliqué par le dépôt ou le retrait de charges suivant l'environnement du composant.

3.5.2 Modélisation 3D

Le coin d'une structure présente généralement une jonction cylindrique. Dans la simulation 2D, le coin de la diode DT² n'est pas pris en compte. Donc pour en tenir compte, la simulation tridimensionnelle a été proposée. Nous avons proposé la structure sous forme d'un quart de cellule avec un AF = 4 (Figure 108).

Les simulations tridimensionnelles sont limitées par un nombre élevé de nœuds de maillage nécessaires pour avoir une bonne définition de la structure. De plus, il est nécessaire d'avoir un maillage très fin au niveau de l'interface Si / BCB afin de tenir compte de l'influence des charges à l'interface, et de limiter les problèmes de convergence. Notre structure représentant un quart de la structure réelle présente 190 000 nœuds, ce qui nécessite 24 heures de calcul et 18 Go de RAM (Random Access Memory) pour obtenir une caractéristique inverse.

Nous avons cherché un moyen pour garder les avantages de la représentation 2D et 3D. Ainsi, nous proposons de modéliser la structure avec « Mixed Mode » de SENTAURUS.

3.5.3 Modélisation « Mixed Mode »

3.5.3.1 Nouveau modèle de simulation sur « Mixed Mode »

Pour tenir compte du coin de la diode DT^2 , et dans le but de gagner du temps dans les différentes simulations, nous avons utilisé de nouveau la simulation « Mixed Mode ». Ce mode permet de simuler électriquement des structures par éléments finis associées à des composants décrits en modèles compacts pour définir un circuit électrique.

La structure entière est divisée en trois zones : 1, 2 et 3, présentent respectivement : la cellule de base, la terminaison, et le coin de la diode (Figure 129).

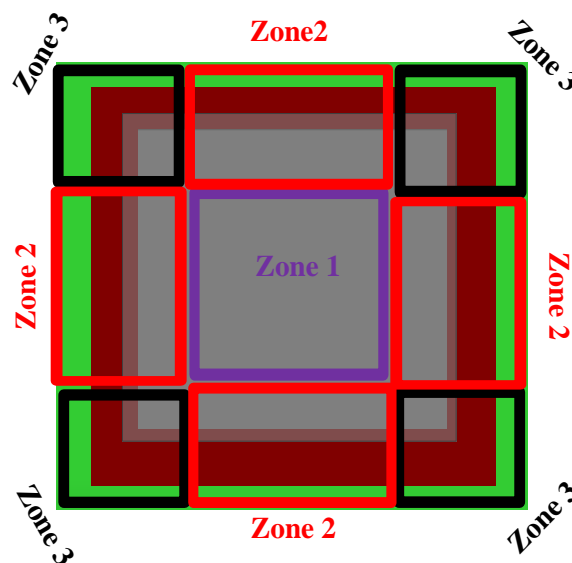


Figure 129 : Représentation des trois zones définies pour la diode DT^2 avec « Mixed Mode ».

Comme le montre la Figure 130, la zone active et la terminaison peuvent être décrites en 2D et le coin de la structure, défini en 3D. Nous avons associé à D1, D2, et D3 des coefficients d'épaisseur (AF) indépendants, afin de prendre en compte la surface de chaque zone et de représenter plus fidèlement le composant. Ces valeurs sont calculées en faisant le rapport entre la surface réelle et la surface modélisée. Les valeurs de ces coefficients d'épaisseur AF1, AF2 et AF3 sont respectivement de 46240, 2720 et 4.

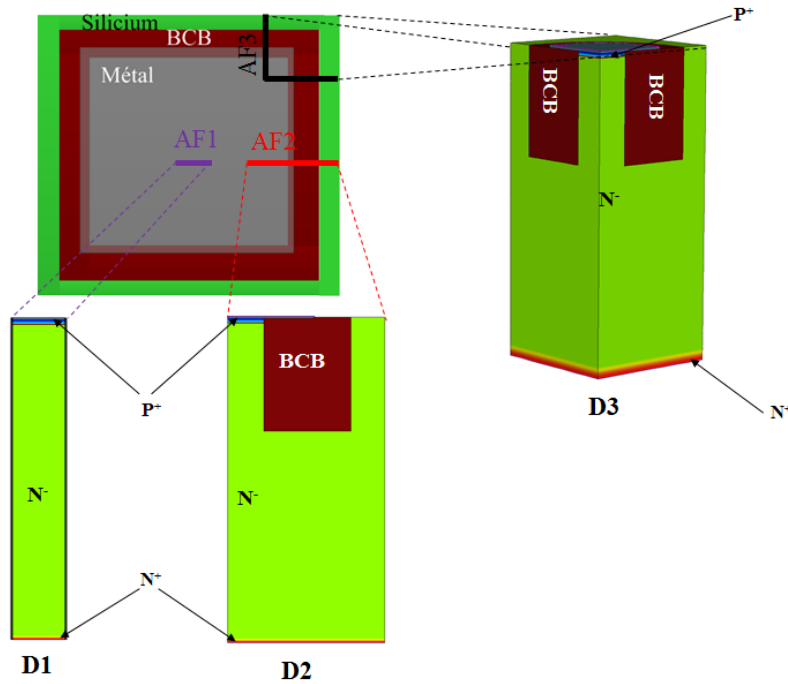


Figure 130 : Structure D1, D2 et D3.

La Figure 131 présente le modèle électrique simulé en utilisant la fonction « Mixed Mode », avec D1, D2 et D3 présentant respectivement la cellule centrale, les côtés, et le coin de la puce. E_G est une source de tension variable permettant de balayer la caractéristique $I(V)$ de la diode et R est une résistance limitant le courant d'avalanche.

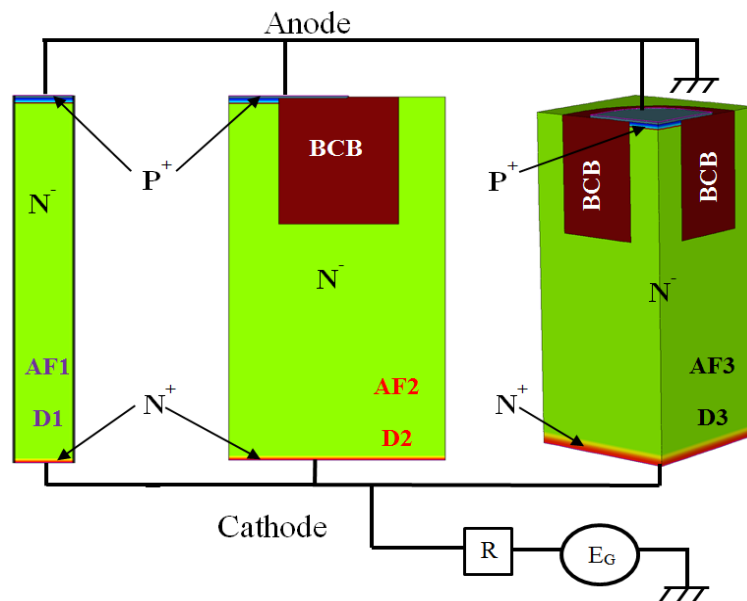


Figure 131 : Circuit adopté sous TCAD SENTAUROS pour modéliser la diode DT^2 avec « Mixed Mode ».

La nouvelle structure proposée est définie avec 67 000 nœuds au total, ce qui correspond à seulement 8 heures de simulation. L'avantage de cette méthode est d'avoir diminuer le nombre de nœuds et le temps de calcul. Néanmoins, cette méthode a l'inconvénient de

fractionner le comportement de chaque zone. En effet, le comportement de chaque zone est indépendant entre elles, il n'y a pas de continuité entre les zones. Il est donc important de bien définir les zones initialement. La Figure 132 présente les caractéristiques inverses de la diode DT² avec les trois modèles de simulation retenus.

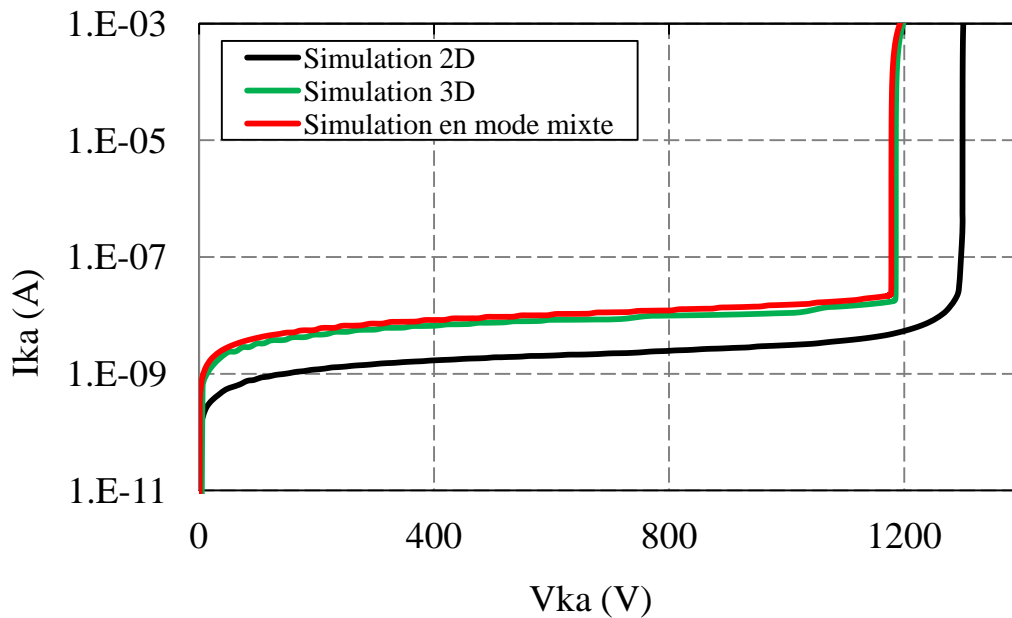


Figure 132 : Caractéristiques inverses de la diode DT² en fonction du modèle de simulation.

La simulation 2D présente une tenue en tension de 1300 V et un courant de fuite de 3×10^{-9} A à 800 V. La simulation 3D, quant à elle, présente une tenue en tension plus faible de 1200 V et un courant de fuite plus élevé de 1×10^{-8} A à 800 V. La différence de tension s'explique par le fait que le champ électrique dans le coin de la structure est plus élevé que sur les côtés, réduisant ainsi la tenue en tension. La différence de courant s'explique également par le fait, qu'il est difficile de définir un coefficient d'épaisseur « AF » définissant le périmètre de la terminaison et la surface de silicium du composant. Notre coefficient d'épaisseur définit le périmètre de la terminaison, ceci explique la mauvaise représentation de la surface de conduction et donc du courant de fuite.

Le passage de la simulation 3D vers la simulation « Mixed Mode », a permis de réduire le temps de calcul d'un facteur 3 et de garder la même caractéristique inverse. En effet, les structures D2 et D3 de la Figure 131 permettent de modéliser l'ensemble de la terminaison de la puce avec un nombre très faible de nœuds. La structure D1 de la Figure 131 permet, quant à elle, de prendre en compte la zone de conduction avec seulement 5000 nœuds. La Figure 132 montre la juxtaposition des modèles 3D et « Mixed mode » confirmant la validité de notre approche.

3.5.3.2 Influence des charges dans un modèle « Mixed Mode »

Afin de valider notre nouveau modèle, nous avons ajouté des charges à l'interface Si / BCB dans la structure 2D de la terminaison (D2 - Figure 131) sous TCAD SENTAURUS.

Il est à noter que les valeurs de la tenue en tension retrouvées dans cette partie sont différentes de celles trouvées dans le paragraphe 3.5.1. En effet, comme nous l'avons expliqué précédemment le passage d'une simulation 2D à « Mixed Mode » a modifié la tenue en tension de la structure.

La Figure 133 présente les caractéristiques inverses de diodes DT^2 en fonction des doses de charges ajoutées dans la structure D2. Nous pouvons observer que les charges insérées à l'interface Si / BCB induit une diminution de la tenue en tension. Ce comportement est similaire à celui présenté dans la simulation 2D. Nous avons une tenue en tension de 30 V pour une dose de $-3 \times 10^{12} \text{ cm}^{-2}$ et 182 V pour une dose de -10^{12} cm^{-2} . Cette similitude était prévisible car la tenue en tension des composants à semi-conducteur est définie par leur zone la plus faible ; dans ce cas, la terminaison.

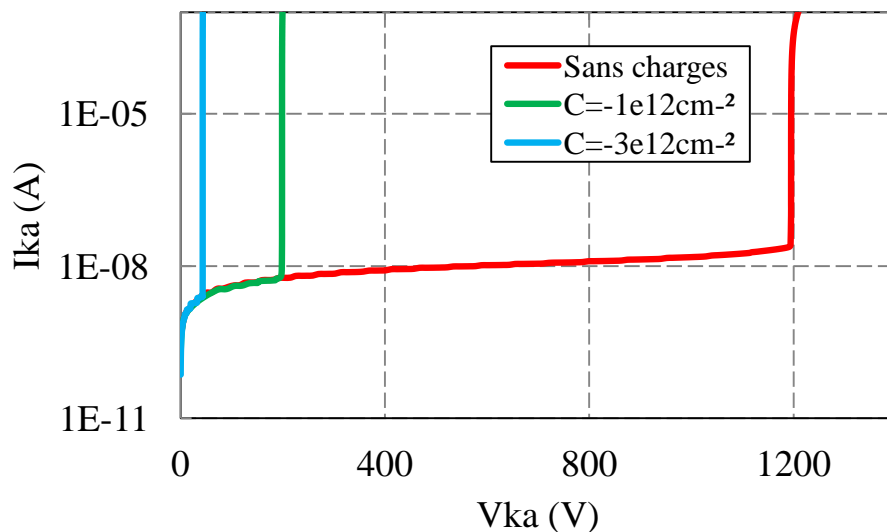


Figure 133 : Caractéristiques inverses de la diode DT^2 avec « Mixed Mode » en fonction des charges insérées à l'interface Si / BCB dans D2.

3.5.3.3 Dégradation locale de la puce

Dans le modèle précédent, nous avons créé des charges à l'interface Si / BCB sur l'ensemble des quatre côtés de la diode DT^2 afin de voir leur impact sur la tenue en tension. Une nouvelle approche consiste à dégrader seulement une petite zone d'un côté de la diode DT^2 . En effet, un défaut dans une partie de la diode peut avoir un impact sur les caractéristiques électriques du composant.

Dans le nouveau modèle, la structure est divisée en quatre zones (Figure 134) : la zone active, la terminaison pouvant être décrite en 2D, le coin de la structure définie en 3D et la terminaison dégradée pouvant aussi être décrite en 2D. Nous avons volontairement pris un modèle simplifié qui ne prend pas en compte la continuité entre la zone dégradées et les zones non dégradées. En effet, il aurait peut être intéressant d'ajouter une 5^{ème} zone définie en 3D représentant la continuité entre la zone dégradée et la zone non dégradée. Nous n'avons pas fait ce choix car nous devons se concentrer sur la tension d'avalanche de chaque zone et pas à la participation de chaque zone sur le courant de fuite. Par la suite, il est possible de définir une proportion de périmètre dégradé en définissant la valeur du coefficient d'épaisseur « AF » de la zone 4.

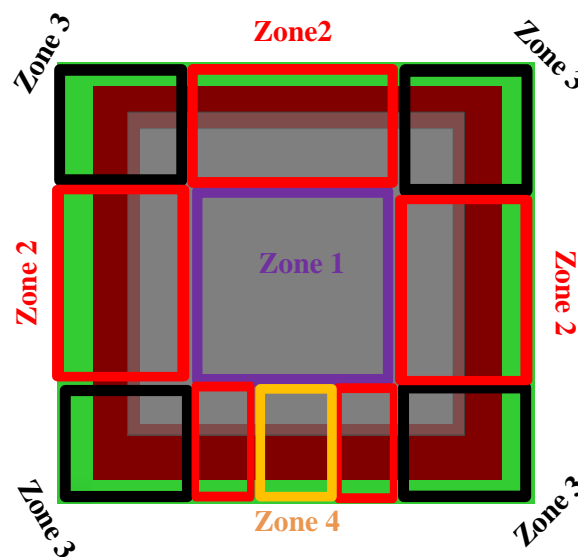


Figure 134 : Les quatre nouvelles zones définies pour la diode DT² avec « mixed mode ».

Nous avons associé à la zone 4 un « AF » égale à 10 ce qui est très faible devant la zone 2. En effet nous avons supposé que seulement une petite partie de la terminaison est dégradée.

La Figure 135 présente le deuxième modèle simulé en utilisant la méthode « Mixed Mode », avec D1, D2 et D3, D4 qui représentant respectivement la cellule centrale, les 3 cotés, le coin, et le coté à dégrader de la puce.

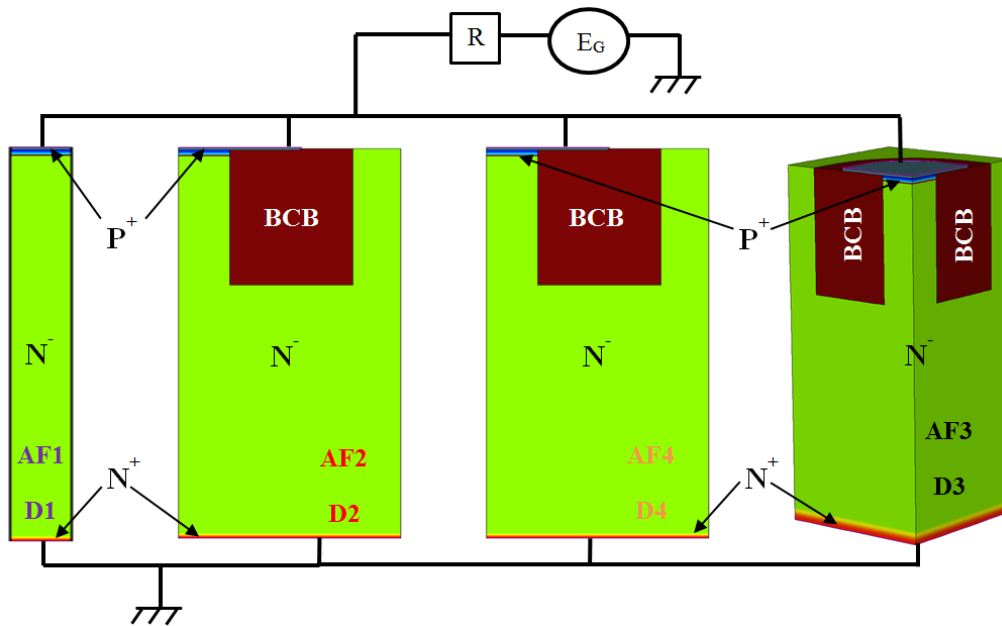


Figure 135 : Nouveau modèle adopté sous TCAD SENTAURUS pour modéliser la diode DT² avec « Mixed Mode ».

✓ Validation du nouveau modèle pour une $C = -10^{12} \text{ cm}^{-2}$.

Afin de valider notre deuxième modèle, nous avons simulé des charges à l'interface Si / BCB dans la cellule dégradée (D4) sous TCAD SENTAURUS. La Figure 136 présente les caractéristiques inverses de D1, D2, D3, D4 et de la diode DT² complète pour une charge de -10^{12} cm^{-2} .

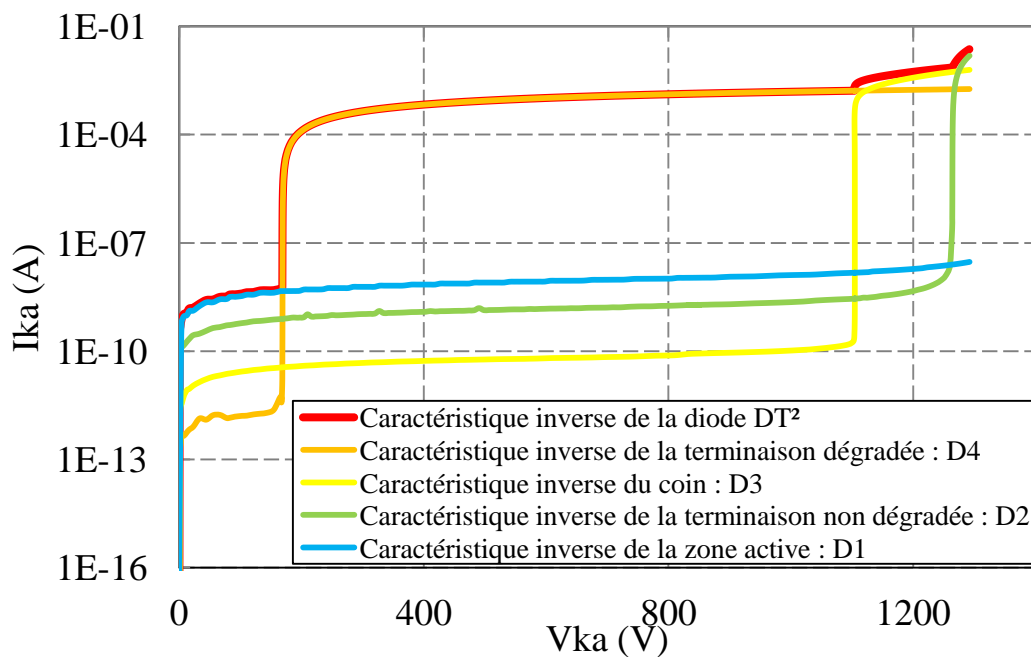


Figure 136 : Caractéristiques inverses des cellules D1, D2, D3, D4 et de la diode DT2 complète.

D'après les résultats obtenus, la caractéristique inverse de la diode complète est la somme des caractéristiques inverses de D1, D2, D3 et D4. Entre 0 V et 169 V, le courant de fuite est dû à la zone active, avec un courant de fuite de l'ordre de 3×10^{-9} A. Nous remarquons l'existence d'une première avalanche précoce à 169 V dû à la dégradation de D4. À cette tension le courant augmente de 3×10^{-9} A à 3×10^{-4} A. S'ensuit ensuite une saturation du niveau de courant jusqu'à 1100 V, où une deuxième avalanche apparaît dans le coin de la structure (D3). Une troisième avalanche est constatée à 1270 V due à la cellule D2, puis, on peut penser que la zone active présentera une avalanche à une tension plus haute. Afin de comprendre la cause de la première avalanche apparue sur la Figure 136, nous avons effectué des captures d'images de la distribution des lignes de potentiels et du champ électrique à 167 V. Nous avons retrouvé le même comportement que celle retrouvée dans la section 3.5.1.1.

✓ Validation du modèle pour d'autres concentrations

Il reste maintenant à valider notre modèle pour d'autres valeurs de doses pour un $AF4 = 10$. La Figure 137 présente l'évolution de la caractéristique inverse en fonction des doses de charges insérées à l'interface Si / BCB.

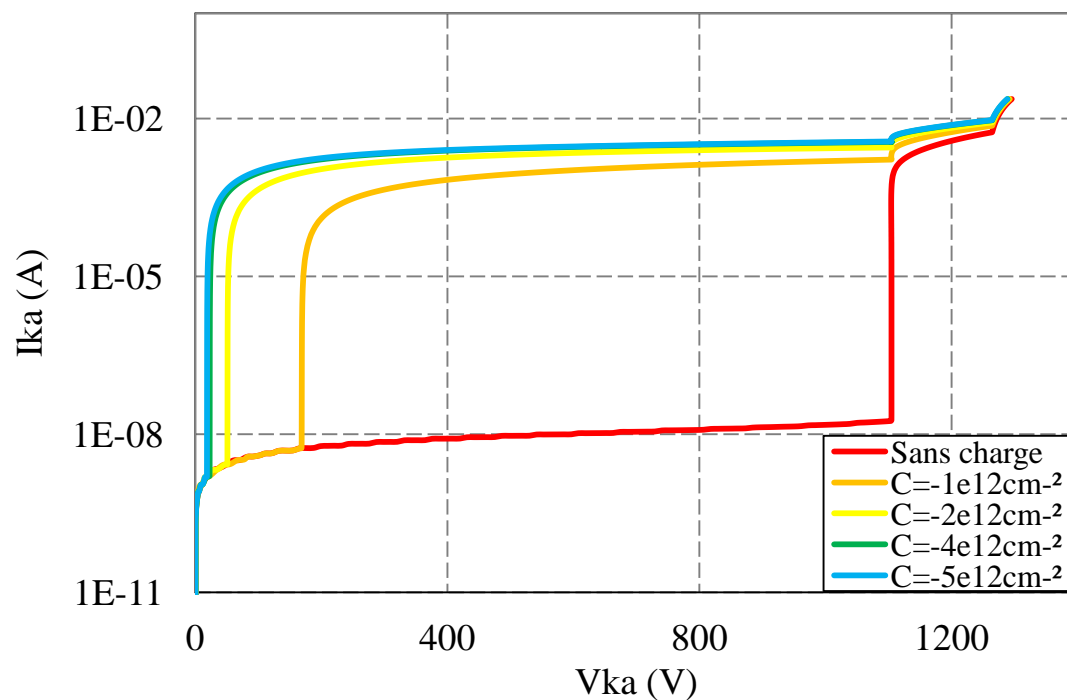


Figure 137 : Effet des charges insérées à l'interface Si / BCB sur la caractéristique inverse de la diode DT^2 .

Comme nous pouvons l'observer, pour une structure sans la dégradation, le courant de fuite est très faible (10^{-8} A) comparé à celui obtenu avec une dégradation locale (3×10^{-3} A). En effet, les charges à l'interface amplifient le mécanisme d'avalanche par une augmentation locale du champ électrique et donc une forte densité du courant.

La différence entre ces caractéristiques inverses et celle obtenue par le modèle de la Figure 131 est le deuxième plateau du courant, qui est suivi par une nouvelle avalanche. Ce comportement est similaire à celui vu précédemment dans la section 2.5.2.3. Nous pouvons donc expliquer la première avalanche retrouvée à 50 V dans le chapitre 2 (suivi des caractéristiques électriques) par une quantité de charges fixes générées à l'interface Si / BCB de l'ordre de $2 \times 10^{12} \text{ cm}^{-2}$.

Dans une deuxième étape, nous avons essayé de varier la valeur de « AF » de 10 à 200 avec une dose fixe de 10^{12} cm^{-2} afin de déterminer l'évolution de la caractéristique inverse en fonction de la surface dégradée (Figure 138). En effet, l'augmentation du « AF » correspond à une augmentation de la surface dégradée.

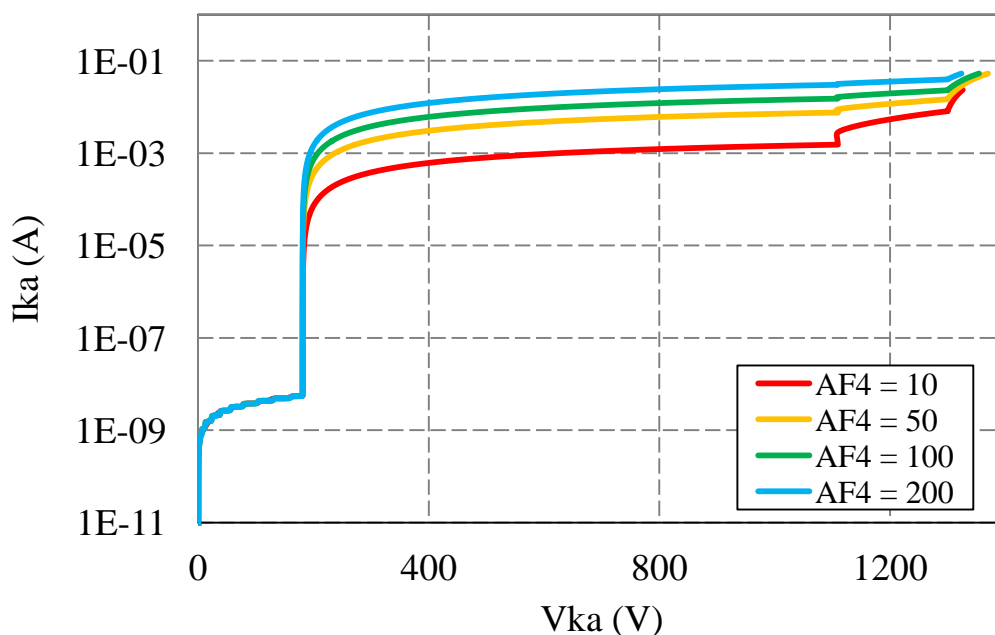


Figure 138 : Évolution de la caractéristique inverse en fonction de la proportion de dégradation.

Nous avons remarqué que la variation de la surface de la zone dégradée de la terminaison influe sur le niveau de courant. En effet, le courant de saturation est proportionnel à la surface de conduction. Il est donc possible d'estimer la proportion de terminaison dégradée en s'intéressant au niveau de courant après la première avalanche. Le comportement du courant de fuite retrouvé est similaire à celui vu précédemment dans la section 2.5.2.3. Nous pouvons donc expliquer la diminution du courant de fuite trouvée dans la Figure 91 par la diminution de la surface de la zone dégradée, et aussi la saturation du courant de fuite trouvée sur la Figure 94 par une saturation du courant de fuite liée aux charges à l'interface et non pas à l'appareil de mesure.

3.5.3.4 Problèmes de convergence

La simulation de type « Mixed Mode » conduit à de nombreuses difficultés dans la simulation. En effet, l'insertion des charges à l'interface et la métallisation du contact provoquent la divergence des simulations.

✓ Influence des charges à l'interface Si / BCB sur la convergence des calculs en « Mixed Mode »

La Figure 139 présente l'effet de l'insertion d'une quantité de charges fixes sur la caractérisation en inverse de la diode.

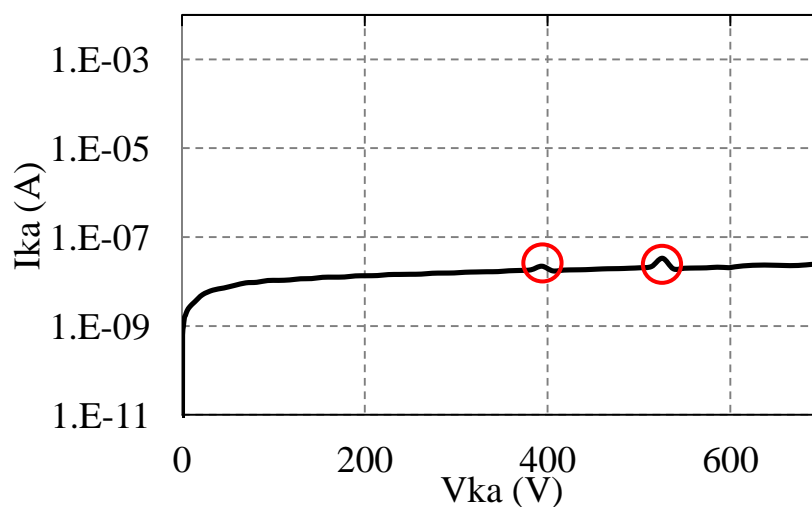


Figure 139 : Effet de l'insertion des charges sur la caractéristique inverse.

Nous pouvons remarquer, dans cette figure, la présence de deux sursauts de courant pour des tensions de 400 V et 530 V. Par extrapolation linéaire de plusieurs simulations, nous pouvons estimer que la tenue en tension est proche de 400 V, correspondant au premier sursaut. La simulation ne présente pas d'avalanche à 400 V mais continue jusqu'à 690 V, tension à laquelle la simulation n'arrive plus à converger.

La difficulté de prendre en compte des charges à l'interface Si / BCB, vient du fait que les charges sont localisées sur l'interface et donc sans volume. Le simulateur représente une dose de charge comme étant l'intégrale de la concentration sur une épaisseur donnée. La dose est donc définie entre le nœud à l'interface Si / BCB et le premier nœud de silicium comme le montre la Figure 140. L'augmentation du nombre de nœuds du maillage ne permet pas d'améliorer la convergence de la simulation car l'intégrale étant imposée entre deux points, on ne peut pas améliorer sa définition.

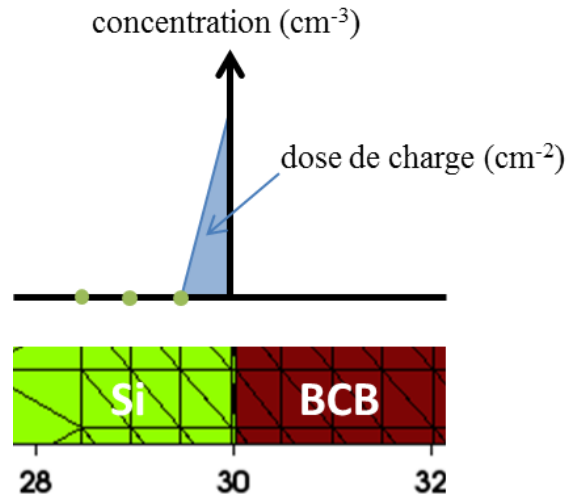


Figure 140 : Représentation d'une dose par le simulateur en corrélation avec le maillage.

La nouvelle démarche consiste à affiner le pas minimal de calcul de façon significative (10^{-7} au lieu de 10^{-2}), juste avant le premier sursaut de courant. La Figure 141 montre la caractéristique inverse de la diode avant et après le changement du pas de calcul. Il est à noter que cette démarche nécessite de connaître la tenue en tension de la structure ou d'accepter d'augmenter le temps de calcul en diminuant le pas maximum autorisé lorsque la simulation converge.

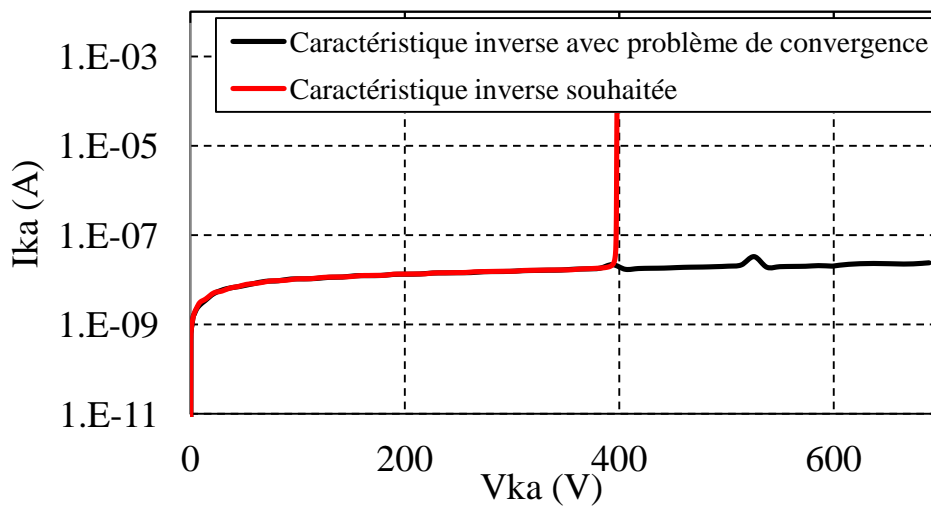


Figure 141 : Caractéristique inverse de la diode DT² avant et après réduction du pas de calcul.

✓ Influence de la métallisation d'anode sur les résultats de simulation

Nous avons commencé nos simulations en utilisant le schéma électrique représenté sur la Figure 142. Dans ce schéma une tension négative est appliquée sur l'anode afin d'obtenir la caractéristique inverse de la diode DT². Il est à noter que le contact Anode est constitué d'une métallisation en or.

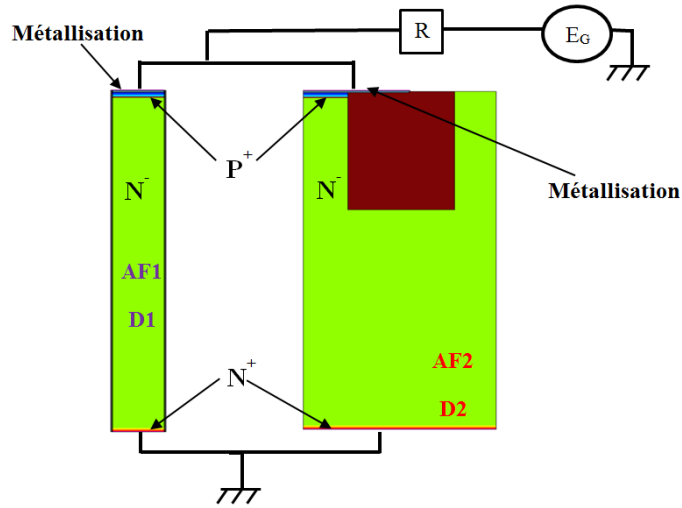


Figure 142 : Premier modèle associée à la diode DT^2 pour la simulation « Mixed Mode ».

La Figure 143 présente les premiers résultats de la caractéristique inverse de la structure avec les conditions de la Figure 142 : L'anode est métallisée en or, E_G est une source de tension variable et R une résistance améliorant la convergence de la simulation.

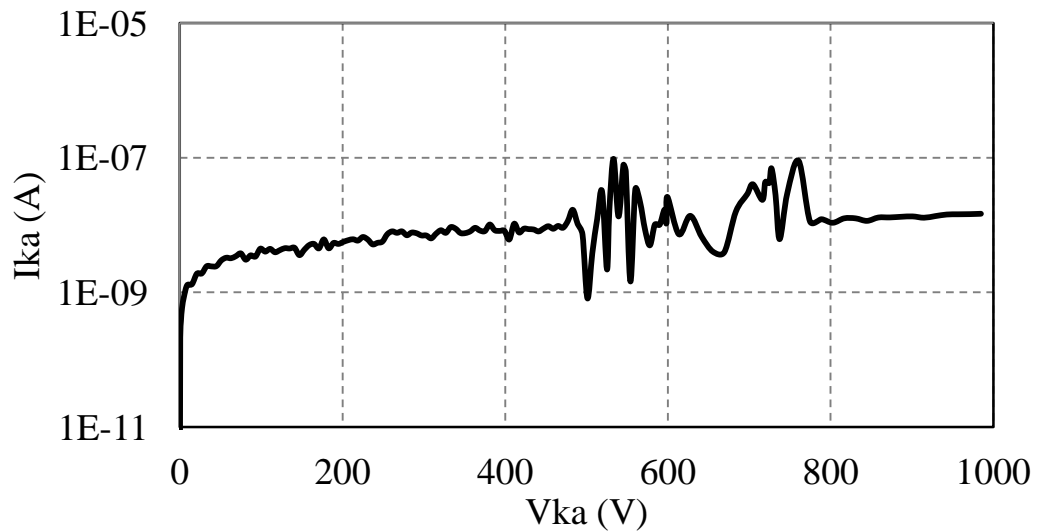


Figure 143 : Première caractéristique inverse obtenu de la diode DT^2 avec « Mixed mode ».

Comme nous pouvons l'observer sur cette figure, la simulation ne présente pas d'avalanche et continue jusqu'à 1000 V, tension à laquelle la simulation n'arrive plus à converger. Pour remédier à ce problème, nous avons diminué le pas minimal de calcul de 10^{-2} à 10^{-5} , mais sans aucune amélioration comme le montre la Figure 144.

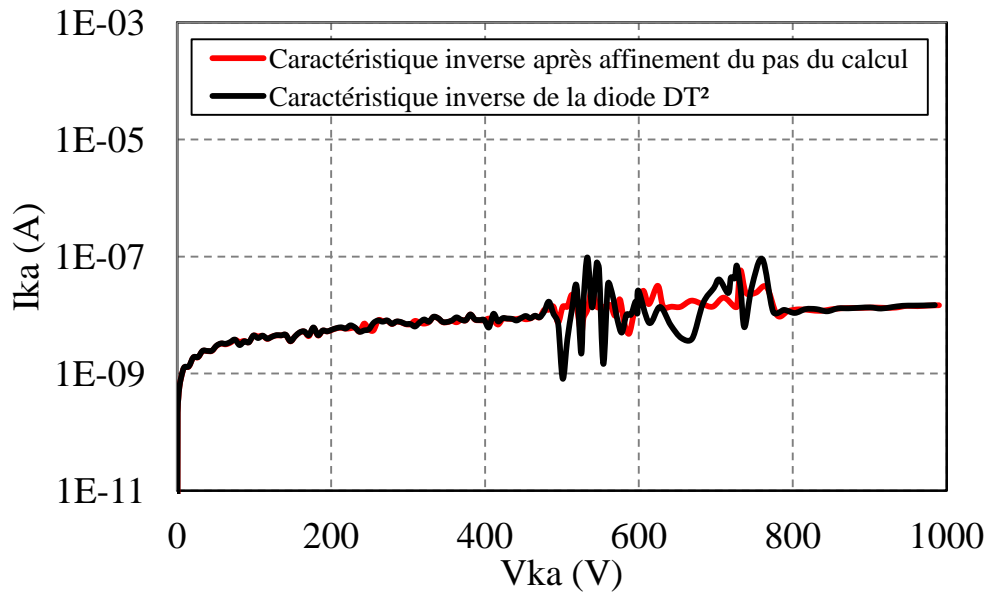


Figure 144 : Caractéristique inverse de la diode DT^2 après raffinement du pas du calcul.

La diminution du pas minimal de calcul permet de réduire les oscillations présentes sur la caractéristique inverse, mais sans aider à converger.

Dans le manuel de TCAD SENTAURUS, de nombreuses structures ont été simulées sans métallisation des électrodes. Une idée consiste à essayer cette méthode de simulation afin de savoir si le métal a un impact sur la convergence de la simulation. Nous avons donc retiré la métallisation de l'anode en prenant l'hypothèse que l'application du contact directement sur le silicium simplifierait le modèle sans modifier la structure. Cette hypothèse a résolu le problème de convergence de la simulation (Figure 145).

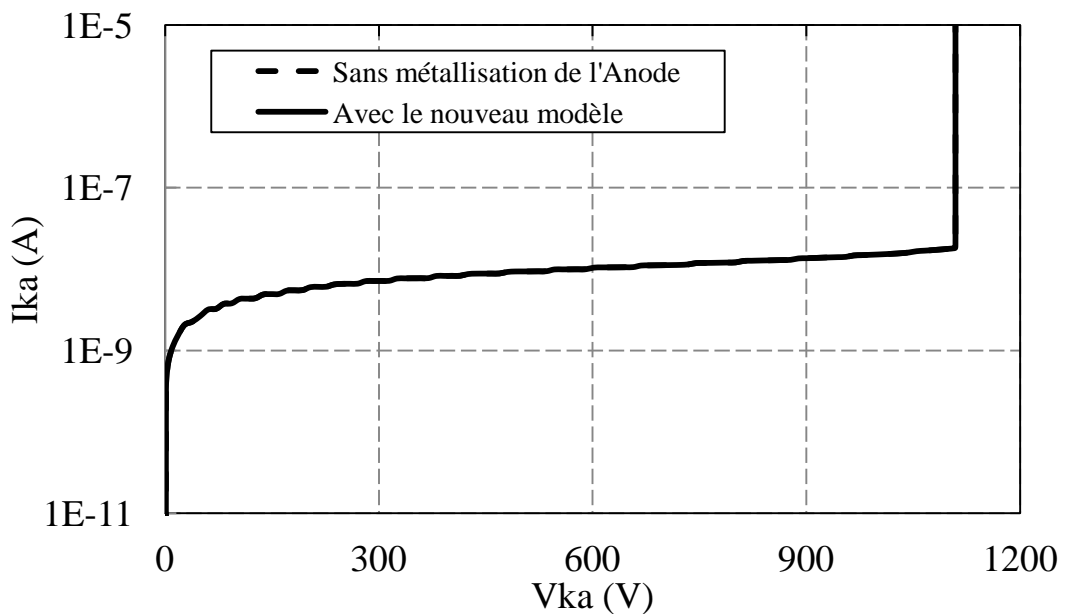


Figure 145 : Caractéristique inverse de la diode DT^2 après retrait de la métallisation.

Il reste maintenant à valider que la métallisation est à l'origine des problèmes de convergence. Nous avons apporté une modification sur le circuit de simulation en mettant la résistance et la source de tension du côté du contact de la cathode puisque dans notre simulation nous n'avons pas mis de contact métallique sur la cathode, tout en gardant la métallisation de l'anode (Figure 112). Dans ce cas, nous appliquons une tension positive sur la cathode pour avoir la caractéristique inverse, au lieu d'appliquer une tension négative sur l'anode. Nous avons retrouvé la même caractéristique inverse de la diode DT² que celle présentée en Figure 145.

Plusieurs simulations ont été effectuées afin de comprendre pourquoi la présence de métallisation et la polarisation négative de notre source de tension provoque des problèmes de convergences. Il est à noter que la métallisation ne présente pas un problème dans une simple simulation de type 2D. Divers métaux ont été essayés, tels que l'or, l'aluminium et le nickel. La fonction « work function » a été définie aussi dans le fichier de simulation pour le même objectif, mais sans amélioration du résultat.

Jusqu'à présent, nous ne sommes pas capables d'expliquer l'effet de la métallisation de l'électrode avec une polarisation négative sur la simulation de type « Mixed Mode », et surtout la méthode de calcul de ce mode n'est pas identifiée dans le manuel de TCAD SENTAURUS. Nous supposons que les conditions limites aux électrodes, lorsque les structures sont parallèles, sont difficiles à garantir lorsque l'on utilise des structures à géométrie variée (modèle 2D / 3D et rapport de surface important).

3.6 Protection de la structure

Comme nous venons de le voir, la structure est très sensible aux charges électriques à l'interface Si / BCB. Nous avons donc recherché à immuniser la diode de façon structurelle, sans ajout de circuit autour du composant. La Figure 146 présente une coupe schématique de la structure étudiée. Elle reprend le principe de la terminaison DT² pour les composants DT-SJMOSFET. Elle est constituée par une couche P diffusée autour de la tranchée. Dans notre cas, la diffusion de la couche P autour de la tranchée a deux rôles : premièrement, augmenter la tenue en tension de la terminaison et deuxièmement, diminuer l'effet des charges à l'interface Si / BCB sur la tenue en tension.

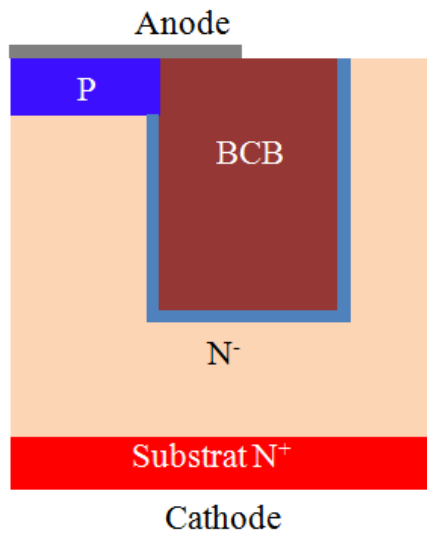


Figure 146 : Coupe schématique de la nouvelle structure étudiée.

Nous avons souhaité connaître l'impact de la dose de la couche P sur la tenue en tension du composant, en fonction des charges à l'interface Si / BCB. Pour cela, nous avons simulé en 2D, la structure de la Figure 146 en faisant varier la dose de la couche P entre $5 \times 10^{11} \text{ cm}^{-2}$ et $4 \times 10^{12} \text{ cm}^{-2}$. Pour chaque dose diffusée de couche P, nous avons ajouté des charges positives ou négatives à l'interface Si / BCB pour des doses allant de 0 cm^{-2} à $5 \times 10^{12} \text{ cm}^{-2}$. La synthèse des résultats est présentée dans la Figure 147.

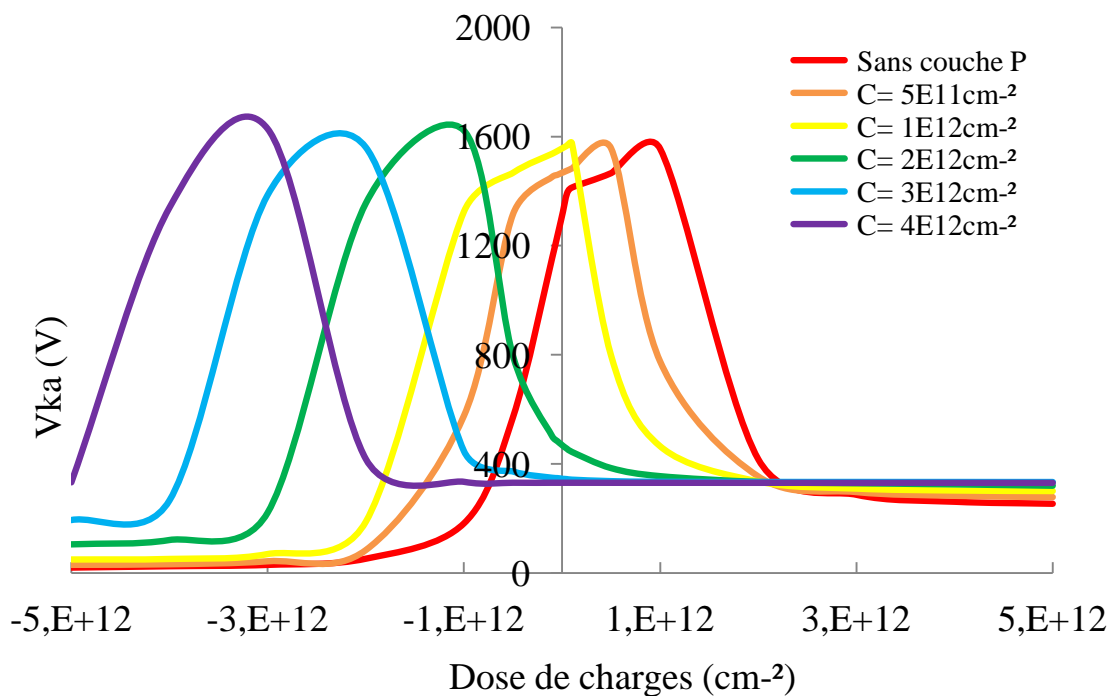


Figure 147 : Effet des charges fixes à l'interface Si / BCB sur la tenue en tension avec différentes doses de la couche P diffusée autour de la tranchée.

Nous remarquons qu'en augmentant la dose de la couche P diffusée autour de la tranchée, les courbes se déplacent vers la gauche. Il est à noter qu'il n'y a pas d'augmentation significative de la tension maximale car la zone active part en avalanche à 1600 V. On peut noter que, pour chaque courbe, la tension de claquage est supérieure à 1200 V pour un intervalle de charge qui dépend de la dose de la couche diffusée P, mais constant à partir de $1,5 \times 10^{12} \text{ cm}^{-2}$. Avec une dose de la couche de P égale à 10^{12} cm^{-2} , nous arrivons à centrer la courbe autour de 0.

Pour que cette solution soit efficace, il est nécessaire de connaître le signe des charges à l'interface et son évolution. Si les charges évoluent, en valeur absolue, de plus de $1,5 \times 10^{12} \text{ cm}^{-2}$, cette solution ne sera pas suffisante. Il faudrait par exemple, choisir un diélectrique piégeant moins de charge.

3.7 Simulation de la contrainte mécanique dans la structure

3.7.1 Introduction

Comme nous l'avions évoqué dans le chapitre 2, une grande proportion des composants en notre possession présentaient des délaminages à l'interface Si / BCB et des fissures dans le BCB, après un stockage de cinq années dans une salle blanche.

Afin de comprendre l'origine des délaminages et des fissures au niveau du coin, apparues avant le vieillissement thermique et sans appliquer aucune contrainte électrique ou thermomécanique, la contrainte mécanique dans cette structure a été étudiée à l'aide de l'outil SProcess de TCAD Sentaurus. Cet outil permet de simuler un processus de fabrication micro-électronique. Il est ainsi possible de simuler des implantations, des gravures ou des dépôts, entre-autre. Cet outil permet également de calculer les contraintes résiduelles lors de chaque étape technologique, et c'est ce qui nous intéresse.

Des simulations en 2D et 3D ont été étudiées afin d'évaluer et localiser la contrainte maximale dans la diode DT². Plusieurs optimisations de la forme de la tranchée ont été proposées dans le but de minimiser le niveau de contrainte, tout en maintenant la tenue en tension.

3.7.2 Initialisation des paramètres d'entrée dans la simulation

Il est nécessaire de définir les propriétés du BCB dans le fichier de simulation. En effet, la bibliothèque de Sprocess de TCAD Sentaurus ne contient pas les propriétés de ce dernier. Le Tableau 3 présente les propriétés mécaniques et thermiques du BCB définis dans le fichier de simulation [77].

Tableau 3 : Propriétés mécaniques et thermiques du BCB fournis par le fabricant.

| Propriétés du BCB | Valeurs |
|--|-------------|
| Coefficient de dilatation thermique | 42 ppm/°C |
| Module de Young | 2,9 GPa |
| Coefficient de poisson | 0,34 |
| capacité thermique spécifique | 2180 J/kg.K |
| Contrainte appliqué sur Silicium à 25 °C | 28 ± 2 MPa |

Une fois les propriétés mécaniques du BCB renseignées, nous devons décrire le processus de fabrication du composant. La première étape est la réalisation de la gravure profonde. Pour

cela, il suffit de décrire une gravure anisotropique dans le silicium. Il s'ensuit un dépôt isotopique du BCB, puis un recuit pour la polymérisation. Pour finir une étape de polissage est décrite.

Au cours de l'étape de polymérisation, le BCB perd environ 30% de son volume initial [77]. Cette diminution a été prise en compte dans les simulations en augmentant la densité de BCB. Le Tableau 3 et d'autres études expérimentales [78] montrent également, qu'à 25 °C la contrainte résiduelle provoquée par le dépôt d'une couche de BCB sur le silicium est égale à 28 MPa. Afin de calibrer nos modèles, nous avons déposé du BCB sur une plaque de silicium et appliqué l'augmentation de densité de 30%. Nous avons trouvé une contrainte de 450 MPa à l'interface, très loin des 28 MPa du fabricant, sachant que l'épaisseur de cette couche n'a pas d'impact sur la valeur de la contrainte. Notre approche a été donc de déterminer le pourcentage d'augmentation de densité à appliquer lors de l'étape de polymérisation, afin de revenir aux 28 MPa du fabricant. La droite présentée sur la Figure 148 montre que 28 MPa est obtenue pour une diminution de 2% du volume de BCB. Cette valeur a été utilisée pour le reste de notre étude, afin de conserver les informations du fabricant. De plus, il est compréhensible que tant que la résine est visqueuse, elle génère très peu de contrainte. C'est donc à la fin de la polymérisation que les contraintes sont créées, même si le volume de la résine est réduit de 30%.

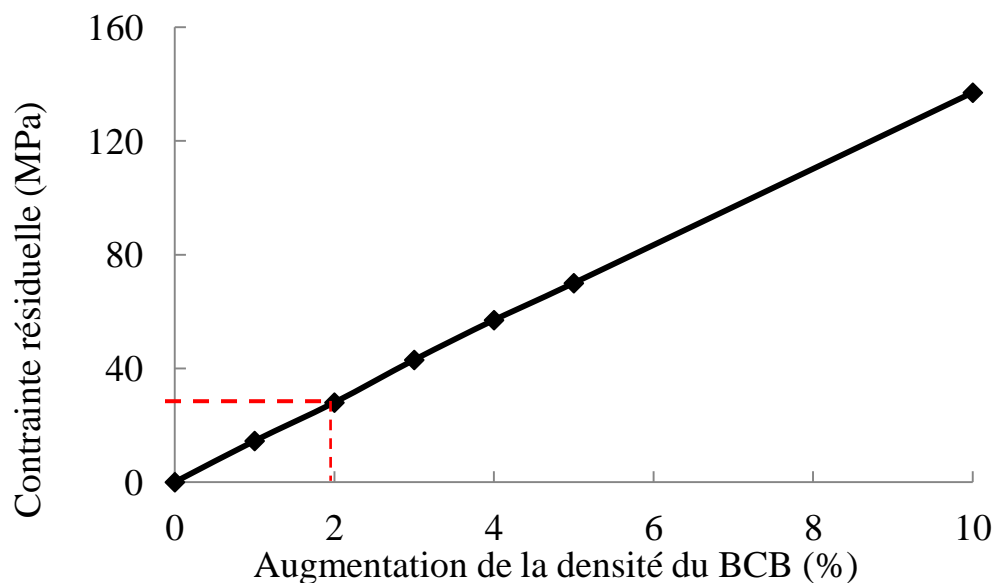


Figure 148 : Variation de la contrainte résiduelle en fonction de l'augmentation de la densité du BCB.

3.7.3 Modélisation 2D des contraintes dans la structure

La Figure 149 présente la distribution de la contrainte mécanique dans la diode DT² après une diminution de 2% du volume de BCB. Les contraintes maximales sont situées à l'interface Si / BCB et au niveau des coins supérieurs et inférieurs de la tranchée.

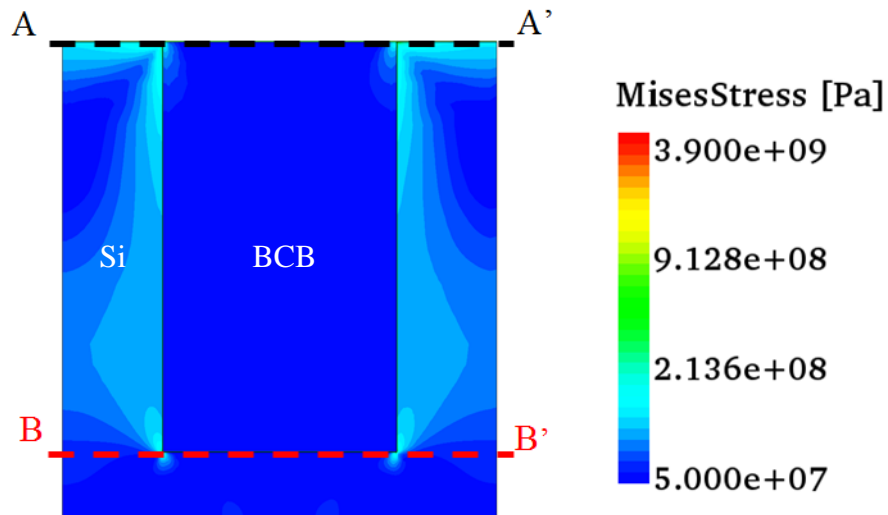


Figure 149 : Distribution de la contrainte mécanique dans la terminaison de la diode DT².

La Figure 150 montre la répartition de la contrainte mécanique le long des axes horizontaux AA' et BB'. Nous remarquons que la contrainte maximale est située dans une zone très petite et que sa valeur est très élevée et peut donc être la cause principale du délaminage apparue à l'interface Si / BCB.

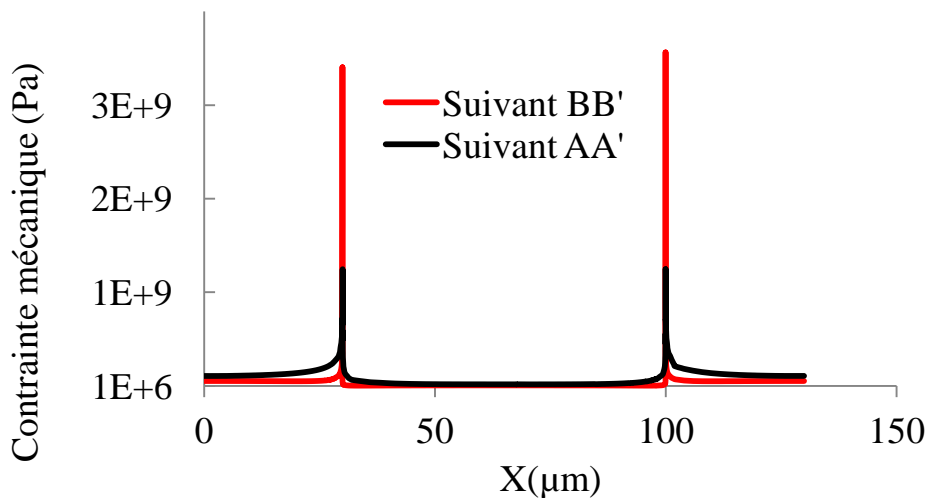


Figure 150 : Distribution de la contrainte mécanique suivant les axes horizontaux AA' et BB'.

En réalité, il est très difficile d'avoir un angle droit au niveau des coins de la tranchée. Par conséquent, d'autres simulations ont été réalisées avec des coins arrondis dont le rayon de la courbure est égale à 1 µm. Le résultat a montré que la contrainte maximale au niveau du coin de la tranchée avec la nouvelle structure est égale à 0,8 GPa au lieu de 3 GPa. Plus le rayon de la courbure est grand, plus les contraintes sont relâchées. À partir de ces résultats, nous supposons qu'une petite modification sur le rayon de la courbure modifie la valeur de la contrainte mécanique, et donc cela peut expliquer que certaines puces présentent des délaminages à l'interface Si / BCB.

3.7.4 Modélisation 3D des contraintes dans la structure

La simulation en 3D avec les dimensions réelles de la tranchée est lente et très difficile à réaliser. En effet, après chaque étape technologique, l'outil SProcess effectue un maillage automatique afin d'améliorer la définition de la structure et les calculs associés. Ceci va augmenter l'utilisation de la mémoire RAM et donc dépasser la mémoire permise de notre machine (32 Go). Pour remédier à ce problème, la simulation 3D a été réalisée avec un dixième des dimensions réelles de la structure. Ces résultats sont plus qualitatifs que quantitatifs. En effet le but de cette simulation est juste de localiser la contrainte dans la diode DT² et non pas de la quantifier.

La Figure 151 présente la répartition de la contrainte mécanique dans la structure 3D de la diode DT². La zone la plus stressée est située dans le coin de la diode DT². Il est à noter que la valeur de la contrainte maximale dépend du rayon de courbure. L'augmentation du rayon de courbure réduit la contrainte maximale. Ce résultat peut expliquer l'apparition des fissures dans certains composants. En effet, une contrainte importante dans le coin de la structure sera un point de départ pour une fissure qui se prolongera suivant le déplacement des contraintes au fur et à mesure de la propagation de celle-ci.

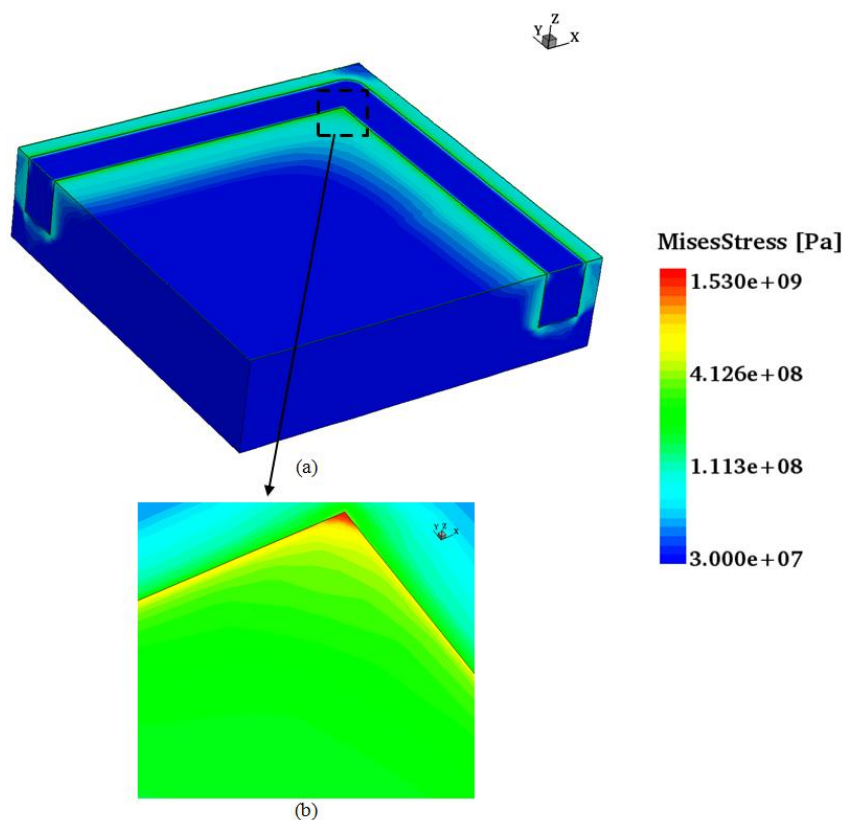


Figure 151 : (a) Distribution des contraintes mécaniques dans la structure 3D de la diode DT², et (b) agrandissement sur son coin.

Nous n'avons pas simulé la propagation de la fissure car l'outil n'a pas été créé pour cela. Néanmoins, nous avons été capables de justifier que la polymérisation du BCB génère des contraintes résiduelles à l'interface Silicium / BCB pouvant créer des délaminages et des fissures dans les coins de la structure.

3.7.5 Optimisation de la structure

3.7.5.1 Tranchée en forme de « V »

Pour diminuer la contrainte maximale située à l'interface Si / BCB, une modification de la structure de tranchée est proposée. La Figure 152 présente la nouvelle structure. Une telle géométrie est actuellement envisageable avec une gravure ionique réactive profonde (DRIE). Néanmoins, nous cherchons à optimiser le compromis tenue en tension / contrainte mécanique, sans s'intéresser aux difficultés potentielles que rencontreraient les fabricants de composants.

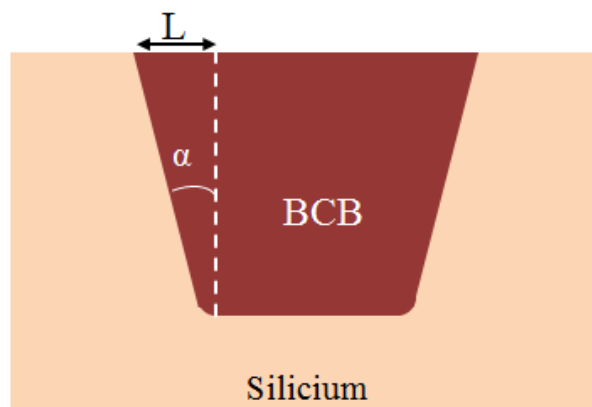


Figure 152 : Nouvelle structure de la diode DT².

Comme nous l'avons expliqué précédemment, la simulation 3D avec les dimensions réelles ne peut pas être effectuée. Par conséquent, les dimensions de cette nouvelle structure proposée ont été divisées par 10. Nous proposons une approche qualitative et non quantitative, ce qui justifie notre approche. Les simulations ont été réalisées avec un rayon de courbure aux angles égale à 0,1 μm (à l'échelle réduite), et pour des valeurs de L variant de 0 μm à 9 μm (α entre 0 °C et 45 °C). La Figure 153 présente l'évolution de la contrainte mécanique au niveau des coins supérieurs de la tranchée.

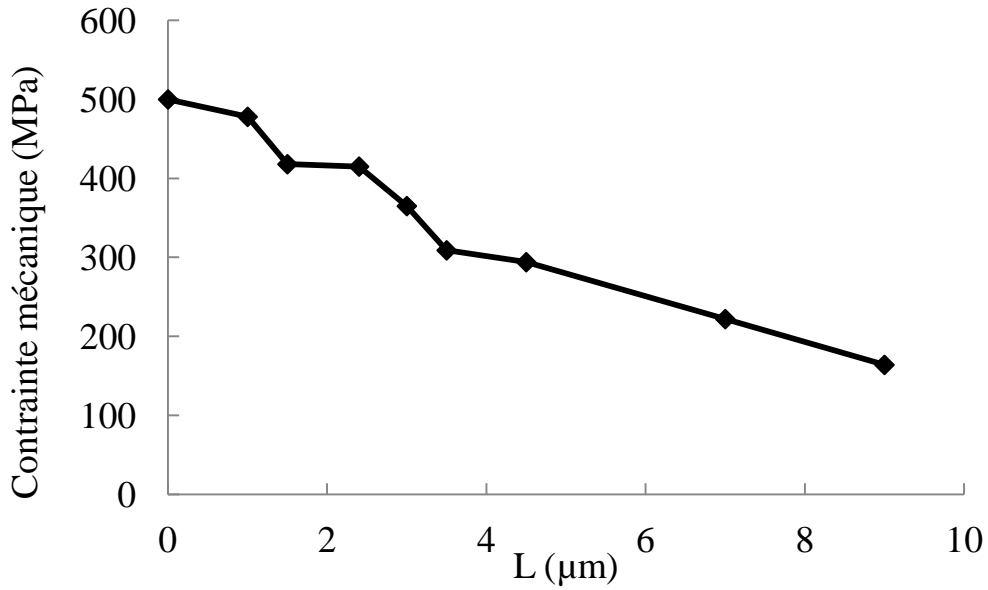


Figure 153 : Évolution de la contrainte mécanique en fonction de L.

La courbe montre que la valeur de la contrainte est passée de 500 MPa pour un angle $\alpha = 0^\circ$ à 160 MPa pour un angle $\alpha = 45^\circ$ (Figure 153). Compte tenu de cette diminution de 65% environ, la probabilité d'avoir une fissure à l'interface silicium / BCB est fortement diminuée.

Des simulations électriques ont été effectués afin d'étudier l'impact de la nouvelle structure sur les caractéristiques électriques de la diode DT². La simulation est réalisée avec les dimensions réelles de la structure (tranchée, plaque du champ...). La Figure 154 présente l'impact de L sur la tenue en tension.

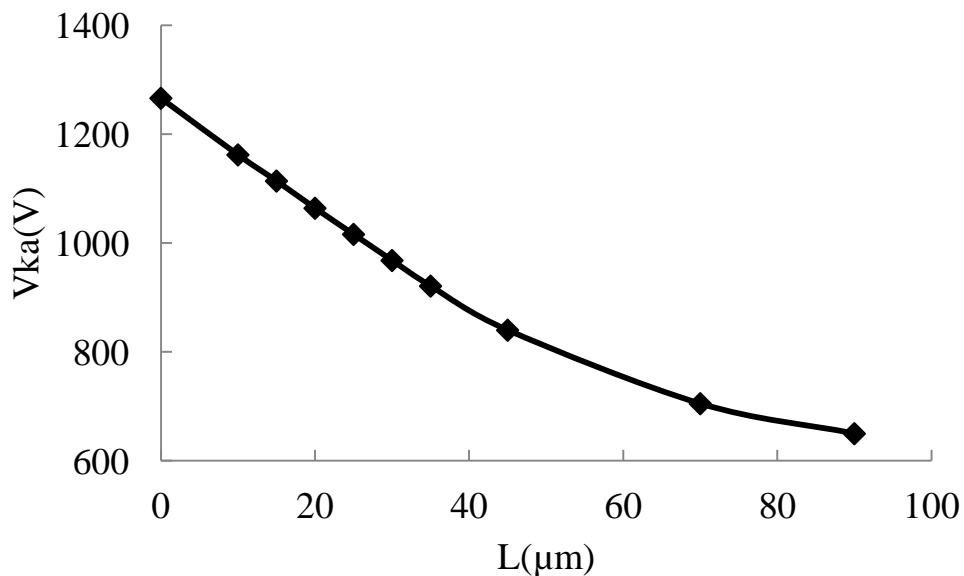


Figure 154 : Évolution de la tenue en tension en fonction de L.

La tenue en tension passe de 1260 V pour un angle $\alpha = 0^\circ$ à 650 V pour un angle $\alpha = 45^\circ$. En plus de la diminution de la tenue en tension, il est à noter que la terminaison est plus volumineuse et que l'on perd son principal atout. La Figure 155 présente la répartition des lignes de potentiel dans les deux structures. Nous pouvons observer que dans la structure de référence, les lignes de potentiels sont parallèles à la jonction jusqu'à la terminaison. Dans la structure ayant une tranchée avec un angle $\alpha = 45^\circ$, les lignes de potentiels se resserrent à proximité de la tranchée, dans le silicium.

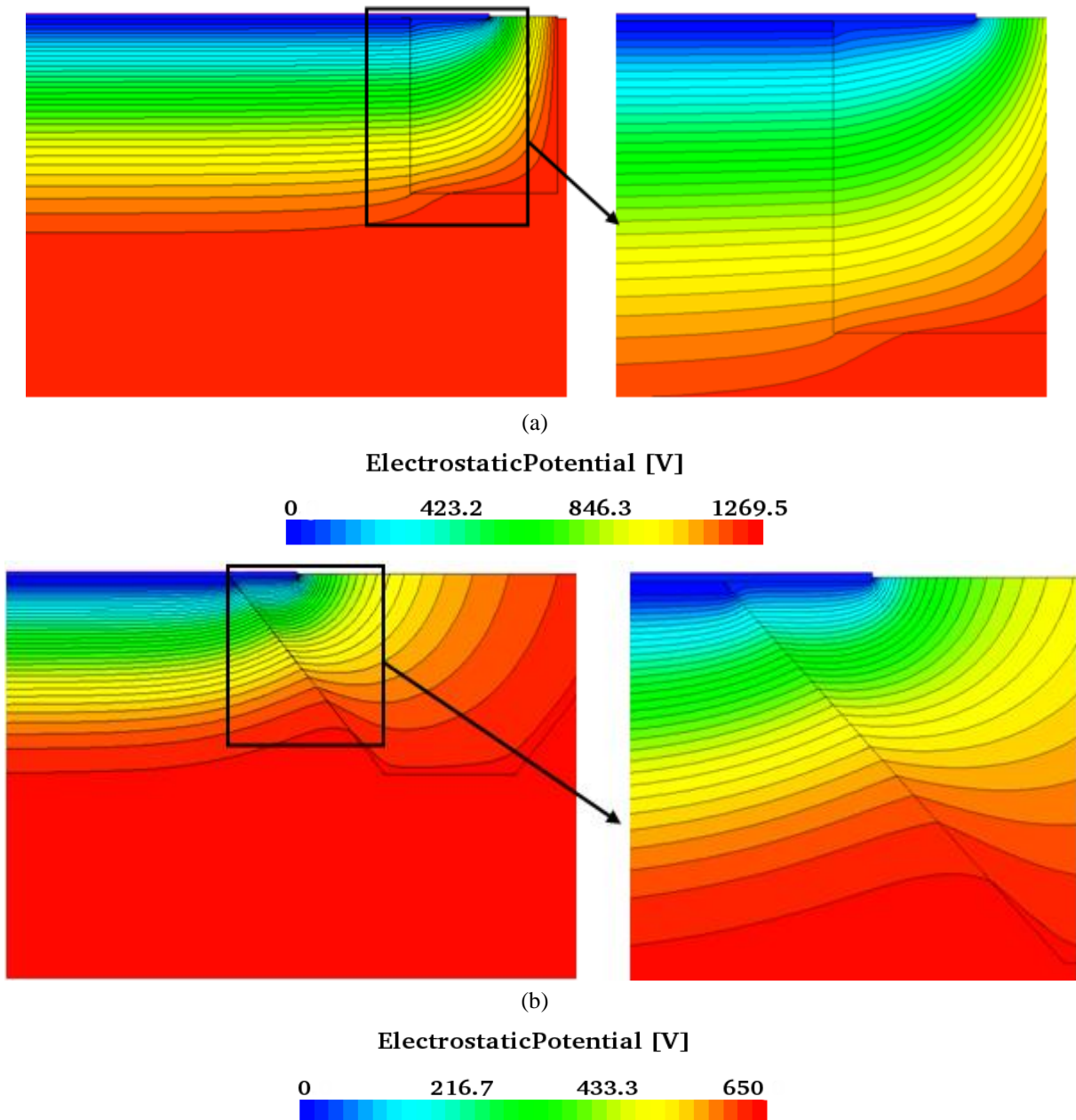


Figure 155 : Distribution 2D des lignes de potentiels (a) pour la structure de référence, et (b) pour la nouvelle structure.

Sur la Figure 156 nous comparons l'ionisation par impact entre la nouvelle structure proposée et la structure de référence à une tension constante égale à 650 V. Le resserrement

des lignes de potentiel implique une augmentation du champ électrique au niveau du coin supérieure la tranchée ($P^+ / N^- / \text{BCB}$). Celui-ci conduit à une augmentation de l'impact par ionisation localisée au même endroit et donc à une défaillance prématurée. C'est pour cette raison que la nouvelle structure ne tient que 650 V.

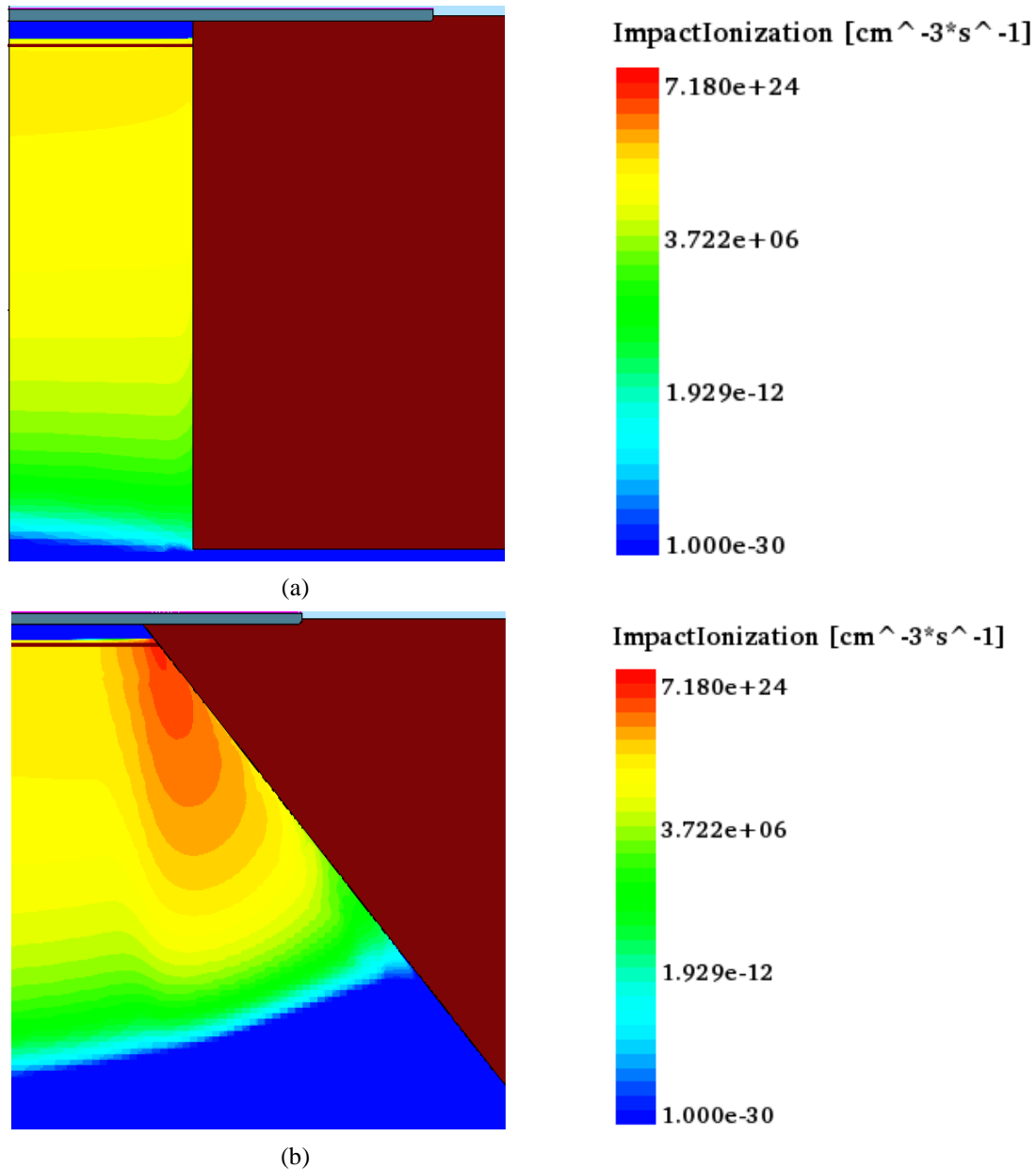


Figure 156: L'ionisation par impact pour (a) la structure de référence et (b) la nouvelle structure.

3.7.5.2 Tranchée en forme de « U-V »

Avec l'évolution des technologies de gravure du silicium [79], une nouvelle géométrie de la tranchée peut être proposée afin de limiter la chute de la tenue en tension. La Figure 157 présente la nouvelle structure ajustée avec un nouveau paramètre (E). Encore une fois, cette étude est théorique et ne soucie pas les problèmes technologiques.

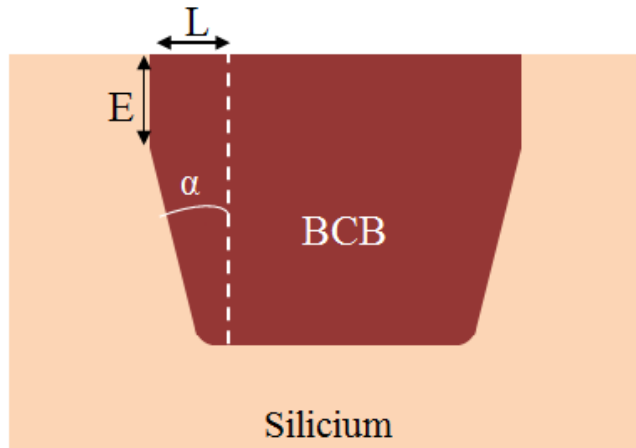


Figure 157 : Deuxième structure proposée pour la tranchée de la diode DT².

La simulation est maintenant réalisée avec les deux paramètres L (ou α) et E représentant la profondeur de tranchée à flanc verticaux. La structure a été simulée avec les dimensions réelles divisées par 10. Nous avons varié E entre $0 \mu\text{m}$ et $3 \mu\text{m}$, et α entre 0° et 45° . La Figure 158 présente la variation de la contrainte mécanique en fonction E et α .

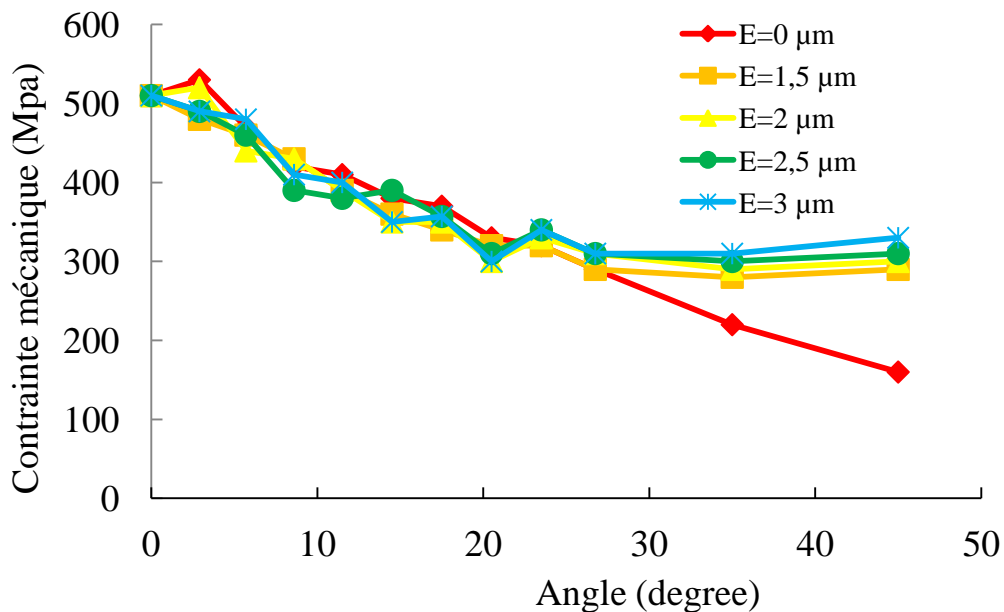


Figure 158 : Variation de la contrainte mécanique en fonction de E et α .

Nous avons remarqué dans cette nouvelle structure que le paramètre E influe très peu sur la variation des contraintes mécaniques et que les courbes sont quasiment superposées. Comme nous pouvons l'observer, la contrainte mécanique diminue jusqu'à 300 MPa (40% de réduction) pour cette nouvelle forme à partir d'un angle $\alpha = 30^\circ$. La forme en « V » permet d'atteindre 160 MPa pour un angle $\alpha = 45^\circ$.

La Figure 159 présente l'effet des paramètres α et E sur la tenue en tension avec les dimensions réelles de la structure (tranchée, plaque du champ...).

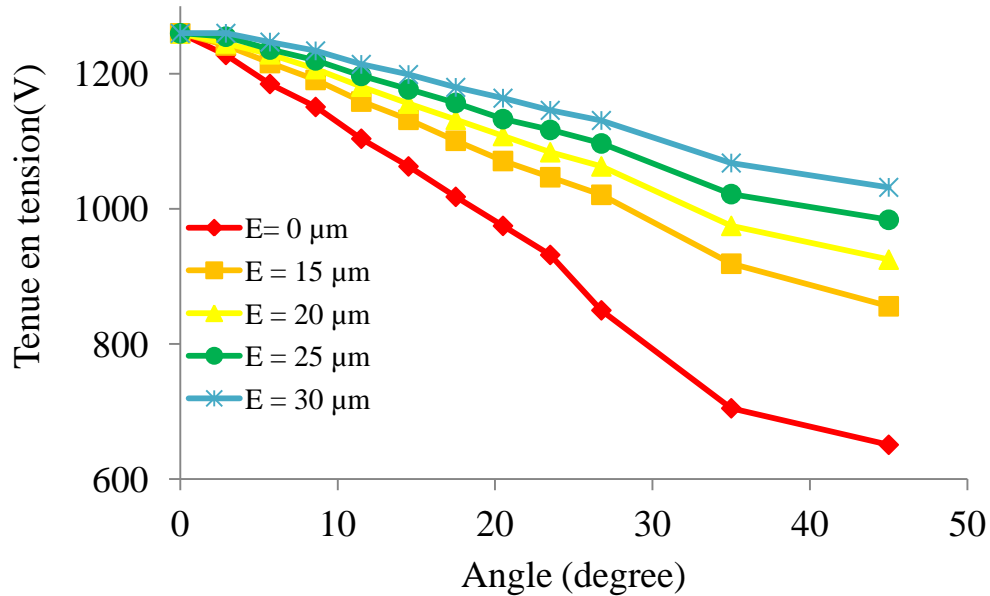


Figure 159 : Variation de la tenue en tension de la structure en « U-V » en fonction de E et α .

Nous remarquons que l'impact de E sur la tenue en tension n'est pas négligeable. En effet, en augmentant la valeur de E pour un angle constant, la tenue en tension augmente. Par contre, pour un E constant, la tenue en tension diminue en fonction de α .

3.7.6 Discussion

Pour la première structure proposée, une augmentation de α entraîne une diminution de la contrainte mécanique et de la tenue en tension. Par contre, pour la deuxième structure, une augmentation de α entraîne une diminution de la contrainte mécanique et de la tenue en tension, mais on peut compenser la diminution de la tenue en tension par une augmentation de la valeur du paramètre E. Il faut donc trouver le meilleur compromis entre la tenue en tension et la contrainte mécanique. Nous avons retenu la structure qui correspond à $\alpha = 30^\circ$ et $E = 30 \mu\text{m}$, en effet avec ces valeurs nous arrivons à diminuer le stress de 500 MPa à 300 MPa, et on diminue la tenue en tension à seulement 1100 V, soit une perte de 8,5%.

3.8 Conclusion

Dans une première partie, nous avons démontré qu'un délaminage à l'interface Si / BCB n'a pas d'effet sur le comportement électrique de la diode et qu'il ne peut être identifié ni par la variation de la tenue en tension ni par la mesure de la capacité parasite du composant. De plus, la fissure au niveau du coin n'influe pas sur la tenue en tension, dans les conditions de nos simulations.

La deuxième partie de ce chapitre est consacrée à la justification des variations électriques après une série de vieillissements électriques par l'apparition de charges électriques fixes piégées autour de la terminaison. Une diminution de la tenue en tension est peut-être due à la présence de charges négatives ou une grande quantité de charges fixes positives piégées à l'interface Si / BCB. Par contre, une augmentation de la tenue en tension peut être expliquée par une faible quantité de charges positives.

Nous avons montré que la modélisation par l'outil « Mixed Mode » est le meilleur compromis entre qualité de définition de la structure et le temps de calcul. Ainsi, le nouveau modèle électrique associé à la structure, nous a permis de démontrer que l'avalanche obtenue à 50 V est due à une grande quantité de charges piégées dans une zone restreinte de la structure. Cette approche en « Mixed Mode » peut être étendue à l'ensemble des structures électroniques et permettra de prendre en compte des défauts locaux sans avoir à modéliser la structure complète en 3D. En outre, plusieurs problèmes de non convergence, rencontrés généralement dans les simulations électriques, ont été présentés et résolus. Il reste intéressant de compléter cette approche en remplaçant l'angle de la structure, définie en 3D, par une structure bidimensionnelle dans un repère cylindrique.

Pour finir, nous avons démontré, avec l'outil Sprocess, que le process de fabrication crée une contrainte mécanique résiduelle importante à l'interface Si / BCB. De plus, une petite modification sur le rayon de la courbure des coins de la tranchée peut modifier la valeur de la contrainte mécanique, et donc peut expliquer qu'une partie des composants présentaient des fissures et des délaminages. Enfin, une réflexion a été menée sur des modifications de la géométrie de la tranchée permettant de diminuer les contraintes mécaniques résiduelles sans diminuer la tenue en tension de celle-ci.

Conclusion générale

Ces travaux de recherche ont été réalisés au sein du laboratoire IMS de Bordeaux, dans le cadre du projet SUPERSWITCH, et financés par l'Agence Nationale de la Recherche (ANR).

Actuellement, les composants à semi-conducteur de puissance sont basés sur des structures volumineuses pour tenir la tension. Dans ce contexte, une nouvelle terminaison (Deep Trench Termination : DT²) basée sur une tranchée large et profonde remplie de BenzoCycloButène (BCB) et recouverte par une plaque de champ en surface a été proposée en 2008. La largeur de la tranchée est de 72 μm , sa profondeur est de 105 μm et la plaque de champ mesure 40 μm au-dessus du diélectrique. Le principal objectif de ces travaux de thèse est l'étude de la robustesse de la diode DT².

Pour la première fois, la diode DT² remplie par du BCB est reportée sur des substrats DBC (Direct Bonded Copper) avec la technologie de frittage de pâte d'argent, sans engendrer l'apparition de fissure dans le silicium. Ceci confirme que la présence des tranchées dans la structure n'affaiblit pas la résistance mécanique de la puce suite au procédé d'assemblage. Les véhicules de test ainsi réalisés par frittage d'argent sont soumis à un vieillissement accéléré.

Le cyclage thermique est effectué dans une enceinte thermique avec deux chambres climatiques indépendantes assurant ainsi la transition entre les deux paliers de température. Les profils de température des tests de vieillissement accéléré ont été définis pour caractériser la fiabilité des assemblages par rapport aux demandes de l'industrie automobile (-40° C / +125° C, chocs et paliers de 30 minutes). Tous les 100 cycles, les véhicules de test sont retirés de l'enceinte et les caractéristiques électriques inverses sont enregistrées. Une variation de la tenue en tension a été relevée très tôt sur ces derniers.

Les analyses optiques des véhicules de test vieillis ont permis d'observer des délaminages à l'interface Si / BCB et des fissures au niveau du coin de la terminaison. Cela pourrait être dû aux contraintes mécaniques dans le BCB pendant la transition de haute température à basse température ambiante. Le délaminage à l'interface Si / BCB peut s'expliquer par la grande différence entre les coefficients de dilatation thermique entre les deux matériaux.

Un stress en conduction a été réalisé, dans l'objectif de vérifier que les caractéristiques électriques n'étaient pas influencées par la présence de charges dans la structure. Des résultats similaires aux résultats de cyclage passif ont été retrouvés.

Nous ne sommes pas capables de dire que ces dégradations sont responsables des variations de la caractéristique inverse de la diode DT^2 . Et donc des simulations par élément finis sous TCAD- SENTAURUS ont été envisagées afin de comprendre l'effet des dégradations créées dans la diode DT^2 sur ses comportements électriques.

Les résultats de simulations en 2D et 3D d'un délaminage à l'interface Si / BCB du côté extérieur ou du côté intérieur de la tranchée avec et sans fissure dans la métallisation de l'anode, ont montré que celle-ci n'affecte pas la tenue en tension. Un délaminage ne peut être identifié ni par la variation de la tenue en tension ni par la mesure de la capacité parasite du composant.

Les simulations 2D, prenant en compte la présence de charges à l'interface Si / BCB, ont montré de fortes variations de la caractéristique inverse. Une diminution de la tenue en tension de la diode DT^2 est expliquée par la présence de charges négatives ou par une forte quantité de charges positives piégées à l'interface Si / BCB. Également, une augmentation de la tenue en tension de la diode DT^2 est expliquée par une faible quantité de charges positives piégées à l'interface Si / BCB.

Par ailleurs, nous avons démontré que la modélisation par l'outil « Mixed Mode » est le meilleur compromis entre qualité de définition de la structure et temps de calcul en le comparant avec différentes approches de simulations (2D, 3D). Entre autres, plusieurs problèmes de non-convergence, rencontrés généralement dans les simulations électriques, ont été présentés et résolus.

La dégradation de la structure par les charges créées à l'interface Si / BCB est faite sur tous les côtés de la diode. Une idée consiste à dégrader juste une petite zone afin de connaître son effet sur le comportement de la caractéristique inverse. Pour cela, nous avons proposé un deuxième modèle de simulation sous « Mixed Mode » tenant compte de la proportion de la zone dégradée. Une quantité de charge négatives piégées à l'interface Si / BCB dans une petite zone est capable de déclencher une avalanche prématurée.

Une amélioration a été proposée dans le but de protéger la structure contre les charges piégées à l'interface Si / BCB. Cette solution consiste à diffuser une couche P autour de la tranchée. Si les charges évoluent, en valeur absolue, de plus de $1,5 \times 10^{12} \text{ cm}^{-2}$, cette solution ne sera pas suffisante. Il faudrait par exemple, changer de diélectrique et choisir un diélectrique piégeant moins de charges.

La simulation 2D de la contrainte mécanique dans la diode DT^2 a également montré que la contrainte maximale est située dans les coins inférieurs et supérieurs de la tranchée et que sa valeur est très élevée et peut donc être la cause principale du délaminage apparu à l'interface

Si / BCB. D'autres simulations ont été faites avec des coins arrondis permettant de confirmer que plus le rayon de courbure est grand, plus les contraintes sont relâchées.

La simulation en 3D a montré que la zone la plus stressée est située dans le coin de la terminaison de la diode DT², et que la valeur de la contrainte maximale dépend également du rayon de courbure. L'augmentation du rayon de courbure réduit la contrainte maximale. À partir de ces résultats, il est possible qu'une petite variation sur le rayon de la courbure modifie la valeur de la contrainte mécanique, et donc cela peut expliquer que certaines diodes présentent des délaminages à l'interface Si / BCB et au niveau du coin de la diode DT², et pas d'autre. En effet, une contrainte importante dans le coin de la structure sera un point de départ pour une fissure qui se prolongera suivant le déplacement des contraintes au fur et à mesure de la propagation de celle-ci.

Une nouvelle topologie de la terminaison est proposée dans le but de diminuer la contrainte mécanique dans la diode DT². Avec cette nouvelle structure, nous avons diminué la contrainte de 40% par rapport à une structure conventionnelle mais avec une perte de 8,5% de la tenue en tension.

Dans la suite de ce travail, il serait intéressant dans une première étape de construire une capacité Métal-BCB-Silicium afin d'identifier la nature des charges à l'interface Si / BCB avec la méthode SCM (Scanning Capacity Microscopy) ou DLTS (Deep-Level Transient Spectroscopy). Il est également nécessaire de pouvoir caractériser un nouveau lot de diodes afin de comparer le comportement de diodes en sortie de fabrication avec notre travail qui a été réalisé sur un lot de composant stocké.

Les Super-Jonctions des transistors SJ-DTMOS étant réalisées également avec des tranchées de BCB. Il est nécessaire de poursuivre cette étude sur ce type de composant afin de vérifier leur immunité aux charges, sans quoi, le principe de la Super-Jonction ne pourra être garanti.

Le BCB a été choisi pour ses avantages de mise en œuvre. Il est, malgré tout, nécessaire de prospecter de nouvelles solutions pour réaliser cette terminaison. La réalisation de cette terminaison pourrait, par exemple, être réalisée en silicium poreux, qui aurait l'avantage de ne pas avoir de différence de coefficient de dilatation thermique.

En ce qui concerne la modélisation par éléments finis, il reste intéressant de remplacer l'angle de la structure, définie en 3D, par une structure bidimensionnelle dans un repère cylindrique, et de valider notre modèle en « Mixed Mode » avec seulement des représentations 2D pour optimiser le rapport précision / temps de calcul.

Bibliographie

- [1] L. Théolier, H. Mahfoz-Kotb, K. Isoird, F. Morancho, S. Assié-Souleille et N. Mauran, «A New Junction Termination Using a Deep Trench Filled With BenzoCycloButene,» vol. 30, pp. 687 - 689.
- [2] L. Theolier, «Conception de transistors MOS haute tension (1200 Volts) pour l'électronique de puissance,» Thèse de doctorat, Université Paul Sabatier Toulouse III, 2008.
- [3] G. Séguier, P. Delarue et F. Labrique, «Electronique de puissance structures, fonctions de base, principales applications,» Livre, 2011.
- [4] H. Foch, Y. Chéron, R. Arches, B. Escaut, P. Marty et M. Metz, «Convertisseurs continu-alternatif et alternatif-continu,» Techniques de l'Ingénieur, 1993.
- [5] C. Glaize, «Introduction à l'électrotechnique et à l'électronique de puissance,» Cours de l'université de Montpellier, 2002.
- [6] A. Chovet et P. Planson, «Physiques des semi-conducteurs,» Cours de l'école polytechnique universitaire de Marseille, 2004.
- [7] L. Lasne, «Physique et technologie des composants de puissance,» Cours de l'université de Bordeaux, 2001.
- [8] «Les semi-conducteurs,» Cours de l'université du maine, [En ligne]. Available: http://ressources.univ-lemans.fr/AccesLibre/UM/Pedago/physique/02/cours_elec/semicon.pdf.
- [9] «Diodes a jonction,» Cours de l'universitaire de Brive-La-Gaillarde-Limoges, [En ligne]. Available: https://www.brive.unilim.fr/files/fichiers/quere/Elec_phys/CHAP_2.pdf.
- [10] B. Boittiaux, Les composants semiconducteurs, 2 éd., T. e. D. Lavoisier, Éd., 1995, p. 320.
- [11] N. Servagent, «Capteurs à semi-conducteurs et applications. Physique des semi-conducteurs : Fondamentaux,» Cours de l'école des Mines de Nantes, 2007.
- [12] D. Muller, «Optimisation des potentialités d'un transistor LDMOS pour l'intégration

- d'amplificateur de puissance RF sur silicium,» Thèse de doctorat, Université de Limoges, 2006.
- [13] S. Alves, «Conception de transistors FLYMOSTM verticaux de puissance adaptés aux applications automobiles du futur (batterie 42V),» Thèse de doctorat, INSA de Toulouse, 2005.
- [14] L. Aubard, «Modélisation des Transistors MOS de puissance pour l'électronique de commutation,» Thèse de doctorat, Institut National Polytechnique de Grenoble, 1999.
- [15] S. K. Ghandi, «Semiconductor power devices,» *Willey*, 1977.
- [16] T. Pham, «Le compromis entre la résistance à l'état passant et la tenue en tension dans les transistors MOS de puissance,» Thèse de doctorat, Université de Toulouse, 1982.
- [17] M. Gharbi, «La tenue en tension et le calibre en courant du transistor MOS vertical dans la gamme de tension (300V à 100V),» Thèse de doctorat, Université de Toulouse, 1985.
- [18] K. El Boubkari, «Impact de la modélisation physique bidimensionnelle multicellulaire du composant semi-conducteur de puissance sur l'évaluation de la fiabilité des assemblages appliqués au véhicule propre,» Thèse de doctorat, Université Bordeaux, 2013.
- [19] M. Correvo, «Electronique de puissance : Les semiconducteurs de puissance l'IGBT,» Cours de haute École d'ingénierie et de gestion du canton de Vaud.
- [20] T. Fujihira, «Theory of Semiconductor Superjunction Devices,» *Japanese Journal of Applied Physics*, vol. 36, pp. 6254-6262, 1997.
- [21] A. Strollo et E. Napoli, «Analytical modeling of breakdown voltage of superjunction power devices,» *ISPSD*, pp. 113-120, 2000.
- [22] L. Zehong, R. Min, Z. Bo, M. Jun, H. Tao, Z. Shuai et W. Fei, «Above 700 V superjunction MOSFETs fabricated by deep trench etching and epitaxial growth,» *Journal of Semiconductors*, vol. 31, august 2010.
- [23] J. Glenn et J. Siekkinen, «A novel vertical deep trench RESURF DMOS (VTR-DMOS),» *Power Semiconductor Devices and ICs*, pp. 197 - 200, 2000.
- [24] S. Sapp, P. Thorup et A. Challa, «Novel low capacitance VDMOS device for switching and RF power amplification,» *Power Semiconductor Devices and ICs*, pp. 187 - 190, May 2005.
- [25] T. Nitta, T. Minato, M. Yano, A. Uenisi, M. Harada et S. Hine, «Experimental results and simulation analysis of 250 V super trench power MOSFET (STM),» *Power Semiconductor Devices and ICs*, pp. 77 - 80, May 2000.

- [26] G. Deboy, N. Marz, J. .. P. S. H. Strack, J. Tihanyi et H. Weber, «A new generation of high voltage MOSFETs breaks the limit line of silicon,» *Electron Devices Meeting, IEDM*, pp. 683 - 685, Decembre 1998.
- [27] S. Iwamoto, K. Takahashi, H. Kuribayashi, S. Wakimoto, K. Mochizuki et H. Nakazawa, «Above 500V class Superjunction MOSFETs fabricated by deep trench etching and epitaxial growth,» *Power Semiconductor Devices and ICs*, pp. 31 - 34, May 2005.
- [28] C. Mingues, «Modélisation et réalisation de terminaisons de jonctions haute tension compatibles avec la technologie planar : les anneaux polarisés et la spirale de SIPOS,» Thèse de doctorat, Université de Toulouse, 1997.
- [29] D. Dragomirescu, «Conception des terminaisons de jonctions pour des dispositifs très haute tension : Aspects statiques et dynamiques,» Thèse de doctorat, Université de Toulouse, 2001.
- [30] Y. C. Kao et E. D. Wolley, «High-voltage planar p-n junctions,» *Proceedings of the IEEE*, vol. 55, pp. 1409 - 1414, August 1967.
- [31] A. S. Grove, O. Leistiko et W. Hooper, «Effect of surface fields on the breakdown voltage of planar silicon p-n junctions,» *Electron Devices, IEEE Transactions on*, vol. 14, pp. 157 - 162, Mars 1967.
- [32] L. E. Clark et D. S. Zoroglu, «Enhancement of breakdown properties of overlay annular diodes by field shaping resistive films,» *Solid-State Electronics*, vol. 15, pp. 653-657, Juin 1972.
- [33] T. Matsushita, T. Aoki, T. Otsu, H. Yamoto, H. Hayashi, M. Okayama et Y. Kawana, «Semi-Insulating Polycrystalline-Silicon (SIPOS) Passivation Technology,» *Japanese Journal of Applied Physics*, vol. 15, 1976.
- [34] D. Jaume, G. Charitat, J. M. Reynes et P. Rossel, «High-voltage planar devices using field plate and semi-resistive layers,» *IEEE Transactions on Electron Devices*, vol. 38, pp. 1681 - 1684, juillet 1991.
- [35] V. A. K. Temple, «Junction termination extension (JTE), A new technique for increasing avalanche breakdown voltage and controlling surface electric fields in P-N junctions,» *Electron Devices Meeting*, pp. 423 - 426, 1977.
- [36] P. Leturcq, «Tenue en tension des semi-conducteurs de puissance,» Techniques de l'Ingénieur, D3104, 2000.
- [37] V. A. K. Temple, «Junction termination extension for near-ideal breakdown voltage in p-n junctions,» *IEEE Transactions on Electron Devices*, vol. 33, pp. 1601 - 1608, Octobre 1986.

- [38] D. Dragomirescu et G. Charitat, «Trench termination technique with vertical JTE for 6 kV devices,» *Bipolar/BiCMOS Circuits and Technology Meeting*, pp. 86 - 89, Septembre 2000.
- [39] M. Ikonen, «Power cycling lifetime estimation of IGBT power modules based on chip temperature modeling,» Thèse de doctorat, University of Finland, 2012.
- [40] J. E. Butler, M. W. Geis, K. E. Krohn, J. Lawless, S. Deneault, T. M. Lyszczarz, D. Flechtner et R. Wright, «Exceptionally high voltage Schottky diamond diodes and low boron doping,» *Semiconductor Science and Technology*, vol. 18, pp. 67-71, 2003.
- [41] P. Brosselard, «Conception, Réalisation et Caractérisation d'interrupteurs (thyristors et JFETs) haute tension (5kV) en carbure de silicium,» Thèse de doctorat, Université de Lyon, 2004.
- [42] M. Su, C. Chen et S. Rajan, «Prospects for the application of GaN power devices in hybrid electric vehicle drive systems,» *Semiconductor Science and Technology*, vol. 28, 2013.
- [43] C. Buttay, «Modules et boîtiers de puissance (packaging),» Techniques de l'Ingénieur, D3116, 2010.
- [44] S. Schmitt, *Le composant électronique monté en surface : Technologie et mise en oeuvre*, Dunod, Éd., 1997.
- [45] M. Gerber, «The electrical, thermal and spatial integration of a converter in a power electronic module,» Engineering Magister, Afrikaans university, 2005.
- [46] N. Chasserio, S. Guillemet Fritsh, T. Lebey et S. Dagdag, «Ceramic Substrates for High-temperature Electronic Integration,» *Journal of Electronic Materials*, vol. 38, pp. 164-174, 2009.
- [47] A. Zéanh, «Contribution à l'amélioration de la fiabilité des modules IGBT utilisés en environnement aéronautique,» Thèse de doctorat, Université de Toulouse, 2009.
- [48] W. W. Sheng et R. P. Colino, «Power Electronic Modules: Design and Manufacture,» livre, CRC Press, 2004.
- [49] L. Ménager, B. Allard et V. Bley, «Conditionnement des modules de puissance,» Technique de l'ingénieur, E3385, 2010.
- [50] M. Ciappa, «Selected failure mechanisms of modern power modules,» *Microelectronics Reliability*, vol. 42, p. 653–667, May 2002.
- [51] L. Dupont, S. Lefebvre, Z. Khatir et S. Bontemps, «Evaluation of Substrate Technologies under High Temperature Cycling,» *Integrated Power Systems (CIPS)*, pp. 1 - 6, Juin

2006.

- [52] V. R. Manikam et K. Y. Cheong, «Die Attach Materials for High Temperature Applications,» *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 1, pp. 457 - 478, Mars 2011.
- [53] M. Bouarroudj Berkani et L. Dupont, «Fatigue des composants électroniques de puissance - Physique de défaillanc,» Thèse de l'ingénieur, D3126, 2010.
- [54] P. Pietranico, «Analyse de matériaux pour la modélisation des mécanismes de défaillances des modules électroniques de puissance,» Thèse de doctorat, ENS Cachan, 2010.
- [55] L. Jaesik, «Process Quality Improvement in Thermosonic Wire Bonding,» Thèse de doctorat, University of Waterloo, Canada, 2008.
- [56] J. Pan et P. Fraud, «Wire Bonding Challenges in Optoelectronics Packaging,» *Proceedings of the 1st SME Annual Manufacturing Technology Summit*, 2004.
- [57] C. Vasseur, «Les méthodes d'assemblages,» Cours de l'école d'ingénieurs ESIEE Paris, 2005.
- [58] C. P. Wong, J. M. Segelken et J. W. Balde, «Understanding the use of silicone gels for non-hermetic plastic packaging,» *Electronic Components Conference*, pp. 769 - 776, May 1989.
- [59] S. Mandray, «Optimisation des convertisseurs d'électronique de puissance selon des critères thermiques et CEM. Application aux dispositifs dédiés à l'aéronautique,» Thèse de doctorat, Institut polytechnique de Grenoble, 2009.
- [60] F. Perisse, «Etude et analyse des modes de défaillances des condensateurs électrolytiques à l'aluminium des thyristors appliquées au système de protection de LHC,» Thèse de doctorat, Université Claude Bernard Lyon, 2002.
- [61] M. Marcault, «Contribution à l'intégration d'un indicateur de vieillissement lié à l'état mécanique de composants électroniques de puissance,» Thèse de doctorat, Insa de Toulouse, 2012.
- [62] M. Bouarroudj Berkani, «Etude de la fatigue thermo-mécanique de modules électroniques de puissance en ambiance de températures élevées pour des applications de traction de véhicules électriques et hybrides,» Thèse de doctorat, ENS Cachan, 2008.
- [63] V. Smet, F. Forest, J. J. Huselstein, F. Richardeau, Z. Khatir, S. Lefebvre et M. Berkani, «Ageing and Failure Modes of IGBT Modules in High-Temperature Power Cycling,» *IEEE Transactions on Industrial Electronics*, vol. 58, pp. 4931 - 4941, 2011.

- [64] T. Detzel, M. Glavanovics et W. K., «Analysis of wire bond and metallization degradation mechanisms in DMOS power transistors stressed under thermal overload conditions,» *Microelectronics and reliability*, vol. 44, pp. 1485-1490, 2004.
- [65] S. H. Jürgen, «Advantages and new development of direct bonded copper substrates,» *Microelectronics Reliability*, vol. 43, p. 359–365, 2003.
- [66] G. Lefranca, T. Lichtb, H. J. Schultza, R. Beinertb et G. Mitica, «Reliability testing of high-power multi-chip IGBT modules,» vol. 40, p. 1659–1663, 2000.
- [67] R. Amro, J. Lutz, J. Rudzki, M. Thoben et A. Lindemann, «Double-sided low-temperature joining technique for power cycling capability at high temperature,» *Power Electronics and Applications*, 2005.
- [68] L. Dupont, «l'étude de la durée de vie des assemblages de puissance dans des environnements haute température et avec des cycles thermiques de grande amplitude,» Thèse de doctorat, ENS Cachan, 2006.
- [69] K. Lee, «Thermomechanical Reliability Study of Benzocyclobutene Film in Wafer-Level Chip-Size Package,» *Journal of Electronic Materials*, vol. 41, pp. 706-711, 2012.
- [70] M. E. Mills, P. Townsenda, D. Castilloa, S. Martina et A. Achen, «Benzocyclobutene (DVS-BCB) polymer as an interlayer dielectric (ILD) material,» *Microelectronic Engineering*, vol. 33, p. 327–334.
- [71] A. Tetelin, A. Achen, V. Pouget, C. Pellet, M. Topper et J. L. Lachaud, «Water Solubility and Diffusivity in BCB Resins used in Microelectronic Packaging and Sensor Applications,» *Instrumentation and Measurement Technology Conference*, vol. 2, pp. 792 - 796, 2005.
- [72] H. Schwarzbauer et R. Kuhnert, «Novel large area joining technique for improved power device performance,» *IEEE Transactions on Industry Applications*, vol. 27, pp. 93 - 95.
- [73] F. Le Henaff, S. Azzopardi, J. Y. Deletage, E. Woirgard, S. Bontemps et J. Joguet, «A preliminary study on the thermal and mechanical performances of sintered nano-scale silver die-attach technology depending on the substrate metallization,» *Microelectronics Reliability*, vol. 52, p. 2321–2325, 2012.
- [74] A. Masson, «Mise en oeuvre de techniques d'attaches de puces alternatives aux brasures pour des applications haute température,» Thèses de doctorat, INSA de Lyon, 2012.
- [75] G. Bai, «Low-Temperature Sintering of Nanoscale Silver Paste for Semiconductor Device Interconnection,» Thèse de doctorat, faculty of the Virginia Polytechnic Institute and State University, 2012.

- [76] M. Taleb, «Phénomènes aux interfaces des isolants : mesure et simulation,» Thèse de doctorat, Université Toulouse III-Paul Sabatier, 2011.
- [77] «Processing Procedures for CYCLOTENE 4000 Series Photo BCB Resins,» CYCLOTENE Advanced Electronic Resins, 2009.
- [78] Y. Kwon, J. Seok, J. Q. Lu, T. S. Cale et R. J. Gutmann, «Critical Adhesion Energy at the Interface Between,» *Journal of The Electrochemical Society*, vol. 154, pp. H460-H465, 2007.
- [79] B. Wu, A. Kumar et S. Pamarthy, «High aspect ratio silicon etch: A review,» *Journal of applied physics*, vol. 108, 2010.

Liste des publications

Articles dans des revues avec comité de lecture :

Fedia BACCAR, Houssam Arbess, Loic Théolier, Stéphane Azzopardi, Eric Woïrgard “Ageing mechanisms in Deep Trench Termination (DT²) Diode”, *Microelectronics Reliability*, Vol.55, Iss.9-10, 2015, pp.1981-1987.

Houssam Arbess, **Fedia BACCAR**, Loic Théolier, Stéphane Azzopardi, Eric Woïrgard “Mechanical stress investigation after technological process in Deep Trench Termination DT² using BenzoCycloButene as dielectric material”, *Microelectronics Reliability*, Vol.55, Iss.9-10, 2015, pp.2017-2021.

Fedia BACCAR, Stéphane Azzopardi, Loic Theolier, Kamal EL Boubkari, Jean-Yves Deletage, Eric Woïrgard, “Electrical characterization under mechanical stress at various temperatures of PiN power diodes in a health monitoring approach”, *Microelectronics Reliability*, Vol.53, Iss.9-11, 2013, pp.1719-1724.

Communications dans des conférences internationales avec actes publiés :

Fedia BACCAR, Loic Théolier, Stéphane Azzopardi, François Le Henaff, Jean-Yves Deletage, Eric Woïrgard, “First Assemblies Using Deep Trench Termination Diodes ”, *Power Semiconductor Devices & IC's : ISPSD 2014, International Conference*, Juin 2014, Waikoloa, Hawaii.

Fedia BACCAR, François Le Henaff, Loic Théolier, Stéphane Azzopardi, Eric Woïrgard “Electrical Characteristics Evolution of the Deep Trench Termination Diode Based on a Finite Elements Simulation Approach”, *Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems : EUROSIME 2014, International Conference*, Avril 2014, Gent, Belgique.

Fedia BACCAR, Houssam Arbess, Loic Théolier, Stéphane Azzopardi, Eric Woïrgard “New Simulation Method for Deep Trench Termination Diode DT² using Mixed-mode TCAD Sentaurus ”, *Thermal, Mechanical and Multi-Physics Simulation and Experiments in*

Microelectronics and Microsystems : EUROSIME 2015, International Conference, Avril 2015, Budapest, Hungary.

Communications nationale

Fedia BACCAR, Loic Théolier, Stéphane Azzopardi, François Le Henaff, Jean-Yves Deletage, Eric Woirgard “Fiabilité d'une diode DT² reportée sur un substrat DBC par frittage de pâte d'argent”, Symposium de Génie Electrique : SGE 2014, Européen Conférence, Juin 2014, Cachan, France.

Fedia BACCAR, Houssam Arbess, Loic Théolier, Stéphane Azzopardi, Eric Woirgard “Nouvelle méthode de simulation de la diode DT² en utilisant « mixed mode » de TCAD Sentaurus”, Journées nationales du Réseau doctoral en Micro-Nanoélectronique : JNRDM 2015, Mai 2015, Bordeaux, France.