



Réalisation et caractérisation de transistors MOS à base de nanofils verticaux en silicium

Yousseuf Guerfi

► To cite this version:

Yousseuf Guerfi. Réalisation et caractérisation de transistors MOS à base de nanofils verticaux en silicium. Micro et nanotechnologies/Microélectronique. Université Toulouse III Paul Sabatier, 2015. Français. NNT: . tel-01261513v2

HAL Id: tel-01261513

<https://theses.hal.science/tel-01261513v2>

Submitted on 8 Feb 2016 (v2), last revised 13 Oct 2016 (v3)

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par : *l'Université Toulouse 3 Paul Sabatier*

Présentée et soutenue le *jeudi 10 décembre 2015* par :

Youssef GUERFI

**Réalisation et caractérisation de transistors MOS à base de nanofils
verticaux en silicium**

JURY

SYLVAIN BOLLAERT
LAURENT PICHON
ALAIN CAZARRE
BASSEM SALEM

Professeur d'Université
Professeur d'Université
Professeur d'Université
Chargé de recherche

Rapporteur
Rapporteur
Président
Examineur

École doctorale et spécialité :

GEET : Micro et Nanosystèmes

Unité de Recherche :

Laboratoire d'Analyse et d'Architecture des Systèmes (UPR 8001)

Directeur(s) de Thèse :

Guilhem LARRIEU et Filadelfo CRISTIANO

Rapporteurs :

Sylvain BOLLAERT et Laurent PICHON

À la mémoire de mon père, Ahmed GUERFI (1951 – 2002).

À ma mère, tu as toujours su me montrer la voie à prendre, m'encourager et me soutenir. Je te dois tout.

À mes sœurs et mon frère Said, merci pour votre aide et soutien, vous êtes tout pour moi.

À mes oncles, tantes, mes cousins et cousines, ainsi que toute ma grande famille, vous êtes ma fierté.

À mes beaux parents et mes belles sœurs, votre rencontre est un cadeau de la vie.

À Rahim, ton oncle sera toujours là pour toi ainsi que pour tes frères et ta sœur.

Enfin, à ma femme, ta présence à mes côtés m'est vitale, merci pour ta patience, ton soutien indéfectible et tes encouragements.

Je remercie mes responsables de thèse, Guilhem LARRIEU et Filadelfo CRISTIANO de m'avoir donné l'opportunité de faire ma thèse sur un sujet qui m'a tant inspiré. Sans oublier toute l'équipe MPN.

Mes remerciements vont également à Alain Cazarre, professeur d'Université Paul Sabatier et président de mon jury de thèse.

Merci à Laurent PICHON professeur d'université Rennes 1 et Sylvain BOLLAERT professeur d'université Lille 1 d'avoir accepté de rapporter mes travaux de thèse. Merci également à Bassem SALEM, chargé recherche au LTM-CNRS de faire partie de mon jury de thèse en tant qu'examineur.

Je tiens à exprimer ma profonde gratitude à Franck CARCENAC de m'avoir fait profiter de sa grande expérience et me permettre d'acquérir une expertise dans le domaine de la micro et nanotechnologie. Ta porte a toujours été ouverte pour moi, tu as toujours eu du temps pour répondre à mes questions, me donner une piste et me conseiller, un soutien technique et moral, MERCI ! Sans sortir du bureau, je tiens à remercier Jean Baptiste DOUCET et Emmanuelle DARAN pour leur aide et agréables discussions. Voila un bureau très chaleureux.

Je remercie toute l'équipe TEAM, pour leur disponibilité et leur aide pour la réalisation de ces travaux. Notamment, Eric IMBERNON et Jean-Christophe MARROT, Ludovic SALVAGNAC et Pascal DUBREUI, Bernard ROUSSET et Adrian LABORDE.

Merci à tous mes ami(e)s et collègues du LAAS ; Moustafa ZERARKA, Hakim TAHIR, Imad et Walid BOURENNANE, Mohamed MATMAT, Fehd BETTAHAR, Fadhila SEKLI, Abdelilah EL KHADIRY, Said HOUMADI, Valentina CASTAGNOLA Amel ALI SLIMANE, Sabeha et Amel ZEDEK, Hajer MAKHLOUFI, Adem et Ahmet LALE, Sami ABADA, Brice ADELIN, et Abdenour AOUIA. Je m'excuse auprès de ceux que j'ai oublié.

Mes remerciements, vont à mes amis des deux rives de la méditerranée, tout d'abord, à Abdelaziz LARGUET, Mohamed IHADDADEN, El Hachemi ADMANE, Noureddine TCHIKOU et Djallel BENSALAH et ainsi ceux qui ont décidé de faire la traversée avec moi pour poursuivre nos études, en l'occurrence Adel SAADI et Djamel TOUBAL MAAMAR.

Table des matières

Introduction générale.....	10
Bibliographie.....	14
Chapitre 1 : Le MOSFET élément de base de l'industrie semiconducteur	16
Introduction	17
1.1 Le MOSFET	19
1.1.1 Structure de base et principe de fonctionnement	19
1.1.2 Régime de fonctionnement	20
1.2 Métriques du MOSFET	21
1.2.1 Etat bloqué : faible inversion	22
1.2.2 Etat passant : forte inversion.....	23
1.3 Miniaturisation du MOSFET	24
1.4 Effets de canaux courts	26
1.4.1 DIBL et perçage volumique.....	27
1.4.2 Effet du champ électrique longitudinal.....	28
1.5 Alternative aux effets canaux courts et amélioration des performances des MOSFETs	29
1.5.1 Résistances séries.....	29
1.5.2 Introduction des contraintes dans le canal de conduction.....	30
1.5.3 Matériaux à constante diélectrique élevée (High K) et grille métallique ...	31
1.5.4 Silicon On Insulator (SOI) MOSFET	33
1.5.5 Multiples grilles	33
1.6 Transistor sans jonction.....	37
1.7 Nouvelles structures : architectures nanofils.....	39
1.7.1 Architecture horizontale.....	40

1.7.2	Architecture verticale.....	46
1.8	Pourquoi une architecture verticale ?	50
1.9	Objectif de la thèse	51
1.10	Conclusion.....	51
	Bibliographie	53
	Chapitre 2 : Réalisation de réseaux de nanofils verticaux en silicium.....	63
	Introduction	64
2.1	Réalisation du masque de gravure.....	65
2.1.1	Lithographie électronique	65
2.1.2	Hydrogène SilsesQuioxane (HSQ)	66
2.1.3	Exposition de la HSQ à la lithographie électronique.....	66
2.1.4	Révélation de la HSQ.....	69
2.1.5	Approche classique	70
2.1.6	Amélioration de l'anisotropie	71
2.1.7	Amélioration de la circularité	72
2.2	Transfert des nanofils dans le substrat : gravure du silicium	77
2.2.1	Procédé de gravure.....	78
2.2.2	Mécanisme de gravure du silicium par plasma chloré.....	79
2.2.3	Expérimentation	80
2.2.4	Influence de l'ICP	81
2.2.5	Vitesse de gravure et sélectivité.....	83
2.3	Amincissement des nanofils.....	83
2.3.1	Oxydation thermique des réseaux de nanofils en silicium.....	84
2.3.2	Mécanisme physique d'oxydation retardée.....	87
2.3.3	Bilan d'oxydation thermique des réseaux de nanofils	89
2.4	Oxyde de grille	91
2.5	Conclusion.....	91

Bibliographie	92
Chapitre 3 : Technologie de fabrication de transistors MOS à base de NFV en silicium..	97
Introduction	98
3.1 Réalisation des contacts source et drain de faible hauteur de barrière Schottky aux trous	98
3.1.1 Techniques de formation des siliciures	99
3.1.2 Mécanisme de formation du siliciure de platine (PtSi).....	99
3.1.3 Formation du PtSi sur les réseaux NFV en Si.....	102
3.1.4 Gravure de l'oxyde de silicium.....	103
3.1.5 Siliciuration de platine sur nanofils	104
3.2 Réalisation des couches d'isolation.....	104
3.2.1 Matériaux isolants et techniques de planarisation.....	105
3.2.2 Réalisation de la couche d'isolation inférieure	106
3.2.3 Niveau d'isolation supérieur	113
3.3 Photolithographie	115
3.3.1 Procédé monocouche pour lift off.....	116
3.3.2 Verrous technologiques : incompatibilité développeur résine – HSQ.....	121
3.3.3 Structuration des métaux.....	122
3.3.4 Réalisation du contact de grille.....	123
3.3.5 Qualité de dépôt	124
3.3.6 Réalisation des vias et plots de contact.....	126
3.4 Conclusion.....	128
Bibliographie	130
Chapitre 4 : Caractérisation électrique de transistors MOSFET à base de nanofils verticaux en Si	133
Introduction	134
4.1 Caractéristiques des composants	134
4.2 Caractéristiques I(V)	134

Table des matières

4.3	Physique du composant.....	141
4.4	La longueur naturelle	141
4.5	La tension de seuil (V_{th})	142
4.6	La transconductance	143
4.7	Extraction des résistances séries.	144
4.8	Extraction de la mobilité apparente.....	144
4.8.1	Evaluation de la capacité de grille	145
4.9	Inverseurs CMOS	147
4.10	Etat de l'art	149
4.11	Conclusion.....	150
	Bibliographie	152
	Conclusion et perspectives	155
5.1	Conclusion générale	156
5.2	Perspectives	157
5.2.1	Etudes complémentaires	157
5.2.2	Développements technologiques.....	158
	Liste des publications et conférences	164
5.3	Revue internationale.....	164
5.4	Conférences internationales	164
5.5	Conférences Nationales.....	165

Introduction générale

L'innovation dans la conception des circuits intégrés (ICs), nous a permis de jouir de plus de facilité pour accomplir nos tâches et activités quotidiennes. Alors que les applications où l'on pouvait retrouver des ICs se cantonnaient strictement aux ordinateurs, de nos jours, elles inondent notre environnement, du smart-phone à la tablette en passant par les objets connectés, dans les voitures, dans le médical jusqu'aux équipements électroménagers. Avec l'arrivée de l'ère de l'internet des objets (internet of thing (IOT)) [1], le besoin de concevoir des circuits intégrés plus performants et intégrant plus de fonctionnalités, est parmi les objectifs principaux des acteurs de l'industrie des semiconducteurs. Le chiffre d'affaire de cette dernière est estimé par World Semiconductor Trade Statistics (WSTS) à 343 milliards de dollars (US) à la fin 2015, soit une augmentation de 2.3 % par rapport à l'année précédente. Les mêmes analystes prédisent un chiffre d'affaire de 365 milliards de dollars (US) en 2017.

La miniaturisation du transistor Métal-Oxyde-Semiconducteur à effet de champs (MOSFET) a été le point de départ de l'évolution des ICs. Considéré comme l'élément de base, ses dimensions ont été réduites afin d'augmenter sa densité dans les ICs, passant de l'échelle micrométrique (d'où l'appellation microélectronique), à la fin des années 50, à l'échelle nanométrique durant la dernière décennie (nanoélectronique). La miniaturisation du MOSFET a été accompagnée par des efforts technologiques afin d'amender le fonctionnement du dispositif face aux challenges de la miniaturisation. En effet, face aux attaques incessantes des effets néfastes de la miniaturisation (canaux courts), le contrôle électrostatique du canal par la grille unique de l'architecture planaire n'était plus possible.

L'avènement des structures tridimensionnelles (3D) au sein de l'industrie des semiconducteurs est de plus en plus central en raison des efforts de miniaturisation des différents acteurs de l'industrie des semiconducteurs. L'exemple le plus marquant est le basculement de la technologie MOSFET planaire vers l'architecture FinFET entrepris par Intel en 2011 pour le nœud technologique 22nm [2] puis suivi par ses principaux concurrents (SAMSUNG, TSMC, IBM, GlobalFoundries...) pour le nœud technologique 16/14 nm [3][4][5][6] en 2014 lors de la quête continue pour des composants plus petits et plus performants. Les nanofils sont considérés comme des candidats potentiels pour poursuivre la miniaturisation des MOSFETs afin d'atteindre les nœuds technologiques 7 ou 5 nm, en raison de leurs avantageuses géométries ainsi que leurs propriétés physiques et électriques, en particulier, la

possibilité d'implémenter des architectures MOSFET à grille entourant tout le canal de conduction pour un meilleur contrôle électrostatique [7].

Au cours de cette thèse, nous proposons une architecture MOSFET à base de nanofils verticaux en silicium, comprenant une grille entourant tout le canal de conduction de longueur de 15 nm, implémentée à mi-hauteur d'un nanofil ou d'un réseau de nanofils afin d'atteindre un meilleur contrôle électrostatique limitant les effets canaux courts.

Le premier chapitre de ce manuscrit débute par une introduction à nos travaux, avec l'historique de la création du MOSFET et les débuts de l'industrie des semiconducteurs, précédant la description et le fonctionnement du MOSFET. Les challenges de miniaturisation de ce dernier seront également abordés. Nous traiterons les limitations de l'architecture planaire causées par les effets de canaux courts ainsi que les solutions proposées par la communauté scientifique. Enfin, différents exemples de réalisation d'architecture nanofils seront exposés. Une étude comparative servira de tremplin afin de présenter les tenants et aboutissants de notre architecture MOSFET à base de nanofils verticaux en silicium.

Au cours du deuxième et troisième chapitre, nous détaillerons le procédé de fabrication du dispositif à grand échelle à base de photolithographie standard et lithographie électronique à faible tension d'accélération. Tout d'abord, le procédé de réalisation de nanofils verticaux en silicium sera détaillé au cours du deuxième chapitre. Un procédé descendant consiste en la réalisation d'un masque de gravure par lithographie électronique suivi d'une gravure plasma pour transférer les nanoplots en résine dans le substrat en silicium. Enfin une oxydation sacrificielle est opérée pour réduire le diamètre des nanofils réalisés. Le troisième chapitre détaille le procédé de réalisation du MOSFET sur les nanofils par une ingénierie de couches minces à l'échelle nanométrique qui comporte la réalisation des contacts de source et de drain métalliques à base de siliciure de platine pour la réalisation des contacts Schottky à faible hauteur de barrière. Une technique de planarisation innovante d'une couche fine de diélectrique d'échelle nanométrique servant d'isolation entre les différents terminaux du dispositif sera présentée. Cette technique, permet d'accomplir une parfaite planéité de la couche d'isolation avec une très faible rugosité de surface. Enfin, les différents terminaux ainsi que les vias et les plots de contacts seront réalisés par un procédé de photolithographie standard.

Le quatrième et dernier chapitre de cette thèse sera dédié à l'étude des performances électrique du transistor MOS à base de nanofils verticaux en silicium.

Enfin, une conclusion sur les résultats majeurs réalisés au cours de ces travaux de thèse sera proposée suivie par des perspectives pour la poursuite de ces travaux.

Bibliographie

- [1] L. Tan and N. Wang, "Future internet: The Internet of Things," in *2010 3rd International Conference on Advanced Computer Theory and Engineering (ICACTE)*, 2010, vol. 5, pp. V5-376–V5-380.
- [2] M. Bohr, "The evolution of scaling from the homogeneous era to the heterogeneous era," in *Electron Devices Meeting (IEDM), 2011 IEEE International*, 2011, pp. 1.1.1–1.1.6.
- [3] Y.-H. Chen, W.-M. Chan, W.-C. Wu, H.-J. Liao, K.-H. Pan, J.-J. Liaw, T.-H. Chung, Q. Li, G. H. Chang, C.-Y. Lin, M.-C. Chiang, S.-Y. Wu, S. Natarajan, and J. Chang, "13.5 A 16nm 128Mb SRAM in high- κ metal-gate FinFET technology with write-assist circuitry for low-VMIN applications," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2014 IEEE International*, 2014, pp. 238–239.
- [4] S. Natarajan, M. Agostinelli, S. Akbar, M. Bost, A. Bowonder, V. Chikarmane, S. Chouksey, A. Dasgupta, K. Fischer, Q. Fu, T. Ghani, M. Giles, S. Govindaraju, R. Grover, W. Han, D. Hanken, E. Haralson, M. Haran, M. Heckscher, R. Heussner, P. Jain, R. James, R. Jhaveri, I. Jin, H. Kam, E. Karl, C. Kenyon, M. Liu, Y. Luo, R. Mehandru, S. Morarka, L. Neiberg, P. Packan, A. Paliwal, C. Parker, P. Patel, R. Patel, C. Pelto, L. Pipes, P. Plekhanov, M. Prince, S. Rajamani, J. Sandford, B. Sell, S. Sivakumar, P. Smith, B. Song, K. Tone, T. Troeger, J. Wiedemer, M. Yang, and K. Zhang, "A 14nm logic technology featuring 2nd-generation FinFET, air-gapped interconnects, self-aligned double patterning and a 0.0588 μm^2 SRAM cell size," in *Electron Devices Meeting (IEDM), 2014 IEEE International*, 2014, pp. 3.7.1–3.7.3.
- [5] C.-H. Lin, B. Greene, S. Narasimha, J. Cai, A. Bryant, C. Radens, V. Narayanan, B. Linder, H. Ho, A. Aiyar, E. Alptekin, J.-J. An, M. Aquilino, R. Bao, V. Basker, N. Breil, M. Brodsky, W. Chang, L. Clevenger, D. Chidambarrao, C. Christiansen, D. Conklin, C. DeWan, H. Dong, L. Economikos, B. Engel, S. Fang, D. Ferrer, A. Friedman, A. Gabor, F. Guarin, X. Guan, M. Hasanuzzaman, J. Hong, D. Hoyos, B. Jagannathan, S. Jain, S.-J. Jeng, J. Johnson, B. Kannan, Y. Ke, B. Khan, B. Kim, S. Koswatta, A. Kumar, T. Kwon, U. Kwon, L. Lanzerotti, H.-K. Lee, W.-H. Lee, A. Levesque, W. Li, Z. Li, W. Liu, S. Mahajan, K. McStay, H. Nayfeh, W. Nicoll, G. Northrop, A. Ogino, C. Pei, S. Polvino, R. Ramachandran, Z. Ren, R. Robison, I. Saraf, V. Sardesai, S. Saudari, D. Schepis, C. Sheraw, S. Siddiqui, L. Song, K. Stein, C. Tran, H. Utomo, R. Vega, G. Wang, H. Wang, W. Wang, X. Wang, D. Wehelle-Gamage, E. Woodard, Y. Xu, Y. Yang, N. Zhan, K. Zhao, C. Zhu, K. Boyd, E. Engbrecht, K. Henson, E. Kaste, S. Krishnan, E. Maciejewski, H. Shang, N. Zamdmer, R. Divakaruni, J. Rice, S. Stiffler, and P. Agnello, "High performance 14nm SOI FinFET CMOS technology with 0.0174 μm^2 embedded DRAM and 15 levels of Cu metallization," in *Electron Devices Meeting (IEDM), 2014 IEEE International*, 2014, pp. 3.8.1–3.8.3.
- [6] J. Singh, C. Jerome, A. Wei, R. Miller, B. Arnaud, C. Lili, H. Zang, P. Kasun, P. Manjunatha, S. Biswanath, A. Kumar, S. M. Pandey, N. M. Iyer, A. Mittal, R. Carter, L. Zhao, E. Manfred, and S. Samavedam, "Analog, RF, and ESD device challenges and solutions for 14nm FinFET technology and beyond," in *2014 Symposium on VLSI Technology (VLSI-Technology): Digest of Technical Papers*, 2014, pp. 1–2.
- [7] K. D. Buddharaju, N. Singh, S. C. Rustagi, S. H. G. Teo, G. Q. Lo, N. Balasubramanian, and D. L. Kwong, "Si-nanowire CMOS inverter logic fabricated using gate-all-around (GAA) devices and top-down approach," *Solid-State Electron.*, vol. 52, no. 9, pp. 1312–1317, Sep. 2008.

Chapitre 1 : Le MOSFET élément de base de l'industrie semiconducteur

Introduction

Les premiers pas de l'électronique des solides ont été effectués par Ferdinand Braun en 1874 à travers sa découverte de l'effet de redressement à un point de contact entre un métal et un matériau cristallin, où il remarqua que le courant circulait dans un seul sens. Son invention du redresseur à point de contact à base de sulfure de plomb présentée à Leipzig en 1876, n'a pas trouvé d'application à cette période et est devenue obsolète lorsque le tube à vide a été créé. Le besoin de travailler à des fréquences plus élevées pour les applications radio, sa taille ainsi que sa fiabilité écarta rapidement le tube à vide. A ce moment-là, l'intérêt pour le redresseur à point de contact a refait surface.

C'est en 1926, par l'invention de Julius Edgar Lilienfeld [1], que le concept de transistor à effet de champ a vu le jour sans pour autant démontrer de preuves d'une réalisation fonctionnelle. En 1936, aux laboratoires Bell, Marvin Kelly constitua un groupe de recherche sur les composants à semiconducteur composé de Shockley, Ohl et Pearson, renforcé par Brattain et Bardeen quelques années plus tard. Leurs recherches se sont focalisées sur le silicium et le germanium. Ohl, travaillant sur le silicium cristallin, inventa la jonction PN en 1946 [2]. Brattain et Bardeen proposèrent le premier transistor en germanium à point de contact [3][4], puis la théorie du transistor bipolaire par Shokley [5][6] suivie par sa première réalisation par Teal et al. [7]. Il faut attendre jusqu'à 1959 où Kahng et Attala proposèrent le premier MOSFET (Metal Oxyde Semiconductor Field Effect Transistor) réalisé avec succès grâce à la maîtrise des défauts d'interface qui empêchaient le champ électrique de pénétrer dans le matériau semiconducteur [8] en utilisant le système Si-SiO₂ [9](fig. 1.1(a)).

La communauté industrielle fraîchement établie aux alentours de la baie de San Francisco en Californie, a très rapidement reconnu le potentiel du MOSFET à base de silicium, donnant naissance à ce qu'on appelle aujourd'hui la Silicon Valley. Radio Corporation of America (RCA) et Fairchild Semiconductor ont intégré le MOSFET dans leur premier circuit intégré en 1962 [10][11] comme le témoigne la figure 1.1(b) avec un circuit intégré composé de 16 MOSFETs développé par RCA.

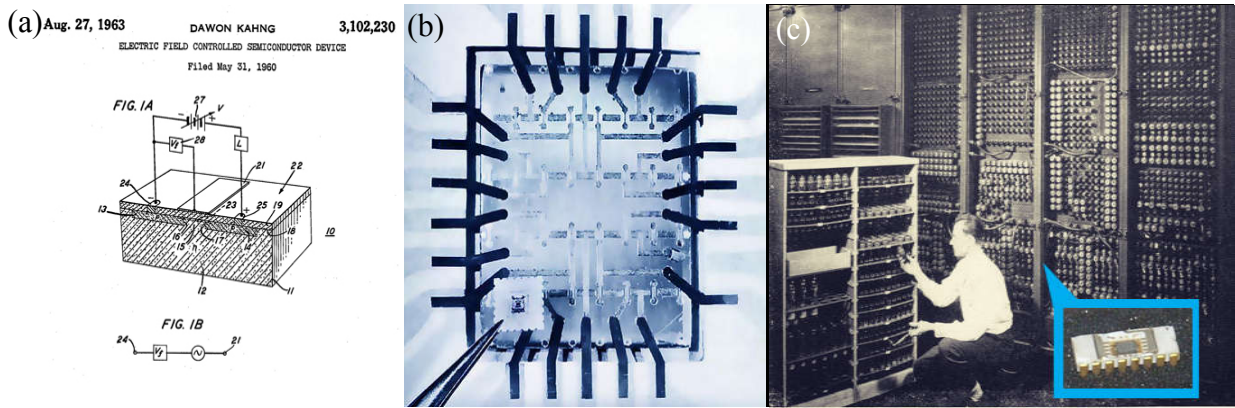


Figure 0.1 - (a) Brevet du MOSFET établi par D. Kahng [12], (b) photographie d'un des premiers circuit intégré composé de 16 transistors MOS réalisé par RCA et (c) comparaison entre le microprocesseur Intel 4004 et l'ordinateur ENIAC.

Les composants MOSFETs ont fait leur entrée dans le marché des semiconducteurs en 1964 avec General Microelectronic (GME 1004) et Fairchild Semiconductor (F1 100) avec des MOSFETs de type p pour les applications logiques, et des MOSFETs de type n pour l'amplification des signaux. C'est finalement en 1971 que l'industrie des semiconducteurs a pris son véritable envol grâce au microprocesseur d'Intel 4004 constitué de 2300 MOSFETs avec une longueur de grille de $10\text{ }\mu\text{m}$ fonctionnant à une fréquence maximale de 740 kHz, et réalisant le travail du premier ordinateur ENIAC (Electronic Numerical Integrator Analyser and Computer) développé en 1946 par l'université de Pennsylvanie qui occupait une surface de 160 m^2 et pesait 30 tonnes (fig. 1.1(c)). 99 % des circuits intégrés produits de nos jours utilisent les MOSFETs comme brique de base. On les retrouve dans les systèmes où l'information est traitée ou mémorisée.

Au cours de ce premier chapitre, nous nous intéresserons au MOSFET comme l'élément précurseur des grandes innovations technologiques des dernières décennies en commençant par sa composition, son mode de fonctionnement ainsi que sa miniaturisation. Les limitations et les challenges auquel la communauté scientifique devrait faire face pour l'amélioration des performances seront adressés, notamment par l'introduction des architectures MOSFET à base de nanofils, la problématique même de cette thèse.

1.1 Le MOSFET

1.1.1 Structure de base et principe de fonctionnement

Le MOSFET est traditionnellement représenté comme un interrupteur par les dessinateurs de circuits logiques. En effet, l'électrode appelée «grille», permet de contrôler le courant traversant un canal de conduction établi entre l'électrode de source et l'électrode de drain. Ainsi la grille agit comme électrode de commutation de l'état bloqué à l'état passant et vice versa.

Le canal de conduction est créé en dessous de l'oxyde de grille, entre les deux réservoirs de charges que représentent les régions de source et de drain, grâce à un champ électrique vertical traversant le semiconducteur à travers la capacité MOS (Métal – Oxyde – Semiconducteur), d'où le nom transistor à effet de champ (fig. 1.2).

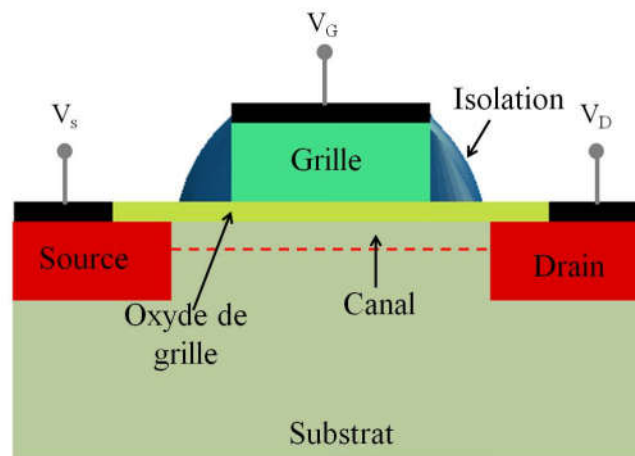


Figure 0.2 – Structure MOSFET.

Selon le type des porteurs formant le canal de conduction, les MOSFETs se divisent en deux catégories. Lorsque le canal de conduction est formé essentiellement d'électrons, il est dit MOSFET de type n ou NMOS, il est conducteur à l'application d'une tension positive sur la grille. Un MOSFET de type p ou PMOS, quand la conduction est faite par des trous lors de l'application d'une tension négative sur la grille. Pour les deux cas, le dopage du substrat est opposé à la nature du canal et les réservoirs de charges source et drain. Un MOSFET est dit à enrichissement ou Normally Off si le MOSFET est à l'état bloqué à une tension de grille nulle et à l'inverse, il est dit à déplétion ou Normally On si une tension non nulle sur la grille est nécessaire pour passer à l'état bloqué.

1.1.2 Régime de fonctionnement

L'application d'une tension sur le contact de grille a une incidence directe sur la nature des porteurs se trouvant à la surface du semiconducteur sous l'influence d'un champ électrique. Pour une meilleure compréhension des différents régimes de fonctionnement du MOSFET, il est important de revoir le diagramme de bande de la structure Métal – Oxyde – Semiconducteur en condition de bandes plates (travail de sortie du métal (Φ_m) est égal à celui du semiconducteur (Φ_s), de même pour les énergies de Fermi ($E_{FM} = E_{FS} = E_F$)) (fig. 1.3).

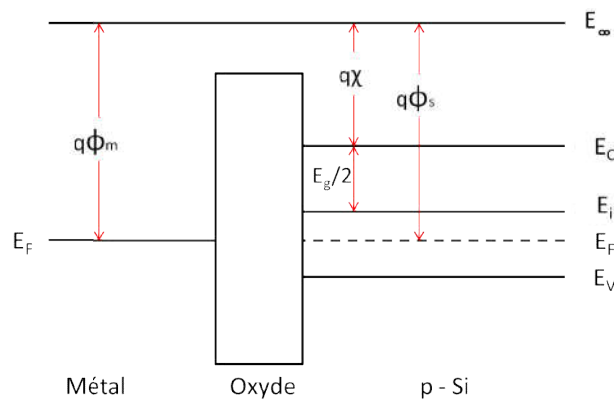


Figure 0.3 : Diagramme d'énergie d'une structure MOS pour un semiconducteur de type p en condition de bandes plates.

avec χ et E_g représentent l'affinité électronique et la bande interdite du semiconducteur, E_F , E_∞ , E_C , E_V et E_i sont respectivement, le niveau d'énergie de Fermi, de vide, bande de conduction, de valence et le niveau d'énergie intrinsèque du Si. A chaque tension appliquée (positive ou négative) au niveau de la grille, 3 régimes différents existent à la surface du semiconducteur [13] tel que décrit ci-dessous pour le cas d'un NMOS.

1.1.2.1 Régime d'accumulation

Pour une tension $V_{GS} < 0V$, on assiste à une courbure des bandes d'énergie vers le haut à l'interface oxyde/semiconducteur. Les trous, considérés comme porteurs majoritaires sont attirés à la surface du semiconducteur, d'où le nom de régime d'accumulation. Le canal de conduction n'étant pas formé, le transistor est bloqué (fig. 1.4(a)).

1.1.2.2 Régime de déplétion

Lorsqu'une tension légèrement positive est appliquée ($0 < V_{GS} < V_{th}$), les bandes d'énergie sont courbées vers le bas. Les trous sont repoussés de la surface créant une zone dépourvue de

porteurs, appelée zone de charge d'espace, constituée uniquement de charges ionisées. C'est le régime de déplétion, le transistor est toujours bloqué (fig. 1.4(b)).

1.1.2.3 Régime d'inversion

A une tension $V_{GS} > V_{th}$, les bandes d'énergie se courbent encore plus, les électrons (porteurs minoritaires) sont attirés à la surface du semiconducteur. La densité d'électrons devient plus grande que celle des trous à la surface, c'est le régime d'inversion. Le canal de conduction est formé, l'application d'une tension $V_{DS} > 0$ V, entraîne le passage du courant de la source au drain, le transistor est passant (fig. 1.4(c)).

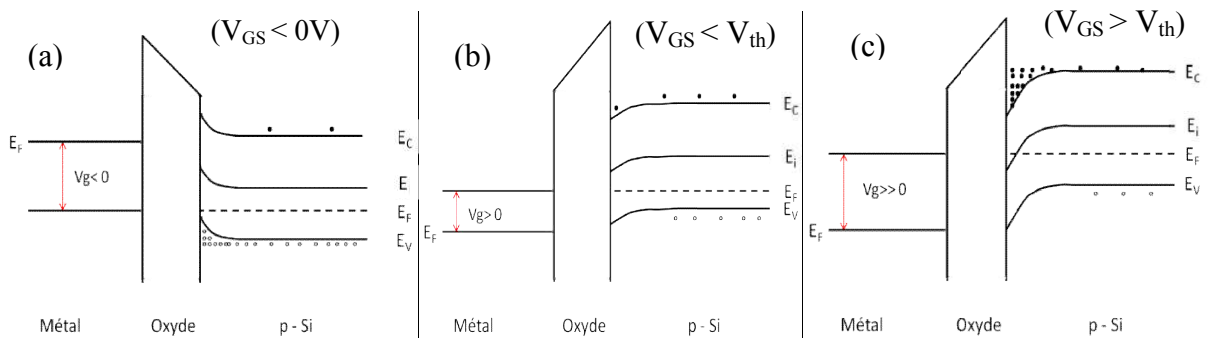


Figure 0.4 – Diagramme d'énergie d'une structure NMOS en régime (a) d'accumulation (b) déplétion et (c) inversion.

1.2 Métriques du MOSFET

Il existe deux manières distinctes pour représenter les caractéristiques $I(V)$ du MOSFET, la première consiste à tracer le courant de drain (I_{DS}) en fonction de la tension de drain (V_{DS}), tout en fixant la tension d'entrée (V_{GS}), c'est la caractéristique de sortie (fig. 1.5(a)). La deuxième est la caractéristique de transfert, c'est-à-dire, on trace le courant de sortie I_{DS} en fonction de la tension d'entrée V_{GS} à V_{DS} constant (fig. 1.5(b)).

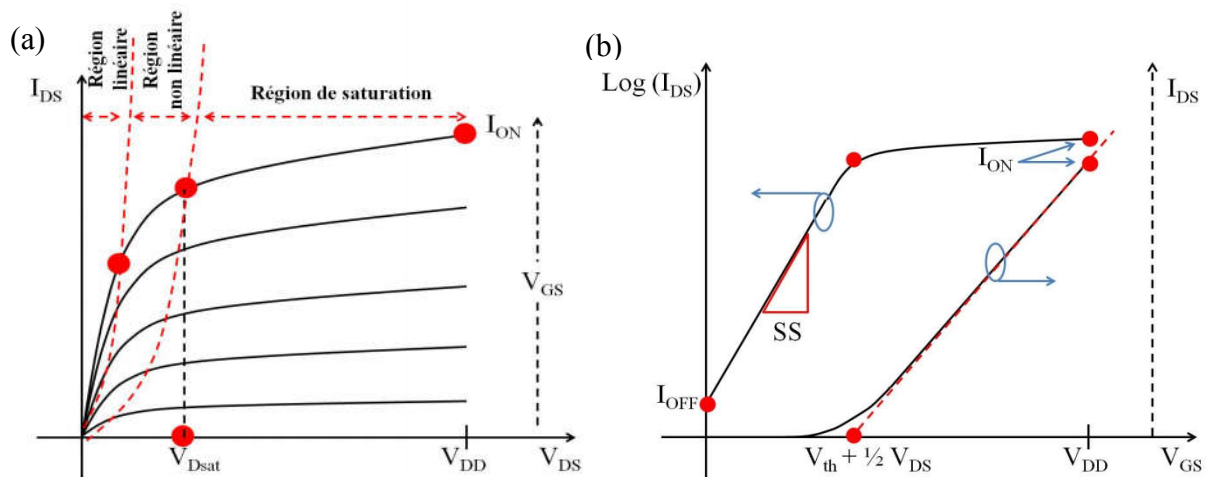


Figure 0.5 –Caractéristiques idéales (a) de sortie ($I_{DS}(V_{DS})$) et (b) de transfert ($I_{DS}(V_{GS})$) d'un MOSFET.

A partir de la caractéristique de sortie et selon la tension de polarisation V_{DS} , la courbe $I_{DS}(V_{DS})$ passe par trois régions distinctes, chacune correspond à un régime de fonctionnement du MOSFET. Il est plus facile d'extraire les paramètres principaux du MOSFET à partir de la caractéristique de transfert, comme la tension de seuil V_{th} ainsi que les courants de conduction I_{ON} et de fuite I_{OFF} . Intéressons-nous tout d'abord à l'expression du courant de sortie I_{DS} du MOSFET.

Le courant en tout point du canal de conduction peut être défini comme :

$$I_d(y) = W \mid Q_n(y) \mid v(y) \quad \text{Équation 0-1}$$

où W représente la largeur du canal, Q_n et v sont respectivement les charges formant le canal et leur vitesse de dérive. La quantité de charges dans le canal est donnée par l'équation suivante :

$$\mid Q_n(y) \mid = [V_G - V_{FB} - \Delta\Phi_i(y) - 2\Phi_B] C_{OX} - \sqrt{2\epsilon_s q N_a [\Delta\Phi(y) + 2\Phi_B]} \quad \text{Équation 0-2}$$

avec V_{FB} la tension de bande plate, $\Phi_i(y)$, Φ_B , les potentiels de Fermi, ϵ_s la permittivité du silicium et N_a la concentration des accepteurs. En se mettant en condition d'approximation du canal graduel (Gradual-Channel Approximation), où le champ électrique dépend essentiellement du champ électrique transverse (ξ_x) (le champ électrique longitudinal (ξ_y) est négligé), la mobilité (μ) devient constante. Par conséquent la vitesse des porteurs dans le canal devient $v = \xi\mu$ (ξ représente le champ électrique). L'expression du courant I_d devient :

$$I_{DS} = \frac{W\mu_n C_{ox}}{L} \left\{ (V_G - V_{FB} - 2\Phi_B - V_d/2) V_d - \left(\frac{2}{3} \right) \left(\frac{\sqrt{2\epsilon_s q N_a}}{C_{ox}} \right) (V_d + 2\Phi_B)^{3/2} - (2\Phi_B)^{3/2} \right\} \quad \text{Équation 0-3}$$

C_{ox} , représente la capacité de grille.

1.2.1 Etat bloqué : faible inversion

Le MOSFET n'est pas un inverseur parfait, c'est-à-dire même à des tensions V_{GS} inférieure à la tension de seuil V_{th} (régime de déplétion ou faible inversion), un faible courant appelé courant de fuite de nature diffusive, circule. Il est possible d'extraire sa valeur en traçant la caractéristique de transfert en échelle logarithmique, il correspond au courant I_{DS} à $V_{GS} = 0$ et $V_{DS} = V_{DD}$, il est exprimé comme suit :

$$I_{DS} = \frac{W\mu_n C_{ox}}{L} \left(\frac{KT}{q}\right)^2 \exp\left(q \frac{V_{GS} - V_{th}}{SS}\right) \ln 10 \left[1 - \exp\left(-\frac{qV_{DS}}{KT}\right)\right] \quad \text{Équation 0-4}$$

SS (pente sous le seuil) est la tension de grille nécessaire pour induire une augmentation du courant de drain d'une décade d'où son unité (mV/décade), il représente également la qualité de transition de l'état bloqué à l'état passant du transistor. Il est défini comme l'inverse de la pente de la caractéristique de sortie en dessous du seuil (fig. 1.4(b)). Son expression est :

$$SS = \left(\frac{\sigma \text{Log} I_{DS}}{\sigma V_{GS}}\right)^{-1} = \left(\frac{KT}{q}\right) \ln 10 \quad \text{Équation 0-5}$$

A T= 300 K et pour un transistor à canal long, SS= 60 mV/dec.

Enfin, la tension de seuil est la tension à appliquer à la grille pour obtenir une forte inversion, elle est exprimée par l'équation suivante :

$$V_{th} = V_{FB} - 2\Phi_B - \sqrt{\frac{2\varepsilon_s q N_a (2\Phi_B)}{C_{ox}}} \quad \text{Équation 0-6}$$

1.2.2 Etat passant : forte inversion

Pour une tension $V_{GS} > V_{th}$, le canal de conduction est établi et en appliquant une tension V_{DS} positive, un courant électrique circule entre la source et le drain. Le canal se comporte comme une résistance et le courant varie proportionnellement avec la tension de drain, c'est la région linéaire (fig. 1.6(a)). L'expression du courant I_{DS} dans ce cas devient :

$$I_{DS} = \frac{W\mu_n C_{ox}}{L} \left(V_{GS} - V_{th} - \frac{V_{DS}}{2}\right) V_{DS} \quad \text{Équation 0-7}$$

En augmentant la tension V_{GS} , le courant de drain dévie d'un comportement ohmique et se stabilise (région non linéaire) à cause de la réduction des charges proche de la région de drain ($y = L$), devenant quasi nulle et induisant le pincement du canal (fig. 1.6 (b)). Cet effet est dû à la présence d'un champ électrique important du côté de la région du drain et l'augmentation de la vitesse des porteurs. Le courant I_{DS} peut être exprimé par :

$$I_{DS} = \frac{W\mu_n C_{ox}}{L} \left(V_{GS} - V_{th} - \frac{MV_{DS}}{2}\right) V_{DS} \quad \text{Équation 0-8}$$

M est une fonction de concentration des dopants et d'épaisseur d'oxyde, elle est égale à

$$1 + \frac{K}{2\sqrt{\Phi}} \quad \text{avec } K = \sqrt{2\varepsilon_s q N_a} / C_{ox}.$$

A partir de cette tension $V_{DS} > V_{Dsat}$, le courant I_{DS} reste quasiment constant et le point de pincement tend à s'approcher de la région de source réduisant la longueur de grille de L à L' , le MOSFET est en régime de saturation (fig. 1.6 (c)), le courant I_{DS} devient :

$$I_{DS} = \frac{W\mu_n C_{ox}}{2ML} (V_{GS} - V_{th})^2 \quad \text{Équation 0-9}$$

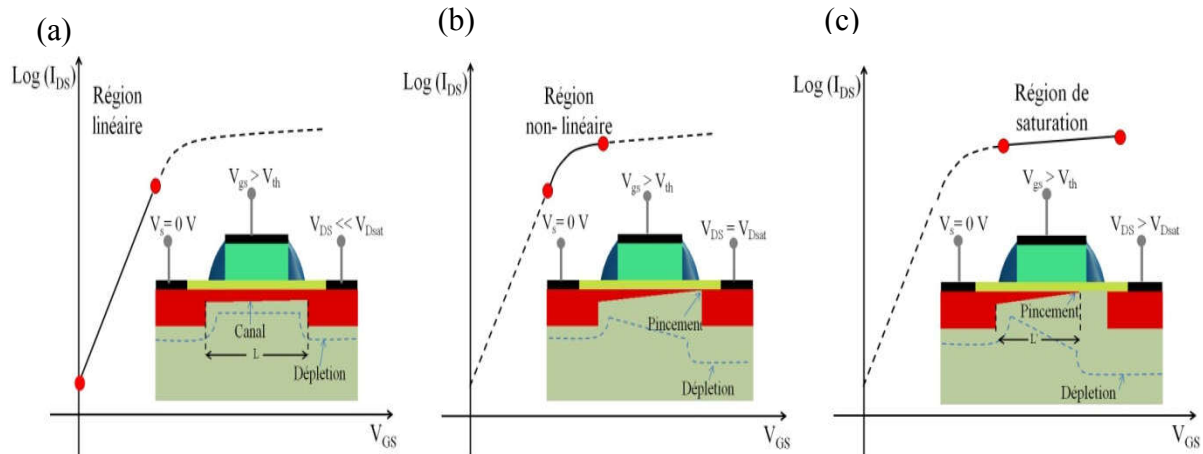


Figure 0.6 – Evolution de la caractéristique de sortie d'un MOSFET à canal long en fonction de la tension V_{DS} .

1.3 Miniaturisation du MOSFET

En 1965, Gordon Moore, un des fondateurs d'Intel a prédit que le nombre de transistors par circuit devait doubler tous les deux ans [14]. Cette loi empirique émise par une simple constatation appelée « la loi de Moore » devint la règle fondamentale et la source d'engouement pour la course à la miniaturisation des MOSFETs comme le témoigne la figure 1.7(a). Cette loi datant maintenant de 50 ans est à ce jour encore considérée comme moteur. Cette miniaturisation a permis l'augmentation de la densité des transistors dans les microprocesseurs incluant ainsi plus de fonctionnalités et d'espace de stockage d'information. Un autre paramètre, le coût de production du transistor, a été également le cheval de bataille de l'industrie des semiconducteurs. La figure 1.7(b) exprime l'évolution de l'industrie des semiconducteurs en nombre et coût du MOSFET [15].

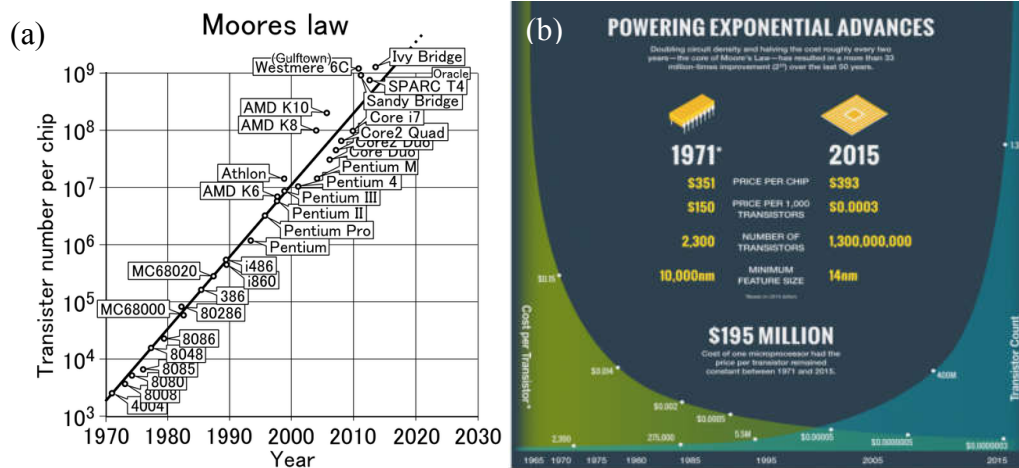


Figure 0.7 – Loi de Moore (a) évolution du nombre et (b) du coût du MOSFET depuis 50 ans de miniaturisation.

Grâce à cette miniaturisation, de 1971 (procédé 10 μm) jusqu'à 2015 (procédé 14 nm)[16], les performances ont été améliorées d'un facteur de 3500 fois, avec une meilleure efficacité énergétique de 90000 fois, mais surtout, le coût de production d'un transistor a été réduit de plus de 60000 fois [17].

Dennard et al.[18] Ont proposé des règles de miniaturisation en prenant en considération trois variables, il s'agit de la dimension des transistors, la tension de fonctionnement et le dopage. Il définit un facteur de miniaturisation k ou chaque variable varie en fonction de ce facteur. La réduction de ces variables a une incidence directe sur les caractéristiques du transistor et du circuit, qui varient en fonction de ce même facteur. Le tableau 1.1 résume les règles de miniaturisation établies par Dennard.

Paramètres	Facteur de miniaturisation
Dimension du composant (T_{ox} , L , W , X_j)	$1/K$
Concentration du dopage (N_a)	K
Tension d'alimentation (V)	$1/k$
Courant (I)	$1/k$
Capacité ($\epsilon A/t$)	$1/k$
Délai / circuit (CV/I)	$1/k$
Puissance de dissipation /circuit (VI)	$1/k^2$

Tableau 1.1 Evolution des paramètres du MOSFET en fonction du facteur de miniaturisation.

Cependant, ces règles de miniaturisation répondent à un cas de figure idéal et ont connu de multiples divergences, à titre d'exemple, le courant sous le seuil ou l'épaisseur de l'oxyde de grille avec des courants de fuite par effet tunnel. Ces effets indésirables de la miniaturisation sont attribués aux effets dits de canaux courts (Short Channel Effect). C'est pourquoi, les paramètres de miniaturisation ne devraient pas forcément avoir le même facteur d'échelle. Brews et al. [19] ont proposé une loi empirique où les MOSFETs gardent les caractéristiques d'un transistor à canal long qui est définie comme suit :

$$L \geq C_1 [x_d t_{ox} (W_S + W_D)^2]^{1/3} \quad \text{Équation 0-10}$$

Où, C_1 est une constante, $W_S + W_D$ la somme des largeurs de déplétion de source et de drain, x_d la profondeur des jonctions.

Ces règles de miniaturisation dites traditionnelles, ont été longuement suivies jusqu'en début des années 2000, où le courant de fuite est devenu conséquent en raison des effets de canaux courts.

1.4 Effets de canaux courts

Un MOSFET est considéré comme composant à canal court, lorsque les largeurs de déplétion des jonctions de source et de drain (x_{dS} , x_{dD}) sont du même ordre de grandeur que la longueur de grille L , elles sont exprimées par :

$$x_{dD} = \sqrt{\frac{2\epsilon_S (V_{DS} + \Phi_{Si} + V_{SB})}{qN_a}} \quad \text{Équation 0-11}$$

$$\text{et} \quad x_{dS} = \sqrt{\frac{2\epsilon_S (\Phi_{Si} + V_{DB})}{qN_a}} \quad \text{Équation 0-12}$$

V_{SB} et V_{DB} sont respectivement la tension source - substrat et la tension drain - substrat [20].

Pour un MOSFET à canal court, la distribution du potentiel dans le canal de conduction est dépendante du champ électrique transverse (ξ_x , induit par la tension de grille) qui devient également dépendante du champ électrique longitudinal (ξ_y , induit par la tension de drain). Dans ce cas, la condition d'approximation du canal graduel n'est plus valide et des effets indésirables dits de canaux courts apparaissent. On rassemble sous la nomination d'effet de canaux courts tout phénomène physique modifiant la tension de seuil du MOSFET ou

imposant une limitation au courant de dérive des porteurs du canal de conduction. On retrouve notamment les effets suivants :

1.4.1 DIBL et perçage volumique

Pour des dispositifs MOSFETs de canal long ($L > 1\mu\text{m}$) et pour des tensions de grille $V_{GS} < V_{th}$, une barrière de potentiel au niveau source/canal s'oppose au passage du courant. C'est lorsque la tension $V_{GS} > V_{th}$, que le canal se forme et le courant circule de la source au drain, dont l'intensité est modulée par la tension de drain. Cette dernière entraîne la réduction de la longueur du canal lorsque la tension de saturation est atteinte, mais sans incidence sur la barrière de potentiel de la source. Cette condition n'est plus respectée dans le cas d'un dispositif dit à canal court, où en augmentant la tension de drain, la zone de charge d'espace au niveau de drain s'étend en direction de la source. Il en résulte une pénétration du champ électrique dans la région de source entraînant l'abaissement de sa barrière de potentiel avec le canal, causant l'injection des porteurs dans le canal même lorsque $V_{GS} < V_{th}$ [21][22]. Cet effet est nommé Drain Induced Barrier Lowering (DIBL) (fig. 1.8(a)). Il est fortement modulé par la tension de drain, il caractérise la variation de la tension de seuil du dispositif en fonction de la variation de la tension de drain, comme on peut le constater sur la caractéristique de transfert (fig. 1.8(b)).

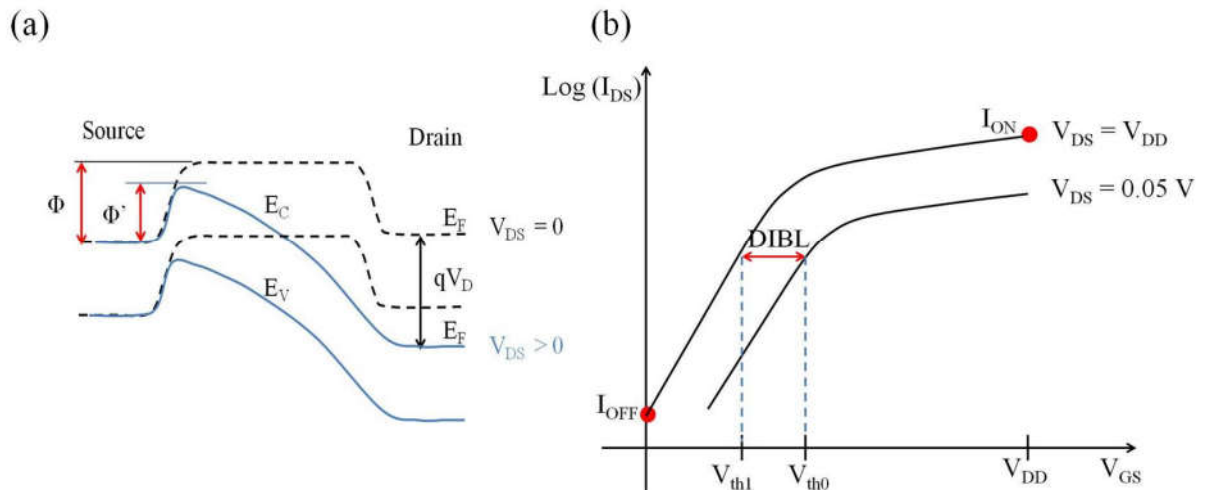


Figure 0.8 – (a) Diagramme de bandes d'énergie à $V_{DS} = 0 \text{ V}$ (en pointillés noir) et à $V_{DS} > 0$ (ligne bleue) illustrant l'abaissement de la barrière de potentielle de Φ à Φ' (b) Caractéristique de sortie illustrant l'effet du DIBL sur la tension de seuil.

Il est encore plus dramatique lorsque la région de déplétion du drain s'élargit encore jusqu'à rejoindre celle de source ($x_{ds} + x_{dd} \approx L$), (perçage volumique (Punch Through)). En conséquence, la barrière de potentiel au niveau de la source est éliminée et un canal parasite

s'est formé dans le substrat parallèlement au canal de conduction. Les porteurs majoritaires dans la source sont injectés dans la région du canal de déplétion (canal parasite) puis balayés par le champ électrique et récoltés par le drain. Il en résulte un large courant de fuite qui a une forte corrélation avec la tension de drain. Le courant de drain devient dominé par le courant de la région de déplétion, il est exprimé comme :

$$I_{DS} = \frac{9\epsilon_s\mu_nAV_D^2}{8L^3} \quad \text{Équation 0-13}$$

où A représente la surface de section du canal de déplétion [23].

1.4.2 Effet du champ électrique longitudinal

Sachant que le facteur de miniaturisation k n'est pas le même pour tous les paramètres du MOSFET, il a été plus difficile de réduire les tensions de polarisation que les dimensions du MOSFET. Le champ électrique longitudinal devient de plus en plus élevé, ajoutant ainsi sa participation aux effets de canaux courts notamment par la modulation de la mobilité des porteurs dans le canal de conduction, parmi ces effets on retrouve :

1.4.2.1 La saturation de la vitesse des porteurs

Lorsque le champ électrique longitudinal ξ_y est faible, la vitesse de dérive des porteurs varie linéairement avec le champ électrique. Cependant, lorsque ξ_y atteint une valeur de 10^4 V / cm (cas du silicium), la vitesse de dérive a tendance à augmenter plus lentement, jusqu'à atteindre la saturation à une vitesse de 10^7 cm / s lorsque ξ_y atteint une valeur aux alentours de 10^5 V / cm.

1.4.2.2 Distribution de surface

Sachant que le canal d'inversion est créé à la surface du semiconducteur, extrêmement proche de l'interface Si-SiO₂ en raison d'un fort ξ_x , la vitesse des porteurs est réduite en raison de la distribution de surface (surface scattering). Les porteurs se déplacent avec une grande difficulté sous l'influence du ξ_y le long du canal de conduction entraînant une grande diminution de la vitesse des porteurs.

1.4.2.3 Porteurs chauds

L'effet du fort champ électrique attribue aux porteurs une grande énergie. Ils sont émis dans l'oxyde de grille à proximité de la région du drain. Cet effet induit la création de pièges ou des défauts à l'interface Si-SiO₂ qui causent une variation de la tension de seuil et de la transconductance du MOSFET [24].

1.4.2.4 Ionisation par impact

Cet effet (propre au NMOS) est dû à la présence d'un fort champ électrique au niveau de la jonction p-n formée par le canal et la région de drain. Les porteurs acquièrent une énergie cinétique importante entraînant la création de paires électrons-trous (e-h) par ionisation par impact, puis la multiplication des paires (e-h) par avalanche. Les électrons sont attirés par le drain, tandis que les trous sont repoussés dans le substrat formant un courant parasite. L'effet de ce courant est aperçu à travers le transistor npn (bipolaire) parasite, où la jonction p-n formée par la source et le substrat devient polarisée en directe, de sorte que les électrons sont injectés dans le substrat et sont attirés vers le drain [25].

Afin de limiter l'effet de l'augmentation du champ électrique sur les MOSFET à canaux court, il est favorable de réduire le niveau de dopage des régions de source et de drain. Cependant cette réduction entraîne une augmentation de la résistance de contact causant la réduction du courant I_{ON} . Un compromis a été trouvé par la restructuration des régions de source et drain en deux niveaux de dopage, un caisson fortement dopé identique au précédent puis suivi d'un petit caisson faiblement dopé et adjacent au canal de conduction. Cette structure est appelée drain légèrement dopé ou Lightly Doped Drain (LDD) [26].

1.5 Alternative aux effets canaux courts et amélioration des performances des MOSFETs

1.5.1 Résistances séries

Avec la continuité de la miniaturisation des MOSFETs, les résistances du transistor qui incluent la résistance de canal intrinsèque ainsi que les résistances en série parasites associées aux diffusions et aux contacts, n'ont cessé d'augmenter et sont devenues prépondérantes. Elles causent notamment la réduction de l'intensité du courant de conduction I_{ON} , mais également la vitesse d'opération des circuits [27]. L'introduction des siliciures a permis de

réduire ces résistances séries grâce à leur faible résistivité (sheet resistance) ainsi qu'une faible résistance de contact. Ils ont été utilisés pour la réalisation des contacts de grille, source et drain ainsi que les interconnexions. Tout d'abord, les siliciures de molybdène (Mo) ont été utilisés pour la réalisation des mémoires DRAM pendant les années 80, puis remplacés par les siliciures de tungstène (W) en raison de sa plus faible résistivité [28]. A chaque nœud technologique, des siliciures de plus faible résistivité et résistance de contact ont été incorporés dans le but de réduire les résistances séries, passant par les siliciures de titane (Ti) [29], les siliciures de cobalt (Co) [30] et les siliciures de nickel (Ni) [28].

1.5.2 Introduction des contraintes dans le canal de conduction

Sous l'emprise d'un fort champ électrique, la vitesse des porteurs dans le canal de conduction est sujet à une forte limitation, jusqu'à saturation. La tendance à la dégradation de la mobilité des trous et des électrons a été constatée depuis plusieurs nœuds technologiques. La mobilité des électrons est passée de $400 \text{ cm}^2 / \text{Vs}$ pour le nœud technologique $0.8 \mu\text{m}$ à $120 \text{ cm}^2 / \text{Vs}$ pour celui de $0.13 \mu\text{m}$ [31].

L'introduction des contraintes dans le canal de conduction dès le nœud technologique 90 nm, a permis d'améliorer les performances des MOSFETs en augmentant le courant de conduction à travers l'augmentation de la mobilité des électrons et des trous [32]. Il est possible d'appliquer des contraintes bi-axiales comme uni-axiales, pour les deux cas de figures, ces dernières causent la distorsion des bandes d'énergie. En finalité, la mobilité effective des porteurs est améliorée à travers la réduction des masses effectives [33]. La mobilité effective est exprimée par la relation suivante :

$$\mu_{\text{eff}} = \frac{q \tau}{m^*} \quad \text{Équation 0-14}$$

où $1/\tau$ représente la fréquence de collision des porteurs tandis que m^* leur masse effective de conduction.

Quand la mobilité des porteurs est dominée par les phonons dans un MOSFET non contraint, l'effet des contraintes est suspecté de supprimer l'influence des phonons de type G d'après Fischetti et al. [34] ou de type F selon Formicone et al. [35] rendant l'interface moins rugueuse, facilitant la diffusion des porteurs [36].

Les contraintes dans les MOSFETs de type p ont été obtenues par le changement des régions de source et de drain par des couches de $\text{Si}_{1-x}\text{Ge}_x$ (fig. 1.9(a)). L'écart de maille

cristallin entre le SiGe et le Si crée une contrainte compressive longitudinale dans le canal de conduction, améliorant la mobilité des trous. Les contraintes dans le canal des MOSFETs de type n sont obtenues par le dépôt d'une couche de SiN au-dessus du transistor créant une contrainte élastique dans le canal (fig.1.9(b)) [37][38].

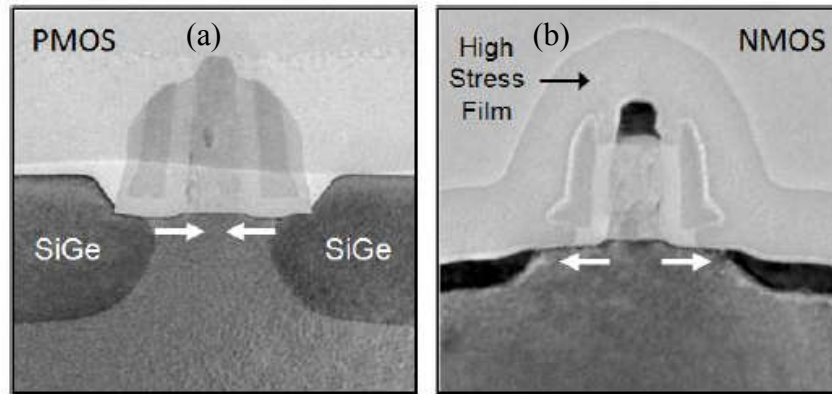


Figure 0.9 – Technologie 90 nm d'Intel illustrant l'ingénierie des contraintes (a) source et drain en SiGe pour les PMOSFET et (b) couche de SiN au-dessus des NMOSFET.

1.5.3 Matériaux à constante diélectrique élevée (High K) et grille métallique

L'utilisation du dioxyde de silicium (SiO_2) comme oxyde de grille pour les dispositifs MOSFET en silicium, représente la clé de réussite de l'intégration de ces derniers au sein de l'industrie des semiconducteurs, notamment grâce à ses bonnes qualités électriques et mécaniques caractérisées par sa faible densité de défauts d'interface, large bande interdite (9 eV) qui lui confère d'excellentes propriétés d'isolation électrique, ainsi qu'une parfaite compatibilité avec les procédés de fabrication des circuits intégrés. Dans la course à la miniaturisation, l'épaisseur du SiO_2 a été réduite avec un facteur de 0.7 à chaque nœud technologique jusqu'au nœud de 130 nm atteignant une épaisseur de 1.5 nm [39], puis une stabilisation à 1.2 nm pour les nœuds technologiques de 90 et 65 nm [32], en raison d'une forte augmentation du courant de fuite à travers la structure MOS. Les porteurs diffusent à travers l'oxyde de grille par effet tunnel, entraînant l'augmentation de la puissance statique et une forte dégradation des performances. Il a été remarqué que le courant de fuite par effet tunnel augmente de manière exponentielle avec la réduction de l'épaisseur du SiO_2 [40], sachant qu'une limite fondamentale de 0.7 nm pour l'épaisseur minimale du SiO_2 à utiliser en dessous de laquelle la bande interdite n'est pas complètement formée [41]. La solution alternative est de remplacer le SiO_2 par des diélectriques avec une forte permittivité dit High K. Grâce à ces matériaux, il est possible de définir un oxyde de grille avec une épaisseur

physique plus grande pour la même valeur de capacité obtenue avec le SiO₂ aux épaisseurs ultimes. On définit alors, l'Épaisseur d'Oxyde Equivalent (EOT) qui se réfère à l'épaisseur de diélectrique nécessaire pour produire le même effet que le SiO₂. Il s'exprime par :

$$EOT = t_{\text{high K}} \frac{\epsilon_{\text{SiO}_2}}{\epsilon_{\text{high K}}} \quad \text{Équation 0-15}$$

$t_{\text{high K}}$ et $\epsilon_{\text{high K}}$ sont respectivement l'épaisseur et la permittivité du matériaux à forte permittivité et ϵ_{SiO_2} permittivité du SiO₂ égale à 3.9. Parmi les matériaux les plus étudiés on retrouve, l'Al₂O₃ ($\epsilon = 10$), HfO₂ ($\epsilon = 26$), ZrO₂ ($\epsilon = 25$), Ta₂O₃ ($\epsilon = 25$) ainsi que le TaO₂ ($\epsilon \geq 50$).

L'intégration des matériaux High K n'est pas sans peine, par exemple lors du dépôt sur le substrat en Si, une couche d'oxyde SiO_x se forme, augmentant la valeur de l'EOT finale. Il est également nécessaire de surmonter quelques challenges comme la dégradation de la mobilité par les phonons optiques ou le verrouillage du niveau de Fermi (Vt pinning) [42]. C'est pour cela que l'intégration des matériaux High K dans les nouvelles architectures MOSFET a été accompagnée par l'intégration de la grille métallique en remplacement de la grille en polysilicium permettant de contrôler les phonons optiques. Encore, le remplacement de la grille en polysilicium permet de réduire encore la valeur de l'EOT. En effet, la grille en polysilicium induisait l'apparition d'une couche de déplétion au niveau de l'interface polysilicium – SiO₂ entraînant la réduction de la capacité de grille, d'où la nécessité d'introduire des grilles en métal ou siliciures de métaux. Le nœud technologique 45 nm a été marqué par l'introduction de l'HfO₂ comme matériau high K et la grille métallique en remplacement à l'oxyde de grille en SiO₂ et la grille en polysilicium respectivement [43] (fig. 1.10).

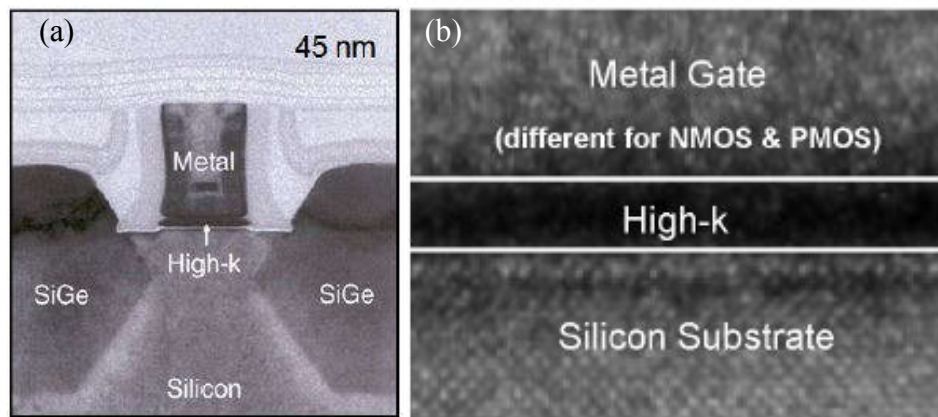


Figure 0.10 – (a) MOSFET au nœud technologique 45 nm avec une grille métallique et high K diélectrique (b) image TEM montrant l'empilement de grille.

1.5.4 Silicon On Insulator (SOI) MOSFET

L'augmentation continue du courant de fuite ainsi que la dégradation des performances due aux effets des canaux courts ont conduit à l'évolution d'approches alternatives. Le SOI MOSFET présente une architecture différente que celle du MOSFET planaire, il est constitué d'une fine couche de silicium déposée sur un oxyde dit enterré ou Buried Oxide (BOX). Le canal de conduction est confiné entre l'oxyde de grille et l'oxyde enterré ce qui lui confère un meilleur contrôle électrostatique du potentiel. Lorsque la couche de silicium est relativement épaisse, les régions de déplétion n'atteignent pas le BOX, le SOI MOSFET est dit partiellement déplété ou Partially Depleted SOI (PDSOI), dans le cas contraire le SOI MOSFET est dit complètement déplété ou Fully Depleted SOI (FDSOI). Parmi les avantages que présentent les structures SOI, on trouve la suppression des capacités de jonctions car celles-ci sont séparées du substrat par le BOX (source – substrat et drain – substrat), qui sont remplacées par des capacités d'oxyde beaucoup moins influentes. Egalement, la structure SOI permet l'amélioration du contrôle de la grille sur le canal de conduction (fig.1.11).

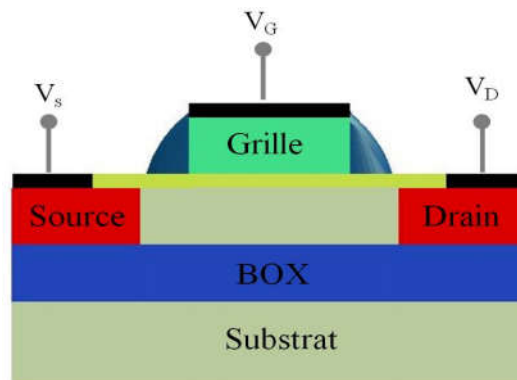


Figure 0.11 – Illustration d'une structure SOI MOSFET.

1.5.5 Multiples grilles

L'intégration des contraintes pour augmenter la mobilité des porteurs ainsi que les matériaux diélectriques à forte permittivité et la grille métallique ont permis de maîtriser les effets de canaux courts. Cependant, ces apports ont tout de même des limites. La réduction continue de la longueur de grille est accompagnée par l'augmentation du champ électrique longitudinal et son influence dans le canal de conduction, qui engendre la perte du contrôle électrostatique de la grille sur le canal de conduction au profit du drain. En effet, le contrôle électrostatique de la grille sur le canal de conduction est obtenu à travers un couplage capacitif entre la grille et la région du canal. Ce contrôle est effectué verticalement tandis que

l'influence du drain sur la région du canal de conduction s'effectue par la propagation des lignes de champ électrique latéralement. D'où l'intérêt de concevoir une grille couvrant plusieurs côtés du canal.

Le premier MOSFET à double grille (DG) proposé par Sekigawa et al.[44], comprenait une deuxième grille située en dessous du canal, prédisant la réduction des effets canaux courts. Plusieurs configurations de dispositifs MOSFET sur bulk ou SOI à multiple grilles ont été proposées (fig. 1.12) où la partie semiconductrice active planaire est remplacée par une ailette (Fin en anglais) sur laquelle différentes options de définition de la grille sont possibles. On retrouve notamment le DG MOSFET (fig. 1.12(a)) où le contrôle électrostatique est exercé sur les deux cotés latéraux, ou le MOSFET à triple grille, le contrôle électrostatique est exercé sur trois faces du canal (fig. 1.12(b)). Ces deux premiers dispositifs sont dits Fin Field Effect Transistor (FinFET). Lorsque les grilles latérales pénètrent dans le substrat ou légèrement en dessous de l'ailette, nous obtenons respectivement des Π -MOSFET (fig. 1.12(c)) et le Ω -MOSFET (fig. 1.12(d)), leurs appellations sont liées à la forme de la grille. Cette incursion de la grille dans le substrat améliore encore le contrôle électrostatique en induisant une contribution sur la partie inférieure du canal de conduction.

On appelle grille entourante ou Gate All Around (GAA) MOSFET (fig. 1.12(e)), lorsque le canal de conduction est complètement entouré par la grille, où le contrôle électrostatique est maximal, lui conférant une forte maîtrise du flux des porteurs dans le canal et la minimalisation des effets canaux courts [45]. La figure 1.12(f) représente un FinFET réalisé sur bulk planaire.

Plusieurs études ont démontré qu'en augmentant le nombre de grilles, une meilleure immunité contre les effets de canaux courts est obtenue ie : faible DIBL, pente sous le seuil avoisinant les 60 mV/dec [46][47][48].

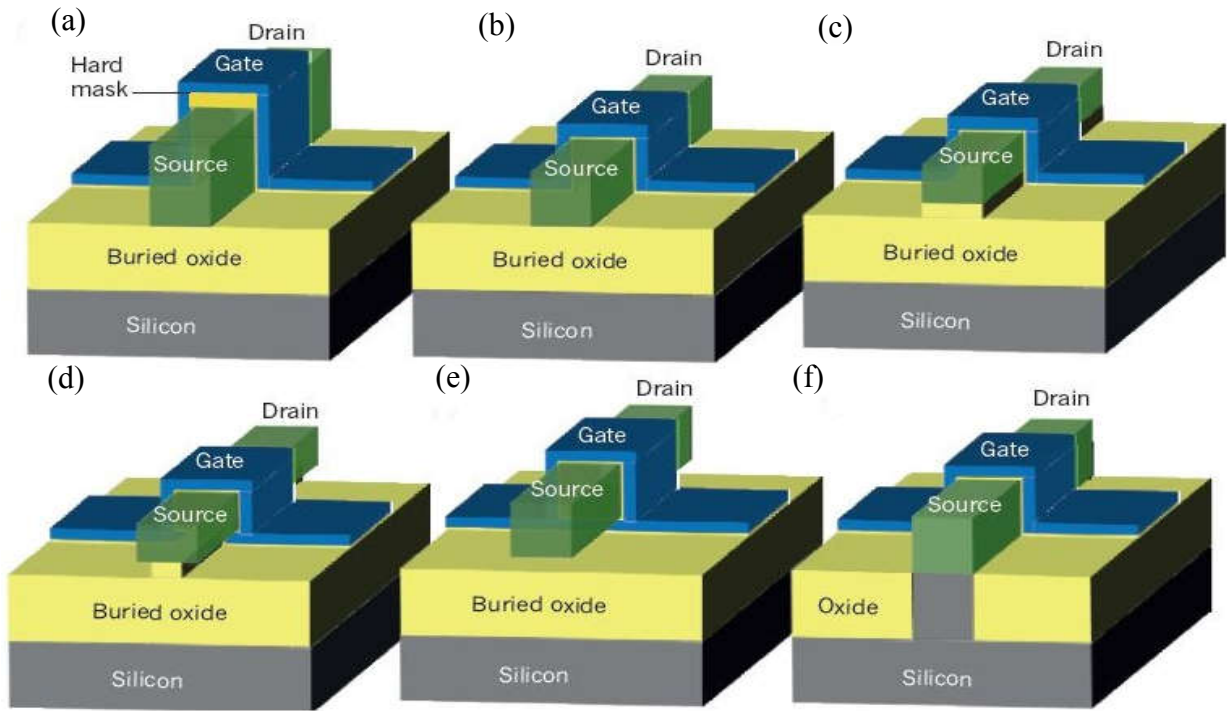


Figure 0.12 – MOSFET à multiple grilles : (a) DG SOI MOSFET (b) triple grille SOI MOSFET (c) Π SOI MOSFET (d) Ω SOI MOSFET (e) GAA SOI MOSFET et (f) triple grille bulk MOSFET.

Afin de démontrer l'efficacité du contrôle électrostatique par les dispositifs multiples grilles, Park et al. [46] ont modélisé la distribution des lignes équipotentielles pour des dispositifs à triple grille, Π et GAA MOSFET de longueur de grille de 30 nm. Il a été démontré que même pour un dispositif à triple grille, le canal de conduction subit l'influence des lignes de champ électrique exercées par le drain (fig. 1.13(a)), tandis que l'immunité électrostatique est préservée pour le Π et GAA MOSFET (fig. 1.13 (b, c)). Le contrôle électrostatique est tel pour un MOSFET à grille entourante (GAA) qu'il est possible de réaliser des MOSFETs dont le canal est fortement dopés, appelés également MOSFET sans jonctions [49][50].

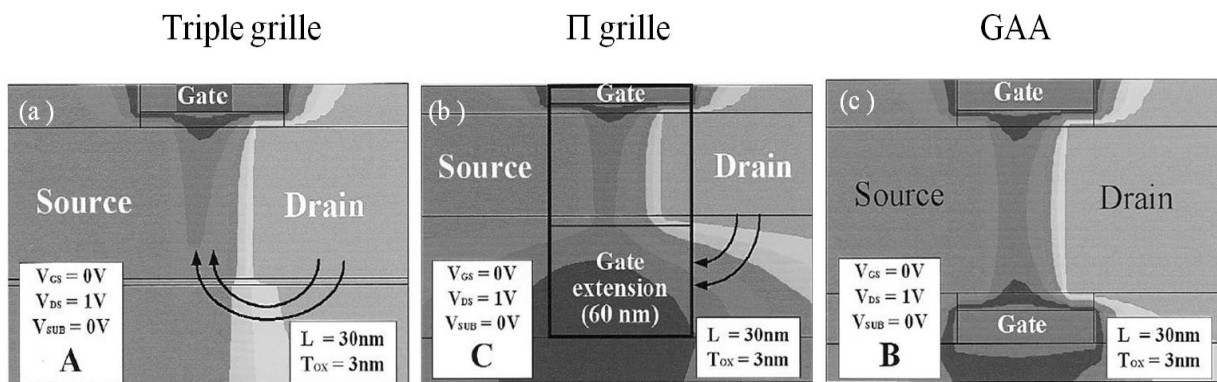


Figure 0.13 – Modélisation de la distribution des lignes équipotentielles pour des dispositifs à (a) triple grilles (b) Π et (c) GAA MOSFET [46].

Pour estimer la qualité du contrôle électrostatique de la grille sur le canal de conduction, l'équation de Poisson tridimensionnelle illustre parfaitement la compétition existante entre la grille et le drain pour le contrôle électrostatique du canal :

$$\frac{\sigma_x^x}{\sigma_x} + \frac{\sigma_y^y}{\sigma_y} + \frac{\sigma_z^z}{\sigma_z} = - \frac{\rho}{\varepsilon} = \text{constant} \quad \text{Équation 0-16}$$

Pour un MOSFET à multiple grilles, le contrôle électrostatique est exercé sur les axes y et z, ce qui entraîne une augmentation des termes σ_y^y/σ_y et σ_z^z/σ_z et la diminution du terme σ_x^x/σ_x le long de l'axe x, exercé par le drain (fig.1.14) [45].

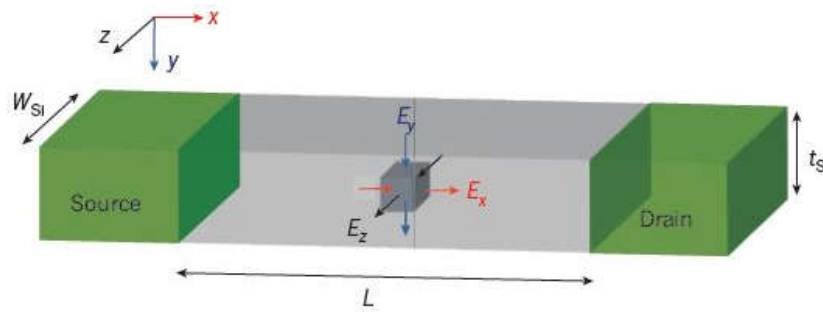


Figure 0.14 – Représentation tridimensionnelle du champ électrique dans le canal de conduction [45].

Yan et al. [51] en résolvant l'équation de poisson, ont introduit la longueur naturelle λ (natural length). Elle représente la distance de pénétration des lignes de champ électrique exercée par le drain dans le canal de conduction. En d'autres termes, elle représente la longueur de la région du canal qui est sous le contrôle du drain [52]. Pour un MOSFET à multiple grilles, λ s'exprime par :

$$\lambda_n = \sqrt{\frac{\varepsilon_{Si} t_{Si} t_{ox}}{n \varepsilon_{ox}}} \left(1 + \frac{\varepsilon_{ox} t_{Si}}{4 \varepsilon_{Si} t_{ox}} \right) \quad \text{Équation 0-17}$$

où n représente le nombre de grilles,

L'influence du drain sur le contrôle électrostatique du canal est moins effective avec l'augmentation du nombre de grilles ce qui implique que les effets de canaux courts sont mieux maîtrisés. Des simulations démontrent qu'un MOSFET est considéré comme libre de toute influence des effets de canaux courts lorsque la longueur de grille effective est supérieure à λ d'au moins 6 fois ($L_G > 6\lambda$) [51]. Suzuki et al. [53] ont proposé un modèle permettant d'estimer la sensibilité des dispositifs MOSFETs à grilles multiples aux effets de canaux courts se basant sur α_n un facteur de miniaturisation qui s'exprime par :

$$\alpha_n = \frac{L_{eff}}{2\lambda_n} \quad \text{Équation 0-18}$$

Les résultats de simulation, prédisent que pour des effets de canaux courts acceptables, il est nécessaire que la valeur de α_n soit supérieure à 2.7 pour un DG MOSFET, tandis que pour un GAA MOSFET, une valeur de α_n égale à 2.3 est suffisante [53] [54].

Les MOSFETs à multiple grilles ont fait leur apparition en 2011 au sein de l'industrie des semiconducteurs lorsque Intel a fait un grand saut en passant à l'architecture FinFET à triple grilles pour le nœud technologique 22 nm (fig. 1.15)[54] afin de contrôler les effets de canaux courts et améliorer les performances des MOSFETs. Nous assistons cette année à la deuxième génération des FinFETs pour le nœud technologique 16/14 nm adoptée cette fois par les majeures fonderies de fabrication de MOSFET [55][56][57][58].

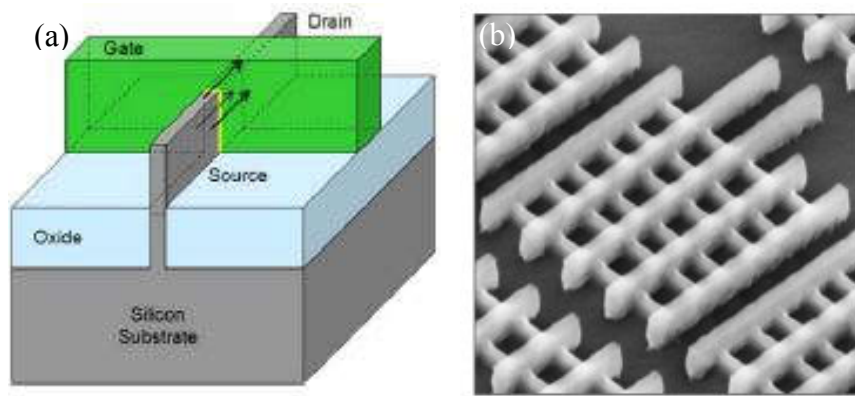


Figure 0.15 - "Nœud technologique 22nm à base de " FinFET (a) Illustration (b) Image MEB [32].

Cet intérêt pour les architectures à multiple grilles démontre parfaitement le potentiel de ces dispositifs à surmonter les effets de canaux courts devant la miniaturisation continue des MOSFETs. Toutefois, il est toujours question de contrôle électrostatique de la grille pour les nœuds technologiques suivants, une triple grille suffira-t-elle à exercer un contrôle électrostatique efficace sur le canal de conduction pour des longueurs de grille de plus en plus courtes ? Il est évident que la poursuite de la loi de Moore passe par l'introduction des structures adaptées à une architecture MOSFET à grille entourant tout le canal de conduction (GAA MOSFET).

1.6 Transistor sans jonction

La réduction des dimensions des MOSFETs, nécessite la réalisation de jonctions de source et de drain avec un profil de dopage extrêmement abrupt, de telle sorte que la transition d'une

zone n à une zone p doit se faire en quelques nanomètres seulement. A cette fin, des techniques extrêmement coûteuses sont employées pour l'activation thermique des dopants qui consistent à réaliser des recuits à des températures assez élevées pendant un très court laps de temps afin de limiter la diffusion des impuretés. Cependant, même avec l'utilisation de recuits ultrarapides, la réalisation de telles jonctions abruptes reste très difficile à réaliser. Colinge et al.[49] ont proposé une architecture MOSFET sans jonction, qui consiste en un ruban de silicium avec un dopage élevé et homogène, c'est-à-dire, sans la nécessité de recourir à de coûteux recuits thermiques ultrarapides pour la réalisation de jonctions abruptes de source et de drain.

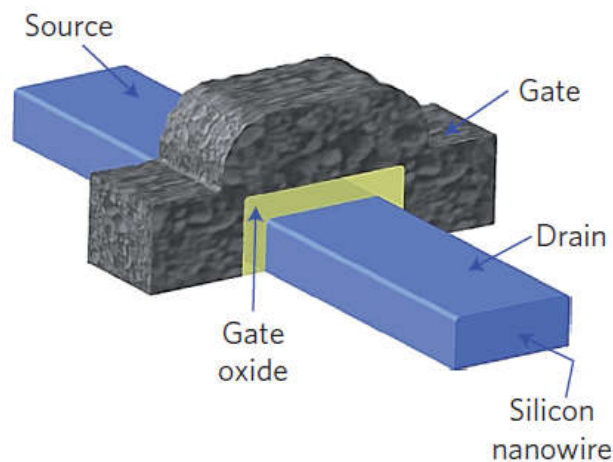


Figure 0.16 – MOSFET sans jonction proposé par Colinge et al. [49].

Les transistors sans jonctions (JLT) sont semblables aux transistors fonctionnant en mode d'accumulation (AMT) mais avec la différence que le canal de conduction pour ces derniers est moins dopé que les régions de source et drain (N^+NN^+), alors que pour les JLT le dopage est identique pour les 3 terminaux du MOSFET ($N^+N^+N^+$). Cette différence est fondamentale, car le canal de conduction pour les AMT est formé en surface et est sujet à la rugosité de l'interface oxyde de grille – silicium, tandis que le canal de conduction d'un JLT est formé au centre du ruban de silicium (ou nanofils) et n'est pas sous l'influence du champ électrique perpendiculaire au sens du flux des porteurs.

La figure 1.17 présente le fonctionnement du JLT en fonction de la tension de grille. Le canal de conduction est parfaitement dépleté lorsque la tension de grille est inférieure à la tension de seuil (fig. 1.17(a)). Lorsque la tension de grille est égale à la tension de seuil, le canal se forme entre la source et le drain (fig. 1.17(b)) et au fur et à mesure que la tension de grille augmente, le canal s'élargit (fig. 1.17(c)) jusqu'à atteindre la condition de bande plate

(fig.1.17(d)) où le transistor devient comme une résistance, d'où son appellation résistance à grille (gated resistor). A l'inverse des transistors à inversion, la tension de bande plate (V_{fb}) est atteinte à une tension de grille supérieure à la tension de seuil.

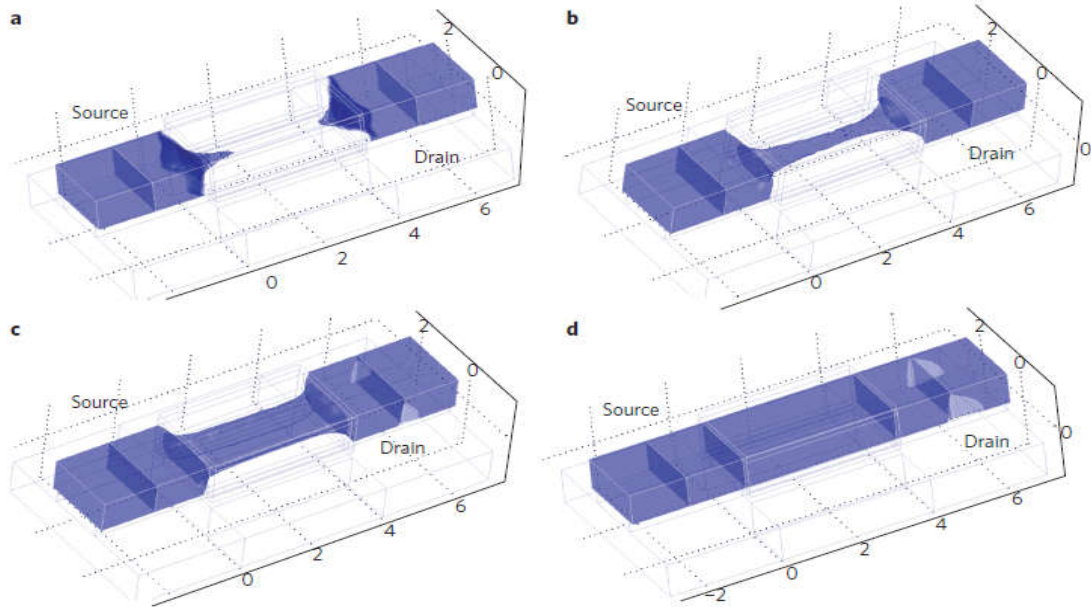


Figure 0.17 – Variation de la concentration d'électrons dans le canal de conduction d'un transistor sans jonction de type n (a) $V_g < V_{th}$ le canal est déplété de porteurs (b) $V_g = V_{th}$ formation du canal de conduction entre la source et le drain (c) $V_g > V_{th}$ expansion du canal de conduction (d) à condition de bande plate, ie $V_g = V_{fb} \gg V_{th}$ le transistor se comporte comme une simple résistance [49].

Plusieurs équipes de recherches ont proposé des modèles analytiques pour le courant de drain pour les dispositifs JLT [59] [60], cependant, lorsque la condition de bande plate est atteinte, il se comporte comme une simple résistance, il est tout à fait possible d'exprimer le courant d'un JLT par l'équation 1.19 suivante [49] :

$$I_d \approx \frac{q\mu N_D W_{Si} T_{Si}}{L} V_{DD} \quad \text{Équation 0-19}$$

où N_D représente la concentration de dopants, W_{Si} et T_{Si} sont la largeur et épaisseur du film du silicium.

1.7 Nouvelles structures : architectures nanofils

Les nanofils sont des fils qui ont une section de l'ordre de quelques dizaines de nanomètres de diamètre ou de côté et pouvant atteindre quelques nanomètres. Le facteur de forme ou le rapport entre la longueur du nanofil et son diamètre est tellement grand qu'ils sont

considérés comme des structures unidimensionnelles. On leur attribue également l'appellation de fils quantiques en raison de leur taille si petite où les effets quantiques ne sont plus négligeables.

La structure nanofils est la structure idéale pour la continuité de la loi de Moore pour la réalisation des dispositifs de plus en plus petits, notamment grâce à son adaptabilité au grille entourant tout le canal de conduction. De plus, des simulations effectuées par Ansari et al.[61] prédisent un bon fonctionnement des MOSFETs à base de nanofils pour une longueur de grille de 3 nm.

De nombreuses architectures MOSFET à base de nanofils en silicium ont été proposées, il est possible de les classer selon le mode d'intégration, à savoir horizontal ou vertical.

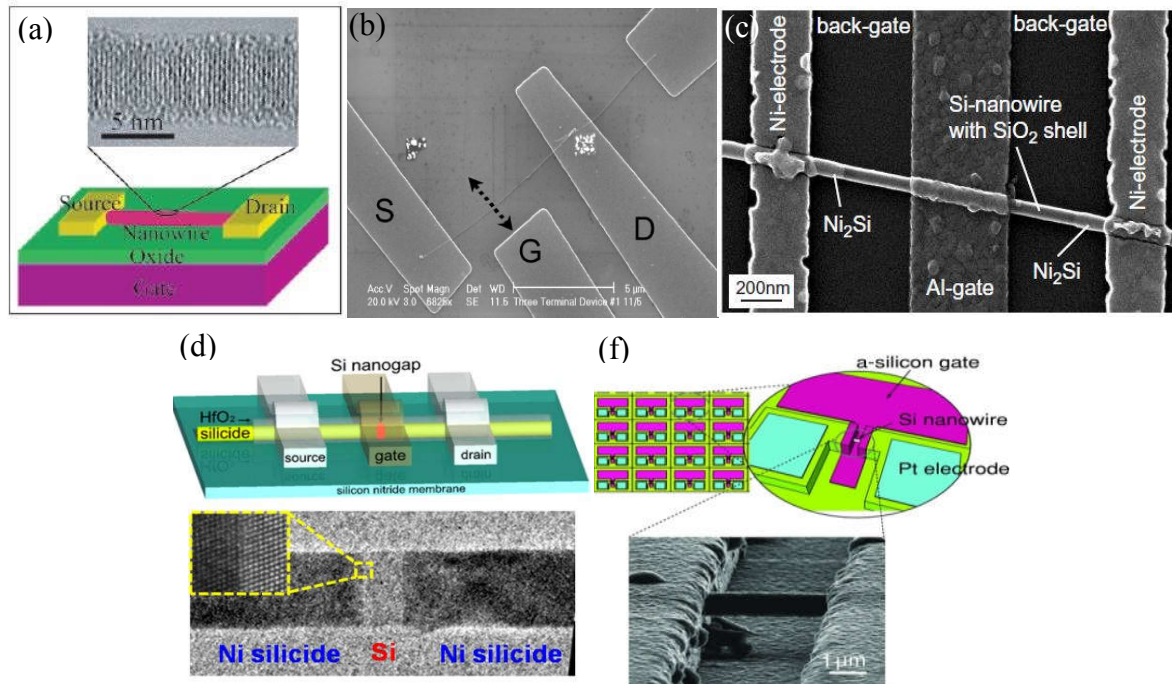
1.7.1 Architecture horizontale

On peut diviser ce type d'architecture selon l'approche de réalisation, soit ascendante (Bottom-Up) ou descendante (Top-Down). La première consiste à faire croître des nanofils à partir du substrat tandis que la deuxième approche consiste à réaliser des nanofils par transfert de masque dans le substrat par gravure plasma.

Parmi les premiers travaux sur les dispositifs MOSFET à base de nanofils par approche ascendante, on retrouve les travaux de référence de Cui et al [62], reportant des nanofils synthétisés par méthode Vapeur-Liquide-Solide (VLS) utilisant des nanoparticules d'or comme catalyseurs [63]. Les nanofils de diamètres de 10 à 20 nm ont été cisailés par sonication puis transférés sur un autre substrat de silicium comprenant un oxyde de 600 nm utilisé comme oxyde de grille. Les contacts de source et de drain en Ti ont été définis sur les deux extrémités du nanofils (fig. 1.18(a)). De la même façon, on retrouve également les travaux de Chung et al.[64], où des nanofils réalisés par VLS ont été reportés sur un substrat avec une grille définie par une électrode au-dessus du nanofils (fig. 1.18(b)). Même si le courant débité n'est pas conséquent, ces études ont démontré la possibilité de concevoir des dispositifs MOSFET à base de nanofils.

L'implémentation de contacts S/D en siliciure de nickel a permis d'améliorer le courant débité ainsi que les caractéristiques sous le seuil (fig. 1.18(c)) [65]. Récemment Tang et al.[66] (fig.1.18(d)) en maîtrisant mieux le mécanisme de siliciuration du nickel sur les nanofils, ont proposé une architecture nanofils avec une longueur de grille de 17 nm débitant

un courant maximal de $890 \mu\text{A}/\mu\text{m}$. Oh et al. [67][68] ont démontré la faisabilité de dispositifs MOSFET à base de nanofils suspendus réalisés par la méthode VLS. Après avoir réalisé une tranchée, des particules d'Au ou Ti ont été déposées sur les parois où les nanofils sont réalisés par CVD, jusqu'à atteindre l'autre paroi. L'oxyde de grille est réalisé thermiquement, la grille en polysilicium est définie et les régions de source et de drain sont réalisées sur les deux côtés de la tranchée (fig. 1.18(e)).



Malgré les efforts conséquents à valoriser les architectures nanofils réalisées par méthode VLS, celles-ci se caractérisent par un procédé de fabrication très contraignant et inadapté aux techniques VLSI. En commençant par le besoin de synthétiser les nanofils sur un substrat support puis positionner les nanofils par des méthodes telles que la diélectrophorèse [69] sur un autre substrat. La maîtrise des dimensions des fils est liée à la taille des catalyseurs métalliques comme l'Au, cependant, considérés comme contaminants, ils dégradent les caractéristiques des MOSFETs.

Les dispositifs MOSFET à base de nanofils horizontaux réalisés selon l'approche descendante sont aussi variés, on retrouve notamment le procédé de réalisation proposé par Rustagi et al. [70] (fig.1.19(a)) et Buddharaju et al. [71] qui consiste par la réalisation d'ailette de très faible largeur par gravure plasma anisotrope à travers un masque de gravure réalisé par procédé photolithographique. Les ailettes sont après soumises à une oxydation thermique

limitée à basse température. Après désoxydation, il en résulte deux nanofils en Si suspendus et superposés de 8 nm de diamètre parfaitement séparés. Ensuite une grille entourant (GAA) en polysilicium et des régions S/D sont réalisées de part et d'autre des nanofils. Ce procédé se distingue par des caractéristiques sous le seuil intéressantes avec un SS quasi idéal (63 mV/dec et 71 mV/dec) ainsi qu'un faible DIBL (50 mV/V et 18 mV/V respectivement pour les p et NMOS). Une variante de ce procédé consiste à réduire les résistances de contact par l'intégration de S/D en siliciure de nickel [72][73], permettant encore l'amélioration du SS et DIBL et l'augmentation du courant I_{ON} à 3,74 mA/ μ m pour les NMOS [74]. Un procédé similaire est proposé par Najmzadeh et al. [75], cependant les nanofils obtenus sont de tailles et de formes aléatoires, altérant la reproductibilité du procédé (fig. 1.19(b)).

On retrouve dans la littérature d'autres dispositifs GAA MOSFET à base de nanofils horizontaux réalisés par une succession du procédé de gravure plasma et d'oxydation limitée à partir d'une ailette de Si (fig. 1.19(c)) par Tian et al. [76] et Wong et al. [77] (fig.1.19(d)) ou à partir de tranchées très rapprochées comme proposé par Song et al. [78] (fig. 1.19(e)). Le dispositif ayant la plus faible longueur de grille (5 nm) a été proposé par Lee et al. [79] au détriment des caractéristiques sous le seuil (fig.1.19(f)).

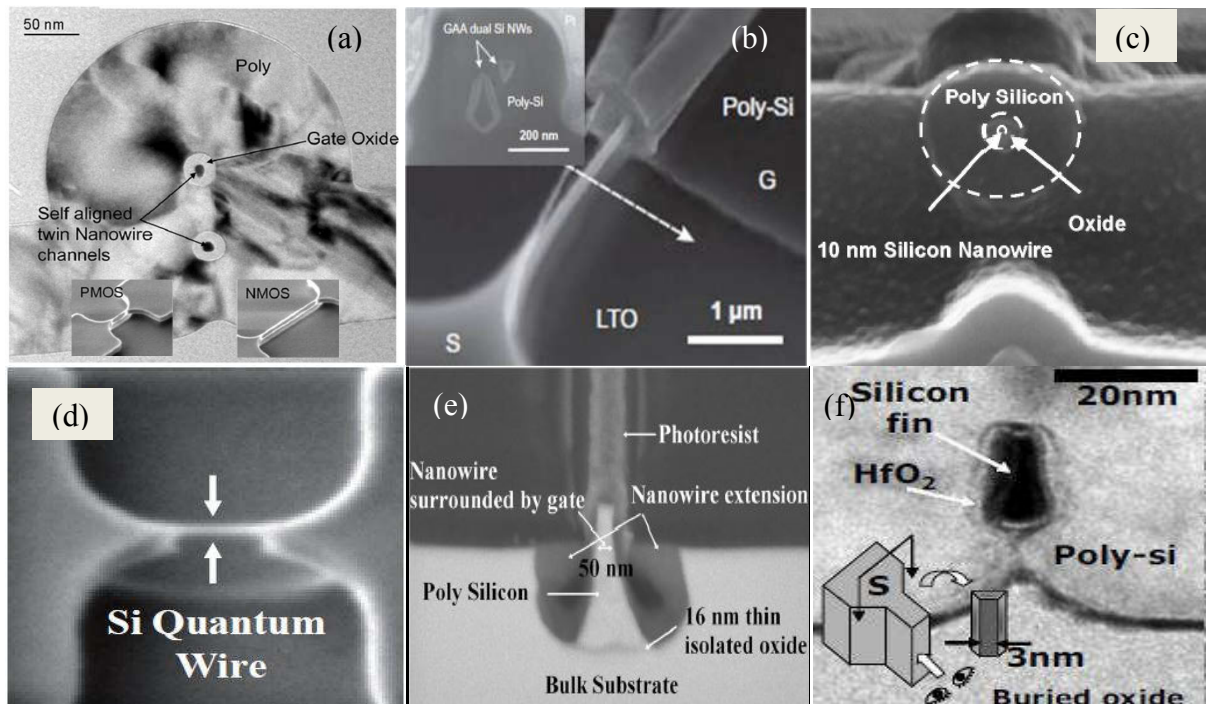


Figure 0.19 – MOSFET à base de nanofils en Si suspendus proposés par (a) Rustagi [70] (b) [75] (c) Tian et al. [76] (d) Wong et al. [77] (e) Song et al. [78] et (f) Lee et al. [79].

Des dispositifs MOSFET à base de réseaux de nanofils disposés parallèlement ont été proposés par Gunawan et al. [80] (fig. 1.20(a)) ainsi que par Bangsaruntip et al. [81]. Le

procédé de fabrication se base également sur la gravure plasma et l'oxydation limitée. Cependant, la spécificité du procédé de Bangsauntip et al. réside dans l'exposition des ailettes à un recuit thermique sous gaz H_2 . Cette étape permet de réduire les dimensions tout en lissant les formes des ailettes et en arrondissant la section des nanostructures. L'oxydation limitée permet de réduire la taille des nanofils suspendus jusqu'à 5 nm de diamètre (fig. 1.20(b)). Cette architecture démontre l'intégration de nanofils avec un courant de conduction élevé de 3,456 mA/ μm et 4,147 mA/ μm , respectivement pour N et PMOS. Plus récemment, le même groupe de recherche a optimisé ce procédé pour la réalisation d'une architecture à nanofils suspendus à forte densité pour le nœud technologique 10 nm. Elle intègre plusieurs MOSFETs sur toute la longueur du nanofil en alternant les grilles et les régions S/D réalisées, in situ, par épitaxie [82] (fig. 1.20(c)).

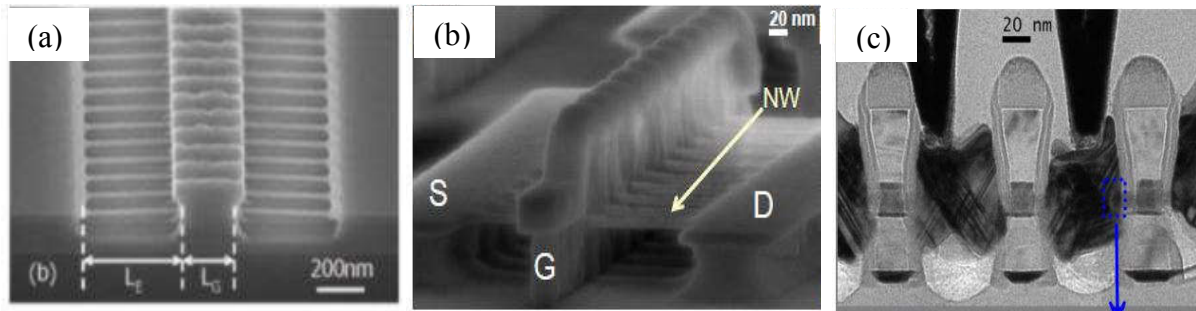


Figure 0.20 –GAA MOSGET à base de réseau de nanofils suspendus (a) Gunawan et al.[80] Bangsaruntip et al. [81] (c) large densité d'intégration pour le nœud technologique 10 nm [82].

Une technique innovante pour la réalisation des nanofils horizontaux a été proposée par plusieurs groupes de recherche à partir d'un empilement de fines couches de Si/SiGe réalisées par épitaxie en se servant du SiGe comme couche sacrificielle. Le principe consiste à transférer l'ailette dans le silicium puis graver le SiGe afin de libérer les nanofils de silicium. Cette méthode a également été proposée par les chercheurs de Samsung pour la réalisation du Twin Si Nanowire GAA MOSFET [83][84][85][86][87][88][89] où des nanofils en Si suspendus de diamètre minimal de 3 nm sont intégrés (fig. 1.21(a)). Une équipe de STMicroelectronics propose également une approche similaire mais utilisant un procédé lithographique 3D à base du diélectrique HSQ [90] (fig. 1.21(b)).

Afin d'augmenter le courant de conduction, des procédés de réalisation d'empilement vertical de nanofils horizontaux par la multiplication des couches épitaxiées de Si/SiGe ont été proposés, comme celui présenté par Dupré et al. [91](fig. 1.21(c)) avec la réalisation de nanofils de section rectangulaire de 70 nm de largeur et 20 nm d'épaisseur, puis de section carré de 20 nm de côté. Dornel et al. [92][93] ont appliqué un recuit thermique sous H_2 afin

d'arrondir la section des nanofils (fig. 1.21(d)). Cette configuration a permis d'obtenir un courant de conduction maximal de $6.5 \text{ mA}/\mu\text{m}$ pour les NMOS [94]. D'autres travaux d'empilement de nanofils ont été présentés [95][96] à partir de la gravure du silicium à travers un masque de gravure par procédé de gravure Bosch utilisant le gaz SF_6 suivi d'oxydation limitée afin de délimiter les nanofils (fig. 1.21(e)).

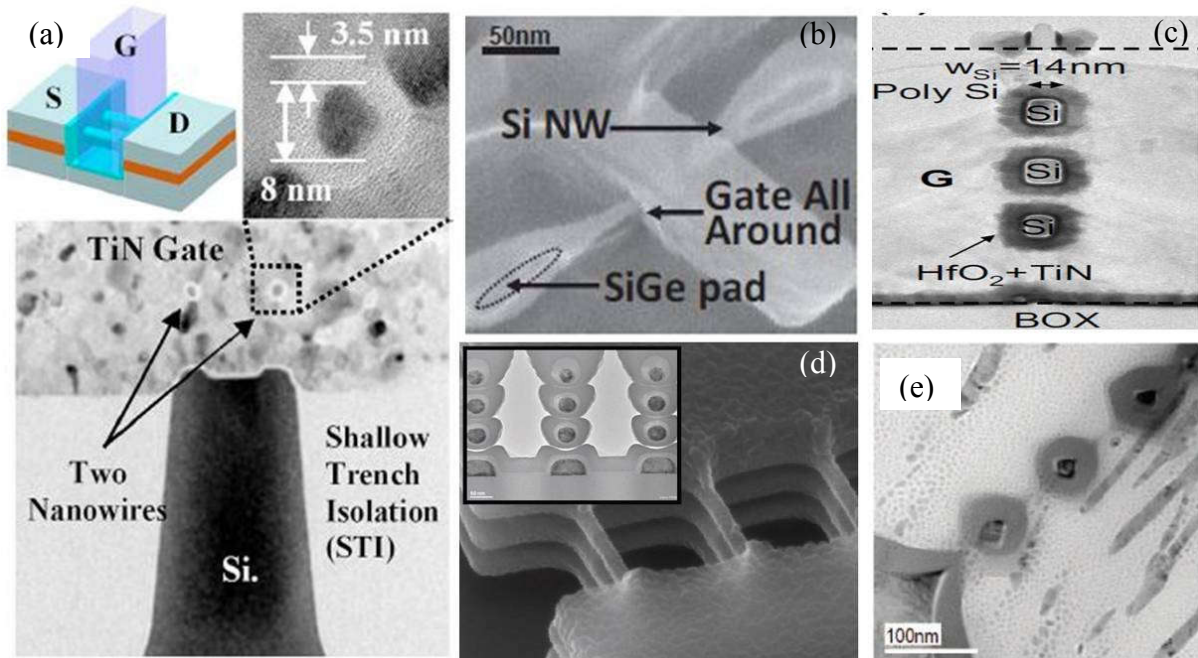


Figure 0.21 – (a- b) Procédé utilisant le SiGe comme couche sacrificielle pour la réalisation des nanofils suspendus par Suk et. [86] et Coquand et al. [90] respectivement, (c et d) empilement vertical de nanofils en Si suspendus en utilisant le système Si/SiGe par Dupré et al. [94] et Suk et al. [92] respectivement et (e) empilement vertical de nanofils en Si suspendus obtenus par procédé gravure Bosch et oxydation limitée [95].

Sur la table 1.2, un comparatif de résultats pour les différentes architectures proposées de MOSFET à base de nanofils horizontaux réalisés par approche top- down est proposé.

	Rustagi [70]		Suk [86]	Zhuge [97]	Singh [72]		Lee [79]	Song[78]		Wong[77]		coquan d[90]	Bangsanuntip [81]		dupré[94]		Chan [95]
Type MOSFET	N	P	N	N	N	P	P	N	P	N	P	N	N	P	N	PP	N
Nombre de NF	2		2	1	1		1	1		1		1	--		3		3
Section du NF (nm)	Circulaire		Circulaire	Circulaire	Circulaire		Rectangulaire	Circulaire		Circulaire		Carré	Elliptique		Carré		Circulaire
Diamètre (nm)	8		10	10	4		3	6		12		15	13.3 x 20	9 x 13.9	14		12
Lg (nm)	775	275	30	120	130		5	50		65		70	35	25	100		250
Empilement de grille	SiO ₂ /PolySi		SiO ₂ /TiN	SiO ₂ /PolySi	SiO ₂ /PolySi		HfO ₂ /PolySi	SiO ₂ /PolySi		SiO ₂ /PolySi		SiO ₂ /PolySi	Ta ₂ N/Hf diélectrique		HfO ₂ /TiN/PolySi		SiO ₂ /PolySi
EOT ou Tox (nm)	10		2	5	9		12	16		3		3	1.5		8		6
VDD (V)	1.2		1	1.5	1.2		1	1		1.2		1	1.2		1.2		1.5
I _{ON} (μA/μm)	862	800	2640	1039	1500	1000	499	2600	2900	4030	1500	751	3456	4147	6.5	3.3	--
I _{ON} /I _{OFF}	>10 ⁷		10 ⁶	>10 ⁸	10 ⁷	10 ⁷	10 ⁴	10 ⁸	10 ⁸	10 ⁷	10 ⁷	10 ⁸	2. 10 ⁵	2. 10 ⁵	10 ⁷	10 ⁷	10 ⁸
DIBL (mV/V)	18	50	13	4 - 12	10	20	230	6	6	--	--	7	65	105	15	7	--
SS (mV/dec)	71	63	71	72	63	66	208	67	64	--	--	66	85	85	68	65	62

Tableau 1.2- tableau comparatif de résultats pour les différentes architectures de MOSFET à base de nanofils horizontaux réalisés par approche top down.

1.7.2 Architecture verticale

Les études concernant l'intégration des MOSFETs sur des nanofils verticaux sont moins nombreuses que celles proposées pour l'intégration horizontale. La première architecture verticale a été proposée par un groupe de recherche de Toshiba à travers le dispositif appelé Cylindrical Thin Pillar Transistor (CYNTHTIA)[98][99], également classifié comme le premier dispositif à grille entourant tout le canal de conduction (fig. 1.22(a)). Cette architecture consiste en la réalisation de piliers de 1 μm de hauteur obtenus lors de la gravure de tranchées rapprochées suivie par la réalisation d'un oxyde de grille de 20 nm d'épaisseur et d'une grille en polysilicium. Le substrat étant de type p, des caissons n^+ de source et de drain sont réalisés en surface sur les deux extrémités du pilier. Ce dispositif se distingue par d'excellentes caractéristiques sous le seuil avec un SS de 72 mV / dec, grâce à la grille entourant l'ensemble du canal de conduction.

Parmi les dispositifs MOSFET à base de nanofils verticaux en Si synthétisés par approche ascendante, on peut citer Shmidt et al. [100] où les nanofils sont synthétisés par la technique VLS en utilisant des particules d'Au, déposées dans des puits définies par lithographie électronique afin de diriger la croissance verticalement. Les nanofils obtenus ont un diamètre d'environ 45 nm, la grille en aluminium, les terminaux du transistor sont séparés par une couche d'isolation en SiO_2 . Malgré un courant de conduction relativement élevé, les caractéristiques sous le seuil sont très dégradées (fig. (1.22(b))). Le dispositif proposé par Goldberger et al.[101] où les nanofils ont un diamètre de 20 à 30 nm pour une longueur de 1 μm , un oxyde grille entre 30 et 40 nm pour une longueur de grille entre 500 à 600 nm démontre des performances honorables avec un SS de 120 mV/dec, un DIBL de 140 mV/V et un rapport $I_{\text{ON}}/I_{\text{OFF}}$ de 10^4 à 10^6 (fig. 1.22(c)). Le dispositif proposé par Rosaz et al. [102], intègre des nanofils avec un diamètre d'environ 100 nm pour une hauteur de 2.5 μm , une longueur de grille de 1.5 μm pour un rapport $I_{\text{ON}}/I_{\text{OFF}}$ de 10^6 (fig.1.22(d)).

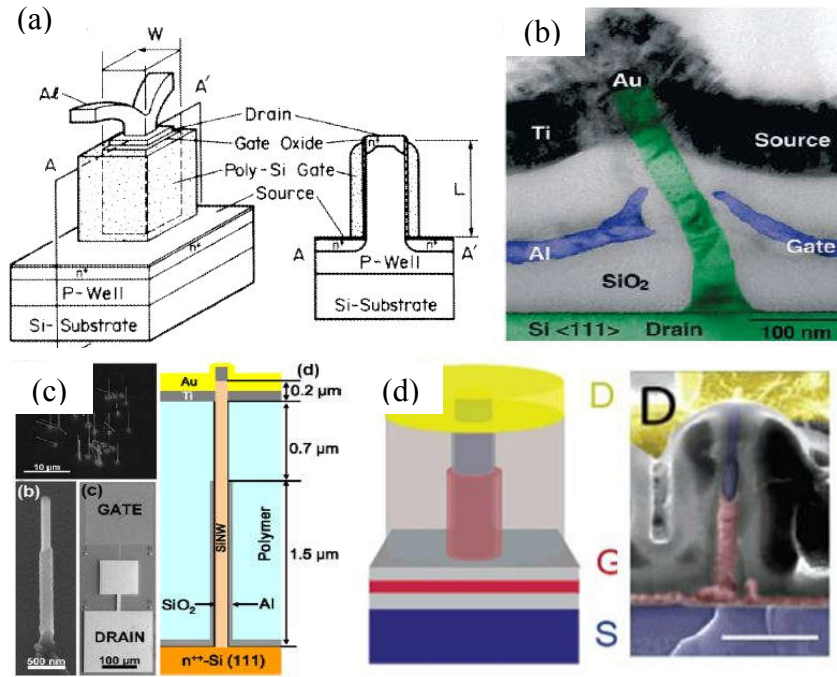


Figure 0.22 –MOSFET à base de nanofils verticaux en Si réalisés par approche ascendante (a) Takato et al. [98](b) Schmidt et al. [100] (c) Rosaz et al. [102] (d) Goldberger et al.[101].

Concernant l'approche descendante, peu de travaux ont été reportés dans la littérature. Des chercheurs de l'institut de microélectronique de Singapour (STAR), ont réalisé un MOSFET à base de nanofils verticaux obtenus par gravure plasma à travers un masque en SiN suivi d'une oxydation sacrificielle à 1150°C pour la formation de nanofils de 25 nm de diamètre (fig.1.23(a)). D'excellentes caractéristiques sous le seuil ont été obtenues traduits par un SS de 75 – 100 mV/dec, un DIBL de 10 à 50 mV/V et rapport I_{ON}/I_{OFF} de 10^7 [103][104][105][106].

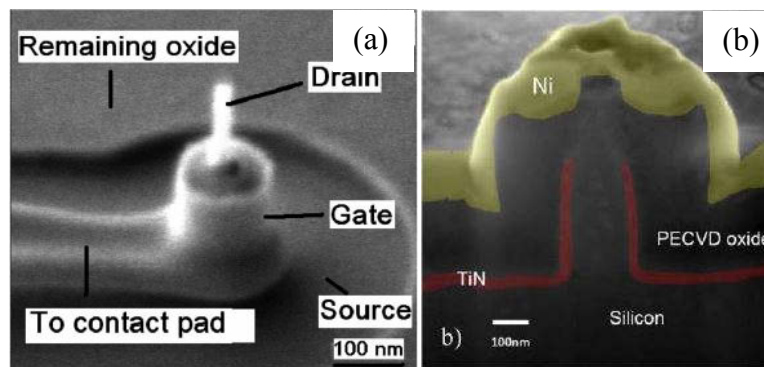


Figure 0.23 – MOSFET à base de nanofils verticaux réalisés par approche descendante (a) Yang et al. [103] (b) Zhai et al. [107].

Zhai et al.[107] ont proposé un dispositif contenant 25 nanofils en parallèle de 90 nm de diamètre réalisés par gravure plasma profonde (fig.1.23(b)) avec un oxyde de grille en

Al_2O_3 (10 nm EOT) et une grille en TiN de 320 nm. De bons résultats ont été obtenus avec un SS avoisinant les 90 mV/dec et un DIBL de 25 mV/V.

Parmi les dispositifs MOSFET à base de nanofils verticaux, le silicium n'est pas le plus utilisé. Une large gamme de dispositifs à base de matériaux III-V ont été proposés par différents groupes de recherche notamment celui de l'université de Lund (Suède), utilisant des nanofils en InAs [108][109][110] proposant des performances intéressantes caractérisées par de larges courant de conduction ainsi que d'excellentes performances en haute fréquence (fig. 1.24(a)). Un autre groupe de recherche de l'université de Hokaido (Japan) propose une architecture à base de nanofils en InGaAs réalisée par épitaxie présentant d'excellentes performances sous le seuil avec SS égale à 68 mV/dec et un DIBL de 33 mV/V pour un rapport $I_{\text{ON}}/I_{\text{OFF}}$ de 10^6 [111][112] (fig. 1.24(b)). Ce rapport a été amélioré en atteignant 10^8 en changeant les nanofils d'InGaAs par un nanofil à multiple matériaux (core Multi-shell) en InGaAs/InAlAs/InP. [113][114][115](fig.1.24(c)).

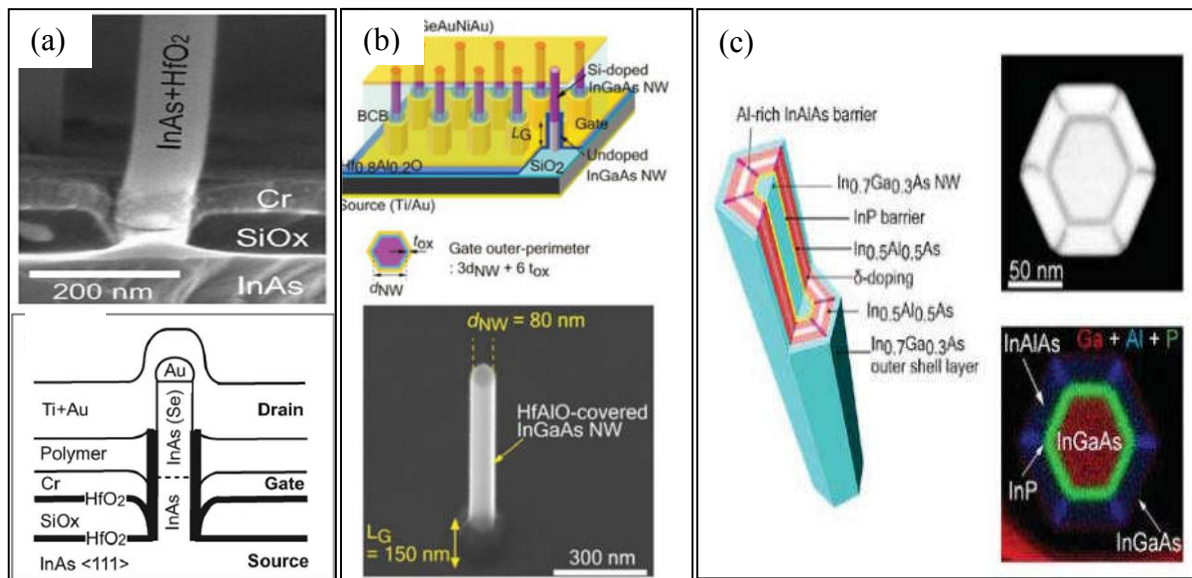


Figure 0.24 - MOSFET à base nanofils verticaux en matériaux III-V (a) Thealander et al. [116] (b) Tomioka et al. [112](c) Tomioka et al. [115].

Le tableau 1.3, présente un comparatif de résultats pour les différentes architectures MOSFET à base de nanofils verticaux.

	Goldenberger [101]	Rasaz [102]	Chen [106]	Zhai [107]	Johansson [108]	Thealander [116]	Tomioka [113]	notre groupe @LAAS [117]
Type MOSFET	P	N	N	P	N	N	N	P
Nombre de NF	20	--	1	25	190	61	--	81
Section du NF/Matériau (nm)	Circulaire/ Si	Circulaire/ Si	Circulaire/ Si	Circulaire/ Si	Polygone/ InAs	Circulaire/ InAs	Circulaire/ InGaAs	Circulaire/Si
Diamètre (nm)	20-30	115	50	90	40	50	80	30
Lg (nm)	1000-1500	1500	100	320	250	50	150	14
Empilement de grille	Cr/SiO ₂	Al/SiO ₂	Poly Si/SiO ₂	TiN/Al ₂ O ₃	W/HfO ₂	Cr/HfO ₂	W/Hf _{0.8} Al _{0.4} O _x	Cr/SiO ₂
EOT ou Tox (nm)	30-40	10	4.5	20	5	10	0.7	4
VDD (V)	-1.25	1	1.2	1	1	1	1	1
I _{ON} (μA/μm)	1.66	1.73	300	5	293	655	785	2.5
I _{ON} /I _{OFF}	> 10 ⁵	≈ 10 ⁶	>10 ⁷	10 ⁴ -10 ⁵	--	>10 ⁴	10 ⁶	3.10 ⁶
DIBL (mV/V)	--	--	30	25	--	60	33	4
SS (mV/dec)	120	145	70	87	--	103	68	83

Tableau 1.3 - comparatif de résultats pour les différentes architectures de MOSFET à base de nanofils verticaux.

Au sein de notre groupe, un premier dispositif à base de nanofils verticaux en silicium a été réalisé par lithographie électronique, présentant des résultats prometteurs ponctués par de remarquables caractéristiques sous le seuil [117] pour un tel degré de miniaturisation ($L_g = 14$ nm). En contrepartie, le courant I_{on} égal à $2.5 \mu A/\mu m$ relativement bas nous donne une marge de manœuvre afin d'améliorer les performances au cours de cette thèse.

La figure 1.25 représente un schéma d'illustration du transistor MOSFET à base de NanoFils Verticaux (NFV) en Si que nous proposons. Les NFV sont assemblés en parallèle pour obtenir un courant de conduction élevé. Cette approche permet de moduler le courant de conduction en fonction du nombre de nanofils. Les NFV en Si sont confinés dans une gaine d'oxyde utilisé comme oxyde de grille.

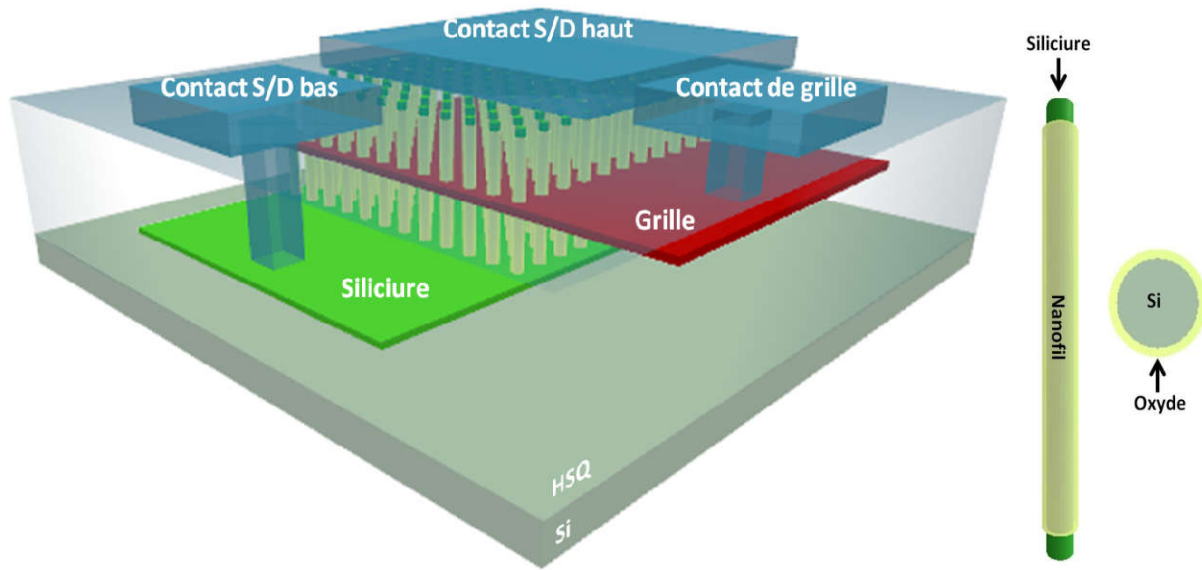


Figure 0.25 – Illustration du MOSFET à base de NFV en Si.

La réalisation du dispositif MOSFET à base de NFV selon une architecture verticale consiste en une ingénierie d'empilement de couches minces avec un parfait contrôle des épaisseurs et de la planéité. Sur cette architecture, le canal de conduction est vertical et contrôlé par une grille entourant toute la section du nanofil et localisée à mi-hauteur. Afin de préserver l'isolation électrique de chaque terminal du transistor à savoir la source, le drain et la grille, chaque niveau est séparé par une couche de diélectrique parfaitement plane. Enfin chaque terminal du transistor est adressé par des accès métalliques. Les terminaux supérieurs des NFV sont connectés en surface pour réaliser le contact S/D haut tandis que des vias sont réalisés dans le diélectrique pour connecter le siliciure bas et le métal de grille.

1.8 Pourquoi une architecture verticale ?

L'intégration verticale présente de nombreux avantages par rapport à l'intégration horizontale ou planaire notamment par la simplicité d'intégration de la grille entourant le canal de conduction qui se résume par un simple dépôt du matériau de grille où l'épaisseur déposée représente la longueur de grille du composant. Ceci permet de relaxer les contraintes pour la structuration de la longueur de grille pour les nœuds technologiques futurs, à l'inverse pour l'intégration horizontale où cette dernière est limitée par la résolution des équipements lithographiques. L'autre atout de l'intégration verticale est dans la possibilité d'augmenter sensiblement la densité d'intégration des MOSFETs pour la même superficie, l'essence même de la loi de Moore [118].

1.9 Objectif de la thèse

Afin de répondre aux besoins d'innovation et de compétitivité au sein de l'industrie des semiconducteurs, ainsi que dans la perspective d'amélioration continue des performances des MOSFETs, nous proposons à travers cette thèse une architecture MOSFET à base de NanoFils Verticaux (NFV) en silicium comme candidat potentiel pour les nœuds technologiques futurs (7 et 5 nm).

A cet effet, un procédé de réalisation de MOSFET à base NFV à grand échelle sera développé. Pour cela, un procédé lithographique électronique à faible tension d'accélération pour la réalisation des NFV en Si avec un rendement de 100 % ainsi qu'une parfaite reproductibilité sera présenté. Egalement, un procédé lithographique UV conventionnel sera développé pour la définition des éléments constituant le dispositif MOSFET.

La clé de réussite de cette architecture passe par une meilleure ingénierie de couches (diélectrique et conducteur) à l'échelle nanométrique. Une technique de planarisation innovante de couche de diélectrique pour l'isolation des terminaux électriques du dispositif MOSFET sera présentée, permettant d'accomplir une parfaite planéité ainsi qu'une très faible rugosité de surface et sans défauts de surface.

L'amélioration des performances électriques notamment l'intensité du courant de conduction a été un des axes de travail avec en particulier les résistances d'accès. Des extractions des paramètres intrinsèques des dispositifs seront réalisées, notamment les capacités de grille et les mobilités effectives. Enfin, une preuve de concept d'inverseur CMOS à base de NFV en Si sera proposée.

1.10 Conclusion

Ce premier chapitre a été consacré à la présentation du MOSFET et à son évolution au fil des années. En commençant par un bref historique, nous nous sommes intéressés à sa structure et à son principe de fonctionnement, puis à la course à la miniaturisation à travers la loi de Moore qui a nécessité à chaque nœud technologique, un effort d'innovation et d'adaptation. Malgré ces efforts, des limitations technologiques persistent et induisent des dégradations des performances, notamment en raison des effets de canaux courts qui affaiblissent le contrôle électrostatique de la grille au profit du drain. L'avènement des structures à triple grilles a permis de maîtriser ces effets indésirables jusqu'à présent. Ensuite,

nous avons introduit le nanofil comme le candidat idéal pour remplacer l'architecture planaire en raison de son adaptabilité aux structures de grilles entourant tout le canal de conduction pour un contrôle électrostatique ultime. Enfin, nous avons présenté l'architecture MOSFET à base NFV en Si que nous projetons de réaliser dans le cadre de cette thèse. Les deux prochains chapitres seront dédiés à la description des procédés technologiques pour la réalisation du dispositif MOSFET à base de NFV en Si.

Bibliographie

- [1] Lilienfeld, Julius Edgar, "Method and apparatus for controlling electric currents."
- [2] Ohl, S Russell, "Light-sensitive electric device."
- [3] J. Bardeen and W. H. Brattain, "The Transistor, A Semiconductor Triode," Proc. IEEE, vol. 86, no. 1, pp. 29–30, Jan. 1998.
- [4] Brattain, H. Walter and Bardeen, John, "Three-electrode circuit element utilizing semiconductive materials."
- [5] W. Shockley and G. L. Pearson, "Modulation of Conductance of Thin Films of Semiconductors by Surface Charges," Phys. Rev., vol. 74, no. 2, pp. 232–233, Jul. 1948.
- [6] Shockley, William, "Circuit element utilizing semiconductive material."
- [7] G. K. Teal, M. Sparks, and E. Buehler, "Growth of Germanium Single Crystals Containing $p-n$ Junctions," Phys. Rev., vol. 81, no. 4, pp. 637–637, Feb. 1951.
- [8] J. Bardeen, "Surface States and Rectification at a Metal Semi-Conductor Contact," Phys. Rev., vol. 71, no. 10, pp. 717–727, May 1947.
- [9] M. M. Atalla, E. Tannenbaum, and E. J. Scheibner, "Stabilization of Silicon Surfaces by Thermally Grown Oxides*," Bell Syst. Tech. J., vol. 38, no. 3, pp. 749–783, May 1959.
- [10] C. Sah, "A New Semiconductor Tetrode-The Surface-Potential Controlled Transistor," Proc. IRE, vol. 49, no. 11, pp. 1623–1634, Nov. 1961.
- [11] S. R. Hofstein and F. P. Heiman, "The silicon insulated-gate field-effect transistor," Proc. IEEE, vol. 51, no. 9, pp. 1190–1202, 1963.
- [12] Kahng, Dawon, "Electric field controlled semiconductor device."
- [13] S. M. Sze and K. K. Ng, Physics of semiconductor devices, 3. ed. Hoboken, NJ: Wiley-Interscience, 2007.
- [14] I. PRESENT, "Cramming more components onto integrated circuits," Read. Comput. Archit., p. 56, 2000.
- [15] "Why Moore's Law Matters | SEMI.ORG." [Online]. Available: <http://www.semi.org/node/55026>. [Accessed: 09-Jun-2015].
- [16] "14 nm Transistor Explained—Following the Path of Moore's Law," Intel. [Online]. Available: <http://www.intel.com/content/www/fr/fr/silicon-innovations/standards-14nm-explained-video.html>. [Accessed: 26-May-2015].
- [17] "50 Years of Moore's Law," Intel. [Online]. Available: <http://www.intel.com/content/www/us/en/silicon-innovations/moores-law-technology.html?linkId=13607423>. [Accessed: 26-May-2015].
- [18] R. H. Dennard, V. L. Rideout, E. Bassous, and A. R. LeBlanc, "Design of ion-implanted MOSFET's with very small physical dimensions," IEEE J. Solid-State Circuits, vol. 9, no. 5, pp. 256–268, Oct. 1974.
- [19] J. R. Brews, W. Fichtner, E. H. Nicollian, and S. M. Sze, "Generalized guide for MOSFET miniaturization," in Electron Devices Meeting, 1979 International, 1979, vol. 25, pp. 10–13.
- [20] F. D'Agostino and D. Quercia, "Short-channel effects in MOSFETs," Introd. VLSI Des. EECS 467, 2000.
- [21] S. G. Chamberlain and S. Ramanan, "Drain-induced barrier-lowering analysis in VLSI MOSFET devices using two-dimensional numerical simulations," IEEE Trans. Electron Devices, vol. 33, no. 11, pp. 1745–1753, Nov. 1986.
- [22] R. R. Troutman, "VLSI limitations from drain-induced barrier lowering," IEEE J. Solid-State Circuits, vol. 14, no. 2, pp. 383–391, Apr. 1979.
- [23] D. A. Neamen, Semiconductor Physics And Devices: Basic Principles, 4th edition. New York, NY: McGraw-Hill, 2011.

- [24] K. R. Hofmann, C. Werner, W. Weber, and G. Dorda, "Hot-electron and hole-emission effects in short n-channel MOSFET's," *IEEE Trans. Electron Devices*, vol. 32, no. 3, pp. 691–699, Mar. 1985.
- [25] W. Maes, K. De Meyer, and R. Van Overstraeten, "Impact ionization in silicon: A review and update," *Solid-State Electron.*, vol. 33, no. 6, pp. 705–718, Jun. 1990.
- [26] S. Ogura, P. J. Tsang, W. W. Walker, D. L. Critchlow, and J. F. Shepard, "Design and characteristics of the lightly doped drain-source (LDD) insulated gate field-effect transistor," *IEEE Trans. Electron Devices*, vol. 27, no. 8, pp. 1359–1367, Aug. 1980.
- [27] K. K. Ng and W. T. Lynch, "The impact of intrinsic series resistance on MOSFET scaling," *IEEE Trans. Electron Devices*, vol. 34, no. 3, pp. 503–511, Mar. 1987.
- [28] H. Iwai, T. Ohguro, and S. Ohmi, "NiSi salicide technology for scaled CMOS," *Microelectron. Eng.*, vol. 60, no. 1–2, pp. 157–169, Jan. 2002.
- [29] J. B. Lasky, J. S. Nakos, O. J. Cain, and P. J. Geiss, "Comparison of transformation to low-resistivity phase and agglomeration of TiSi₂ and CoSi₂," *IEEE Trans. Electron Devices*, vol. 38, no. 2, pp. 262–269, Feb. 1991.
- [30] Q. Z. Hong, W. T. Shiau, H. Yang, J. A. Kittl, C. P. Chao, H. L. Tsai, S. Krishnan, I. C. Chen, and R. H. Havemann, "CoSi/sub 2/ with low diode leakage and low sheet resistance at 0.065 /spl mu/m gate length," in *Electron Devices Meeting, 1997. IEDM '97. Technical Digest., International, 1997*, pp. 107–110.
- [31] S. E. Thompson, M. Armstrong, C. Auth, M. Alavi, M. Buehler, R. Chau, S. Cea, T. Ghani, G. Glass, T. Hoffman, C.-H. Jan, C. Kenyon, J. Klaus, K. Kuhn, Z. Ma, B. McIntyre, K. Mistry, A. Murthy, B. Obradovic, R. Nagisetty, P. Nguyen, S. Sivakumar, R. Shaheed, L. Shifren, B. Tufts, S. Tyagi, M. Bohr, and Y. El-Mansy, "A 90-nm logic technology featuring strained-silicon," *IEEE Trans. Electron Devices*, vol. 51, no. 11, pp. 1790–1797, Nov. 2004.
- [32] M. Bohr, "The evolution of scaling from the homogeneous era to the heterogeneous era," in *Electron Devices Meeting (IEDM), 2011 IEEE International, 2011*, pp. 1–1.
- [33] S. E. Thompson, M. Armstrong, C. Auth, S. Cea, R. Chau, G. Glass, T. Hoffman, J. Klaus, Z. Ma, B. McIntyre, A. Murthy, B. Obradovic, L. Shifren, S. Sivakumar, S. Tyagi, T. Ghani, K. Mistry, M. Bohr, and Y. El-Mansy, "A logic nanotechnology featuring strained-silicon," *IEEE Electron Device Lett.*, vol. 25, no. 4, pp. 191–193, Apr. 2004.
- [34] M. V. Fischetti, F. Gámiz, and W. Hänsch, "On the enhanced electron mobility in strained-silicon inversion layers," *J. Appl. Phys.*, vol. 92, no. 12, pp. 7320–7324, Dec. 2002.
- [35] G. F. Formicone, D. Vasileska, and D. K. Ferry, "Transport in the surface channel of strained Si on a relaxed Si_{1-x}Ge_x substrate," *Solid-State Electron.*, vol. 41, no. 6, pp. 879–885, Jun. 1997.
- [36] J. L. Hoyt, H. M. Nayfeh, S. Eguchi, I. Aberg, G. Xia, T. Drake, E. A. Fitzgerald, and D. A. Antoniadis, "Strained silicon MOSFET technology," in *Electron Devices Meeting, 2002. IEDM '02. International, 2002*, pp. 23–26.
- [37] T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyon, J. Klaus, B. McIntyre, K. Mistry, A. Murthy, J. Sandford, M. Silberstein, S. Sivakumar, P. Smith, K. Zawadzki, S. Thompson, and M. Bohr, "A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transistors," in *Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International, 2003*, pp. 11.6.1–11.6.3.
- [38] C. Gallon, C. Fenouillet-Beranger, S. Denorme, F. Boeuf, V. Fiori, N. Loubet, A. Vandooren, T. Kormann, M. Broekaart, P. Gouraud, F. Leverd, G. Imbert, C. Chaton, C. Laviron, L. Gabette, F. Vigilant, P. Garnier, H. Bernard, A. Tarnowka, R. Pantel, F. Pionnier, S. Jullian, S. Cristoloveanu, and T. Skotnicki, "Mechanical and Electrical

- Analysis of Strained Liner Effect in 35 nm Fully Depleted Silicon-on-Insulator Devices with Ultra Thin Silicon Channels,” *Jpn. J. Appl. Phys.*, vol. 45, no. 4S, p. 3058, Apr. 2006.
- [39] S. Thompson, M. Alavi, M. Hussein, P. Jacob, C. Kenyon, P. Moon, M. Prince, S. Sivakumar, S. Tyagi, and M. Bohr, “130nm Logic Technology Featuring 60nm Transistors, Low-K Dielectrics, and Cu Interconnects,” *Intel Technol. J.*, vol. 6, no. 2, 2002.
- [40] M. Depas, B. Vermeire, P. W. Mertens, R. L. Van Meirhaeghe, and M. M. Heyns, “Determination of tunnelling parameters in ultra-thin oxide layer poly-Si/SiO₂/Si structures,” *Solid-State Electron.*, vol. 38, no. 8, pp. 1465–1471, Aug. 1995.
- [41] D. A. Muller, T. Sorsch, S. Moccio, F. H. Baumann, K. Evans-Lutterodt, and G. Timp, “The electronic structure at the atomic scale of ultrathin gate oxides,” *Nature*, vol. 399, no. 6738, pp. 758–761, Jun. 1999.
- [42] C. C. Hobbs, L. R. C. Fonseca, A. Knizhnik, V. Dhandapani, S. B. Samavedam, W. J. Taylor, J. M. Grant, L. G. Dip, D. H. Triyoso, R. I. Hegde, D. C. Gilmer, R. Garcia, D. Roan, M. L. Lovejoy, R. S. Rai, E. A. Hebert, H.-H. Tseng, S. G. H. Anderson, B. E. White, and P. J. Tobin, “Fermi-Level Pinning at the Polysilicon/Metal Oxide Interface—Part I,” *IEEE Trans. Electron Devices*, vol. 51, no. 6, pp. 971–977, Jun. 2004.
- [43] K. Mistry, C. Allen, C. Auth, B. Beattie, D. Bergstrom, M. Bost, M. Brazier, M. Buehler, A. Cappellani, R. Chau, C.-H. Choi, G. Ding, K. Fischer, T. Ghani, R. Grover, W. Han, D. Hanken, M. Hattendorf, J. He, J. Hicks, R. Huessner, D. Ingerly, P. Jain, R. James, L. Jong, S. Joshi, C. Kenyon, K. Kuhn, K. Lee, H. Liu, J. Maiz, B. McIntyre, P. Moon, J. Neiryck, S. Pae, C. Parker, D. Parsons, C. Prasad, L. Pipes, M. Prince, P. Ranade, T. Reynolds, J. Sandford, L. Shifren, J. Sebastian, J. Seiple, D. Simon, S. Sivakumar, P. Smith, C. Thomas, T. Troeger, P. Vandervoorn, S. Williams, and K. Zawadzki, “A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging,” in *Electron Devices Meeting, 2007. IEDM 2007. IEEE International, 2007*, pp. 247–250.
- [44] T. Sekigawa and Y. Hayashi, “Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate,” *Solid-State Electron.*, vol. 27, no. 8–9, pp. 827–828, Aug. 1984.
- [45] I. Ferain, C. A. Colinge, and J.-P. Colinge, “Multigate transistors as the future of classical metal-oxide-semiconductor field-effect transistors,” *Nature*, vol. 479, no. 7373, pp. 310–316, Nov. 2011.
- [46] Jong-Tae Park and J.-P. Colinge, “Multiple-gate SOI MOSFETs: device design guidelines,” *IEEE Trans. Electron Devices*, vol. 49, no. 12, pp. 2222–2229, Dec. 2002.
- [47] C.-W. Lee, S.-R.-N. Yun, C.-G. Yu, J.-T. Park, and J.-P. Colinge, “Device design guidelines for nano-scale MuGFETs,” *Solid-State Electron.*, vol. 51, no. 3, pp. 505–510, Mar. 2007.
- [48] J. Saint-Martin, A. Bournel, and P. Dollfus, “Comparison of multiple-gate MOSFET architectures using Monte Carlo simulation,” *Solid-State Electron.*, vol. 50, no. 1, pp. 94–101, Jan. 2006.
- [49] J.-P. Colinge, C.-W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, P. Razavi, B. O’Neill, A. Blake, M. White, A.-M. Kelleher, B. McCarthy, and R. Murphy, “Nanowire transistors without junctions,” *Nat. Nanotechnol.*, vol. 5, no. 3, pp. 225–229, Mar. 2010.
- [50] C.-W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, and J.-P. Colinge, “Junctionless multigate field-effect transistor,” *Appl. Phys. Lett.*, vol. 94, no. 5, p. 053511, Feb. 2009.

- [51] R.-H. Yan, A. Ourmazd, and K. F. Lee, "Scaling the Si MOSFET: from bulk to SOI to bulk," *IEEE Trans. Electron Devices*, vol. 39, no. 7, pp. 1704–1710, Jul. 1992.
- [52] J. P. Colinge, "The new generation of SOI MOSFETs," *Romanian J Inf Sci Technol*, vol. 11, no. 1, pp. 3–15, 2008.
- [53] K. Suzuki, T. Tanaka, Y. Tosaka, H. Horie, and Y. Arimoto, "Scaling theory for double-gate SOI MOSFET's," *IEEE Trans. Electron Devices*, vol. 40, no. 12, pp. 2326–2329, Dec. 1993.
- [54] C. P. Auth and J. D. Plummer, "Scaling theory for cylindrical, fully-depleted, surrounding-gate MOSFET's," *IEEE Electron Device Lett.*, vol. 18, no. 2, pp. 74–76, Feb. 1997.
- [55] Y.-H. Chen, W.-M. Chan, W.-C. Wu, H.-J. Liao, K.-H. Pan, J.-J. Liaw, T.-H. Chung, Q. Li, G. H. Chang, C.-Y. Lin, M.-C. Chiang, S.-Y. Wu, S. Natarajan, and J. Chang, "13.5 A 16nm 128Mb SRAM in high- κ BA; metal-gate FinFET technology with write-assist circuitry for low-VMIN applications," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, 2014 IEEE International, 2014, pp. 238–239.
- [56] S. Natarajan, M. Agostinelli, s. Akbar, M. Bost, A. Bowonder, V. Chikarmane, S. Chouksey, A. Dasgupta, K. Fischer, Q. Fu, T. Ghani, M. Giles, S. Govindaraju, R. Grover, W. Han, D. Hanken, E. Haralson, M. Haran, M. Heckscher, R. Heussner, P. Jain, R. James, R. Jhaveri, I. Jin, H. Kam, E. Karl, C. Kenyon, M. Liu, Y. Luo, R. Mehandru, S. Morarka, L. Neiberg, P. Packan, A. Paliwal, C. Parker, P. Patel, R. Patel, C. Pelto, L. Pipes, P. Plekhanov, M. Prince, S. Rajamani, J. Sandford, B. Sell, S. Sivakumar, P. Smith, B. Song, K. Tone, T. Troeger, J. Wiedemer, M. Yang, and K. Zhang, "A 14nm logic technology featuring 2nd-generation FinFET, air-gapped interconnects, self-aligned double patterning and a 0.0588 μm^2 SRAM cell size," in *Electron Devices Meeting (IEDM)*, 2014 IEEE International, 2014, pp. 3.7.1–3.7.3.
- [57] C.-H. Lin, B. Greene, S. Narasimha, J. Cai, A. Bryant, C. Radens, V. Narayanan, B. Linder, H. Ho, A. Aiyar, E. Alptekin, J.-J. An, M. Aquilino, R. Bao, V. Basker, N. Breil, M. Brodsky, W. Chang, L. Clevenger, D. Chidambarrao, C. Christiansen, D. Conklin, C. DeWan, H. Dong, L. Economikos, B. Engel, S. Fang, D. Ferrer, A. Friedman, A. Gabor, F. Guarin, X. Guan, M. Hasanuzzaman, J. Hong, D. Hoyos, B. Jagannathan, S. Jain, S.-J. Jeng, J. Johnson, B. Kannan, Y. Ke, B. Khan, B. Kim, S. Koswatta, A. Kumar, T. Kwon, U. Kwon, L. Lanzerotti, H.-K. Lee, W.-H. Lee, A. Levesque, W. Li, Z. Li, W. Liu, S. Mahajan, K. McStay, H. Nayfeh, W. Nicoll, G. Northrop, A. Ogino, C. Pei, S. Polvino, R. Ramachandran, Z. Ren, R. Robison, I. Saraf, V. Sardesai, S. Saudari, D. Schepis, C. Sheraw, S. Siddiqui, L. Song, K. Stein, C. Tran, H. Utomo, R. Vega, G. Wang, H. Wang, W. Wang, X. Wang, D. Wehelle-Gamage, E. Woodard, Y. Xu, Y. Yang, N. Zhan, K. Zhao, C. Zhu, K. Boyd, E. Engbrecht, K. Henson, E. Kaste, S. Krishnan, E. Maciejewski, H. Shang, N. Zamdmer, R. Divakaruni, J. Rice, S. Stiffler, and P. Agnello, "High performance 14nm SOI FinFET CMOS technology with 0.0174 μm^2 embedded DRAM and 15 levels of Cu metallization," in *Electron Devices Meeting (IEDM)*, 2014 IEEE International, 2014, pp. 3.8.1–3.8.3.
- [58] J. Singh, C. Jerome, A. Wei, R. Miller, B. Arnaud, C. Lili, H. Zang, P. Kasun, P. Manjunatha, S. Biswanath, A. Kumar, S. M. Pandey, N. M. Iyer, A. Mittal, R. Carter, L. Zhao, E. Manfred, and S. Samavedam, "Analog, RF, and ESD device challenges and solutions for 14nm FinFET technology and beyond," in *2014 Symposium on VLSI Technology (VLSI-Technology): Digest of Technical Papers*, 2014, pp. 1–2.
- [59] T. Holtij, M. Graef, F. M. Hain, A. Kloes, and B. Iniguez, "Compact Model for Short-Channel Junctionless Accumulation Mode Double Gate MOSFETs," *IEEE Trans. Electron Devices*, vol. 61, no. 2, pp. 288–299, Feb. 2014.

- [60] F. Lime, E. Santana, and B. Iñiguez, "A simple compact model for long-channel junctionless Double Gate MOSFETs," *Solid-State Electron.*, vol. 80, pp. 28–32, Feb. 2013.
- [61] L. Ansari, B. Feldman, G. Fagas, J.-P. Colinge, and J. C. Greer, "Simulation of junctionless Si nanowire transistors with 3 nm gate length," *Appl. Phys. Lett.*, vol. 97, no. 6, p. 062105, 2010.
- [62] Y. Cui, Z. Zhong, D. Wang, W. U. Wang, and C. M. Lieber, "High performance silicon nanowire field effect transistors," *Nano Lett.*, vol. 3, no. 2, pp. 149–152, 2003.
- [63] Y. Cui, L. J. Lauhon, M. S. Gudiksen, J. Wang, and C. M. Lieber, "Diameter-controlled synthesis of single-crystal silicon nanowires," *Appl. Phys. Lett.*, vol. 78, no. 15, p. 2214, 2001.
- [64] S.-W. Chung, J.-Y. Yu, and J. R. Heath, "Silicon nanowire devices," *Appl. Phys. Lett.*, vol. 76, no. 15, p. 2068, 2000.
- [65] J. Appenzeller, J. Knoch, E. Tutuc, M. Reuter, and S. Guha, "Dual-gate silicon nanowire transistors with nickel silicide contacts," in *Electron Devices Meeting, 2006. IEDM'06. International, 2006*, pp. 1–4.
- [66] W. Tang, S. A. Dayeh, S. T. Picraux, J. Y. Huang, and K.-N. Tu, "Ultrashort Channel Silicon Nanowire Transistors with Nickel Silicide Source/Drain Contacts," *Nano Lett.*, vol. 12, no. 8, pp. 3979–3985, Aug. 2012.
- [67] J. Y. Oh, H.-J. Jang, W.-J. Cho, J.-T. Park, and M. S. Islam, "Nano-bridge enabled three-dimensional gate-all-around field effect transistors," in *Electrical and Computer Engineering (ICECE), 2014 International Conference on*, 2014, pp. 675–678.
- [68] J. Y. Oh, S.-M. Lee, J.-T. Park, M. Triplett, D. Yu, and M. S. Islam, "Demonstration of gate-all-around FETs based on suspended CVD-grown silicon nanowires," in *SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2013 IEEE*, 2013, pp. 1–2.
- [69] M. Collet, S. Salomon, N. Y. Klein, F. Seichepine, C. Vieu, L. Nicu, and G. Larrieu, "Large-Scale Assembly of Single Nanowires through Capillary-Assisted Dielectrophoresis," *Adv. Mater.*, vol. 27, no. 7, pp. 1268–1273, Feb. 2015.
- [70] S. C. Rustagi, N. Singh, W. W. Fang, K. D. Buddharaju, S. R. Omampuliyur, S. H. G. Teo, C. H. Tung, G. Q. Lo, N. Balasubramanian, and D. L. Kwong, "CMOS Inverter Based on Gate-All-Around Silicon-Nanowire MOSFETs Fabricated Using Top-Down Approach," *IEEE Electron Device Lett.*, vol. 28, no. 11, pp. 1021–1024, Nov. 2007.
- [71] K. D. Buddharaju, N. Singh, S. C. Rustagi, S. H. G. Teo, G. Q. Lo, N. Balasubramanian, and D. L. Kwong, "Si-nanowire CMOS inverter logic fabricated using gate-all-around (GAA) devices and top-down approach," *Solid-State Electron.*, vol. 52, no. 9, pp. 1312–1317, Sep. 2008.
- [72] N. Singh, A. Agarwal, L. K. Bera, T. Y. Liow, R. Yang, S. C. Rustagi, C. H. Tung, R. Kumar, G. Q. Lo, N. Balasubramanian, and D.-L. Kwong, "High-performance fully depleted silicon nanowire (diameter /spl les/ 5 nm) gate-all-around CMOS devices," *IEEE Electron Device Lett.*, vol. 27, no. 5, pp. 383–386, May 2006.
- [73] N. Singh, K. D. Buddharaju, S. K. Manhas, A. Agarwal, S. C. Rustagi, G. Q. Lo, N. Balasubramanian, and D.-L. Kwong, "Si, SiGe Nanowire Devices by Top-Down Technology and Their Applications," *IEEE Trans. Electron Devices*, vol. 55, no. 11, pp. 3107–3118, Nov. 2008.
- [74] Y. Jiang, T. Y. Liow, N. Singh, L. H. Tan, G. Q. Lo, D. S. H. Chan, and D. L. Kwong, "Performance breakthrough in 8 nm gate length Gate-All-Around nanowire transistors using metallic nanowire contacts," 2008, pp. 34–35.

- [75] M. Najmzadeh, Y. Tsuchiya, D. Bouvet, W. Grabinski, and A. M. Ionescu, "Gate-all-around buckled dual Si nanowire NMOSFETs on bulk Si for transport enhancement and digital logic," *Microelectron. Eng.*, vol. 110, pp. 278–281, Oct. 2013.
- [76] Y. Tian, R. Huang, Y. Wang, J. Zhuge, R. Wang, J. Liu, X. Zhang, and Y. Wang, "New Self-Aligned Silicon Nanowire Transistors on Bulk Substrate Fabricated by Epi-Free Compatible CMOS Technology: Process Integration, Experimental Characterization of Carrier Transport and Low Frequency noise," 2007, pp. 895–898.
- [77] H.-S. Wong, L.-H. Tan, L. Chan, G.-Q. Lo, G. Samudra, and Y.-C. Yeo, "Gate-all-around quantum-wire field-effect transistor with Dopant Segregation at Metal-Semiconductor-Metal heterostucture," presented at the VLSI Technology, 2009 Symposium on, 2009, pp. 92–93.
- [78] Yi Song, Qiuxia Xu, Jun Luo, Huajie Zhou, Jiebin Niu, Qingqing Liang, and Chao Zhao, "Performance Breakthrough in Gate-All-Around Nanowire n- and p-Type MOSFETs Fabricated on Bulk Silicon Substrate," *IEEE Trans. Electron Devices*, vol. 59, no. 7, pp. 1885–1890, Jul. 2012.
- [79] H. Lee, L.-E. Yu, S.-W. Ryu, J.-W. Han, K. Jeon, D.-Y. Jang, K.-H. Kim, J. Lee, J.-H. Kim, S. Jeon, G. Lee, J. Oh, Y. Park, W. Bae, H. Lee, J. Yang, J. Yoo, S. Kim, and Y.-K. Choi, "Sub-5nm All-Around Gate FinFET for Ultimate Scaling," 2006, pp. 58–59.
- [80] O. Gunawan, L. Sekaric, A. Majumdar, M. Rooks, J. Appenzeller, J. W. Sleight, S. Guha, and W. Haensch, "Measurement of Carrier Mobility in Silicon Nanowires," *Nano Lett.*, vol. 8, no. 6, pp. 1566–1571, Jun. 2008.
- [81] S. Bangsaruntip, G. M. Cohen, A. Majumdar, Y. Zhang, S. U. Engelmann, N. C. M. Fuller, L. M. Gignac, S. Mittal, J. S. Newbury, M. Guillorn, T. Barwicz, L. Sekaric, M. M. Frank, and J. W. Sleight, "High performance and highly uniform gate-all-around silicon nanowire MOSFETs with wire size dependent scaling," 2009, pp. 1–4.
- [82] S. Bangsaruntip, K. Balakrishnan, S.-L. Cheng, J. Chang, M. Brink, I. Lauer, R. L. Bruce, S. U. Engelmann, A. Pyzyrna, G. M. Cohen, and others, "Density scaling with gate-all-around silicon nanowire MOSFETs for the 10 nm node and beyond," in *Electron Devices Meeting (IEDM), 2013 IEEE International*, 2013, pp. 20–2.
- [83] K. H. Cho, K. H. Yeo, Y. Y. Yeoh, S. D. Suk, M. Li, J. M. Lee, M.-S. Kim, D.-W. Kim, D. Park, B. H. Hong, Y. C. Jung, and S. W. Hwang, "Experimental evidence of ballistic transport in cylindrical gate-all-around twin silicon nanowire metal-oxide-semiconductor field-effect transistors," *Appl. Phys. Lett.*, vol. 92, no. 5, p. 052102, 2008.
- [84] D.-W. Kim, K. H. Yeo, S. D. Suk, M. Li, Y. Y. Yeoh, D. K. Sohn, and C. Chung, "Fabrication and electrical characteristics of self-aligned (SA) gate-all-around (GAA) si nanowire MOSFETs (SNWFET)," in *IC Design and Technology (ICICDT), 2010 IEEE International Conference on*, 2010, pp. 63–66.
- [85] M. Li, K. H. Yeo, S. D. Suk, Y. Y. Yeoh, D.-W. Kim, T. Y. Chung, K. S. Oh, and W.-S. Lee, "Sub-10 nm gate-all-around CMOS nanowire transistors on bulk Si substrate," presented at the VLSI Technology, 2009 Symposium on, 2009, pp. 94–95.
- [86] S. D. Suk, S.-Y. Lee, S.-M. Kim, E.-J. Yoon, M.-S. Kim, M. Li, C. W. Oh, K. H. Yeo, S. H. Kim, D.-S. Shin, K. Lee, H. S. Park, J. N. Han, C. J. Park, J.-B. Park, D.-W. Kim, D. Park, and B.-I. Ryu, "High performance 5nm radius Twin Silicon Nanowire MOSFET (TSNWFET): fabrication on bulk si wafer, characteristics, and reliability," in *Electron Devices Meeting, 2005. IEDM Technical Digest. IEEE International*, 2005, pp. 717–720.
- [87] S. D. Suk, M. Li, Y. Y. Yeoh, K. H. Yeo, K. H. Cho, I. K. Ku, H. Cho, W. Jang, D.-W. Kim, D. Park, and others, "Investigation of nanowire size dependency on TSNWFET," in *Electron Devices Meeting, 2007. IEDM 2007. IEEE International*, 2007, pp. 891–894.

- [88] K. H. Yeo, S. D. Suk, M. Li, Y. Yeoh, K. H. Cho, K.-H. Hong, S. Yun, M. S. Lee, N. Cho, K. Lee, D. Hwang, B. Park, D.-W. Kim, D. Park, and B.-I. Ryu, "Gate-All-Around (GAA) Twin Silicon Nanowire MOSFET (TSNWFET) with 15 nm Length Gate and 4 nm Radius Nanowires," in *Electron Devices Meeting, 2006. IEDM '06. International, 2006*, pp. 1–4.
- [89] R. Wang, R. Huang, L. Zhang, H. Liu, D.-W. Kim, D. Park, and Y. Wang, "Experimental investigations on channel backscattering characteristics of gate-all-around silicon nanowire transistors from top-down approach," *Appl. Phys. Lett.*, vol. 93, no. 8, p. 083513, 2008.
- [90] R. Coquand, S. Monfray, S. Barraud, M. P. Samson, C. Arvet, J. Pradelles, J. Bustos, L. K. Martin, L. Tosti, P. Perreau, and others, "Innovative through-Si 3D lithography for ultimate self-aligned planar Double-Gate and Gate-All-Around nanowire transistors," in *VLSI Technology (VLSIT), 2013 Symposium on, 2013*, pp. T226–T227.
- [91] C. Dupré, T. Ernst, V. Maffini-Alvaro, V. Delaye, J.-M. Hartmann, S. Borel, C. Vizioz, O. Faynot, G. Ghibaudo, and S. Deleonibus, "3D nanowire gate-all-around transistors: Specific integration and electrical features," *Solid-State Electron.*, vol. 52, no. 4, pp. 519–525, Apr. 2008.
- [92] E. Dornel, T. Ernst, J. C. Barbé, J. M. Hartmann, V. Delaye, F. Aussenac, C. Vizioz, S. Borel, V. Maffini-Alvaro, C. Isheden, and J. Foucher, "Hydrogen annealing of arrays of planar and vertically stacked Si nanowires," *Appl. Phys. Lett.*, vol. 91, no. 23, p. 233502, 2007.
- [93] T. Ernst, E. Bernard, C. Dupre, A. Hubert, S. Becu, B. Guillaumot, O. Rozeau, O. Thomas, P. Coronel, J.-M. Hartmann, C. Vizioz, N. Vulliet, O. Faynot, T. Skotnicki, and S. Deleonibus, "3D multichannels and stacked nanowires technologies for new design opportunities in nanoelectronics," 2008, pp. 265–268.
- [94] C. Dupre, A. Hubert, S. Becu, M. Jublot, V. Maffini-Alvaro, C. Vizioz, F. Aussenac, C. Arvet, S. Barnola, J.-M. Hartmann, G. Garnier, F. Allain, J.-P. Colonna, M. Rivoire, L. Baud, S. Pauliac, V. Loup, T. Chevolleau, P. Rivallin, B. Guillaumot, G. Ghibaudo, O. Faynot, T. Ernst, and S. Deleonibus, "15nm-diameter 3D stacked nanowires with independent gates operation: ΦFET," 2008, pp. 1–4.
- [95] M. Chan, R. M. Ng, T. Wang, X. Zuo, and J. He, "3-D matrix nano-wire transistor fabrication on silicon substrate," in *Solid-State and Integrated Circuit Technology (ICSICT), 2010 10th IEEE International Conference on, 2010*, pp. 883–886.
- [96] D.-I. Moon, S.-J. Choi, J. P. Duarte, and Y.-K. Choi, "Investigation of Silicon Nanowire Gate-All-Around Junctionless Transistors Built on a Bulk Substrate," *IEEE Trans. Electron Devices*, vol. 60, no. 4, pp. 1355–1360, Apr. 2013.
- [97] Jing Zhuge, Yu Tian, Runsheng Wang, Ru Huang, Yiqun Wang, Baoqin Chen, Jia Liu, Xing Zhang, and Yangyuan Wang, "High-Performance Si Nanowire Transistors on Fully Si Bulk Substrate From Top-Down Approach: Simulation and Fabrication," *IEEE Trans. Nanotechnol.*, vol. 9, no. 1, pp. 114–122, Jan. 2010.
- [98] H. Takato, K. Sunouchi, N. Okabe, A. Nitayama, K. Hieda, F. Horiguchi, and F. Masuoka, "High performance CMOS surrounding gate transistor (SGT) for ultra high density LSIs," 1988, pp. 222–225.
- [99] K. Sunouchi, H. Takato, N. Okabe, T. Yamada, T. Ozaki, S. Inoue, K. Hashimoto, K. Hieda, A. Nitayama, F. Horiguchi, and F. Masuoka, "A surrounding gate transistor (SGT) cell for 64/256 Mbit DRAMs," 1989, pp. 23–26.
- [100] V. Schmidt, H. Riel, S. Senz, S. Karg, W. Riess, and U. Gösele, "Realization of a Silicon Nanowire Vertical Surround-Gate Field-Effect Transistor," *Small*, vol. 2, no. 1, pp. 85–88, Jan. 2006.

- [101] J. Goldberger, A. I. Hochbaum, R. Fan, and P. Yang, "Silicon Vertically Integrated Nanowire Field Effect Transistors," *Nano Lett.*, vol. 6, no. 5, pp. 973–977, May 2006.
- [102] G. Rosaz, B. Salem, N. Pauc, P. Gentile, A. Potié, and T. Baron, "Electrical characteristics of a vertically integrated field-effect transistor using non-intentionally doped Si nanowires," *Microelectron. Eng.*, vol. 88, no. 11, pp. 3312–3315, Nov. 2011.
- [103] B. Yang, K. D. Buddharaju, S. H. G. Teo, N. Singh, G. Q. Lo, and D. L. Kwong, "Vertical Silicon-Nanowire Formation and Gate-All-Around MOSFET," *IEEE Electron Device Lett.*, vol. 29, no. 7, pp. 791–794, Jul. 2008.
- [104] T. T. Le, H. Y. Yu, Y. Sun, N. Singh, X. Zhou, N. Shen, G. Q. Lo, and D. L. Kwong, "High-Performance Poly-Si Vertical Nanowire Thin-Film Transistor and the Inverter Demonstration," *IEEE Electron Device Lett.*, vol. 32, no. 6, pp. 770–772, Jun. 2011.
- [105] Y. Sun, H. Y. Yu, N. Singh, K. C. Leong, E. Quek, G. Q. Lo, and D. L. Kwong, "Demonstration of memory string with stacked junction-less SONOS realized on vertical silicon nanowire," in *Electron Devices Meeting (IEDM)*, 2011 IEEE International, 2011, pp. 9–7.
- [106] Z. X. Chen, N. Singh, G. Q. Lo, and D.-L. Kwong, "Realization of Ni Fully Silicided Gate on Vertical Silicon Nanowire MOSFETs for Adjusting Threshold Voltage (V_T) ," *IEEE Electron Device Lett.*, vol. 32, no. 11, pp. 1495–1497, Nov. 2011.
- [107] Yujia Zhai, L. Mathew, R. Rao, M. Palard, S. Chopra, J. G. Ekerdt, L. F. Register, and S. K. Banerjee, "High-Performance Vertical Gate-All-Around Silicon Nanowire FET With High- κ Metal Gate," *IEEE Trans. Electron Devices*, vol. 61, no. 11, pp. 3896–3900, Nov. 2014.
- [108] S. Johansson, E. Memisevic, L.-E. Wernersson, and E. Lind, "High-Frequency Gate-All-Around Vertical InAs Nanowire MOSFETs on Si Substrates," *IEEE Electron Device Lett.*, vol. 35, no. 5, pp. 518–520, May 2014.
- [109] E. Lind, M. Egard, S. Johansson, A. Johansson, B. M. Borg, C. Thelander, K.-M. Persson, A. W. Dey, and L.-E. Wernersson, "High frequency performance of vertical InAs nanowire MOSFET," 2010, pp. 1–4.
- [110] L.-E. Wernersson, "InAs Wrap-Gate Nanowire Transistors," 2007, pp. 527–529.
- [111] K. Tomioka, M. Yoshimura, and T. Fukui, "Vertical In_{0.7}Ga_{0.3}As nanowire surrounding-gate transistors with high-k gate dielectric on Si substrate," 2011, pp. 33.3.1–33.3.4.
- [112] K. Tomioka, T. Tanaka, S. Hara, K. Hiruma, and T. Fukui, "III-V Nanowires on Si Substrate: Selective-Area Growth and Device Applications," *IEEE J. Sel. Top. Quantum Electron.*, vol. 17, no. 4, pp. 1112–1129, Jul. 2011.
- [113] K. Tomioka and T. Fukui, "Gate-first process and EOT-scaling of III-V nanowire-based vertical transistors on Si," 2013, pp. 15–16.
- [114] K. Tomioka, M. Yoshimura, E. Nakai, F. Ishizaka, and T. Fukui, "Integration of III-V nanowires on Si: From high-performance vertical FET to steep-slope switch," 2013, pp. 4.1.1–4.1.4.
- [115] K. Tomioka, M. Yoshimura, and T. Fukui, "A III–V nanowire channel on silicon for high-performance vertical transistors," *Nature*, vol. 488, no. 7410, pp. 189–192, Aug. 2012.
- [116] C. Thelander, L. E. Froberg, C. Rehnstedt, L. Samuelson, and L.-E. Wernersson, "Vertical Enhancement-Mode InAs Nanowire Field-Effect Transistor With 50-nm Wrap Gate," *IEEE Electron Device Lett.*, vol. 29, no. 3, pp. 206–208, Mar. 2008.
- [117] G. Larrieu and X.-L. Han, "Vertical nanowire array-based field effect transistors for ultimate scaling," *Nanoscale*, vol. 5, no. 6, p. 2437, 2013.

- [118] T. Ernst, C. Dupre, C. Isheden, E. Bernard, R. Ritzenthaler, V. Maffini-Alvaro, J. C. Barbé, F. De Crecy, A. Toffoli, C. Vizioz, and others, "Novel 3D integration process for highly scalable Nano-Beam stacked-channels GAA (NBG) FinFETs with HfO_2/TiN gate stack," in Electron Devices Meeting, 2006. IEDM'06. International, 2006, pp. 1–4.

Chapitre 2 : Réalisation de réseaux de nanofils verticaux en silicium

Introduction

Les nanofils sont utilisés dans plusieurs disciplines et non seulement en nanoélectronique. On les retrouve également en optoélectronique en raison de leur forte absorption et faible réflectivité de la lumière [1], en photovoltaïque à cause d'un meilleur rendement de conversion d'énergie [2] mais aussi lors de la réalisation des capteurs de gaz dû au large rapport surface/volume proposé [3]. Le choix du matériau et le procédé de fabrication des nanofils dépendent de l'application ciblée.

Les procédés de réalisation des NFV peuvent être référencés en deux catégories distinctes à savoir, le procédé ascendant (Bottom-Up) et le procédé descendant (Top-Down). L'approche Bottom-Up consiste à faire croître des nanofils sur le substrat par des techniques de dépôt chimiques à l'instar de la méthode Vapeur Liquide Solide (VLS). Une particule métallique agit comme catalyseur où un gaz contenant du Si (précurseur (SiCl_4 , SiH_4)) s'y dissout. Cette particule, une fois saturée, précipite le silicium à l'extérieur en formant un fil [4]. Le principal avantage de cette approche réside dans la possibilité de faire croître une large variété de matériaux. Néanmoins, la maîtrise du procédé, la parfaite localisation ainsi que la compatibilité CMOS sont souvent difficiles à accéder. L'approche Top Down consiste à créer des nanostructures dans un substrat par gravure plasma à travers un masque de gravure. La taille des nanostructures obtenues dépend principalement de la taille des structures du masque et du procédé de gravure utilisé. Cette approche est non seulement compatible avec la technologie CMOS mais surtout permet la réalisation de structures avec un parfait contrôle de l'orientation, localisation et la taille. Cette approche a été choisie pour la réalisation des NFV en silicium.

Au cours de ce chapitre, nous aborderons le procédé développé pour la réalisation des NFV en silicium, qui représentent les éléments de base du dispositif MOSFET. Tout d'abord, des nanofils en résine inorganique servant de masque de gravure ont été réalisés par lithographie électronique. Ensuite, le masque a été transféré dans le substrat par gravure plasma. Enfin, après le retrait de la résine résiduelle, les nanofils ont été soumis à une oxydation thermique sacrificielle pour réduire le diamètre des NFV. Nous procéderons lors de ce chapitre à présenter le procédé de réalisation étape par étape.

2.1 Réalisation du masque de gravure.

Le masque de gravure étant réalisé par un procédé lithographique, la taille des nanostructures reste tributaire de la résolution du procédé lithographique utilisé. Les dimensions que nous recherchons sont de l'ordre de quelques dizaines de nanomètres de diamètre. C'est dans cette perspective que nous avons opté pour un procédé de lithographie électronique utilisant une résine négative de haute résolution en l'occurrence, l'Hydrogène SilsesQuioxane (HSQ). Le procédé de réalisation du masque de gravure est schématisé sur la figure 2.1.

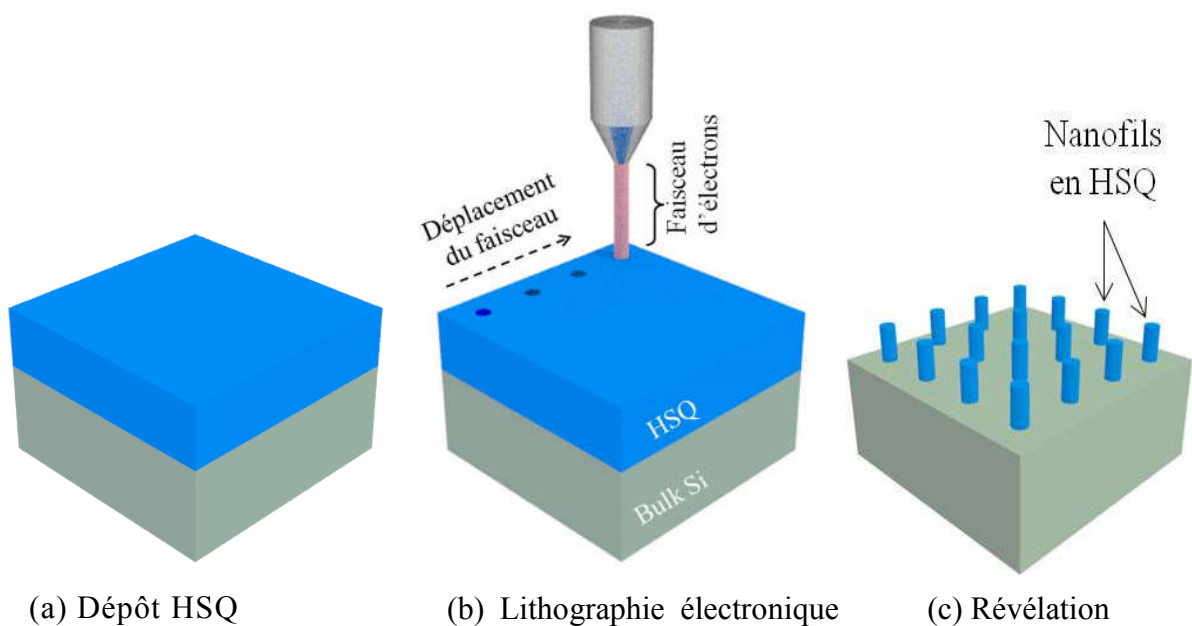


Figure 0.1. Illustration de réalisation du masque de gravure par lithographie électronique.

2.1.1 Lithographie électronique

Il s'agit d'une technique de lithographie fondamentale pour la micro et nanofabrication. Elle permet la création de structures avec des dimensions extrêmement réduites, allant jusqu'à quelques nanomètres de résolution [5]. Dérivé initialement d'un microscope électronique à balayage, le procédé technologique consiste à balayer avec un faisceau d'électrons une surface recouverte par une résine sensible aux électrons. La lithographie électronique se caractérise non seulement par sa très haute résolution mais aussi par sa flexibilité à une variété de matériaux, qui fait d'elle une technique très prisée. Son utilisation dans l'industrie des semiconducteurs se retrouve dans la réalisation des masques de lithographie optique (nœud 30 nm et moins), telle que Deep Ultra Violet (DUV) ou Extreme Ultra Violet (EUV) pour la

production à grand volume des technologies à base de structures nanométriques. On retrouve aussi la lithographie électronique dans la réalisation des moules pour la technologie nano-impression et le prototypage de circuits et composants pour les technologies futures. Néanmoins, son utilisation reste à ce jour limitée, due au temps d'exposition relativement long du fait qu'il s'agit d'un procédé sériel, à l'inverse de la lithographie optique qui est une technique parallèle. Raison pour laquelle le développement d'équipements à multifaisceaux d'électrons pour une exposition parallèle serait un plus indéniable pour obtenir des structures de plus faibles dimensions que celles proposées par les équipements de lithographie optique, notamment pour le nœud technologique 10 nm et moins. IMS nanofabrication en collaboration avec d'autres industriels développe un équipement lithographique avec 262000 faisceaux programmables opérant à 50 kV [6]. On trouve également l'équipement de MAPPER lithography qui fonctionne avec 13000 faisceaux, mais opérant avec une tension d'accélération de 5 kV seulement [7]. Dans ces travaux, nous avons utilisé l'équipement de lithographie électronique Raith 150 à une tension d'accélération de 20 kV, disponible au LAAS CNRS.

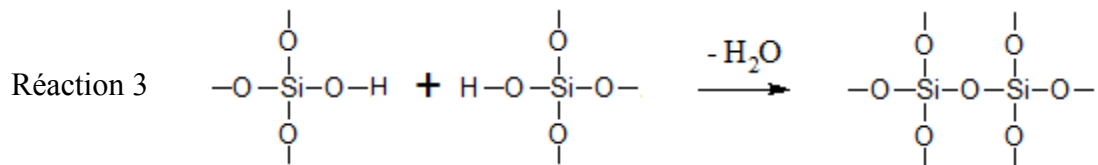
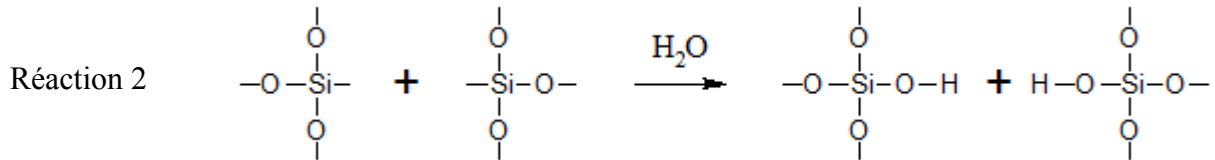
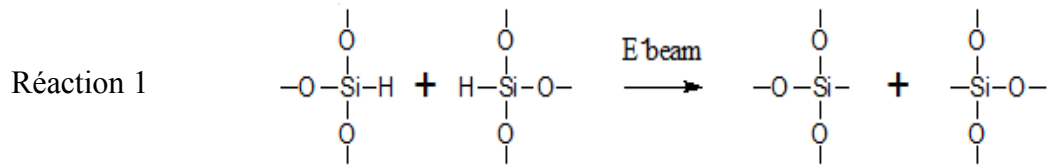
2.1.2 Hydrogène SilsesQuioxane (HSQ)

Pour notre besoin en lithographie électronique nous avons utilisé la résine HSQ, une résine inorganique de polarité négative. La HSQ est identifiée par sa formule générale $(\text{HSiO}_{3/2})_n$ [8]. Elle se caractérise par sa capacité à obtenir des structures de très haute résolution mais aussi de très faible rugosité de largeur de ligne (linewidth roughness) grâce à sa faible taille moléculaire, car elle se dispose en configuration tridimensionnelle (cage) [9]. Cette configuration réduit la taille des agrégats dans la résine permettant l'obtention d'une très faible fluctuation de ligne (2nm) [9]. Les excellents résultats en lithographie électronique lui confèrent une large utilisation dans plusieurs applications, notamment pour la réalisation de moules pour la technologie nano-impression [10][11][12], masque de gravure en raison de sa grande sélectivité [13][14][15], les cristaux photoniques [16] ainsi comme diélectrique d'isolation grâce à sa faible permittivité ($k \approx 2.8$) [17][18][19].

2.1.3 Exposition de la HSQ à la lithographie électronique

Les premiers travaux de lithographie électronique sur HSQ ont été reportés par Namatsu et al. [20], le mécanisme de réticulation de la HSQ par le faisceau d'électrons consiste dans la transformation de sa structure cage (fig. 2.2(a)) en structure réseau (fig. 2.2(b)) par la scission

de la liaison Si-H et la formation de la liaison Si-O-Si (liaison siloxane), comme il est expliqué par les formules ci-dessous :



Après la scission de la liaison Si – H (réaction 1), une réaction d'hydrolyse s'opère pour créer le silanol (réaction 2), un composé instable qui par conséquent se réticule en un réseau de polymère Si-O- Si (siloxane) (réaction 3) [20].

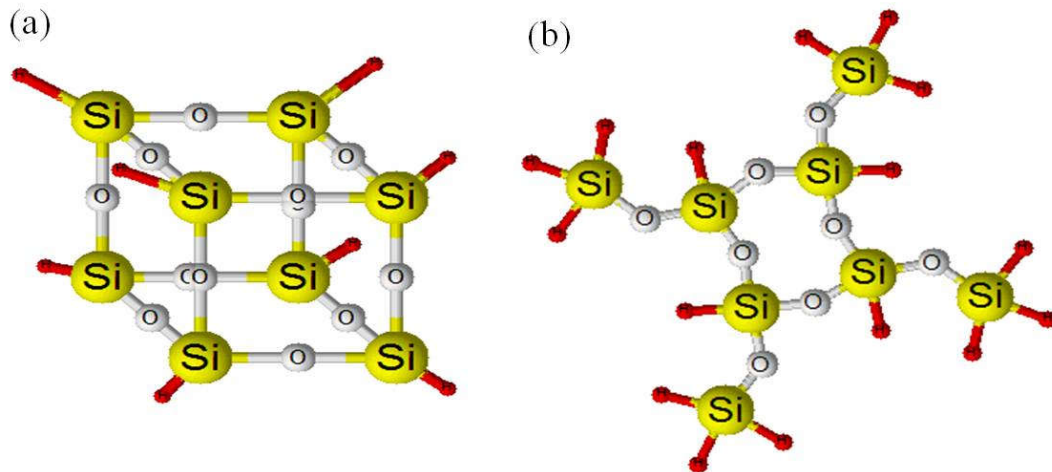


Figure 0.2. Représentation schématique des structures chimiques de la HSQ : (a) structure cage et (b) structure réseau.

De nombreux travaux ont depuis été réalisés [21], permettant une amélioration continue de la résolution ainsi qu'une meilleure compréhension du comportement de la résine sous différentes conditions. Cependant, la plupart de ces travaux ont été effectués en utilisant des équipements opérant à des tensions d'accélération très élevées (50 kV et plus)[22][23][24],

entraînant des temps d'écriture assez longs mais aussi un coût très élevé. On retrouve également des travaux de lithographie électronique sur HSQ opérant à de faibles tensions d'accélération, mais présentant des résultats perfectibles avec de grandes dispersions de taille des structures [25], de la résine résiduelle entre les structures [26] mais aussi sur des épaisseurs de HSQ très fines [27], limitant les transferts par gravure à de faibles épaisseurs. D'où l'intérêt de développer un procédé fiable à faible tension d'accélération.

Nous avons utilisé une solution commerciale d'HSQ qui est diluée dans du Methyl Iso Butyl Keton (MIBK) et présentée sous l'acronyme de FOx 15 (Flowable Oxide ou oxyde fluable) de Dow Corning. Le dépôt de la couche HSQ à une épaisseur désirée est obtenue par un procédé d'enduction en prenant compte plusieurs paramètres notamment la dilution dans le MIBK, la vitesse, l'accélération et le temps de rotation ainsi que le recuit après dépôt pour évaporer les solvants. Pour en convenir nous avons fixé le temps de rotation, l'accélération et le recuit respectivement à 60 secondes, 5000 rpm/seconde et 80°C pendant 1 minute et nous avons fait varier la dilution et la vitesse de rotation. Les résultats sont présentés par la figure 2.3.

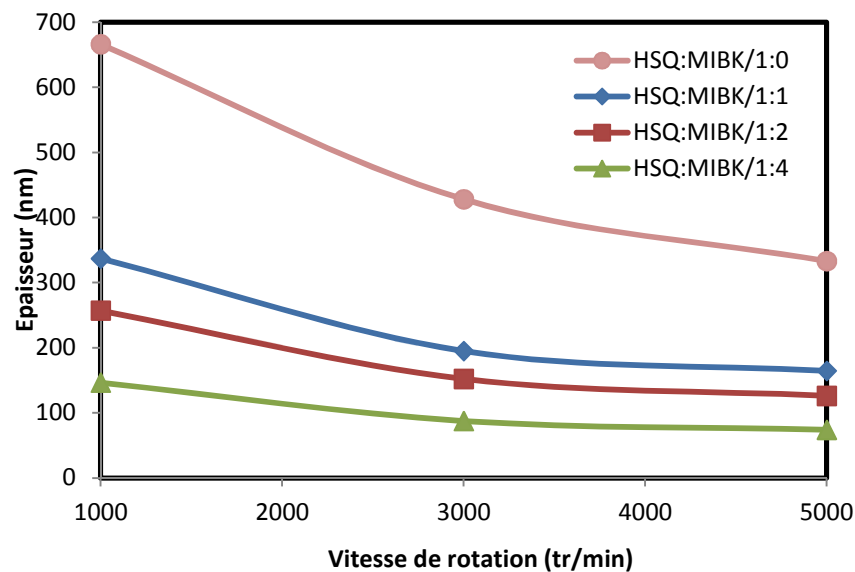


Figure 0.3 : Epaisseur de la HSQ en fonction de la vitesse de rotation et la dilution de la HSQ (FOx 15) dans du MIBK.

Nous avons utilisé une basse température de recuit de 80°C afin d'éviter la transformation des structures cage en réseau avant l'exposition au faisceau d'électrons car le recuit agit de la même façon sur la HSQ que lors de son exposition au faisceau électronique [28].

2.1.4 Révélation de la HSQ

La mise en forme des motifs en HSQ définis par le faisceau d'électrons, a été le sujet de nombreuses études afin de comprendre le mécanisme engendré et l'amélioration continue de la résolution des structures définies. Il s'agit dans un premier temps d'immerger l'échantillon de HSQ exposé au faisceau d'électrons dans une solution contenant un développeur (généralement des hydroxydes à différentes concentrations dans l'eau) pour dissoudre la HSQ non exposée au faisceau d'électrons (HSQ structure cage) suivi d'un rinçage à l'eau désionisée et séchage sous azote le plus généralement. On attribue à ce procédé le nom de révélation. Les liaisons Si-H (structure cage) de la HSQ non exposée, étant plus faibles que les liaisons Si-O-Si (structure réseau) formant la HSQ exposée, réagissent avec le développeur et se dissolvent dans la solution par un mécanisme de ionisation lors de la scission des liaisons [29]. Parmi les développeurs les plus utilisés, on retrouve des solutions à base de TetraMethylAmmonium hydroxyde (TMAH) [30], le hydroxyde de potassium (KOH) ou le hydroxyde de sodium (NaOH) [31]. Cependant, ces hydroxydes ont tendance à saturer, n'offrant plus la possibilité d'améliorer le contraste (caractère de transition entre la résine exposée et non exposée). Récemment des travaux ont démontré que l'ajout de sel au développeur (ex NaCl dans le NaOH) permet d'améliorer considérablement le contraste en augmentant le temps de révélation [32]. Harry et al. ont démontré que l'application d'une tension positive lors de la révélation dans une solution de développeur contenant un sel permet d'améliorer encore le contraste [33]. Pour des raisons de compatibilité CMOS et afin d'éviter les contaminations des ions Na^+ et K^+ , nous nous limitons à l'utilisation d'une solution à base de TMAH pour révéler la HSQ. La réussite de cette dernière dépend de plusieurs facteurs, qui sont : (i) la concentration du TMAH, (ii) la température de développement et (iii) le temps de révélation.

2.1.4.1 La concentration du TMAH :

Henschel et al. ont étudié l'impact de la concentration du TMAH (de 2.5 à 25 %) dans la solution sur le contraste, révélant que plus la concentration est élevée plus le contraste est important. De ce fait, une concentration de 25 % dans l'eau est nécessaire pour obtenir un maximum de contraste. Afin d'expliquer cette conclusion, il définit une valeur critique d'un ratio cage/réseau qui serait influencée par la concentration du TMAH. À 2.5% la valeur critique est haute ce qui empêche une meilleure révélation de la HSQ notamment celles formées par les effets de proximité. À l'inverse, à une concentration de 25%, la valeur critique

du ratio cage/réseau est très faible, ce qui veut dire que toute région légèrement affectée par les effets de proximité, sera dissoute lors de la révélation. Par conséquent nous pouvons conclure qu'à une forte concentration de 25% de TMAH, uniquement les structures fortement exposées seront définies [28].

2.1.4.2 La température de développement

Des études sur la dépendance de la température de la solution de développement sur le contraste ont été menées. Chen et al. indiquent que l'élévation de la température de 18 à 50 °C entraîne une augmentation du contraste d'un facteur de 8 [34]. Au-dessus de 50°C la révélation devient incontrôlée, la HSQ non exposée se dissout de la même manière que la HSQ exposée au faisceau d'électrons. La dissolution n'est alors plus sélective car le développeur à cette température, est en mesure de casser la liaison Si-O [35].

2.1.4.3 Le temps de révélation

La révélation de la HSQ avec des solutions contenant des hydroxydes ont un effet de saturation. La réaction s'arrête après un certain temps et aucun changement n'est aperçu même si le temps de révélation est prolongé. C'est le cas précisément lors de l'utilisation de solutions à base 25% de TMAH, on obtient un maximum de contraste après seulement une minute de révélation, au-delà aucun changement n'est observé. Ceci est dû à la formation d'une couche de siloxane (Si-O-Si) à la surface de la HSQ qui empêche la réaction de se poursuivre. Une technique en deux étapes est proposée en alternant TMAH puis HF dilué pour graver la couche de siloxane et poursuivre la révélation [36].

En faisant une synthèse et selon nos résultats expérimentaux, une révélation dans une solution à base de 25% de TMAH diluée dans l'eau pendant une minute à température ambiante, permet d'obtenir un résultat très probant.

2.1.5 Approche classique

Afin de déterminer les paramètres essentiels à la réalisation des réseaux de NFV de forme cylindrique, nous avons utilisé le mode d'exposition circulaire classique disponible dans les outils de dessin de RAITH 150, pour une large gamme de diamètre, allant de 20 nm jusqu'à 500 nm. La première exposition de la HSQ en lithographie électronique a été effectuée sur une couche relativement épaisse de 360 nm, enduite par tournette selon les paramètres définis précédemment avec une proportion HSQ : MIBK de 1 : 0 à une vitesse de rotation de 5000

rpm, sur un substrat en silicium d'orientation (100). Une tension d'accélération de 20 kV a été utilisée, ainsi qu'une dose de base de $300 \mu\text{C}/\text{cm}^2$ et un courant de 120 pA pour une distance de travail de 7.5 mm. La révélation a été effectuée par immersion manuelle de l'échantillon dans une solution de TMAH à 25% dans l'eau pendant une minute à température ambiante, suivi d'un rinçage dans l'eau désionisée et séchage au flux d'azote.

L'inspection des résultats obtenus au microscope électronique à balayage (MEB), nous permet de constater que les nanofils présentent une grande distorsion de circularité lorsque les nanofils sont de diamètre inférieur à 100 nm (fig. 2.4(a)). Cependant, pour des réseaux de nanofils plus grand, nous observons un défaut de circularité qui semblerait se reproduire sur toute la hauteur du nanofil, comme il est présenté sur la figure 2.4(b). En opérant une inspection verticale au MEB, nous observons que les réseaux de nanofils ne présentent pas un profil anisotrope mais plutôt un profil courbé, comme il est présenté sur la figure 2.4(c).

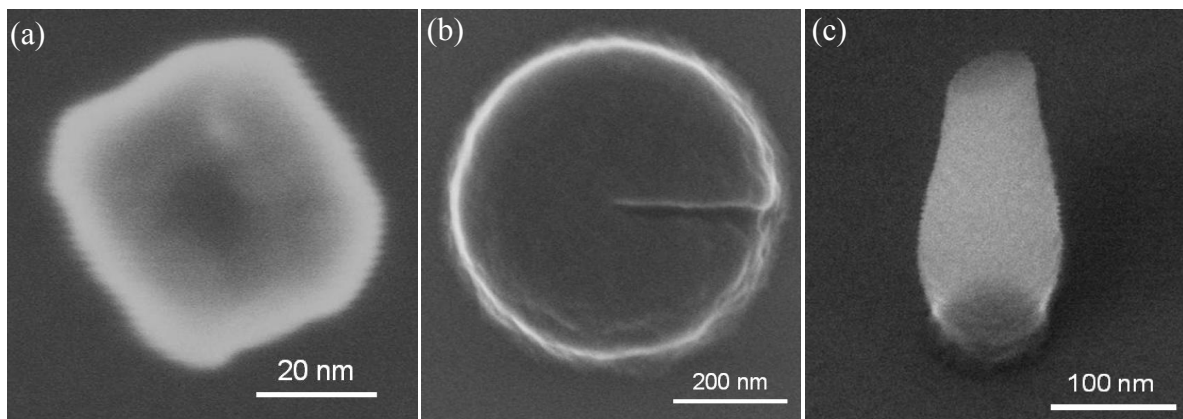


Figure 0.4. Premier essai d'exposition de la HSQ : (a et b) Images MEB en vue de dessus du résultat d'exposition avec le mode circulaire classique pour un petit et grand diamètre des nanofils respectivement, (c) image MEB en vue inclinée d'un NFV avec un profil courbé.

2.1.6 Amélioration de l'anisotropie

Le profil courbé des nanofils, démontre qu'il est impératif de réduire l'épaisseur de la couche d'HSQ afin d'améliorer la verticalité des parois. A cet effet, nous avons effectué des simulations Monte-Carlo à l'aide de l'outil casino de l'université de Sherbrooke [37] pour déterminer l'épaisseur de la couche d'HSQ permettant d'obtenir une meilleure anisotropie. Le résultat de simulation est présenté sur la figure 2.5(a). Nous pouvons constater l'élargissement du faisceau d'électron incident dans la couche d'HSQ, ce qui favorise l'évasement du profil des nanofils. Cet élargissement est prépondérant lors de l'utilisation de la tension d'accélération (20 kV). Les électrons incidents ne possèdent pas une énergie cinétique

suffisante pour pénétrer profondément dans le substrat. A l'inverse, lorsqu'on utilise une tension d'accélération plus importante de 100 kV, les électrons bombardent la résine avec une énergie cinétique importante, favorisant une bonne diffusion des électrons dans la résine et le substrat et par conséquent permettant d'éviter l'élargissement du faisceau d'électrons (fig. 2.5(b)). Grâce à cette simulation (figure 2.5(a)) nous pouvons aussi remarquer que le faisceau d'électrons incident reste relativement droit sur une épaisseur d'environ 200 nm. Ainsi nous utiliserons pour nos prochaines expériences une couche d'HSQ de 160 nm afin d'obtenir un maximum d'anisotropie.

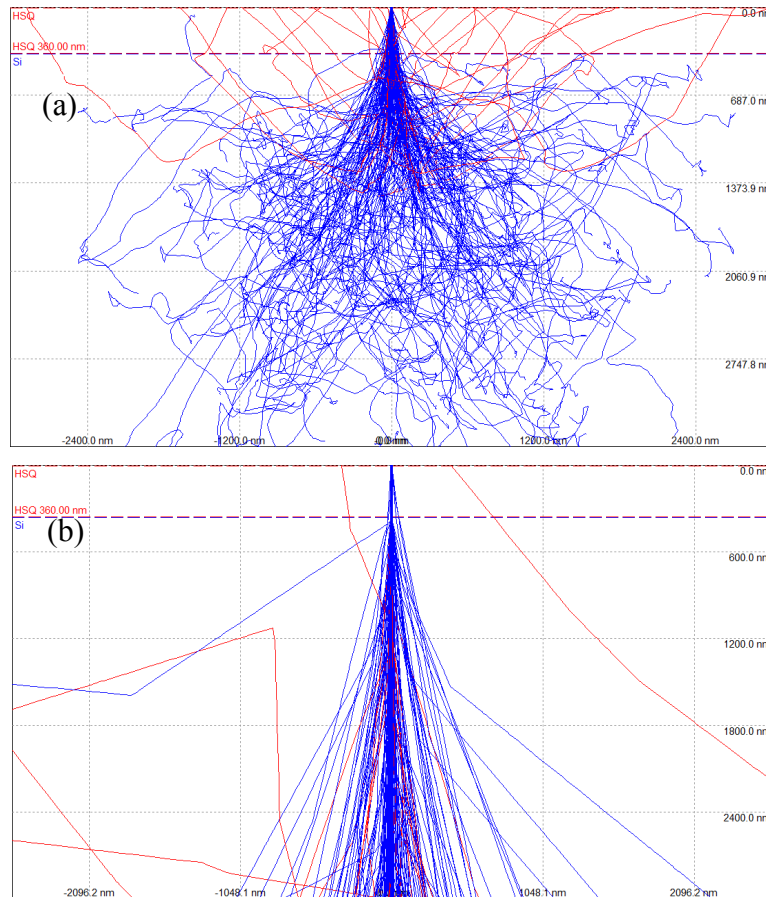


Figure 0.5 . Simulation Monte-Carlo avec l'outil casino de l'université de Sherbrooke pour une tension d'accélération (a) de 20 et (b) de 100 kV dans 300 nm de HSQ sur un substrat en Si.

2.1.7 Amélioration de la circularité

Obtenir des nanofils de forme circulaire est cruciale pour une meilleure régularité des nanofils mais aussi pour diminuer la variabilité des performances électriques des transistors. A partir des résultats obtenus, il est nécessaire d'optimiser la forme des nanofils en optant pour une meilleure stratégie d'écriture que celle du mode d'écriture classique de RAITH. De

ce fait, nous avons décidé d'étudier plusieurs stratégies d'écriture afin de surmonter ce défaut de circularité.

Notre choix s'est orienté vers 3 stratégies : une stratégie d'écriture en cercles concentriques (fig. 2.6(a)), en étoile (fig. 2.6(b)) ainsi qu'une combinaison des cercles concentriques et étoile (fig. 2.6(c)).

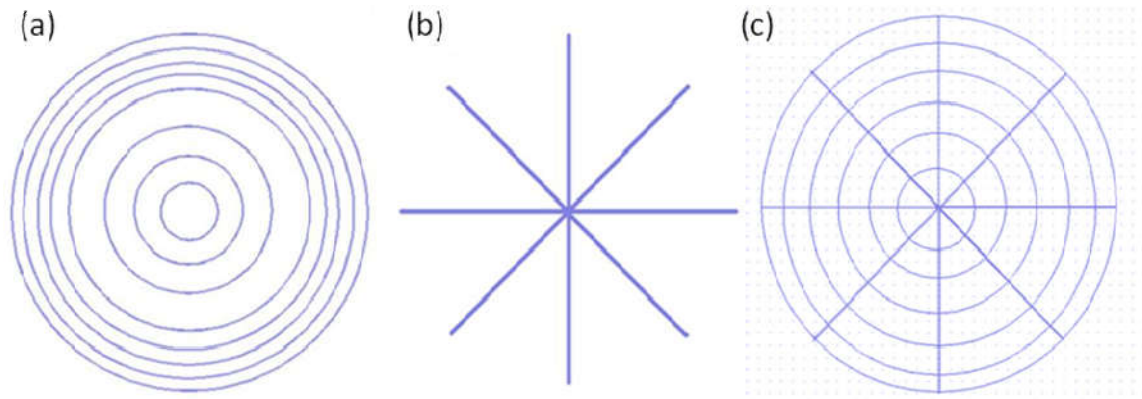


Figure 0.6. Stratégies d'écriture (a) en cercles concentriques, (b) en étoile et (c) leur combinaison.

2.1.7.1 Stratégie d'écriture en cercles concentriques

L'idée d'utiliser cette stratégie consiste à considérer que la superficie d'un disque (cercle plein) pouvait se définir par la succession de cercles concentriques. En prenant compte la résolution de la HSQ ($\approx 10\text{nm}$), nous considérons un pas entre chaque cercle égal à cette résolution sauf aux bords des nanofils où nous avons décidé de resserrer le pas pour accentuer l'effet de l'exposition sur les parois des nanofils.

L'exposition de la HSQ utilisant cette stratégie d'écriture nous permet d'obtenir des nanofils de forme circulaire comme il est présenté sur la figure 2.7(a), mais au détriment de l'anisotropie comme le montre la figure 2.7(b) où nous remarquons que les nanofils ont une forme conique. Un résultat identique est obtenu quand on resserre le pas des cercles dans la zone centrale.

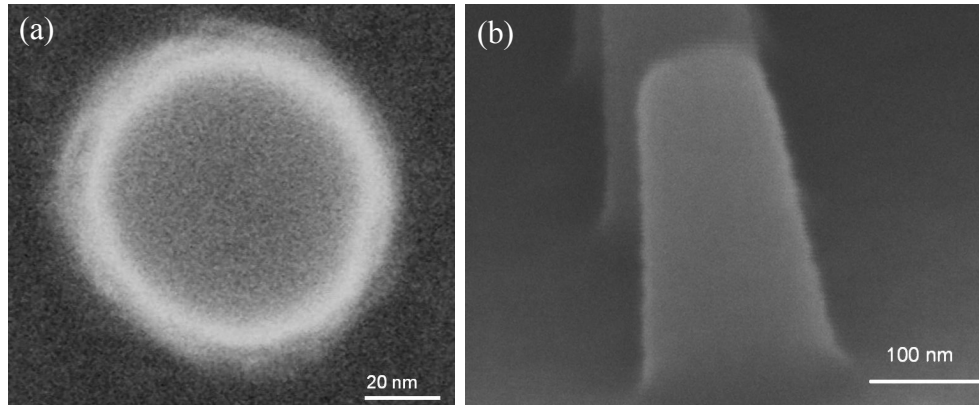


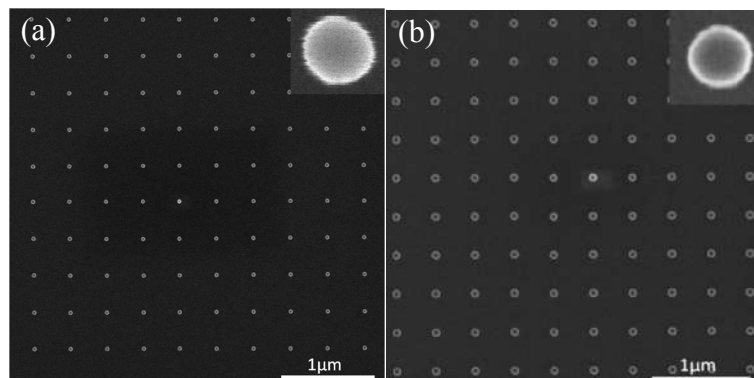
Figure 0.7. Images MEB : (a) vue de dessus, (b) vue inclinée d'un nanofil obtenu par une stratégie d'écriture en cercles concentriques.

La forme conique est supposée être obtenue par la superposition de toutes les distributions d'énergie Gaussiennes de chaque cercle conçu, en une seule contribution plus grande, induisant l'évasion des parois des nanofils.

2.1.7.2 Stratégie d'écriture en étoile

Nous avons pensé à cette stratégie en considérant que la superficie d'un disque pouvait être définie par la succession de segments (rayon d'un cercle) en rotation autour d'un même centre (une extrémité du segment) sur 360° . Par conséquent, la stratégie d'écriture en étoile est définie par une succession de segments qui commencent et finissent au centre avec une distance minimale entre chaque ligne égale à la résolution de la HSQ.

L'exposition de la HSQ utilisant la stratégie d'écriture en étoile, a conduit à la réalisation des réseaux de nanofils en HSQ de forme circulaire avec une très faible dispersion de dimension de 1,62 nm (1δ) comme présenté sur la figure 2.8 avec des réseaux de nanofils de 40nm, 60nm, 80nm et 100nm de diamètre respectivement, avec une excellente reproductibilité et sans défauts géométriques.



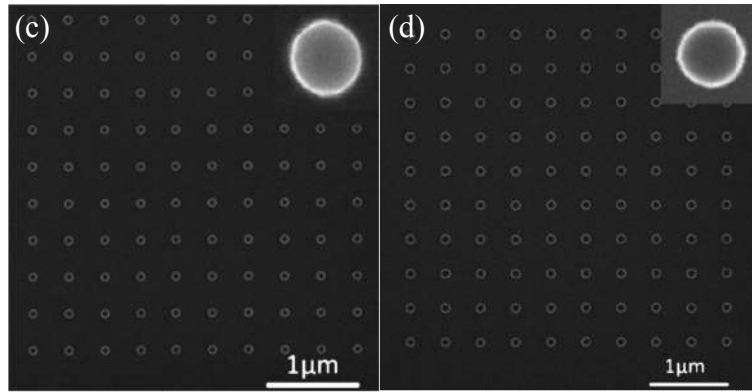


Figure 0.8. Images MEB en vue de dessus de réseaux de nanofils de 300 nm d'espacement avec une image à grande résolution d'un nanofil en insert, de diamètre (a) 40 nm (b) 60 nm (c) 80 nm et (d) 100 nm obtenus par la stratégie d'écriture en étoile.

Cette stratégie d'écriture nous permet également d'obtenir des réseaux de nanofils parfaitement anisotrope sur une hauteur de 150 nm d'HSQ, comme il est montré sur la figure 2.9 par observation inclinée au MEB.

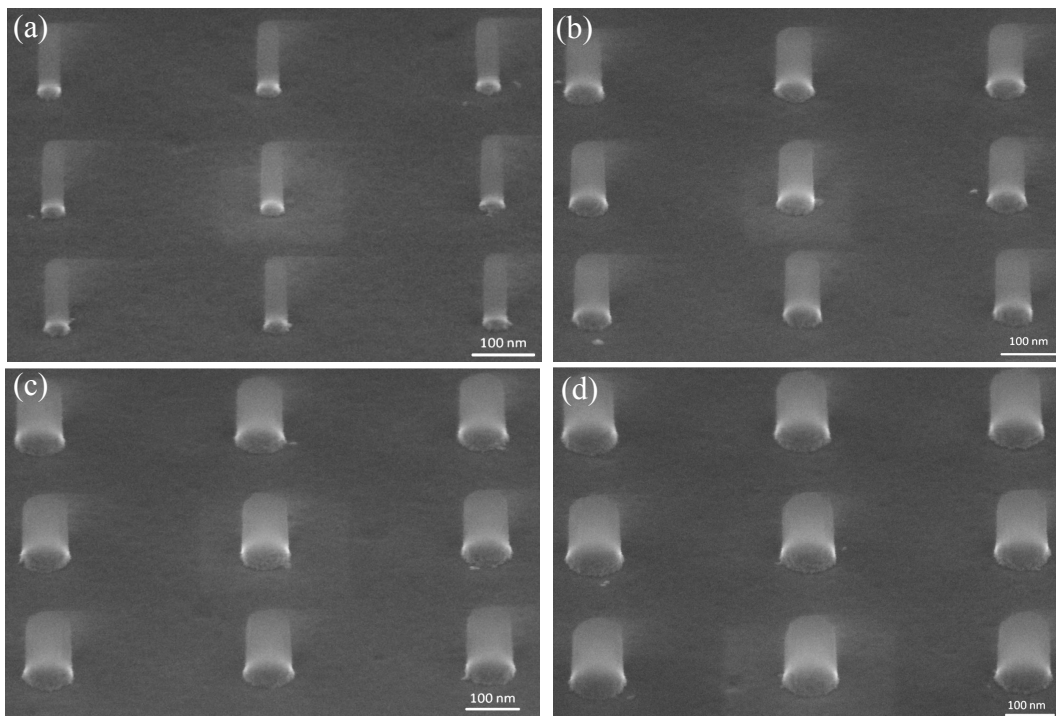


Figure 0.9 : Images MEB en vue inclinée de réseaux de nanofils de (a) 40 nm, (b) 60 nm, (c) 80 nm et (d) 100 nm de diamètre sur une hauteur de 150 nm et un espacement de 300 nm.

Avec la stratégie d'écriture en étoile nous forçons la symétrie des nanofils avec une répartition homogène de l'énergie qui se traduit par une meilleure reproductibilité de la forme circulaire. Cette distribution homogène de l'énergie a également permis l'obtention de réseaux de nanofils avec des parois parfaitement anisotrope, à l'inverse de la stratégie d'écriture en cercles concentriques.

2.1.7.3 Stratégie d'écriture en combinaison des cercles concentriques et étoiles

La superposition des stratégies d'écriture en cercles concentriques et en étoile, n'améliore aucunement la circularité ou l'anisotropie mais conduit à une grande distorsion de la circularité comme le montre la figure 2.10. Ce résultat est obtenu en raison du décalage d'exposition des deux stratégies, ce qui ajoute une difficulté supplémentaire au défaut de circularité.

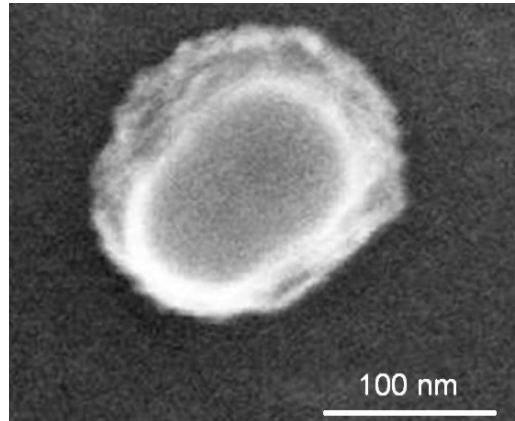


Figure 0.10. Image MEB d'un nanofil de HSQ de forme elliptique obtenu par une stratégie d'écriture combinant les stratégies d'écriture en cercles concentriques et étoile.

Après avoir étudié les différentes stratégies d'écriture et selon les résultats obtenus, il est évident que la stratégie d'écriture en étoile est sans conteste la plus adaptée que les deux autres stratégies, car elle permet d'améliorer largement la circularité et l'anisotropie. Avec le procédé de lithographie électronique sur HSQ en utilisant la stratégie d'écriture en étoile, nous montrons également qu'il est possible de réaliser des réseaux de nanofils en HSQ de 20 nm de diamètre et de 150 nm de hauteur, soit un rapport de forme égale à 7.5 ainsi qu'une excellente anisotropie des nanofils (98 %), comme il est présenté sur la figure 2.11. Enfin, la surface du substrat est propre sans aucun résidu de résine entre les nanofils, idéal pour un bon transfert dans le substrat [38].

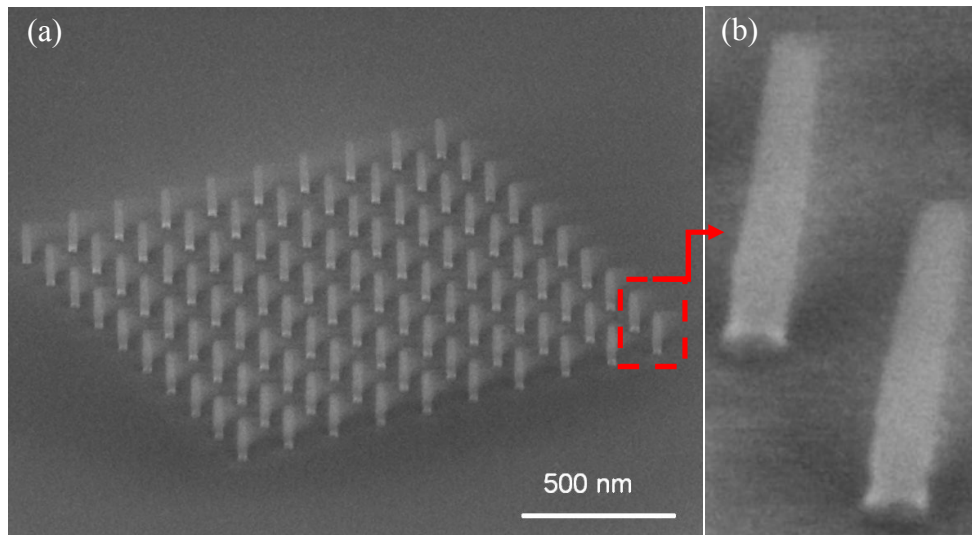


Figure 0.11. (a) Image MEB d'un réseau de nanofils de 20 nm de diamètre et 150 nm de hauteur pour un espacement entre nanofils de 150 nm, (b) Image MEB à fort agrandissement de deux nanofils en HSQ de 20 nm.

Cette stratégie d'écriture en étoile sera choisie dorénavant pour la réalisation des nanofils en HSQ qui serviront de masque de gravure pour la réalisation des nanofils en silicium, l'élément de base de notre transistor.

2.2 Transfert des nanofils dans le substrat : gravure du silicium

Une fois le masque de gravure réalisé, les réseaux de nanofils en HSQ sont transférés dans le substrat de silicium par gravure RIE pour la réalisation des réseaux de NFV en silicium. Ensuite la résine restante sera retirée par gravure chimique comme schématisé en figure 2.12.

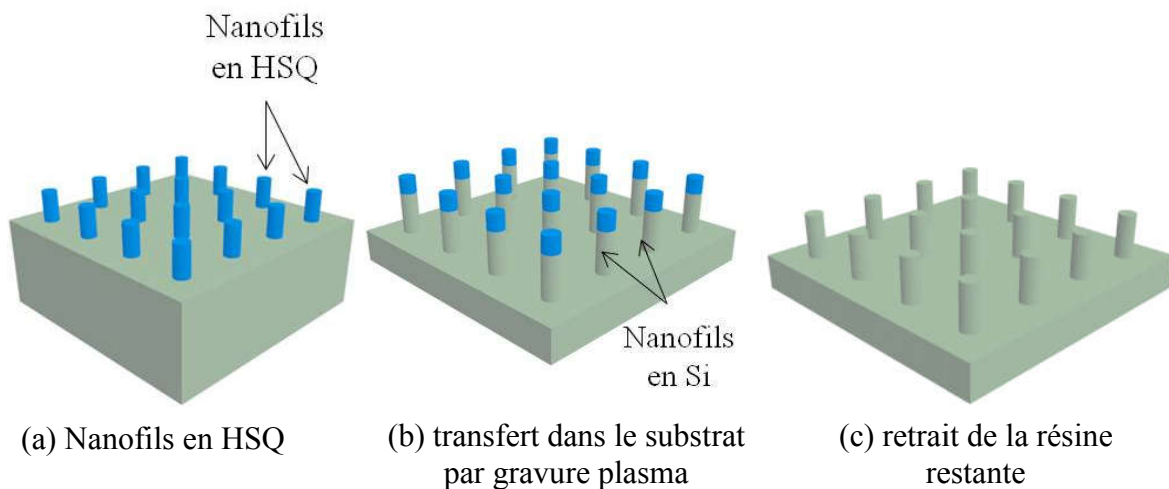


Figure 0.12 – Illustration de réalisation des NFV en silicium par gravure plasma.

La gravure du silicium a été opérée avec un équipement de type ICP-RIE (Inductively Coupled Plasma ou plasma à couplage inductif), Omega 201 d'Aviza Technology. Equipé de deux générateurs Radio Fréquence à 13.56 MHz, le premier représente le générateur de source permettant de créer et moduler la densité du plasma, tandis que le deuxième générateur ou la tension de polarisation DC, permet de moduler l'énergie des radicaux créés dans le plasma. Lorsque la gravure est dominée principalement par la puissance DC, on parle dans ce cas-là de gravure en mode CCP (Capacitive Coupled Plasma ou couplage capacitif). Grâce à la possibilité d'utiliser les deux modes, cet équipement donne à l'utilisateur un large panel de choix de procédés.

2.2.1 Procédé de gravure

Le procédé de gravure du silicium par plasma dépend de plusieurs paramètres : (1) la chimie (le gaz), (2) la puissance source et (3) la pression. L'objectif principal consiste à transférer les nanofils en HSQ dans le substrat avec une parfaite anisotropie et en minimisant les défauts de gravure : forte rugosité à la surface, phénomène de tranchée (trenching en anglais), sous-gravure (Undercut en anglais), etc. Tous ces défauts peuvent endommager fortement les structures réalisées et par conséquent altérer les performances électriques des transistors.

2.2.1.1 La chimie

Les gaz à base d'halogènes constituent les principaux gaz utilisés dans la gravure du silicium par plasma, notamment le chlore (Cl), le fluor (F) ou le brome (Br). Le dernier, on le retrouve sous la forme de bromure d'hydrogène (HBr), a permis d'obtenir de très bons résultats et se caractérise par sa lente vitesse de gravure, un attrait très intéressant pour la nanofabrication [39]. Cependant, ce gaz étant toxique et très corrosif, il n'est pas utilisé au sein de notre laboratoire. Les chimies à base de fluor sont également utilisées pour la gravure du silicium mais en raison du phénomène de sous gravure sous le masque de gravure, une perte d'anisotropie est souvent constatée et associée à une augmentation de la rugosité dues au redépôt du C_xF_y sur les flancs [40]. C'est avec une chimie chlorée que le procédé de gravure sera effectué. En effet de nombreux études démontrent la possibilité d'obtenir des structures parfaitement verticales et sans défauts de gravure [41] [37].

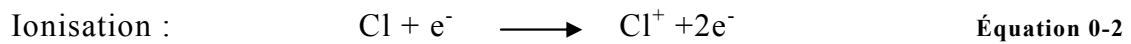
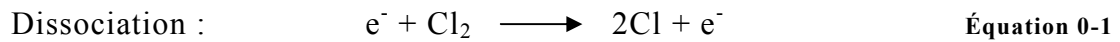
2.2.1.2 Pression de gravure

La pression affecte le libre parcours moyen, plus la pression sera faible plus le libre parcours moyen sera grand, diminuant par conséquent les collisions entre les particules, donc une diminution de réflexion des ions sur les parois affectant l'anisotropie [42].

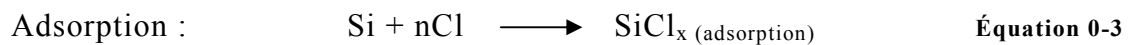
L'ensemble des données que nous disposons nous permettent de choisir les paramètres de gravure nécessaires à un transfert parfaitement vertical des nanofils en HSQ dans le silicium. Pour cela, la gravure sera effectuée en mode CCP à une puissance de 80 Watts, une pression minimale de 2 mTorr et à base de 20 sccm (standard cubic centimeter per minute) de chlore (Cl_2) [30], avec une faible contribution de ICP pour densifier le plasma.

2.2.2 Mécanisme de gravure du silicium par plasma chloré

Vyvoda et al. décrivent le mécanisme de gravure du silicium par plasma chloré par un mécanisme de synergie entre les ions et les espèces neutres. La gravure s'effectue par le bombardement des ions d'une surface couverte par des radicaux neutres de chlore [39]. Tout d'abord, la formation des radicaux réactifs :



On obtient finalement un plasma riche de particules chargées et neutres mais aussi des électrons qui vont réagir avec la surface du silicium formant une couche appelée chlorosyl, une couche surfacique issue de la réaction adsorption du chlore avec le silicium :



Le niveau de chlolorination de la surface du silicium a été longuement analysé par des analyses de Spectrométrie de Photoélectrons induits par rayons X (XPS) [43] ou par Spectroscopie de Désorption Thermique (TDS) [44]. Il a été observé que le chlore adsorbé forme une couche saturée par une monocouche de chlore. Mais en forte présence de radicaux de chlore, plusieurs niveaux d'adsorption peuvent être possibles. Finalement, la gravure du silicium par plasma chloré se produit par désorption du SiCl_x par pulvérisation ionique :



2.2.3 Expérimentation

La gravure du silicium utilisant le masque de gravure en HSQ a été effectuée pendant 3 minutes. Le résultat de gravure est représenté sur la figure 2.13.

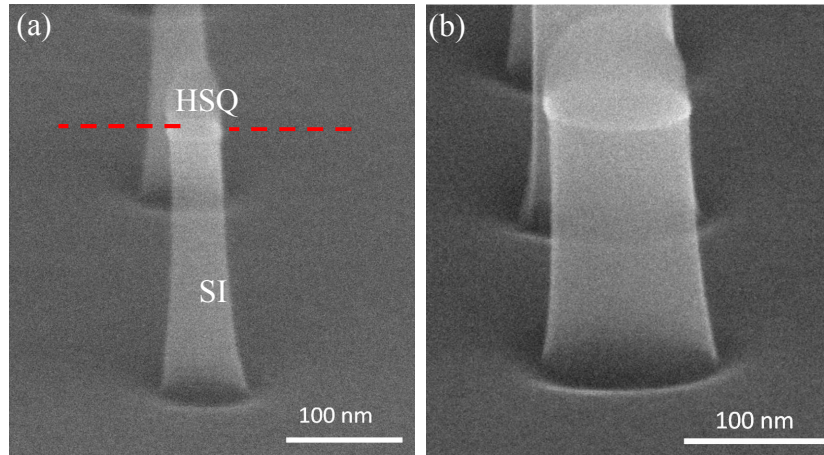


Figure 0.13 – Images MEB en vue inclinée à fort agrandissement de nanofils en silicium de diamètre de (a) 45 nm et (b) 110 nm.

Des nanofils en silicium avec des parois parfaitement verticales ont été obtenus, ainsi qu'une anisotropie de 94 %. Une surface parfaitement propre sans rugosité apparente. Cependant, il est possible d'apercevoir un léger phénomène de tranchée à la base des nanofils. Rappelons que le phénomène de tranchée est obtenu lorsque la vitesse de gravure à la base des structures est plus grande que sur les autres surfaces exposées. Cette différence de vitesse de gravure à la base des structures est due à la superposition de deux types de gravure. Une gravure identique à celle des autres surfaces exposées au plasma, à laquelle s'ajoute une gravure issue de l'impact des ions énergétiques sur les parois à des angles rasants ($> 80^\circ$), suivie d'une réflexion spéculaire, où les particules conservent une grande partie de leur énergie et de directivité [45]. Un schéma est présenté sur la figure 2.14 pour illustrer le phénomène de tranchée et ses causes.

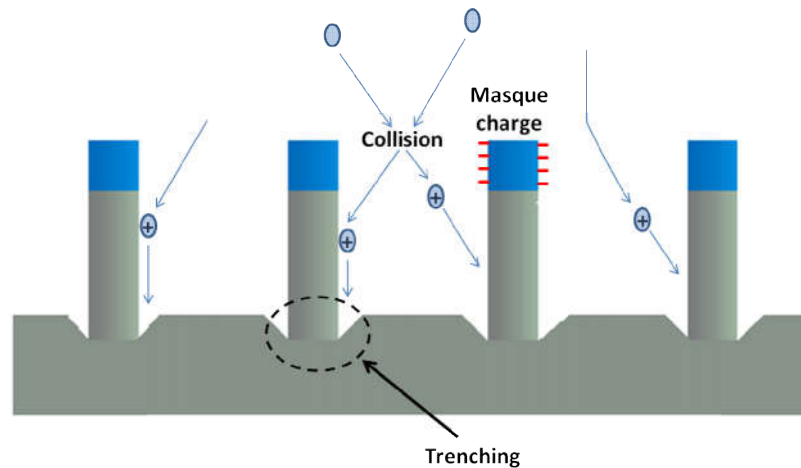


Figure 0.14 – Schéma d’illustration sur le phénomène de tranchée.

Plusieurs études ont été menées pour déterminer les causes responsables des défauts de gravure, notamment le phénomène de tranchée, il a été conclu que la réflexion des ions sur les parois en est la principale cause [45]. On définit alors la distribution angulaire des ions ou Ion Angular Distribution (IAD) en anglais, qui détermine la variation spatiale du flux des ions sur la surface des structures durant la gravure. Avec un large IAD, un nombre important d’ions sont déviés sur les parois des structures entraînant des défauts de gravure. L’élargissement d’IAD est la conséquence de fortes collisions des ions avec les radicaux neutres dans le plasma mais aussi à cause de la déviation du masque des ions en raison des effets de charges du masque.

2.2.4 Influence de l’ICP

Vyvoda et al. ont démontré que lorsqu’on augmente la puissance source et qu’on réduit la puissance de polarisation, le phénomène de tranchée est obtenu, mais lorsqu’on diminue la puissance source et qu’on augmente la puissance de polarisation, le phénomène de tranchée disparaît [39]. Rappelons que la densité du plasma est liée au générateur de source, lorsque cette densité est faible, le taux de collisions l’est aussi, entraînant moins de déviations des ions sur les parois et ainsi peu de phénomène de tranchée est obtenu. Le mode CCP est attractif, car il est directionnel. En augmentant la puissance de polarisation, on augmente l’énergie des ions. La pulvérisation est alors favorisée par rapport aux réactions chimiques (collisions), par conséquent les ions sont dirigés vers la surface à graver au lieu de se réfléchir sur les parois créant ainsi des effets indésirables [46]. Par conséquent, la gravure du silicium a été effectuée en mode CCP à une puissance de polarisation de 80 Watts, une pression de 2 mTorr ainsi

qu'un débit de 20 sccm de chlore pendant 3 minutes. Le résultat de gravure est représenté sur la figure 2.15.

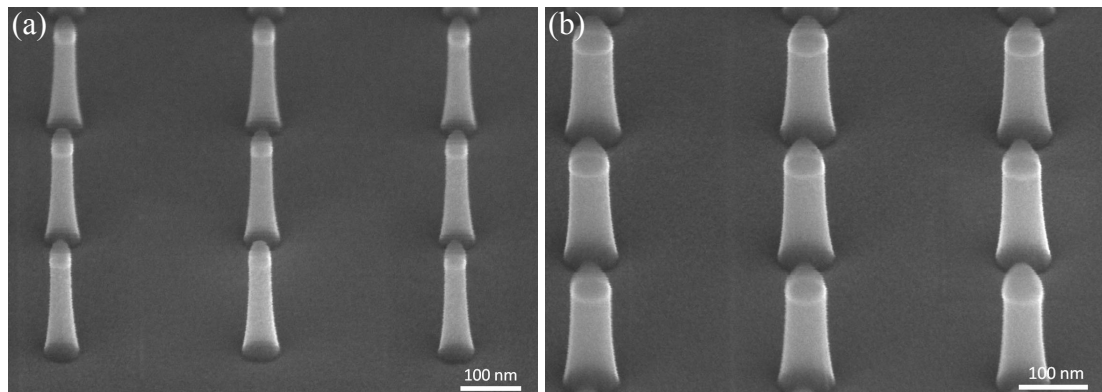


Figure 0.15 – Images MEB inclinée des réseaux de NFV en Si de diamètre de (a) 40 nm, (b) 60 nm.

Le phénomène de tranchée a complètement disparu. En effectuant la gravure en mode purement CCP, la densité du plasma a été réduite et les espèces chimiques présentes dans le plasma acquièrent plus d'énergie pour conserver leur directivité. Par conséquent, moins de collisions entre particules se produisent, donc peu de ions sont déviés sur les parois des nanofils causant des phénomènes indésirables tels que le phénomène de tranchée.

Afin de montrer la grande reproductibilité du procédé ainsi que le rendement maximale de transfert des nanofils en HSQ dans le silicium, la figure 2.16 représente un réseau de 625 NFV en silicium (25 x 25) de 35 nm de diamètre et une hauteur de 200 nm avec une forte anisotropie et une surface non rugueuse.

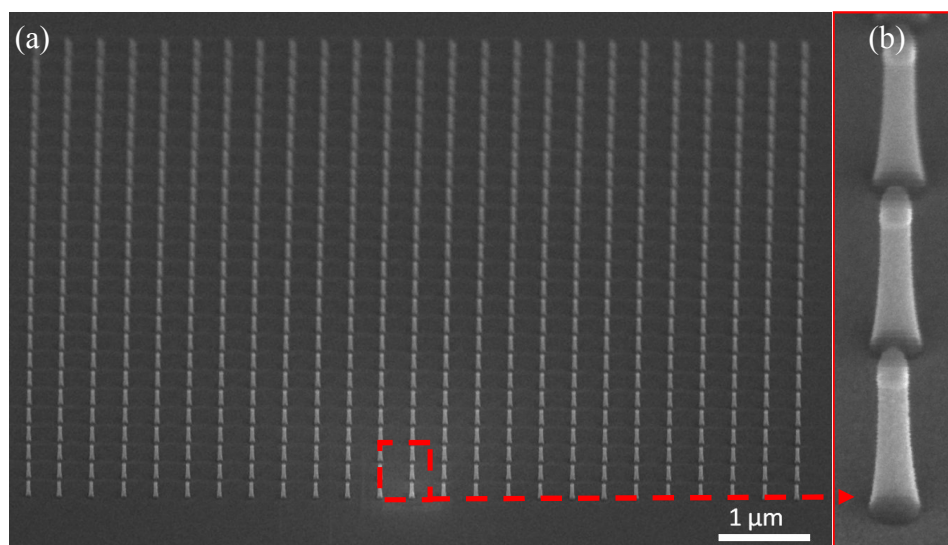


Figure 0.16 – (a) Image MEB en vue inclinée d'un réseau de 625 nanofils (25 x 25) verticaux en silicium de 200 nm de hauteur avec HSQ résiduelle (b) image à MEB en vue inclinée à fort agrandissement de nanofils de 35 nm de diamètre avec 94 % d'anisotropie.

2.2.5 Vitesse de gravure et sélectivité

La vitesse de gravure du silicium et la HSQ avec notre procédé est de 80 nm / minute et 40 nm / minute respectivement, soit une sélectivité de Si : HSQ = 2 : 1. Il est important de souligner la bonne sélectivité du masque de gravure de la HSQ qui est appropriée au transfert des nanostructures dans le substrat par gravure plasma.

La HSQ résiduelle est ensuite gravée dans une solution d'acide fluorhydrique (HF) dilué dans du méthanol (HF 50% : Méthanol = 1 : 4), suivie d'un rinçage dans le méthanol afin de réduire la tension de surface et séchage sous flux d'azote. La figure 2.17 représente des images MEB en vue inclinée de réseaux de NFV en silicium obtenus après retrait de la HSQ résiduelle.

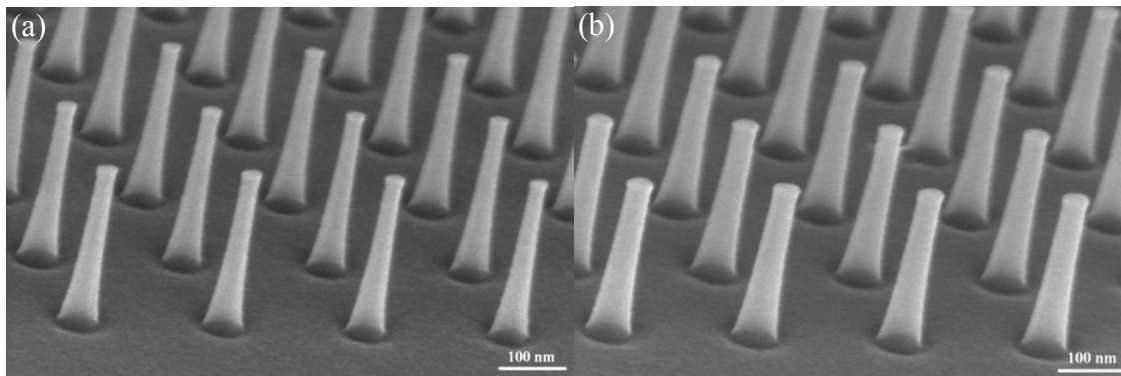


Figure 0.17 – réseaux de NFV en silicium de diamètre (a) 33 nm et (b) 45 nm.

2.3 Amincissement des nanofils

La lithographie électronique nous permet d'obtenir des structures à des dimensions extrêmes (quelques dizaines de nanomètres), cependant en raison de leur fragilité mécanique, ces structures en résine (HSQ) ont tendance à s'effondrer lors de l'étape de séchage, notamment à cause des forces de capillarité. A défaut d'utiliser un séchage au CO₂ supercritique, des dimensions ultimes à fort facteur de forme sont difficiles à obtenir. L'oxydation thermique du silicium dite retardée ou autolimitée s'inscrit dans cette perspective, car elle permet grâce à un procédé d'oxydation contrôlé suivi d'une étape de désoxydation, d'amincir les structures afin d'obtenir des dimensions ultimes ($\Phi > 20$ nm). Elle permet également d'éliminer les défauts de surface induits par la gravure plasma ou encore améliorer l'anisotropie des nanofils ainsi que le facteur de forme. Le procédé d'amincissement est représenté sur la figure 2.18.

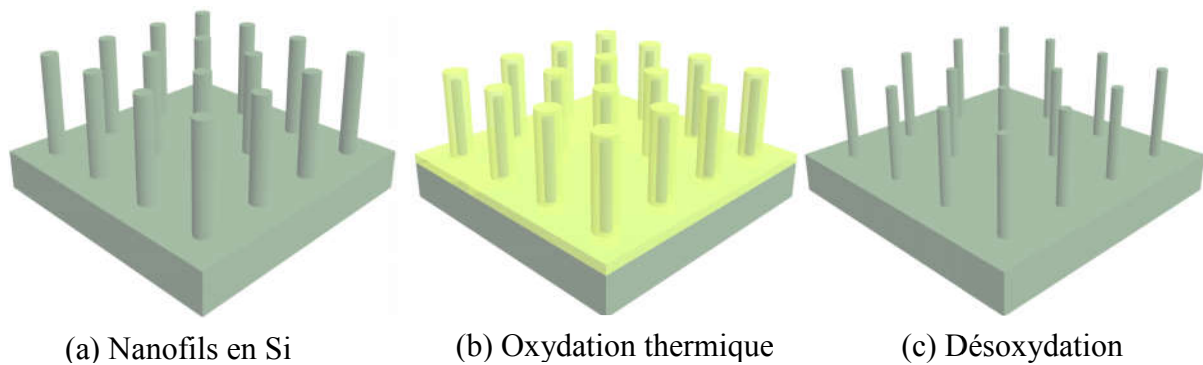


Figure 0.18 - Illustration du procédé d'amincissement des réseaux de nanofils par oxydation thermique retardée et désoxydation.

Très prisée de nos jours pour la réalisation des nanostructures à des dimensions de l'ordre de quelques nanomètres, l'oxydation thermique retardée où le taux de croissance de l'oxyde de silicium (SiO_2) diminue avec le temps à cause des propriétés géométriques (dimension et forme) et physiques a démontré un fort potentiel technologique. On retrouve son utilisation dans diverses applications notamment dans la réalisation des transistors MOS à base de nanofils [47], mémoires [48] mais aussi pour la réalisation des membranes pour la détection biomoléculaire [49].

L'oxydation retardée a pour origine la présence de contraintes à l'interface Si- SiO_2 générées lors la phase d'oxydation [50]. Afin de démontrer la présence de ces contraintes, EarNisse a contrôlé la courbure des substrats avec des faisceaux lasers en fonction de la température d'oxydation. Il a été observé qu'à des températures inférieures à 950 °C, une augmentation continue de la courbure du substrat démontre la présence de contrainte durant la croissance de l'oxyde. Au-delà de 960 °C aucun changement de la courbure n'a été enregistré, indiquant la relaxation des contraintes par l'écoulement visqueux de l'oxyde [51]. Cette étude démontre l'influence de la température d'oxydation sur le taux de croissance de l'oxyde, à cet effet, pour obtenir un meilleur control sur les dimensions et la forme des nanostructures, il est préférable d'effectuer le procédé d'oxydation à une température inférieure à 950°C afin d'éviter la relaxation des contraintes.

2.3.1 Oxydation thermique des réseaux de nanofils en silicium

L'oxydation thermique du silicium s'effectue selon deux procédés, l'oxydation sèche ou humide. Pour l'oxydation sèche, les espèces oxydantes sont des molécules d'oxygène tandis que pour l'oxydation humide, les espèces oxydantes sont constituées de vapeur d'eau, les réactions sont les suivantes :



L'oxydation sèche est beaucoup plus lente que l'oxydation humide, elle est souvent utilisée pour la réalisation des oxydes de grille des transistors MOS en raison de sa haute qualité électrique à l'interface Si-SiO₂ à l'inverse de l'oxydation humide où l'oxyde obtenu est de moins bonne qualité électrique, elle est utilisée pour la réalisation des couches d'isolation ou de masque de gravure. Deal et Grove [52] définissent le mécanisme d'oxydation du silicium par un mécanisme de diffusion d'espèces oxydantes à travers une couche d'oxyde qui réagissent à l'interface avec les atomes de silicium pour former une nouvelle couche de SiO₂. Leur travail portait sur la modélisation de la cinétique d'oxydation thermique du silicium mais uniquement sur une surface plane. Il a été démontré que l'épaisseur de l'oxyde créée répondait à une cinétique linéaire – parabolique en fonction du temps :

$$\frac{x}{(B/A)} + \frac{x^2}{(B)} = t + \tau \quad \text{Équation 0-7}$$

où x représente l'épaisseur de la couche d'oxyde créée, t et τ sont respectivement le temps et le décalage temporel, (B/A) représente la constante du taux de croissance linéaire et (B) la constante du taux de croissance parabolique pour l'oxydation plane. La constante de croissance linéaire dépend linéairement du taux de réaction à l'interface Si-SiO₂, tandis que la constante parabolique est liée à la diffusivité des espèces oxydantes dans l'oxyde [53].

Les NFV en silicium sont transférés dans un four d'oxydation (AET-Technologies) disponible dans la centrale technologique du LAAS CNRS pour une oxydation humide à une température de 850 °C sous un flux de 1,8 l/min d'H₂ et 1l/min de O₂ pour des temps d'oxydation de 10, 15 et 20 minutes. Le résultat d'oxydation est représenté sur la figure 2.19, des images MEB de réseaux de nanofils après oxydation durant 10 minutes sont présentées. Par ailleurs, Il est possible de constater une structure cœur/coquille, Si/SiO₂.

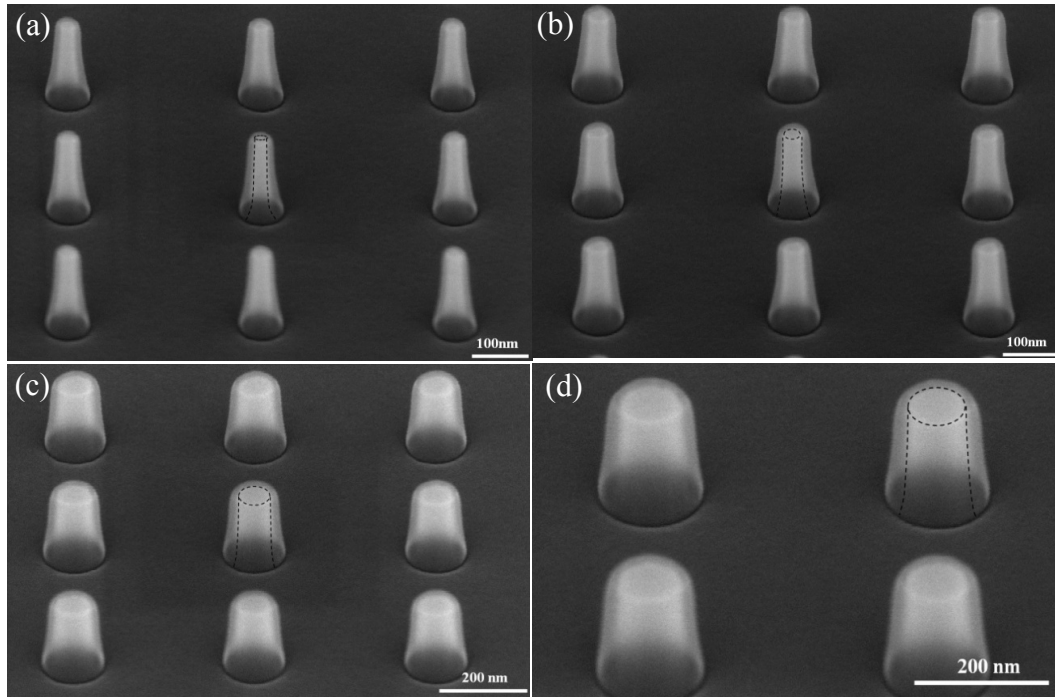


Figure 0.19 – Images MEB en vue inclinées pour l'oxydation thermique des réseaux de nanofils en silicium de diamètre initial de (a) 37 nm et (b) 47 nm (c) 77 nm et (d) 99 nm.

La courbe de croissance d'oxyde en fonction du temps d'oxydation sur des nanofils est présentée sur la figure 2.20. L'épaisseur de l'oxyde sur un substrat (100) a été mesurée à l'aide d'un ellipso-mètre, tandis que la mesure de l'épaisseur d'oxyde créée sur nanofils a été effectuée à mi-hauteur des nanofils par imagerie MEB.

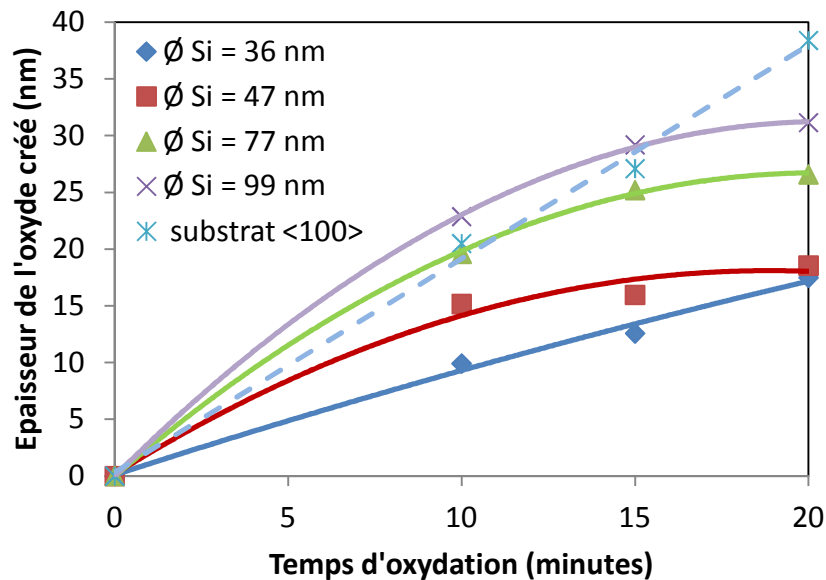


Figure 0.20 – Courbe de variation d'épaisseur d'oxyde créé en fonction du temps d'oxydation sur le substrat et les nanofils.

Le taux de croissance du SiO_2 sur le substrat suit une évolution linéaire, à l'inverse des nanofils où on remarque la diminution du taux de croissance de l'oxyde en fonction du temps d'oxydation. On remarque également que l'épaisseur d'oxyde créée dépend fortement du diamètre des nanofils, car plus le nanofil est fin, plus la couche d'oxyde créée est faible. Ces résultats soulignent le mécanisme de l'oxydation retardée qui est lié à la courbure de la surface mais aussi à la taille des nanostructures (la variation des contraintes à l'interface Si-SiO_2). La figure 2.21 représente la courbe de croissance de l'oxyde créée en fonction du diamètre des nanofils pour les temps d'oxydation de 10, 15 et 20 minutes.

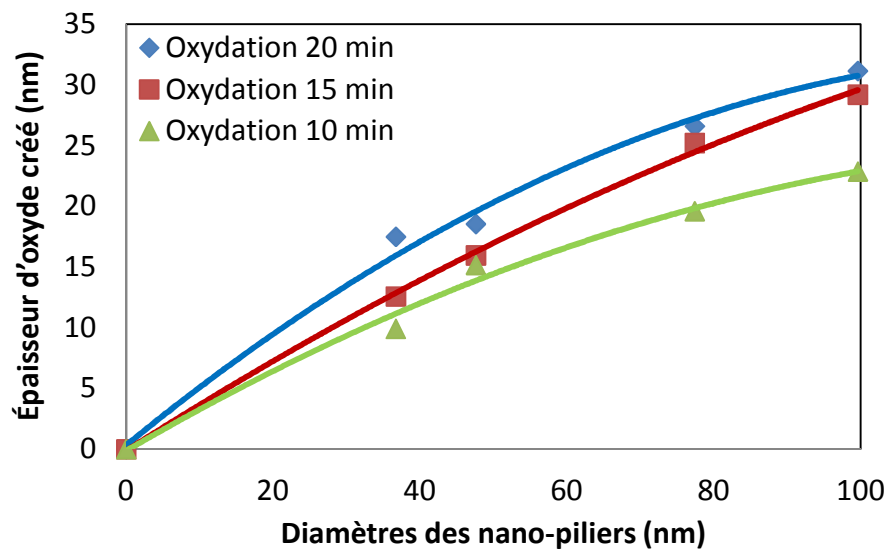


Figure 0.21 – Courbe de variation d'épaisseur d'oxyde créé en fonction du diamètre des nanofils pour des durées d'oxydation de 10, 15 et 20 minutes.

2.3.2 Mécanisme physique d'oxydation retardée

Le phénomène physique lié à l'oxydation retardée pour les structures tridimensionnelles a été le sujet de plusieurs études afin de comprendre le mécanisme et estimer l'épaisseur de l'oxyde créé en fonction de la courbure de la surface du silicium. Deux principales théories ont été mises en avant afin d'expliquer les cinétiques engendrées dans le cas de l'oxydation retardée ou autolimitée. La première concerne les contraintes radiales qui augmentent à l'interface du Si-SiO_2 au point d'atteindre un niveau critique où le taux d'oxydation serait complètement négligeable, on parle dans ce cas de "réaction limitée due aux contraintes" [54]. La deuxième théorie proposée dite "mécanisme de diffusion limitée" à cause de la réduction de diffusion des espèces oxydantes à travers l'oxyde en raison de l'augmentation de l'activation d'énergie de la diffusivité des espèces oxydantes dans une région hautement contrainte [55].

Des modèles ont été proposés afin de définir les contraintes impliquées dans la diminution du taux de croissance de l'oxyde avec le temps d'oxydation. Les modèles développés, se reposent essentiellement sur celui proposé par Deal et Grove en 1965 [52]. Ce modèle a été étendu en prenant en considération les effets des contraintes pour des architectures non planaire en adaptant plusieurs paramètres par rapport à la taille et courbure de la surface des nanostructures notamment, l'orientation cristallographique, le taux de réaction à l'interface Si-SiO₂, la diffusivité et la solubilité des espèces oxydantes dans l'oxyde [56][57][58][59].

Dans des précédents travaux de notre groupe, il a été démontré, la présence et l'influence des contraintes compressives radiales durant le procédé d'oxydation des NFV en silicium en utilisant un model viscoélastique 2D combiné à un model analytique plastique 1D. Ces contraintes radiales et normales à l'interface Si-SiO₂, ralentissent le taux d'oxydation en rendant la conversion du Si en SiO₂ énergétiquement moins favorable. La modélisation de la pression hydrostatique en fonction du temps d'oxydation a permis de constater la conversion de cette pression d'élastique à compressive après la croissance d'une couche significative d'oxyde. Cette pression hydrostatique compressive est répartie sur tout le long du nanofils. Par conséquent, la nature de l'oxydation autolimitée répond à un mécanisme de diffusion limitée [53].

Kao et Al. [60] ont été les premiers instigateurs de l'étude de l'effet de la courbure de la surface sur le résultat d'oxydation sur des structures cylindriques de taille micrométrique, il a été démontré que le taux de croissance de l'oxyde sur une surface convexe était plus grand que sur une surface planaire, alors que le taux de croissance de l'oxyde sur une surface concave était encore plus lent. Cependant, cette étude ne concerne pas les nanostructures de taille nanométriques où l'influence des contraintes est beaucoup plus importante. Krzeminski et al. ont étudié l'influence de l'oxydation retardée sur des nanostructures convexes et concaves. Il a été observé qu'à l'échelle nanométrique, le taux de croissance de l'oxyde sur une surface concave est plus lent que sur une surface convexe, mais encore plus lent dans le cas d'une surface planaire (substrat). En modélisant la pression hydrostatique ainsi que les contraintes radiales sur des structures concaves et convexes, ils concluent que l'oxydation limitée dans le cas d'une surface convexe est due à un mécanisme de réaction limitée tandis qu'elle est due à un mécanisme de diffusion limitée dans le cas d'une surface concave [61].

2.3.3 Bilan d'oxydation thermique des réseaux de nanofils

La désoxydation a été effectuée par gravure chimique dans une solution d'acide fluorhydrique (HF) diluée dans le méthanol (HF 50% : Méthanol = 1 : 4), suivie d'un rinçage dans le méthanol afin de réduire la tension de surface puis séchage sous flux d'azote. Les réseaux de nanofils en silicium après le retrait d'oxyde obtenu après 10 minutes d'oxydation sont présentés en figure 2.22.

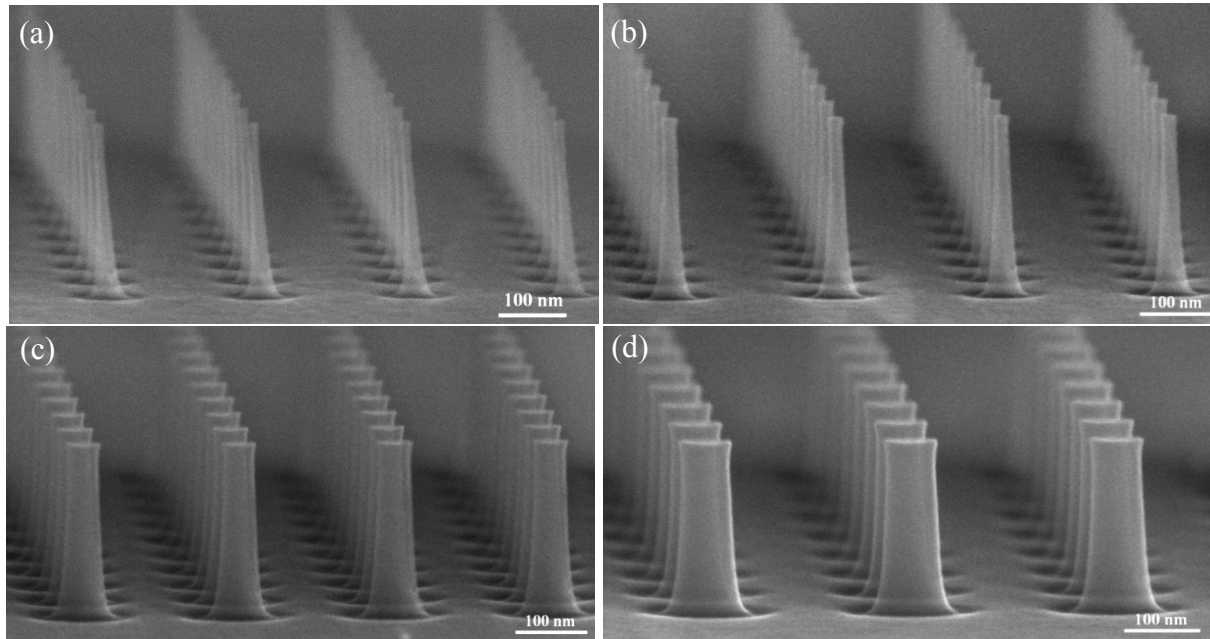


Figure 0.22 – Images MEB en vue inclinée de réseaux de NFV en silicium après désoxydation de diamètre (a) 18 nm, (b) 27 nm, (c) 55 nm et (d) 73 nm.

Les réseaux de nanofils obtenus après désoxydation démontrent l'efficacité de ce procédé pour l'amincissement des NVFs. En effet, le diamètre des nanofils est passé de 37, 47, 77 et 99 nm respectivement à 18, 27, 55 et 73 nm respectivement (fig. 2.22(a), (b), (c) et (d)). La courbe d'évolution du diamètre des nanofils en fonction du temps d'oxydation est présentée en figure 2.23(a). Hormis cette réduction de dimension, les nanofils présentent des profils homogènes sur toute la verticalité des nanofils, notamment grâce à la bonne répartition de la contrainte compressive et ceci malgré le profil évasé à la base des nanofils dû à un taux d'oxydation plus lent en raison de la courbure de la surface (surface concave). Ce profil évasé à la base des nanofils assure une meilleure résistance mécanique.

L'oxydation limitée permet également l'amélioration de la verticalité des parois des nanofils, cependant cette amélioration dépend du diamètre des nanofils. Une plus grande amélioration de l'anisotropie est obtenue lorsque le nanofil est fin. La courbe d'évolution de

l'anisotropie des nanofils en fonction du temps d'oxydation est présentée sur la figure 2.23(b). L'anisotropie des nanofils de diamètre initial de 37 nm passe de 93 % à 99% pour une durée d'oxydation de 20 minutes, tandis que pour des nanofils de 99 nm, l'anisotropie passe de 93 % à seulement 96 % pour la même durée d'oxydation.

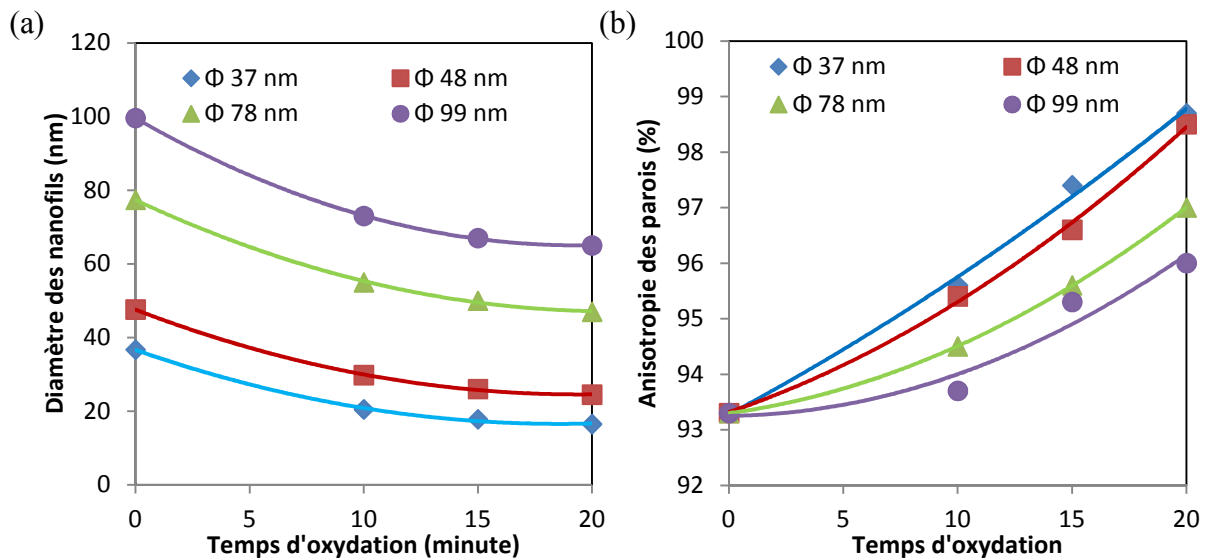


Figure 0.23 – Courbes d'évolution géométrique des réseaux des nanofils en fonction du temps d'oxydation (a) diamètre des nanofils, (b) anisotropie des parois.

La figure 2.24 illustre parfaitement l'évolution des réseaux de nanofils grâce au procédé d'amincissement par oxydation thermique humide autolimitée à 850 °C suivie d'une désoxydation. La figure 2.24(a) représente une image MEB en vue inclinée d'un réseau de nanofils obtenu avec le procédé de gravure plasma, le diamètre et l'anisotropie des nanofils sont respectivement de 32 nm et 94 %, ces derniers sont passés à 15 nm et 98.7 % respectivement après une oxydation sacrificielle pendant 20 minutes (figure 2.24(b)). Soit une réduction du diamètre de 17 nm et des parois quasi-verticales.

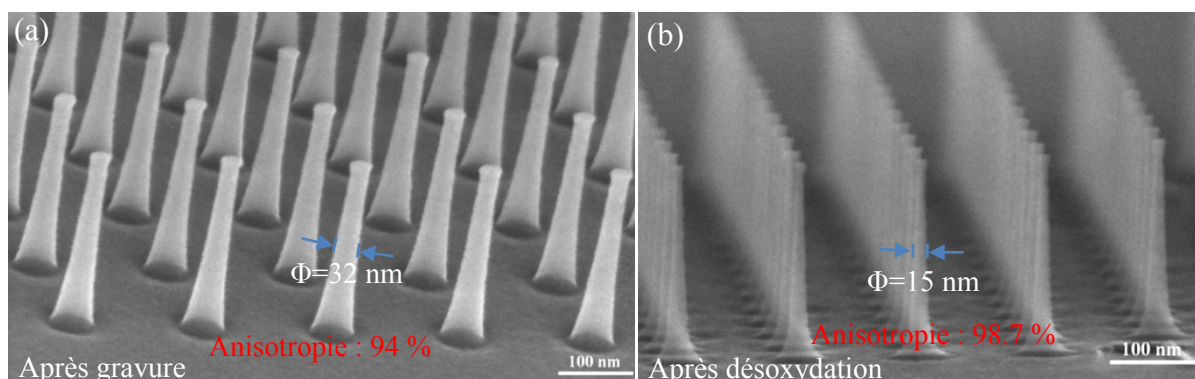


Figure 0.24 – Réseaux de NFV en silicium (a) après gravure (b) après oxydation sacrificielle.

2.4 Oxyde de grille

L'architecture NFV en silicium permet de la même façon que l'architecture planaire, un vaste choix de matériaux diélectriques comme oxyde de grille pour la réalisation des transistors MOS, en passant de l'oxyde de silicium thermique aux matériaux à hautes constantes diélectriques (matériaux High k). Dans un premier temps et dans l'attente de la finalisation de l'installation de l'équipement de dépôt de couches atomiques (ALD de l'anglais Atomic Layer Deposition), nous avons réalisé nos dispositifs MOSFETs avec une couche d'oxyde thermique de silicium de 3 à 5 nm d'épaisseur obtenue par un procédé d'oxydation sèche à une température de 725°C pendant 30 minutes.

2.5 Conclusion

Ce chapitre a été dédié à la réalisation des réseaux de NFV en silicium, qui constituent l'architecture de base des transistors MOSFETs que nous projetons de réaliser. Suivant une approche descendante, la première étape consistait en la réalisation du masque de gravure par lithographie électronique à faible tension d'accélération en utilisant un dessin original pour la réalisation des réseaux de NFV en HSQ avec une haute circularité et anisotropie. Ensuite, ces motifs ont été transférés dans le substrat en silicium d'orientation (100) par gravure plasma en mode couplage capacitif avec une chimie chlorée. Un excellent résultat de gravure a été obtenu avec une bonne verticalité des nanofils de 94 % sans rugosité apparente. Finalement, ces nanofils ont été amincis par un procédé d'oxydation humide sacrificielle à 850 °C. Ce procédé technologique nous permet d'obtenir des réseaux de NFV en silicium avec un diamètre minimal de 15 nm et un profil quasi-vertical avoisinant les 99 % avec une excellente reproductibilité. Au prochain chapitre, une ingénierie de couche mince pour la réalisation du dispositif MOSFET sera présentée.

Bibliographie

- [1] S. Gradečak, F. Qian, Y. Li, H.-G. Park, and C. M. Lieber, "GaN nanowire lasers with low lasing thresholds," *Appl. Phys. Lett.*, vol. 87, no. 17, p. 173111, Oct. 2005.
- [2] M. D. Kelzenberg, S. W. Boettcher, J. A. Petykiewicz, D. B. Turner-Evans, M. C. Putnam, E. L. Warren, J. M. Spurgeon, R. M. Briggs, N. S. Lewis, and H. A. Atwater, "Enhanced absorption and carrier collection in Si wire arrays for photovoltaic applications," *Nat. Mater.*, vol. 9, no. 3, pp. 239–244, Mar. 2010.
- [3] P. Offermans, M. Crego-Calama, and S. H. Brongersma, "Gas detection with vertical InAs nanowire arrays," *Nano Lett.*, vol. 10, no. 7, pp. 2412–2415, Jul. 2010.
- [4] V. Schmidt, J. V. Wittemann, S. Senz, and U. Gösele, "Silicon Nanowires: A Review on Aspects of their Growth and their Electrical Properties," *Adv. Mater.*, vol. 21, no. 25–26, pp. 2681–2702, Jul. 2009.
- [5] C. Vieu, F. Carcenac, A. Pépin, Y. Chen, M. Mejias, A. Lebib, L. Manin-Ferlazzo, L. Couraud, and H. Launois, "Electron beam lithography: resolution limits and applications," *Appl. Surf. Sci.*, vol. 164, no. 1–4, pp. 111–117, Sep. 2000.
- [6] E. Platzgummer, C. Klein, and H. Loeschner, "Electron multibeam technology for mask and wafer writing at 0.1 nm address grid," *J. MicroNanolithography MEMS MOEMS*, vol. 12, no. 3, pp. 031108–031108, 2013.
- [7] D. Rio, C. Constancias, M. Martin, B. Icard, J. van Nieuwstadt, J. Vijverberg, and L. Pain, "5 kV multielectron beam lithography: MAPPER tool and resist process characterization," *J. Vac. Sci. Technol. B Microelectron. Nanometer Struct.*, vol. 28, no. 6, p. C6C14, 2010.
- [8] C. L. Frye and W. T. Collins, "Oligomeric silsesquioxanes, $(\text{HSiO}_3/2)_n$," *J. Am. Chem. Soc.*, vol. 92, no. 19, pp. 5586–5588, 1970.
- [9] H. Namatsu, T. Yamaguchi, M. Nagase, K. Yamazaki, and K. Kurihara, "Nano-patterning of a hydrogen silsesquioxane resist with reduced linewidth fluctuations," *Microelectron. Eng.*, vol. 41, pp. 331–334, 1998.
- [10] I. Junarsa and P. F. Nealey, "Fabrication of masters for nanoimprint, step and flash, and soft lithography using hydrogen silsesquioxane and x-ray lithography," *J. Vac. Sci. Technol. B*, vol. 22, no. 6, pp. 2685–2690, Nov. 2004.
- [11] W. Wu, W. M. Tong, J. Bartman, Y. Chen, R. Walmsley, Z. Yu, Q. Xia, I. Park, C. Picciotto, J. Gao, S.-Y. Wang, D. Morecroft, J. Yang, K. K. Berggren, and R. S. Williams, "Sub-10 nm Nanoimprint Lithography by Wafer Bowing," *Nano Lett.*, vol. 8, no. 11, pp. 3865–3869, 2008.
- [12] D. Morecroft, J. K. W. Yang, S. Schuster, K. K. Berggren, Q. Xia, W. Wu, and R. S. Williams, "Sub-15nm nanoimprint molds and pattern transfer," *J. Vac. Sci. Technol. B*, vol. 27, no. 6, pp. 2837–2840, Nov. 2009.
- [13] D. Lauvernier, S. Garidel, C. Legrand, and J.-P. Vilcot, "Realization of sub-micron patterns on GaAs using a HSQ etching mask," *Microelectron. Eng.*, vol. 77, no. 3–4, pp. 210–216, Apr. 2005.
- [14] J. K. W. Yang, V. Anant, and K. K. Berggren, "Enhancing etch resistance of hydrogen silsesquioxane via postdevelop electron curing," *J. Vac. Sci. Technol. B*, vol. 24, no. 6, pp. 3157–3161, Nov. 2006.
- [15] S.-W. Nam, T.-Y. Lee, J.-S. Wi, D. Lee, H.-S. Lee, K.-B. Jin, M.-H. Lee, H.-M. Kim, and K.-B. Kim, "Electron-Beam Lithography Patterning of $\text{Ge}_2\text{Sb}_2\text{Te}_5$ Nanostructures Using Hydrogen Silsesquioxane and Amorphous Si Intermediate Layer," *J. Electrochem. Soc.*, vol. 154, no. 9, pp. H844–H847, Sep. 2007.
- [16] B. Hamza, A. Kadiyala, L. A. Hornak, Y. Liu, and J. M. Dawson, "Direct fabrication of two-dimensional photonic crystal structures in silicon using positive and negative

- Hydrogen Silsesquioxane (HSQ) patterns,” *Microelectron. Eng.*, vol. 91, pp. 70–74, Mar. 2012.
- [17] T.-S. Chang, T.-C. Chang, P.-T. Liu, S.-W. Tsao, and F.-S. Yeh, “Investigation of the low dielectric siloxane-based hydrogen silsesquioxane (HSQ) as passivation layer on TFT-LCD,” *Thin Solid Films*, vol. 516, no. 2–4, pp. 374–377, Dec. 2007.
 - [18] S.-W. Chung, J.-H. Shin, N.-H. Park, and J. W. Park, “Dielectric properties of hydrogen silsesquioxane films degraded by heat and plasma treatment,” *Jpn. J. Appl. Phys.*, vol. 38, no. 9R, p. 5214, 1999.
 - [19] P.-T. Liu, T. C. Chang, T. M. Tsai, Z. W. Lin, C. W. Chen, B. C. Chen, and S. M. Sze, “Dielectric characteristics of low-permittivity silicate using electron beam direct patterning for intermetal dielectric applications,” *Appl. Phys. Lett.*, vol. 83, no. 20, pp. 4226–4228, Nov. 2003.
 - [20] H. Namatsu, Y. Takahashi, K. Yamazaki, T. Yamaguchi, M. Nagase, and K. Kurihara, “Three-dimensional siloxane resist for the formation of nanopatterns with minimum linewidth fluctuations,” *J. Vac. Sci. Technol. B*, vol. 16, no. 1, pp. 69–76, 1998.
 - [21] A. E. Grigorescu, M. C. van der Krogt, C. W. Hagen, and P. Kruit, “10nm lines and spaces written in HSQ, using electron beam lithography,” *Microelectron. Eng.*, vol. 84, no. 5–8, pp. 822–824, May 2007.
 - [22] X.-L. Han, G. Larrieu, P.-F. Fazzini, and E. Dubois, “Realization of ultra dense arrays of vertical silicon nanowires with defect free surface and perfect anisotropy using a top-down approach,” *Microelectron. Eng.*, vol. 88, no. 8, pp. 2622–2624, Aug. 2011.
 - [23] Z. Min, C. Baoqin, X. Changqing, L. Ming, and N. Jiebing, “Study of process of HSQ in electron beam lithography,” in *2010 5th IEEE International Conference on Nano/Micro Engineered and Molecular Systems (NEMS)*, 2010, pp. 1021–1024.
 - [24] R. Tiron, L. Mollard, O. Louveau, and E. Lajoinie, “Ultrahigh-resolution pattern using electron-beam lithography HF wet etching,” *J. Vac. Sci. Technol. B Microelectron. Nanometer Struct.*, vol. 25, no. 4, p. 1147, 2007.
 - [25] V. R. Manfrinato, L. L. Cheong, H. Duan, D. Winston, H. I. Smith, and K. K. Berggren, “Sub-5keV electron-beam lithography in hydrogen silsesquioxane resist,” *Microelectron. Eng.*, vol. 88, no. 10, pp. 3070–3074, Oct. 2011.
 - [26] A. Jamieson, C. G. Willson, Y. Hsu, and A. D. Brodie, “Low-voltage electron beam lithography resist processes: top surface imaging and hydrogen silsesquioxane bilayer,” *J. MicroNanolithography MEMS MOEMS*, vol. 3, no. 3, pp. 442–449, 2004.
 - [27] J. K. W. Yang, B. Cord, H. Duan, K. K. Berggren, J. Klingfus, S.-W. Nam, K.-B. Kim, and M. J. Rooks, “Understanding of hydrogen silsesquioxane electron resist for sub-5-nm-half-pitch lithography,” *J. Vac. Sci. Technol. B Microelectron. Nanometer Struct.*, vol. 27, no. 6, p. 2622, 2009.
 - [28] W. Henschel, Y. M. Georgiev, and H. Kurz, “Study of a high contrast process for hydrogen silsesquioxane as a negative tone electron beam resist,” *J. Vac. Sci. Technol. B Microelectron. Nanometer Struct.*, vol. 21, no. 5, p. 2018, 2003.
 - [29] S.-W. Nam, M. J. Rooks, J. K. W. Yang, K. K. Berggren, H.-M. Kim, M.-H. Lee, K.-B. Kim, J. H. Sim, and D. Y. Yoon, “Contrast enhancement behavior of hydrogen silsesquioxane in a salty developer,” *J. Vac. Sci. Technol. B*, vol. 27, no. 6, pp. 2635–2639, Nov. 2009.
 - [30] X.-L. Han, G. Larrieu, and E. Dubois, “Realization of vertical silicon nanowire networks with an ultra high density using a top-down approach,” *J. Nanosci. Nanotechnol.*, vol. 10, no. 11, pp. 7423–7427, Nov. 2010.
 - [31] A. E. Grigorescu, M. C. van der Krogt, C. W. Hagen, and P. Kruit, “Influence of the development process on ultimate resolution electron beam lithography, using ultrathin

- hydrogen silsesquioxane resist layers,” *J. Vac. Sci. Technol. B*, vol. 25, no. 6, pp. 1998–2003, Nov. 2007.
- [32] J. Kim, W. Chao, B. Griedel, X. Liang, M. Lewis, D. Hilken, and D. Olynick, “Understanding the base development mechanism of hydrogen silsesquioxane,” *J. Vac. Sci. Technol. B*, vol. 27, no. 6, pp. 2628–2634, Nov. 2009.
- [33] K. J. Harry, S. Strobel, J. K. W. Yang, H. Duan, and K. K. Berggren, “In situ study of hydrogen silsesquioxane dissolution rate in salty and electrochemical developers,” *J. Vac. Sci. Technol. B*, vol. 29, no. 6, p. 06FJ01, Nov. 2011.
- [34] Y. Chen, H. Yang, and Z. Cui, “Effects of developing conditions on the contrast and sensitivity of hydrogen silsesquioxane,” *Microelectron. Eng.*, vol. 83, no. 4–9, pp. 1119–1123, Apr. 2006.
- [35] S. Choi, N. Jin, V. Kumar, I. Adesida, and M. Shannon, “Effects of developer temperature on electron-beam-exposed hydrogen silsesquioxane resist for ultradense silicon nanowire fabrication,” *J. Vac. Sci. Technol. B*, vol. 25, no. 6, pp. 2085–2088, Nov. 2007.
- [36] H.-S. Lee, J.-S. Wi, S.-W. Nam, H.-M. Kim, and K.-B. Kim, “Two-step resist-development process of hydrogen silsesquioxane for high-density electron-beam nanopatterning,” *J. Vac. Sci. Technol. B*, vol. 27, no. 1, pp. 188–192, Jan. 2009.
- [37] D. Drouin, A. R. Couture, D. Joly, X. Tastet, V. Aimez, and R. Gauvin, “CASINO V2.42: a fast and easy-to-use modeling tool for scanning electron microscopy and microanalysis users,” *Scanning*, vol. 29, no. 3, pp. 92–101, Jun. 2007.
- [38] Y. Guerfi, F. Carcenac, and G. Larrieu, “High resolution HSQ nanopillar arrays with low energy electron beam lithography,” *Microelectron. Eng.*, vol. 110, pp. 173–176, Oct. 2013.
- [39] M. A. Vyvoda, H. Lee, M. V. Malyshev, F. P. Klemens, M. Cerullo, V. M. Donnelly, D. B. Graves, A. Kornblit, and J. T. C. Lee, “Effects of plasma conditions on the shapes of features etched in Cl₂ and HBr plasmas. I. Bulk crystalline silicon etching,” *J. Vac. Sci. Technol. A*, vol. 16, no. 6, pp. 3247–3258, 1998.
- [40] C. C. Cheng, K. V. Guinn, I. P. Herman, and V. M. Donnelly, “Competitive halogenation of silicon surfaces in HBr/Cl₂ plasmas studied with x-ray photoelectron spectroscopy and in situ, real-time, pulsed laser-induced thermal desorption,” *J. Vac. Sci. Technol. A*, vol. 13, no. 4, pp. 1970–1976, 1995.
- [41] K. H. A. Bogart and V. M. Donnelly, “Composition of trench sidewalls and bottoms for SiO₂-masked Si (100) etched in Cl₂ plasmas,” *J. Appl. Phys.*, vol. 87, no. 12, pp. 8351–8360, 2000.
- [42] D. L. Flamm, “Mechanisms of silicon etching in fluorine-and chlorine-containing plasmas,” in *Pure and applied chemistry*, 1990, vol. 62, pp. 1709–1720.
- [43] L. J. Whitman, S. A. Joyce, J. A. Yarmoff, F. R. McFeely, and L. J. Terminello, “The chemisorption of chlorosilanes and chlorine on Si(111)7 × 7,” *Surf. Sci.*, vol. 232, no. 3, pp. 297–306, Jun. 1990.
- [44] R. B. Jackman, H. Ebert, and J. S. Foord, “Reaction mechanisms for the photon-enhanced etching of semiconductors: An investigation of the UV-stimulated interaction of chlorine with Si(100),” *Surf. Sci.*, vol. 176, no. 1–2, pp. 183–192, Oct. 1986.
- [45] R. J. Hoekstra, M. J. Kushner, V. Sukharev, and P. Schoenborn, “Microtrenching resulting from specular reflection during chlorine etching of silicon,” *J. Vac. Sci. Technol. B*, vol. 16, no. 4, pp. 2102–2104, 1998.
- [46] J. M. Lane, F. P. Klemens, K. H. A. Bogart, M. V. Malyshev, and J. T. C. Lee, “Feature evolution during plasma etching. II. Polycrystalline silicon etching,” *J. Vac. Sci. Technol. A*, vol. 18, no. 1, pp. 188–196, 2000.

- [47] N. Singh, A. Agarwal, L. K. Bera, T. Y. Liow, R. Yang, S. C. Rustagi, C. H. Tung, R. Kumar, G. Q. Lo, N. Balasubramanian, and D.-L. Kwong, "High-performance fully depleted silicon nanowire (diameter /spl les/ 5 nm) gate-all-around CMOS devices," *IEEE Electron Device Lett.*, vol. 27, no. 5, pp. 383–386, May 2006.
- [48] C. Krzeminski, X. Tang, N. Reckinger, V. Bayot, and E. Dubois, "Process Optimization and Downscaling of a Single-Electron Single Dot Memory," *IEEE Trans. Nanotechnol.*, vol. 8, no. 6, pp. 737–748, Nov. 2009.
- [49] M. Zhang, T. Schmidt, F. Sangghaleh, N. Roxhed, I. Sychugov, and J. Linnros, "Oxidation of nanopores in a silicon membrane: self-limiting formation of sub-10 nm circular openings," *Nanotechnology*, vol. 25, no. 35, p. 355302, Sep. 2014.
- [50] C. C. Büttner and M. Zacharias, "Retarded oxidation of Si nanowires," *Appl. Phys. Lett.*, vol. 89, no. 26, p. 263106, Dec. 2006.
- [51] E. P. EerNisse, "Stress in thermal SiO₂ during growth," *Appl. Phys. Lett.*, vol. 35, no. 1, p. 8, 1979.
- [52] B. E. Deal and A. S. Grove, "General Relationship for the Thermal Oxidation of Silicon," *J. Appl. Phys.*, vol. 36, no. 12, pp. 3770–3778, Dec. 1965.
- [53] X.-L. Han, G. Larrieu, and C. Krzeminski, "Modelling and engineering of stress based controlled oxidation effects for silicon nanostructure patterning," *Nanotechnology*, vol. 24, no. 49, p. 495301, Dec. 2013.
- [54] H. Heidemeyer, C. Single, F. Zhou, F. E. Prins, D. P. Kern, and E. Plies, "Self-limiting and pattern dependent oxidation of silicon dots fabricated on silicon-on-insulator material," *J. Appl. Phys.*, vol. 87, no. 9, pp. 4580–4585, May 2000.
- [55] H. I. Liu, D. K. Biegelsen, F. A. Ponce, N. M. Johnson, and R. F. W. Pease, "Self-limiting oxidation for fabricating sub-5 nm silicon nanowires," *Appl. Phys. Lett.*, vol. 64, no. 11, pp. 1383–1385, Mar. 1994.
- [56] D.-B. Kao, J. P. McVittie, W. D. Nix, and K. C. Saraswat, "Two-dimensional thermal oxidation of silicon. II. Modeling stress effects in wet oxides," *IEEE Trans. Electron Devices*, vol. 35, no. 1, pp. 25–37, Jan. 1988.
- [57] S.-F. Huang, P. B. Griffin, J. D. Plummer, and P. Rissman, "Modeling stress effects on thin oxide growth kinetics," in , *1997 International Conference on Simulation of Semiconductor Processes and Devices, 1997. SISPAD '97*, 1997, pp. 49–52.
- [58] S. Cea and M. Law, "Three dimensional nonlinear viscoelastic oxidation modeling," in *1996 International Conference on Simulation of Semiconductor Processes and Devices, 1996. SISPAD 96*, 1996, pp. 97–98.
- [59] J. Fan, R. Huang, R. Wang, Q. Xu, Y. Ai, X. Xu, M. Li, and Y. Wang, "Two-Dimensional Self-Limiting Wet Oxidation of Silicon Nanowires: Experiments and Modeling," *IEEE Trans. Electron Devices*, vol. 60, no. 9, pp. 2747–2753, Sep. 2013.
- [60] D.-B. Kao, J. P. McVittie, W. D. Nix, and K. C. Saraswat, "Two-dimensional thermal oxidation of silicon #8212;I. Experiments," *IEEE Trans. Electron Devices*, vol. 34, no. 5, pp. 1008–1017, May 1987.
- [61] C. D. Krzeminski, X.-L. Han, and G. Larrieu, "Understanding of the retarded oxidation effects in silicon nanostructures," *Appl. Phys. Lett.*, vol. 100, no. 26, p. 263111, 2012

Chapitre 3 : Technologie de fabrication de transistors MOS à base de NFV en silicium

Introduction

Après avoir présenté le procédé de réalisation des NFV lors du deuxième chapitre, le procédé de fabrication du transistor MOSFET à base de ces derniers est abordé au cours de ce troisième chapitre. Tout d'abord la réalisation des contacts Schottky à faible hauteur de barrière aux trous pour la réalisation de contacts source et de drain métallique est présentée, suivie par une méthode innovante pour la réalisation des couches d'isolation. Enfin, un procédé photolithographique conventionnel à grand échelle est développé pour assembler chaque élément du transistor MOS à base de NFV en silicium.

3.1 Réalisation des contacts source et drain de faible hauteur de barrière Schottky aux trous

L'intégration verticale nécessite une forte adaptation des procédés technologiques pour la réalisation des contacts électriques, une difficulté qui s'ajoute à la nette augmentation des résistances séries qui dégradent le courant de saturation des MOSFETs, estimées près d'un tiers de celui du cas idéal selon le rapport de l'ITRS en 2013 [1]. La contribution de la résistance de contact (R_c) dans la résistance parasite totale devient dominante aux dimensions ultimes avec la miniaturisation des composants MOSFET, qui augmentent avec le carré du facteur de miniaturisation (α) [2]. L'introduction des métaux de transition pour la réalisation des siliciures a été une étape cruciale pour le développement technologique des composants microélectroniques au sein de l'industrie des semiconducteurs depuis le début des années 80, en raison de leur excellente compatibilité avec la technologie silicium, leur faible résistance carré (R_{sh}) et de contact (R_c) [3]. L'introduction des matériaux à faible hauteur de barrière Schottky (SBH) aux trous (Φ_{bp}) ainsi qu'aux électrons (Φ_{bn}) pour l'intégration des transistors de type p et n respectivement, peut apporter un supplément de réduction de R_c [4]. Le siliciure de platine (PtSi) présente une très faible Φ_{bp} qui est aux alentours de 0.25 eV [5], une grande stabilité thermique, un meilleur contrôle de dimension, une faible rugosité à l'interface PtSi-Si ainsi qu'une faible température de formation. Le PtSi propose cependant une haute Φ_{bn} égale à 0.85 eV [6] dans ce cas-là, la résistance de contact reste élevée. De ce fait, des techniques de réduction de la hauteur de barrière ont été proposées par la diffusion de dopants à l'interface Si-Siliciure, appelées ségrégation de dopants (DS) [7]. Il existe cependant des matériaux à faible Φ_{bn} , les terres rares, comme l'ytterbium (Yb) [8] ou l'erbium (Er) [9] qui proposent une

meilleure injection des électrons pour les transistors de type n. Cette partie est dédiée à la réalisation des contacts à faible hauteur de barrière sur des réseaux de nanofils verticaux à base de siliciure de platine. Nous nous intéresserons tout d'abord au mécanisme de siliciuration du platine puis son implémentation sur les réseaux de NFV en silicium.

3.1.1 Techniques de formation des siliciures

Les siliciures sont réalisés par la réaction d'une couche de métal et le silicium grâce à un recuit thermique. Lorsque le métal est déposé sur un oxyde (masquage du silicium), la réaction de siliciuration ne s'opère pas et le métal non réagi peut être retiré par gravure chimique sélective. Grâce à cette spécificité, deux procédés majeurs ont été développés pour la fabrication des ICs, à savoir le procédé Polycide pour la formation des siliciures au-dessus des grilles en polysilicium et le procédé Salicide (self aligned silicides ou siliciures auto alignés) pour la formation des siliciures de contact source et de drain [10].

La réaction de siliciuration est très sensible aux impuretés comme l'oxygène à l'interface métal-Si ou dans le métal lui-même, ce qui peut entraîner la formation d'une couche de siliciure incomplète ou non homogène et par conséquent une large résistance carrée est obtenue. Des précautions sont donc à considérer, les substrats sont immergés dans une solution d'HF diluée puis rincés dans l'eau désionisée avant le dépôt du métal pour retirer l'oxyde natif qui peut empêcher la réaction de siliciuration. Un nettoyage par pulvérisation in-situ dans la chambre de dépôt juste avant la déposition du métal peut être ajoutée comme précaution supplémentaire de préparation de surface. Il est très important également d'effectuer le dépôt du métal dans des conditions de vide extrême afin de minimiser la contamination du métal par l'oxygène, généralement la pression de la chambre de dépôt doit être inférieure à $3 \cdot 10^{-7}$ mBarr pour obtenir une couche de métal de bonne qualité.

L'activation thermique se fera dans un four de recuit rapide (RTA) sous ambiance hydrogénée (4% H_2 / 96 % N_2) afin de passiver les défauts électriquement actifs tels que les liaisons pendantes, mais également pour la capacité des fours RTA à opérer des recuits en haute température pour une durée très courte.

3.1.2 Mécanisme de formation du siliciure de platine (PtSi)

Un système formé par deux matériaux et séparé par une interface abrupte est un système thermodynamiquement instable, à titre d'exemple le système Métal - Silicium [11]. Ce

système évoluera vers un état stable lorsqu'un recuit thermique lui est appliqué pour former un composé M_xSi_y , lors de la diffusion de l'un vers l'autre. Les cinétiques de formation des siliciures peuvent être divisées en trois sortes : siliciuration par une cinétique à diffusion contrôlée, à réaction contrôlée ou par nucléation [12]. La formation du siliciure de platine se fait par un mécanisme de diffusion contrôlée. Plusieurs études [13][10][3][4] ont démontré que la formation du PtSi s'opère en deux étapes distinctes, tout d'abord la diffusion du Pt dans le Si pour la formation d'un composé intermédiaire, le Pt_2Si . Ensuite, le Si diffuse dans le Pt_2Si pour former le composé stable, le PtSi.

Ces deux étapes sont séquentielles, c'est-à-dire que la formation de la couche de PtSi ne commence que lorsque la totalité de la couche de Pt initiale diffuse dans le Si pour la formation de la couche de Pt_2Si . Une fois la première réaction terminée, la seconde peut donc commencer. Les deux réactions sont activées thermiquement, le coefficient de diffusion représente la vitesse de réaction et suit la loi d'Arrhenius suivante :

$$D = D_0 \exp(E_A/KT) \quad \text{Équation 0-1}$$

où D_0 est le coefficient de diffusion du platine dans le silicium à température de référence $T_0 = 298 \text{ K}$, E_A est l'énergie d'activation de la réaction. Les énergies d'activation sur substrat de silicium sont de $1.5 \pm 0.15 \text{ eV}$ et $1.7 \pm 0.22 \text{ eV}$ pour la première et la deuxième réaction respectivement [4].

Si on considère une unité de Pt, pour la première réaction de siliciuration, 0.66 unité de silicium est consommée pour la réalisation de 1.43 unité de Pt_2Si . Tandis que pour la deuxième réaction, la diffusion de 1.32 unité de Si dans le Pt_2Si permet de créer 1.97 unité de PtSi [6]. Les séquences de formation de siliciure de platine avec le bilan de consommation sont résumées sur la figure 3.1.

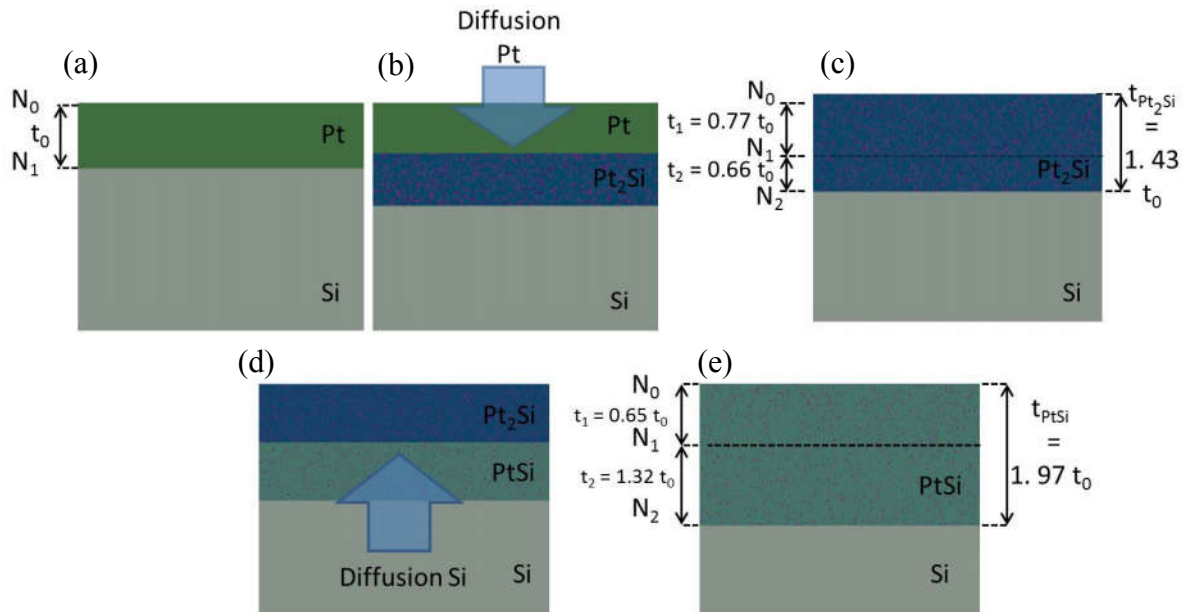


Figure 0.1 – Illustration des différentes phases de siliciuration du platine.

Afin de déterminer l'intervalle de température où les deux réactions se produisent, une expérience a été menée par Larrieu et al. [4] grâce à des analyses XPS sous des conditions de vides ultra élevés ou Ultra High Vacuum en anglais (UHV) effectuées sur des échantillons en silicium sur lesquels une couche de 20 nm de Pt a été recuite de 20 à 550 °C pendant 120 minutes pour une rampe de 4.4 K/min. Il a été démontré que la réaction de formation du Pt_2Si par diffusion du Pt dans le Si a lieu dans un intervalle de température entre 245 et 258 °C, tandis que la seconde réaction qui concerne la diffusion du Si dans le Pt_2Si pour la formation du $PtSi$ s'opère dans un intervalle de température entre 324 et 338°C.

Abbes et al. [3] ont démontré l'existence d'un délai entre la formation de la couche de Pt_2Si et la couche de $PtSi$. À l'aide de mesures XRD (X Ray Diffraction) in situ, il a été démontré que la formation de la couche de $PtSi$ commence une fois que les contraintes dans le Pt_2Si soient relaxées. En effet, lors de la formation du Pt_2Si par la diffusion du Pt dans le Si, celle-ci est accompagnée par la formation de contraintes de nature compressive due à la différence de volume entre les espèces réactants (Pt ou Si) et les produits (siliciure). Ces contraintes sont ensuite relaxées pour permettre la diffusion du Si dans le Pt_2Si et la formation du $PtSi$.

La formation du siliciure de platine dépend fortement de la température et la durée du recuit appliquée. Il a été démontré que même sans effectuer de recuit une couche siliciure de platine de forme Pt_xSi a été détectée par mesure XPS sans pour autant présenter une composition stœchiométriquement stable. Elle est suspectée d'être créée grâce à la

pulvérisation du platine sur le silicium qui peut générer une énergie suffisante pour initier la réaction de siliciuration. La réaction complète de siliciuration peut être obtenue pour des recuits de 300 à 500 °C pour des temps ne dépassant les 2 minutes. Les siliciures formés à 300 °C et à 500 °C présentent tout de même une différence, celle de la présence d'un oxyde de silicium à la surface d'un siliciure obtenu avec un recuit à 500 °C. Cet oxyde de surface est créé à cause de la sur-diffusion du silicium dans le Pt_2Si comptant pour la deuxième phase de siliciuration du platine, qui avec l'oxygène présent dans la chambre mène à former un oxyde de surface [4]. Cet oxyde n'est pas pour autant néfaste pour le procédé de siliciuration, car il permet d'améliorer encore la sélectivité lors de la gravure chimique pour le retrait de la couche de platine qui n'a pas réagi avec le silicium. Cette température sera choisie pour réaliser le siliciure de platine sur les réseaux de nanofils.

3.1.3 Formation du PtSi sur les réseaux NFV en Si

L'intégration du PtSi sur les réseaux de NFV est un atout majeur pour la réalisation des contacts source et drain de nos MOSFETs. Il offre une faible hauteur de barrière Schottky pour les trous, permettant d'obtenir une faible résistance de contact pour le transistor de type p. A cet effet, un procédé de siliciuration 3D a été développé pour la réalisation des contacts source et drain en PtSi. Sur la figure 3.2 nous présentons schématiquement le procédé de siliciuration dont les étapes sont les suivantes :

- Figure 3.2(a) : Le substrat ayant subi une oxydation thermique sèche pour la réalisation de l'oxyde de grille, la première étape consiste à graver l'oxyde sur le substrat et sur la partie supérieure des nanofils.
- Figure 3.2(b) : Après la gravure de l'oxyde natif dans une solution HF diluée, le substrat est transféré dans le bâti de dépôt par évaporation par faisceau d'électrons pour obtenir un dépôt directionnel, ou quasi-directionnel car des traces de platine sont présentes sur les flancs des nanofils.
- Figure 3.2(c) : La siliciuration est activée par recuit
- Figure 3.2(d) : Les traces du Pt sur les flancs des nanofils non réagi sont retirées par gravure chimique sélective.

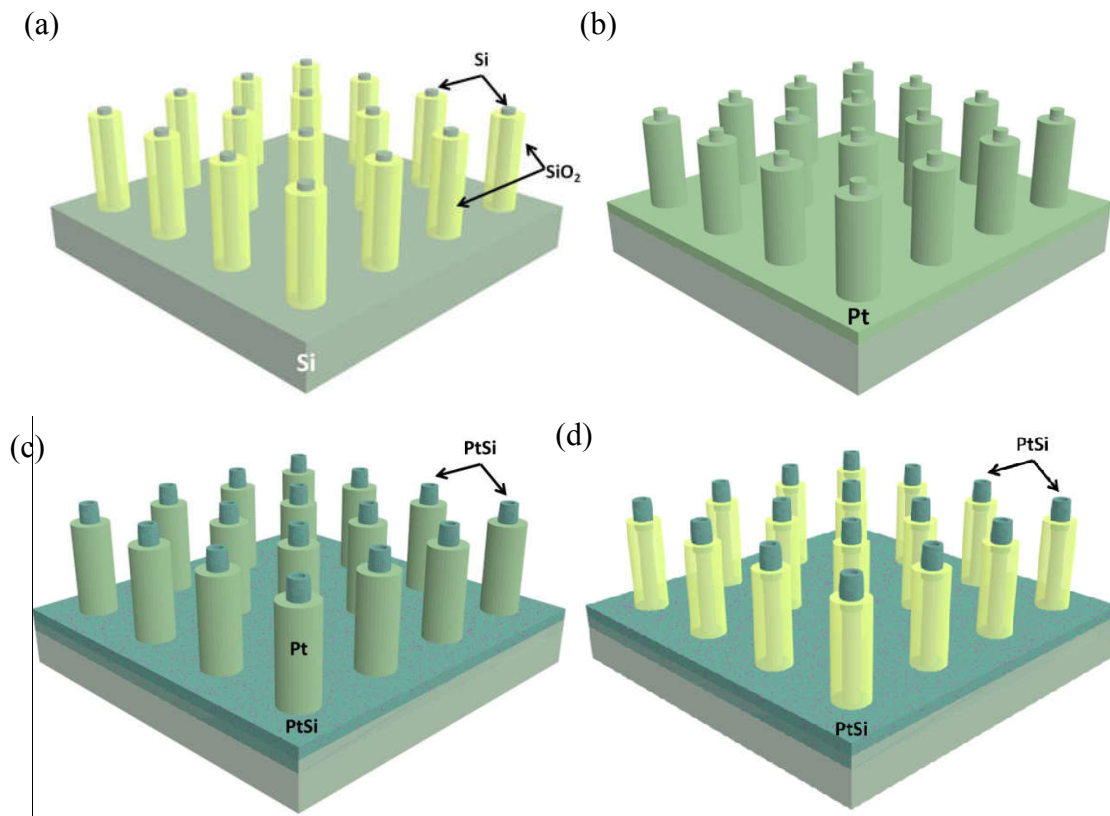


Figure 0.2 - Schéma d'illustration des étapes de réalisation du siliciure de platine sur les réseaux de NFV (a) gravure de l'oxyde (b) dépôt de Pt (c) recuit thermique (d) gravure sélective.

3.1.4 Gravure de l'oxyde de silicium

L'épaisseur de l'oxyde créé durant l'oxydation thermique sèche, effectuée pour la réalisation de l'oxyde de grille varie entre 3 à 5 nm sur les parois des nanofils, tandis qu'elle est de 2.4 à 2.7 nm sur le substrat de silicium. Le but de cette étape est de libérer la partie supérieure des nanofils ainsi que sur le substrat (les deux extrémités des nanofils) tout en conservant la couche d'oxyde sur les parois des nanofils qui sert d'oxyde de grille du transistor. A cet effet, une gravure anisotrope par plasma en mode CCP a été considérée. Les paramètres de gravure sont : une puissance de 50 W, une pression de 50 mTorr, avec une chimie fluorée à base de CHF₃ : CF₄ : Ar = 20 : 20 : 10 sccm. Nous obtenons une vitesse de gravure très lente (0.22 nm/seconde) permettant un bon contrôle du procédé de gravure. Induits par la gravure plasma à base de chimie fluorée, un plasma d'oxygène est nécessaire afin de retirer les dépôts de couche de polymère de type CF_x sur le silicium. Pour bien visualiser le procédé, un exemple de gravure d'oxyde épais (20 nm) sur un nanofil est présenté sur la figure 3.3(a).

3.1.5 Siliciuration de platine sur nanofils

10 nm de platine ont été déposée par évaporation à une vitesse de 0.1 nm/sec sur les réseaux de nanofils. Ce dépôt a été précédé par une préparation de surface dans une solution de HF diluée (HF 5% : EDI = 1 : 4) pendant 10 secondes afin de graver l'oxyde natif. La figure 3.3 (b) représente une image MEB de réseaux de nanofils de 50 nm de diamètre avec le dépôt de platine.

La réaction de siliciuration est activée par recuit thermique à 500 °C pendant 3 minutes sous un flux de N_2H_2 dans un bâti RTA. Le nettoyage des parois des nanofils a été effectué par gravure chimique dans une solution d'eau régale diluée (HCL : HNO_3 : EDI = 3 : 1 : 2) à 50 °C pendant 2 minutes. La figure 3.3 (c) et (d) représente un réseau de nanofils de 50 nm après siliciuration du platine et après nettoyage des parois respectivement.

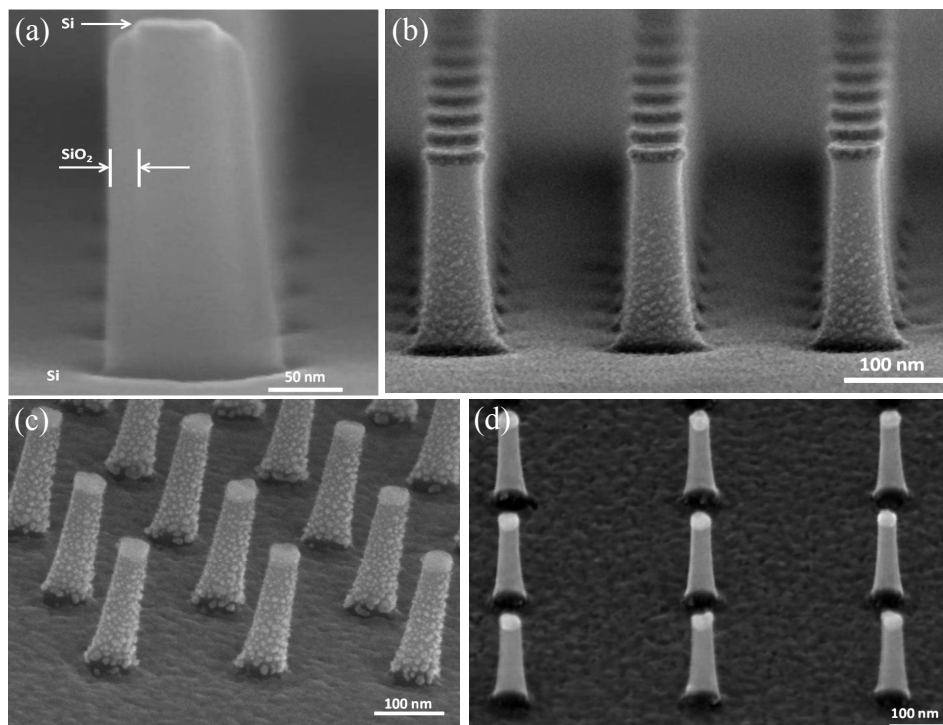


Figure 0.3 – Etapes de formation de siliciure de platine sur les réseaux de nanofils par imagerie MEB inclinée (a) gravure de l'oxyde pour libération du silicium (b) dépôt de 10 nm de Pt (c) Réaction de siliciuration (d) nettoyage des parois par gravure chimique à l'eau régale diluée.

Depuis la figure 3.3 (d) on constate un réseau de NFV avec les deux extrémités siliciurées et des parois parfaitement propres de toute trace de platine.

3.2 Réalisation des couches d'isolation

L'intégration de l'architecture verticale est caractérisée par la définition de couches d'isolation minces nanométriques. A cet effet, la maîtrise des techniques de dépôt et la réalisation de couches d'isolation est une question cruciale afin d'adresser chaque terminal électrique. Cette section est dédiée à la réalisation des couches d'isolation de nos transistors implémentés sur les réseaux de NFV en silicium. Grâce à une technique de planarisation innovante d'une couche de diélectrique, nous démontrons la possibilité de concevoir des nanodispositifs avec une excellente maîtrise technologique. Sachant que notre dispositif comporte deux niveaux d'isolation (inférieure et supérieure), nous commencerons tout d'abord par détailler la technologie de réalisation du niveau d'isolation inférieur puis celui du niveau supérieur (figure 3.4).

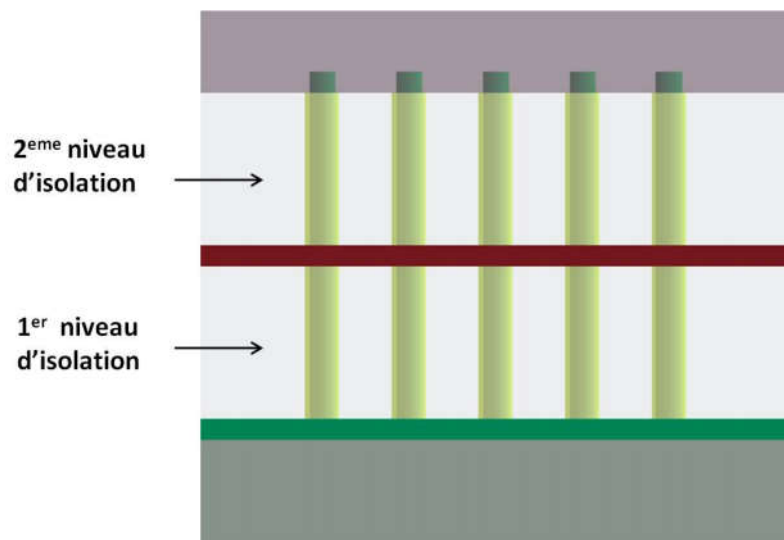


Figure 0.4 - Illustration du dispositif MOSFET en coupe.

3.2.1 Matériaux isolants et techniques de planarisation

Bien que les exigences sur le matériau isolant à utiliser dépendent souvent de l'application visée, dans la plupart des cas, le matériau doit avoir une faible constante diélectrique afin de minimiser les capacités parasites, mais également combler l'espace entre les nanofils tout en présentant une bonne planéité ainsi qu'une très faible rugosité. Une grande stabilité thermique et mécanique font partie également des pré-requis pour un matériau isolant. Des études sur la planarisation sur les réseaux de nanofils verticaux ont été proposées en utilisant différents types de matériaux. Commenant par les polymères organiques, des études ont été menées en utilisant des résines photosensibles telles que la S1808 (Shipley), la SC200 (Silecs) et la SU8 (Microchem). Ces matériaux présentent des inconvénients, comme la présence de vides dans la couche d'isolation ou par une instabilité thermique et mécanique [14]. D'autres

matériaux organiques ont été également utilisés comme le Cyclotene (Dow Chemical) [15] qui présentent une couche poreuse et de forte rugosité, la polyméthyl méthacrylate (PMMA) [16] qui, son principal inconvénient réside dans son instabilité thermique. Les matériaux inorganiques ont également été utilisés, tels que l'oxyde de silicium [17] le nitrure de silicium [18] ainsi que des oxydes déposées par enduction ou Spin On Glass (SOG) [19][20] qui donnent des résultats très intéressants, mais présentent des effets de vague au pied des nanofils. Parmi les techniques de planarisation on retrouve le polissage mécano chimique (CMP) [21] et la gravure plasma [22], qui sont largement utilisées pour l'architecture planaire mais difficiles à mettre en œuvre pour les architectures 3D. Malgré ces résultats publiés sur la planarisation de nanofils, aucun d'entre eux concernent les dimensions à l'échelle nanométrique avec un contrôle précis de la dimension et de la géométrie. Nos travaux s'inscrivent dans cette perspective, c'est-à-dire, réaliser des couches d'isolations nanométriques avec une extrême précision sur l'épaisseur de la couche d'isolation et sa forme. A cet effet, nous présentons une approche pertinente pour la réalisation d'une couche de diélectrique parfaitement plane et adaptée à la planarisation sur des réseaux de nanofils avec un contrôle précis des dimensions (nanométrique). Celle-ci est basée sur un procédé de gravure chimique dans une solution diluée d'acide fluorhydrique (HF) d'un matériau SOG (HSQ) par pour la réalisation du niveau d'isolation inférieur et par gravure plasma pour le niveau d'isolation supérieur. Nous introduisons la résine inorganique HSQ comme matériau SOG d'isolation (remplissage), initialement utilisée comme isolant au niveau des interconnexions (back-end-of-line). La HSQ est un excellent fluide diélectrique à faible κ (≈ 2.8) qui fournit une matrice d'isolation plane, compatible avec la technologie CMOS.

3.2.2 Réalisation de la couche d'isolation inférieure

3.2.2.1 Procédé de planarisation par gravure chimique de la HSQ

L'un des problèmes majeurs dans la réalisation des couches d'isolation par dépôt par tournette sur des nanostructures 3D, est la formation d'effets de vagues au voisinage des nanostructures, qui causent de grandes variations d'épaisseur de la couche isolante, comme représenté schématiquement sur la figure 3.5 (a). Dans le cas où la couche d'isolation ciblée est d'épaisseur de quelques dizaines de nanomètres, l'épaisseur supplémentaire dans la zone de la vague devient alors importante. Par exemple, sur la figure 3.5(b) une couche de diélectrique de 70 nm d'épaisseur est déposée sur un réseau de nanofils conduisant à un effet

de vagues autour de chaque nanofil, avec une épaisseur supplémentaire de 50 nm approximativement.

Pour contourner ce problème, la procédure adéquate est de noyer le réseau de nanofils dans la couche d'isolation (figure 3.5(c)), puis de graver le diélectrique jusqu'à l'épaisseur souhaitée (figure 3.5(d)) afin de dé-corréler l'épaisseur de la couche finale avec la hauteur des nanostructures.

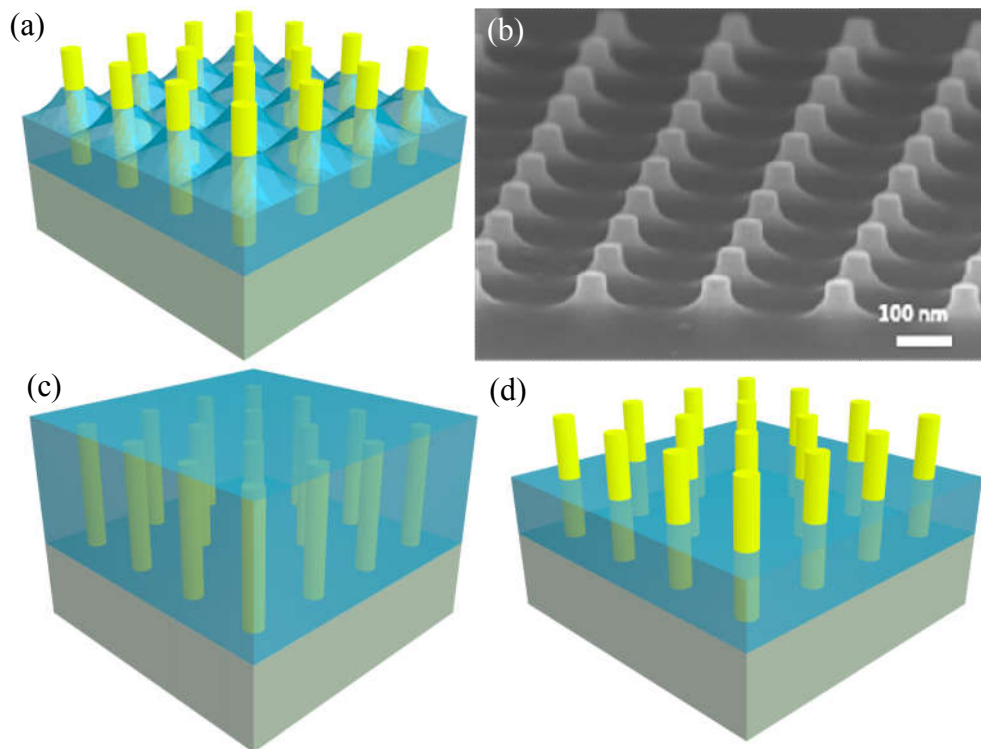


Figure 0.5 – (a) et (b) respectivement, illustration et image MEB montrant l'effet de vague sur des nanofils (c) Illustration d'un réseau de nanofils émergé dans une matrice d'isolant (d) Illustration d'un réseau de nanofils avec un isolant à mi-hauteur sans effet de vague.

3.2.2.2 Gravure chimique la HSQ

Avant d'effectuer le procédé de planarisation de la HSQ sur les réseaux de nanofils, nous procédons d'abord par l'étude des conditions et paramètres de gravure de la HSQ sous acide fluorhydrique dilué. Lorsque la HSQ est utilisée en tant que diélectrique, le procédé standard consiste à enduire la HSQ, ensuite d'effectuer un recuit à température modérée (300 °C à 600 °C [23]) afin de stabiliser chimiquement la couche d'HSQ en convertissant la structure cage ($\text{HSiO}_{3/2}$) en structure réseau (SiO_x), se rapprochant donc de la composition de l'oxyde de silicium.

Une couche d'HSQ de 330 nm a été enduite à 5000 rpm avec une dilution HSQ : MIBK = 1 : 0 sur un substrat en silicium et recuite à 400 ° C pendant 2 minutes sous azote par RTA. La couche est alors gravée dans une solution d'acide fluorhydrique diluée (HF 5% : EDI = 1 : 200) pour obtenir un meilleur contrôle de la vitesse de gravure. La vitesse de gravure de la HSQ selon les conditions décrites, est de 5,2 nm/s, soit un temps de gravure égal à 36 secondes pour une couche de 120 nm.

Une image MEB en coupe de la couche restante d'HSQ (figure 3.6(a)) montre une couche diélectrique poreuse avec de grands trous. Nous attribuons ceci à la coexistence des deux phases de la HSQ (SiO_x et SiOH) comme schématisé sur la figure 3.6(b), qui se grave à deux vitesses de gravure différentes. En effet, pendant le recuit, seule une fraction de la résine a été transformée en structure réseau (figure 4.3(b)) par la scission des liaisons Si-H (cage) et la formation des liaisons Si-O-Si (réseau). Penaud et al. [24] ont évalué par Spectroscopie Infrarouge à Transformée de Fourier (FTIR) le taux de transformation de la HSQ à différentes températures de recuit et ont trouvé que même à une température très élevée (800 °C), la structure HSQ n'est pas transformée complètement en structure réseau (SiO_x). La seule façon d'obtenir une seule phase d'HSQ est de traiter la résine telle que dans sa forme cage et seulement après avoir opéré l'attaque chimique, la densification pourra être effectuée.

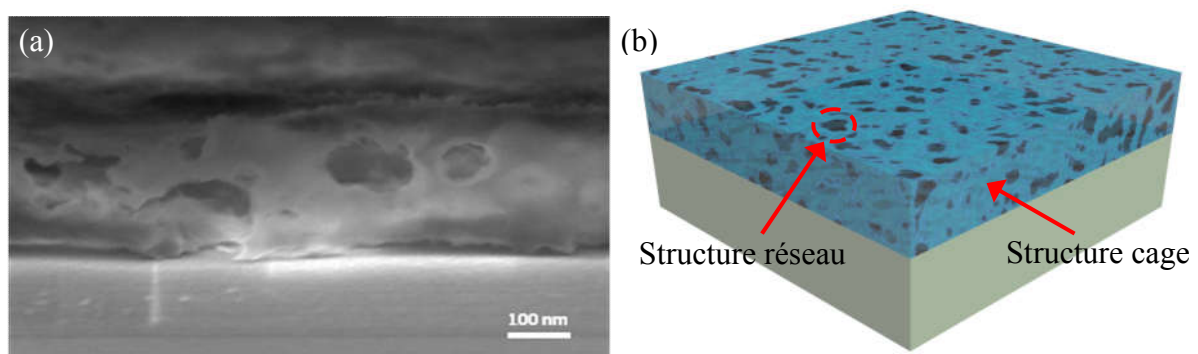
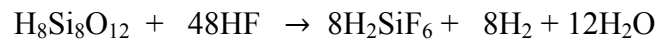


Figure 0.6 – (a) Image MEB en coupe de la HSQ résiduelle après gravure chimique (b) Illustration montrant la coexistence de la phase cage et phase réseau dans une couche d'HSQ recuite à 400 °C seulement.

En tenant compte des derniers résultats, une couche d'HSQ non recuite est gravée dans une solution d'HF diluée (1: 200). Instantanément, des bulles apparaissent à la surface de l'échantillon, comme montré sur la figure 3.7(a). Elles créent une variation locale de vitesse de gravure qui induit une rugosité de surface, avec des trous superficiels largement distribués, comme il est montré sur l'image MEB en vue de dessus insérée dans la figure 3.7(b). Ces

bulles viennent de la libération d'hydrogène en phase gazeuse lors de la gravure suivant l'équation ci-dessous :



Pour éviter l'accrochage des bulles à la surface de la HSQ, nous avons ajouté à la solution d'HF un agent cationique de surface (tensio-actif), le chlorure de benzalkonium. Les bulles de gaz sont alors extraites de la surface dès qu'elles apparaissent puis, elles sont dissoutes dans la solution (figure 3.7(c)). L'image MEB en coupe de l'échantillon (figure 3.7(d)), montre une couche isolante sans trous ou dommages à la surface de HSQ, parfaitement plane avec une rugosité (moyenne quadratique ou en anglais Root Mean Square (RMS)) inférieure à 1 nm, mesurée avec un microscope à force atomique (AFM). Le tensio-actif affecte le champ d'écoulement lors de la formation de la bulle. Il crée un gradient de tension qui conduit à une contrainte tangentielle à la surface induisant un écoulement convectif (convection Marangoni) dans la direction de la tension superficielle plus élevée. Enfin, le mouvement tangentiel du fluide augmente la pression au cou de la bulle provoquant le pincement suivie par le détachement des bulles de la surface de l'échantillon [25]. Cette technique a été utilisée pour la réalisation des couches d'isolation sur les réseaux de nanofils.

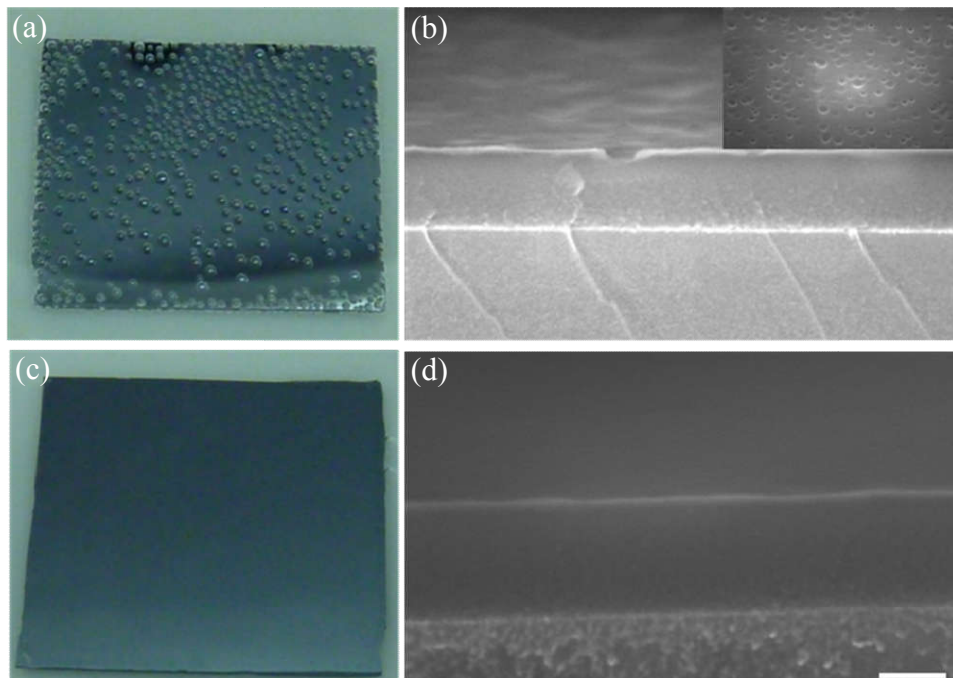


Figure 0.7 – (a) and (b) Respectivement, une photographie de l'échantillon d'HSQ dans une solution de HF diluée et une image MEB en coupe avec une vue de dessus en insert, (c) et (d) respectivement une photographie de l'échantillon HSQ dans une solution de HF diluée avec le tensioactif chlorure de benzalkonium et son image MEB en coupe.

3.2.2.3 Dépôt de la HSQ sur les réseaux de nanofils verticaux.

Une couche de 260 nm d'HSQ a été déposée sur des réseaux de nanofils verticaux en silicium de 45 nm de diamètre et de 220 nm de hauteur environ. Afin d'étudier l'influence de la densité du réseau, des nanofils avec des espacements de 180 nm et 500 nm ont été sélectionnés. La figure 3.8(a) représente l'image MEB d'un réseau de NFV en silicium d'espacement entre nanofils de 500 nm noyé dans la HSQ. Il est possible de voir en transparence l'empreinte des nanofils, révélant que l'épaisseur de la couche d'isolant déposée est à peine plus haute que la hauteur des nanofils. Par ailleurs, grâce aux mesures AFM nous avons pu caractériser la topographie de la surface de la HSQ, l'image insérée représente le profil de hauteur de la HSQ le long d'une ligne, tandis que la figure 3.8(b) est la reconstruction 3D par AFM. Ainsi, une surépaisseur au-dessus des nanofils de 6 nm est estimée. Le RMS mesurée est de 0.75 nm, témoignant du bon comportement de planarisation de la HSQ.

La figure 3.8(c), représente une image MEB d'un réseau de nanofils verticaux de 180 nm d'espacement noyé dans une matrice d'HSQ. L'image insérée est la mesure de la hauteur de la HSQ le long d'une ligne effectuée par AFM. On remarque cette fois-ci que la surépaisseur d'environ 6 nm est localisée seulement sur la périphérie du réseau. La partie centrale du réseau présente une différence de hauteur inférieure de 1 nm. La reconstruction AFM 3D de la figure 3.8(d), illustre parfaitement cet écart d'épaisseur entre la périphérie et le centre du réseau de nanofils. Le RMS mesurée au bord du réseau est également très faible, aux alentours de 0.6 nm.

Selon les résultats obtenus, nous constatons que pour les réseaux denses, la planarisation s'opère en considérant tout le réseau de nanofils comme une structure unique alors que pour un réseau avec un espacement plus large entre nanofils, chaque nanofil agit plus comme une structure isolée. Enfin, une couche diélectrique plus épaisse améliore le résultat de planarisation, par exemple une couche de 200 nm supérieure de la hauteur des nanofils conduit à une surépaisseur inférieure à 1 nm.

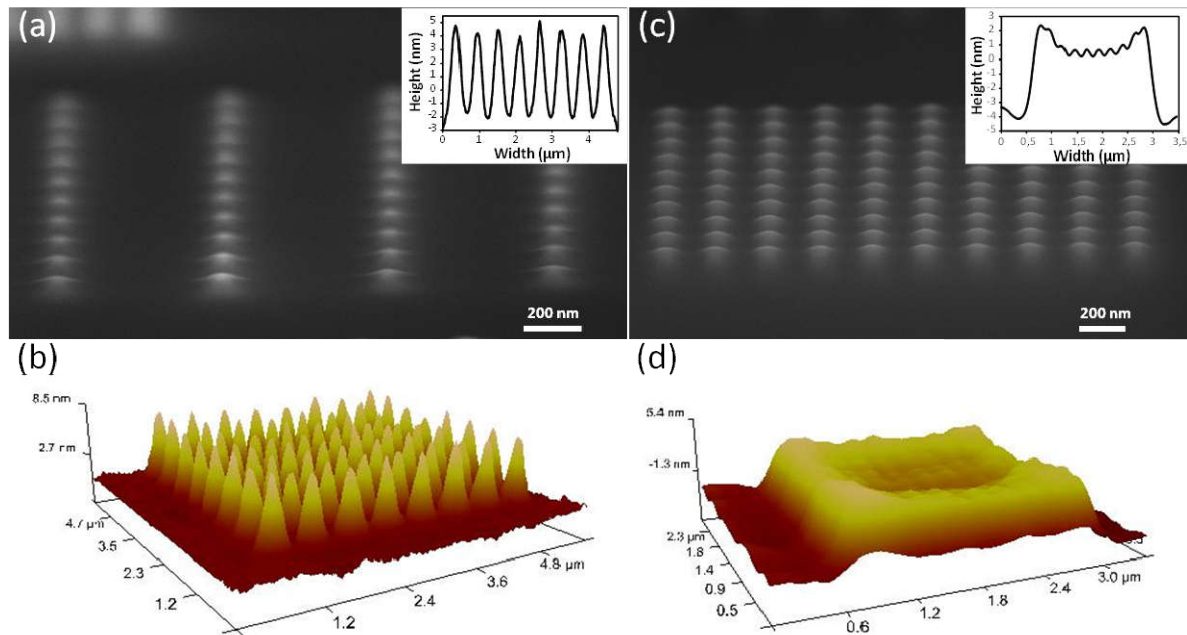


Figure 0.8 – (a et c) Images MEB en vue inclinée de réseaux de NFV en Si avec un diamètre de 45 nm noyés dans une matrice d’HSQ avec la mesure AFM en insert, respectivement pour un espacement entre nanofils de 500 et 180 nm. (c et d) leurs modèles AFM 3D.

3.2.2.4 Planarisation de la HSQ sur les réseaux de NFV

Une fois le dépôt de la HSQ sur les réseaux nanofils verticaux a été analysé, nous procédons maintenant à l’étape de planarisation de la HSQ. La gravure de la HSQ a été effectuée en utilisant l’agent de surface le chlorure de benzalkonium (0.2 g) pour la dissipation des bulles d’hydrogène dans une solution de HF plus diluée (HF 5% : EDI = 1 : 1000) pour un meilleur contrôle de la vitesse de gravure (2,3 nm/s) jusqu’à mi-hauteur des nanofils (environ 120 nm). Les résultats de la gravure pour les deux réseaux de nanofils d’espacement de 180 et 500 nm sont présentés sur la figure 3.9. Une excellente planéité du diélectrique sans dommages sur les réseaux de nanofils ou sur la surface est observée (forte rugosité, trous, cisaillement des nanofils). La couche résultante d’HSQ autour des réseaux de nanofils est hautement planarisée avec la même hauteur pour tous les nanofils et surtout aucun effet de vague au pied des nanofils. Les mesures du profil par AFM insérées dans les figures 3.9 (a) et (c) ainsi que la reconstruction 3D par AFM (figure 3.9(b) et (d)) pour les espacement entre nanofils de 180 et 500 nm respectivement, montrent que la légère surépaisseur, présente lors du dépôt de la HSQ (voir figure 3.8(a)), a été largement réduite en raison de la gravure isotrope. Il ne reste que la légère surépaisseur sur la bordure du réseau dense (180 nm) (fig. 3.9(a)) qui n’a aucune incidence et sans influence négative sur la suite du procédé. Le RMS

après planarisation est de 1.85 et 1.9 nm pour les espacements entre nanofils de 180 et 500 nm respectivement, démontre que la gravure n'induit pas de rugosité supplémentaire.

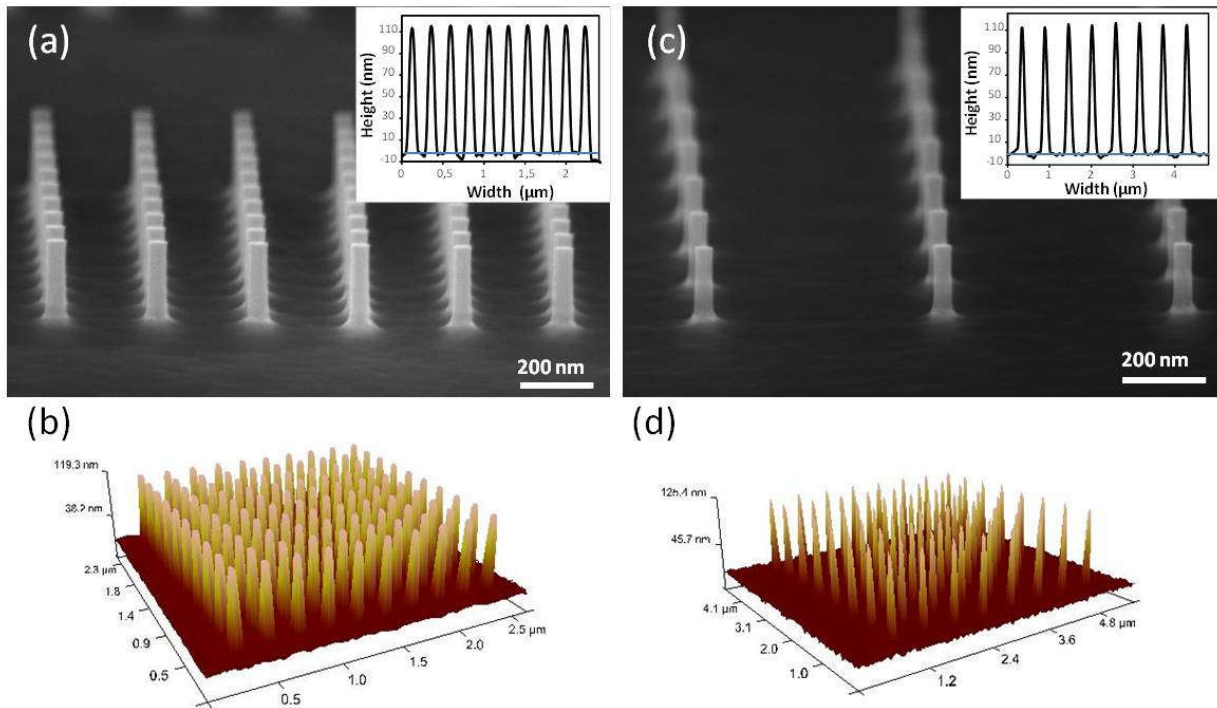


Figure 0.9 - (a et c) Images MEB en vue inclinée de réseaux de NFV en Si avec un diamètre de 45 nm après procédé de planarisation de la HSQ avec la mesure AFM en insert, respectivement pour un espacement entre nanofils de 180 et 500 nm. (c et d) leurs modèles AFM 3D.

La figure 3.10, montre les réseaux de NFV après la réalisation du siliciure de platine de 16, 27, 37 et 67 nm de diamètre, parfaitement planarisés jusqu'à mi-hauteur, avec une hauteur restante d'environ de 105 nm. Ensuite, la résine a été densifiée par un RTA à 400 °C sous flux de N₂ pendant 2 minutes pour une meilleure stabilité de la résine.

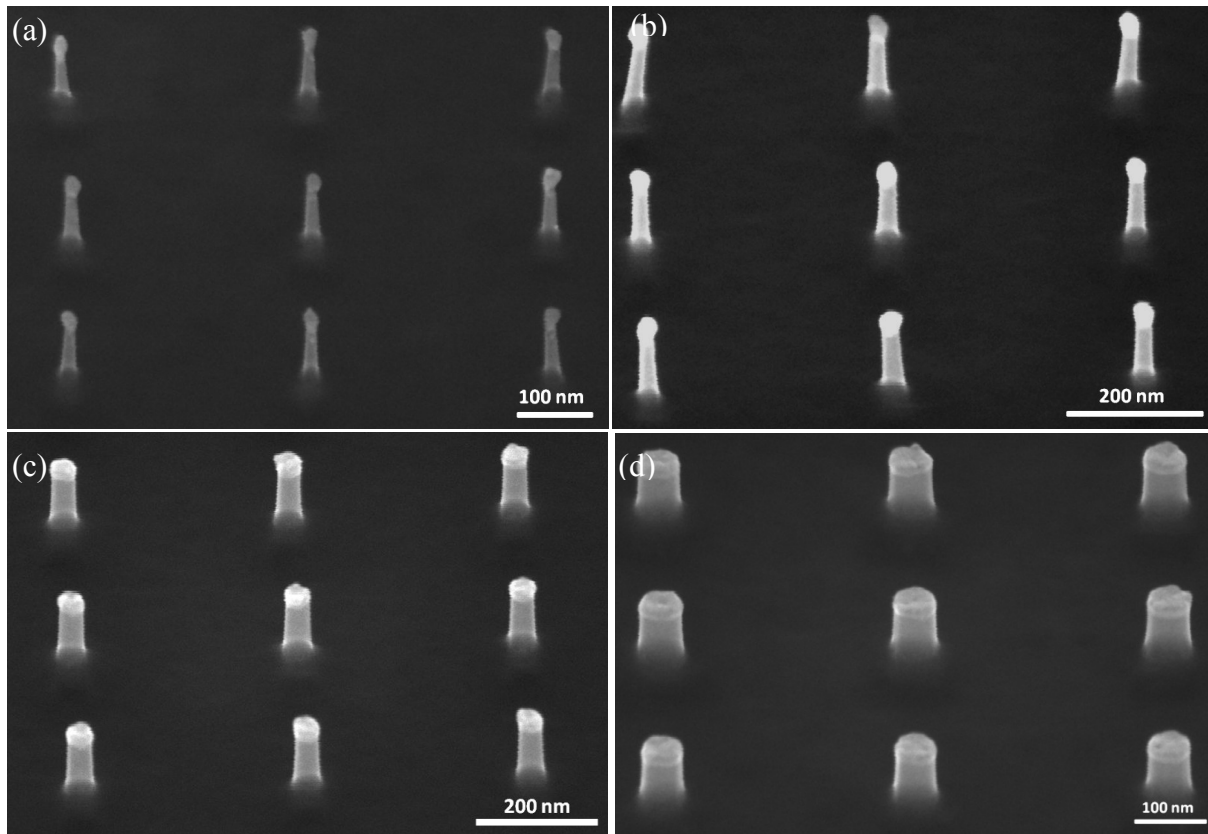


Figure 0.10 – Images MEB en vue inclinée de réseaux de nanofils planarisés à mi-hauteur de (a) 16 nm (b) 27 nm (c) 38 nm et (d) 67 nm de diamètre respectivement.

3.2.3 Niveau d'isolation supérieur

Un deuxième espaceur, permettant l'isolation entre la grille et le contact S/D haut a été réalisé. Ce dernier peut être obtenu par la méthode de planarisation présentée précédemment. Le but recherché dans ce procédé est de couvrir la totalité du nanofils à l'exception de l'extrémité siliciurée supérieure qui servira de contact électrique (source/drain) du dispositif MOSFET. Une méthode alternative est proposée utilisant une gravure plasma qui ne détériore par le contact métallique et plus rapide à mettre en place.

Une couche de HSQ de 160 nm a été déposée par enduction à 5000 rpm avec une dilution HSQ : MIBK = 1 : 1 au-dessus du niveau de métal de grille. Ensuite, la HSQ a été densifiée par un RTA à 400 °C pour 2 minutes sous flux d'azote pour une meilleure stabilité thermique. Le substrat a été transféré dans le bâti de gravure plasma ICP pour graver la HSQ en surplus jusqu'à libérer le siliciure platine de l'extrémité supérieure du nanofils. Une gravure plasma en mode CCP dans un milieu gazeux composé de CHF₃ : CF₄ : Ar = 20 sccm : 20 sccm : 10 sccm, une pression de 50 mTorr et une puissance bias de 50 Watts. La vitesse de gravure de la HSQ densifiée est de 37 nm/min. le résultat de gravure est présenté dans la figure 3.11.

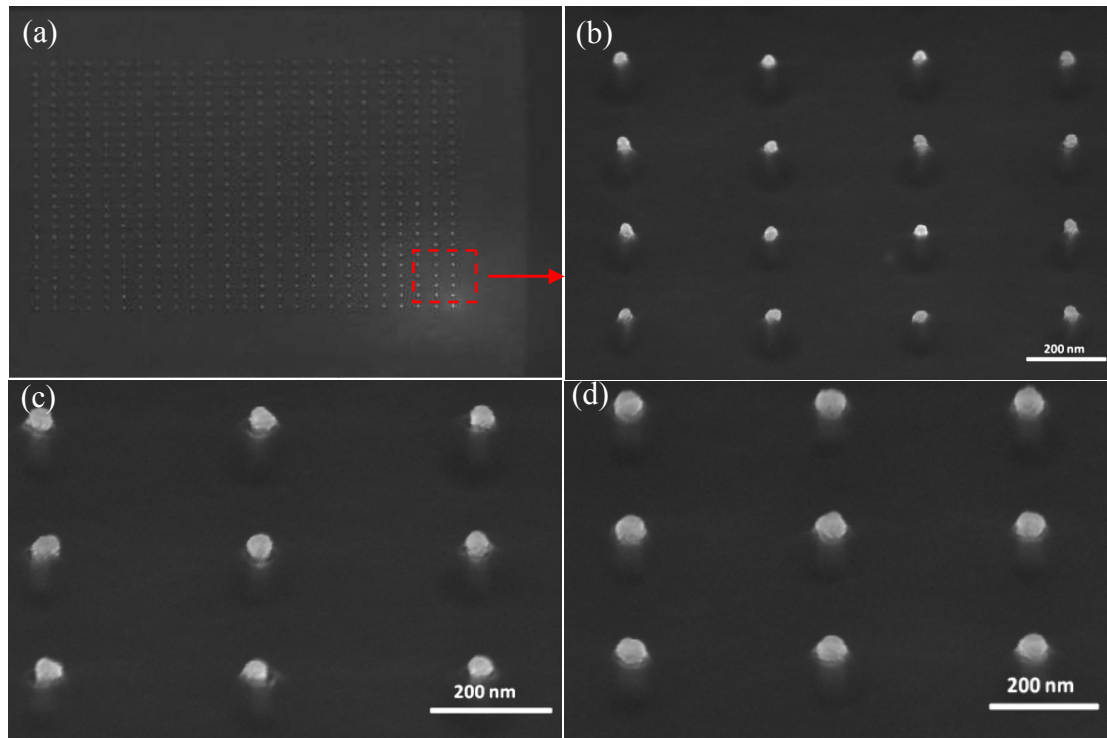


Figure 0.11 – Images MEB après planarisation de la HSQ pour la réalisation du niveau d’isolation supérieur (a) réseau de 625 nanofils de 17 nm de diamètre planarisé avec une grande reproductibilité (b) images à fort agrandissement de réseaux de nanofils de 17 nm, (b) 27 nm et (d) 40 nm de diamètre respectivement.

La figure 3.11(a) représente un réseau de 625 nanofils de 17 nm de diamètre hautement planarisé avec rendement de 100% (siliciure non dégradé). La figure 3.11(b), (c) et (d), représentent des images MEB à fort agrandissement de réseaux de nanofils de 17, 27 et 40 nm, permettant de constater la haute reproductibilité du procédé de réalisation du niveau d’isolation supérieur par gravure plasma.

Pour démontrer que l’approche développée (ie ; grande planéité, rugosité minimale, bon contrôle de la vitesse de gravure, aucun défaut ou effet de vague) est parfaitement adaptée pour une ingénierie multicouche sur les nanostructures 3D, nous avons intégré un empilement de cinq couches (trois métalliques conductrices et deux diélectriques isolantes) sur les réseaux des nanofils verticaux. Une image par microscopie électronique à transmission (TEM) en coupe (figure 3.12) montre les résultats représentatifs de cette expérience. Une bonne planéité (absence de l’effet de vague au voisinage du nanofil) et haute uniformité, sans discontinuité des couches peuvent être observées. Les deux couches de diélectriques minces ne présentent pas de défauts structuraux tels que les vides et la porosité de couche [26].

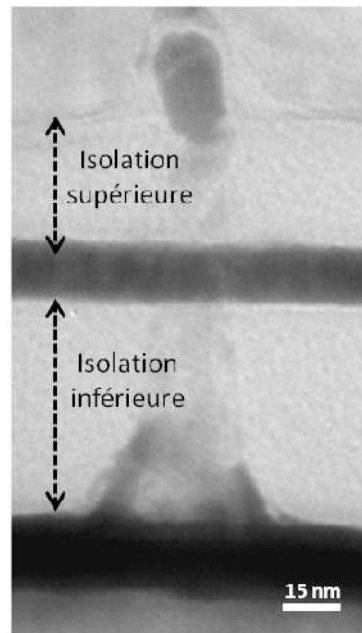


Figure 0.12 – Image TEM en coupe de l'architecture multi-niveaux à base de nanofil vertical réalisée grâce à la maîtrise du procédé de réalisation des couches d'isolation.

3.3 Photolithographie

Cette dernière section du chapitre 3 est consacrée à la réalisation des contacts électriques et interconnexions (vias) des MOSFETs à base de NFV par une ingénierie de couches métalliques de dimension nanométrique. Nous proposons donc un procédé de fabrication basé sur des étapes de photolithographie par projection à grand échelle, utilisant des technologies conventionnelles parfaitement compatibles CMOS. Le procédé de réalisation des contacts source et drain en siliciure de platine (présentée lors de la première section du chapitre) est abordé en premier lieu, puis la réalisation du contact de grille à mi-hauteur de la structure verticale. Enfin, nous présenterons le procédé de fabrication des plots de contact électrique avec la réalisation des vias pour connecter le contact S/D bas ainsi que le contact de grille. Ces trois terminaux sont séparés par des couches d'isolation en HSQ présentée également dans la section 2 de ce chapitre. La figure 3.13 montre la disposition de chaque terminal électrique ainsi que sa composition.

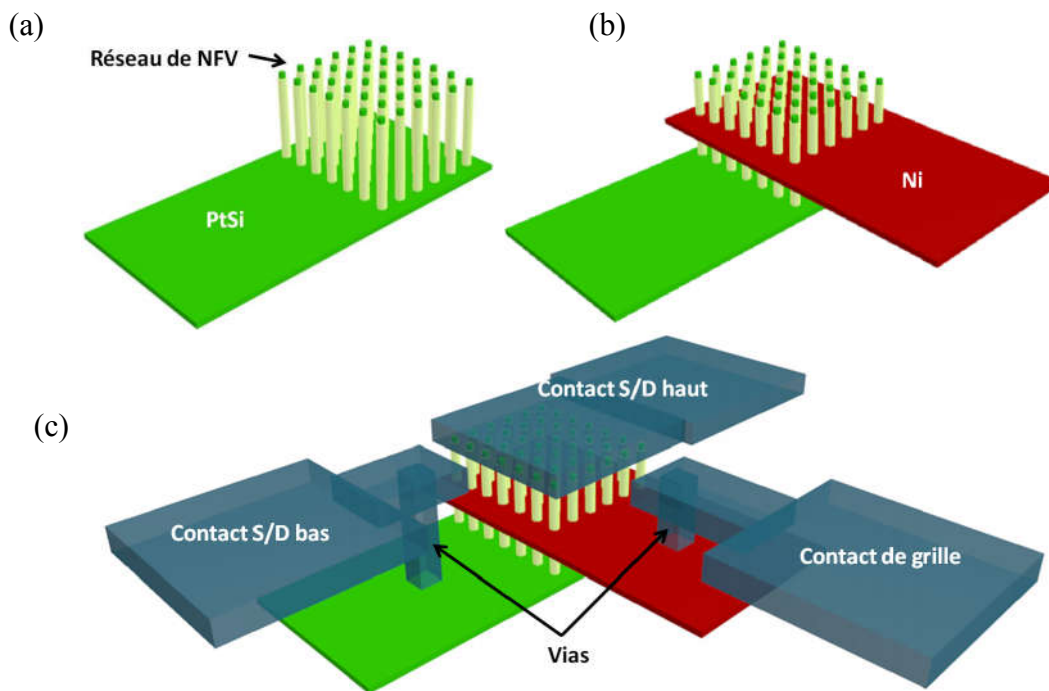


Figure 0.13 – Illustrations des différents contacts électriques (a) S/D en PtSi (b) Grille en Ni et (c) Vias et plots de contact électrique en Al.

Les contacts S/D en PtSi sont d'abord réalisés sur les réseaux de nanofils (fig. 3.13(a)). Après la réalisation du premier niveau d'isolation, le contact de grille en Ni est réalisé à mi-hauteur des réseaux de nanofils (fig. 3.13(b)). Les contacts en PtSi et Ni sont orientés l'un de l'autre d'un angle de 90°. Des ouvertures dans le diélectrique destinées aux vias sont ensuite réalisées et remplies d'aluminium pour la réalisation des plots de contacts électriques (fig. 3.13 (c)). Cette dernière étape est précédée par la réalisation du second niveau d'isolation.

Chaque contact a été défini par un aligneur par projection CANON 3000i4, un système lithographique optique par projection qui consiste à exposer une résine photosensible aux rayonnements UV à travers un masque réducteur de 5 fois. La limite de résolution obtenue avec ce système est de 0.35 μm à une longueur d'onde de 365 nm. Cet équipement dispose d'un aligneur automatique permettant d'obtenir une précision d'alignement de ± 150 nm.

3.3.1 Procédé monocouche pour lift off

La stratégie initiale pour la réalisation des différents terminaux électriques consistait à développer un procédé de lift off (méthode de définition de structures à la surface d'un substrat en utilisant une couche sacrificielle comme une résine photosensible) en monocouche

à base de la résine à polarité positive ECI (AZ). La réussite de ce procédé passe par deux conditions précises ; (1) l'épaisseur du métal déposée ne doit pas dépasser un tiers de l'épaisseur de la résine et (2) les flancs de la résine doivent être inversés ou rentrants, car si les flancs sont droits ou inclinés, le métal se déposera aussi sur ceux-ci empêchant le passage du révélateur pour dissoudre la résine.

Les premiers travaux pour développer le procédé de lift off à base d'une résine positive (ECI) consistaient à trouver les paramètres d'énergie et de focus nécessaires à la structuration de la résine avec des flancs inversés tout en conservant les côtes du masque (fig. 3.14(f)). Pour cela, une couche d'ECI d'épaisseur de $1.1\ \mu\text{m}$ a été déposée par enduction à une vitesse de rotation de 3600 rpm pendant 30 secondes suivie d'un recuit à $90\ ^\circ\text{C}$ pendant une minute. L'exposition de la résine a été effectuée au photorépéteur en opérant un balayage d'énergie d'exposition et du focus afin de déterminer les conditions d'exposition idéales pour la réussite du lift off. L'énergie d'exposition a été variée de 725 à $1025\ \text{J/m}^2$ avec un pas de $50\ \text{J/m}^2$ tandis que le focus a été varié de $+0.7\ \mu\text{m}$ à $-1.5\ \mu\text{m}$ avec un pas de $0.3\ \mu\text{m}$ (la référence est l'interface résine - air). Après exposition, la résine a été ensuite recuite (Post Exposure Bake (PEB)) à $110\ ^\circ\text{C}$ pendant une minute et les structures ont été révélées par immersion manuelle dans une solution de MF CD 26 pendant 30 secondes.

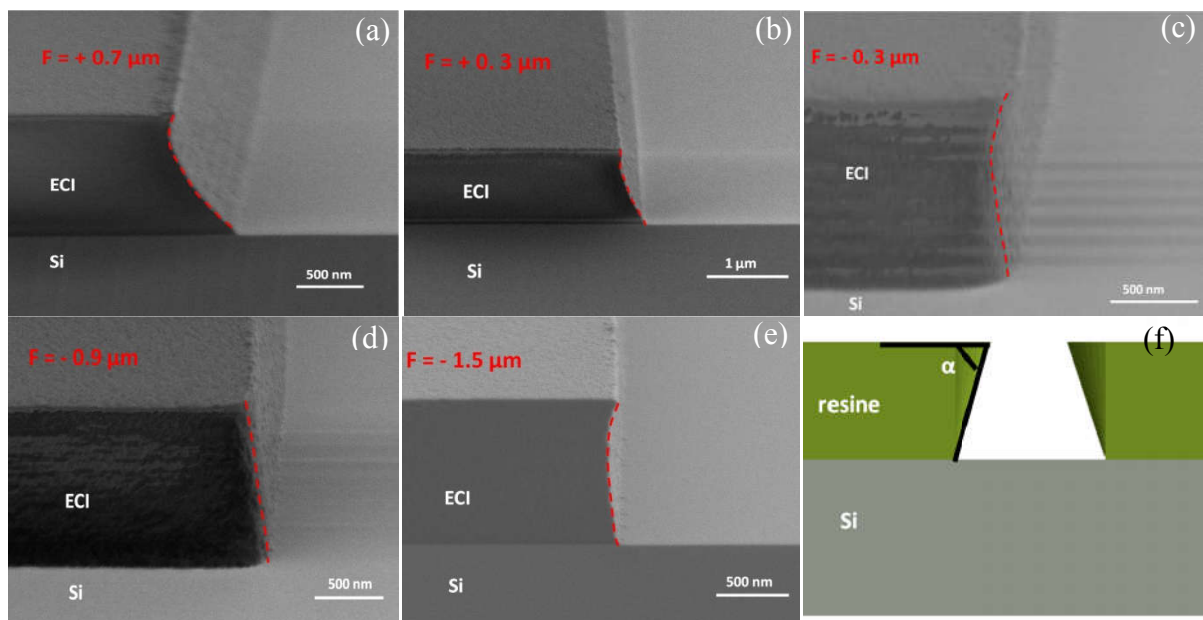


Figure 0.14 – (a) – (e) Images MEB en vue inclinée montrant la variation de la pente des parois de la résine ECI d'épaisseur $1.1\ \mu\text{m}$ en fonction du focus (f) illustration du procédé de photolithographie compatible avec le procédé lift off.

La mesure des largeurs des structures a été effectuée aux profilo-mètre mécanique (TENKOR). Ces mesures nous permettent de conclure qu'une énergie de 800 J/m^2 est celle qui permet d'obtenir des structures correspondant à la taille du masque de photolithographie. Le substrat a été ensuite caractérisé par imagerie MEB afin de déterminer la valeur du focus idéale pour l'inversion des flancs. Sur la figure 3.14 nous montrons les résultats.

Lorsque le focus est défini au-dessus de l'interface résine – air ($F > 0$), les parois de la résine avec l'interface résine – air forme un angle supérieur à $\alpha > 90^\circ$ (fig. 3.14(f)) ce qui est néfaste pour le procédé de lift off et entrainera le dépôt du métal sur les parois rendant le procédé de lift off impossible à réaliser. On constate également que cet angle α est de plus en plus élevé lorsque le focus est défini plus haut que l'interface résine – air (fig. 3.14 (a, b, c)). Pour des valeurs de focus inférieur à $0 \text{ }\mu\text{m}$, le profil des parois devient plus vertical, cependant même pour des valeurs de focus de $-1.5 \text{ }\mu\text{m}$, l'angle α est à peine inférieur à 90° (fig. 3.14 (d, e)). Un dépôt de 10 nm de platine a été réalisé sur ces différents cas puis caractérisé au MEB (fig. 3.15).

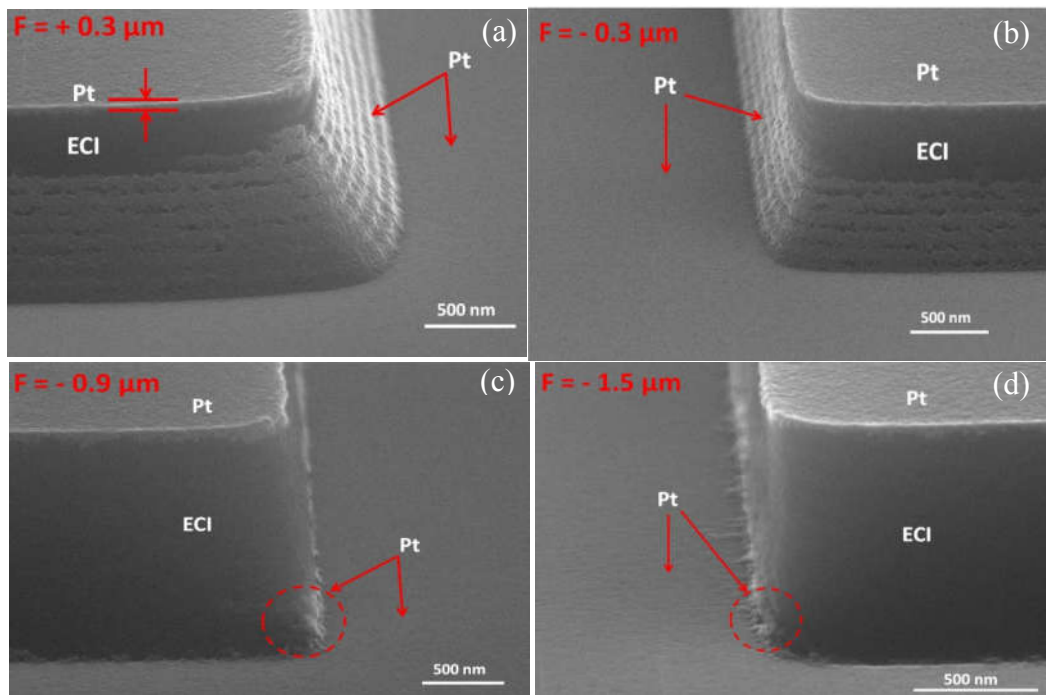


Figure 0.15 – (a – d) Images MEB en vue inclinée de structures en ECI après dépôt de 10 nm de platine pour des valeurs de focus de $+0.3$, -0.3 , -0.9 et $-1.5 \text{ }\mu\text{m}$ respectivement.

Comme attendu, les parois de la structure en ECI de la figure 3.15 (a, b) ayant un focus de $\pm 0.3 \text{ }\mu\text{m}$ (angle $> 90^\circ$) sont pratiquement recouvertes de Pt, tandis que les parois de la structure exposée avec un focus de $-0.9 \text{ }\mu\text{m}$ (figure 3.15(c)) ne présentent pratiquement pas

de dépôt de platine (excepté au pied des parois). Ce phénomène est moins présent pour un focus de $-1.5\ \mu\text{m}$ (figure 3.15(d)) en raison d'un profil beaucoup plus droit. Enfin, le retrait de la résine a été opéré par immersion manuelle dans une solution d'acétone et sécher à l'aide d'une tournette. Les résultats du lift off sont présentés sur la figure 3.16.

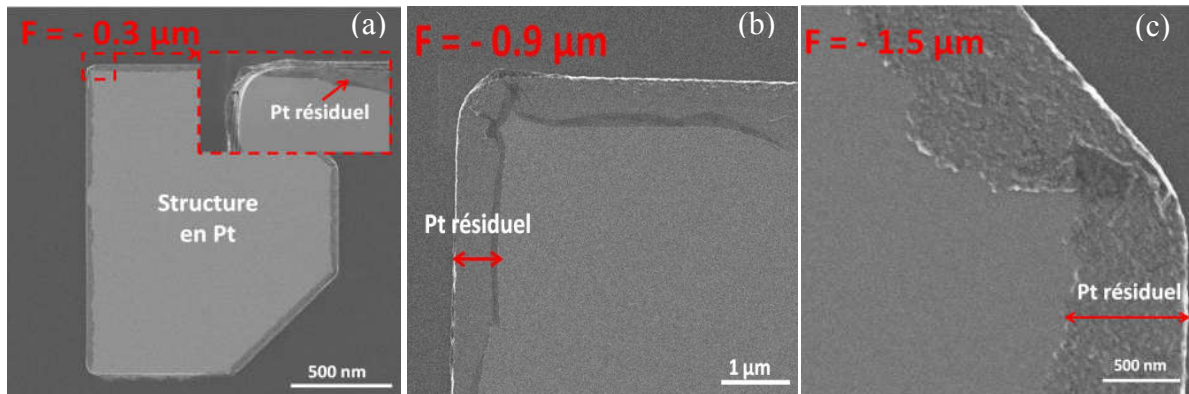


Figure 0.16 – Images MEB en vue de dessus de structures en Pt après lift off avec des résidus de platine sur les bords des structures obtenues après exposition à des focus de -0.3 , -0.9 et $-1.5\ \mu\text{m}$ respectivement.

Malgré la bonne définition des structures, on observe depuis la figure 3.16 des redépôts de platine sur tous les bords des motifs obtenus, ces résultats sont généralisés pour n'importe quelle valeur du focus. Ces chutes peuvent avoir de sévères conséquences sur les dispositifs MOSFETs en altérant la reproductibilité et pourront même causer des courts circuits.

La solution adoptée pour bien définir les motifs en platine pour la réalisation des contacts S/D bas du dispositif, est de réaliser un procédé de résine bi-couche se composant d'une couche de 220 nm de LOR 3A (résine PMGI de MicroChem) et d'une couche de $1.1\ \mu\text{m}$ d'ECI. Le dépôt de LOR 3A sur un substrat de 4 pouces a été effectué par enduction à une vitesse de rotation de 3600 rpm pendant 30 secondes et recuite à $170\ ^\circ\text{C}$ pendant 2 minutes, suivi par un dépôt d'une couche d'ECI à 3600 rpm et recuite à $90\ ^\circ\text{C}$ pendant une minute. Après exposition au photorépéteur à une énergie de $800\ \text{J/m}^2$ ainsi qu'un focus de $-0.9\ \mu\text{m}$, le substrat a subi un PEB à $110\ ^\circ\text{C}$ pendant 1 minute. La LOR, n'étant pas photosensible, n'a pas subi de modification lors de l'exposition à l'UV et est parfaitement soluble dans le MFCD26. La révélation a été effectuée dans une solution de MFCD26 pendant 45 secondes, le substrat a été rincé à l'EDI et séché par rotation. Le substrat a été transféré dans le bâti d'évaporation où 10 nm de platine ont été déposés à une vitesse de $0.1\ \text{nm} / \text{seconde}$. Le lift off a été effectué en alternant entre l'acétone et le MFCD26 pour dissoudre respectivement

l'ECI et la LOR 3A. Le substrat a été rincé dans l'isopropanol et séché par rotation. Le résultat du lift off est présenté sur la figure 3.17.

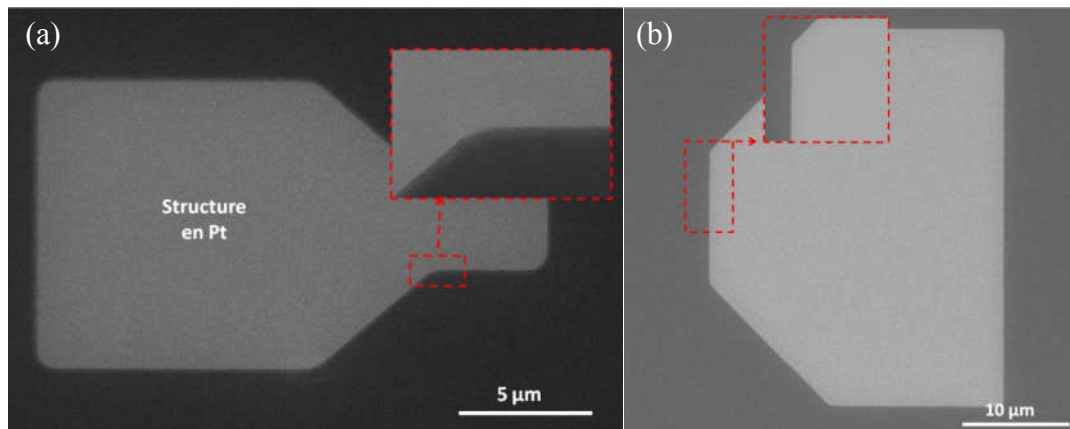


Figure 0.17 – Images MEB en vue de dessus de structures en platine réalisées par procédé lift off en bi-couche de résine.

Des structures parfaitement définies ont été obtenues, sans résidus de platine sur les bords comme le témoigne la figure 3.17. Ce procédé a été appliqué sur les réseaux de nanofils verticaux. La réaction de siliciuration a été activée et le platine non réagi a été gravé chimiquement dans une solution d'eau régale. Le résultat est présenté sur la figure 3.18.

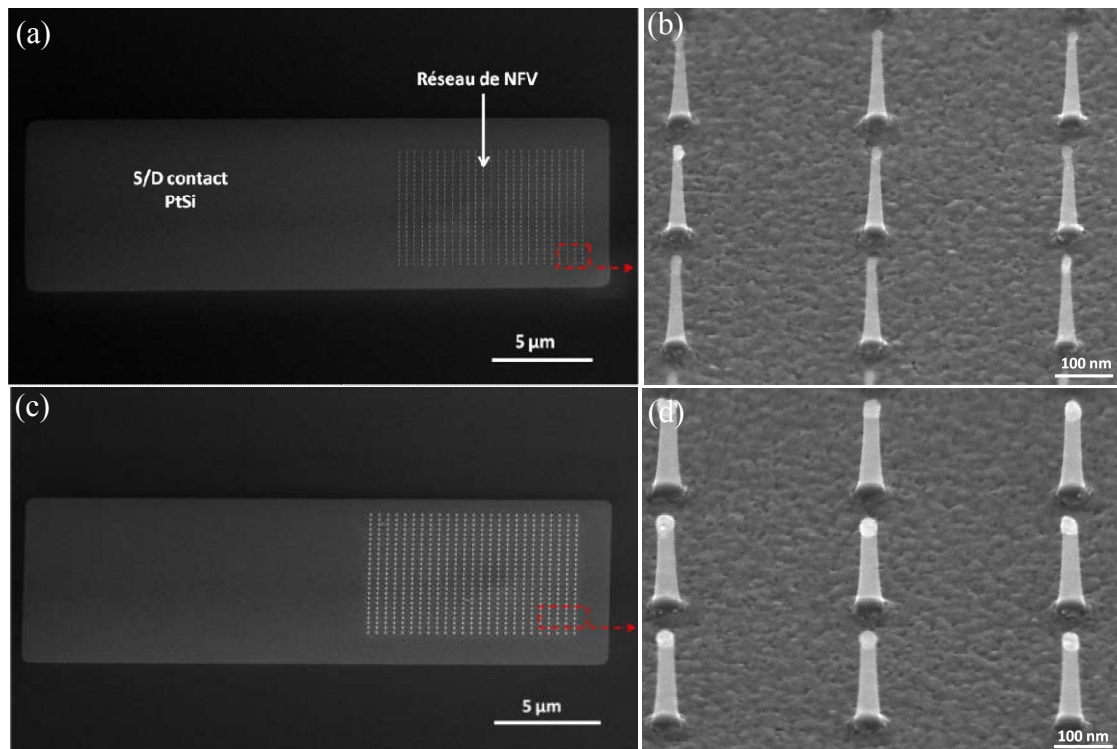


Figure 0.18 – (a) et (c) Images MEB en vue inclinée de structures en PtSi contenant des réseaux de nanofils (25 x 25) de 20 et 30 nm de diamètre respectivement avec (c) et (d) respectivement leur images MEB à fort agrandissement.

La figure 3.18 montre des motifs parfaitement définis avec une grande reproductibilité sur des réseaux de nanofils.

3.3.2 Verrous technologiques : incompatibilité développeur résine – HSQ

Ce même procédé devait être aussi utilisé pour la réalisation des contacts de métal de grille et des plots. Sachant que ces contacts sont déposés au-dessus d'une couche d'isolation, une couche d'HSQ de 160 nm a été enduite sur un substrat 4'' et densifiée à 400 °C pendant 2 minutes. Le procédé de lift-off a été réalisé avec un dépôt de 400 nm d'Al déposé par évaporation par faisceau d'électrons à une vitesse de dépôt de 0.5 nm/seconde. Le substrat a été clivé et observé au MEB en coupe (fig. 3.19).

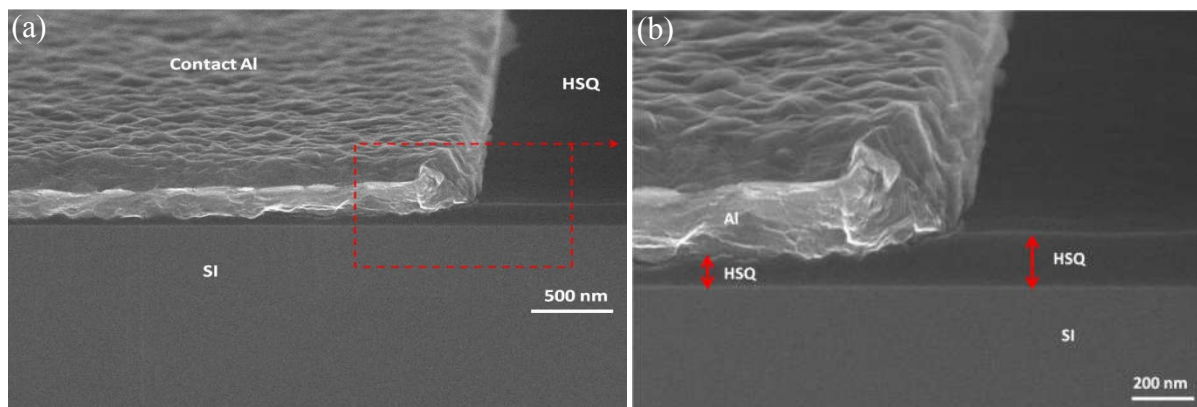


Figure 0.19 – (a) et (b) Images MEB en coupe respectivement d'un contact en Al déposé sur la HSQ par lift off de NLOF et son image à fort agrandissement.

La figure 3.19 montre une différence d'épaisseur de la couche d'HSQ en dessous des contacts en aluminium et celle en dehors du contact. En effet, l'épaisseur de la HSQ en dehors du contact représente l'épaisseur d'HSQ initiale qui était recouverte par la résine avant le procédé du lift off, tandis que la couche d'HSQ en dessous du contact en aluminium représente la partie d'HSQ exposée lors de la révélation de la résine. Le révélateur utilisé, le MF CD 26, est à base de TMAH à une concentration de 2.4 %. Sachant que le TMAH dissout la HSQ, tout porte à croire qu'elle est la cause de la diminution de l'épaisseur de la HSQ même à de faibles concentration de TMAH. Le MF CD 26 a été préféré en raison de sa compatibilité à la technologie CMOS contrairement à d'autres développeurs comme l'AZ développeur qui contient du NaOH ou le AZ 400 k qui est à base de KOH. Afin d'éviter toute contamination qui peut altérer le fonctionnement de nos dispositifs, la définition des motifs de contact avec un procédé lift off n'est pas adapté à cette architecture.

3.3.3 Structuration des métaux

3.3.3.1 Réalisation des plots de contact

L'alternative envisagée au procédé de lift off est la structuration de la couche de métal après dépôt uniforme sur tout le substrat. Une étape de photolithographie est réalisée pour masquer les motifs de contact, puis le métal non protégé par la résine est retiré par gravure humide. Afin de valider ce procédé, une couche d'HSQ 160 nm d'épaisseur densifiée à 400 °C pendant 2 minutes est suivie d'un dépôt par évaporation de 400 nm d'Al. Une couche de 1.1 µm d'ECI est déposée puis exposée au photorépéteur et révélée avec les mêmes paramètres que précédemment. Le substrat est enfin caractérisé au MEB (figure 3.20).

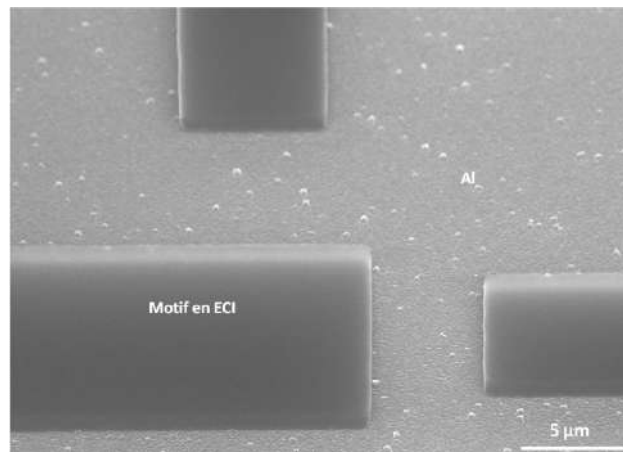


Figure 0.20 – Image MEB en vue inclinée de structures en ECI définies par photolithographie sur une couche d'Al.

La figure 3.20 montre des structures en résine parfaitement définies sur une couche d'aluminium, avec des parois de résine verticales (focus = - 0.9 µm).

Une gravure humide sélective est mise en œuvre en utilisant une solution chimique à base de EDI : HNO_3 : H_3PO_4 = 35 : 200 : 25 ml. La vitesse de gravure de l'Al dans cette solution est de 45 nm / minute. L'échantillon d'ECI sur l'Al a été émergé dans cette solution pendant 8 minutes pour graver 400 nm d'Al puis rincé à l'EDI et séché sous flux d'azote. Après le retrait de la résine comme précédemment, l'échantillon est caractérisé au MEB, le résultat de la gravure humide est présenté sur la figure 3.21.

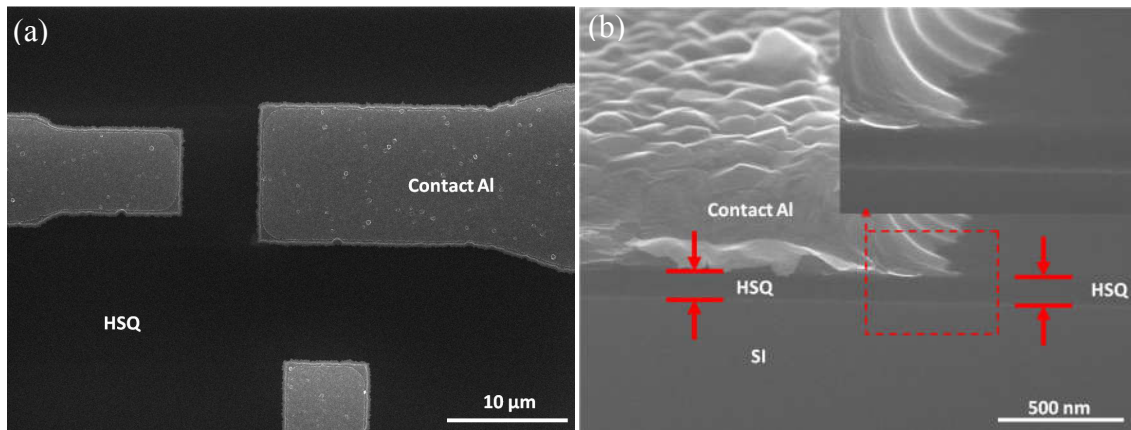


Figure 0.21 - Images MEB (a) en vue de dessus de structure en Al et (b) en vue de coupe d'un contact en Al avec une image à fort agrandissement en insert.

La figure 3.21(a) permet la visualisation par imagerie MEB de structures en Al parfaitement définies grâce au procédé de gravure chimique. La figure 3.21(b) est une image MEB en coupe obtenue par la découpe de l'échantillon au milieu d'une structure en Al. L'épaisseur de la HSQ est identique au-dessous ou en dehors de la structure en Al attestant de la grande sélectivité du procédé. Par ailleurs, aucun défaut n'a été remarqué à la surface.

La gravure humide est isotrope, par conséquent la gravure de l'aluminium s'effectue également latéralement en dessous de la résine de masquage (en périphérie du masque). Avec une vitesse de gravure de 45 nm/minute et sur une grande épaisseur d'aluminium (400 nm), une sous-gravure importante peut avoir lieu, il serait intéressant d'élargir légèrement le masque en exposant la résine avec une plus grande énergie. L'énergie d'exposition a été augmentée de 800 à 975 J/m². Ce procédé est donc choisi pour la gravure d'aluminium lors de la réalisation des pads de contact.

3.3.4 Réalisation du contact de grille.

La réalisation du contact de grille en nickel (Ni) a également été effectuée par gravure chimique en raison de l'incompatibilité HSQ – MF CD 26. 15 nm de Ni ont été déposés par évaporation à une vitesse de 0.1 nm / seconde sur les réseaux de nanofils verticaux en silicium juste après la réalisation du premier niveau d'isolation en HSQ. Une étape de photolithographie est effectuée utilisant la résine ECI d'épaisseur 1.1 µm, exposée à une énergie de 800 J/m² et un focus de – 0.9 µm. La gravure de Ni a été effectuée dans une solution chimique à base de H₂SO₄ : H₂O₂ : EDI = 25 : 1 : 50 ml, la solution étant exothermique, elle est laissée se refroidir pendant 30 minutes afin d'éviter de dissoudre la résine de masquage. La vitesse de gravure est de 10 nm / minute, soit un temps de gravure

totale de 1 minute et 30 secondes. Après rinçage à l'EDI et séchage, le substrat est caractérisé au MEB (3.22).

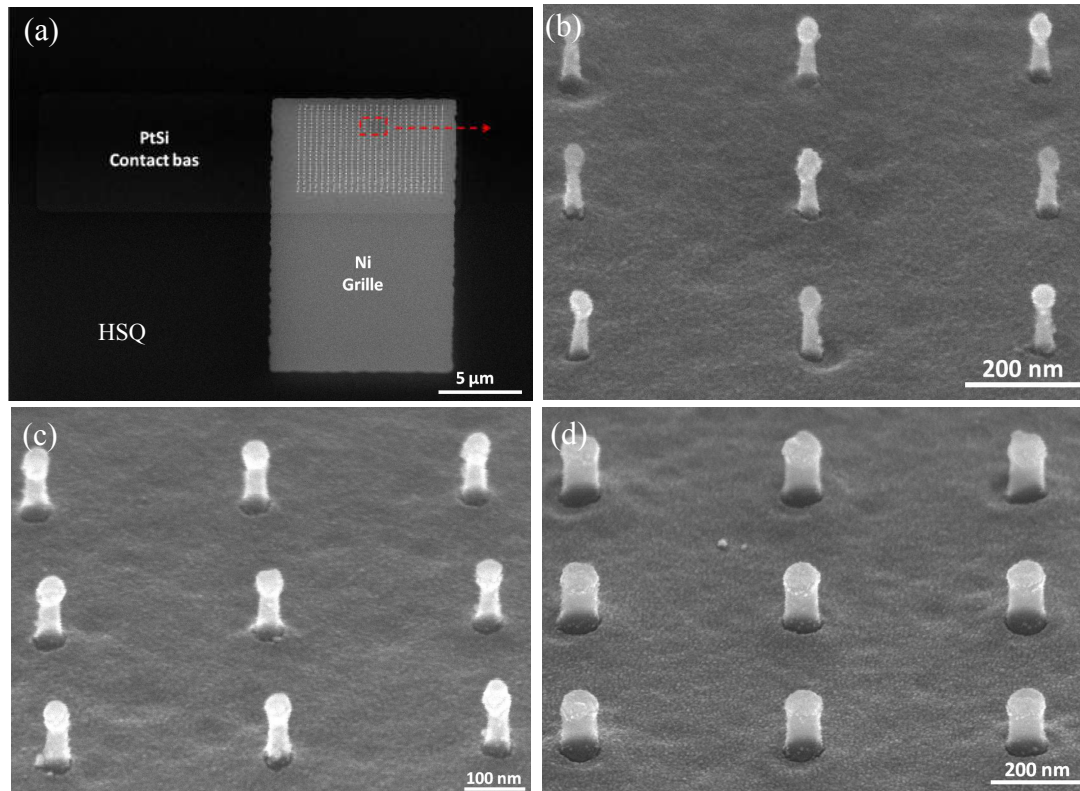


Figure 0.22 - Images MEB en vue inclinée (a) contact de grille en Ni sur des réseaux de nanofils (b) son image à fort agrandissement sur les réseaux de nanofils de 20 nm de diamètre (c) et (d) réseaux de nanofils après dépôt de Ni de diamètre 32 et 45 nm respectivement.

La figure 3.22 atteste de la reproductibilité du procédé. La solution chimique est très sélective et n'altère aucunement la couche d'isolation inférieure, préservant l'empilement verticale. La figure 3.22(a) montre un réseau de nanofils de 625 nanofils (25 x 25) sur lequel un motif en Ni est défini sur la couche d'HSQ servant de contact de grille. Il est possible également de voir en transparence le contact S /D bas orienté de 90 ° par rapport au contact de grille. Sur la figure 3.22(b), une image MEB à fort agrandissement du réseau de nanofils de 20 nm de diamètre démontrant une haute planéité de la couche de nickel prenant contact autour des nanofils. La figure 3.22 (c) et (d) sont des images MEB à fort agrandissement pour des réseaux de nanofils de 32 et 45 nm de diamètre respectivement.

3.3.5 Qualité de dépôt

Le choix du métal de grille dépend du type de transistor (n ou p), pour une raison de symétrie, un matériau de travail de sortie (Φ_m) se trouvant à mi-hauteur la bande interdite ($\Phi_m \approx 4.5$ eV) du silicium (dit aussi mid-gap en anglais) est souvent préconisé. Dans cette

perspective notre choix s'est porté initialement sur le chrome où son travail de sortie $\Phi_m = 4.5$ eV [28] qui permettrait d'adresser les transistors n et p sans aucun décalage de la valeur de tension de seuil. Cependant, le chrome tout comme l'aluminium ont tendance à s'oxyder très rapidement comme le démontre les potentiels d'oxydoréduction du couple Cr^{3+}/Cr égale à -0.74 V et le couple Al^{3+}/Al égale à -1.66 V donnant le Cr_2O_3 et Al_2O_3 , respectivement les oxydes de chrome et d'aluminium les plus stables [29]. A cet effet, il est impératif d'optimiser les conditions de dépôt de ces deux métaux utilisés dans notre architecture MOSFETs à base de NFV.

La figure 3.23 (a) représente une image MET d'une coupe au niveau du via connectant la grille en chrome aux plots de contact en aluminium. Afin de détecter la présence de l'oxygène à l'interface attestant de la présence d'un oxyde inhibant le passage du courant, des analyses EDX (Analyse Dispersive en Energie) ont été effectuées (fig.3.23(b)). La couleur verte détermine les régions où l'oxygène est présent. Il est tout à fait normal de trouver l'oxygène au niveau de l'HSQ (SiOx), cependant la partie délimitée en rouge représente l'interface Al-Cr où l'oxygène n'est pas censé se trouver. On trouve un pourcentage d' O_2 de 41 % de la composition totale. Cette quantité diminue en s'éloignant de l'interface mais qui reste élevé au niveau du Cr (15 nm) avec un pourcentage de 20 % au minimum. La contamination à l'oxygène dans la couche d'Al plus loin de l'interface chute à 3 %. Ces résultats nous permettent de conclure que la contamination à l'oxygène des métaux considérés réside principalement sur la qualité des premières couches du métal déposé. En effet, le bâti d'évaporation ne possède pas de SAS d'introduction d'échantillons, la chambre de dépôt est exposée à l'air à chaque introduction d'échantillons, ce qui entraîne une présence d'oxygène résiduelle conséquente dans la chambre de dépôt. Afin de surmonter cette difficulté, nous avons opté pour une grille en Ni qui a un potentiel d'oxydoréduction Ni^{2+}/Ni égal à -0.25 V, moins élevé que le Cr, donc moins favorable à l'oxydation. La couche d'aluminium est déposée par pulvérisation avec un bâti plus adapté, équipé d'un SAS avec la possibilité d'effectuer un traitement de surface (plasma Ar).

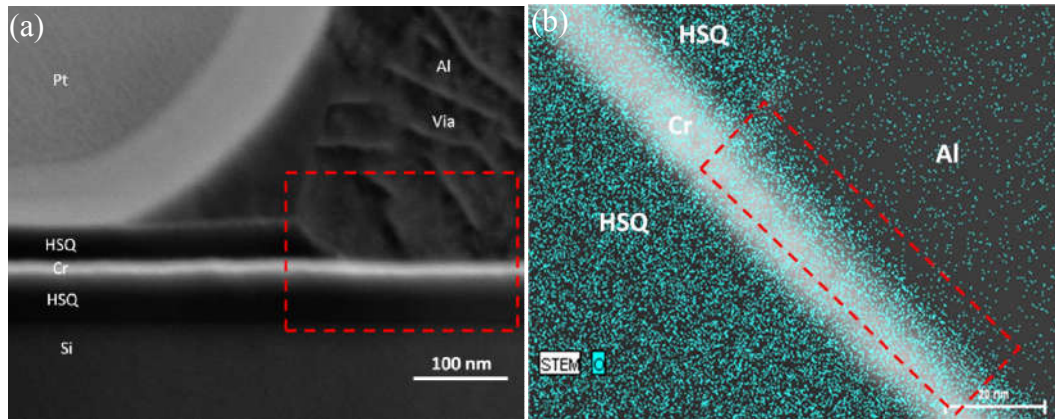


Figure 0.23 – (a) Image MET en coupe sur le via Al-Cr (b) détection de l'oxygène par EDX à l'interface Al-Cr.

3.3.6 Réalisation des vias et plots de contact.

Une fois le niveau d'isolation supérieur réalisé, l'ultime étape consiste à établir le contact avec les différents niveaux de l'architecture verticale à savoir le contact de grille et le contact S/D bas. Le premier pas consiste alors à définir l'accès à ces derniers contacts à travers les niveaux d'isolation par gravure plasma.

3.3.6.1 Ouverture des vias

Une étape de photolithographie a été réalisée utilisant la résine ECI de 1.1 μm d'épaisseur, déposée au-dessus du niveau d'isolation supérieur selon les mêmes paramètres définis précédemment. Sur la figure 3.24, une image prise au microscope optique montre les ouvertures réservées à la position des vias au-dessus du contact de grille et le contact S/D bas.

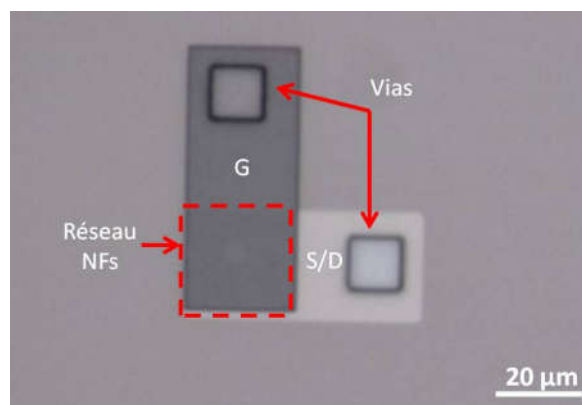


Figure 0.24 – Image optique montrant l'ouverture des vias au-dessus des contacts de S/D bas et grille.

Le substrat est ensuite transféré dans le bâti de gravure plasma ICP – RIE pour graver la HSQ avec le même procédé utilisé lors de la réalisation du niveau d'isolation supérieur. La

résine résiduelle est alors extraite dans une solution d'acétone. Le contrôle est effectué par mesure au profilomètre.

3.3.6.2 Réalisation des plots de contact

Une fois que les ouvertures de vias ont été définies, le substrat est transféré dans le bâti de dépôt par pulvérisation pour le dépôt de 400 nm d'Al. Les plots de contact ont été réalisés selon le procédé de structuration d'Al développé précédemment, puis caractérisé au MEB (fig. 3.25).

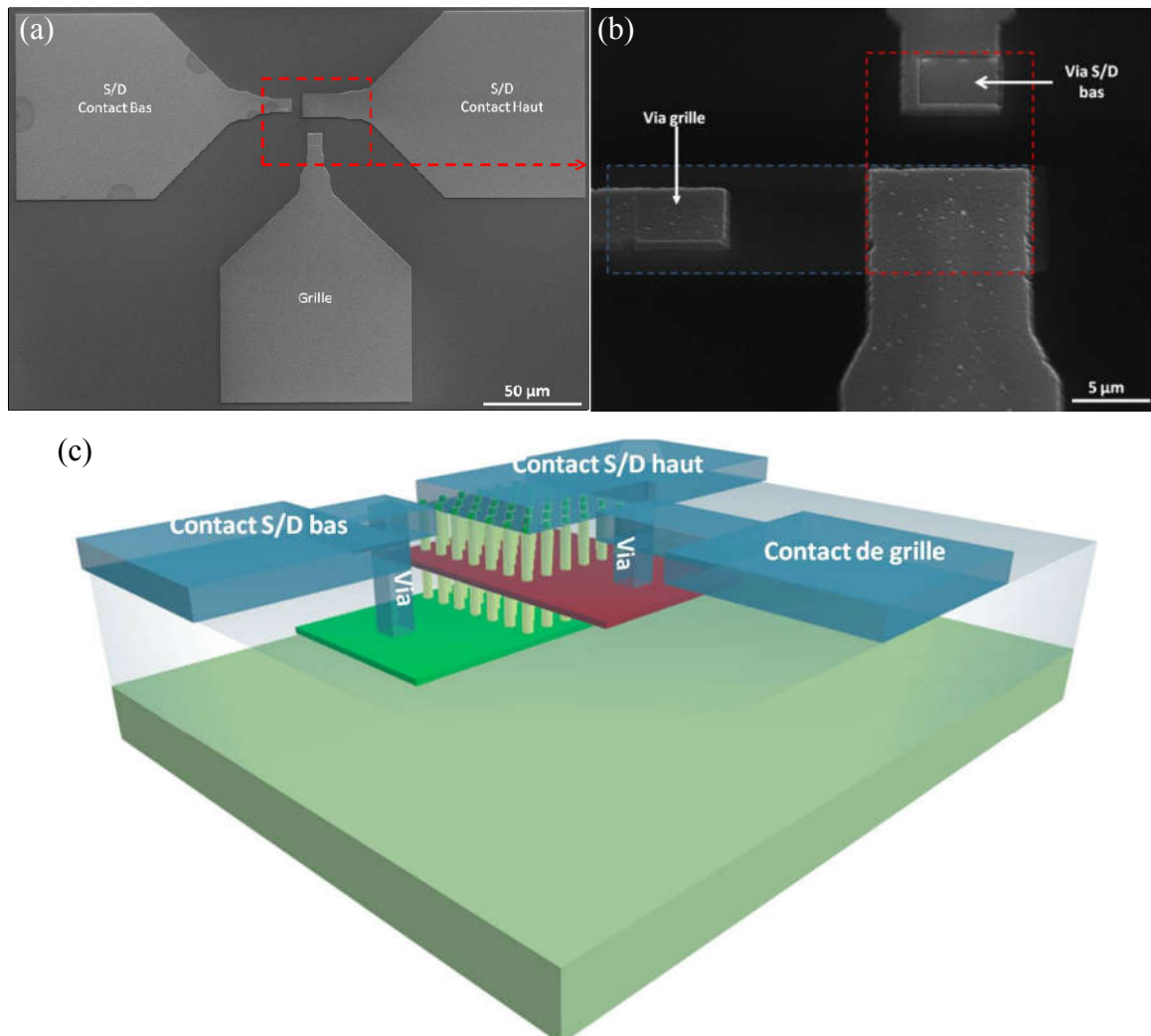


Figure 0.25 – (a) image MEB en vue de dessus du dispositif MOSFET à NFV (b) image MEB en vue inclinée de la partie centrale du dispositif (c) illustration 3D du dispositif MOSFET.

Sur les figures 3.25 (a) et (b), il est possible de constater la bonne définition des plots de contact, référant aux terminaux source, drain et grille du dispositif MOSFET ainsi que les emplacements des vias reliant la grille en Ni et le contact bas en PtSi (visible par transparence). Enfin la figure 3.25 (c) est un schéma d'illustration du dispositif MOSFET

réalisé précisant l'emplacement de chaque élément. Il s'agit de la dernière étape du procédé de réalisation du transistor MOSFET à base de NFV en Si.

3.4 Conclusion

Au cours de ce troisième chapitre, nous avons concentré nos efforts sur le développement d'une ingénierie de couches minces (isolant et conducteur). La première partie de ce chapitre concernait le procédé de réalisation de contacts de source et de drain métalliques de faible barrière Schottky aux trous en siliciure de platine. À cet effet, nous avons commencé notre étude par une brève description du procédé de siliciuration, puis le mécanisme de siliciuration du platine a été détaillé et implémenté sur les réseaux de NFV en silicium. Enfin, il a été démontré qu'un recuit RTA à 500 °C pendant 3 minutes sous N_2H_2 permettait à la réaction de siliciuration du platine sur les réseaux de nanofils d'arriver à terme.

Pour délimiter chaque terminal électrique de notre dispositif MOSFET, nous avons proposé une technique innovante pour la réalisation de la couche d'isolation (inférieure) à base d'une gravure chimique dans l'acide HF fortement diluée. Nous avons constaté qu'il est nécessaire d'utiliser la HSQ telle que déposée sans opérer traitement de densification afin de préserver ses propriétés structurelles (structure cage) tout en ajoutant un tensio-actif (le chlorure de benzalkonium) pour extraire les bulles formées à la surface de la HSQ (libération du H_2 lors de la gravure chimique). Cette technique a démontré la possibilité de réaliser des couches d'isolation parfaitement planes avec un RMS inférieur à 2 nm sans défaut de gravure, ni altération du dispositif. La couche d'isolation supérieure a été réalisée par gravure plasma du moment qu'elle ne présente aucun risque de détérioration des nanofils. La quasi-totalité des nanofils restent émerger dans la HSQ et seul le terminal siliciuré supérieur des nanofils est découvert pour réaliser le contact électrique. Enfin, nous avons démontré que les techniques proposées permettent l'empilement de plusieurs couches s'adaptant à l'architecture verticale.

Enfin, un procédé photolithographique conventionnel par projection a été développé pour assembler toutes les briques technologiques pour la réalisation du MOSFET à base de NFV en silicium. Deux verrous majeurs ont été rencontrés, qui sont l'incompatibilité du révélateur de la résine avec la couche d'isolation en HSQ et la qualité des couches métalliques obtenues par évaporation. En effet, le révélateur MF CD 26 étant à base de TMAH de concentration de 2.4 %, attaque la couche d'HSQ. Pour contourner ce problème, l'approche de structuration des

métaux a été choisie pour la réalisation des contacts de conduction. Enfin, une grille en chrome a été remplacée par une grille en nickel moins sensible à l'oxydation.

Le prochain et dernier chapitre est dédié à la caractérisation électrique des composants MOSFET à base de NFV réalisés.

Bibliographie

- [1] “International Technology Roadmap for Semiconductors 2013.”
- [2] C. M. Osburn and K. R. Bellur, “Low parasitic resistance contacts for scaled ULSI devices,” *Thin Solid Films*, vol. 332, no. 1–2, pp. 428–436, Nov. 1998.
- [3] O. Abbes, K. Hoummada, D. Mangelinck, and V. Carron, “Formation of Pt silicide on doped Si: Kinetics and stress,” *Thin Solid Films*, vol. 542, pp. 174–179, Sep. 2013.
- [4] G. Larrieu, E. Dubois, X. Wallart, X. Baie, and J. Katcki, “Formation of platinum-based silicide contacts: Kinetics, stoichiometry, and current drive capabilities,” *J. Appl. Phys.*, vol. 94, no. 12, p. 7801, 2003.
- [5] V. Carron, F. Nemouchi, Y. Morand, T. Poiroux, M. Vinet, S. Bernasconi, O. Louveau, D. Lafond, V. Delaye, F. Allain, and others, “Platinum silicide metallic source & drain process optimization for FDSOI PMOSFETs,” in *SOI Conference, 2009 IEEE International*, 2009, pp. 1–2.
- [6] V. Gudmundsson, “Fabrication, characterization, and modeling of metallic source/drain MOSFETs,” 2011.
- [7] G. Larrieu, E. Dubois, and D. Ducatteau, “CMOS integration using low thermal budget dopant-segregated metallic S/D junctions on thin-body SOI,” *ECS Trans.*, vol. 41, pp. 275–282, 2011.
- [8] J. Ishikawa, J. Gao, and S. Ohmi, “Work function modulation of PtSi by alloying with Yb,” *IEICE Electron. Express*, vol. 8, no. 1, pp. 33–37, 2011.
- [9] M. Jang, Y. Kim, J. Shin, and S. Lee, “Formation of erbium-silicide as source and drain for decananometer-scale Schottky barrier metal-oxide-semiconductor field-effect transistors,” *Mater. Sci. Eng. B*, vol. 114–115, pp. 51–55, Dec. 2004.
- [10] J. P. Gambino and E. G. Colgan, “Silicides and ohmic contacts,” *Mater. Chem. Phys.*, vol. 52, no. 2, pp. 99–146, Feb. 1998.
- [11] P. Gas and F. M. d’Heurle, “Formation of silicide thin films by solid state reaction,” *Appl. Surf. Sci.*, vol. 73, pp. 153–161, Nov. 1993.
- [12] E. G. Colgan, J. P. Gambino, and Q. Z. Hong, “Formation and stability of silicides on polycrystalline silicon,” *Mater. Sci. Eng. R Rep.*, vol. 16, no. 2, pp. 43–96, Feb. 1996.
- [13] J. M. Poate and T. C. Tisone, “Kinetics and mechanism of platinum silicide formation on silicon,” *Appl. Phys. Lett.*, vol. 24, no. 8, pp. 391–393, Apr. 1974.
- [14] A. C. E. Chia and R. R. LaPierre, “Contact planarization of ensemble nanowires,” *Nanotechnology*, vol. 22, no. 24, p. 245304, Jun. 2011.
- [15] T. Tanaka, K. Tomioka, S. Hara, J. Motohisa, E. Sano, and T. Fukui, “Vertical Surrounding Gate Transistors Using Single InAs Nanowires Grown on Si Substrates,” *Appl. Phys. Express*, vol. 3, no. 2, p. 025003, Feb. 2010.
- [16] Y. B. Tang, Z. H. Chen, H. S. Song, C. S. Lee, H. T. Cong, H. M. Cheng, W. J. Zhang, I. Bello, and S. T. Lee, “Vertically Aligned p-Type Single-Crystalline GaN Nanorod Arrays on n-Type Si for Heterojunction Photovoltaic Cells,” *Nano Lett.*, vol. 8, no. 12, pp. 4191–4195, Dec. 2008.
- [17] H. T. Ng, J. Han, T. Yamada, P. Nguyen, Y. P. Chen, and M. Meyyappan, “Single Crystal Nanowire Vertical Surround-Gate Field-Effect Transistor,” *Nano Lett.*, vol. 4, no. 7, pp. 1247–1252, Jul. 2004.
- [18] C. Rehnstedt, T. Martensson, C. Thelander, L. Samuelson, and L.-E. Wernersson, “Electrical Characterization of Vertical InAs Nanowires on Si,” in *Device Research Conference, 2007 65th Annual*, 2007, pp. 135–136.
- [19] K.-M. Persson, M. Berg, M. B. Borg, J. Wu, S. Johansson, J. Svensson, K. Jansson, E. Lind, and L.-E. Wernersson, “Extrinsic and Intrinsic Performance of Vertical InAs

- Nanowire MOSFETs on Si Substrates,” *IEEE Trans. Electron Devices*, vol. 60, no. 9, pp. 2761–2767, Sep. 2013.
- [20] C. Thelander, C. Rehnstedt, L. E. Froberg, E. Lind, T. Martensson, P. Caroff, T. Lowgren, B. J. Ohlsson, L. Samuelson, and L.-E. Wernersson, “Development of a Vertical Wrap-Gated InAs FET,” *IEEE Trans. Electron Devices*, vol. 55, no. 11, pp. 3030–3036, Nov. 2008.
- [21] H. Lee, M. H. Miller, and T. G. Bifano, “CMOS chip planarization by chemical mechanical polishing for a vertically stacked metal MEMS integration,” *J. Micromechanics Microengineering*, vol. 14, no. 1, p. 108, Jan. 2004.
- [22] C. Choi, Y. Yoon, D. Hong, Y. Oh, F. E. Talke, and S. Jin, “Planarization of patterned magnetic recording media to enable head flyability,” *Microsyst. Technol.*, vol. 17, no. 3, pp. 395–402, Jan. 2011.
- [23] S. Choi, M. J. Word, V. Kumar, and I. Adesida, “Comparative study of thermally cured and electron-beam-exposed hydrogen silsesquioxane resists,” *J. Vac. Sci. Technol. B Microelectron. Nanometer Struct.*, vol. 26, no. 5, p. 1654, 2008.
- [24] J. Penaud, F. Fruleux, and E. Dubois, “Transformation of hydrogen silsesquioxane properties with RIE plasma treatment for advanced multiple-gate MOSFETs,” *Appl. Surf. Sci.*, vol. 253, no. 1, pp. 395–399, Oct. 2006.
- [25] “Effect of surfactants on the growth and departure of bubbles from solid surfaces :: University of Southern California Dissertations and Theses.” [Online]. Available: <http://digitallibrary.usc.edu/cdm/ref/collection/p15799coll127/id/270253>. [Accessed: 06-Mar-2015].
- [26] Y. Guerfi, J. B. Doucet, and G. Larrieu, “Thin-dielectric-layer engineering for 3D nanostructure integration using an innovative planarization approach,” *Nanotechnology*, vol. 26, no. 42, p. 425302, 2015.
- [27] D. A. Danner, M. Dalvie, and D. W. Hess, “Plasma Etching of Aluminum A Comparison of Chlorinated Etchants,” *J. Electrochem. Soc.*, vol. 134, no. 3, pp. 669–673, Mar. 1987.
- [28] null Skriver and null Rosengaard, “Surface energy and work function of elemental metals,” *Phys. Rev. B Condens. Matter*, vol. 46, no. 11, pp. 7157–7168, Sep. 1992.
- [29] P. Atkins and J. de Paula, *Elements of Physical Chemistry*. Oxford University Press, 2013.

**Chapitre 4 : Caractérisation électrique de
transistors MOSFET à base de nanofils
verticaux en Si**

Introduction

Après avoir présenté la technologie développée pour la réalisation des transistors MOSFET à base de NFV en Si lors du chapitre 2 et 3, au cours de ce dernier chapitre de ce manuscrit de thèse, nous présenterons les performances électriques des composants réalisés, où les paramètres intrinsèques seront extraits et comparés. Enfin, nous présenterons une preuve de concept d'un inverseur CMOS à base de nanofils verticaux en Si.

4.1 Caractéristiques des composants

Les dispositifs ont été réalisés sur un substrat de type p avec un dopage élevé de l'ordre 2.10^{19} atm/cm³ pour la réalisation de MOSFET de type p. Le contact de grille est en nickel de 15 nm d'épaisseur, soit une longueur de grille de 15 nm (L_g). La grille est comprise entre les deux niveaux d'isolation en HSQ d'une hauteur d'environ 75 nm pour chaque niveau. Les nanofils en Si ont une hauteur avoisinant 170 nm mais de différents diamètres, allant de 18 nm à 109 nm. La variation de diamètre nous permet d'analyser les performances des MOSFETs en fonction de la section du nanofil. De même, le nombre de ces derniers varie de 1 à 625, disposés en parallèle afin d'accéder à un fort courant de conduction. L'espacement entre les nanofils est de 300 nm, pour éviter tout effet de confinement et favoriser une bonne distribution des matériaux entre eux. Enfin, l'épaisseur du SiO₂ servant d'oxyde de grille varie entre 2 à 4 nm.

4.2 Caractéristiques I(V)

La figure 4.1 présente les premiers résultats de caractérisations électriques réalisées sur les dispositifs MOSFET à base de réseaux NFV. Les mesures ont été effectuées sur une station sous pointe Cascade et un analyseur de paramètres Agilent 4156C. Sur les figure 4.1(a, b et c) sont représentées les caractéristiques de sortie ($I_d(V_d)$) (V_d de 0 à -1.5 V et V_g de -0.1 à -2 V avec un pas de -0.25 V) des dispositifs à base de réseaux de 625 nanofils en parallèle, de diamètre 18, 29 et 43 nm respectivement. Par analogie les figures 4.1 (d, e et f) sont leurs caractéristiques de transfert ($I_d(V_g)$) (V_g de 0 à - 2 V et V_d de -0.1 à -1.1 V avec un pas de - 0.2 V). Enfin, les courbes représentées en 4.1 (g, h et i) sont les caractéristiques de transfert obtenues pour des réseaux de nanofils de diamètre 60, 78 et 109 nm respectivement.

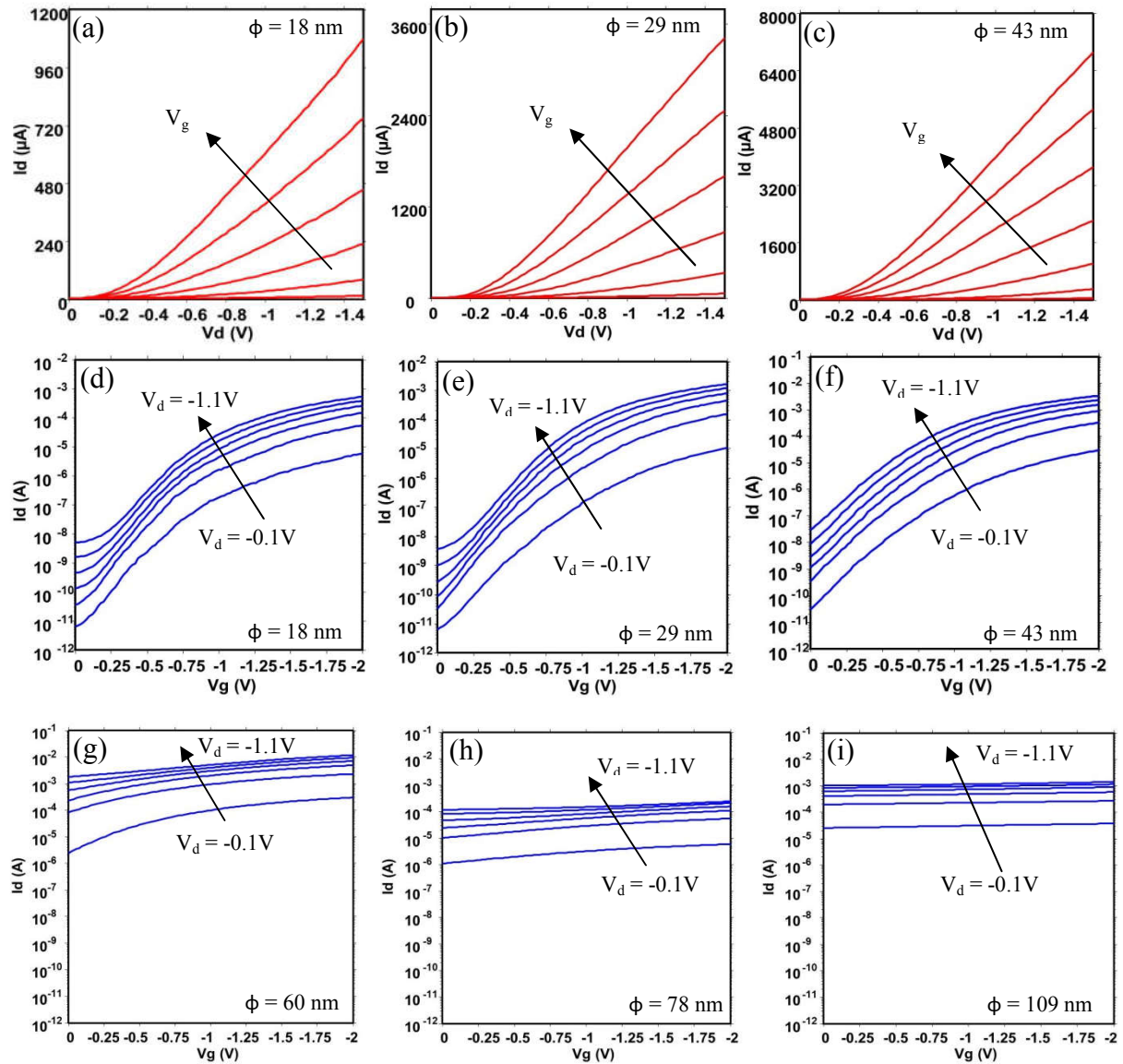


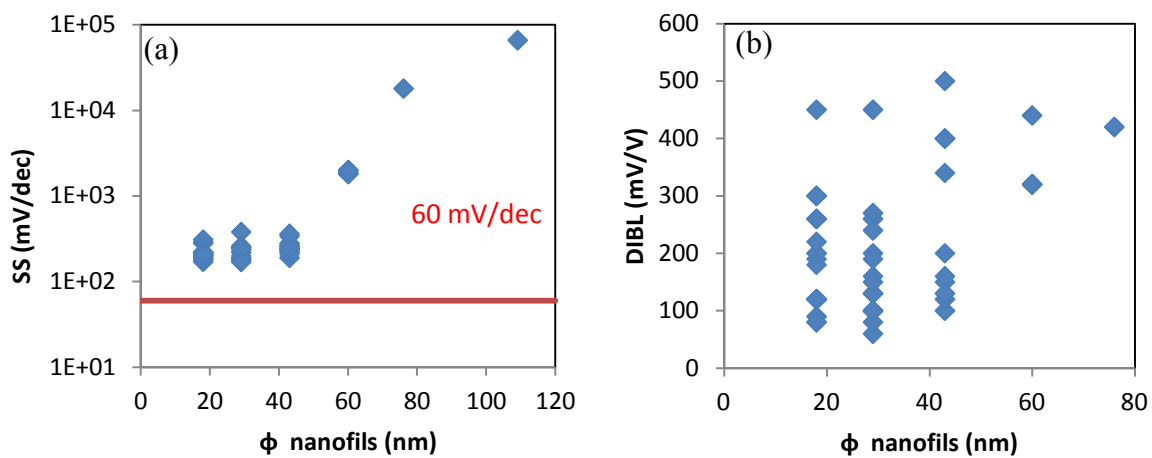
Figure 0.1 – (a, b et c) caractéristiques de sortie de dispositifs MOSFET à base de réseau de 625 NFV en Si de diamètre 18, 29 et 43 nm respectivement (d, e et f) leurs caractéristiques de transfert respectivement. (g, h et i) caractéristiques de transfert obtenues sur des réseaux de nanofils de diamètre 60, 78 et 109 nm respectivement.

Ces premiers résultats nous permettent de constater que lorsque le diamètre des nanofils est inférieur à 60 nm, des caractéristiques typiques de transistors MOSFET sont obtenues, avec une modulation du courant de sortie (I_d) en fonction de la tension de grille, preuve que le contrôle électrostatique de la grille sur le canal de conduction est effectif. A titre d'exemple, le courant I_{on} ($V_d = 1.1$ V et $V_g = 2$ V) pour un réseau de 625 nanofils de 29 nm diamètre, est égal à 1,16 mA et le rapport I_{on}/I_{off} est supérieur à 10^5 (fig. 4,1(e)). La tendance est inversée pour les dispositifs où le diamètre des nanofils est supérieur ou égal à 60 nm (fig. 4.1 (g, h et i)), le courant I_{off} est conséquent (0,17 mA pour des fils de 60 nm diamètre), tandis que

rapport I_{on}/I_{off} est inférieur à 10 (fig. 4.1(g)). L'influence de la grille s'amenuise pour devenir inexistante lorsque le diamètre des nanofils est supérieur à 100 nm (fig. 4.1(i)), le dispositif ne commute pas à l'état bloqué et reste passant même lorsque $V_g = 0$ V.

Afin de mieux comprendre le fonctionnement des dispositifs et analyser leurs performances, sur la figure 4.2, nous présentons les valeurs de la pente sous le seuil (SS), du DIBL, le rapport I_{on}/I_{off} ainsi que la valeur de V_{th} en fonction du diamètre des NFV pour les différents dispositifs caractérisés.

Les valeurs du SS (fig. 4.2(a)) extraites des courbes de transfert sont assez significantes et sont parfaitement cohérentes avec la tendance de perte du contrôle électrostatique de la grille, lorsque le diamètre des nanofils est large. La valeur la plus faible du SS est égale à 170 mV/dec, elle est obtenue pour le dispositif à base de nanofils de diamètre de 18 nm, soit le plus faible. Les estimations prédisent que pour un dispositif ayant des nanofils d'un diamètre de 109 nm, le SS vaudrait 66000 mV/dec. Ce résultat s'explique par l'impossibilité de dépléter le canal de conduction à l'état off ($V_g = 0$ V). En effet, le transistor opérant en mode d'accumulation et le diamètre étant très large, la grille n'agit pas sur la totalité du canal de conduction, il suffit d'appliquer une tension minimale de drain pour faire circuler un courant dans le canal. Les valeurs du DIBL ne sont pas aussi tranchées (fig. 4.2(b)) que les valeurs du SS, il est possible de remarquer une dispersion des valeurs de DIBL pour les différentes tailles de diamètre des nanofils même si les plus faibles valeurs sont enregistrées lorsque le diamètre des nanofils est minimal, tandis que les valeurs de DIBL les plus élevées sont obtenues lorsque les nanofils ont un large diamètre.



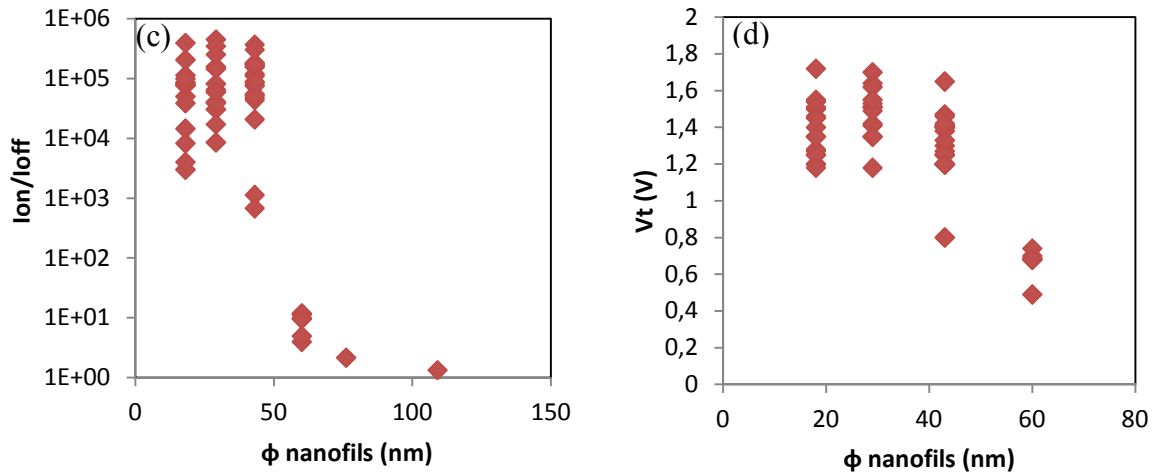


Figure 0.2 - Valeurs (a) de la pente sous le seuil (SS), (b) DIBL, (c) rapport I_{on}/I_{off} et (d) la tension de seuil en fonction du diamètre des nanofils.

Au regard de la figure 4.2(c) le rapport I_{on}/I_{off} les plus élevés sont obtenus pour les plus petits diamètres de nanofils. Ceci s'explique à la fois par la modulation du courant de sortie I_{on} en fonction de la tension de grille mais aussi par l'efficacité de la grille à dépléter le canal de conduction. Le meilleur rapport I_{on}/I_{off} a été obtenu pour des dispositifs ayant un diamètre de 29 nm ($4,5 \cdot 10^5$). Enfin les valeurs de la tension de seuil en fonction du diamètre des nanofils (fig. 4.2(d)) pour les dispositifs caractérisés ont été extraites en utilisant la méthode dite Extrapolation dans la Région Linéaire (ELR) [1].

Afin d'améliorer les caractéristiques des MOSFETs réalisés et réduire la dispersion des paramètres extraits, les dispositifs ont été recuits à 250°C pendant 4 minutes sous ambiance hydrogénée (N₂/H₂ : 96 % : 4 %), appelé également Forming Gas Annealing (FGA). Les courbes $I_d(V_d)$ et $I_d(V_g)$ sont présentées sur la figure 4.3.

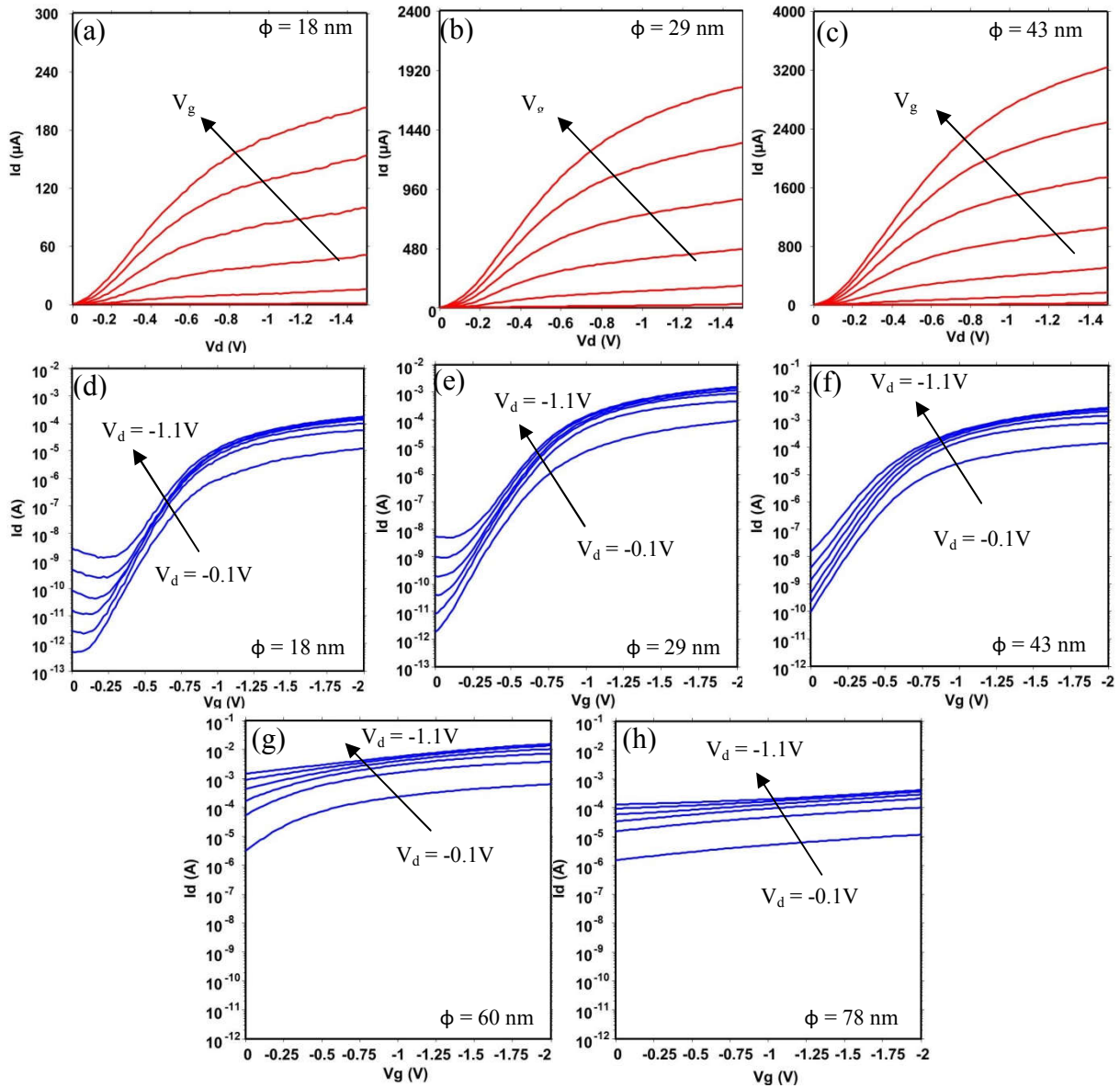


Figure 0.3 - (a, b et c) caractéristiques de sortie des dispositifs MOSFET à base de réseaux de 36, 64 et 100 nanofils verticaux en Si de diamètre 18, 29 et 43 nm respectivement, (d, e et f) leurs caractéristiques de transfert respectivement. (g et h) Caractéristiques de transfert obtenues sur des réseaux de nanofils de diamètre 60 et 78 nm respectivement.

Les caractéristiques de transfert de ces dispositifs présentent une nette amélioration après l'étape de recuit sous hydrogène, notamment en termes d'immunité contre les effets canaux courts. Les valeurs du SS et DIBL pour le dispositif MOSFET à base de nanofils de 18 nm de diamètre sont respectivement égales à 95 mV/dec et 25 mV/V.

Le FGA a pour objectif d'améliorer la qualité de l'interface du Si-SiO₂ par la réduction des défauts d'interfaces (pièges et charges). En effet, le silicium ayant 4 électrons de valence, donc 4 liaisons pendantes, par conséquent des pièges sont formés à la surface du cristal de

silicium. Le FGA sous N_2/H_2 permet de réduire le nombre des liaisons pendantes par leur passivation par des atomes d'hydrogène entraînant la formation de la liaison Si-H. Ce recuit permet de réduire le nombre d'états d'interface électriquement actifs. Par conséquent la réduction des défauts d'interface permet de minimiser les valeurs du SS et DIBL et donc mécaniquement d'augmenter la valeur du courant I_{on} [2]. Grâce au FGA, on réduit aussi les défauts créés lors de la siliciuration qui induisent un abaissement de barrière Schottky à l'interface PtSi/Si et ainsi permettant une meilleure injection des porteurs [3].

Les variations du SS et DIBL en fonction du diamètre des nanofils sont présentées sur la figure 4.4 (a, b), on remarque une transition nette des valeurs de SS et DIBL entre les dispositifs à nanofils de diamètre inférieur ou égal à 43 nm, au-delà duquel le champ électrostatique développé par la grille n'est pas assez conséquent pour dépléter le canal du transistor.

La variation du rapport I_{on}/I_{off} en fonction du diamètre des nanofils (fig. 4.4(c)), démontre également les bénéfices du FGA à travers son augmentation du rapport jusqu'à atteindre $1.6 \cdot 10^6$ pour un dispositif à nanofils de 29 nm de diamètre. Finalement, la figure 4.4(d), propose la variation du V_{th} en fonction du diamètre des nanofils où l'on remarque une diminution de la tension de seuil après le FGA (diminution des défauts d'interface). La tension de seuil dépend également du diamètre des nanofils, avec une réduction de V_{th} avec l'augmentation du diamètre des nanofils. Ce dernier résultat offre plus de flexibilité aux concepteurs de circuits en utilisant des dispositifs à multiple V_{th} sur la même puce, tout simplement par l'intégration des nanofils de différents diamètres.

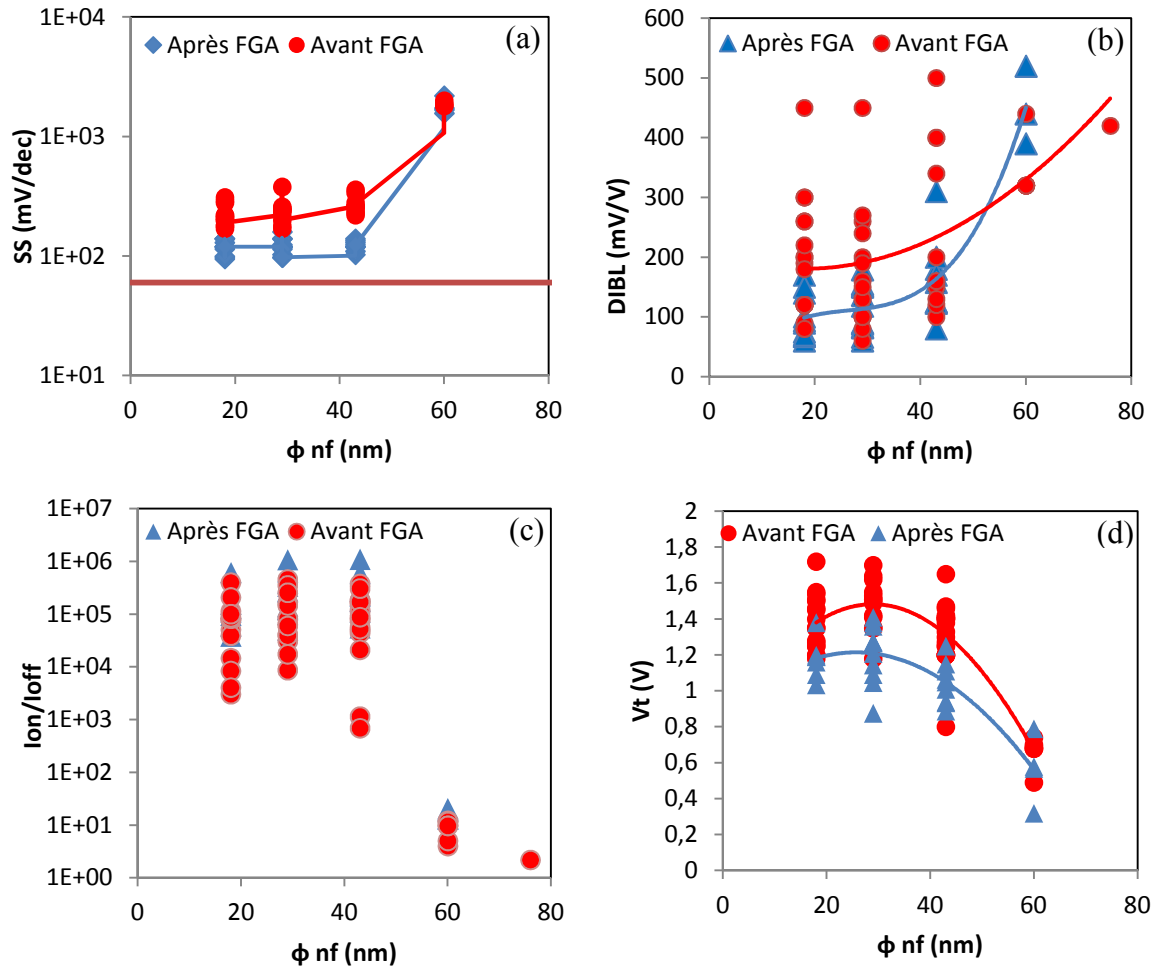


Figure 0.4 – (a) SS (b) DIBL (c) rapport I_{on}/I_{off} et (d) la tension de seuil en fonction du diamètre des nanofils après FGA.

Le FGA a été d'un apport considérable et a permis d'améliorer significativement les performances des dispositifs MOSFETs réalisés. Si l'on considère un dispositif d'un réseau de 36 nanofils de 18 nm de diamètre avant et après FGA, le SS est réduit de 52 mV/dec (de 150 à 95 mV/dec) correspondant à une réduction de 34 %. De même, le DIBL est passé de 48 mV/V à 25 mV/V, soit une réduction de 47 %. Le courant I_{off} a légèrement augmenté de $7.72 \cdot 10^{-10}$ à $2.9 \cdot 10^{-9}$ A, mais contrebalancé par un courant I_{on} plus élevé de 2.5 fois ($6.32 \cdot 10^{-5}$ à $1.6 \cdot 10^{-4}$ A).

Il est également à noter la diminution de la variation de dispositif à dispositif des valeurs du SS et le DIBL. En effet, avant l'application du FGA sur un dispositif à nanofils de 29 nm de diamètre, les valeurs du DIBL variaient d'un dispositif à l'autre, l'écart de variation (Δ DIBL) passe de 390 à 179 mV/V, tandis que le Δ SS passe de 220 à 63 mV/dec.

4.3 Physique du composant

Le dispositif MOSFET réalisé est un dispositif sans jonctions, qui opère en mode de conduction en accumulation. Cela veut dire que la conduction n'est pas effectuée par les porteurs minoritaires (comme les MOSFETs standards qui fonctionnent en mode d'inversion), mais par l'accumulation des porteurs majoritaires qui forment un canal de conduction, d'où l'intérêt d'avoir un dopage assez élevé afin d'obtenir un fort courant de conduction. Il existe cependant une différence centrale entre le mode de conduction de notre dispositif MOSFET à base de nanofils et les dispositifs conventionnels fonctionnant en mode d'accumulation. En effet, les transistors à accumulation ont un profil de dopage de type P^+PP^+ (type P), la région du canal étant moins dopée que les régions de source et de drain ce qui induit la formation d'une couche d'accumulation surfacique à l'état passant. Dans le cas de notre dispositif, un dopage homogène ($P^+P^+P^+$) est réalisé et le canal de conduction est créé au centre des nanofils [4]. Le passage à l'état bloqué est obtenu lorsque le canal de conduction est complètement dépleté des porteurs majoritaires. Lorsque le nanofil est assez fin, l'influence de la grille sur le canal de conduction est élevée, permettant ainsi d'obtenir de remarquables caractéristiques sous le seuil qui se résument par un SS de 95 mV/dec et un DIBL de 25 mV/V pour un dispositif à base de nanofils de 18 nm de diamètre. L'introduction d'une forte concentration de dopage (2.10^{19} atm/cm³) a permis d'augmenter le courant de conduction. Par exemple, le courant maximal (normalisation par le diamètre et nombre de nanofils) de 627 $\mu A/\mu m$ pour un dispositif de 43 nm de diamètre, tout en le préservant des effets de canaux courts (SS de 110 mV/dec et un DIBL de 58 mV/V). Lorsque le diamètre des nanofils est trop large (supérieur à 60 nm) la grille n'est plus apte à contrôler entièrement le canal de conduction. Pour ce cas de figure, un dopage assez élevé n'est pas recommandé, à cause du faible pouvoir de la grille à dépleter le canal de conduction. A cet effet, il est proposé d'améliorer les caractéristiques sous le seuil des dispositifs à large diamètre en réduisant la concentration du dopage [5].

4.4 La longueur naturelle

Les caractéristiques sous le seuil des dispositifs réalisés sont remarquables compte tenu de la longueur de grille très miniaturisée ($L_g \approx 15$ nm) et des diamètres considérés et présentent une haute immunité contre les effets de canaux courts à l'inverse des transistors standard (à jonction). En effet, si l'on considère la formule de Yan et al. [6] pour un transistor à grille

entourante, $\alpha = L_{\text{eff}} / 2\lambda$ doit être supérieur à 2.3 afin que le transistor soit exempté des effets de canaux courts. Sachant que la longueur naturelle λ pour le même dispositif est égale à :

$$\lambda = \sqrt{\frac{2\epsilon_{\text{Si}} \Phi_{\text{nf}}^2 (1 + \frac{2t_{\text{ox}}}{\Phi_{\text{nf}}}) + \epsilon_{\text{Si}} \Phi_{\text{nf}}^2}{16\epsilon_{\text{ox}}}} \quad \text{Équation 0-1}$$

Pour un dispositif où $L_g \approx 15$ nm, nous obtenons la condition que le diamètre des nanofils doit être égal au minimum à 12 nm pour maîtriser les effets de canaux courts. Cette condition n'est pas valide pour notre architecture car les dispositifs exhibent d'excellentes caractéristiques sous le seuil. En effet, pour les dispositifs à jonction la longueur de grille (L_g , longueur physique) se définit par la distance entre les régions de source et de drain, cette distance est réduite en raison de l'influence des régions de source et de drain sur le canal de conduction d'où l'approximation de L_{eff} ($L_{\text{eff}} < L_g$). Pour un transistor sans jonctions, la longueur de grille effective est égale à la longueur physique de la grille. Cependant à l'état bloqué, L_{eff} est élargie en raison de l'influence des capacités de frange aux bords du contact de grille [7].

4.5 La tension de seuil (V_{th})

Comme il a été démontré sur la figure 4.4(d), la tension de seuil dépend essentiellement du diamètre des nanofils. Elle dépend également de la concentration du dopage des nanofils ainsi que l'oxyde de grille. Le canal de conduction est complètement déplété lorsque la tension de grille est inférieure à la tension de seuil. Lorsque la tension de grille augmente, la concentration des porteurs augmente, et le courant de sortie augmente exponentiellement jusqu'à atteindre la tension de seuil (inférieure à la tension de bande plate à l'inverse des transistors à canal d'inversion de charges). La tension de seuil est atteinte lorsque la concentration des porteurs (trous dans notre cas) est égale à la concentration du dopage N_a . Le canal de conduction étant partiellement déplété, un filament conducteur de diamètre $\phi < \phi_{\text{nf}}$ se forme entre la source et le drain qui s'élargit au fur à mesure que la tension de grille augmente jusqu'à ce que la tension de bande plate soit atteinte, coïncidant avec la disparition de la déplétion.

Pour les MOSFETs à inversion, la fluctuation de dopants dans le canal de conduction (connue sous Random Dopant Fluctuation (RDF)) est source de fortes irrégularités entre composants pour le même circuit. Ces irrégularités se manifestent principalement sur la

tension de seuil où cette dernière varie d'un composant à l'autre. En effet, pour les dispositifs MOSFET nanométriques la concentration de dopage dans le canal de conduction est aux alentours de 10^{18} atm/cm³, ce qui donne pour un dispositif de 10 nm x 10 nm x 20 nm, 2 dopants par canal. Pour un dispositif adjacent qui possède ± 1 dopant, cela représente 50 % de variation, entraînant une large fluctuation de fonctionnement. Cependant pour un dispositif fortement dopé, cette fluctuation a moins de conséquence sur les dispositifs, car pour un dopage de $2 \cdot 10^{19}$ atm/cm³ pour les mêmes dimensions, on obtient une moyenne de 180 dopants par canal de conduction, une fluctuation de ± 1 dopant correspond à 0,5 % de variation seulement. Ce dernier résultat représente un indice fort qui témoigne d'un avantage des dispositifs fortement dopés (sans jonctions) sur les transistors à inversion. Enfin, l'utilisation d'un réseau de nanofils au lieu d'un nanofil unique permet encore de réduire cette variation d'un composant à l'autre.

4.6 La transconductance

La figure 4.5 (a, b et c) représente les courbes de transconductance ($g_m = dI_d/V_g$) pour des dispositifs de 18, 28 et 43 nm de diamètre respectivement. Les dispositifs présentent des pics de transconductance de 3 mS, 1,64 mS et 2.59 mS respectivement. Il est possible de constater que les courbes de transconductance ne se dégradent pas après avoir atteint la valeur de transconductance maximale, ceci s'explique par la faible influence des résistances séries des dispositifs ainsi que les phénomènes de dégradation de la mobilité [8][9].

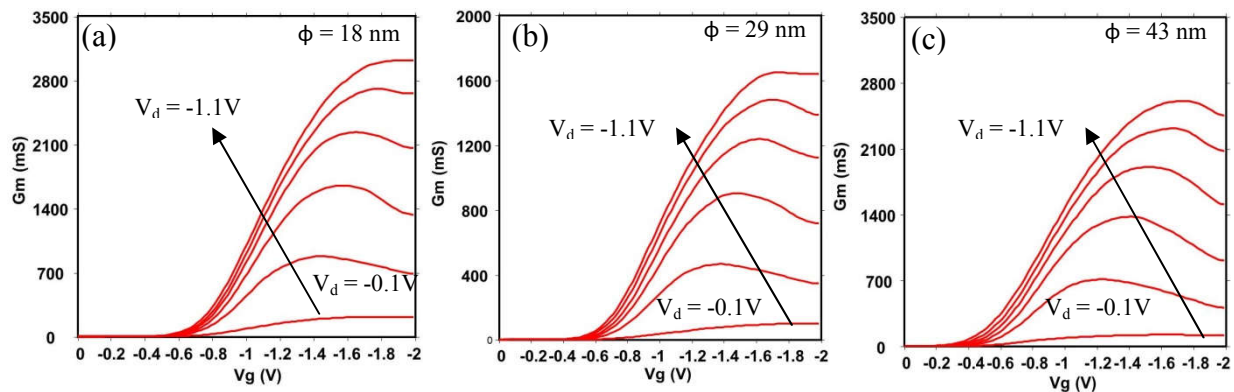


Figure 0.5 – Courbes de transconductance de dispositifs MOSFET à base de réseaux de nanofils de diamètre (a) 18 nm (b) 29 nm et (c) 43 nm.

4.7 Extraction des résistances séries.

Les valeurs des résistances séries (R_{ext}) pour les différents diamètres ont été obtenues en extrapolant les courbes de résistance totale ($R_t = I_d/V_d$) en fonction de $1/(V_g - V_t - V_d/2)$ à 0 V^{-1} . Pour cela, une courbe d'extrapolation associée à chaque courbe de R_t est tracée et la valeur de R_{ext} est extraite au point d'intersection avec l'ordonnée [10]. Pour en convenir, le courant I_d a été normalisé par le nombre et le diamètre des nanofils, les résultats sont présentés sur la figure 4.6(a).

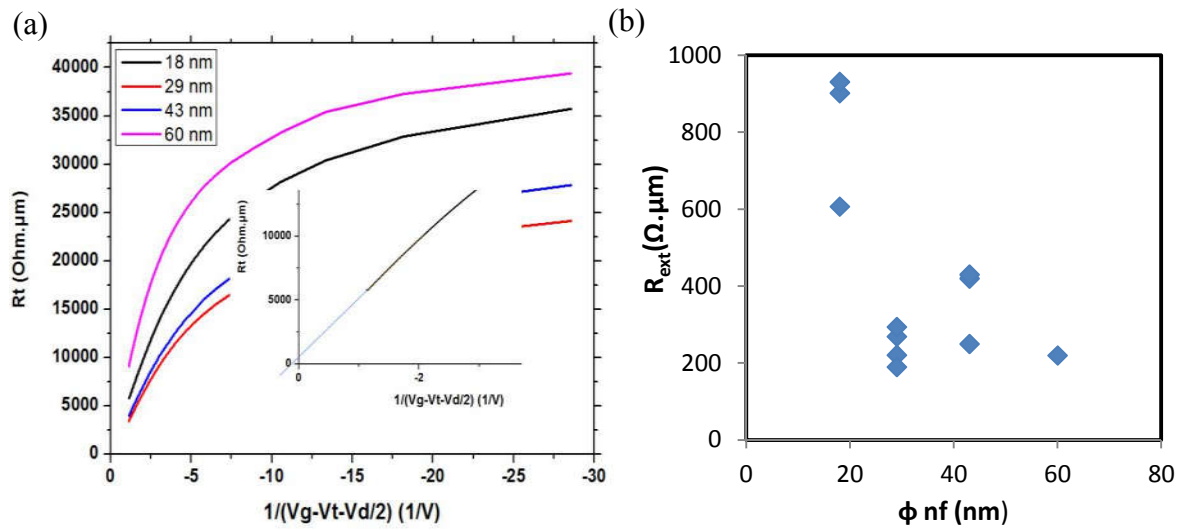


Figure 0.6 – (a) variation de la résistance totale (R_t) en fonction de la tension de grille (b) variation de la résistance série (R_{ext}) en fonction du diamètre des nanofils.

Les valeurs R_{ext} extraites sont très faibles, elles varient de 900 à 190 $\Omega \cdot \mu m$ (fig. 4.6(b)). Ces valeurs sont assez proches des estimations préconisées par ITRS (140 $\Omega \cdot \mu m$) et n'influencent absolument pas les performances des dispositifs réalisés comme on a pu le constater à partir des courbes de transconductance. Ces faibles valeurs sont en partie dues aux contacts en PtSi qui offrent une faible hauteur de barrière Schottky permettant d'améliorer l'injection des trous dans le canal de conduction. Ces valeurs de contact sont obtenues également grâce à la configuration de transistor sans jonctions (dopage $P^+P^+P^+$).

4.8 Extraction de la mobilité apparente

A partir de l'équation 1.19, l'expression de la mobilité apparente est :

$$\mu \approx \frac{I_d L}{q N_D W_{Si} T_{Si} V_{dd}} \quad \text{Équation 0-2}$$

Il est possible d'extraire les valeurs de la mobilité apparente à $V_d = 0.9 \text{ V}$ pour les différents diamètres des nanofils. Les valeurs obtenues sont 0.87, 1.1 et 0.86 $\text{cm}^2/\text{V.s}$ pour les dispositifs à base de nanofils de diamètre 18, 29 et 43 nm. Ces valeurs sont très faibles, néanmoins, plusieurs facteurs participent à ce résultat. Il s'agit d'une mobilité des trous, plus faible que celle pour les électrons dans le silicium. De plus, une forte concentration de dopants induit une forte augmentation des interactions des impuretés dans le canal de conduction, réduisant ainsi la mobilité des porteurs [11]. Enfin, ces valeurs sont en accord avec les tendances de réduction de la mobilité avec la miniaturisation (effets canaux courts) où, pour des dimensions de grille miniaturisées, de fortes dégradations de mobilité ont été mesurées. Les valeurs de mobilité apparentes extraites ne montrent aucune dépendance avec le diamètre du nanofil.

4.8.1 Evaluation de la capacité de grille

La mesure de capacité de grille – canal a été effectuée sous une station sous pointe Signaton et un analyseur d'impédances Agilent 4294A sur la partie supérieur de notre architecture MOSFET à une fréquence de 200 kHz, c'est-à-dire entre la grille et le contact de drain, afin d'éviter les capacités parasites supplémentaires issues du substrat. Pour extraire la valeur exacte de la capacité entre la grille et le canal de conduction (C_{GC}), il est nécessaire de s'affranchir de capacités parasites associées à l'architecture verticale, lesquelles s'ajoutent à la mesure de la capacité de grille-canal. Les capacités parasites sont composées de la capacité entre le contact de drain et le contact de grille (C_{insul}) et la capacité de frange (C_{fringe}) formée entre le contact de grille et les parois des nanofils. Par symétrie, on retrouve les mêmes éléments pour la partie inférieure de l'architecture verticale (entre la grille et drain) (fig.4.7).

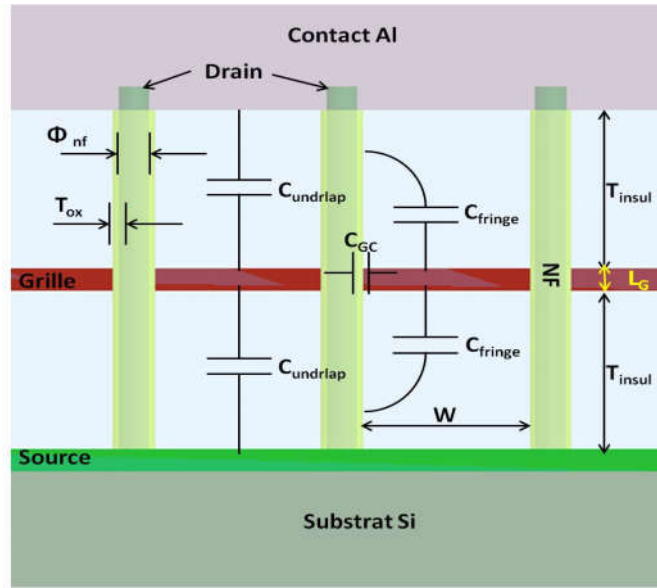


Figure 0.7 – illustration d'une coupe de l'architecture verticale MOSFET à base de nanofils où sont représentées la capacité intrinsèque entre la grille et le canal de conduction (C_{GC}) ainsi que les capacités parasites comprises dans l'architecture (C_{insul} et C_{fringe}).

$$C_{GC} = C_{mesurée} - C_{insul} - C_{fringe} \quad \text{Équation 0-3}$$

Pour calculer les valeurs des capacités parasites, on utilise les expressions issues d'une étude de modélisation des capacités parasites de Jibin Zou et al.[12] :

$$C_{insul} = \frac{\epsilon_{insul} \epsilon_0 \left(S_{rec} - n \Pi \left(T_{ox} + \frac{\Phi_{nf}}{2} \right)^2 \right)}{T_{insul}} \quad \text{Équation 0-4}$$

où ϵ_{insul} est la permittivité du vide, ϵ_0 permittivité de l'HSQ (≈ 2.7), S_{rec} représente la surface de recouvrement des électrodes de grille et de drain, n le nombre de nanofils en parallèle, Φ_{nf} le diamètre des nanofils, enfin T_{ox} et T_{insul} sont les épaisseurs de l'oxyde et de la couche d'isolation en HSQ respectivement.

$$C_{fringe} = 4\eta \left(T_{insul} - T_{ox} + \frac{\Phi_{nf}}{2} \ln \left(\frac{T_{insul}}{T_{ox}} \right) \right) \sqrt{\frac{\Phi_{nf}}{T_{insul} + \Phi_{nf} + T_{ox}}} \quad \text{Équation 0-5}$$

$$\text{où} \quad \eta = \epsilon_{insul} \epsilon_0 \sqrt{\frac{\Pi \Phi_{nf} \left(\frac{Esp}{\sqrt{2}} + \frac{\Phi_{nf}}{2} + T_{ox} \right)}{Esp^2 - \Pi \left(T_{ox} + \frac{\Phi_{nf}}{2} \right)^2}} \quad \text{Équation 0-6}$$

Après déduction des capacités parasites, la variation de la capacité de grille – canal pour un dispositif de 29 nm de diamètre par nanofil est extraite et représentée sur la figure 4.8.

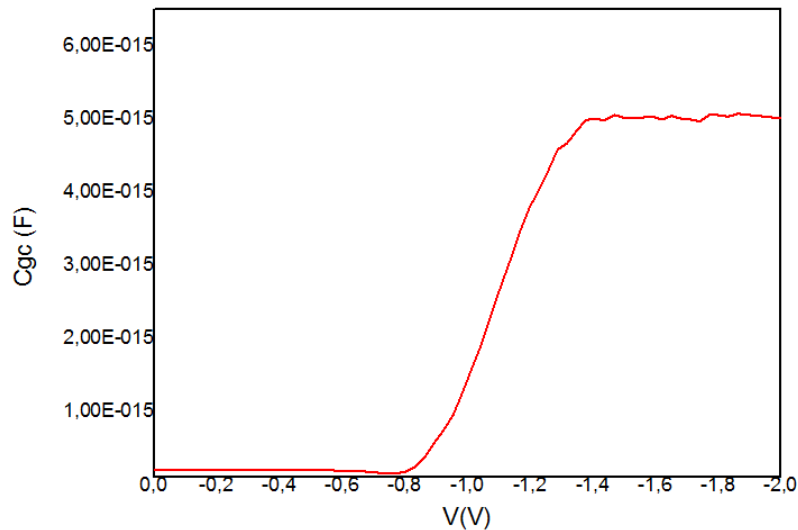


Figure 0.8 - variation de la capacité de grille – canal en fonction de la tension de polarisation

A fort accumulation ($V_g \gg V_t$), C_{GC} unitaire (par nanofil) est égale à 5 fF pour un nanofil de diamètre de 29 nm.

La valeur de capacité d'oxyde C_{ox} peut être calculée à partir de l'équation suivante :

$$C_{ox} = \frac{2\pi\epsilon_0\epsilon_r L}{\ln\left(\frac{r+T_{ox}}{r}\right)} \quad \text{Équation 0-7}$$

où r est le rayon du nanofil. Comme on peut le constater, C_{ox} peut être considérée comme un paramètre géométrique, en remplaçant chaque paramètre par sa valeur, on obtient une valeur égale à 0.029 fF.

4.9 Inverseurs CMOS

Lors de cette dernière partie du chapitre 4, on présente une preuve de concept d'un inverseur CMOS à base de nanofils verticaux en silicium schématisé en figure 4.8. Les nanofils ont été réalisés sur des zones dopées réalisées par implantation ionique. Le caisson N a été réalisé par un dopage au phosphore à une énergie de 100 keV et une dose 8.10^{14} atm/cm² suivi d'une activation thermique à 1100 °C sous N₂ pendant 30 minutes. Les caissons P ont été réalisés par dopage de bore à une énergie de 50 keV pour une dose de 2.10^{15} atm/cm² suivi d'un recuit à 1070 °C pendant 20 minutes.

La figure 4.8(b) présente la caractéristique de transfert en tension des inverseurs réalisés pour différents diamètre de nanofils (18 nm, 29 nm et 43 nm) pour une tension $V_{dd} = 1$ V et une tension d'entrée de l'inverseur (V_{in}) qui varie de 0 à 2V.

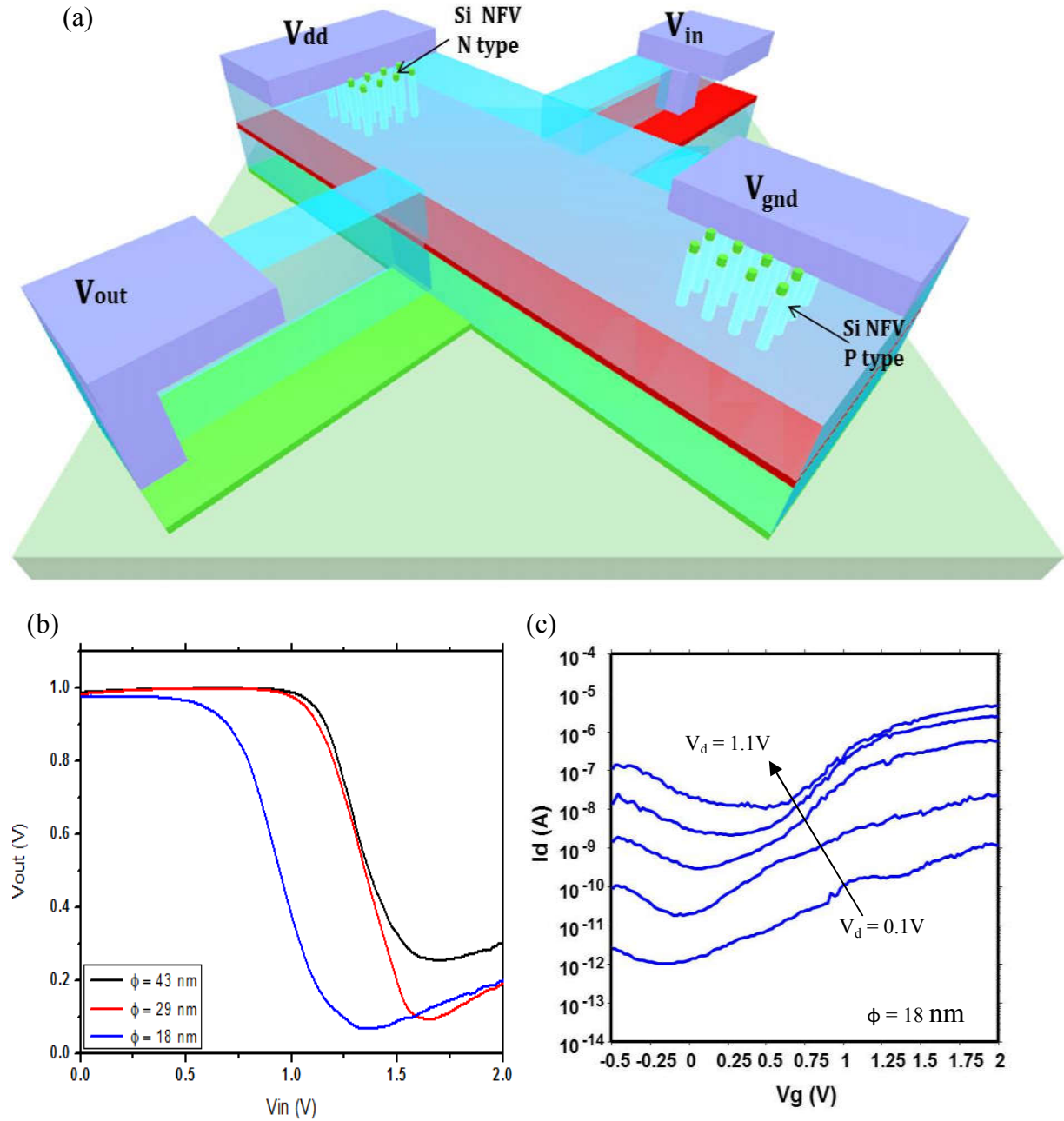


Figure 0.9 – (a) Illustration de l'architecture d'un inverseur CMOS à base de nanofils verticaux (b) ses caractéristiques de transfert en tension (c) caractéristique de transfert d'un MOSFET de type N à base de 196 nanofil de 18 nm diamètre.

Les caractéristiques de transfert des inverseurs réalisés (fig.4.8(a)), ont une caractéristique de commutation non idéale (~ 0.95 V pour $V_{DD} = 1$ V) en raison de la non optimisation des transistors NMOS. En effet, un contact à base de siliciure de platine est connu pour offrir une

faible hauteur de barrière Schottky intrinsèque pour les trous, ce qui est particulièrement intéressant pour la réalisation de faibles résistances de contact pour les applications à base de MOSFET de type p. Par contre, la hauteur de barrière complémentaire pour les électrons est élevée. Même si le niveau de dopage à l'interface induit une réduction de la hauteur de barrière, les caractéristiques de transfert des transistors NMOS présentent un comportement ambipolaire avec un mauvais rapport I_{on}/I_{off} (fig. 4.8(c)) (NMOS à base d'un réseau de 196 nanofils de 18 nm de diamètre).

L'implémentation du siliciure de nickel (NiSi) à la place du PtSi pourrait améliorer fortement les performances des transistors de type N grâce à une hauteur de barrière aux électrons bien plus faible. Une implémentation duale, PtSi pour la réalisation des PMOS et NiSi pour la réalisation du NMOS, permettrait de réaliser des inverseurs à base de nanofils verticaux avec des performances de commutation certainement améliorées.

Notons qu'il existe que peu d'influence du diamètre des nanofils sur la raideur de la commutation, par contre la tension de commutation varie en fonction du diamètre des nanofils.

4.10 Etat de l'art

Afin de positionner nos travaux par rapport à ce qui a été fait dans d'autres laboratoires concernant la thématique proposée, à savoir les transistors MOS à base de nanofils verticaux, nous proposons le graphe ci-dessous (fig. 4.10), qui regroupe les différents résultats obtenus. Le courant I_{ON} (normalisé par le diamètre) ainsi que la pente sous le seuil (SS) en fonction de la longueur de grille des dispositifs réalisés sont présentés. Ce comparatif ne concerne pas seulement le silicium mais également des matériaux III-V (matériaux à forte mobilité). Il est possible de constater que nous restons les seuls à proposer une architecture verticale de MOSFET à base de nanofils verticaux avec une grille fortement miniaturisé de 15 nm de longueur seulement et caractérisée par d'excellentes caractéristiques sous le seuil (SS = 95 mV/dec, DIBL = 25 mV/V). Nous avons montré au cours de ce chapitre, une autre prévalue des dispositifs que nous avons réalisé, à savoir le courant I_{ON} conséquent débité, égal à 627 $\mu A/\mu m$, qui reste parmi les plus élevés qu'on trouve dans la littérature scientifique pour l'architecture verticale. Cependant, nous enregistrons à ce jour, la meilleure performance en courant pour les MOSFETs de type p à base de nanofils verticaux. Enfin, il est possible également de constater l'amélioration considérable des performances en courant par rapport

aux premiers dispositifs réalisés par notre groupe de recherche (LAAS1), qui sont supérieurs de plus de 250 fois, tout en préservant les excellentes caractéristiques sous le seuil.

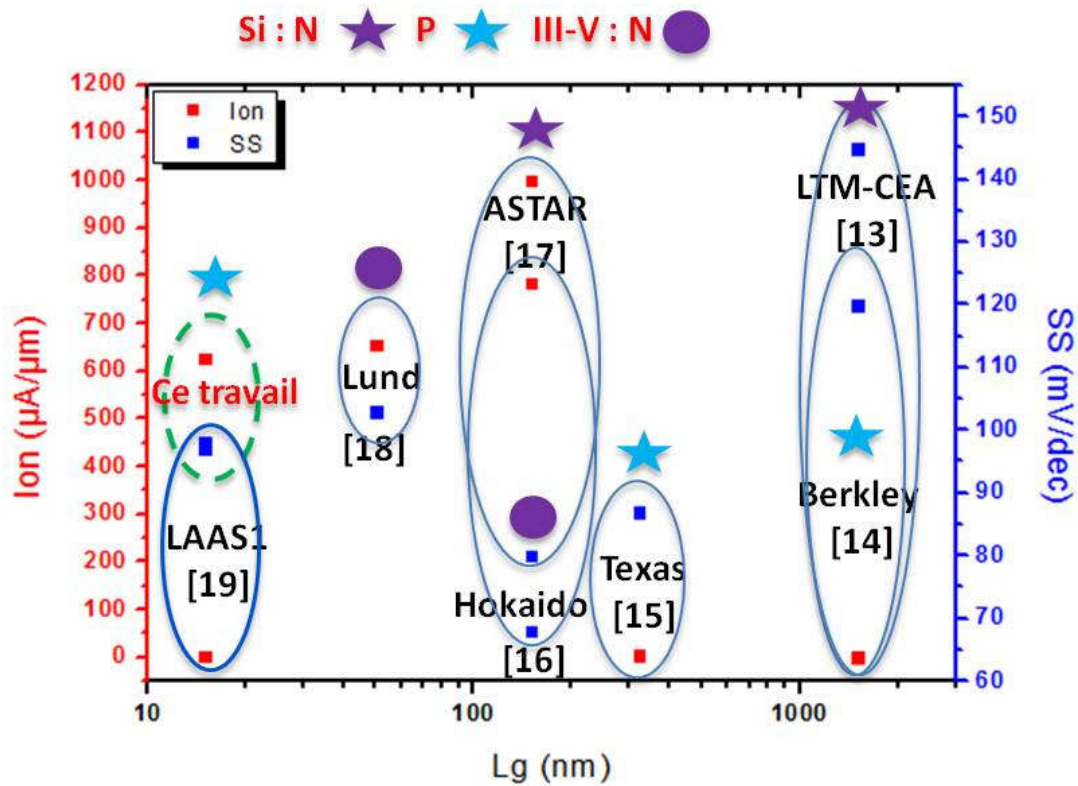


Figure 0.10 – Etat de l’art des performances MOSFETs à base de nanofils verticaux réalisés par Rosaz et al. [13] Goldenberger et al. [14] Zhai et al. [15] Tomioka et al. [16] Yang et al. [17] Thealander et al. [18] Larrieu et al. [19].

4.11 Conclusion

Les performances des transistors MOSFET de type p à base de nanofils verticaux en silicium, ont été présentées au cours de ce chapitre. D’excellents résultats ont été obtenus, avec un courant de conduction élevé de $550 \mu A/\mu m$ avec une pente sous le seuil de 95 mV/dec et un DIBL de 25 mV/V pour un transistor à base NFV de 29 nm de diamètre. Ceci grâce à la configuration de grille entourant tout le canal de conduction. L’architecture MOSFET proposée permet d’accentuer le contrôle électrostatique de la grille contre les effets de canaux courts, même pour une longueur de grille de 15 nm . Par ailleurs, il a été remarqué que les performances sous le seuil sont meilleures lorsque le diamètre des nanofils est petit, en raison de la possibilité de la grille à dépléter tout le canal de conduction à l’état bloqué. Par ailleurs, l’implémentation des siliciures de platines pour la réalisation des contacts source et de drain a été d’un grand apport au regard des valeurs des résistances séries qui ont été

extraites. Enfin, une preuve de concept de réalisation d'inverseurs CMOS à base de nanofils verticaux en silicium a été proposée pour la première fois.

Bibliographie

- [1] A. Ortiz-Conde, F. J. García Sánchez, J. J. Liou, A. Cerdeira, M. Estrada, and Y. Yue, “A review of recent MOSFET threshold voltage extraction methods,” *Microelectron. Reliab.*, vol. 42, no. 4–5, pp. 583–596, Apr. 2002.
- [2] G. Larrieu and E. Dubois, “Integration of PtSi-based Schottky-barrier p-MOSFETs with a midgap tungsten gate,” *IEEE Trans. Electron Devices*, vol. 52, no. 12, pp. 2720–2726, Dec. 2005.
- [3] W.-J. Cho, “Influences of Trap States at Metal/Semiconductor Interface on Metallic Source/Drain Schottky-Barrier MOSFET,” *JSTJournal Semicond. Technol. Sci.*, vol. 7, no. 2, pp. 82–87, Jun. 2007.
- [4] J. P. Colinge, C. W. Lee, N. Dehdashti Akhavan, R. Yan, I. Ferain, P. Razavi, A. Kranti, and R. Yu, “Junctionless Transistors: Physics and Properties,” in *Semiconductor-On-Insulator Materials for Nanoelectronics Applications*, A. Nazarov, J.-P. Colinge, F. Balestra, J.-P. Raskin, F. Gamiz, and V. S. Lysenko, Eds. Berlin, Heidelberg: Springer Berlin Heidelberg, 2011, pp. 187–200.
- [5] J. P. Colinge, A. Kranti, R. Yan, C. W. Lee, I. Ferain, R. Yu, N. Dehdashti Akhavan, and P. Razavi, “Junctionless Nanowire Transistor (JNT): Properties and design guidelines,” *Solid-State Electron.*, vol. 65–66, pp. 33–37, Nov. 2011.
- [6] R.-H. Yan, A. Ourmazd, and K. F. Lee, “Scaling the Si MOSFET: from bulk to SOI to bulk,” *IEEE Trans. Electron Devices*, vol. 39, no. 7, pp. 1704–1710, Jul. 1992.
- [7] C.-W. Lee, S.-R.-N. Yun, C.-G. Yu, J.-T. Park, and J.-P. Colinge, “Device design guidelines for nano-scale MuGFETs,” *Solid-State Electron.*, vol. 51, no. 3, pp. 505–510, Mar. 2007.
- [8] R.-H. Baek, C.-K. Baek, S.-W. Jung, Y. Y. Yeoh, D.-W. Kim, J.-S. Lee, D. M. Kim, and Y.-H. Jeong, “Comparison of Series Resistance and Mobility Degradation Extracted from n- and p-Type Si-Nanowire Field Effect Transistors Using the Y-Function Technique,” *Jpn. J. Appl. Phys.*, vol. 49, no. 4, p. 04DN06, Apr. 2010.
- [9] C.-H. Park, M.-D. Ko, K.-H. Kim, J.-H. Hong, R.-H. Baek, J.-S. Yoon, J.-S. Lee, and Y.-H. Jeong, “Extraction of series resistance on junctionless and inversion-mode nanowire FET through the method based on Y-function,” in *Device Research Conference (DRC), 2013 71st Annual*, 2013, pp. 225–226.
- [10] P. Hashemi, L. Gomez, and J. L. Hoyt, “Gate-All-Around n-MOSFETs With Uniaxial Tensile Strain-Induced Performance Enhancement Scalable to Sub-10-nm Nanowire Diameter,” *IEEE Electron Device Lett.*, vol. 30, no. 4, pp. 401–403, Apr. 2009.
- [11] K.-M. Liu, F.-I. Peng, K.-P. Peng, H.-C. Lin, and T.-Y. Huang, “The effects of channel doping concentration for n-type junction-less double-gate poly-Si nanostrip transistors,” *Semicond. Sci. Technol.*, vol. 29, no. 5, p. 055001, May 2014.
- [12] J. Zou, Q. Xu, J. Luo, R. Wang, R. Huang, and Y. Wang, “Predictive 3-D Modeling of Parasitic Gate Capacitance in Gate-all-Around Cylindrical Silicon Nanowire MOSFETs,” *IEEE Trans. Electron Devices*, vol. 58, no. 10, pp. 3379–3387, Oct. 2011.
- [13] G. Rosaz, B. Salem, N. Pauc, P. Gentile, A. Potié, and T. Baron, “Electrical characteristics of a vertically integrated field-effect transistor using non-intentionally doped Si nanowires,” *Microelectron. Eng.*, vol. 88, no. 11, pp. 3312–3315, Nov. 2011.
- [14] J. Goldberger, A. I. Hochbaum, R. Fan, and P. Yang, “Silicon Vertically Integrated Nanowire Field Effect Transistors,” *Nano Lett.*, vol. 6, no. 5, pp. 973–977, May 2006.
- [15] Yujia Zhai, L. Mathew, R. Rao, M. Palard, S. Chopra, J. G. Ekerdt, L. F. Register, and S. K. Banerjee, “High-Performance Vertical Gate-All-Around Silicon Nanowire FET With High- κ Dielectric,” *IEEE Trans. Electron Devices*, vol. 61, no. 1, pp. 1–7, Jan. 2014.

- π -Metal Gate,” *IEEE Trans. Electron Devices*, vol. 61, no. 11, pp. 3896–3900, Nov. 2014.
- [16] K. Tomioka and T. Fukui, “Gate-first process and EOT-scaling of III-V nanowire-based vertical transistors on Si,” 2013, pp. 15–16.
- [17] B. Yang, K. D. Buddharaju, S. H. G. Teo, N. Singh, G. Q. Lo, and D. L. Kwong, “Vertical Silicon-Nanowire Formation and Gate-All-Around MOSFET,” *IEEE Electron Device Lett.*, vol. 29, no. 7, pp. 791–794, Jul. 2008.
- [18] C. Thelander, L. E. FrobergFroberg, C. Rehnstedt, L. Samuelson, and L.-E. Wernersson, “Vertical Enhancement-Mode InAs Nanowire Field-Effect Transistor With 50-nm Wrap Gate,” *IEEE Electron Device Lett.*, vol. 29, no. 3, pp. 206–208, Mar. 2008.
- [19] G. Larrieu and X.-L. Han, “Vertical nanowire array-based field effect transistors for ultimate scaling,” *Nanoscale*, vol. 5, no. 6, p. 2437, 2013.

Conclusion et perspectives

5.1 Conclusion générale

Lors de cette thèse, une architecture MOSFET à base de nanofils verticaux en silicium a été réalisée avec un procédé à grand échelle, combinant un procédé lithographique UV conventionnel pour la fabrication du dispositif et lithographie électronique à faible tension d'accélération pour la réalisation des nanostructures. Les dispositifs réalisés présentent de remarquables performances en termes de courant de conduction et caractéristiques sous le seuil. Intégrant une grille verticale entourante, cette architecture assure un bon contrôle électrostatique de la grille sur le canal de conduction malgré l'extrême miniaturisation de la longueur de grille (15 nm). L'intérêt grandissant autour des nanofils comme élément de base des composants électroniques prend ici tout son sens. Cette architecture est évolutive, notamment cette longueur de grille peut facilement être réduite en diminuant l'épaisseur du métal déposé. Un atout majeur de cette architecture est l'absence de zones de dopage de source et de drain. En effet, fonctionnant en mode sans jonction, la complexité de l'ingénierie de dopage pour la réalisation des zones de source et de drain avec un profil abrupt est tout simplement supprimée, réduisant ainsi les coûts du procédé de fabrication de telles architectures.

La première partie de cette thèse a été dédiée à la réalisation des réseaux de nanofils verticaux en silicium par un procédé descendant. Tout d'abord, un masque de gravure a été développé par lithographie électronique à faible tension d'accélération. Afin d'assurer une parfaite circularité et anisotropie des nanostructures, une étude de dessin a été entreprise pour proposer une approche originale dite étoile permettant d'atteindre ces objectifs. Ces nanostructures ont été transférées dans le substrat par gravure plasma anisotrope avec une minimisation des défauts de surface enduits par la gravure. Enfin, pour réduire le diamètre des nanofils, une oxydation humide sacrificielle a été réalisée. Au final, des réseaux de nanofils verticaux en silicium avec une parfaite reproductibilité ainsi qu'un rendement de 100 % ont été obtenus, avec un diamètre minimal de 15 nm et des flancs quasi verticaux (98.7 % d'anisotropie).

La deuxième partie a été dédiée au développement d'une ingénierie de couches (diélectrique ou isolant) à l'échelle nanométrique. Des contacts S/D métalliques à base de siliciure de platine ont été développés afin de bénéficier de contacts Schottky à faible hauteur de barrière pour une meilleure injection des trous dans les MOSFETs de type p. Pour isoler

chaque terminal électrique du dispositif, une technique de planarisation innovante a été proposée qui s'appuie sur une gravure humide d'une couche d'HSQ dans une solution d'HF fortement diluée. Une couche d'isolation nanométrique parfaitement plane a été obtenue. Un bon contrôle de l'épaisseur du diélectrique a été démontré avec une rugosité de surface inférieure à 2 nm. Enfin, un procédé lithographique UV conventionnel, compatible CMOS, a été développé pour la structuration et la définition des contacts électriques et des interconnexions du dispositif MOSFET.

La dernière partie de nos travaux concernait l'étude du comportement électrique des dispositifs MOSFET réalisés. Un fort courant de conduction a été atteint, passant de 286 $\mu\text{A}/\mu\text{m}$ lorsque le diamètre des nanofils est de 18 nm jusqu'à 627 $\mu\text{A}/\mu\text{m}$ pour des nanofils de 43 nm de diamètre. Cependant, il a été remarqué que les caractéristiques sous le seuil les plus faibles sont obtenues lorsque le diamètre des nanofils est le plus petit, en raison d'un fort pouvoir de la grille à dépléter le canal de conduction à l'état bloqué. On enregistre un SS et un DIBL de 95 mV/dec et 25 mV/V respectivement lorsque le diamètre des nanofils est de 18 nm. Il a été remarqué également à partir des estimations de la longueur naturelle pour les dispositifs réalisés, la condition qui consiste que le facteur de miniaturisation $\alpha = L_{\text{eff}} / 2\lambda > 2.3$, n'est plus valide dans notre cas de figure. Enfin, nous avons présenté une preuve concept de réalisation d'inverseur CMOS à base de nanofils verticaux, proposant des caractéristiques de transfert en tension encourageantes.

5.2 Perspectives

Les résultats obtenus confèrent aux dispositifs MOSFET à base de nanofils verticaux un intérêt croissant. Cependant, des études complémentaires (développements technologiques afin d'améliorer les procédés de réalisation ainsi que les performances électriques) sont toutefois envisageables.

5.2.1 Etudes complémentaires

Elles concernent :

- Etudes paramétriques portant sur l'influence du dopage sur les performances sous le seuil des dispositifs MOSFETs pour déterminer le niveau du dopage nécessaire pour obtenir des caractéristiques sous le seuil minimales.

- Les nanofils réalisés sont d'une hauteur unique, par conséquent il serait intéressant de faire varier cette hauteur et voir son impact sur les performances électriques.
- Analyse des performances électriques à basse température pour une meilleure compréhension des causes de dégradation de la mobilité.
- L'analyse des performances en haute fréquence des transistors MOSFET à base de nanofils verticaux en silicium. Extraction de la fréquence de coupure, la fréquence d'oscillation maximale et déduction du modèle petit signal équivalent du MOSFET.

5.2.2 Développements technologiques

- L'utilisation des matériaux III-V tel que le GaAs en remplacement au silicium pour la réalisation des nanofils verticaux, permettrait d'améliorer les valeurs de mobilité des MOSFETs.
- Développent d'un procédé SALICIDE pour la définition et la réalisation des contacts métalliques de source et de drain au lieu de procédé lift off en bicouche.
- Réalisation des transistors de type N : Comme montré, le siliciure de platine présente une faible hauteur de barrière de potentiel pour les trous, permettant d'obtenir un fort courant de conduction pour les PMOS. Cependant, le siliciure de platine propose une hauteur de barrière plus élevée pour les électrons limitant ainsi l'intensité du courant de conduction pour les NMOS. A cet effet, il est préférable d'implémenter un matériau proposant une faible hauteur de barrière de potentiel pour les électrons sur les réseaux de nanofils verticaux afin de développer les NMOS. Les terres rares comme l'Erbium (Er) ou l'Ytterbium (Yb) remplissent parfaitement cette condition. Cependant, la duale intégration des siliciures de platine et d'erbium est très contraignante et entraîne des étapes technologiques supplémentaires. Le nickel est considéré comme le parfait candidat ayant une faible hauteur de barrière de potentiel de 0.4 eV pour les trous et de 0.76 eV pour les électrons. Cette dernière valeur, tout de même élevée, pourrait être modulée par des techniques de ségrégation de dopants où il est possible de baisser la hauteur de barrière. Par conséquent, un procédé

CMOS utilisant le siliciure de nickel pour adresser à la fois les PMOS et NMOS est parfaitement envisageable. Cette configuration nous permettra de passer d'un composant unique à la réalisation de fonctions logiques.

Résumé

Titre : Réalisation et caractérisation de transistors MOS à base de nanofils verticaux en Si

Afin de poursuivre la réduction d'échelle des transistors MOS, l'industrie des semiconducteurs a su anticiper les limitations de la miniaturisation par l'introduction de nouveaux matériaux ou de nouvelles architectures. L'avènement des structures à triples grilles (FinFET) a permis de maîtriser les effets canaux courts et poursuivre les efforts de miniaturisation (nœud technologique 14 nm en 2014). Le cas ultime pour le contrôle électrostatique de la grille sur le canal est donné par une grille entourant totalement le canal du dispositif. A cet effet, un transistor à nanofil à grille entourante est considéré comme la structure la plus adaptée pour les nœuds technologiques en dessous de 7 nm. Au cours de cette thèse, un procédé de réalisation large échelle de transistors MOSFET miniaturisés à base de nanofils verticaux en silicium a été développé.

Tout d'abord, les nanofils verticaux ont été réalisés par une approche descendante via le transfert par gravure d'un masque de résine en Hydrogène Silsesquioxane (HSQ), réalisé par lithographie électronique à basse tension d'accélération. Une stratégie de dessin inédite dite «en étoile» a été développée pour définir des nanofils parfaitement circulaires. Les nanofils en Si sont obtenus par gravure plasma puis amincis par oxydation humide sacrificielle. Ce procédé permet d'obtenir des nanofils verticaux en Si avec des parois parfaitement anisotropes, une parfaite reproductibilité et un rendement maximal.

L'implémentation des MOSFETs sur les réseaux nanofils a été effectuée par l'ingénierie successive de couches minces nanométriques (conductrices et diélectriques). Dans ce cadre, un procédé innovant de réalisation de couches d'isolations en HSQ par gravure chimique contrôlée a démontré une excellente planéité associée à une rugosité de surface inférieure à 2 nm. Enfin, un procédé utilisant la photolithographie UV conventionnelle a été développé pour réaliser le transistor de longueur de grille nanométrique.

Ces dispositifs ont démontré d'excellentes performances électriques avec des courants de conduction supérieurs à 600 $\mu\text{A}/\mu\text{m}$ et une excellente maîtrise des effets de canaux courts (pente sous le seuil de 95 mV/dec et DIBL à 25 mV/V) malgré l'extrême miniaturisation de la longueur de grille (15 nm). Enfin, nous présentons une première preuve de concept d'un inverseur CMOS à base de cette technologie à nanofils verticaux.

Mot(s)-clé(s) : MOSFET - nanoélectronique - nanofabrication - nanofils – silicium.

Abstract

Title: Realization and characterization of vertical silicon nanowires based MOS transistors

In order to further downscaling of the MOS transistors, the semiconductor industry has anticipated the limitations of miniaturization by the introduction of new materials and new architectures. The advent of triple gate structures (FinFET) allowed mastering the short channel effects and further miniaturization efforts (14 nm technology node in 2014). The ultimate case to the electrostatic control of the gate on the channel is given by a gate completely surrounding the device channel. For this purpose, Gate All Around (GAA) nanowire transistor is considered as the most suitable structure for technology nodes below 7 nm. In this thesis, a large scale process for the realization of miniaturized MOSFETs based on vertical silicon nanowires has been developed.

Firstly, the vertical nanowires were made by a top down approach by the transfer by etching of hard mask made of Hydrogen silsesquioxane (HSQ) resist created at low voltage electron beam lithography. An original design strategy called "star" was developed to define perfectly circular nanowires. Si nanowires are obtained by plasma etching then thinned by sacrificial wet oxidation. This method allows obtaining vertical Si nanowires with perfectly anisotropic walls, a perfect reproducibility and a maximum yield.

The implementation of the MOSFETs on the nanowire network was done by successive engineering of nanoscale thin films (conductive and dielectric). In this context, an innovative process for producing insulation layers in HSQ by controlled chemical etching showed excellent flatness associated with surface roughness of less than 2 nm. Finally, a method using conventional UV photolithography has been developed to achieve the nanometer gate length transistor.

These devices have demonstrated excellent electrical performances with conduction currents superior than 600 $\mu\text{A}/\mu\text{m}$ and excellent control of short channel effects (subthreshold slope of 95 mV/dec and DIBL of 25 mV/V) despite extreme miniaturization of the gate length (15 nm). Finally, we present a first proof of concept of a CMOS inverter based on vertical nanowires technology.

Key words : MOSFET – nanoelectronics - nanofabrication - nanowires – silicon

Liste des publications et conférences

5.3 Revues internationales

1. **Youssef Guerfi**, Guilhem Larrieu « Gate all around silicon vertical nanowire MOSFET for ultimate scaling » (en cours de soumission).
2. **Youssef Guerfi**, Jean Baptiste Doucet, Guilhem Larrieu. « Thin-dielectric-layer engineering for 3D nanostructure integration using an innovative planarization approach.” Nanotechnology, vol. 26, no. 42, p. 425302, 2015.
3. **Youssef Guerfi**, Franck Carcenac, and Guilhem Larrieu, “High resolution HSQ nanopillar arrays with low energy electron beam lithography.” Microelectron. Eng., vol. 110, pp. 173–176, Oct. 2013.

5.4 Conférences internationales

1. European Solid-State Device Research Conference (ESSDERC) -14 au 18 Septembre 2015 –Graz (Autriche).
Titre : Vertical Field effect transistor with sub-15nm gate all-around on Si nanowire array.
Guilhem Larrieu, **Youssef Guerfi**, Xiang-Lee Han, Nicolas Clément.
2. Material Research Society (MRS) Spring Meeting – 21 au 25 Avril 2014 – San Francisco (USA).
Titre : Materials issues for the development of scaled 3D nanowire transistors.
Guilhem Larrieu, Xiang-Lei Han, **Youssef Guerfi**, Christophe Krzeminski.
3. Micro and Nano Engineering (MNE) conference – 16 au 20 Septembre 2012, Toulouse.
Titre : High resolution HSQ nanopillar arrays with low energy electron beam lithography.
Youssef Guerfi, Franck Carcenac, and Guilhem Larrieu.
4. Material Research Society (MRS) Spring Meeting – 9 au 13 Avril 2012 – San Francisco (USA).

Titre : Investigation of silicide/silicon interfaces in nanowire based-nanocontacts.

Guilhem Larrieu, Xiang-Lei Han, Gilles Patriarche, Filadelfo Cristiano, **Youssef Guerfi**, Maeva Collet.

5.5 Conférences Nationales

5. Groupement De Recherche (GDR) nanofils – 29 au 31 Octobre 2014, Toulouse.

Titre : Fabrication de réseaux de nanofils verticaux de GaAs sur substrat en Si(100) par une approche descendante.

Aurélien Lecestre, Pascal Dubreuil, **Youssef Guerfi**, Franck Carcenac, Romain Cipro, Thierry Boron, Guilhem Larrieu.

6. Realisation et caractérisation de MOSFET à base de nanofils verticaux en silicium.

Journée de l'école doctorale GEET, 17 Avril 2014.