



**HAL**  
open science

# Isolation galvanique intégrée pour nouveaux transistors de puissance

Thanh Long Le

► **To cite this version:**

Thanh Long Le. Isolation galvanique intégrée pour nouveaux transistors de puissance. Energie électrique. Université Grenoble Alpes, 2015. Français. NNT : 2015GREAT105 . tel-01265549

**HAL Id: tel-01265549**

**<https://theses.hal.science/tel-01265549>**

Submitted on 1 Feb 2016

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

## THÈSE

Pour obtenir le grade de

**DOCTEUR DE L'UNIVERSITÉ GRENOBLE ALPES**

Spécialité : **Génie Electrique**

Arrêté ministériel : 7 août 2006

Présentée par

**Thanh Long LE**

Thèse dirigée par **Jean Christophe CREBIER** et  
Co-encadrée par **Nicolas ROUGER**

préparée au sein du **Laboratoire de Génie Electrique de  
Grenoble (G2Elab)**  
dans **l'École Doctorale Electronique, Electrotechnique,  
Automatique et Traitement du Signal (EEATS)**

## **Isolation galvanique intégrée pour nouveaux transistors de puissance**

Thèse soutenue publiquement le **19 Novembre 2015**,  
devant le jury composé de :

**Mr Bruno ALLARD**

Professeur, INSA de Lyon, Laboratoire Ampère (Rapporteur)

**Mr Dejan VASIC**

Maître de conférences, Université Cergy Pontoise (Rapporteur)

**Mr Christophe GORECKI**

Directeur de recherche CNRS, Laboratoire Femto-ST (Président)

**Mr Gonzalo PICUN**

Directeur de la technologie, Xrel Semiconductor (Membre)

**Mr Jean-Christophe CREBIER**

Directeur de recherche CNRS, Laboratoire G2Elab (Membre)

**Mr Nicolas ROUGER**

Chargé de recherches CNRS, Laboratoire G2Elab (Membre)





## Remerciements

Je suis honoré d'avoir pu mener mes travaux de thèse (financé le Ministère de l'Education Nationale Française) au sein du laboratoire G2Elab où j'ai eu la chance de travailler avec nombreuses personnes enrichissantes, accessibles et impliquées.

Tout d'abord, j'adresse mes remerciements à tous les membres du jury pour l'intérêt qu'ils ont porté à ce travail. Je voudrais remercier M. Christophe Gorecki pour avoir accepté d'être président de mon jury de thèse. Je tiens aussi à remercier M. Bruno Allard et M. Dejan Vasic, rapporteurs de ce manuscrit, pour leur étude détaillée et pertinente de mes travaux. Je remercie M. Gonzalo Picun d'avoir examiné ma thèse, et d'avoir partagé avec nous sa vision industrielle intéressante et sa grande expérience.

Je remercie sincèrement M. Jean Christophe Crébier, mon directeur de thèse. Je suis très heureux d'avoir eu la chance et le plaisir de travailler avec lui. Tout au long de mes années de thèse, il m'a donné non seulement les conseils scientifiques, mais aussi les critiques importantes. Ses idées et ses solutions intéressantes ont apporté des améliorations importantes pour mon travail de thèse.

Avec tous mes sentiments, je remercie à Nicolas Rouger, co-encadrant de ma thèse qui m'avait déjà encadré durant mon stage de Master 2. Je suis très heureux d'avoir eu l'honneur et la chance de travailler avec toi. Je te remercie pour tes conseils scientifiques tes encouragements. Merci Nicolas pour ton état d'esprit, ta disponibilité, ta gentillesse et tes encouragements. J'espère sincèrement avoir l'occasion de retravailler ensemble.

Je voudrais adresser mes remerciements à tout le personnel du CIME-Nanotech que j'ai eu l'occasion de côtoyer durant ces trois années de thèse, Alexandre Chagoya pour son aide mais aussi pour avoir toujours été présent afin de résoudre mes problèmes sur le logiciel Cadence, Irène Pheng pour s'être occupé de réaliser les bondings quand j'en avais besoin.

Je souhaiterais également remercier tous les doctorants et permanents du laboratoire G2ELab par leurs présence, leurs conseils leurs soutien. Merci entre autre à Raha, Davy, Clément, Farshid, Melissa, Olivier, Anthony, Xavier, Vincent, Luybomir pour leur investissement, leur ouverture, leur sympathie et pour nos nombreux échanges riches et formateurs.

Je souhaiterais également remercier mes amis Vietnamiens de G2Elab (anh Phuong, anh PJ Sang, anh Trum petit, anh Dinh Quang, Quang anh, Vinh, Quang Linh, Hoang, Dinh Binh,

anh Linh, ...), et particulièrement Thanh Hai PHUNG pour m'avoir enseigné beaucoup de chose et aussi m'avoir beaucoup aidé autour de la thèse. Un grand merci à doctor Xuan, e Ha Anh, e Lan, Chi Trang de m'avoir beaucoup aidé pendant la période à la fin de ma thèse.

Mes derniers mots iront à mes parents et mon frère, qui ont toujours été à mes côtés et m'ont supporté et soutenu tout au long de ces années d'études en France.

Grenoble, 12/2015



# TABLE DES MATIERES

<b>TABLE DES MATIERES .....</b>	<b>5</b>
<b>INTRODUCTION GENERALE .....</b>	<b>5</b>
<b>CHAPITRE I.....</b>	<b>8</b>
<b>TRANSFERT A HAUTE NIVEAU D'ISOLATION DES ORDRES ET DE L'ENERGIE DE COMMANDE : CONTEXTE ET OBJECTIF.....</b>	<b>8</b>
<b>I.1. Introduction .....</b>	<b>9</b>
<b>I.2. L'évolution des composants de puissance .....</b>	<b>10</b>
<b>I.3. Etat de l'art des nouveaux composants .....</b>	<b>13</b>
I.3.1. Nouvelles contraintes et caractéristiques .....	13
I.3.1.1. Nouvelles caractéristiques .....	14
I.3.1.2. Contraintes durcies du circuit de commande du transistor à grand gap .....	22
I.3.2. Nouveau cahier de charges.....	31
<b>I.4. Vers une haute isolation galvanique et haute intégration.....</b>	<b>32</b>
I.4.1. Limites de l'état de l'art actuel en confrontant celui-ci avec le nouveau cahier des charges .....	32
I.4.1.1. Principales solutions d'isolation galvanique pour les systèmes de puissance.....	32
I.4.1.2. Isolation galvanique optique : limites et enjeux .....	37
I.4.2. Problématique de la thèse .....	40
<b>I.5. Isolation galvanique optique pour les semi-conducteurs dans le contexte de moyenne puissance.....</b>	<b>46</b>
I.5.1. Chaîne globale de transfert de l'ordre de commande et de l'énergie de commande..	46
I.5.1.1. Emetteur optique.....	46
I.5.1.2. Récepteur optique .....	48

I.5.2. Transmission de l'ordre de commande.....	52
I.5.3. Transmission de la puissance de commande .....	53
<b>I.6. Conclusion.....</b>	<b>56</b>
<b>CHAPITRE II.....</b>	<b>58</b>
<b>TRANSFERT DES ORDRES DE COMMANDE PAR VOIE OPTIQUE .....</b>	<b>58</b>
<b>II.1. Introduction.....</b>	<b>59</b>
<b>II.2. Choix de la technologie pour le circuit de commande rapprochée avec isolation optique.....</b>	<b>60</b>
II.2.1. Comparaison des technologies .....	60
II.2.2. Technologie CMOS 0,35µm bulk.....	61
<b>II.3. Conception du circuit intégré de transfert des ordres de commande par voie optique pour le circuit de commande rapprochée.....</b>	<b>63</b>
II.3.1. Principe de fonctionnement du circuit .....	63
II.3.2. Photodiodes intégrées en technologie CMOS « bulk ».....	65
II.3.2.1. Conception des photodiodes intégrées.....	65
II.3.2.2. Caractérisation électro-optique des photodiodes intégrées.....	72
II.3.3. Intégration du circuit de traitement de signal associé avec la photodiode intégrée..	83
II.3.3.1. Conception du circuit de traitement de signal .....	84
II.3.3.2. Caractérisation de la commande optique.....	97
<b>II.4. Conclusion et Perspectives .....</b>	<b>104</b>
<b>CHAPITRE III.....</b>	<b>106</b>
<b>CIRCUIT DE COMMANDE RAPPROCHEE INTEGRE AVEC ALIMENTATION ISOLEE PAR VOIE OPTIQUE .....</b>	<b>106</b>
<b>III.1. Introduction .....</b>	<b>107</b>



<b>III.2. Intégration du circuit d'alimentation par voie optique avec le circuit de commande rapprochée .....</b>	<b>108</b>
III.2.1. Structure du système d'alimentation par voie optique.....	108
III.2.2. Bilan énergétique et contraintes de design .....	112
<b>III.3. Conception du circuit d'alimentation intégrée .....</b>	<b>114</b>
III.3.1. Cellules photovoltaïques intégrées en technologie CMOS.....	114
III.3.1.1. Différentes possibilités de structures pour la cellule photovoltaïque intégrée en technologie CMOS Bulk et CMOS SOI.....	115
III.3.1.2. Conception des cellules photovoltaïques.....	118
III.3.2. Convertisseur DC/DC intégré.....	123
III.3.2.1. Cahier des charges du convertisseur DC/DC .....	123
III.3.2.2. Conception du convertisseur DC/DC intégré.....	124
III.3.2.3. Conception du circuit de pilotage du convertisseur .....	133
<b>III.4. Caractérisation et mise en œuvre de l'alimentation par voie optique .....</b>	<b>137</b>
III.4.1. Caractérisation des cellules photovoltaïques .....	137
III.4.2. Caractérisation du convertisseur DC/DC .....	139
III.4.3. Mise en œuvre de la puce de commande intégrée avec l'alimentation par voie optique .....	143
<b>III.5. Mise en œuvre de la puce de commande optique dans un convertisseur .....</b>	<b>145</b>
<b>III.6. Conclusion et perspectives.....</b>	<b>150</b>
<b>CONCLUSION GENERALE ET PERSPECTIVES .....</b>	<b>151</b>
<b>ANNEXE I .....</b>	<b>154</b>
<b>REFERENCES BIBLIOGRAPHIQUES.....</b>	<b>156</b>



# Introduction générale

Depuis quelques années, l'électronique de puissance a connu une forte évolution technologique liée à l'introduction de nouveaux matériaux et de nouveaux composants mais également l'introduction de contraintes de mise en œuvre plus exigeantes avec les montées en fréquence et température des convertisseurs statiques. Cette évolution autorise une augmentation du rendement de conversion, de la fiabilité et de la densité de puissance ainsi que la réduction de masse et des volumes pour aboutir à celle des coûts. Cela permet de répondre aux besoins de transfert et d'utilisation optimale d'énergie électrique qui doit se généraliser à l'ensemble des applications exploitant le vecteur d'électricité comme source d'énergie. De nombreuses activités de recherche sont principalement axées sur les montées en fréquence de découpage et en température des convertisseurs, tout en gardant des niveaux élevés de rendement énergétique. Ces travaux ouvrent des perspectives de réduction des volumes de composants passifs et des systèmes de refroidissement. Parmi les thèmes de recherche les plus en avant ces dernières années, on retrouve les travaux sur les semiconducteurs de puissance à matériaux grands gaps, ceux sur les nouvelles architecture de convertisseurs, ceux qui concernent la sûreté de fonctionnement, la continuité de service et la fiabilité des systèmes et enfin ceux concernant les développements technologiques et l'intégration fonctionnelle.

Dans les applications commerciales, les interrupteurs de puissance sont à l'heure actuelle pour la plupart en silicium. Toutefois, les performances proposées par les composants de puissance en silicium sont limitées par la physique de ce matériau. Le développement de composants à base de matériaux grand gap et de solutions de mise en œuvre adaptées permet de conférer de nouveaux degrés de liberté aux applications soumises à des environnements contraignants. En effet, les semiconducteurs à large bande interdite possèdent un champ de claquage élevé, une grande vitesse de saturation des électrons et une forte conductivité thermique. Les composants conçus à partir de matériaux grand gap présentent des caractéristiques statiques et dynamiques meilleures que celles de leurs homologues en silicium. Mais ces performances restent difficiles à exploiter car les solutions de mises en œuvre de ces nouvelles familles de composants ne sont pas toujours adéquates vis-à-vis de montées en fréquence de découpage et température de fonctionnement [Epa14]

[Gre14]. Dans ce contexte, une activité de recherche sur des solutions de mise en œuvre des composants de puissance en technologie grand gap et leur électronique de commande associée est nécessaire.

Ce travail de thèse est focalisé sur la conception et la mise en œuvre de circuits de pilotage dit « gate drivers » pouvant répondre aux nouvelles exigences des composants de puissance grand gap. Elle s'inscrit dans le périmètre des développements de driver intégrés en technologie CMOS incluant une fonctionnalité d'isolation galvanique performante entre la partie de commande éloignée et le ou les composants grand gap de la partie de puissance du convertisseur d'énergie. Une étude bibliographique rapide va introduire l'état de l'art des composants grand gap afin de montrer leurs nouvelles caractéristiques et souligner les nouveaux enjeux autour de leur mise en œuvre. Un cahier des charges sera présenté et permettra d'analyser l'état de l'art pour souligner les limites des solutions circuits de commande portées à notre connaissance. En se basant sur les limites de l'état de l'art, nous présentons notre approche visant à définir, concevoir et réaliser une solution d'isolation galvanique optique intégrée avec le gate driver fiable, robuste et bas coût.

Le second chapitre de ce mémoire de thèse décrira les aspects fonctionnels et donc plus techniques des systèmes de transfert de l'ordre de commande développés par voie optique. A travers la description de la conception de la puce de commande, les différentes fonctions développées seront donc introduites puis développées en détail, et les résultats pratiques et les performances des réalisations effectuées seront présentés.

Enfin le troisième chapitre présentera un autre aspect consistant à intégrer une alimentation flottante isolée et générée par voie optique. Au cours de ce chapitre, une analyse plus fine de cette approche sera réalisée. Les étapes de réalisation d'un circuit de l'alimentation par voie optique intégré avec le circuit de commande rapprochée seront présentés. Les avantages résultant de cette approche seront également discutés. A la fin du chapitre, les caractéristiques du circuit d'alimentation par voie optique seront présentées. La mise en œuvre du circuit de commande par voie optique associé incluant leur alimentation sera également réalisée dans un convertisseur de puissance afin de valider le fonctionnement de notre « gate driver ».



## **Chapitre I**

# **Transfert à haute niveau d'isolation des ordres et de l'énergie de commande : contexte et objectif**

## **I.1. Introduction**

Les nouvelles générations de convertisseurs statiques reposent sur des densités de puissance toujours plus élevées, des rendements importants et une robustesse accrue. Ces caractéristiques reposent sur des fonctionnements encore plus rapides, de faibles pertes en conduction et en commutation et à des températures de plus en plus élevées. Les recherches menées pour repousser les limites physiques du matériaux silicium par le développement de nouvelles architectures telles que les IGBT ou les MOS à super jonctions atteignent à nouveau de nouvelles limites théoriques. Les nouvelles pistes scientifiques et technologiques s'appuient sur de nouveaux matériaux en remplacement du silicium, notamment les semi-conducteurs à large bande interdite (grand gap). Ces composants présentent des caractéristiques statiques et dynamiques meilleures à leurs homologues en silicium. Mais ces caractéristiques exceptionnelles s'accompagnent de différences et de difficultés de mise en œuvre par rapport aux composants classiques, susceptibles d'impacter le fonctionnement de la cellule de commutation. Il est donc capital aujourd'hui de bien prendre en compte ces nouvelles caractéristiques pour la conception d'un convertisseur. Dans ce chapitre, on va rapidement rappeler les caractéristiques principales et principes de fonctionnement des composants grand gap afin de souligner les nouveaux cahiers des charges pour leurs circuits de commande. L'analyse de l'état de l'art actuel des circuits de commande sera conduite, montrant leurs limites et le manque d'adaptation de ceux-ci face aux composants grand gap. A partir des nouveaux critères, nous proposerons également une approche d'intégration d'un circuit de commande qui permet de répondre aux nouvelles contraintes.

## I.2. L'évolution des composants de puissance

Les transistors de puissance sont classés en plusieurs types : les composants unipolaires, comme le transistor MOSFET ou la diode Schottky, où un seul type de porteurs circule dans le composant et les composants bipolaires où les deux types de porteurs circulent comme le transistor bipolaire et l'IGBT. La figure I.1 permet de positionner sur un repère fréquence puissance les grandes familles de composants de puissance en silicium. Chaque type présente des avantages et des inconvénients lui conférant un domaine d'application privilégié :

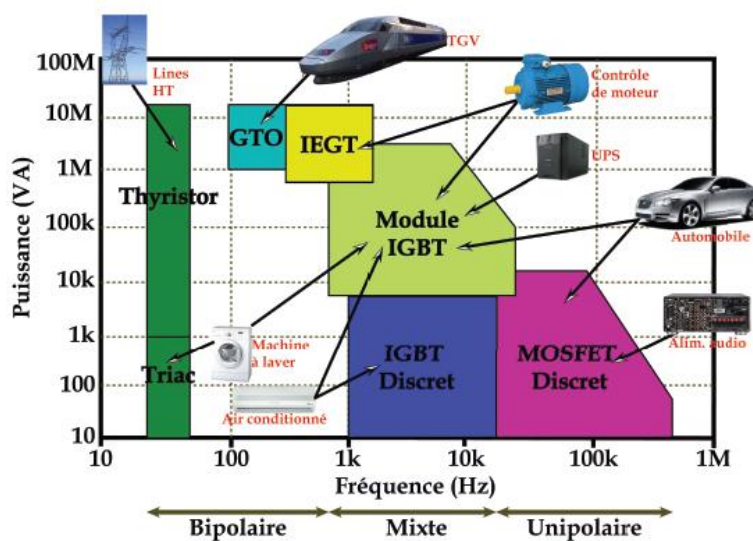


Figure I. 1. Champ d'application des composants de puissance en silicium [Nak08].

Pour les applications haute puissance et hautes tensions, les composants bipolaires comme le transistor bipolaire présentent un avantage avec de faibles pertes en conduction par la modulation de résistivité mais de plus grandes pertes en commutation parce que le temps nécessaire ou les conditions pour évacuer les porteurs (électrons et trous) lors des commutations sont plus longs et plus complexes. Un point vraiment critique concerne en effet le pilotage de cette famille de transistor qui nécessite une commande en courant généralement gourmande et complexe à mettre en œuvre.

Pour les applications à hautes fréquences, les composants unipolaires de type MOSFETs présentent de faibles pertes en commutation grâce à une vitesse de commutation élevée. Mais les pertes en conduction sont très dépendantes de la tenue en tension désirée ce qui les rends inappropriés pour les applications hautes tensions. L'un des atouts principal du



transistor MOSFET réside bien évidemment dans sa commande de grille en tension qui soulage énormément les contraintes de mise en œuvre du composant de puissance.

Les composants mixtes (IGBT) dont les propriétés sont intermédiaires entre celles des composants unipolaires et celles des composants bipolaires sont plus efficaces pour les applications de puissances et fréquences moyennes. L'IGBT conserve une grille isolée avec une commande en tension ce qui lui a permis de devenir le composant phare en électronique de puissance pendant de nombreuses années. Le tableau I.1 donne les gammes d'utilisation des principaux composants de puissance en matériau silicium.

	Tenue en tension	Courant
<b>MOSFET</b>	$V_B < 600 \text{ V}$	quelques A à 100A
<b>CoolMOS</b>	400-900 V	quelques A à 50A
<b>IGBT</b>	$600 \text{ V} < V_B < 6,5 \text{ kV}$	quelques ampères à 1200 A
<b>GTO</b>	$2,5 \text{ kV} < V_B < 6,5 \text{ kV}$	Quelques kA
<b>Thyristor</b>	$100 \text{ V} < V_B < 12 \text{ kV}$	Quelques kA

Tableau I.1. Gammes d'utilisation des composants de puissance [Lef04] [Inf-CoolMos].

- **Limites des composants basés sur le matériau Silicium**

Les transistors de puissance s'organisent autour d'une zone faiblement dopée dans laquelle s'établit majoritairement une « zone de charge d'espace » (ZCE) lorsque le transistor est dans un état bloqué. Les propriétés de cette région déterminent la tenue de tension et la résistance à l'état passant. Ces dernières dépendent du niveau de dopage, de l'épaisseur de la ZCE, de la section de passage du courant et des caractéristiques intrinsèques du matériau (principalement le champ critique et la mobilité). Pour un niveau de dopage donné, l'obtention d'une tenue de tension élevée nécessite l'augmentation de l'épaisseur de la ZCE et la diminution de la concentration en dopants. Cela induit une résistance à l'état passant très importante traduite par une forte dissipation de puissance en conduction. Inversement, une faible épaisseur de la ZCE permet la diminution de résistance à l'état passant et une augmentation de la concentration, mais limite la tenue en tension du dispositif. Il s'agit donc d'une question de compromis entre la tenue en tension et la résistance à l'état passant. Ce compromis permet d'illustrer la limitation des composants de puissance en régime de

conduction. De même, les pertes en commutation sont proportionnelles à la fréquence de fonctionnement. En fait, la durée nécessaire pour passer de l'état passant à l'état bloqué des composants bipolaires est très importante par rapport aux composants unipolaires. Elle constitue leur inconvénient majeur. Dans le cas des dispositifs unipolaires, en revanche, la durée nécessaire pour passer de l'état passant à l'état bloqué est très courte. Des temps de commutations importants se traduisent par des pertes en commutation. Pour un fonctionnement à haute fréquence, on préfère donc utiliser des composants unipolaires.

- **Composants grand gap**

Les nouvelles applications de l'électronique de puissance exigent de plus en plus des fonctionnements rapides à hautes fréquences pour limiter le volume des composants passifs de filtrage, et de faibles pertes en conduction et en commutation et cela si possible à des températures et des tensions plus élevées. Les recherches menées pour repousser les limites physiques du matériau silicium ont donné naissance à des composants à super jonction mais de nouvelles limites ont été atteintes. Le silicium ne peut donc pas répondre directement aux nouveaux besoins à cause de ses propriétés physiques et électroniques ce qui limite son utilisation dans beaucoup d'applications de puissance dans l'avenir. Or, à mesure que l'on se rapproche de ses limites, la marge de progression se réduit, ce qui encourage les recherches vers d'autres matériaux à semi-conducteur avec des limites théoriques bien meilleures. On citera les trois matériaux grand gap : nitrure de gallium (GaN), carbure de silicium (SiC) et diamant. Le tableau I.2 permet de comparer les propriétés physiques de ces matériaux grand gap avec celles du silicium.

Les semi-conducteurs grand gap ont un gap ou une hauteur de la bande interdite  $E_g$  plus importants que le silicium. Ce gap plus important permet d'atteindre une densité de porteurs intrinsèques  $n_i$  bien inférieure et confère aux composants grand gap la possibilité de fonctionner à de plus hautes températures. Donc, plus la largeur de bande est importante, plus le transistor peut fonctionner à haute température. Par d'ailleurs, la conductivité thermique élevée d'un matériau traduit sa capacité à évacuer la chaleur du composant. On peut donc voir que les matériaux SiC, GaN et Diamant sont des candidats propices pour un fonctionnement à température élevée. Ces nouveaux composants ont aussi un champ électrique critique  $E_{crit}$  bien supérieur à celui du Silicium. Plus cette caractéristique est élevée,

plus le composant sera capable de supporter des tensions de polarisation importantes. De plus, une mobilité élevée des électrons (GaN, diamant) induit une faible résistance à l'état passant, et permet aussi de fonctionner aux hautes fréquences.

	Unité	Si	4H-SiC	GaN	Diamant
Bandgap $E_g$	eV	1,12	3,26	3,39	5,47
Densité de porteur intrinsèque $n_i$	cm <sup>-3</sup>	10 <sup>10</sup>	8.10 <sup>-9</sup>	2.10 <sup>-10</sup>	1.10 <sup>-22</sup>
Champ électrique critique	MV/cm	0,23	2,2	3,3	5,6
Mobilité des électrons	cm <sup>2</sup> /V.s	1400	950	1500	1800
Permittivité relative	--	11,8	9,7	9,0	5,7
Conductivité thermique	W/cm.K	1,5	3,8	1,3	20

Tableau I.2. Propriétés et grandeurs physique de composants du silicium et grand gap [Gre14].

Depuis de nombreuses années le matériau silicium est employé pour les composants de puissance ainsi que pour les composants utilisés en microélectronique. Cependant, pour des applications de puissance, les limitations du silicium commencent à apparaître car l'électronique de puissance tend vers des fonctionnements à hautes températures (>150°C). Or le silicium perd ses propriétés de blocage dès les températures de jonction proche de 150 à 200°C selon la technologie mais aussi la tension de claquage. De même, les fréquences de fonctionnement augmentent de plus en plus, et les composants parasites, inhérents à la structure physique des composants en silicium, réduisent les dynamiques des interrupteurs et diodes. C'est pourquoi des nouveaux matériaux sont recherchés à l'heure actuelle afin de surmonter ces limitations, que ce soit le SiC pour des applications hautes températures, hautes tensions [Hor04], ou les composants à base de GaN avec la mobilité des électrons élevées pour les applications hautes fréquences, tensions de claquage moyennes [Bin10] et diamant qui lui pourrait répondre à toutes les contraintes applicatives, de tension, fréquence et température.

### I.3. Etat de l'art des nouveaux composants

#### I.3.1. Nouvelles contraintes et caractéristiques

### I.3.1.1. Nouvelles caractéristiques

#### a) Structure, fonctionnement et commande des transistors grand gap

Les transistors HEMTs sont des transistors à effet de champ (commandés en tension) pouvant être Normally-ON ou Normally-OFF. Un composant Normally-ON (normalement passant) nécessite une tension entre sa grille et sa source  $V_{gs}$  en dessous d'une tension de seuil  $V_{th}$  négative pour être maintenu bloqué. Tandis qu'un composant Normally-OFF (normalement bloqué) nécessite une tension  $V_{gs}$  en dessous d'une tension  $V_{th}$  positive pour être maintenu bloqué. Les HEMTs GaN sont des composants de puissance latéraux. La structure générale d'un HEMT est constituée essentiellement de trois couches différentes : le substrat, un matériau à plus faible bande interdite que le GaN et un matériau à large bande interdite  $Al_xGa_{1-x}N$ . Cette interface entre  $Al_xGa_{1-x}N/GaN$ , qui constitue le canal du transistor, est une "hétérojonction", modulée par la tension appliquée au composant. Le substrat GaN étant idéal mais difficile à synthétiser, d'autres substrats de natures différentes sont utilisés. Pour des raisons de coût, de praticité, le silicium est utilisé comme substrat principal pour les composants GaN malgré un désaccord de maille de 20%, générant alors une stabilité thermique inférieure et grande résistivité thermique limitant le fonctionnement à très haute température [Med12].

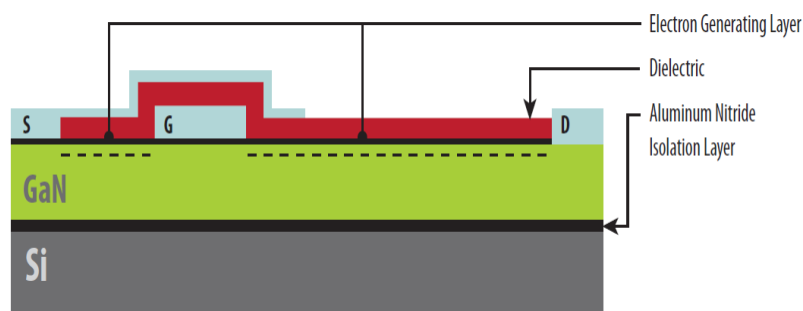


Figure I. 2. Structure du transistor EPC GaN sur substrat silicium [Epa14].

La comparaison d'un transistor HEMT GaN et transistor MOSFET Si est présentée dans le tableau I.3. Il apparaît par exemple que à  $R_{DSon}$  équivalent, les HEMTs GaN ont une charge de grille totale  $Q_G$  bien plus faible mais aussi une grille plus fragile ne permettant pas de dépasser une tension grille-source  $V_{gs}$  de -5V/+6V contre 20 V pour le MOSFET Si. La tension de seuil  $V_{th}$  de ce HEMT Normally-OFF se situe entre 0,8V – 2,5V. Bien qu'elle soit environ deux fois plus faible que celle du transistor silicium, cette tension de seuil se situe plus

proche de la tension grille-source maximale  $V_{gs,max}$  admissible par le composant. Il n'y a aucune charge  $Q_r$  à recouvrir et donc le temps de recouvrement  $t_{rr}$  est quasiment nul.

	MOSFET IPD33CN10NG [IPD33CN]	HEMT GaN [EPC2001C]
Tension de claquage $V_{BR}$	100V	100V
Résistance à l'état passance $R_{Dson}$	33m $\Omega$	7m $\Omega$
Charge de grille totale $Q_G$	18-24 nC ( $V_{gs}$ de 0 à 10V)	7,5nC ( $V_{gs}$ de 0 à 5V)
Tension grille source min – max	$\pm 20V$	-5V/6V
Tension de seuil $V_{th}$	2-4V	0,8V
Conduction inverse possible	Oui	Oui sous conditions
Temps de recouvrement diode interne $t_{rr}$	77ns	0
Charge de recouvrement de la diode interne $Q_r$	154nC	0
Température max de fonctionnement $T_j$	175°C	150°C

Tableau I.3. Comparaison des principales caractéristiques électriques à 25°C d'un HEMT GaN et de son équivalent MOSFET Si [Epa14] [Gre14].

	SJ-MOSFET Si IPW90R120C3 [Inf-01]	MOSFET SiC SCT30N120 [Sts-01]
Tension de claquage VBR	900V	1200V
Résistance à l'état passant $R_{Dson}$	120m $\Omega$	90m $\Omega$
Charge de grille totale QG	270nC (V <sub>gs</sub> de 0V à 10V)	105nC (V <sub>gs</sub> de 0V à 20V)
Tension grille source min – max	$\pm 30V$	-10/+25V
Tension de seuil V <sub>th</sub>	2,5 - 3,5V	3,5V
Temps de recouvrement diode interne trr	920ns	140ns
Charge de recouvrement de la diode interne Q <sub>r</sub>	30 $\mu C$	140nC
Température max de fonctionnement T <sub>j</sub>	150°C	200°C

Tableau I. 4. Comparaison entre un SJ-MOSFET et un MOSFET SiC.

Contrairement avec les composants latéraux HEMTs GaN, les transistors MOSFETs SiC sont des composants verticaux [Sts-01]. Le tableau I.4 présente les comparaisons caractéristiques électriques à 25°C d'un MOSFET SiC 1200V et d'un MOSFET Si 900V à super jonction. On peut constater que, à résistance à l'état passant comparable, le MOSFET SiC a une charge de grille bien plus faible que le MOSFET Si malgré une tension de claquage plus importante. La tension grille-source du transistor SiC ne peut pas dépasser (-10 à 25V) alors que la tension de seuil V<sub>th</sub> est à 3,5V contre une tension V<sub>gs,max</sub> de  $\pm 30V$  et une tension de seuil V<sub>th</sub> de 2,5-3,5V pour le MOSFET. Comme les MOSFET Si, les MOSFETs SiC possèdent eux aussi une diode interne bipolaire, avec une charge Q<sub>r</sub> de 140nC et un temps de recouvrement t<sub>rr</sub> de 140 ns contre 30 $\mu C$  et 920ns pour le MOSFET Si.

Comme les transistors classiques à effet de champ (MOSFETs), les HEMTs GaN et transistors SiC sont commandés à l'ouverture et à la fermeture par la valeur de la tension entre grille et source V<sub>gs</sub>. Pour contrôler la tension V<sub>gs</sub>, un circuit de commande de grille est utilisé. Il existe principalement deux types de commande, la commande en tension et la commande en courant. La commande en courant est une technique basée sur un pont en H complet et un élément inductif permettant de réduire les pertes de commande en récupérant une partie de l'énergie utilisée pour la commande de la grille d'un transistor de puissance

[Gre14]. Ce type de commande s'avère très complexe pour des gains réels modestes de l'ordre du watt pour des convertisseurs d'une puissance de l'ordre du kilowatt [Zhi07], [Fuj10] et/ou ne permettant pas un rapport cyclique différent de 0,5 [Ren05]. Un circuit de commande en tension se décompose en trois éléments (Figure I.3) : le circuit de commande de grille ou driver, la résistance externe de grille  $R_{ext}$ , et les alimentations du driver entre  $V_{dd}$  et  $V_{cc}$ . Ces alimentations  $V_{dd}$  et  $V_{cc}$  sont des alimentations référencées par rapport à la source du transistor. Les valeurs des tensions  $V_{dd}$  et  $V_{cc}$  sont choisies de manière à ce que le transistor soit bien passant avec une tension  $V_{dd}$  bien supérieure à  $V_{th}$  et bien bloqué avec une tension  $V_{cc}$  bien inférieure à la tension  $V_{th}$ . Sur la Figure I.3 sont représentés deux circuits de commande de grille en tension d'un transistor.

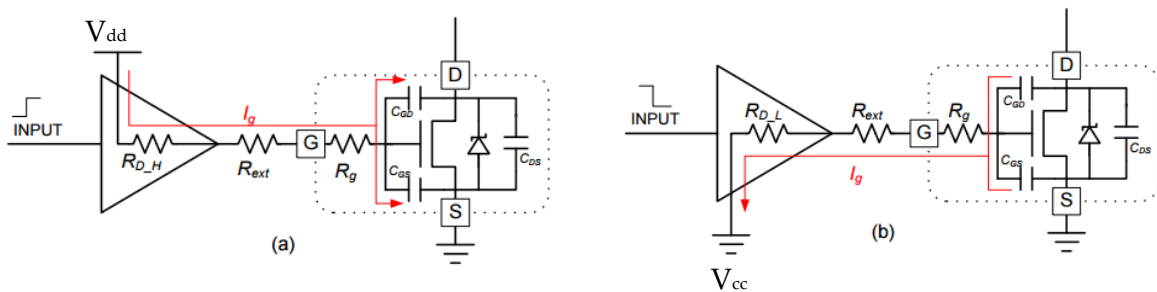


Figure I. 3. Circuit équivalent de charge et décharge des capacités de la grille du transistor de puissance via une commande en tension.

### b) Conduction en inverse pour $V_{gs} < V_{th}$

La principale différence entre le composant grands gap HEMT GaN et leurs homologues en silicium réside dans leur absence de diode interne parasite entre drain et source [Sji12], [Mor11], [Epa14]. Comme nous l'avons vu sur la figure I.2, le drain et la source du composant sont symétriques, on peut le rendre passant en pilotant la charge de grille  $C_{GS}$  ou  $C_{GD}$ . Pour cette raison le composant est bidirectionnel en courant. Lorsque la tension  $V_{gs}$  est en dessous du seuil  $V_{th}$ , c'est normalement la diode interne du MOSFET qui conduit dans le troisième quadrant. Pour le HEMT GaN, la tension de drain négative diminue l'étendue de la zone de déplétion formée au niveau du canal et le courant peut donc forcer le passage dans celui-ci. À partir de cet instant, on peut considérer que la tension de commande du transistor n'est plus  $V_{gs}$  mais  $V_{gd}$  et le transistor conduit le courant au travers d'un canal plus ou moins résistif en fonction de  $V_{gd}$  [Gre14]. Ce comportement peut faire apparaître des tensions inverses en fonctionnement, en particulier, dans le cas d'un bras de pont, pendant les phases de temps mort. Ces tensions dépendent de la tension de commande  $V_{GS}$  appliquée

(comprises entre -1,5V et -8V par exemple pour GaN GS66508P) et la température, sont alors à l'origine de pertes supplémentaires.

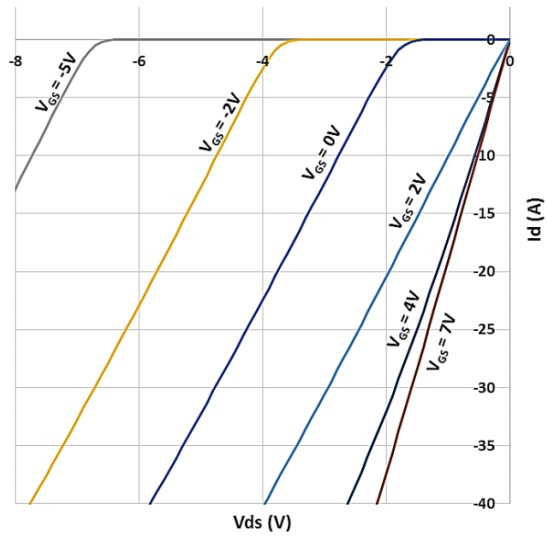


Figure I.4. Caractérisation inverse du composant GaN GS66508P [Gas14].

### c) La commutation rapide entraînant de forts $dV/dt$ et $dI/dt$

Un transistor grand gap tel que le HEMT GaN est normalement plus petit qu'un MOSFET en Silicium. De plus, sa structure de grille latérale donne aussi une capacité de grille qui est significativement inférieure à celle d'un MOSFET équivalent. Cela permet théoriquement une commutation très rapide. En effet, la vitesse de variation de la tension  $dV_{DS}/dt$  peut varier de quelques dizaines à quelques centaines de volts par nanoseconde, et la vitesse de balayage du courant  $dI_{DS}/dt$  peut être de plus de dix ampères par nanoseconde [Gas14]. En conséquence, la charge rapide des capacités des transistors HEMTs GaN permet aux concepteurs de repousser les fréquences et les densités de puissance bien au-delà de celles qui peuvent être atteintes avec des MOSFET en silicium [Col11] [Del14].

	[Gas14]	[Sem-01]	[Hug12]
$dV_{DS}/dt$ (kV/ $\mu$ s)	100kV/ $\mu$ s	60kV/ $\mu$ s	23kV/ $\mu$ s
$dI_{DS}/dt$ (A/ $\mu$ s)	5kA/ $\mu$ s	1,7kA/ $\mu$ s	1,3kV/ $\mu$ s

Tableau I.5. Vitesse de commutation d'un transistor à composant grand gap (SiC et GaN).

Lors de la commutation, la variation du courant qui traverse un transistor « low side », comme présenté sur la figure I.5 (a), induit une tension sur l'inductance de source commune (Lc). Cette tension s'oppose à celle appliquée par le driver entre grille et source du



composant de puissance. En effet, pour une variation très forte  $di_{DS}/dt$ , il y a donc une ondulation importante de la tension de grille du transistor, pouvant entraîner une ouverture non souhaitée. De plus, de fortes variations de courant  $di_{DS}/dt$  induisent aussi de fortes surtensions entre le drain et la source du composant. Dans [Gre14], les simulations d'un hacheur série à base de deux transistors HEMTs GaN qui commutent rapidement avec  $di_{DS}/dt$  et  $dV_{DS}/dt$  de  $3kA/\mu s$ ,  $28kV/\mu s$  montrent une surtension  $V_{DS}$  importante de 37% (Figure I. 5 (b)). Il y a un fort risque de passage en avalanche répétitive du composant alors qu'une marge de 25% a été prise [Gre14].

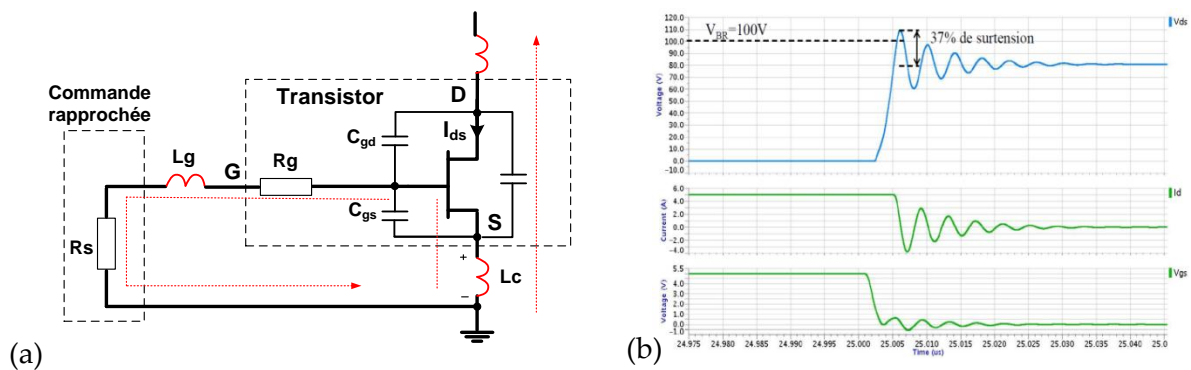


Figure I. 5. (a) Impact de  $di_{DS}/dt$  sur la commande du transistor Hemt GaN, (b) Forte variation de courant  $di_{DS}/dt$  entraîne une surtension  $V_{DS}$  importante de 37% [Gre14].

Les autres risques liés aux composants parasites du circuit et aux caractéristiques dynamiques des composants grand gap se situent au niveau de la grille des composants et de leur commande. Une vitesse de balayage élevée  $dV_{DS}/dt$  sur le drain d'un transistor à l'état bloqué peut produire la remise en conduction de l'un des deux transistors dans un bras de commutation et éventuellement une destruction de grille. Au cours de la variation positive de la tension  $V_{ds}$ , la capacité drain-source ( $C_{DS}$ ) est chargée. Les capacités grille-drain ( $C_{GD}$ ) et grille-source ( $C_{GS}$ ) en série sont également chargées. Le courant de charge à travers la capacité  $C_{GD}$  circule en partie dans la capacité  $C_{GS}$  en fonction des caractéristiques du driver et de la dynamique de variation de la tension  $V_{ds}$ . La tension  $V_{gs}$  peut alors dépasser, temporairement, la tension de seuil  $V_{TH}$  et provoquer la mise en conduction du transistor. Ce phénomène, parfois appelée l'effet de Miller est bien connu dans le cas de MOSFET en Silicium. Dans le cas d'un composant GaN, les commutations en tension étant très rapides et la marge de sécurité entre la tension de maintien bloqué et la tension de seuil  $V_{th}$  étant faible, cela peut favoriser l'émergence d'une telle situation. La qualité du circuit de driver est donc

essentielle ici pour éviter un amorçage intempestif du composant de puissance soumis à un  $dV_{ds}/dt$ .

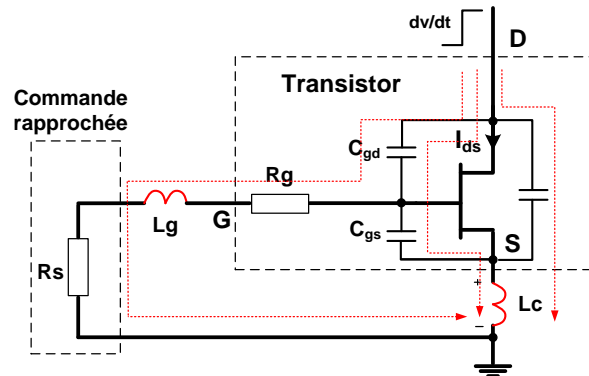


Figure I.6. Schéma d'un transistor et de sa commande lors que la forte variation  $dV_{ds}/dt$ .

Par d'ailleurs, le circuit d'isolation galvanique de la commande rapprochée possède également des capacités parasites de la barrière d'isolation, en présentant les courants de perturbation due à la variation  $dV/dt$ . Cela peut entraîner des erreurs de signal à travers la barrière d'isolation. Le circuit de commande du transistor donc doit être capable de garantir l'immunité du transfert des ordres sous une forte variation  $dV_{ds}/dt$ . Ces points seront abordés plus en détail dans la partie I.2.1.2 et I.3.

Deux solutions permettent de réduire l'impact des composants parasites dans un convertisseur à base de composants grand gap. La première à privilégier dans tous les cas, consiste à réduire au maximum les inductances parasites à l'intérieur des mailles de commutation de puissance et de commande de grille en travaillant l'intégration [Let14] [Let15] et la mise en boîtier des composants pour les rapprocher le plus possible les uns des autres [Xih12] [Rue12].

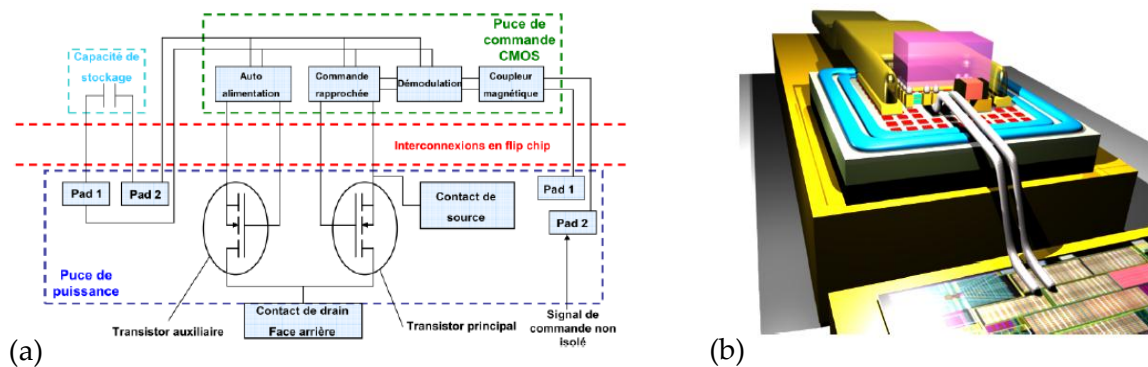


Figure I.7. Intégration 3D des périphériques de commande au plus proche des composants de puissance : (a) Schéma structurel [Sim11], (b) Image 3D [Rou15].

L'autre solution complémentaire consiste à proposer une méthode de commande plus adaptée aux caractéristiques dynamiques des composants à grand gap [Gre14]. Une approche de conception couplée est présentée et illustrée sur la figure I.7 [Sim10], [Sim11], [Rou15]. Dans ce cas, une solution s'appuyant sur deux puces complémentaires et conçues dans le but d'optimiser la fonction globale est développée. La figure I.7 présente les fonctions partagées et l'intégration 3D, afin de réaliser une autoalimentation du circuit de pilotage et d'assurer l'intégration d'un transfert isolé des ordres de commutation. Dans cette thèse nous nous sommes intéressés à l'étude et à la conception de circuits de commande rapprochée intégrée qui peut fonctionner en mode « high side » ou « low side » permettant de limiter les effets parasites.

**d) La faible tension de seuil  $V_{th}$**

Le tableau I.6 compare la tension de seuil d'un transistor HEMT GaN avec celle d'un transistor MOSFET en silicium. On peut voir que la tension  $V_{gs}$  maximale du transistor HEMTs GaN est plus petite qu'à celle du transistor de puissance MOSFETs. Cette observation est pour l'instant encore assez généralisable. Par exemple, pour les composants EPC GaN, la tension  $V_{gs}$  maximale est de 6V tandis que pour les MOSFETs de puissance, leur valeur typique est d'environ 20V. Cela réduit les marges existantes et impose davantage de rigueur dans le traitement des ondulations et surtensions lors des commutations pour éviter le claquage des grilles. En effet, une tension  $V_{gs}$  entre 4,5V et 5,5V est souhaitable afin de minimiser leurs résistances à l'état passant  $R_{DS(on)}$  et par conséquent les pertes en conduction. Cela ne laisse que 0,5 à 1,5V de marge ce qui est assez faible, surtout dans un contexte de commutation rapide.

	EPC GaN	MOSFET
Tension grille source $V_{gs}$ max	6V max	20V max
Tension de seuil $V_{th}$	1,5V (typique)	2V- 4V (typique)
$V_{gs}$ optimale	4,5V – 5V	10V -15V
Marge de sécurité de $V_{gs}$	0,5 à 1,5V	5 à 10V

Tableau I.6. Comparaison de la tension  $V_{gs}$  du transistor HEMT GaN et MOSFET en Si.

La seconde contrainte forte est liée à la faible tension de seuil  $V_{th}$  du transistor HEMT GaN qui est sensiblement plus petite que celle des transistors de puissance en silicium. Comme

nous l'avons vu dans la partie précédente, le faible  $V_{th}$  associé aux faibles valeurs de capacités parasites contraint fortement l'immunité aux  $dV/dt$  mais cela contraint également les dynamiques de courant coté driver pouvant être admissibles sans destruction de la grille du transistor de puissance. Les Figure I.5 et I.6 montrent l'inductance parasite dans la boucle de commande. Ces éléments parasites entraînent l'ondulation de la tension  $V_{gs}$  pendant la commutation qui peut provoquer le réamorçage du transistor lors de la phase d'ouverture. En conséquence, cela peut induire un court-circuit et/ou augmenter les pertes.

De plus, la structure du circuit de commande de grille la plus couramment utilisée est la structure formée par le buffer push-pull standard à base d'un transistor Pmos sur la partie connectée à la tension d'alimentation et un transistor Nmos connecté à la source. Lors de la conception du circuit de commande, les concepteurs préfèrent utiliser une diode en parallèle avec la résistance de grille afin de piloter la fermeture du transistor sans affecter la vitesse de la phase d'ouverture. De fait, pour le pilotage des transistors GaN, on préfère modifier la structure du push pull pour différencier deux sorties driver l'une pour l'amorçage du transistor et l'autre pour le blocage. Ainsi on peut différencier et spécifier les caractéristiques driver de chacune des deux commutations et adapter celles-ci au contexte.

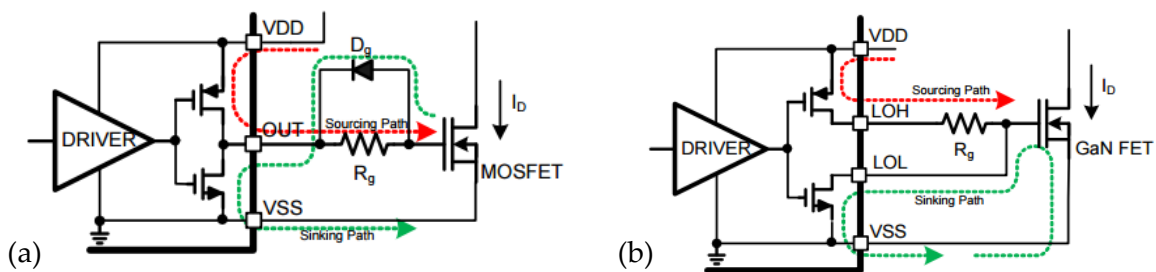


Figure I.8. (a) Circuit de commande conventionnel d'un MOSFET Si, (b) Circuit de commande d'un transistor HEMT GaN [Epa14].

### I.3.1.2. Contraintes durcies du circuit de commande du transistor à grand gap

#### a) Problème de CEM due de la commutation rapide

Dans le contexte de l'électronique de puissance, il est critique d'offrir des solutions en rupture qui permettent, d'une part d'augmenter les rendements sur toute la plage d'utilisation (température, point de fonctionnement) mais aussi de réduire les perturbations électromagnétiques, d'augmenter la densité de puissance et garantir la fiabilité des systèmes de conversion depuis chaque interrupteur de puissance jusqu'au convertisseur statique

[Rou15]. En effet, des commutations plus rapides se traduisent par des pentes  $dV_{DS}/dt$  et  $di_{DS}/dt$  plus importants qui risquent de générer de fortes perturbations électromagnétiques, tant en mode rayonné qu'en mode conduit, via les capacités et les inductances parasites dans le circuit [Ngv12].

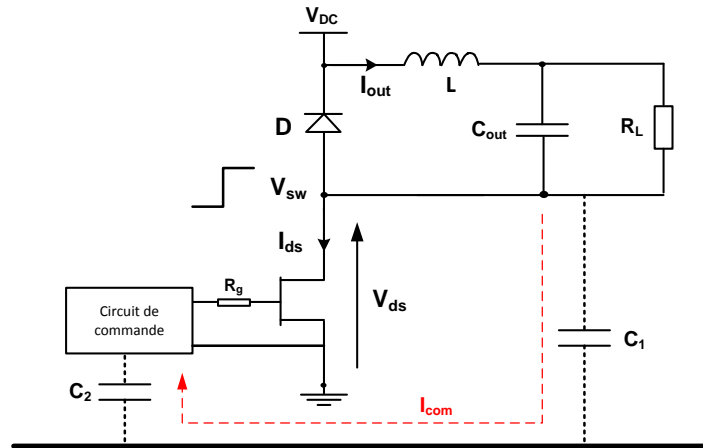


Figure I.9. Chemin de propagation des perturbations dues aux capacités parasites de entre point milieu et référence ou terre.

En particulier, les courants de mode commun transitent par les capacités parasites de couplage entre les pistes reliant les semi-conducteurs et le radiateur (quelques dizaines de pF), généralement relié à la masse. Ces courants dépendent des variations du potentiel aux bornes de ces capacités parasites, c'est à dire des variations du potentiel des différentes portions du circuit par rapport à la masse. Ces courants parasites peuvent affecter le fonctionnement d'autres parties du convertisseur voire d'autres appareils connectés sur le même réseau de distribution.

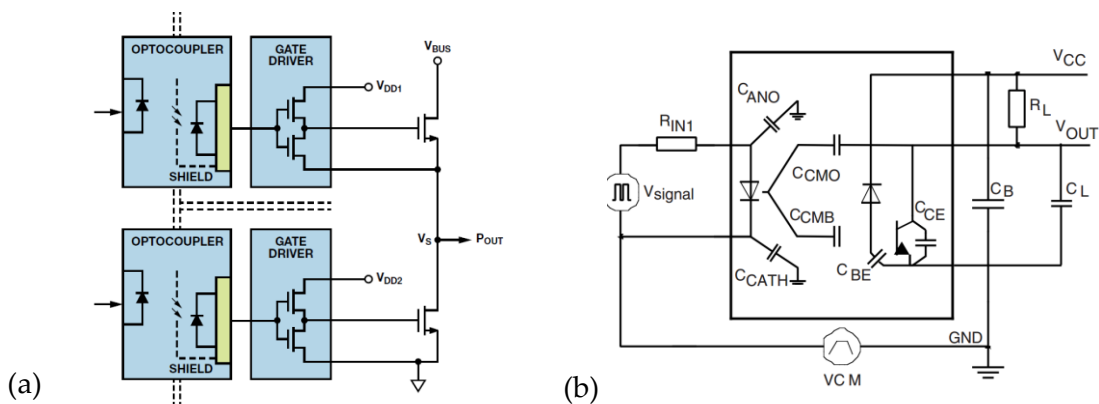


Figure I.10. (a) Circuit de commande d'un bras de commutation en utilisant des optocoupleurs [Ken12], (b) Capacités parasites internes d'un opto-coupleur [Visay-83].

D'autres chemins parasites peuvent également poser problème, mais cette fois de manière beaucoup plus concrète. Il s'agit des chemins parasites à travers l'alimentation et/ou la barrière d'isolation du bloc de transfert d'ordre du driver. En effet, ces fonctions, bien que isolées, ne le sont pas parfaitement. Des capacités parasites sont toujours présentes et procurent un chemin de propagation qui sont excités par les  $dV/dt$  et font circuler des courants parasites. Cette problème est encore plus critique dans le cas d'un transitoire de tension à commutation rapide ( $dV/dt$ ) car les couplages capacitifs à travers une barrière d'isolement du signal de commande entre la commande éloignée (PIC, FPGA) et la commande rapprochée (par exemple via l'auto-coupleur dans la figure I.10 (a)) peuvent provoquer des erreurs de transmission de l'ordre de commande à travers la barrière d'isolation. Dans une application d'un bras d'onduleur par exemple, ce problème pourrait induire l'amorçage intempestif des deux interrupteurs dans le même intervalle de temps ce qui pourraient détruire les composants. Toute la capacité parasite à travers la barrière d'isolation a tendance à être un chemin de couplage pour des transitoires élevés. La figure I.10 (b) présente les capacités parasites d'un optocoupleur. Le tableau I.7 suivant présente le niveau d'immunité au  $dv/dt$  de quelques opto-coupleurs.

	HEMT GaN	ACPL-064L [ACPL01]	FOD3182 [FOD3182]	HCPL-3810 [HCPL3810]
$dV/dt$ (kV/ $\mu$ s)	50 – 100kV/ $\mu$ s	35kV/ $\mu$ s	50kV/ $\mu$ s	10kV/ $\mu$ s

Tableau I.7. Niveau maximal de  $dV/dt$  pouvant être supporté par divers opto-coupleurs.

Avec l'introduction de composants à commutations rapides, l'augmentation des niveaux des  $dV/dt$  exacerbe le problème issu des capacités parasites offrant des chemins de propagations de courants parasites. Il est donc nécessaire de limiter la valeur de ces capacités parasites afin d'assurer le bon fonctionnement du convertisseur qui utilisent des composants de puissance à commutation rapide et plus particulièrement ceux utilisant des composants grand gap. Dans les parties suivantes de cette thèse, nous allons présenter une solution intégrée qui permet de limiter tous les parasites entre la commande éloigné et la commande rapprochée, en offrant un très haut niveau d'isolation galvanique bien adapté aux spécificités des composants grand gap.

#### b) Délais de propagation et dispersion du signal

Afin de profiter entièrement des convertisseurs de puissance à base de composants semiconducteur grand gap tels que les HEMTs GaN, il est nécessaire de leur associer des circuits de pilotage de grille rapides et compatibles. Dans le contexte de convertisseurs mettant en œuvre plusieurs composants GaN, la gestion des délais et dispersions de propagation est un point important. Pour cela, les gate driver doivent avoir de faibles temps de propagation, de très faibles niveaux de dispersion entre drivers mais aussi entre front de commutation. Cela permet entre autre de limiter les distorsions de largeur du signal et de favoriser les commutations transistors-transistors. La plupart des gate driver commerciaux disponibles à commande de grille pour, par exemple le pilotage des MOSFET en Silicium ont un retard de propagation d'environ 100ns [Roo02] qui représente déjà 10% d'une période de 1 MHz. Ils ne sont pas adaptés avec un fonctionnement à hautes fréquence rendus possible par ces nouveaux composants. Quelques gate drivers spécifiques pour HEMT GaN, récemment commercialisés, comme le LM5113 [LM5113], disposent d'un faible délais de propagation de 28ns et d'une distorsion de 1,5ns ou bien de 14ns dans le cas du UCC27611 [UCC11]. En effet, des délais de propagation inférieurs à 30ns sont préférés pour les applications à haute fréquence au-delà de 1MHz [Roo02].

	Symbol	LM5113 [LM5113]	UCC27611 [UCC11]	Gate driver Mosfet ACPLW346 [ACPL346]
Propagation de délais L-H (ns)	$t_{PLH}$	28	15	120
Distorsion du signal (ns)	$t_d$	1,5	4	50
Temps de montée (ns)	$t_r$	7	9	30
Temps de descente (ns)	$t_f$	1,5	4	30
Fréquence de fonctionnement max (MHz)	<b>F</b>	>1MHz	>1MHz	200kHz

Tableau I.8. Comparaison entre le gate driver d'un MOSFET Si et du composant grand gap.

De plus, un faible temps de propagation et une faible distorsion de la largeur du signal permettraient de limiter la dispersion ou bien le «delay mismatch » entre les drivers pilotant différents transistors de puissance. Le problème de dispersion entre les drivers est plus critique dans le cas des convertisseurs à haute fréquence. Pour comprendre l'impact de ces

délais, prenons l'exemple d'un bras de HEMTs GaN commandés de façon complémentaire par deux drivers identiques. La Figure I.11 indique les temps de propagation L-H ( $t_{PLH}$ ) et H-L ( $t_{PHL}$ ), la distorsion du signal est définie par la différence de temps entre  $t_{PLH}$  et  $t_{PHL}$ . Les temps de montée et descente de la tension de sortie sont respectivement  $t_r$  et  $t_f$ . Si les délais de propagation du circuit de commande « low side »  $t_{p2} = t_{PHL(2)}$  sont plus longs que ceux du circuit de commande « high side », on commencera à fermer un interrupteur avant d'ouvrir l'autre, on risquera donc de générer un court-circuit de bras.

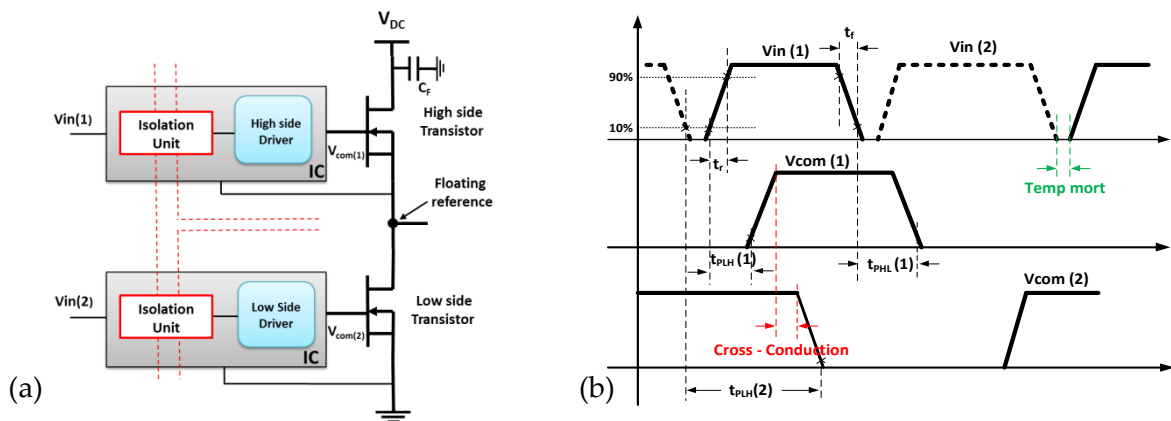


Figure I.11. (a) Bras de commutation d'un convertisseur, (b) Chronogramme des signaux de commande.

En effet, si les signaux de commande des deux transistors ne sont pas propagés avec le même délai, le temps mort devra être plus long pour empêcher tout court-circuit. Par exemple, à une fréquence de 1,5 MHz, un délai maximum de 35ns (la différence maximale du retard de côté haute et basse du LTC4446 - un gate driver rapide) est mentionné, ce qui représente déjà 10,5% de la demi-période. Donc le temps morts doit être supérieur à 35ns afin d'éviter tout court-circuit. Cependant, la présence de temps morts importants dégrade les performances du système. En effet, lorsque le temps mort est important, les transistors conduisent en inverse avec une mauvaise caractéristique et donc les pertes seraient considérablement augmentées.

Une technique de réduction des pertes durant les temps morts d'un convertisseur synchrone à base de composants grand gap sans diode en antiparallèle par un circuit de commande trois niveaux est présenté dans [Ren12]. Dans la thèse de Romain Grézaud [Gre14], il a été développé un circuit de commande de grille spécifique intégrant monolithiquement un contrôleur de temps mort, permettant de générer et d'ajuster de manière dynamique et sûre des temps morts courts tout en réduisant les contraintes sur les



temps de propagation des signaux entre les drivers. Dans le but de réduire les temps morts, nous utiliserons le même circuit de grille (topologie identique) pour tous les transistors de puissance. De plus, nous utiliserons de préférence des drivers ayant des dispersions du signal faible.

### **c) Alimentation du circuit de commande**

La source d'alimentation d'un gate driver de puissance peut être réalisée de nombreuses manières différentes, dépendant de la position de l'interrupteur dans le circuit de puissance (source flottante ou référencée à la masse), ainsi que de la taille du transistor, la fréquence de commutation et les dynamiques de commutation souhaitées, et déterminent alors la puissance que doit fournir le circuit de commande. Pour des transistors à canal N se trouvant du côté bas du bras d'onduleur (« low side »), la source du circuit d'alimentation est référencée à la masse de l'alimentation de puissance. En revanche, l'alimentation du circuit de commande d'un transistor de type N High-Side est flottante, référencée par rapport à la source du transistor à commander. L'alimentation flottante du composant « high-Side » peut être isolée galvaniquement ou non. Plusieurs techniques ont été mises au point pour résoudre ce problème.

La technique d'alimentation largement répandue qui offre le plus de flexibilité consiste à utiliser une alimentation isolée. Cette alimentation est réalisée par des convertisseurs DC/DC utilisant un transformateur haute fréquence, piézo-électrique [Dfe06] ou magnétique voire même sans noyau [Shs01]. Cependant, le premier désavantage de ce mode d'alimentation est une faible efficacité du convertisseur DC/DC ce qui se traduit par une consommation importante du circuit de commande rapprochée [Ngv12]. Le deuxième désavantage de cette technique est volumineuse et peut difficilement être intégrée monolithiquement au driver car elle comporte un transformateur relativement imposant. Le troisième inconvénient de ce mode d'alimentation est la création de chemin de propagation parasite causé par la présence de capacité de couplage entre le primaire et le secondaire de l'alimentation isolée. Cela devient très critique lorsqu'il y a une forte variation de tension au niveau secondaire du circuit. Des courants de mode commun vont circuler dans le primaire du driver et dans la commande globale à travers les capacités parasites vers la masse. Ils peuvent perturber

l'environnement électronique du système de commande et causer un dysfonctionnement [Ngv12].

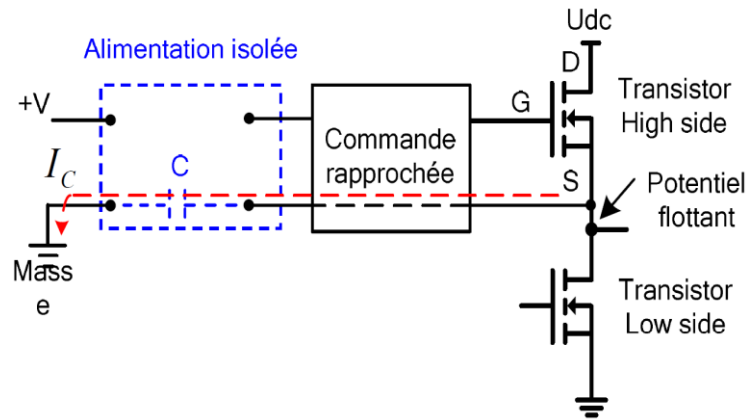


Figure I.12. Capacités de mode commun introductives par une alimentation isolée [Ngv12].

La seconde technique très simple est l'alimentation Bootstrap (Figure I.13) constituée seulement d'une diode haute tension entre l'alimentation du circuit de commande Low-Side et la capacité Bootstrap  $C_{BST}$  qui fait office de stockage périodique au niveau driver « high-side ». En revanche, cette solution n'est pas isolée galvaniquement [Shu13], [LM5113]. Le principe est de créer une alimentation flottante pour le driver « high side » en stockant périodiquement des charges dans une capacité (voir figure I.13). Cette capacité possède une grande valeur, dépendant de la fréquence de travail de l'interrupteur et ne peut pas être intégrée au gate driver. Quand l'interrupteur « low side » est fermé, la capacité est chargée à travers la diode de bootstrap par l'alimentation  $V_{CC}$ . Lorsque l'interrupteur « low side » est ouvert, le driver « high side » est alimenté par l'énergie stockée dans la capacité. De plus, pendant cette phase la diode de bootstrap supporte la tension totale  $V_{IN}$  du bras de commutation de puissance, une diode capable de supporter la tension du convertisseur est donc requise. Par d'ailleurs, cette solution ne permet pas une interconnexion proche entre le gate driver et les deux transistors du bras d'onduleur.

Cette technique fonctionne de manière satisfaisante avec les transistors MOSFETs en Silicium qui offrent des marges importantes sur les signaux de grille. En revanche, les grilles des composants GaN sont très sensibles aux surtensions. En effet, on peut prendre l'exemple d'un bras de commutation utilisant des composants HEMTs GaN EPC. La tension de commande en tension est  $V_{CC} = 5V$ , la tension  $V_F$  de la diode  $D_1$  est  $0,7V$ . Lorsque le transistor

Q1 est fermé, la capacité  $C_{boot}$  va se charger via la diode  $D_1$ . La capacité  $C_{boot}$  servira ensuite d'alimentation du driver du transistor « high side ». La tension  $V_{boot}$  peut être calculée par l'équation (I.1) lorsque Q1 conduit en inverse. En fait, à cause de la tension élevée en conduction en inverse, la tension  $V_{boost}$  va augmenter et peut dépasser la tension maximale 6V des composants HEMTs GaN EPC et détruire le transistor GaN (Q2) à côté « high side ».

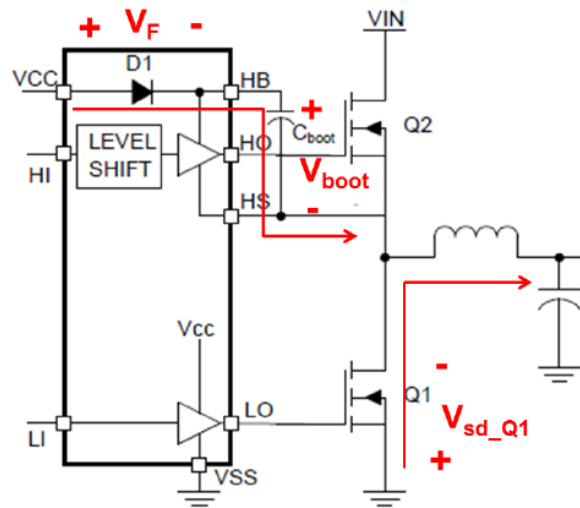


Figure I.13. Circuit bootstrap pour la commande d'un HEMT GaN high side [Shu13].

$$V_{boost} == V_{CC} - V_F + V_{sd\_Q1} \quad (I.1)$$

Une autre technique est la technique dite d'auto-alimentation [Rou08], [Sim11]. Lorsque l'interrupteur « high side » est ouvert, il existe une différence de tension à ses bornes qui peut être exploitée pour charger une capacité de stockage  $C_s$  afin d'alimenter le circuit de commande. Le circuit d'auto-alimentation étant directement connecté à l'alimentation de puissance et à la source du transistor « High-Side », il n'existe pas de lien physique avec le circuit Low-Side ou logique et est donc naturellement isolé galvaniquement. Autre solution présentée dans [Fuj13], l'alimentation par voie optique, consiste à récupérer une énergie optique transmise pour alimenter le circuit de commande. L'énergie récupérable par cette technique permet déjà de commander un MOSFET 500 V, 20 A, 100kHz inséré dans un convertisseur buck mais aussi un IGBT 1400 V, 300 A, 16kHz.

Néanmoins, il n'y a pas de solution d'alimentation flottante intégrée avec le gate driver. Au mieux, dans [Sim11], le circuit d'auto-alimentation est intégré avec le gate driver, cependant, il a besoin d'un transistor auxiliaire à haute tension afin de charger la capacité de stockage. Ou bien dans le cas de l'alimentation Bootstrap, la diode de bootstrap est intégrée au sein des

circuits CMOS HV pilotant des bras de commutation. Cependant, cette alimentation est réalisée par des circuits dédiés, présentant des limites en termes d'immunité au  $dV/dt$  [Rou15]. Dans cette thèse, nous aborderons dans le chapitre 3 une solution d'intégration monolithique d'un circuit d'alimentation par voie optique avec le circuit de commande via une technologie industrielle CMOS en supprimant tout le lien physique avec le circuit de commande éloignée.

#### **d) Contexte thermique**

Dans le but de réduire au maximum les éléments parasites, on préfère disposer de circuits de commande au plus proche des composants de puissances. En conséquence, les drivers doivent être capables de supporter l'ambiance de travail du transistor de puissance, dont des fonctionnements à haute température, pouvant aller jusqu'à 200°C par exemple pour quelques applications automobile [MEgaN]. Dans [Sim10] il a été proposé une solution de packaging 3D pour laquelle la puce de commande est assemblée avec la puce de puissance à travers un empilement de puce interconnectées par la technique du flip chip. Cette approche réduit considérablement les inductances parasites des interconnexions. Les deux puces en silicium sont donc empilées et interconnectées par des bumps. La puce de puissance est quant à elle brasée sur un substrat DBC, composé d'une couche de cuivre, d'un substrat céramique et d'une seconde couche de cuivre en dessous, et l'ensemble est connecté au refroidisseur pour assurer la gestion thermique de l'assemblage (voir figure I.7).

Cependant la position de la puce de commande au-dessus de la puce de puissance peut poser un problème du point de vue thermique, la puce de puissance étant sur le chemin thermique de la puce de commande, cette dernière sera donc automatiquement plus chaude que la puce de puissance. Ces phénomènes ont été étudiés par simulation, et leur impact sur le fonctionnement de l'assemblage est déterminé dans [Sim10]. Il a été montré qu'un écart de 1,1°C entre la puce de commande et la puce de puissance, ce qui signifie que l'écart de température entre les deux puces est assez faible. De manière dynamique, la différence de températures entre les puces reste inférieure à 1°C.

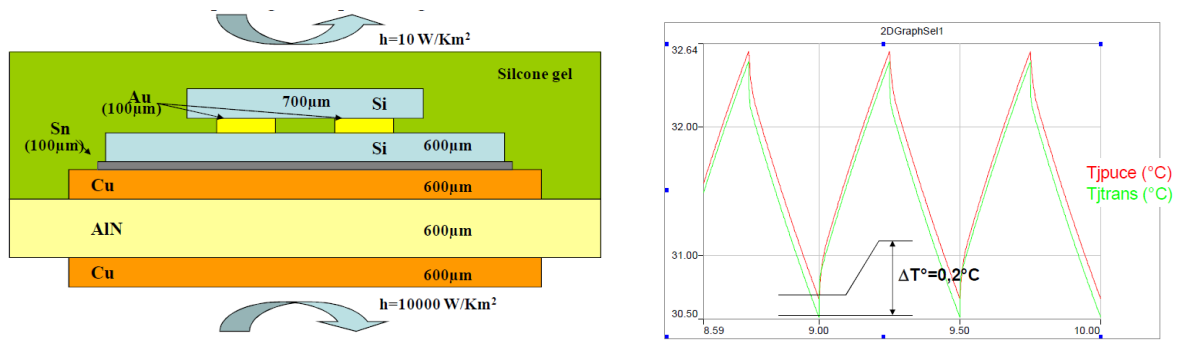


Figure I.14. Simulation thermique/électrique dynamique analytique de l'assemblage en chip on chip [Sim10].

Afin d'adapter notre gate driver aux contraintes de haute température dans le contexte d'un fonctionnement à haute fréquence nécessitant le rapprochement des composants de puissance et de commande, nous utilisons dans un premier temps une technologie CMOS facilement accessible pour fabriquer et valider les fonctionnalités puis si nécessaire une technologie SOI compatible avec les applications hautes températures visées par les composants grands gaps.

### I.3.2. Nouveau cahier de charges

Les transistors à grand gap montrent un meilleur indice de mérite ( $R_{ds,ON} \times Q_g$ ) en comparaison des transistors MOSFET de silicium. Ils permettent le fonctionnement à hautes fréquence avec un excellent niveau de performances, rendant ainsi les convertisseurs de puissance plus petits, plus rapides et plus efficaces. Cependant, l'absence d'un gate driver compatible avec les capacités des composants de puissance peut limiter les performances des convertisseurs de puissance à grand gap.

Par rapport aux analyses ci-dessus, les quelques éléments qui suivent nous permettront d'orienter les enjeux et le choix à faire. En effet, les nouveaux gate driver doivent être capables de transférer des signaux de commutation avec de faibles délais de propagation (moins de 30ns) et de faibles niveaux de dispersion entre les voies (moins de 10ns). Cela induit que toute la chaîne de transfert des ordres doit être maîtrisée, incluant le transfert des ordres du potentiel de référence de la commande éloignée jusqu'à la grille du transistor. De fait, ils doivent supporter les conséquences induites par des fronts de commutation élevés  $dV/dt$  au-delà de 50kV/ $\mu s$  (et jusqu'à 200kV/ $\mu s$ , avec suppression des couplages de mode commun entre la boucle de commande et le système externe de génération des ordres de

commutation), une immunité statique entre 600V et plusieurs centaines de kV [Rou15]. Par ailleurs, la faible consommation du driver, si elle reste dépendante du transistor à piloter mais aussi de la fréquence de découpage, doit également rester un critère important, autorisant la récupération de tout ou partie de la puissance électrique [Sim11] ou optique [Let15], [Rou15] par de nouvelles architecture afin d'alimenter le gate driver tout en limitant au maximum les chemins parasites. Cette alimentation flottante doit pouvoir être intégrée de manière monolithique ou hybride avec le gate driver. Ces gate drivers doivent également minimiser la sensibilité et la dépendance de chaque fonction à la température afin qu'ils soient adaptés à l'environnement de travail du composant de puissance.

Paramètres	Symbole	Valeurs
dV/dt et di/dt max	$dV_{DS}/dt ; di_{DS}/dt$	>100kV/ $\mu$ s, 5kA/ $\mu$ s
Délais de propagation	$T_p$	< 30ns
Distorsion du signal	$T_d$	< 5ns
Dispersion du signal	$T_d$	< 10ns
Consommation	$P_{com}$	10mW - 100mW
Température de fonctionnement	$T^{\circ}C$	Entre 100 et 200°C
Fréquence de fonctionnement	$F_{max}$	>1MHz
Isolation galvanique	---	oui

Tableau I.9. Proposition des conditions du circuit de commande adaptées avec les composants à grand gap.

## I.4. Vers une haute isolation galvanique et haute intégration

### I.4.1. Limites de l'état de l'art actuel en confrontant celui-ci avec le nouveau cahier des charges

#### I.4.1.1. Principales solutions d'isolation galvanique pour les systèmes de puissance

Dans de nombreux cas, une isolation entre les circuits logiques de commande et le circuit de commande rapprochée est nécessaire. Notamment, la commande d'un bras de

commutation soulève le problème de la commande de l'interrupteur « high side » (Figure I.11 (a)), la source de ce dernier se trouvant à un potentiel qui varie entre 0V et  $V_{DC}$ . De toutes les solutions disponibles, les techniques d'isolement les plus utilisées sont par les mécanismes suivants: couplage optique, couplage inductif ou couplage capacitif. Dans la suite, on va aborder des différentes techniques d'isolation galvanique.

### a) Transformateur

- Transformateur à noyau magnétique

Le transformateur magnétique est une solution couramment utilisée dans les systèmes électriques, pour la transmission des ordres de commande et de la puissance. Ils sont majoritairement employés comme isolateurs galvaniques. Ce mode d'isolation offre un bon niveau d'isolation (>10kV [Lem03]). La Figure I.15 montre le prototype d'un module IGBT 3,3 kV/1200 A à transmission par impulsions dans les deux sens via un transformateur discret réalisant un seul canal de communication.

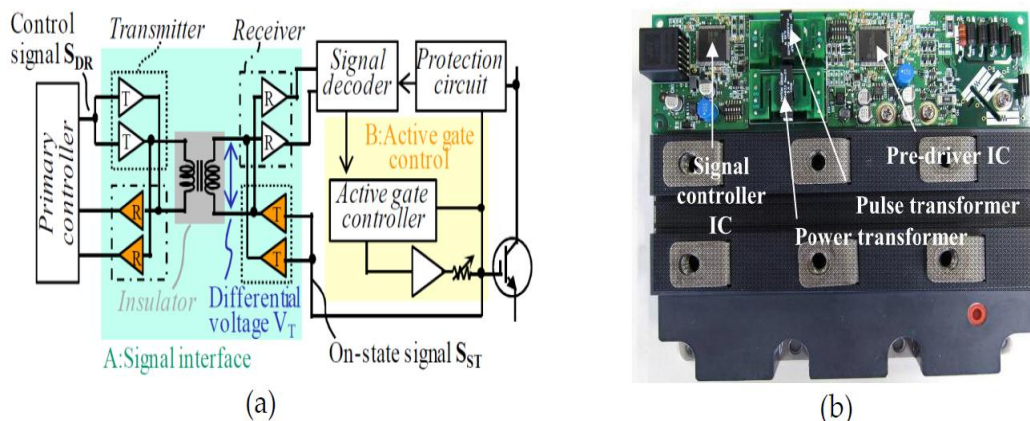


Figure I.15. (a) Prototype et principe de travail d'un module IGBT 3,3kV/1200A, capable de transférer des ordres bidirectionnels par une transmission d'impulsions [Ond13].

Cependant, les technologies actuellement utilisées pour la conception des transformateurs ne peuvent pas fonctionner au-delà de 200°C [Rob11]. De plus, la taille est très importante à cause de son noyau magnétique. Les pertes importantes du noyau magnétique conduisent également à une consommation d'énergie élevée du transformateur, et réduit donc le rendement du système. Cette technique par d'ailleurs ne peut pas être intégrée au sein du gate driver en technologie Silicium. Elle présente aussi des valeurs de capacités parasites non négligeables entre les enroulements primaire et secondaire, ce qui conduit généralement à l'établissement d'un courant de mode commun.

- **Transformateur sans noyau**

Contrairement à l'approche discrète du transformateur magnétique, le gate driver numérique adapte l'approche du transformateur à l'isolement des signaux au niveau de la puce par des micro-transformateurs sur silicium. Ces types de transformateurs utilisent les couches de métaux de la partie back end du procédé de fabrication des puces pour constituer leurs enroulements [Ken12]. D'autres solutions mettent en œuvre des solutions technologiques plus spécifiques dans lesquelles les enroulements primaires et secondaires sont planaires et isolés par une couche isolante de polyimide de  $20\mu\text{m}$  d'épaisseur pour une isolation DC de 5 kV pendant une minute (figure I.16). L'image d'une solution intégrée au niveau du PCB d'un convertisseur DC/DC est présentée dans la figure I.17 (c).

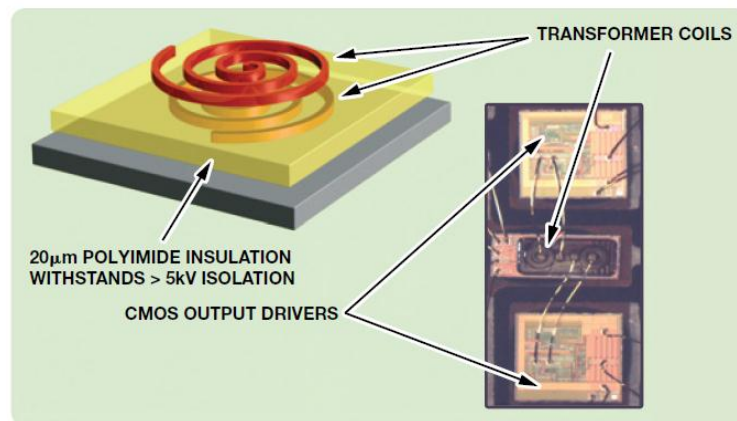


Figure I.16. Gate driver CMOS avec isolation par micro transformateur [Ken12].

Les micro transformateurs peuvent supporter des niveaux d'isolation entre 3kV-5kV avec une immunité aux transitoires de mode commun de  $50\text{kV}/\mu\text{s}$  à 1MHz et cela pour des températures comprises entre  $-40^\circ\text{C}$  et  $125^\circ\text{C}$ . En comparaison avec les opto-coupleurs et les transformateurs magnétiques, les transformateurs CMOS ont une faible surface, une faible consommation et ils sont intégrables avec le circuit de commande [Ken12]. En fait, la taille ainsi que les largeurs des pistes du transformateur sans noyau sont limitées afin de diminuer la consommation de la surface de silicium. Ceci cause une faible valeur de l'inductance mutuelle et de grandes résistances parasites. Pour cette raison, les signaux transmis doivent être modulés à haute fréquence, de la centaine de MHz à quelques GHz. Il est à noter que, dans cette gamme de fréquence, le transformateur devient une source d'émission électromagnétique, et peut perturber alors les circuits électroniques du voisinage.



Avec cette technologie d'isolation, il existe encore des fils de bonding entre le transformateur et les circuits auxiliaires. De plus, il existe toujours une capacité parasite couplée entre l'enroulement primaire et secondaire du transformateur qui limite la compatibilité avec des fonctionnements à forts  $dV/dt$ .

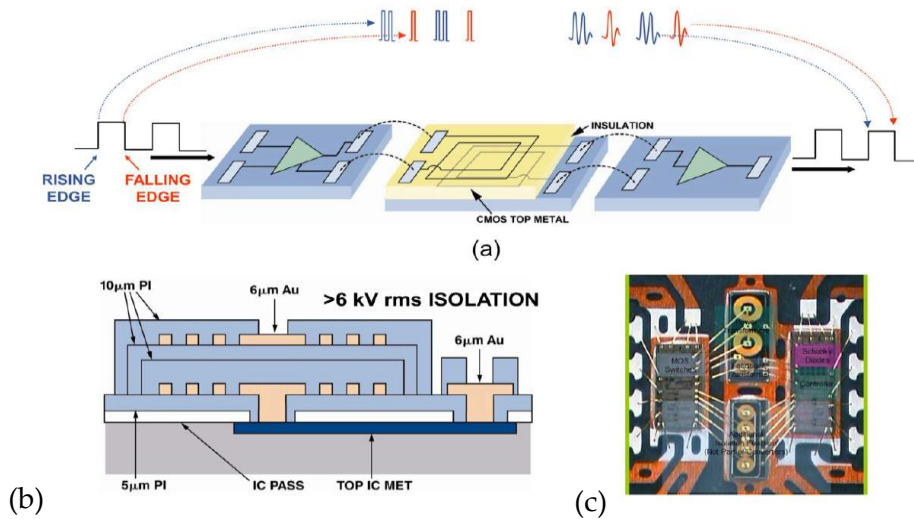


Figure I.17. (a) Chaîne de transfert de signal via transformateur, (b) Structure du transformateur, (c) Convertisseur 0,5W DC/DC isolée [Che08].

### b) Opto-couleur

Il est constitué par l'association d'un émetteur optique (LED) et d'un photorécepteur (photodiode, phototransistor). L'opto-coupleur a des capacités parasites, qui peuvent aller jusqu'à la dizaine de pF. Ce composant est typiquement employé pour transmettre les ordres de commande dans les systèmes de faible et moyenne puissance ( $< 1$  kVA) [Foc00].

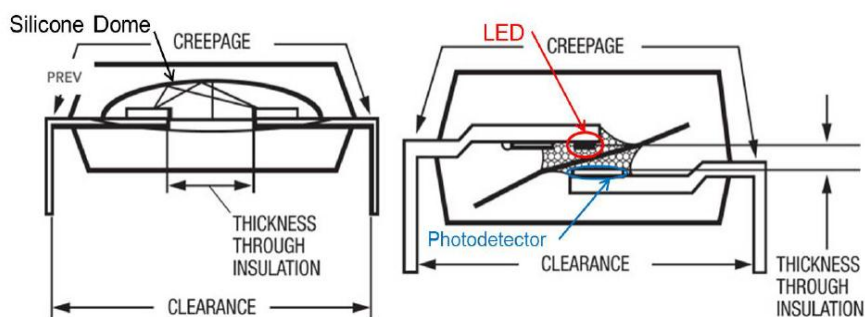


Figure I.18. Structure d'un opto-coupleur [Avg12].

Les problèmes avec les optocoupleurs proviennent des caractéristiques fondamentales des phototransistors; ceux-ci comprennent des dynamiques de réponse et des dispersions à la fabrication. Le temps nécessaire pour charger et décharger les capacités des phototransistors

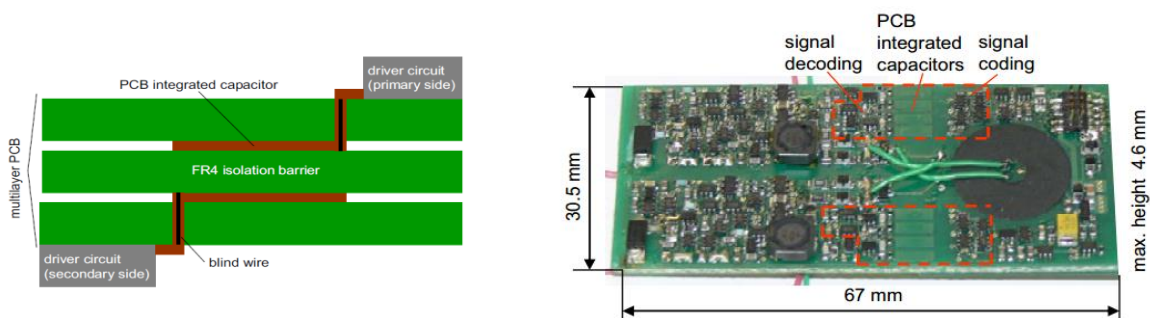
induisent des délais de propagation et limitent la vitesse de fonctionnement. Les caractéristiques de charge et décharge asymétriques induisent des dispersions entre fronts provoquant une dispersion sur les largeurs du signal. L'utilisation d'une photodiode PIN en place d'un phototransistor peut améliorer la fréquence de fonctionnement de l'optocoupleur, cependant, cette solution discrète à base de différents circuits, présente toujours des délais de propagation et une distorsion du signal importante. De plus, cette technique d'isolation est difficile à intégrer dans le driver car elle nécessite des émetteurs optiques sur la puce, complexifiant la conception et imposant des contraintes à la technologie.

	ACPL-064L [ACPL01]	FOD3182 [FOD3182]	HCPL-3810 [HCPL3810]
Propagation de délais L-H	46ns	120ns	150ns
Propagation de délais H-L	40ns	145ns	150ns
Distorsion du signal	40ns	35ns	20ns

Tableau I.10. Caractéristiques électriques des opto-coupleurs.

### c) Isolation capacitive

Une autre technique d'isolation consiste à utiliser un couplage capacitif afin de transmettre des signaux à travers une barrière diélectrique. Cette technique est très fortement intégrable, elle est efficace mais elle est fortement limitée par le niveau de tension admissible entre les potentiels et surtout, elle n'est pas compatible avec de forts  $dv/dt$ . L'isolation capacitive peut s'utiliser dans les convertisseurs avec la tension maximale jusqu'à 700V. Un gate driver d'IGBT intégrant une isolation capacitive au niveau du PCB, est présenté dans [Zel10] qui fonctionne à 400V DC et un  $dV/dt$  élevé de 240kV/ $\mu$ s. Par contre, cela reste encore une solution intégrée au PCB avec une taille importante.



De nombreuses techniques d'isolation galvanique présentent des avantages et aussi des inconvénients, le tableau I.11 les résume et donne des éléments de comparaison.

	Transformateur d'impulsion [Lem03]	Transformateur sans noyau [ADM2400]	Opto-coupleur	Isolation capacitive [Zel10]
Tension d'utilisation maximale	> 10kV	<800V	<1kV	700V
dV/dt max	100kV/μs	50kV/μs	50kV/μs	20kV-50kV
Temps de propagation	10ns à 100ns	20ns à 100ns	40ns à 150ns	Faible
Distorsion de la largeur de signal	--	2ns à 40ns	20ns à 40ns	--
Dispersion du temps de propagation	--	10ns à 50ns	--	--
Intégration monolithique au driver	Non	Oui	Non	Oui

Tableau I.11. Comparaison des techniques d'isolation galvanique.

#### I.4.1.2. Isolation galvanique optique : limites et enjeux

Le contexte des applications de fortes puissances nécessite des systèmes capables d'opérer dans des conditions environnementales relativement difficiles (par exemple haute tension > kV [Hua08], haute température). Face à de tels besoins et grâce au développement des composants optoélectroniques, les isolations optiques se sont rapidement imposées dans ces systèmes de puissance. Contrairement à l'utilisation d'optocoupleurs qui sont limités par les modes de réalisation (assemblage limitant l'isolation statique et dynamique) [Rou15] ou bien le transformateur ou l'isolation capacitive limités par les forts dV/dt, l'isolation et la gestion de la commutation par voie optique représentent des solutions d'isolation ultimes [Rou15] et peuvent supporter des fortes variations de potentiels et garantir alors une forte isolation dynamique.

Quelques approches et résultats sont présentés dans les figures I.20, I.21, et I.22. Dans ce contexte de contrôle de la commutation par voie optique, le choix retenu est principalement celui de fournir par voie optique soit directement l'énergie nécessaire à la commutation du composant [Ber96] [Dhe11] [Moj14], soit une fraction de cette énergie par un effet d'amplification (pilotage d'une base d'un transistor bipolaire [Zha10], pilotage d'un étage de commande rapproché [Sar07-1] [Sar07-2]).

### a) La commande optique directe

L'avantage de cette solution est l'absence d'un circuit de commande rapproché. Cette solution offre la possibilité de s'affranchir des problèmes liés aux alimentations isolées, mais elle présente néanmoins certaines limites : l'émetteur optique doit pouvoir fournir une puissance optique suffisante pour permettre au récepteur de se déclencher. Par ailleurs, cette commande n'inclut pas de protection active et se limite aux solutions intégrées sur le composant [Mog14].

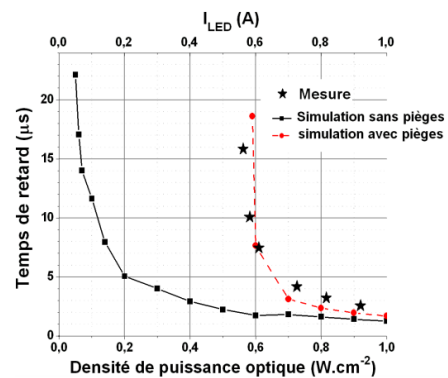
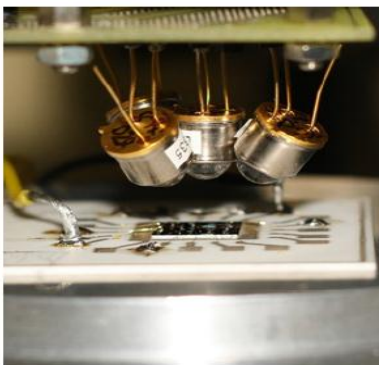


Figure I.20. Pilotage par voie optique d'un thyristor SiC 1100V [Dhe11].

La figure I.20 montre le pilotage direct par voie optique d'un thyristor SiC 1100V. Cette solution reste néanmoins limitée dans le contexte de la gestion d'énergie car l'ouverture des thyristors reste spontanée et non commandable, limitant alors les applications à haute fréquence et à commutations naturelles par retour à zéro de courant de puissance. La puissance optique peut être aussi relativement élevée pour limiter le temps d'amorçage du thyristor : proche de 1W/cm<sup>2</sup> dans [Dhe11] pour 5µs de retard entre la commande et la commutation.

### b) La commande optique indirecte

Le principe de la commande optique indirecte est de contrôler par un flux optique un circuit de commande rapprochée, qui déclenche électriquement l'interrupteur de puissance. Cette solution présente l'avantage de consommer moins d'énergie optique que la solution précédente. Une approche est présentée dans [Sar07-1] [Sar07-2] où un étage de commande rapprochée (étage buffer de contrôle de charge de grille) est directement piloté par voie optique en utilisant les phototransistors en GaAs. La figure I.21 présente la structure et le packaging hybride de cette approche. La puissance optique nécessaire pour la commande se situe entre 0,5W et 1W, et cette solution hybride permet de piloter des transistors à hautes tensions.

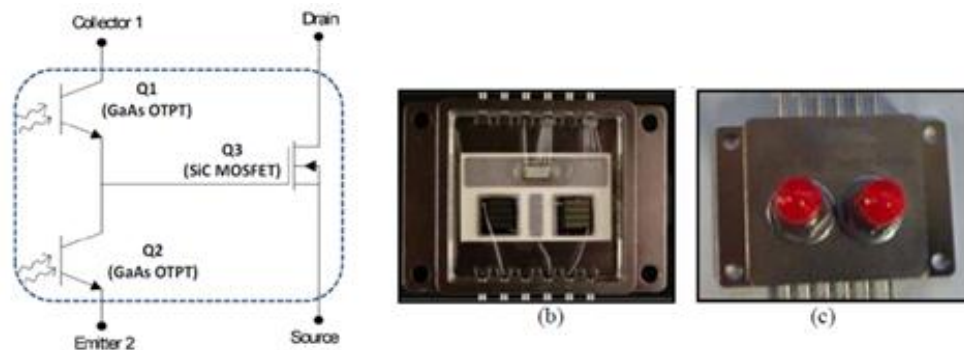


Figure I.21. Pilotage par voie optique d'un transistor VMOS SiC [Sar07-1] [Sar07-2].

Cependant, cette approche se base sur des puces séparées avec des tailles relativement importantes. Les connexions entre les puces sont réalisées par des fils de bonding, présentant des parasites et réduisant alors les performances d'ensemble du circuit de commande rapprochée. De plus, il est toujours nécessaire d'avoir une alimentation flottante et la puissance optique reste encore élevée ( $\approx 1W$ ), pour une fréquence de commutation plus élevée que les thyristors commandés directement par voie optique.

Une autre approche est présentée en 2013 par Fujita [Fuj13], dans laquelle une alimentation isolée par voie optique est réalisée par deux diodes laser 400mW [SDL-2320-L2 JDSU] connectées avec un convertisseur photovoltaïque (PPC-12 E JDSU) via 2 fibres optiques. L'isolation du signal de commande est également effectuée par fibre optique entre un émetteur optique (GP1FAV55TK0F : SHARP) et un récepteur optique (GP1FAV55RK0F: SHARP). Il a été proposé un gate driver résonant, permettant de réduire la puissance consommée de 10 fois (la puissance électrique consommée est inférieure à 255mW à 100kHz). Les démonstrations sont conduites avec des transistors MOSFET 500 V, 20 A mis en œuvre

dans un convertisseur buck et aussi des IGBTs 1400 V, 300 A. Cette approche discrète est présentée dans la figure I.22. Malgré les avantages, une limitation importante concerne l'intégration limitée à une intégration au sein du PCB, ainsi que des limites en température des technologies des composants discrets.

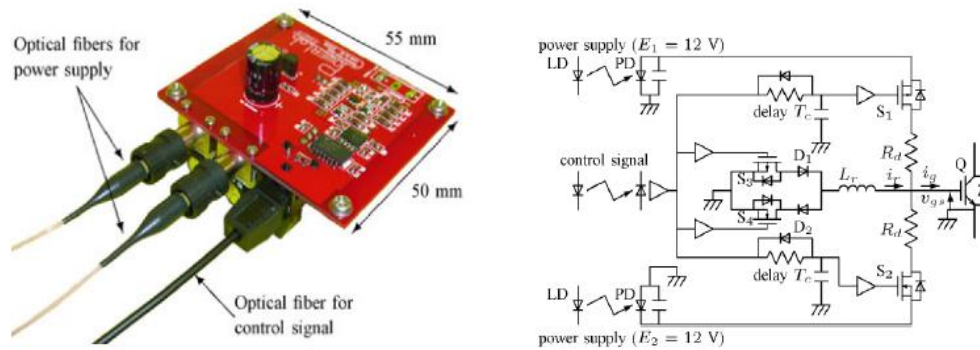


Figure I.22. Alimentation et pilotage par voie optique d'un interrupteur de puissance Si 600V [Fuj13].

### I.4.2. Problématique de la thèse

De nombreuses solutions hybrides ont été proposées, soit en se basant sur des puces discrètes, soit en utilisant les composants discrets. Cependant, il n'y a pas encore de solution d'isolation optique intégrée, sous entendue monolithique de faible puissance proposées dans la littérature et appropriée pour des convertisseurs de puissance intégrant des composants commutant à très forte vitesse et haute température.

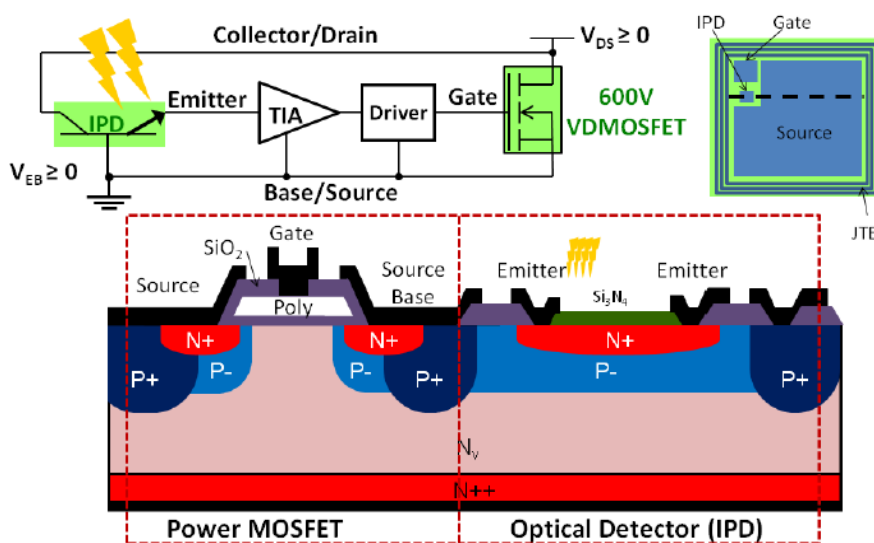


Figure I. 23. Intégration d'un étage de détection optique au sein d'un transistor de puissance à structure verticale VMOS [Rou15].

Avec pour objectif de proposer une nouvelle solution à haut niveau d'isolation optique et pour répondre aux enjeux d'isolement galvanique entre la partie de puissance et de la partie de commande, une proposition a été abordée dans [Rou08] [Vaf13]. Un détecteur optique compatible est intégré monolithiquement avec un MOSFET vertical 600 V sans aucune modifications du processus de fabrication. Le détecteur optique proposé peut être excité par un faisceau optique d'une puissance optique minimale de  $1\mu\text{W}$ , ce qui correspond à une gamme de faible puissance, à faible coût, et pouvant être mise en œuvre avec de petites sources optiques telles que des lasers à semi-conducteur ou des LED. Par contre, cette solution n'intègre pas encore un circuit de traitement de signal intégré (soit monolithique, soit hybride) associé avec le détecteur optique. A partir de ces résultats préliminaires obtenus au G2Elab, cette thèse propose une nouvelle approche. Notre approche d'intégration est basée sur la conception conjointe de la puce de puissance, ses fonctions intégrées et un driver intégré CMOS comprenant plusieurs fonctions nécessaires comme un système de réception isolé du signal de commande, un étage d'amplification du signal de commande et aussi une alimentation flottante pour fournir l'énergie à ces différents systèmes. Cet ensemble, associé à un composant de puissance correspondrait à un module de commutation de puissance autonome, versatile et complet, pouvant être utilisé pour réaliser les fonctions transistor « high side » ou « low side », tout en intégrant l'isolation galvanique requise avec la capacité d'isolation nécessaire.

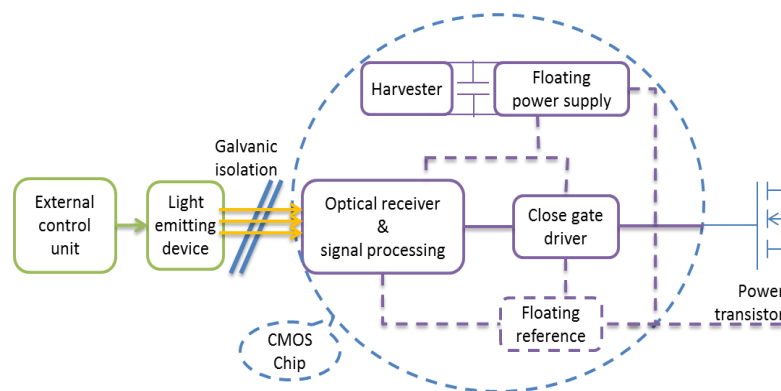


Figure I. 24. Système de commande de grille intégrant l'étage d'isolation optique compatible avec les forts  $dV/dt$  [Let15].

Par d'ailleurs, ce processus d'intégration peut être poussé encore plus par l'ajout de fonctions numériques. On peut imaginer envoyer un ordre de commande modulé numériquement à haut débit contenant des informations complémentaires sur la fréquence

de découpage et de rapport cyclique pour la commutation de l'interrupteur. Ces informations seraient reçues par un détecteur et démodulées à l'intérieur de la puce de commande par un circuit numérique. Un générateur de MLI (PWM) embarqué serait alors en mesure de créer en local le signal de commande analogique à proprement parler. De cette manière, on pourrait paramétrer l'interrupteur de manière à ce qu'il commute de façon autonome, et venir le reprogrammer lorsque nécessaire. Ces derniers points sont en train d'être développés dans le cadre du projet MEGAN et dans la thèse de Davy Colin (2014 - 2017).

Cette approche d'intégration mentionnée auparavant utilise un système de récupération d'énergie ou une alimentation par voie optique comme une source d'alimentation flottante. Normalement, la tension à la sortie d'un circuit d'alimentation isolée est faible et insuffisant pour alimenter des circuits du gate driver [Sim11]. On préfère donc utiliser un convertisseur DC/DC afin d'augmenter le niveau de tension et d'alimenter des circuits auxiliaires (figure I.25). En fonction du type de transistor à commander, on a donc différentes structures comme présentées sur les figures I.26, I.27, I.28. En fait, la tension d'alimentation du buffer de sortie est imposée par la tension  $V_{gs}$  du transistor. Cela dépend de la technologie utilisée et du type du transistor à piloter soit (0/+5V) pour les HEMTs GaN EPC, soit (-5V/+20V) pour Mosfet Si ou de (-10/+25V) pour les transistors MOSFET SiC. De plus, pour des circuits numériques et analogiques faibles puissance (circuit de pilotage et d'adaptation), on préfère utiliser des transistors basse tension (1,8V, 3,3V ou 5V) afin de profiter de leurs caractéristiques (la faible consommation, la bande passante élevée, une faible surface). Une alimentation basse tension est donc préférée pour ces fonctions.

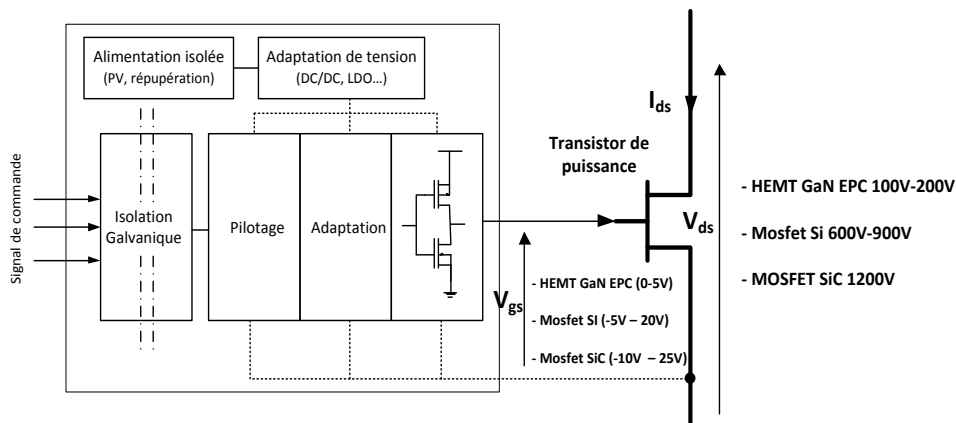


Figure I. 25. Structure de puce de commande avec alimentation isolée.



- **Structure 1 : Un seul niveau de tension d'alimentation dans la puce de commande intégrée**

La première solution d'intégration des différentes fonctions est présentée dans la Figure I.26. Les fonctions de pilotage et d'adaptation, ainsi que de buffer du circuit de commande sont connectées d'ensemble avec un convertisseur DC/DC. La tension retenue pour l'ensemble du circuit est de 5V, dont le buffer à la sortie correspondant avec les transistors HEMT GaN EPC ( $V_{gs}=0/+5V$ ). Ce niveau de tension est imposé par le composant de puissance piloté, et l'amplitude de la tension de grille ( $V_{gs}=0/+5V$ ). Cette solution a besoin donc d'un seul convertisseur DC/DC générant l'alimentation commune des fonctions intégrées au sein du gate driver. Les technologies CMOS industrielles classiques peuvent être adaptées dans ce cas telles qu'AMS CMOS C35 [AMS].

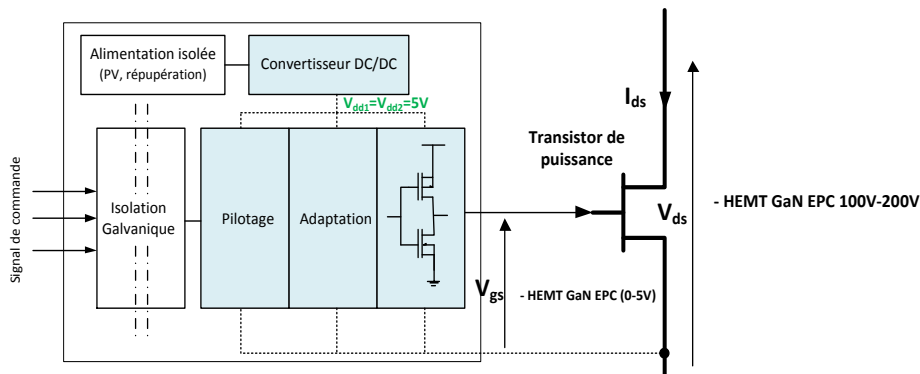


Figure I. 26. Structure de la puce de commande avec alimentation isolée : Un seul niveau de la tension d'alimentation.

- **Structure 2 : Deux niveaux d'alimentation basse tension dans la puce de commande intégrée**

La deuxième version est présentée dans la Figure I.27. On sépare donc deux niveaux d'alimentation. Le buffer de sortie est toujours alimenté par la source de 5V. Par contre, le circuit de pilotage et d'adaptation sont connectés avec une source de tension de 1,8V (technologie CMOS Xfab XT018 ou CMOS ams C18) ou bien 3,3V (technologie ams CMOS C35 ou Xfab CMOS XA035), en fonction de la technologie utilisée. Cependant, cette solution demande deux convertisseurs prend donc une surface de silicium plus importante. Les bénéfices de la réduction de tension sur les fonctions intégrées doivent être évalués pour conclure sur l'intérêt d'une telle solution lorsque l'écart est faible entre le niveau de tension du buffer de sortie (dans ce cas 5V) et le reste des fonctions (ici 1,8V ou 3,3V).

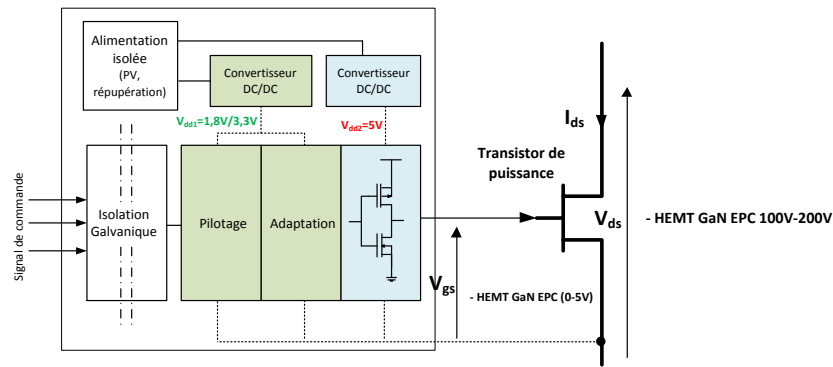


Figure I. 27. Structure de la puce de commande avec alimentation isolée : deux niveaux de la tension d'alimentation.

- **Structure 3 : Trois niveaux de tension d'alimentation : deux niveaux de basse tension et un niveau de haute tension**

Afin de piloter les transistors comme les Mosfet Si ou les transistors avec des tensions  $V_{gs}$  élevées, la troisième version présente donc une structure pour laquelle le buffer de sortie est alimenté par un convertisseur DC/DC de 20V. Le circuit de pilotage et d'adaptation sont toujours alimentés par la source de basse tension. Cette solution nécessite donc une technologie CMOS de plus haute tension. De plus, le buffer de sortie possède des transistors haute tension et leurs tensions maximales  $V_{gs}$  peuvent être différentes de celles de tension maximale  $V_{ds}$ . Par exemple, la tension  $V_{gs}$  max des transistors 55V est 5,5V pour la technologie CMOS xfab XA035. De même, pour les transistors 20V en technologie CMOS AMS C18, la tension  $V_{gs}$  max est de 5,5V. Cette structure a besoin finalement un lever shifter (figure I.28) afin d'adapter le niveau de tension de commande pour piloter les transistors PMOS dans l'étage de buffer de sortie.

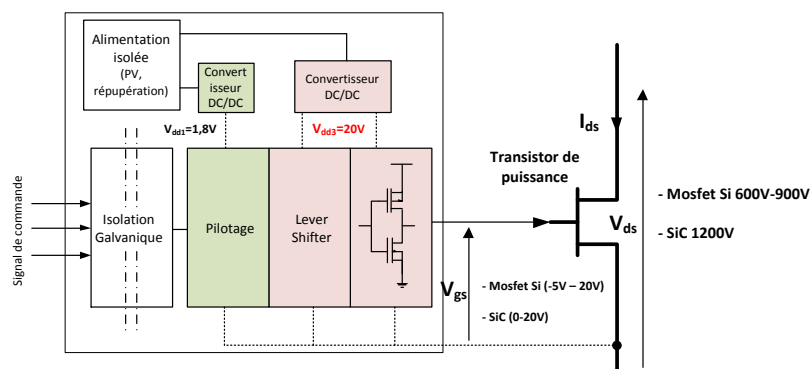


Figure I. 28. Structure de la puce de commande avec alimentation isolée : Deux niveaux de la tension d'alimentation + un lever shifter.

Les différentes structures de la puce de commande rapprochée avec alimentation isolée ont été abordées. Le tableau I.12 résume les comparaisons des structures présentées.

Structure	Nombre d'alimentation	Complexité de conception	Contraintes de technologie CMOS	Transistor de puissance
<b>Structure 1</b>	1 DC/DC	+	Technologie basse tension, niveau de tension 5V	HEMT GaN
<b>Structure 2</b>	2 DC/DC	++	Technologie basse tension, niveau de tension 1,8V – 5V	HEMT GaN
<b>Structure 3</b>	2 DC/DC + Lever shifter	+++	Technologie haute tension, niveau de tension 1,8V, 15V, 20V	Mosfet Si Mosfet SiC

Tableau I.12. Comparaison des structures de la puce de commande intégrée.

Après avoir étudié des structures d'intégration, dans un premier temps nous allons limiter nos points d'étude dans le cadre de ce travail de thèse se concentrant sur la structure 1. Au cours du présent travail de cette thèse, plusieurs solutions de détecteur optique CMOS et leurs circuits auxiliaires ont été envisagées. Une première partie abordera uniquement l'isolation du transfert des ordres de commutation, c'est à dire des informations basse puissance avec une bande passante élevée. Le but recherché ici est d'une part de minimiser l'énergie optique nécessaire tout en garantissant une commande optimale du transistor. Dans une seconde partie, nous proposerons une solution intégrée d'alimentation flottante au gate driver CMOS par voie optique. En lien avec un contexte applicatif toujours plus intégré et haute température, les travaux seront illustrés par des démonstrateurs en silicium sur des technologies standards et des technologies SOI hautes températures afin de pouvoir évaluer l'impact du paramètre thermique sur les caractéristiques de fonctionnement des solutions que nous avons retenues et développées.

## I.5. Isolation galvanique optique pour les composants à semiconducteur dans le contexte de moyenne puissance

### I.5.1. Chaîne globale de transfert de l'ordre de commande et de l'énergie de commande

L'objectif est de faire transiter un signal de commande entre deux ou plusieurs entités en exploitant le média optique. L'une de ces entités émet les données à faire transiter qui sont générées par une fonction de contrôle par exemple un FPGA ou un micro contrôleur. Un canal de communication est nécessaire pour transporter le message au(x) récepteur(s). Ceci est représenté schématiquement sur la Figure I.30. L'émetteur est constitué d'une source de lumière qui est typiquement une diode laser.

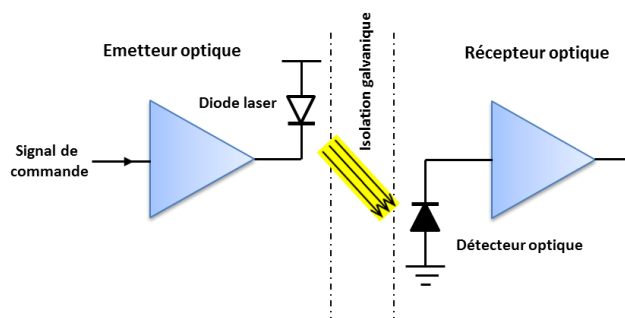


Figure I.30. Chaîne globale de transfert de l'ordre de commande.

#### I.5.1.1. Emetteur optique

Du côté de l'émetteur optique, les signaux sont convertis en signal optique par une source de lumière. Typiquement, les diodes laser sont utilisées. Par rapport aux LEDs, une diode laser peut être modulée à des vitesses beaucoup plus élevées [Tav11]. En outre, une diode laser peut être considérée comme une source de lumière monochromatique comme l'énergie optique à la sortie est fortement concentrée autour d'une longueur d'onde particulière. En comparaison à d'autres types de laser, les diodes laser utilisent très peu d'énergie. Leurs rendements typiques sont supérieurs à 30% (au lieu de 3% pour les autres types de laser [Jeu-DL]) et dans certains cas, les diodes laser peuvent atteindre 48% comme dans [Wei15], ou même 64% comme dans [Ros04]. La robustesse et la petite taille de ces composants permettent de les mettre en œuvre dans des environnements et des espaces dans lesquels d'autres types de laser ne pourraient pas fonctionner. La plupart des diodes laser

fonctionnent avec une tension de moins de 2V. Electriquement, une diode laser s'alimente comme une LED. Le courant qui circule dans la diode laser doit être maîtrisé avec davantage de précision que pour une LED. En effet, une pointe de courant, même très brève, ou une décharge d'électricité statique pourraient être fatales à une diode laser. Enfin, deux techniques sont disponibles pour générer un signal optique modulé d'une diode laser: la modulation externe ou la modulation directe.

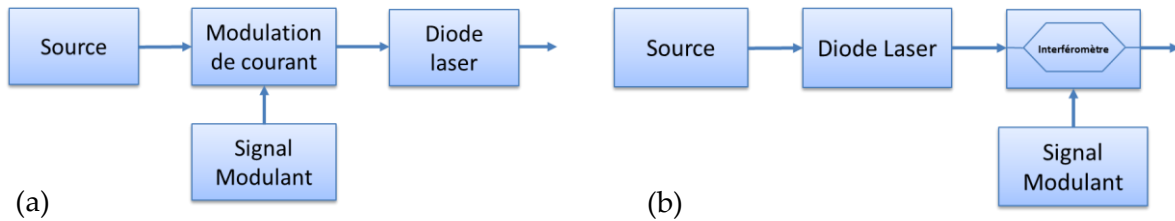
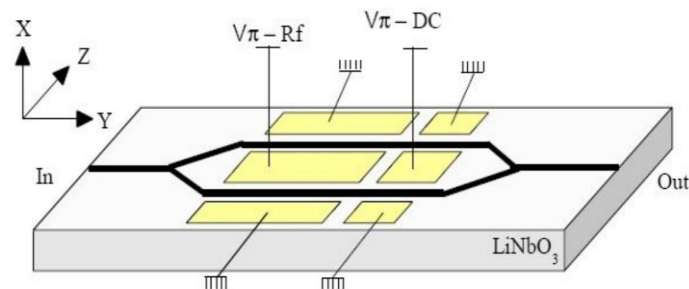


Figure I.31. Schéma bloc de modulation interne (a) et de modulation externe (b).

Lorsqu'une modulation externe est appliquée, la diode laser est en fait alimentée en continue (CW) et émet sa lumière toujours à pleine puissance. Le processus de modulation est dans ce cas réalisé par un obturateur optique externe qui est ouvert pour l'état ON et fermé pour l'état OFF. Un modulateur externe tel qu'un interféromètre de Mach-Zehnder est le plus souvent utilisé pour cette tâche. Il est employé aux fréquences élevées de modulation. Cet interféromètre est basé sur une architecture composée de deux jonctions Y tête bêche reliées entre elles par deux guides d'onde droits qui constituent les bras de l'interféromètre (Figure I.32). La lumière qui se propage dans les guides optiques est issue d'une source laser. Une différence de chemin optique entraîne un déphasage relatif entre les bras du Mach-Zehnder, qui peut être modulé électriquement. Ceci modifie alors la figure d'interférence. La différence de chemin optique est obtenue en changeant l'indice de réfraction sur le chemin optique par effet électro-optique [Phot]. Lorsque les ondes issues des deux bras sont en opposition de phase l'intensité optique est nulle en sortie du modulateur.





d'absorption du Silicium à température ambiante [Vaf13].

Suivant la loi Lambert-Beer, l'intensité de la lumière traversant un milieu transparent subit une décroissance exponentielle en fonction de la distance parcourue et des propriétés du milieu qu'elle traverse.

$$I(x) = I_0 e^{-\beta x} \quad (I.2)$$

Où  $I_0$  est l'intensité initiale de la lumière incidente,  $I(x)$  est l'intensité de la lumière après l'atténuation due à sa pénétration des photons sur la distance  $x$  dans le matériau, et  $\beta$  est le coefficient d'absorption.

On peut voir que le Germanium a le meilleur coefficient d'absorption pour toutes les longueurs d'onde inférieures à 1500 nm. Le InGaAs est quant à lui le matériau le plus populaire pour les longues longueurs d'ondes et est largement utilisé sur la plage 1300 nm - 1600 nm. Pour les plus courtes longueurs d'ondes au-dessous de 800 nm, le GaAs est le meilleur candidat. La figure I.33 (b) montre le coefficient d'absorption optique du Silicium en fonction de la longueur d'onde à 300 K. Pour les longueurs d'ondes élevées, le coefficient est très faible par contre l'épaisseur de pénétration des photons est plus élevée, et inversement pour les plus courts longueurs d'ondes.

## b) Photodétecteurs

Les photodétecteurs sont des composants réalisés à l'aide de matériaux semiconducteur en général, qui détectent des signaux optiques à travers tout un processus électronique. Les paramètres permettent de déterminer les performances d'un photodétecteur sont : le rendement quantique, le gain, le temps de réponse et la sensibilité.

Il y a deux grands types de détecteurs optiques : avec gain et sans gain. Le gain est défini par le nombre moyen d'électrons générés par photoporteur. Le tableau I.13 regroupe des valeurs typiques de gain et de temps de réponse selon le type de photodétecteur. On peut constater que les photodétecteurs avec des gains élevés sont plus lents que les autres. Sauf dans le cas de la photodiode à avalanche, cette photodiode peut avoir un gain important tout en assurant un temps de réponse comparable avec les autres photodiodes. Cependant, le fonctionnement d'une photodiode en régime d'avalanche est délicat car instable et nécessite une tension de polarisation élevée.

Photodétecteur	Gain maximum	Temps de réponse(s)
Photoconducteur	1-10 <sup>6</sup>	10 <sup>-8</sup> -10 <sup>-3</sup>
Photodiodes pn	1	10 <sup>-11</sup>
Photodiodes pin	1	10 <sup>-10</sup> – 10 <sup>-8</sup>
Photodiodes M-S	1	10 <sup>-11</sup>
Photodiodes à avalanche (APD)	10 <sup>2</sup> -10 <sup>4</sup>	10 <sup>-10</sup>
Phototransistor	10 <sup>2</sup> -10 <sup>3</sup>	10 <sup>-6</sup>

Tableau I.13. Valeurs typiques de Gain et temps de réponse des photodétecteurs [Sms07].

En utilisant les phototransistors, on peut bénéficier d'un gain élevé et éliminer la contrainte haute tension dans le cas d'APD. Par contre, les fréquences de fonctionnement des phototransistors sont limitées (< quelques 100kHz) à cause des temps de charge et de décharge des capacités d'émetteur et de collecteur [Sms07]. On peut constater également pour les photoconducteurs que leurs temps de réponse sont élevés. En outre, les photodiodes pin et M-S (Photodiode de type Métal-Semiconducteur) ne sont plus considérés car elles nécessitent un processus de fabrication et de conception spécialisés qui est difficile pour l'intégration en technologie CMOS. On va donc s'intéresser avec davantage de précision à la photodiode pn dans la suite de ce travail.

### c) Effet photoélectrique

Lorsqu'une structure photodiode est exposée à la lumière, les photons peuvent être absorbés selon plusieurs conditions, reliant l'énergie du photon ( $E_{ph} = h\nu$ ), la distribution du champ électrique, le type de matériau semiconducteur et la température, et d'éventuelles conditions de réflexion et transmission en fonction des indices de réflexion du matériau semiconducteur et des couches environnantes. Une première condition pour que les photons soient absorbés est que leur énergie soit supérieure à la largeur de la bande interdite du semiconducteur ( $E_g$ ), l'onde électro-magnétique ayant au préalable pu être transmise au semiconducteur. L'existence de la bande interdite crée l'existence d'un seuil d'absorption bande à bande tel que  $h\nu = E_g$ . Pour le silicium, la valeur de cette bande est très faible :  $E_g = 1,12$  eV, on peut donc calculer la longueur d'onde limite de l'absorption bande à bande:

$$\lambda \leq \frac{hc}{E_g} = \frac{6,625 \cdot 10^{-34} \times 3 \times 10^8}{1,12 \times 1,6 \times 10^{19}} \approx 1100nm \quad (I.3)$$



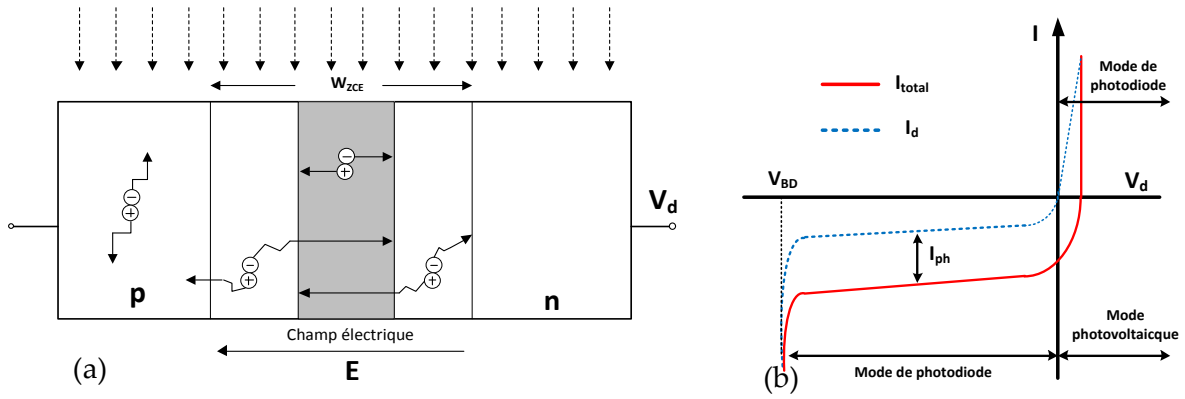


Figure I.34. (a) Une photodiode à jonction pn sous illumination (b) Caractéristique I(V) de la photodiode.

Pour des énergies  $E_{ph}$  plus faibles, l'absorption de la lumière est aussi possible mais dépend des matériaux et d'effets non linéaires (absorption intrabande par les porteurs libres, absorption sur des niveaux d'impuretés, absorption à deux photons et multi-photonique).

#### d) Zone de charge d'espace (ZCE)

Une photodiode CMOS est une diode qui travaille dans la région de polarisation inverse (Figure I.34 (b)) afin d'obtenir une grande zone de charge d'espace ou zone de déplétion favorisant la photodétection. Le fonctionnement de la photodiode est illustré dans la figure I.34. La diffusion initiale de porteurs libres génère une ZCE à la jonction où il ne reste plus de porteurs libres, s'opposant alors à cette même diffusion. La ZCE s'élargit avec la polarisation inverse de la diode. La largeur de la ZCE dépend aussi de la densité d'accepteurs dans la zone P ( $N_A$ ) (en  $cm^{-3}$ ), et de la densité de donneurs dans la zone N ( $N_D$ ) (en  $cm^{-3}$ ). Elle peut être définie par l'équation :

$$W_{ZCE} = \sqrt{\frac{2\varepsilon}{q} \times \frac{N_A + N_D}{N_A N_D} \times (V_j + V_d)} \quad (I.4)$$

Avec 
$$V_j = \frac{kT}{q} \times \ln\left(\frac{N_A N_D}{n_i^2}\right) \quad (I.5)$$

Où :  $V_j$  Potentiel de la jonction (V)

$V_d$  Tension supplémentaire appliquée aux bornes de la jonction pn (V)

$\varepsilon$  Permittivité électrique du silicium ( $1,04 \cdot 10^{-12}$  F.cm<sup>-1</sup>)

$k$  Constante de Boltzman ( $1,38 \times 10^{-23}$  JK<sup>-1</sup>)

$n_i$  Concentration de porteurs intrinsèque en cm<sup>-3</sup>

**T** Température en K

**e) Courant d'obscurité :**

Lorsque la diode est polarisée en inverse et non illuminée, un courant de fuite peut être observé. Il est dû principalement aux porteurs générés par effet de génération thermique dans la ZCE, et selon la température, les durées de vie des porteurs et les niveaux de dopages, aux courants de diffusion. Il est d'autant plus important que la température est grande. En conséquence il est sensible à la température et ajoute du bruit ce qui contraint l'amplitude minimale des signaux détectables. Lorsqu'on parle de diodes photosensibles, ce courant est appelé courant d'obscurité ( $I_d$ ) car il est présent en l'absence de toute illumination.

**f) Courant photo-généré :**

Le courant photo-généré est le courant supplémentaire généré lors de l'illumination de la photodiode. Lorsque la photodiode est exposée à une source de lumière, trois régions peuvent recevoir des photons. Ces photons vont générer des paires électrons-trous qui vont être séparées par le champ électrique de la ZCE, la diffusion de ces porteurs (Figure I.34 (a)), et un courant électrique est donc généré, il est appelé courant photonique ( $I_{ph}$ ). A l'échelle macroscopique, le photocourant total généré est donné par l'équation (I.6) :

$$I_{ph} = q \times \eta \times A_d \times \varphi \quad (I.6)$$

Où :  $\varphi$  est le flux de la lumière en profondeur du semi-conducteur et  $\eta$  est le rendement quantique. Le courant total dans une photodiode peut être décrit par la somme des deux courants :

$$I_{total} = I_{ph} + I_d \quad (I.7)$$

## I.5.2. Transmission de l'ordre de commande

Dans cette approche, comme démontré par la figure I.24, le signal de commande est généré par une source optique externe, le signal optique est ensuite guidé à la puce CMOS où un détecteur optique intégré monolithiquement avec le gate driver, va transformer le signal optique reçu en un signal de courant électrique. Des étapes d'amplification et de traitement du signal sont nécessaires entre le détecteur optique et la grille du transistor de puissance afin d'adapter le signal de commande, convertir le courant en tension et fournir

l'énergie suffisante à la suite du processus de commande du transistor de puissance. Ces fonctions peuvent toutes être intégrées de façon monolithique sur une puce CMOS. Grâce à cette approche d'intégration, tout lien électro magnétique (autre qu'optique) est supprimé entre le gate driver associé au transistor de puissance et le circuit de génération des ordres de commutation. Alors, les compromis sur les vitesses de commutation des composants de puissance sont repoussés, permettant des gains importants sur les compromis pertes vitesses de commutation - immunité CEM (par exemple, la minimisation des perturbations sur le circuit de commande de grille par le circuit de puissance, permettant par suite d'avoir des commutations plus rapides).

Pour ces premiers travaux de conception et dans le but d'avoir une approche applicable aux nouveaux cahiers de charge du convertisseur de puissance (voir tableau I.9), nous avons fixé le cahier de charges du photorécepteur et son circuit auxiliaire suivant :

- Les courants photogénérés doivent être de l'ordre de la centaine de nA à quelques  $\mu$ A, afin de minimiser le plus possible la puissance optique nécessaire au fonctionnement tout en assurant un rapport signal sur bruit suffisant.
- Les capacités des photodiodes devront être limitées à quelques pF à dizaines de pF afin de limiter l'impact sur le temps de réponse.
- Les températures de fonctionnement seront comprises entre 25°C et 125°C pour les premiers prototypes et pourront être élevées jusqu'à 200°C pour les prototypes finaux développés sur des technologies compatibles avec ces niveaux de températures.
- La consommation moyenne des fonctions devra rester inférieure à 10mW, afin de limiter les besoins en énergie du gate driver à proprement parler, hors pilotage de la grille du transistor de puissance.
- Surface de silicium la plus faible possible (moins 1mm<sup>2</sup>)

### **I.5.3. Transmission de la puissance de commande**

Les modes d'intégration présentés ci-dessus nécessitent, pour délivrer le signal de commande via l'interface optique avec de bonnes caractéristiques, d'être alimentés par une source externe. L'alimentation de cette chaîne de transfert d'ordre pourrait également être envisagée à partir d'une alimentation optique.

En effet, la disponibilité, le coût faible, la forte puissance des diodes laser ayant des rendements de conversion de puissance électrique-optique supérieure à 50% [Bea91] [Fxd91] permet d'envisager comme possible la transmission optique des besoins en énergie de gate driver faible consommation. Comme nous l'avons vu, plusieurs groupes ont démontré la faisabilité de la transmission de puissance optique en utilisant les liens de fibre optique et des cellules sensibles à la lumière pour convertir la puissance optique monochromatique en énergie électrique utilisable. Par exemple, dans [Sch09] un rendement optique – électrique de 50,1% d'un convertisseur photovoltaïque est obtenu à la longueur d'onde de 810nm. Ou bien, une diode laser de puissance développée dans [Ros04] a montré un coefficient électrique-optique élevé de 64% avec une longueur d'onde comprise entre 910nm – 980nm. On peut imaginer donc un rendement total : électrique – optique – électrique d'environ 30%. Récemment, Sarioglu et ses collaborateurs ont montré aussi une étude intéressante dans laquelle ils ont développé un système de récupération d'énergie optique intégré en technologie CMOS 0,18 $\mu$ m UMC. Ce système se base sur une photodiode et un convertisseur DC/DC. La figure I.35 présente la photo au microscope optique d'une photodiode intégrée et sa caractéristique I(V). Ils ont montré aussi un coefficient maximal de conversion optique de l'ordre de 53%.

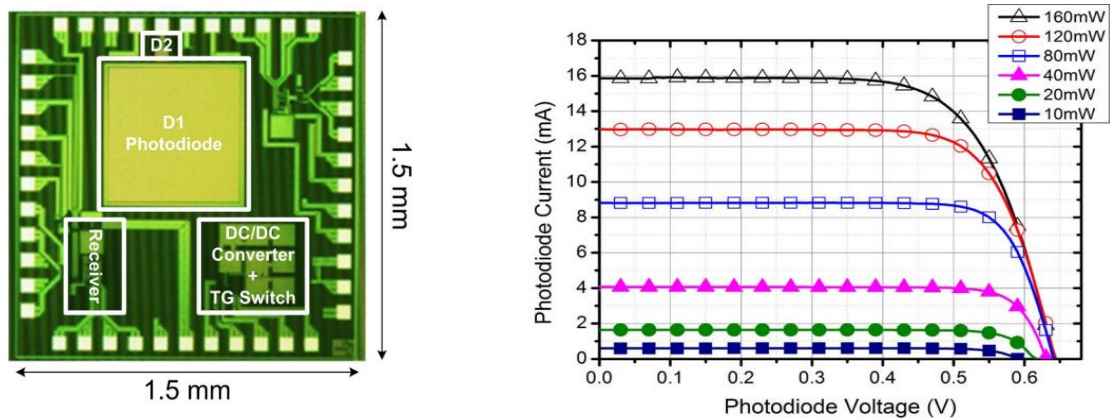


Figure I.35. (a) Photo microscope d'une photodiode intégrée en technologie CMOS 0,18 $\mu$ m, (b) Caractéristique I(V) [Bay12].

Les études précédentes montrent que les évolutions des matériaux et des technologies rendent aujourd'hui possible et crédible le transfert et la récupération de puissance optique afin d'alimenter notre gate driver. On peut imaginer un système comme présenté sur la

figure I.36 où les cellules sensibles avec la lumière sont intégrées monolithiquement avec le gate driver.

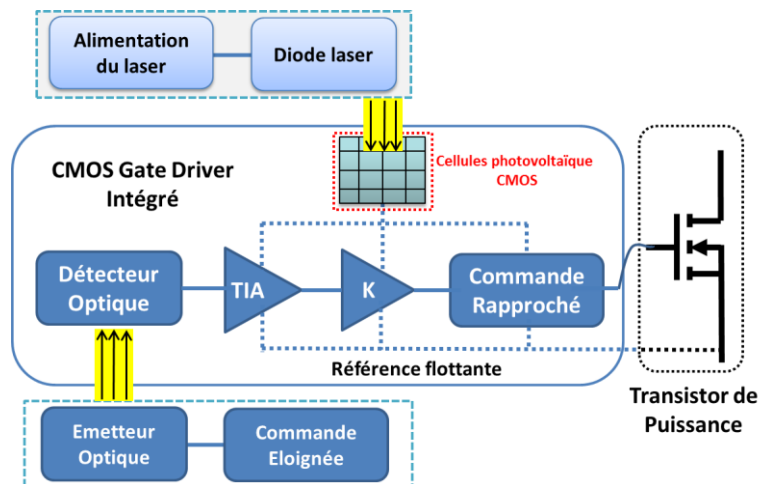


Figure I.36. Alimentation par voie optique intégrée avec le gate driver CMOS.

La puissance optique est générée par une source optique telle que la diode laser. Comme on a vu précédemment, les circuits de commande rapprochée nécessitent une alimentation flottante, en particulier pour les transistors de puissance à référence de potentiel flottant. De plus, pour atteindre pleinement l'avantage de l'approche d'intégration hybride driver/puissance, l'alimentation flottante intégrée au sein du circuit de commande est donc indispensable. Notons que la photodiode CMOS peut être utilisée dans le mode photovoltaïque. Un circuit de commande intégré comme illustré dans la figure I.36 permettrait d'assurer alors un très fort niveau d'isolation galvanique en supprimant toute connexion électrique entre la partie de puissance et les circuits de commande éloignée. Dans le troisième chapitre, nous proposons une approche d'isolation galvanique intégrée complète en alimentant les circuits de commande rapprochée par voie optique.

## **I.6. Conclusion**

Dans ce chapitre, on a analysé les caractéristiques des composants grands gaps en électronique de puissance par une étude bibliographique. Cette étude révèle les caractéristiques différentes des nouveaux composants par rapport à celles des composants en Si. Ces différences principales sont la très grande sensibilité des composants grand gap aux composants parasites dans un convertisseur de puissance, l'absence de diode interne parasite entre drain et source des HEMTs GaN latéraux ou bien la tension de seuil très faible.

Ces nouveaux composants introduisent donc de nouvelles contraintes ou besoins tels que de faibles délais de propagations, et niveaux de dispersion, un fonctionnement compatible haute température, une immunité aux forts  $dV/dt$  et  $di/dt$  et la faible consommation sur leurs circuits de commande afin de profiter de tous leurs bénéfices. En confrontant ces nouveaux cahiers des charges à l'état de l'art des systèmes de commande rapprochée et périphériques associés, les travaux issus de l'état de l'art récent montrent des limites surtout au niveau de l'isolation galvanique entre le circuit de commande rapprochée et de commande éloignée. À partir de ces études récentes traitant précisément de ces problématiques, nous proposons une solution facilement intégrable, efficace et robuste. Dans le chapitre suivant, nous proposons une étude de transfert de l'ordre de commutation par voie optique, avec une solution technologique intégrée avec le gate driver et adaptée avec les composants grands gaps, en assurant une haute isolation galvanique statique et dynamique. Ensuite dans le troisième chapitre, une nouvelle piste de recherche sera développée en intégrant un circuit d'alimentation flottante par voie optique au sein du circuit de commande.



# **Chapitre II**

## **Transfert des ordres de commande par voie optique**



## **II.1. Introduction**

Comme cela fut étudié dans le premier chapitre, les nouveaux composants grands gaps introduisent de nouvelles contraintes et caractéristiques par rapport à leurs homologues en silicium. Ces composants, par leurs vitesses de commutation rapides, exacerbent les sollicitations des éléments parasites de leur environnement. Des études sur les circuits de commande et la boucle de puissance sont donc nécessaires afin d'utiliser efficacement ces composants et de tirer le meilleur bénéfice des compromis pertes / densité de puissance. Dans ce chapitre, nous étudions une solution de transfert des ordres de commande par voie optique pour les circuits de commande à grille de composants de puissance compatibles avec les applications à hautes tensions et hautes fréquences. Nous proposons dans la première partie de ce chapitre les principes, la conception et le dimensionnement de détecteurs optiques intégrés sur des technologies CMOS / SOI industrielles en vue d'une co-intégration avec la partie driver à proprement parler. Différentes structures seront imaginées, réalisées et fabriquées. La caractérisation des détecteurs optiques sera aussi abordée dans ce chapitre afin de vérifier leurs fonctionnements et de choisir le ou les détecteurs les plus performants selon nos besoins.

Dans un second temps, nous présenterons le circuit de traitement du signal associé avec nos détecteurs optiques afin de transférer et mettre en forme le signal en sortie du détecteur optique vers le contrôle des charges de grille du transistor de puissance. L'intégration monolithique du circuit électronique de traitement avec le détecteur optique permet de réduire les éléments parasites, et par la même de réduire le temps de propagation des signaux de commande. A la fin de ce chapitre, les caractérisations de la commande optique intégrée seront abordées. Les spécifications optiques et électriques des puces réalisées seront mesurées dans différentes conditions afin de valider le fonctionnement de notre circuit.

## II.2. Choix de la technologie pour le circuit de commande rapprochée avec isolation optique

### II.2.1. Comparaison des technologies

Pour réaliser notre circuit intégré, il faut choisir une filière technologique adaptée à nos besoins présentés dans le chapitre I (I.5.2). Il existe un large choix de fondeurs tels que AMS, Xfab, TSMC, Dalsa, Memscap ; ainsi que de nombreuses variantes technologiques, avec la possibilité d'accéder à ces technologies via des services de partage de fabrication (MPW pour « Multi Project Wafer » [CMP], Europractice pour Xfab et TSMC). Poussé par un contexte applicatif bas coût, pour le premier prototype nous préférons donc les technologies simples avec moins d'options possibles. De plus, la technologie sélectionnée doit être adaptée à nos cahiers des charges imposés par l'application que nous avons présentée dans le chapitre précédent. Il apparaît donc que les éléments suivants constituent notre cahier des charges pour le pré-dimensionnement :

- Surface de silicium la plus faible possible
- Intégration monolithique des détecteurs optiques avec le circuit de commande rapprochée
- Le niveau de tension.
- La température de fonctionnement maximale

Technologie	ams	Xfab XT	STMicroelectronics
Finesse de gravure	0,35µm	180nm	130nm
Niveau de tension	3,3V/5V	1,8V/5V/10V/100V /150V/200V	1,2V/5V/20V
La température max	125°C	175°C	125°C

Tableau II. 1. Comparaison des technologies.

Si le fondeur STMicroelectronics propose des technologies de 28nm à 130nm, ces dernières sont trop fines et pas nécessaire pour nos applications. De plus, les coûts liés à ces technologies récentes sont très élevés à l'heure actuelle (jusqu'à 15000 €/mm<sup>2</sup> pour la technologie 28nm). Une autre solution est proposée par AMS, ce fondeur offre par exemple la famille de technologie CMOS C35 standard avec un bon compromis coût / performance

(en MPW par exemple, ce coût est de 650€/mm<sup>2</sup> pour une livraison de 25 puces, avec 4 runs par an via CMP, permettant donc rapidement d'avoir les puces).

Cette technologie propose plusieurs options selon les fonctions intégrées (capacité MIM pour une meilleure densité de capacité intégrée, métallisation épaisse pour un meilleur routage de fonction à haut niveau de courant) [Del09] [Ker13] [Phu13]. Une finesse de gravure de 0,35µm permet aussi de faire fonctionner notre circuit aux fréquences souhaitées (au-delà de 1MHz).

De plus, cette technologie est utilisée largement depuis longtemps par notre équipe au G2Elab. Elle est connue pour sa fiabilité et on peut accéder facilement à cette technologie, elle est adaptée aux cahiers de charges classiques, ainsi que la sous-traitance est possible via CMP, avec des supports techniques disponibles au CIME Nanotech.

Dans sa configuration standard, nous proposons d'étudier la possibilité d'intégrer des photodiodes et leur adaptation avec notre cahier des charges pour l'électronique de puissance. Pour ces raisons, notre choix s'est tourné vers la technologie AMS CMOS standard C35B4C3 0,35µm. Les résultats expérimentaux dans les parties suivantes montreront les performances de notre circuit en technologie standard ce qui validera notre choix. En ouvrant vers les applications à haute température, la technologie CMOS Xfab XT018 SOI est aussi considérée. Cette technologie permettrait, entre autres, de fonctionner jusqu'à 175°C mais avec le substrat isolé dont le coût est potentiellement plus élevé. Ce dernier point est digne d'intérêt dans le cadre du projet collaboratif MeGaN regroupant à l'échelle nationale plusieurs partenaires autour des composants de puissance en GaN depuis leur fabrication jusqu'à leur intégration dans des systèmes complets de conversion.

### **II.2.2. Technologie CMOS 0,35µm bulk**

La technologie AMS CMOS 0,35µm dispose de quatre couches de métallisation, de condensateurs de faible densité d'énergie (0,86fF/µm<sup>2</sup> pour 5,5 Volts soit des capacités de l'ordre de 100 pF pour des surfaces réduites) et de différents types de résistances ( $\approx$  1 MΩ). La longueur minimale de grille des transistors est de 0,35µm. La technologie AMS C35B4C3 utilisée pour la conception de la puce fait partie de la famille C35B4. Ainsi, elle est compatible avec deux niveaux de tension 3,3V et 5V. Les épaisseurs des couches de métal 1, 2, 3 et 4 sont respectivement de 665nm, 640nm, 640nm, 925nm.

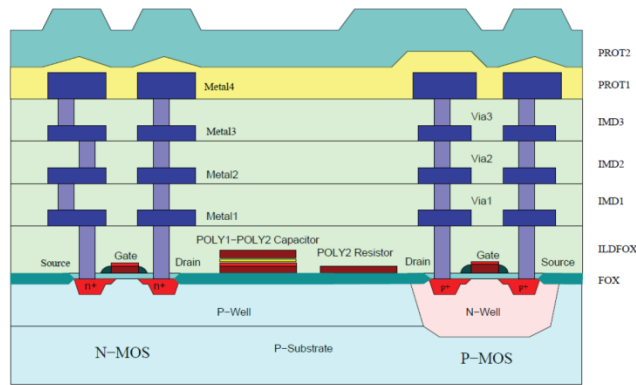


Figure II. 1. Vue en coupe de la technologie AMS [AMS].

La Figure II. 2 (a) montre la structure d'un transistor latéral de type N réalisé dans la technologie CMOS. Pour bien maîtriser la conception des circuits intégrés, il est important d'avoir une bonne connaissance des caractéristiques, du comportement et du modèle du transistor. Dans la suite, les caractéristiques du transistor seront abordées. La Figure II. 2 présente la structure d'un transistor NMOS ( $L$  : longueur du canal,  $T_{ox}$  : épaisseur de l'oxyde de grille,  $W$  : largeur du canal), et son comportement  $I_{DS}(V_{DS})$  pour différents  $V_{GS}$ .

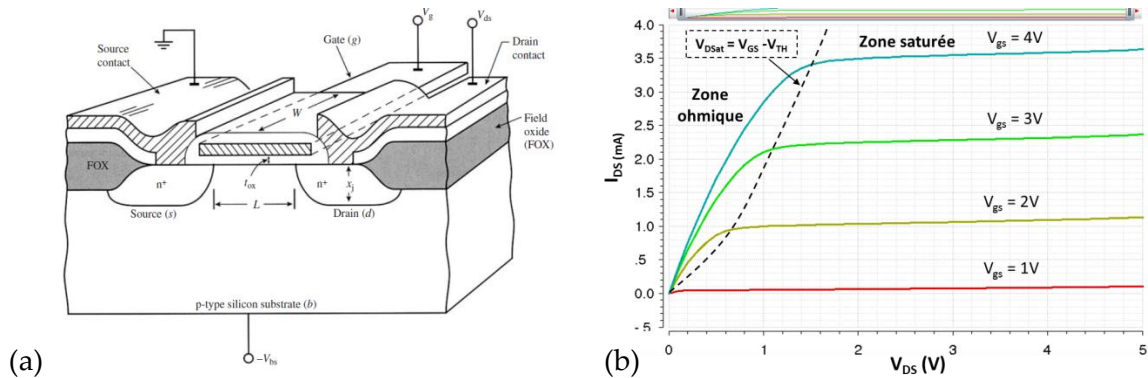


Figure II. 2 (a) Vue en trois dimensions d'un transistor MOSFET à enrichissement à canal N, (b) Simulation sous CADENCE de la caractérisation  $I_{DS}(V_{DS})$  pour différents  $V_{GS}$  à largeur ( $W = 10\mu\text{m}$ ) et longueur de grille ( $L = 0,5\mu\text{m}$ ) d'un transistor.

Dans une technologie CMOS donnée, la largeur  $W$  et la longueur  $L$  des transistors sont les seuls paramètres des transistors que l'on peut modifier, ainsi que le nombre de doigts de transistors mis en parallèle. L'étude des caractéristiques du transistor CMOS pour les différents modes d'opération permet, durant le processus de dimensionnement, d'identifier leurs paramètres de géométrie, ainsi que son équation d'état qui donne l'intensité du courant de drain  $I_{DS}$  en fonction des paramètres géométriques ( $W, L$ ) et des tensions appliquées à ses bornes ( $V_{GS}, V_{DS}$ ). Grâce aux modèles fournis par le fondeur, nous pouvons effectuer ce

dimensionnement selon une étude paramétrique, en prenant en compte les effets de variations des conditions de simulation (température, tension d'alimentation par exemple) et des dispersions de fabrication (monte carlo, étude des corners). Ce dimensionnement s'effectue dans notre cas sous la plateforme Cadence accessible au CIME Nanotech.

## **II.3. Conception du circuit intégré de transfert des ordres de commande par voie optique pour le circuit de commande rapprochée**

### **II.3.1. Principe de fonctionnement du circuit**

Comme indiqué dans le premier chapitre, les méthodes d'isolation galvanique qui peuvent être intégrées de façon hybride ou monolithique avec les composants de puissance présentent un grand challenge dans le contexte des dynamiques de commutation rapides. Parmi les nombreuses méthodes d'isolation galvanique, la solution optique offre un bon niveau d'intégration coté récepteur en assurant le plus haut niveau d'isolation statique et dynamique [Rou15]. La Figure II. 3 présente le diagramme du circuit retenu pour le transfert de l'ordre de commande, isolé par voie optique. Coté récepteur, ce circuit se compose ainsi d'un photodétecteur et d'un amplificateur transimpédant. La photodiode reçoit le signal optique à partir de l'émetteur optique et le convertit en courant électrique. Ensuite, un amplificateur transimpédant (TIA) polarise la photodiode et convertit ce courant photo généré en une tension avec un produit gain-bande élevé, tout en limitant l'ajout de bruit additionnel. Classiquement, le signal en sortie du TIA est faible et n'est pas suffisant pour piloter les étages suivants. Alors, le TIA va ensuite être connecté en aval à un autre étage d'amplificateur (K) pour obtenir le niveau de tension nécessaire et piloter alors l'étage d'amplification en courant (commande rapprochée) pour le contrôle de la commutation du transistor de puissance.

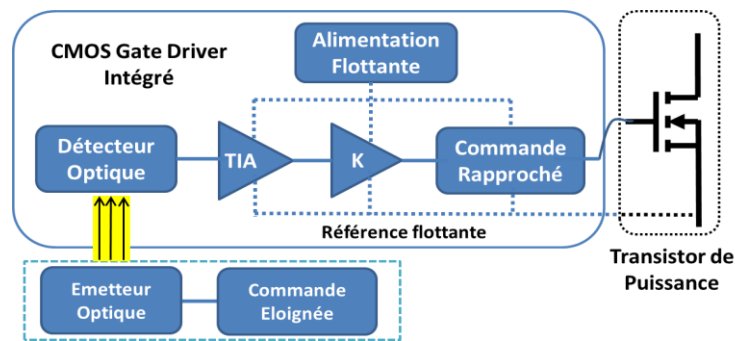


Figure II. 3. Approche de l'intégration du gate driver : Intégration de l'étage de réception optique et de l'ensemble des circuits de pilotage au sein d'une puce CMOS.

Notre approche de l'intégration du gate driver avec le composant de puissance est présentée dans la figure ci-dessus. Elle repose sur l'intégration de différentes fonctions :

- Photodétecteur : Il existe plusieurs possibilités de photodétecteurs intégrés tels que des photorésistances, des photodiodes, des phototransistors. Pour notre application, nous souhaitons d'une part minimiser le niveau de puissance optique nécessaire et d'autre part garantir des temps de propagation et délais faibles. Ainsi, nous chercherons à maximiser conjointement la sensibilité et la bande passante des détecteurs optiques intégrés. Les photodiodes bipolaires sont ainsi préférées grâce à leur bon compromis sensibilité / réponse en fréquence [Rad04].
- Circuit de traitement de signal : Le préamplificateur joue un rôle crucial pour la performance globale du récepteur optique, notamment la vitesse, la sensibilité et la gamme dynamique du circuit. L'association entre le circuit électronique de traitement et la photodiode nécessite une conception conjointe de ces deux éléments pour garantir le meilleur niveau de performance de la chaîne totale.
- Commande rapprochée : Le but du circuit de commande rapprochée est d'amplifier le courant afin de contrôler de façon optimale la charge et la décharge de la capacité d'entrée de l'interrupteur de puissance, et d'assurer le bon fonctionnement du transistor de puissance lors des commutations via le contrôle des charges de réaction en lien avec la capacité,  $C_{rss}$ . Cette capacité peut être élevée car dépendante de la taille de l'interrupteur et donc de son calibre en tension/courant. De plus, la fréquence de commutation peut être élevée (au-delà du MHz), tout comme les fronts de commutation et le contrôle des charges est alors critique. L'amplification du signal de commande permet de charger rapidement le transistor de

puissance, donc d'augmenter sa vitesse de commutation et limitant ainsi les pertes durant la commutation.

- Alimentation flottante : L'ensemble des fonctions intégrées au sein de la puce de commande en technologie CMOS est alimenté par un circuit d'alimentation à référence flottante. Afin de conserver les bénéfices de la commande par voie optique du point de vue de l'immunité électro-magnétique, il semble nécessaire de proposer une solution d'alimentation supprimant elle aussi tout lien électro-magnétique avec un circuit externe. Les alimentations classiques telles que Flyback ou Dual Active Bridge intégrée sont donc à remplacer, si l'on veut garder un niveau d'isolation galvanique statique et dynamique très élevé. Dans [Sim11] une auto-alimentation des fonctions de commande rapprochée est proposée, intégrée à la fois dans la puce de commande en technologie CMOS et dans la puce de puissance, alors en technologie Silicium (VDMOS 600V). Cette structure se base sur un circuit de type régulateur linéaire fonctionnant en mode pulsé, et est utilisée pour recharger une capacité de stockage alimentant le circuit de commande lors du blocage de l'interrupteur de puissance. Une autre possibilité est de fournir l'énergie par la lumière, car les photodiodes disponibles avec la technologie CMOS standard peuvent être utilisées dans le mode photovoltaïque (polarisation identique aux cellules solaires, mais utilisation d'une onde monochromatique pour améliorer le rendement). Ce dernier point sera abordé en détail dans le chapitre III.

## **II.3.2. Photodiodes intégrées en technologie CMOS « bulk »**

### **II.3.2.1. Conception des photodiodes intégrées**

Dans cette section, les principales caractéristiques de différentes photodiodes intégrables en technologie AMS CMOS 0,35 sont détaillées, ce qui nous permettra ensuite de concevoir puis d'étudier différents dispositifs assurant un transfert des signaux de commande par voie optique.

#### **II.3.2.1.1. Photodétecteur en technologie CMOS : Principes et structures**

##### **a) Structure des photodiodes CMOS**

La technologie CMOS C35 utilise le silicium comme le matériau de base avec un faible niveau de bande interdite. En conséquence, le coefficient d'absorption est relativement faible. Par ailleurs, les photodiodes CMOS sont sensibles seulement pour une gamme de longueur

d'onde particulière. Pour les grandes longueurs d'ondes  $\lambda > 1100 \text{ nm}$ , l'absorption est beaucoup moins importante, et donc la sensibilité est très faible. En plus, la profondeur de pénétration de la lumière avec une longueur d'onde supérieure de  $850 \text{ nm}$  est d'environ  $26,2\mu\text{m}$  [Tav11]. Les paires électron-trou générées sont réparties sur une grande profondeur dans le volume du composant. Par conséquent, il est difficile de rassembler tous ces porteurs pour générer un courant photoélectrique; ce qui conduit généralement à une faible sensibilité en raison de la recombinaison de la majorité des porteurs générés. Pour les courtes longueurs d'onde, d'autre part,  $\lambda < 400 \text{ nm}$ , des porteurs générés sont très proches d'une surface de la photodiode. La vitesse de recombinaison autour de la surface est élevée et donc seulement une partie d'entre eux contribue au photo-courant. En conséquence, la plage de sensibilité de longueur d'onde des photodiodes CMOS est typiquement  $\lambda \in [400\text{nm}-850\text{nm}]$  [Tav11] [Rad04].

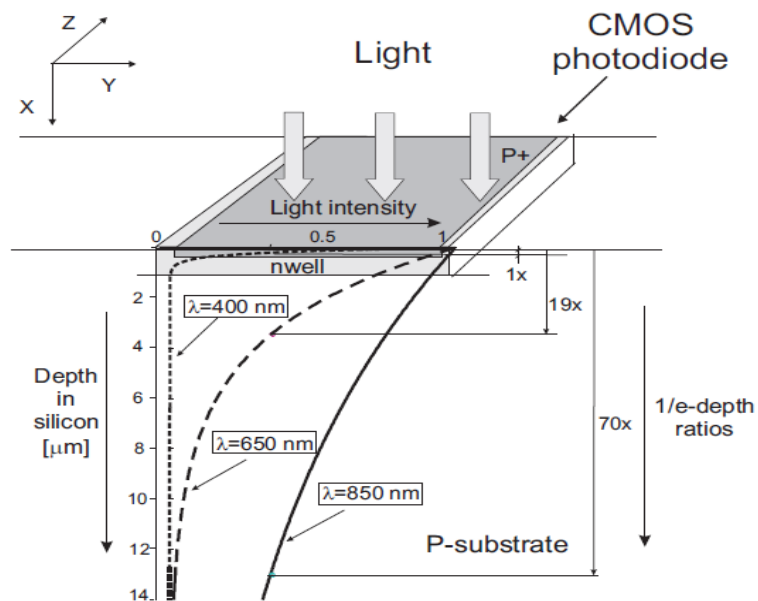


Figure II. 4. Profondeur de pénétration de la lumière avec la technologie CMOS [Rad04].

Par ailleurs, les contraintes technologiques imposées par le fondeur ne permettent pas au concepteur de modifier les couches disponibles. Dans la vue d'ensemble de l'architecture de la technologie CMOS C35 (Figure II. 1), on peut voir qu'il y a trois jonctions Nwell/Psub, N+/Psub, P+/Nwell qui sont réalisées en technologie CMOS. Celles-ci sont représentées dans la Figure II. 5.



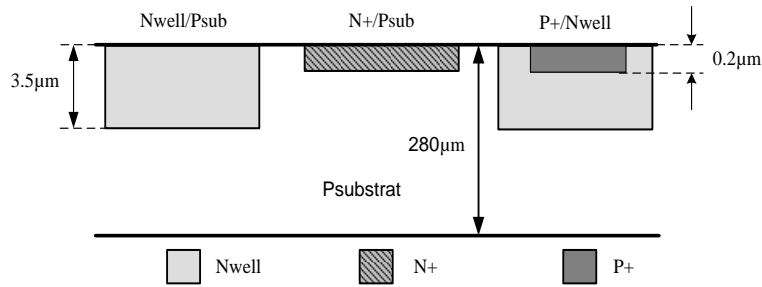


Figure II. 5. Jonctions disponibles en technologie CMOS C35 standard.

Les profondeurs et les niveaux de dopage de ces couches sont toutes dépendantes de la technologie et ne peuvent donc pas être modifiées par le concepteur. A partir des jonctions disponibles, trois structures élémentaires de photodiodes peuvent être mises en œuvre en technologie CMOS standard, comme cela sera illustré dans les Figure II. 9, Figure II. 10, Figure II. 11. Les différences essentielles entre les structures sont l'emplacement et la taille de la région de déplétion de la photodiode qui constitue la ZCE. Les largeurs de ZCE de chaque jonction peuvent être calculées à partir des équations (I.4) et (I.5) en considérant qu'on néglige l'influence du périmètre de la photodiode sur la capacité parasite ( $C_{peri} = 0$ ). On a donc  $W_{(ZCE)}(V_d=0) = \varepsilon/C_{surf}$ . Les résultats sont résumés dans le tableau II. 2.

Jonction	$V_d = 0V$	
	$C_{surf}$ [AMS]	Largeur de ZCE
Nwell/Psub	0,08fF/ $\mu m^2$	1,3 $\mu m$
N+/Psub	0,84fF/ $\mu m^2$	0,124 $\mu m$
P+/Nwell	1,36fF/ $\mu m^2$	0,08 $\mu m$

Tableau II. 2. Calcul analytique de la largeur de ZCE avec la tension inverse à 0V.

Les calculs montrent la dépendance de la largeur de ZCE en fonction du dopage des couches. En plus, cette largeur est plus petite par rapport à la profondeur de pénétration de la lumière, variable selon la longueur d'onde utilisée. On constate bien que la photodiode avec une jonction peu profonde est préférable pour les illuminations de courte longueur d'onde comme la majorité des photons sont absorbés relativement proche de la surface éclairée, tandis qu'une photodiode dont la jonction est profonde dans la couche épitaxiée est plus appropriée pour des longueurs d'ondes élevées qui pénètrent plus profondément dans le silicium.

## b) Sensibilité

La réponse spectrale d'un photodétecteur  $S_\lambda$  est exprimée par le rapport (en [A/W]) du photocourant généré ( $I_{ph}$ ) par rapport à la puissance optique incidente ( $P_{opt}$ ). Ce facteur est dominé par le coefficient d'absorption et dépend de la longueur d'onde. La sensibilité spectrale  $S_\lambda$  dans l'aire d'une photodiode s'exprime par :

$$S_\lambda = \frac{I_{ph}(\lambda)}{P_{opt}(\lambda)} \quad (\text{II. 1})$$

Où :  $I_{ph}(\lambda)$  est le photocourant généré à longueur d'onde donnée et  $P_{opt}(\lambda)$  est la puissance optique incidente sur la zone active. La sensibilité quant à elle dépend aussi de la structure du composant en termes du type et niveau de dopage et de profondeur des couches et bien évidemment de la nature des matériaux utilisés, de la polarisation électrique, de la température, et d'éventuels effets non linéaires (dépendances à la densité de puissance optique). La réponse spectrale d'une photodiode idéale en silicium (en considérant le rendement quantique unitaire) est présentée sur la Figure II. 6. L'efficacité quantique  $\eta$  de la photodiode est définie comme le rapport du nombre d'électrons collectés sur le nombre de photons incidents. En pratique, l'efficacité quantique d'une photodiode est toujours inférieure à l'unité. La sensibilité se rapproche donc d'une courbe en vert comme illustrée dans la Figure II. 6.

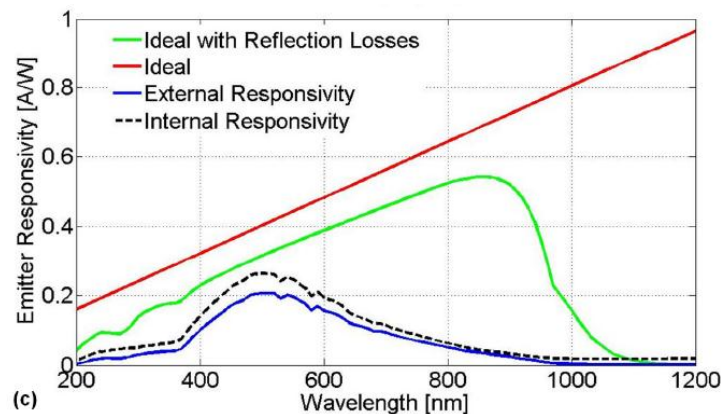


Figure II. 6. Réponse spectrale d'une photodiode (50 $\mu$ m de diamètre) avec la puissance optique incidente de 50 $\mu$ W : pour le cas idéal en « rouge » ( $\eta = 1$ ), et avec la réflexion en « vert » [Vaf13].

### c) Capacité parasites

La capacité de jonction d'une photodiode n'influe pas sur les propriétés spectrales du détecteur. Cependant, la constante de temps RC rattachée à la jonction modifie le temps de réponse du photodétecteur. Il s'agit par ailleurs d'un paramètre électrique dont il faut tenir

compte lors de la conception d'un circuit de traitement associé. La capacité parasite est modélisée par une capacité de déplétion ( $C_j$ ). Elle est dépendante de la variation de l'épaisseur de la ZCE :

$$C_j = A_d \sqrt{\frac{q \cdot \epsilon \cdot N_A \cdot N_D}{2(N_A + N_D)(V_j - V_d)}} = \frac{\epsilon A_d}{W_{ZCE}(V_d)} \quad (\text{II. 2})$$

L'équation (II. 2) indique que la géométrie d'un photodétecteur influence la capacité de la jonction. Afin de diminuer la capacité de la jonction, la taille de la photodiode doit être la plus petite possible. Cependant une diminution de la surface photosensible entraîne ensuite une difficulté accrue de focalisation de la lumière et donc la complexité du packaging optique. Il faut donc choisir la structure adéquate afin de limiter les parasites. Notons que nos détecteurs seront réalisés en technologie CMOS, une autre formule fournie par le fondeur peut être utilisée pour calculer la capacité parasite en prenant en compte la capacité périmétrique :

$$C_j \approx \frac{A_d C_{surf} + P_d C_{peri}}{\sqrt{1 + \frac{V_d}{V_j}}} \quad (\text{II. 3})$$

Où :  $P_d$  est le périmètre de la photodiode;  $C_{surf}$  est la capacité parasite de surface de la diode sous tension nulle (F/m<sup>2</sup>);  $C_{peri}$  est la capacité par unité de longueur du périmètre de la diode sous tension nulle (F/m).

Le « design kit » nous fournit aussi des modèles électriques des photodiodes en technologie C35 standard pour lesquels on peut modifier les paramètres  $A_d$  et  $P_d$  afin de simuler les capacités parasites. La Figure II. 7 présente les simulations de la capacité parasite des différents types et dimensions d'une photodiode rectangulaire sous Cadence sans prendre en compte leurs routages. Leurs structures seront détaillées dans la partie suivante. En fait, on voit bien que la capacité parasite des photodiodes réduit en augmentant la tension de polarisation inverse de la diode. Cependant, on ne préfère pas polariser notre photodiode dans la zone jusqu'à l'avalanche. Dans la suite, notre photodiode sera connectée avec son circuit de traitement de signal et la tension de polarisation est imposée par ce circuit. La valeur optimale est égale à 2,5V afin d'optimiser ensemble le fonctionnement du circuit de traitement de signal.

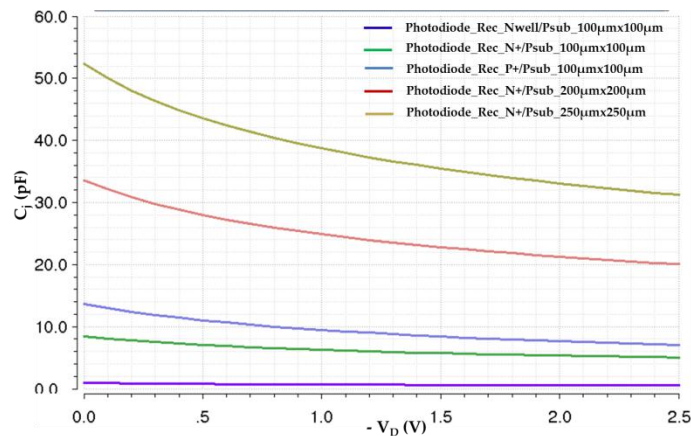


Figure II. 7. Simulation de la capacité parasite des photodiodes en fonction de la tension inverse.

### II.3.2.1.2. Conception des masques de photodiodes en technologie CMOS

Nous avons étudié les principes d'une photodiode basée sur une jonction PN ainsi que ses paramètres importants. Cette partie abordera les structures disponibles des photodiodes en technologie CMOS Bulk 0,35µm standard, ainsi que la conception des jeux de masques.

Dans la partie précédente, on a détaillé les structures des photodiodes en technologie CMOS C35. Le logiciel CADENCE sera ensuite utilisé pour simuler puis router les photodiodes intégrées avec le reste des fonctions au sein du circuit de commande rapproché. Une photographie de la puce fabriquée en Mai-Juillet 2013 est présentée sur la Figure II. 8. Cette 1<sup>ère</sup> version de puce CMOS occupe une surface totale de 2600µm x 1350µm. Dans ce circuit intégré, nous avons conçu différents types de photodiodes (N+/Psub, Nwell/Psub, P+/Nwell) en modifiant aussi leurs dimensions ( Figure II. 9, Figure II. 10, Figure II. 11), et en introduisant différents types de conception cellulaires et interdigitées, à l'image de [Vaf13] et en exploitant les conclusions de son travail. Sur les images qualitatives et schématiques, il n'y a qu'un seul niveau de métal (MET1) présent. Pour le routage des photodétecteurs, les métaux MET1 à MET4 sont utilisés pour les interconnexions des deux contacts avec les circuits extérieurs. Les photodiodes sont développées dans différentes configurations de la zone éclairée (fenêtre optique non couverte de métal, mais passivée par des oxydes épais). De plus, une taille très importante, avec donc une capacité parasite importante, ralentit le temps de réponse de la photodiode. On voit qu'avec des dimensions supérieures à (200µm x 200µm), les valeurs de capacité sont très grandes,  $C_{pd} > 30\text{pF}$  à la

tension inverse de -2,5V (Figure II. 7). Au contraire, de telles dimensions permettent de relâcher les contraintes au niveau mise en œuvre et de focalisation du faisceau lumineux sur la photodiode. Tout est ici affaire de compromis entre performances, packaging, intégration. Les dimensions de (100 $\mu$ m x 100 $\mu$ m) et (200 $\mu$ m x 200 $\mu$ m) sont finalement choisis pour la conception, la simplicité de focalisation du spot lumineux dans cette fenêtre optique étant davantage à notre portée. Par ailleurs, les règles de routage imposées par la technologie ne permettent pas de faire n'importe quelle forme de photodiode. Ces dernières n'autorisent que deux formes élémentaires : photodiode rectangulaire et utilisant des angles à 45° (hexagonale, octogonale,...) comme présenté dans les figures Figure II. 10 et Figure II. 11. Pour les grandes photodiodes (Figure II. 9), un autre contact de cathode est ajouté afin d'améliorer le comportement dynamique de la photodiode en réduisant les distances pour avoir accès aux contacts des porteurs générés. Dans cette 1<sup>ère</sup> puce de test, nous avons intégré aussi des circuits électroniques de traitements de signal, connectés ou non au sein de la puce à des photodiodes intégrées. Cependant, ces circuits ne seront pas abordés ici mais dans la partie II.3.3.1 avec la 2<sup>ème</sup> version de la puce incluant le circuit complet de transfert des ordres de commande et de pilotage des charges de la grille de puissance.

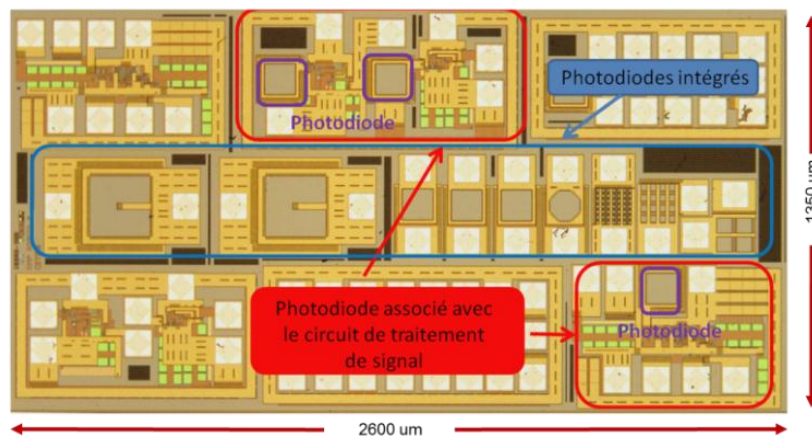


Figure II. 8. Image au microscope optique de la 1<sup>ère</sup> puce conçue en première année de thèse (2012-2013) et fabriquée par AMS via CMP en Mai-Aout 2013.

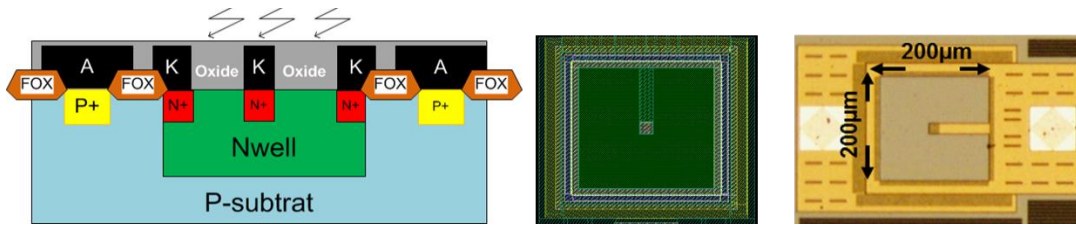


Figure II. 9. Photodiode Nwell/Psub rectangulaire 200µm x 200µm. De gauche à droite, schéma qualitatif, vue des masques sous Cadence, image microscope optique des photodiodes fabriquées.

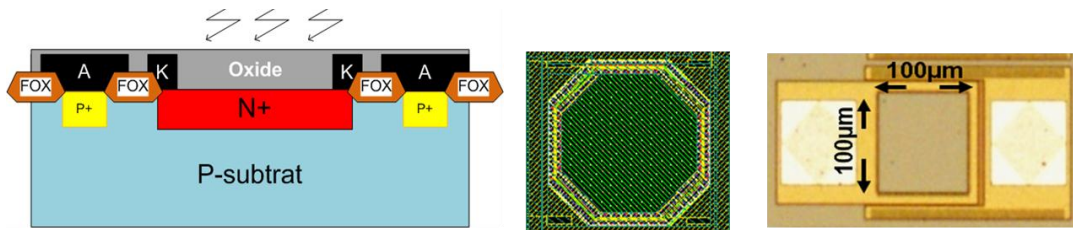


Figure II. 10. Photodiode N+/Psub octogonale 100µm x 100µm.

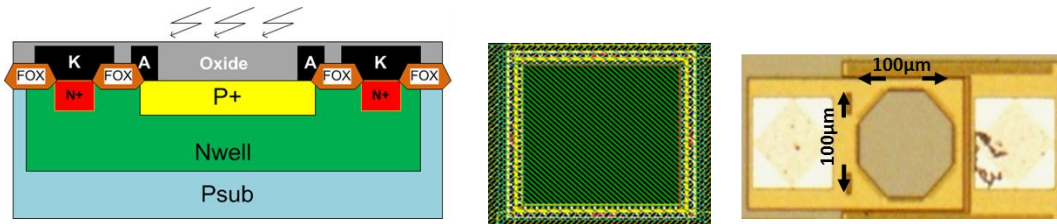


Figure II. 11. Photodiode P+/Nwell rectangulaire 100µm x 100µm.

### II.3.2.2. Caractérisation électro-optique des photodiodes intégrées

Afin de vérifier le comportement et les performances intrinsèques des photodiodes CMOS, cette partie présente donc les mesures pour quantifier ces photodiodes, permettant de choisir la photodiode la plus adaptée avec les besoins de notre application.

#### II.3.2.2.1. Banc de test et approche de mesure DC de photodiodes

##### a) Caractérisation DC : banc de test et approche de mesure

Les caractérisations statique et dynamique de détecteurs optiques intégrés ont été réalisées au CIME-Nanotech à Grenoble, sur la plateforme capteurs et microsystème. Pour faire la caractérisation électro-optique des composants, il faut concevoir des bancs de caractérisation optique permettant de guider le signal optique commandé. La mise au point du banc de caractérisation a été développée dans la thèse de Raha Vafei [Vaf13], faisant suite au travail de Master Recherche de Duc Ngoc To [Ton11], impliquant le PFE du DUT de

Sofiane Bekkal [Bek12] le tout en lien avec le projet ANR JCJC SiPowLight porté par N. Rouger (2010-2014). Ce banc de caractérisation est présenté dans la Figure II. 12. Pour cela, une source lumineuse Xenon de 150W et à large spectre (lumière « blanche »), ayant son alimentation contrôlée, permet un balayage précis sur la plage 200nm à 1600nm via un monochromateur muni de fentes fixes et d'un réseau de diffraction. La lumière issue du monochromateur est ensuite couplée dans un faisceau de fibres optiques puis dans une fibre optique, agissant alors comme un filtre spatial et permettant la réduction de la taille du spot lumineux et l'adaptation des modes optiques entre le faisceau de fibres optiques du monochromateur et la photodiode sous test.

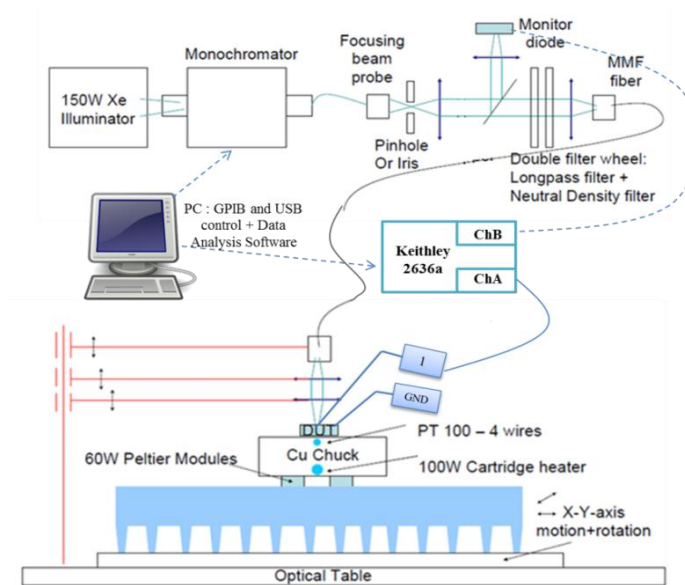


Figure II. 12. Banc de caractérisation DC des photodiodes [Vaf13].

Le monochromateur permet de balayer des longueurs d'ondes dans tout le spectre depuis 200nm jusqu'à 1600nm par pas de 0,5nm, avec une largeur à mi-hauteur (FWHM) de 10nm (fixée par les fentes fixes du monochromateur, selon un compromis entre la largeur à mi-hauteur et la puissance transmise depuis la lampe Xe vers la sortie du monochromateur). Ensuite, un séparateur de faisceau transmet 30% de la puissance optique à une diode monitrice, servant de facteur de correction pour corriger les variations très basses fréquences de la source lumineuse entre la phase de calibration et la phase de mesure. La partie principale du faisceau (70% de la puissance optique) passe ensuite à travers une roue porte filtre à deux étages, afin d'éliminer la diffraction de second ordre du monochromateur (filtres passe bas en fréquence ou passe haut en longueur d'onde) et de permettre de contrôler le changement de la puissance optique commandée (afin d'étudier les effets du bruit à faibles

puissances optiques, via des filtres optiques à densité neutre d'atténuations différentes). Pour le contrôle de température, un chuck en cuivre massif a été conçu et fabriqué au G2Elab, grâce au stage de projet de Joseph Magniez et Maxime Dautin (3A ENSE3). Il intègre ainsi une sonde de température type PT100 4 fils, ainsi qu'un apport de puissance de chauffe via une cartouche chauffante [SiP11] permettant une montée rapide en température et des modules Peltier assurant la régulation efficace de la température, le tout couplé à un contrôleur de température Thorlabs TED4015 [Tho01].

La mesure du rendement quantique / sensibilité spectrale d'un détecteur se fait en deux étapes successives : la calibration de la distribution spectrale de la puissance optique puis la mesure de sensibilité spectrale par la mesure du courant photogénéré. Pour la phase de calibration, le monochromateur est piloté automatiquement pour balayer la plage de longueurs d'ondes souhaitée, avec un pas fixe. A chaque longueur d'onde, la puissance optique est mesurée via un détecteur optique calibré polarisé à 0V, et une image de cette puissance est aussi mesurée via la diode monitrice. Un obturateur est piloté sur le monochromateur pour mesurer le niveau de courant d'obscurité de la diode calibrée, afin de le retrancher au courant total mesuré. Cela permet d'obtenir fidèlement le niveau de puissance optique reçu par le capteur pour chaque longueur d'onde. Cette mesure de courant d'obscurité est effectuée une seule fois avant le balayage en longueur d'onde. Notons que les signaux extraits des photodétecteurs peuvent être de faible intensité, on a intérêt à utiliser pour la mesure de ce faible courant un amplificateur à détection synchrone [Tay11]. Néanmoins, avec notre banc de test, les mesures de courant s'effectuent via une source mètre de précision Keithley 2636a. Cet appareil est capable de fournir et de mesurer deux sources de tension ou de courant ainsi que divers modes de mesures (balayage ou impulsionnel). La précision de cet appareil dépend du calibre de mesure et des temps de mesure et de filtrage par moyennes glissantes ou non, et il est possible de mesurer des courants de quelques fA (avec une connectique TRIAX) jusqu'à 10 A, et des tensions de quelques  $\mu$ V jusqu'à 200V. De plus, ce banc de test est disposé dans une boîte noire, tout en limitant des sources de bruits non souhaités.

L'équation qui permet de calculer la puissance optique incidente du détecteur calibré :

$$P_{opt}(\lambda) = \frac{I_{Cal}(\lambda) - I_{Cal-d}(\lambda)}{S_{Cal}(\lambda)} \quad (\text{II. 4})$$



Où :  $P_{opt}$  est la puissance optique incidente,  $S_{cal}$  est la sensibilité détecteur calibré,  $I_{cal}$  et  $I_{Cal-d}$  sont successivement le courant total mesuré en phase de calibration et le courant d'obscurité du détecteur calibré.

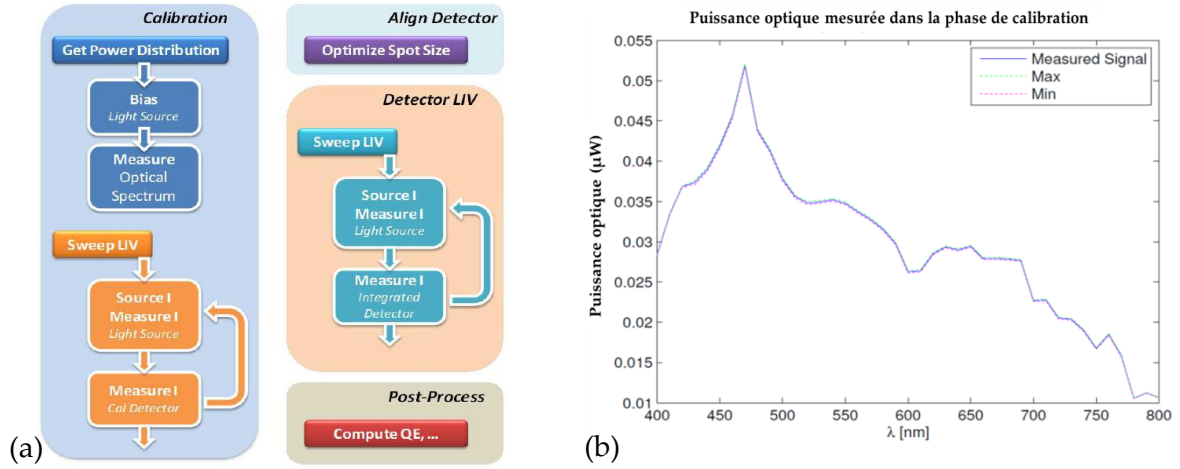


Figure II. 13. (a) Principe de mesure DC des photodiodes intégrées [Vaf13] (b) Puissance optique mesurée dans la phase calibrée.

Le détecteur calibré utilisé a une zone sensible avec la lumière 10mm x 10mm, et une sensibilité entre 0,25 A/W à 460 nm et 0,43 A/W à 630 nm [Newport]. Dans la phase suivante de mesure du dispositif sous test, le détecteur calibré est remplacé par les détecteurs à mesurer, dont la polarisation électrique peut être ajustée (une seule valeur fixe sur toute la plage de longueur d'onde par exemple). Par post-traitement, la sensibilité du détecteur mesuré peut être calculée, avec éventuellement un facteur de correction issu de la variation de puissance optique transmise entre la phase de calibration et la phase de mesure, grâce à la comparaison des courants totaux de la diode monitrice pendant la phase de calibration et la phase de mesure du DUT. Cette variation est calculée via la comparaison entre le photocourant mesuré dans la diode monitrice pendant la phase de calibration, et la phase de mesure, pour chaque longueur d'onde donnée. L'équation (II. 5) montre la relation entre la puissance optique, le photocourant généré et la sensibilité spectrale du détecteur mesuré :

$$S_{D_{écM}}(\lambda) = \frac{I_{D_{écM}}(\lambda) - I_{D_{écM-d}}(\lambda)}{P_{opt}(\lambda)} \cdot \alpha_c \quad (\text{II. 5})$$

$$\alpha_c = \frac{I_{Mon-Cal}(\lambda) - I_{Mon-Cal-d}(\lambda)}{I_{Mon-D_{écM}}(\lambda) - I_{Mon-D_{écM-d}}(\lambda)} \quad (\text{II. 6})$$

Où :  $S_{D_{écM}}$  présente la sensibilité du détecteur mesuré,  $I_{D_{écM}}$  est le courant total mesuré par le détecteur,  $I_{D_{écM-d}}$  représente le courant d'obscurité du détecteur,  $\alpha_c$  est le facteur de

correction et  $P_{opt}(\lambda)$  est exprimé par l'équation (II. 4).  $I_{Mon-Cal}$ ,  $I_{Mon-Cal-d}$ ,  $I_{Mon-DécM}$ ,  $I_{Mon-DécM-d}$  sont le courant total mesuré, le courant d'obscurité de la diode monitrice pendant les phases de calibration (indice -Cal) et de mesure (indice -Déc).

### b) Caractérisation DC de photodiodes intégrées

La sensibilité spectrale des photodiodes a été également mesurée selon la procédure présentée dans la partie précédente. Les résultats sont reportés à la Figure II. 14 (a). Les mesures ont été effectuées à une tension inverse de -1V.

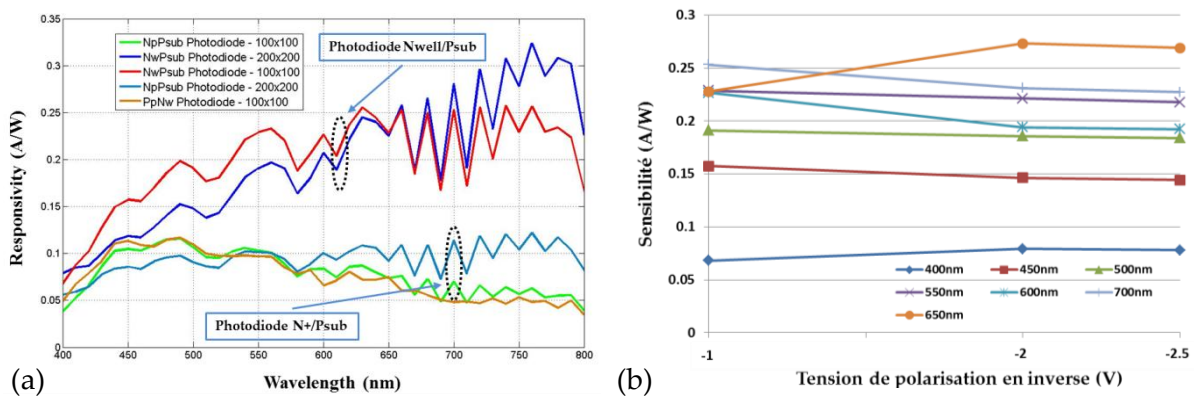


Figure II. 14. (a) Résultats de mesure de la sensibilité des photodiodes ; (b) mesure de la sensibilité de la photodiode NwPsub\_100x100 en fonction de la tension de polarisation inverse.

Les résultats montrent aussi la sensibilité des photodiodes intégrées de 0,05 A/W à 0,32 A/W pour des longueurs d'onde de 400nm à 800nm. Les photodiodes Nwell/Psub ont les meilleures sensibilités avec un rendement quantique maximal de 52%. La sensibilité maximale est localisée aux alentours de 750nm. En fait, dans la partie de conception du circuit de traitement associé avec la photodiode intégrée, nous allons optimiser leur fonction à la tension d'entrée de 2,5V (c'est aussi la tension de polarisation inverse de la photodiode). Donc, la sensibilité spectrale à cette tension est donc observée maintenant. La figure II.14 (b) montre les résultats de mesure de la sensibilité de photodiode Nwell/Psub\_100 $\mu$ m $\times$ 100 $\mu$ m en fonction de la tension de polarisation inverse. On peut voir donc une faible variation de la sensibilité avec la tension de polarisation inverse variant entre -1V et -2.5V. Ces sensibilités spectrales sont tout à fait bonnes en comparaison avec des photodiodes CMOS utilisant des procédés standards [Pan08] ou des procédés améliorés (AMS C35B4O3) pour la photodétection [AMS]. Nous pouvons alors établir quelques éléments de comparaisons relatives sur nos différentes photodiodes intégrées :

- Photodiode N+/Psub

Elle est formée par la création d'une région N fortement dopée dans le substrat P. En raison de la forte concentration du dopage de la couche N+ (par rapport à Nwell), la largeur de la ZCE est faible et s'étend principalement dans le substrat P. Cela conduit à une réduction de l'efficacité de photodétection, avec une sensibilité maximale pour de faibles longueurs d'ondes (région N+ créée par implantation) et une absorption proche de la surface, affectée alors par de possibles recombinaisons en surface.

- Photodiodes Nwell/Psub

Il s'agit ici d'utiliser la couche diffusée faiblement dopée Nwell pour créer la jonction PN dans le substrat P. La concentration de dopage est inférieure par rapport aux autres régions N+ disponibles avec la technologie, permettant alors d'augmenter la largeur de la ZCE ( $W_{ZCE}$ ). La plus grande  $W_{ZCE}$  conduit aussi à une meilleure efficacité de la photodétection. En plus l'épaisseur de la couche Nwell est plus importante que celle du N+, la jonction est donc plus profonde et plus efficace pour capturer les photons de grandes longueurs d'onde par rapport, par exemple, à une jonction N+/Psub. Les photodiodes Nwell/Psub donc, sont beaucoup plus sensibles aux longues longueurs d'onde. Le pic de sensibilité est observé de 0,32A/W à 760nm avec un rendement quantique de 52%.

- Photodiodes P+/Nwell

Comme la photodiode N+/Psub, la jonction de ce type de photodiode est plus proche de la surface du composant. Ces photodiodes sont alors plus sensibles aux courtes longueurs d'ondes. La sensibilité maximale est 0,12A/W à 420nm.

A partir des résultats de mesure, il existe un phénomène important qui influence les performances de nos photodiodes. En effet, une partie de la puissance lumineuse qui sort de la fibre optique et qui est focalisée sur une photodiode intégrée est réfléchi. La sensibilité de la photodiode est affectée en conséquence car les photons réfléchis ne peuvent pas créer des paires électron-trou. Cette réflexion est provoquée par la couche d'oxyde (pour l'isolation entre des semi-conducteurs, des couches métaux et entre des couches métaux), ainsi que la couche de passivation qui sont inévitables et sont présentes au-dessus du circuit intégré. La réflexion est dépendante de la longueur d'onde et du matériau. L'équation analytique de la réflexion est déduite dans l'annexe I et la simulation en fonction de la longueur d'onde est

présentée dans la Figure II. 15. On peut observer clairement ce phénomène dans les gammes de longues longueurs d'onde (600nm-800nm) (Figure II. 14).

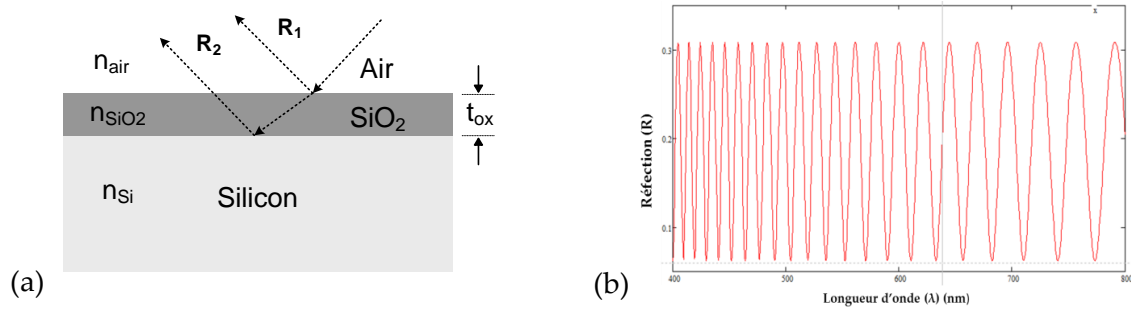


Figure II. 15. (a) Réflexion de la lumière (b) Simulation de la réflexion en fonction de la longueur d'onde pour une épaisseur de la couche oxyde ( $t_{\text{ox}}$ ) de  $6\mu\text{m}$ .

Pour éviter ce problème, on peut utiliser une couche anti-réflexion (ARC) déposée sur le dessus des photodiodes, ce qui permet éliminer la réflexion de la lumière d'une certaine longueur d'onde, tout en ajustant la passivation dans la fenêtre optique. Mais il n'est pas possible d'implémenter un traitement anti-réflexion si la photodiode est intégrée dans un processus CMOS standard, où aucune étape supplémentaire de traitement ne peut être tolérée. Cependant, même si le phénomène de réflexion est observé et ce phénomène étant issu d'interférences périodiques, la sensibilité de nos photodiodes intégrées peut répondre à notre besoin en diminuant la puissance optique nécessaire pour la commande par voie optique et présentent une valeur de sensibilité spectrale tout à fait correcte. La Figure II.16 présente une vue en coupe de l'empilement des différentes couches de la technologie CMOS optique.

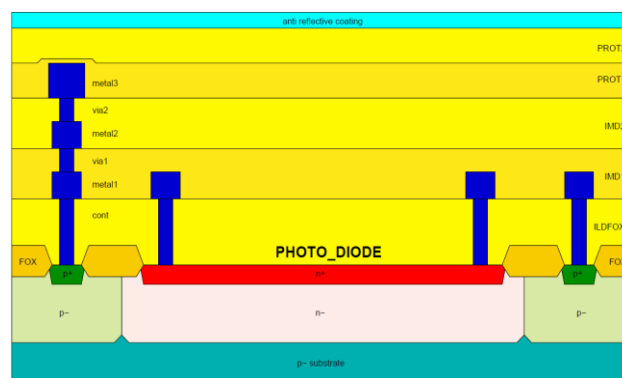


Figure II. 16. Vue en coupe des couches en technologie CMOS opto [AMS].

### II.3.2.2.2. Approche de mesure et caractérisation dynamique de photodiodes intégrées

#### a) Approche de mesure AC de photodiodes

- Caractéristique dynamique : petit signal - mesure C(V)

Les mesures C(V) des photodiodes sont réalisées en utilisant un Keithley 4200 SCS (disponible au CIME Nanotech sur la plateforme de caractérisation électrique) à la température ambiante et présentées sur la Figure II. 17. La plus faible valeur de la capacité parasite de 1,1pF est mesurée pour une tension inverse supérieure à 1,5V dans le cas de photodiode Nwell/Psub 100 $\mu$ m x 100 $\mu$ m, offrant ainsi le meilleur comportement dynamique par rapport aux autres photodiodes. A l'inverse, les photodiodes N+/Psub et P+/Psub ont des capacités parasites plus importantes (6pF - 8pF avec la tension inverse à 2,5V).

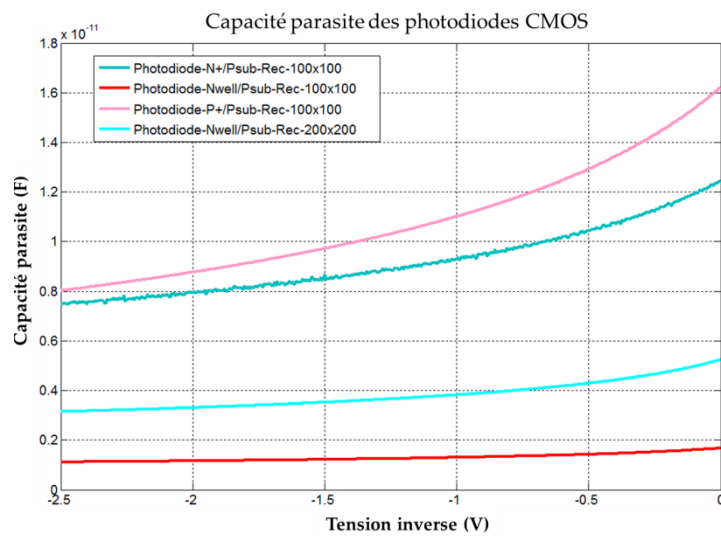


Figure II. 17. Capacités parasites des photodiodes intégrées.

- Caractéristique dynamique : large du signal - essai de réponse indicielle

Le banc de test est présenté dans les Figure II. 18 et Figure II. 19. Dans cette configuration, le laser bleu (ZM18H-Bleu) [LaserB] est alimenté par une source de tension, avec une régulation interne de puissance. Il est modulé par un générateur de signal et un circuit de modulation de puissance optique intégré. La sortie du laser est couplée directement dans une fibre optique multimode (diamètre de 50 $\mu$ m) et connectée dans la même configuration dans la boîte noire utilisée pour l'analyse DC. Cette connectique fibrée permet une facilité de mesure entre la caractérisation DC et AC. Le photocourant généré traverse ensuite un TIA externe (E-TIA) du commerce (avec un faible bruit, un gain variable de  $10^2$  à  $10^8$ V/A, et une bande passante allant jusqu'à 200MHz). La tension qui est mesurée à la sortie du montage E-TIA en fonction du signal d'entrée est visualisée sur l'écran de l'oscilloscope, synchronisé sur la modulation externe du laser. Le temps de réponse sur un échelon de puissance optique est déterminé par le temps de charge ou décharge de la capacité équivalente de la jonction PN

de la diode, la réponse du E-TIA et les éléments parasites introduits par la connectique. Dans une moindre mesure, le temps de propagation et la dispersion du signal transitant dans les éléments optiques interviennent aussi dans la forme de la réponse indicielle. En mesurant le temps de montée du signal en sortie du E-TIA, on peut obtenir les temps de réponse de la chaîne complète de commande optique, et par suite une image de la bande passante de ce système.

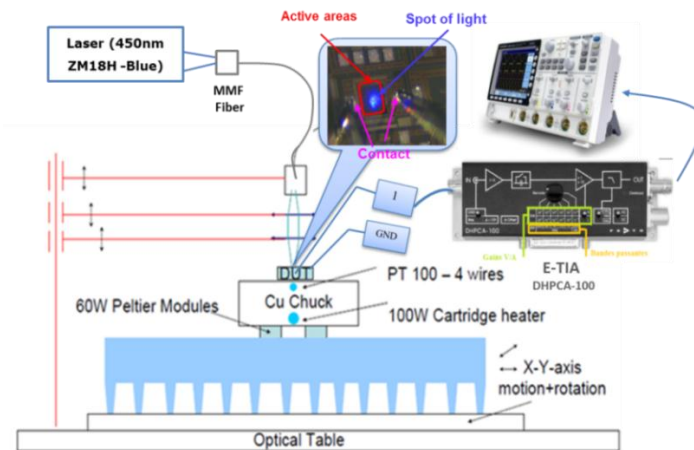


Figure II. 18. Banc de caractérisation AC des photodiodes.

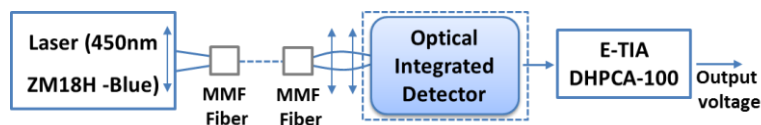


Figure II. 19. Schéma du principe de mesure.

Les mesures sont réalisées avec le signal optique modulé à la fréquence 200kHz, le gain choisi est de  $10^4$  V/A du E-TIA, donnant alors une bande passante de ce circuit commercial de l'ordre de 14MHz. Les résultats sont résumés dans le Tableau II. 3. Le niveau de puissance optique transmis aux détecteurs optiques affecte directement le niveau de courant disponible à la sortie de la photodiode, associé à la sensibilité spectrale de la photodiode considérée à la longueur d'onde du laser utilisé. De plus, l'augmentation du courant de sortie permet une réduction du gain nécessaire de l'amplificateur E-TIA et donc une bande passante de ce dernier plus élevée. Dans ces mesures, les photodiodes Nwell/Psub sont testées car elles présentent les meilleures performances statiques (même dans le bleu) et les capacités les plus réduites. Les résultats montrent un temps de montée de 47ns pour la photodiode  $200\mu\text{m} \times 200\mu\text{m}$ , et 40ns pour la photodiode  $100\mu\text{m} \times 100\mu\text{m}$ . Dans ces essais, nous avons une puissance optique maximale transmise aux photodiodes de l'ordre de  $130\mu\text{W}$ ,

principalement à cause des pertes de couplages dans la fibre optique. De plus, pour réduire les bruits de mesure, un filtre passe bas de 10MHz intégré au E-TIA a été utilisé ce qui donc limite nos mesures et par suite l'impact de la taille des photodiodes sur leurs temps de réponse. On peut donc conclure que les photodiodes ont une bande passante d'au moins une dizaine de MHz. Cette bande passante est globalement suffisante pour les applications d'électronique de puissance, dans une transmission en bande de base comme cela fut défini dans le premier chapitre. Ces essais démontrent expérimentalement que les photodiodes réalisées en technologie standard CMOS sont tout à fait adaptées à l'application pour l'électronique de puissance, tout en réduisant les besoins en puissance optique transmise nécessaires à un bon fonctionnement.

Photodiode	Fréquence, E-TIA, Filtre	Temps de montée
Nwell/Psub 200 $\mu$ m x 200 $\mu$ m	@ 200kHz ; E-TIA : Gain 10 <sup>4</sup> ; Filtre 10MHz	47ns
Nwell/Psub 100 $\mu$ m x 100 $\mu$ m	@ 200kHz ; E-TIA : Gain 10 <sup>4</sup> ; Filtre 10MHz	40ns

Tableau II. 3. Résultats de mesure AC des photodiodes intégrées.

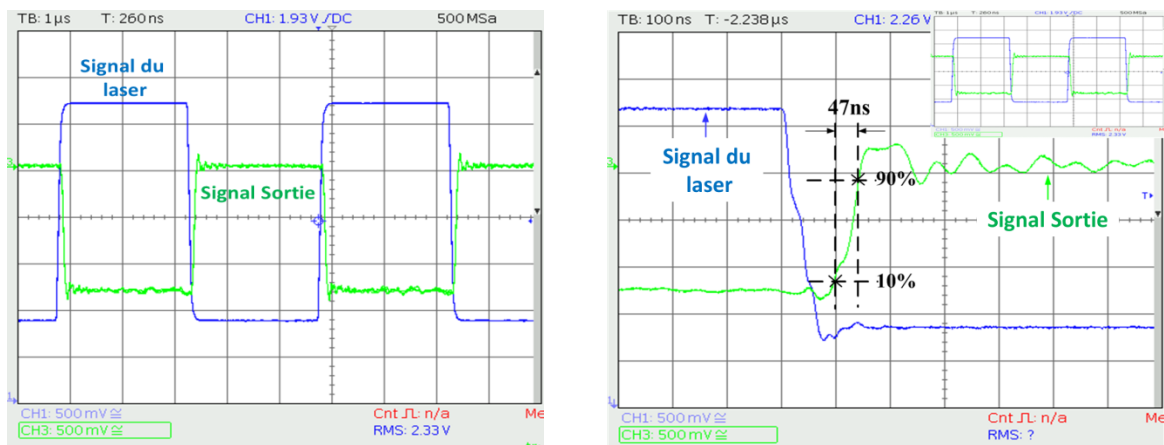


Figure II. 20. Réponse de la photodiode intégrée Nwell/psub 200 $\mu$ m x 200 $\mu$ m avec le signal optique incident modulé à 200kHz.

Le résumé des résultats de caractérisation AC et DC des photodiodes en technologie CMOS standard, ainsi que la comparaison avec la photodiode en technologie C35 optique sont représentés dans le Tableau II. 4. On constate que, à la longueur d'onde de 550nm, nos photodiodes ont une sensibilité proche des photodiodes en technologie CMOS avec option spécifique pour l'opto-électronique. Par contre à longueur d'onde plus élevée (800nm), la





circuit final en l’associant avec un circuit de traitement de signal intégré dans la même technologie CMOS, supprimant alors le besoin d’un TIA externe et gagnant alors sur les connectiques et facilitant l’implémentation dans un convertisseur de puissance.

### II.3.3. Intégration du circuit de traitement de signal associé avec la photodiode intégrée.

Après la conversion du signal optique en signal électrique par la photodiode intégrée, un circuit de traitement de signal convertit ensuite le courant de la photodiode en un signal ne tension, tout en polarisant la photodiode. En fait, la tension de polarisation doit polariser la photodiode en réduisant la capacité parasite mais aussi optimiser le fonctionnement du circuit de traitement de signal. On va aborder cela en détail dans cette partie.

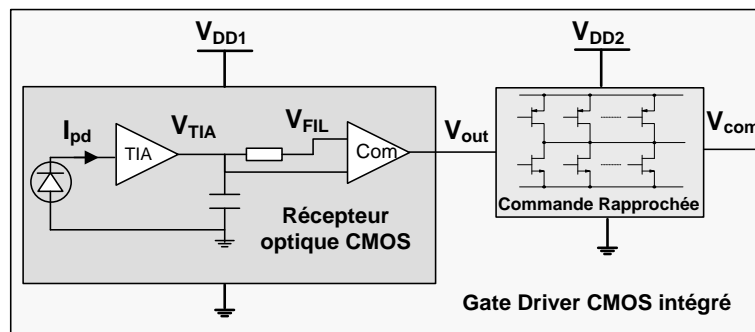


Figure II. 21. Schéma-bloc du circuit de traitement du signal et de commande d’un transistor de puissance transféré par voie optique.

Le schéma-bloc du circuit de traitement de signal est présenté sur la Figure II. 21. Il comprend des blocs alimentés par les tensions d’alimentation ( $V_{DD1}$  et  $V_{DD2}$ ) pour lesquelles la basse tension fournie par  $V_{DD1}$  alimente les fonctions de signal et la haute tension  $V_{DD2}$  est adaptée à la tension de commande de la grille du transistor de puissance. Le circuit de traitement du courant photogénéré se compose d’un TIA, d’un filtre passe bas et d’un comparateur rapide permettant d’obtenir un niveau de tension de 5V à la sortie. Une commande rapprochée est aussi intégrée pour offrir un niveau de courant satisfaisant et assurer la commutation rapide du composant de puissance (amplificateur inverseur – buffer CMOS). Dans l’objectif de diminuer la puissance optique nécessaire, le circuit de traitement de signal doit être capable de détecter un faible photocourant de l’ordre de la centaine de nA, correspondant à une puissance optique incidente ( $P_{opt}$ ) de l’ordre du  $\mu W$ . De plus et comme il a été présenté dans le chapitre 1, notre système d’isolation optique intégré s’applique

particulièrement aux convertisseurs de puissance fonctionnant à hautes fréquences (et/ou à hautes tensions). Notre circuit donc doit avoir une bande passante élevée afin de garantir le faible temps de réponse de la chaîne de transfert des ordres de commutation. Comme on l'a vu précédemment dans le premier chapitre, un temps de propagation ( $t_p$ ) inférieur à 30ns est apprécié pour les fonctionnements à hautes fréquences. Notons en plus que, une bande passante élevée nous permet de transférer l'ordre de commande non modulé ou modulé à haute fréquence, et permet d'améliorer alors éventuellement l'immunité aux bruits de notre chaîne de transmission optique dans le cas d'une modulation des ordres de commutation. Dans ce contexte, nous proposons de piloter des transistors HEMT GaN disponibles commercialement [EPC]. Ces composants ayant une tension de commande de grille réduite, nous utiliserons alors une technologie CMOS avec des fonctions 5V ( $V_{DD1}=V_{DD2}=5V$  max). Le Tableau II. 5 suivant présente les conditions de pré-dimensionnement du circuit de traitement du photo-courant. Le dimensionnement de chaque bloc sera traité en détail dans cette partie.

$V_{alim}$	$P_{opt}$	$t_p$	Fréquence
5Vmax	entre $\mu W$ et $10s \mu W$	< 30ns	> 1MHz

Tableau II. 5. Conditions de pré-dimension du circuit de traitement de signal.

### II.3.3.1. Conception du circuit de traitement de signal

#### II.3.3.1.1. Amplificateur Transimpédant (TIA)

##### a) Paramètres importants

Comme le TIA est le premier bloc indispensable dans un circuit de traitement de signal optique, ses caractéristiques conditionnent la performance du circuit de traitement complet. Les spécifications les plus importantes d'un TIA sont : le gain du TIA, la bande passante et le bruit en courant à l'entrée.

- Gain du TIA : En général, le TIA convertit un courant d'entrée ( $I_{pd}$ ) en une tension de sortie ( $V_{TIA}$ ). Le circuit est caractérisé par un «gain du TIA », défini comme :  $Gain_{(TIA)}= V_{TIA} / I_{pd}$  en V/A. Un gain élevé du TIA est toujours désirable pour les applications à haute fréquence en raison du bruit de signal introduit en communication optique ou des systèmes de détection et éventuellement de la faible sensibilité de la photodiode associé à la

minimisation des besoins de puissance optique (ie. faible signal en courant) et consommation électrique (ie. limite sur le produit gain-bande du TIA).

- Bande passante ( $f_{-3dB}$ ) : une bande passante élevée permet au circuit de pouvoir fonctionner à hautes fréquences, permettant d'une part de réduire les temps de propagation mais aussi de transférer le signal de commande modulé sur une porteuse haute fréquence afin d'autoriser des techniques de communication plus avancées. Cependant, il existe toujours un compromis entre le gain et la bande passante qui limite la bande passante en assurant un gain élevé (produit gain - bande est généralement fixé par la conception et la technologie). De plus, une bande passante élevée entraîne plus de bruit parce que le TIA amplifie non seulement le signal à basse fréquence mais aussi les signaux de bruit à haute fréquence.

- Bruit en courant à l'entrée ( $I_{n,in}$ ) : C'est le bruit en sortie du TIA ramené en entrée. Les bruits sont principalement dus aux composants à semi-conducteurs et aux résistances présentes dans un circuit intégré. [Yan05][Tav11].

#### **b) Comparaison des topologies du TIA**

- Résistance : La structure plus simple d'un TIA se compose d'une seule résistance connectée en série avec la photodiode afin de convertir un photo-courant en tension. Ceci est montré dans le Tableau II. 6 (a), où la résistance est connectée entre la tension d'alimentation et la sortie ( $V_{out}$ ), tandis que la photodiode ayant une capacité parasite  $C_{pd}$  est reliée à la masse,  $C_c$  étant la capacité de la charge à la sortie. Dans ce cas, il y a qu'une seule structure de photodiode CMOS intégrée Nwell/Psub qui peut être utilisée avec ce type de TIA parce que le substrat de type p doit toujours être connecté à la masse. Afin d'augmenter la bande passante du circuit, la valeur de  $R_{TIA}$  doit être réduite. Cependant, lorsque  $R_{TIA}$  est réduite, le bruit en courant à l'entrée est augmenté, et le gain est réduit (Tableau II. 6 (a)). Il s'agit donc d'un compromis entre ces paramètres.

- Grille commune : Le problème de la 1ère topologie du TIA est le compromis gain - bande passante qui limite le gain du TIA. La 2<sup>ème</sup> topologie dite à « Grille commune » permet d'améliorer ce compromis fondamental. Le schéma du circuit à « grille commune » connectée à une photodiode avec une capacité parasite,  $C_{pd}$ , est représenté dans le Tableau II. 6 (b). Cette structure est capable de fournir un gain de TIA élevé. Cependant, le bruit en courant à l'entrée est relativement important à cause des bruits de la résistance  $R_c$  et du transistor  $M_2$

ramenés à l'entrée. Afin d'augmenter la bande passante, la transconductance  $g_{M1}$  doit être maximisée. En conséquence, les dimensions des transistors et la valeur du courant de polarisation sont augmentés. La chute de tension sur la résistance  $R_{TIA}$  augmente lorsque le courant augmente. En sachant qu'on a la tension d'alimentation maximale de 5V pour la technologie CMOS standard, on doit donc diminuer  $R_{TIA}$ , ce qui a pour conséquence de réduire le gain.

- Amplificateur à transimpédance : Le troisième type de TIA est l'amplificateur à transimpédance. Cette structure utilise une résistance  $R_F$  comme dans le Tableau II. 6 (c). En comparaison avec la 1ère structure, la bande passante de l'amplificateur à transimpédance est  $A$  fois plus grande,  $A$  étant le gain de l'amplificateur linéaire. De plus, si la résistance  $R_F$  est assez importante, la deuxième partie du bruit en courant à l'entrée peut être négligeable. Cette topologie offre donc un bruit à l'entrée qui est plus faible par rapport à la 2ème structure. Le Tableau II. 6 présente les résumés et les comparaisons des topologies.

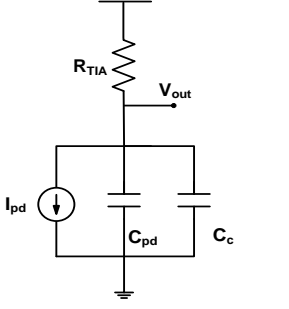
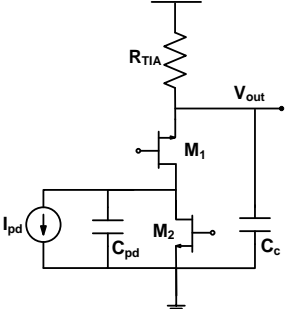
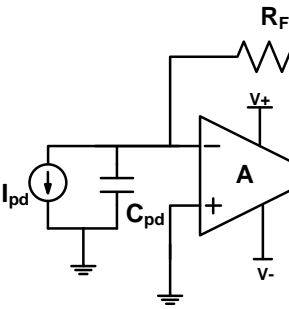
Résistance TIA	Grille commune TIA	Amplificateur à Trans.
 <p style="text-align: right;">(a)</p>	 <p style="text-align: right;">(b)</p>	 <p style="text-align: right;">(c)</p>
$Gain_{(TIA)} = R_{TIA}$	$Gain_{(TIA)} = R_{TIA}$	$Gain_{(TIA)} = R_F$
$f_{(-3dB)} = \frac{1}{2\pi R_{TIA} C_{pd}}$	$f_{(-3dB)} = \frac{g_{M1}}{2\pi C_{pd}}$	$f_{(-3dB)} = \frac{A}{2\pi R_F C_{pd}}$
$\overline{I_{n,in}^2} = \frac{kT}{R_{TIA} C_{pd}}$	$\overline{I_{n,in}^2} = \frac{4kT}{R_{TIA}} + 4kT g_{M2} V_{TH,M2}$	$\overline{I_{n,in}^2} = \frac{4kT}{R_F} + \frac{V_{n,A}}{R_F^2}$
Faible gain	Gain élevé	Gain élevé
Bande passante élevée	Faible bande passante	Bande passante élevée
Bruit important	Bruit important	Faible bruit

Tableau II. 6. Comparaison des topologies du TIA [Yan05] [Tav11].

### c) Amplificateur à transimpédance

Comme on peut conclure de la section précédente, l'amplificateur à transimpédance est capable de combiner un gain élevé, une bande passante importante et une bonne performance à faible bruit. C'est la raison pour laquelle cette topologie va être utilisée ensuite dans notre circuit intégré. On va aborder dans cette section le détail de sa structure et son dimensionnement. On a la relation suivante :

$$\frac{(V_{out}(s) + \frac{V_{out}(s)}{A})}{R_F} = -I_{pd}(s) - \frac{V_{out}(s)}{A} C_{pd}s \quad (\text{II. 7})$$

Avec  $C_{pd}$  est la capacité parasite de la photodiode

On peut déduire :

$$\frac{V_{out}(s)}{I_{pd}(s)} = -\frac{A}{A+1} \frac{R_F}{1 + \frac{R_F C_{pd}}{A+1} s} \approx R_F \frac{1}{1 + s \frac{R_F C_{pd}}{1+A}} \quad (\text{II. 8})$$

La fréquence -3dB peut donc se déduire :

$$f_{-3dB} \approx \frac{1}{2\pi} \frac{A}{R_F C_{pd}} \quad (\text{II. 9})$$

On peut constater que, pour obtenir une bande passante importante, il faut avoir un gain élevé de l'amplificateur de tension. Plus le gain (A) est grand, plus la bande passante du TIA sera importante. Les deux structures de l'amplificateur de tension sont étudiées ensuite. La solution plus simple est d'utiliser un amplificateur « source commune » comme présenté dans la Figure II. 22 (a). De plus, une autre solution est d'utiliser un inverseur CMOS (Figure II. 22 (b)) comme un amplificateur de tension à gain élevé, lorsque l'entrée est polarisée et l'inverseur travaille dans la zone de gain élevé. Les simulations du gain de deux structures dimensionnées avec le même courant de la polarisation, la tension d'alimentation 5V et la charge sont présentées dans la Figure II. 23. Les résultats de simulation avec la tension de polarisation à l'entrée de 2,5V montrent que le gain de l'inverseur CMOS est plus grand par rapport à l'autre structure, tandis que la bande passante est mesurée à 150MHz. Cette structure sera donc utilisée dans notre conception de la puce complète.

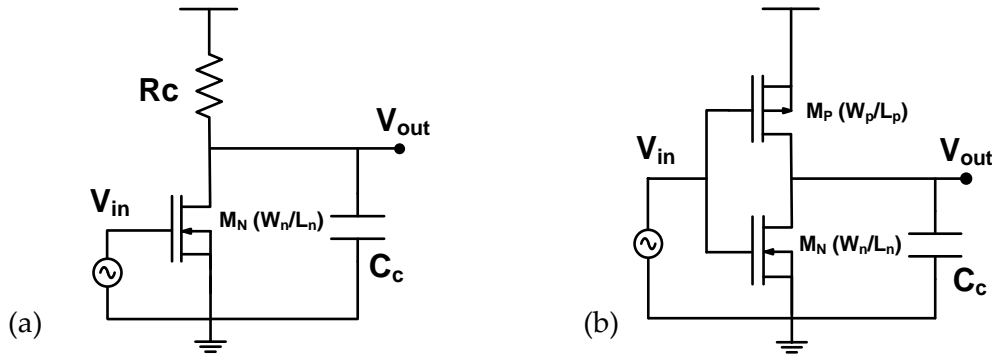


Figure II. 22. Topologie de l'amplificateur de tension pour le montage TIA (a) Amplificateur source commune (b) Inverseur CMOS.

Afin d'obtenir une dynamique maximale de la tension sortie, la tension de seuil ( $V_M$ ) de l'inverseur doit être proche du point milieu de la caractéristique d'inversion statique. La tension de seuil est définie au point de fonctionnement où la tension d'entrée ( $V_{in}$ ) est égale à la tension sortie ( $V_{out}$ ). Dans cette condition, les deux MOSFETs de la structure travaillent dans leur zone linéaire ( $V_{DS} = V_{GS}$ ). La tension  $V_M$  peut être déduite par l'équation du courant des transistors NMOS et PMOS:

$$k_n \left( V_M - V_{THn} - \frac{1}{2} V_{DSn} \right) V_{DSn} + k_p \left( V_M - V_{DD} - V_{THp} - \frac{1}{2} V_{DSp} \right) V_{DSp} = 0 \quad (\text{II. 10})$$

$$V_M = \frac{\left( V_{THn} + \frac{1}{2} V_{DSn} \right) V_{DSn} + r \left( V_{DD} + V_{THp} + \frac{1}{2} V_{DSp} \right)}{1 + r} \quad (\text{II. 11})$$

Avec 
$$r = \frac{k_p V_{DSp}}{k_n V_{DSn}} = \frac{\mu_p W_p L_n}{\mu_n W_n L_p} \quad (\text{II.12})$$

De l'équation (II.), on peut déduire :

$$V_M = \frac{r V_{DD}}{1 + r} \quad (\text{II. 13})$$

Dans ce travail de conception, les largeurs des transistors NMOS et PMOS sont égales et  $L_n = L_p = 0,35 \mu\text{m}$ . Notons que  $\mu_n = 435 \text{ cm}^2/\text{Vs}$ ,  $\mu_p = 135 \text{ cm}^2/\text{Vs}$ , avec  $W_p = 3,22 W_n$ , la valeur de  $r$  vaut l'unité. On a donc  $V_M = V_{DD}/2$ . Pour une tension d'alimentation à 5V, on a alors  $V_M = 2,5\text{V}$ . En effet, une tension d'entrée élevée du TIA permet aussi de polariser la photodiode en régime inverse en réduisant la capacité parasite. En fait, on n'augmente plus la tension de polarisation au-delà de 2,5V en réduisant la capacité parasite, afin d'optimiser le fonctionnement du circuit de traitement de signal. De plus, avec une tension inverse de  $V_d = -$

2,5V, la valeur de la capacité parasite de la photodiode est mesurée à environ 1pF (Figure II. 17).

La simulation de la tension  $V_M$  en fonction de la tension d'alimentation est présentée dans la Figure II. 23 (a). Ici, les largeurs des grilles des transistors NMOS et PMOS sont successivement  $3\mu\text{m}$  et  $12\mu\text{m}$ .

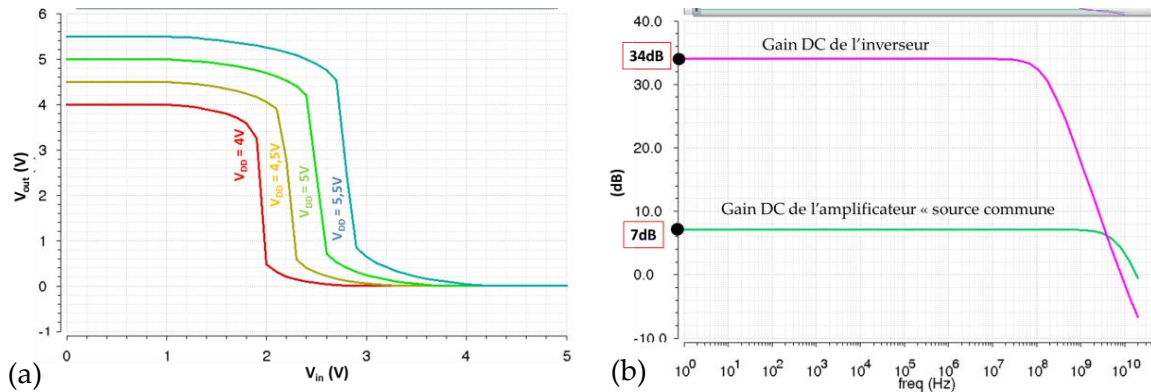


Figure II. 23. (a) Simulation de la caractérisation DC de l'inverseur (b) Simulation du Gain petit signal de l'amplificateur de tension en fonction de la fréquence.

Bien que plusieurs possibilités existent pour mettre en œuvre la résistance  $R_F$  en technologie CMOS standard, la manière la plus simple consiste à utiliser une résistance en polysilicium  $R_{\text{poly}}$  disponible avec cette technologie. La valeur de la résistance peut être alors réglée en choisissant sa longueur et sa largeur dans le respect des règles de dessin de la technologie.

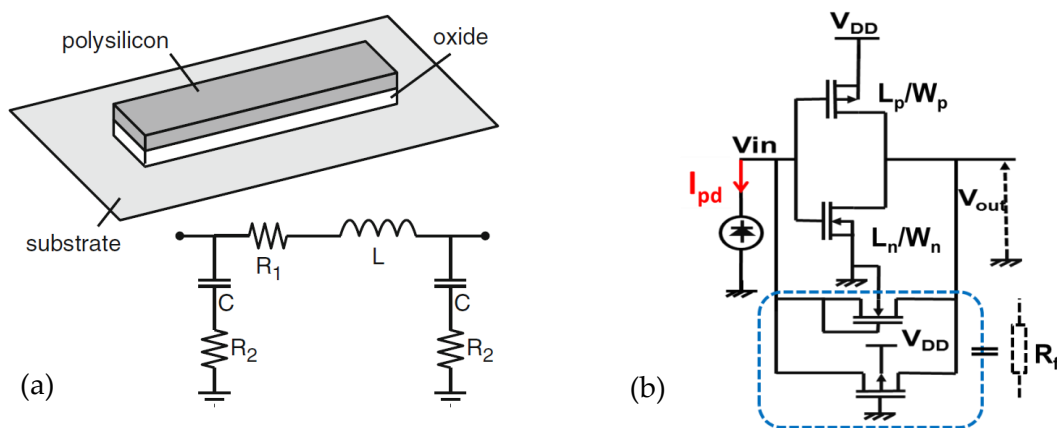


Figure II. 24 (a) Schéma équivalent de la résistance en silicium polycristallin (b) Structure du TIA.

Un modèle équivalent de la résistance en polysilicium est représenté sur la Figure II. 24 (a) où les éléments parasites sont ajoutés. A haute fréquence, ces éléments parasites peuvent être

importants et modifient la valeur et le comportement de la résistance [Tav11] [Kno03]. De plus, pour une grande valeur, une telle résistance occupe une large surface de silicium. Afin de contourner ces problèmes, une solution possible est d'utiliser des transistors comme cela est présenté dans la Figure II. 24 (b). La résistance  $R_F$  est alors constituée d'une combinaison en parallèle de NMOS et PMOS [Avk96]. La simulation du gain transimpédant en fonction de la fréquence est illustrée dans la figure II.25 (a). Ces simulations sont effectuées à la tension d'alimentation  $V_{DD} = 5V$ , la température  $25^\circ C$ , et au point de fonctionnement de  $2,5V$ . Le gain de  $165k\Omega/A$  est observé, correspondant à un gain DC élevé de  $104dB$  et une bande passante de  $33MHz$ . En effet, le gain élevé permet la détection d'un faible photocourant à la tension suffisante pour l'étape suivante de manière à minimiser la puissance optique requise. Par exemple, quand un photocourant de  $200\text{ nA}$  est généré à partir d'une photodiode avec une sensibilité de  $0,1\text{ A/W}$  lors de l'illumination par l'intermédiaire d'une puissance optique de  $2\mu W$ , le TIA va générer une tension de sortie de  $30\text{ mV}$ .

Dans les simulations, la photodiode est remplacée par une source de courant et une capacité parasite de  $1pF$  en considérant que l'on utilise la photodiode Nwell/Psub  $100\mu m \times 100\mu m$ . La Figure II. 25 (b) montre le résultat de simulation de la bande passante du TIA en fonction de la capacité parasite ( $C_{pd}$ ) de la photodiode. Une bande passante réduite à environ  $4MHz - 5\text{ MHz}$  est obtenue dans le cas d'une capacité parasite de  $6pF$  à  $8pF$ , correspondant aux photodiodes N+/Psub et P+/Nwell.

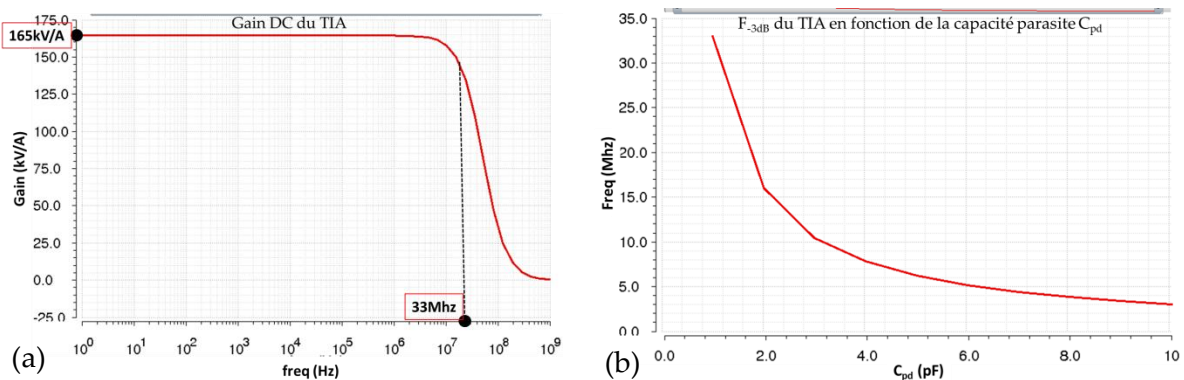


Figure II. 25 (a) Gain du TIA en fonction de la fréquence (b) Bande passante du TIA en fonction de la capacité parasite  $C_{pd}$ .

#### d) Performances du TIA

Le TIA proposé pour le circuit de traitement de signal permet d'assurer la détection de faibles photocourants issus de la photodiode et d'offrir un gain élevé. Il peut fonctionner à



haute fréquence en consommant une faible puissance. Le Tableau II. 7 présente les performances du TIA proposé :

Spécifications du TIA	
Tension d'alimentation $V_{DD}$	5V
Gain DC ( $f < f_{3dB}$ )	104dB
Bande passante ( $f_{-3dB}$ )	33MHz
Consommation moyenne ( $I_{com}$ )	234 $\mu$ A

Tableau II. 7. Résultats de simulation des spécifications du TIA sous Cadence à la tension d'alimentation 5V, la température 25°C.

### II.3.3.1.2. Structure et Dimensionnement du Comparateur

Le comparateur utilisé dans le circuit de traitement du signal doit avoir un gain DC ainsi qu'une bande passante élevés pour pouvoir fonctionner correctement jusqu'à des fréquences de quelques MHz. De plus, dans notre cas, le comparateur est alimenté soit par une source extérieure, soit à partir du circuit d'alimentation flottante, donc avec une tension potentiellement variable. Sa valeur maximale est limitée par la technologie à 5V. La structure du comparateur donc doit permettre un fonctionnement pour une alimentation pouvant varier entre 3V et 5V. De même, avoir une faible consommation d'énergie est aussi une contrainte, dans l'objectif de minimiser les besoins énergétiques de l'alimentation flottante ou du système de récupération d'énergie. La partie suivante présente le dimensionnement d'une structure du comparateur simple qui peut s'adapter à ces contraintes.

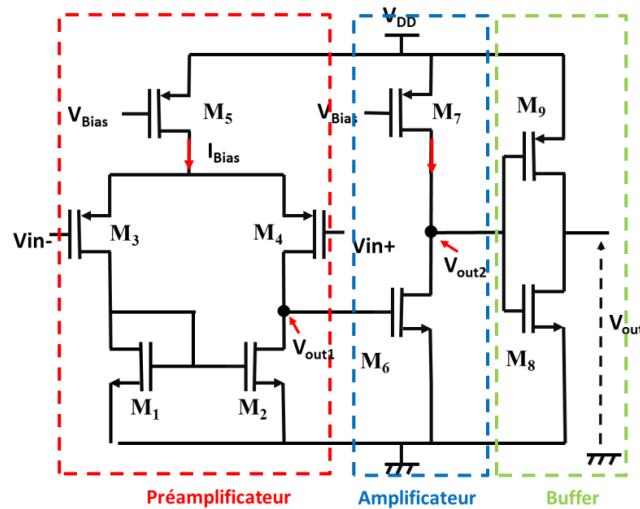


Figure II. 26. Structure du comparateur.

Ce comparateur est conçu en se basant sur un préamplificateur différentiel qui permet d'avoir une gamme de tension d'entrée de mode commun importante. Le deuxième étage de l'amplificateur à « source commune » permet ensuite d'amplifier le signal de sortie du premier étage. Enfin, un buffer en configuration push-pull est ajouté afin de minimiser le temps de réaction des commandes de sortie.

Dans le schéma étudié, les transistors des paires (M<sub>1</sub>, M<sub>2</sub>), (M<sub>3</sub>, M<sub>4</sub>) ont les mêmes paramètres géométriques (W, L). Afin de dimensionner ce comparateur, tous les transistors sont considérés en régime de saturation. Le modèle petit signal du comparateur est dérivé afin d'étudier son comportement.

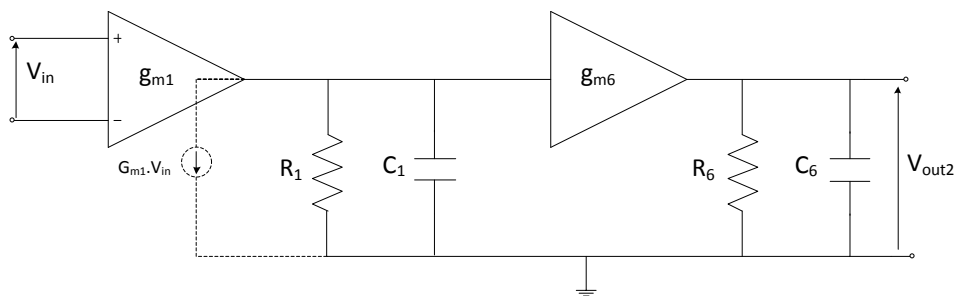


Figure II. 27. Modèle petit signal du comparateur

On peut déduire les relations suivantes :

$$I_{DS} = \frac{\mu_{np} \cdot C_{OX}}{2} \left( \frac{W}{L} \right) V_{Dsat}^2 \quad (\text{II. 2})$$

$$g_m = \sqrt{2 \cdot \mu_{np} \cdot C_{OX} \left( \frac{W}{L} \right) \cdot I_D} = 2 \frac{I_D}{V_{Dsat}} \quad (\text{II. 3})$$

La réponse fréquentielle du comparateur est donnée par :

$$A(s) = \frac{V_{out2}(s)}{V_{ind}(s)} = g_{m3} g_{m6} R_1 R_2 \frac{\omega_{p1} \omega_{p2}}{(s + \omega_{p1})(s + \omega_{p2})} \quad (\text{II. 4})$$

Avec 
$$\omega_{p1} = \frac{1}{R_1 C_1}; \omega_{p2} = \frac{1}{R_2 C_2} \quad (\text{II. 5})$$

$$R_1 = \frac{1}{g_{m2} + g_{m4}}; R_2 = \frac{1}{g_{m6} + g_{m7}} \quad (\text{II. 6})$$

Le gain DC du comparateur est exprimé par :

$$A_0 = g_{m3} g_{m6} R_1 R_2 \quad (\text{II. 19})$$

Le comparateur est conçu pour changer son niveau du signal de sortie avec une faible tension d'entrée venue du TIA. Notons qu'une variation minimale du photocourant de 200nA correspond à une variation de 30mV à la sortie du TIA. Le comparateur doit donc détecter une variation minimale de 15mV de tension d'entrée. Autrement dit, la sortie du comparateur doit varier de 0V à 5V lorsque le signal d'entrée oscille de 0V à 15mV. Le gain du comparateur doit être d'au moins 334 (50dB). Les spécifications suivantes seront utilisées dans la conception du comparateur :

Paramètres	Symbol	Spécifications
Tension d'alimentation	$V_{DD}$	3V - 5V
Gain DC	$A_0$	> 50dB
Bande passante	$f_{-3dB}$	> 25 MHz
Vitesse de balayage de la $V_{out2}$	$SR$	1000V/ $\mu$ s
Point de fonctionnement du 1 <sup>er</sup> étage	$V_p$	$V_{in+}=V_{in-}=V_{DD}/2V$
Charge	$C_c$	500fF

Tableau II. 8. Contraintes de conception du comparateur.

La Figure II. 28 (a) présente les résultats de simulation des gains de différents étages du comparateur. Le gain obtenu pour le 1<sup>er</sup> amplificateur est de 30dB, tandis que le 2<sup>ème</sup> amplificateur a un gain de 24dB. Le gain total du comparateur conçu est de 54dB ce qui satisfait la contrainte de conception du comparateur. La simulation de la réponse du

comparateur à 1MHz avec une tension d'entrée  $V_{ind} = 15mV$  est présentée dans la Figure II. 28 (b). La vitesse de balayage ( $V_{out2}$ ) peut être estimée à environ  $1250V/\mu s$ .

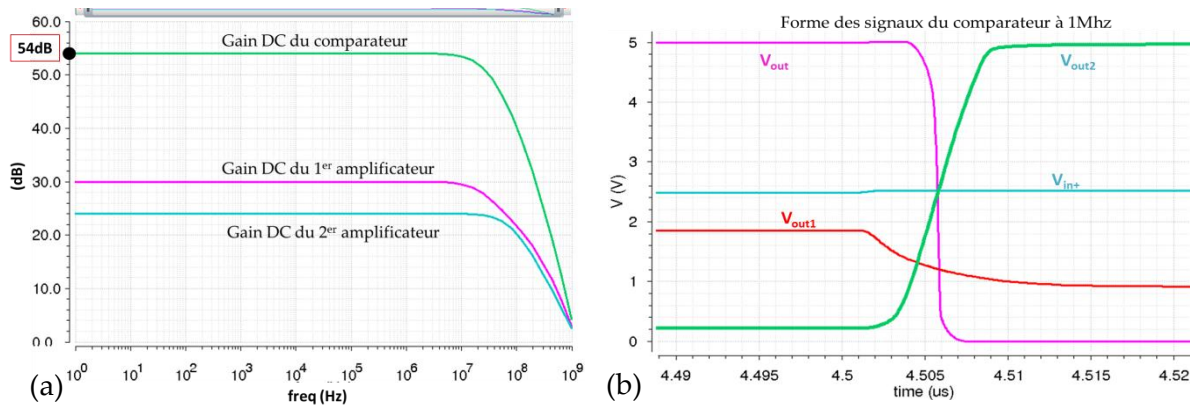


Figure II. 28. Simulation AC et transitoire du comparateur.

Paramètres de conception		Résultats de simulation	
$(W/L)_{1,2}$	$(50\mu m/0,5\mu m)$	$V_{alim}$	5V
$(W/L)_{3,4}$	$(3\mu m/0,5\mu m)$	$A_0$	54dB
$(W/L)_5$	$(150\mu m/1\mu m)$	$f_{-3dB}$	25,87Mhz
$(W/L)_6$	$(12\mu m/0,5\mu m)$	SR ( $V_{out2}$ )	1250 V/ $\mu s$
$(W/L)_7$	$(150\mu m/0,5\mu m)$	Consommation	834 $\mu A$

Tableau II. 9. Résultats de conception et de simulation sous Cadence.

### II.3.3.1.3. Conception du circuit de commande rapprochée

Le circuit de commande rapprochée d'un transistor de puissance peut être réalisé de nombreuses manières différentes, en fonction du type du transistor (canal N ou P), du type de charge de grille (commande en tension ou en courant), de la position dans le circuit de puissance (transistor « high side » ou « low side »), ainsi que des dynamiques de commutation souhaitées. Dans notre cadre, on veut pouvoir commander un transistor de puissance indépendamment de sa position dans la cellule de commutation de puissance (« high side » ou « low side »). Les transistors à grand gap tels que les HEMT GaN disposent de caractéristiques particulières comme cela fut présenté et analysé dans le chapitre I. La commande unipolaire (0,  $+V_{dd}$ ) donc est utilisée pour commander le transistor de puissance.

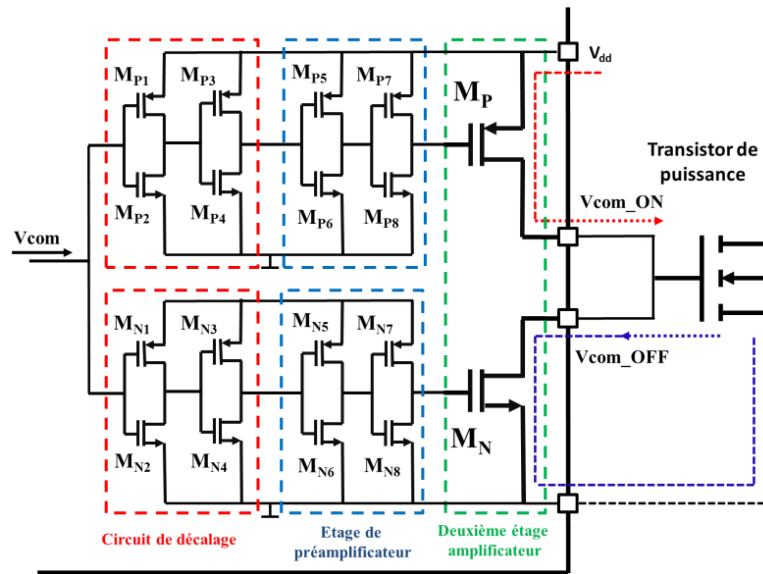


Figure II. 29. Structure du circuit de commande rapprochée.

La structure du circuit de commande rapprochée choisie est constituée par des étages inverseurs CMOS avec une taille croissante, permettant d’avoir une bonne dynamique de commutation. La structure complète du circuit de commande rapprochée est présentée sur la Figure II. 29. Elle est composée de trois étages amplificateurs inverseurs. Les transistors du deuxième étage d’amplification du bras connecté à la grille (du transistor de puissance) sont dimensionnés pour pouvoir fournir un courant maximal de 4A en mode « charge/sink » à 5V et 1nF de charge (sans tenir en compte l’effet de fils de bondings entre la puce et le boîtier). Les deux pads de drain des transistors N et P en sortie du buffer sont séparées permettant de régler séparément les dynamiques de charge et de décharge de la grille via des résistances additionnelles si nécessaire. L’étage du préamplificateur est conçu en regardant la dynamique du dernier étage. Les courants requis pour charger et décharger la grille des transistors sont présentés dans les Tableau II. 10 et Tableau II. 11.

	$M_p$		$M_n$	
	$I_{charge}$ (mA)	$I_{décharge}$ (mA)	$I_{charge}$ (mA)	$I_{décharge}$ (mA)
Courant requis	230	151	82	79
2 <sup>er</sup> étage	$W_{p7} = 1150\mu m$	$W_{p8} = 322\mu m$	$W_{n7} = 410\mu m$	$W_{n8} = 168\mu m$

Tableau II. 10. Dimensionnement du dernier étage du préamplificateur.

	$M_{p7}, M_{p8}$		$M_{n7}, M_{n8}$	
	$I_{charge}$ (mA)	$I_{décharge}$ (mA)	$I_{charge}$ (mA)	$I_{décharge}$ (mA)
Courant requis	11	9	5	4
1 <sup>er</sup> étage	$W_{p5} = 55\mu m$	$W_{p6} = 20\mu m$	$W_{n5} = 26\mu m$	$W_{n6} = 10\mu m$

Tableau II. 11. Dimensionnement de premier étage du préamplificateur.

Afin de réduire le courant de court-circuit existant dans l'inverseur CMOS qui est problématique pour l'étage de sortie à grande capacité en courant, un étage amont nommé circuit de décalage des commandes permet de créer le temps mort nécessaire entre les transistors du dernier étage. Pour faciliter le dimensionnement, les largeurs de grille des transistors  $M_{n3,4}$  et  $M_{p3,4}$  sont fixées à  $10\mu m$ . Les transistors  $M_{p2}$  et  $M_{n1}$  sont dimensionnés afin d'obtenir le temps de décalage désiré. Les courants de court-circuit dans le dernier étage amplificateur sont simulés en fonction du largeur des transistors  $M_{p2}$  et  $M_{n1}$  ( $L_d$ ), et sont présentés dans la figure II.30 (a). Pour  $L_d > 20\mu m$ , les courants de court-circuit présente une valeur minimale. La Figure II. 31 présente alors un décalage de 1ns et les formes d'ondes des signaux de commande des transistors  $M_P$  et  $M_N$ . Cette valeur est alors utilisée dans la phase de conception.

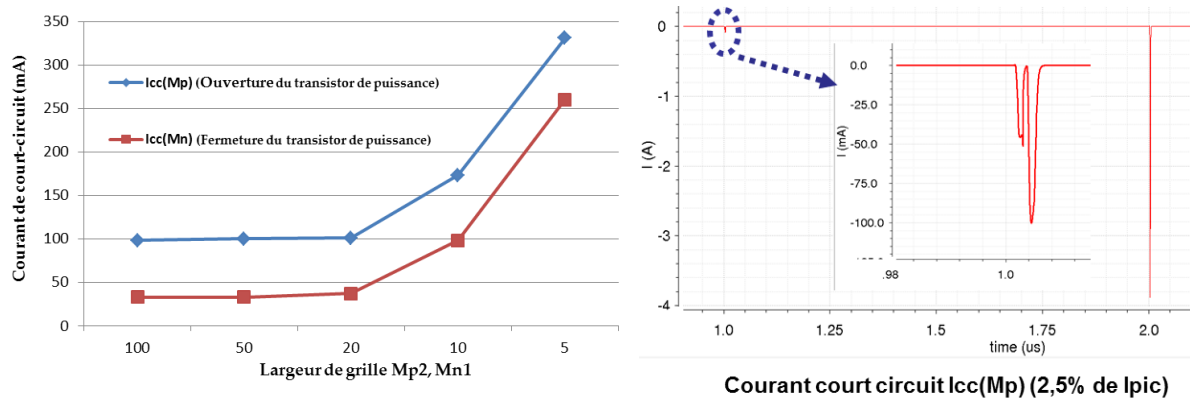


Figure II. 30. (a) Courant de court-circuit dans 1er étage amplificateur, (b) comparaison entre le courant de court-circuit et le courant de charge ( $I_{pic}$ ) de la capacité sortie 1nF.

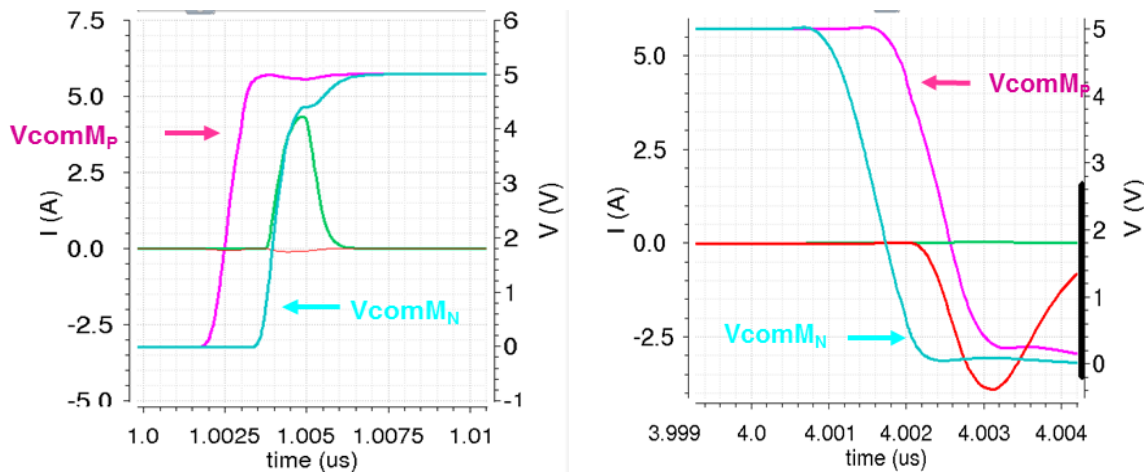


Figure II. 31. Forme d'onde des signaux de commande des transistors MP et MN.

### II.3.3.2. Caractérisation de la commande optique

Les différents blocs du circuit de transfert de l'ordre de commande par voie optique ont été dimensionnés, il reste à valider le fonctionnement d'ensemble du circuit. La Figure II. 32 présente la simulation du circuit complet en appliquant un signal de commande de 200nA à la fréquence de 1MHz à l'entrée du circuit de traitement de signal. Notons que l'on utilise toujours la photodiode Nwell/Psub  $100\mu\text{m} \times 100\mu\text{m}$ . Le modèle de la photodiode est remplacé par une source de courant et la capacité parasite 1pF. La source de courant représentant la photodiode intégrée est considérée.

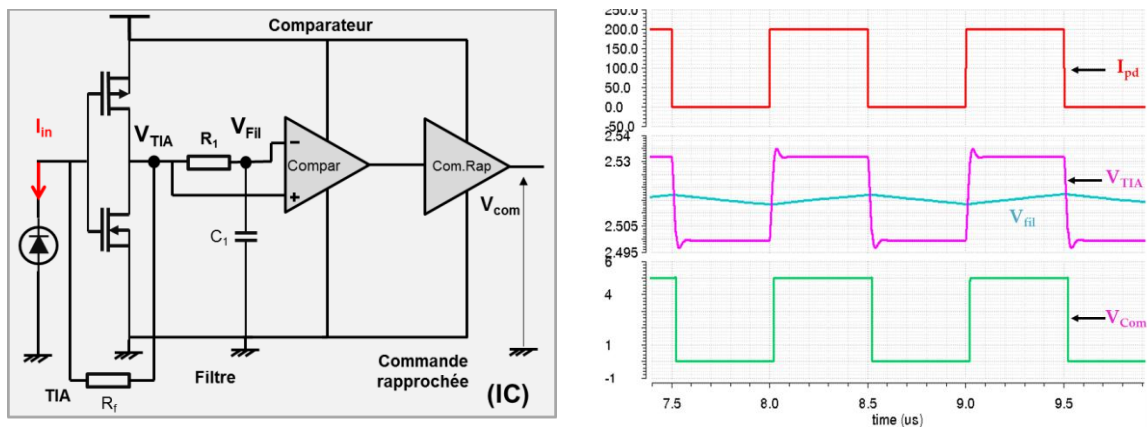


Figure II. 32. Structure détaillée et simulation du circuit de transfert de l'ordre de commande.

### II.3.3.2.1. Spécification de la commutation par voie optique : Délais de propagation et distorsion du signal

La Figure II. 33 montre le résultat de simulation du temps de propagation en fonction du courant  $I_{pd}$  et de la température, avec un courant de la photodiode modulé à 1 MHz. Une capacité parasite de 1pF est ajoutée en parallèle avec la source de courant. Les simulations montrent une diminution du temps de propagation en augmentant le courant d'entrée. En effet, la tension d'entrée du comparateur augmente, permettant donc de réduire le temps de propagation du comparateur.

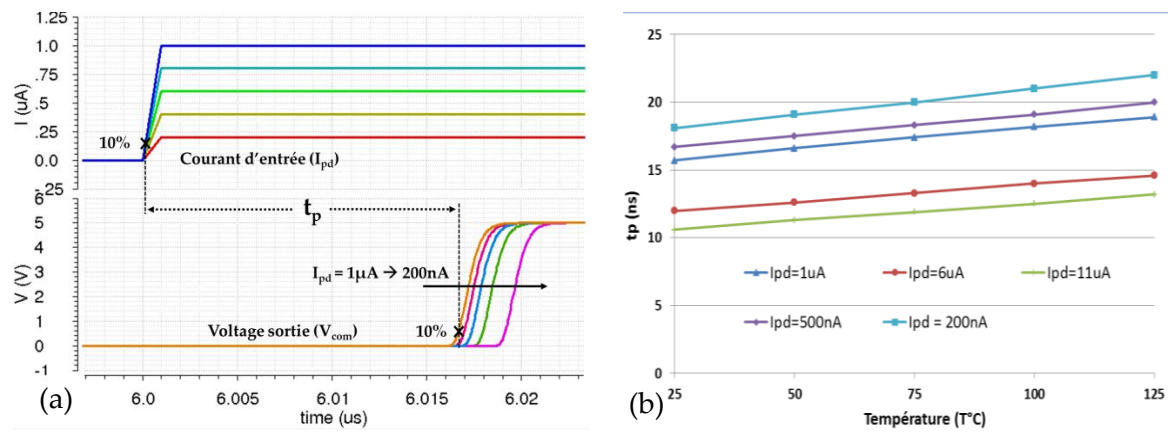


Figure II. 33. Simulation du temps de propagation  $t_p$  (a) en fonction du courant de la photodiode ( $I_{pd}$ ) (b) en fonction de la température et du courant de la photodiode.

Le Tableau II. 12 suivant présente le résumé des résultats des caractéristiques simulées du circuit de transfert de l'ordre de commande par voie optique. Dans toutes les simulations, la tension d'alimentation est fixée à 5V et une charge de 1nF est connectée à la sortie. Les résultats sont obtenus à  $F = 1MHz$  et  $T = 25^{\circ}C$ . Les temps de propagation  $t_p$  sont calculés à 10% du niveau du signal d'entrée  $I_{pd}$  à 10% de variation du signal de sortie ( $V_{com}$ ). La distorsion du signal  $t_d$  est la différence du temps entre les temps de propagations (entre le signal entrée et de sortie) lorsque le signal de sortie change du niveau bas au niveau haut et inversement. Les temps de montée et de descente sont calculés entre 10% et 90% de l'amplitude de la tension d'alimentation  $V_{com}$ .



Paramètres	Symbole	Conditions de simulation	Valeur
Tension d'alimentation (V)	$V_{\text{alim}}$	---	5V
Délai de propagation	$t_p$	$I_{\text{pd}} = 200\text{nA}$ , $C_c = 1\text{nF}$ , $T = 25^\circ\text{C}$	18,1ns
		$I_{\text{pd}} = 11\mu\text{A}$ , $C_c = 1\text{nF}$ , $T = 25^\circ\text{C}$	10,6ns
Distorsion du signal	$t_d$	$I_{\text{pd}} = 200\text{nA}$ , $C_c = 1\text{nF}$ , $T = 25^\circ\text{C}$	2,9ns
		$I_{\text{pd}} = 11\mu\text{A}$ , $C_c = 1\text{nF}$ , $T = 25^\circ\text{C}$	1,9ns
Temps de montée	$t_r$	$C_c = 1\text{nF}$ , $T = 25^\circ\text{C}$	3ns
Temps de descende	$t_f$	$C_c = 1\text{nF}$ , $T = 25^\circ\text{C}$	3ns
Courant en mode « source »	$I_{\text{source}}$	$C_c = 1\text{nF}$ , $T = 25^\circ\text{C}$	4,12A
Courant en mode « sink »	$I_{\text{sink}}$	$C_c = 1\text{nF}$ , $T = 25^\circ\text{C}$	3,82A
Consommation	$P_{\text{com}}$	$C_c = 0\text{nF}$ ; $F = 1\text{Mhz}$ , $T = 25^\circ\text{C}$	7,5mW

Tableau II. 12. Caractéristiques simulées du circuit de transfert de l'ordre de commande par voie optique.

### II.3.3.2.2. Résultats de mesure et discussion

La Figure II. 34 présente la photographie de la puce de commande optique en technologie AMS 0,35 $\mu\text{m}$  standard. La puce de commande par voie optique occupe une surface de 788 $\mu\text{m}$  par 720 $\mu\text{m}$ . Elle possède 5 pads entrées/sorties. Les alimentations de la puce sont assurées par 2 pads  $V_{\text{dd}}$ . La grille du composant de puissance est connectée à la sortie de la puce de commande par l'intermédiaire de 2 pads  $V_{\text{com\_ON}}$ ,  $V_{\text{com\_OFF}}$ .

#### a) Mesure du temps de propagation et de la distorsion de la largeur du signal

La puce du circuit de transfert de l'ordre de signal par voie optique a été caractérisée expérimentalement lorsqu'elle commute sur une charge capacitive fixe de 1nF et lorsqu'elle est commandée par une source optique laser. La Figure II. 34 présente le banc de test du

circuit. Le laser bleu ZM18H [LaserB] a été utilisé pour générer les signaux optiques (puissance + modulation).

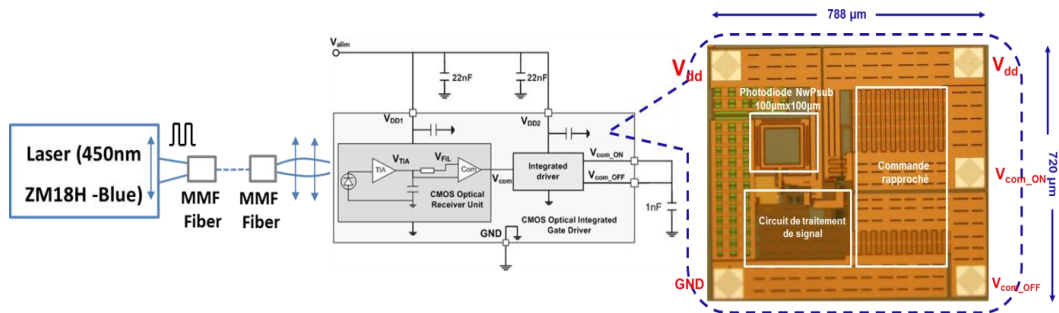


Figure II. 34. Banc de caractérisation de la commande optique.

Le délai de propagation et la distorsion de la largeur du signal sont mesurés tout d'abord en fonction de la puissance optique incidente. La température est fixée à 25°C, la fréquence de commutation est de 250kHz. Les résultats de mesure avec différentes tensions d'alimentation (3,5V - 4V- 4,5V) sont présentés dans la Figure II. 35. Les temps de propagation sont mesurés à 10% du niveau de signal d'entrée (signal optique incident sur le détecteur) et à 10% de la variation du signal de sortie ( $V_{com}$ ). Notons que le laser ajoute un retard interne supplémentaire de l'ordre 72ns entre l'entrée de modulation (générateur de signal) et la modulation de puissance optique du laser (via une mesure de puissance optique rapide). Le circuit de commande optique permet d'avoir un temps de propagation minimal de 15ns, et une distorsion de la largeur du signal minimale de 1ns. De même, en fonction de la puissance optique, le temps de propagation varie entre 15ns et 45ns. Les résultats montrent aussi qu'avec une puissance optique supérieure à 100µW, on peut obtenir un faible temps de propagation inférieur à 25ns et une faible distorsion de moins de 5ns.

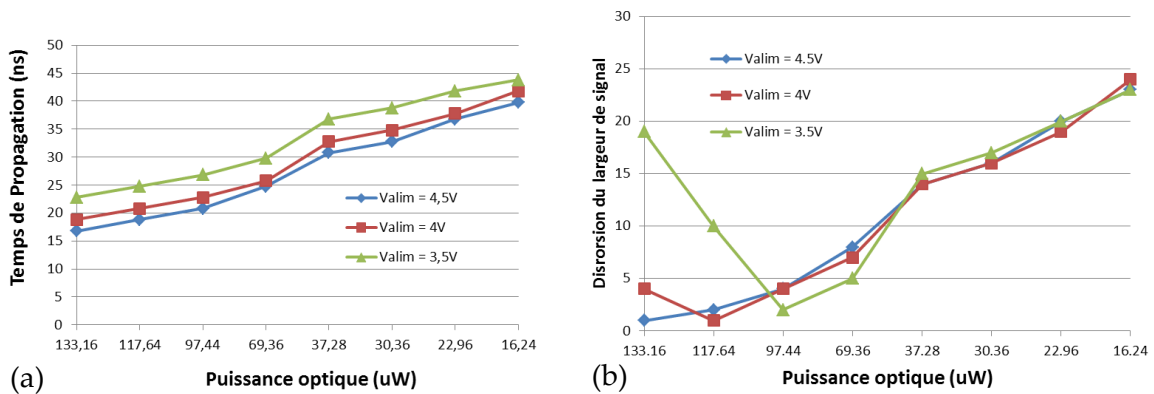


Figure II. 35. (a) Délai de propagation ; (b) Distorsion de la largeur de signal en fonction de la puissance optique incidente avec différentes tension d'alimentation.

La puce de commande doit supporter l'environnement du composant de puissance, potentiellement à haute température c'est-à-dire dans notre cas aux environs de 100°C. Des caractérisations à haute température sont donc nécessaires pour quantifier son comportement sur une gamme de températures adaptées. Pour ces mesures, un chuck réalisé en cuivre massif, avec prise de contact électrique (trou normalisé « banane »), mesure de température (PT100 – 4fils), et un apport de puissance de chauffe (résistance chauffante AC 100W) sont utilisés, en s'appuyant des développements précédents au sein de l'équipe. La boucle de contrôle de la température est réalisée par un contrôleur de température (Thorlabs TED4015) pilotant des modules Peltier. Avec une variation de 5°C, la température peut atteindre l'état stabilisé dans une fenêtre de température +/- 0,03°C en 2 à 4 minutes dans la plage de 20°C et 90°C. La photographie du système de mesure, avec contrôle de température, lors de la phase de mise au point de la régulation de température est présentée dans la Figure II. 36. L'écart de température entre le composant sous test et le porte échantillon n'est pas calibré.

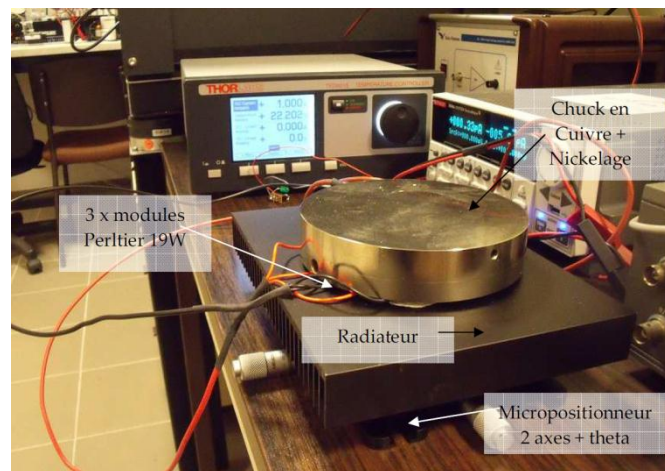


Figure II. 36. Photographie du système de contrôle de température du substrat.

Dans ces mesures, la puce nue est collée directement sur la carte SMI, les connexions électriques entre la puce et la carte SMI sont réalisées par des fils de bonding grâce au soutien technologique du CIME Nanotech (plateforme découpe / packaging). Cette carte SMI qui est posée directement sur la surface du chuck permet un transfert de chaleur du chuck vers la puce avec moins de perte thermique, assurant un faible décalage de température entre le chuck et la puce mesurée, et permet une meilleure caractérisation du système complet sur charge capacitive. La puissance optique est fixée autour de 98μW. Dans ce cas

les mesures illustrent une variation du délai de propagation d'environ 5 à 6ns et une distorsion de 4ns avec  $V_{alim}$  supérieure à 3,5V en fonction de température (25°C – 90°C). Les résultats expérimentaux sont présentés dans la Figure II. 37.

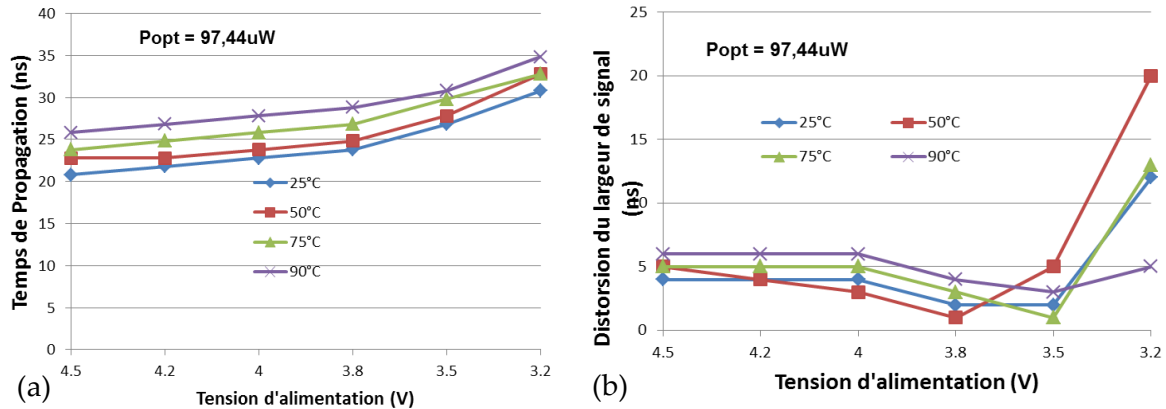


Figure II. 37. (a) Délais de propagation (b) distorsions de la largeur de signal en fonction de la température pour différentes tensions d'alimentation.

### b) Comparaison des performances de la puce de commande optique avec les autres circuits de commande rapprochés commerciaux

Les comparaisons des caractéristiques de la puce de commande optique avec les autres gate drivers sont présentées dans le Tableau II. 13. En comparaison avec [Maz11], notre puce a besoin d'une puissance optique très faible (environ  $100 \mu W$  par rapport à  $500 mW$ ) tout en garantissant un temps de propagation de 25ns. Même si ce temps est légèrement supérieur à celui présenté dans [Maz11], il reste d'une valeur tout à fait correcte. Par contre la distorsion issue de notre système est plus faible que celle dans [Maz11]. De plus, nous pouvons augmenter la puissance optique jusqu'à  $135 \mu W$  pour obtenir une diminution de délai d'environ 5ns (Figure II. 35 (b)). Notre circuit a aussi une réponse plus rapide par rapport aux gates driver « opto-coupleur » tels que ACPL-P349 (ACPL-W349). Elle est cependant moins performante en comparaison avec l'opto-coupleur rapide CMOS HCPL-7720. Cependant, ce composant commercial est une solution discrète et il n'intègre pas la commande rapprochée. Un autre gate driver (LM5113) est proposé aussi dans le tableau de comparaison. Ce gate driver est adapté pour les applications de composants EPC GaN HEMT à haute puissance et à haute fréquence, sans isolation galvanique du signal de commande. La distorsion de notre puce est 2 fois plus grande que celle du LM5113, cependant son délai de propagation est du même ordre de grandeur. Même si les

performances du temps de montée et de descente sont un peu moins performantes par rapport au LM5113, la puce réalisée nous permet de proposer une commande rapide en exploitant les performances dynamiques du composant de puissance. Dans la partie III.5, nous allons mettre en œuvre la commande optique dans l'application du convertisseur Buck GaN 200V – 3V – 1MHz ce qui permettra de valider les performances de la puce de commande optique.

Paramètres	Puce optique*	K.Mazum [Maz11]	ACPL-P349 [ACP34]	HCPL-7720 [HCP77]	LM5113 [LM5113]
Isolation galvanique	Oui	Oui	Oui	Oui	Non
Commande rapprochée	Oui	Oui	Oui	Non	Oui
Tension d'alimentation	4,5V	60V	15V	5V	5V
Délai de propagation ( $t_p$ )	20,8n + 5ns**	18ns	> 30ns	23ns	28ns
Distorsion du signal ( $t_d$ )	4ns	11ns	< 50ns	3ns	1,5ns
Temps de montée ( $t_r$ )	12,3ns	316ns	8ns	---	7ns
Temps de descente ( $t_f$ )	11,75ns	16ns	8ns	---	1,5ns
Puissance optique	~ 98 $\mu$ W	500mW	---	---	Non

\*Conditions de mesure : T= 25°C, Cc = 1nF, F= 250Mhz

\*\* Valeur estimée pour le délai de propagation supplémentaire du laser rapide

Tableau II. 13. Comparaison des caractéristiques du circuit de commande optique avec plusieurs autres gate driver de la littérature et du commerce.

## II.4. Conclusion et Perspectives

Dans ce deuxième chapitre, nous avons proposé un circuit complet de transfert des ordres de commande par voie optique depuis la phase de conception et dimensionnement jusqu'au routage et la caractérisation. Le circuit complet inclus une photodiode CMOS associée avec son circuit de traitement de signal, fabriquée en technologie CMOS AMS standard  $0,35\mu\text{m}$ . Les différentes mesures DC et AC ont été réalisées afin de tester les photodiodes CMOS. Les résultats montrent que la photodiode Nwell/Psub est à choisir, avec une sensibilité spectrale importante permettant de réduire la puissance optique nécessaire et une faible capacité parasite. En ce qui concerne la bande passante de la photodiode, on peut constater que la bande passante de nos composants est d'au moins la dizaine de MHz, principalement à cause de la limite du banc de mesure. Des études approfondies seront donc nécessaires par la suite afin de mesurer les bandes passantes avec davantage de précisions. Cependant, pour nos applications de puissance, la bande passante de cette photodiode répond aux attentes et spécifications.

Afin de valider le fonctionnement du circuit complet, le circuit de la commande optique est caractérisé avec différentes puissances optiques incidentes pour des températures variant de  $25^{\circ}\text{C}$  à  $90^{\circ}\text{C}$ . En effet, notre circuit n'a besoin que d'une centaine de  $\mu\text{W}$  pour avoir un temps de propagation d'environ  $21\text{ns}$ , et une distorsion autour de  $4\text{ns}$ . Cette puissance est particulièrement faible en comparaison avec les autres travaux, facilitant l'introduction de sources lumineuses bon marché et diminuant les besoins de couplage optique. Les résultats de mesures et les comparaisons avec les autres gates drivers commerciaux nous permettent donc de proposer notre circuit driver avec des applications souhaitées à haute fréquence et haute puissance.



## **Chapitre III**

# **Circuit de commande rapprochée intégré avec alimentation isolée par voie optique**



### III.1. Introduction

Afin de piloter les transistors des convertisseurs de puissance, un circuit spécifique d'alimentation est nécessaire pour alimenter chaque circuit de commande rapproché pour chaque transistor de puissance. Ce problème est d'autant plus critique dans le cas du ou des circuits de commande du ou des transistors « high side » où une alimentation flottante et isolée est demandée pour chacun d'eux, ayant de fortes contraintes d'immunité aux variations dynamiques de la tension de mode commun. Dans ce chapitre, nous introduisons une approche dans laquelle un circuit d'alimentation par voie optique est intégré monolithiquement au sein du circuit de commande rapproché. Cette approche permet de supprimer certaines connexions électriques entre la partie de puissance et les circuits de commandes éloignées, et assurant alors un très haut niveau d'isolation galvanique statique et dynamique. En complément d'autres solutions techniques abordées dans le précédent chapitre la mise en œuvre d'une telle approche pourrait permettre de retirer toutes les connexions électriques, même celles à travers un isolateur magnétique.

Dans le deuxième chapitre de ce manuscrit, nous avons proposé un circuit de commande rapproché, isolé par voie optique et intégré en technologie CMOS C35 standard. Comme les photodiodes intégrées peuvent fonctionner en mode photovoltaïque, notre circuit d'alimentation par voie optique est basé sur l'utilisation de ces cellules sensibles à la lumière et pouvant générer une énergie électrique dans une polarisation dans le quadrant générateur. Il est important de noter que nous utilisons une source de lumière monochromatique, ce qui permet aux cellules photo-électriques d'avoir un bon rendement quantique par rapport à des cellules solaires qui, associées au spectre du soleil, offrent un plus mauvais rendement total de conversion.

Ce troisième chapitre abordera tout d'abord la conception des cellules photovoltaïques intégrées en technologie CMOS. Ensuite, le dimensionnement et la conception d'un convertisseur intégré seront présentés, afin de générer l'alimentation flottante de la commande rapprochée. A la fin du chapitre, les caractéristiques du circuit d'alimentation par voie optique seront abordées. La mise en œuvre du circuit de commande isolé par voie optique, associé avec son alimentation optique sera également réalisée dans un convertisseur

de puissance afin de valider le fonctionnement de notre « gate driver » totalement isolé par voie optique.

## **III.2. Intégration du circuit d'alimentation par voie optique avec le circuit de commande rapproché**

### **III.2.1. Structure du système d'alimentation par voie optique**

Dans cette partie, nous allons proposer une solution basée sur l'utilisation d'un système d'alimentation exploitant l'effet photovoltaïque des jonctions PN étudiées dans le second chapitre dans un autre contexte et un autre mode de fonctionnement. L'idée consiste à associer en série une pluralité de cellules photovoltaïques afin de fournir une puissance électrique à un certain niveau de tension pour alimenter notre circuit. Il sera important de qualifier la capacité de la source photoélectrique à fournir la puissance nécessaire, son rendement mais également sa compatibilité avec, par exemple la tension en circuit ouvert compatible avec la partie driver.

Plusieurs technologies permettent de fabriquer de telles cellules. Il y a deux approches pour réaliser la connexion de cellules photovoltaïques avec le système électrique: soit hybride assemblé et soit l'intégration monolithique. La première approche, les cellules photovoltaïques ne sont pas intégrées dans le même substrat avec le circuit électrique, permettant de choisir rapidement le type et la topologie, et offre la liberté d'utiliser différentes tailles pour la génération d'énergie. Mais cette approche entraîne la complexité de packaging, des éléments parasites par exemple des parasites des fils de bonding lors de la connexion entre les cellules et le circuit électrique aval. D'autre part, l'intégration monolithique offre une taille globale réduite, la réduction des parasites, et une réduction des coûts de fabrication du système global. De plus, notre circuit de commande par voie optique a été développé en technologie CMOS. Afin de faciliter leur intégration avec notre circuit, nous avons choisi la technologie CMOS pour fabriquer ces cellules. En effet, le circuit d'alimentation par voie optique doit être capable d'alimenter le circuit de transfert de l'ordre de commande que l'on a présenté et détaillé dans le chapitre précédent.

Généralement, le circuit d'alimentation de la commande rapprochée fournit une tension compatible avec le transistor de puissance à piloter, généralement du 15V et peut intégrer une alimentation secondaire de 1,2V ; 1,8V ; 3V, 5V selon la partie driver de contrôle. Dans le cas de notre approche, on pourrait donc avoir deux alimentations différentes mais cette fois avec une alimentation basse tension qui fournit l'énergie pour l'alimentation plus haute tension. Une alimentation primaire basse tension serait générée à partir des cellules photovoltaïques alimentant ensuite un convertisseur DC/DC ainsi que toutes les fonctions numériques ou analogiques faible puissance. Ensuite, il y aurait un autre DC/DC qui augmenterait la tension pour alimenter l'étage de sortie (Buffer « HV »). Avec cette structure, on a besoin de deux convertisseurs différents. Cela rend le design plus complexe et prend plus de surface de silicium. Dans notre cas, le niveau de tension retenu pour l'ensemble de la puce CMOS est de 5V. Cependant ce niveau ne peut pas être atteint avec une seule cellule photovoltaïque intégrée car sa tension maximale en circuit ouvert est relativement faible (environ 0,4V en technologie CMOS C35 standard [Fer09]). L'intégration hybride d'une cellule photovoltaïque avec un convertisseur élévateur LC résonant à l'extérieur a été réalisée dans [Sus04]. Cependant, cette approche entraîne une complexité accrue d'assemblage, et des éléments parasites des fils de bondings pour la connexion entre la puce de la cellule photovoltaïque avec le circuit électrique alimenté. Le couplage de la fibre optique avec la cellule photodiode peut être difficile et peut entraîner aussi des contraintes supplémentaires pour le packaging optique. De plus, ce circuit proposé dans [Sus04] ne peut pas alimenter un système électrique ayant une tension de fonctionnement supérieure à 1,2V. R. Prabha a proposé autre approche dans [Raj13], pour laquelle il présente des cellules photovoltaïques de 1mm<sup>2</sup> en technologie CMOS 0,18µm. Un convertisseur DC/DC est utilisé pour conditionner l'énergie des cellules photovoltaïques, et recharger la batterie à l'extérieur et alimenter les systèmes électriques. Un autre travail est aussi présenté par O. Aktan et collaborateurs [Oza11]. Ils proposent un système d'alimentation CMOS pour des applications de microsystème. La puce a été fabriquée en technologie UMC CMOS 0,18µm. Ce circuit combine une photodiode P+/Nwell et un convertisseur élévateur DC/DC permettant d'augmenter la tension sortie de la photodiode de 0,5V – 0,6V à 1,2V – 1,5V avec une puissance optique de 160mW. Cependant, ce circuit, tel quel, ne convient pas à nos besoins, notamment sur la compacité nécessaire et la tension de sortie plus élevée. Une

solution pour résoudre ces problèmes consiste à mettre en série des cellules photovoltaïques intégrées et à connecter l'ensemble avec un convertisseur élévateur DC/DC comme cela est présenté sur la figure III.1.

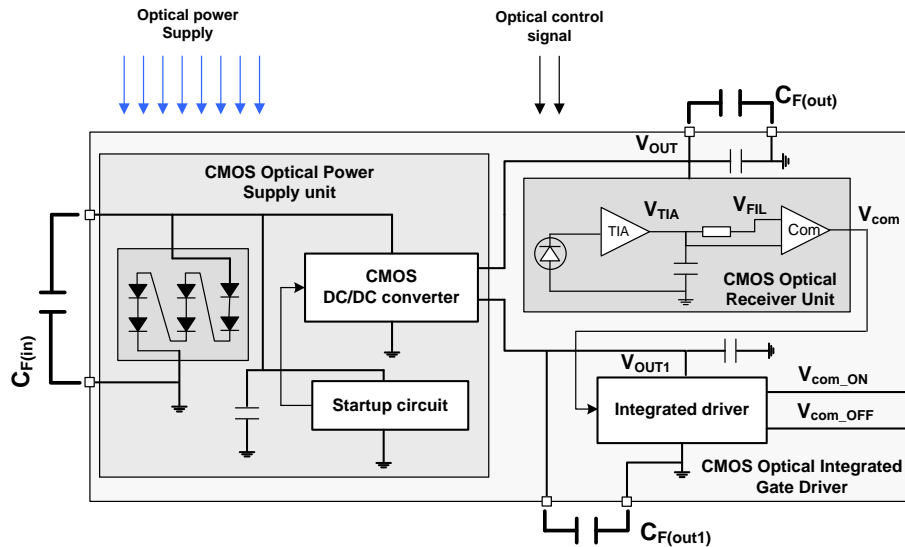


Figure III.1. Structure du circuit d'alimentation et commande par voie optique.

Cette structure d'alimentation par voie optique se base sur un groupe de 6 cellules photovoltaïques connectées en série, un convertisseur élévateur et son circuit de démarrage. Les bornes du groupe de cellules photovoltaïques sont connectées aux entrées du convertisseur DC/DC et du circuit de démarrage. Lorsque les cellules sont sous illumination, le circuit de démarrage est alimenté, et il génère ensuite les signaux de commande à haute fréquence pour démarrer le convertisseur. Alors, le convertisseur DC/DC va conditionner l'énergie produite pour alimenter convenablement la charge (circuit aval de commande rapproché). En effet, à cause du faible niveau de tension maximale en circuit d'ouvert d'une cellule, plusieurs cellules doivent être connectées en série. De plus, les cellules photovoltaïques sont connectées directement au circuit de démarrage sans étage intermédiaire. Elles doivent donc avoir un niveau de tension de sortie suffisamment élevé pour alimenter ce circuit. Des transistors basse tension avec faible tension de seuil sont préférés pour la conception du circuit de démarrage. Comme notre circuit est développé en technologie CMOS standard C35, les transistors 3,3V sont choisis, avec une tension de seuil de 0,69V pour le NMOS et 0,82V pour le PMOS. Nous avons choisi de connecter 6 cellules photo-sensibles en série pour fournir le niveau de tension nécessaire afin d'alimenter le circuit de démarrage et limiter les pertes en conduction du convertisseur DC/DC. Par

ailleurs, 6 cellules permettent aussi de disposer les cellules de façon hexagonale et symétrique, permettant de répartir également la puissance optique sur chaque cellule. Les contraintes de design et de choix des cellules seront présentés en détail dans la partie III.3.1.

On suppose dans notre cas que la tension d'entrée du convertisseur est toujours inférieure à la tension d'alimentation de la charge. Notre choix de convertisseur DC/DC intégré s'orientera donc uniquement sur des structures élévatrices de tension telles que les structures à pompe de charges ou élévatrices (boost). Afin d'élever la tension, on pourrait utiliser un montage hacheur de type boost mais ce type de montage utilise une inductance pour stocker l'énergie sous forme magnétique. En fait l'inductance est difficilement intégrable ce qui empêche une intégration complète du convertisseur [Sim11] [Gha11]. Pour les convertisseurs fonctionnant à des fréquences très élevées [Pin06] de l'ordre de quelques centaines de MHz, les dimensions du circuit magnétique de l'inductance peuvent être réduites, ce qui rend possible l'intégration de l'inductance. Par contre le rendement associé diminue [Odo08], [Par03].

Type	Avantages	Inconvénients
Les convertisseurs à stockage magnétique	Rendement élevé (pour inductance discrète)	Surface importante Difficile à intégrer
Les convertisseurs : « pompe de charge »	Facile à intégrer Faible surface Faible coût	Faible rendement Faible courant sortie

Tableau III.1. Comparaison des avantages et inconvénients des convertisseurs.

On préférera donc un montage dit à « pompe de charge » utilisant des condensateurs et des transistors. L'avantage principal de ce type de convertisseur est la facilité de leur intégration. Ces convertisseurs ne sont pas basés sur des composants magnétiques ce qui leur permet d'être complètement intégrés dans la puce de commande en technologie CMOS. Les gains en tension sont obtenus comme résultats de transfert de charges d'une capacité à une autre. En conséquence, ce type d'alimentation doit limiter les ondulations de tension aux bornes de condensateurs ce qui revient à limiter la puissance transférée et augmenter au maximum la fréquence de fonctionnement.

Même si le rendement du convertisseur « pompe de charge » (de l'ordre de 50%) est plus faible par rapport les convertisseurs à stockage magnétique, le but visé étant d'aller vers un système intégré, notre choix se tourne donc vers les structures à pompe de charges. Différentes structures seront abordées dans la partie suivante afin de choisir la topologie optimale pour notre cahier des charges.

### III.2.2. Bilan énergétique et contraintes de design

Sur la figure III.2, on détaille la répartition des puissances consommées par les différents éléments dans le circuit de commande.

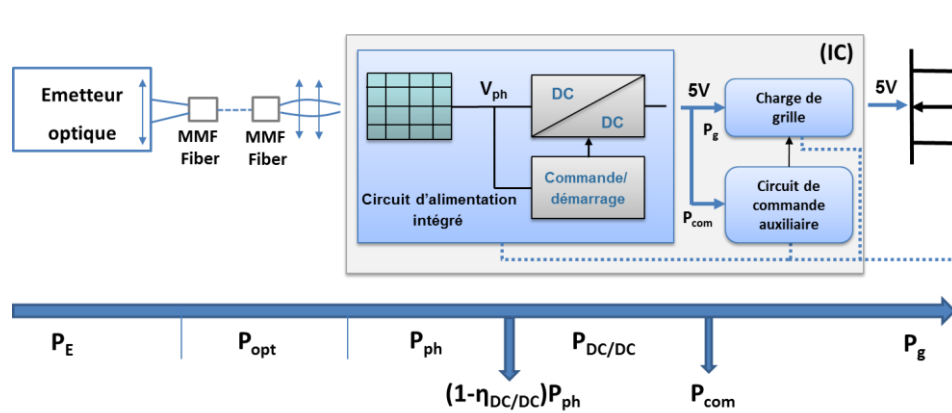


Figure III.2. Bilan énergétique.

Le bilan de puissance peut être exprimé par les équations (III.1) et (III.2) :

$$P_{DC/DC} = P_{charge} = P_g + P_{com} \quad (III.1)$$

$$P_{DC/DC} = P_{ph} \cdot \eta_{DC/DC} = P_{opt} \cdot \eta_{ph} \cdot \eta_{DC/DC} \quad (III.2)$$

Où :  $P_g$  : la puissance requise pour la charge de la capacité d'entrée du transistor de puissance

$P_{com}$  : la puissance consommée dans le circuit de transfert des ordres de commande

$P_{DC/DC}$  et  $\eta_{DC/DC}$  : la puissance sortie et le rendement énergétique du convertisseur DC/DC (y compris aussi le circuit de commande et démarrage du convertisseur).

$P_{ph}$  et  $\eta_{ph}$  : la puissance de sortie et le rendement des cellules photovoltaïques (rapport entre la puissance optique incidente et la puissance électrique à la sortie des cellules).

$P_{opt} = P_E$  : la puissance optique incidente sur les cellules photovoltaïques

$P_E$  : la puissance sortie de l'émetteur optique.

La puissance requise pour le circuit de commande intégré est fournie par la source optique. L'objectif est aussi d'alimenter le circuit de commande par voie optique présenté dans le chapitre 2, incluant le circuit de charge de grille du transistor de puissance et le circuit de commande auxiliaire (figure III.2). Nous avons aussi proposé dans un premier temps de piloter des transistors HEMT GaN commerciaux de la compagnie EPC [EPC] en utilisant la puce CMOS réalisée. La figure III.3 suivante présente donc la simulation sous CADENCE de la consommation du circuit de commande par voie optique à 4,5V avec différentes fréquences de découpage. Notons que dans la simulation, les transistors EPC GaN sont remplacés par leurs capacités d'entrée connectées à la sortie du circuit des transferts des ordres de commande.

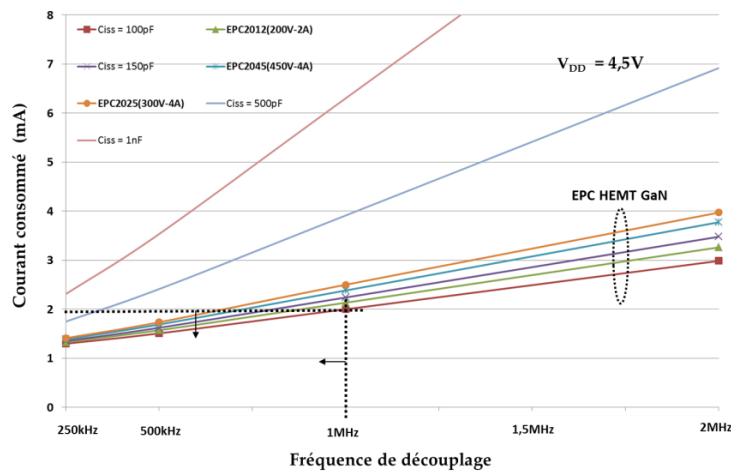


Figure III.3. Simulation de la consommation du circuit de transfert des ordres de commande par voie optique avec différents fréquences de découpage.

Dans notre contexte, on préfère utiliser les transistors EPC HEMT GaN de moyenne puissance à haute tension et courant élevé ( $< 600V$  et  $< 10A$ ). De plus, leurs faibles capacités d'entrée (par exemple  $C_{iss}(EPC2012/200V\_4A)) = 128pF$ ,  $C_{iss}(EPC2025/300V\_4A)) = 194pF$ ) permettent de réduire la puissance consommée par le circuit de commande rapproché et/ou de monter en fréquence pour le convertisseur de puissance. A partir des résultats de la simulation (figure III.3), on considère donc dans un premier temps que la zone de cahier de charge de notre circuit de commande rapproché est déterminée par la puissance maximale requise  $P_{charge} = P_{com} + P_g = 10mW$ , correspondant au courant consommé à 2mA. On préfère piloter des transistors à la fréquence de découpage de 500kHz et la tension  $V_{gs}$  de 5V.

Cette valeur est utilisée ensuite comme cahier de charge du convertisseur DC/DC intégré afin de le dimensionner. Si on considère un convertisseur du type pompe de charge ayant un rendement énergétique ( $E_{DC/DC}$ ) de l'ordre de 50%, la puissance en sortie des cellules photovoltaïques doit être de l'ordre de  $P_{ph} = 20mW$ . De plus, la tension maximale d'une cellule en circuit ouvert est d'environ 0,4V [Fer09], si on fait une hypothèse que la tension de sortie correspondant avec le point de fonctionnement de la puissance maximale (MPP) de chaque cellule est de 0,3V. Le courant de sortie requis en sortie des cellules photo-sensibles est donc de 11mA (correspondant avec la tension sortie de 6 cellules de 1,8V au point de fonctionnement MPP). Par ailleurs, ces cellules sont constituées par des photo-détecteurs opérant en mode photovoltaïque. Leurs sensibilités en mode photovoltaïque ont été mesurées et la valeur maximale est dépendante du type de photo-détecteurs, de la longueur d'onde et de la tension de polarisation. Ces valeurs maximales de sensibilité spectrale sont dans la gamme (0,1A/W – 0,25A/W). Si on néglige des pertes dans chaque cellule, on peut estimer une puissance optique nécessaire pour chaque cellule de l'ordre de 40mW à 110mW. Comme on a 6 cellules en série, la puissance optique totale  $P_{opt}$  est de l'ordre de 240mW à 660mW optique. Le tableau III.2 présente le résumé des puissances nécessaires pour chaque étage.

$P_{opt}$	$\eta_{ph}(\%)$	$P_{ph}$	$\eta_{DC/DC}(\%)$	$P_{DC/DC} = P_{charge}$
(240mW – 660mW)	4% - 8%	20mW	>50%	10mW

Tableau III.2. Puissance requise pour chaque étage.

### III.3. Conception du circuit d'alimentation intégrée

#### III.3.1. Cellules photovoltaïques intégrées en technologie CMOS

Après avoir présenté la structure du système d'alimentation par voie optique dans les parties précédentes, nous présenterons dans cette partie les cellules photovoltaïques intégrées en technologie CMOS comme source d'alimentation de notre circuit de commande. En fonction de la technologie utilisée, il y a différentes possibilités des cellules intégrées ainsi que des limites associées. Dans la suite, leurs structures et les contraintes de designs seront



abordées. Nos cellules seront dimensionnées et réalisées en deux technologies : CMOS C35 « bulk » et CMOS SOI Xfab 018.

### III.3.1.1. Différentes possibilités de structure pour la cellule photovoltaïque intégrée en technologie CMOS Bulk et CMOS SOI

Comme vu précédemment dans le chapitre II, la technologie CMOS standard C35 offre trois types de jonction PN qui peuvent fonctionner dans le mode photovoltaïque. Ces types de jonction sont N+/Psub, Nwell/Psub et P+/Nwell comme présentées dans la figure II.5. La couche Psub de la technologie CMOS standard C35 étant toujours connectée à la tension la plus faible, on ne peut pas utiliser les jonctions N+/Psub ou Nwell/Psub pour effectuer une mise en série de cellules photovoltaïques intégrées et connectées avec le reste du circuit de commande rapproché dans la même puce. La raison est que pour mettre en série plusieurs cellules, le potentiel d'anode de chaque diode doit être à un potentiel différent et ne peut alors être connecté directement au substrat. Ceci ne nous laisse qu'une seule solution avec l'utilisation de la jonction P+/Nwell en technologie CMOS C35 standard. La figure III. 4 présente les résultats de mesure d'une photodiode P+/Nwell\_100 $\mu$ m $\times$ 100 $\mu$ m (sa structure a été présentée dans le chapitre II) en mode photovoltaïque et en fonction de la tension à la sortie. La puissance maximale à la sortie est obtenue avec la tension à la sortie de 0,3V à la longueur d'onde comprise entre 400nm et 450nm (correspondant avec la sensibilité maximale) pour une puissance optique incidente maximale de 0,03 $\mu$ W.

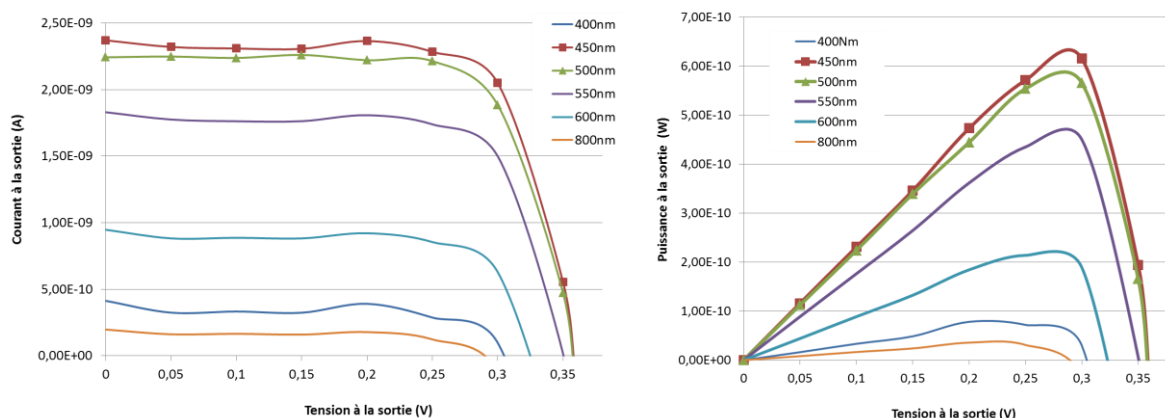


Figure III. 4. Caractéristique : (a) I(V) et (b) Puissance à la sortie d'une photodiode P+/Nwell\_100 $\mu$ m $\times$ 100 $\mu$ m en mode photovoltaïque.

Grâce à l'utilisation de cette jonction P+/Nwell, le potentiel flottant maximal d'anode est de 0,36V, permettant alors de connecter en série sans problème nos 6 cellules pour atteindre un niveau de tension suffisant pour le circuit électrique aval.

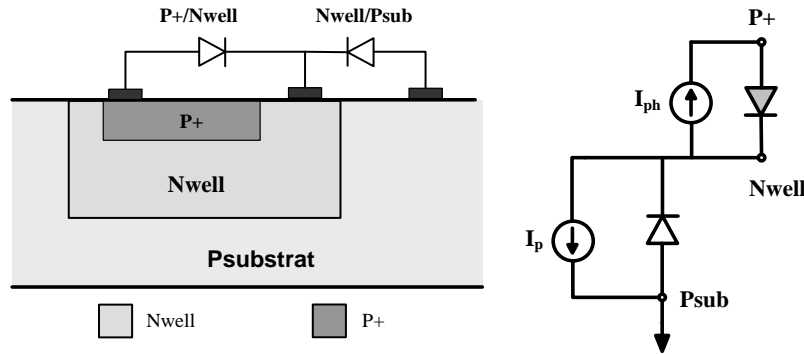


Figure III.5. Possibilité de la structure d'une cellule photovoltaïque en technologie CMOS standard C35.

Lors de la mise en série des cellules photovoltaïques, il peut exister un courant photogénéré ( $I_p$ ) entre chaque jonction d'isolation Nwell/Psubstrat en fonction de la polarisation et de la longueur d'onde. Comme discuté dans la section II.3.2.2, la jonction parasite Nwell/Psubstrat a une meilleure sensibilité spectrale que celle de la jonction P+/Nwell. Avec les longueurs d'onde de 400nm – 450nm, les types de jonction ont le même ordre de valeur de la sensibilité. Cependant, avec les longueurs d'onde supérieures à 450nm, la jonction parasite Nwell/Psub a une sensibilité plus élevée que celle de la jonction P+/Nwell. Afin de limiter l'impact du photocourant généré par la jonction parasite Nwell/Psub, on préfère donc utiliser les diodes laser aux longueurs d'onde faibles, favorisant une absorption en surface et une limitation de l'augmentation des courants de fuite. Il y a aussi une limite maximale sur le potentiel d'anode (Nwell) (9V [AMS-01]) afin de garantir une isolation de la jonction P+/Nwell par la jonction Nwell/Psub. Ces problèmes peuvent être résolus en utilisant une technologie spécifique pour fabriquer des cellules connectées en série dans une technologie SOI avec des tranchées profonde d'isolation par oxyde (DTI). Dans le cadre du projet collaboratif MEGaN, le but visé est d'utiliser les transistors de puissance en GaN à haute température, et par suite, le circuit de commande rapproché devra aussi être compatible avec ces températures élevées (entre 175°C et 225°C). Ceci est un argument supplémentaire pour considérer les technologies CMOS SOI, telle que la CMOS Xfab XT018

SOI. La figure III.6 présente la vue en coupe de cette technologie. Cette dernière a 6 couches de métal, ainsi que les niveaux de tension (1,8V ; 5V ; 10V ; 100V ; 150V ; 200V).

Comme la technologie AMS CMOS C35 standard, cette technologie a des jonctions de base telles que Nwell(1,2)/Ptub, P+/Nwell et N+/Pwell(1,2), mais aussi la possibilité d'isoler les substrats localement grâce aux gravures profondes jusqu'à la couche d'oxyde enterré (DTI).

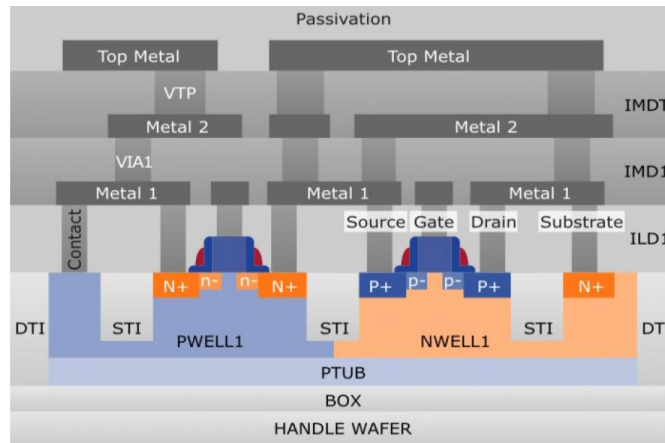


Figure III.6. Vue en coupe de la technologie Xfab XT018 SOI [Xfab-01].

On a donc la possibilité d'utiliser des autres jonctions PN (par exemple N+/Pwell(1,2) ou Nwell(1,2)/Ptub) sans avoir de problème de connexion des cellules en série. Avec ces jonctions, on n'a plus de problème de courant photogénéré de la jonction parasite Nwell/Psub dans le cas de la jonction P+/Nwell/Psub. Cependant, cette technologie n'offre pas de couche anti-réflexion qui permet de réduire l'effet de la couche d'oxyde et la couche de passivation. Avec 6 niveaux de métal, cette technologie a donc une couche d'oxyde plus épaisse par rapport à la technologie CMOS C35, ce qui peut impacter la transmission de la puissance à travers ces couches d'oxyde. La figure III.7 présente le niveau de réflexion au niveau de la couche silicium en fonction de différentes longueurs d'onde en technologie Xfab. Donc, cette technologie avec les couches oxydes épaisses a l'effet de réflexion plus par rapport la technologie CMOS standard C35. Dans la partie suivante, on va aborder en détail la conception des cellules ainsi que leur routage pour les deux technologies considérées (CMOS bulk AMS et CMOS SOI Xfab).

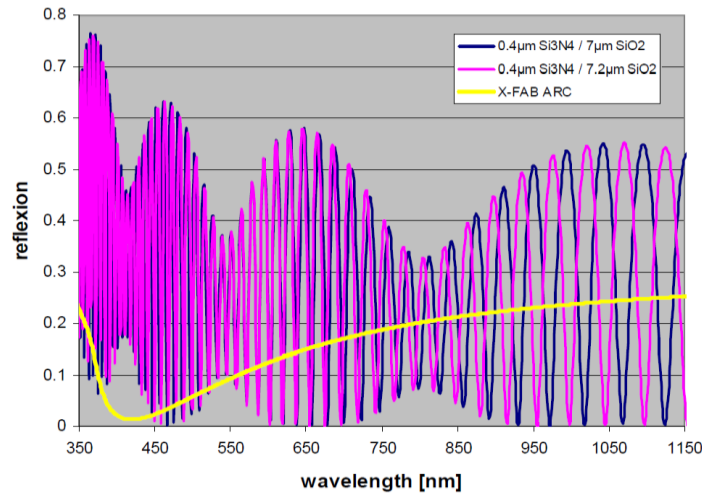


Figure III.7. Coefficient de réflexion au niveau de la surface du silicium en fonction de la longueur d'onde, en bleu 0,4µm Si<sub>3</sub>N<sub>4</sub> / 7µm SiO<sub>2</sub>, en violet 0,4µm Si<sub>3</sub>N<sub>4</sub> / 7,2µm SiO<sub>2</sub> et en jaune avec la technologie Xfab ayant la couche anti-réflexion [Xfab-02].

### III.3.1.2. Conception des cellules photovoltaïques

En ce qui concerne la conception des cellules photovoltaïques, nous avons réutilisé l'architecture présentée au chapitre II. Pour connecter ensuite en série les cellules photovoltaïques, on a une seule solution en utilisant la technologie CMOS standard C35 comme présenté sur la figure III.10. Les six jonctions de P+/Nwell sont connectées en série pour plusieurs raisons. Premièrement, pour recevoir une densité de puissance optique et une puissance optique totale le plus uniforme possible entre chacune des cellules connectées en série, les cellules doivent être disposées de manière symétrique. Notons que l'on a fait l'hypothèse que l'onde optique transmise est monomode et symétrique par rapport au centre des cellules. Deuxièmement, la technologie impose des règles de conception et de routage à respecter, afin de disposer les cellules de façon symétriques, un nombre de cellules de 4, 6 ou 8 peuvent être réalisées par exemple. Les formes et les connexions entre les cellules peuvent être conçues comme présenté sur la figure III.8.

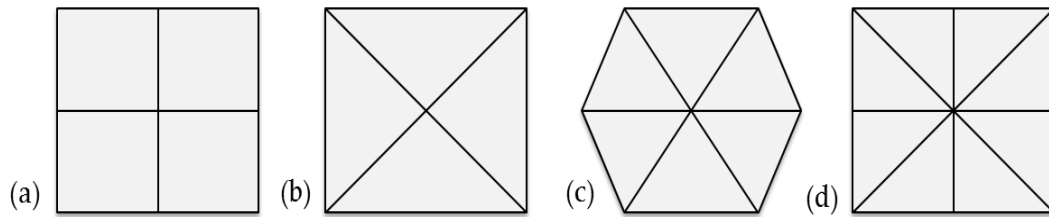


Figure III.8. Différentes formes et associations de cellules photovoltaïques (a) (b) 4 cellules en série, (c) 6 cellules en série, (d) 8 cellules en série.

Troisièmement, la tension maximale en circuit ouvert d'une seule cellule est relativement faible (0,36V, voir la figure III.4) et elle est égale à presque moitié de la tension de seuil d'un transistor 3,3V Nmos ou Pmos en technologie C35 standard. En plus, les cellules alimentent directement le circuit de pilotage et de commande des grilles des transistors du convertisseur DC/DC. Dans ce cas, les transistors ayant les plus faibles tensions de seuil sont préférés. Par ailleurs, dans la partie suivante (III.3.2) de ce chapitre, le convertisseur de pompe de charge sera utilisé afin de transférer l'énergie vers la charge dont la tenue de tension de chaque transistor ne doit tenir que la tension d'entrée (la tension de sortie des cellules photovoltaïques). On peut donc utiliser les transistors basse tension dans ce type de convertisseur pour d'avoir un niveau de tension élevée (pour notre cas c'est le niveau de 5V). En technologie CMOS standard C35, ce sont les transistors standards 3,3V avec les tensions de seuil de Nmos et Pmos respectivement 0,69V et 0,82V. De plus, afin d'augmenter le rendement du convertisseur, les pertes en conduction doivent être minimisées. Pour cela, il est important que les tensions de grille  $V_{gs}$  de chaque transistor soient les plus élevées possibles. En regardant les caractéristiques du transistor 3,3V (voir figure III.9), la résistance à l'état passant atteint quasiment sa valeur minimale lorsque la tension  $V_{gs}$  est supérieure à 1,7V. On a vu que dans la figure III.4, la puissance maximale à la sortie de chaque cellule est obtenue avec la tension à la sortie de 0,3V, pour un faible niveau de puissance optique transmis. Si on considère que les cellules en série peuvent fournir la puissance maximale, avec 4 cellules en série, on peut considérer avoir une tension maximale à la sortie des cellules de l'ordre de 1,2V. Par contre, les 6 cellules en série permettent d'avoir une tension sortie d'environ 1,8V. De toutes ces raisons, on préfère mettre en série 6 cellules photovoltaïques.

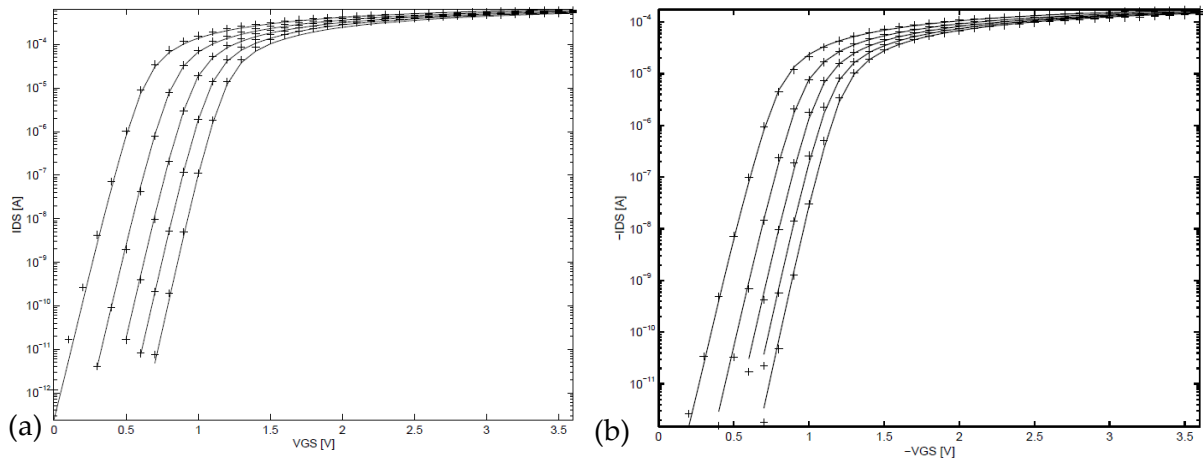


Figure III.9. Caractéristiques (a) transistor Nmos et (b) transistor Pmos avec la dimension  $W/L=10\mu\text{m}/0,35\mu\text{m}$ ,  $V_{DS}=0,1\text{V}$  [AMS-01] et avec différents  $V_{BS}$ .

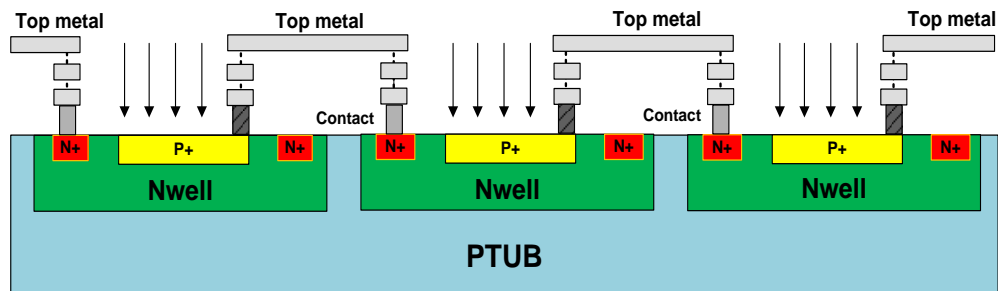


Figure III.10. Cellules photovoltaïques P+/Nwell en technologie AMS CMOS standard C35.

Afin de minimiser les courants parasites et obtenir un équilibre du niveau d'éclairage entre chaque cellule, les cellules photovoltaïques sous forme triangulaire sont développées, et disposées de manière hexagonale. Le métal 4 le plus épais en technologie CMOS C35 est utilisé pour connecter ensuite les 6 cellules élémentaires. Une image au microscope des cellules fabriquées en technologie CMOS AMS standard C35B4 est présentée dans la figure III.11. Les dimensions totales du récepteur optique sont de  $600\mu\text{m}\times 600\mu\text{m}$ .

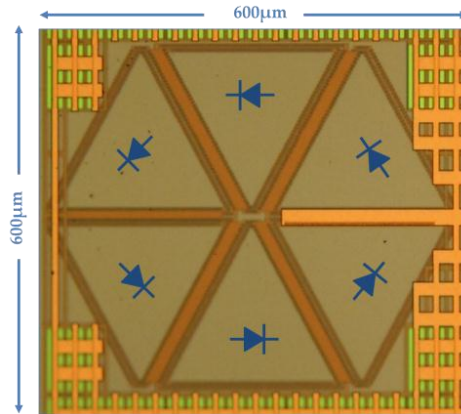


Figure III.11. Image au microscope optique des cellules photovoltaïques en technologie CMOS standard AMS C35.

L'utilisation de la technologie Xfab SOI 0,18µm pour fabriquer les cellules photovoltaïques nous permet de résoudre le problème de courant parasite qu'on rencontre dans le cas de la technologie CMOS standard C35 et offre d'autres possibilités de jonctions isolées adaptées à la conversion électro-optique. On va aborder ensuite la conception des cellules photovoltaïques dans cette technologie. A partir des couches disponibles, on peut faire des cellules avec les jonctions N+/Ptub, N+/Nwell/Ptub ou N+/Pwell/Ptub. Comme nous l'avons vu au chapitre II, la conception d'une cellule photovoltaïque dépend de certains paramètres de la technologie utilisée. Ces paramètres mentionnés ci-dessus ne sont certes pas les seuls qui méritent d'être considérés. Cependant, ce sont les plus importants lorsqu'un changement de technologie s'opère pour une même architecture de la photodiode. De plus, on peut constater que la jonction Nwell/Psub (figure II.14) offre la meilleure efficacité de photo-détection que les autres. On va donc utiliser cette jonction pour les cellules de conversion photo-électrique. Une couche N+ est aussi ajoutée au-dessus de la couche Nwell dans ces cellules afin de garantir un contact ohmique de cathode et de minimiser la résistance série.

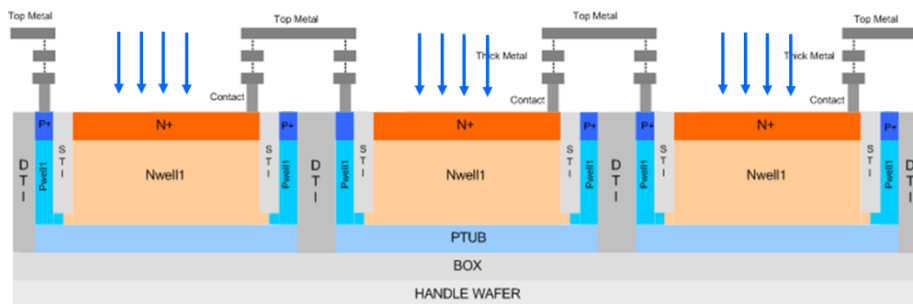


Figure III.12. Cellules photovoltaïques N+/Nwell/Psub en série en technologie Xfab CMOS SOI XT018.

De plus, la couche DTI disponible dans cette technologie est aussi utilisée pour isoler les anodes entre les cellules comme présenté sur la figure III.12. On peut donc connecter plusieurs cellules en série sans avoir de problème d'isolation des anodes pour obtenir la tension souhaitée avec des cellules utilisant des substrats de type P isolés. La mesure d'une cellule montre le point avec la puissance maximale correspondant la valeur de la tension à la sortie de 0,3V (voir la figure III.30). Avec cette technologie, les transistors avec les faibles tensions de seuil sont les transistors 1,8V (Nmos 0,66V et Pmos 0,8V). En utilisant ces transistors dans la structure du convertisseur DC/DC, on peut donc utiliser 4 cellules en série ayant la tension à la sortie des cellules de 1,2V. La structure du convertisseur maintenant doit être quadruplée pour convertir le niveau de tension nécessaire. Cependant, en limitant le temps et afin de faciliter la phase de routage lors de transferts de la technologie, on a choisi de conserver les choix des 6 cellules et de la structure tripleur du convertisseur DC/DC en utilisant les transistors 5V (tension de seuil du Nmos de 0,8V et du Pmos de 0,96V).

Cette technologie de 0,18 $\mu$ m CMOS a six couches métalliques disponibles. Afin de minimiser la résistance série, le routage utilisera le plus possible la dernière couche de métal « top metal », car elle est la couche la plus épaisse et donc avec la résistance par unité de largeur la plus basse. Par conséquent, les électrodes de chaque diode doivent être connectées à cette couche métallique. Comme présenté sur la figure III.12, les contacts intermétalliques (Vias) sont insérés entre les couches métalliques et la connexion à la couche métallique supérieure est mise en œuvre.

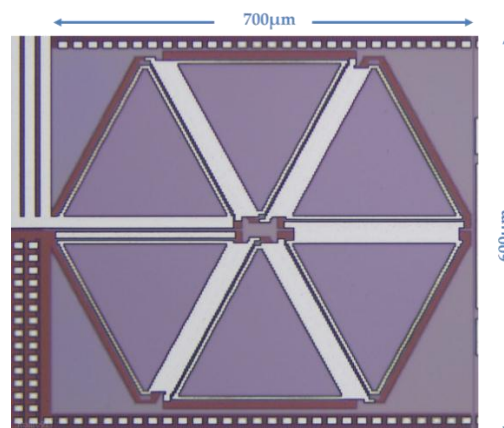


Figure III.13. Image au microscope optique des cellules photovoltaïques en technologie CMOS Xfab XT 018.



### III.3.2. Convertisseur DC/DC intégré

Afin de transférer l'énergie vers le système électrique, un convertisseur élévateur va être utilisé ensuite pour alimenter le circuit électrique. Comme notre circuit est développé dans deux technologies industrielles : AMS CMOS C35 standard et Xfab XT018 SOI, dans cette partie, on n'abordera que la conception du convertisseur intégré en technologie CMOS C35 standard. Cependant une autre version identique a été transférée vers la technologie Xfab XT018 SOI et ne sera présentée dans cette section.

#### III.3.2.1. Cahier des charges du convertisseur DC/DC

Le convertisseur étant un étage intermédiaire entre la source d'énergie et la charge, les caractéristiques de ces deux éléments doivent être prises en compte lors de sa conception afin d'identifier les exigences et construire le cahier des charges. En effet, les niveaux des sources ne permettent pas toujours une adéquation optimale entre la source et la charge. L'étage de conversion permet de réaliser l'adaptation nécessaire. D'un autre côté, la charge impose la majorité du cahier des charges: le niveau de tension pour son fonctionnement, la puissance nécessaire, l'amplitude admise de l'ondulation de la tension.

Dans notre cas, la charge est le circuit de commande par voie optique qui a été conçu dans le chapitre précédent, incluant l'étage de sortie buffer mais aussi bien sûr la charge de grille du transistor de puissance à piloter. On suppose que la source d'énergie est constituée par les 6 cellules photovoltaïques P+/Nwell fournissant une tension de sortie maximale en circuit ouvert de l'ordre de  $V_{ph} = 2,16V$  et un maximum de puissance pour une tension de sortie de l'ordre de  $V_{poi} = 1,8V$ . En fonction du niveau de charge, la tension de sortie varie entre  $V_{ph} = (1,8V - 2,2V)$  ce qui est aussi la tension d'entrée du convertisseur. Afin d'obtenir une tension suffisante pour alimenter le circuit de commande, cette tension doit être augmentée. L'objectif est donc de fabriquer une source de tension  $V_{DD}$  de 5V et alimenter l'ensemble de la puce de commande rapprochée à ce niveau de tension. La tension  $V_{ph}$  devra donc être triplée et on devra obtenir en sortie du montage élévateur une puissance égale à la consommation de la puce que l'on suppose dans la partie précédente de quelques milliwatts (10mW au maximum). Dans le but visé vers le système intégré complet, le convertisseur du type « pompe de charge » est choisi. Les contraintes de la conception et le cahier de charge que l'on considère sont les suivants : un élévateur 5V et un courant de sortie maximal de l'ordre

de 2mA ou bien une puissance maximale de sortie de l'ordre de 10mW. Le tableau III.3 présente les contraintes de conception du convertisseur. Dans la suite, on va aborder des différentes structures de la pompe de charge ainsi que leur dimensionnement.

Tension d'entrée ( $V_{in}$ )	Puissance sortie $P_s$	Rendement (E%)	Tension sortie ( $V_{out}$ )	Ondulation de la tension
1,8V – 2,2V	10mW	> 50%	4V – 5V	< 200mV

Tableau III.3. Contraintes de la conception du convertisseur à pompe de charges.

### III.3.2.2. Conception du convertisseur DC/DC intégré

#### III.3.2.2.1. Comparaison de différentes structures de conversion intégrées à pompe de charges

Les convertisseurs à pompe de charges sont utilisés souvent pour les applications d'intégration dans la puce grâce à la facilité d'intégration et la réduction du coût. L'implémentation intégrée de pompes de charges exploitent des condensateurs intégrés comme les éléments de stockage et des transistors comme les commutateurs entre les condensateurs. En fait, le rendement d'un convertisseur est limité par deux types de pertes principales : les pertes de conduction et les pertes de commutation dues à la résistance à l'état passant et aux capacités parasites. En effet, le seuil de tension réduit permet un meilleur comportement des transistors lorsqu'ils sont utilisés en tant que commutateurs, diminuant la chute de tension sur la résistance à l'état passant ( $R_{DS\_ON}$ ). Et les faibles capacités parasites permettront d'augmenter la fréquence de commutation, donc de réduire la valeur de condensateur interne utilisée [Pel03].

Les pompes de charges intégrées avec d'autres circuits sur la même puce présentent cependant des défis de conception en termes de rendement énergétique et de capacité à conduire un courant de charge important. Le premier défi est le rendement énergétique. Normalement, les pompes de charges ont un rendement plus faible par rapport aux convertisseurs utilisant des inductances [Gha11]. Le deuxième problème est lié contraintes associées aux applications avec de larges gammes du courant de charge et de la tension en sortie. Enfin l'ondulation de la tension en sortie est aussi un critère à considérer. En effet, une ondulation importante peut dégrader la performance du circuit alimenté. Par exemple, dans

notre cas, le circuit de l'amplificateur transimpédance (TIA) est sensible avec la variation de la tension d'alimentation. On va aborder dans la suite, différentes topologies de convertisseurs à pompe de charges et les comparer afin de choisir la structure la plus adaptée avec nos besoins.

**a) Convertisseur : pompe de charge Dickson**

Parmi les topologies les plus utilisées dans la conception des convertisseurs à pompes de charges, on peut noter les pompes de charges Dickson [Gae10].

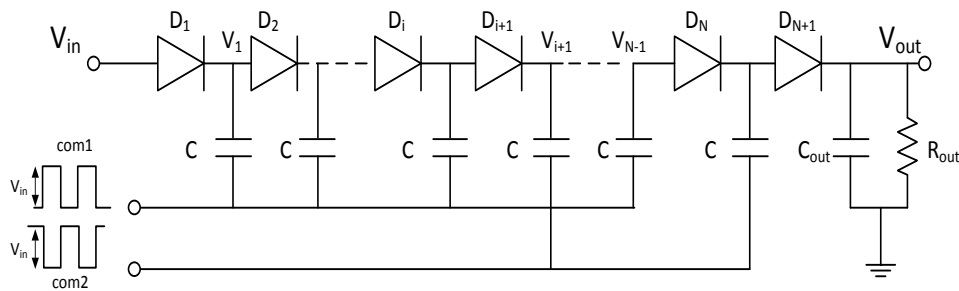


Figure III.14. Schématic de la pompe de charges Dickson pour N étages.

En général, une pompe de charges Dickson utilise une chaîne de diodes couplées aux entrées par l'intermédiaire de capacités placées en parallèle qui doivent supporter la pleine tension développée sur les nœuds internes le long de la chaîne de diodes. Une horloge biphasée est utilisée afin de contrôler le transfert de charges entre les capacités. Par conséquent, une tension d'alimentation plus élevée est obtenue en transférant successivement les quantités de charges le long de la chaîne de diode [Sim11].

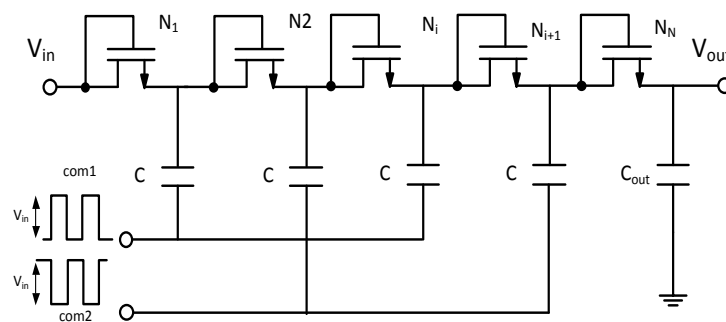


Figure III.15. Structure de la pompe de charges Dickson utilisant des transistors Nmos.

En pratique, dans les circuits intégrés les diodes sont remplacées par des transistors de type N tel que leurs grilles sont connectées avec leurs drains comme illustré dans la figure III.15. Le principal inconvénient de cette configuration est l'augmentation de la tension de

seuil associée aux transistors à cause de l'augmentation de la tension sur les nœuds internes (qui provoque ensuite une augmentation entre le substrat et les sources des transistors Nmos). Avec des rapports de tension plus élevés, le rendement est encore plus faible du fait de la tension de seuil augmentée en raison de l'effet du canal.

### b) Pompe de charge : doubleur de tension

Plusieurs structures de doubleur de tension ont été rapportées dans [Jan11]. Ces circuits ont une faible ondulation de la tension de sortie, avec des valeurs de l'ordre de quelques centaines de millivolts ou moins. De plus, la structure du doubleur de tension permet d'avoir un gain de tension important par rapport à la pompe de charge Dickson pour des faibles tensions d'entrée [Pel03]. Cependant, la tension de sortie de chaque étage doit être inférieure à la tension de claquage du transistor. Ceci limite l'utilisation des transistors standard avec la faible tension de seuil. Afin de résoudre ce problème, une autre structure de doubleur de tension est présentée dans la figure III.16 [Pel03]. En effet, dans ce cas, la tension sur les transistors est toujours inférieure à la tension  $V_{in}$ . Chaque étage peut donc être réalisé avec les transistors standard et il a besoin de 2 horloges complémentaires.

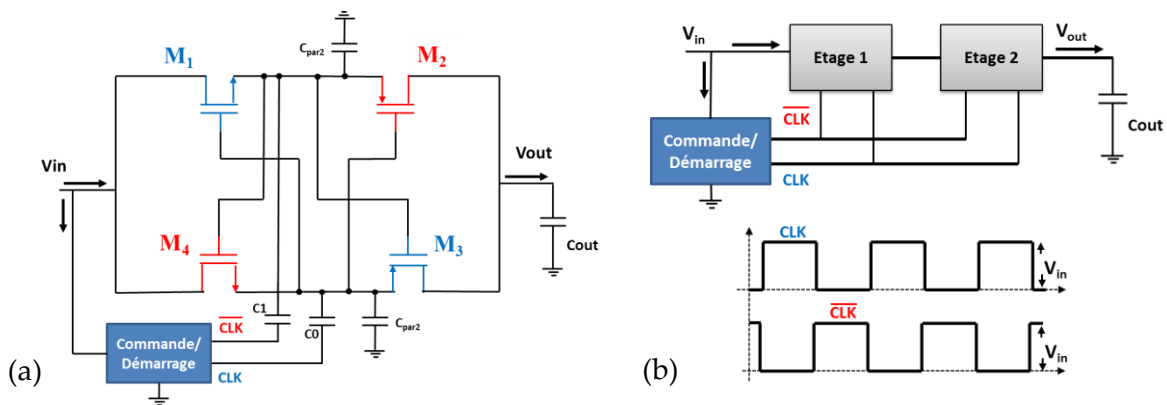


Figure III.16. (a) Structure de la pompe de charge du doubleur de tension avancée (b) Deux étages du doubleur de tension connectés en série.

Le fonctionnement du circuit est expliqué par la suite. Pendant la première demi-période,  $clk = V_{in}$ ,  $\overline{clk} = 0V$  les transistors  $M_1$  et  $M_3$  sont fermés, les transistors  $M_2$  et  $M_4$  sont ouverts. La capacité  $C_1$  est chargée à la tension  $V_{in}$  via le transistor  $M_1$ . Lorsque  $C_0$  décharge à la charge via le transistor  $M_3$ , en conséquence la tension de sortie  $V_{out}$  vaut  $2V_{in}$ . Pendant la deuxième demi-période, les  $M_1$  et  $M_3$  sont ouverts, les transistors  $M_2$  et  $M_4$  sont fermés.  $C_0$  est

chargée à la tension  $V_{in}$  via  $M_4$ , et la charge est chargée à la tension  $2V_{in}$  via  $C_1$  et transistor  $M_2$ . La tension sortie  $V_{out}$  peut être déduite par les équations (III.3) et (III.4) [Pel03]:

$$\Delta V = V_{in} \cdot \frac{C}{C + C_{par2}} - R_{out} \cdot I_{out} = V_{in} \cdot \frac{C}{C + C_{par2}} - \frac{1}{F \cdot C} \cdot I_{out} \quad (III.3)$$

$$V_{out} = V_{in} + n \cdot \Delta V \quad (III.4)$$

Où :  $\Delta V$  est le gain de tension pour chaque étage,  $C = C_0 = C_1$ , et  $C_{par2}$  est la capacité parasite du nœud interne (figure III.16 (a)),  $R_{out}$  est la résistance de sortie et  $I_{out}$  est le courant de la charge. Dans le cas où l'on met plusieurs étages en série pour obtenir la tension souhaitée, l'indice  $n$  est le nombre d'étages. En effet, la valeur de la capacité  $C$  et le nombre d'étage  $n$  sont des paramètres importants lorsque l'on dimensionne le circuit. La valeur  $C$  peut être réduite en augmentant la fréquence  $F$ . De plus, la fréquence  $F$  et la valeur de la capacité  $C$  déterminent le nombre d'étages utilisés pour obtenir la tension souhaitée. Dans notre cas, afin de fournir une tension en sortie de 5V pour alimenter le circuit de commande par voie optique, deux étages identiques sont utilisés. En considérant que  $C_{par2} \ll C$  et, on a  $1/(F \cdot C) = 0,125$ . Afin de limiter la puissance consommée sur le circuit de pilotage du convertisseur, la fréquence de découpage doit être inférieure à 50MHz, on peut avoir alors une valeur de capacité  $C = 125pF$ . La figure III.17(a) montre les résultats de la simulation avec différentes valeurs de largeur  $W$  du transistor à la fréquence  $F=50MHz$  et une tension d'entrée de 1,8V. On constate que le rendement attend la valeur maximale (50%) autour de  $W = 500\mu m$ , et la puissance de sortie maximale est de 7,4 mW. De plus, la puissance et la tension de sortie atteignent leurs valeurs maximales à partir de  $C = 125pF$  (figure III.17 (b)). Donc, ces valeurs sont choisies.

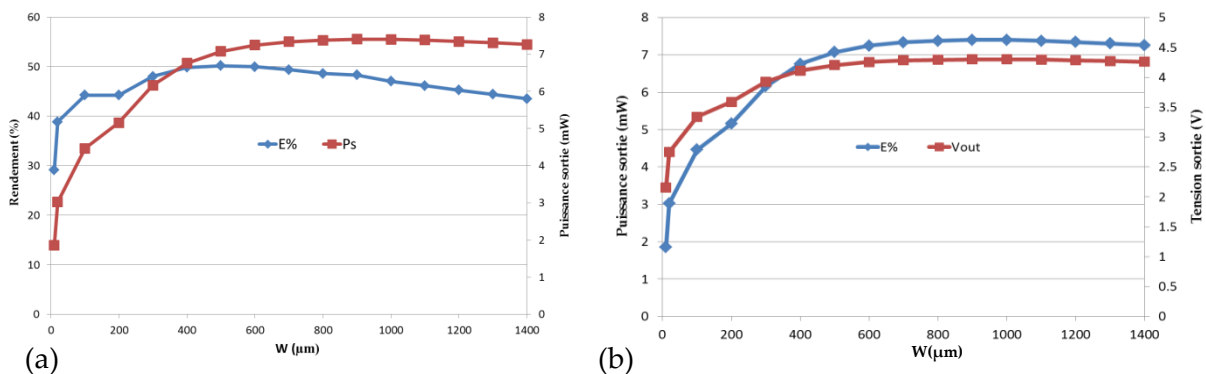


Figure III.17. Simulation du rendement (E%) et de la puissance sortie ( $P_s$ ) et la tension sortie ( $V_{out}$ ) du convertisseur du doubleur de tension en fonction de  $W$

**c) Convertisseur à capacités commutées : tripleur de tension**

Dans la suite, une autre structure de pompe de charges tripleur de tension va être abordée. Le schéma électrique de ce circuit est présenté sur la figure III.18. Ce circuit est donc la combinaison de capacités intégrées ainsi que de la capacité sortie  $C_{out}$ . Les interrupteurs de ce circuit sont les transistors S1 et S2 qui commutent à haute fréquence en opposition de phase. Le principe de fonctionnement du circuit est le suivant : « phase 1 (en vert, voir la figure III.18) » lorsque S2 est fermé et S1 est ouvert, la tension  $V_a = V_{in}$ . La capacité C1 chargée à  $V_{in}$  pendant la demi-période précédente est donc maintenant déchargée à la capacité C2. La tension au nœud c vaut  $2V_{in}$ . On a la relation suivante :  $Q1 = V_{in}.C1$  et  $Q2 = (V_{in} - (-V_{in})).C2 = 2V_{in}.C2$ .

Et « phase 2 » (en rouge, voir la figure III.18) lorsque S1 est fermé et S2 est ouvert, la capacité C1 est rechargée à la tension  $V_{in}$ , et  $V_b = V_{a'} = V_{in}$ , On a alors :  $Q1 = V_{in}.C1$ ,  $Q2 = (V_{out} - V_{in}).C2$ . En appliquant le théorème de conservation des charges on obtient :

$$V_{in}.C1 + 2V_{in}.C2 = V_{in}.C1 + (V_{out} - V_{in}).C2 \tag{III.5}$$

En supposant que  $C1 = C2$ , on a donc,  $V_{out} = 3V_{in}$ . La tension d'entrée est ainsi triplée. La charge donc est chargée à la tension  $3V_{in}$ .

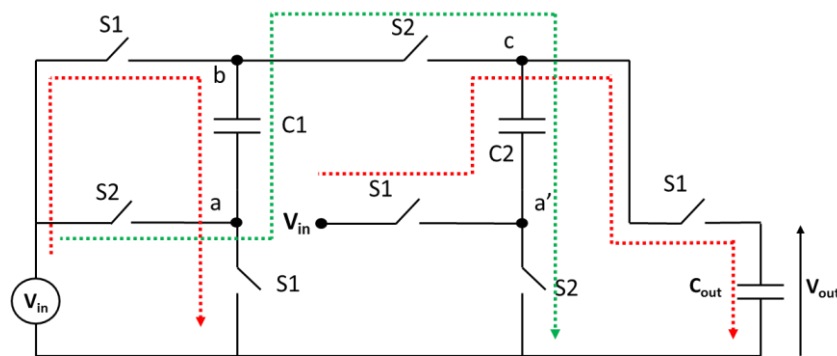


Figure III.18. Schéma électrique du tripleur de tension.

Une solution pour combiner deux convertisseurs à capacités commutées dans [Dra99] est présentée dans la figure III.19. Les deux convertisseurs sont identiques mais fonctionnent en opposition de phase aux nœuds internes. Les convertisseurs sont constitués par les transistors de 3,3V en utilisant la technologie CMOS C35 standard. Les tensions venues d'un convertisseur sont utilisées comme signaux de commande pour l'autre convertisseur,

limitant alors le nombre de circuits de commande utilisés. De plus, cette configuration permet de réduire l'ondulation de la tension de sortie grâce à la fréquence de filtrage pour la capacité de filtrage de la sortie de  $2F$  ( $F$  est la fréquence de la commande com1 et com2). Par ailleurs, chaque transistor est piloté avec une tension grille-source égale  $V_{in}$ . Donc, cela permet de réduire la chute de tension sur les transistors grâce à une faible résistance à l'état passant.

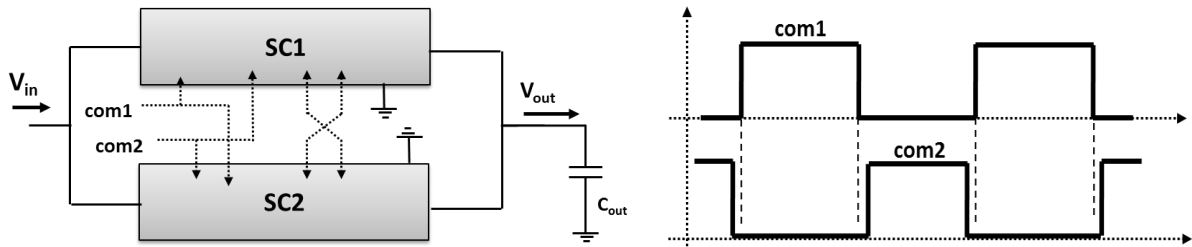


Figure III.19. Combinaison des deux convertisseurs à capacités commutées.

La structure complète du convertisseur du tripleur de tension est illustrée sur la Figure III.20. Un convertisseur à capacités commutées combine les transistors  $M_1, M_3, M_5, M_7, M_9, M_{11}$  et les capacités  $C_1, C_3$ . Un autre convertisseur comporte  $M_2, M_4, M_6, M_8, M_{10}, M_{12}$  et les capacités  $C_2, C_4$ . Les deux convertisseurs ont une tension d'entrée  $V_{in}$  et capacité sortie  $C_{out}$  identiques. Le fonctionnement du convertisseur est le suivant : lorsque le signal com1 est égal à  $V_{in}$  et com2 vaut 0, le transistor  $M_1$  est fermé et le nœud  $a_1$  vaut 0V. Le transistor  $M_4$  est fermé et le nœud  $a_2$  vaut  $V_{in}$ . Cela entraîne que le nœud  $b_2$  vaut  $2V_{in}$ , car la capacité  $C_2$  a été chargée à  $V_{in}$  pendant la demi-période précédente. En conséquence, le transistor Nmos  $M_5$  avec la grille connectée au nœud  $b_2$  est fermé, le nœud  $b_1$  vaut approximativement  $V_{in}$  et la capacité  $C_1$  est chargée à la tension  $V_{in}$  par les transistors  $M_5$ , et  $M_1$ . Dans le même temps, parce que la tension au nœud  $b_2$  est  $2V_{in}$ , et au nœud  $b_1$  est  $V_{in}$ . Le transistor Pmos  $M_8$  est fermé, le nœud  $c_2$  vaut  $2V_{in}$ , lorsque le transistor Pmos  $M_7$  est ouvert. Dans cette phase,  $a_1 = 0V$  et  $a_2 = V_{in}$ , la tension au nœud  $d_2$  est  $2V_{in}$ , et la tension au nœud  $d_1$  vaut  $3V_{in}$  via  $C_3$  et  $a_2$ . Le transistor  $M_{12}$  est ouvert et le transistor  $M_{11}$  et donc fermé, la charge est chargée à la tension  $3V_{in}$ .

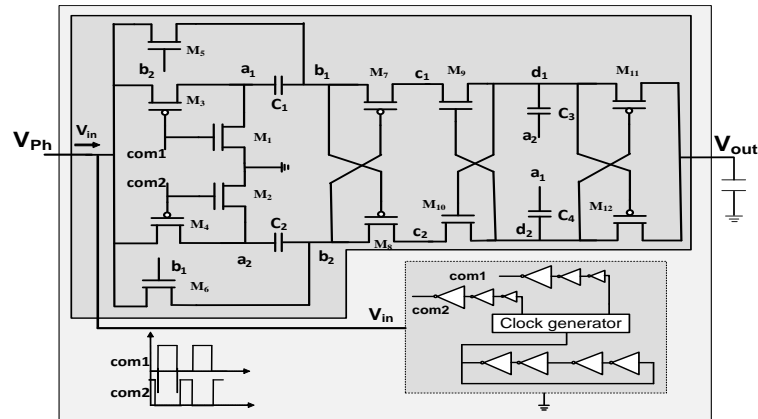
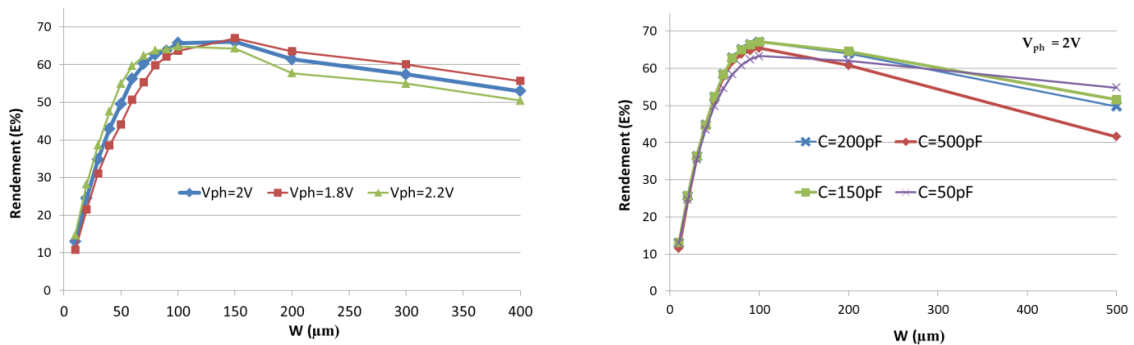


Figure III.20. Structure détaillée du convertisseur du tripleur de tension [Dra99].

Pour dimensionner le circuit, on fera varier différents paramètres avec en particulier les valeurs des capacités et les rapports  $W/L$  des transistors. On observera l'effet de ces différents paramètres sur la puissance de sortie et sur le rendement. De plus, il y a toujours le compromis entre la résistance à l'état passant ( $R_{DS_{on}}$ ) et la capacité parasite du transistor. L'augmentation de la largeur de grille du transistor permet de réduire la résistance  $R_{DS_{on}}$ , mais augmente alors la capacité parasite, et inversement.



(a) (b)  
Figure III.21. Résultat de simulation du convertisseur du tripleur de tension avec largeur  $L$  du PMOS et NMOS de  $0,35\mu\text{m}$  à la fréquence de  $25\text{MHz}$  (a) Rendement avec  $C=100\text{pF}$ , et (b) Rendement à  $V_{ph}=2\text{V}$ .

Par d'ailleurs, un transistor avec une capacité d'entrée élevée a besoin aussi d'un courant de charge important pour limiter les pertes en commutation. En conséquence il faut avoir un pré-étage d'amplification potentiellement plus important. Il faut donc choisir  $W$  pour maximiser le rendement du convertisseur complet. La figure III.21 (a) montre le rendement du convertisseur en fonction de la largeur de grille du transistor ( $W$ ) avec différentes tensions d'entrée de (1,8 – 2 – 2,2V). Autour de  $W = 100\mu\text{m}$  le rendement atteint sa valeur maximale et diminue après cette valeur. On observe sur la figure III.21 (a) que le rendement



énergétique du convertisseur augmente dans un premier temps lorsque la largeur de grille grandit car les pertes par conduction diminuent. Ensuite, après un maximum, le rendement décroît car les pertes par conduction sont alors minimales, mais ce sont les pertes par commutation qui augmentent et font chuter la puissance transmise. Le même comportement est également observé pour le rendement sur la figure III.21(b). On remarque que qu'elle que soit la valeur des capacités du circuit, l'optimum entre les pertes par commutation et les pertes par conduction, et donc le maximum de puissance délivrée par le circuit, se trouve aux alentours de  $W=100\mu\text{m}$ . Cette valeur est donc choisie pour la conception.

Il reste maintenant à dimensionner les capacités commutées du circuit de pompe de charges. Dans un but d'intégration et de fiabilité de la puce, on veut intégrer les condensateurs au sein de la puce, contrairement aux puces classiques du commerce où les condensateurs sont alors externes, permettant une certaine flexibilité d'utilisation. Ces capacités sont intégrées dans la puce permettant d'avoir une forte intégration et confiner les problématiques de contrôle de charges à haute fréquence. Cependant, cette intégration monolithique entraîne aussi des problèmes. En premier lieu, la densité des capacités intégrées est relativement faible par rapport à celle des capacités fabriquées selon un procédé spécifique. Par exemple, la densité des capacités polysilicium en technologie CMOS  $0,35\mu\text{m}$  est typiquement de  $0,9\text{ fF}/\mu\text{m}^2$  et de  $1,25\text{ fF}/\mu\text{m}^2$  pour les capacités MIM dans les technologies AMS et XFAB [AMS] [XFAB-01], en comparaison de capacités discrètes telles que la capacité céramique [MC0201] de  $0,11\text{ nF}/\mu\text{m}^2$ . Ensuite, un couplage capacitif parasite existe avec le substrat, ce qui est critique pour ce circuit car les capacités ne sont pas reliées à la masse lors de la phase de commutation.

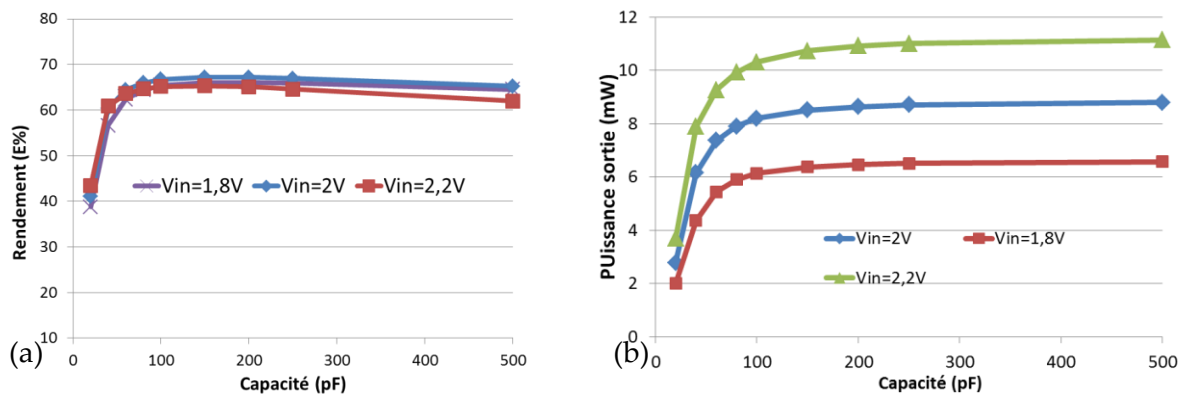


Figure III.22. Rendement et puissance sortie du convertisseur en fonction de la capacité interne avec différentes tensions d'entrée à la fréquence de 25Mhz et  $W=100\mu\text{m}$ ,  $L = 0,35\mu\text{m}$ .

On effectue donc une série de simulations temporelles puis moyennées en faisant varier la capacité commutée afin de déterminer leur valeur optimale. Dans les simulations, les capacités parasites ne sont pas prises en compte. Les résultats de simulation avec différentes tensions d'entrée  $V_{in}$  sont présentés sur la figure III.22. On peut trouver que le rendement maximal est obtenu avec une valeur de la capacité entre 100pF et 250pF. De plus, à partir de 100pF, la puissance de sortie atteint quasiment sa valeur maximale. On va utiliser donc cette valeur dans la conception.

Lors de la conception de ce circuit il faut également prendre en compte que l'amplification des tensions de commande des interrupteurs est nécessaire pour pouvoir charger les capacités de grille parasites des transistors rapidement. En effet pour les transistors possédant un produit  $W \times L$  élevé, ces capacités de grille sont importantes et on devra fournir le courant nécessaire afin d'obtenir une commutation assez rapide des transistors pour ne pas dégrader le fonctionnement global du tripleur, et ce d'autant plus que la fréquence de commutation est élevée.

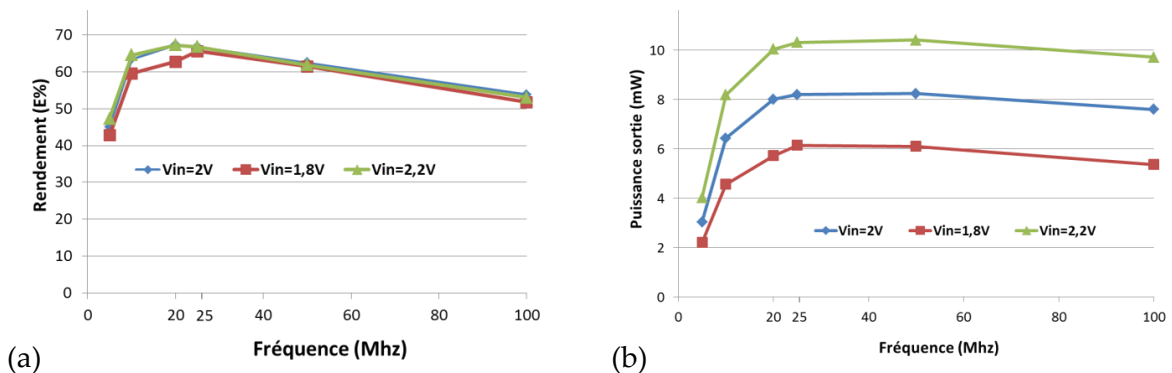


Figure III.23. Rendement et puissance sortie du convertisseur du tripleur de tension en fonction de la fréquence avec différentes tensions d'entrée ( $V_{in}$ ).

On peut voir sur la figure III.23 que le rendement et la puissance de sortie peuvent atteindre leurs valeurs maximales autour de la fréquence de 20MHz à 25MHz. On voit cependant que pour des fréquences inférieures à 20MHz la puissance de sortie chute rapidement. On préfère donc choisir une fréquence de fonctionnement optimale de 25MHz pour un rendement de 65%.

#### d) Synthèse du dimensionnement

Chaque structure de convertisseur a été dimensionnée. Les résultats de simulation des différents types de convertisseur sont synthétisés dans le tableau III.4. Une figure de mérite

(FOM) a été définie en se basant sur l'aire totale de silicium, le rendement et la puissance de sortie comme exprimée dans l'équation (III.6) [Sim11].

$$FOM = \frac{P_s \cdot E\%}{aire\_totale} \quad (III.6)$$

Ce tableau III.4 montre le rendement et la taille du circuit intégré sur silicium pour une tension d'entrée du circuit élévateur égale à 1,8V et une puissance de sortie du circuit de 10mW, correspondant à la consommation estimée de la commande rapprochée.

Structure du doubleur de tension				Structure du tripleur de tension			
Aire_totale (mm <sup>2</sup> )	Ps (mW)	E%	FOM	Aire_totale (mm <sup>2</sup> )	Ps (mW)	E%	FOM
0,609	7,4	50%	615	0,465	6,16	65%	868

Tableau III. 4. Comparaisons de deux structures à pompe de charges intégrées.

On peut voir que la structure du doubleur de tension a une puissance de sortie plus grande que celle du tripleur de tension. En revanche, la structure tripleur de tension offre un bon rendement ainsi qu'une surface de silicium occupée plus faible. De plus, le tripleur de tension possède la FOM la plus élevée. En conclusion, cette structure est la mieux adaptée à l'intégration du circuit d'alimentation selon nos critères de sélection.

### III.3.2.3. Conception du circuit de pilotage du convertisseur

Le circuit de contrôle et de pilotage du convertisseur se compose d'un oscillateur, un générateur d'horloge et des étages d'amplification en courant (buffers) comme présenté sur la figure III.24. Ce circuit est directement alimenté par les cellules photovoltaïques. La tension d'alimentation du circuit ( $V_{in}$ ) est égale la tension en sortie des cellules  $V_{ph}$ .

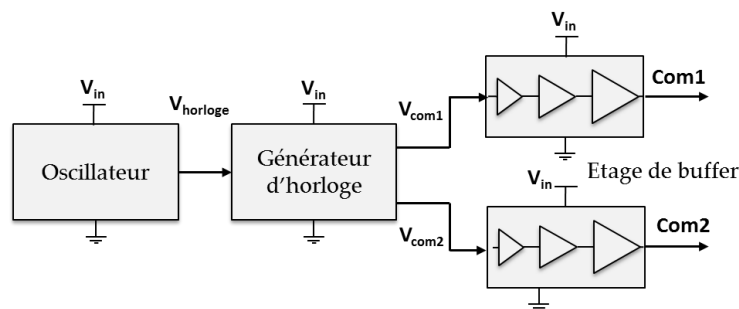


Figure III. 24. Schématic du circuit de contrôle et de pilotage du convertisseur.

### III.3.2.3.1. Conception de l'oscillateur

On va étudier maintenant les topologies d'oscillateurs susceptibles d'être intégrées dans le circuit d'alimentation. Plusieurs technologies d'oscillateurs existent pour créer le signal d'horloge, nous allons donc présenter brièvement des structures courantes envisageables.

L'oscillateur à quartz est une structure très couramment utilisée pour cadencer des circuits tels que les micro-processeurs d'ordinateurs. Le principe de cet oscillateur consiste à utiliser les propriétés piezo-électriques du quartz afin de récupérer une fréquence d'oscillation qui dépend de la géométrie de la lame de quartz. Cela en fait un oscillateur dont la fréquence est très précise et stable dans le temps. Cependant, il est nécessaire de reporter le boîtier contenant le quartz sur la puce, ce qui n'est pas envisageable dans notre cas. [Del09].

L'oscillateur en anneau est une structure relativement simple puisqu'elle est constituée d'un nombre impair de portes inverseuses rebouclées sur elles-mêmes. La fréquence des oscillations est déterminée par le temps de propagation du signal à travers l'ensemble des portes. Tous les éléments nécessaires à cette structure sont facilement intégrables dans la technologie active choisie.

L'oscillateur commandé en tension (Voltage Controlled Oscillator), repose sur le même principe que l'oscillateur en anneau, à la différence que les étages inverseurs sont alimentés par des miroirs de courants, ce qui permet de contrôler le temps de propagation du signal, et donc la fréquence d'oscillation. Cette structure permet une bonne stabilité en fréquence vis-à-vis de la tension d'alimentation et de la température, pour une consommation à peu près identique à celle de l'oscillateur en anneau.

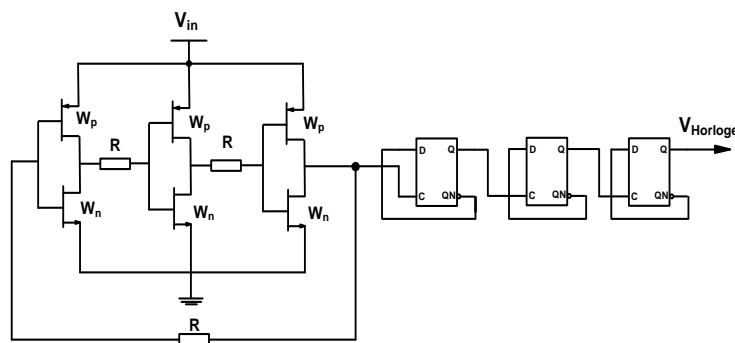


Figure III. 25. Schématique du circuit d'oscillateur en anneau pour le démarrage du convertisseur.

Pour sa simplicité, son intégrabilité et ses bonnes performances de consommation et une stabilité en fréquence raisonnable à notre niveau, nous avons choisi la structure de l'oscillateur en anneau. La figure III.25 ci-dessus présente le schéma de l'oscillateur en anneau utilisé. Il est composé de trois étages inverseurs. Entre chaque étage une résistance R est ajoutée afin de créer un retard de propagation du signal dans le but de réduire la fréquence d'oscillation. En plus, 3 bascules D permettent encore de diviser la fréquence par un facteur 8.

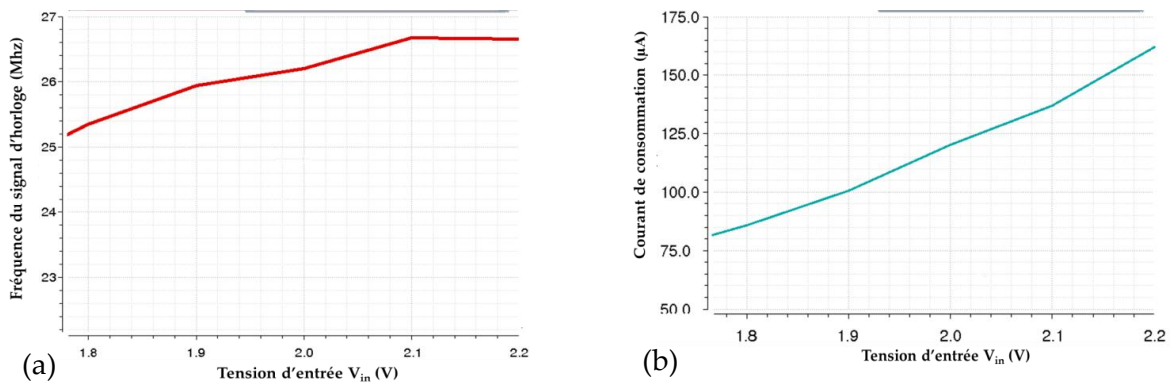


Figure III.26. (a) Fréquence du signal sortie ( $V_{horloge}$ ) et (b) Consommation de l'oscillateur en fonction de la tension d'alimentation  $V_{in}$ .

La Figure III.26 présente les résultats de la simulation d'oscillateur en fonction de la tension d'alimentation ( $V_{in}$ ). On peut voir que pour une tension d'alimentation variant entre 1,8V – 2,2V, la fréquence du signal de sortie de l'oscillateur varie entre 25MHz et 27MHz (figure III.26(a)). Ces fréquences restent toujours dans la plage souhaitée. De plus, cet oscillateur consomme peu d'énergie, environ 0,35mW avec la tension  $V_{in}$  de 2,2V (figure III.26 (b)).

### III.3.2.3.2. Générateur d'horloge

La commande des interrupteurs du circuit tripleur de tension est constituée de deux signaux d'horloge en opposition de phase. De plus, il faut éviter la conduction simultanée de tous les transistors afin de minimiser les pertes par commutation. On doit donc, à partir du signal d'horloge généré par l'oscillateur générer deux signaux d'horloge non recouvrants. Le circuit de la figure III.27 est utilisé pour cela.

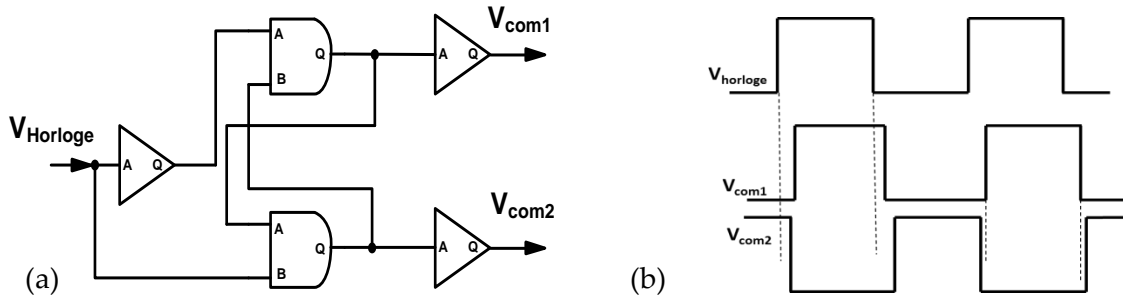


Figure III. 27. Génération de deux horloges non recouvrantes d’après un seul signal d’horloge.

Les deux horloges non recouvrantes (figure III.27) sont générées d’après un seul signal d’horloge. Le délai auquel on s’intéresse est celui introduit soit par la porte Nand1 (délai A) soit par la Nand2 (délai B). Dans les deux cas, si la technologie des deux portes est la même, on obtient un délai identique. Ce délai est équivalent au temps de propagation d’une seule porte. La figure III.28 présente la simulation d’ensemble du circuit de démarrage du convertisseur à la tension d’alimentation 2V. Après simulation on trouve un délai entre les commandes  $V_{com1}$  et  $V_{com2}$  d’environ 0,3ns. On observe aussi la tension à la sortie de 4,5V du convertisseur DC/DC dans la figure III.28 (b) avec la tension d’entrée de 2V et la charge de 1mA. Le convertisseur a besoin alors d’environ 6 $\mu$ s pour la phase de démarrage afin d’atteindre le régime permanent.

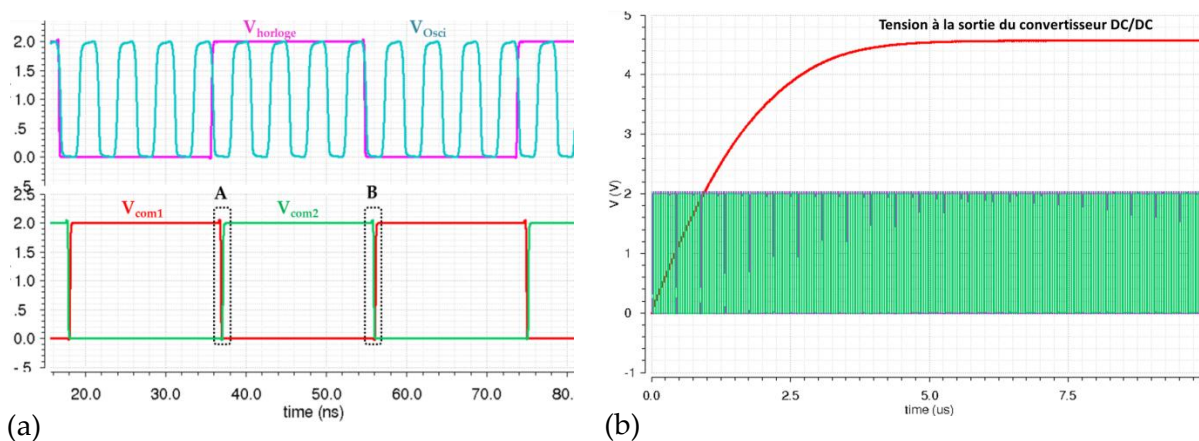


Figure III.28. (a) Simulation du circuit de contrôle et de pilotage avec la tension d’alimentation 2V, (b) Simulation transitoire de la tension sortie du convertisseur DC/DC avec le circuit de contrôle et de pilotage à la tension d’entrée de 2V.

On a présenté dans cette partie la conception d’une circuit d’alimentation intégrée par voie optique pour le gate driver en proposant une solution de puce compacte et générique.

La conception des différentes parties fonctionnelles de la puce (cellules photovoltaïques, le convertisseur DC/DC) a été effectuée et leurs fonctionnements sont étudiés. Les puces sont fabriquées en deux technologies CMOS avec C35 standard et Xfab XT018. Dans les parties suivantes, on va aborder les caractéristiques des puces, la performance des fonctions ainsi que la mise en œuvre de la puce dans l'application du convertisseur de puissance.

### III.4. Caractérisation et mise en œuvre de l'alimentation par voie optique

#### III.4.1. Caractérisation des cellules photovoltaïques

Dans cette partie, on va caractériser les cellules photovoltaïques intégrées. Les cellules photovoltaïques réalisées en technologie standard C35 sont automatiquement connectées aux autres circuits électriques dans notre design. Leurs caractéristiques ne sont donc pas présentées dans cette partie. Une photo au microscope optique des cellules photovoltaïques connectées avec les circuits auxiliaires est montrée dans la figure III.39.

Pour notre circuit en technologie CMOS SOI XT018, on a fabriqué non seulement les cellules photovoltaïques en série mais aussi des cellules séparées. La figure III.29 montre la structure ainsi que la photo au microscope optique d'une photodiode Np/Nwell/Psub. Notons que cette structure de la photodiode est utilisée également pour fabriquer nos cellules photovoltaïques.

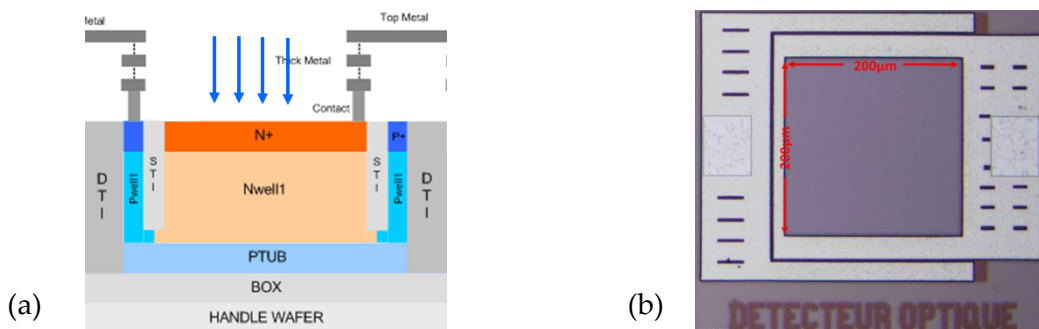


Figure III.29. (a) Structure de la photodiode Np/Nwell/Psub, (b) Photo au microscope de la photodiode réalisée en technologie CMOS SOI 0,18.

Afin de caractériser cette photodiode en mode photovoltaïque, nous avons utilisé le banc de test DC que l'on a présenté dans le chapitre II. Avec ce banc de test, on ne peut avoir qu'une puissance optique maximale appliquée sur la photodiode de  $0,18 \mu\text{W}$ .

Les mesures du rendement quantique et de la sensibilité spectrale d'une cellule en mode photovoltaïque à la tension de polarisation  $V_p = 0,3V$  sont présentées dans la figure III.30 (a). On peut voir une sensibilité maximale de  $0,12A/W$ , correspondant avec un rendement quantique de 23% à 650nm. La figure III.30 (b) présente la caractéristique  $I(V)$  d'une photodiode Np/Nwell/Psub dans le mode photovoltaïque. La tension en circuit ouvert est observée en fonction de la longueur d'onde. Sa valeur maximale est égale  $0,38V$  à 650nm. La photodiode est capable de fournir une puissance électrique maximale de  $3nW$  ce qui correspond à une tension de  $0,32V$ . Le rendement optique – électrique ( $\eta_{ph(cellule)}$ ) est donc d'environ 2%.

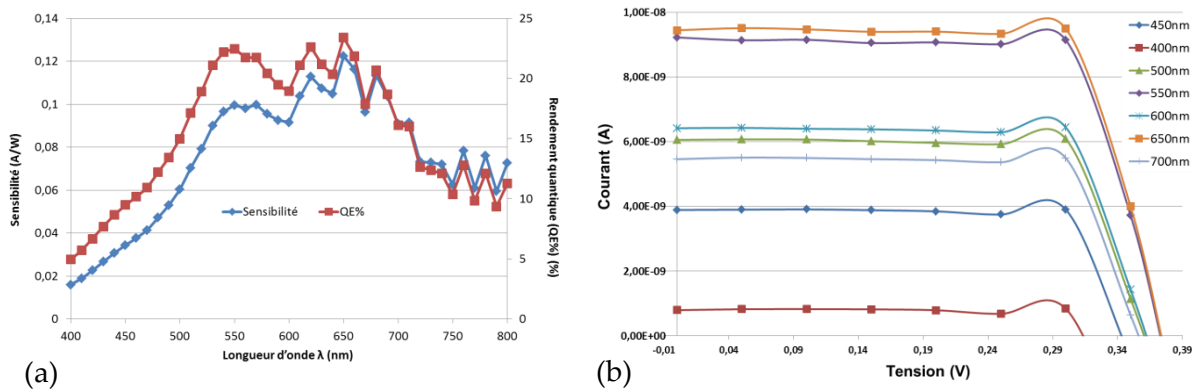


Figure III.30. (a) Sensibilité et rendement quantique à  $V_p = 0,3V$ , (b) Caractéristique  $I(V)$  dans mode photovoltaïque d'une cellule Np/Nwell/Psub\_200µmx200µm en technologie CMOS SOI 0,18.

En fait, la puissance électrique obtenue est dépendante de la puissance optique incidente. Dans cette mesure, la puissance optique maximale est très faible. La puissance électrique donc peut être multipliée en utilisant une source de laser de forte puissance. Ces mesures a démontré aussi qu'il faut utiliser la diode laser avec la longueur d'onde de (550nm-650nm) afin de maximiser le rendement quantique de la cellule N+/Nwell/Psub, tout en optimisant la longueur du laser utilisé afin de maximiser la puissance transmise à la jonction par rapport à la réflexion en surface. En supposant que le photocourant généré est proportionnel avec la puissance optique par le rapport de  $0,12A/W$  (la sensibilité maximale), on peut donc utiliser la diode laser L660P120 (660nm, 120mW optique) [L660P120] pour avoir un photocourant de 14mA.



Les 6 cellules connectées en série sont mesurées maintenant. On utilise le même banc de test précédent. Le résultat de caractéristique I(V) et la puissance à la sortie des cellules photovoltaïques en fonction de la longueur d'onde est montré sur la figure III.31. On peut observer donc une tension maximale en circuit ouvert de 2V, correspondant avec la longueur d'onde de 650nm et 560nm. La puissance électrique maximale qui peut être obtenue, est observée de 2,6nW à 1,7V, correspondant avec la puissance optique incidente maximale de 0,18 $\mu$ W. Comme les mesures d'une cellule photovoltaïque précédente, la puissance électrique obtenue avec ce banc de test est limitée à cause de la très faible puissance optique incidente. Afin de fournir assez de puissance pour les circuits de charges, il est nécessaire d'utiliser une autre source optique, tel que la diode de forte puissance (environ 720mW) avec la longueur d'onde autour de 650nm pour fournir un photocourant à la sortie de 14mA.

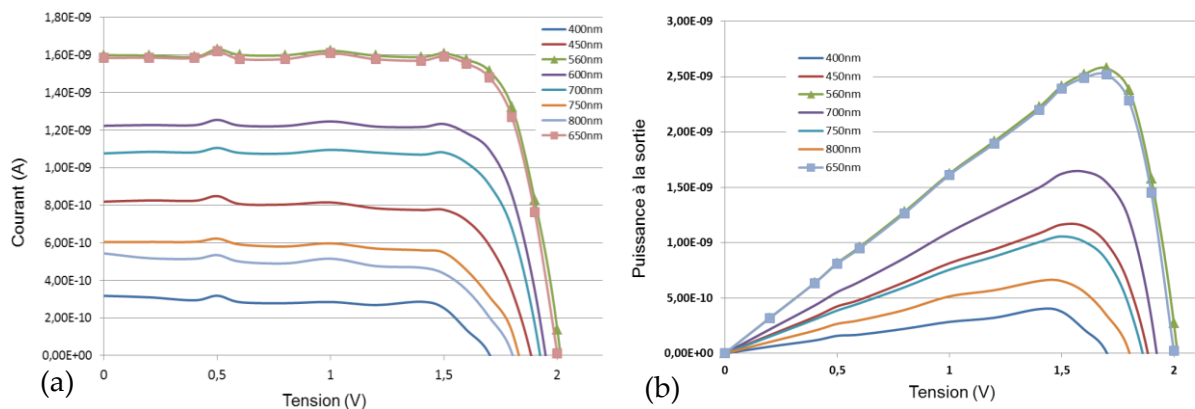


Figure III.31. (a) Caractéristiques I(V), (b) Puissance à la sortie en fonction de la tension des cellules photovoltaïques en technologie CMOS SOI XT018.

### III.4.2. Caractérisation du convertisseur DC/DC

Après avoir présenté les caractérisations des cellules photovoltaïques, afin de valider le fonctionnement du circuit d'alimentation par voie optique, on va aborder ensuite des caractérisations du convertisseur intégré à capacités commutées. La figure III.32 présente le schéma de test du convertisseur et l'image au microscope optique du convertisseur en technologie CMOS standard C35.

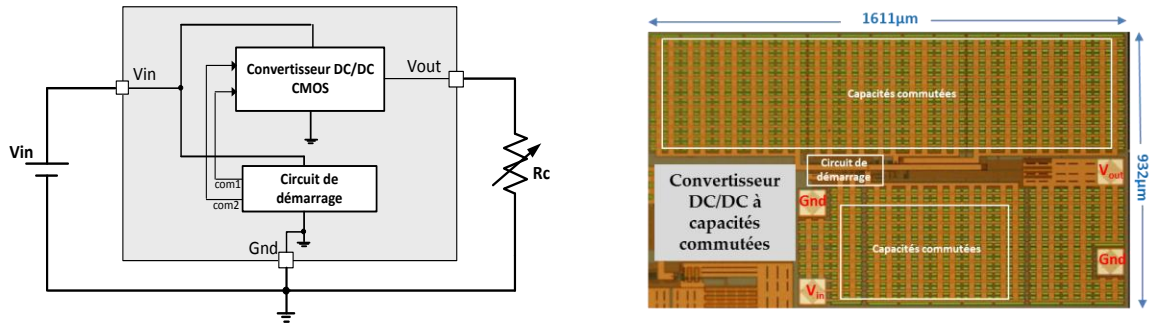


Figure III.32. Banc de test et image au microscope du convertisseur intégré DC/DC en technologie CMOS standard C35.

La figure III.33 présente des résultats expérimentaux du convertisseur intégré en fonction de la charge avec différentes tensions d'entrées (1,8V - 2V - 2,2V) à la température ambiante. Nous avons mesuré un rendement maximal de 46%. On peut voir qu'il y a une chute de rendement par rapport aux simulations. Cela vient du couplage capacitif parasite important avec le substrat générant donc des pertes supplémentaires dans ce circuit. Ces capacités parasites sont présentées dans la figure III.34. En effet, la technologie standard C35 utilisée n'offre qu'un seul type de capacité intégrée C en utilisant des couches poly1 - poly2.

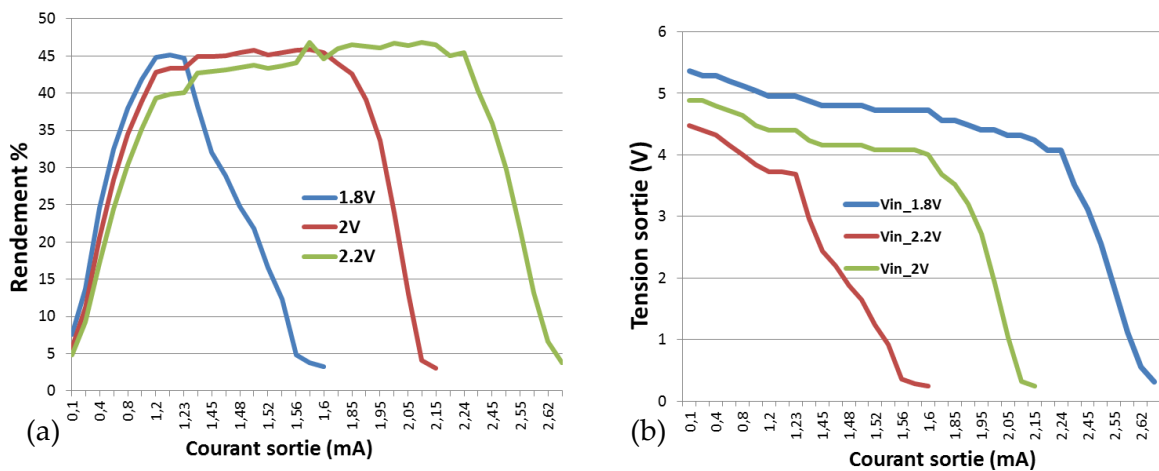


Figure III.33. Résultats expérimentaux du convertisseur DC/DC intégré : (a) rendement et (b) tension de sortie en fonction de la charge pour différentes tensions d'entrée ( $V_{in}$ ).

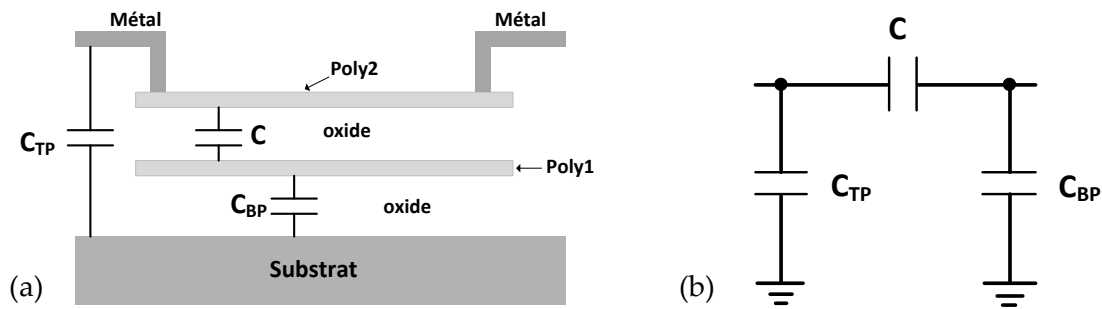


Figure III.34. Structure de la capacité poly-poly utilisée dans la technologie standard C35.

En effet, la capacité  $C$  comprend également des capacités parasites:  $C_{BP}$  entre l'électrode inférieure de  $C$  et le substrat, et  $C_{TP}$  entre l'électrode supérieure et le substrat. La figure III.34 présente également le modèle de la capacité commutée  $C$  avec ses éléments parasites. La capacité  $C_{TP}$  est due aux fils d'interconnexion en métal, et elle est en général très faible par rapport à la capacité  $C$ . Le condensateur  $C_{BP}$  a une aire au moins égale à l'aire du condensateur  $C$ , et donc il peut avoir d'une valeur importante et des effets sur le fonctionnement du circuit. Le tableau III.5 présente le facteur  $\alpha$  de la capacité parasite des différents types de la capacité, notons qu'avec  $\alpha = 0,1$ , la valeur de la capacité parasite vaut 10% de la capacité originale. La capacité de la plaque inférieure peut être exprimée comme  $C_{BP} = \alpha C$ , où  $\alpha$  peut être jusqu'à 10% pour le condensateur à double-poly [AMS] [Che07].

Type de capacité	Poly - métal	Poly-poly	Externe
$\alpha$	0,2 - 0,5	0,05 - 0,1	0,002

Tableau III.5. Facteur  $\alpha$  de la capacité parasite [Che07].

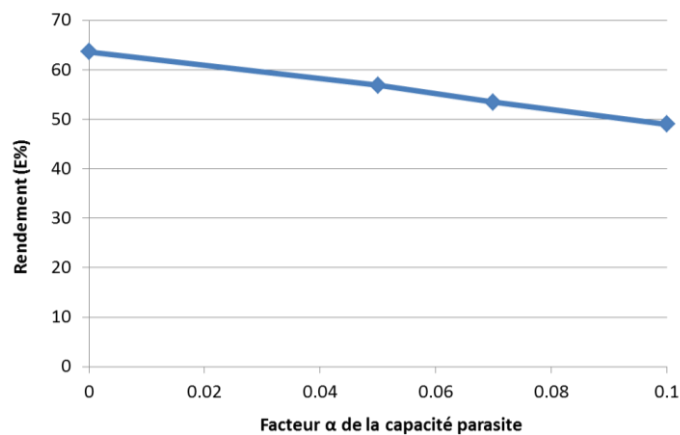


Figure III.35. Rendement énergétique du convertisseur en fonction du facteur  $\alpha$  de la capacité parasite à la tension d'entrée de 1,8V.

La figure III.35 montre la simulation du rendement énergétique du convertisseur DC/DC en technologie CMOS C35 standard en fonction du facteur  $\alpha$  de la capacité parasite à la tension d'entrée  $V_{in} = 1,8V$ . On peut voir que avec le facteur  $\alpha = 0,1$  le rendement est réduit jusqu'à environ 50%.

Une autre version de ce convertisseur est aussi transférée en technologie CMOS SOI XT018. Avec cette technologie, on peut utiliser la capacité intégrée TMIMH avec forte densité ( $6,6fF/\mu m^2$ ). Une image de sa structure est illustrée dans la figure III.36 (a). Cette capacité utilise les couches de métaux MET2, MET3 et MET4. Ceci permet en plus de limiter le couplage capacitif parasite avec le substrat. La figure III.36 (b) suivante compare donc des résultats de simulation et de mesure du rendement énergétique du convertisseur. On peut donc constater qu'il y a un faible décalage du rendement de 3% à la tension d'entrée de 1,8V et de 5% à la tension d'entrée de 2,2V.

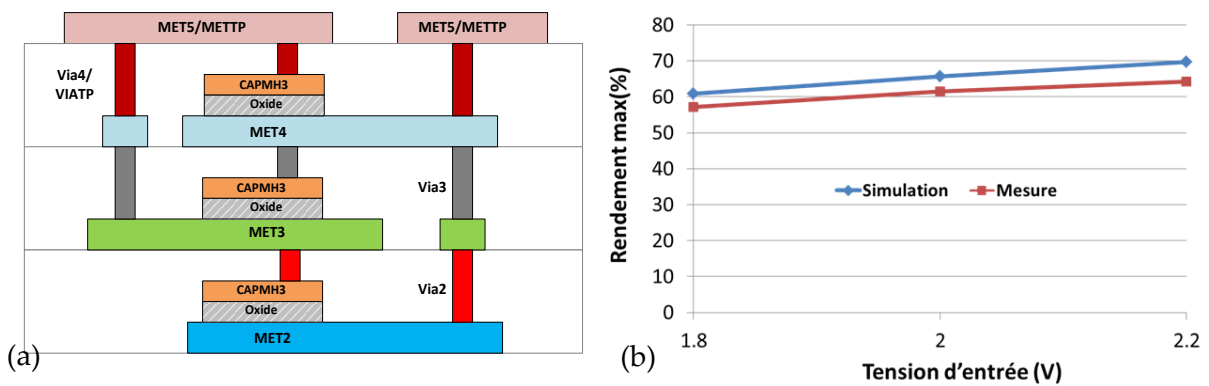


Figure III.36. (a) Structure de la capacité TMIMH en technologie CMOS SOI XT018, (b) Comparaison du rendement max du convertisseur pour différentes tensions d'entrée.

La figure III.37 présente l'image au microscope optique du convertisseur intégré en technologie CMOS SOI XT018. La figure III.38 montre les résultats de mesure du rendement avec différents tensions d'entrée. Un rendement maximal est obtenu à 55% à 1,8V et à 62% à 2V. L'impact de la température sur le fonctionnement du convertisseur est aussi mesuré. On voit qu'il y a une chute de rendement maximal de 62% (25°C) à 54% (150°C) à la tension d'entrée de 2V. Afin d'augmenter encore plus la température, un autre banc de test est en train d'être monté. Il permettra de tester la puce pour des températures supérieures à 200°C.

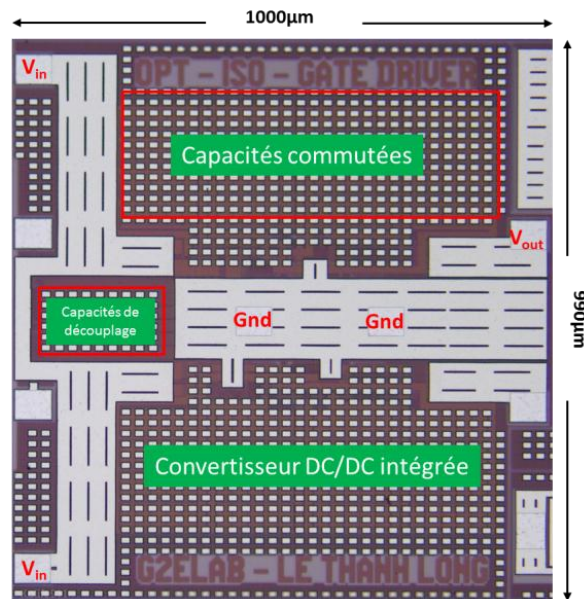


Figure III. 37. Photo au microscope du convertisseur DC/DC intégré en technologie CMOS SOI XT018.

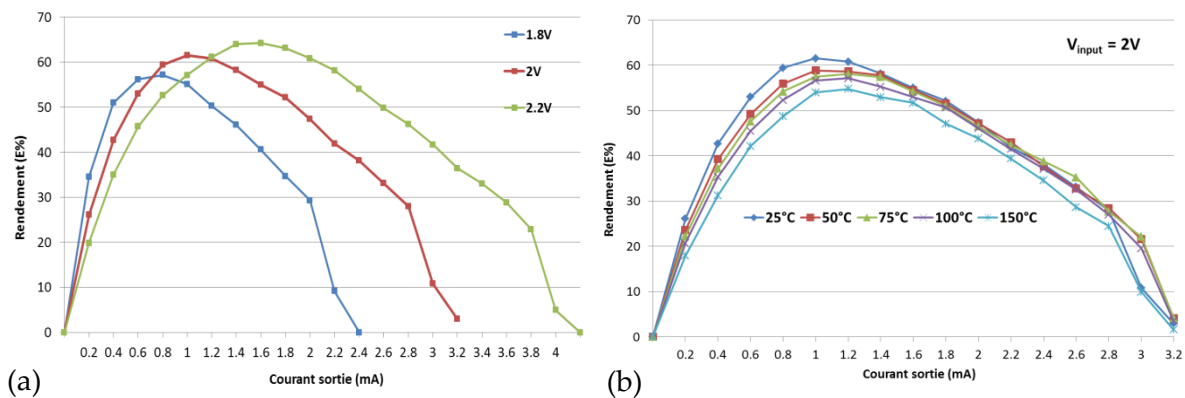


Figure III. 38. Rendement du convertisseur DC/DC en fonction du courant de sortie (a) pour différentes tensions d'entrée ; (b) avec différentes températures à tension d'entrée  $V_{in} = 2V$ .

### III.4.3. Mise en œuvre de la puce de commande intégrée avec l'alimentation par voie optique

On a caractérisé les différentes fonctions du circuit d'alimentation par voie optique dans la section précédente. Dans cette partie, on va tester le fonctionnement de notre « gate driver » complet y compris : le circuit de commande intégré avec leur alimentation par voie optique. La figure III.39 présente l'image de la puce conçue et fabriquée en technologie CMOS standard C35.

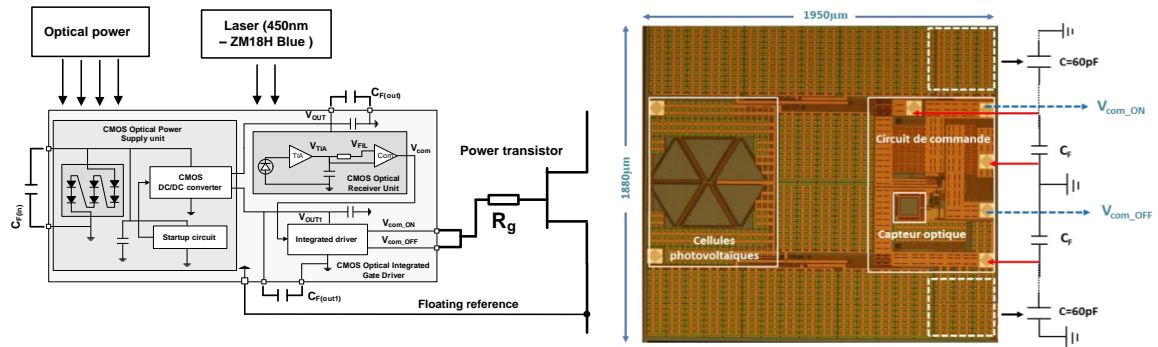


Figure III.39. Schéma fonctionnel et image au microscope de la puce réalisée en technologie CMOS standard C35.

Une photo au microscope de la puce réalisée en technologie CMOS SOI XT018 est aussi présentée sur la figure III.40. Dans cette version, tous les blocs fonctionnels sont séparés afin de faciliter la phase de mesure. Ils peuvent être connectés par des fils de bonding pour tester d'ensemble tous les fonctionnements de la puce.

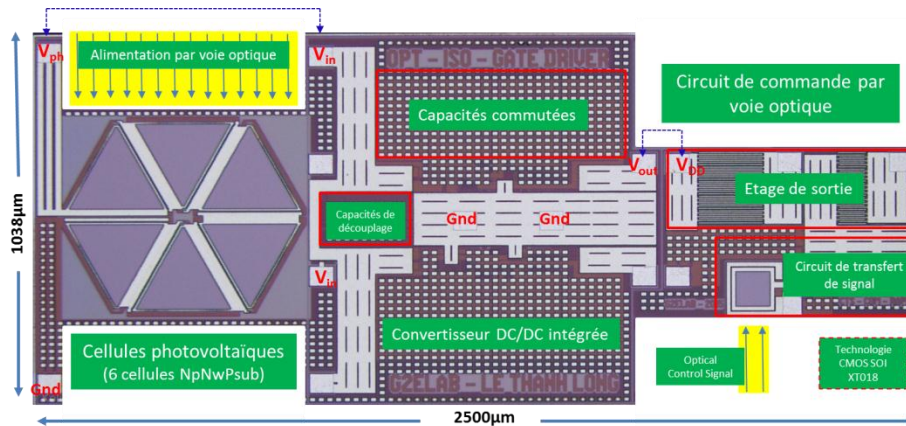


Figure III.40. Image au microscope de la puce réalisée en technologie CMOS SOI XT018.

Pour la réalisation du convertisseur complet, l'assemblage flip chip entre la puce et le PCB peut être mis en œuvre. Mais afin d'avoir dans un premier temps une fiabilité des résultats de test ainsi qu'un délai de fabrication acceptable des cartes, la puce sera collée sur le PCB, et les connexions entre la puce et les pads du PCB seront réalisées par des fils de bonding. Les fibres optiques sont utilisées afin de guider les sources de la lumière venues des émetteurs optiques vers les cellules photovoltaïques et le détecteur optique. La figure III.41 présente donc la mise en œuvre du packaging optique.

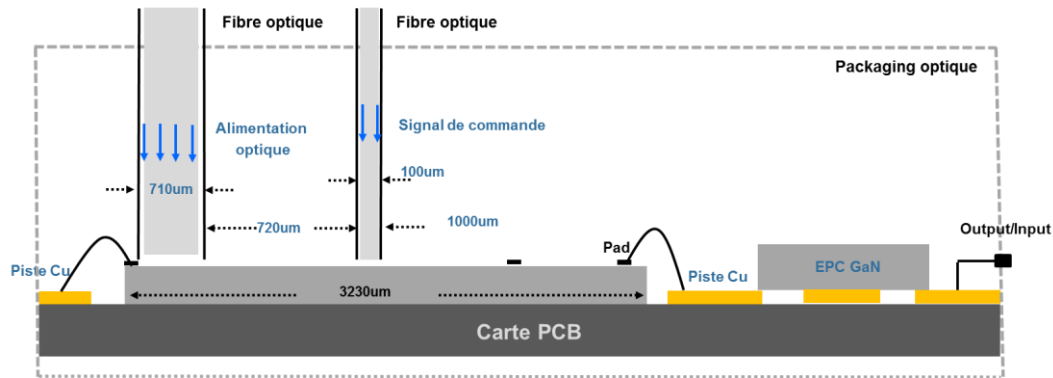


Figure III.41. Assemblage de la puce CMOS AMS C35 avec le PCB et packaging optique.

La caractérisation de cette puce complète n'est actuellement pas terminée, principalement car nous ne disposons pas d'une source laser suffisamment puissante ainsi qu'un couplage optique efficace afin de générer un courant nécessaire au fonctionnement de la puce. Néanmoins, les rendements des éléments séparés ont été présentés et caractérisés, et ces derniers semblent indiquer que l'ensemble de la puce pourrait fonctionner si une source optique au-delà de 700mW était utilisée pour l'alimentation.

### III.5. Mise en œuvre de la puce de commande optique dans un convertisseur

Afin de valider le fonctionnement de la puce réalisée, la puce de commande a donc été mise en œuvre dans un convertisseur de puissance abaisseur de tension (buck). La topologie du convertisseur est présentée sur la figure III.42. La mise en œuvre de la puce a été réalisée dans un premier temps par un boîtier SOIC 16 via le CMP [CMP] pour tester rapidement le fonctionnement. La figure II.42 (b) montre le prototype de la puce intégrée connectée avec les pads du boîtier par les fils de bonding. Les pads du boîtier et les fils de bonding sont en or pour avoir des bonnes caractéristiques d'adhérence et d'accroche sur les pads de la puce et les pattes du boîtier. Cependant les résistances et inductances de ces fils de bonding vont s'ajouter aux éléments parasites de notre circuit, influençant de façon néfaste le fonctionnement en commutation.

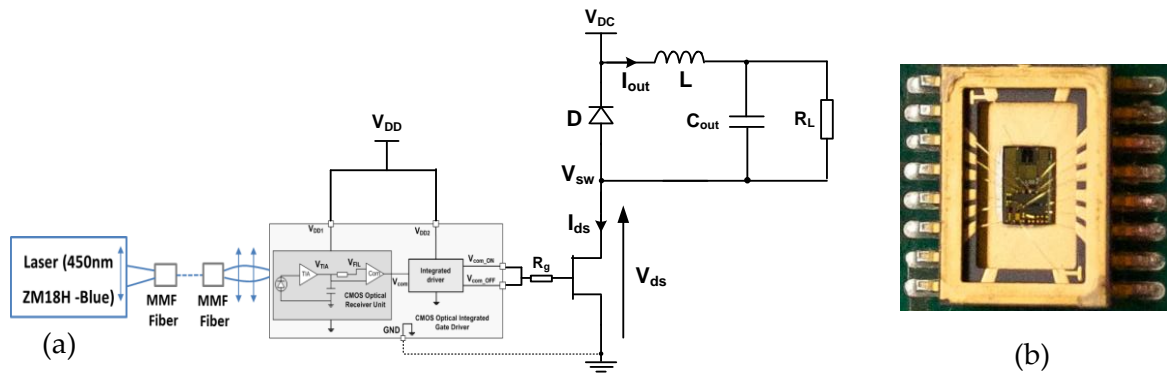


Figure III.42 (a) Schéma électrique du convertisseur (Buck) à base de composants EPC GaN pilotés par la puce de commande optique (b) La puce mise en boîtier SIOC 16.

La source du transistor de puissance est donc connectée à la masse de la source d'alimentation de puissance pour simplifier la mesure. Ce transistor est le composant EPC - GaN 2012 ayant des calibres de courant et de tension de 3A et 200V respectivement. Ce transistor a une tension de seuil proche de 1,5V de façon à pouvoir être commandé par un niveau de tension de grille entre 4V et 5V. Par ailleurs, les transistors EPC GaN sont très sensibles avec la tension de grille  $V_{gs}$ . Une tension  $V_{gs} > 6V$  peut entraîner une dégradation du composant [Epa14]. A cause des inductances parasites dans la boucle de commande (les inductances des pistes du PCB et des fils de bonding d'environ 10nH) et afin de limiter l'ondulation de la tension  $V_{gs}$  du transistor de puissance, une résistance  $R_g$  entre la sortie de la puce de commande et le grille du transistor est ajoutée. La valeur de cette résistance est fixée à 5 $\Omega$ . Cependant, cette résistance supplémentaire va donc prolonger le temps de charge et décharge de la capacité d'entrée du transistor, limitant alors la vitesse de commutation du convertisseur.

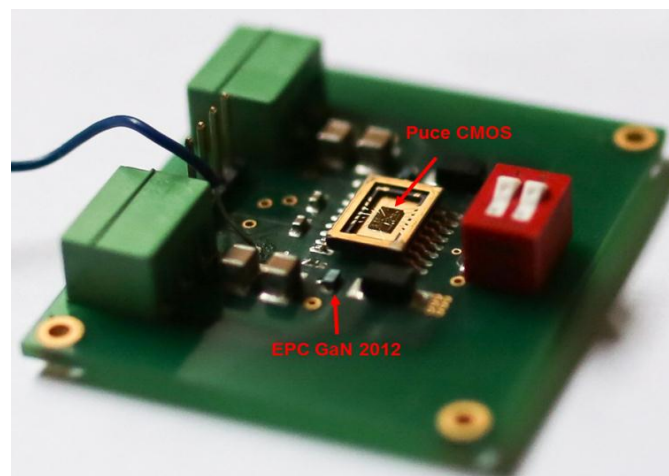


Figure III.43. Image de la carte du convertisseur.



La charge de puissance est de type R-L-C, avec des valeurs de  $82\Omega$ ,  $220\mu\text{H}$  et  $100\text{nF}$  respectivement. La tension d'alimentation est de  $60\text{V}$  et le rapport cyclique est choisi à  $0,5$ , on a donc un courant moyen de  $365\text{mA}$  dans la charge. Afin de valider également le bon fonctionnement de la commande sur une large plage de fréquences, des tests ont ensuite été conduits jusqu'à une fréquence de découpage du convertisseur de puissance de  $1\text{MHz}$ . Les résultats obtenus à cette fréquence sont présentés sur la figure III.44.

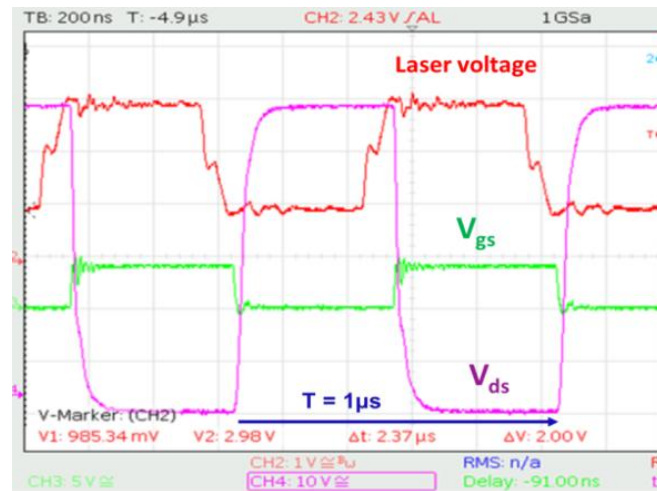


Figure III.44. Signaux du convertisseur abaisseur de tension réalisé durant une période de commutation à la fréquence de  $1\text{MHz}$ .

La figure III.44 ci-dessus montre la tension de commande du circuit de modulation interne du laser ( $V_{\text{laser voltage}}$ ), la tension  $V_{\text{gs}}$  entre la grille et la source de l'interrupteur, ainsi que la tension  $V_{\text{ds}}$  entre drain et source du même transistor de puissance. On peut observer le bon fonctionnement du circuit de la commande rapprochée. Un bon fonctionnement du convertisseur global a été observé jusqu'à la fréquence de  $1\text{MHz}$ , le fonctionnement de la puce est donc validé. Cependant, une commutation assez longue ( $52\text{ns}$  pour la phase de fermeture et  $55\text{ns}$  pour la phase d'ouverture) est observée à cause de la résistance ajoutée entre la puce et la grille du transistor.

La figure III.44 donne aussi une image de l'ondulation de la tension  $V_{\text{gs}}$  du transistor de puissance. Ceci est dû au fait des inductances parasites de la boucle de commande comme présenté sur la figure III.45. Afin d'éliminer ce problème, il faut limiter les inductances parasites créés par les fils de bonding et d'autres connexions entre les puces intégrées et le circuit PCB. Une solution possible est l'assemblage de la puce de commande CMOS sur le

PCB par une technologie flip chip pour réduire au maximum l'influence des interconnexions (figure III.46). L'inductance parasite créée par les bumps (pour la technologie flip chip) est alors beaucoup plus petite que celle créée par les fils de bonding. Dans cette première mise en œuvre, l'alimentation de la puce de commande est réalisée de façon classique par un circuit isolé de faible puissance. Néanmoins, cette première réalisation démontre le fonctionnement et la viabilité de notre approche de transfert des ordres de commande par voie optique.

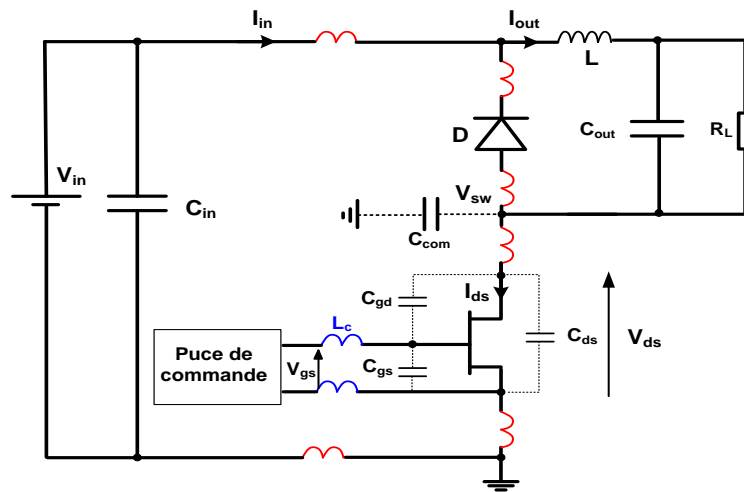


Figure III. 45. Schéma d'un convertisseur de puissance (buck) avec les principaux composants parasites dans la boucle de commande (bleu) et de commutation de puissance (rouge).

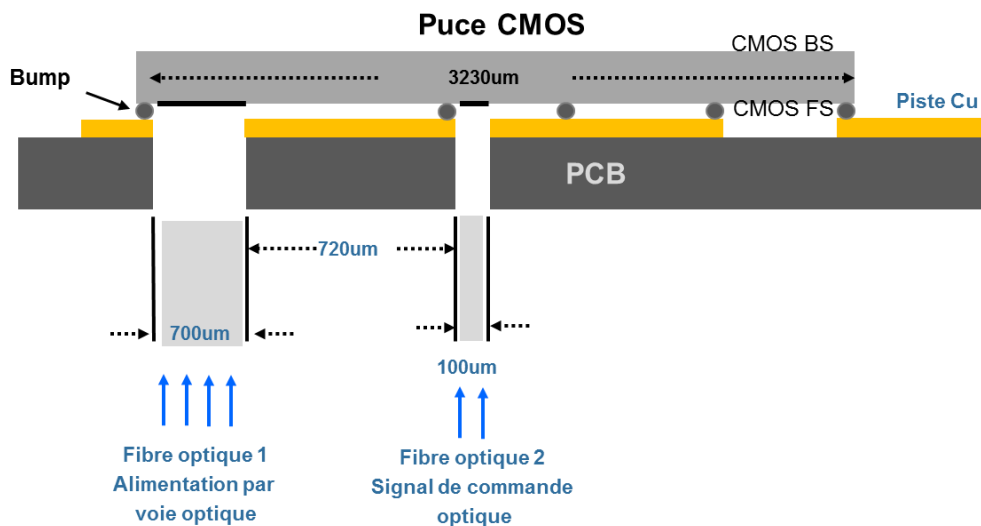


Figure III.46. Assemblage flip chip entre la puce CMOS et le PCB.

Afin de fournir l'énergie pour la puce de commande CMOS, une diode laser de forte puissance sera utilisée et via la fibre optique 1 pour guider la lumière vers les cellules

photovoltaïques. On utilise aussi une autre fibre optique (fibre 2) pour transférer le signal de commande optique de faible puissance. Les travaux de caractérisation seront ensuite mis en place après l'étape de packaging optique afin de valider le fonctionnement d'alimentation par voie optique de la puce de commande complète.

### **III.6. Conclusion et perspectives**

La conception et la caractérisation des différents étages d'un circuit de l'alimentation par voie optique intégré avec le circuit de commande rapproché ont été présentées dans ce chapitre III. La puce a été fabriquée en technologie CMOS standard via CMP. Une autre version au cahier des charges identique fut également conçue et testé à partir d'une technologie Xfab XT018 SOI afin de viser des applications à hautes températures et permettre d'autres possibilités d'intégration et d'isolation électrique. La caractérisation du fonctionnement de la puce CMOS et la mise en œuvre dans un convertisseur Buck ont été effectuées pour vérifier le fonctionnement de notre « gate driver ». La première conception du convertisseur avec la puce mise en boîtier a validé notre puce fabriquée. A cause du premier câblage de la puce par les fils de bonding qui présente des inductances parasites, une version de puce nue sur PCB assemblée par la technologie flip chip est en cours de développement afin de réduire ces éléments parasites. Une solution de packaging optique est également présentée dans ce chapitre. La caractérisation de la puce de commande complète (y compris le circuit des transferts des ordres de commande et de l'alimentation par voie optique) étant en cours, elle sera mise en place rapidement pour valider leurs fonctionnements.

## Conclusion générale et perspectives

Au cours de cette thèse, la conception des circuits de commande rapprochée par voie optique pour transistors de puissance, depuis la conception jusqu'aux problématiques des systèmes associés a été abordée.

Dans le premier chapitre de ce manuscrit, nous avons étudié les caractéristiques différentes des nouveaux composants par rapport à celles des composants en Si. Ces nouvelles caractéristiques de ces composants montrent des limites de l'état de l'art en face des nouvelles contraintes du circuit de commande surtout au problème de l'isolation galvanique entre le circuit de commande rapprochée et de commande éloignée.

À partir de ces études récentes traitant précisément de ces problématiques, nous avons proposé une solution facilement intégrable, efficace et robuste. Nous avons réalisé une étude de transfert de l'ordre de commutation par voie optique. Dans le deuxième chapitre, nous avons proposé un circuit complet de transfert des ordres de commande par voie optique. Le circuit complet inclus une photodiode CMOS associée avec son circuit de traitement de signal, fabriquée en technologie CMOS AMS standard  $0,35\mu\text{m}$  avec une faible taille ( $< 1\text{mm}^2$ ). Les résultats de mesures DC des photodiodes CMOS intégrées montrent une sensibilité spectrale importante ( $0,1\text{A/W} - 0,32\text{A/W}$ ), permettant de réduire la puissance optique nécessaire. Nous avons effectué aussi les caractéristiques de la puce de commande optique pour des températures variant de  $25^\circ\text{C}$  à  $90^\circ\text{C}$  avec différentes puissance optiques incidentes. La puce de commande réalisée présente donc une bonne performance en fonction de la température et de la puissance optique. Enfin, notre circuit n'a besoin que d'une centaine de  $\mu\text{W}$  pour avoir un temps de propagation d'environ  $21\text{ns}$ , et une distorsion autour de  $4\text{ns}$ .

Ensuite dans le troisième chapitre, une nouvelle piste de recherche a été développée en intégrant un circuit d'alimentation flottante par voie optique au sein du circuit de commande afin de profiter pleinement de l'avantage de l'approche d'intégration hybride driver/puissance. La source d'alimentation flottante a été réalisée par les 6 cellules photovoltaïques connectées en série avec un convertisseur DC/DC. La puce a été fabriquée en technologie ams CMOS C35 standard via CMP. Une autre version au cahier des charges identique fut également conçue et testé à partir d'une technologie Xfab XT018 SOI afin de

viser des applications à hautes températures. Les cellules photovoltaïques, ainsi que les convertisseurs DC/DC intégrées sont mesurés et caractérisés.

Les perspectives offertes par ces travaux de thèse sont multiples, à court terme et aussi à long terme. A court terme la poursuite de ces travaux s'oriente vers les caractérisations de la puce fabriquée en technologie Xfab à très haute température (au-delà de 200°C), ainsi que la mise en œuvre la puce de commande complète (comprenant la commande et l'alimentation par voie optique) dans un convertisseur de puissance.

Dans le cadre de travail en collaboration avec Davy COLIN (doctorant au G2elab), on a évalué la performance des cellules photovoltaïques intégrées en technologie CMOS SOI en fonction de forte puissance optique et de la température. Les résultats de mesure sont présentés dans la figure CG.01 (a), (b). On voit que sur la figure CG.01 (a), on peut donc obtenir une puissance électrique à la sortie des cellules environ 2.8mW (qui est correspondante avec la puissance optique incidente de 62.3mW). Et sur la figure CG.01 (b), on peut observer une très forte variation de la puissance électrique en fonction de la température de 0°C à 225°C. Cela est originale de la forte dépende de la tension sortie des cellules en fonction de la température. Il est nécessaire donc un MPP qui permet de suivre la point de puissance maximale en fonction de la température.

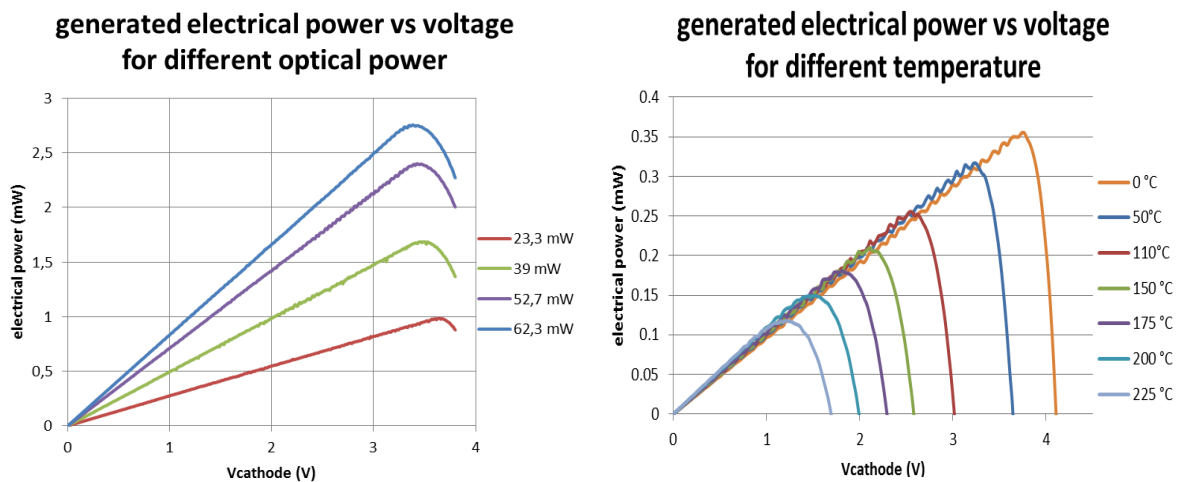


Figure CG.01. Caractéristique I(V) : (a) En fonction de forte puissance optique incidente à la température ambiante (b) En fonction de la température.

A moyen terme ces travaux de thèse, nous invitent à poursuivre les efforts déjà entrepris (dans le cadre du travail de thèse de Davy Colin au G2Elab) sur la conception de solutions d'isolation galvanique intégrée 3D principalement autour du routage et du packaging des

dispositifs et d'informations optiques dans le contexte d'un convertisseur d'électronique de puissance utilisant de nombreux composants de puissance à commander. Avec notre processus d'intégration et de packaging présenté dans cette thèse, de nombreux systèmes peuvent aussi être réalisés dans le but de simplifier la commande des systèmes d'électroniques de puissance et d'améliorer leurs performances. La figure CG-02 montre différents types de systèmes comprenant plusieurs interrupteurs pouvant être mis en œuvre. Ces travaux posent de nombreuses problématiques, notamment sur le routage optique, l'absorption, la tenue en tension et la tenue en température des parties photoniques et électroniques.

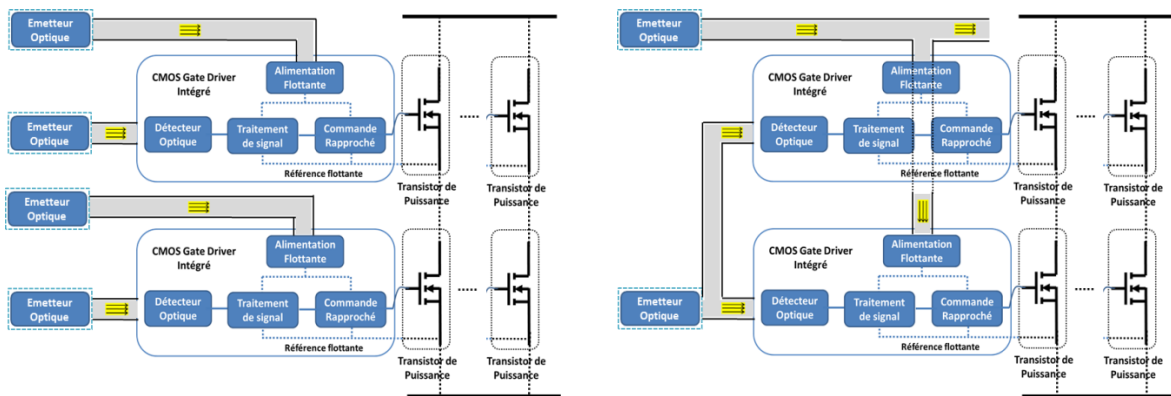


Figure .CG-01. Système de commande de plusieurs interrupteurs se basant sur le gate driver CMOS optique.

# Annexe I

L'équation de la réflexion  $R(\lambda)$  est déduite par l'équation suivant [Hec79], [Hea70], [Pal85], [Lee03]:

$$R(\lambda) = \frac{n_{SiO_2}^2 (n_{air} - n_{Si})^2 \cos^2(2\pi p / \lambda) + (n_{air} n_{Si} - n_{SiO_2}^2)^2 \sin^2(2\pi p / \lambda)}{n_{SiO_2}^2 (n_{air} + n_{Si})^2 \cos^2(2\pi p / \lambda) + (n_{air} n_{Si} + n_{SiO_2}^2)^2 \sin^2(2\pi p / \lambda)}$$

Où  $n_{air}$ ,  $n_{Si}$ ,  $n_{SiO_2}$  sont respectivement les indices de réflexion de l'air, du silicium, et du  $SiO_2$ .  
 $p$  est la différence de la longueur de trajet optique provoquée par la couche  $SiO_2$  et donné par :

$$p = n_{SiO_2} t_{ox}$$

Où  $t_{ox}$  est épaisseur de couche oxyde.





## Références bibliographiques

- [Avk96] A.V. Krishnamoorthy, T.K. Woodward, K.W. Goossen, J.A. Walker, A.L. Lentine, L.M.F. Chirovsky, S.P. Hui, B. Tseng, R. Leibenguth, J.E. Cunningham and W.Y. Jan, « Operation of a single-ended 550Mbit/s, 41 fJ, hybrid CMOS/MQW receiver-transmitter », *Electronics lettres* 11<sup>th</sup> April 1996, Vol.32 No. 8.
- [ACPL01] <http://www.avagotech.com/docs/AV02-2150EN>
- [ACPL346] <http://www.avagotech.com/products/optocouplers/industrial-plastic/isolated-gate-drive-optocouplers/gate-drives/acpl-w346-000e#>
- [ADM2400] ADuM2400: Quad-Channel Digital Isolators, Analog Devices datasheet. Available: [www.analog.com](http://www.analog.com).
- [AMS] Austriamicrosystems, "Austriamicrosystems Processes & Runs", 2011. [http://cmp.imag.fr/aboutus/slides/slides2008/03\\_AMS.pdf](http://cmp.imag.fr/aboutus/slides/slides2008/03_AMS.pdf)
- [AMS-01] Austriamicrosystems, "0.35µm CMOS C35 Process Parameters"
- [Avg12] V. Ching and F. Chwan JYE, « Ensuring rigorous isolation in field bus designs » Avago Technologies, Tech. Rep, 2012.
- [Bay12] Baykal Sarioglu, Ozan Aktan, Ahmet Oncu, Senol Mutlu, "An Optically Powered CMOS Receiver System for Intravascular Magnetic Resonance Applications", *IEEE Journal on emerging and selected topics in circuits and systems*, vol. 2, NO. 4, December 2012.
- [Bea91] B.Beaumont, J-C Guillaume, M.F Vilela, A.Salètes, C.Vèrié, "High efficiency conversion of laser energy and its application to optical power transmission", 1991.
- [Bek12] Sofiane Bekkal « Caractérisation de détecteurs optiques intégrés (DUT Mesures physiques) », 2012.
- [Ber96] R. Berriane, J.-L. Sanchez, and J. Jalade, "MOS-gated optically triggered thyristor : A new galvanically insulated high voltage integrated switch," *Solid-State Electronics*, vol. 39, no. 6, pp. 863–869, 1996.
- [Bin10] Bin Lu; Piedra, D.; Palacios, T.; , "GaN power electronics," *Advanced Semiconductor Devices & Microsystems (ASDAM)*, 2010 8th International Conference on , vol., no., pp.105-110, 25-27 Oct. 2010.
- [Che07] Robert Chébli, « Techniques de conception de nouvelles circuit intégrés haute tension CMOS dédiés aux émetteurs ultrasoniques », thèse Université de Montréal, Juillet 2007.
- [Che08] B. Chen, "Fully integrated isolated DC-to-DC converter and half bridge gate driver with integral power supply," 1st International Workshop on Power Supply on Chip, Analog Devices, Tech. Rep, 2008.
- [Col11] Steve Colino, Efficient Power Conversion, and Bob Bell & Youhao Xi, National Semiconductor « Gate drive design for enhancement-mode GaN FETs », [http://www.eetimes.com/document.asp?doc\\_id=1279058](http://www.eetimes.com/document.asp?doc_id=1279058)
- [Del09] O. Deleage, « Conception, réalisation et mise en oeuvre d'un micro convertisseur intégré pour la conversion DC/DC », Thèse, Université de Grenoble, octobre 2009.
- [Del14] Johan Delaine, « Alimentation haute fréquence à base de composants de

- puissance en Nitrure de Gallium », thèse, Université de Grenoble, 2014.
- [Dfe06] D.Vasic, F.Costa, and E. Sarraute, "Piezoelectric transformer for integrated MOSFET and IGBT gate driver," *IEEE Transactions on Power Electronics*, vol. 21, no.1, pp.56-65, Jan. 2006.
- [Dhe11] N. Dheilily, G. Paques, D. Planson, P. Bevilacqua, and S. Scharnholz, "Optical Triggering of 4h-SiC Thyristors with a 365 nm UV LED," *Materials Science Forum*, vol. 679-680, pp. 690-693, Mar. 2011.
- [Dra99] Dragan Maksimovic and Sandeep Dhar « Switched – capacitor DC-DC converters for Low power on chip applications », *Power Electronics Specialists Conference*, 1999.
- [Epa14] EPC, « Using Enhancement Mode GaN-on-Silicon Power FETs (eGaN FETs) », Application note AN 003, 2014.
- [EPC] <http://epc-co.com/epc/Products/eGaNfets.aspx>
- [EPC2001C] [http://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2001C\\_datasheet.pdf](http://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2001C_datasheet.pdf)
- [Fer09] M. Ferri, D. Pinna, E. Dallago, P. Malcovati, « Integrated Micro-Solar Cell Structures for Harvesting Supplied Microsystems in 0.35µm CMOS Technology », *IEEE SENSORS 2009 Conference*, 2009.
- [Foc00] H. Foch, F. Forest, and T. Meynard, « Onduleur de tension » *Techniques de l'ingénieur*, Ecole Nationale Supérieure de Cachan et Institut National Polytechnique de Toulouse, 2000.
- [FOD3182] <https://www.fairchildsemi.com/datasheets/FO/FOD3182.pdf>
- [Fuj10] H. Fujita, "A Resonant Gate-Drive Circuit Capable of High-Frequency and High-Efficiency Operation," *IEEE Trans. Power Electron.*, vol. 25, no. 4, pp. 962-969, Apr. 2010.
- [Fuj13] H. Fujita, "A Resonant Gate-Drive Circuit With Optically Isolated Control Signal and Power Supply for Fast-Switching and High-Voltage Power Semiconductor Devices," *IEEE Transactions on Power Electronics*, vol. 28, pp. 5423-5430, Nov. 2013.
- [Fxd91] F.X.D'amato, J.M. Berak and A.J Shuskus, "Fabrication and test pf an efficient photovoltaic cell for laser optical power transmission" 1991
- [Gae10] Gaetano Palumbo, Domenico Pappalardo « Charge Pump Circuits: An Overview on Design Strategies and Topologies », 1531-636X/10/\$26.00©2010 IEEE, *IEEE Circuits and systems magazine*, 2010
- [Gas14] GaN system, application note, « How to Drive GaN Enhancement Mode Power Switching Transistors », 21/10/2014
- [Gha11] S. Ghandour, « Conception de convertisseurs DC/DC à base de MEMS », Thèse, Université de Grenoble, 2011.
- [Gre14] Romain Grézaud, « Commande de composants grand gap dans un convertisseur de puissance synchrone sans diodes », Thèse, Université de Grenoble, 2014.
- [HCPL3810] <http://www.avagotech.com/products/optocouplers/industrial-plastic/isolated-gate-drive-optocouplers/gate-drives/hcpl-3180#>
- [HCP77] <http://www.avagotech.com/products/optocouplers/industrial-plastic/digital-optocouplers/high-speed-cmos/hcpl-7720>
- [Hea70] O. S. Heavens, « Thin film Optics, Methuen, London », 1970.

- [Hec79] E. Hecht, and A. Zajac, Optics, 4th Ed., Addison-Wesley Publishing Company Inc., 1979.
- [Hor04] Hornberger, J.; Lostetter, A.B.; Olejniczak, K.J.; McNutt, T.; Lal, S.M.; Mantooth, A.; , "Silicon-carbide (SiC) semiconductor power electronics for extreme high-temperature environments," Aerospace Conference, 2004. Proceedings. 2004 IEEE , vol.4, no., pp.2538-2555 Vol.4, 13-13 March 2004.
- [Hua08] H. Huang, M. Uder, R. Barthelmeß, and J. Dorn." Application of high power thyristors in HVDC and FACTS systems". In 17th Conference of Electric Power Supply Industry (CEPSI), Macau (JAPON), 2008.
- [Hug12] B. Hughes, J. Lazar, S. Hulsey, D. Zehnder, D. Matic, and K. Boutros, "GaN HFET switching characteristics at 350V/20A and synchronous boost converter performance at 1MHz," in 2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC), 2012, pp. 2506–2508.
- [Inf-01] IPW90R120C3: 900V CoolMOS Power Transistor, Infineon datasheet. Available: [www.infineon.com](http://www.infineon.com).
- [Inf-CoolMos] <http://www.mouser.fr/new/Infineon-Technologies/infineonCoolMOS/>
- [IPD33CN] IPP35CN10N : 100V OptiMOS 2 Power Transistor, Infineon datasheet. Available: [www.infineon.com](http://www.infineon.com)
- [Jan01] Janusz A. Starzyk, IEEE, Ying-Wei Jan, and Fengjing Qiu, « A DC–DC Charge Pump Design Based on Voltage Doublers » IEEE Transactions on circuits and systems – Fundamental Theory and applications, vol.48, NO.3 pp.350-359, March 2001.
- [Jeu-DL] Jeulin, Diode laser modulable, ref 201 002  
<http://poisson.ens.fr/Collection/documents/annexes/N.644.pdf>
- [Ken12] Brian Kennedy, "Design Fundamentals of Implementing an Isolated Half-Bridge Gate Driver", Technical Article MS-2318, 2012.
- [Ker13] Lyubomir Kerachev, « Technologies de mise en œuvre et stratégies de configuration de réseaux de micro-convertisseurs - Application au photovoltaïque », Thèse, Université de Grenoble, 12 /2013.
- [Kno03] J. Knorr and H. Zimmermann, "A Transmission-Line Approach for Modeling Feedback Resistors in Integrated Transimpedance Amplifiers", IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, vol. 50, no. 9, pp. 1192–1195, September 2003.
- [LaserB] <http://www.z-laser.com/en/products/product/machine-vision-lasers/zm18h/zm18/>
- [Lee03] Ji Soo Lee, «Photoresponse of CMOS Image Sensors» thesis, University of Waterloo, 2003.
- [Lef04] «S. Lefebvre and F. Miserey », Composants à semi-conducteur pour l'électronique de puissance: Lavoisier, 2004.
- [Lem03] S. Lefebvre and B.Multon « MOSFET et igt : circuits de commande », Techniques de l'ingénieur, 2003.
- [Let14] Thanh Long. Le, JC. Crebier, N. Rouger, "CMOS Integrated Optical Isolator for Power Transistor Gate Driver", IEEE IECON 2014, Dallas USA - Oct Nov

- 2014.
- [Let15] Thanh Long. Le, D. Colin, J.C. Crebier, N. Rouger, "CMOS Gate Driver with Integrated Optical receiver for Power Electronics applications", EPE 2015 - ECCE Europe, Geneva SW - Sept 2015.
- [Liz08] L. Lizarrage, "Technique d'auto test pour les imageurs CMOS », Thèse INP Grenoble, 2008.
- [LM5113] <http://www.ti.com/lit/ds/symlink/lm5113.pdf>
- [L660P120] <https://www.thorlabs.de/thorproduct.cfm?partnumber=L660P120>
- [Maz11] S. K. Mazumder and T. Sarkar, "Optically Activated Gate Control for Power Electronics," IEEE Transactions on Power Electronics, vol. 26, no. 10, pp. 2863–2886, Oct. 2011
- [MC0201] <http://www.farnell.com/datasheets/1901289.pdf>
- [Med12] F. Medjdoub, "Transistors à base de semi-conducteurs III-N sur substrat de silicium et applications," Tech. Ing. Innov. En Électronique Optoélectronique, vol. TIB257DUO, no. in146, Aug. 2012.
- [Met06] M. E. Thomas, Optical Propagation in Linear Media: Atmospheric Gases and Particles, Solid-State Components, and Water. Oxford University Press, 2006.
- [Mog14] Jean-François Mognotte, « Conception d'un circuit intégré en SiC appliqué aux convertisseurs de moyenne puissance » Thèse INSA Lyon, 07/2014.
- [Moj14] A. Mojab and S. K. Mazumder, "15-kV 100-A single-bias all-optical SiC emitter turn-off thyristor," in Energy Conversion Congress and Exposition (ECCE), 2014 IEEE, pp. 455– 459, IEEE, 2014.
- [Mor11] T. Morita, S. Tamura, Y. Anda, M. Ishida, Y. Uemoto, T. Ueda, T. Tanaka, and D. Ueda, "99.3% Efficiency of three-phase inverter for motor drive using GaN-based Gate Injection Transistors," in 2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC), 2011, pp. 481–484.
- [Nak08] « A. Nakagawa, Y. Kawaguchi et K. Nakamura » Silicon limit electrical characteristics of power devices and Ics. ISPS2008, 26-28, august, Prague, 2008.
- [Newport] Newport, "Calibrated DC detector 71648".
- [Ngv12] Nguyen The Van, « Circuit générique de commandes rapprochées pour l'électronique de puissance ». Thèse, Université de Grenoble, 2012.
- [Odo08] T. O'Donnell, N. Wang, R. Meere, F. Rhen, S. Roy, D. O'Sullivan, C. O'Mathuna "Microfabricated inductors for 20MHz DC/DC converters" 23th Applied Power Electronics Conference and Exposition, pp. 689 – 693 2008.
- [Ond13] K. Onda, A. Konno, J. Sakano, "New concept high-voltage IGBT driver with self-adjusting active gate control function for SiC-SBD hybrid module," in Proc. of IEEE International Symposium on Power Semiconductor Devices and ICs, pp. 343-346, 2013
- [Oza11] Ozan Aktan and all « Optoelectronic CMOS Power Supply Unit for Electrically Isolated Microscale Applications » IEEE Journal Of Selected Topics In Quantum Electronics, Vol.17 NO.30pp.747-756, May/June 2011.
- [Pal85] E. D. Palik, e.d., « Handbook of Optical Constants of Solids», Academic

- Press, 1985.
- [Pan08] Lucio Pancheri, Mauro Scandiuzzo, David Stoppa, Gian-Franco Dalla Betta, « Low-Noise Avalanche Photodiode in Standard 0.35 $\mu$ m CMOS Technology », *IEEE Transactions on electron devices*, vol.55, pp.457-461, N°.1, 01/2008
- [Par03] L.-Y. Park, S. Kim, J. Koo, T. Roh, D. Lee, Y. Yang, J. Kim "A fully integrated thin-film inductor and its application to a DC/DC converter" *ETRI Journal*, vol. 25, pp. 270-273, 2003.
- [Pel03] R. Pelliconi, D. Iezzi, A. Baroni, M. Pasotti, and P. L. Rolandi, "Power efficient charge pump in deep submicron standard CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 6, pp. 1068–1071, Jun. 2003.
- [Phot] [http://www.photline.com/filer/get/80/Tutorial\\_LiNbO3\\_Photline.pdf](http://www.photline.com/filer/get/80/Tutorial_LiNbO3_Photline.pdf)
- [Phu13] Phung Thanh Hai, « Conception d'un ´équilibreur de charge de batterie `a base du r´eseau de micro-convertisseurs » Thèse, Université de Grenoble, 12 /2013.
- [Pin06] B. A. V. Pinon, C. Garnier "High frequency monolithic DC/DC converter for system-on-chip power management" *Proceedings of the 18th international symposium on power semiconductor devices & IC's*, pp. 1-4, 2006.
- [Rad04] S. Radovanovic, « High - Speed Photodiodes in standard CMOS technology », 2004.
- [Raj13] Prabha,R.D et Rincon-Mora G.A, " CMOS photovoltaic - cell layout configurations for harversting microsystems", *Circuits and Systems (MWSCAS), 2013 IEEE 56th International Midwest Symposium on*, 4-7 Aug. 2013.
- [Ren05] Y. Ren, M. Xu, Y. Meng, and F. C. Lee, "12V VR Efficiency Improvement based on Two-stage Approach and a Novel Gate Driver," in *IEEE 36th Power Electronics Specialists Conference(PESC '05)*, 2005, pp. 2635–2641.
- [Ren12] X. Ren, Q. Chen, and X. Ruan, "Three-level driving method of gallium nitride power transistor," *ECCE 2012*, pp. 2949-2953, 25-Jul-2012.
- [Rob11] R. ROBUTEL, « Etude des composants passifs pour l'électronique de puissance à "haute température : application au filtre CEM d'entrée ». Thèse de doctorat, INSA de Lyon, 290 p, 2011.
- [Roo02] M.A. de Rooij, J.T. Strydom, J.D. van Wyk, P. Beamer, « Development of a 1MHz MOSFET gate-driver for integrated converters » *Conference Record of the 2002 IEEE Industry Applications Conference. 37th IAS Annual Meeting* 2622 - 2629 vol.4, 13-18 Oct. 2002
- [Ros04] V. Rossin, E. Zucker, M. Peters, M. Everett, and B. Acklin, "Highpower high-efficiency 910- to 980-nm broad-area laser diodes" *Proc. SPIE*, vol.5336, pp.196-202, July 2004, (doi:10.1117/12.528452)
- [Rou08] N. Rouger and J.-C. Crebier, "Toward Generic Fully Integrated Gate Driver Power Supplies," *IEEE Trans. Power Electron.*, vol. 23, no. 4, pp. 2106–2114, Jul. 2008.
- [Rou15] Nicolas Rouger, « Nouveau paradigme pour l'intégration des actifs en électronique de puissance », *Habilitation à diriger des recherches*, Université de Grenoble, 6/2015.
- [Rue12] D. Reusch, D. Gilham, Y. Su, and F. C. Lee, "Gallium Nitride based 3D integrated non-isolated point of load module," in *2012 Twenty-Seventh*

- Annual IEEE Applied Power Electronics Conference and Exposition (APEC), 2012, pp. 38–45.
- [Sar07-1] T. Sarkar and S. K. Mazumder, “Dynamic power density, wavelength, and switching time modulation of optically triggered power transistor (OTPT) performance parameters,” *Microelectronics Journal*, vol. 38, pp. 285–298, Feb. 2007.
- [Sar07-2] T. Sarkar and S. K. Mazumder, “Epitaxial design of a direct optically controlled GaAs/alGaAs based heterostructure lateral superjunction power device for fast repetitive switching,” *IEEE Transactions on Electron Devices*, vol. 54, no. 3, pp. 589–600, 2007.
- [Sch09] J. Schubert, E. Oliva, F. Dimroth, W. Guter, R. Loeckenhoff, A. W. Bett, “High-Voltage GaAs Photovoltaic Laser Power Converters”, *IEEE Transactions on Electron Devices*, vol.56, no.2, pp.170- 175, Feb 2009.
- [Sem-01] SJDP120R085: 1200V/27A Normally-On Trench Silicon Carbide Power JFET, Semisouth datasheet. Available: [www.semisouth.com](http://www.semisouth.com).
- [Shs01] S.C. Tang, S.Y.Hui, and Henry Shu-Hung Chung, “A low profile low-power converter with coreless PCB isolation transformer,” *IEEE transactions on Power Electronics*, vol. 16, no. 3, pp. 311-315, May 2001.
- [Shu13] Shu Ji High Frequency, High Power Density GaN-Based 3D Integrated POL Modules, Feb, 2013, Blacksburg, Virginia
- [Sim10] Timothe Simonot, Jean-Christophe Crébier, Nicolas Rouger, Victor Gaude. 3D hybrid integration and functional interconnection of a power transistor and its gate driver. ECCE (Energy Conversion Conference and Exposition) IEEE, Sep 2010, Atlanta, United States.
- [Sim11] T. Simonot «Conception et hybridation de l'environnement électronique des composants de puissance à structure verticale », Thèse, Université de Grenoble, octobre 2011.
- [SiP11] N. Rouger « Projet SiPowLight – Livrable 1 : Caractérisation », Grenoble.
- [Sji12] S. Ji, D. Reusch, and F. C. Lee, “High frequency high power density 3D integrated Gallium Nitride based point of load module,” in *Nitride based point of load module*,” in *Energy Conversion Congress and Exposition (ECCE)*, 2012 IEEE, 2012, pp. 4267–4273.
- [Sms07] S. M. Sze and K. N. Kwok, *Physics of Semiconductor Devices*, Third Edition. JOHN WILEY & SONS, JNC, 2007.
- [Sts-01] SCT30N120 :1200V/45A “<http://www.st.com/st-web-ui/static/active/en/resource/technical/document/datasheet/DM00053079.pdf>”
- [Sus04] M. Suster, W. H. Ko, and D. Young, “An optically powered wireless telemetry module for high-temperature MEMS sensing and communication,” *J. Microelectromech. Syst.*, vol. 13, no. 3, pp. 536–541, Jun. 2004.
- [Tav11] F. Tavernier, M. Steyaert, « High-Speed Optical Receivers with Integrated Photodiode in Nanoscale CMOS », *Analog Circuits and Signal Processing 5*, DOI 10.1007/978-1-4419-9925-2, © Springer Science+Business Media, LLC 2011
- [Tay11] Fatima Tayeb – Chandoul, Jeanne-Marie Coutin et Jean Bastie, « Méthode de mesure de la sensibilité spectrale des détecteurs pièges de référence ». *Revue*

- française de métrologie N° 25, Volume 2011-1, pp.45-54.
- [Tho01] <https://www.thorlabs.de/thorproduct.cfm?partnumber=TED4015>
- [Ton11] To Ngoc Duc « Intégration de l'isolation galvanique entre commande rapprochée et commande éloignée : analyse et caractérisation expérimentale » Rapport de stage du M2R 2011.
- [UCC11] <http://www.ti.com/lit/ds/symlink/ucc27611.pdf>
- [Vaf13] Raha Vafaei « Design, Fabrication, and characterization of A VMOS monolithic integrated optical Detector », Thèse, Université de Grenoble, 07/2014.
- [Visay-83] Visay Semiconductors, application note 83 "Optocoupler Common Mode Transient Immunity (CMTI) - Theory and Practical Solutions" <http://www.vishay.com/docs/83702/appnot83.pdf>
- [Wei15] Weiyang Zhou, Ke Jin, "Efficiency Evaluation of Laser Diode in Different Driving Modes for Wireless " Power Transmission IEEE Transactions on Power Electronics, 2015, Volume: 30, Issue: 11
- [Xfab-01] 0.18µm Process Family- 0.18 Micron HV SOI CMOS technology, Available:[http://www.xfab.com/fileadmin/X-FAB/Download\\_Center/Technology/SOI/XT018\\_Info\\_sheet.pdf](http://www.xfab.com/fileadmin/X-FAB/Download_Center/Technology/SOI/XT018_Info_sheet.pdf)
- [Xfab-02] Xfab, "Photo Diode Manual", 12/2010
- [Xih12] Youhao Xi, Min Chen, Kim Nielson, and Robert Bell, " Optimization of the drive circuit for enhancement mode power GaN FETs in DC-DC converters DC converters," in 2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC), 2012, pp. 2467–2471.
- [Yan05] Qianyi yang, « Design of front-end amplifier for optical receiver in 0.5 micrometer CMOS technology », Thesis, University of Hawaii, 2005.
- [Zel10] F. Zeltner, S. IISB and Erlangen, "Insulating IGBT driver with PCB integrated capacitive coupling elements," in Integrated Power Electronics Systems (CIPS), 6th International Conference on, 2010.
- [Zha10] F. Zhao and M. M. Islam, "Optically Activated SiC Power Transistors for Pulsed-Power Application," IEEE Electron Device Letters, vol. 31, pp. 1146–1148, Oct. 2010.
- [Zhi07] Zhihua Yang, Sheng Ye, and Yan-FeiLiu, "A New Resonant Gate Drive Circuit for Synchronous Buck Converter," IEEE Trans. Power Electron, vol. 22, no. 4, pp. 1311–1320, Jul. 2007.





### **Isolation galvanique intégrée pour nouveaux transistors de puissance**

**Résumé :** Ces travaux de thèse proposent une approche de réalisation d'intégration d'isolation galvanique optique plus performante entre la partie de commande éloignée et la partie de puissance d'un convertisseur d'énergie. Ce mémoire de thèse est composé de trois chapitres. Après une étude bibliographique et un positionnement de l'approche dans le premier chapitre, la conception de la puce de commande, les différentes fonctions développées seront vus en détail, et les résultats pratiques et les performances des réalisations effectuées seront présentés, avec plusieurs études de photodétecteurs et circuits de traitement intégrés en technologie CMOS. Dans le dernier chapitre de la thèse, un autre aspect sera abordé, en intégrant une alimentation flottante isolée générée par voie optique. Les avantages résultant de cette approche seront également discutés. Les puces de commande sont fabriquées en technologie CMOS standard C35 AMS pour les premiers prototypes et transférées en technologie CMOS SOI Xfab 018 afin de tester nos fonctions à haute température. La mise en œuvre du circuit de commande par voie optique dans un convertisseur de puissance sera réalisée afin de valider le fonctionnement de notre « gate driver ».

**Mots clés :** Driver intégré, isolation galvanique optique, driver isolé, intégration CMOS, intégration SOI, intégration monolithique.

### **Galvanic isolation integrated for new power transistors**

**Abstract:** This works proposes an approach of optical galvanic isolation between the control parts on one side and the power transistors and their associated drivers on the other side. This thesis consists of three chapters. After a literature review and the proposition of our approach in the first chapter, the design of the control chip and the different developed functions will be seen in detail in the second chapter. The practical results and performance achievements will be presented with several integrated photodetectors and signal processing circuit in CMOS technology. In the last chapter of the thesis, an integrated optically floating power supply will be investigated. The benefits of this approach will be discussed. These fabricated chips are manufactured in standard CMOS AMS C35 technology for first prototypes and transferred in SOI Xfab 018 CMOS technology to test these functions at high temperature. The implementation of the optically control circuit in a power converter will be presented to validate the operation of our "gate driver".

**Keywords:** Integrated driver, optical isolation, isolated driver, CMOS driver, SOI driver, monolithic integration.