



HAL
open science

Approche systémique pour l'analyse de l'impact des décharges électrostatiques : du composant au système

Fabrice Caignet

► **To cite this version:**

Fabrice Caignet. Approche systémique pour l'analyse de l'impact des décharges électrostatiques : du composant au système. Micro et nanotechnologies/Microélectronique. Université Toulouse III Paul Sabatier, 2015. tel-01292134

HAL Id: tel-01292134

<https://theses.hal.science/tel-01292134v1>

Submitted on 29 Mar 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Habilitation à diriger des recherches

**Approche systémique pour l'analyse de
l'impact des décharges
électrostatiques : du composant au
système**

Fabrice CAIGNET

le 30 janvier 2015

Université de Toulouse Paul Sabatier

Mentor :

DR Marise Bafleur

Jury :

Pr. Geneviève Duchamp, Rapporteur

Dr (Hdr) Moncef Kadi, Rapporteur

Pr. José Schutt- Ainé, Rapporteur

Dr. (Hdr) Philippe Galy

Pr. Etienne Sicard

Pr. Thierry Parra

André Durier

Pr. Nicolas Nolhier

Remerciements

Le travail présenté dans ce mémoire a été réalisé au sein du LAAS-CNRS de Toulouse (Laboratoire d'Analyse et d'Architecture des Systèmes) dans l'équipe ESE (Energie pour les systèmes Embarqués) émanant de la séparation en deux de l'équipe ISGE (Intégration des Systèmes pour la Gestion de L'énergie) en 2013. Je tiens à remercier les directeurs successifs du laboratoire, J.C. Laprie, M. Ghallab, R. Chatila J.L. Sanchez et pour finir J. Arlat, pour m'avoir permis de mener mes activités de recherche au sein de leur établissement.

J'adresse mes sincères remerciements aux rapporteurs de ce travail, Geneviève Duchamp, professeur à l'université de Bordeaux I, Moncef Kadi, enseignant chercheur (HDR) à l'ESIGELEC, et enfin José Schutt-Ainé, professeur à l'université d'Illinois Champagne (USA) qui m'ont fait l'honneur de consacrer du temps pour juger ces travaux. Je remercie tout particulièrement José que j'ai connu lors de mes premiers travaux de recherche au sein du laboratoire de l'INSAT (Institut National des Sciences Appliquées de Toulouse), qui m'a fait l'honneur de faire le déplacement pour assister à ma soutenance. Mes remerciements s'adressent aussi aux membres du jury : Thierry Parra, Professeur à l'université Paul Sabatier (UPS) qui a présidé la soutenance. Etienne Sicard, professeur à l'INSAT, qui fut mon directeur de thèse, et qui au long de ces nombreuses années a toujours soutenu et encouragé mes axes de recherches. Philippe Galy (HDR), Directeur Technique à ST-Microelectronics, pour ces nombreux commentaires concernant les retombées industrielles de mes travaux. André Durier, responsable de projet à l'Institut de Recherche, Technologique de Toulouse (IRT), expert en CEM des systèmes. Enfin je tiens à remercier chaleureusement mes collègues, Marise Baffleur, Directrice de recherche au CNRS, mentor de ce travail qui a toujours eu confiance dans la portée de l'axe de recherche que j'ai mené. Nicolas Nolhier, collègue et ami avec qui tous les jours nous avons partagé et échangé dans la bonne humeur. Les travaux évoqués dans ce mémoire s'étendent sur une dizaine d'années durant lesquelles nous avons partagé des préoccupations scientifiques avec de nombreux partenaires, collègues ou étudiants-doctorants. Je tiens à remercier en tout premier mes doctorants qui grâce à leurs efforts ont contribué à la reconnaissance internationale de notre équipe. Nicolas Lacrampe, Nicolas Monnereau et Sandra Giraldo-Torres et Rémi Bégès. Je remercie aussi mes collègues de recherche au LAAS, CNRS, David Trémouilles chargé de recherche, pour son expertise sur la physique des compo-

sants de protection ESD. Sonia Delmas Bendhia et Alexandre Boyer, pour leur expertise en compatibilité électromagnétique (CEM), et Nicolas Mauran sans qui beaucoup d'expérimentations seraient difficiles. Les nombreux partenaires, Patrice Besse, Jean-Philippe Lainé, Kamel Abouda, Alain Salles (Fresscale), Frédéric Lafon (VALEO), Géraldine Saint-Upéry (On-semi-conductor), Christian Marot (EADS-IW).

De part mon activité d'enseignant à l'université de Toulouse, je veux souligner que mes activités de recherche, se sont trouvées enrichies par les nombreuses discussions ouvertes avec mes collègues universitaires. J'élargis donc mes remerciements à toutes ces personnes, il se reconnaîtront.

Je remercie enfin mes amis, ma famille et plus particulièrement ma femme Frédérique et mes enfants, Marie, Martin et Alexis.

Table des matières

Préambule	7
1 Introduction générale	11
1.1 Problématique ESD : Un parallèle avec l'EMC...	11
1.2 Une électronique de plus en plus sensible	14
1.3 Défi à relever	15
2 Les décharges électrostatiques : du composant au système	21
2.1 La problématique ESD	21
2.1.1 Protéger les circuits intégrés	21
2.1.2 Les protections ESD	21
2.1.3 Stratégie de protection des circuits intégrés	24
2.2 Les normes et les méthodes	26
2.2.1 Les normes au niveau composant	26
2.2.2 Les normes au niveau système	28
2.2.2.1 La norme IEC 61000-4-2, ou pistolet ESD	28
2.2.2.2 Problèmes liés à cette norme :	31
2.2.2.3 Norme standard ISO 10605	33
2.2.2.4 Le modèle HMM (Human Metal Model)	33
2.3 Conclusion	34
3 Modélisation comportementale du système	35
3.1 Introduction	35
3.2 Principe de modélisation	36
3.3 Modélisation du circuit imprimé (Printed Circuit Board – PCB)	38
3.3.1 Modèle de ligne en forte injection	38
3.3.1.1 Condensé théorique des lignes de propagation	38
3.3.1.2 Développement d'une expérimentation pour la validation TDR	41
3.3.1.3 Validation et simplification des modèles de ligne pour les applications ESD	42

3.3.1.4	Assemblage hiérarchique des modèles de ligne pour la modélisation complète d'une carte PCB	45
3.3.2	Modélisation des passifs	45
3.4	Modélisation des circuits intégrés.	46
3.4.1	Structure interne des Circuits Intégrés (CI)	47
3.4.2	Les modèles IBIS ; Intérêts – Limitations	48
3.4.2.1	Analyse des fichiers IBIS pour la prédiction des ESD	50
3.4.2.2	Conclusion sur les fichiers IBIS – amélioration	56
3.4.3	Mise en place d'un réseau d'alimentation	58
3.4.4	Extraction d'informations à partir de mesures	58
3.4.5	Développement de modèles comportementaux.	59
3.4.5.1	Principe de modélisation :	60
3.4.5.2	Exemple de mise œuvre sur une structure à retournement :	60
3.4.5.3	Résumé sur la mise en place du modèle de protections	61
3.5	Conclusion	62
4	Validation de la méthodologie de modélisation	65
4.1	Analyse quasi-statique	65
4.2	Simulations transitoires	66
4.3	Ajout de critères de défaillance :	70
4.3.1	Critère pour l'analyse de la robustesse matérielle.	70
4.3.2	Modélisation de défaillances fonctionnelles	72
4.4	Conclusion	79
	Conclusion générale	83
	Bibliographie	89
	Liste des publications	99
	Curriculum vitae	107
	Publications les plus significatives	115

Préambule

Le présent document a pour objet de résumer mes huit années de travail dans les groupes ISGE (Intégration des Systèmes pour la Gestion de l'Energie) puis ESE depuis 2012 (Energie des Systèmes Embarqués) du Laboratoire d'Architecture et d'Analyse des Systèmes (LAAS – CNRS). Les travaux antérieurs résultants de la poursuite de mes travaux de thèse ainsi que les cinq années passées dans le groupe photonique du LAAS ne seront pas abordés. J'ai soutenu mon doctorat à l'Institut National des Sciences Appliquées de Toulouse (INSAT) en décembre 1999 sur l'intégrité de signal des circuits intégrés sous la direction d'Etienne Sicard. Mon travail à l'INSAT durant mon doctorat et mon année d'ATER qui a suivie consistait à analyser les problèmes de couplage diaphoniques et les problèmes de délais de propagation liés aux interconnexions dans les puces électroniques pour les technologies sub-microniques. Pour ce travail, et en forte collaboration avec Sonia Delmas, nous avons développé un capteur intégré pour la mesure des phénomènes parasites sur puce [1, 2]. Les capteurs ont été intégrés dans trois technologies différentes ($0,7\mu\text{m}$, $0,35\mu\text{m}$ et $0,18\mu\text{m}$) et m'ont permis de mettre au point des relations empiriques liant les délais et les couplages aux paramètres géométriques et aux buffers. Au final, mes travaux ont permis de mettre en place des abaques technologiques et des règles d'aide au placement routage. Ce travail a été fait en collaboration avec STMicroelectronics dans le cadre d'un projet européen MEDEA. La méthode d'extraction des abaques et les règles proposées ont été utilisées par STMicroelectronics. Dans le même temps, des lois de calcul empiriques du couplage et des délais de propagation ont été intégrées dans un logiciel de CAO pour visualiser leurs impacts après routage (codage réalisé avec E. Sicard pour le logiciel MicroWind). Un algorithme d'optimisation du placement routage pour pallier les problèmes de délais de propagation et de couplage a été proposé [3, 2].

J'ai intégré le groupe Photonique du LAAS-CNRS pour travailler sur l'intégration opto-électronique dans les puces en février 2001. L'expérience que j'ai pu acquérir sur la problématique des délais intra-puces liés aux interconnexions m'a donné un avis critique sur l'intégration de l'optique au niveau des puces pour résoudre les problèmes de vitesse de traitement des processeurs. Avec Jacques Collet (Directeur de recherche au LAAS-CNRS) nous avons confronté nos visions pour évaluer les perspectives d'intégration de l'optique dans les 10-15 années à venir. Sur la base de simulations de technologies qui n'existaient pas encore, mais clairement définies dans l'IRTS Raodmap [4], nous avons essayé de dé-

terminer le gain de l'intégration optique dans les puces pour les micro-processeurs hautes performances. Plusieurs paramètres ont été analysés : les performances de vitesse des signaux, la consommation d'énergie, et le coût. Après quatre années de travail sur l'évolution des architectures de microprocesseur, les techniques de placement routage pour optimiser les délais et les technologies permettant de développer les émetteurs photoniques (sur silicium ou par report de puce), nous avons conclu que le gain en terme de performance restait faible. Il faut garder à l'esprit que le paramètre réellement important est le ratio million d'instructions par seconde (Mips) par rapport au coût. Avec les architectures multiprocesseurs, le nombre d'instructions traitées augmente très vite (proportionnellement au nombre de processeurs), et les délais d'accès aux mémoires diminuent (mémoires réparties et placées au plus proche des cœurs de calcul). Cette constatation reste vraie encore aujourd'hui. Les fréquences d'horloge des processeurs n'ont pas vraiment augmenté en quinze ans. Cependant les performances de ces derniers n'ont cessé de croître. Enfin, l'introduction de l'optique ajoute un surcoût important, bien supérieur à la surface nécessaire à la duplication de cellules pour maintenir des vitesses élevées. Ces résultats ont été publiés dans une revue [5] et un chapitre de livre : "Quel avenir pour les interconnexions optiques intra-interpuce?" de Serge Valette [6]. Si les interconnexions optiques présentaient peu d'intérêt pour l'intra-puce, elles pouvaient cependant être utilisées pour les connexions inter-puce.

En septembre 2005, j'intègre le groupe ISGE (Intégration des Systèmes pour la Gestion de l'Energie) du LAAS –CNRS pour travailler dans l'équipe ESD – ElectroStatic Discharge (En collaboration avec Marise Baffleur et Nicolas Nolhier). L'équipe ESD est experte dans le développement de protections ESD intégrées avec de nombreuses thèses soutenues sur ce sujet. Mes connaissances antérieures en Compatibilité Electromagnétique (CEM) et en intégrité du signal m'ont permis de monter une thématique nouvelle au LAAS : "l'impact des ESD au niveau système". Même lorsque les ESD sont bien maîtrisées au niveau de la puce, il est très difficile de prévoir leurs impacts suivant les configurations d'un système sur carte. En effet, le niveau de complexité des cartes électroniques, les interactions entre les éléments (passifs, actifs) rendent difficile la prédiction des chemins de courant de décharge. Outre la destruction des circuits intégrés, les ESD peuvent induire des défaillances purement fonctionnelles, mais tout aussi dangereuses pour les applications embarquées. Ce type de défaillances est très proche de celles observées lors d'événement CEM (RESET, fautes logiques,...). En 2005-2006, l'état de l'art sur les ESD au niveau du système est faible. Cette thématique a nécessité un effort important de développement de nouvelles techniques de caractérisation et de modélisation.

Face à la complexité des systèmes, ma démarche s'est orientée vers une approche systémique des ESD au niveau des systèmes pour pouvoir prédire l'impact des ESD. Mais avant de rentrer en détail dans mon travail, je vous propose de définir succinctement la

notion d'approche systémique ("succinctement" car la systémique est une science à part entière).

La définition du dictionnaire Larousse est la suivante : "Approche systémique : Se dit d'une approche scientifique des systèmes politiques, économiques, sociaux, etc., qui s'oppose à la démarche rationaliste en abordant tout problème comme un ensemble d'éléments en relations mutuelles". Une assez bonne définition de l'approche systémique est donnée dans l'article [7]. L'approche "système" désigne une méthode scientifique permettant d'aborder les systèmes complexes, là où une approche cartésienne (centrée sur un objet) ne permet pas d'appréhender la complexité. La systémique est un savoir répondant à quatre concepts de base : le système, la complexité, la globalité, et l'interaction.

De façon générale, une démarche systémique analyse les systèmes complexes dans leur globalité en s'intéressant tout particulièrement aux interactions entre les éléments du système (ou composants) mais aussi entre le système et son environnement. La finalité est de prédire par la modélisation l'évolution de ce système. D'après [7], cette démarche passe par "l'élaboration de modèles qualitatifs, à la construction de modèles dynamiques et quantifiés, opérables sur ordinateur et débouchant sur la simulation. C'est pourquoi la mise en œuvre de cette démarche passe par un effort d'apprentissage qui doit permettre d'alterner entre concepts et pratique, et de progresser par niveau et par itération".

C'est dans cet état d'esprit que nous avons abordé la problématique des ESD au niveau système. Un grand nombre d'expérimentations et de techniques d'investigation ont été développées pour qualifier et quantifier les phénomènes de propagation et les interactions entre les composants de nos systèmes sur carte. La méthodologie présentée au travers de trois thèses fait à chaque fois correspondre des expérimentations et des modèles permettant de valider une des briques nécessaires à la simulation. Ces modèles que nous proposons dans ce document sont purement comportementaux et n'ont pas forcément de réalité physique. Notre démarche de simplification est nécessaire pour faire face à la complexité et c'est l'ensemble de cette méthodologie que je traite dans ce document.

1 Introduction générale

1.1 Problématique ESD : Un parallèle avec l'EMC...

Les décharges électrostatiques, ou ESD (ElectroStatic Discharges) ont toujours fait partie de notre environnement. Ce sont des phénomènes naturels issus de l'évacuation brutale de charges accumulées dans un matériau. La décharge ainsi définie, n'est ni plus ni moins qu'un courant (ou "courant de décharge") entre le matériau et un autre corps ayant un potentiel différent [8, 9, 10]. Les mécanismes donnant naissance à ces décharges sont bien développés dans les thèses de N. Lacrampe, N. Monnereau et S. Giraldo . Les décharges électrostatiques engendrées au niveau des systèmes électroniques sont similaires au phénomène de foudre [11]. Bien que les puissances mises en jeu soient sans comparaison, ces dernières peuvent avoir des conséquences dévastatrices sur les systèmes électroniques qui ont pris une place prépondérante dans notre environnement : multimédia, automobile, aéronautique, etc... Ces systèmes électroniques mobiles de par leurs utilisations sont qualifiés de systèmes embarqués et doivent répondre à des contraintes de fonctionnement en temps réel. Dans les domaines automobiles et aéronautiques la sûreté de fonctionnement est une priorité pour assurer la sécurité des utilisateurs. Aucun défaut de fonctionnement n'est toléré pour ces applications.

De par les conditions d'utilisation des produits électroniques, leur environnement n'est pas contrôlé et donc pas "sûr". Tout système est exposé aux contraintes électromagnétiques et électrostatiques. Avant d'introduire les contraintes électrostatiques sur les systèmes qui sont le cœur de ce document, nous nous attarderons sur les contraintes électromagnétiques, car elles sont une bonne illustration du devenir de la problématique électrostatique sur les systèmes électroniques.

Les contraintes électromagnétiques sont les premières à avoir été étudiées. L'appellation connue de cette discipline est CEM pour Compatibilité ElectroMagnétique qui peut être définie dans son sens général comme : "l'aptitude d'un appareil ou d'un système à fonctionner de manière autonome dans son environnement électromagnétique, sans produire lui-même de perturbations électromagnétiques intolérables pour tout ce qui se trouve dans cet environnement" [12]. En résumé, il s'agit de produire des systèmes qui ne se perturbent pas les uns les autres et respectent des contraintes en termes d'émission (on parlera de EMC : ElectroMagnetic Compatibility) et de susceptibilité (ou EMI : ElectroMagnetic

Interference). Les perturbations électromagnétiques sont apparues dès l'arrivée de l'électronique, pendant la première guerre mondiale, avec notamment les premiers appareils de communication et de surveillance (radio, radar, sonars). Dès lors, les premiers comités chargés d'assurer les problèmes de compatibilité électromagnétique naissent (Création du CISPR en 1934). L'accélération des normes et réglementations est effective durant la deuxième guerre mondiale avec l'explosion de l'aviation et une orientation de la guerre vers une guerre dite "Moderne". Entre les années 50 et 80, l'électronique ou plutôt l'électrotechnique est réglementée par plusieurs organismes normatifs dont le rôle est de garantir que tout système respectera les exigences CEM en termes d'émission et de susceptibilité.

Les normes, essentiellement basées sur des essais, définissent principalement les techniques de validation finale des produits.

Les directives européennes en terme de CEM [12] ont un double objectif : favoriser les échanges commerciaux en supprimant les réglementations disparates et imposer un code de bonne conduite dans la gestion de l'environnement électromagnétique [13]. Les aspects sécuritaires sont aussi pris en compte car l'action des perturbations électromagnétiques sur certains systèmes peut se traduire par des dysfonctionnements mettant en cause la sécurité des personnes. C'est le cas de l'automobile ou de l'aéronautique où, en plus des normes classiques, des normes dédiées plus contraignantes sont imposées (ISO pour l'automobile [14, 15, 16, 17, 18] et DO160 spécifique à l'aéronautique– Part 15 à 22 et 25, [19]). Tout produit ou système électronique est donc contraint avant sa commercialisation.

Les problèmes liés à la CEM ont réellement explosé il y a une vingtaine d'années avec l'introduction de la micro-électronique dans les systèmes. La réduction des dimensions technologiques des semi-conducteurs a permis d'exploser les possibilités de traitement de l'information. Cependant les puces souffrent de fragilités accrues liées aux diminutions des tensions d'alimentation et à l'augmentation de fréquences de fonctionnement.

Actuellement, la CEM des circuits intégrés commence à être bien maîtrisée. Un grand nombre de normes visant la CEM des circuits intégrés est né ces dix dernières années [20, 21]. Un comité de normalisation IEC est directement lié au développement de normes pour la caractérisation des circuits intégrés. (IEC SC 47A WG 2, 2000 EMC IC MODELING). Certains modèles récents permettent d'aller plus loin dans la prédiction de l'émission comme le modèle ICEM [22].

Depuis quelques années un grand nombre d'ouvrages présentant les outils et méthodes sont disponibles. La CEM est aujourd'hui un domaine bien maîtrisé, et en dehors de quelques points particuliers ou de produits plus exotiques elle relève essentiellement de problématiques industrielles. La recherche est maintenant axée sur certaines activités ciblées comme l'impact du vieillissement, l'obsolescence, ou la sécurité sur laquelle travaille une équipe du LAAS au travers du projet MATAHARI (ANR MATAHARI).

Cette introduction sur la CEM semble être éloignée du sujet traité dans ce document. Or

les ESD appliquées aux systèmes font l'objet d'une seule et unique norme introduite par les comités de normalisation CEM en 1989, IEC 61000-4-2 [23], appelée communément "Gun test" ou "pistolet ESD". Celle-ci est issue de la norme : "Electromagnetic compatibility for industrial process measurement and control equipment – Part 2 : Electrostatic discharge requirements, prepared by IEC technical committee 65 : Industrial-process measurement and control". Sa première édition date de 1995 et elle fut approuvée en 1998. Une dernière révision de cette norme date de 2008 qui permet de spécifier des niveaux d'émission électromagnétiques maximaux du pistolet lors des tests.

Bien que cette norme soit en application depuis une quinzaine d'années, la problématique des ESD dans les systèmes a commencé à être vraiment cruciale vers les années 2007-2008. Les premiers problèmes sont réellement apparus autour de l'année 2005 pour les applications automobiles et militaires. C'est dans ce cadre que mes travaux sur ce sujet ont débuté. Vers 2007-2008, fortement lié à l'explosion des systèmes électroniques autonomes, l'impact des ESD au niveau des systèmes devient un axe majeur. A ce jour, la réponse électrique des systèmes électroniques vis-vis des stress transitoires électriques rapides, ou Electrical Fast Transient (EFT) dont font partie les ESD, n'est pas caractérisée. Dans le même temps, l'évolution des technologies des semi-conducteurs et la multiplication d'applications embarquées dans des environnements sévères, font des défaillances induites par les ESD une préoccupation majeure. Les ESD sont des sources puissantes d'interférences pouvant générer des défaillances électroniques et des pertes de fonctions, réduisant fortement la fiabilité des équipements. L'article publié par J. Rivenc fait état d'environ deux décharges par jour sur un système électronique automobile, soit entre 5000 et 10000 décharges sur la durée de vie du produit [24]. Cette étude marque le début de la prise de conscience de la problématique ESD sur les systèmes électroniques embarqués par les industriels.

1.2 Une électronique de plus en plus sensible

Des années 90 aux années 2000, le niveau de robustesse des protections intégrées sur les puces n'a cessé de diminuer comme le montre le graphe suivant [25].

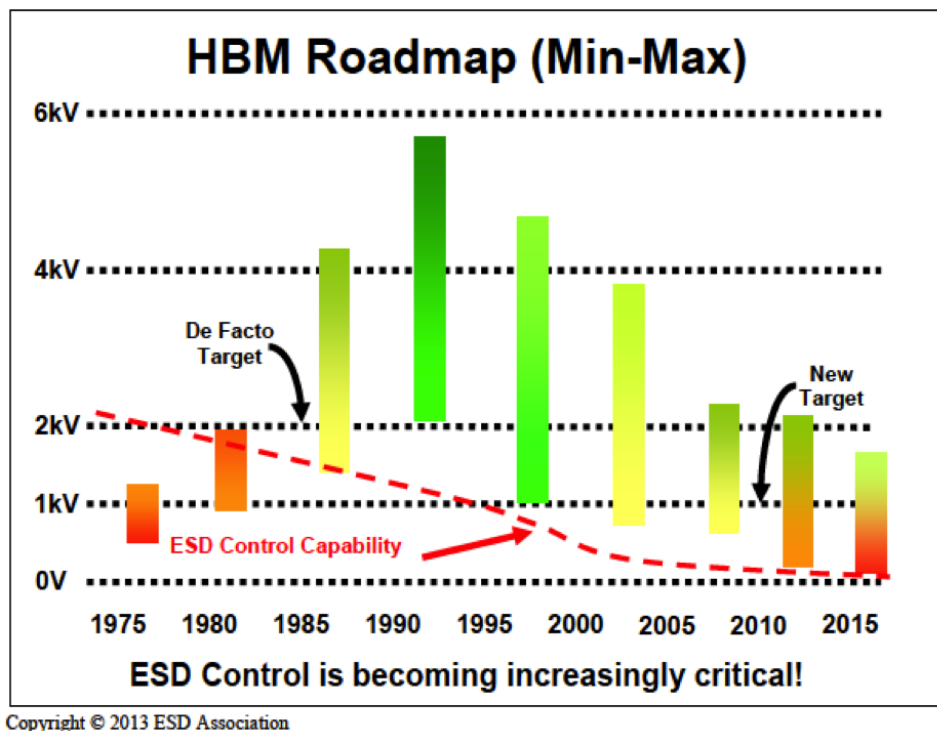


FIGURE 1.1 – Evolution de la robustesse des composants électroniques face aux ESD [25].

Cette courbe publiée par l'ESDA (ESD Association) dans le document "2013 ESDA Roadmap" [25], fait état de la robustesse HBM (pour Human Body Model – norme que nous définirons dans le chapitre suivant) requise sur les entrées et sorties des composants. Nous constatons que les niveaux de robustesse augmentent jusque dans les années 90 pour diminuer de façon significative. Sur les applications utilisant les technologies les plus agressives (dimensions les plus petites possibles) ce niveau est maintenant en dessous de 1,5 KV HBM. La courbe en rouge, "ESD control capability" représente l'évolution des niveaux de décharge que sont capables de garantir les zones protégées aux ESD (EPA - Electrostatic Protected Area). En d'autres termes, nous sommes maintenant capables de garantir que les décharges dans les zones d'assemblage sont quasi-nulles. Les protections ESD intégrées sur les circuits étant faites pour protéger ces derniers dans ces zones, il n'est plus nécessaire de développer des structures capables de supporter de grosses décharges, d'autant plus que ces dernières sont coûteuses en surface silicium. Depuis les années 90, les protections intégrées sont donc intrinsèquement de moins en moins "efficaces".

Cependant depuis 10 ans, avec l'explosion des systèmes électroniques nomades ou em-

barqués, le niveau de robustesse n'est plus lié qu'aux seules contraintes des zones d'assemblage, mais surtout aux recommandations des équipementiers qui souhaitent garantir des systèmes électroniques embarqués robustes. Un exemple d'exigence des constructeurs automobiles fut présenté par C. Lippert de Audi automobile au workshop IEW 2010, qui reporte la contrainte ESD jusque sur les fabricants de circuits [26].

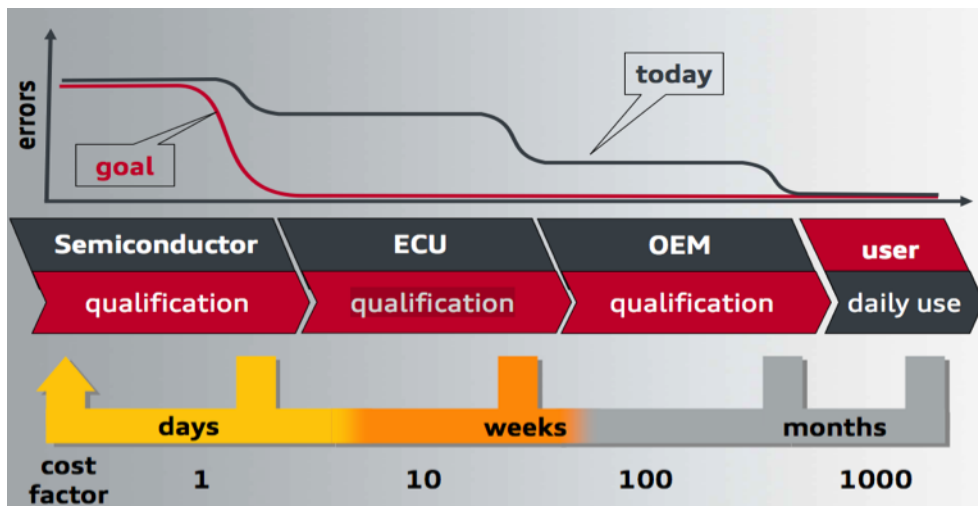


FIGURE 1.2 – Exigence industrielle en terme de sûreté de fonctionnement vis à vis des ESD présenté par C. Lippert, IEW 2010 [26].

Aujourd'hui 8KV - 32A (contact) suivant la norme IEC61000-4-2 ou pistolet ESD sont demandés pour les applications multimédia nomades, et 16KV contact, 32KV dans l'air pour l'automobile (Figure 1.3 (b)).

1.3 Défi à relever

Pour résumer, d'un coté nous avons les fabricants de composants pour qui les ESD apparaissent dans les zones d'assemblage. Les protections ESD intégrées sont donc adaptées à ces zones et sont validées par l'utilisation de normes comme le HBM (Human Body Model), le CDM (Charge Device Model) ou le MM (Machine Model). Les allures dynamiques des courants générés par ces trois modèles sont reportées sur la Figure 1.3 (gauche) en noir, rouge et bleu respectivement. Les techniques pour développer des protections sont bien maîtrisées et il y a relativement peu de déchets.

D'un autre coté, les fabricants de système doivent garantir la robustesse de leurs applications dans leurs environnements finaux d'utilisation. La seule norme disponible est l'IEC 61000-4-2 dont le niveau est bien plus élevé que les normes dédiées aux composants (Figure 1.3– Droite).

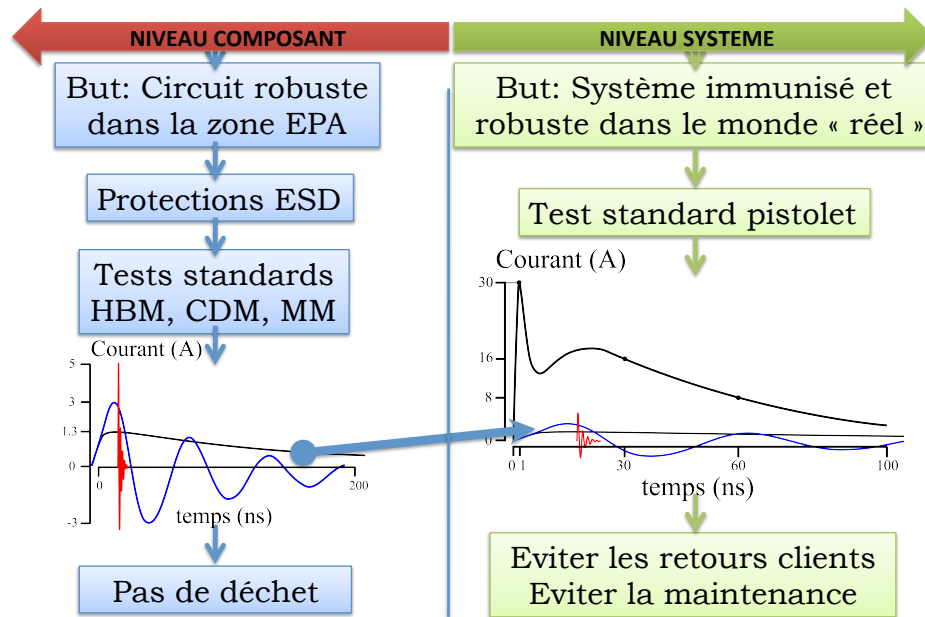


FIGURE 1.3 – Mise en parallèle des problématiques des fabricants de circuit intégrés et des équipementiers.

L’aspect système n’est à ce jour pas très bien maîtrisé. Ceci est dû au fait que la problématique est nouvelle et que les équipementiers ne disposent d’aucune information sur les composants et les techniques mises en jeu pour les protéger. Les contraintes de fiabilité sur les produits ont elles aussi augmenté, rendant difficile la prise en compte des ESD au moment de la conception des systèmes. Deux types de défaillances peuvent apparaître lors d’ESD. Le premier est une défaillance matérielle, traduite le plus souvent par la destruction du composant (Hard failure). Les méthodes de prévention utilisées pour gérer les marges de sécurité vis-à-vis des ESD montrent encore des incertitudes importantes. lorsqu’une telle défaillance est détectée, les modifications tardives au niveau des systèmes ou des circuits intégrés pour la résoudre augmentent les délais de mise sur le marché et génèrent des coûts très importants. Le second type de défaillance, appelé défaillance fonctionnelle (ou Soft failure), est lié à des dysfonctionnements réversibles comme des RESET ou des pertes de fonctions du système. L’analyse de ce type de défaut est bien plus complexe et nécessite souvent de profondes connaissances du système et des circuits intégrés, associées à des méthodes de tests spécifiques.

L’état de l’art montre des lacunes au niveau de la méthodologie, des modèles et des outils permettant de simuler la robustesse matérielle et fonctionnelle d’une application électronique. Aujourd’hui, la conception des systèmes embarqués est basée sur l’expérience. Il existe actuellement un “vide” entre le monde des fabricants de circuits intégrés qui ne sont pas prêts à donner des informations sur les structures de protections des composants et les systémiers qui ont besoin de modèles et d’outils de caractérisation pour développer des systèmes robustes. Les travaux présentés dans ce mémoire tentent de trouver un terrain

de discussion ouvert entre ces deux mondes.

L'initialisation de notre démarche s'est basée sur l'état de l'art des domaines que sont les ESD et la CEM comme synthétisé dans la Figure 1.4 où sont mis en parallèles les principales caractéristiques de chacun des deux domaines.

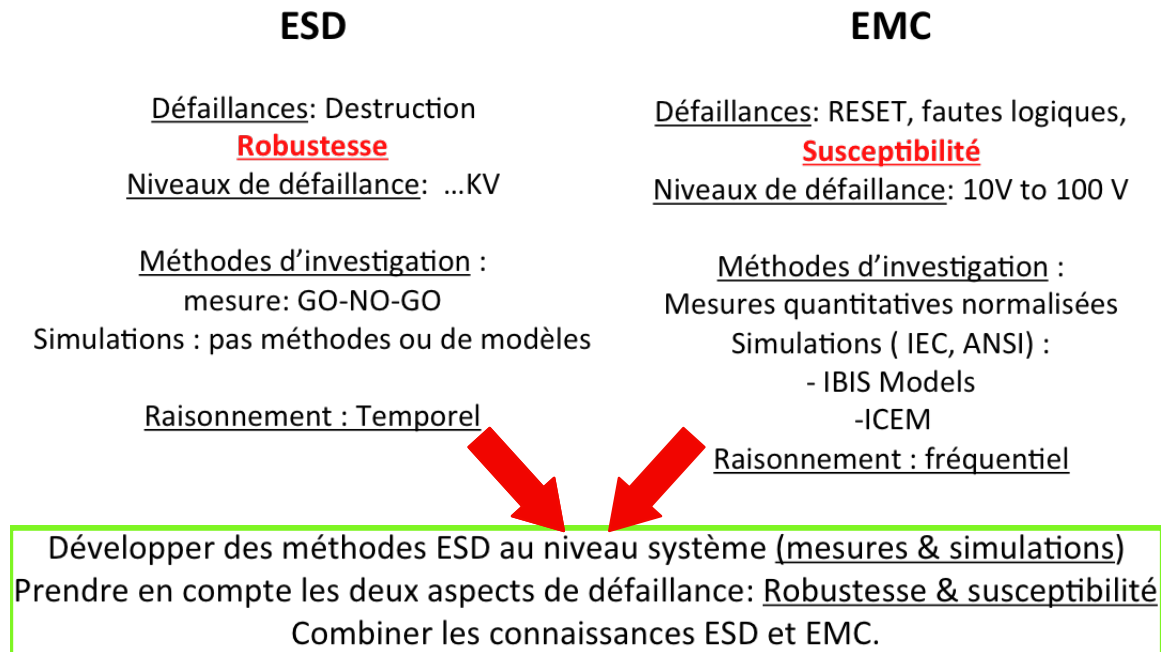


FIGURE 1.4 – Points marquants de deux domaines distincts (l'ESD et la CEM) pouvant se combiner pour apporter des solutions à la problématique ESD des systèmes.

Les fabricants de circuits intégrés travaillent sur la problématique des ESD pour protéger les circuits dans les zones de fabrication et d'assemblage. Grâce à des normes, dont les plus connues sont les normes HBM (Human Body model), CDM (Charge Device Model) et MM (Machine Model), des tests de robustesse sont effectués. Seule la destruction du composant non alimenté est visée, les techniques d'investigation restant limitées (mis à part le TLP - Transmission Line Pulsing, mais nous le développerons plus loin). Les concepteurs de CI utilisent des outils de simulation physiques pour développer des protections efficaces. Les outils de Conception Assistée par Ordinateurs (CAO) dédiés à la microélectronique tels que les logiciels TCAD (pour Technologie Ccomputed Aided Design), Sentaurus [27] et Silvaco [28], sont utilisés pour simuler les procédés de fabrication et le comportement physique des composants. A partir de ces outils, des simulations 2D ou 3D de structures de protection ESD sont effectuées [29] permettant d'analyser le comportement physique. La simulation électrique de type SPICE est utilisée pour mettre au point les stratégies d'assemblage des protections dans le circuit, mais pas dans une optique système. La particularité principale du domaine ESD est que l'on ne considère que l'aspect temporel étant donné l'aspect transitoire des décharges. Pour une approche système de l'impact des ESD, les méthodes d'investigation sont inexistantes et seuls des tests de robustesse

sont effectués au regard des normes HDM, CDM, etc... en bref, Il n'existe pas de normes et de méthodes d'investigation permettant de comprendre et de prédire l'impact des ESD au niveau système.

Si l'on s'intéresse à la compatibilité électromagnétique, l'approche est très différente. La robustesse matérielle des systèmes n'est pas mise en cause. On vise à caractériser, là encore au travers d'un grand nombre de normes la susceptibilité d'un système qui peut se traduire par des défaillances de type pertes d'horloge, RESET intempestifs ou perte de fonction momentanée, communément appelées "Soft Failure". Les niveaux de défaillance sont très faibles de quelques volts à quelques centaines de volts en comparaison des quelques kiloVolts pour les ESD. Par contre, les années d'expérience dans le domaine de la CEM font que les méthodes de caractérisation sont nombreuses et les techniques de simulation assez bien maîtrisées. Il existe des normes spécifiques permettant de modéliser le comportement des composants dans le système ([22] modèle ICEM - Integrated Circuit Emission Model). Dans la communauté ESD, des normes et méthodes dédiées à l'investigation n'existent pas. Dans la Figure 1.4, apparaît la norme IBIS (pour Input/output Buffer Information Specification) qui n'est pas une norme CEM. Cette dernière est dédiée à l'intégrité de signal, mais donne des informations utiles pour la prédiction du comportement CEM des composants, et est très utilisée pour la modélisation CEM du composant. Dernière remarque, la démarche CEM est essentiellement basée sur une approche fréquentielle du problème.

Pour trouver des solutions à la problématique des ESD au niveau système et aborder aussi bien l'aspect robustesse que susceptibilité, nous avons cherché une combinaison judicieuse des méthodologies utilisées dans ces deux disciplines, tant sur les aspects techniques de mesure que de simulation.

L'activité présentée dans ce document a donc été initialisée en 2005 lorsque j'ai rejoint le groupe ISGE (Intégration pour la Gestion de L'Energie dans les Systèmes) et recense huit ans d'activité. Au total, trois thèses que j'ai encadrées ont contribué à ces travaux : - Thèse de Nicolas Lacrampe, financée par la DGA, qui porte principalement sur la problématique de la propagation des signaux sur les PCB, et le développement de nouvelles méthodes de mesure et d'injection. - Thèse de Nicolas Monnereau, financée par un projet ANR-VTT, E-SAFE (Electronic Safe automotive products), qui porte sur la modélisation et la caractérisation des composants dans le cadre d'applications automobiles, en partenariat avec FREESCALE et VALEO. - Thèse de Sandra Giraldo, CIFRE, en collaboration avec On-Semiconducteur sur la robustesse des systèmes pour la téléphonie mobile (protection des composants analogiques). L'ensemble de ces travaux a permis le développement de nouvelles méthodes de caractérisation précises, ainsi que le développement d'une méthodologie de simulation complète pour la prédiction de l'impact des ESD sur les systèmes sur carte basée sur une description comportementale. Pour résoudre les problèmes de

complexité rencontrés, cette approche est voulue systémique. Ces études s'insèrent dans le contexte industriel toulousain et n'ont pu se faire qu'avec le partenariat de fabricants de circuits intégrés et d'équipementiers (OEM : operational Equipment Manufacturer). Il a été indispensable de faire communiquer ces deux corps de métier pour mener à bien ces travaux visant aussi à alimenter les comités de normalisation, avec le souci majeur de rester neutre vis-à-vis des industriels. Ceci est nécessaire pour pouvoir définir les paramètres librement échangeables et garantissant la propriété intellectuelle des différentes sociétés. Ma position d'enseignant chercheur fut finalement un atout dans ce cadre car elle m'a permis de diriger les débats et d'apporter des solutions que je présenterai dans ce document. Nous nous sommes orientés vers une démarche systémique permettant un grand niveau d'abstraction nécessaire pour faire face aux complexités rencontrées. Le document proposé est donc un condensé des travaux réalisés par mes doctorants. Le premier chapitre fait l'état de l'art de la problématique ESD et comment le système, de par sa complexité, devient rapidement l'enjeu majeur. Cette introduction a pour but de donner les concepts de base pour comprendre la problématique des ESD au niveau du système et se terminera par les défis qui se sont présentés à nous. Le deuxième chapitre, présentera les phénomènes de propagation sur les cartes électroniques, comment ils ont été caractérisés et les simplifications que nous avons adoptées. Dans le chapitre trois, le modèle du composant est présenté en faisant clairement apparaître l'impact de composants externes, sur les chemins de propagation. Ces deux chapitres présenteront aussi les différentes méthodes de mesure que nous avons développées pour mettre au point ces modèles. Un dernier chapitre présentera les validations de ce travail au travers des résultats obtenus dans les thèses soutenues.

2 Les décharges électrostatiques : du composant au système

2.1 La problématique ESD

Ce chapitre a pour but d'introduire les notions élémentaires des décharges électrostatiques sur les composants microélectroniques, ainsi que les moyens de protection et de test utilisés pour s'en prémunir. L'objectif est de rapidement orienter la discussion vers l'impact des ESD sur les systèmes et l'état de l'art dans ce domaine.

2.1.1 Protéger les circuits intégrés

Les circuits intégrés, de par leurs dimensions très réduites, sont considérés comme fragiles face aux agressions de type ESD. Les forts courants et les fortes tensions de ces agressions peuvent provoquer respectivement la fusion du silicium, des métaux, ainsi que des claquages d'oxyde et de jonction. Pour garantir le meilleur rendement possible des chaînes de fabrication et d'assemblage, d'énormes mesures de réduction des décharges sont prises. On parlera de zones EPA : "Electrostatic Protected Area". Bien que protégée, la zone EPA ne permet pas de garantir le risque zéro, et par conséquent, il est donc impératif de protéger les circuits intégrés.

2.1.2 Les protections ESD

Afin de dévier les forts courants issus d'une décharge électrostatique qui pourrait survenir entre deux broches d'un circuit intégré, des protections sont ajoutées directement sur la puce. Depuis longtemps ces protections sont implémentées sur les puces pour se prémunir des défaillances dans les zones d'assemblage. En fonctionnement normal, la protection doit être transparente à l'application et se réduit à un interrupteur ouvert comme illustré Figure 2.1. Lors d'un stress ESD, celle-ci se déclenche et peut être alors assimilée à un court circuit dont l'impédance doit être la plus faible possible. Une protection idéale doit répondre à certaines caractéristiques fondamentales [9]. On identifiera essentiellement la robustesse (la structure doit être capable de dissiper les puissances instantées très fortes

des ESD) et la vitesse de déclenchement de façon à éviter les surtensions et la propagation des stress dans le cœur du composant.

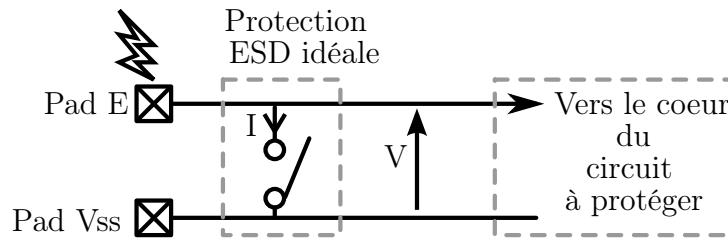


FIGURE 2.1 – Schéma illustrant le principe d’une protection ESD assimilée à un interrupteur parfait.

Il n’est pas simple pour les concepteurs de protections de satisfaire toutes ces contraintes. Il est évident que le critère surface de la protection au regard de l’énergie dissipée est déterminant. Pour répondre aux différentes contraintes inhérentes aux technologies pour lesquelles elles sont développées, l’optimisation de la protection doit satisfaire ce que l’on appelle couramment la fenêtre de conception comme illustré Figure 2.2 [30].

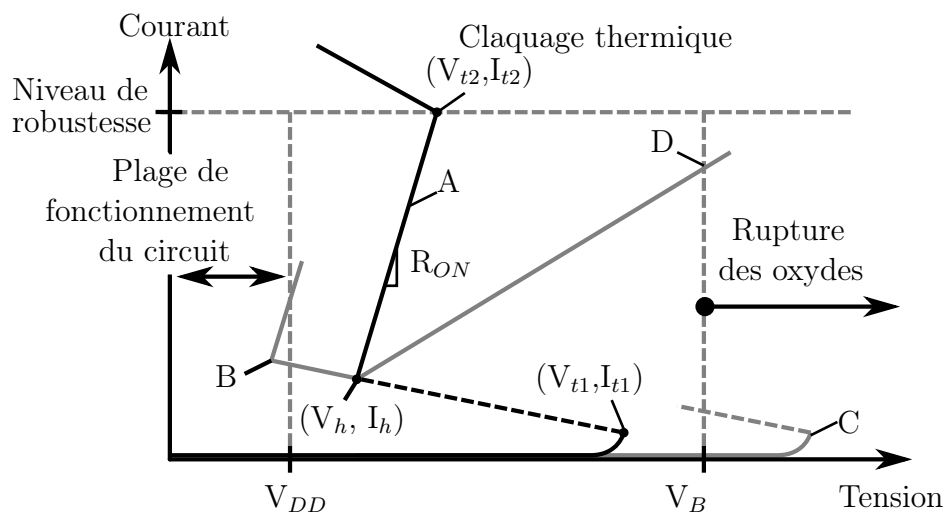


FIGURE 2.2 – Fenêtre de conception d’une protection ESD.

Les marges de tensions basses et hautes sont fixées par les valeurs maximales des tensions d’alimentation du circuit V_{DD} et les tensions de claquage des oxydes V_B . Le courant maximal dissipé par la protection est défini par le niveau de robustesse [31], correspondant au point (V_{t2}, I_{t2}) (Figure 2.2). Il sera facile de retrouver toutes les contraintes de fabrication des protections dans les différentes thèses soutenues au sein du laboratoire. La fenêtre de conception décrite est toujours le point de départ d’études complexes visant à optimiser les résistances à l’état passant ou à repousser le plus possible la tension

V_{BOX} pour aller vers la solution idéale : une protection efficace sur une surface réduite. Les différentes thèses soutenues au laboratoire ainsi qu'un état de l'art bien étayé sur le sujet proposent ainsi différentes solutions. Dans la littérature, de nombreuses structures de protection ont été développées pour préserver les circuits contre les ESD. Les plus couramment utilisées sont les diodes, les transistors MOS (Metal Oxide Semiconductor) avec leurs déclinaisons, représentées dans la Figure 2.3, et les thyristors avec leurs déclinaisons (Figure 2.4).

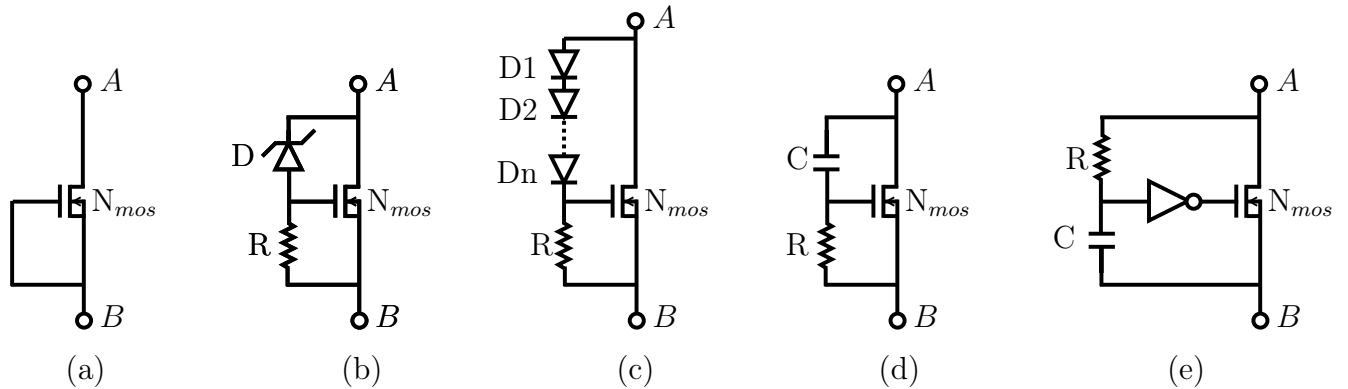


FIGURE 2.3 – Représentations schématiques des structures de protections basées sur un transistor NMOS : (a) Gate-Ground NMOS (ggNMOS), (b) déclenchement statique du NMOS par une diode Zener, (c) déclenchement statique du NMOS par des diodes en séries, (d) Gate Coupled NMOS, (e) Déclenchement dynamique par un circuit RC.

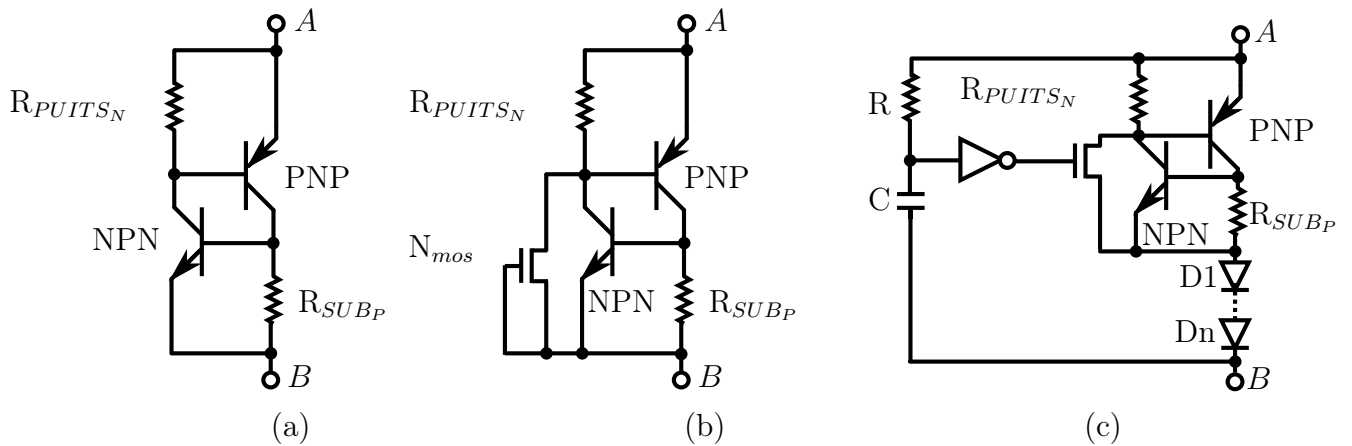


FIGURE 2.4 – Représentations schématiques des structures de protections basées sur un thyristor : (a) Thyristor Latéral (LSCR), (b) Low voltage trigger SCR (LVTSCR) représentation d'après [32] et (c) LVTSCR avec des diodes séries et un circuit RC de déclenchement dynamique.

Nous ne nous intéresserons pas dans ce document à détailler le fonctionnement de ces structures de protections. Elles sont décrites dans la thèse de N. Monnereau, ainsi que dans

l'ensemble des publications suivantes (Diode : [9, 33, 34], MOS : [35, 36, 37, 38, 39, 40] Thyristor (Figure 2.4). Nous noterons toutefois la diversité de ces structures allant de l'utilisation d'un seul composant à une combinaison plus sophistiquée. Pour optimiser les surfaces, ces combinaisons utilisent le volume du silicium, et certaines technologies proposent des couches enterrées à cet effet.

2.1.3 Stratégie de protection des circuits intégrés

La stratégie de protection s'appuie sur les structures de base précédentes pour proposer un chemin d'évacuation de la décharge quelque soit le couple de broches sur lequel est appliqué le stress ESD. En effet, sans condition de polarisation et de chemin clair vers une masse, le courant ESD peut indifféremment entrer et sortir par n'importe quelle broche. En fonction de l'application et de la technologie les stratégies de protection peuvent rapidement devenir complexes (le nombre de broches étant un facteur important de l'augmentation de la complexité). Nous pouvons cependant considérer qu'il existe trois courants de pensée pour développer une stratégie de protection.

- La stratégie en Π est un réseau de protection des entrées/sorties relativement bien connu [41]. Celui-ci est représenté Figure 2.5. Il est composé de deux protections séparées par une résistance. Durant un stress ESD, survenant entre un plot et la masse, la protection secondaire se déclenche en premier, la tension aux bornes de la résistance augmente et la protection primaire se déclenche. L'énergie est principalement dissipée par la protection primaire. L'avantage du réseau en Π par rapport à une protection seule est que la tension imposée sur le nœud en interne reste très faible.

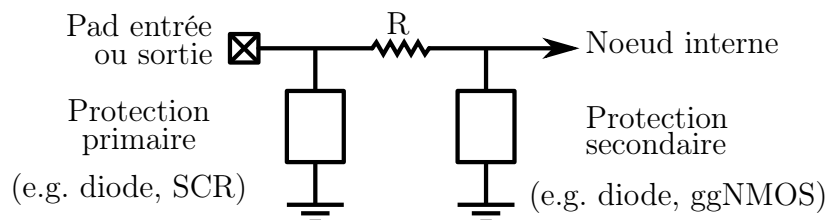


FIGURE 2.5 – Représentation schématique d'une stratégie de protection en Π .

- La protection centralisée : Sur chacune des entrées/sorties, des protections redirigent les courants vers les bus d'alimentation, typiquement le bus de masse V_{SS} et le bus V_{DD} . Une protection centralisée, "Power Clamp" (PC) [42] bidirectionnelle ouvre un chemin entre les bus d'alimentation V_{DD} et V_{SS} . Un exemple est illustré Figure 2.6 lors d'une décharge entre In et Out. Cette stratégie de protection est intéressante lorsque les circuits présentent un nombre limité de plots. Lorsque le nombre de plots augmente, le routage des protections avec une résistance d'accès la plus faible possible devient difficile, et limite l'efficacité d'une telle stratégie [9].

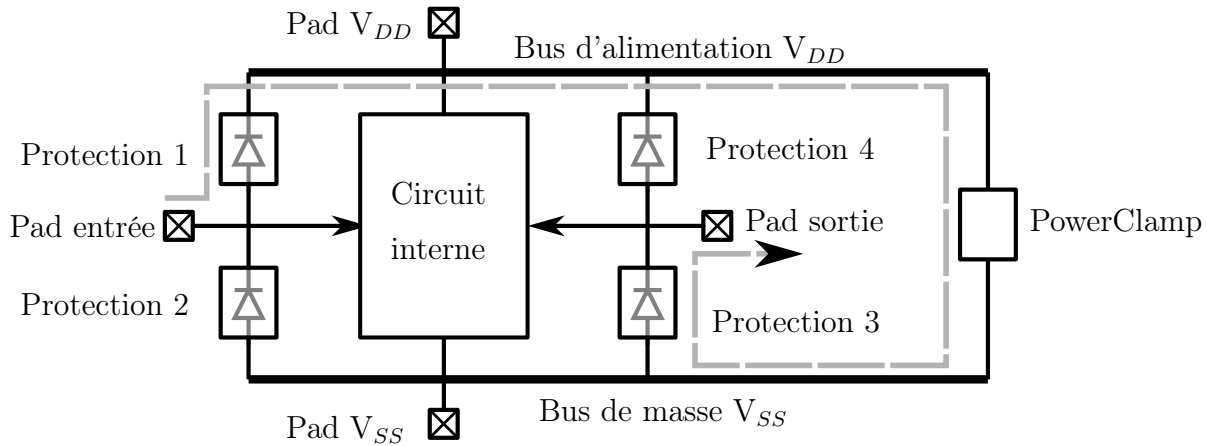


FIGURE 2.6 – Représentation schématique d’une stratégie de protection centralisée.

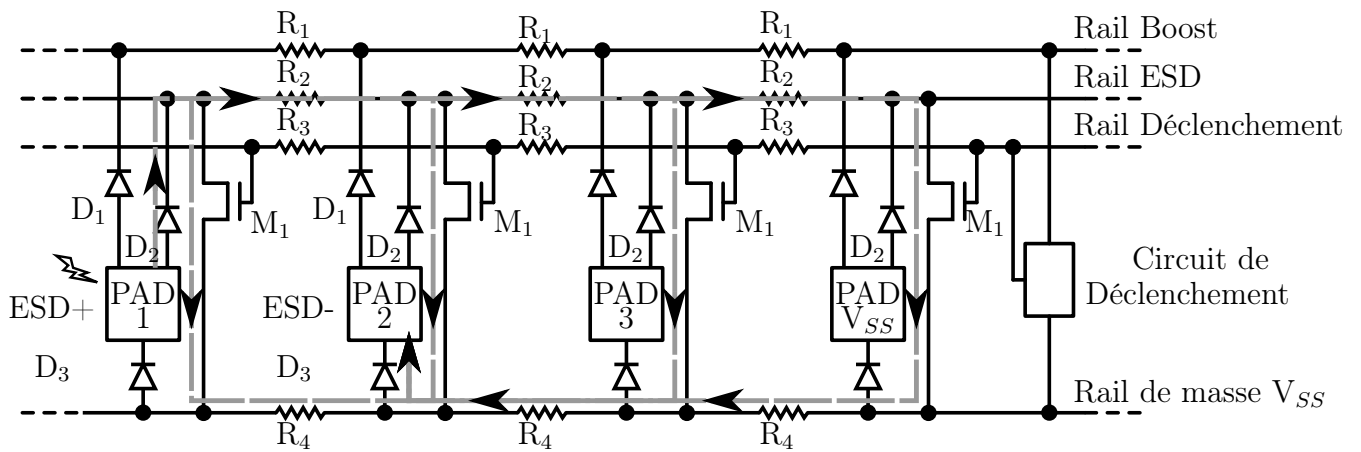


FIGURE 2.7 – Représentation schématique d’une stratégie de protection distribuée adaptée de [43].

Pour répondre à ces contraintes, des réseaux de protections distribuées ont été développés tels ceux présentés dans les publications [44, 43, 45]. Le principe consiste à distribuer toutes les protections au plus proche des plots d’entrées/sorties pour en minimiser la résistance d’accès, voire même à placer toutes les protections sur la même cellule. Lorsqu’une décharge survient entre deux entrées/sorties, un circuit de déclenchement détecte cette décharge et active toutes les protections des plots du circuit. Cela permet d’une part de maintenir une tension faible sur les bus d’alimentation et d’autre part l’utilisation de protections plus petites. Il est ainsi possible de protéger des circuits comportant un très grand nombre de broches. Un exemple de stratégie de protection distribuée est donné Figure 2.7. Chaque plot est constitué de trois diodes et d’un transistor NMOS. Le rail “ Boost ” permet de polariser le circuit de déclenchement situé à droite du schéma. Le bus “ ESD ” est dédié au passage des forts courants et le bus “ déclenchement ” permet

l'activation de toutes les protections des I/O lors d'une ESD.

Dans nos travaux, la stratégie de protection est cruciale. Elle définit le comportement du composant dans son ensemble sachant que chaque produit est différent et utilise forcément une combinaison de ces dernières.

2.2 Les normes et les méthodes

2.2.1 Les normes au niveau composant

Les niveaux de protection des circuits intégrés sont garantis par l'utilisation de normes spécifiant des niveaux et des allures de stress. Nous pourrions retrouver les niveaux de robustesse des composants sur les documentations techniques (datasheet) pour différentes normes.

En ce qui concerne les ESD, un grand nombre de normes permettent de garantir la fiabilité des composants. L'essentiel de ces normes a été développé pour éviter la destruction des composants dans les zones d'assemblage. Les normes HBM, CDM et MM sont les plus utilisées. Chaque norme spécifie une forme d'onde du courant injecté sur le produit. Pour chacune d'elles, un testeur est utilisé et de manière systématique, il spécifie une capacité de charge et un réseau de décharge, souvent une résistance série [46]. Peuvent s'ajouter à cette configuration très simple des éléments parasites (RLC) pour donner l'allure dynamique du stress. La Figure 2.8 présente comment à partir d'un schéma électrique commun il est possible de générer deux formes d'onde. Les modèles HBM et MM décrivent le même mécanisme de décharge mais avec deux formes d'onde différentes [47] et des valeurs de composants différentes.

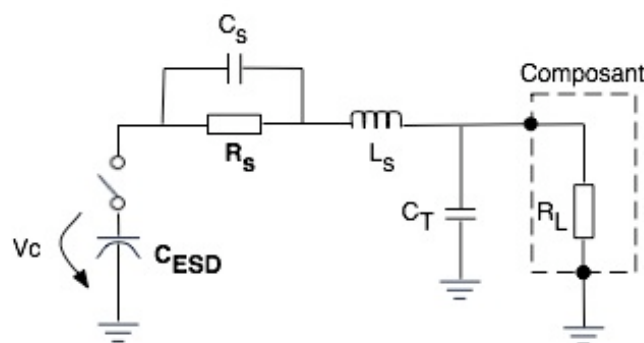


FIGURE 2.8 – Schéma équivalent RLC du modèle HBM et MM.

Le Tableau 2.1 donne les éléments qu'il faut utiliser pour pouvoir passer d'un modèle à l'autre. Nous avons ajouté dans ce tableau les valeurs des composants pour réaliser une décharge CDM.

Modèle	C_{ESD} (pF)	R_S (Ω)	L_S (μ H)	C_S (pF)	C_T (pF)
HBM	100	1500	5	< 5	< 30
MM	200	0	0,5/2,5	0	< 30
CDM	10	10	0,01	0	0

TABLE 2.1 – Caractéristiques des modèles de décharges HBM, MM et CDM.

Les allures des trois principales normes au niveau composant sont reportées dans la figure suivante pour des niveaux de charge recommandés dans les documents normatifs, répertoriés dans le Tableau 2.2. Ces normes, répertoriées dans le tableau ci-dessous, indiquent les diverses tensions et niveaux de courants qui définissent la décharge électrostatique fixée ainsi que la méthodologie à utiliser pour injecter les ESD dans le circuit.

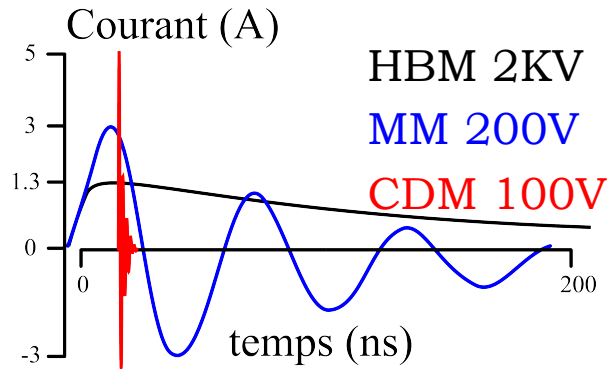


FIGURE 2.9 – Comparaison des principales normes de test des composants.

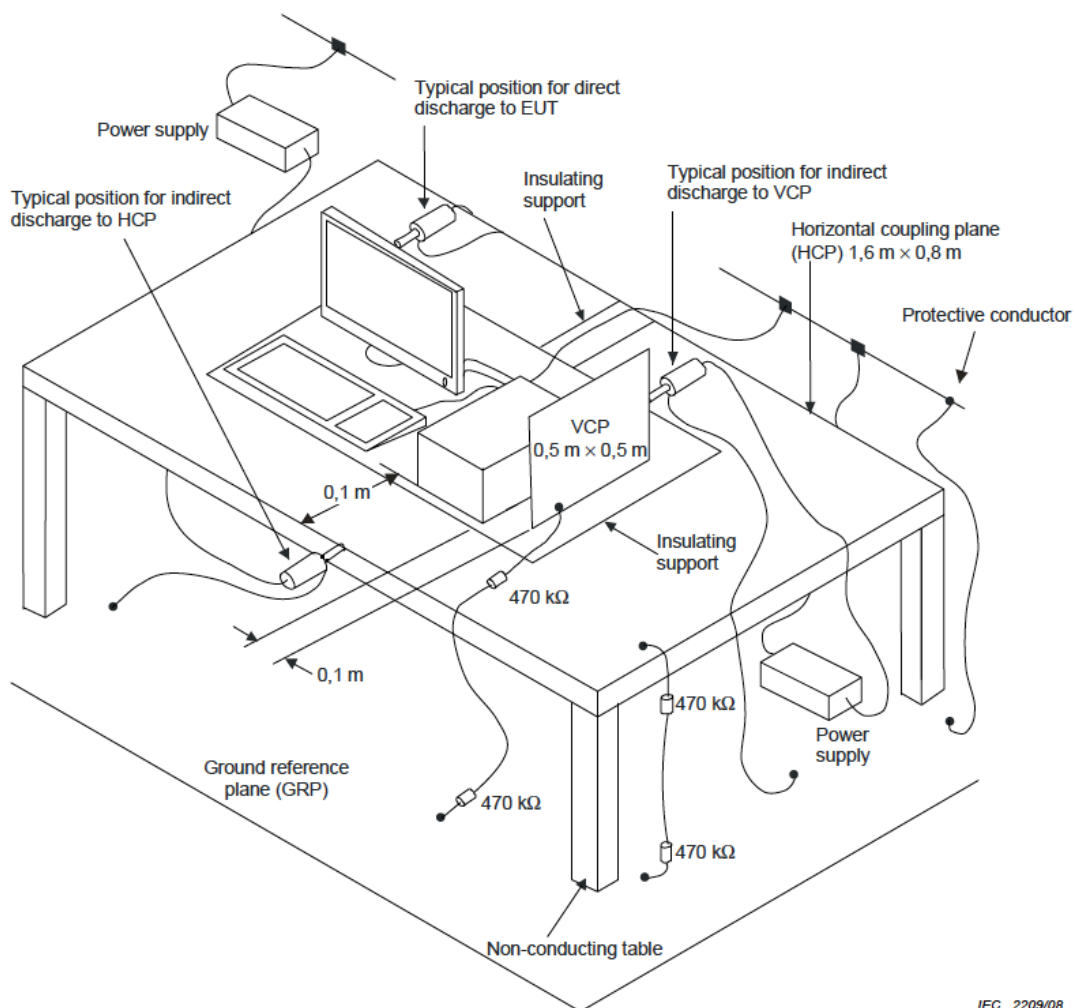
	ESDA(ANSI) (ESD Association)	JEDEC (EIA) (Electronics Industries Association)	IEC (International Electrotechnical Commission)	AEC (Automotive Electronics Council)	EIAJ (Electronics Industries Association of Japan)
HBM	STM5.1-2001	JESD22-A114-E	61340-3-1 60749-26 ed2	Q100-002 REV-D	ED-4701/304
MM	STM5.2-1999	JESD22-A115-A	61340-3-2 60749-27	Q100-003 REV-D	
CDM	STM5.3.1-1999 STM5.3.2-2004	JESD22-C101-C		Q100-011	ED-4701/305

TABLE 2.2 – Récapitulatif des diverses normes ESD au niveau composant.

2.2.2 Les normes au niveau système

2.2.2.1 La norme IEC 61000-4-2, ou pistolet ESD

Pour la qualification des systèmes, le nombre de normes est bien plus faible. La principale norme permettant de qualifier un système ou équipement électronique est la norme IEC 61000-4-2, initialement créée en 1984 sous le nom de IEC 801.2, renommée en 1995 IEC 61000-4-2 [23]. Cette norme est couramment appelée IEC, ou pistolet ESD. Cette norme fait partie des réglementations CEM pour les systèmes électroniques et s'adresse aux équipementiers. Elle n'est donc pas issue de la communauté ESD et présente une approche différente que celle utilisée pour caractériser les composants. Le schéma d'application extrait du document normatif est présenté Figure 2.10. Nous pouvons noter que sa mise en œuvre est complexe. De façon simplifiée, il faut retenir que l'équipement sous test est placé sur un isolant, le tout sur un plateau métallique. Le plateau est connecté à un grand plan de masse au travers de deux résistances de $450\text{K}\Omega$ en série. La décharge peut se faire au contact d'un port de l'équipement, ou dans l'air.



IEC 2209/08

FIGURE 2.10 – Mise en œuvre de la norme IEC 61000-4-2 [23].

Le niveau de robustesse exigé n'est pas le même en contact et dans l'air comme présenté dans le tableau suivant. La norme rattachée à ce modèle IEC 61000-4-2 définit quatre niveaux de conformité.

Niveau IEC 61000-4-2	Tension de décharge en contact (kV)	tension de décharge dans l'air (kV)
1	2	2
2	4	4
3	6	8
4	8	15

TABLE 2.3 – Niveau de conformité de la norme IEC61000-4-2.

Le pistolet ESD est un générateur haute tension qui stocke une charge électrique dans un condensateur de 150pF qui se décharge dans le système sous test par l'intermédiaire d'une résistance de 330Ω représentant la résistance de la peau. La forme d'onde est ici très différente de celle utilisée pour le test des composants. La norme indique un temps de montée très rapide (0,7 – 1ns), un courant pic pouvant aller jusqu'à plusieurs dizaines d'ampères correspondant au premier pic. Lors de l'étalonnage, la norme exige une cible dont la résistance équivalente est de 2Ω. Seuls trois points sur l'allure temporelle permettent de définir le signal de décharge (premier pic, l'amplitude à 30ns et 60ns, Figure 2.11). On voit très vite que d'un pistolet à l'autre, nous risquons d'observer de nombreuses différences, tant sur le point transitoire que fréquentiel.

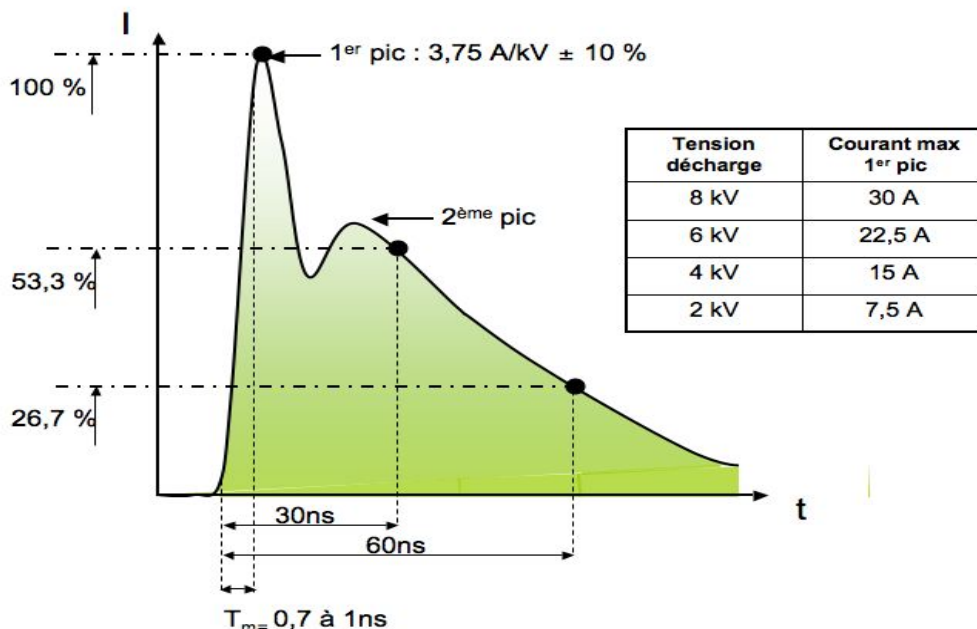


FIGURE 2.11 – Mise en œuvre de la norme IEC 61000-4-2 [23].

Le document normatif donne un schéma électrique équivalent, mais ce dernier ne permet

pas de reproduire l'allure précédente. La littérature présente un grand nombre de modèles, plus ou moins précis, permettant de reproduire une allure plus réaliste, comme les modèles de F. Caniggia [48], K. Wang [49]) ou le modèle de K.M. Chiu [50]. Une étude comparative de tous ces modèles a été faite dans la thèse de Sandra Giraldo [51]. Pour toutes nos études, c'est ce dernier modèle que nous avons retenu, car il reste simple, et flexible. En effet, il comporte peu d'éléments qui sont clairement associés aux éléments parasites du retour de masse et du pistolet comme reporté sur la Figure 2.12. Les paramètres du modèle sont synthétisés dans le Tableau 2.4 :

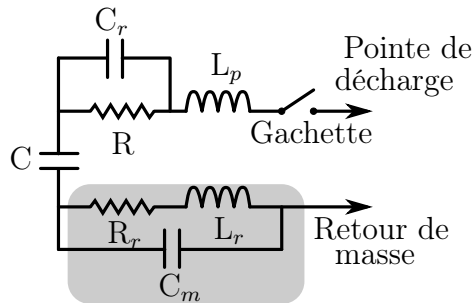


FIGURE 2.12 – Schéma équivalent du modèle du pistolet [50].

Éléments	Valeur	Correspondance	influence sur :
C	150 pF	Capacité du pistolet	La forme générale de la décharge
R	330 Ω	Résistance du pistolet	
Lr	1,5 μ H	Inductance retour de masse	Le deuxième pic de courant
Rr	130 Ω	Résistance retour de masse	
Lp	75 nH	Inductance de la pointe	Le temps de montée
Cm	18 pF	Capacité vers la masse	Le deuxième pic de courant
Cr	3pF	Capacité parasite	

TABLE 2.4 – Valeur des paramètres du modèles [50].

Dans la Figure 2.13, le stress IEC 61000-4-2 est comparé aux stress composants. Les normes MM et CDM (500V de charge dans les deux cas – niveaux requis pour des produits digitaux standards) font apparaître une double alternance, mais avec des dynamiques extrêmement différentes. La norme HBM correspond à une impulsion longue ayant un temps de montée de l'ordre de 10ns, et s'étalant sur une centaine de nanosecondes. L'amplitude du courant maximum est de 3,3A (4KV) pour le HBM. Pour la norme IEC 61000-4-2, le pic de courant maximum de 30A est atteint en moins de 1ns pour une décharge de 8KV. Au regard des normes composant (HBM et CDM), les niveaux de robustesse requis par la norme IEC sont bien plus importants.

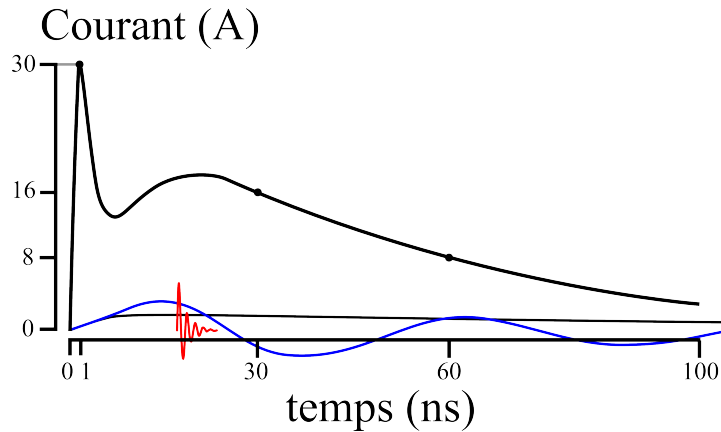


FIGURE 2.13 – Comparaison des allures dynamiques des courants de décharge HBM, CDM et MM et IEC 61000-4-2.

Outre les puissances injectées dix fois supérieures, la qualification des équipements doit se faire non-alimentée (conforme aux recommandations pour le composant) mais aussi alimentée. La robustesse fonctionnelle est définie par quatre classes A, B, C et D définissant le degré de fiabilité de l'équipement :

- A. Fonctionnement normal dans les limites spécifiées par le fabricant, le demandeur de l'essai ou l'acheteur.
- B. Perte temporaire de fonction ou dégradation temporaire du fonctionnement cessant après la disparition de la perturbation ; le matériel soumis à l'essai retrouve alors son fonctionnement normal sans l'intervention d'un opérateur.
- C. Perte temporaire de fonction ou dégradation temporaire du fonctionnement dont la correction nécessite l'intervention d'un opérateur.
- D. Perte de fonction ou dégradation du fonctionnement non récupérable, due à une avarie du matériel ou du logiciel, ou à une perte de données.

La dénomination susceptibilité empruntée à la CEM sera aussi utilisée dans ce document quand le système ne sera pas détruit par l'ESD (Classe A, B, ou C). Lorsqu'il y a destruction du système, on parlera de robustesse.

2.2.2.2 Problèmes liés à cette norme :

La norme ne spécifie que trois points de l'allure dynamique du courant. Tous les testeurs respectent la norme et les mesures de ces points sont correctes, mais les variations en dehors de ces trois points sont importantes. Il n'est donc pas étonnant de voir des différences de robustesse suivant les marques de pistolet utilisées comme en témoignent différentes études (D. Pommerenke- Part A) [52]. Des études plus poussées faisant l'analyse du spectre du pistolet en mode conduit ont fait apparaître des variations de 10dB suivant les fréquences. Ce problème de reproductibilité des tests IEC61000-4-2 a été montré par

K. Muhonen sur des modules de transmission testés avec 2 pistolets de marques différentes [53]. L'énergie totale envoyée par ces deux testeurs est identique. Pourtant suivant le pistolet ESD utilisé, la robustesse du produit passe de 7 à 12 kV, et ceci en raison du rayonnement des pistolets ESD. De nombreuses études ont également montré que les pistolets ESD génèrent de forts champs électriques et magnétiques [54, 55, 56, 57]. Des mesures ont été réalisées par M. Honda pour évaluer les champs transitoires magnétiques et électriques pouvant être couplés sur un système lors de l'application d'une décharge avec un pistolet ESD [58]. Les champs magnétiques et électriques mesurés, sont de l'ordre de 9 à 90A/m et 3 à 36V/m respectivement. Durant les tests IEC61000-4-2, ces forts champs transitoires se couplent sur les pistes du circuit imprimé ou dans les câbles de connexion du produit sous test. Ce phénomène perturbateur n'est pas lié à l'injection directe du stress sur une des entrées du système, mais à une perturbation de type CEM. J. Koo a réalisé en collaboration avec différents chercheurs un "tour du monde des tests" en 2006 [59]. Il s'agit d'une étude menée dans trois laboratoires, deux situés aux États Unis, et un au Japon. Dans cette étude, il analyse l'impact des paramètres du courant de décharge ainsi que les champs transitoires de huit pistolets ESD sur les tests IEC. Il cherche notamment à déterminer quels paramètres influencent la reproductibilité des tests. De fortes variations fréquentielles sont observées d'un pistolet à l'autre comme le montre la Figure 2.14. Les différents tests de robustesse effectués dans différents laboratoires ont permis de conclure que les champs transitoires des pistolets contribuent fortement aux problèmes de reproductibilité des tests au niveau système.

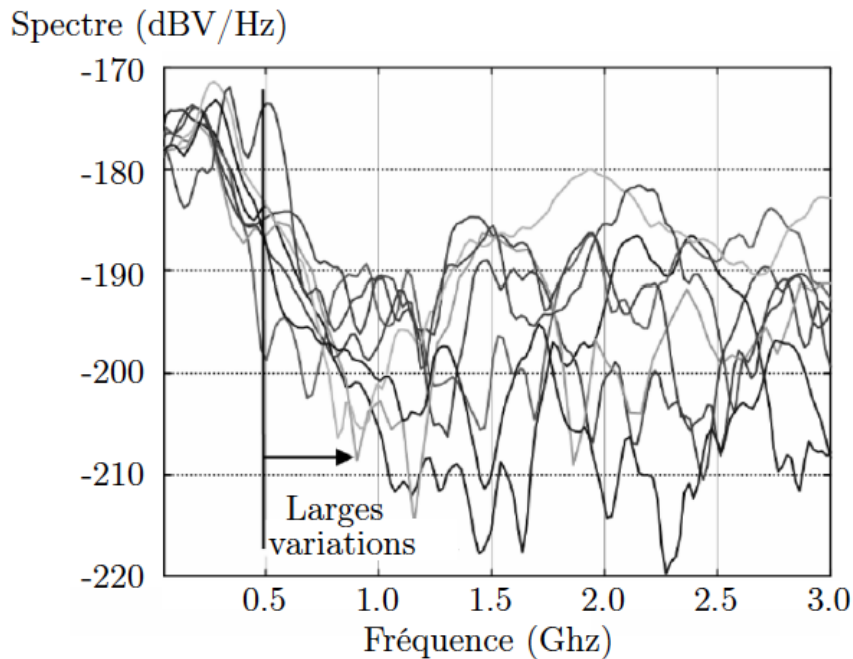


FIGURE 2.14 – Spectre de la tension induite dans une boucle de 28mm placé à 10cm de la pointe de décharge pour 8 générateurs différents [59].

2.2.2.3 Norme standard ISO 10605

L'ISO10605 [16] est une norme automobile basée sur la norme IEC6100-4-2 décrit dans la section précédente. Il s'agit d'une extension qui spécifie les procédures de test dédiées aux modules électroniques pour l'automobile. En premier lieu les niveaux d'injection sont nettement plus hauts que pour la norme IEC. La décharge est réalisée au travers de modules RC, où toutes les combinaisons entre les capacités de 150pF et 330pF et les résistances 330ohm et 2Kohm sont possibles. Ceci a pour effet de considérablement changer l'allure dynamique des signaux comme reporté dans la figure suivante et augmente ainsi la sévérité des tests avec des signaux rapides mais de très fortes amplitudes et des signaux beaucoup plus longs avec une moindre amplitude. Les tests sont effectués dans deux conditions : système non alimentés et alimentés. La norme spécifie également comment connecter le retour de masse du générateur ESD à un plan de couplage faisant office de masse de batterie ou du châssis du véhicule contrairement à l'IEC61000-4-2 qui spécifie une connexion à la terre.

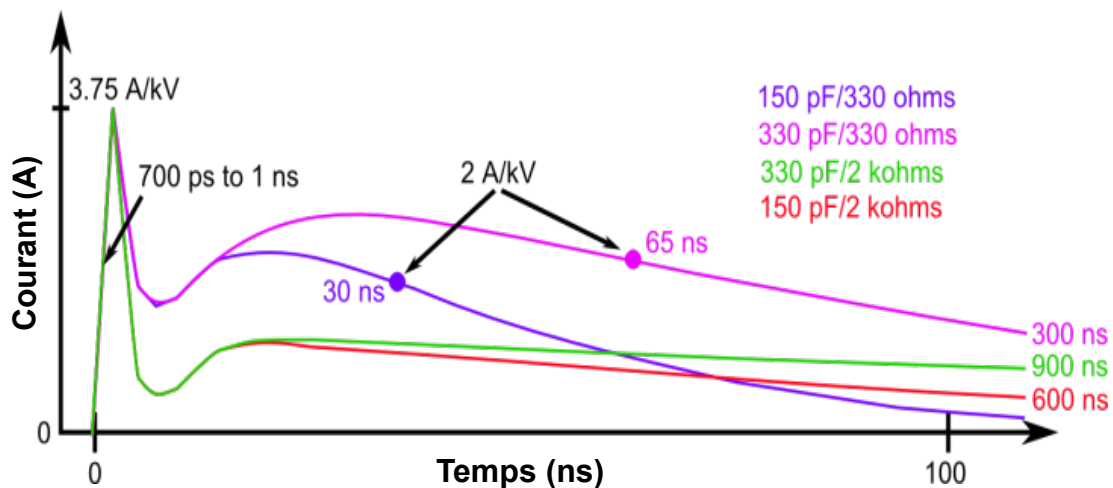


FIGURE 2.15 – comparaison des formes d'ondes imposées par la norme ISO 10605.

2.2.2.4 Le modèle HMM (Human Metal Model)

Le modèle HMM est une norme en devenir pour répondre aux contraintes liées aux différents problèmes rencontrés lors de la mise en application de la norme IEC 61000-4-2. L'interprétation et l'implémentation des tests systèmes sur le composant varient inévitablement d'un constructeur à l'autre, posant des problèmes de reproductibilité. De plus, les demandes sont de plus en plus fortes pour avoir une méthode de caractérisation du composant pouvant garantir l'aspect système. Le test HMM est en cours de discussion et un comité de normalisation (groupe SP5.6 de l'ESD Association [60]) travaille actuellement sur sa définition. Son objectif est de définir une méthode de test pour évaluer un composant en utilisant la forme d'onde de l'IEC61000-4-2. La norme émergente du HMM

[60] donne quelques informations sur les procédures de tests : une carte universelle pour les tests, appelé TFB (en anglais : Test Fixture Board), a été développée (Figure 2.16). Le circuit électronique est soudé sur cette carte et l'impédance entre les points d'injection du pistolet et le circuit est constante (50Ω). Une des grandes différences par rapport au standard IEC est que le retour de masse du pistolet ESD n'est plus connecté à un plan de couplage mais directement sur la masse du circuit imprimé. Cette configuration permet d'éliminer la capacité entre la carte et la terre, capacité non représentative de la réalité [61].

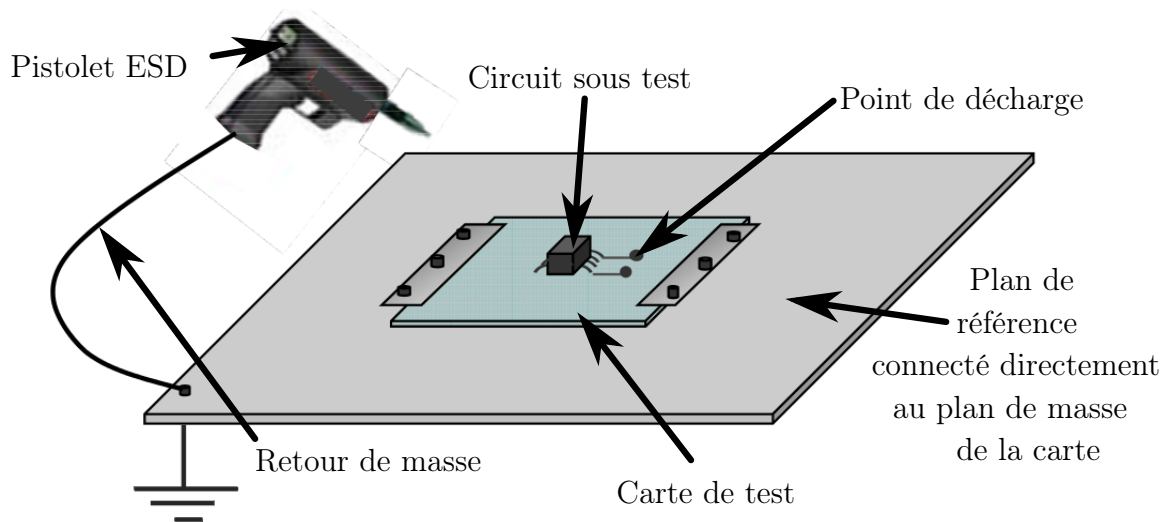


FIGURE 2.16 – Schéma simplifié de la configuration de test du HMM [61].

2.3 Conclusion

Ce chapitre résume une vue d'ensemble des ESD au moment où nos travaux ont commencé. Il présente les principales règles de conception de circuits vis-à-vis de la problématique ESD, ainsi que les normes principales. Les normes destinées aux circuits et celles propres aux systèmes sont définies de façon indépendante et font apparaître des niveaux de stress très différents. Les concepteurs de systèmes sont confrontés à un écart important entre ces deux types d'exigences. Ce chapitre est primordial pour poser les bases des connaissances nécessaires aux discussions et propositions que nous avons faites depuis huit ans. Dans les deux prochains chapitres, nous présenterons la modélisation complète du système depuis les pistes de la carte électronique jusqu'au modèle du circuit intégré, ainsi que les méthodes de mesures et d'injection que nous avons été amenées à développer. Le but principale est de fournir aux équipementiers et aux concepteurs de circuits des clés pour dimensionner les protections externes au regard du composant.

3 Modélisation comportementale du système

3.1 Introduction

La notion de système est très différente suivant les interlocuteurs, c'est pourquoi nous rappelons que nous nous intéressons uniquement à la carte électronique ou PCB (Printed Circuit Board). Dans les équipements, les circuits intégrés sont le cœur de l'application, et par là même, sont la cause principale des défaillances. Pour protéger les systèmes, les fabricants de circuits intégrés n'ont eu de cesse de développer un grand nombre de protections, internes aux puces, chargées d'accroître la fiabilité de ces dernières lors d'évènements ESD. Dans le circuit, les interactions, entre les protections, sont nombreuses et aujourd'hui aucune modélisation ne permet la prédiction de leur comportement dans le système final, qu'il soit alimenté ou non. La raison principale est double :

- Le manque d'information diffusable sur les réseaux de protection. En effet, la fiabilité étant fortement liée à la robustesse des composants, chaque fabricant de circuit tient à garder son savoir-faire confidentiel. Il n'est donc pas envisageable de fournir la stratégie de protection aux équipementiers pour qui, le composant est une boîte noire (au sens propre du terme).
- La complexité des interactions entre le circuit et le reste du système. Les cartes électroniques intègrent un très grand nombre de composants et doivent fonctionner dans des environnements sévères. Les multiples interactions entre tous ces éléments restent mal maîtrisées et les problèmes de fiabilité des systèmes face aux ESD étant récents, l'expérience des concepteurs dans ce domaine est faible. De plus, il n'existe pas d'outil de conception dédié pour la prise en compte des stress transitoires rapides de forte puissance.

Les travaux que nous avons menés passent donc en revue toutes les parties du système et étudient la propagation des décharges depuis leur entrée sur le système jusqu'aux broches du composant. Connaître les phénomènes qui gèrent la répartition des courants ESD sur la carte est la première étape. Mais la problématique des ESD au niveau du système ne s'arrête pas là. Les interactions à l'intérieur du composant et entre le composant et les éléments du système peuvent modifier les chemins de décharge et par conséquent induire

des défaillances non prévues. Ce chapitre décrit la méthodologie de modélisation comportementale que nous avons proposée pour permettre, d'une part d'aborder le problème de propagation dans un système depuis un générateur ESD jusqu'aux phénomènes internes aux circuits, et d'autre part d'analyser le comportement fonctionnel afin de réaliser des études de susceptibilité du système vis à vis d'une décharge ESD. L'objectif est de développer une méthodologie générique à partir des informations fournies par les constructeurs de composants, ou à partir de mesures effectuées, qui puissent être utilisables directement par les concepteurs de systèmes. Dans ce chapitre, nous détaillerons comment chaque élément constituant le système est modélisé : les protections ESD, le circuit intégré, les pistes du circuit imprimé, les composants passifs, les générateurs de décharges.

3.2 Principe de modélisation

Un système est composé d'une multitude d'éléments : les circuits intégrés qui incluent leurs protections ESD, le circuit imprimé qui comprend les pistes et les composants passifs, et l'environnement extérieur, assimilable dans notre cas à un environnement de stress ESD. Ce dernier est composé de câbles, sondes, appareils de mesures et générateurs de décharges. Les interactions entre tous les éléments du système cités peuvent être très complexes, et les stratégies d'évacuation des décharges ESD implémentées dans les circuits intégrés y jouent un rôle majeur.

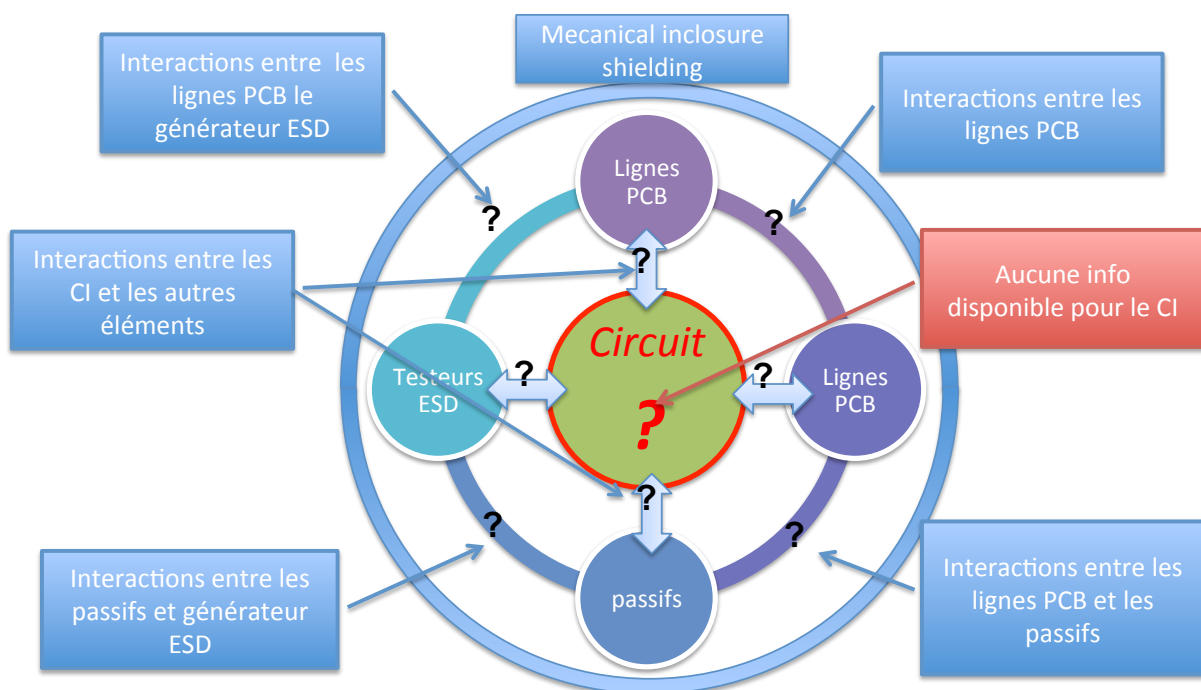


FIGURE 3.1 – Problème des interactions entre les différents éléments d'un système.

Le modèle du circuit intégré est au cœur de la problématique car il présente actuellement

l'essentiel des fonctions du système, qu'elles soient numériques ou analogiques. Comme le montre la Figure 3.1, dans laquelle nous avons placé le composant au centre, il convient de prendre en compte des interactions complexes entre le système (Passif – actifs - lignes) et ce dernier. Chacun de ces éléments peut être complexe, et une simulation analogique (de type SPICE) n'est pas envisageable, les délais de simulation étant prohibitifs (ce point a été abordé dans la thèse de N. Monnereau en comparant les modèles que nous proposons et des modèles analogiques classiques). Les fabricants de composants ne donnant aucune information sur la stratégie de protection de leurs circuits, il n'est pas possible de trouver l'impédance équivalente du circuit (lors de fortes injections), ni de savoir le chemin du courant dans le composant. En résumé, ce sont essentiellement les différentes interactions entre les constituants du système, sans distinction d'échelle, qui sont difficiles à prendre en compte lorsque l'on souhaite prédire l'impact des ESD.

L'approche systémique s'est donc imposée car elle permet de prendre en compte des interactions complexes avec un grand niveau d'abstraction. Chaque partie du système est considérée indépendante mais doit représenter les interactions. De plus, dans cette approche, il est important de simplifier au maximum chacun des blocs pour ne garder que les phénomènes principaux mis en jeu. C'est à cette seule condition qu'il est possible d'envisager des simulations complexes pour prédire l'impact des ESD sur un système complet. La contrepartie reste la précision de la simulation comparée à la mesure, mais vu les incertitudes liées par exemple aux générateurs (voir chapitre 2) nous estimons que 20% d'erreur sont suffisants pour valider l'approche. Certains pourraient dire que 20% d'erreur sur une simulation n'est pas acceptable, cependant à ce jour, aucune simulation n'est possible. Cela permet de définir un but à atteindre dans notre étude.

Le principe de modélisation systémique est illustré Figure 3.2. Il consiste à assembler des blocs élémentaires, disponibles dans une bibliothèque, à la manière de “ briques legos” en suivant la topologie du système. Le composant sera modélisé avec une approche “boîte noire” suffisamment simple pour permettre des simulations à durée limitée, mais comportant suffisamment d'informations pour pouvoir prédire une défaillance matérielle ou fonctionnelle. Le concepteur de système dispose ainsi d'une bibliothèque de blocs qu'il peut assembler de manière hiérarchique pour modéliser le système complet.

Dans nos travaux, chaque bloc élémentaire a été modélisé en VHDL-AMS (en anglais : Very-high-speed integrated circuit Hardware Description Language – Analog and Mixed Signals). Le VHDL-AMS est un langage mixte (numérique et analogique) standardisé selon la norme IEEE1076.1 [62]. Le principal avantage de ce langage comportemental, dit HDL (Hardware Description Language), tout comme le Verilog-AMS, est qu'il permet de décrire les systèmes avec des modèles multi-abstractions et multidisciplinaires [63]. Cette flexibilité est nécessaire pour l'assemblage hiérarchique voulu dans la démarche.

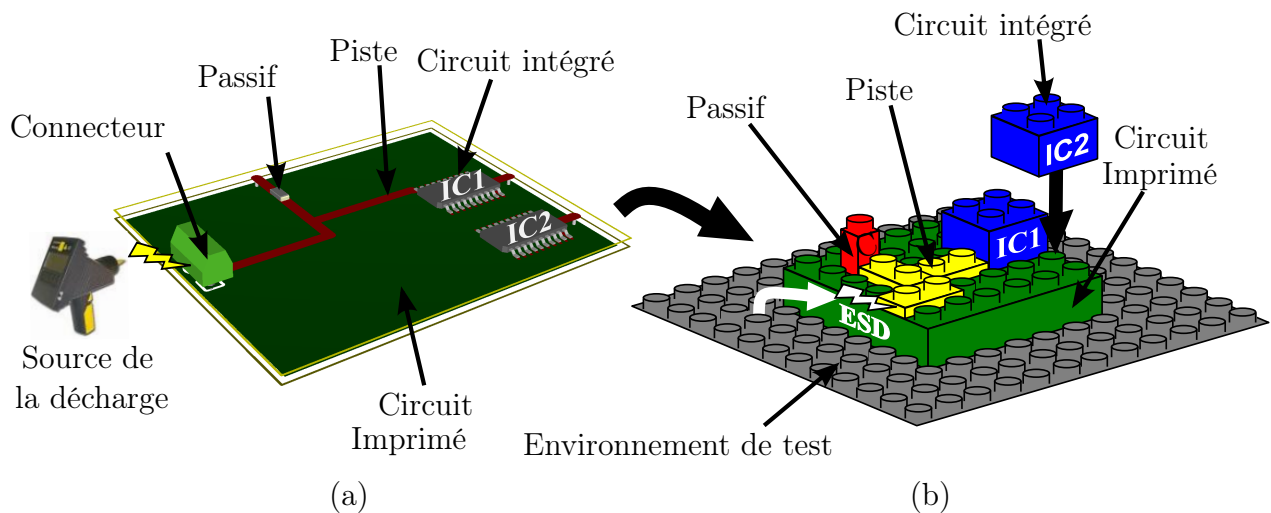


FIGURE 3.2 – Principe de modélisation d’un système : vue du système classique (a), assemblage de blocs élémentaires suivant la topologie du système (b).

3.3 Modélisation du circuit imprimé (Printed Circuit Board – PCB)

Le circuit imprimé constitue le point d’entrée de la décharge ESD. C’est donc par là que nous avons commencé nos études lors de la thèse de N. Lacrampe. Les pistes PCB ont largement été étudiées dans la littérature [64] Cependant, pour la propagation des ESD qui sont rapides ($BW \approx 1\text{GHz}$) et très énergétiques ($\text{KV-q}10\text{A}$) aucune étude n’a été menée pour savoir quels pouvaient être les modèles utilisables. Les pertes dans le substrat ou les effets de peau peuvent alors prendre de l’importance. Il faut donc valider leurs effets et définir des modèles adéquats pour la simulation des phénomènes ESD. Dans notre démarche visant à simplifier les modèles, et pour des raisons évidentes de temps de simulation, il nous faut optimiser ces modèles. Ce paragraphe présente notre démarche pour être capable de prendre en compte des lignes simples, mais aussi de pouvoir simuler les couplages diaphoniques. La facilité d’implémentation dans les logiciels de simulation doit aussi être prise en compte.

3.3.1 Modèle de ligne en forte injection

3.3.1.1 Condensé théorique des lignes de propagation

Les pistes des circuits imprimés, peuvent être considérées comme des lignes “Micro-ruban”, constituées d’un conducteur métallique mince, placé sur un matériau diélectrique dont la face arrière est entièrement recouverte de métal, constituant un plan de masse. Ces pistes sont assimilées à des lignes de transmission et les modèles de la littérature

présentent une forme distribuée. La distribution élémentaire peut être représentée sous la forme d'un circuit RLCG comme représentée ci-dessous [64], où les valeurs R , L , C et G dépendent des paramètres géométriques de la ligne et des matériaux diélectriques utilisés.

Composants primaires du modèle de ligne :

- La résistance série R en Ohms (Ω)
- L'inductance série L en Henry (H)
- La capacité parallèle C en Farads (F)
- La conductance parallèle G en Siemens (S).

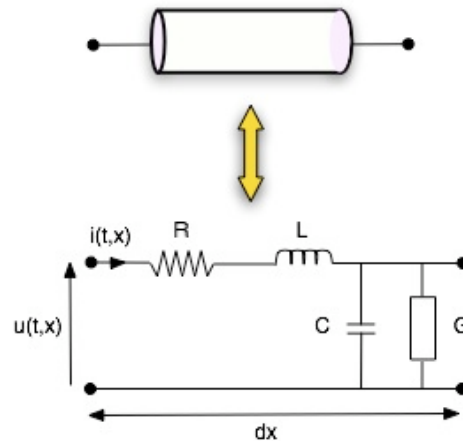


FIGURE 3.3 – Modèle élémentaire électrique d'une ligne de transmission.

Ces différents éléments permettent de décrire l'impédance caractéristique, les atténuations dues aux différentes pertes diélectriques, et la vitesse de propagation du signal électrique.

Si l'on augmente la fréquence des signaux transportés, le filtre équivalent à ce réseau passif doit faire apparaître les phénomènes de propagation des équations des télégraphistes. Ceux-ci sont traduits par la discrétisation de la ligne en éléments de longueur dx . Il faudra alors assembler un nombre suffisant de modules élémentaires dx pour prendre en compte les phénomènes de propagation. Ce type de modélisation par éléments discrets est typiquement appelé PEEC (en anglais : Partial Element Equivalent Circuit model). [65].

L'amplitude et la phase, du courant et de la tension, peuvent évoluer en fonction des conditions aux limites, imposées par les impédances connectées aux extrémités de cette ligne. Une telle modélisation permet aussi de prendre en compte les phénomènes d'ondes incidentes et réfléchies.

D'après la résolution du système d'équations différentielles de la ligne RLCG, le rapport entre les tensions et courants incidents d'une part et réfléchis d'autre part, est constant et représente un paramètre secondaire de la ligne (ou paramètre électrique) qui est l'impédance caractéristique Z_c de celle-ci.

$$Z_c = \sqrt{\frac{Z}{Y}} = \sqrt{\frac{R+jL\omega}{G+jC\omega}} \quad (3.1)$$

L'impédance caractéristique d'une ligne est l'impédance que l'on mesure à l'origine d'une ligne de longueur finie mais dont l'extrémité est connectée à une charge égale à Z_c .

Dans le cas de ligne sans perte (pertes résistives et diélectriques négligeables), l'impédance caractéristique d'une ligne se simplifie :

$$Z_C = \sqrt{\frac{L}{C}} \quad (3.2)$$

Dans ce cas, Z_C est purement réelle et se comporte comme une charge résistive. Les pistes PCB, d'impédance caractéristique Z_C , sont assimilées à des lignes de transmission dès que les signaux qu'elles véhiculent sont de haute fréquence. Reste à définir cette notion de "haute fréquence" qui par conséquent est relative. La ligne microruban est discrétisée en n portions élémentaires comme illustré Figure 3.3. Cette discrétisation doit tenir compte de l'approximation quasi-TEM [66] (TEM : Transverse Electrique Magnétique). Les lignes microrubans se comportent comme des guides d'ondes avec des directions privilégiées [67]. En première approximation, le mode de propagation de l'onde le long de la ligne est quasi-transverse, c'est à dire que les champs électriques et magnétiques sont perpendiculaires à l'axe de la ligne. Dans cette approximation, les variations de phase sont négligées. Ainsi, la longueur l de l'élément élémentaire dx doit répondre à la condition suivante :

$$l \ll \frac{\lambda}{4} \quad \text{avec} \quad \lambda = \frac{\nu}{f} \quad \text{et} \quad \nu = \frac{c}{\sqrt{\epsilon_r}} \quad (3.3)$$

λ est la longueur d'onde, f est la fréquence, ν est la vitesse, et enfin c est la célérité ($c = 3.10^8$ m/s).

Si l'on considère la fréquence de travail à 2 GHz, la longueur d'onde est de 7 cm. La longueur élémentaire δx doit être très inférieure à $\frac{\lambda}{4} \simeq 17,5$ mm. Pour avoir une condition suffisante, nous prenons $dl = \frac{\lambda}{10} \simeq 7$ mm [68].

Avec des phénomènes ESD ayant des temps de montée de l'ordre de la nanoseconde et en dessous, il nous faut tenir compte du retard de propagation, non négligeable pour quelques centimètres de ligne PCB. Comme montré dans l'article de Rémi Bèges [69, 70], ces délais peuvent introduire des pics de tension sur les mesures en fonction des réflexions.

Ce retard est donné par la relation générale liant le temps de propagation T_p , une distance quelconque D et la vitesse de propagation V_p :

$$T_p = \frac{D}{V_p} \quad (3.8)$$

Pour une ligne microruban, la vitesse de propagation des signaux est constante pour un matériau donné et s'exprime par [64] :

$$V_p = \frac{1}{\sqrt{LC}} \quad (3.9)$$

Cette formule montre que les paramètres L et C sont importants pour modéliser la propagation des ESD. La théorie précédemment exposée est bien connue pour les applications

faibles signaux. Le livre de H. BAKOGLU [64] présente nombre de cas et de modèles de lignes de transmission avec pour chaque une formulation analytique. Il faut cependant valider cette théorie pour des transitoires rapides de forte puissance.

3.3.1.2 Développement d'une expérimentation pour la validation TDR

Pour valider les modèles de ligne dans le régime de fonctionnement des ESD (forte puissance, haute fréquence), nous avons décidé d'utiliser une technique de réflectométrie TDR (Time Domain Reflectometry). [71], forte puissance, avec comme générateur d'impulsions le banc VF-TLP (Very Fast Transmission Line Pulsing) [72, 73, 74]. L'avantage du générateur VF-TLP est qu'il peut délivrer des impulsions parfaitement calibrées de 1KV - 20A, avec des temps de montée et des durées très courts ($t_r = 80\text{ps}$; $D = 2\text{ns}$). À l'aide du boîtier TDR, livré avec le banc VF-TLP, nous pouvons visualiser l'impulsion incidente en tension et les impulsions réfléchies.

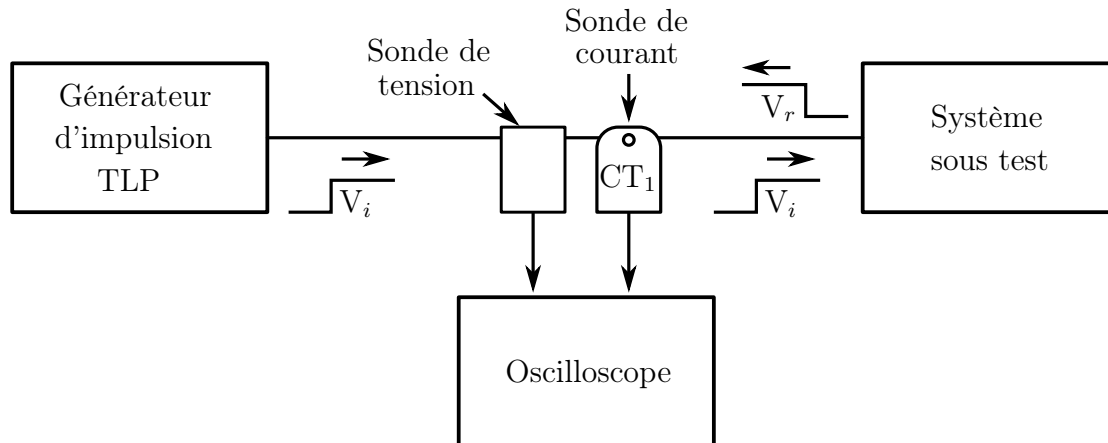


FIGURE 3.4 – Schéma de principe du banc TDR utilisant le TLP.

L'ensemble du banc de test (Figure 3.4) est adapté 50Ω , et le système de mesure (oscilloscope TDS 6604B, câbles RG 402/U) a une bande passante de 6 GHz. Un modèle complet du banc de mesure TDR-TLP a été développé dans le but de comparer les mesures et la simulation, et ainsi extraire l'erreur relative de nos modèles de ligne. Le schéma électrique équivalent est donné Figure 3.5.

- Le banc VF-TLP est représenté par un générateur d'impulsion suivi d'une résistance de 50Ω .
- Le modèle des câbles est effectué à l'aide d'une ligne de transmission avec une vitesse de propagation de $1,94 \cdot 10^8$ m/s, soit un délai d'environ 5ns par mètre.
- Pour la modélisation du boîtier TDR permettant de visualiser l'onde incidente et l'onde réfléchie, différentes mesures ont été effectuées.

Des mesures de paramètres S ont été réalisées pour voir les atténuations existantes. Les mesures ont montré une légère atténuation sur l'impulsion transmise entre l'entrée du boîtier et la sortie reliée à la carte. Une atténuation de -35dB est visible sur l'impulsion réfléchie envoyée à l'oscilloscope. Une différence de propagation d'environ 1,4ns existe entre l'impulsion envoyée à l'oscilloscope et l'impulsion transmise à la carte [68]. Une modélisation du boîtier TDR avec deux résistances 50Ω en parallèle et des lignes de transmission permet de prendre en compte les délais et les atténuations.

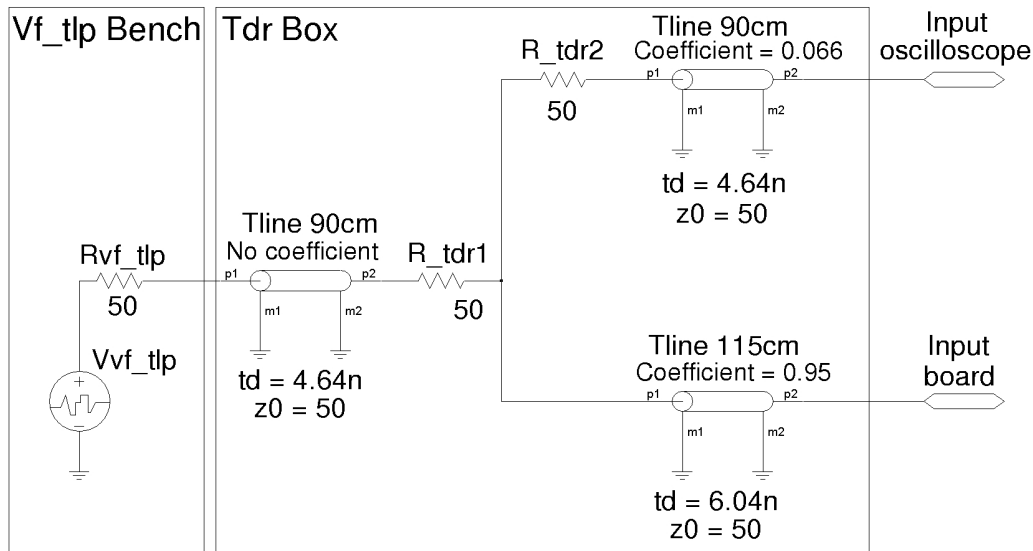


FIGURE 3.5 – Modélisation globale du banc d'injection : VF-TLP et boîtier TDR avec les délais et les atténuations .

Outre le fait de nous avoir permis de valider les modèles de ligne, de via, et les diverses configurations rencontrées sur ces PCB de test, nous avons apporté la preuve que la méthode TRD associée à un VF-TLP est un outil d'investigation puissant pour la caractérisation des lignes quelles que soient leurs configurations. Nous pouvons grâce à cette technique identifier les discontinuités rencontrées par l'ESD sur le système.

3.3.1.3 Validation et simplification des modèles de ligne pour les applications ESD

Dans le but de valider les modèles de propagation sur les pistes PCB, différents motifs de lignes ont été étudiés dans la thèse de N. Lacrampe. Un exemple de PCB représentatif des études faites est reporté Figure 3.6. Différentes formes de lignes, avec différentes impédances caractéristiques, avec ou sans discontinuités ont été étudiées. Certains motifs permettent d'étudier les cas particuliers des via, des coudes, la présence ou non de plan de masse, mais aussi des couplages diaphoniques entre pistes. Pour chaque mesure réalisée, des études comparatives avec des simulations ont été menées pour valider les modèles que nous avons utilisés par la suite.

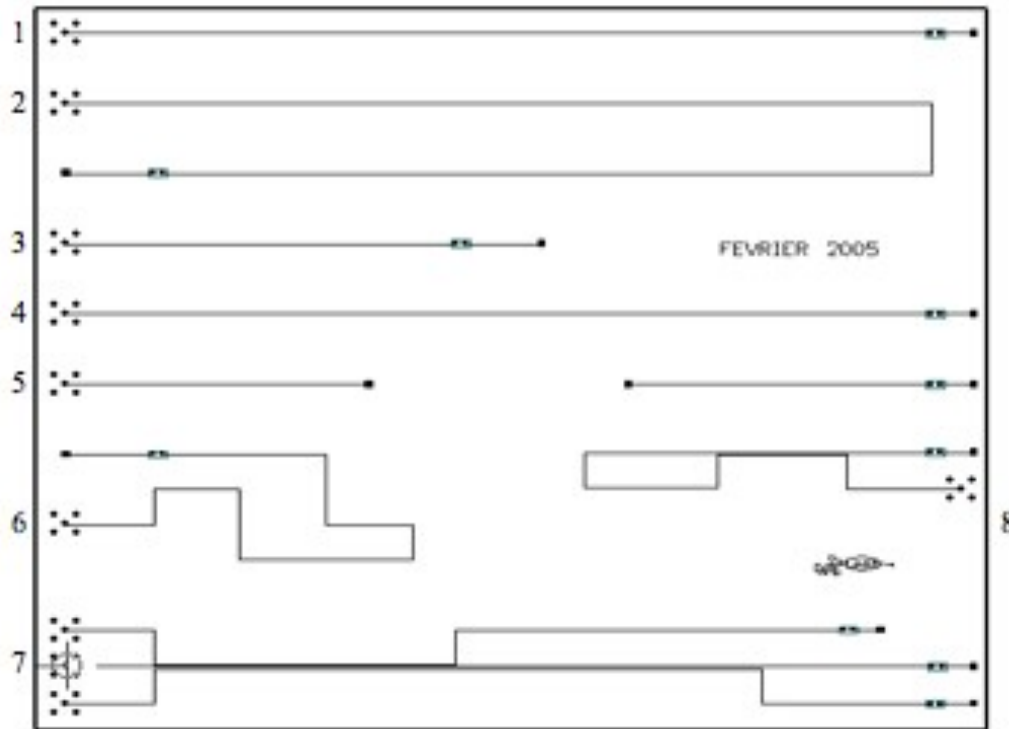


FIGURE 3.6 – Exemple de PCB pour l'étude des lignes.

L'ensemble de ces analyses nous a permis de conclure qu'un modèle simple de type LC, ne prenant pas en compte les pertes, était suffisant pour simuler avec une précision inférieure à 5% les phénomènes ESD (Figure 3.7). En prenant comme hypothèse l'approximation quasi-TEM et en ayant une fréquence de fonctionnement effective de l'ordre du gigahertz, nous devons diviser les pistes en tronçons élémentaires de longueur dl en respectant la condition de l'équation (3.3). Pour l'étude des ESD, et notamment pour respecter la norme IEC 61000-4-2, nous avons estimé cette distance élémentaire à 4mm.

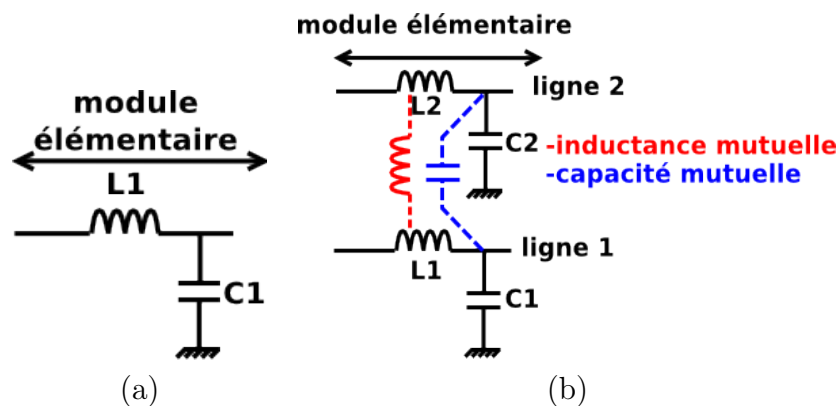


FIGURE 3.7 – Modèles élémentaires utilisés pour la modélisation de lignes seules (a) et couplées (b).

Un module générique développé en VHDL-AMS conserve cette sérialisation d'éléments

élémentaires. Les caractéristiques géométriques et le nombre de modules n sont passés en paramètres [68].

La modélisation a été validée par comparaison avec la mesure pour différentes topologies de lignes. Deux exemples de lignes dont les impédances caractéristiques sont 50Ω ($W = 2,8\text{mm}$) et 100Ω ($0,65\text{mm}$) sont reportées ci-dessous. Pour cette étude, nous avons injecté des impulsions VF-TLP de largeur $1,25\text{ns}$ et d'amplitudes variables. Les lignes étudiées ont des longueurs de 20cm terminées toutes les deux par des terminaisons de 10Ω .

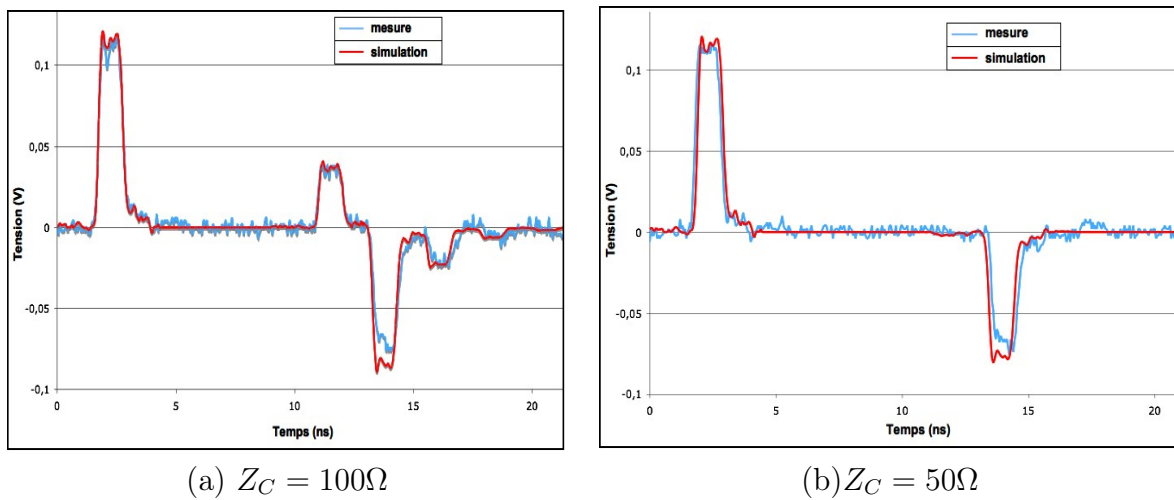


FIGURE 3.8 – Mesure et simulation de ligne de longueur 20cm , d'impédances caractéristiques variables avec une résistance de terminaison de 10Ω .

La première impulsion observée correspond au signal incident. La deuxième impulsion correspond à la réflexion. Pour une impédance de ligne de 100Ω elle est d'abord positive ce qui correspond à l'impédance de la ligne puis négative, ce qui représente la résistance de terminaison de 10Ω . Pour la ligne ayant une impédance caractéristique de 50Ω , aucune réflexion n'est observée, seule apparaît la terminaison de 10Ω . L'approximation LC utilisée pour la propagation des ESD corrèle parfaitement avec les mesures pour la propagation sur les lignes. Une légère erreur est observée sur la terminaison. Ceci est certainement lié aux éléments parasites haute fréquence de la résistance soudée en fin de ligne, notamment l'inductance série parasite.

Un autre modèle de ligne a été développé pour tenir compte des phénomènes de couplage ou diaphonie entre deux pistes proches [75] [64]. Comme pour le modèle précédent, un modèle générique "LC_coupled" ayant comme paramètres d'entrée, les capacités et inductances linéiques ainsi que les capacités et inductances mutuelles a été programmé.

3.3.1.4 Assemblage hiérarchique des modèles de ligne pour la modélisation complète d'une carte PCB

Les modèles de lignes précédents sont assemblés en suivant la topologie du circuit imprimé à simuler. Le principe de cet assemblage est illustré dans la thèse de N. Monnereau et reporté ici (Figure 3.9). Quelles que soient les configurations, les paramètres des lignes changent suivant les dimensions géométriques mises en jeu (longueur, largeur, écartement, plan de masse, etc...). L'approche hiérarchique possible grâce au langage VHDL-AMS rentre parfaitement dans notre approche systémique où les pistes du PCB sont considérées comme des blocs. Ceci offre un gain de temps considérable dans la mise en place de la simulation, mais permet également de réduire les temps de simulation.

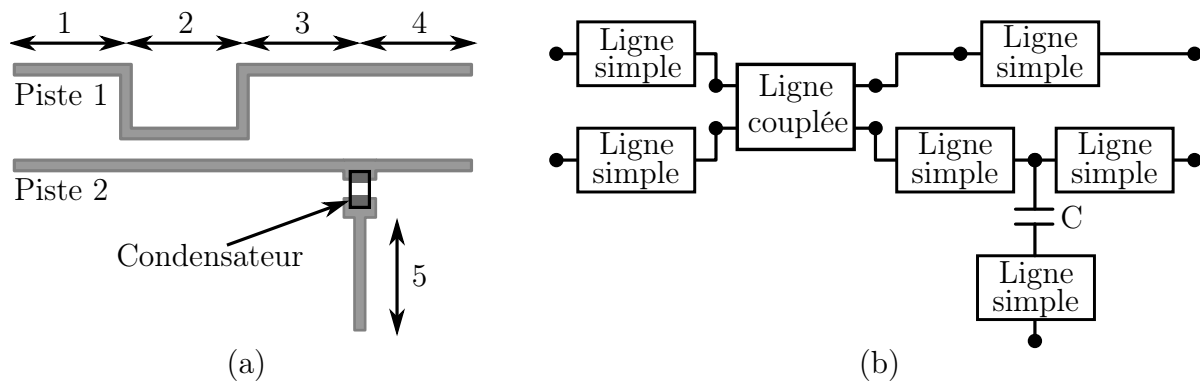


FIGURE 3.9 – Topologie du circuit imprimé à modéliser (a), assemblage des blocs élémentaires de la bibliothèque pour modéliser le circuit imprimé (b).

3.3.2 Modélisation des passifs

Les systèmes électroniques incorporent de nombreux éléments passifs : résistances, capacités, inductances. Compte tenu des fréquences auxquelles nous travaillons, il est nécessaire de prendre en compte les éléments parasites RLC liés aux imperfections hautes fréquences des composants comme illustré Figure 3.10.

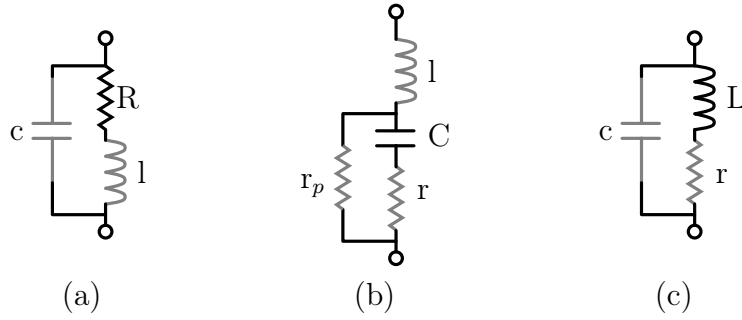


FIGURE 3.10 – Modèles haute fréquence (HF) d’une résistance (a), d’un condensateur (b) et d’une inductance (c).

Pour exemple, l’impédance d’un condensateur obtenue à l’analyseur d’impédance varie en fonction de la fréquence et passe d’un comportement capacitif à un comportement inductif à la fréquence de 10MHz. Au regard des stress ESD, la faible inductance équivalente qui en résulte, ici 3,6nH, joue un rôle majeur lors des fortes transitions du courant de décharge en suivant la loi $U = L \frac{di}{dt}$. Pour un stress IEC de 8KV, générant un pic de courant de 25A en moins de 1ns, notre capacité introduira un pic de tension de près de 90V aux bornes de la capacité.

La prise en compte des éléments hautes fréquences (HF) des passifs est aussi cruciale d’un point de vue de la prédiction de la dynamique des courants traversant les protections intégrées comme illustré dans l’exemple de la Figure 3.11, publié par N. Monneré [76, 77]. Le schéma reporte le cas simple d’une capacité mise en parallèle sur l’entrée d’un CI dont la protection interne est une protection à retournement de type SCR. Dans le cas d’un stress TLP, la capacité externe va se charger grâce au courant ESD, jusqu’à atteindre la tension de déclenchement du SCR (charge d’une capacité à courant constant). Lorsque la tension du déclenchement est atteinte, la structure de protection se retourne à une valeur de tension faible, créant ainsi la décharge de la capacité dans la protection. Si les éléments HF de la capacité ne sont pas pris en compte, le courant de simulation est infini et la décharge instantanée. On comprend dans ce cas l’importance des éléments parasites, limitant la décharge, mais permettant par la même occasion de visualiser l’aspect transitoire de cette dernière. Cette simulation prend également en compte l’inductance parasite du boîtier du composant.

3.4 Modélisation des circuits intégrés.

Le modèle des circuits intégrés est le dernier élément qui devrait nous permettre de prédire l’impact des ESD sur les systèmes. Cependant, les industriels ne sont pas prêts à donner des modèles complets de leurs puces permettant la simulation d’évènements

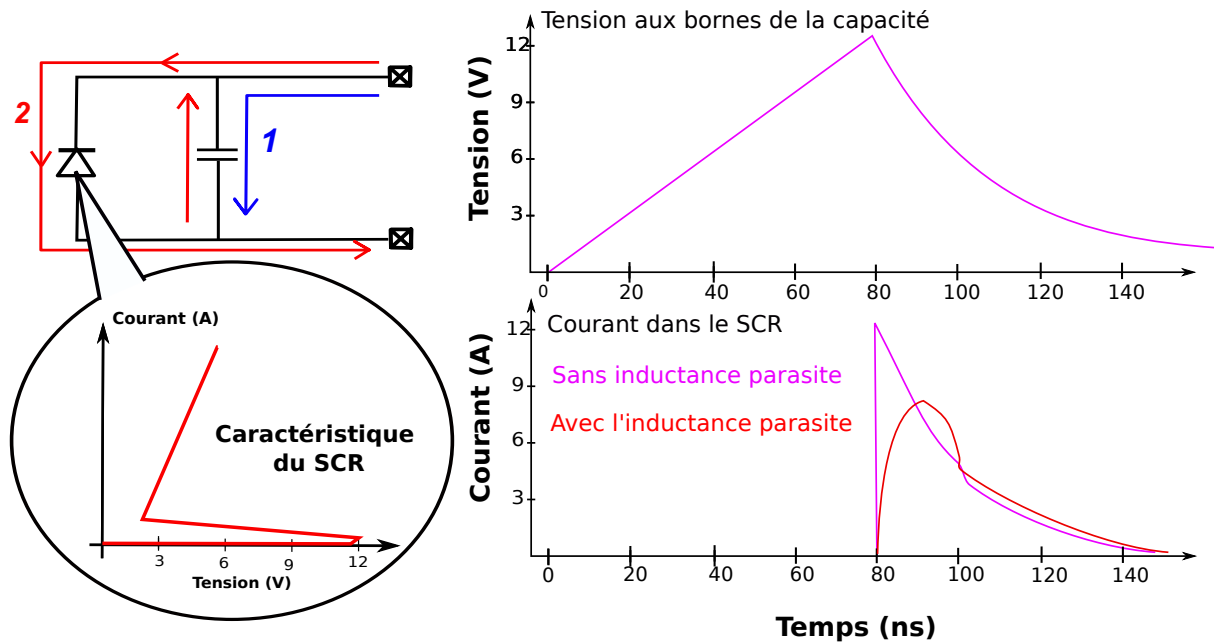


FIGURE 3.11 – Exemple d’une capacité mise en parallèle sur une protection présentant un retournement.

ESD, ce qui reviendrait à révéler leurs techniques de protection. Dans notre démarche, il nous a paru important de pouvoir promouvoir des modèles qui puissent être échangés entre industriels sans pour autant compromettre la propriété intellectuelle. Les modèles physiques (des protections ESD par exemple) ne peuvent pas être utilisés. De plus, ces derniers, souvent complexes, risquent de conduire à des simulations trop longues ou de poser des problèmes de convergence .

3.4.1 Structure interne des Circuits Intégrés (CI)

Avant d’aller plus en avant sur la présentation d’un modèle de circuit intégré, il faut identifier tous les éléments que nous devons prendre en compte dans le modèle au regard des objectifs que nous visons, à savoir la prédiction de défaillances matérielles et fonctionnelles. Comme défini lors de l’introduction, les ESD peuvent provoquer la fusion du silicium ou des claquages d’oxyde. Lorsque le système est détruit par le stress, nous parlerons alors de défaillance matérielle ou “hard-failure”.

Lorsque la panne provoquée par l’ESD est de nature temporaire et que le système est à même de reprendre sa fonction seul (sans intervention externe) on parlera d’erreur logicielle ou “soft-failure”.

Si l’on souhaite simuler le comportement du circuit dans le système, la prise en compte de sa fonction est nécessaire. Il sera alors possible d’envisager l’impact d’une ESD sur la génération de dysfonctionnements tels que des pertes de signal d’horloge, des “RESET”, pour des circuits numériques, ou des surtensions et “jitter” pour des circuits analogiques

ou dédiés aux applications radio-fréquences. Les spécialistes de la CEM parleront alors de susceptibilité.

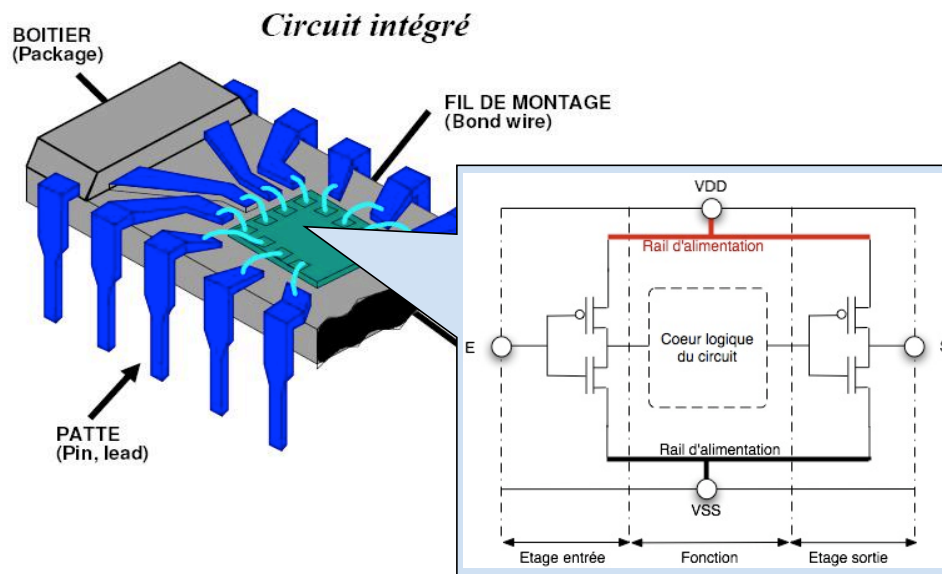


FIGURE 3.12 – Représentation d'un circuit intégré (Pr. Michel ROBERT, LIRMM).

La connexion de la puce vers le circuit imprimé se fait par le boîtier au travers des fils de montage (Bondwire) et des broches (Lead). Un grand nombre d'articles a étudié l'impact des boîtiers sur la transmission du signal aussi appelé intégrité du signal (Signal Integrity - SI). Aujourd'hui, les informations des éléments parasites peuvent être trouvées dans des fichiers normalisés ou fichiers IBIS (Input Buffer Information Specification). Dans les paragraphes qui suivent, nous tacherons de faire le bilan des informations disponibles pouvant être utiles pour simuler l'impact des stress ESD, et notamment celles données dans les fichiers IBIS.

3.4.2 Les modèles IBIS ; Intérêts – Limitations

Avant le milieu des années 90, la disponibilité de modèles de description du circuit pour réaliser des simulations d'intégrité de signal était très limitée, les constructeurs étant réticents à donner des détails des structures internes de leurs entrées et sorties (I/O). La norme IBIS, aussi connue sous le nom de ANSI/EIA-656 [78] a été développée pour apporter aux concepteurs de systèmes des informations sur le comportement des circuits intégrés. Dans un premier temps le fichier ne donnait que les éléments parasites R, L et C du boîtier. Depuis, la norme s'est enrichie avec des données sur les buffers de sorties, les diodes de protection et des capacités d'entrée et de sortie. Les fichiers IBIS permettent de prédire des effets divers tels que des surtensions, de la diaphonie, des délais, des ruptures d'impédance qui pourraient dégrader le signal électrique [79, 80, 46].

Le fichier IBIS, portant l'extension *.ibs, contient des informations sur chacune des différentes broches du circuit intégré. Les principales informations données dans ce fichier sont [78] :

- Les valeurs des éléments R_{pkg} , C_{pkg} et L_{pkg} correspondant aux éléments parasites du boîtier et des fils de connexions de la puce au boîtier.
- La valeur de la capacité C_{comp} , qui est la capacité équivalente de l'étage d'entrée ou de sortie liée au transistor, aux pistes métalliques de connexion et à la capacité du plot.
- Les tables I(V) des protections ESD "power clamp" et "ground clamp" correspondant aux protections situées entre le plot et respectivement les bus d'alimentations V_{DD} et V_{SS} . Il est à noter que le power clamp, d'un point de vue IBIS, n'est pas la protection entre V_{DD} et V_{SS} telle que nous la connaissons dans la communauté ESD.
- Les tables I(V) intitulé "Pull Up" et "Pull Down" correspondant aux transistors de sorties. Dans le cas d'un circuit en technologie CMOS par exemple, ces courbes correspondent aux PMOS et NMOS de l'étage de sortie. Les caractéristiques I(V) sont obtenues pour $|V_{gs}| = V_{DD}$
- Les quatre tables V(t) qui donnent des informations sur la dynamique des sorties. Ces formes d'ondes correspondent aux transitions de l'état haut à l'état bas et de l'état bas à l'état haut des Pull Up et Pull Down de l'étage de sortie.

Les schémas électriques équivalents d'une entrée et d'une sortie sont illustrés Figure 3.13 (a) et (b). Les protections ESD sont représentées par des diodes.

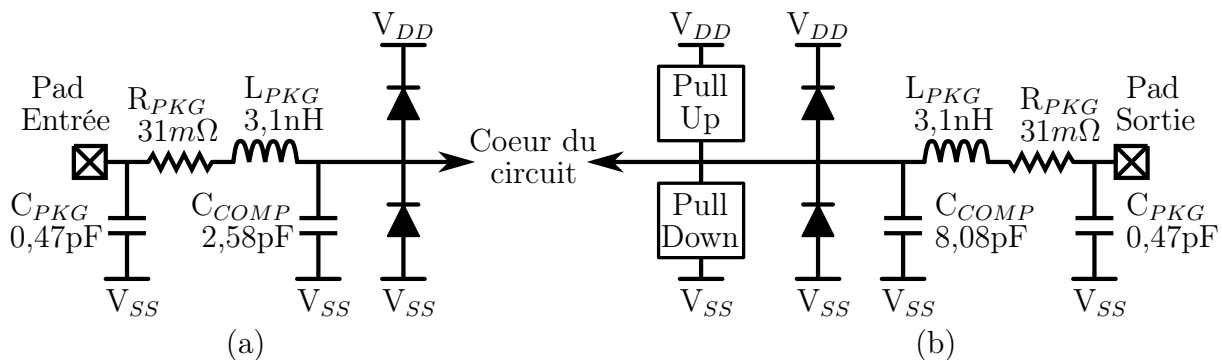


FIGURE 3.13 – Représentation schématique des modèles IBIS d'une entrée (a) et d'une sortie (b) - extraite pour un composant 74xx00.

D'après la description que nous venons de faire, les fichiers IBIS semblent contenir toutes les informations nécessaires, y compris des informations sur les protections ESD. Il ne manquerait que la protection entre V_{DD} et V_{SS} . Des études ont été menées par N. Lacrampe et N. Monnereau pour vérifier si les modèles IBIS pouvaient être utilisés pour prédire les perturbations ESD engendrées au niveau des broches E/S d'un circuit intégré.

3.4.2.1 Analyse des fichiers IBIS pour la prédiction des ESD

3.4.2.1.1 Importance des éléments du boîtier

Comme pour les passifs, l'impact qu'auront les éléments parasites du boîtier sur les chemins de courant sera important. Un exemple de cet impact a été analysé dans le papier N. Monnereau EOSESD 2010 Figure 3.14 [76]. Dans cet exemple, la combinaison d'une capacité externe au composant et de l'inductance de boîtier crée une modification importante du chemin de décharge dans le composant (injection sur la configuration 2 -Figure 3.14). Le papier montre que l'injection d'une simple impulsion TLP se traduit par l'apparition de pics de courant positifs.

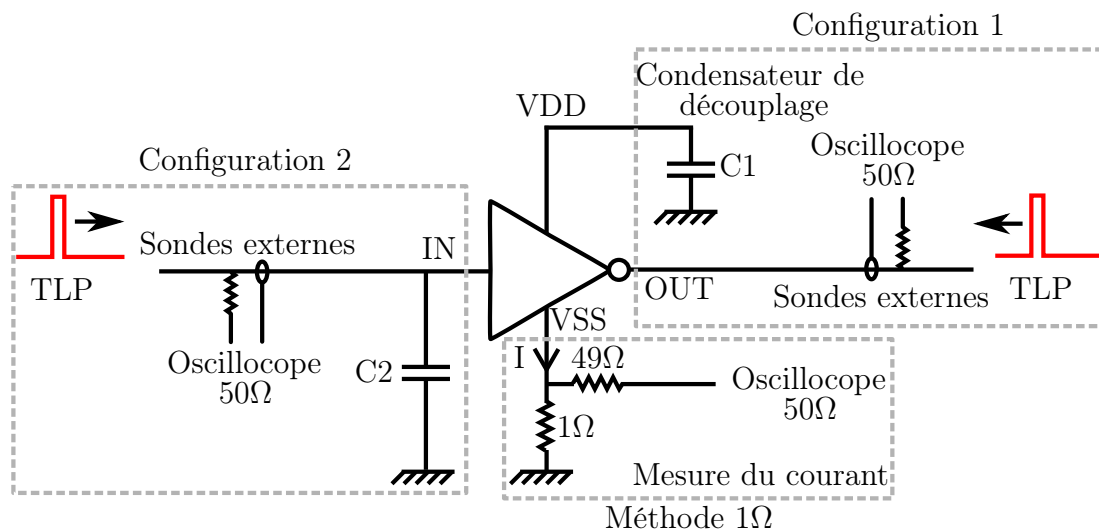


FIGURE 3.14 – Schéma simplifié des configurations de tests 1 et 2 publié par N. Monnereau [76].

Les résultats sont reportés Figure 3.15 dans le cas où la protection interne est un SCR connecté directement entre l'injection et la masse (injection sur l'entrée IN). Nous pouvons noter une très bonne corrélation entre la mesure et les simulations. La structure de protection se retourne au bout de 50ns d'injection et introduit un pic de courant de 3,1A pour 1,7A injecté. La dynamique, est parfaitement reproduite. Pour cette comparaison, deux simulations sont faites, une utilisant des modèles physiques, et l'autre sur la base de modèles comportementaux qui seront détaillés plus loin.

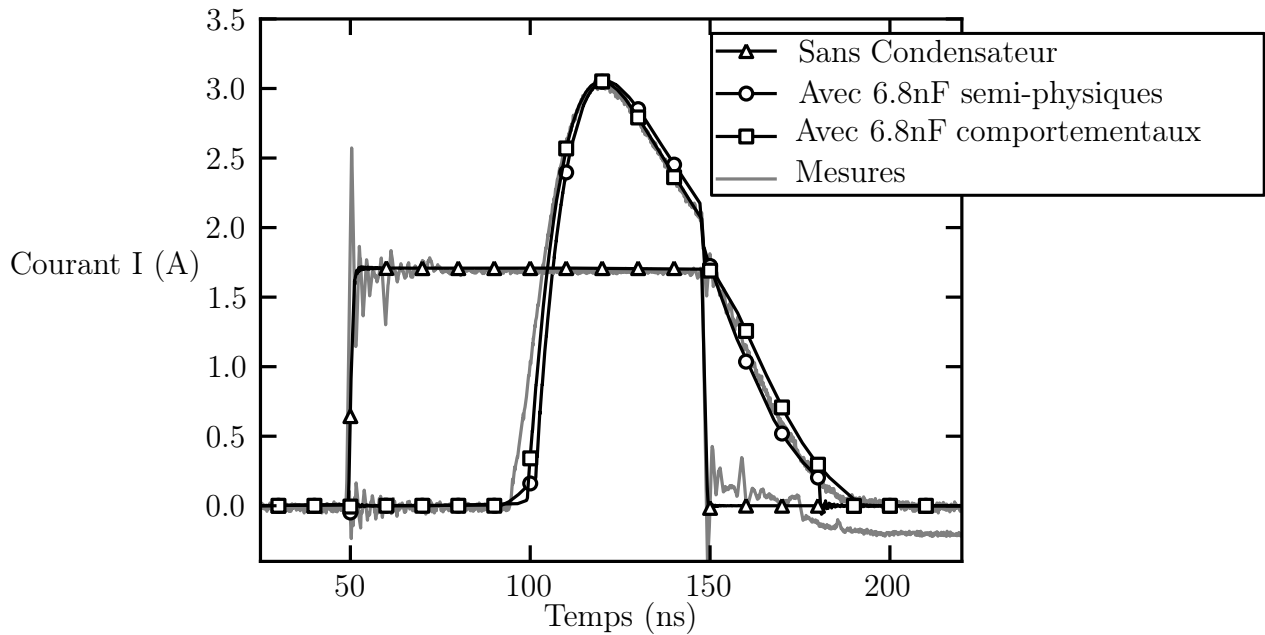


Figure 3.15 – Simulation d’un modèle semi-empirique et comportemental superposés à la mesure du courant pour une impulsion TLP de 1,7 A injectée entre l’entrée et le plan de masse, sans et avec condensateur de découplage [76, 77]

La prise en compte de ces éléments parasites et surtout des inductances de boîtier est primordiale pour assurer que le calculateur donne une réponse correcte, reflétant la dynamique des entrées et sorties des composants. La problématique est identique à l’analyse des passifs.

3.4.2.1.2 Importance de la capacité C_{comp}

Dans la partie qui va suivre, nous évaluons l’impact des capacités internes (C_{comp}). Le schéma électrique de l’étude menée par N. Lacrampe est reporté Figure 3.16. L’impulsion ESD est injectée sur la ligne 1 pour créer une perturbation, par couplage, sur la ligne 2. Les niveaux d’amplitude des bruits générés ainsi que leur dynamique sont mesurés et comparés à la simulation.

Pour bien comprendre les formes d’onde visualisées au niveau de l’entrée de la porte XOR, plusieurs simulations ont été réalisées en modifiant le modèle des entrées et sorties. L’impulsion VF-TLP a un temps de montée de 300 ps et une durée de 5 ns. La Figure 3.17 présente les tensions mesurées et simulées (a) ainsi que les modèles utilisés pour simuler les étages de sortie et d’entrée des circuits (b). Dans cette simulation la capacité C_{comp} n’est pas positionnée. La simulation fait apparaître des transitions trop rapides. La capacité interne C_{comp} joue un rôle important pour la représentation dynamique des entrées et sorties. Elle sera ajoutée dans les simulations suivantes.

3.4.2.1.3 Role des diodes délivrées par IBIS

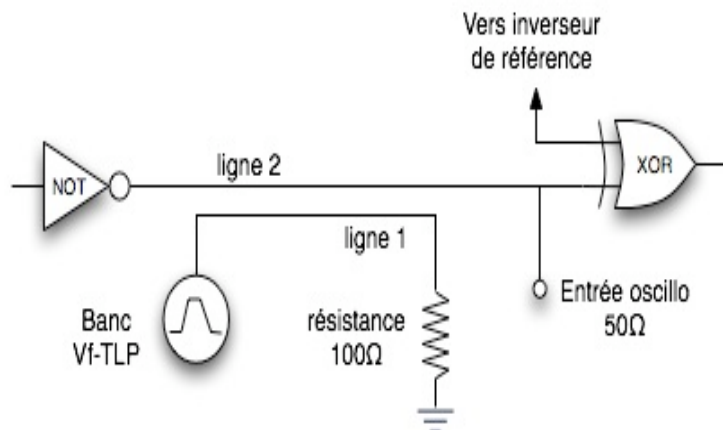


FIGURE 3.16 – Perturbations ESD, par couplage de ligne, sur des broches E/S de circuits.

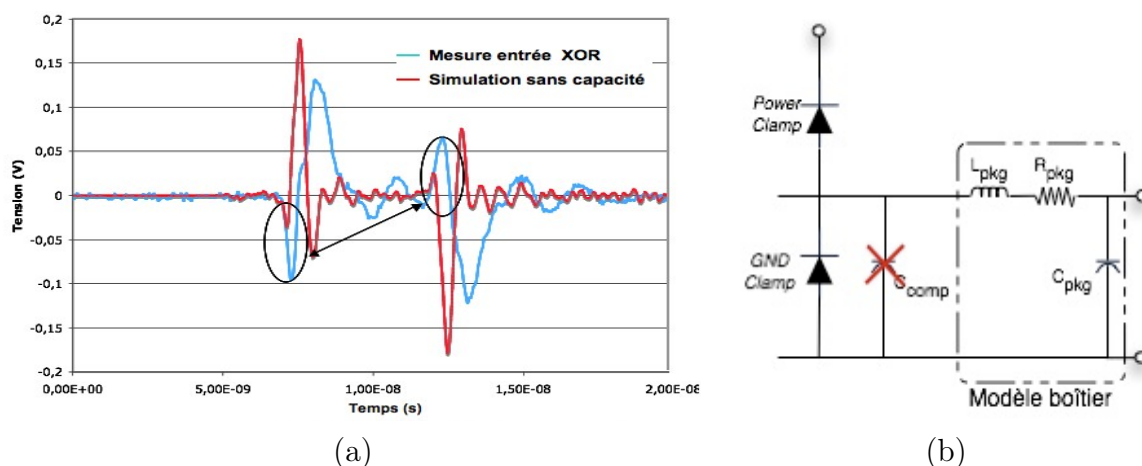


FIGURE 3.17 – Étude du couplage d’une impulsion ESD de 10V. Utilisation du modèle IBIS sans les capacités d’entrée et de sortie des circuits.

L’amplitude de l’impulsion est augmentée pour déclencher les diodes de protection. Lorsque les diodes sont retirées de la simulation, non reportée ici, des surtensions importantes apparaissent mettant en avant l’importance de prendre en compte les éléments de protection dans les simulations de phénomènes transitoires de forte amplitude. Dans l’étude qui suit (Figure 3.18), nous avons réalisé deux simulations. L’une en utilisant des diodes extraites des fichiers IBIS et modélisées classiquement sous SPICE. La seconde simulation est effectuée avec des diodes que nous avons optimisées (décrites elle aussi en SPICE), nommées “diodes optimisées”. Le modèle est basé sur la mesure TLP (mesure quasi-statique) de ces mêmes diodes. Le Tableau 3.1 suivant reporte les principaux paramètres du modèle.

On note l’importance d’utiliser des modèles de diode extraits de mesures quasi statiques. Les caractéristiques I(V) des protections sont données par IBIS pour une plage

Circuit	Paramètres	Diode - PowerClamp	Diode - GND Clamp
INV	IBIS	RS=10Ω BV= 10V N= 1,5	RS=6Ω BV= 10V N= 1
	Optimisés	RS=6Ω BV= 10V N= 0,8 CJ0 = 2,0pF	RS=6Ω BV= 10V N= 1 CJ0 = 1,0pF
XOR	IBIS		RS=6Ω BV= 7,5V N= 1
	Optimisés		RS=6Ω BV= 7,5V N= 1 CJ0 = 1,0pF

TABLE 3.1 – Niveau de défaillance d’un amplificateur audio suivant la norme IEC61000-4-2 en fonction de sa tension d’alimentation.

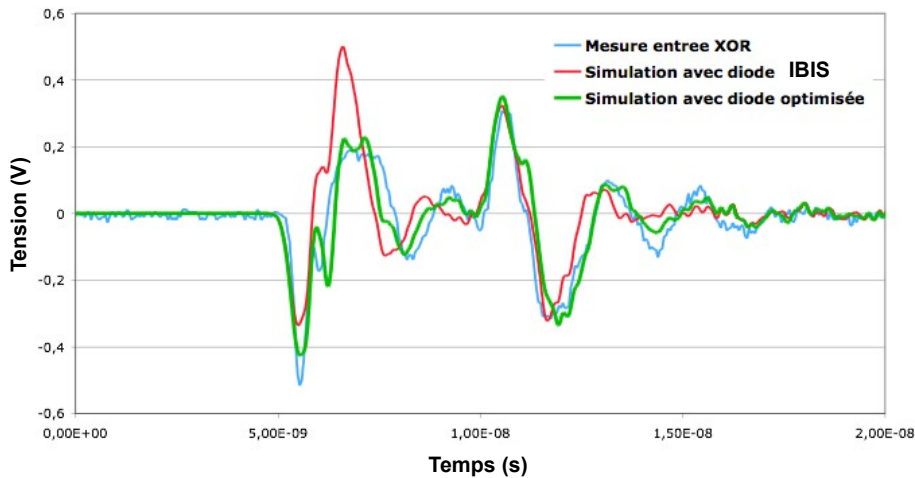


FIGURE 3.18 – Étude du couplage d’une impulsion ESD de 50V. Utilisation du modèle IBIS avec des valeurs de paramètres pour les diodes de protections ESD, fournies par IBIS et des diodes optimisées depuis des mesures quasi-statiques.

de tensions allant de $-1 * V_{DD}$ à $2 * V_{DD}$, bien insuffisant pour l’étude des régimes ESD. De plus, les mesures statiques et quasi-statiques ne donnent pas les mêmes informations, surtout si le circuit est protégé par des structures à déclenchement sur front ou à retournement. Une mesure quasi-statique (TLP) effectuée entre la broche V_{SS} et l’entrée d’un circuit est comparée à la caractéristique $I(V)$ donnée par IBIS Figure 3.19. La résistance à l’état passant de la diode IBIS est beaucoup trop importante par rapport à la réalité de fonctionnement des structures de protection pendant un décharge. Ceci peut-être lié au fait que la structure de protection interne n’est pas nécessairement une diode.

3.4.2.1.4 Role des buffers de sortie

Une étude menée par N. Monnereau montre que les pull-up et pull-down doivent être pris en compte car ils participent à la conduction du courant. Ceci a été montré dans le papier [76] lors d’un stress sur une sortie (Figure 3.20)

Une étude réalisée par S. Giraldo met en évidence la destruction d’un produit audio dé-

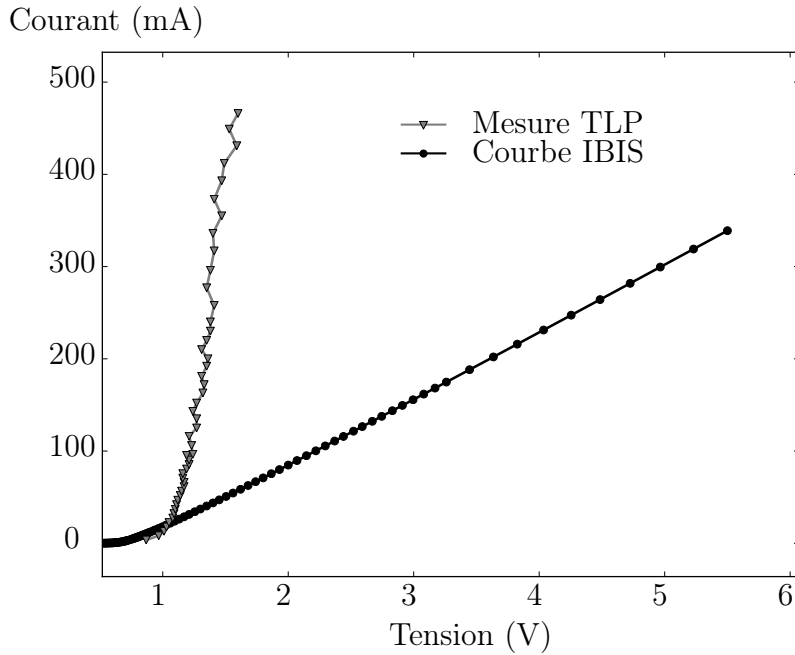


FIGURE 3.19 – Comparaison d’une mesure TLP et d’une caractéristique I(V) IBIS de la structure située entre la broche V_{SS} et l’entrée du circuit.

dié à la téléphonie mobile par ce phénomène [81]. Dans notre étude, le composant est placé dans son application finale et le stress est injecté sur la sortie audio de l’amplificateur opérationnel. Des capacités de découplage C_{dec} et C_{out} de forte valeur (1 μ F) permettent de modéliser le bon fonctionnement d’une pompe de charge (LDOP et LDON) (Figure 3.21). Dans cette configuration finale, les structures de protection, qui sont des protections actives ne se déclenchent pas car les capacités externes maintiennent les potentiels à leurs bornes.

Des analyses ont été menées pour déterminer le niveau de robustesse en fonction du niveau d’alimentation. Le Tableau 3.2 montre que la robustesse diminue drastiquement lorsque l’alimentation augmente.

Tension d’alimentation	0V	3,8V	5,2V
Niveau de Défaillance IEC	7KV	2KV	1KV

TABLE 3.2 – Niveau de défaillance d’un amplificateur audio suivant la norme IEC61000-4-2 en fonction de sa tension d’alimentation.

Lorsque le système est alimenté, les transistors NMOS sont à l’état passant. Par l’intermédiaire de la capacité C_{GD} , le stress ESD induit l’augmentation de la tension de grille du transistor M0, augmentant sa conduction en dehors de la zone SOA. La mesure TLP qui suit (Figure 3.22) nous montre que lorsque la grille du transistor NMOS est polarisée à 5V, le niveau de défaillance apparaît quand V_{DS} dépasse 5V. Or la simulation nous a donné une excursion en tension égale à 7,5V pour ce même niveau de polarisation.

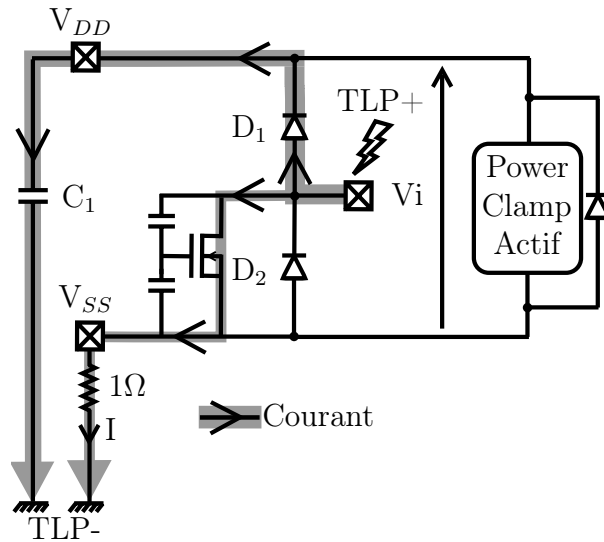


Figure 3.20 – Apparition d’un chemin de décharge au travers du transistor de pulldown [76].

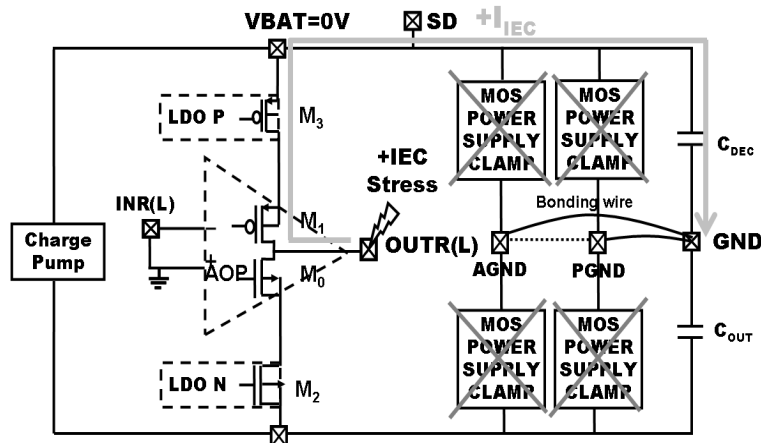


Figure 3.21 – Simulation du chemin du courant lors d’une décharge IEC appliquée sur la sortie de l’amplificateur [81].

Pour mener une telle simulation et prédire la défaillance, il faut impérativement avoir les informations sur le transistor (le pulldown), la valeur de la capacité de couplage de la grille et des mesures quantifiant la zone SOA (Safe Operating Area - ou zone de fonctionnement sûr). Cette étude a pu aboutir grâce à de nombreuses mesures complémentaires pour valider l’approche simulée. Au vu de ces résultats, il semble important d’avoir les informations sur les tailles de buffers de sortie comme celle données par IBIS, même si IBIS ne donne pas directement cette information. Par contre, il manque pour pouvoir prédire le comportement de ces buffers face à un stress ESD, la capacité qui lie leur contrôle à la sortie ainsi que la marge de sécurité fonctionnelle (SOA).

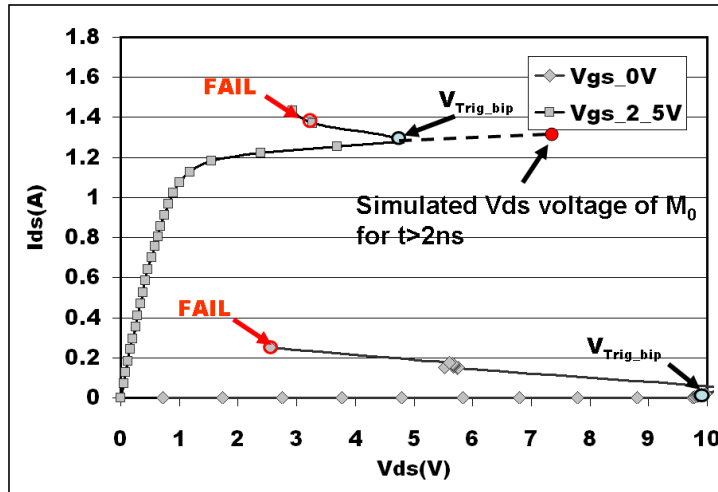


Figure 3.22 – Caractéristique I_{DS} (V_{DS}) du transistor NMOS M_0 en fonction de la polarisation de grille $V_{GS}= 0V$ et $V_{GS}= 5V$.

3.4.2.2 Conclusion sur les fichiers IBIS – amélioration

D’une façon générale, la représentation des diodes données par IBIS n’est pas suffisante pour représenter la réalité quasi-statique des protections ESD (résistance dynamique, retournements, déclenchements sur front et amplitude). De plus, tous les chemins de courant empruntés par un ESD dans le composant ne sont pas considérés. La représentation schématique d’une stratégie de protection centralisée montrant les chemins manquants non définis par IBIS, est donnée Figure 3.23. Nous pouvons voir que la protection d’alimentation entre les broches V_{DD} et V_{SS} n’est pas définie. Si une décharge survient entre une sortie (OUT) et V_{SS} , aucune structure ou chemin ne permet d’évacuer le courant vers V_{SS} . Or ce chemin existe et doit être pris en compte.

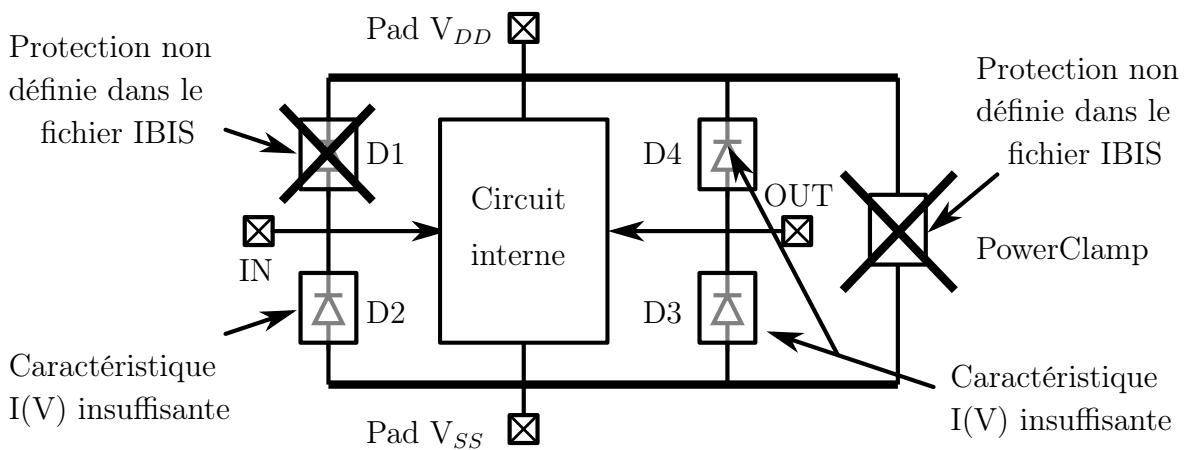


FIGURE 3.23 – Mise en évidence des lacunes de IBIS, pour le circuit 74LVC04A, sur la représentation schématique d’une stratégie de protection centralisée typique utilisée dans les technologies CMOS.

Le modèle du circuit intégré que nous proposons conserve les valeurs des éléments passifs de toutes les broches (R_{pkg} , L_{pkg} et C_{pkg}) ainsi que la capacité équivalente (C_{COMP}) données par IBIS. La modélisation fonctionnelle du circuit ré-utilise les tables $I(V)$ et $V(t)$ des PullUp et PullDown primordiaux pour effectuer des simulations fonctionnelles. Leur implémentation a été développée dans la thèse de N.Monneré ([77]). Le tableau qui suit résume les éléments que nous pouvons conserver pour la simulation des ESD et ceux qu'il convient de remplacer.

Eléments	Inclus dans IBIS	Impact	Amélioration
Elements parasites du boîtier	Oui	L'inductance de boîtier joue un rôle primordial sur les di/dt : limite les excursions en courant La résistance et la capacité jouent sur les courants de fuite lors des transitoires Aide à la convergence	A conserver sans modification
Buffer	oui	Permet de déterminer le courant qui peut les traverser lors d'un stress	Manque : - La capacité de couplage vers les grilles - La zone de défaillance des buffers : zone SOA
Capacité C_{comp}	oui	Représente la dynamique des entrées et sorties. C'est aussi la capacité équivalente des protections	A conserver sans modification
Diodes d'entrée Sortie	oui	Permettent lors de fortes injections de déterminer les déclenchements.	A modifier intégralement - Préconiser des mesures quasi-statiques pour leur caractérisation - Etendre les zones de fonctionnement aux très forts courants
Structures de protection entre les alimentations (V_{DD} et GND)	Non	Primordiale pour prédire le chemin de courant dans le composant	A ajouter impérativement en suivant les recommandations précédentes

TABLE 3.3 – Synthèse des avantages et inconvénients de IBIS.

3.4.3 Mise en place d'un réseau d'alimentation

La structure du réseau d'alimentation est une nécessité pour simuler les circulations de courant dans le composant. Sa mise en place doit reprendre la topologie des réseaux d'alimentation du composant comme spécifiée par le modèle ICEM [22]. Le modèle ICEM définit ainsi le PDN (Passive Device Network) nécessaire à la simulation des réseaux d'alimentation pour l'émission CEM. Le PDN donné par le modèle ICEM reste composé de passifs, d'où son appellation "Passive Device Network".

La notion de "Power Delivery Network", utilisant le même anachronisme, permet de placer sur le réseau d'alimentation des actifs comme les structures de protections. Cette notion est celle qui a été discutée au sein du comité normatif (ESDA- WG14.5) que j'anime et est la notion que nous souhaitons soutenir au sein des comités de normalisation ESDA et UTE. L'étape importante est de trouver une méthode adéquate pour extraire les protections ESD qui alimenteront le PDN tels que nous le voulons : actif et de définir la façon dont le PDN peut être élaboré.

3.4.4 Extraction d'informations à partir de mesures

Pour extraire des informations sur les protections ESD, des mesures statiques et quasi-statiques (TLP) ont été effectuées entre des broches identifiées pour analyser la stratégie de protection. Les mesures statiques permettent d'identifier les structures ESD qui utilisent un circuit de déclenchement dynamique calibré sur les transitions rapides des ESD [9, 82, 33]. La caractéristique quasi-statique est elle, utilisée dans le modèle.

Une première approche consisterait, en fonction de la structure identifiée, à développer un modèle physique du composant où les paramètres seraient ajustés pour faire correspondre les caractéristiques. Ceci permet d'obtenir des résultats de simulation précis. En contrepartie, si l'on doit développer un modèle de composant ayant un grand nombre de broches, cela devient compliqué. Il faut ajuster les modèles de toutes les protections du composant, et surtout faire une simulation physique comportant un très grand nombre de composants, ce qui peut nuire au temps de simulation lors de transitoires rapides.

Une deuxième approche consisterait à considérer un modèle purement comportemental pour chaque mesure faite entre deux broches. Cette technique présente le désavantage de ne plus pouvoir associer une réalité physique à la protection. Par contre, le haut niveau d'abstraction introduit permet d'élaborer directement (sans analyse) le modèle dans un langage de description comportemental, mais aussi d'avoir des temps de simulation extrêmement réduits, permettant la simulation de grande complexité. C'est cette dernière approche dite systémique que nous présenterons dans ce document et qui retiendra toute notre attention car elle a aussi l'avantage de garantir les propriétés intellectuelles des fabricants de circuits.

Ces deux techniques ont été analysées et comparées dans la thèse de N. Monnereau. Dans ce document, nous nous focaliserons sur la description comportementale, tout en présentant les gains en performances comparés aux modèles physiques.

3.4.5 Développement de modèles comportementaux.

L'approximation de la caractéristique $I(V)$ quasi-statique se fait par des tronçons linéaires de droites (Figure 3.24). Le choix de cette technique se justifie par sa grande simplicité de mise en œuvre. En contrepartie, elle génère des discontinuités sur certaines grandeurs, qui doivent être traitées pour assurer la convergence de la simulation.

Les caractéristiques $I(V)$ des protections ESD présentent généralement des allures similaires les unes aux autres. Concrètement, soit la caractéristique est celle d'une diode, soit elle possède un retournement. Ce constat a permis de développer une petite bibliothèque de modèles comportementaux permettant de couvrir un grand nombre de cas. Trois modèles d'approximation de courbe $I(V)$ ont été implémentés, pour lesquels les coordonnées des points d'inflexion P_i peuvent être paramétrées par l'utilisateur Figure 3.24.

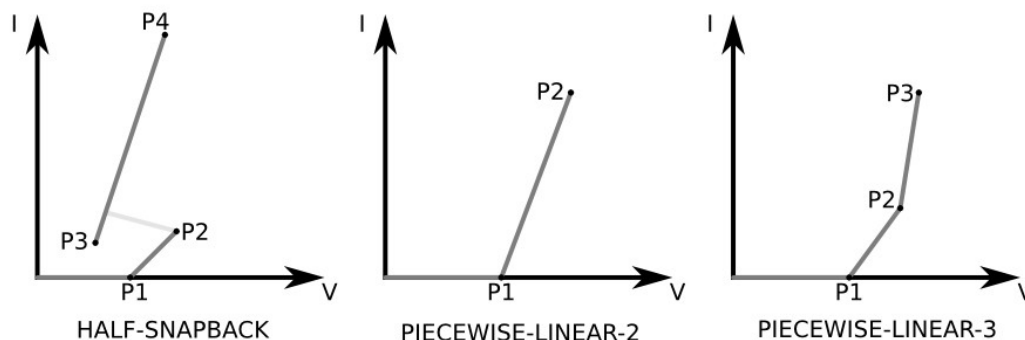


FIGURE 3.24 – Génération d'une bibliothèque de modèles comportementaux de protections décrits par morceaux.

Pour l'ensemble des mesures que nous présentons dans nos études, nous avons utilisé un banc TLP fournissant des impulsions ayant une durée d'impulsion de 100ns et un temps de montée de 300ps. Ces paramètres peuvent être discutés étant donné que les temps de montée et les durées d'impulsion peuvent avoir une influence sur les caractéristiques suivant le type de protections rencontrées. Ce point n'est toujours pas éclairci par les comités de normalisation.

Cependant, le TLP que nous utilisons a un temps de montée rapide et une durée moyenne. Les résultats comparatifs des modèles extraits faits avec les simulations donnent de très bons résultats. De plus, la majorité des articles publiés récemment utilisent une telle durée d'impulsion de TLP. Ceci est essentiellement lié au fait qu'énergiquement cette

durée correspond à celle d'évènements ESD réels et que 80 à 90% des phénomènes de destructions sont de type énergétique.

3.4.5.1 Principe de modélisation :

Pour expliquer l'aspect comportemental, nous allons prendre l'exemple de modélisation d'une diode polarisée en direct Figure 3.25 (a). A partir d'une mesure TLP, le comportement de la diode est linéarisé. Seul deux états sont utilisés correspondant chacun à une équation analogique :

Etat 0 : $I = 0$

Etat 1 : $I = \frac{U}{Ron}$ où Ron représente la résistance dynamique de la protection.

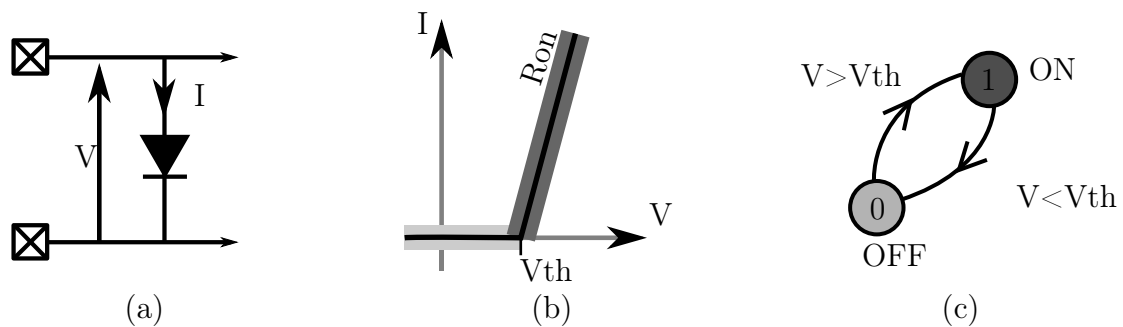


FIGURE 3.25 – Représentation schématique (a), caractéristique $I(V)$ idéale d'une diode polarisée en direct (b) et diagramme d'état du comportement de la diode (c).

La simplification à outrance de la caractéristique $I(V)$ quasi statique de la diode présente l'avantage de donner très peu d'informations sur la réalité physique de la protection interne. Cependant, le basculement brutal d'un état à l'autre peut facilement introduire de fortes discontinuités et engendrer des problèmes de convergence des simulateurs. Dans sa thèse, N. Monnereau a montré qu'en positionnant une capacité en parallèle de la protection, il est possible de résoudre ce type de problèmes. De plus grâce à l'utilisation du VHDL –AMS il est possible de définir des points de convergence en passant du simulateur analogique au simulateur numérique [83].

3.4.5.2 Exemple de mise œuvre sur une structure à retournement :

Pour illustrer la démarche de modélisation nous présenterons une mesure TLP faite sur un thyristor Figure 3.26. Les points d'inflexion de sa caractéristique $I-V$ sont extraits et utilisés comme paramètres. Six paramètres composés d'un couple de courant/tension (V_X, I_X) sont nécessaires pour implémenter le modèle complet du thyristor. Ceux-ci sont reportés dans le Tableau 3.4 et sur la courbe TLP Figure 3.26. Quatre modes, mis en évidence sur la mesure TLP, sont identifiés : pas de conduction (0), conduction inverse avec le repliement (1), repliement (2), conduction directe (3).

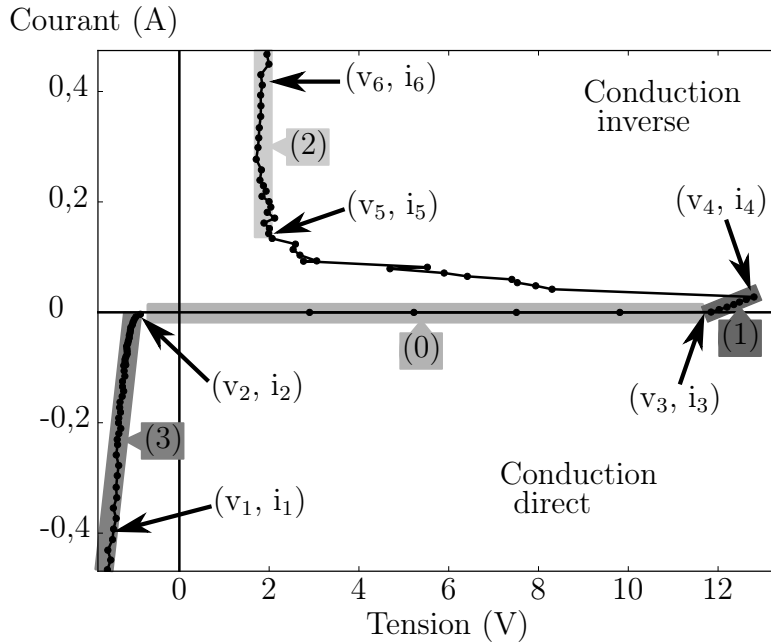


FIGURE 3.26 – Mesure TLP entre l’entrée et V_{SS} et les points d’inflexions caractéristiques.

Paramètres	1	2	3	4	5	6
Tension (V)	-1.5	-0.7	11.8	12.9	1.9	2.2
Courant (A)	-0.4	0	0	0.05	0.1	0.4

TABLE 3.4 – Paramètres du thyristor extraits de la courbe TLP.

Chacun des quatre modes de fonctionnement du thyristor correspond à une équation linéaire dont les coefficients directeurs sont calculés à partir des paramètres du Tableau 3.4. Le diagramme d’état établi pour ce thyristor est reporté (Figure 3.27). La condition de repliement correspond à l’état 2 lorsque la tension est supérieure à V_4 , et, aucune condition de retour entre l’état 2 et l’état 1 n’est possible. La structure peut uniquement passer de l’état 2 à l’état 0 si la tension chute sous V_5 . En adaptant le graphe d’état, on suit le fonctionnement chronologique des protections, car il est bien évident que lorsque le courant chute, il n’y a pas de surtension.

3.4.5.3 Résumé sur la mise en place du modèle de protections

De façon générale, à partir d’une mesure TLP entre deux broches, un modèle comportemental linéaire par morceaux est extrait. Chaque morceau est associé à un mode de fonctionnement ou état, dans le noyau numérique permettant de sélectionner une équation analogue du noyau analogue en accord avec le comportement de la structure. Il est intéressant de savoir également que des conditions sur les dérivées du signal (par exemple $\frac{dV}{dt}$) peuvent être établies pour modéliser le déclenchement de structures dynamiques

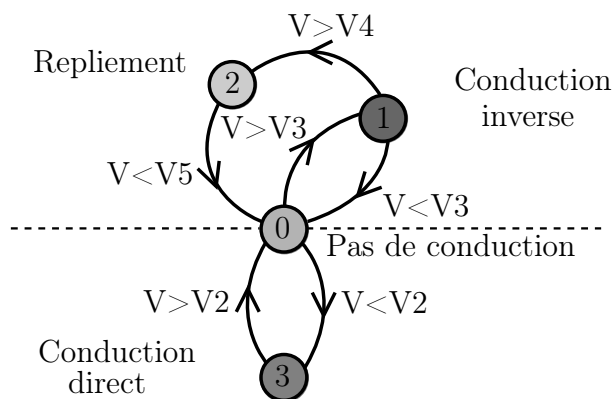


FIGURE 3.27 – Diagramme d'état du thyristor.

comme les Power Clamp (voir la thèse de N. Monnereau et S. Giraldo [77, 51]).

3.5 Conclusion

Ce chapitre résume l'effort fait pour élaborer la méthodologie de modélisation aussi bien au niveau du circuit intégré que du système complet (carte électronique et environnement.). Nous avons montré que les éléments de carte électronique ainsi que l'environnement dans lequel le système est placé jouent un rôle important sur la propagation du signal ESD. Un effort tout particulier a été fait pour modéliser le circuit intégré.

Pour la modélisation des protections, les seules données transmises, en complément de celles incluses dans IBIS sont les points d'inflexion des caractéristiques mesurées en externe de façon quasi-statique. La mise en œuvre sous forme de graphes d'état codés en langage VHDL ne relève que de l'utilisateur (ceci a été notre choix pour résoudre facilement les problèmes de convergence). Une modélisation par morceau peut tout aussi bien être implémentée dans n'importe quel autre langage (SPICE-Verilog A).

Un tel modèle de composant est à même de prédire la robustesse aussi bien matérielle que fonctionnelle. Le choix des critères de défaillance est primordiale et peut-être implémenté au niveau des protections (robustesse matérielle de type W&B) ou au coeur de la fonction du composant (robustesse fonctionnelle). L'avantage d'avoir simplifié à outrance le modèle est de le rendre échangeable. La propriété intellectuelle du constructeur est garantie au travers de cette méthode car aucune information n'est donnée sur la façon dont la structure de protection est réalisée.

Pour la modélisation du système complet, ce modèle de composant est inséré dans le schéma électrique de la carte PCB intégrant les passifs et de lignes. L'environnement est enfin ajouté pour prendre en compte les interactions des appareils de mesure, des générateurs et surtout des retours de masse. Tous les modèles développés sont assemblés

de manière structurelle et hiérarchique en suivant la topologie du système à modéliser.

Une illustration d'un assemblage de tous les éléments est donnée Figure 3.28. En bas, le premier rectangle représente l'environnement de test composé d'un banc TLP, des câbles de liaisons et des sondes de courant et tension connectés à l'oscilloscope. Cet environnement de test est connecté à un connecteur de la carte sous test. En descendant d'un niveau dans la hiérarchie, nous pouvons voir le modèle du circuit imprimé incluant les modèles de lignes, les modèles des composants passifs et le "bloc" circuit. Le niveau suivant dans la hiérarchie présente le modèle du circuit intégré composé des éléments extraits des modèles IBIS et des "blocs" de protections ESD. Enfin le dernier niveau correspond aux modèles des protections ESD intégrées dans le circuit décrits de façon comportementale.

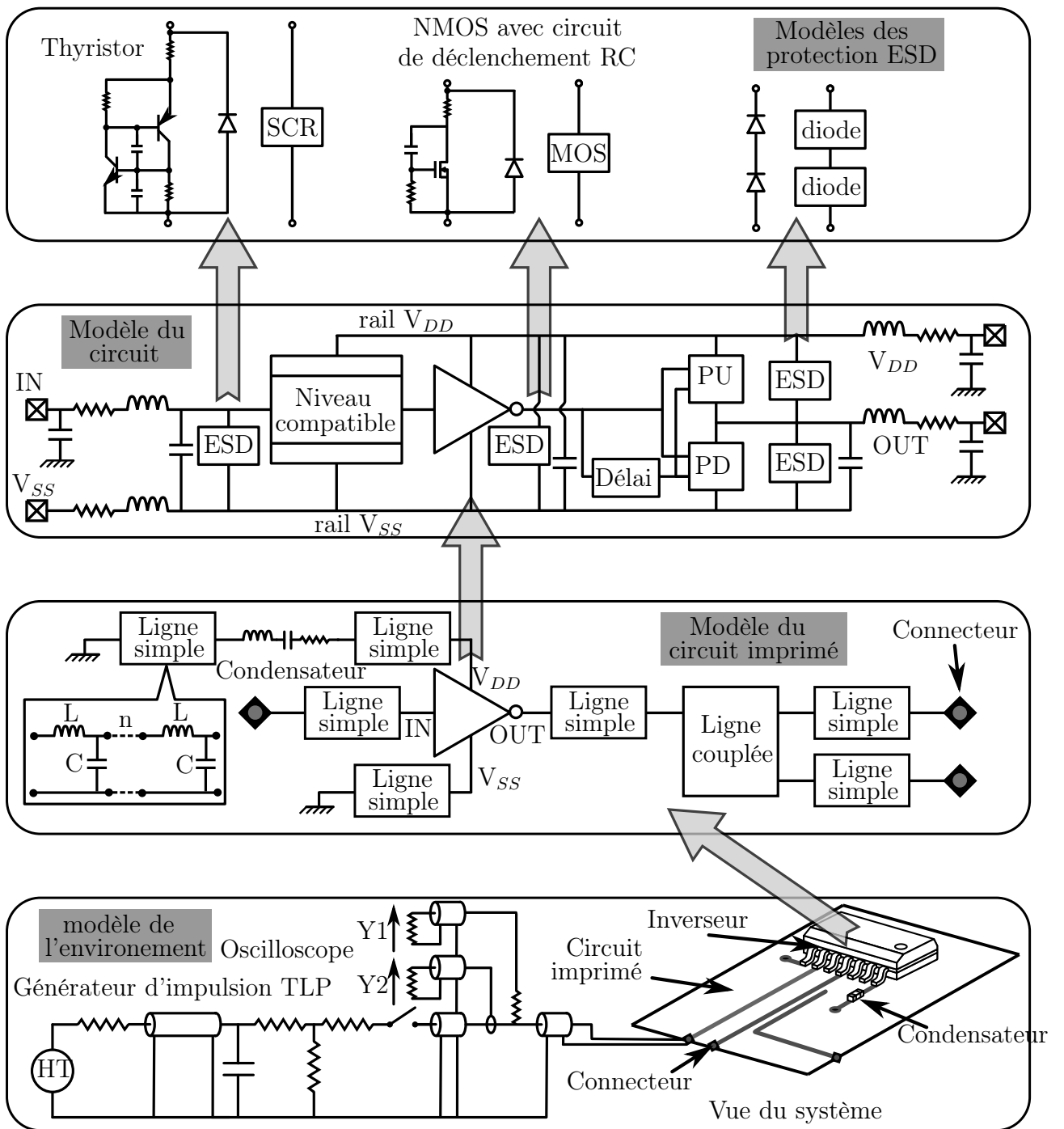


FIGURE 3.28 – Assemblage hiérarchique des modèles de la bibliothèque en fonction de la topologie du système

4 Validation de la méthodologie de modélisation

L'approche de modélisation systémique développée précédemment a été validée par les doctorants au travers de plusieurs cas d'étude. Dans la partie suivante, leurs travaux sont synthétisés par objectif de simulation. En premier lieu, l'analyse quasi-statique est validée avant de s'intéresser à la simulation transitoire. Les niveaux de défaillance sont ensuite abordés avec l'introduction de critères de défaillances matérielles et fonctionnelles dans les modèles. Seuls les résultats marquants sont présentés, ainsi qu'une analyse sur les performances en simulation.

L'implémentation de la méthodologie proposée dans les outils de simulation est un critère déterminant pour la validation. Pour qu'un modèle puisse être diffusé, il faut garantir son implémentation dans tous les outils disponibles et montrer l'uniformité des résultats. Dans la thèse de N. Lacrampe, les études ont principalement été faites sous SPICE. Dans la thèse de N. Monnereau, tous les modèles ont été développés en VHDL-AMS. Grâce à ce langage de description comportementale [vhdlnorme], il a été possible de résoudre des problèmes de convergence que peuvent poser les modèles de protections fortement non-linéaires que nous proposons. Dans la thèse de N. Monnereau, les interactions entre le cœur de calcul numérique et analogique du VHDL-AMS sont détaillées ainsi que des modèles spécifiques de structures à fort retournement n'ayant pas de problèmes de convergence. Les techniques utilisées en VHDL-AMS ont été transférées à FREESCALE Toulouse et implémentées en Verilog-AMS. Ces travaux d'optimisation des simulations ne sont pas présentés, mais la précision des résultats ainsi que la rapidité de calcul en sont la meilleure illustration.

4.1 Analyse quasi-statique

La validité des modèles a été vérifiée par N. Monnereau en analysant les chemins de décharge qui impliquent plus d'une protection. Des simulations TLP sont réalisées dans toutes les configurations de décharge possibles sur un circuit 16 broches. Les modèles ont été élaborés pour quatre des entrées/sorties : 1 entrée, 1 sortie, V_{DD} , V_{SS} , soit douze chemins de décharge. Les courbes $I(V)$ TLP obtenues par mesure et celles données par la

simulation sont comparées afin de déterminer l'erreur relative introduite par l'utilisation de modèles comportementaux Figure 4.1 .

L'erreur est calculée pour chaque niveau de courant suivant la relation suivante :

$$erreur = \frac{|tension_{simulée} - tension_{réelle}|}{tension_{simulée}} \quad (4.1)$$

Comme nous pouvons le voir sur la Figure 4.1, dans tous les cas, l'erreur introduite par les modèles est inférieure à 20 %. Elle est similaire à celle obtenue avec des modèles empiriques de type SPICE.

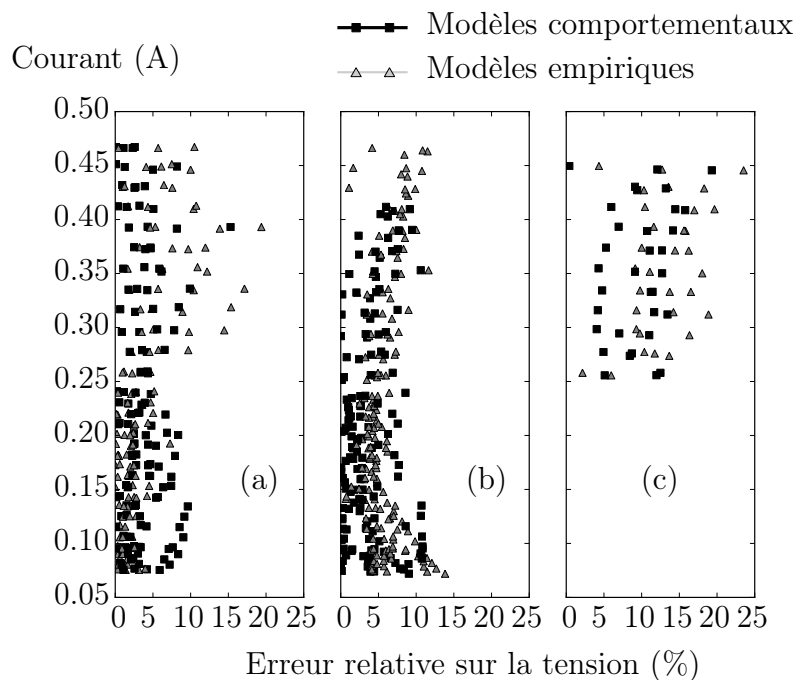


FIGURE 4.1 – Erreur relative sur la tension, introduite par les modèles comportementaux et semi-empiriques pour les structures : (a) les diodes, (b) le gcNMOS et (c) le thyristor.

4.2 Simulations transitoires

Différents cas d'études ont été développés dans le but de démontrer la validité des modèles comportementaux pour la simulation transitoire. Un exemple a été présenté Figure 3.15 lors de l'injection d'un stress TLP sur la sortie d'un composant avec et sans capacité de découplage. A partir du moment où l'on veut valider un modèle transitoire il faut garantir que la simulation est valide pour les stress systèmes et donc dans le cas d'une injection suivant les normes IEC61000-4-2 ou HMM, ou ISO 10605, ou autres... Plusieurs résultats sont disponibles dans les publications de N. Monnereau [84, 76, 85] et

plus récemment dans celle de R. Bèges [69]. Pour mettre en place la méthode de modélisation comportementale, nous avons commencé à travailler sur des cas simples, comme des inverseurs, des bascules puis des composants de type LIN pour les réseaux automobiles. A partir du moment où le système est correctement modélisé, il est possible d’avoir une précision inférieure à 20%.

Pour arriver à un tel résultat, la démarche à suivre est systématiquement la même. Cette démarche est expliquée dans les papiers suivants [76, 84, 86, 85, 77]. Les figures qui suivent sont issues du stage de Mastère de Rémi Bèges qui en six mois de temps a pu prendre en main la méthode, et est allé jusqu’à la simulation d’un régulateur automobile dans son application finale sous différentes conditions de stress (Figure 4.2). L’idée était ici, dans le cadre d’une collaboration avec EADS IW et Continental, de prouver la validité des modèles comportementaux pour prédire l’allure temporelle. La carte de régulation développée est reportée ci-dessous.

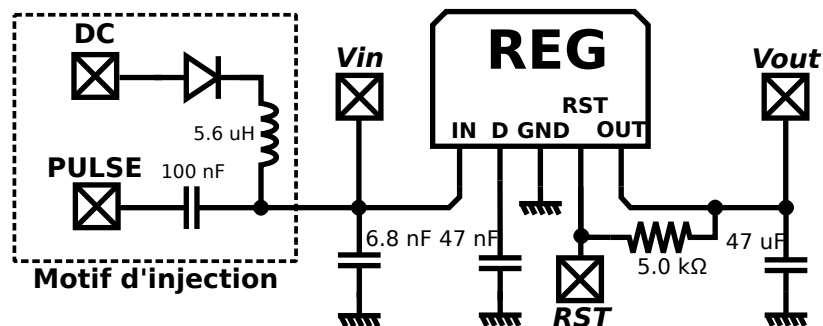


FIGURE 4.2 – Schéma électrique de la carte de test pour le régulateur automobile [69].

Après avoir extrait les protections entre IN, OUT et GND, nous avons développé le modèle de composant suivant (Figure 4.3). En parallèle des protections entre ces trois broches, nous avons rajouté la capacité équivalente de chacune. Ceci est nécessaire pour effectuer une simulation temporelle et avoir une évolution linéaire des tensions aux bornes des protections. “Linéaire” veut essentiellement dire que nous corrigeons les discontinuités des modèles comportementaux grâce à des capacités. Le schéma électrique fait en plus apparaître deux blocs internes qui ont été implémentés pour effectuer une simulation fonctionnelle de la tension régulée en sortie et de la génération d’un signal de RESET par le composant [69].

L’étape suivante consiste à valider la simulation dynamique avec une injection TLP (Figure 4.4). Cette étape est cruciale car en plus de valider le modèle, elle sert essentiellement à s’assurer que tous les éléments du système (câble, PCB, paramètres haute fréquence des passifs) sont bien modélisés. Comme nous l’avons vu précédemment, chaque élément influence l’allure des tensions et courants mesurés (la description de l’impact de chaque élément a fait l’objet d’une publication dédiée à EOS/ESD 2014). Dans les mesures et simulations présentées Figure 4.4, le système est alimenté en 12V et le régulateur

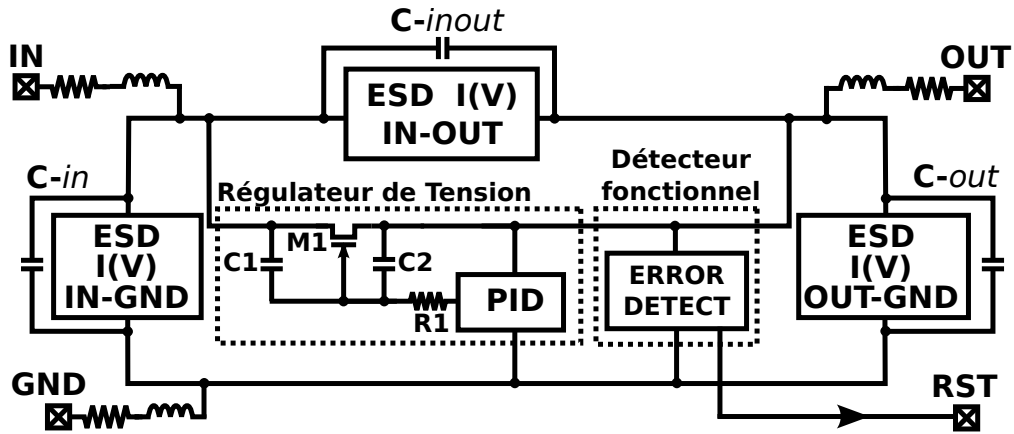


FIGURE 4.3 – Modèle complet du régulateur automobile utilisé pour la simulation [69].

délivre une tension de 3,3V en sortie. A la fois l'entrée sur laquelle l'injection est faite et la sortie régulée sont comparées. La tension en entrée augmente fortement, et le réseau de protections du composant joue son rôle en limitant la charge de la capacité externe.

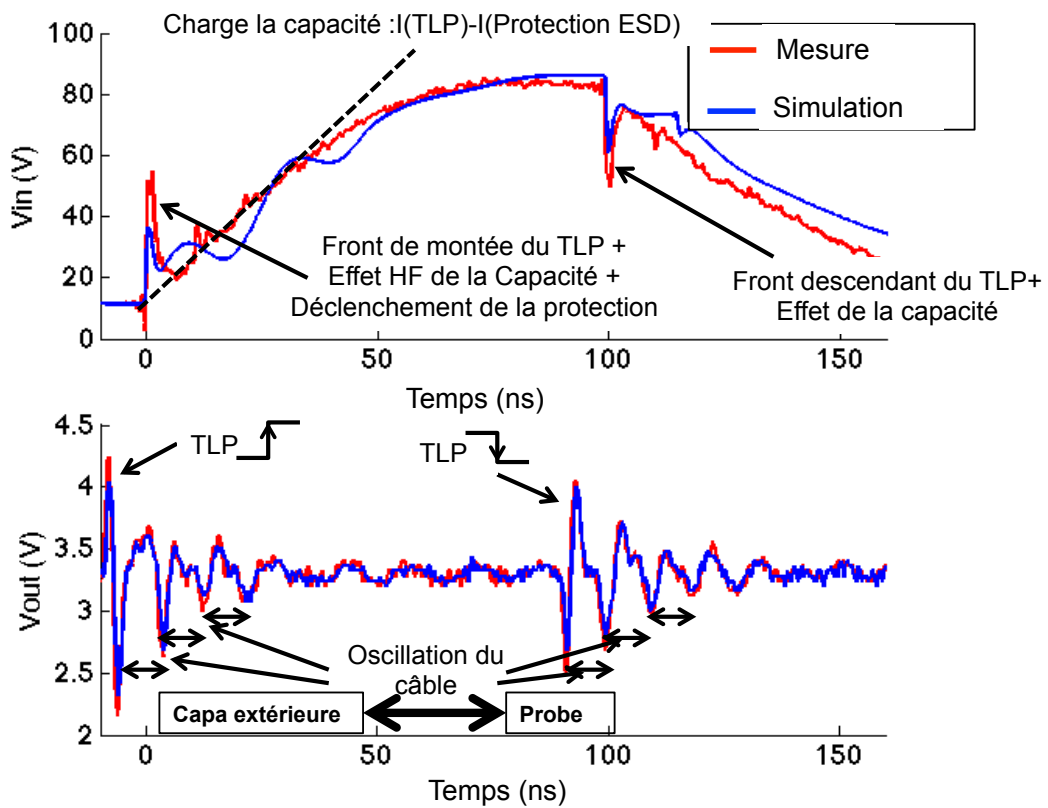


FIGURE 4.4 – Comparaison mesure et simulation des tensions dynamiques d'entrée et de sortie lors d'un stress TLP de 600V ([69]).

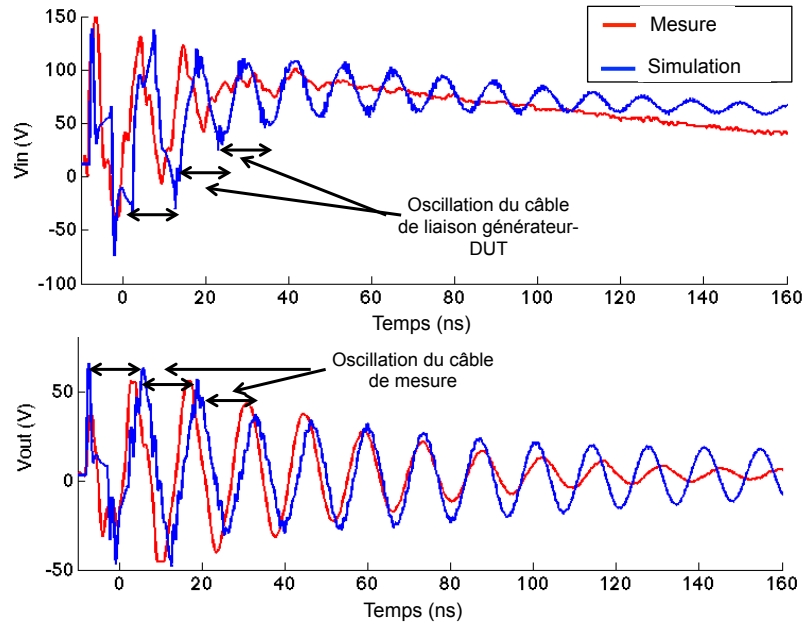


FIGURE 4.5 – Comparaison mesure et simulation des tensions dynamiques d’entrée et de sortie lors d’un stress IEC 61000-4-2 de 8KV ([69]).

Les oscillations en sortie sont fortement liées aux éléments du banc de mesure. Le premier pic est lié au couplage capacitif entre l’entrée et la sortie. La fréquence de l’oscillation observée est engendrée par la longueur des câbles utilisés.

A partir de la validation de la simulation système il est alors possible d’envisager une simulation avec d’autres types de stress comme l’IEC61000-4-2 présenté Figure 4.5.

La prédiction de l’allure des signaux (entrée et sortie) est relativement bonne au regard des incertitudes introduites dans le modèle du composant et surtout de l’environnement qu’il est très difficile de maîtriser. De telles simulations temporelles sont cependant suffisamment précises pour faire une analyse de robustesse. La simulation reproduit aussi fidèlement la fonction de régulation lors du stress (tension V_{out}).

Le temps de calcul a aussi été étudié pour montrer l’avantage de l’utilisation de modèles comportementaux sur une simulation transitoire. Nous avons pour cette étude effectué la même simulation système où la protection interne entre V_{DD} et V_{SS} est alternativement une structure SCR ou un Power Clamp. Une capacité de découplage externe (25 nF) est placée entre les broches V_{DD} et V_{SS} du circuit. L’injection se fait sur la sortie du composant. Le schéma de principe de la simulation est donné Figure 4.6.

La représentation logarithmique suivante représente le temps de simulation pour les deux structures pour différentes impulsions TLP, le paramètre influant étant le $\frac{di}{dt}$. Le gain des modèles comportementaux par rapport à des modèles physiques atteint très vite une décade. Les modèles comportementaux présentent donc un intérêt majeur dans la simulation de circuits complexes, pour lesquels il faut simuler un grand nombre de

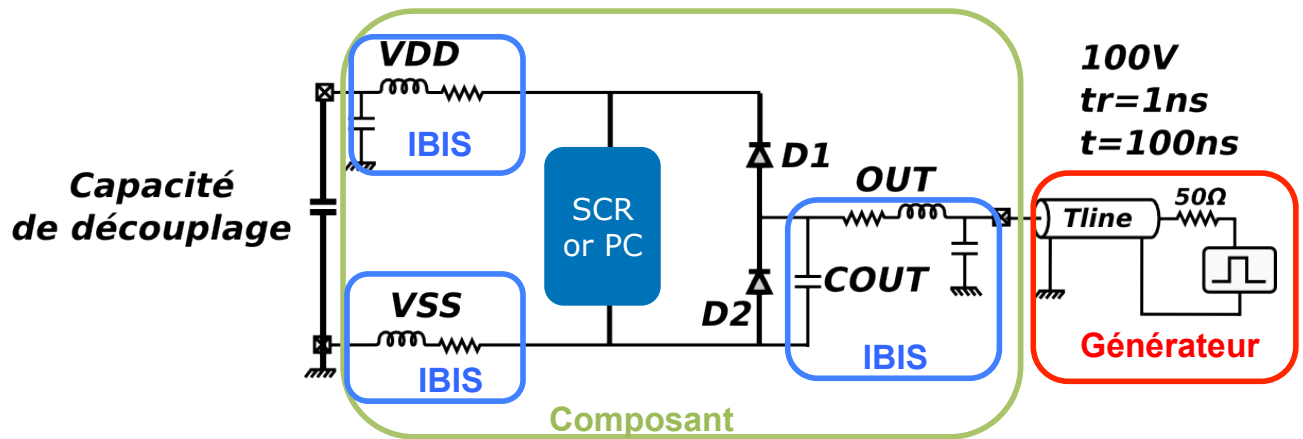


FIGURE 4.6 – Simulation menée pour comparer les performances des modèles comportementaux et physiques (figure provenant d’une présentation au comité normatif WP 14 – system level, ESDA, 2009).

protections.

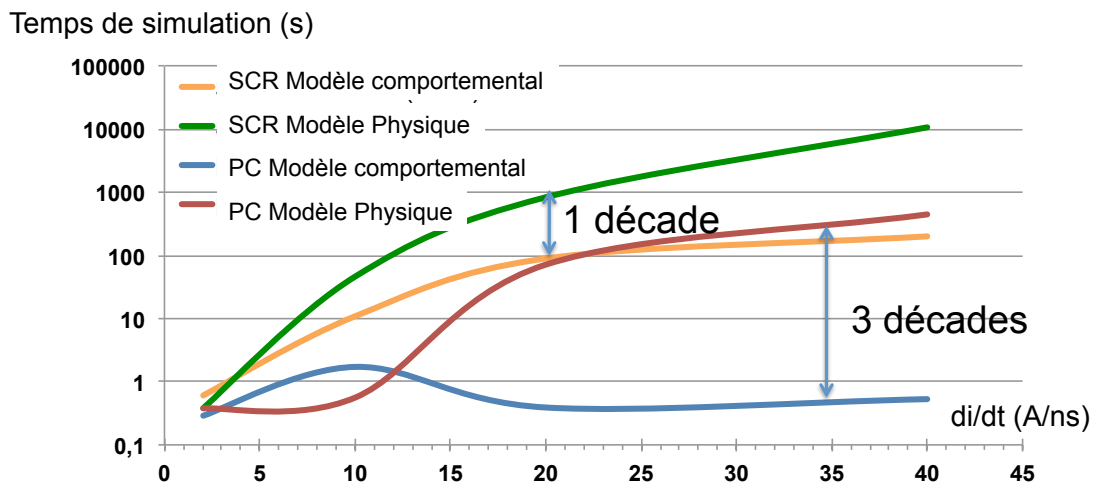


FIGURE 4.7 – Comparaison des temps de calculs des modèles comportementaux et physiques (présentation au comité normatif WP 14 – system level, ESDA, 2009).

4.3 Ajout de critères de défaillance :

4.3.1 Critère pour l’analyse de la robustesse matérielle.

Les utilisateurs attendront aussi d’un modèle qu’il soit capable de prévoir la défaillance du système. Nous avons donc rajouté, un critère de robustesse, qui nous permet à partir d’une simulation dynamique de prédire l’amplitude et le moment de la défaillance de la structure.

D'après les études de Wunsch et Bell (W&B) [87], la destruction des semi-conducteurs par effet thermique est fortement liée aux amplitudes et durées des impulsions. Le modèle analytique développé par W&B montre que la destruction dépend fortement du paramètre $\frac{1}{\sqrt{t}}$, où t est la durée de impulsions. Cette formulation a été étendue par [88], pour les régimes adiabatiques avec une forme en $\frac{1}{t}$.

Pour construire notre modèle comportemental, nous avons réutilisé les équations de Wunsch et Bell et de Tasca. Elles sont simplifiées autant que possible pour avoir le moins de paramètres. L'équation implémentée dans le corps du modèle VHDL est la suivante :

$$Pf = \frac{A}{t} + \frac{B}{\sqrt{t}} + C \quad (4.2)$$

Où Pf , est la puissance de destruction (Power to Failure), A, B, et C des paramètres empiriques utilisés pour corréliser aux mesures. Un exemple de courbe obtenue par des mesures en modifiant la durée d'impulsions TLP pour une structure à retournement est représentée Figure 4.8. L'équation (4.1) correspond à une interpolation de la mesure, les simulations effectuées avec le modèle comportemental que nous avons développé y sont aussi reportées.

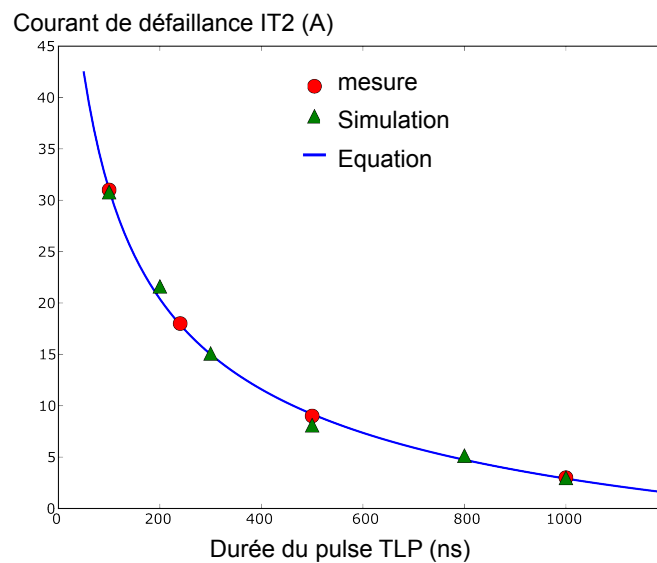


FIGURE 4.8 – Courbe Wunsch & Bell représentant le courant TLP maximum supporté par la structure en fonction de la largeur des impulsions TLP, mesurée sur un composant LIN.

Lors de la simulation, et pour prédire la robustesse, l'énergie dissipée dans la structure est calculée par la formule :

$$E = \int i(t) * v(t) dt \quad (4.3)$$

Dans le cas de nos structures ESD, la résistance interne est très petite. Dans une première approximation nous considérons que la tension à ses bornes ne varie pas.

Dès que la structure se déclenche, le temps en cours (t_0) est sauvegardé. A partir de là, on compare l'évolution de $\int i(t - t_0)dt$ et de $f(t - t_0)$, $f(t)$ étant l'équation correspondant à la courbe W&B mesurée (4.2).

Dès que $\int i(t - t_0)dt \geq f(t - t_0) * t$, c'est-à-dire lorsque l'énergie qui circule dans le composant est supérieure à l'énergie déterminée à partir de la courbe W&B, le composant est considéré comme défaillant.

Cette technique a été développée par N. Monnereau et transférée à FREESCALE Toulouse dans le cadre du projet ANR E-SAFE. Elle a été utilisée pour l'analyse de la défaillance d'un composant LIN avec et sans capacité externe. Le Tableau 4.1 compare les tests de robustesse effectués sur le LIN avec la simulation, selon les exigences du test HMM. D'après les résultats, nous sommes capables de prédire la robustesse avec une précision relativement bonne.

Test HMM 150pF	Résultats de mesure	Résultats de simulation
Sans capacité externe	Pass : 5KV Fail : 5,5KV	Pass : 5,7KV Fail : 5,8KV
Avec une capacité de 10nF en parallèle	Pass : 10KV Fail : 12KV	Pass : 11KV Fail : 11,5KV
Avec une capacité de 100nF en parallèle	> 25KV	> 25KV

TABLE 4.1 – Comparaison de la robustesse des tests selon les recommandations du HMM, mesure et simulation.

La combinaison des modèles comportementaux extraits de mesure TLP et l'extraction des courbes Wunsch & Bell est donc un bon élément d'analyse pour prédire la robustesse des composants. La présente méthode est bien sûr assujettie à une bonne simulation transitoire.

4.3.2 Modélisation de défaillances fonctionnelles

Le dernier aspect, et non des moindres, reste la simulation fonctionnelle. Cette dernière a été abordée dans plusieurs études avec N. Lacrampe et N. Monnereau. Bien que la thèse de N. Lacrampe soit la première sur les ESD au niveau système, nous nous sommes focalisés sur les défaillances fonctionnelles avec l'étude de trois cas ([68] :

- Génération de surtensions sur les sorties d'un inverseur. Cette étude nous a surtout servi à comprendre comment modéliser un circuit intégré et quels étaient les paramètres des fichiers IBIS à prendre en compte. Ce sont les résultats présentés chapitre "analyse des fichiers IBIS". De premières simulations transitoires sont menées et c'est la précision sur les modèles du PCB et l'effort sur les modèles IBIS qui permet ce résultat.

- Le deuxième cas d'étude est une collaboration avec l'ESEO d'Angers sur l'injection DPI sur une puce "CESAME". Une comparaison entre les défauts CEM et les défauts ESD a été faite. Un des résultats marquants est le fait que l'amplitude et la durée d'impulsion TLP influent sur le niveau de perturbation superposé à une horloge (Figure 4.9). L'injection dans le substrat de trois cœurs différents (Norm, ISO et RC) a aussi été analysée avec cette puce (chaque cœur ayant un système de découplage différent - Figure 4.10). Il apparaît qu'un cœur protégé par un réseau de découplage de type RC est plus immune aux ESD qu'un cœur sans capacité ou qu'un cœur isolé du substrat par une couche enterrée (ISO). Pour l'ensemble de ces deux analyses, des simulations SPICE ont permis de corrélérer avec des mesures transitoires avec une précision inférieure à 15%. Ces résultats ont été publiés à EMC Symposium et ont été primés comme meilleur papier étudiant [89, 90, 91].

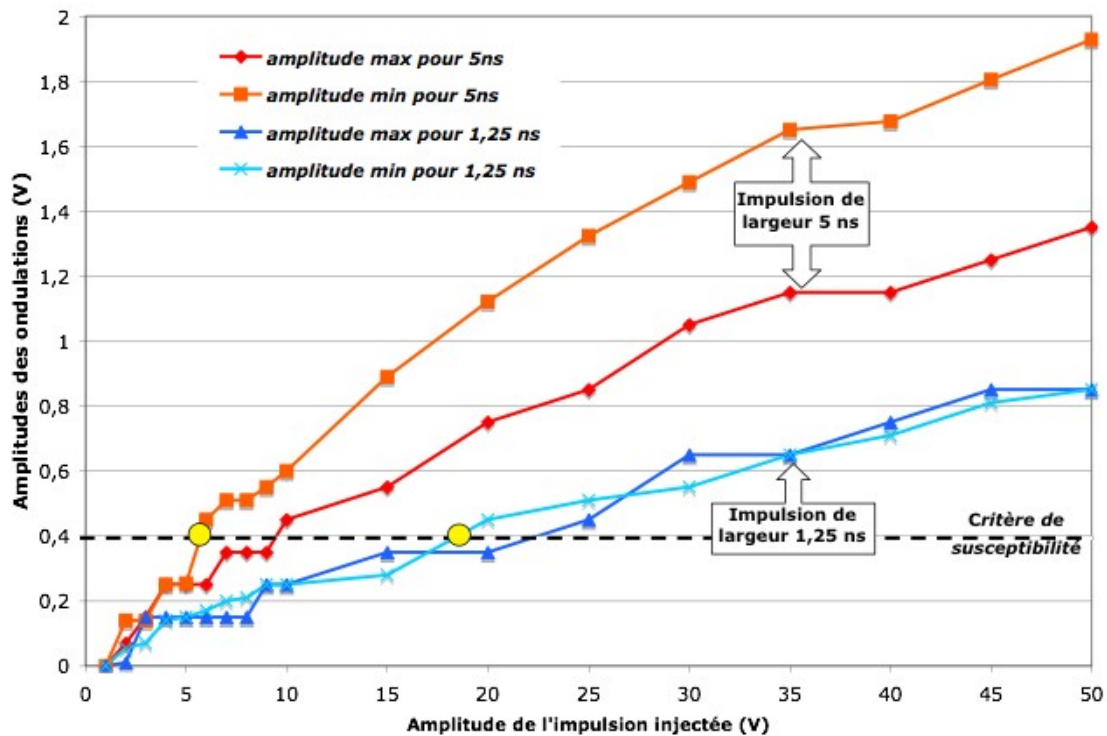


FIGURE 4.9 – Amplitudes des perturbations générées en sortie du cœur NORM par rapport aux amplitudes de l'impulsion injectée de durée 1,25ns et 5ns.

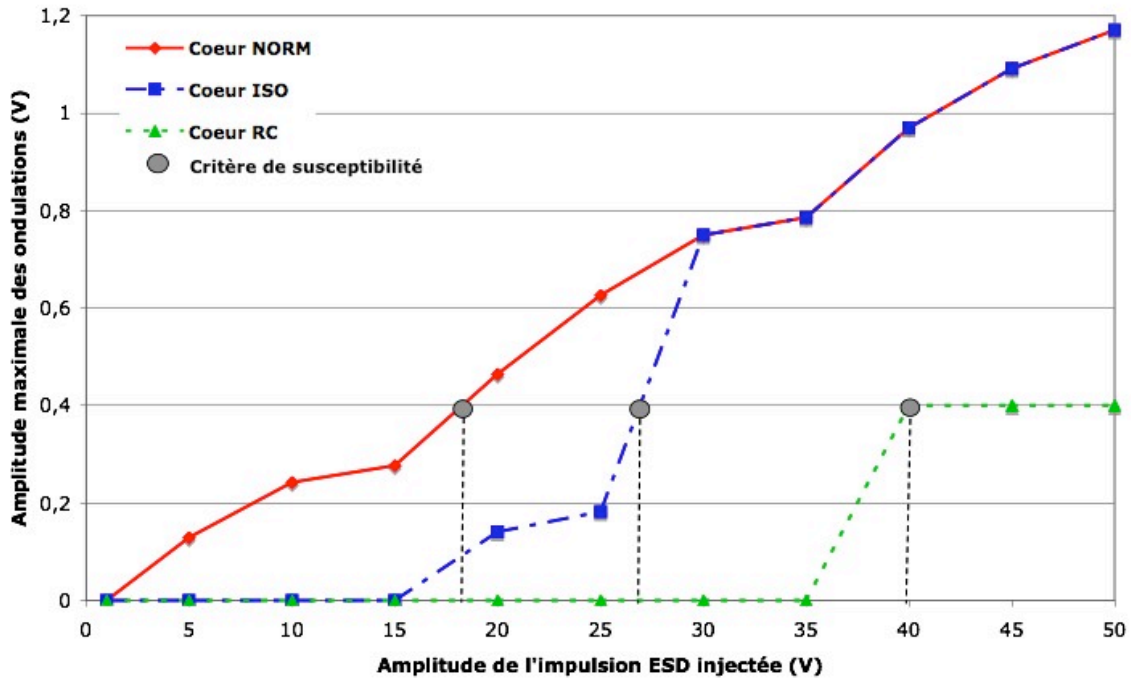


FIGURE 4.10 – Comparaison de la susceptibilité des trois coeurs NORM, ISO et RC en injectant l'impulsion dans le substrat du circuit.

- La dernière étude de N. Lacrampe analyse les défaillances d'un microcontrôleur automobile 16 bits lors d'injection rayonnée par champ proche (travaux collaboratifs entre VALEO et FREESCALE)[92, 68]. La simulation a permis de reproduire le mécanisme entraînant le RESET du microcontrôleur suite à un champ magnétique transitoire provenant d'une ESD. Le phénomène était lié à un couplage du champ sur le quartz de la carte, entraînant un dysfonctionnement de l'oscillateur interne, se traduisant par une perte de périodes d'horloges. Le nombre de périodes perdues dépendait de l'amplitude du signal de stress TLP. Au bout de dix périodes le "watchdog" du circuit provoquait un RESET (Figure 4.11). Le temps de montée du stress ESD influe fortement sur l'erreur, et le nombre de périodes d'horloge perdues. Pour un temps de montée de 2ns aucune erreur n'a été détectée pour les niveaux de tension accessibles avec notre TLP. Les mesures faites à VALEO montrent qu'il faut monter à 5KV pour générer une erreur.

Pour l'analyse de ce cas, une manipulation par injection en champ proche a été développée au LAAS pour reproduire cette erreur. La cartographie de la susceptibilité du microcontrôleur dans son application a été faite (Figure 4.12). C'est la première publication sur ce sujet présentant la défaillance d'un circuit à une agression rayonnée issue d'une décharge.

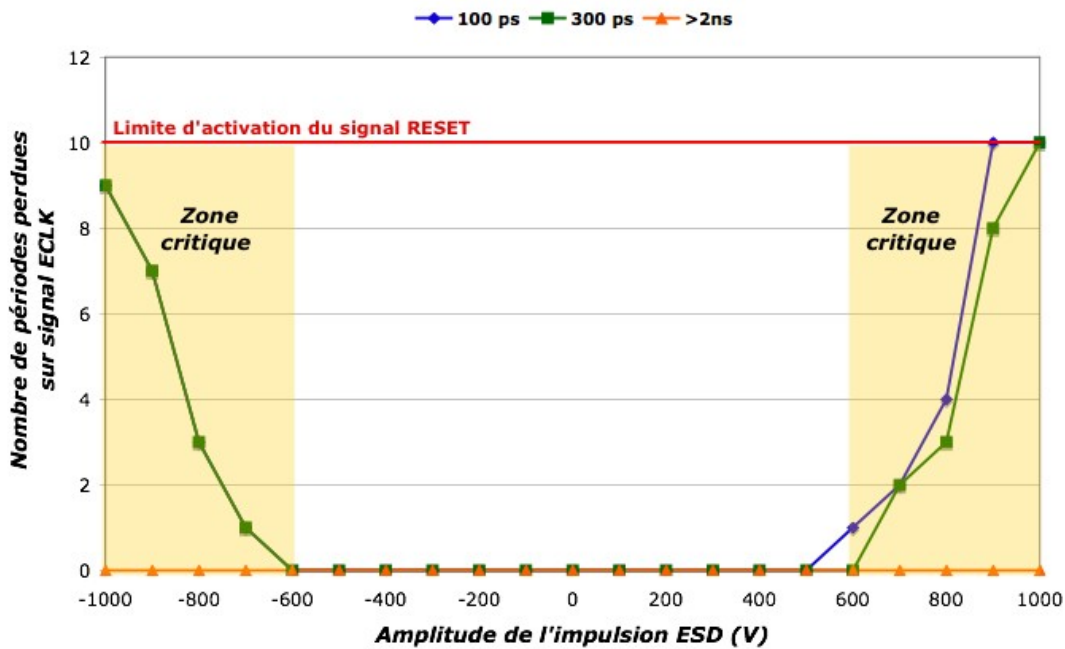


FIGURE 4.11 – Mesures des perturbations induites sur le bus d’horloge par différentes amplitudes d’impulsions ESD et de temps de montée [93, 92].

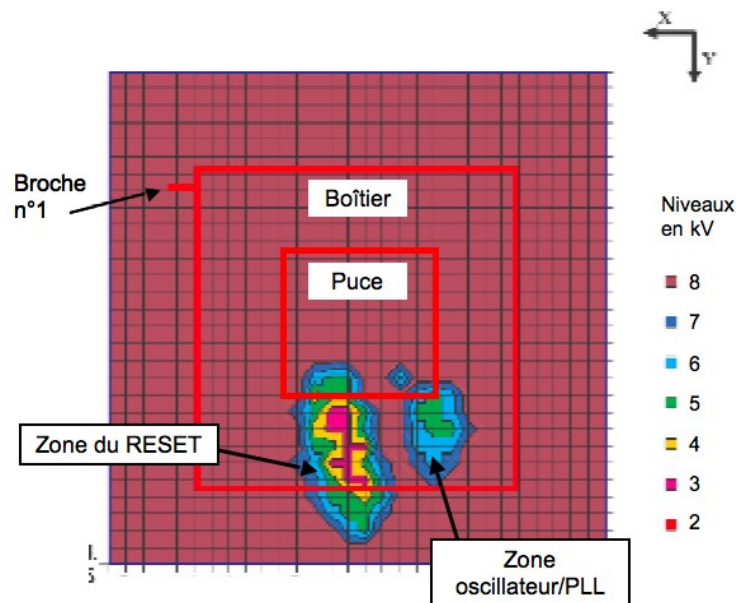


FIGURE 4.12 – Cartographie de la susceptibilité du microcontrôleur face à des agressions ESD rayonnées par une sonde connectée à un banc IEC61000-4-2, (mesure faite par VALEO).

Une simulation ne prenant en compte que les éléments concernant le VCO, la régulation de tension et la PLL a été conduite, et a permis de retrouver l’erreur interne (Figure 4.13). L’horloge interne générée par le VCO n’étant pas accessible depuis l’extérieur de la puce, cette analyse n’a pu être menée que par simulation. Un exemple de simulation est donné

Figure 4.14 pour une injection TLP de 300ps de temps de montée et 100ns de durée et une amplitude de 900V.

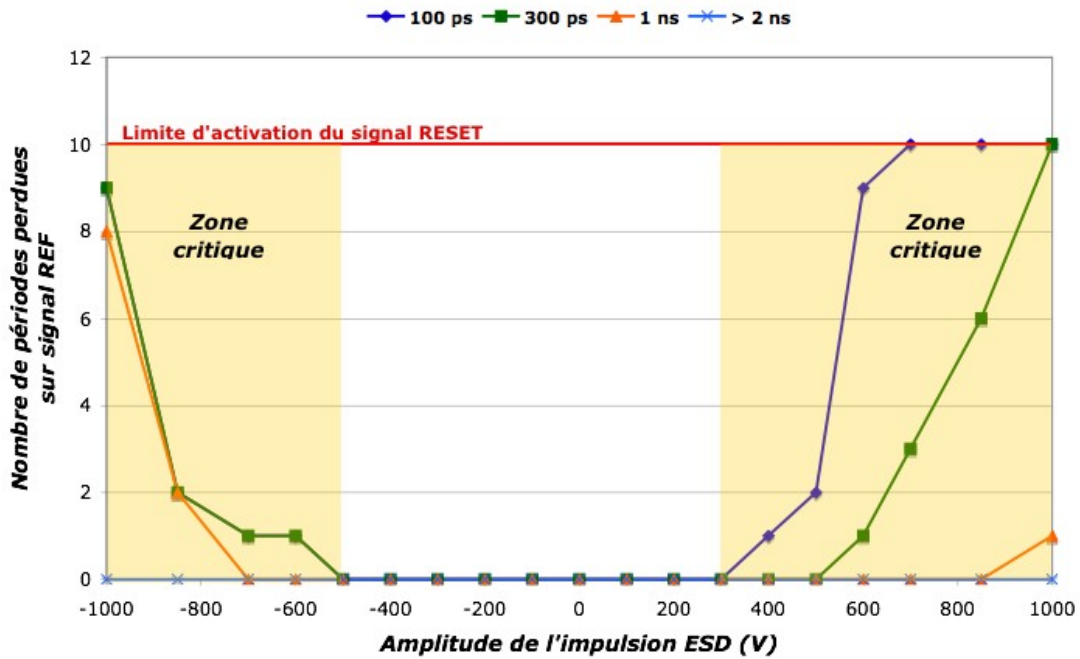


FIGURE 4.13 – Résultats de simulation des perturbations induites sur le bus d'horloge par différentes amplitudes d'impulsions ESD et de temps de montée [92].

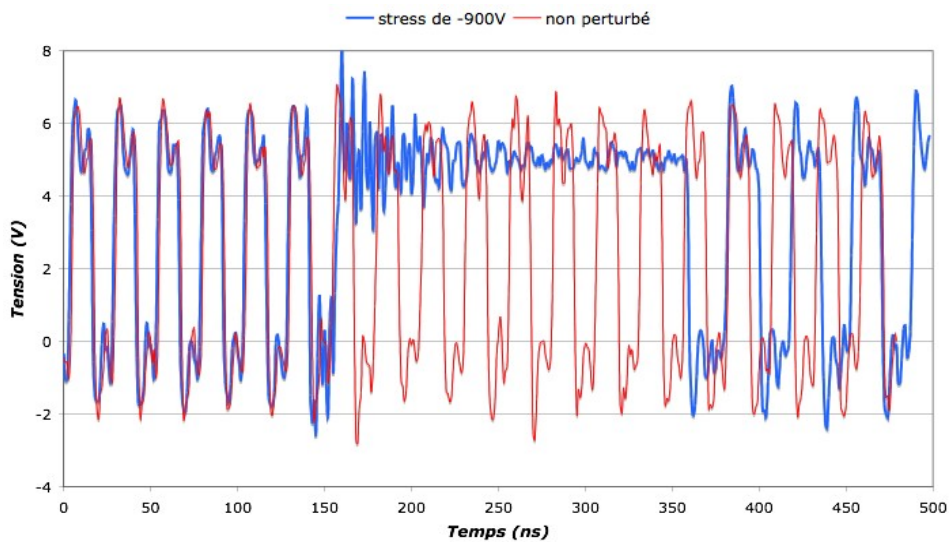


FIGURE 4.14 – Comparaison du signal d'horloge interne non perturbé et perturbé par une impulsion ESD de -900V.

Malgré les bons résultats de simulation obtenus, ce cas d'étude faisant apparaître une défaillance fonctionnelle suite à une ESD, a paru anecdotique aux yeux de la communauté ESD. A cette époque, c'était un travail pionnier faisant apparaître une nouvelle technique

d'injection par champ proche et la possibilité d'introduire des défaillances fonctionnelles dans les circuits. De telles défaillances n'étaient pas considérées par la communauté à cette époque car peu probables. Depuis, c'est devenue une problématique majeure, et les plus grands laboratoires du domaine commencent à s'y intéresser ("University of Illinois at Urbana-Champaign" et "University of Missouri-Rolla"). Aujourd'hui, une note technique détaillant l'injection par champ proche émanant du comité de standardisation ESDA est en cours de validation (WG14 – TR 14.5).

Lorsque cette étude a été publiée, la préoccupation majeure des industriels était la robustesse matérielle. Dans la thèse de N. Monnereau et de S. Giraldo, nous nous sommes tout particulièrement focalisés sur ce type de défaillance lorsque le système est alimenté.

Il était important de convaincre la communauté et les comités normatifs que la méthodologie que nous avons développée servait avant tout à la simulation quasi-statique et transitoire, et que par là même elle pouvait adresser la robustesse matérielle.

- Nous avons publié avec N. Monnereau une étude sur la susceptibilité d'une bascule D montée en diviseur de fréquence [85]. L'injection du stress ESD est faite sur l'alimentation du composant en adaptant la norme CEM DPI [94]. Le schéma électrique spécifiant le montage et les signaux fonctionnels est donné ci-dessous (Figure 4.15).

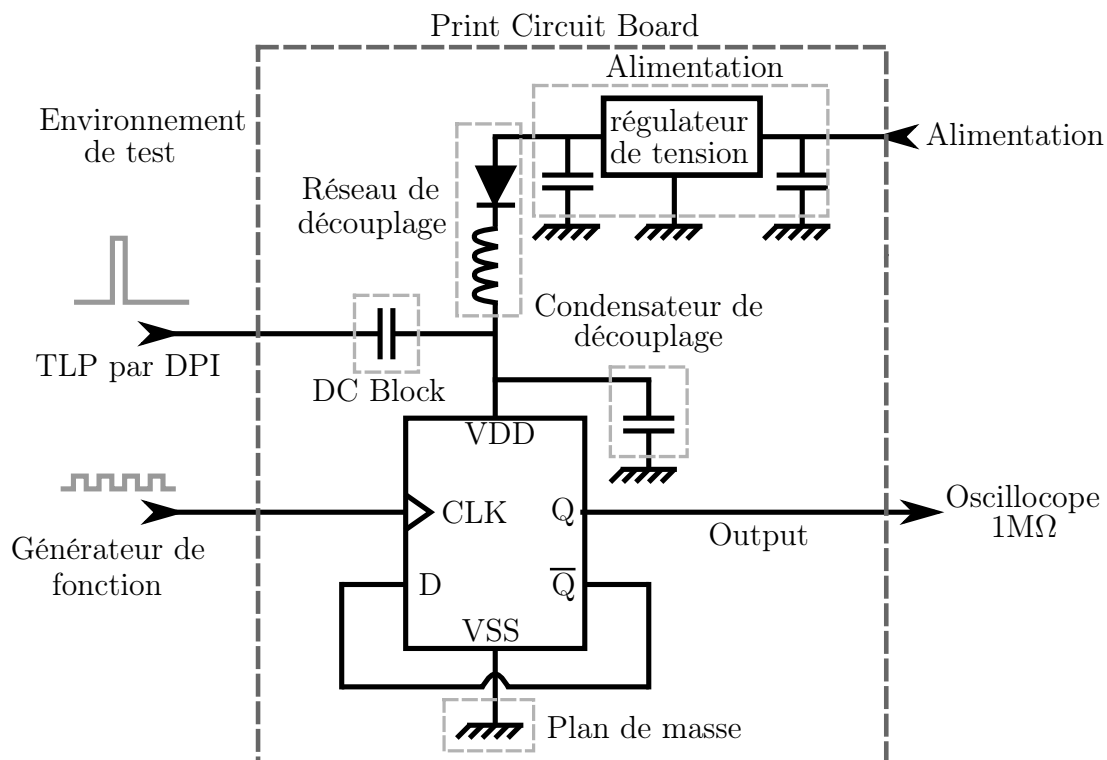


FIGURE 4.15 – Schéma simplifié du cas d'étude concernant l'implantation d'une Bascule D.

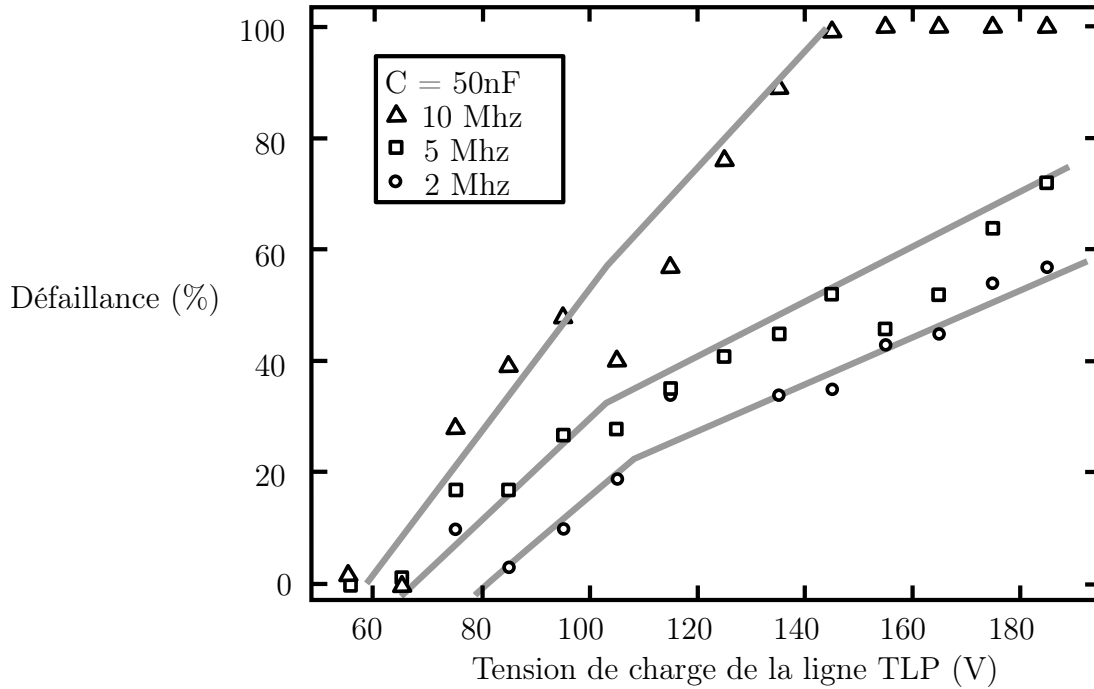


FIGURE 4.16 – Influence du PowerClamp sur la probabilité de génération de fautes dont la tendance est mise en évidence par des lignes.

Cette étude a pu montrer qu’il était difficile de définir un niveau précis de défaillance pour l’analyse des fautes fonctionnelles. En effet, l’événement ESD ne peut être synchronisé avec les circuits séquentiels. Le comportement de ces derniers est donc fortement dépendant du moment où le stress arrive : pendant un état haut ou bas, ou pendant une transition d’horloge. Des paramètres comme la fréquence de travail du système, la valeur des capacités externes de découplage, ou la durée de stress peuvent alors influencer sur la probabilité d’avoir une panne (une perte d’une période d’horloge dans ce cas). Le graphe suivant (Figure 4.16) présente pour un niveau de stress TLP injecté le pourcentage de pannes observées, et ce, en fonction de la fréquence de l’horloge de commande (CLK). Plus la fréquence augmente, et plus la probabilité de panne augmente. Le changement de pente observé dans l’évolution des lois de probabilité est lié au déclenchement des protections ESD. Une étude détaillée a été publiée dans la thèse de N. Monnereau et dans les publications suivantes [84, 86].

En fonction des critères précédemment détaillés, une loi d’évolution de la probabilité de générer une défaillance a été établie :

$$P_{\text{failure}} = \frac{T_{\text{failure}}}{T_{\text{clk}}} = \frac{T_{\text{charge}} + T_{\text{décharge}}}{T_{\text{clk}}} \quad (4.2)$$

Où T_{charge} est la durée de l’impulsion TLP, $T_{\text{décharge}}$ correspond à la décharge au travers de la capacité de découplage (50nF dans la Figure 4.15) et T_{clk} correspond à la période de l’horloge. Les deux premiers paramètres prennent en compte le déclenchement de la

protection interne ainsi que tous les composants externes et principalement la capacité de découplage. Le détail de ces paramètres et leur calcul est donné dans la thèse de N. Monnereau. Cette loi fait clairement apparaître que la probabilité de générer une panne est inversement proportionnelle à la période d'horloge, T_{clk} .

Cette formulation a pu être déterminée grâce à la simulation reportée Figure 4.17. Deux cas sont analysés suivant la synchronisation de l'horloge par rapport à l'apparition du stress ESD n'engendrant pas de défaillance (cas A) et provoquant une perte de période d'horloge (cas B).

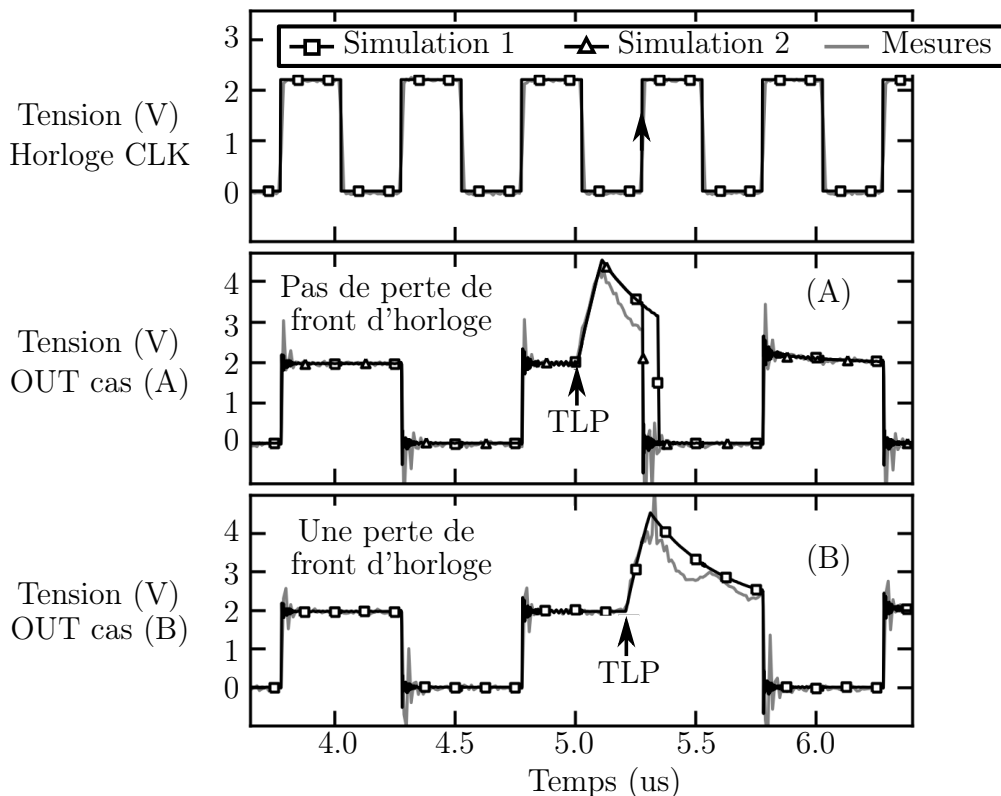


FIGURE 4.17 – Comparaison des mesures et simulations de la tension de sortie obtenue dans deux cas : pas de perte de front d'horloge (A) et une perte de front d'horloge (B), pour une fréquence d'horloge de 2MHz, un condensateur de découplage de 50nF et une injection TLP par DPI de 75V survenant pendant que la sortie est à l'état haut.

4.4 Conclusion

Les protections intégrées dans les circuits intégrés jouent un rôle important dans la prédiction de la défaillance d'un système soumis à une décharge.

Nous avons montré dans un premier temps que les modèles empiriques et comportementaux donnaient sensiblement les mêmes résultats lors de simulations et cela aussi bien pour des simulations transitoires que quasi-statiques. Les défaillances aussi bien matérielles que fonctionnelles peuvent alors être investiguées. Le résumé des papiers publiés

dans les conférences spécialisées est présenté dans le dernier chapitre de ce document prouve que la destruction des composants peut être prévue. D'autres pourront arguer que le comportement dynamique de la protection lors du déclenchement peut introduire des surtensions susceptibles de détruire le composant. Cette déduction viendrait directement du fait que nous ne modélisons pas le comportement dynamique des protections autour des points d'inflexion ou de retournement. En effet, comme nous ne prenons pas en compte la dynamique de déclenchement des protections, si une protection est "lente", la tension aux bornes du composant peut monter bien au delà des tensions définies par les points d'inflexion du modèle. Ces personnes auront tout à fait raison si la structure de protection est considérée seule. Il ne faut pas oublier tous les éléments parasites venant des bus d'alimentation et du boîtier. Si, au modèle que nous proposons, nous ajoutons les éléments parasites de IBIS, nous résolvons en partie le problème. En effet, les capacités parasites des entrées et sorties ainsi que celles positionnées entre les bus d'alimentation imposent leur dynamique aux protections (ces dernières étant en général bien plus rapides). Les surtensions restent quand même la cause de environ 10% des destructions de composant observées.

La figure suivante synthétise tous les éléments que nous utilisons dans le modèle du composant ainsi que les outils utilisés pour son élaboration. Les mesures TLP sont impératives pour extraire un modèle quasi-statique et démontrer la stratégie de protection du circuit (pour prédire des chemins de courant internes au circuit). Les modèles IBIS nous informent sur les éléments parasites nécessaires des entrées et sorties. Ceux-ci peuvent, suivant les configurations, générer des surtensions et limiter les circulations de courants transitoires. Les datasheets ainsi qu'un modèle HDL (comportemental) du fonctionnement du circuit sont nécessaires pour envisager une simulation fonctionnelle. Enfin les critères de défaillance qu'il faudra ajouter aux modèles dépendent de la simulation visée. Un modèle Wunsch & Bell permet de prédire la destruction thermique d'une protection. Pour une analyse fonctionnelle, d'autres critères peuvent être ajoutés en fonction de la panne visée. Dans ce dernier cas, une approche probabiliste semble nécessaire étant donné le caractère aléatoire de l'évènement ESD au regard des fréquences de fonctionnement des systèmes numériques (comme démontré dans les papiers [84, 86]). Dans la Figure 4.18 sont reportés tous les éléments devant être pris en compte dans une simulation système, ainsi que les détails permettant de créer un modèle pour la détection de défaillances fonctionnelles et matérielles. Le modèle du composant électronique est ajouté à l'ensemble du système pour mener à bien la simulation.

Ce dernier chapitre, au travers de quelques exemples et cas d'analyse, valide l'approche de modélisation du composant que nous avons utilisée. La mise en œuvre du modèle dans un système sur carte a permis de conclure que la méthodologie développée durant ces huit années permettait de prédire le comportement du système par des simulations quasi-

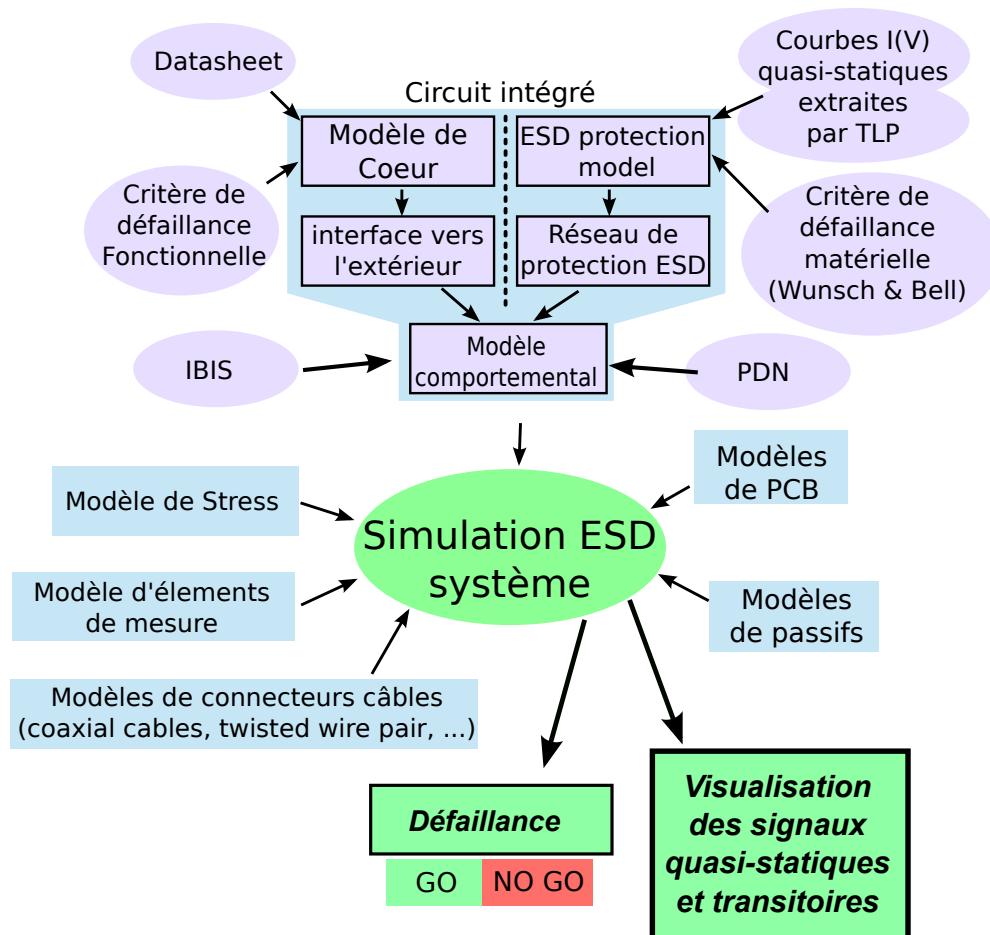


FIGURE 4.18 – Intégration dans le flot de conception des différents éléments nécessaires à une prédiction de l’impact des ESD au niveau système.

statiques et transitoires avec un gain considérable sur le temps de calcul. Au travers des trois thèses soutenues, la majeure partie des cas d’études classiques ont été analysés :

- Fautes matérielles non alimentées et alimentées (thèse de S. Giraldo en collaboration avec On-semiconductor, et N. Monnereau dans le cadre du projet ANR E-SAFE). Des critères de défaillance basés sur la robustesse thermique des composants ont été ajoutés pour répondre aux besoins du projet E-SAFE.
- Fautes fonctionnelles dans le cadre des thèses de N. Lacrampe et N. Monnereau, où des simulations permettant de faire une investigation précise des causes de panne ont été comparées à des mesures. Les études ont montré que la panne peut avoir un caractère probabiliste.

L’ensemble de ces résultats a été soumis à publication. Certaines ont été primées, et d’autres invitées dans les revues scientifiques, ceci soulignant le caractère innovant de ces études. Une partie de ces résultats obtenus est en cours de transfert vers les comités de normalisation ESDA et UTE, auxquels je participe.

Conclusion générale

Argumentation d'une approche systémique pour la simulation des ESD au niveau système :

Face à la complexité croissante des applications embarquées, la robustesse des systèmes aux évènements ESD a évolué ces dernières années pour devenir une priorité. La quantité d'informations à traiter pour mener une simulation prédictive de la robustesse est un point bloquant. Les paramètres rendant difficile l'évaluation de la fiabilité sont : des informations non disponibles de par leur caractère privé, le nombre d'éléments du système sur carte qui ne cesse d'augmenter, le manque de techniques d'investigation, et au final une grande quantité de disciplines à maîtriser. Ce sont ces principaux défis que nous avons essayés de relever dans les travaux de recherche que nous avons menés en développant une méthodologie complète du composant au système permettant d'anticiper les défaillances qu'elles soient matérielles ou logicielles.

Cette méthodologie passe par une approche systémique où le composant est considéré comme une boîte noire. La modélisation comportementale nous a paru naturelle car elle permettait de garantir la propriété intellectuelle des stratégies de protection des fabricants de circuits, mais aussi, elle répondait à une possibilité de résoudre les grandes complexités de la simulation système.

J'ai pu encadrer trois thèses sur cette thématique. Ces études collaboratives [menées en partenariat avec la DGA et le laboratoire commun LISPA en collaboration avec FREESCALE (Thèse de N. Lacrampe), dans le projet E-SAFE, réunissant un fabricant de circuit intégré et un équipementier automobile (Thèse de N. Monnereau) et avec ONSEMICONDUCTOR (Thèse de S. Giraldo)], ont permis de développer les modèles que nous proposons actuellement au sein des comités de normalisation ESDA. Les travaux de N. Lacrampe ont permis, dans un premier temps, de comprendre et de maîtriser les phénomènes de propagation sur les cartes électroniques. Les thèses suivantes ce sont plus focalisées sur la mise au point de modèle de composants. Pour promouvoir de tels modèles, et développer une telle approche, il faut impérativement convaincre les équipementiers de l'utiliser, mais aussi les concepteurs de circuits intégrés du bien-fondé de donner un minimum d'informations sur leurs circuits.

Nous avons tout particulièrement veillé dans le projet ANR E-SAFE à ce que les modèles

soient utilisés dans les différents supports de simulation de chaque partenaire. Dans la thèse de N. Monnereau ils ont été écrits en langage VHDL AMS. VALEO a utilisé des sous-circuits dans le logiciel SPICE. Pour FREESCALE, les modèles développés en Verilog-AMS ont directement été introduits dans les flots de conception et permettent de prédire la défaillance des protections grâce à des alertes dans leurs simulations transitoires. Ces deux industriels utilisent nos modèles pour prédire la robustesse des équipements et des circuits face aux ESD. Quels que soient le langage et les logiciels de simulations utilisés, l'implémentation dans le flot de conception reste identique.

L'utilisation de langages comportementaux, comme VHDL-AMS ou VERILOG-AMS, n'est pas très répandue et est assez mal connue des ingénieurs dédiés à la problématique ESD (bien que l'approche comportementale puisse être développée sous SPICE). Ces langages présentent cependant l'avantage de travailler sur deux noyaux de calcul (analogique et numérique), et permettent aux simulations de converger bien plus facilement. Ceci est d'autant plus important lorsque l'on utilise des structures ayant de fortes discontinuités. La méconnaissance de ces langages de simulation a été une des raisons pour laquelle la méthodologie que nous présentons a eu du mal à être reconnue par les experts du domaine.

Un autre aspect non négligeable dans la promotion des modèles à prendre en compte, est le fait que concepteurs de circuits intégrés et équipementiers n'ont pas la même vision de la simulation système. Par conséquent leurs attentes sont différentes.

Pour le concepteur de circuits, l'objectif principal est de concevoir un circuit robuste dans son environnement (en dehors du fait qu'il supporte les normes HBM, et CDM). Une attention toute particulière est portée sur la stratégie de protection ESD et la surface totale occupée par cette dernière. Il faut être capable de simuler un grand nombre de protections dans des configurations variées et ainsi avoir une estimation rapide des chemins de décharge et de la robustesse du circuit. Ceci est d'autant plus vrai pour les circuits dédiés aux applications automobiles pour lesquels l'environnement impacte fortement sur la robustesse. Les différentes configurations requises doivent pouvoir être testées dès la conception (exemple de la recommandation "LIN conformance" où la broche "LIN" doit tenir 32KV IEC avec et sans capacité externe). On comprend très vite l'intérêt de pouvoir simuler les protections pour faire une investigation rapide d'une puce complète.

Du côté de l'équipementier, le circuit intégré au sein de la simulation du système reste une boîte noire. Les chemins de décharge internes ne sont pas connus. Par contre il faut être capable de prédire l'impédance du composant et comment entrent et sortent les courants. Les protections permettent de relier les broches entre elles électriquement quelle que soit la stratégie de protection choisie par le concepteur de circuit. Ces modèles viennent s'ajouter au même titre que les modèles IBIS.

Si, pour le concepteur de circuit, la modélisation comportementale est une vue supplémentaire de la protection, pour le concepteur de système elle n'a aucune réalité physique.

Cependant, c'est cette dernière vision qui manque le plus pour la conception de systèmes.

Dans le projet E-SAFE, nous avons pu développer conjointement une modélisation complète du système et les modèles que nous avons proposés répondent aux attentes des deux partenaires. La méthodologie que nous avons développée aussi bien en termes de simulation que de caractérisation a été transférée chez les partenaires.

Pour valider de façon précise nos méthodes, nous avons développé plusieurs techniques d'injection et de caractérisation. Beaucoup correspondent à des techniques utilisées pour caractériser l'impact de la CEM sur les systèmes et les composants, et ont été adaptées pour traiter les ESD (comme l'injection par champ proche ou la norme DPI). Toutes ces méthodes ont été développées et validées dans l'optique de démontrer que la méthodologie de modélisation que nous proposons est valide. Ces techniques ne sont pas développées dans ce document mais sont disponibles dans les thèses des doctorants que j'ai encadrés. Certaines ont cependant été publiées comme la reconstitution des circulations de courants dynamiques grâce à l'utilisation de sondes de champ magnétiques (workshop IEW 2010, [95]). Un banc de mesure s'articulant autour d'une table robotisée trois axes, d'un générateur des stress (TLP ou IEC 61000-4-2) et d'un oscilloscope ayant une grande bande passante (12GHz) a été entièrement conçu au laboratoire. Grâce à ce dernier, nous sommes en mesure de créer des vidéos qui montrent comment les courants circulent sur une carte électronique lors d'une décharge. Cette technique est un outil d'investigation important. Elle est détaillée dans la thèse de N. Monnereau. Nous avons aussi développé un capteur à échantillonnage sur puce permettant de mesurer dans la puce l'impact des décharges. Le principe du capteur a été développé dans le passé pour l'étude de l'intégrité de signal [1, 2]. La difficulté a été ici de développer des sondes sur puce capables de mesurer un stress ESD sans être détruites et avec une grande bande passante. Les sondes, réalisées en technologie 65nm ont une bande passante de 20GHz et une atténuation paramétrable autour de 20dB. Nous avons pu mesurer des temps de déclenchements des protections internes en fonction des configurations du PCB [96], mais aussi de mesurer les bruits induits dans le substrat lors de stress [97].

Retombées et perspectives :

Nous publions sur la prédiction des ESD sur les systèmes depuis 2007. Au départ de nos travaux, dans la thèse de N. Lacrampe, nous étions focalisés sur la prédiction de défaillances fonctionnelles. Nous étions les pionniers dans ce domaine car l'impact des ESD au niveau du système n'était pas très étudié. Lors des premières présentations nos travaux ont été considérés comme marginaux. Les types de défaillances que nous avons mises en avant étaient à l'époque considérés comme anecdotiques. Dans les thèses de N. Monnereau et S. Giraldo, nous avons développé une méthodologie complète (depuis

l'extraction des paramètres à la génération de modèles) pour la prédiction de défaillances matérielles, que les systèmes soient alimentés ou non. Certains des papiers ont été primés ou invités à publication dans des journaux. Aujourd'hui, avec le démarrage de la thèse de Rémi Bégès en partenariat avec FREESCALE, nous nous focalisons à nouveau sur les défaillances fonctionnelles.

Aujourd'hui, nos travaux sont reconnus internationalement et le LAAS est identifié comme un acteur majeur dans la prédiction de l'impact des ESD sur les systèmes. Les partenariats industriels sont importants : DGA, FREESCALE, VALEO, ON-Semiconductor, EADS IW, CONTINENTAL, ATMEL. Nous sommes également sollicités pour participer à des travaux collaboratifs avec l'IRT sur l'impact des EFT (Electrical Fast transients) sur les systèmes embarqués. Beaucoup de ces collaborations sont les retombées directes du projet ANR E-SAFE, terminé en octobre 2011. Les retours d'évaluation de l'ANR sur ce projet ont été très enthousiastes.

Nos résultats sont également présentés au comité de normalisation ESDA depuis 2009, comité dont je fais partie. Au total, une dizaine de présentations a été faite dans ce cadre. Je suis impliqué dans la rédaction de deux documents. Un premier concerne l'injection par champ proche d'un stress calibré grâce à des sondes de champ magnétique. En parallèle avec l'université de Missouri Rola (USA), nous avons développé des méthodes d'injection par champ proche pour détecter les zones les plus susceptibles d'un système sur carte. Un document intitulé "Electrostatic Discharge, Sensitivity Testing : Near Field Immunity Scanning Component/Module/PCB Level" est en cours de rédaction et sera publié sous la forme d'une note technique. Il est dirigé par David Pommerenke.

Depuis juin 2013, je dirige un groupe d'experts au sein de ce même comité pour développer une nouvelle norme sur la modélisation comportementale des circuits intégrés. Ces travaux s'alignent sur les recommandations de "ESDA - Industry Council" visant à développer une méthodologie de simulation pour la prédiction de l'impact des ESD sur les systèmes. L'idée de la norme que nous souhaitons développer est d'arriver à forcer les fabricants de circuits à donner certaines informations pour la simulation système au travers d'un standard. La méthodologie que nous avons développée, est présentée au comité depuis quatre à cinq ans. J'ai réussi à convaincre les comités que l'approche comportementale est la seule approche qui permette d'échanger des informations sécurisées et qui puisse faire face à la complexité d'une simulation système. La plus grosse difficulté lors de l'écriture de ce document est d'arriver à trouver un consensus sur les paramètres à délivrer. Les raisons sont multiples, et essentiellement liées aux domaines d'applications des participants à ce groupe, et aux objectifs visés. Les principales discussions se sont focalisées sur le nombre de broches pour lesquelles un modèle devait être donné, comment donner un modèle pour les circuits ayant plusieurs alimentations, et surtout quelles méthodes utiliser pour extraire les paramètres pour les domaines alimentés et non alimentés.

Après une année de discussion avec 35 experts, un brouillon a été rédigé. Le document que nous proposons va bien au-delà de la proposition de modèles. Il détaille la méthodologie complète nécessaire à la simulation. Comme nous l'avons précisé plus tôt, il est primordial d'éduquer les industriels. Nous sommes actuellement dans la phase de validation du document par des expérimentations. Un ensemble de trois systèmes va être testé dans les différents laboratoires et industries participant à la rédaction du document pour valider chaque point abordé.

Bien que cette action au sein de l'ESDA nécessite un effort soutenu, les différentes étapes et objectifs sont maintenant clairement définis.

Aujourd'hui, la communauté ESD est bien informée de la problématique ESD système. Depuis deux à trois ans, un grand nombre de papiers sont publiés sur ce thème (at EOS/ESD Symposium 2012 [98, 99, 100, 101, 102, 103, 104, 105, 106, 107], and EOS/ESD Symposium 2013 [108, 109, 110, 111, 112, 113]).

En parallèle de mon action avec le comité ESDA, j'ai été sollicité par l'organisme UTE qui souhaite développer une norme IEC pour la prédiction de l'impact des transitoires rapides (EFT) sur les systèmes (IEC 62433 – 6 : Pulse immunity). Vu les résultats que nous avons obtenus sur les simulations transitoires pour la prédiction des ESD, l'idée du comité UTE (Union Technique de l'Electricité) est de valider ou d'étendre la méthodologie que nous proposons aux transitoires rapides de forte puissance : EFT (Electrical Fast Transient). Dans ce but, des travaux ont été initiés avec EADS IW – Airbus GROUP et Continental pour valider les modèles sur différents types de signaux. Les premiers travaux, effectués par R. Beges dans le cadre de son stage de fin d'étude ont permis de démontrer de très bons résultats lors d'agressions faites par un générateur de type ISO 7637. Les résultats ont fait l'objet de deux publications ([69, 70]).

Les EFT et les EOS ont toujours été une préoccupation majeure des équipementiers. Bien que notre approche semble apporter des solutions, il faut la valider. J'ai donc, en Octobre 2013, monté un projet ANR EFT-SAFE3A : "Systèmes électroniques robustes aux transitoires rapides de forte puissance pour les applications aéronautiques et automobiles". Les partenaires sont FREESCALE, VALEO et NEXIO. Par rapport au projet E-SAFE, ce dernier élargit le domaine d'application à l'aéronautique grâce à la PME NEXIO qui travaille étroitement avec AIRBUS sur l'impact des résidus de foudre.

Le projet est aussi plus ambitieux, car il vise la prédiction de la défaillance fonctionnelle. De nouvelles méthodes d'extraction de paramètres et de modèles devront être élaborés. Dans une première partie du travail, des modèles de prédiction au niveau système sont prévus. Dans un deuxième temps, une méthode de prédiction des défaillances au niveau de la puce sera mise en œuvre. Ces deux actions rentrent dans une démarche conjointe de "Co-design". Ce projet est aussi une occasion pour notre équipe de monter une collaboration avec l'équipe MOST du LAAS. Grâce à une technologie 3D permettant de fabriquer des

inductances, nous espérons pouvoir réaliser des microsondes de champ magnétique ayant une bande passante de quelques GHz et une résolution spatiale de l'ordre de quelques centaines de microns. Il serait alors possible de reconstituer les chemins de courant jusque dans les circuits intégrés. Les retombées de ce projet alimenteront les acteurs locaux des transports et nous prévoyons une interaction forte avec l'IRT sur ce sujet. Ce travail s'inscrit aussi dans les aspects normatifs dans lesquels je suis très impliqué.

Enfin, pour aider à la diffusion de notre méthodologie et aider les concepteurs à prédire les défaillances, un document d'aide devra permettre à n'importe quel industriel de mettre en place un flot de conception pour la prédiction de l'impact des transitoires de forte puissance. Ce document s'appuiera sur des cas d'étude comme ceux qui sont actuellement développés dans le cadre du comité que je dirige au sein de l'ESDA, mais aussi sur le projet ANR EFT-SAFE3A.

Comme nous l'avons précisé dans l'introduction de ce document, l'impact des ESD au niveau du système a été par le passé uniquement défini dans une approche CEM. Mon travail a été d'introduire la problématique des systèmes dans la communauté ESD des circuits intégrés. Depuis, et avec l'explosion des problèmes ESD dans les systèmes embarqués, les études s'orientent fortement vers l'analyse des défaillances fonctionnelles. Les pannes auxquelles nous sommes confrontés s'assimilent à celles rencontrées en CEM (RESET, Perte d'horloges, ...). De plus, les niveaux de robustesse CEM exigés ne cessent d'augmenter. Il est aujourd'hui assez courant d'avoir des niveaux d'agressions électromagnétiques capables de déclencher les protections ESD des circuits, faisant apparaître de fortes non-linéarités. Il semble donc évident qu'un rapprochement entre la communauté ESD et CEM est nécessaire. Dans nos futurs travaux, nous souhaitons avoir une forte coopération avec l'équipe CEM du LAAS et développer des projets communs. Dans le projet FP7, AUTOMICS, nous travaillons à l'analyse substrat des perturbations CEM et ESD. Des méthodes de simulation et caractérisation communes sont nécessaires et devront donc être développées.

Bibliographie

- [1] S. Delmas-Ben-Dhia, F. Caignet, and E. Sicard, "A new method for measuring signal integrity in cmos ics," *Microelectronic International – Highly Commended Award from the Microelectronics International Journal*, vol. 17, no. 1, pp. 17–21, Jan. 2000.
- [2] F. Caignet, S. Delmas-Ben-Dhia, and E. Sicard, "The challenge of signal integrity in deep-submicron cmos technology," *Proceedings of the IEEE*, vol. 89, no. 4, pp. pp 556–573, April 2001.
- [3] F. Caignet, "Mesure et modélisation prédictive des phénomènes parasites liés aux interconnexions dans les technologies cmos," Ph.D. dissertation, Institut National des Sciences Appliquées de Toulouse (INSAT), Décembre 1999.
- [4] International technology roadmap for semiconductors.
- [5] J. Collet, F. Caignet, F. Sellaye, and D. Litaize, "Performance constraints for onchip optical interconnects," *IEEE Journal of Selected Topics in Quantum Electronics*,, vol. 9, no. 2, pp. 425 – 432, 2003.
- [6] J. Collet, D. Litaize, F. Caignet, and J. Sellaye, *Quel avenir pour les interconnexions optiques intra- et interpuces ?*, HERMES, Ed., septembre 2002, no. ISBN : 2-7462-0488-6.
- [7] G. Donnadiou, D. Durand, D. Neel, E. Nunez, and L. Saint-Paul, "L'approche systémique : de quoi s'agit-il?" Synthèse des travaux du Groupe AFSCET (Association Française de Science des Systèmes)," Diffusion de la pensée systémique", [http ://www.afscet.asso.fr/SystemicApproach.pdf](http://www.afscet.asso.fr/SystemicApproach.pdf), Tech. Rep.
- [8] T. Hammi, "Étude de méthodes de mesures et réalisation d'un banc de test pour l'évaluation des propriétés électrostatiques des textiles," Ph.D. dissertation, university of science and Technology of Lille, April 2005.
- [9] O. Semenov, H. Sarbishaei, and M. Sachdev, *ESD protection device and circuit design for advanced CMOS technologies*. Springer Verlag, 2008.
- [10] A. Amarasekera and C. Duvvury, "Esd in silicon integrated circuits, j," 2002.
- [11] C. Gary, *La foudre : Nature-Histoire-Risques et Protection*, Dunod, Ed., 2004, vol. ISBN : 2100072617, no. 3rd ed.

- [12] *Directive 89/336/CEE du Conseil du 3 mai 1989 concernant le rapprochement des législations des Etats membres relatives à la compatibilité électromagnétique*, vol. L 139, Mai 1989.
- [13] G. Champiot, *Maîtrise de la CEM 3. Technologie, Réglementation, Normes*, les référentiels dunod ed., ser. ISBN : 2100203304. Dunod, 1998, vol. Partie 3.
- [14] [Online]. Available : http://www.iso.org/iso/fr/cars_compilation.pdf
- [15] *Véhicules routiers – Perturbations électriques par conduction et par couplage*, ISO, 2002.
- [16] ISO Standard 10605, “Road vehicles, Test methods for electrical disturbances from electrostatic discharge,” 2008.
- [17] *Véhicules routiers – Méthodes d’essai d’un véhicule soumis à des perturbations électriques par rayonnement d’énergie électromagnétique en bande étroite*, ISO, 2005.
- [18] *Véhicules routiers – Sécurité fonctionnelle*, ISO, 2011.
- [19] *Environmental Conditions and test Procedures for Airborne Equipment* , RTCA, 1997.
- [20] IEC 62132, “NORME INTERNATIONALE, Circuits intégrés, Mesure de l’immunité électromagnétique, 150 kHz à 1 GHz,” 2006.
- [21] IEC 61967, “NORME INTERNATIONALE, Circuits intégrés, Mesure des émissions électromagnétiques, 150 kHz à 1 GHz,” 2003.
- [22] I. 62433-2, *Compatibilité électromagnétique (CEM). Modèles de circuits intégrés pour la simulation du comportement lors de perturbations électromagnétiques. Modélisation des émissions conduites (ICEM-CE)*, IEC standard, Fev. 2010.
- [23] IEC 61000-4-2, “Electromagnetic compatibility (EMC), Part 4-2 : testing and measurement techniques, electrostatic discharge immunity test. Ed 2.0, 2008-12. ISBN : 2-8318-1019-7.” 2008.
- [24] J. Rivenc, J. Vazquez-Garcia, P. Matossian, B. el Banani, and A. Agneray, “An overview of the technical policy developed by renault to manage ESD risks in airbags,” in *Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE*, vol. 2, 2004, pp. 1294–1301 vol.2.
- [25] esda, “ESD technology road map,” www.esda.org.
- [26] C. Lippert, “Future challenges of esd protection – an automotive oem’s point of view,” Seminar presented at IEW 2010, Tutzing, Germany, invited paper.
- [27] T. Sentauros, “Tools, Synopsys, <http://www.synopsys.com>,” 2007.
- [28] SILVACO, Inc., “ATLAS, ATHENA Manuel d’utilisateur,” <http://www.silvaco.com/>, 2011.

- [29] M. Schenkel, "C2. TCAD for ESD," in *Electrical Overstress/Electrostatic Discharge Symposium, 2008. EOS/ESD 2008. 30th*, 2008, p. 346.
- [30] R. Grisel, L. Coyitangiye, A. Doukkali, F. Barbier, P. Descamps, and H. Murray, "An equivalent circuit model for simulation of the ggNMOS transient triggering under ESD operating conditions," in *Industrial Electronics, 2009. IECON '09. 35th Annual Conference of IEEE*, 2009, pp. 1817–1822.
- [31] A. Amerasekera and C. Duvvury, "The impact of technology scaling on ESD robustness and protection circuit design," *Components, Packaging, and Manufacturing Technology, Part A, IEEE Transactions on*, vol. 18, no. 2, pp. 314–320, 1995.
- [32] O. Semenov, H. Sarbishaei, and M. Sachdev, "Analysis and design of LVTSCR-based EOS/ESD protection circuits for burn-in environment," in *Quality of Electronic Design, 2005. ISQED 2005. Sixth International Symposium on*, 2005, pp. 427–432.
- [33] J. Bernier, G. Croft, and W. Young, "A process independent ESD design methodology," in *Circuits and Systems, 1999. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on*, vol. 1, 1999, pp. 218–221 vol.1.
- [34] M. Ker and W. Lo, "Design on the low-leakage diode string for using in the power-rail ESD clamp circuits in a 0.35- μm silicide CMOS process," *Solid-State Circuits, IEEE Journal of*, vol. 35, no. 4, pp. 601–611, 2000.
- [35] D. Trémouilles, "Optimisation et modélisation de protection intégrées contre les décharges électrostatique, par l'analyse de la physique mise en jeu," Ph.D. dissertation, university of Toulouse, LAAS-CNRS, 2004.
- [36] G. Bertrand, "Conception et modélisation électrique de structures de protection contre les décharges électrostatiques en technologies bicmos et cmos analogique," Ph.D. dissertation, University of Toulouse, LAAS-CNRS, 2001.
- [37] C. Richier, N. Maene, G. Mabboux, and R. Bellens, "Study of the ESD behavior of different clamp configurations in a 0.35- μm cmos technology," in *Electrical Overstress/Electrostatic Discharge Symposium, 1997. Proceedings*, 1997, pp. 240–245.
- [38] M. Ker and T. Chen, "Design on the turn-on efficient power-rail ESD clamp circuit with stacked polysilicon diodes," in *Circuits and Systems, 2001. ISCAS 2001. The 2001 IEEE International Symposium on*, vol. 4, 2001, pp. 758–761 vol. 4.
- [39] W. Yuan, J. Song, C. Zhongjian, Z. Ganggang, and J. Lijiu, "A design model of gate-coupling NMOS ESD protection circuit," in *Solid-State and Integrated Circuits Technology, 2004. Proceedings. 7th International Conference on*, vol. 2, 2004, pp. 856–859 vol.2.
- [40] M. Ker and C. Yen, "Investigation and design of On-Chip Power-Rail ESD clamp circuits without suffering Latchup-Like failure during System-Level ESD test," *Solid-State Circuits, IEEE Journal of*, vol. 43, no. 11, pp. 2533–2545, 2008.

- [41] J. Huang and G. Wang, “Esd protection design for advanced cmos (proceedings paper),” 2001.
- [42] R. Merrill and E. Issaq, “Esd design methodology.” in *the Electrical Overstress/Electrostatic Discharge Symposium*, 1993, pp. 233–237.
- [43] M. Stockinger, J. W. Miller, M. G. Khazhinsky, C. A. Torres, J. C. Weldon, B. D. Preble, M. J. Bayer, M. Akers, and V. G. Kamat, “Advanced rail clamp networks for ESD protection,” *Microelectronics and Reliability*, vol. 45, no. 2, pp. 211–222, Feb. 2005. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0026271404001532>
- [44] M. Stockinger and J. Miller, “Advanced ESD rail clamp network design for high voltage CMOS applications,” in *Electrical Overstress/Electrostatic Discharge Symposium, 2004. EOS/ESD '04.*, 2004, pp. 1–9.
- [45] M. Stockinger, J. Miller, M. Khazhinsky, C. Torres, J. Weldon, B. Preble, M. Bayer, M. Akers, and V. Kamat, “Boosted and distributed rail clamp networks for ESD protection in advanced CMOS technologies,” in *Electrical Overstress/Electrostatic Discharge Symposium, 2003. EOS/ESD '03.*, 2003, pp. 1–10.
- [46] H. Hyatt, “ESD : standards, threats and system hardness fallacies,” in *2002 Electrical Overstress/Electrostatic Discharge Symposium, 2002. EOS/ESD '02.*, 2002, pp. 178–185.
- [47] J. Barth, J. Richner, L. G. Henry, and M. Kelly, “Real hbm and mm waveform parameters,” *Journal of Electrostatics*, vol. 62, pp. 195–209, 2004.
- [48] S. Caniggia and F. Maradei, “Circuit and numerical modeling of electrostatic discharge generators,” *Industry Applications, IEEE Transactions on*, vol. 42, no. 6, pp. 1350–1357, 2006.
- [49] K. Wang, D. Pommerenke, R. Chundru, T. Van Doren, J. Drewniak, and A. Shashindranath, “Numerical modeling of electrostatic discharge generators,” *Electromagnetic Compatibility, IEEE Transactions on*, vol. 45, no. 2, pp. 258–271, 2003.
- [50] K. M. Chui, “Simulation and Measurement of ESD Test for Electronics Devices,” Ph.D. dissertation, 2003.
- [51] S. G. Torres, “Etude de la robustess d’amplificateurs embarqués dans des applications portables soumis à des décharges électrostatiques (esd) au niveau système.” Ph.D. dissertation, UPS, University of Toulouse, 2013.
- [52] D. Pommerenke and M. Aidam, “To what extent do contact-mode and indirect ESD test methods reproduce reality?” in *Electrical Overstress/Electrostatic Discharge Symposium Proceedings, 1995*, 1995, pp. 101–109.
- [53] K. Muhonen, N. Peachey, and A. Testin, “Human metal model (HMM) testing, challenges to using ESD guns,” in *EOS/ESD Symposium, 2009 31st*, 2009, pp. 1–9.

- [54] R. Xiaofen, Z. Xijun, W. Zhancheng, and W. Shuping, "Study on two types of commercial ESD simulators," in *Environmental Electromagnetics, 2003. CEEM 2003. Proceedings. Asia-Pacific Conference on*, 2003, pp. 233–236.
- [55] R. Chundru, D. Pommerenke, K. Wang, T. Van Doren, F. Centola, and J. S. Huang, "Characterization of human metal ESD reference discharge event and correlation of generator parameters to failure levels-part i : reference event," *Electromagnetic Compatibility, IEEE Transactions on*, vol. 46, no. 4, pp. 498–504, 2004.
- [56] K. Wang, D. Pommerenke, R. Chundru, T. Van Doren, F. Centola, and J. S. Huang, "Characterization of human metal ESD reference discharge event and correlation of generator parameters to failure levels-part II : correlation of generator parameters to failure levels," *Electromagnetic Compatibility, IEEE Transactions on*, vol. 46, no. 4, pp. 505–511, 2004.
- [57] K. Wang, D. Pommerenke, R. Chundru, J. Huang, K. Xiao, P. Ilavarasan, and M. Schaffer, "Impact of ESD generator parameters on failure level in fast CMOS system," in *Electromagnetic Compatibility, 2003 IEEE International Symposium on*, vol. 1, 2003, pp. 52–57 vol.1.
- [58] M. Honda, "Measurement of ESD-gun radiated fields," in *29th Electrical Overstress/Electrostatic Discharge Symposium, 2007. EOS/ESD*, 2007, pp. 5B.4–1–5B.4–5.
- [59] J. Koo, Q. Cai, K. Wang, J. Maas, T. Takahashi, A. Martwick, and D. Pommerenke, "Correlation between EUT failure levels and ESD generator parameters," *Electromagnetic Compatibility, IEEE Transactions on*, vol. 50, no. 4, pp. 794–801, 2008.
- [60] ESD Association, "Draft standard ESD DSP5.6-2009. Human Metal Model (HMM), component level of ESD Association Working Group WG 5.6," 2009.
- [61] Industry Council on ESD Target Levels, "White Paper 3 System Level ESD Part I : Common Misconceptions and Recommended Basic Approaches," Décembre 2010.
- [62] IEEE 1076.1, "standard : VHDL Analog and Mixed-Signal," 1999.
- [63] J. Hamon, "Méthodes et outils de la conception amont pour les systèmes et les microsystèmes," Ph.D. dissertation, 2005.
- [64] H. Bakoglu, "Circuits, Interconnections, and Packaging for VLSI." 1990.
- [65] B. Wadell, *Transmission line design handbook*. Artech House Boston (Ma), 1991.
- [66] IEC61000-4-20, "Electromagnetic Compatibility (EMC), Part 4-20 : Testing and measurement techniques, Emission and immunity testing in Transverse Electromagnetic (TEM) waveguides, Basic EMC publication ," 2005.

- [67] J. Quinet and A. Petitclerc, *Théorie et pratique des circuits de l'électronique et des amplificateurs*. Dunod, 1968, vol. 2.
- [68] N. Lacrampe, "Méthodologie de modélisation et de caractérisation de l'immunité des cartes électroniques vis à vis des décharges électrostatiques (ESD)," Ph.D. dissertation, 2008.
- [69] R. Bèges, F. Caignet, N. Nolhier, M. Baffleur, A. Durier, and C. Marot, "Practical transient system-level esd modeling - environment contribution," in *Electrical Overstress/Electrostatic Discharge Symposium, 2004. EOS/ESD '04.*, 2014.
- [70] R. Bèges, F. Caignet, M. Baffleur, N. Nolhier, A. Durier, and C. Marot, "Transient system-level esd modeling of an automotive voltage regulator," in *International ESD Workshop, IEW*, May 2014.
- [71] D. J. Dascher, "Measuring parasitic capacitance and inductance using tdr," *Hewlett-Packard Journal*, vol. 47, pp. 83–96, 1996.
- [72] H. Gieser and M. Haunschild, "Very-fast transmission line pulsing of integrated structures and the charged device model," in *Electrical Overstress/Electrostatic Discharge Symposium, 1996. Proceedings*, 1996, pp. 85–94.
- [73] E. Grund and R. Gauthier, "VF-TLP systems using TDT and TDRT for kelvin wafer measurements and package level testing," in *Electrical Overstress/Electrostatic Discharge Symposium, 2004. EOS/ESD '04.*, 2004, pp. 1–8.
- [74] N. Lacrampe, F. Caignet, M. Baffleur, N. Nolhier, and N. Mauran, "Characterization and modeling methodology for IC's ESD susceptibility at system level using VF-TLP tester," in *29th Electrical Overstress/Electrostatic Discharge Symposium, 2007. EOS/ESD*, 2007, pp. 5B.1–1–5B.1–7.
- [75] M. Fletcher, A. Abel, P. Wahid, and M. Belkerdid, "Modeling of crosstalk in coupled microstrip lines," in *Southeastcon'88., IEEE Conference Proceedings*. IEEE, pp. 506–510.
- [76] N. Monnereau, F. Caignet, and D. Tremouilles, "Building-up of system level ESD modeling : Impact of a decoupling capacitance on ESD propagation," in *Electrical Overstress/ Electrostatic Discharge Symposium (EOS/ESD), 2010 32nd*, 2010, pp. 1–10.
- [77] N.monnerau, "Développement d'une methodologie de caractérisation et de modélisation de l'impact des décharges électrostatiques sur les systèmes électroniques," Ph.D. dissertation, UPS, University of Toulouse, 2011.
- [78] ANSI/EIA-656B, "IBIS (Input Output Buffer Information Specification), www.eigroup.org/IBIS."

- [79] R. Cuny, "SPICE and IBIS modeling kits the basis for signal integrity analyses," in *Electromagnetic Compatibility, 1996. Symposium Record. IEEE 1996 International Symposium on*, 1996, pp. 204–208.
- [80] S. Hall, H. Heck, and I. Books24x7, *Advanced signal integrity for high-speed digital designs*. Wiley Online Library, 2009.
- [81] S. Giraldo, C. Salamero, and F. Caignet, "Impact of the power supply on the ESD system level robustness," in *Electrical Overstress/ Electrostatic Discharge Symposium (EOS/ESD), 2010 32nd*, 2010, pp. 1–8.
- [82] S. Voldman, "The state of the art of electrostatic discharge protection : physics, technology, circuits, design, simulation, and scaling," *Solid-State Circuits, IEEE Journal of*, vol. 34, no. 9, pp. 1272–1282, 1999.
- [83] E. Christen, K. Bakalar, A. Dewey, and E. Moser, "Analog and mixed-signal modeling using the vhdl-ams language," in *36th Design Automation Conference, New Orleans*, 1999.
- [84] N. Monnereau, F. Caignet, D. Tremouilles, N. Nolhier, and M. Baffleur, "A system-level electrostatic-discharge-protection modeling methodology for time-domain analysis," *IEEE Trans. on EMC*, vol. 55, no. 1, pp. 45–57, Feb. 2013.
- [85] N. Monnereau, F. Caignet, N. Nolhier, and al., "Investigation of modeling system esd failure and probability using ibis esd models," *IEEE Trans. on Device and Materials Reliability*, vol. 12, no. 4, pp. 599–606, Dec 2012.
- [86] N. Monnereau, F. Caignet, N. Nolhier, D. Tremouilles, and M. Baffleur, "Investigating the probability of susceptibility failure within esd system level consideration," *33rd Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, Sept 2011.
- [87] D. Wunsch and R. Bell, "Determination of threshold failure levels of semiconductor diodes and transistors due to pulse voltages," *Nuclear Science, IEEE Transactions on*, vol. 15, no. 6, pp. 244–259, 1968.
- [88] D. M. Tasca, "Pulse power failure modes in semiconductors," *IEEE Trans. on Nuclear Science*, vol. 17, no. 6, pp. 346–372, Dec 1970.
- [89] N. Lacrampe, A. Alaeldine, F. Caignet, and R. Perdriau, "Investigation on esd transient immunity of integrated circuits," in *Electromagnetic Compatibility, 2007. EMC 2007. IEEE International Symposium on*. IEEE, 2007, pp. 1–5.
- [90] A. Alaeldine, N. Lacrampe, J. Levant, R. Perdriau, M. Ramdani, F. Caignet, M. Baffleur, and E. Sicard, "Efficiency of embedded on-chip emi protections to continuous harmonic and fast transient pulses with respect to substrate injection," *IEEE International Symposium on Electromagnetic Compatibility, Hawaii*, Aug. 2007.

- [91] A. Alaeldine, N. Lacrampe, A. Boyer, F. Caignet, and al., “Comparison among emission and susceptibility reduction techniques for electromagnetic interference in digital integrated circuits”, microelectronics journal volume : 39 issue : 12 pages :,” *Microelectronics Journal*, vol. 39, no. 12, pp. 1728–1735, Dec 2008.
- [92] B. Vrignon, N. Lacrampe, and F. Caignet, “Investigation of effects of an esd pulse injected by a near-field probe into an oscillator block of a 16-bit microcontroller,” *International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo), Torino, 2007*, 2007.
- [93] N. Lacrampe, A. Boyer, F. Caignet, “Investigation of effects of an ESD pulse injected by a near-field probe into an oscillator block of a 16-bit microcontroller, IEEE EMC Workshop,” 2007.
- [94] IEC62132-4, “Electromagnetic Compatibility (EMC), Integrated circuits, Measurement of electromagnetic immunity - 150 kHz to 1 GHz - Part 4 : Direct RF power injection method,” 2006.
- [95] F. Caignet, N. Monnereau, and N. Nolhier, “Impact of a decoupling capacitance on esd propagation at system level : Simulation and measurement comparison,” *International Electrostatic Discharge Workshop 2010, Tutzing (Allemagne), 10-13 Mai 2010*, 2010.
- [96] F. Caignet, N. Nolhier, A. Wang, and N. Mauran, “20ghz on-chip measurement of esd waveform for system level analysis,” *35th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, Sept 2013.
- [97] F. Caignet, N. Nolhier, M. Bafleur, A. Wang, and N. Mauran, “On-chip measurement to analyze failure mechanisms of ics under system level esd stress,” *Microelectronics Reliability*, vol. 53, no. 9-11, pp. 1278–1283, Sept - Nov. 2013.
- [98] M. Scholz, S.-H. Chen, G. Hellings, D. Linten, D. Johnsson, A. Gallerano, D. Lafontese, A. Concannon, M. Sawada, and G. Groeseneken, “Miscorrelation between iec 61000-4-2 type of hmm tester and 50 ohm hmm tester,” *34rd Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2012.
- [99] K. Muhonen, N. Peachey, R. Ashton, T. Smedes, R. Velghe, M. Scholz, J. Barth, W. Stadler, and E. Grund, “Hmm round robin study : What to expect when testing components to the iec 61000-4-2 waveform,” *34rd Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2012.
- [100] J. Laine, A. Salles, P. Besse, and A. Delmas, “Impact of snapback behavior on system level esd performance with single and double stack of bipolar esd structures,” *34rd Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2012.
- [101] S. Isofuku and M. Honda, “System failures due to an induced esd within the system,” *34rd Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2012.

- [102] J. Lee, J.C.and Lim, Z. Seol, B. Li, and D. Pommerenke, "A novel method for esd soft error analysis on integrated circuits using a tem cell," *34rd Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2012.
- [103] P. Tamminen, "System level esd discharges with electrical products," *34rd Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2012.
- [104] R. Mertens, E. Rosenbaum, H. Kunz, A. Salman, and G. Boselli, "A flexible simulation model for system level esd stresses with applications to esd design and troubleshooting," *34rd Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2012.
- [105] M. Scholz, G. Vandersteen, A. Shibkov, S.-H. Chen, D. Linten, S. Thijs, M. Sawada, and G. Groeseneken, "Mixed-mode simulations for power-on esd analysis," *34rd Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2012.
- [106] S. Bertonnaud, C. Duvvury, and A. Jahanzeb, "Iec system level esd challenges and effective protection strategy for usb2 interface," *34rd Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2012.
- [107] A. Gallerano, A. Concannon, M. Johnson, W. Kwong, A. Fish, R. Dahl, J. Imholte, and D. Camp, "A design strategy for 8 kv/contact 15 kv/air gap iec 6100-4-2 robustness without on board suppressors," *34rd Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2012.
- [108] A. Salman, F. Farbiz, A. Concannon, H. Edwards, and G. Boselli, "Mutual ballasting : A novel technique for improved inductive system level iec esd stress performance for automotive applications," *35th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2013.
- [109] A. Srivastava, E. Worley, G. Miao, J. Barth, and J. Richner, "[31]on-chip system level esd protection for class g audio power amplifiers," *35th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2013.
- [110] M. Scholz, S.-H. Chen, G. Hellings, and D. Linten, "[32]impact of the on-chip and off-chip esd protection network on transient-induced latch-up in cmos ic," *35th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2013.
- [111] B. Orr, P. Maheshwari, D. Pommerenke, H. Gossner, and W. Stadler, "A systematic method for determining soft-failure robustness of a subsystem," *35th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2013.
- [112] T. Schwingshackl, B. Orr, J. Willemen, W. Simbürger, H. Gossner, W. Bösch, and D. Pommerenke, "[34]powered system-level conductive tlp probing method for esd/emi hard fail and soft fail threshold evaluation," *35th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2013.

- [113] G. Boselli and J. Brodsky, “The very unusual case of the iec-robust ic with low hbm performance,” *35th Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 2013.

Liste des publications

Contributions à ouvrages (4)

1. M. Baffleur, F. Caignet, N. Nolhier, P. Besse, J-P. Lainé, "Protecting mixed-signal technologies against electrostatic discharges : challenges and protection strategies from component to system", en cours de soumission.
2. J.H. Collet, D. Litaize, F. Caignet, J.M. Sellaye, "Quel avenir pour les interconnexions optiques intra- et interpuces?", publié par S. Vallet sous le titre : "Applications de l'optoelectronique", HERMES, ISBN : 2-7462-0488-6, publié en Sept 2002
3. H. Grabinski, P. Nordholz, "Signal Propagation on Interconnects.", Kluwer Academic Publisher, 2000 – ISBN 0-79237997-7, pp 49-60
4. S. Delmas, M. Kaluza, F. Caignet, E. Sicard, "CMOS chip for biomedical telemetry with HF power supply" ,Proc. SPIE Vol. 2906, p. 109-117, Microrobotics : Components and Applications, Armin Sulzmann ; Ed, 12/1996, ISBN : 0-8194-2308-4,

Publications dans les revues internationales à comité de lecture (14)

1. B. Courivaud, N. Nolhier, G. Ferru, M. Baffleur, F. Caignet, "Reliability of ESD protection devices designed in a 3D technology", Microelectronics Reliability Vol. 54, no. 9-10 Special Issue : SI, pp 2272-2277, SEP-OCT 2014
2. C. Vanhecke, L. Assouere, A. Wang, P. Durand-Estebe, F. Caignet, J.M. Dilhac, M. Baffleur, "Multisource and Battery-free Energy Harvesting Architecture for Aeronautics Applications," Power Electronics, IEEE Transactions on , vol. PP, no.99, pp. 1-1
3. N. Monnereau, F. Caignet, D. Tremouilles et al. "A System-Level Electrostatic-Discharge-Protection Modeling Methodology for Time-Domain Analysis", IEEE Trans. on EMC Vol. 55 no. 1, pp. 45-57, Feb 2013.
4. N. Monnereau, F. Caignet, D. Tremouilles et al. "Building-up of system level ESD modeling : Impact of a decoupling capacitance on ESD propagation", Microelectronics Reliability Vol. 53 no. 2, pp 221-228, Feb 2013 – invited paper.
5. F. Caignet, N. Nolhier, M. Baffleur et al., "On-chip measurement to analyze failure mechanisms of ICs under system level ESD stress", Microelectronics Reliability Vol. 53, Special Issue : SI, pp 1278-1283, Sep-Nov 2013.

6. F. Caignet, N. Nolhier, A. Wang, N. Mauran "20GHz On-Chip Measurement of ESD Waveform for System Level Analysis", EOS/ESD Symposium 2013, Invited paper in Special issue : ESD protection Reliability of MICROELECTRONICS RELIABILITY (Under submission - invited paper).

7. N. Monnereau, F. Caignet, N. Nolhier, et al. "Investigation of Modeling System ESD Failure and Probability Using IBIS ESD Models", , IEEE Trans. on Device and Materials Reliability, Vol. 12, no.4, pp 599-606, Dec 2012.

8. A. Alaeldine, N. Lacrampe, A. Boyer et al. "Comparison among emission and susceptibility reduction techniques for electromagnetic interference in digital integrated circuits", MICROELECTRONICS JOURNAL Vol.39, no. 12, pp 1728-1735, Dec 2008.

9. J.H. Collet, F. Caignet, J.M. Sellaye, D. Litaize, "Performance constraints for onchip optical interconnects", IEEE Journal of Selected Topics in Quantum Electronics, Vol. 9, no. 2, pp : 425 - 432, 2003.

10. F. Caignet, S. Delmas - Ben-Dhia, E. Sicard, "The challenge of Signal Integrity in Deep-Submicron CMOS Technology", invited paper, Proceedings of the IEEE : "Interconnections - Addressing the Next Challenge of IC Technology", pp 556-573, April 2001,

11. F. Caignet, S. Delmas - Ben-Dhia, E. Sicard, "On the Measurement of Crosstalk Noise in Integrated Circuits", IEEE Transactions on VLSI Systems, Vol.8, no. 5, pp 606-610, Oct 2000.

12. S. Delmas - Ben-Dhia, F. Caignet, E. Sicard, "A new method for measuring signal integrity in CMOS Ics", Microelectronic International, Vol. 17, no. 1, pp 17-21, Jan 2000. – Highly Commended Award from the Microelectronics International Journal.

13. S. Delmas - Ben-Dhia, E. Sicard, F. Caignet, "On-Chip sampling in CMOS integrated Circuits", IEEE Trans. On Electromagnetic Compatibility, Vol. 41, N° 4, pp 403-406, Nov 1999.

14. J-Y. Fourniol, M. Roca, F. Caignet, E. Sicard, "Characterisation of crosstalk noise in submicron CMOS integrated circuits : an experimental view." IEEE transactions on Electromagnetic Compatibility, Vol. 40, N°3, pp 271-280, Aug 1998.

Publications dans les revues nationales à comité de lecture (1)

15. S. Delmas - Ben-Dhia, E. Sicard, F. Caignet "Les systèmes de mesure pour circuit intégrés directement sur silicium.", Revue de l'électricité et de l'électronique (REE), pp.18-19, N°2, Mars 1999.

Publications dans les conférences ou colloques internationaux à comité de lecture (28).

1. R. Bèges, F. Caignet, N. Nolhier, M. Baffleur, A. Durier, C. Marot, "Practical Transient System-level ESD Modeling - Environment Contribution", Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD), 36th , Sept. 2014.
2. B. Courivaud, N. Nolhier, M. Baffleur, F. Caignet, G. Ferru, "Novel 3D Back-to-Back Diodes ESD Protection ",Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD), 36th , Sept. 2014.
3. M. Baffleur, F. Caignet, N. Nolhier, D. Trémouilles, "Tackling the challenges of system level ESD : from efficient ICs ESD protection to system level predictive modeling", Taiwan ESD and Reliability Conference (TESDC), Hsinchu (Taiwan), Novembre 2013- invited paper.
4. F. Caignet, N. Nolhier, A. Wang, N. Mauran, "20GHz on-chip measurement of ESD waveform for system level analysis," Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD), 2013 35th , vol., no., pp.1,9, 10-12 Sept. 2013
5. F. Caignet, N. Monnereau, N. Nolhier, M. Baffleur, "Behavioral ESD protection modeling to perform system level ESD efficient design," Electromagnetic Compatibility (APEMC), 2012 Asia-Pacific Symposium on , vol., no., pp.401,404, 21-24 May 2012- invited paper
6. N. Monnereau, F. Caignet, N. Nolhier, D. Tremouilles, M. Baffleur, "Investigating the probability of susceptibility failure within ESD system level consideration," Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD), 2011 33rd , vol., no., pp.1,6, 11-16 Sept. 2011
7. N. Monnereau, F. Caignet, N. Nolhier, D. Tremouilles, M. Baffleur, "Behavioral-modeling methodology to predict Electrostatic-Discharge susceptibility failures at system level : An IBIS improvement," EMC Europe 2011 York , vol., no., pp.457,463, 26-30 Sept. 2011
8. P. Besse, F. Lafon, N. Monnereau, F. Caignet, J.P. Laine, A. Salles, S. Rigour, M. Baffleur, N. Nolhier, D. Tremouilles, "ESD system level characterization and modeling methods applied to a LIN transceiver," Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD), 2011 33rd , vol., no., pp.1,9, 11-16 Sept. 2011
9. N. Monnereau, F. Caignet, D. Trémouilles, "Building-up of system level ESD modeling : Impact of a decoupling capacitance on ESD propagation," Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD), 2010 32nd , vol., no., pp.1,10, 3-8 Oct. 2010
10. S. Giraldo, C. Salamero, F. Caignet, "Impact of the power supply on the ESD system level robustness," Electrical Overstress/ Electrostatic Discharge Symposium (EOS/ESD),

2010 32nd , vol., no., pp.1,8, 3-8 Oct. 2010

11. N. Lacrampe, F. Caignet, M. Baffleur, N. Nolhier, N. Mauran, "Characterization and modeling methodology for IC's ESD susceptibility at system level using VF-TLP tester," 29th Electrical Overstress/Electrostatic Discharge Symposium, 2007. EOS/ESD , vol., no., pp.5B.1-1,5B.1-7, 16-21 Sept. 2007

12. B. Vrignon, N. Lacrampe, F. Caignet, "Investigation of effects of an ESD pulse injected by a near-field probe into an oscillator block of a 16-bit microcontroller", 6th International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo 2007), Torino (Italie), 28-30 Novembre 2007

13. N. Lacrampe, A. Alaeldine, F. Caignet, R. Perdriau, R., "Investigation on ESD Transient Immunity of Integrated Circuits," IEEE International Symposium on Electromagnetic Compatibility, Honolulu (USA), 8-13 July 2007.

14. A. Alaeldine, N. Lacrampe, J. L. Levant, R. Perdriau, M. Ramdani, F. Caignet, M. Baffleur, E. Sicard, "Efficiency of embedded on-chip EMI protections to continuous harmonic and fast transient pulses with respect to substrate injection", Best student paper, IEEE International Symposium on Electromagnetic Compatibility, Honolulu (USA), 8-13 July 2007

15. N. Lacrampe, A. Boyer, N. Nolher, F. Caignet, M. Baffleur, "Original methodology for integrated circuit ESD immunity combining VF-TLP and near field scan testing", 3rd EOS/ESD/EMI Workshop, Toulouse (France), 18-19 Mai 2006

16. F. Caignet, J.H. Collet, F. Sellaye, "Evolution of intrachip interconnects and performance constraints", Conference on VCSELs and Optical Interconnects, Bruges (Belgique), 30 Octobre - 1er Novembre 2002.

17. F. Sellaye, F. Caignet, J.H. Collet, "Comparison of Optical and Electrical Interconnects for Intrachip Communications," Signal Propagation on Interconnects, 6th IEEE Workshop on. Proceedings , vol., no., pp.51,54, 12-15 May 2002

18. E. Sicard, S. Delmas, F. Caignet, C. Cregut, J.G. Ferrante, "Ultra Deep Sub-micron Routing Limitation for Crosstalk Avoidance", 4st IEEE Workshop on Signal Propagation On Interconnects, Travemünde, Germany, May 2001.

19. F. Caignet, S. Delmas - Ben-Dhia, E. Sicard, R. De Smedt, T. Steinecke, J. Ferrante, P. Saintot, "Establishment of Signal Integrity Design Rules for CMOS Ics", 4th European symposium on Electromagnetic compatibility, Bruges, Belgium, September 2000

20. S. Delmas - Ben-Dhia, F. Caignet, E. Sicard, "On-chip Crosstalk Characterization on Deep submicron Buses", Second IEEE International Caracas Conference on Devices, Circuits and Systems (ICCDACS), Mexico, March 2000.

21. F. Caignet, S. Delmas - Ben-Dhia, E. Sicard, "A Microelectronic Test structure for Signal Integrity Characterization in Deep submicron Technology", IEEE International Conference (ICMTS), pp. 67-73, Monterey, March 2000.

22. S. Delmas - Ben-Dhia, E. Sicard, F. Caignet, "A new methodology for characterization of signal propagation within Microsystems", Design of Circuits and Integrated Systems conference (DCIS), Palma, Spain, November 1999.
23. E. Sicard, S. Delmas - Ben-Dhia, F. Caignet, R. De Smedt, T. Steinecke, J.G Ferrante, P. Saintot, "A cooperative research for Exp. Characterization of Signal Integrity in Ics", Proceedings of the IEEE 1999 Int. Symposium on EMC, August 1999.
24. S. Delmas - Ben-Dhia, F. Caignet, E. Sicard "A test-vehicle for characterization of sub-micron transistors and interconnects" Proceedings of the ICCDCS conference, Venezuela, February 1998, pp 69-74
25. E. Sicard, M. Roca, F. Caignet, S. Delmas - Ben-Dhia, J.Y. Fourniols, "Computer aided prediction of crosstalk effects in CMOS integrated circuits", EMC conference, Zurich, March 1997, pp 115-125
26. E. Sicard, M. Roca, F. Caignet, S. Delmas - Ben-Dhia, J.Y. Fourniols, "Prediction and Measurement of Crosstalk Effects in Sub-micron CMOS Integrated Circuits", RADECS'97 Conference, Cannes, September 1997.
27. F. Caignet, E. Sicard, M. Roca, "Effects of the Technology Scale Down on the Crosstalk Noise", PIERS (Progress In Electromagnetics Research Symposium), June 1997, Boston, USA, pp xxx-xxx
28. F. Caignet, A. Ferreira, E. Sicard, "A Mixed Analog and Digital Interface Chip for Low-Cost PC instrumentation", DCIS'96, Barcelona, Spain, 20-22 November 1996.

Publications dans les conférences ou colloques internationaux sans acte (13).

1. R. Beges, F. Caignet, N. Nolhier, "Transient system-level ESD modeling of an automotive voltage regulator", International ESD Workshop (IEW) Villard de Lans (France), Mai 2014.
2. B. Courivaud, N. Nolhier, G. Ferru, M. Baffleur, F. Caignet, "Novel 3D back-to-back diodes ESD protection", International ESD Workshop (IEW) Villard de Lans (France), Mai 2014.
3. D. Trémouilles, N. Monnereau, F. Caignet, M. Baffleur, "Simple ICs-internal-protection models for system level ESD simulation", International Electrostatic Discharge Workshop 2010, Tutzing (Allemagne), 10-13 Mai 2010
4. N. Monnereau, F. Caignet, D. Trémouilles, "Impact of a decoupling capacitance on ESD propagation at system Level : Simulation and Measurement Comparison", International Electrostatic Discharge Workshop 2010, Tutzing (Allemagne), 10-13 Mai 2010
5. F. Caignet, N. Monnereau, N. Nolhier, "Non-invasive system level ESD current measurement using magnetic field probe", International Electrostatic Discharge Workshop 2010,

Tutting (Allemagne), 10-13 Mai 2010

6. N. Lacrampe, F. Caignet, N. Nolhier, M. Baffleur, "VF-TLP based methodology for the prediction of ESD immunity of a PCB", 1st Annual International Electrostatic Discharge Workshop, Lake Tahoe (USA), 14-17 Mai 2007

7. F. Caignet, J.H. Collet, F. Sellaye, "Evolution of intrachip interconnects and performance constraints", Conference on VCSELs and Optical Interconnects, Bruges (Belgique), 30 Octobre - 1er Novembre 2002

8. J.H. Collet, F. Selaye, F. Caignet, D. Litaize, "Challenge and Bottlenecks in Computers : the Role of Optics", 2nd Reunion Espanol de OptoElectronics, Optoel-01, Barcelona, juillet 2001.

9. F. Caignet, S. Delmas - Ben-Dhia, P. Solignac, E. Sicard, "Measurements of Signal Commutation on Deep sub-micron transistors and interconnects", 2nd IEEE workshop on Signal Propagation on Interconnects, May 1998, Travemunde, Allemagne

10. F. Caignet, S. Delmas - Ben-Dhia, E. Sicard, S. Saintot, J.G. Ferrante, "On-Chip Signal Integrity Measurement for Complete Deep Sub-micron Interconnect Characterization", 3rd IEEE Workshop on Signal Propagation on Interconnects, May 1999.

11. F. Caignet, S. Delmas - Ben-Dhia, E. Sicard, "Mesure de l'émission parasite d'un oscillateur haute fréquence en 0.18 μ m", 3rd IEEE Workshop on Signal Propagation on Interconnects, May 1999.

12. S. Delmas - Ben-Dhia, F. Caignet E. Sicard, "Sampling Techniques Applied to the Characterization of Signal Propagation in Sub-Micron technology", 1st IEEE Workshop on Signal Propagation On Interconnects, Travemünde, Germany, May 1997.

13. F. Caignet, E. Sicard, "On the Prediction of Coupling Amplitude in deep submicron VLSI Circuits", 1st IEEE Workshop on Signal Propagation on Interconnect, Travemunde, Germany, May 1997.

Publications dans les conférences sur l'éducation (5)

1. F. Caignet, G. Tribet, "Mise en évidence de l'influence électromagnétique d'un microprocesseur sur une carte PCB", CNFM St malo décembre 2004

2. C. Baron, P. B. Aguerre, F. Caignet, A. Ferreira, J.C. Geffroy, "Circuit Fault detection using industrial CADENCE software", Educational Workshop of Micro-Electronics, pp. 221-224, May 1998

3. F. Caignet, E. Sicard, "Modélisation prédictive des phénomènes parasites dans les interconnexions des systèmes intégrés", Colloque CAO, Villard de Lans, janvier 1997.

4. F. Caignet, A. Ferreira, "Utilisation des Outils CAO dans le cadre de la Réalisation et du Test d'un ASIC Mixte Digital/Analogique", Quatrièmes journées pédagogiques, Outil de Simulation et Outil de Conception, décembre 1996, St Malô.

5. E. Sicard, F. Caignet, "An Educational Project for Microelectronics " Proceedings of the European Workshop, Microelectronics Education. February 1996.

Curriculum vitae

Etat Civil :

Fabrice CAIGNET – 43 ans (né le 14.08.1971) – Marié, trois enfants - Nationalité Française.

Fonction actuelle :

Depuis le 01/02/2001,

- Maître de conférences en électronique (63ème Section) dans l'UFR Physique-Chimie-Automatique de l'Université Paul Sabatier (UPS)
- Chercheur dans le groupe ESE (Energie et Systèmes Embarqués) du thème GE (Gestion de l'Energie). Le groupe ESE développe les axes suivants :
 - Systèmes embarqués autonomes pour les environnements sévères
 - Robustesse et fiabilité des systèmes embarqués (CEM, ESD et transitoires de forte puissance, dégradation électrothermique) Au sein de l'équipe ESE je suis responsable de l'activité robustesse des systèmes face aux agressions transitoires (ESD-EFT), en forte relation avec l'axe CEM.

Parcours Universitaire :

- Sept 1996 – Déc 1999 : Doctorat en électronique à l'Institut National des Sciences Appliquées de Toulouse (INSAT), "Mesure et modélisation prédictive des phénomènes parasites liés aux interconnexions dans les technologies CMOS". Mention très Honorable - Mots clefs : Intégrité de signal, Compatibilité électromagnétique, Conception de circuit intégrés.
- 1995 – 1996 : DEA CCMM (Conception de circuit Micro-électroniques et Microsystèmes), UPS- INSAT
- 1994-1995 : Service Militaire
- 1993-1994 : Maîtrise EEA, Université de Bordeaux I, option Microélectronique et système pour les télécommunications 1992-1993 : Licence EEA, Université de Bordeaux I.

- 1989-1992 ; DEUG A, option Sciences Pour l'Ingénieur (SPI), Université de Bordeaux I.
- 1989 : Baccalauréat option D : Sciences de la nature et de la terre.

Fonctions contractuelles d'enseignement :

Sept 2000-Janv 2001 :

- Attaché Temporaire d'Enseignement et de Recherche (Quotité 100%) en électronique à L'université de Pau et des Pays de l'Adour.

Sept 1999-sept 2000 :

- Attaché Temporaire d'Enseignement et de Recherche (Quotité 50%) en électronique à L'INSAT

Sept 1996-Sept 1999 :

- Vacataire en électronique à L'INSAT à hauteur de 64h eq. TD par an.

Activité de recherche postérieure au Doctorat :

Sept 2001 – Sept 2005 : Groupe Photonique du LAAS-CNRS

- Analyse de l'intégration optique dans les puces silicium. En collaboration avec Jacques Collet, Mon travail fût de déterminer l'intérêt de développer des interconnexions optiques dans les puces électroniques. Les analyses ont porté sur une démarche architecturale des micro-processeurs et sur les évolutions technologiques pour les 10 années à venir (Jusqu'aux environs 2015). Nous avons démontré que malgré les évolutions technologiques, les interconnexions optiques ne seraient pas rentables, et n'apporteraient pas de vrais gains technologiques.
- Participation à l'encadrement de la thèse de Jean-Marie Sellaye : "Comparaison des interconnexions électriques et optoélectroniques au niveau intrapuce", thèse soutenue en Nov 2002 sous la direction de Jacques Collet.
- Participation à ouvrage : "Applications de l'optoélectronique" Auteur(s) : Valette, Serge Lavoisier 2002, ISBN 2-7462-0488-6 : Chapitre "Quel avenir pour les interconnexions intra- et interpuce ?", p223-253.

Sept 2005 – aujourd'hui : Groupe ISGE du LAAS-CNRS

- J'ai intégré le groupe ISGE (Intégration des Systèmes pour la Gestion de l'Energie) pour travailler dans l'équipe ESD – ElectroStatic Discharge (En collaboration avec Marise Baffleur et Nicolas Nollhier). Mes connaissances antérieures en Compatibilité Electromagnétique (CEM) et en intégrité du signal m'ont permis de monter une thématique nouvelle au LAAS : "l'impact des ESD au niveau Système". Cet axe nécessite un fort développement de nouvelles méthodes de caractérisation et de modélisation.

- Publications marquantes du domaine :
 - “A System-Level Electrostatic-Discharge-Protection Modeling Methodology for Time-Domain Analysis”, Monnereau, N. ; Caignet, F. ; Tremouilles, D. ; et al., IEEE Trans. on EMC Volume : 55 Issue : 1 Pages : 45-57, FEB 2013.
 - “Building-up of system level ESD modeling : Impact of a decoupling capacitance on ESD propagation”, Monnereau, N. ; Caignet, F. ; Tremouilles, D. ; et al. MICROELECTRONICS RELIABILITY Volume : 53 Issue : 2 Pages : 221-228, FEB 2013.
 - “On-chip measurement to analyze failure mechanisms of ICs under system level ESD stress”, Caignet, F., Nolhier, N., Baffleur, M., et al., MICROELECTRONICS RELIABILITY Volume : 53 Issue : 9-11 Special Issue : SI Pages : 1278-1283, SEP-NOV 2013.
 - “Investigation of Modeling System ESD Failure and Probability Using IBIS ESD Models”, Monnereau, N. ; Caignet, F. ; Nolhier, N. ; et al., IEEE Trans. on Device and Materials Reliability, Volume : 12 Issue : 4 Pages : 599-606, DEC 2012
 - "ESD system level characterization and modeling methods applied to a LIN transceiver," Besse, P. ; Lafon, F. ; Monnereau, N. ; Caignet, F. ; Laine, J.-P. ; Salles, A ; Rigour, S. ; Baffleur, M. ; Nolhier, N. ; Tremouilles, D., Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD), 2011 33rd , vol., no., pp.1,9, 11-16 Sept. 2011

Encadrement :

- Trois thèses soutenues et une en cours :
 - Nicolas Lacrampe : “Méthodologie de modélisation et de caractérisation de l’immunité des cartes électroniques vis à vis des décharges électrostatiques (ESD)”, Décembre 2008, Thèse DGA, encadrement 70%.
 - Nicolas Monnereau : “Développement d’une méthodologie de caractérisation et de modélisation de l’impact des décharges électrostatiques sur les systèmes électroniques”, Décembre 2011, Financement ANR – projet E-SAFE, encadrement 100%.
 - Sandra Giraldo Torres : “Etude de la robustesse d’amplificateurs embarqués dans des applications portables soumis à des décharges électrostatiques (ESD) au niveau système”, Juillet 2013, Financement CIFRE (On-Semiconductor), encadrement à 80%.
 - Thèse en cours depuis Avril 2014 : Rémi Begès : Méthodologie d’analyse et de prédiction des défauts fonctionnels des circuits intégrés soumis à des agressions électriques transitoires rapides”, financement CIFRE (FREESCALE), encadrement à 90%..

- stages de fin d'études :
 - Guillaume Tribet (2004)
 - Xavier Bignalet (2005)
 - Aging Wang (2009)
 - Matthieu Antibi (2012)
 - Rémi Begès (2013)

Responsabilités, visibilité et faits marquants :

- Projet :
 - 2008-2011 : Porteur du projet ANR VTT : E-SAFE (1,6M€) : “ESD Safe electronics for Automotive applications”. Projet collaboratif entre FREESCALE, VALEO et le LAAS-CNRS. Le projet a pour objet de développer des méthodes de modélisation et de caractérisation des décharges électrostatiques. La robustesse matérielle est essentiellement visée.
 - 2008-2011 : Coordinateur au LAAS du projet NANOSPACE (50K€/an) : “Fiabilité de technologies submicroniques pour les applications spatiales”. financé par le CNES. En collaboration avec l'IMS, l'INSA de Toulouse et le LAAS-CNRS. Point marquant du projet : développement d'une puce en technologie 65nm, et développement d'un capteur on-chip pour la mesure des ESD en fonctionnement.
 - Analyse de l'impact des ESD sur le vieillissement.
 - 2012-2105 : Participation au projet FP7 - AUTOMICS : Partenaires : Université Pierre et Marie Curie, France (Coordinator), Continental Automotive, France, Ecole Polytechnique Fédérale de Lausanne, Suisse, Austriamicrosystems, Austria, STMicroelectronics, Italy, Valeo, France, ADMOS (SME), Germany. Ce projet vise l'analyse des couplages substrat. Dans ce projet, notre activité en collaboration avec l'équipe CEM du LAAS est focalisée sur les couplages substrat de phénomènes perturbatoires (CEM et ESD).
 - 2014-2017 : Porteur du projet ANR EFT-SAFE3A (2,5M€) : “Electrical Fast transient SAFE electronics for Automotive and Aeronautic Applications”. Partenaires : FREESCALE, NEXIO, VALEO, LAAS-CNRS. Ce projet vise l'analyse des transitoires rapides de puissance sur les systèmes, et caractérise tout particulièrement les défaillances logicielles. Dans ce projet qui débute, une forte convergence vers la CEM sera nécessaire pour prédire la perte de fonctionnalité des systèmes soumis à des stress multiples.
- Responsabilités :
 - Membre des comités de standardisation ESDA (groupe international de normalisation des ESD appliqués aux circuits intégrés) (depuis 2008). Participation active avec plus d'une dizaine de présentations.

- Responsable du groupe normatif sur la mise en place de normes de description des circuits intégrés pour la prédiction des ESD au niveau système au sein de l'ESDA (WG14-5) (depuis 2012). Suite aux résultats obtenus par la méthodologie de caractérisation et de modélisation que j'ai développée, j'ai été nommé "leader" d'un groupe de discussion pour le développement d'une nouvelle norme de description des circuits intégrés pour la prédiction de l'impact des ESD au niveau système. Un premier document a été rédigé par mes soins et est en cours d'évaluation. Une première version de la norme est attendue pour fin 2015 pour répondre aux premières contraintes de robustesse matérielle. Dans le futur, des ajouts à cette norme permettront de faire des prédictions fonctionnelles.
- Animateur du DAS ESE (Energie pour le Systèmes Embarqués) au Pole Aérospace Valey depuis Avril 2014. Mon expertise dans les domaines de la fiabilité : CEM et EFT, ainsi que mon travail au sein de l'équipe ESE du LAAS ont suscité l'intérêt du pole Aerospace-Valey pour animer ce DAS. Mon rôle est de créer une émulation autour de l'axe fiabilité et CEM des systèmes de puissance pour aéronautique.
- Evaluation des appels à projet IWT (Agency of Innovation and Technology - Flandres Belgique) Appels à projet relevant d'une expertise EMC/ESD.
- Reviewer IEEE trans on EMC (une à deux revues par an).
- Reviewer Microelectronics Reliability (une par an).
- Comité d'évaluation de conférence EOS/ESD (depuis 2011).
- Comité d'évaluation conférence ICECS 2014.
- Comité d'évaluation du Workshop IEW (2012, 2015)
- Comité d'organisation de Conférence EOS/ESD 2015
- Comité d'organisation de Conférence ESREF 2015
- Animation scientifique.
 - Animateur de cours et formation sur les ESD au niveau système (ANADEF), organisation de groupe de discussions dans les conférences IEW et EOS/ESD :
 - Marise Baffleur, Fabrice Caignet, Nicolas Nohier, "Tackling the challenges of Human Metal Model : from efficient ICs ESD protection to system level predictive modeling", Taiwan ESD and Reliability Conference, Hsinchu, Taiwan, Nov. 4-6, 2013. Séminaire invité.
 - Organisateur du workshop "A2 : IBIS for system level ESD" - pendant la conférence EOS/ESD 2014 – Tucson. Animateurs invités : P. Besse (FREESCALE), J. Dennihoo (PRAGMA Design), R. Myoung (Ansys)
 - Animateur du workshop "A3 : System-Level ESD Protection – On-Chip or On-Board?" pendant la conférence EOS/ESD 2013, Organisateur N. Peachey (RF-Microdevice) en collaboration avec H. Gostner (Intel mobilphone).

- Animateur de la formation : “Trouvez des solutions pour réussir dans toutes les phases de vos projets en CEM, Foudre et ESD” organisé par la société NEXIO au LAAS-CNRS, Oct 2014 : séminaire : “Prédiction de l’impact des transitoires rapides sur les systèmes”.
- 14^{ème} Atelier ANADEF, du 3 juin au 6 juin 2014 : Tutorial 4 : “ESD/EMC”, F. Caignet, S. Bendhia.
- Organisation du workshop ESD-SAFE, 8 dec. 2011, 5 papiers invités et une demie journée de discussion sur le thème de l’impact des ESD sur les systèmes– 35 participants Français.
- Formation ESD système au CEA de Paris organisé par l’ANADEF – 80 participants : “Méthodologie de Caractérisation et de simulation des ESD au niveau système”– Oct 2012

Activité d’enseignement :

- Domaine d’expertise et enseignements montés :
 - CEM/ESD : intervention dans de nombreuses formations universitaires, niveau M1 et M2, dans un grand nombre de filières : M1 ESET, M1 SMI, M1 DIM, M2 ESET et M1 CESI. Mise en place de TP de simulation CEM sous SPICE. Développement d’une carte de manipulation CEM (F.CAIGNET, G.TRIBET, "Mise en évidence de l’influence électromagnétique d’un microprocesseur sur une carte PCB", CNFM St Malo décembre 2004).
 - Conception de systèmes numériques : développement d’enseignement de VHDL, développement de microprocesseurs simples en VHDL (16h TP en M1), développement de systèmes temps-réels sur FPGA pour l’acquisition vidéo et le traitement d’images, introduction au partitionnement “Hardware/software”, (45hTP, M2). Mise en place d’un partenariat avec Altera permettant de mettre à disposition des étudiants des cartes de développement DENano
 - Conception de systèmes numériques pour les télécommunications (développement d’un émetteur récepteur GSM), 36hTP M1.
 - Enseignement d’électronique numérique : Les bases : de l’algèbre de Boole à l’électronique séquentiel – Développement de TP réalisés en L3.
- Responsabilité de modules de formation :
 - Mastère 2 ESET - TC3 : Fiabilité des CI et des systèmes embarqués, 34h étudiant. Participation de trois intervenants industriels :CNES (fiabilité), EADS (CEM).
 - Mastère 2 ESET - SP1 : Conception de systèmes sur puce (SoC), 96h étudiant.
 - Mastère 1 ESET - E04M : Outils et langages de conception évolués (VHDL), 28h étudiant.
- Enseignements dispensés :

- Electronique numérique – L3 Physique et Application : 12hC, 12hTD, 30 TP – Les bases de L'électronique numérique : Codage, Algèbre de Boole, électronique combinatoire, électronique séquentielle, convertisseurs numérique/analogique.
- Electronique Numérique – L3 STRI : 8hTD – Base de l'électronique Numérique.
- Electronique Analogique – L3 SMI 10hC, 8hTD : Filtrage
- CAO des circuits numériques – M1 ESET : 6hC, 4hTD, 16hTP : Introduction à la conception de circuits CMOS (Layout). Mise en place des TP sous SPICE ; mesures des caractéristiques électriques des portes, et conception "Layout" sous "MicroWind".
- Outils et langages évolués pour la conception numérique : VHDL – M1 ESET - 16hC, 16hTD, 16hTP : Développement de TP autour de la conception d'un Microprocesseur 4bits : Développement en VDHL des blocs et assemblage complet jusqu'à la réalisation d'un code machine simple.
- Systèmes numériques pour les télécommunications : 36hTP : Développement de TP combinant un FPGA avec un microprocesseur embarqué et les modules haute fréquence pour la modulation et démodulation QPSK. Système identique au système GSM.
- Conception de système sur puce (SoC) – M2 AISEM : 4hC, 12h TP - Base du partitionnement logiciel matériel (Hardware- software : HW/SW). Mise en place de C et TP : Développement sur FPGA pour le contrôle d'un robot roulant.
- Conception de système sur puce (SoC) – M2 ESET : 36hC, 10h TD, 40hTP : Développement de TP d'acquisition vidéo et de traitement d'image à base de FPGA. Notion de partitionnement HW/SW, développement de blocs en VHDL, Assemblage d'un système complet pour l'acquisition vidéo, et programmation en C. -

Publications les plus significatives