Effets d'antenne sur transistors FDSOI à film ultra mince issus de technologies 28nm et en deçà

Madjid Akbal

▶ **To cite this version:**

Madjid Akbal. Effets d'antenne sur transistors FDSOI à film ultra mince issus de technologies 28nm et en deçà. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes, 2016. Français. NNT : 2016GREAT012 . tel-01292746

HAL Id: tel-01292746

https://theses.hal.science/tel-01292746

Submitted on 23 Mar 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Communauté
UNIVERSITÉ Grenoble Alpes

THÈSE

Pour obtenir le grade de

DOCTEUR DE LA COMMUNAUTÉ UNIVERSITÉ GRENOBLE ALPES

Spécialité : **Nano Electronique et Nano Technologies**

Arrêté ministériel : 7 août 2006

Présentée par

Madjid AKBAL

Thèse dirigée par **Laurent VALLIER** et
codirigée par **Guillaume RIBES**

préparée au sein du **Laboratoire des technologies de la Microélectronique (LTM) et STMicroelectronics, Crolles.**
dans **l'École Doctorale Electronique, Electrotechnique et automatique et traitement du signal (EEATS).**

Effets d'antenne sur transistors FDSOI à film ultra mince issus de technologies 28nm et en deçà.

Thèse soutenue publiquement le **22 janvier 2016**,
devant le jury composé de :

Mr Gérard GHIBAUDO
Directeur de recherche IMEP-LAHC, Président
Mr Alain BRAVAIX
Professeur Université de Toulon, Rapporteur
Mme Nathalie LABAT
Professeur Université Bordeaux 1, Rapporteur
Mr Antoine GOULLET
Professeur Polytech' Nantes, Membre
Mr Laurent Vallier
Ingénieur de recherche LTM/CNRS, Membre
Mr Guillaume RIBES
Ingénieur STMicroelectronics, Membre
Mr Michel HAOND
Ingénieur STMicroelectronics, Membre
Mr Xavier FEDERSPIEL
Ingénieur STMicroelectronics, Membre

REMERCIEMENTS

Même si l'on est seul dans les ultimes moments, Il est important de préciser qu'une thèse est le travail de plusieurs personnes et plus particulièrement lorsque celle-ci est réalisée en milieu industriel comme ce fut mon cas. En effet, cette thèse CIFRE faisait l'objet d'une collaboration entre la société STMicroelectronics (site de Crolles où j'ai passé la majeure partie de mon temps) et le laboratoire LTM de Grenoble. Ainsi, je tiens à remercier toutes les personnes qui ont participé de près ou de loin à ce travail et sans qui ce manuscrit n'aurait jamais pu être écrit. Je vais essayer de n'oublier personne, mais ce n'est pas une tâche aisée tant les interactions ont été nombreuses.

Pour commencer, je tiens à remercier madame **Nathalie LABAT** (Professeur Université Bordeaux 1) et messieurs **Alain BRAVAIX** (Professeur Université de Toulon), **Gérard GHIBAUDO** (Directeur de recherche IMEP-LAHC) et **Antoine GOULLET** (Professeur Polytech' Nantes) de m'avoir fait le grand honneur d'accepter de faire partie du jury lors de ma soutenance.

Je tiens aussi à remercier monsieur **Laurent VALLIER**, ingénieur de recherche LTM/CNRS, pour avoir encadré ce travail. J'ai toujours pu compter sur ses grandes compétences et ses conseils avisés. Je le remercie pour sa confiance et la totale liberté dont j'ai pu bénéficier.

Egalement présent dans mon jury, **Xavier FEDERSPIEL**, ingénieur chez STMicroelectronics. Xavier un grand merci de m'avoir pris sous ton aile à mon arrivée dans le laboratoire de caractérisation électrique, tes nombreux conseils et ton incroyable disponibilité malgré ton programme plus que chargé. J'en profite par la même occasion pour remercier chaleureusement **Mustafa RAFIK**, ingénieur chez STMicroelectronics, qui me supporte depuis le début. Mouss, je ne sais pas comment te remercier, alors juste merci.

Mes remerciements vont aussi à **Michel HAOND**, présent dans mon jury et responsable de l'équipe 14FDSOI. Je te remercie de m'avoir accueilli dans ton équipe, pour

ta confiance, tes nombreux conseils et ton soutien en toutes circonstances durant ces trois années.

Egalement présent dans mon jury, **Guillaume RIBES**, ingénieur chez STMicroelectronics, qui a été mon encadrant industriel. Guillaume, ce fut un réel plaisir de travailler avec toi, je te remercie vivement pour ces trois ans. Toujours disponible pour me guider, répondre à mes questions, discuter des résultats, relire et corriger mes différents articles mais surtout ce manuscrit. Tu as également toujours trouvé les mots pour me motiver lorsque c'était nécessaire. Je pense que le bon déroulement d'une thèse est lié au rapport doctorant/encadrant et pour cela tu as ma plus grande reconnaissance.

Je tiens également à remercier chaleureusement mes collèges des équipes 28nm et 14nm FDSOI pour l'excellente ambiance, et qui ont fait de cette thèse une superbe expérience. Je pense notamment (dans un ordre quasi-aléatoire) à Pierre et Emmanuel .R, Olivier .W, Emmanuel .PP, Sonarith, Nils et Remy, Nelly , Claire, Elise, Sylvie, Dominique, Emmanuel .J, Emmanuel .P, Philippe, Gregory, Simon, Olivier .C, Andres, mais également à Jean Pierre Carrère et Thierry POIROUX qui ne font pas partie de l'équipe, mais qui m'ont toujours soutenu. Un grand merci à vous tous. Ce fut un réel et grand plaisir pour moi de travailler et de vous côtoyer au quotidien.

Je réserve ces dernières lignes pour ma famille, notamment mes parents et mes deux petites sœurs ainsi qu'à ma copine pour leur présence, leur soutien et leur amour. J'ai beaucoup de chance de vous avoir dans ma vie.

Sommaire

REMERCIEMENTS 1
SOMMAIRE 3
INTRODUCTION GENERALE 7
CHAPITRE 1 : GENERALITES SUR LES PLASMAS ET CONDUCTION A TRAVERS L'OXYDE DE GRILLE 13
I-A Introduction au plasma 14
I.A.1 Définition d'un plasma : 14
I.A.2 Plasmas utilisés en microélectronique : 14
I.A.3 Paramètres de classification des plasmas : 15
I.A.4 Les différents types de réacteur plasma: 16
I.A.4.1 Les réacteurs à couplage capacitif (CCP) : 16
I.A.4.2 Les réacteurs haute densité (HDP) : 17
I.A.5 Application aux procédés industriels : 18
I.A.5.1 Pulvérisation cathodique : 18
I.A.5.2 Gravure physico-chimique : 19
I-B Capacité MOS et conduction à travers l'oxyde de grille 20
I.B.1 Le transistor MOSFET idéal (principe de fonctionnement) : 20
I.B.2 La capacité MOS: 20
I.B.2.1 Les régimes de fonctionnement : 21
I.B.3 Phénomènes de conductions à travers l'oxyde de grille: 24
I.B.3.1 Injection tunnel direct : 25
I.B.3.2 Injection Fowler-Nordheim : 25
I.B.4 Fiabilité de l'oxyde de grille: 26
I.B.4.1 Défauts dans l'oxyde : 26
I.B.4.2 Mécanismes de dégradation : 27
I.B.4.2-a Stress BTI (Bias Temperature Instability) : 27
I.B.4.2-b Stress HCI (hot carrier injection) : 29
I.B.4.3 Manifestations de la dégradation de l'oxyde de grille: 30
I.B.4.3-a Dérive de la tension de seuil : 30
I.B.4.3-b Augmentation de la fuite de grille : 31
I.B.4.3-c Le claquage : 31
I-C Introduction à la technologie FDSOI 32
I.C.1 Le substrat SOI: 33
I.C.2 Le transistor FDSOI: 34
Conclusion du chapitre 1 35
Table des figures 37
Table des références 38
CHAPITRE 2 : DEGRADATIONS INDUITES PAR LES PROCEDES PLASMA ET TECHNIQUES EXPERIMENTALES DE CARACTERISATION 42
II.A Les différents types de dégradations induits par l'exposition aux procédés plasma 43

II.A.1 Les rayonnements UV : 43
II.A.2 Défauts causés par le bombardement ionique : 46
II.A.3 Contamination : 46
II.A.4 Les effets d'antenne : 47
II.A.4.1 Equilibre électrique plasma-plaque : 48
II.A.4.1-a La gaine électrostatique : 48
II.A.4.1-b Caractéristiques courant-tension du plasma : 50
II.A.4.2 Source de déséquilibre en courant: 53
II.A.4.2-a La non-uniformité du plasma: 53
II.A.4.2-b Effets topographiques : 55
II.B Techniques de caractérisation des effets d'antenne 57
II.B.1 Caractérisation des procédés plasma : 58
II.B.1.1 Méthode Quantox: 58
II.B.1.2 Plaque Charging utilisant des structures flash: 59
II.B.2 Caractérisation des dégradations sur un transistor MOS: 61
II.B.2.1 Structures de test: 61
II.B.2.1-a Structures de test destinées à l'étude des effets topographiques: 64
II.B.2.1-b Structures de caractérisation de l'uniformité du plasma: 65
II.B.2.1-c Structure de référence protégée par diode: 65
II.B.2.2 Evaluation des dégradations: 66
II.B.2.2-a Impact sur les performances des composants : 66
II.B.2.2-b Impact sur la fiabilité des composants : 68
Conclusions du chapitre 2 73
Table des figures 76
Table des références 78
CHAPITRE 3 : COMPREHENSION DE L'INTERACTION PLASMA-ANTENNES EN FDSOI . 82
III.A Ecoulement des charges : différences de comportement entre un transistor sur substrat Si massif et sur substrat SOI 83
III.A.1 Ecoulement de charges en FDSOI : 85
III.A.1.1 Présentation de l'étude : 85
III.A.1.2 Présentation des résultats et interprétation : 88
III.A.1.2-a Résultats obtenus à partir des mesures de tensions de claquage : 88
III.A.1.2-b Résultats obtenus à partir des mesures de tensions de seuil : 93
III.A.1.3 Conclusion : 101
III.B Etude des dégradations induites par une non-uniformité du plasma dans les technologies FDSOI 102
III.B.1 Présentation de l'étude : 102
III.B.2 Présentation des résultats : 105
III.B.3 Discussion: 106
III.B.4 Conclusion: 113
III.C Etude des dégradations induites par les effets topographiques dans les technologies FDSOI 114
III.C.1 Présentation de l'étude : 114
III.C.2 Présentation des résultats et interprétation : 117
III.C.3 Conclusion sur les effets topographiques: 123
Conclusion du chapitre 3 124
Table des figures 126
Table des références 129

CHAPITRE 4 : MODELISATION DES EFFETS D'ANTENNES EN FDSOI ET SOLUTIONS POUR REDUIRE LES DEGRADATIONS 133
IV.A Modélisation des dégradations induites par les effets d'antennes 134
IV.A.1 Principe et formulation : 135
IV.A.2 Calibration du modèle et évaluation des dégradations: 140
IV.A.2.1 Modélisation du claquage de l'oxyde de grille: 140
IV.A.2.2 Modélisation de la dérive de la tension de seuil: 147
IV.A.3 Conclusion: 158
IV.B Réduction des dégradations par effets d'antenne 159
IV.B.1 Optimisation des procédés plasma : 159
IV.B.1.1 Effets topographiques: 159
IV.B.1.2 Non-uniformité du plasma: 162
IV.B.2 Optimisation des règles de dessin pour la conception des circuits : 168
Conclusion du chapitre 4 173
Table des figures 175
Table des références 177
CONCLUSION GENERALE 179
PUBLICATIONS ET CONFERENCES 184

INTRODUCTION GENERALE

Le développement de l'industrie de la microélectronique ces dernières années est véritablement spectaculaire. Omniprésente dans notre vie de tous les jours (transport, communication, médical et autres …), elle améliore sans cesse notre quotidien.

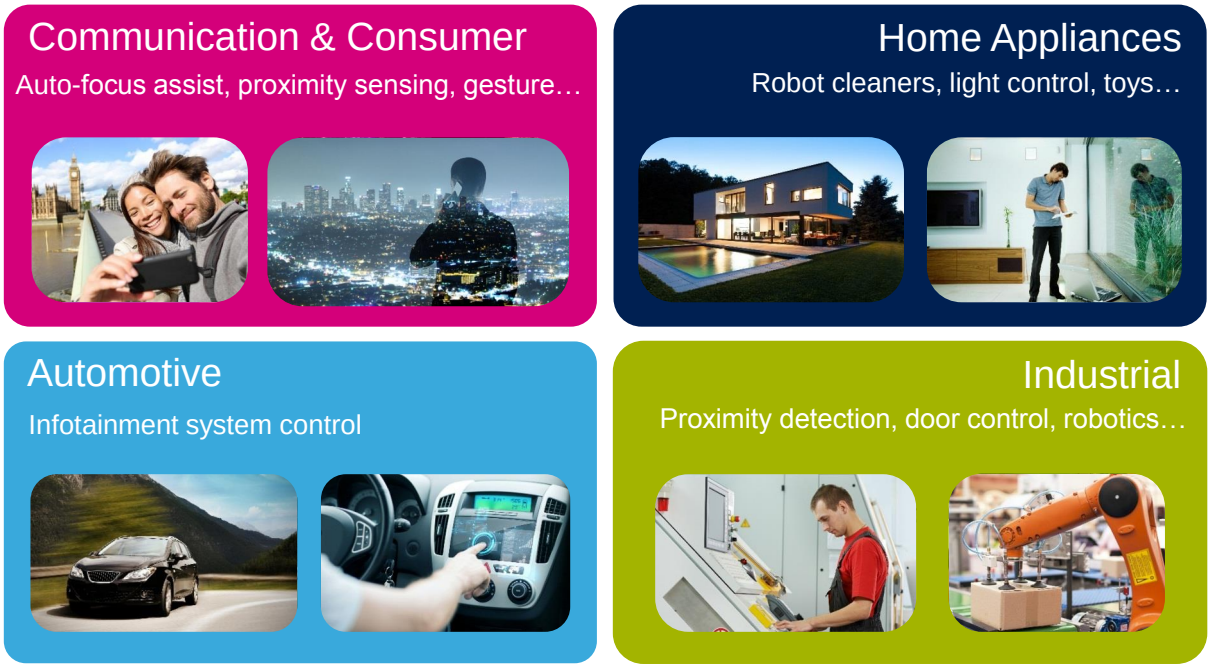


Figure.1 : la microélectronique dans la vie de tous les jours.

Ce succès vient en partie de la miniaturisation des composants, mais aussi de la réduction des coûts de fabrication grâce à un savoir-faire et une maîtrise technologique de plus en plus poussée de l'élément fondamental qui est le silicium. L'élément sur lequel tout repose est le transistor MOS (Metal Oxide Semiconductor) à effet de champ. Ce dernier se trouve au cœur de toutes ces avancées technologiques. En effet, le succès de cette brique élémentaire fait que la technologie CMOS représente près de 90% du marché des semiconducteurs.

L'amélioration des performances et de la densité d'intégration des composants MOS de nouvelle génération a permis au fil des années une augmentation de la complexité des circuits intégrés (Figure.2). En effet, les transistors sont miniaturisés à chaque nœud technologique suivant la loi de Moore, qui prévoit une augmentation d'un facteur 2 de la

densité des circuits, et donc d'un facteur $1/\sqrt{2}$ des dimensions des transistors entre deux générations.

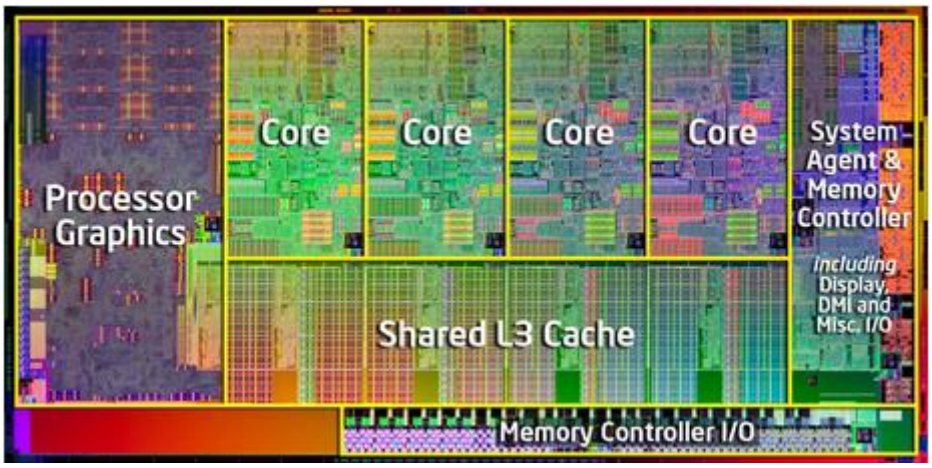


Figure.2 : Complexité d'un processeur Intel® Core I7.

Par ailleurs, cette course vers la miniaturisation a mené le monde de la microélectronique vers de nouveaux défis technologiques, et a des répercussions directes sur les procédés de conception des circuits. En effet, cette diminution de la taille critique des motifs a imposé certains choix technologiques. Ainsi, si les lignes d'interconnexions étaient gravées initialement suivant des procédés chimiques, cette technique a été très rapidement abandonnée, dû notamment à son manque d'anisotropie. Les procédés plasma se sont par la suite très rapidement imposés comme principale alternative. En effet, ils permettent une meilleure anisotropie ainsi qu'une bonne sélectivité avec le matériau formant la couche d'arrêt lors d'une étape de gravure. Par ailleurs, les procédés classiques de dépôt de couches de diélectrique en phase vapeur (dit CVD) en four ont été également très vite supplantés par les procédés assistés par plasma, qui offre la possibilité de remplir des trous de facteur de forme élevé, et de réduire la température de dépôt de façon qu'elle soit compatible avec les matériaux utilisés.

Aujourd'hui, les procédés utilisant des plasmas sont largement utilisés dans l'industrie de la microélectronique. Cela dit, l'utilisation de ce type de procédé ne va pas sans inconvénient. En effet, les plasmas sont des milieux constitués d'atomes, mais aussi de particules électriquement chargées : ions et électrons. Lors de la génération d'un plasma, ces particules sont accélérées parallèlement au champ électrique, provoquant ainsi l'apparition de courants électriques. Ces courants peuvent ainsi par la suite être collectés durant les étapes plasma de l'élaboration des interconnexions au niveau des nœuds du transistor MOS. La

densité de courant peut être amplifiée par un effet d'antenne, équivalent au rapport entre la surface de connexion exposée au plasma et la surface active du transistor.

L'accumulation de charges au niveau des interconnexions crée ainsi un champ électrique entre les nœuds du transistor qui peut induire la dégradation de l'oxyde de grille. Ce phénomène appelé ***effet d'antenne*** ou ***charging,*** est considéré comme le principal responsable des dégradations sur transistor MOS provoquées par procédés plasma. De plus, le nombre de niveaux d'interconnexions, qui augmente au fil des générations (10 niveaux pour la technologie 28nm FDSOI, voir Figure.3), ainsi que la standardisation des procédés plasma, font que ce phénomène de dégradation prend de plus en plus d'importance, et est devenu un des principaux responsables de la dégradation de l'oxyde de grille au cours de la fabrication d'un transistor MOS.

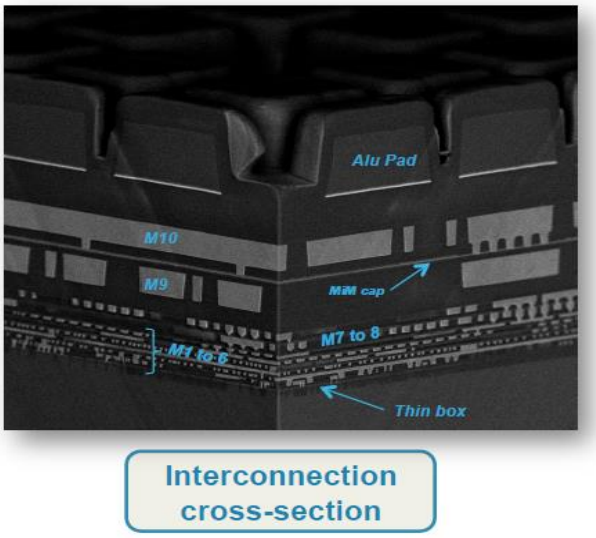


Figure.3 : Coupe des 10 niveaux d'interconnexions de la technologie 28nmFDSOI.

Pour remédier à cette problématique, on peut limiter les surfaces d'antenne lors de la conception des circuits grâce à l'utilisation de diodes de protection [Krishnan98]. Cela dit, cette solution induit aussi des inconvenants, notamment la perte en densité des circuits. En effet, l'utilisation de diodes de protection nécessite une surface importante de silicium, ce qui ne va pas dans le sens de l'intégration. Pire, la perte en densité peut même mener à une augmentation des coûts des circuits.

Ainsi, depuis l'introduction des procédés plasma, les effets d'antenne sont devenus un problème industriel majeur en microélectronique. Afin d'y remédier, de nombreuses études sur les mécanismes de dégradation ont permis une réelle progression sur la compréhension

des origines du phénomène [Eriguchi97][Cheung07]. Cela dit, le phénomène reste encore complexe, dû notamment à la diversité et la complexité des différents procédés plasmas utilisés lors de la conception d'un circuit. Bien que de réels progrès aient été accomplis sur la compréhension du comportement du phénomène dans les technologies standard sur substrat massif, le comportement des mécanismes à l'origine des dégradations reste très peu étudié dans les technologies sur substrat SOI, et plus particulièrement dans le cas de la technologie SOI avec canal complètement déplété, notée **FDSOI** où presque aucune étude n'existe.

Dans ce travail, nous proposons une étude sur les effets d'antenne intervenant dans les procédés plasmas utilisés par STMicroelectronics au centre de Crolles pour la fabrication des circuits CMOS de technologie 14nm et 28nm FDSOI. Nous investiguerons le comportement des mécanismes de dégradation par effets d'antenne dans cette nouvelle technologie de composants, ainsi que leurs impacts sur la fiabilité de l'oxyde de grille.

Pour ce faire nous avons mis au point de nouvelles techniques de caractérisation, basées notamment sur de nouvelles architectures de structures de test. Ces dernières nous ont permis de mettre en évidence un mode d'écoulement des charges durant les étapes plasmas spécifique au FDSOI, avec pour conséquence, de nouveaux modes de dégradation de l'oxyde de grille. Nous nous sommes attachés par la suite à modéliser le comportement de ce phénomène en tenant compte des paramètres plasma ainsi que des caractéristiques de chaque structure d'antenne. Enfin, cette compréhension du comportement du phénomène dans les technologies FDSOI nous a permis de mettre en place des solutions efficaces de façon à réduire l'amplitude des dégradations dans les circuits CMOS.

Dans ce manuscrit, nous proposons un plan comprenant quatre chapitres:

Le premier chapitre est consacré à une revue de l'état de l'art concernant à la fois les plasmas et le transistor MOS. Nous présentons d'abord les principales propriétés des plasmas dits « froids », utilisés en microélectronique. Après une rapide revue des différents régimes de fonctionnement d'une capacité MOS, nous évoquerons les phénomènes d'injections de porteurs à travers l'oxyde de grille, ainsi que les phénomènes de dégradations de l'oxyde de grille. Nous finirons par une introduction au transistor FDSOI.

Le second chapitre sera consacré aux caractéristiques électriques du plasma ainsi qu'aux dégradations induites par ce dernier. Nous commencerons par définir tous les types de

dégradations générés durant les procédés plasmas (autres que les effets d'antenne), puis nous introduirons les mécanismes de dégradations par effets d'antenne. Nous finirons par une présentation du protocole expérimental décrivant les dispositifs de caractérisation utilisés, les techniques de mesures des tensions d'antenne, enfin par la caractérisation de la dégradation d'oxyde de grille.

Dans le troisième chapitre nous étudierons le comportement des effets d'antenne dans les technologies FDSOI. Nous mettrons en évidence de nouveaux modes d'écoulement des charges durant les étapes plasma, spécifiques à cette technologie. Puis, à partir de nos résultats expérimentaux, nous discuterons des différences de comportement des mécanismes présentés dans la littérature (non-uniformité du plasma, effets topographiques) entre un transistor de technologie standard et en technologie FDSOI. Ces différences de comportement induisent de nouveaux modes de dégradation de l'oxyde de grille que nous investiguerons.

Enfin, dans le dernier chapitre, nous nous attacherons à modéliser le comportement de ce phénomène de dégradation dans les technologies FDSOI. Nous commencerons par présenter le principe de fonctionnement et d'utilisation du modèle, dont nous validerons les prédictions par des résultats expérimentaux. La suite du chapitre sera consacrée à la réduction des dégradations, que ce soit par l'optimisation des procédés plasma, ou par des solutions préventives lors de la conception des circuits. Dans cette optique nous effectuerons des simulations à partir du modèle afin d'identifier les principaux paramètres qui régissent l'amplitude des tensions d'antenne lors des étapes plasma.

Chapitre 1 : Généralités sur les plasmas et conduction à travers l'oxyde de grille

Ce premier chapitre portant sur les généralités a pour objectif de présenter les plasmas, notamment les plasmas utilisés en microélectronique ainsi que de définir le transistor MOSFET (Métal-Oxyde-Semiconducteur) : modes de fonctionnement et fiabilité.

Tout d'abord, nous commencerons par définir brièvement le plasma, puis nous aborderons les plasmas utilisés en microélectronique. Nous donnerons différentes caractéristiques permettant de les classifier et de les situer par rapport aux autres types de plasmas, notamment ceux présents dans la nature. Apres cette présentation, nous définirons les différents réacteurs de plasma et nous décrirons comment l'industrie de la microélectronique tire profit des caractéristiques des plasmas froids.

Ensuite, nous aborderons le transistor MOSFET. Dans un premier temps nous décrirons les différents régimes de polarisation de la capacité MOS ainsi que les phénomènes de conduction à travers l'oxyde de grille. Puis nous nous intéresserons à la fiabilité de l'oxyde de grille, qui sera analysée sur trois points : défauts dans l'oxyde, mécanismes de dégradation et manifestation des dégradations.

Enfin nous définirons le transistor FDSOI. En effet, dans ce travail nous étudierons le comportement des effets d'antenne uniquement dans cette technologie. Nous commencerons par définir le substrat SOI puis nous détaillerons les principaux avantages qu'offre ce transistor comparé au dispositif standard sur substrat massif.

I-A Introduction au plasma

I.A.1 Définition d'un plasma :

L'état de plasma est le plus répandu dans l'univers: c'est celui des étoiles par exemple. Il est aussi défini comme le quatrième état de la matière. En effet, toute matière subissant une augmentation régulière de la température va passer successivement de l'état solide à l'état liquide puis à l'état gazeux et enfin elle se transforme en plasma.

Le plasma peut être aussi défini comme un gaz globalement neutre constitué de particules chargées en mouvement. Usuellement, un gaz pur est considéré comme isolant car il ne contient aucune particule chargée (électron ou ion). Cependant, ces particules peuvent apparaitre dans le cas où l'on soumet le gaz à un champ électrique ou un champ magnétique important ou si on le bombarde de particules. Ce type de plasma dit plasma « froid » se caractérise par un fort taux d'atomes ionisés et un équilibre thermique entre ions, électrons et atomes, qui ont donc tous la même température : on le qualifie de plasma en équilibre thermodynamique. Les plasmas utiles pour la micro-électronique sont d'un type différent, ils sont faiblement ionisés, et sont hors équilibre thermique.

I.A.2 Plasmas utilisés en microélectronique :

Ce type de plasmas dits plasmas « hors équilibre » sont créés lorsqu'un gaz à basse pression est soumis dans un réacteur à une excitation électromagnétique. Dans ce cas les électrons libres du gaz sont accélérés et acquièrent une énergie cinétique assez importante pour ioniser un atome lors d'une collision. Ainsi, un électron secondaire est alors généré, qui à son tour pourra ioniser un nouvel atome. Cette réaction en avalanche entraine le « claquage » du gaz qui se transforme en plasma. Ces plasmas sont faiblement ionisés, leur coefficient d'ionisation noté α est très faible (α <<1). α étant définit comme suit :

$$\alpha = \frac{ni}{ni + ng} \qquad \textit{équation I-1}$$

Avec ni la densité des ions et ng la densité des neutres.

Ces types de plasmas sont aussi en situation de non-équilibre, c'est-à-dire que différentes populations avec différentes énergies cohabitent dans le même espace dû au fait que très peu d'énergie est transférée lors d'une collision entre un atome et un électron comme on peut le constater grâce à l'équation I-2 qui permet de définir l'efficacité de transfert énergétique lors d'un choc élastique entre deux particules de masse m_1 et m_2.

$$\Gamma = \frac{2 m_1 m_2}{(m_1 + m_2)^2} \qquad \textit{équation I-2}$$

Donc dans le cas d'une collision entre un électron et un atome de masse me et M respectivement et sachant que me<<M l'équation précédente donne : $\Gamma = 2m_e / M \approx 3.10^{-5}$ dans le cas d'un plasma d'argon par exemple. Seulement un très faible niveau d'énergie est transféré lors du choc. Il n'y a donc pas d'équilibre thermique entre les atomes et les électrons. Ainsi, les plasmas générés par excitation électromagnétique sont constitués de molécules neutres, d'ions peu énergétiques et d'électrons beaucoup plus énergétiques.

I.A.3 Paramètres de classification des plasmas :

Il existe plusieurs types de plasma et ils peuvent être classifiés en fonction de la température, qui peut être exprimée en Kelvin (K) ou en électron volt (eV) et la densité de charges exprimée en (cm^{-3}) comme l'indique la figure ci-dessous [Tradiveau].

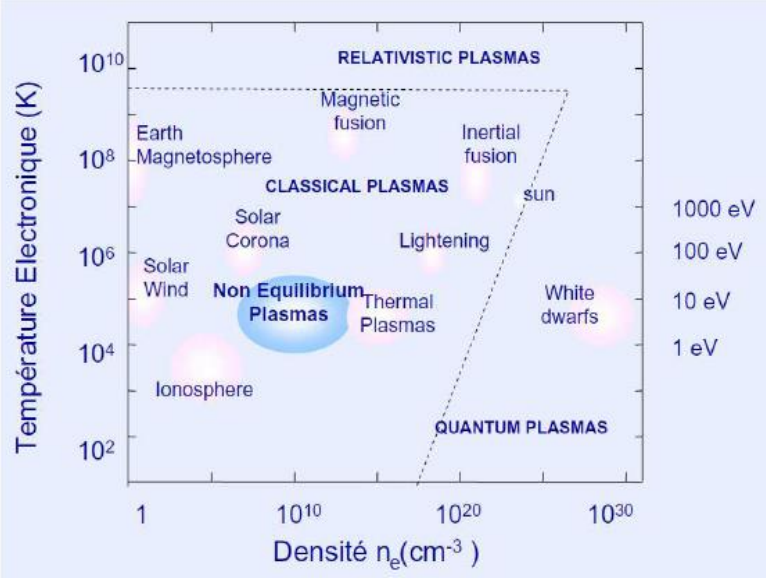


Figure I-1: Classification des plasmas en fonction de la température et de la densité

Nous avons vu que dans les plasmas hors équilibre « plasmas utilisés en microélectronique » les électrons sont beaucoup plus énergétiques que les ions et les atomes neutres. Typiquement, la température des électrons T_e est de l'ordre de 35000 K soit 3 eV alors que la température des ions et des neutres est de l'ordre de 300 K. Concernant la densité de charges électriques, positives et négatives, en part égale, notée « n » elle varie de 10^8 à 10^{12} cm^{-3} en fonction du type de réacteur utilisé.

I.A.4 Les différents types de réacteur plasma:

Apres avoir défini les divers types de plasma existant, il est maintenant intéressant d'étudier les différents réacteurs permettant de générer les plasmas hors équilibre utilisés en microélectronique. Il existe deux familles de réacteurs : les réacteurs à couplage capacitif (CCP : capacitively coupled plasma reactor) et les réacteurs haute densité (HDP : high density plasma reactor).

I.A.4.1 Les réacteurs à couplage capacitif (CCP) :

Ce réacteur est constitué de deux électrodes planes en configuration diode, connectées capacitivement à des générateurs RF qui permettent d'exciter le plasma entre les deux électrodes grâce à un champ électrique alternatif comme le montre la Figure I-2 [TSAI96].

Quand le substrat est placé sur une électrode couplée capacitivement, la tension d'autopolarisation entre le substrat et le plasma peut être très importante. Dans ce cas, les ions arrivent sur le substrat avec une énergie très importante. Cette configuration est donc propice pour des applications de gravure en mettant en œuvre une synergie entre la gravure chimique et l'énergie apportée par les ions pour faire de la gravure ionique réactive (Reactive Ion Etching en anglais).

A l'inverse, lorsque le substrat est placé sur une électrode non couplée, la tension d'autopolarisation est plus faible. Dans ce cas le bombardement ionique sur le substrat est de plus faible intensité. Cette configuration est plus propice à des applications de dépôt.

Ce type de réacteur, très courant, présente l'avantage d'être simple et peu coûteux. Par contre, son principal inconvénient pour des applications de gravure est le couplage entre l'énergie des ions et leur flux sur le substrat. En effet, la tension de polarisation RF régit directement l'énergie des ions, mais contrôle aussi la densité du plasma, donc le flux d'ions

sur le substrat. Pour pouvoir dé-corréler ces deux paramètres, les versions les plus récentes de ce type de réacteur comportent deux générateurs RF (voir Figure I-2) qui polarisent indépendamment les deux électrodes exposées au plasma. Ainsi, on peut contrôler indépendamment l'énergie de bombardement des ions sur le substrat (générateur relié au substrat), et la densité du plasma (générateur relié à l'électrode du haut). Cela dit, le découplage énergie-densité n'est pas assuré dans toutes les conditions. Par Conséquent une nouvelle génération de réacteurs haute densité a vu le jour.

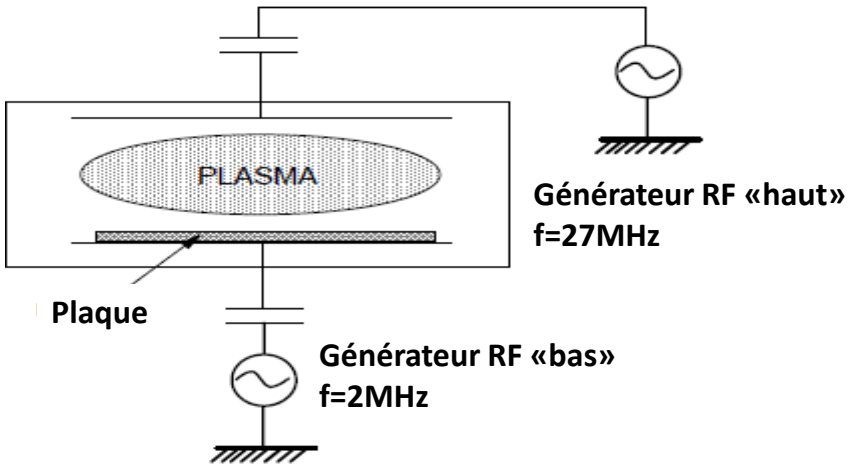
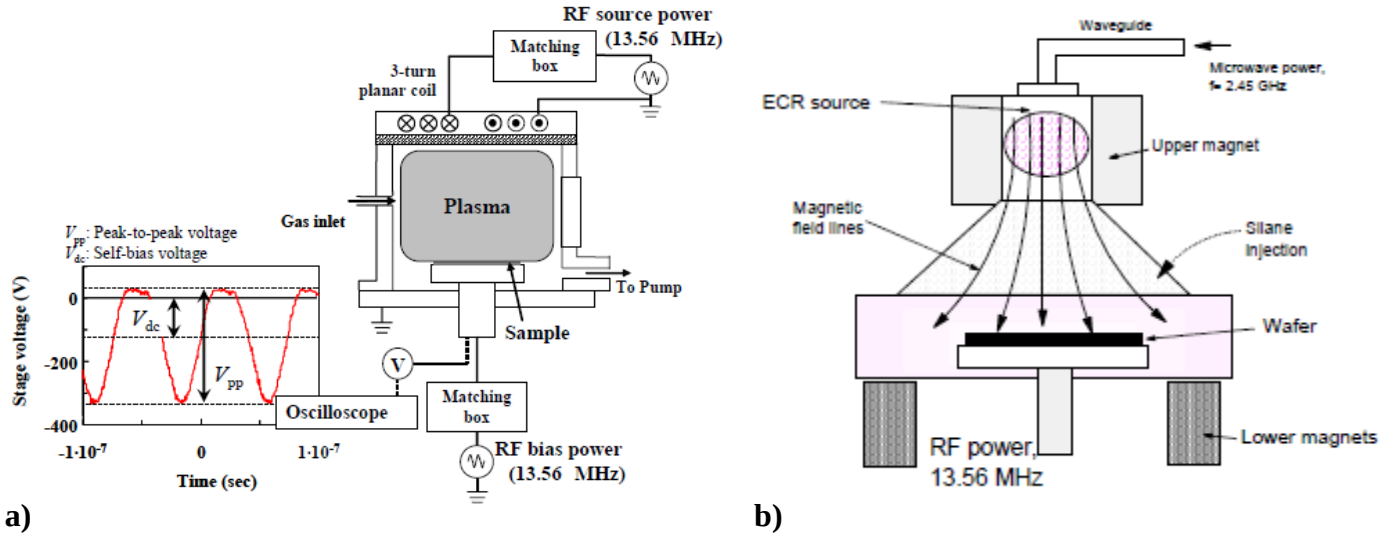


Figure I-2: Représentation d'un réacteur à couplage capacitif

I.A.4.2 Les réacteurs haute densité (HDP) :

Ils présentent l'avantage de permettre de bonnes vitesses de gravure ou de dépôt sans nécessiter d'importantes tensions d'autopolarisation grâce à la forte densité du plasma, environ 10^{12} électrons/cm^3 qui règne à l'intérieur de la chambre. Dans ce type de réacteur le plasma est généré dans une région dite « source » en retrait du substrat, ce qui permet un bon découplage entre le mécanisme de création du plasma et l'énergie des ions incidents sur le substrat qui est placé sur une électrode couplée capacitivement à une source RF indépendante. Le mécanisme d'excitation du plasma peut être soit inductif : réacteur « ICP » pour Inductive Coupled Plasma, illustré dans la Figure I-3.a, soit par micro-onde : réacteur « ECR » pour Electron Cyclotron Resonance, illustré dans la Figure I-3.b. Une description détaillée du mode de fonctionnement de ces réacteurs est donnée dans les références [FRIE97], [POPO95], [VEROV97], [LIEB03].



a) b)

Figure I-3: Schémas de réacteurs haute densité, a) réacteur ICP [mastuda09] : excitation inductif du plasma, b) réacteur ECR [Carrere00] : excitation par micro-onde.

I.A.5 Application aux procédés industriels :

Nous avons vu que dans le cas d'une collision élastique très peu d'énergie est transférée lors d'un choc entre un électron et un atome. Cependant, le transfert de l'énergie a lieu lors d'un choc inélastique. Dans ce cas une partie de l'énergie cinétique de l'électron incident permet de modifier l'état énergétique de la particule cible ce qui peux engendrer différentes réactions :

- **Dissociation** : la particule cible est dissociée en deux radicaux libres.
- **Excitation** : lors du choc, des électrons de l'atome cible sont envoyés sur des niveaux excités. L'atome retourne par la suite à son état fondamental en émettant un photon ou un phonon.
- **Ionisation** : plusieurs électrons sont arrachés de la structure électronique de l'atome cible le transformant en un ion.

Mise en œuvre dans un réacteur plasma, ces réactions peuvent être exploitées pour donner naissance à des applications industrielles telles que le dépôt ou la gravure :

I.A.5.1 Pulvérisation cathodique :

Lorsqu'ils sont suffisamment accélérés, les ions du plasma peuvent, par exemple pulvériser une cible métallique. Les atomes pulvérisés se déposent ensuite de façon uniforme

dans le réacteur comme illustré dans la Figure I-4. Cette propriété est utilisée pour les procédés de dépôt tel que le dépôt de couches métalliques par PVD (Pulverisation Vapor Deposition).

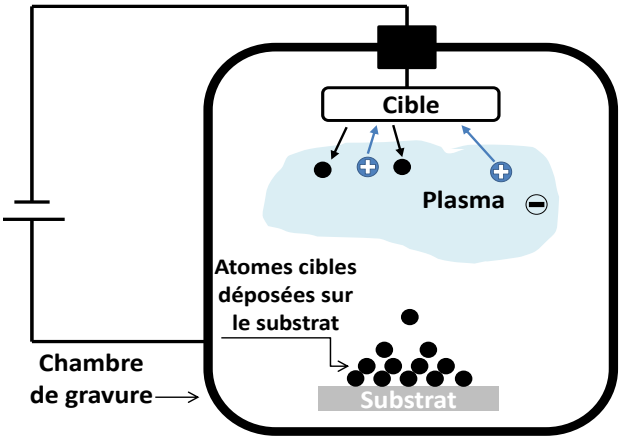


Figure I-4: Représentation d'une chambre de gravure en configuration de dépôt par pulvérisation cathodique

I.A.5.2 Gravure physico-chimique :

Les ions du plasma fournissent une action de bombardement sur les motifs à graver, alors que d'autres molécules électriquement neutres mais chimiquement activées gravent les zones bombardées. Différents mécanismes de gravure sont illustrés dans la Figure I-5 [Poiroux00].

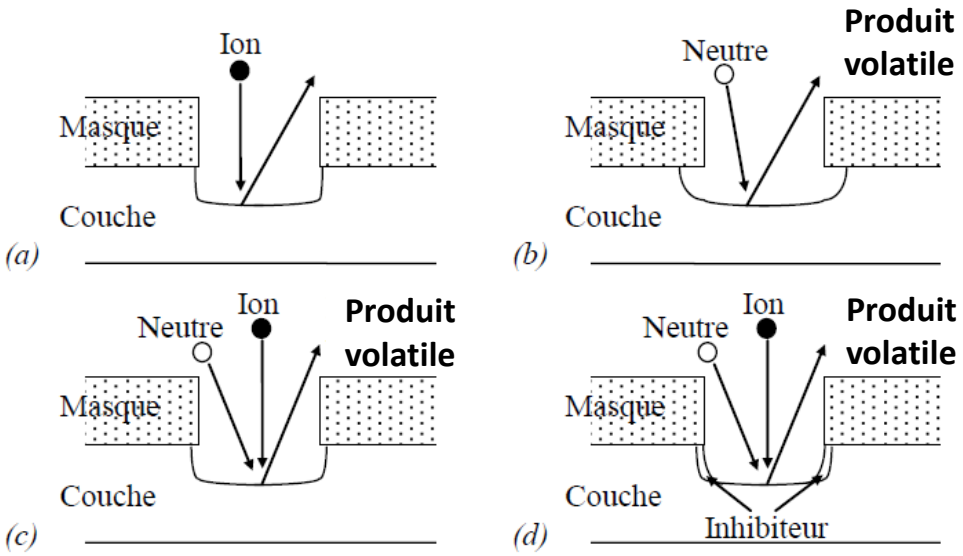


Figure I-5: Quatre mécanismes de gravure par plasma: (a) pulvérisation, (b) gravure chimique pure, (c) gravure ionique réactive, (d) gravure inhibée assistée par ions.

I-B Capacité MOS et conduction à travers l'oxyde de grille

I.B.1 Le transistor MOSFET idéal (principe de fonctionnement) :

Le transistor MOSFET pour *Metal Oxide Semiconductor Field Effect* est la brique élémentaire de tous les circuits intégrés à base de technologies CMOS. Ce transistor est composé de quatre électrodes : la grille (G), le drain (D), la source (S) et le substrat (B). Il a pour fonction simplement soit de laisser passer un courant entre la source et le drain soit de le bloquer selon la polarisation appliquée sur la commande (la grille). Cette polarisation crée un champ électrique vertical entre la grille et le substrat qui va moduler la densité de porteurs dans le semiconducteur, ce qui mène à deux états de fonctionnement fondamentaux :

- Etat bloqué : aucun courant ne circule entre source et drain (Figure I-6.a).
- Etat passant: un canal de conduction est formé par l'action du champ électrique vertical, et grâce au champ longitudinal dû à la polarisation du drain, les porteurs du canal de conduction sont mis en mouvement. Un courant de porteurs noté Ids circule alors entre source et drain (Figure I-6.b), il s'agit d'électrons pour un nMOS et de trous pour un pMOS.

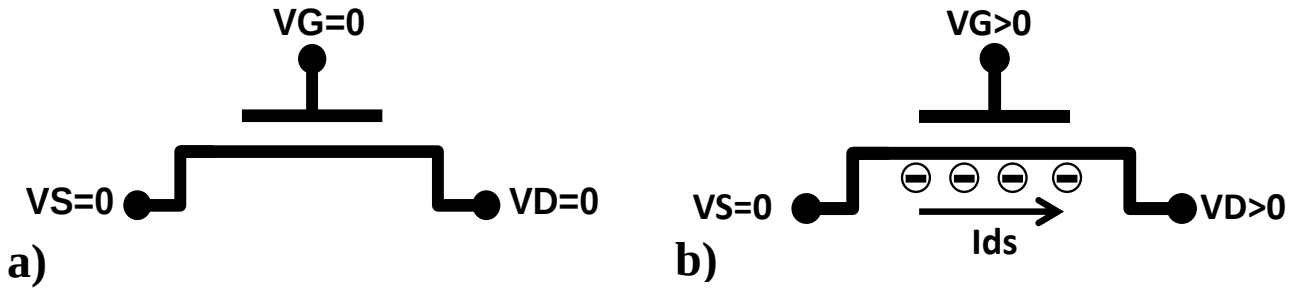


Figure I-6: Les états de fonctionnement fondamentaux d'un MOSFET idéal (transistor nMOS dans ce cas)

I.B.2 La capacité MOS:

Le transistor MOSFET est composé d'un empilement de différents matériaux : le métal qui constitue la grille donc la commande, l'oxyde qui est un isolant et le semiconducteur. Les trois forment la capacité MOS (Figure I-7). Le schéma électrique équivalent de la structure est alors formé de deux capacités en série, Cox et Cs, qui sont la

capacité de l'oxyde et celle du semiconducteur respectivement. La capacité totale est définie comme suit :

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_s} \qquad \textit{équation I-3}$$

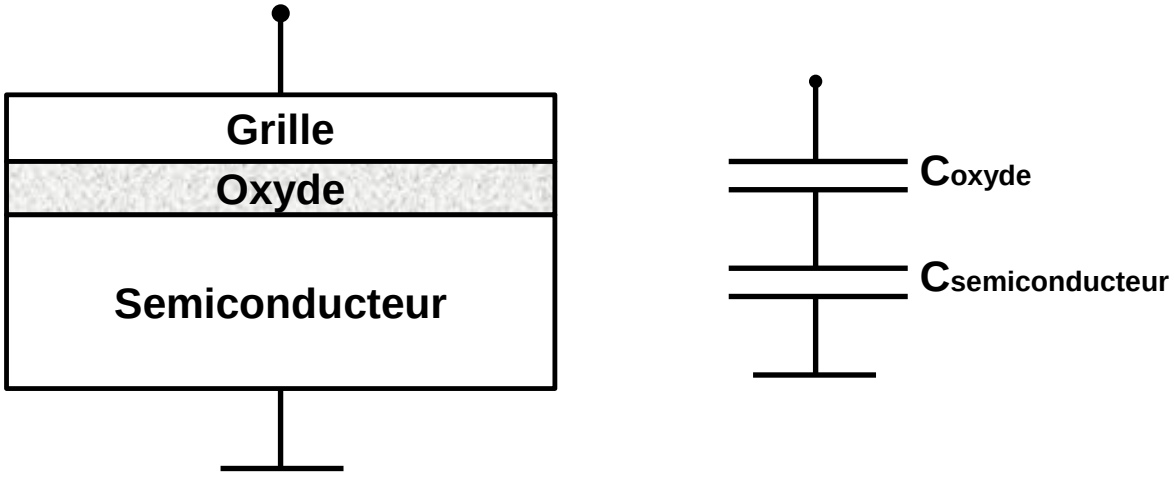


Figure I-7: Représentation de la capacité MOS et son schéma électrique équivalent

La valeur de la capacité Cs dépend du potentiel Ψs au niveau du semiconduteur à l'interface avec l'oxyde ce qui implique différents régimes de fonctionnement.

I.B.2.1 Les régimes de fonctionnement :

A. Régime d'accumulation : pour une tension de grille négative (Ψs<0), une forte densité de trous (dans le cas d'un transistor nMOS) apparaît à la surface du semiconducteur. La variation de charge d'accumulation est exponentielle et augmente avec Ψs. On a alors Cs >> Cox et on peut alors approximer la capacité totale a C ≈Cox.
B. Régime de déplétion : pour Vg légèrement positif, les trous du substrat sont repoussés de la surface du semiconducteur, et il apparaît une zone de charge d'espace déplétée de trous. Le potentiel Ψs est alors faiblement positif et Cs est proportionnelle à $(\Psi s)^{-1/2}$. Cs devient donc petite, et la capacité totale de la structure est minimale.
C. Régime d'inversion : Lorsque la polarisation de grille devient importante, Ψs augmente, et la densité de trous dans le substrat sous l'oxyde diminue au point qu'elle devient inférieure au niveau intrinsèque du semiconducteur : le substrat se

trouve alors en situation d'inversion. La tension de grille est appelée tension de seuil. Un canal d'électrons apparaît sous l'oxyde de grille, la capacité du substrat s'exprime en $Cs = \exp\left(\frac{e\psi_s}{kT}\right)$ et devient donc importante, et on peut de nouveau approximer la capacité de la structure MOS par Cox.

La Figure I-8 montre la courbure de bande de la capacité MOS pour les différents régimes de polarisation :

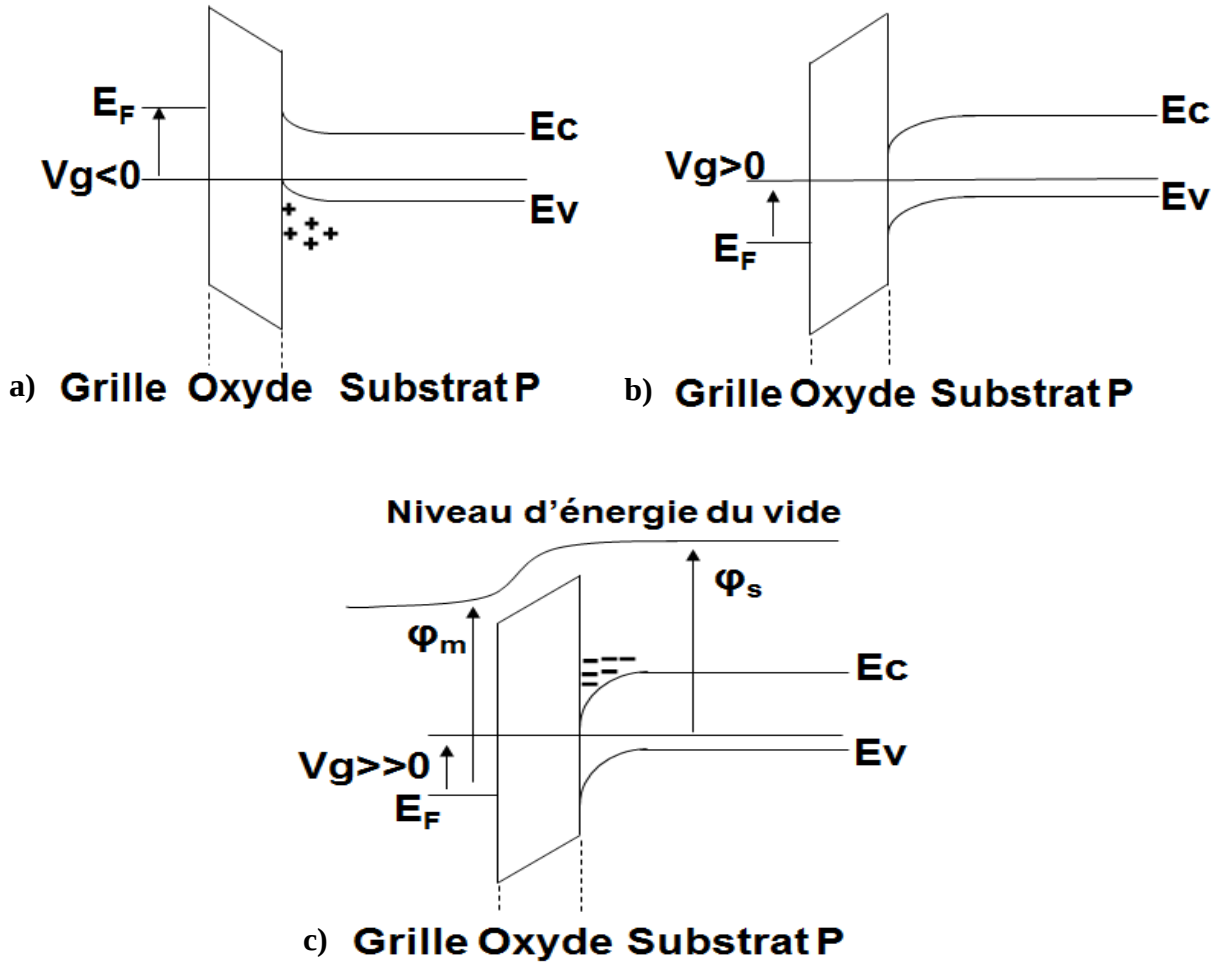


Figure I-8: Diagramme de bandes d'une capacité MOS avec un substrat de type P dans les différents régimes de polarisation : a)- régime d'accumulation, b)- régime de déplétion, c)- régime d'inversion

Pour évaluer la valeur de la charge dans le semiconducteur en fonction de la tension appliquée sur la grille, il faut tenir compte du travail de sortie du métal, mais également de la chute de potentiel dans l'oxyde de grille. Pour tenir compte du travail de sortie du métal, il faut évaluer

la tension de bandes plates, qui correspond à la tension de grille à appliquer pour amener la structure MOS en régime de bandes plates. Le régime dit de « bandes plates » est atteint lorsque les bandes d'énergie de la structure MOS sont plates c'est à dire lorsque le niveau de Fermi du métal E_{fm} et celui du semiconducteur E_f sont alignés. A partir du diagramme de bandes d'énergie à l'équilibre thermodynamique, représenté sur la Figure I-9 dans le cas d'un nMOS, on obtient l'expression de la tension de bandes plates VFB :

$$V_{FB=}\varphi_m - \left(\chi_s + \frac{E_g}{2} + \varphi_F \right) \qquad \textit{équation I.4}$$

Avec :

- φ_m travail de sortie du métal de la grille égal à la différence entre le niveau du vide et du potentiel de Fermi du métal.
- Xs affinité électronique du semiconducteur (pour le silicium: Xs=4.05V)
- Eg band gap du semiconducteur qui est égal à la différence entre le niveau de la bande de conduction (BC) et celui de la bande de valence (BV), donc à Ec-Ev.
- φ_F potentiel de Fermi du semiconducteur, qui est égal à la différence entre le niveau de Fermi E_F et le niveau de Fermi intrinsèque Ei (Ei correspond au milieu du gap, on a donc (Ei-Ev = Ec-Ei = Eg/2).

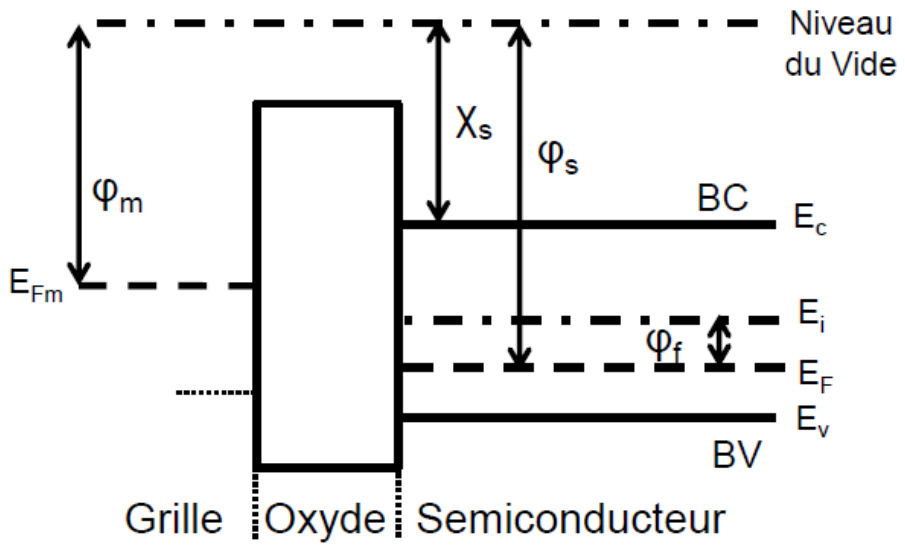


Figure I-9: Diagramme de bandes d'énergie à l'équilibre thermodynamique obtenu pour un NMOS (silicium de type P).

I.B.3 Phénomènes de conductions à travers l'oxyde de grille:

Nous avons vu que le passage du transistor du mode bloqué au mode passant nécessite d'appliquer sur la grille une tension assez importante pour créer un champ électrique à travers l'oxyde de grille et permettre ainsi de moduler la densité de porteurs dans le canal (semiconducteur). Cependant, lorsque ce champ électrique devient trop important, l'oxyde de grille ne peut plus être considéré comme isolant parfait car à ce moment-là il devient le siège de différents phénomènes de conduction comme illustré dans la Figure I-10.

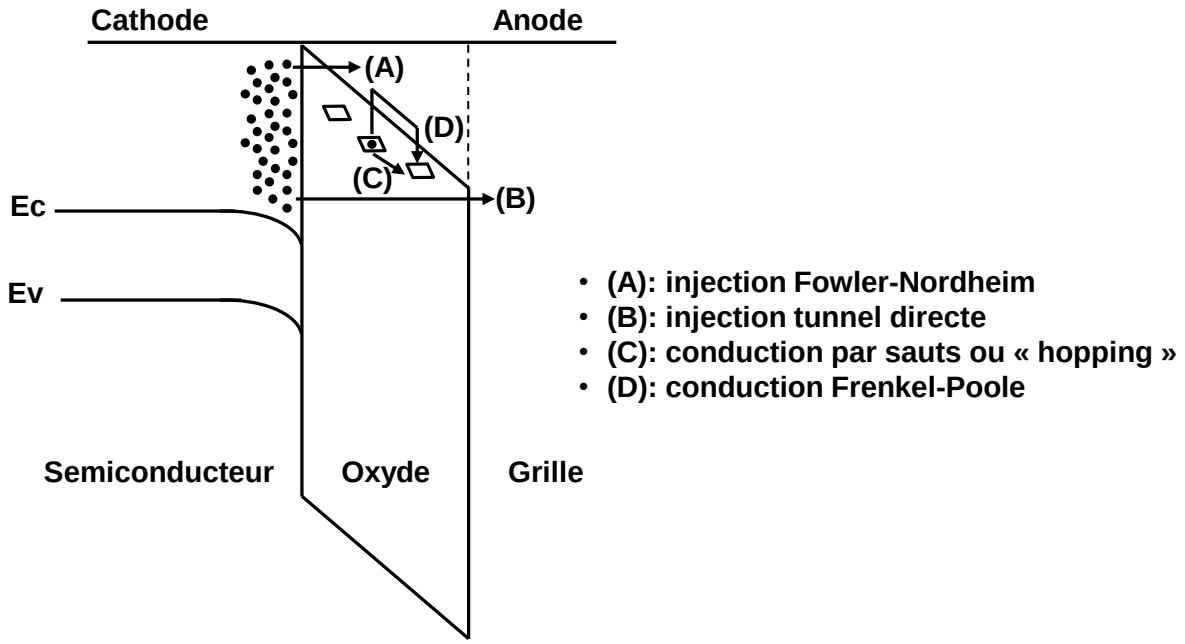


Figure I-10: Mécanismes des différents types de conduction à travers l'oxyde de grille.

Le type de conduction dépend de différents paramètres tels que l'énergie des porteurs, l'épaisseur de l'oxyde de grille, le champ électrique et la densité de défauts dans l'oxyde. Cependant, ils peuvent être classés selon deux catégories de conduction :

- ➔ Conduction limitée par le volume de l'oxyde : dépend principalement de la nature de l'oxyde (ses propriétés volumiques) comme la conduction Frenkel-Poole et la conduction par sauts.
- ➔ Conduction limitée par les cathodes : elle dépend de la hauteur de la barrière de potentiel ainsi que de l'énergie des porteurs comme l'injection tunnel directe et l'injection Fowler-Nordheim.

Nous allons nous intéresser uniquement aux injections Fowler-Nordheim et tunnel direct car ce sont celles les plus rencontrées dans ce travail.

I.B.3.1 Injection tunnel direct :

Dans le cas d'un oxyde de grille fin, les porteurs peuvent directement passer à travers la barrière de potentiel. C'est un phénomène quantique : on considère l'onde associée à la particule injectée. Cette onde est évanescente lorsque la particule pénètre dans la barrière de potentiel, mais si cette dernière est suffisamment fine, l'onde n'est pas totalement absorbée de l'autre côté de la barrière (Figure I-11.a). Ainsi, un courant dit tunnel peut se former à travers l'oxyde. Ce courant dépend du champ électrique, mais surtout de l'épaisseur d'oxyde de grille. En première approximation, on peut modéliser ce courant par [Depa96] :

$$J_{TD} = \frac{e^2 \Phi_B}{\pi h d_{ox}^2} \exp\left(-\frac{4\pi\sqrt{2em_{ox}^*}}{h} d_{ox} \sqrt{\Phi_B} \right) \sinh\left(\frac{\pi\sqrt{2em_{ox}^*}}{h} \frac{d_{ox}^2 E_{ox}}{\sqrt{\Phi_B}} \right) \qquad \textit{équation I-5}$$

Avec m^*_{ox} la masse effective du porteur dans l'oxyde, e la charge élémentaire, h la constante de planck, ϕ_B la hauteur de la barrière cathode/oxyde, E_{ox} et ε_{ox} le champ électrique et la permittivité de l'oxyde respectivement.

I.B.3.2 Injection Fowler-Nordheim :

Pour des oxydes de grille relativement épais, le principal phénomène de conduction à fort champ électrique est l'injection Fowler-Nordheim. En présence d'un fort champ électrique la barrière énergétique adopte une forme triangulaire (Figure I-11.b) : dans cette configuration, l'épaisseur effective x_t de barrière que voit un porteur de la cathode est telle que $x_t = \Phi_B / (eE_{ox})$, et donc diminue lorsque le champ électrique augmente. Ce courant peut être modélisé grâce à l'équation suivante [Lenz69]:

$$J_{FN} = AE_{ox}^2 \exp\left(-\frac{B}{E_{ox}} \right) \qquad \textit{équation I-6}$$

Avec $A = \dfrac{e^3 m}{8\pi h\, m_{ox}^* \Phi_B}$ et $B = \dfrac{8\pi\sqrt{2m_{ox}^*}}{3h\,e} \Phi_B^{3/2}$, m étant la masse des électrons.

Le comportement des deux injections est illustré dans les figures suivantes :

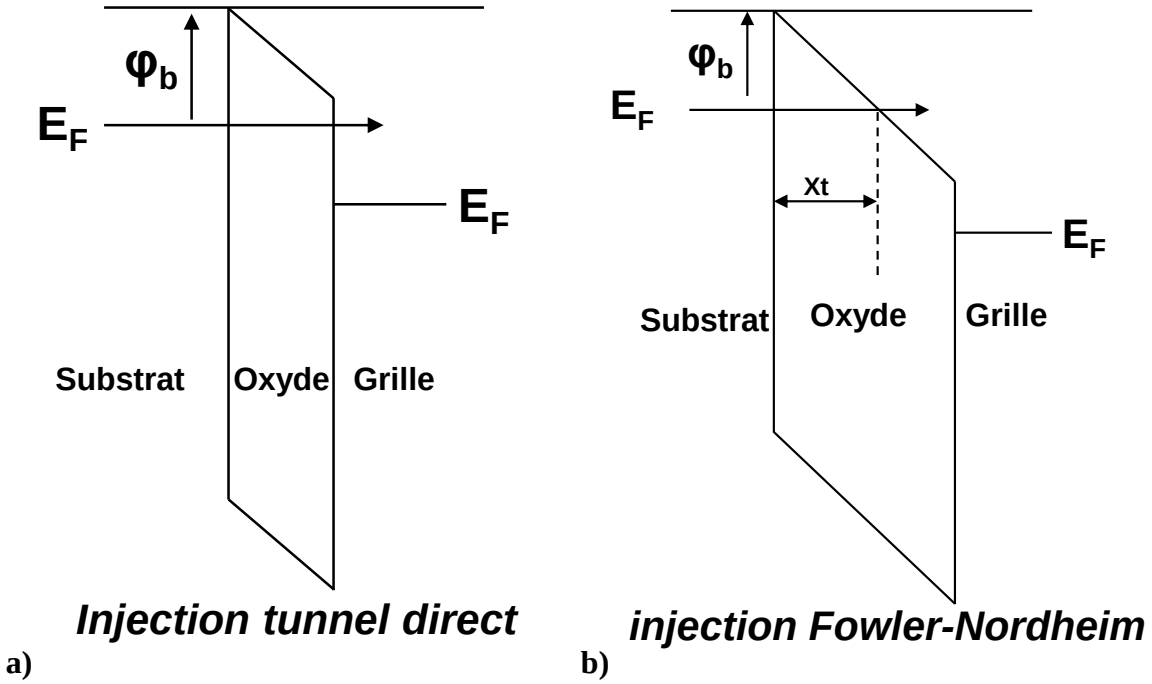


Figure I-11: Schéma énergétique de l'injection tunnel direct et l'injection Fowler-Nordheim

I.B.4 Fiabilité de l'oxyde de grille:

I.B.4.1 Défauts dans l'oxyde :

Chaque type de défaut peut être caractérisé par sa section de capture σ, sa densité spatiale N et son barycentre dans la couche d'oxyde [VINC96], [BALLA86]. En effet, on peut les classer par leur position dans la couche d'oxyde :

- **<u>Piégeage de charges dans le volume de l'oxyde :</u>**

Des charges positives ou négatives peuvent être piégées dans le volume de l'oxyde selon la nature des défauts présents dans ce dernier. Ces défauts sont principalement dus à des lacunes ou à des excédents d'atomes d'oxygène lors de la formation d'une molécule d'oxyde de silicium (SiO_2) (exemple : liaison Si-Si au lieu de Si-O plus robuste). Tout comme dans le SiO_2, les oxydes de grille "high-k" à forte permittivité de plus en plus utilisés, tels que le HfO_2, peuvent êtres le siège de phénomènes de piégeage de charges dû à des lacunes d'oxygène. Cependant la particularité de cette molécule réside dans sa configuration

électronique. En effet, l'orbitale 5d de l'atome d'hafnium n'est pas totalement pleine. Par conséquent, il peut se comporter comme piège à porteurs [Luco01]. Ces charges peuvent être dé-piégées par un recuit thermique ou par l'application d'un champ électrique.

- **Génération d'états d'interface:**

Les défauts à l'interface sont attribués aux liaisons pendantes des atomes de silicium à l'interface Si/SiO_2. Ces défauts sont responsables du piégeage de charges à l'interface. Afin de minimiser leurs impacts, ces défauts peuvent être passivés grâce à un recuit thermique sous atmosphère riche en hydrogène. Ainsi, les liaisons pendantes du silicium sont remplacées par des liaisons Si-H correspondantes à des états électriquement inactifs, ce qui permet d'améliorer la qualité électrique de l'interface oxyde-silicium.

Par ailleurs il faut noter que l'oxyde de grille contient aussi d'autres types de charges. Notamment, des charges fixes. Leur présence est principalement attribuée au bombardement ionique lors des étapes plasma ainsi qu'aux effets des UV (voir discussion complète dans [Song02]).

I.B.4.2 Mécanismes de dégradation :

La dégradation de l'oxyde de grille se caractérise par la création de défauts dans ce dernier. Ces défauts peuvent être générés par l'application d'une contrainte électrique de type BTI ou HCI sur une structure MOS. Ces mécanismes dégradent donc l'oxyde de grille des composants MOS. Ces modes de dégradation sont donc généralement utilisés dans l'évaluation de la fiabilité.

I.B.4.2-a Stress BTI (Bias Temperature Instability) :

Le BTI traduit les instabilités des paramètres électriques du transistor MOS lors de l'application d'un stress électrique dans un milieu à haute température. En effet, les porteurs dans le canal tendent à se piéger dans l'oxyde et à l'interface sous l'effet de la température et du champ électrique entrainant ainsi des instabilités des paramètres électriques, notamment la tension de seuil qui est sensible aux charges piégées dans l'oxyde.

Différentes expériences [Blat91],[Ogawa95] ont montré que les stress BTI induisent une rupture des liaisons Si-H à l'interface Si/SiO_2. De cette façon, les liaisons qui avaient été

guéries par passivation à l'hydrogène peuvent être dégradées (liaisons brisées) au cours de la contrainte électrique. Ainsi, une certaine quantité de charge (ΔQIT) peut être piégée par ces états d'interface, provoquant la dérive de la tension de seuil :

$$\Delta VT_{NIT} \alpha \frac{q\Delta Nit}{Cox} \qquad \textit{équation I-7}$$

Cependant, malgré le lien de proportionnalité liant la dérive de la tension de seuil (ΔVTH) aux états d'interface (ΔNIT), Denais et al [Denais05] ont montré que le niveau de la dégradation ΔVTH induite par le stress BTI est important et ne peut pas être provoqué uniquement par la dégradation de l'interface. En effet, des charges fixes peuvent être générées au cours de la contrainte, d'où cette dégradation supplémentaire.

Par ailleurs, il a été aussi constaté que la dégradation générée par le stress BTI tend à s'auto-guérir lorsque la contrainte électrique est interrompue. Ainsi, la dégradation BTI peut être composée de :

- Une partie recouvrable résultant du piégeage (trous lors d'une contrainte négative et électrons lors d'une contrainte positive).
- Une partie ne relaxant pas (partie permanente). Cette partie correspondrait alors à la contribution des états d'interface et des charges fixes.

Ainsi, trois contributions différentes sont finalement mises en évidence : les états d'interface (ΔVTH_{NIT}), les charges fixes (ΔVTH_{Nf}) et le piégeage (ΔVTH_{Not}) comme l'indique l'équation I-8 :

$$\Delta VTH = \Delta VTH_{NIT} + \Delta VTH_{Nf} + \Delta VTH_{Not} \qquad \textit{équation I-8}$$

En effet, Huard et al [Huard07] ont confirmé par des mesures après une semaine de relaxation que la dégradation restante coïncidait avec les charges d'interface mesurées par pompage de charges comme le montre la Figure I-12.

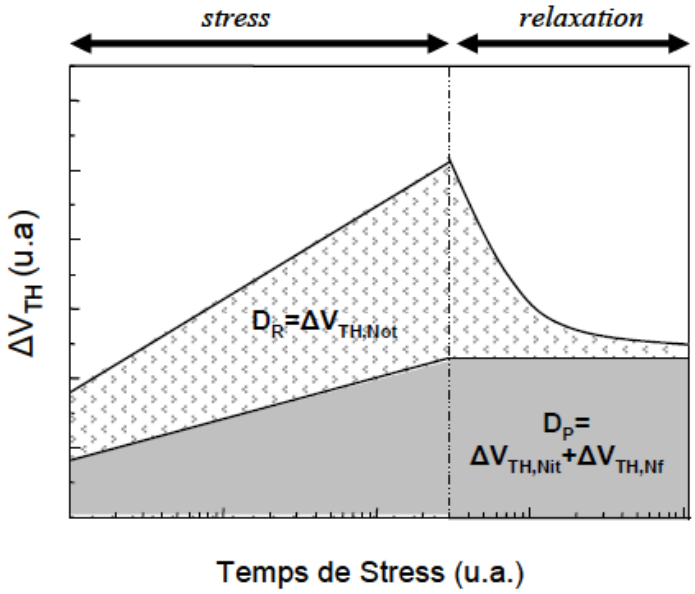


Figure I-12: Principe de la décorrélation de la partie recouvrable noté D_R et de la partie permanente noté D_P à l'aide d'une phase de relaxation [Huard07].

I.B.4.2-b Stress HCI (hot carrier injection) :

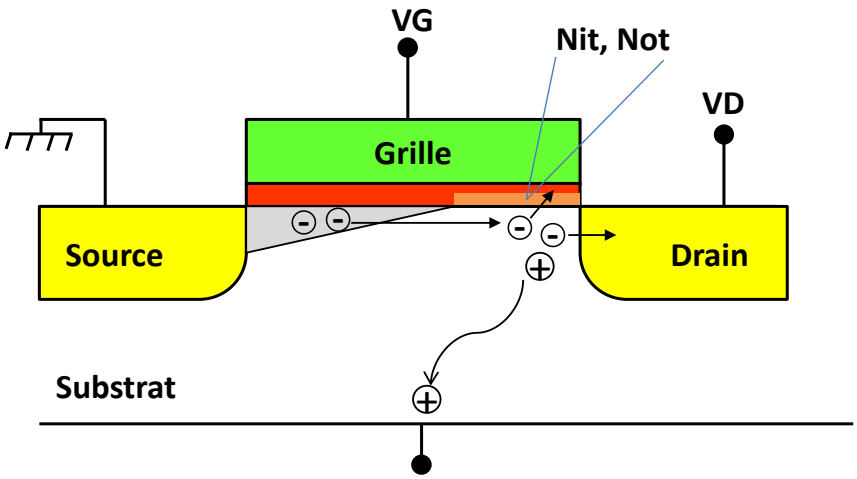


Figure I-13: Génération et injection d'électrons chauds dans un transistor MOSFET avec canal de type n.

Le stress HCI est un mécanisme de vieillissement des transistors utilisant l'injection de porteurs chauds. La Figure I-13 illustre ce mécanisme dans un transistor MOSFET avec un canal de type n. Lorsque le transistor est en mode de saturation, des porteurs (dans ce cas des électrons) sont injectés dans la zone de désertion de la jonction drain-substrat. Si le champ électrique dans cette région est très important, des électrons peuvent acquérir assez d'énergie

pour causer une ionisation par impact lors d'un choc avec un atome de silicium. Il y a alors génération de paires électron-trou. Les électrons à l'origine de ce mécanisme sont appelés des **électrons chauds** [Hu85]. Certains de ces électrons sont réorientés vers l'oxyde de grille et en même temps les trous sont repoussés vers le substrat. Une description complète de ce mécanisme peut être trouvée dans [Yang88]. Ainsi, lors d'un stress par porteurs chauds il peut résulter diverses dégradations comme une diminution de la mobilité des porteurs ou encore une augmentation de la tension de seuil avec le temps, due à la génération d'états d'interface (Nit) ainsi qu'à l'apparition de charges fixes dans l'oxyde (Not) [Yang88]. Il en résulte une diminution du courant drain et donc une dégradation des performances des transistors.

I.B.4.3 Manifestations de la dégradation de l'oxyde de grille:

Les phénomènes de piégeage de charges dans l'oxyde de grille dus aux différents défauts dans ce dernier provoquent la dégradation du transistor qui peut se traduire par une importante dérive de la tension de seuil, une augmentation de la fuite de grille à faible champ électrique ou encore par un claquage prématuré de l'oxyde de grille ce qui mène à un mauvais fonctionnement du composant.

I.B.4.3-a Dérive de la tension de seuil :

Toutes les charges piégées dans l'oxyde de grille, à l'interface ou dans le volume influent sur le champ électrique interne de l'oxyde de la capacité MOS et donc sur la tension de seuil du transistor. En effet dans ce cas il faut appliquer une tension de grille V_{FB} appelée tension de bandes plates pour annuler le champ électrique à travers l'oxyde telle que :

$$V_{FB} = \varphi_{ms} - \frac{\sum Q_i}{Cox} \qquad \textit{équation I-9}$$

Avec $\sum Q_i$ la somme de toutes les charges piégées dans l'oxyde, Cox la capacité de l'oxyde et $\varphi_{ms} = \varphi_m - \varphi_s$ la différence entre les travaux de sorties de la grille et le substrat.

Le potentiel aux bornes de l'oxyde s'exprime ainsi par :

$$V_{ox} = V_{FB} + \frac{Q_G}{C_{ox}} \qquad \textit{équation I-10}$$

Avec Q_G les charges induites par la polarisation V_G de la grille.

Ainsi, le potentiel aux bornes de l'oxyde de grille est directement lié aux charges dans l'oxyde ce qui peut induire une importante dérive de la tension de seuil selon le niveau du piégeage. Une étude approfondie concernant l'impact du piégeage (à l'interface et dans le volume de l'oxyde) sur la dérive de la tension de seuil peut être trouvée dans [Young07].

I.B.4.3-b Augmentation de la fuite de grille :

Dans certains cas, la dégradation de l'oxyde peut se manifester par une augmentation de la fuite de grille à faible champ électrique après une injection de courant constant au niveau de la grille. Ce phénomène est appelé SILC pour Stress Induced Leakage Current. Il correspond à une conduction tunnel par saut, assistée par les pièges créés lors des injections. L'intensité de ce courant est directement liée à la densité de pièges dans l'oxyde de grille ainsi qu'à la surface du MOS. En effet, les défauts à l'origine de l'augmentation de la fuite au niveau de la grille sont dans ce cas uniformément reparties dans le volume de l'oxyde et peuvent êtres guéris grâce à un recuit thermique à l'inverse des défauts qui sont à l'origine du claquage de l'oxyde, ce qui permet de dissocier les deux phénomènes.

I.B.4.3-c Le claquage :

Le claquage de la capacité MOS est considéré comme l'étape ultime de la dégradation de l'oxyde de grille. Dans ce cas l'oxyde ne peut plus être considéré comme isolant car un chemin résistif apparait à travers ce dernier ce qui permet à une grande quantité de charges de le traverser provoquant d'importants dégâts physiques comme illustré dans la Figure I-14. Ce phénomène est facilement détectable lorsqu'on applique une contrainte en tension constante au niveau de la grille d'une structure MOS. En effet, les dégradations se manifestent par une augmentation brutale du courant de grille qui peut atteindre des niveaux très élevés de l'ordre du microampère voire du milliampère.

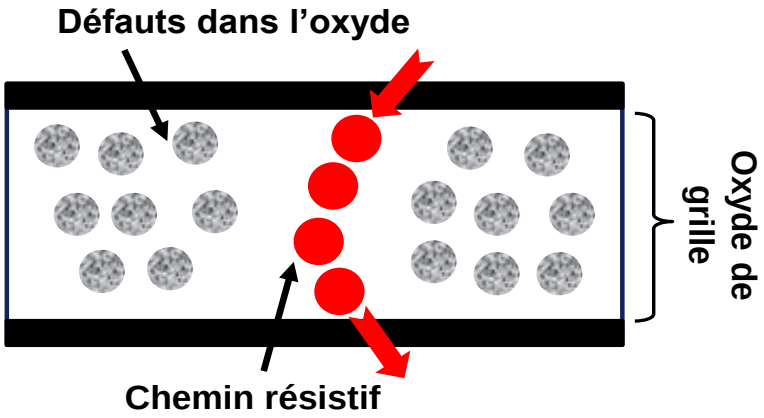


Figure I-14: Représentation schématique du chemin résistif créé lors du claquage d'un oxyde.

I-C Introduction à la technologie FDSOI

Afin d'atteindre les spécifications de performance de plus en plus élevées définies pour chaque nœud technologique, différentes innovations ont été apportées sur l'architecture conventionnelle sur substrat massif. Bien que nombreuses, ces innovations technologiques ne sont plus suffisantes pour garantir les performances attendues, notamment à cause du contrôle électrostatique qui est de plus en plus critique à maintenir. Par conséquent, la fin des plateformes CMOS basées sur l'architecture conventionnelle sur substrat massif ainsi que l'introduction de nouvelles technologies telles que le FDSOI (Fully Depleted SOI) semblent inévitables. En effet l'ITRS [ITRS] dans sa feuille de route (édition 2011) a prévu la fin du BULK pour 2015 avec le nœud 20nm et que l'introduction du FDSOI est prévue pour 2013 (également avec le nœud 20nm).

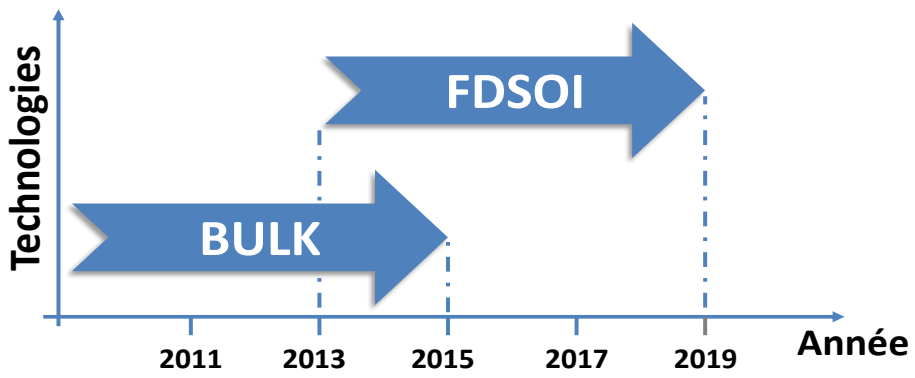


Figure I-15: Prédictions de l'ITRS : fin des technologies CMOS sur substrat massif et introduction du FDSOI.

Ces prédictions sont confirmées, à quelques années près, par les annonces et différentes publications des industriels. En effet, STMicroelectronics a présenté sa plateforme CMOS FDSOI pour le nœud 28nm [Planes12] et a annoncé le développement du nœud 20nm toujours basé sur l'architecture FDSOI.

I.C.1 Le substrat SOI:

Le substrat SOI (Silicon On Insulator pour silicium sur isolant) est constitué de trois couches. La première, constituée de silicium, est la couche la plus épaisse. Elle forme le substrat mécanique. La seconde appelée BOX (Burried Oxide pour oxyde enterré) est généralement en SiO_2. Enfin la dernière, est une fine couche de silicium communément appelée film mince qui se doit d'être mono cristalline car destinée à être la zone active, donc le canal d'un transistor MOSFET. La Figure I-16 représente une vue schématique d'un substrat SOI.

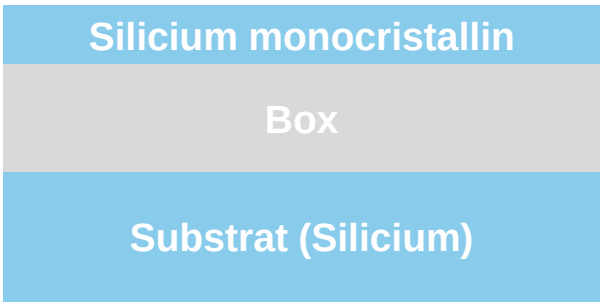


Figure I-16: Vue schématique en coupe d'un substrat SOI

Les transistors avec substrat SOI ont été au début consacrés uniquement à des applications militaires et spatiales [Leray90],[Hite92]. En effet, ils offrent une très bonne immunité aux radiations ionisantes. Cependant, cette immunité n'est pas la préoccupation première des applications mobiles grand public d'aujourd'hui. Ainsi, les transistors sur SOI sont utilisés seulement depuis le nœud 28nm [Planes12] dans la configuration UTBB (Ultra Thin Body and Box pour film et oxyde enterré ultra-fins).

I.C.2 Le transistor FDSOI:

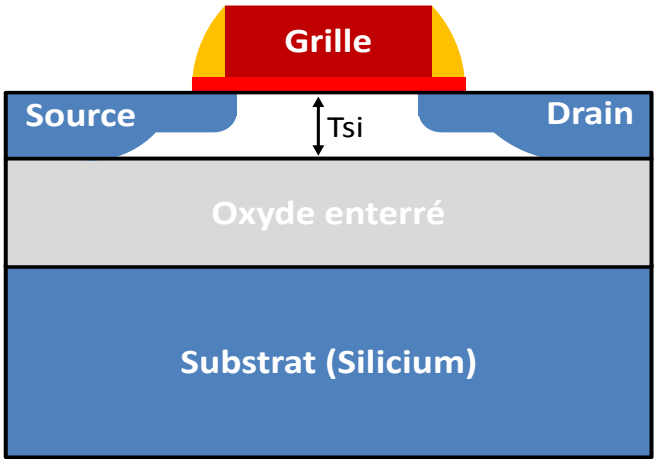


Figure I-17: Représentation schématique d'un transistor FDSOI

Ce type de transistor, grâce à son architecture particulière (illustrée dans la figure I-17) offre divers avantages, notamment un meilleur control de l'électrostatique du transistor. En effet, la couche du diélectrique enterré (le BOX) vient limiter physiquement la profondeur de déplétion dans le canal à l'épaisseur du film de silicium notée Tsi. Ceci a deux conséquences, qui constituent deux des principaux avantages de cette structure : les effets canaux courts sont mieux contrôlés ainsi que la possibilité de travailler avec des canaux non dopés. Le deuxième point permet aux dispositifs FDSOI de s'affranchir de la principale source de variabilité des transistors BULK : le *Random Doping fluctuation* (fluctuation aléatoire due au dopage) et d'atteindre des records de robustesse à la variabilité (A_{VT}=0.88mV reporté par [Weber08]). Dans une modélisation au premier ordre des effets canaux courts, on peut remplacer les termes Tdep (profondeur de déplétion) et Xj (profondeur de jonction) du modèle de l'architecture conventionnelle sur substrat massif (donné par [Skotnicki08]) par l'épaisseur du film de silicium, ce qui donne :

$$SCE = \frac{\varepsilon_{si}}{\varepsilon_{ox}}\left(1+\frac{Tsi^2}{L^2}\right)\frac{ToxTsi}{L^2}\Phi_d \qquad \text{équation I-11}$$

$$DIBL = \frac{\varepsilon_{si}}{\varepsilon_{ox}}\left(1+\frac{Tsi^2}{L^2}\right)\frac{ToxTsi}{L^2}Vd \qquad \text{équation I-12}$$

Avec ϕ_d la tension de diode (formée par la jonction PN source-canal ou canal-drain).

Sachant que les profondeurs de jonction et de déplétion des dernières technologies conventionnelles sur substrat massif sont de 10nm et 20nm respectivement, le passage à une technologie FDSOI à film mince Tsi=10nm (pas très agressif) permet un gain d'un facteur 2 sur les effets canaux courts.

Ainsi une étude approfondie sur le comportement des effets d'antenne dans les technologies FDSOI est indispensable. En effet, un piégeage de charges dans l'oxyde de grille induit par l'exposition aux procédés plasma pourrait nuire au bon fonctionnement du transistor et provoquer la perte des avantages offerts par cette technologie, notamment le bon contrôle de la variabilité de la tension de seuil.

Conclusion du chapitre 1

Dans ce chapitre, nous avons présenté les principales caractéristiques des plasmas utilisés en micro-électronique. Ce sont des milieux globalement neutres, faiblement ionisés, composés de trois populations (ions, électrons, molécules) qui ne sont pas en équilibre thermique. Ils sont créés lorsqu'un gaz sous faible pression est soumis à une excitation électromagnétique à l'intérieur d'un réacteur. Le champ électrique présent dans le réacteur permet d'accélérer les ions du plasma, leur énergie est directement proportionnelle à la tension d'autopolarisation qui règne entre le plasma et le substrat. En effet, dans le cas d'un réacteur inductif par exemple l'énergie des ions peut être ajustée grâce à la polarisation RF du substrat. Cette propriété remarquable permet donc d'utiliser les plasmas pour des procédés de gravure assistés par le bombardement ionique tels que la gravure physico-chimique ou encore dans certains procédés de dépôt de couches d'oxyde comme le dépôt HDP-CVD (*High density plasma chemical vapor deposition*).

Les procédés plasma, sont indispensables dans l'industrie de la microélectronique, cependant ils peuvent aussi être la cause de dégradations induites sur les composants MOS. En effet, ils génèrent des tensions causant des injections de courants dégradants pour les oxydes de grille. Les défauts induits dans la structure de l'oxyde par l'injection de porteurs peuvent être de différents types : pièges à électrons ou à trous. La présence de ces défauts se traduit par des phénomènes comme la dérive de la tension de seuil des composants, l'augmentation de la fuite de grille ou par le claquage prématuré de la capacité MOS. Ainsi, l'exposition aux étapes plasma peut être à l'origine de sources supplémentaires de dispersion

des paramètres électriques des composants. Dans le cas d'un transistor FDSOI cela signifierait la perte de tous les avantages offerts par cette technologie par rapport à un transistor conventionnel sur substrat massif, notamment sa robustesse à la variabilité de la tension de seuil. L'étude du comportement des effets d'antenne dans les technologies FDSOI est donc indispensable afin de mettre au point des règles de dessins garantissant notamment, l'immunité des circuits électroniques à base de cette technologie face à ce mécanisme de dégradation. Nous allons dans le prochain chapitre définir les principaux mécanismes de dégradation par effets d'antenne ainsi que les différentes techniques permettant la caractérisation des plasmas d'une part et la dégradation des composants d'autre part.

Table des figures

Figure I-1 : Classification des plasmas en fonction de la température et de la densité..... 15

Figure I-2 : Représentation d'un réacteur à couplage capacitif 17

Figure I-3 : Schéma de réacteurs haute densité, a) réacteur ICP [mastuda09] : excitation inductif du plasma, b) réacteur ECR [Carrere00] : excitation par micro-onde. 18

Figure I-4 : Représentation d'une chambre de gravure en configuration de dépôt par pulvérisation cathodique 19

Figure I-5 : Quatre mécanismes de gravure par plasma: (a) pulvérisation, (b) gravure 19

Figure I-6 : Les états de fonctionnement fondamentaux d'un MOSFET idéal (transistor nMOS dans ce cas)..... 20

Figure I-7 : Représentation de la capacité MOS et son schéma électrique équivalent 21

Figure I-8 : Diagramme de bandes d'une capacité MOS avec un substrat de type P dans les différents régimes de polarisation : a)- régime d'accumulation, b)- régime de déplétion, c)- régime d'inversion..... 22

Figure I-9 : Diagramme de bandes d'énergie à l'équilibre thermodynamique obtenu pour un NMOS (silicium de type P). 23

Figure I-10 : Mécanismes des différents types de conduction à travers l'oxyde de grille. 24

Figure I-11 : Schéma énergétique de l'injection tunnel direct et l'injection Fowler-Nordheim 26

Figure I-12 : Principe de la décorrélation de la partie recouvrable noté D_R et de la partie permanente noté D_P à l'aide d'une phase de relaxation [Huard07]. 29

Figure I-13 : Génération et injection d'électrons chauds dans un transistor MOSFET avec canal de type n. 29

Figure I-14 : Représentation schématique du chemin résistif créé lors du claquage d'un oxyde. 32

Figure I-15 : Prédictions de l'ITRS : fin des technologies CMOS sur substrat massif et introduction du FDSOI. 32

Figure I-16 : Vue schématique en coupe d'un substrat SOI 33

Figure I-17 : Représentation schématique d'un transistor FDSOI 34

Table des références

[BALLA86] **B. Balland, G. Barbottin, « Defects in silica Films, Their nature-Thier properties», in G. Barbottin, A.Vapaille (Ed), "Instabilities in silicon devices", North Holland, Amsterdam, vol. 1, 1986**

[Blat91] **C.E.Blat, E.H.Nicollian, E.H.Pointdexer, "Mechanism of negative-bias-temperature instability", J. of Appl. Phys., vol. 69, pp. 1712-1720, 1991.**

[Denais05] **M. Denais, "Etude des phénomènes de dégrdadation de type negative bias temperature instability (NBTI) dans les transistors MOS submicroniques des filières CMOS avancées", Thèse de l'Université de Provence d'Aix-Marseille I, le 09 Septembre 2005.**

[DEPA96] **M. depas, B. Vermeire, P.W. Mertens, R.L. Van Meirhaeghe, M.M. Heyns, "Determination of tunneling parameters in ultra-thin oxide layer poly si/sio2/si structures", solide state electronics, 1995.**

[FRIE97] **J.B. Friedmann, J. L. Shohet, R. Mau, N. Hershkowitz, S. Bisgaard, S. Ma, J.P. Mc Vittie, « Plasma-parameter dependence of thin-oxide damage from wafer charging during Electron-Cyclotron Resonance plasma processing » IEEE Trans. on Semiconductor Manufacturing, vol. 10, n°1, Feb. 1997, p. 154.**

[Hite92] **L.R Hite, H. Lu, T.W. Houston, D.S. Hurta, W.E. Bailey, "An SEU resistant 256K SOI SRAM", IEEE Trans. Nucl. Sci., Vol.39, pp.2121, 1992.**

[Hu85] **C. Hu, S. C. Tam, F. C. Hsu, P. K. Ko, T. Y. Chan and K. W. Terrill "Hot-electron-induced MOSFET degradation model, monitor and improvement", *IEEE Trans. Electron Devices,* Vol ED-32, pp. 375-385, 1985.**

[Huard07] **V. Huard, C. Parthasarathy, N. Rallet, C. Guerin, M. Mammase, D. Barge, C. Ouvrard, "New characterization and modelling approach for NBTI degradation from transistor to product level", IEEE Inter. Elec. Dev. Meet. Tech. Dig., pp. 797-800, 2007.**

[LENZ69] **M. Lenzlingere, E. H. Snow, "Fowler Nordhiem tunnelling into tkermally grown soi2", journal of applied physics, 1969, Vol 40, pp. 278-283.**

[Leray90] **J.L. Leray, E. Dupont-Nivet, J.F. Peret, Y.M. Coïc, M. Raffaelli, A.J. Auberton-Hervé et al, "CMOS/SOI hardening at 100 Mrad (SiO2)", IEEE Trans. Nucl. Sci., Vol.37, pp.2013, 1990.**

[LIEB03] **M. A. Liebrman "A mini-course on the principles of plasma discharges",2003. http://people.physics.anu.edu.au/~jnh112/AIIM/c17/Plasma_discharge fundamentals.pdf**

[LUCO01] **G.Lucovsky "Electronic structure of high-K transistion-metal and rare-earth dielectrics for aggressively-scaled silicon devices" IWGI 2001 Proceedings pp 14-25(2001).**

[Mastuda09] **A. Matsuda, Y. Nakakubo, R. Ogino, H .Ohta, K. Eriguchi, and K. Ono, " Simulation and Experimental Study on the Characteristics of Plasma-Induced Damage and Methodology for Accurate Damage Analysis", IEEE International conference on IC Design and Technology, pp. 97-100, 2009.**

[Ogawa95] **S. Ogawa and N. Shiono, "Generalized diffusion-reaction model for the low-field charge-buildup instability at the Si-SiO2 interface", Phys. Rev B, vol. 51, N°7, pp. 4218-4230, 1995.**

[Planes12] **N. Planes, O. Weber, V. Barral, S. Haendler, D. Noblet, D. Croain, M. Bocat, P.O. Sassoulas, X. Federspiel, A. Cros, A. Bajolet, E. Richard, B. Dumont, P. Perreau, D. Petit, D. Golanski, C. Fenouillet-Béranger, N. Guillot, M. Rafik, V. Huard, S. Puget, X. Montagner, M.-A. Jaud, O. Rozeau, O. Saxod, F. Wacquant, F. Monsieur, D. Barge, L. Pinzelli, M. Mellier, F. Boeuf, F. Arnaud and M. Haond, "28nm FDSOI Technology Platform for High-Speed Low-Voltage Digital Applications" VLSI Tech. Dig., 133-134, 2012.**

[Poiroux00] **T. Poiroux « Etude des dégradations induites dans les oxydes de grille des dispositifs MOS par les procédés plasma », université de Nantes, 2000.**

[POPO95] **O. A. Popov, « High Density Plasma Sources: Design, Physics and Performance», Noyes publications, 1995.**

[Skotnicki08] **T. Skotnicki, C. Fenouillet-Beranger, C. Gallon, F. Boeuf, S. Monfray, F. Payet, A. Pouydebasque, M. Szczap, A. Farcy, F. Arnaud, S. Clerc, M. Sellier, A. Cathignol, J.-P. Schoellkopf, E. Perea, R. Ferrant, and H. Mingam, "Innovative materials, devices, and CMOS technologies for low-power mobile multimedia," IEEE Trans. Electron Devices, vol. 55, no. 1, pp. 96–130, Jan. 2008.**

[SONG02] **S.C Song, S. Filioiak, A. Perera, M. Turner, F. Huang, S.G.H. Anderson, "Avoiding Plasma Induced Damage to Gate Oxide with Conductive Top Film (CTF) on PECVD Contact Etch Stop Layer", Symposium On VLSl Technology Digest of Technical Papers, 2002, pp. 72-73.**

[Tardiveau] **Cours physique des plasmas "Master de physique fondamentale": http://ipnwww.in2p3.fr/cumulM1/ressources/pdfdocs/PolyPlasma.pdf**

[TSAI96] **W. Tsai, G. Mueller, R. Lindquist, B. Frazier, V. Vahedi, « High Selectivity Plasma Etching of Silicon Dioxide with a Dual Frequency 27/2 MHz capacitive radio Frequency Discharge » J. Vac. Sci. Technol. B, Vol. 14, n° 5, Sept/Oct. 1996, p. 3276.**

[VEROV97] **C. Vérove « Etude des mécanismes de gravure des grilles polysilicium en plasma haute densité pour les technologies CMOS sub-microniques ; Caractérisation des défauts électriques induits sur structures MOS », Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, 1998.**

[VINC96] **E. Vincent, « Etude des propriétés de dégradation du système Si/SiO2 – Application à la Fiabilité des filières CMOS Submicroniques », Thèse de doctorat, Institut National Polytechnique de Grenoble, Sept. 1996, p. 189.**

[Weber08] **Weber O., Faynot O., Andrieu F., Buj-Dufournet C., Allain F., Scheiblin P., Foucher J., Daval N., Lafond D., Tosti L., Brevard L., Rozeau O., Fenouillet- Beranger C., Marin M., Boeuf F., Delprat D., Bourdelle K., Nguyen B.-Y. et Deleonibus S. (2008). High Immunity to Threshold Voltage Variability in Undoped Ultra-Thin FDSOI MOSFETs and its Physical Understanding. In 2008 International Electron Devices Meeting. Technical Digest, pages 245 – 248.**

[Yang88] **E. S. Yang, *Microelectronic devices,* McGraw-Hill, Ed, New York, 1988**

[Young07] **C.D. Young, G. Bersuker, F. Zhua, K. Matthewsb, R. Choi, S.C. Song, H.K. Parke, J.C. Leea, and B.H. Leed, "Comparison of plasma-induced damage in SiO_2/TiN and HFO_2/TiN gate stacks", Annual international Reliability Physics Symposium, 2007, pp. 67-70**

Chapitre 2 : Dégradations induites par les procédés plasma et techniques expérimentales de caractérisation

Dans ce second chapitre nous essayerons de comprendre l'origine des effets d'antenne et leurs conséquences sur les dispositifs MOS.

Tout d'abord nous commencerons par un résumé de l'état de l'art des différents mécanismes de dégradation générés par l'exposition aux procédés plasma et leurs conséquences : dégradation par rayonnements UV, par bombardement ionique et par effets d'antenne (ce dernier mécanisme étant le sujet principal de cette thèse, nous le traiterons plus en profondeur dans les prochains chapitres).

Puis nous nous intéresserons aux caractéristiques électriques des plasmas. Cela nous permettra de comprendre l'interaction entre le plasma et une surface qui y est plongée et de mieux cerner le comportement des mécanismes de dégradation par effets d'antenne lors de l'exposition aux procédés plasma.

La dernière partie du chapitre est consacrée à l'étude des techniques de caractérisations employées pour quantifier les dégradations induites, pour identifier les mécanismes qui en sont responsables et pour optimiser les conditions des procédés plasma.

II.A Les différents types de dégradations induits par l'exposition aux procédés plasma

Nous avons vu précédemment toutes les propriétés remarquables des plasmas et leurs applications dans l'industrie de la microélectronique. En effet, les procédés plasma contribuent largement dans la course à l'intégration et à la miniaturisation des composants électroniques. Cependant, l'utilisation de plasmas génère aussi des problèmes de différentes sortes pour la qualité des substrats tels que :

- **Génération de paires-électrons trous** dans l'oxyde de grille due aux photons UV émis par le plasma.
- **Détérioration physique du substrat** lié au bombardement ionique, pouvant causer des défauts morphologiques ou structuraux.
- **Contamination**: apport par le plasma de particules métalliques ou de charges fixes.
- **Effets d'antenne** : détérioration de la qualité de l'oxyde de grille causée par des contraintes électriques issues du plasma.

II.A.1 Les rayonnements UV :

Les rayonnements UV sont la conséquence de la création des plasmas. En effet, toute excitation des niveaux électroniques d'un atome ou d'une molécule s'accompagne d'une émission d'un rayonnement énergétique de longueur d'onde λ comme illustré dans la Figure II-1.a tel que : $E' - E_0 = \frac{hc}{\lambda}$, avec E' l'énergie du niveau électronique excité, E_0 l'énergie du niveau électronique relaxé, h la constante de Planck et c la vitesse de la lumière. Les longueurs d'ondes caractéristiques du rayonnement dépendent de la nature des gaz utilisés pour la création du plasma comme l'indique la Figure II-1.b. L'énergie des photons UV émise est de l'ordre de 5 à 25 eV, elle se situe donc dans le domaine de l'ultra-violet profond. Sachant que la largeur de la bande interdite de l'oxyde de silicium est de l'ordre de 9 eV, l'énergie des photons UV est suffisante pour créer des paires électrons-trous dans le volume de l'oxyde. Les électrons générés dans la bande de conduction de l'oxyde sont facilement évacués par le champ électrique à travers l'oxyde de grille tandis que les ions correspondants

à la bande de valence avec une très faible mobilité sont susceptibles de rester piégés à l'interface oxyde/semiconducteur comme l'illustre la Figure II-2. Ainsi, ce phénomène induit par UV aboutit à la création de charges positives fixes dans l'oxyde ayant pour conséquence un décalage de la tension de bandes plates de la capacité MOS.

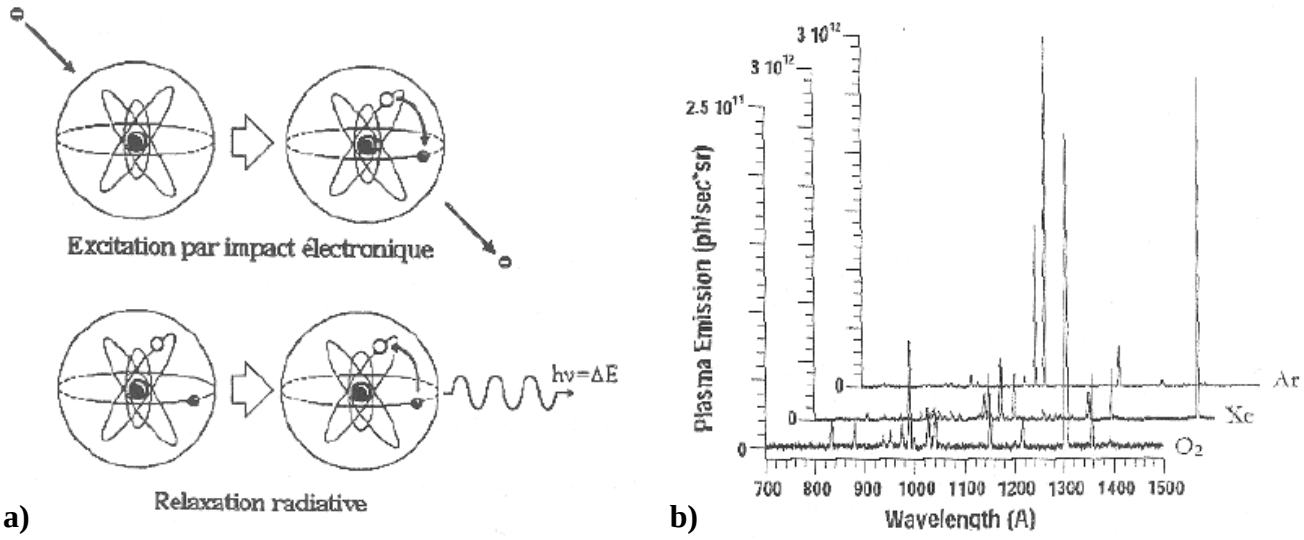


Figure II-1: [Carrere00]: a)- Processus radiatif intervenant dans un plasma lors d'une relaxation [VEROV97], b)- spectre d'émission plasma situé dans le VUV (visible ultra-violet) pour différents gaz (Oxygène, Xénon, Argon) [CISM99]

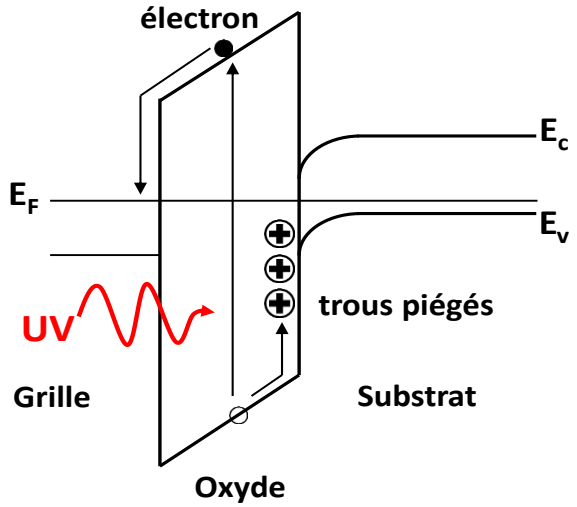


Figure II-2: Principe de génération de paires électrons-trous par photon UV et de la création de charges fixes positives dans l'oxyde de grille [Carrere00]

Par ailleurs, une autre étude récente a mis en évidence un autre type de dégradation par rayonnements UV du plasma. Dans son étude Eriguchi et al [Eriguchi15] montre une dégradation de la qualité de l'oxyde Low-k inter-métal après exposition aux étapes plasma. Ces oxydes Low-k sont largement utilisés dans la fabrication des circuits électronique ULSIs (*ultra-large scale integrated circuits*). En effet, leur constante diélectrique faible permet de réduire le délai RC des circuits et ainsi d'optimiser leurs performances. Des antennes avec des doigts de métal de différentes largeurs et espacements ont été utilisées dans cette étude. L'exposition au plasma induit des dégradations qui se traduisent par une augmentation de la constante du diélectrique Low-k inter-métal, en fonction du temps d'irradiation plasma et de l'espacement entre les doigts de métal comme le montre la Figure II-3.a. En effet, l'exposition aux irradiations provoque la création de défauts dans l'oxyde (rupture des liaisons chimiques des groupements méthyls (CH3) dans le réseau SiO). De plus, les lignes de cuivre irradiées créent un champ électrique à travers l'oxyde qui accentue l'impact de ce phénomène, avec pour conséquence une réduction de la largeur du gap (Figure II-3.b). Cela implique une augmentation de la constante du diélectrique de l'oxyde et donc une dégradation du délai RC des circuits.

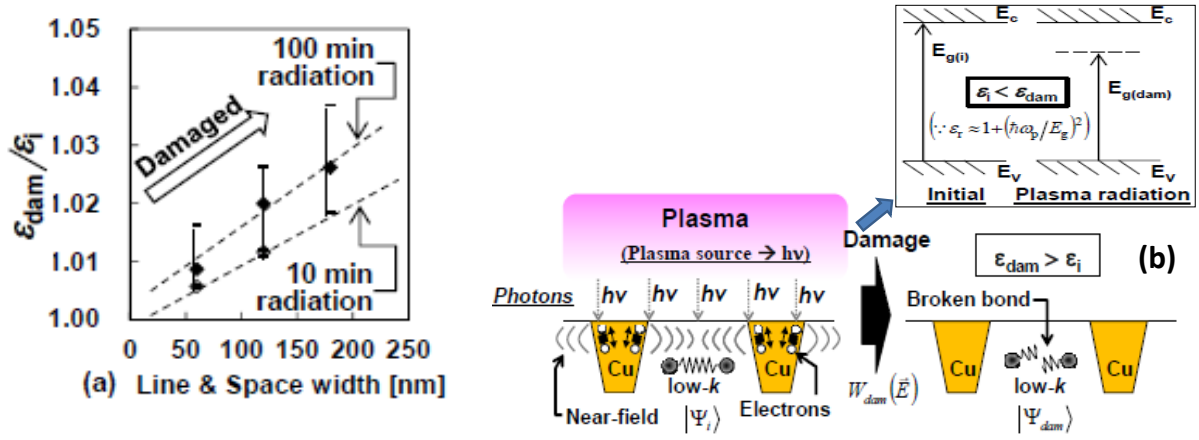


Figure II-3: a)-Evolution de la constante du diélectrique Low-k après exposition au plasma en fonction du temps pour différentes configurations d'antenne (différentes largeurs et espacements entre les doigts de métal) avec, ε_i : la constante du diélectrique initiale et ε_{dam} la constante après exposition au plasma. b)- mécanisme de dégradation conduisant à l'augmentation de la constante du diélectrique Low-k [Eriguchi15].

II.A.2 Défauts causés par le bombardement ionique :

Le bombardement ionique, utilisé dans les procédés de gravure par pulvérisation peut causer des détériorations physiques sur le substrat exposé au plasma, aboutissant à des problèmes de dislocations [Yabu81], avec pour conséquence, la génération de fuites de jonctions [Fona90].

Les procédés plasmas génèrent aussi des défauts morphologiques, dus à une variation locale de l'énergie de bombardement des ions dans les motifs. Parmi ces défauts, l'apparition d'une sur-gravure au pied d'un motif de grille gravé: ce phénomène s'appelle le « notching », et est causé par la déviation électrostatique des ions du milieu des motifs vers les flancs de ces derniers, qui peut être accentuée par l'augmentation de la température électronique, et générer ainsi une augmentation du flux et de l'énergie des ions au bas des motifs, comme le montre la Figure II.4 [Hwang96].

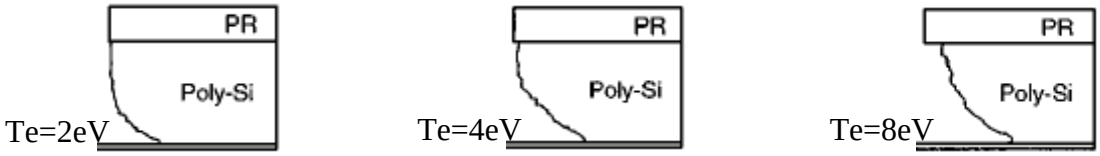


Figure II-4: Simulation de profils de gravure faisant apparaitre du « notching » dont la profondeur augmente avec la température électronique du plasma [Hwang96]

II.A.3 Contamination :

L'exposition aux procédés plasma d'un substrat peut aussi engendrer des problèmes de contamination par des particules métalliques et organiques. Les particules organiques proviennent des produits de réaction de gravure, tandis que les particules métalliques viennent des parois du réacteur qui sont soumises au bombardement ionique [Yaps90]. Ce type de contamination peut conduire à la perte des performances des dispositifs MOS résultant d'une perte de la mobilité [VEROV97] ou des problèmes de fuites.

Pour pallier ce type de problèmes, diverses solutions sont mises en place, comme l'optimisation des matériaux du réacteur ou encore le nettoyage chimique de la surface.

II.A.4 Les effets d'antenne :

Les effets d'antenne se manifestent lorsque les nœuds d'un dispositif MOS (grille, source et drain) sont connectés à une surface conductrice exposée à un procédé plasma. Les charges provenant du plasma sont collectées par ces surfaces conductrices communément appelées « antennes » puis évacuées vers l'oxyde de grille du composant comme illustré dans la Figure II.5, avec pour conséquence d'importants problèmes de fiabilité. Le niveau de dégradation varie en fonction de la surface de l'antenne exposée au plasma, et augmente lorsque la surface de cette dernière augmente.

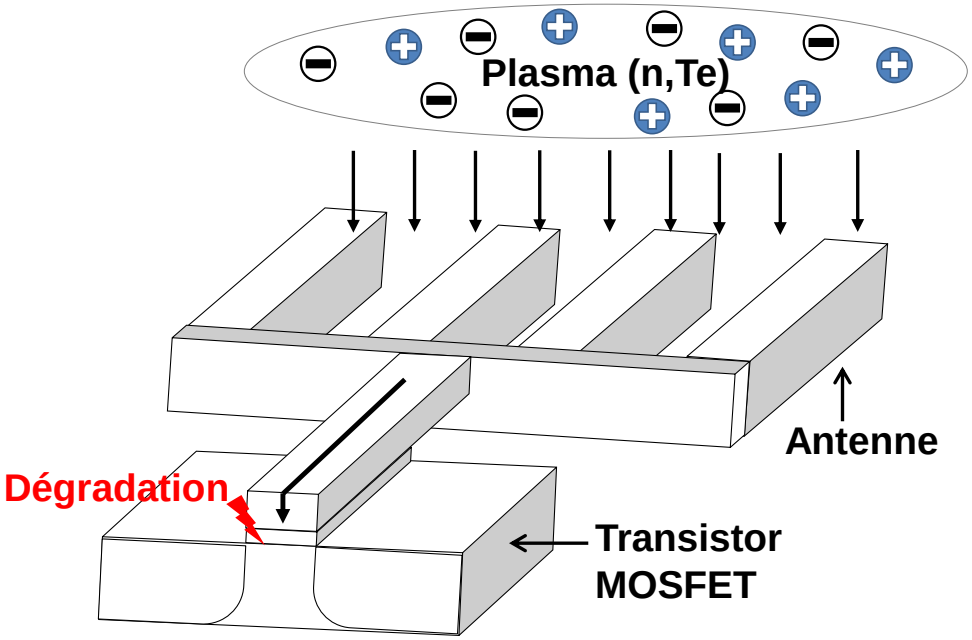


Figure II-5: Représentation schématique d'une configuration dans laquelle se produisent des effets d'antenne

Les dégradations par effets d'antenne sont le sujet principal de cette thèse. La littérature montre que deux phénomènes principaux sont à l'origine de la plupart des dégradations : la non-uniformité du plasma [Tzeng99] et les effets topographiques [Hasegawa98], [Carrere00']. Une étude prospective impliquant l'impact des procédés plasmas sur les futures technologies CMOS avec des oxydes de grille ultra-fins peut être trouvée dans [Cheung07].

Ces effets d'antenne peuvent intervenir quel que soit le procédé plasma : dépôt [Byun05], gravure [Carrere00''], phase de nettoyage de fond de trou d'un contact ou d'un via

par plasma, etc. Par conséquent, il est indispensable de comprendre les mécanismes par lesquels un courant électrique est induit dans l'oxyde de grille des composants en cours d'étape plasma. Il convient donc d'entrer plus en profondeur dans la compréhension de l'équilibre électrique qui s'établit entre le plasma et la plaque.

II.A.4.1 Equilibre électrique plasma-plaque :

Dans cette partie, afin de cerner les conditions de l'équilibre électrique entre le plasma et une surface qui y est plongée, nous rappellerons tout d'abord la notion de gaine électrostatique. Nous écrirons ensuite l'expression de la caractéristique courant-tension du plasma, qui donne le courant incident sur la surface en fonction de son potentiel.

II.A.4.1-a La gaine électrostatique :

Que se passe t'il lorsqu'une surface isolée électriquement est plongée dans un plasma ?

Déduites d'une approche purement cinétique, les équations II.1 et II.2 permettent d'évaluer un flux de particules par unité de surface et leurs vitesses moyennes respectivement.

$$\Phi = \frac{1}{4} n\bar{v} \qquad \text{équation II.1} \qquad \text{et} \qquad \bar{v} = \sqrt{\frac{8kT}{\pi M}} \qquad \text{équation II.2}$$

Avec M la masse des particules, n et T leurs densité et température respectivement.

$M_{ions} >> M_{électrons}$ ce qui implique que les électrons possèdent une vitesse moyenne significativement plus importante que les ions. Les densités électronique et ionique dans le plasma étant équivalentes, le flux d'électrons arrivant sur la surface exposée est naturellement supérieur au flux d'ions. Ainsi, quasi-instantanément, il se forme une densité superficielle de charges négatives sur la surface. Cette zone chargée négativement augmente jusqu'à ce qu'elle arrive à repousser les électrons vers le plasma. Ainsi se forme une zone de charge positive appelée « *gaine électrostatique* » complètement désertée par les électrons comme le montre la Figure II.6. Cette gaine se crée donc systématiquement à l'interface plasma-environnement, à savoir le substrat exposé. Son rôle est primordial, car elle permet le confinement et l'isolement du plasma par rapport à son environnement. En effet, le champ électrique qui s'y

développe permet de retenir les électrons dans le volume du plasma. Sans cela, leur fuite rapide du volume du plasma provoquerait son extinction.

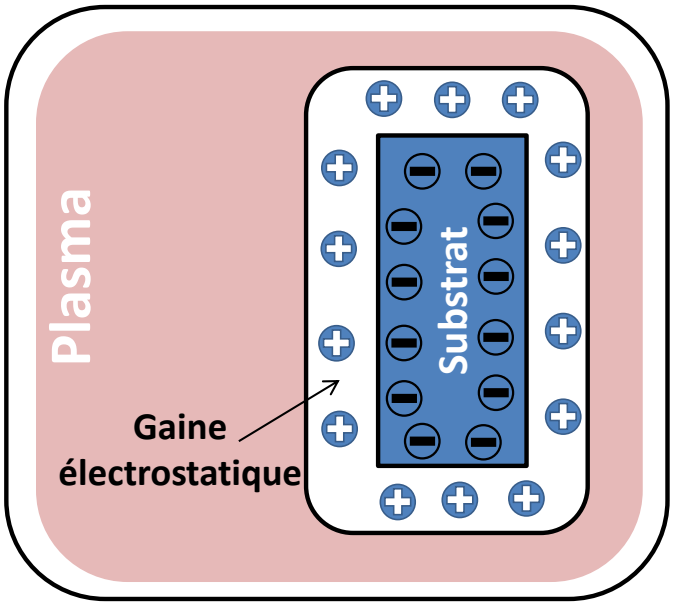


Figure II-6: création d'une zone chargée positivement appelée gaine électrostatique autour d'un substrat exposé au plasma.

Le potentiel plasma noté Vp est donc toujours plus positif que son environnement. D'autre part, la population d'électrons en équilibre thermique à la température Te dans le plasma suit une distribution en énergie Maxwellienne, et donc le potentiel plasma local est relié à la densité électronique par la relation de Boltzmann :

$$n_e(x) = n_{eo} \exp\left(\frac{eV_p(x)}{kT_e}\right) \qquad \text{équation II.3}$$

$n_e(x)$ représente un gradient de densité électronique correspondant a un gradient de partiel plasma Vp(x).

Cette relation indique que plus le plasma est localement dense, plus son potentiel augmente. Cela traduit le fait que tous les électrons qui atteignent un point x de la gaine sont entrés avec une énergie cinétique assez importante pour compenser la différence de potentiel entre le plasma et le point x.

Critère de Bohm :

Pour qu'une gaine électrostatique se forme, les ions doivent avoir une vitesse minimale V_{ib} à leur entrée dans la gaine. Ce critère est appelé « critère de Bohm » [Lisov98] :

$$V_{ib} = \sqrt{\frac{kT_e}{m_i}} \qquad \text{équation II.4}$$

Pour un plasma d'argon avec une température électronique Te=3eV, $V_{ib}=2{,}7.10^3$ m/s. Sachant que la vitesse thermale à 300K de l'argon dans le volume du plasma est environ de 500 m/s, les ions sont accélérés jusqu'à la vitesse V_{ib} avant d'entrer dans la gaine où l'électro-neutralité n'est plus respectée. Cette accélération est due à une chute de potentiel équivalente à kTe/2 dans une région du plasma appelée pré-gaine, située avant la gaine (voir Figure II-7).

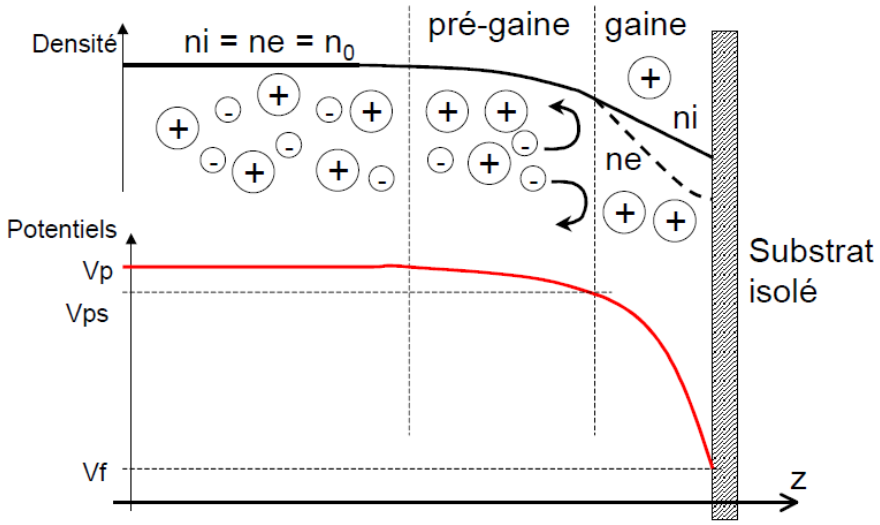


Figure II-7: Evolution de la densité électronique et ionique, et du potentiel plasma à travers la gaine et la pré-gaine [Carrere00], avec Vps = Vp-kTe/2 le potentiel à l'interface pré-gaine/gaine et Vf le potentiel flottant au niveau du substrat (voir le paragraphe suivant).

II.A.4.1-b Caractéristiques courant-tension du plasma :

Apres avoir défini la gaine électrostatique et l'évolution du potentiel plasma à travers la gaine et la pré-gaine, nous pouvons à présent exprimer le courant provenant du plasma en fonction du potentiel de la surface sur lequel il arrive.

La chute du potentiel à travers la pré-gaine peut s'écrire comme suite :

$$e\Delta Vp = \frac{1}{2} m_i V_{ib}^2 \qquad \text{équation II.5}$$

Les deux équations, II.5 et II.4 donnent : $\Delta Vp = \frac{kTe}{2e}$ équation II.6

Cette chute de potentiel a aussi pour conséquence la diminution de la densité électronique à l'interface pré-gaine/gaine. En effet la relation de Boltzmann se réduit ainsi :

$$n_{es} = n_0 \exp\left(\frac{e\Delta Vp}{kTe}\right) \rightarrow n_{es} = 0.6 n_0 \qquad \text{équation II.7}$$

Avec n_0 la densité du plasma volumique et n_{es} la densité électronique à l'interface pré-gaine/gaine.

La pré-gaine est électriquement neutre. La densité des ions est donc équivalente à la densité des électrons. Par conséquent nous avons $n_{es}=n_{is}$ au début de la gaine. Ainsi, nous pouvons évaluer le flux d'ions et d'électrons traversant la gaine et donc le courant ionique et électronique. Le **courant d'ions** peut être exprimé ainsi :

$$J_i = J_{is} = n_{is} e V_{ib} = 0.6 n_0 e \sqrt{\frac{kT_e}{m_i}} \qquad \text{équation II.8}$$

Cette densité de courant est appelée **courant ionique de saturation** noté Jis. Elle est indépendante de la tension de gaine. Dit autrement, le courant ionique est indépendant de l'énergie des ions arrivant sur le substrat, et le plasma se comporte comme une source de courant ionique.

Concernant le **courant des électrons** il peut être obtenu à partir des équations II.1 et II.3 :

$$J_e = -\frac{1}{4} e n_0 \overline{V_e} \exp\left[\frac{e(V_s - V_p)}{kT_e}\right] \rightarrow J_e = -\frac{1}{4} e n_0 \sqrt{\frac{8kT_e}{\pi m_e}} \exp\left[\frac{e(V_s - V_p)}{kT_e}\right] \qquad \text{équation II.9}$$

Avec Vp le potentiel du plasma volumique et Vs le potentiel de la surface exposée au plasma.

A l'inverse du courant d'ions, le courant des électrons est exponentiellement modulé par la tension de la gaine.

Ainsi, en utilisant les relations II.8 et II.9 on obtient l'expression de la densité de courant provenant du plasma en fonction du potentiel de la surface exposée :

$$J_{plasma} = 0.6 n_0 e \sqrt{\frac{kT_e}{m_i}} - \frac{1}{4} e n_0 \sqrt{\frac{8kT_e}{\pi m_e}} \exp\left[\frac{e(V_s - V_p)}{kT_e}\right] \qquad \text{équation II.10}$$

L'équation II.10 peut être réécrite comme suit :

$$J_{plasma} = J_{is}\left\{1 - \frac{m_i}{2.3 m_e} \exp\left[\frac{e(V_s - V_p)}{kT_e}\right]\right\} \qquad \text{équation II.11}$$

A l'inverse du courant d'ions, le courant des électrons est exponentiellement modulé par la tension de la gaine. Cette équation permet de caractériser le comportement courant-tension d'un plasma à partir de paramètres mesurables comme la température électronique et le courant ionique de saturation grâce à des techniques de mesures telles que la « sonde de Langmuir ».

L'expression précédente (équation II.11) est valide uniquement dans le cas d'une surface conductrice. Lorsqu'un substrat isolant est exposé au plasma, la densité de courant qui le traverse est nulle (J_{plasma}=0). Le potentiel V_f à la surface, **appelé potentiel flottant**, s'écrit donc comme suit :

$$V_f = V_p - \frac{kT_e}{2e} \ln\left(\frac{m_i}{2.3 m_e}\right) \qquad \text{équation II.12}$$

Et finalement, la densité de courant provenant du plasma sur un conducteur au potentiel Vs se réécrit comme suit :

$$J_{plasma} = J_{is}\left\{1 - \exp\left[\frac{e(V_s - V_f)}{kT_e}\right]\right\} \qquad \text{équation II.13}$$

II.A.4.2 Source de déséquilibre en courant:

Dans la partie précédente, nous avons vu comment une surface isolée électriquement et soumise à un plasma s'autopolarise afin d'équilibrer les flux d'ions et d'électrons incidents. A présent, nous allons passer en revue les différents mécanismes qui font que cette condition d'équilibre peut ne plus être respectée localement.

II.A.4.2-a La non-uniformité du plasma:

Supposant un dispositif MOS dont la grille connectée à une surface conductrice « antenne » est exposée à un plasma. L'une des sources de déséquilibre en courant au niveau de l'antenne est la non-uniformité du plasma. En s'appuyant sur la relation de Boltzmann (équation II.3), nous pouvons supposer que cette non-uniformité peut résulter de : la non-uniformité du potentiel plasma ou encore de la non-uniformité de la température électronique. La Figure II.8 montre une corrélation très nette entre le profil du potentiel plasma et le profil de la température électronique obtenus par des mesures expérimentales pour deux procédés plasma différents [FRIE97].

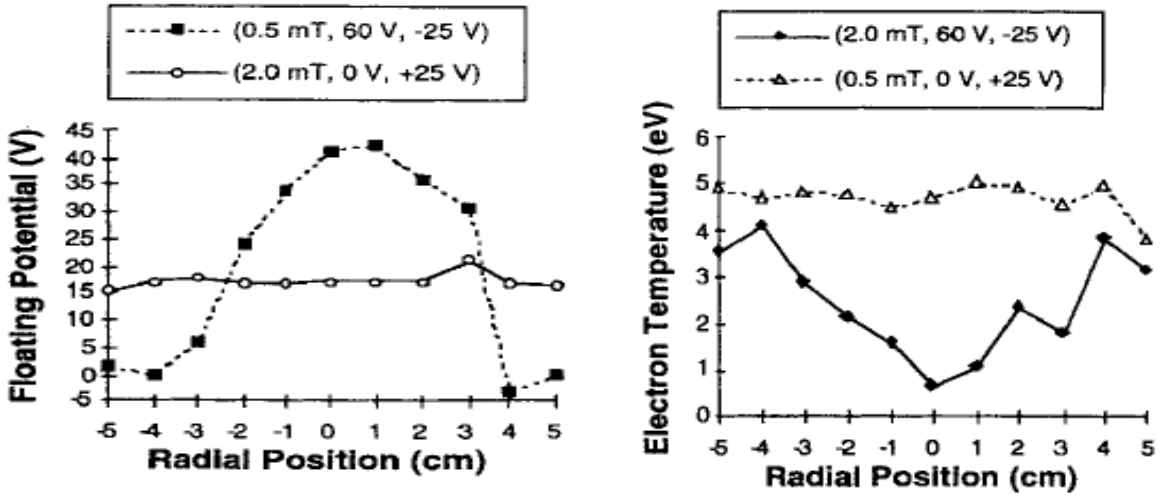


Figure II-8: Vérification expérimentale de la corrélation entre le profil du potentiel plasma et celui de la température électronique. Echantillons vides : plasma uniforme, échantillons pleins : plasma non-uniforme.

Différentes études ont été menées pour comprendre ce phénomène. L'une des plus intéressantes est celle de Friedmann et al [FRIE97]. Dans ce travail, la non-uniformité du plasma est créée et contrôlée artificiellement en utilisant un réacteur plasma ECR. Grâce à différentes caractérisations, Friedmann a réussi à mettre en évidence une corrélation directe entre le profil du potentiel d'autopolarisation sur la surface du substrat et la cartographie des tensions de claquage des structures de test, montrant ainsi le lien entre la non-uniformité du plasma et les dégradations induites sur les composants MOS (dégradation de l'oxyde de grille).

Pour mieux comprendre le comportement de ce phénomène, nous allons étudier un cas simple où la température électronique est supposée uniforme. Dans ce cas, la dégradation par effet d'antenne sera induite par la non-uniformité du potentiel plasma sur la surface de la plaque. Chaque antenne présente sur le substrat tend à s'autopolariser au potentiel flottant, fonction du potentiel plasma local, et la relation de Boltzmann (équation II.14) permet de relier les variations du potentiel plasma aux variations des densités électroniques entre les antennes.

$$Vp_2 - Vp_1 = \frac{kT_e}{e} \ln\left(\frac{n_2}{n_1}\right) \qquad \text{équation II.14}$$

Ainsi, il se crée une différence de potentiel entre les antennes, et un courant de conduction s'établit à travers l'oxyde de grille des composants provoquant ainsi leurs dégradations comme le montre la Figure II.9.

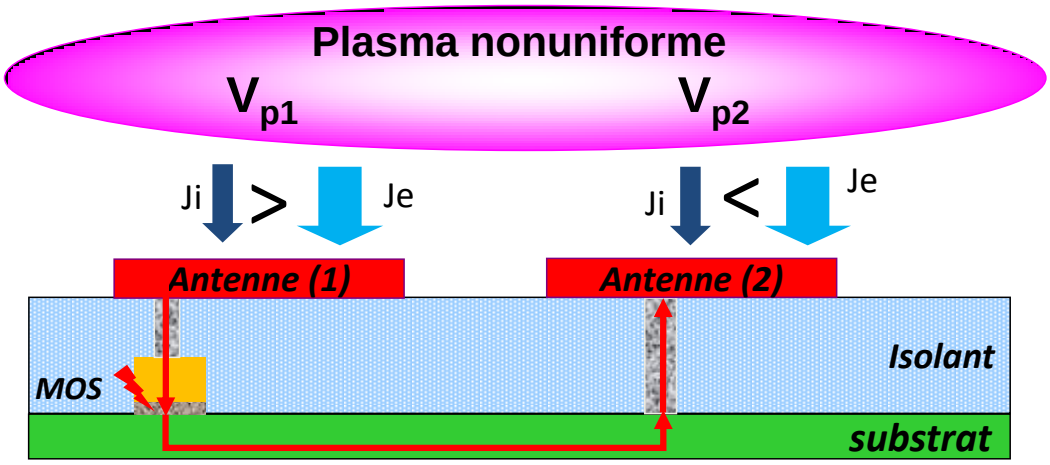


Figure II-9: Dégradation par effet d'antenne créée par non-uniformité du potentiel plasma

II.A.4.2-b Effets topographiques :

Nous avons vu que la non-uniformité du plasma peut être à l'origine d'un déséquilibre de courant au niveau des antennes exposées au plasma, avec pour conséquence la dégradation de l'oxyde de grille. Cependant, même dans le cas d'un plasma uniforme des dégradations par effets d'antenne peuvent être induites par d'autres phénomènes tels que l'écrantage électronique (electron shading). Ce phénomène a été mis en évidence pour la première fois par Hashimoto et al [Hashimoto93]. La dégradation est induite par un déséquilibre entre le flux d'ions et d'électrons arrivant sur l'antenne. Comme illustré dans la Figure II.10-a, les électrons sont ralentis par le champ électrique dans la gaine. Ils arrivent au voisinage de la surface avec une distribution angulaire très dispersée correspondante à leur température élevée. Ainsi, lors de la gravure d'un motif avec un facteur de forme important, une partie des électrons est écrantée par le masque et n'atteint pas le fond du motif. A l'inverse, les ions sont accélérés par le champ électrique dans la gaine et acquièrent une vitesse très directionnelle. Ils atteignent donc le fond du motif sans difficulté. Un courant globalement positif arrive par conséquent en fond de motif, ce qui induit une accumulation de charges positives.

Par ailleurs, le piégeage d'électrons dans la résine peut conduire au développement de potentiel négatif au sommet des motifs, avec pour conséquence de repousser les électrons vers le plasma et d'accentuer le déséquilibre en courant au fond du motif. Ainsi, le mécanisme d'écrantage électronique contient une composante géométrique (forme du motif gravé) et une composante électrostatique. Une simulation de ce phénomène est donnée par [Hwang99] où il évalue le profil du potentiel plasma tout au long d'un motif gravé (potentiel négatif au sommet du motif gravé et positif au fond, comme indiqué dans la Figure II.10-b).

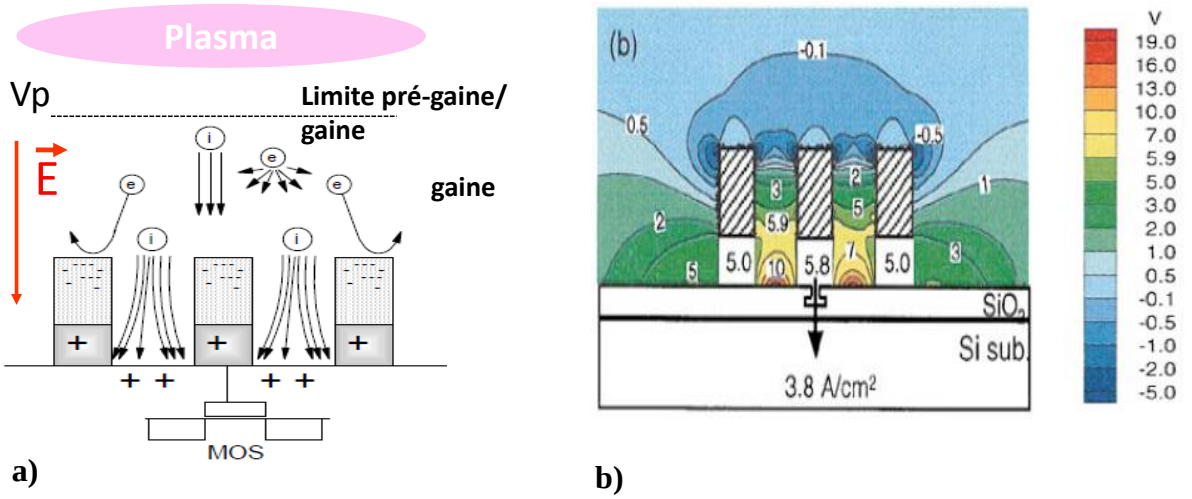


Figure II-10 : a)- Représentation schématique du phénomène d'écrantage électronique. b)- Profil du potentiel plasma le long de lignes exposées à une gravure plasma obtenu par simulation [Hwang99].

Ce phénomène se produit lors d'étapes de gravure, telles que la gravure contact et via, et plus exactement lors de l'étape de surgravure, lorsque la couche conductrice est directement exposée au plasma comme représenté dans la Figure II.11. Une mise en évidence de ce phénomène a été réalisée par Carrere et Poiroux [Carrere00''] à l'aide de capteurs de tension recouverts de matrices de contacts avec différentes surfaces et différents facteurs de forme. Apres l'exposition au procédé plasma, les capteurs de tension ont détecté un décalage de la tension vers des valeurs positives, notamment dans le cas de motifs avec facteur de forme important, conséquence de l'écrantage d'électrons.

Si cette surface conductrice au fond du motif est connectée au nœud d'un dispositif MOS, l'équilibre électrique est atteint seulement lorsqu'un courant de conduction à travers l'oxyde de grille du MOS neutralise le courant positif induit par l'accumulation de charges positives au fond du motif gravé. Comme pour tous les mécanismes induisant des effets d'antenne, le courant à travers l'oxyde de grille augmente avec le rapport d'antenne. Cependant, le niveau de dégradation induit par l'écrantage électronique dépend aussi du facteur de forme de l'antenne exposée au plasma. C'est la signature de la dégradation par effet d'antenne induite par ce phénomène.

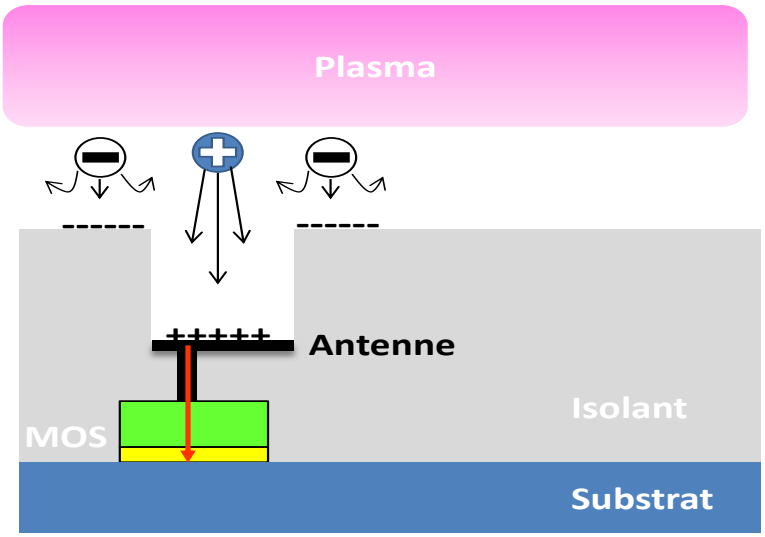


Figure II-11 : Configuration de dégradation par effet d'antenne induite par le phénomène d'écrantage électronique

Nous avons vu que différents phénomènes peuvent être à l'origine de source de déséquilibre en courant au niveau d'une antenne exposée au plasma. Dans tous les cas, l'équilibre est rétabli seulement lorsqu'un courant de conduction à travers l'oxyde de grille neutralise le déséquilibre entre le flux d'ions et d'électrons au niveau de cette antenne. Cependant, ces injections de courant électrique à travers l'oxyde de grille peuvent aboutir à la dégradation du MOS. En effet, lors de toute injection, des défauts peuvent se créer dans l'oxyde, avec pour conséquence une dérive de la tension de seuil, une augmentation de la fuite de grille ou encore le claquage de la capacité MOS dans le pire des cas. Ainsi, il semble important à présent de définir des techniques expérimentales permettant la détection des sources de déséquilibre en courant ainsi que l'évaluation du niveau de dégradation de l'oxyde.

II.B Techniques de caractérisation des effets d'antenne

Les méthodes de caractérisation utilisées dans l'étude des dégradations par effets d'antennes sont nombreuses. Cependant, elles peuvent se scinder en deux. En effet, d'une part il existe des techniques pour caractériser les plasmas, qui généralement sont utilisées pour l'étude des procédés plasma et le suivi des réacteurs, et d'autre part des techniques pour évaluer les dégradations induites sur les circuits pendant l'exposition aux procédés plasma. Ce sont généralement des structures de test qui reflètent des cas réels de composant MOS et qui permettent de prendre en compte l'intégration de l'ensemble des étapes plasmas.

II.B.1 Caractérisation des procédés plasma :

II.B.1.1 Méthode Quantox:

Cette méthode permet d'évaluer la quantité de charge déposée à l'interface et dans le volume d'un oxyde après l'exposition à un procédé plasma. Elle constitue un bon moyen pour étudier les caractéristiques des plasmas, tels que l'uniformité ou encore la tension flottante vue par les antennes durant l'exposition aux procédés. En effet, cette technique permet de mesurer la tension de bandes plates et la densité d'états d'interface de l'oxyde. Cependant, c'est la mesure du potentiel de surface qui est la plus souvent considérée dans les études des dégradations par effets d'antenne. La Figure II.12 illustre la distribution de la tension à la surface d'un substrat après exposition à un procédé plasma obtenu par la méthode Quantox.

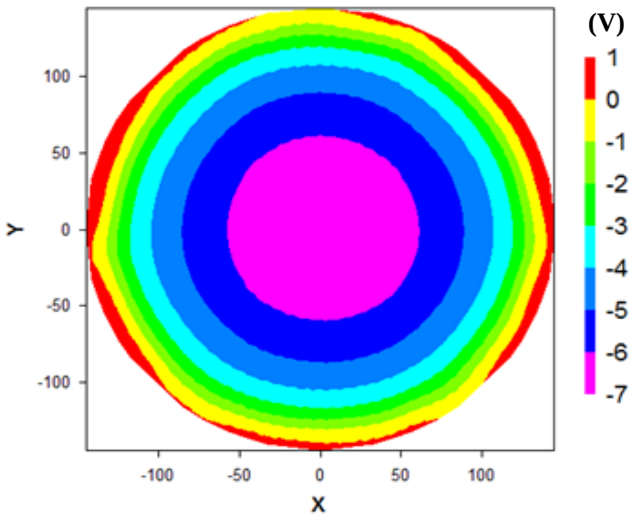
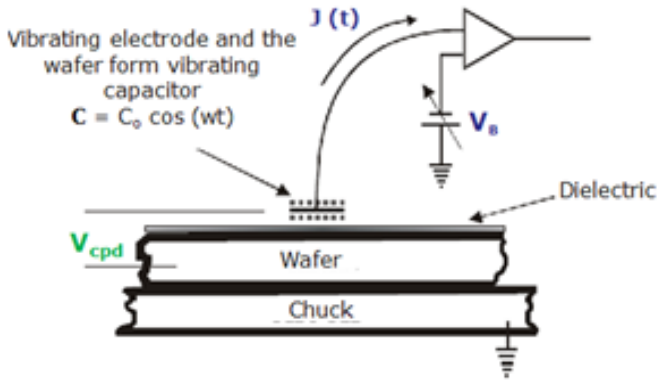


Figure II-12 : Mesure de la tension à la surface d'un substrat après exposition à un procédé plasma obtenu par la méthode Quantox.

Avant tout, nous commençons par déposer une épaisse couche d'oxyde sur un substrat de silicium, environs 2000 à 3000A d'oxyde qui va servir à piéger les charges provenant du plasma. Puis, après l'exposition au procédé, une sonde Kelvin est utilisée pour mesurer le potentiel à la surface du substrat comme illustré dans la Figure II.13. Cette sonde est couplée de façon capacitive à la surface et mesure la différence entre les travaux de sortie de la sonde (connus) et ceux de la plaque qui sont directement liés à l'état de charge de la surface. Le principe de la sonde Kelvin est le suivant: lorsqu'on contacte deux matériaux différents (la sonde et l'oxyde), leurs niveaux de Fermi s'alignent. Ainsi, des électrons sont évacués du matériau dont le travail de sortie est faible vers le matériau avec le travail de sortie le plus important. Ce transfert d'électrons crée alors un potentiel de contact noté Vcpd pour *Contact*

potential difference égal à la différence entre les deux niveaux de Fermi. Ainsi, on peut déterminer les variations du potentiel ΔV_{cpd} à la surface après l'exposition au plasma. Une description détaillée du mode de fonctionnement de cette technique est donnée dans [Dexter00]. Cette technique présente aussi l'avantage de permettre des temps de mesure très faibles. En effet la durée du test est d'environ 10min/wafer.



V_{cpd} : potentiel de contact
V_B : potentiel de la sonde Kelvin
C(t) : capacité
J(t) : courant AC.

Figure II-13: Mesure du potentiel à la surface d'un substrat exposé au plasma en utilisant une sonde Kelvin.

II.B.1.2 Plaque Charging utilisant des structures flash:

Cette technique que nous avons mise en place au cours de cette thèse a été inspirée de la technique CHARM-2^{TM} commercialisée par une société américaine (Wafer Charging Monitor). Le principe est d'utiliser des plaques de silicium 300mm contenant une dizaine de puces munies de mémoires flash qui jouent le rôle de capteurs de tension. Comme dans toutes structures flash, les composants disposent d'une grille de contrôle, que l'on peut polariser extérieurement et une grille flottante qui peut être chargée positivement ou négativement par injection Fowler-Nordheim. Cela a pour conséquence un déplacement de la tension de seuil du transistor, qui est donc fonction de la tension appliquée sur la grille pendant la programmation. La cellule peut être effacée (dépiégeage des charges de la grille flottante, et retour à une tension de seuil normale) grâce à un Effacement Fowler-Nordheim. En effet, en appliquant une tension sur la grille, le champ électrique entre le substrat et la grille flottante peut être assez fort pour effacer la grille flottante.

L'utilisation de cette technique nécessite un bon calibrage du comportement des structures flash, notamment des caractéristiques d'effacement et de programmation par Fowler-Nordheim. Pour ce faire, on trace l'évolution de la tension de seuil pour les deux

modes de polarisation de la grille de commande, ainsi on obtient une courbe sous forme d'hystérésis comme représenté dans la Figure II.14.

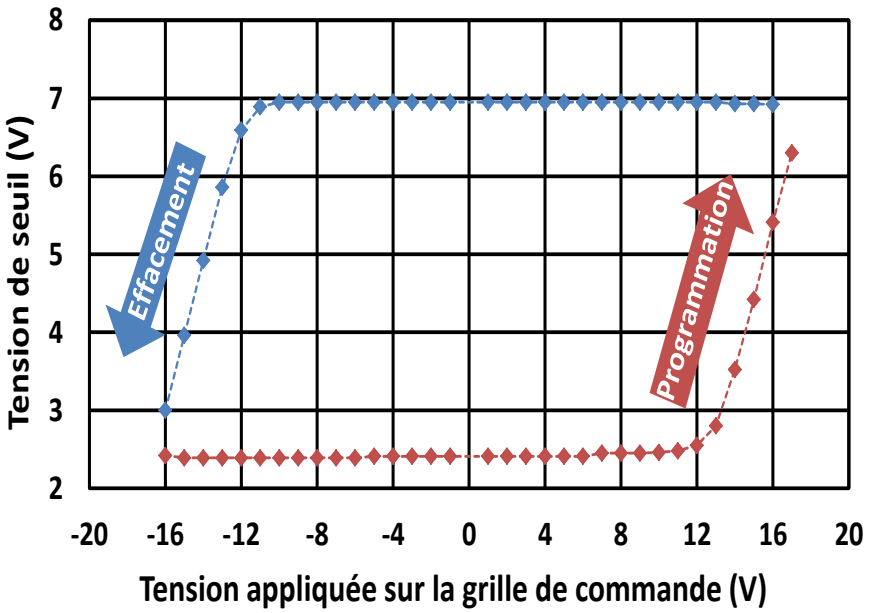


Figure II-14: Caractéristique de programmation et d'effacement des structures flash par Fowler-Nordheim

Une fois le comportement des structures connu, on les programme soit à leur valeur de saturation positive ou négative, puis on expose la plaque au procédé plasma qu'on veut étudier. Apres l'exposition, on mesure la nouvelle tension de seuil des dispositifs, et grâce à l'hystérésis de la Figure II.14 on peut remonter à la tension à laquelle ont été polarisés les composants durant l'exposition au plasma.

Notons que les mémoires avec une pré-programmation positive sont uniquement sensibles à une tension de déprogrammation négative, et vice-versa. Comme avec la méthode Quantox cette technique permet d'avoir une cartographie des tensions sur la surface de la plaque. Cependant elle offre l'avantage d'être plus précise. En effet, avec cette technique l'information est stockée dans la grille flottante de chaque mémoire flash à l'inverse de la méthode Quantox où il existe des risques de fuite de charges dans le volume de l'oxyde, ce qui peut induire une perte de l'information.

Cependant, même si ces techniques peuvent fournir une bonne corrélation entre les mesures de charges de surface et les dégradations induites dans les structures de test, il semble

évident que ces méthodes ne permettent pas d'évaluer les dégradations induites par un certain nombre d'étapes, comme la gravure de contacts ou de vias, où les effets d'écrantage de charges sont mis en jeu.

Finalement, ces méthodes fournissent un moyen rapide pour effectuer le suivi d'un procédé plasma ou d'un réacteur. Cependant, il est nécessaire de mettre en place d'autres techniques complémentaires permettant de refléter des cas réels de composants MOS et de prendre en compte l'intégration de l'ensemble des étapes plasmas.

II.B.2 Caractérisation des dégradations sur un transistor MOS:

II.B.2.1 Structures de test:

Les structures de test sont constituées d'un transistor MOS dont les nœuds (grille source et drain) sont connectés à une surface conductrice appelée « antenne » permettant de simuler les interconnexions d'un circuit. Pour évaluer les dégradations induites par tous les niveaux d'interconnexion (poly, contact, métal et via) nous avons conçu des structures de test avec des antennes pour simuler chaque niveau, comme illustré dans la Figure II.15. En effet, nous avons mis au point des structures d'antenne en polysilicium surmontées d'une matrice de contacts, des structures métal (jusqu'à 11 niveaux de métal) avec des matrices de vias, puis des structures qui cumulent tous les niveaux. Par ailleurs, nous avons aussi défini des antennes avec différentes tailles. En effet, l'évolution du niveau de dégradation avec le rapport d'antenne noté AR permet de mettre clairement en évidence les effets d'antenne et de lever tout doute sur l'origine des dégradations.

$$AR = \frac{surface\ de\ l'antenne}{surface\ de\ l'oxyde\ de\ grille\ du\ MOS} \qquad \text{équation II.15}$$

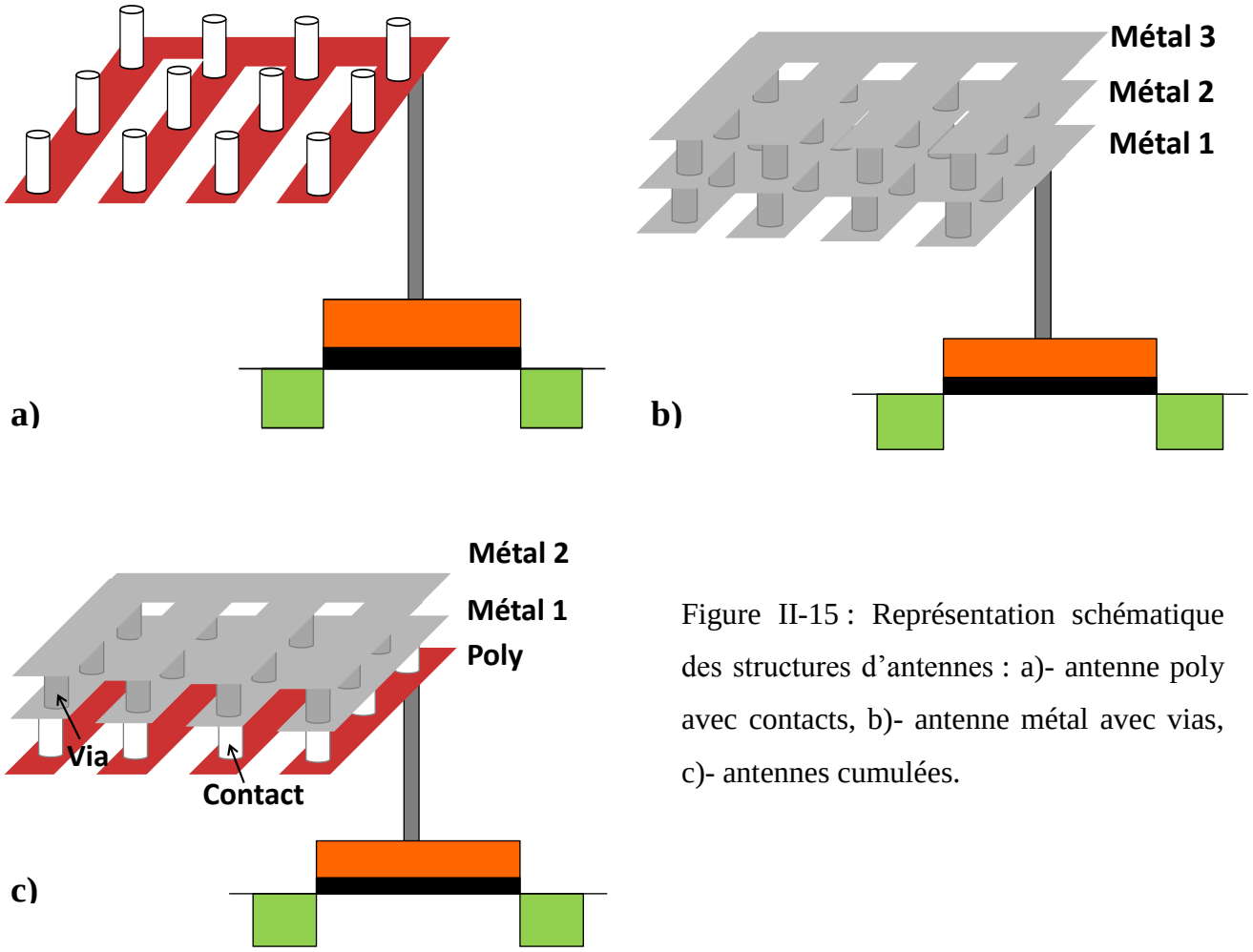


Figure II-15 : Représentation schématique des structures d'antennes : a)- antenne poly avec contacts, b)- antenne métal avec vias, c)- antennes cumulées.

Deux types d'antennes sont utilisés pour détecter les dégradations. Elles se présentent sous forme carrée ou rectangulaire et sous forme de peigne. Dans notre étude nous avons opté pour l'utilisation de peigne de métal. En effet, il a été démontré par Matsunaga et al [Matsunaga07] que ce sont les plus efficaces pour détecter les dégradations par comparaison avec des antennes carrées dans les procédés Back-end damascene utilisés dans les technologies actuelles. Dans son étude Matsunaga a comparé les dégradations induites par un procédé de dépôt de diélectrique inter-métal par PECVD (*plasma-enhanced chemical vapor deposition)* avec une antenne métallique de forme carré notée (A) et une antenne peigne notée (C) où il a fait varier l'espace entre les doigts de métal (même si l'espace entre les doigts varie, le rapport d'antenne reste fixe car uniquement la surface du métal est prise en compte dans le calcul de ce rapport).

La Figure II.16 montre le niveau de dégradation induit par chaque antenne. Pour le même rapport d'antenne, l'antenne (C) provoque plus de dégradations. De plus, le niveau de dégradation continue à augmenter lorsque l'espace entre les doigts de métal de l'antenne augmente. Cela implique que le diélectrique entre les doigts de métal fonctionne comme une antenne collectrice de charges. Ainsi, la surface effective de l'antenne durant l'exposition aux étapes plasma est plus importante que celle définie initialement lors du calcul du rapport d'antenne. Elle ne dépend pas uniquement de la surface du métal, il faut aussi tenir compte de l'espace entre les doigts de métal.

Matsunaga et al ont démontré qu'en réalité la surface effective de l'antenne dépend de l'épaisseur du film d'oxyde déposé et que la largeur effective de l'espace entre les doigts de métal est environ 1.3 fois plus importante que l'épaisseur de l'oxyde déposé. Les structures de test sous forme de peignes avec un large espace entre les doigts de métal sont donc les structures les plus efficaces pour détecter les dégradations dans un procédé Back-end en technologie damascene. En effet, elles offrent la possibilité de collecter plus de charges qu'une antenne carrée ou rectangulaire avec la même surface de métal.

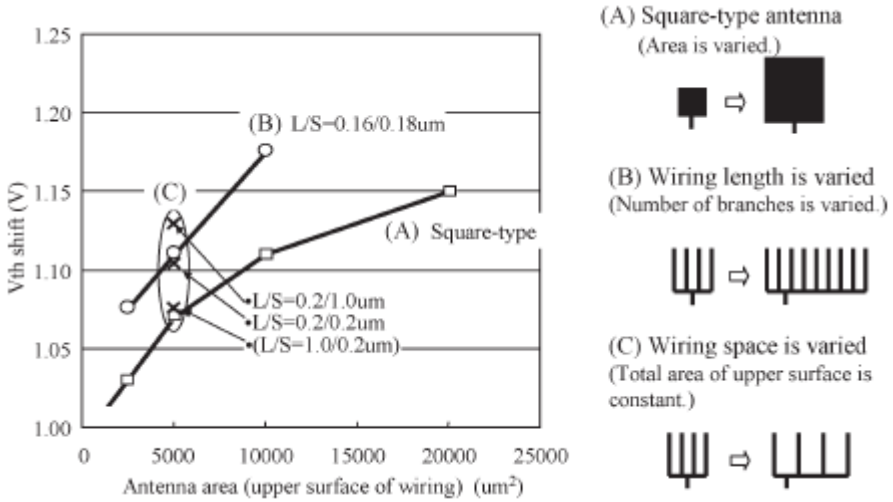


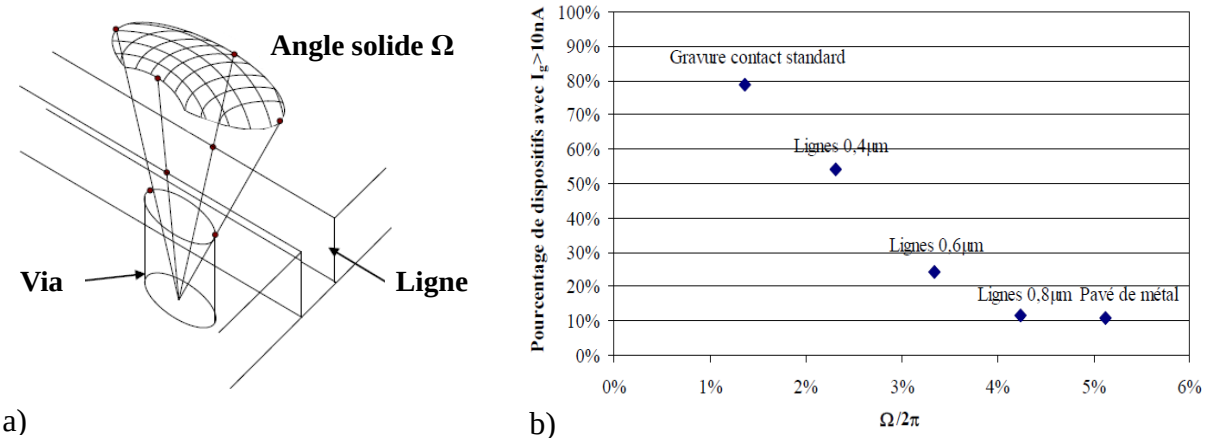
Figure II-16 : Evolution des dégradations induites par un procédé de dépôt PECVD, évaluée par trois types d'antennes différentes.

Les deux technologies FDSOI, 28nm et 14nm développées par STMicroelectronics au centre de Crolles ont été utilisées dans ce travail. Jusqu'à présent, tous les travaux de recherche concernant les effets d'antenne ont été effectués sur des technologies Bulk standard ou PDSOI (Partially depleted SOI) [Dreesk]. Ainsi, pour étudier le comportement des

principaux mécanismes de dégradation identifiés dans la littérature, à savoir la non-uniformité du plasma et les effets topographiques dans les technologies FDSOI il semble indispensable de définir de nouvelles structures d'antenne en plus de celles vues précédemment. Par conséquent, de nouvelles structures de test munies d'antennes avec de nouvelles architectures ont été définies. L'objectif à la fin de l'étude est de comprendre l'interaction plasma-antennes en FDSOI et d'établir par la suite des règles de dessins garantissant la fiabilité et l'immunité contre les effets d'antenne des circuits à base de technologie FDSOI.

II.B.2.1-a Structures de test destinées à l'étude des effets topographiques:

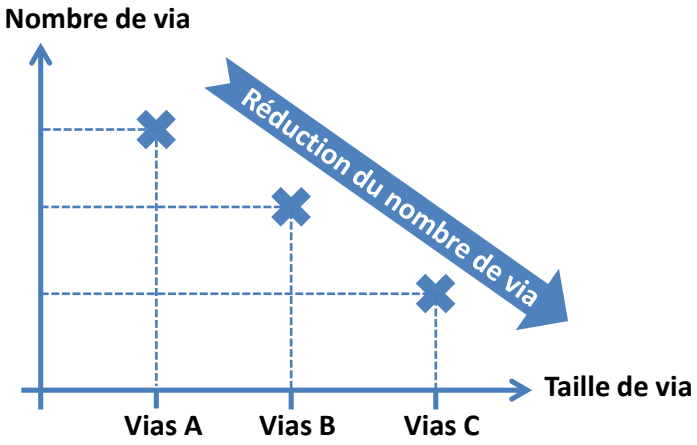
Pour étudier l'impact des effets topographiques nous avons conçu des antennes en métal surmontées de matrices de vias de différentes tailles. Ainsi, en faisant varier le diamètre du via on peut relier le niveau de dégradation de l'oxyde de grille des structures de test au facteur de forme du via, et donc aux effets d'ombrage électronique responsables du déséquilibre en courant au niveau de l'antenne. En effet, il a été démontré que le niveau de dégradation induit par ce mécanisme est directement corrélé à l'angle solide lors de la gravure via comme le montre la Figure II.17-b [Poiroux00]. Cette dépendance confirme que l'écrantage électronique est lié à l'angle solide d'ouverture vers le plasma à partir du fond du motif (Figure II.17-a) et donc à la topographie du via.



a) b)

Figure II-17: a)- Représentation de l'angle solide par lequel est vu le plasma au fond d'un via. b)- Pourcentage de dispositifs ayant un courant de fuite de grille supérieur à 10 nA (critère de détection de la dégradation) en fonction de l'angle solide normalisé d'ouverture vers le plasma [Poiroux00].

Pour établir une corrélation directe entre le niveau de dégradation et le facteur de forme du via nous avons veillé à ce que le ratio d'antenne reste fixe dans toutes les configurations. Par conséquent, pour chaque type de via (taille) nous avons calculé le nombre correspondant suivant l'équation II.16 de façon à garder le ratio d'antenne fixe et avoir uniquement une dépendance avec la topographie lors de la gravure comme illustré dans la Figure II.18.



$$AR_{vias} = \frac{taille\ de\ via \times \mathbf{nombre}}{surface\ de\ l'oxyde}$$

équation II.16

Figure II-18: Calcul du nombre de vias pour chaque configuration de façon à avoir un ratio d'antenne fixe

II.B.2.1-b Structures de caractérisation de l'uniformité du plasma:

Pour étudier ce mécanisme de dégradation nous avons adopté la même stratégie que précédemment. Nous avons conçu des structures de test avec un ratio d'antenne fixe dans toutes les configurations, la seule variable est la distance entre les antennes. Par conséquent, le niveau de dégradation dépend uniquement de la position des antennes à travers le wafer. Ainsi, on pourra mettre en évidence une corrélation entre la non-uniformité du plasma et la cartographie des structures dégradées.

II.B.2.1-c Structure de référence protégée par diode:

Nous allons voir dans le chapitre suivant qu'une protection efficace contre les effets d'antenne consiste à connecter une diode entre l'antenne et le substrat. En effet cela permet d'évacuer vers le substrat les charges collectées par l'antenne durant l'exposition aux procédés plasma et donc d'éviter la dégradation de l'oxyde de grille des composants.

Ainsi, une structure sans antennes, dont les nœuds sont connectés à une diode dès le premier niveau de métal ne subit aucune dégradation par effets d'antenne. Cette structure sera utilisée dans la suite du travail comme ***structure de référence*** (voir Figure II.19) pour déterminer par comparaison le niveau de dégradation induit par l'exposition aux procédés plasma d'une structure de test donnée.

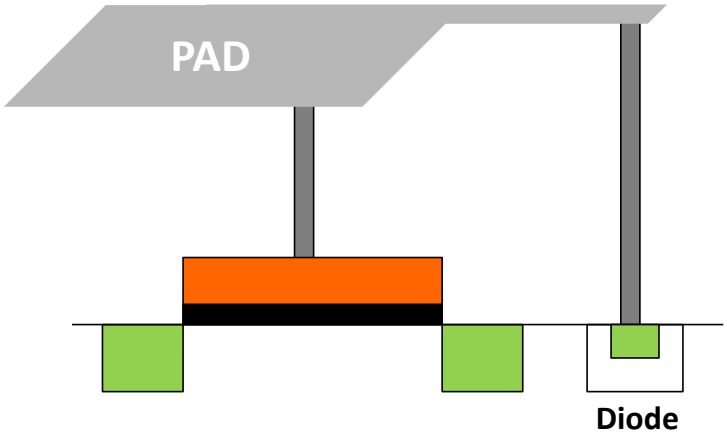


Figure II-19: Représentation d'une structure de référence protégée par diode dès le métal1.

II.B.2.2 Evaluation des dégradations:

Les techniques de mesure de la dégradation de l'oxyde de grille des structures de test induite par effets d'antenne sont nombreuses [Hook00] [Lai06] [Wang02] [Weng10]. Elles évoluent selon la nature et l'épaisseur de l'oxyde de grille utilisé, la technologie étudiée et le temps dont on dispose pour faire la mesure. Cependant, quelle que soit la technique de caractérisation utilisée, il faut que le niveau de dégradation mesuré augmente avec le rapport d'antenne. C'est ainsi que l'on peut affirmer que les dégradations mesurées sont bien dues aux effets d'antenne, et donc valider la technique de caractérisation.

II.B.2.2-a Impact sur les performances des composants :

Pour détecter les dégradations par effets d'antenne nous avons d'abord commencé par analyser les principaux paramètres électriques des transistors après l'exposition aux étapes plasmas. Pour cela nous avons utilisé un analyseur de semiconducteur semi-automatique UF300 de la société Accretech utilisé par l'équipe fiabilité et caractérisation électrique de STMicroelectronics Crolles. Pour certaines conditions, selon le procédé plasma étudié et les caractéristiques de l'antenne utilisée, il semble que les paramètres des transistors évoluent

avec le ratio d'antenne. La Figure II.20 montre une augmentation de la tension de seuil en fonction du ratio d'antenne. Ce comportement est attribué au piégeage de charges dans l'oxyde de grille, provoqué par la création de défauts dans ce dernier durant l'exposition au procédé plasma (voir chapitre 1 partie I.B.4). Le niveau de dégradation est déterminé par l'efficacité de piégeage de l'oxyde de grille qui évolue avec le ratio d'antenne. En effet, dans une étude menée par Young et al [Young07] où il compare les dégradations par effets d'antenne entre un oxyde classique SiO_2 et un oxyde high-k utilisé dans les technologies FDSOI étudiées, il a été établi que les dégradations induites sur la structure d'antenne avec oxyde de grille high-k sont principalement dues au piégeage de charges dans ce dernier.

D'autre part, le courant de fuite de grille semble aussi avoir une sensibilité au ratio d'antenne des structures de test. Comme le montrent les mesures dans la Figure II.21, le niveau de fuite a tendance à augmenter avec le ratio d'antenne. Cependant, son comportement est comparable à un phénomène de claquage, l'augmentation de la fuite est brutale et correspond à un ratio d'antenne important.

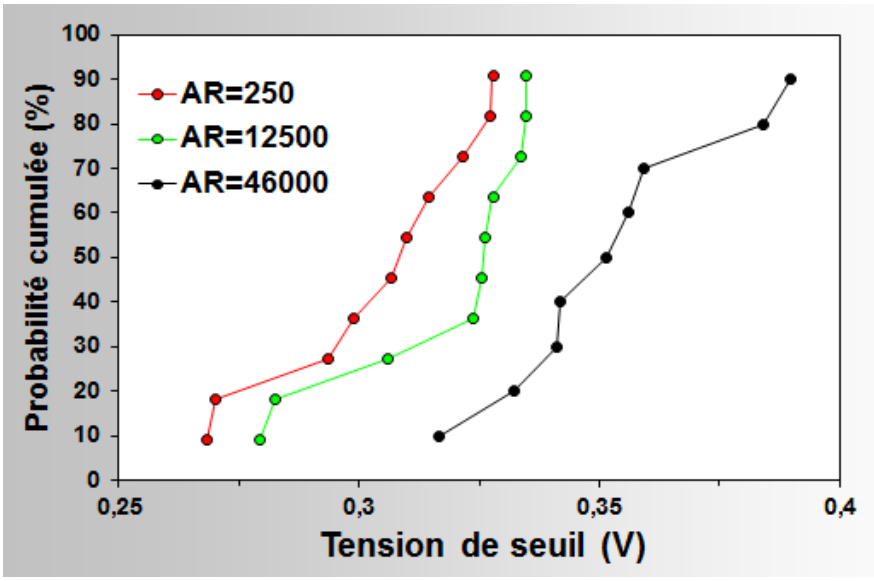


Figure II-20: Dérive de la tension de seuil en fonction du ratio d'antenne des structures de test après exposition au plasma.

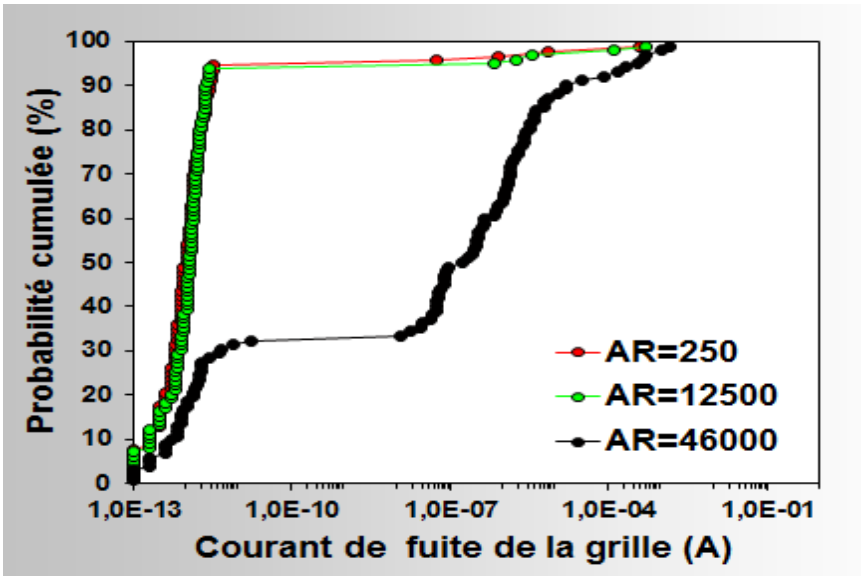


Figure II-21: Evolution de la fuite de l'oxyde de grille des structures de test en fonction du ratio d'antenne.

L'exposition aux procédés plasma provoque la dégradation des composants MOS qui se traduit par la dérive de la tension de seuil, voir même par un claquage de l'oxyde de grille. Ces deux paramètres électriques permettent donc de révéler les dégradations par effets d'antenne. Cependant la mesure de la tension de seuil semble être un meilleur indicateur. Elle permet de détecter des dégradations induites par de faibles rapports d'antenne par comparaison avec des mesures de fuite de grille. De plus elle permet de mettre en évidence la nature des défauts dans l'oxyde créés durant l'exposition au plasma. En effet, comme le montre l'équation I-7, le sens de la dérive de la tension de seuil est sensible au signe des charges piégées.

II.B.2.2-b Impact sur la fiabilité des composants :

Nous avons vu que la fiabilité des composants MOS peut être impactée par les effets d'antennes. Cela est dû à la dégradation de l'oxyde de grille durant l'exposition aux étapes plasmas. Cependant, les recuits thermiques post-métallisation sous atmosphère riche en hydrogène permettent de passiver les liaisons à l'interface Si/SiO_2 et de dépiéger les charges dans l'oxyde. Dans ces conditions les dégradations ne sont plus visibles à la simple mesure des paramètres électriques du transistor. La question se pose alors de savoir si ces recuits thermiques permettent réellement de guérir toutes les dégradations et de garantir ainsi la fiabilité des composants.

Pour évaluer la fiabilité des dispositifs avec antennes guéris par les recuits il convient de changer de stratégie de test. Nous avons opté pour l'utilisation de stress électrique, tels que des stress en tension. C'est derniers permettent de réactiver partiellement les défauts dans l'oxyde et de nous renseigner sur ce que sera l'évolution dans le temps des paramètres électriques du transistor, et par conséquent sur sa fiabilité.

- **Stress BTI :**

Comme nous l'avons vu dans le chapitre 1, le BTI traduit l'instabilité des paramètres électriques des transistors lors d'un stress électrique à haute température. Nous allons utiliser cette propriété remarquable pour évaluer l'impact de l'endommagement induit par l'exposition aux procédés plasma en comparant l'évolution de la tension de seuil d'une structure d'antenne par rapport à un dispositif de référence au cours d'un stress.

Avant tout, il faut identifier quel niveau de stress à appliquer. En effet, il faut utiliser une tension de stress assez élevée pour réactiver les défauts dans l'oxyde de grille et cela sans causer son claquage. Pour ce faire nous avons caractérisé le comportement courant-tension de l'oxyde de grille d'un composant de référence comme l'illustre la Figure II.22.

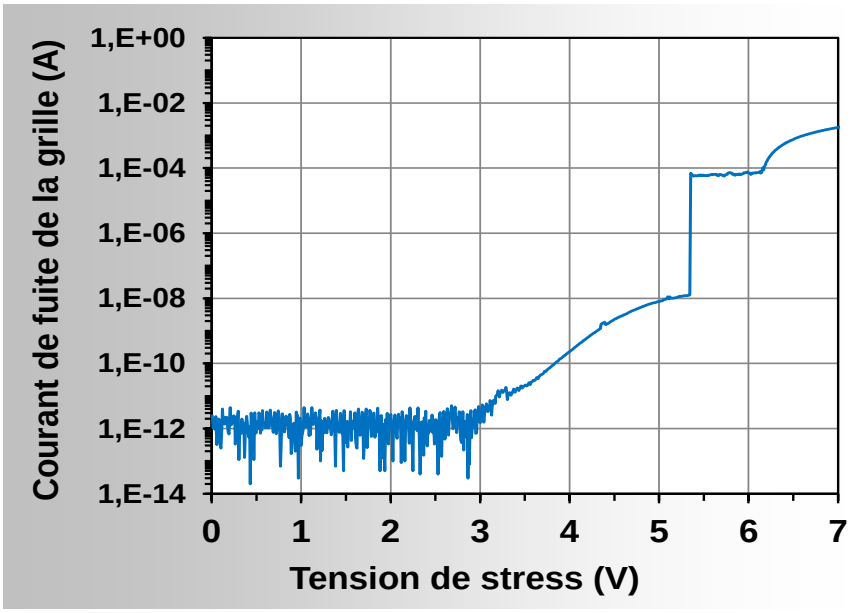


Figure II-22: Caractéristique courant-tension d'un dispositif de référence nMOS avec un oxyde de grille high-k (SiON/HFSiON) d'une épaisseur électrique de 45A.

La Figure II.22 montre qu'un stress électrique supérieur à 5V peut induire des claquages. Nous avons donc opté pour une contrainte de 3.5V qui permet de créer à travers l'oxyde de grille un champ électrique assez important tout en préservant l'intégrité de ce dernier. Le stress dure 500s à une température de 125°C.

Le principe de cette méthode est illustré dans la Figure II.23. L'objectif étant de comparer l'évolution des paramètres électriques des dispositifs au cours de la contrainte, on mesure la tension de seuil plusieurs fois au cours du temps. Une fois à T0 avant stress, puis à : 50s, 100s, 200s et 500s. À T=0s le décalage du VT entre le dispositif de référence et les structures de test est réduit. De plus on ne note aucune dépendance avec le ratio d'antenne. Cependant, après le stress électrique, la tension de seuil dérive et on observe une augmentation du décalage du VT au cours du temps par rapport à la référence ainsi qu'une dépendance avec le ratio d'antenne, signe d'une plus grande efficacité de piégeage durant l'injection, due à la présence d'une grande quantité de défauts dans l'oxyde de grille des dispositifs avec antennes induits par l'exposition aux étapes plasmas.

Cette technique est donc très efficace pour évaluer la fiabilité des composants. Elle présente l'avantage de permettre la caractérisation de ce que sera l'évolution dans le temps des paramètres électriques des dispositifs. En effet, à T0 aucune dégradation par effets d'antenne n'a été détectée, conséquence du recuit thermique final. Cependant, la contrainte en tension permet de réactiver les défauts dans l'oxyde et de traduire ainsi leur impact sur le comportement des dispositifs dans le temps.

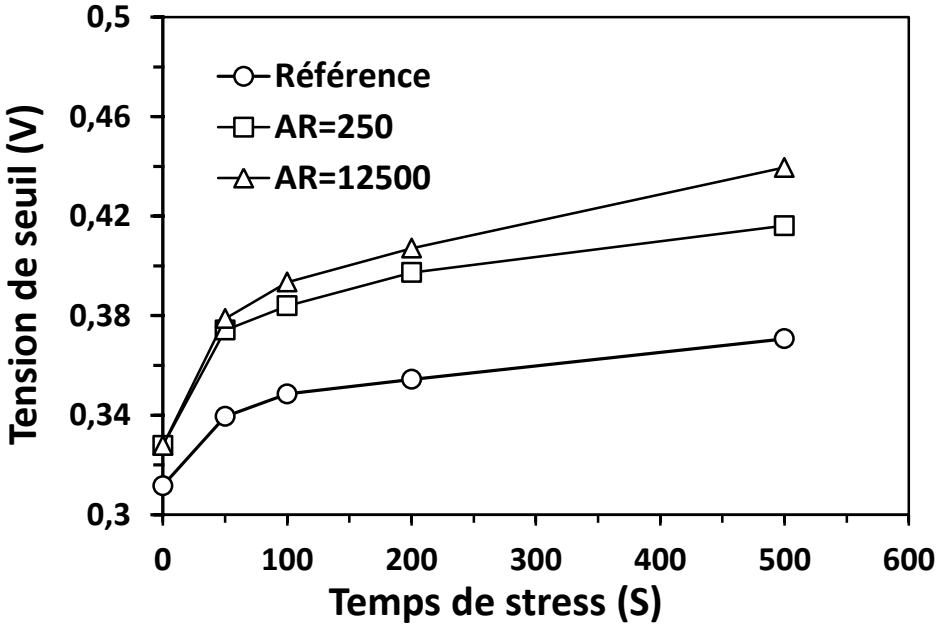


Figure II-23: Evolution de la tension de seuil en fonction du temps au cours d'un stress BTI pour des structures de test avec différents ratio d'antenne et un dispositif de référence

- **Mesure de la tension au claquage :**

Une autre technique pour évaluer la fiabilité des dispositifs avec antenne après l'exposition aux procédés plasma est de mesurer la tension de claquage de l'oxyde de grille. Cette dernière dépend principalement de la qualité de l'oxyde et donc de la quantité de défauts dans ce dernier. Cette méthode est destructive. En effet, pour évaluer le niveau de dégradation induit par les effets d'antenne on force une contrainte en tension sur la grille des dispositifs jusqu'à ce que ce dernier claque.

Le principe de cette technique est présenté dans la Figure II.24. On applique une rampe en tension sur la grille des structures avec antennes: de 0V à 8V puis on relève la tension de claquage correspondante à un saut du courant de grille.

La Figure II.25 montre une dépendance de la tension de claquage avec le ratio d'antenne. Plus le ratio d'antenne est élevé, plus la tension de claquage est faible. Ce comportement est caractéristique d'une dégradation par effets d'antenne. En effet, l'exposition aux étapes plasmas fragilise l'oxyde de grille des structures de test. La densité critique de défauts pour provoquer un claquage est très vite atteinte lorsque le ratio d'antenne devient important.

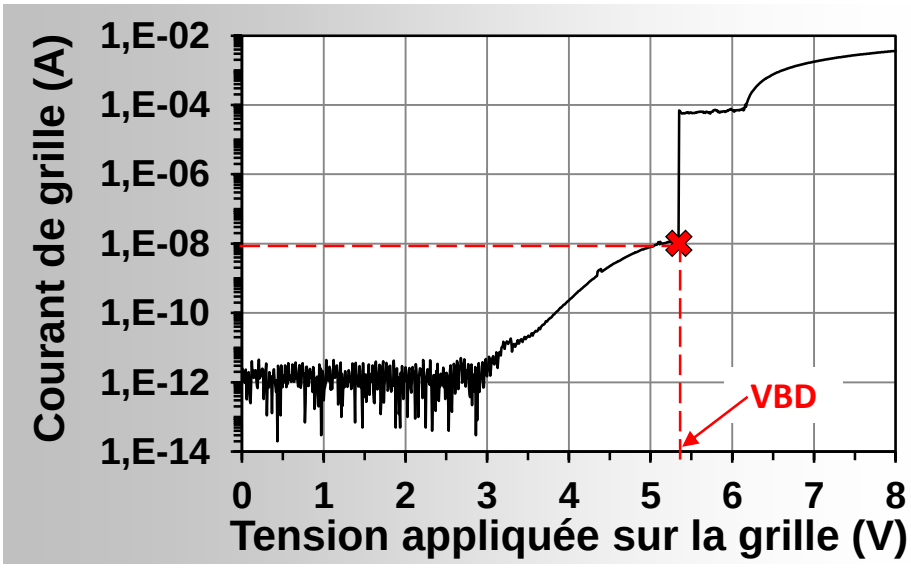


Figure II-24: Technique de détection de la tension de claquage de l'oxyde de grille

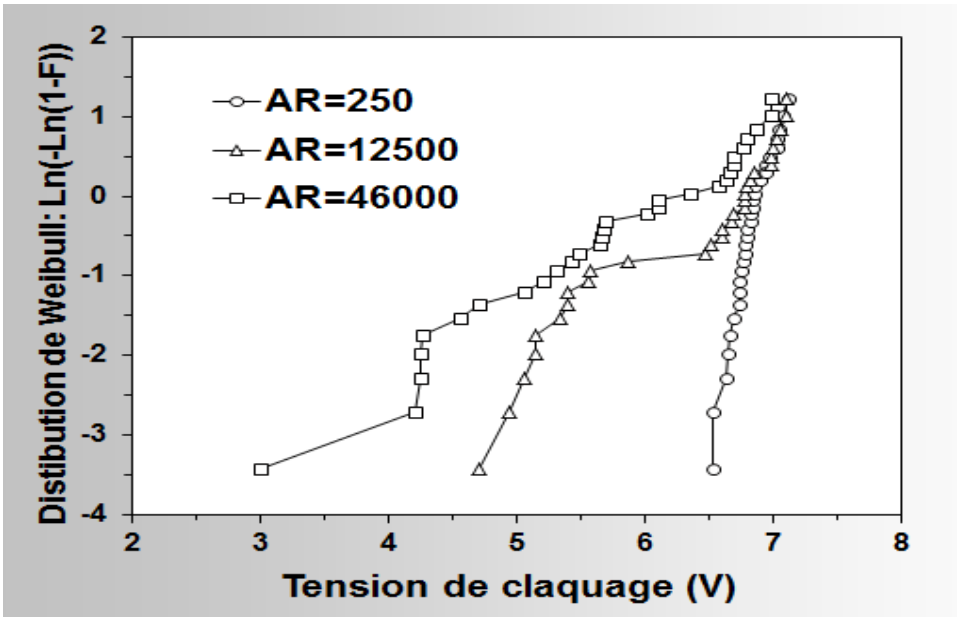


Figure II-25: Evolution de la tension de claquage en fonction du ratio d'antenne

Les techniques de mesure vues précédemment sont efficaces pour détecter et évaluer l'impact des dégradations par effets d'antenne. Cependant, elles nécessitent des temps de mesure importants ce qui ne correspond pas aux exigences d'un environnement industriel, notamment lorsqu'on doit mesurer plusieurs centaines de puces. De plus, les effets d'antenne sont des phénomènes à forte composante aléatoire. En effet on peut avoir différents niveaux

de dégradation avec le même ratio d'antenne et pour le même procédé plasma comme le montre la Figure II.26. Cela est dû aux différents phénomènes complexes intervenant dans les plasmas. Cette composante statistique oblige donc à un nombre important de mesures pour cerner le phénomène.

Pour remédier à ces problématiques nous avons mis au point des mesures de dégradation statistiques, à l'aide d'un testeur automatique, qui permet de mesurer automatiquement des centaines de paramètres sur différentes puces d'une plaque, et ce pour les 25 plaques d'un lot. Ces mesures sont faites généralement avant le recuit thermique final pour permettre une détection des dégradations par de simples mesures des paramètres électriques du transistor. Les mesures après stress électrique sont effectuées dans un second temps après le recuit thermique final. L'objectif est d'évaluer la fiabilité des composants guéris par le recuit après avoir subi des dégradations par effet d'antenne.

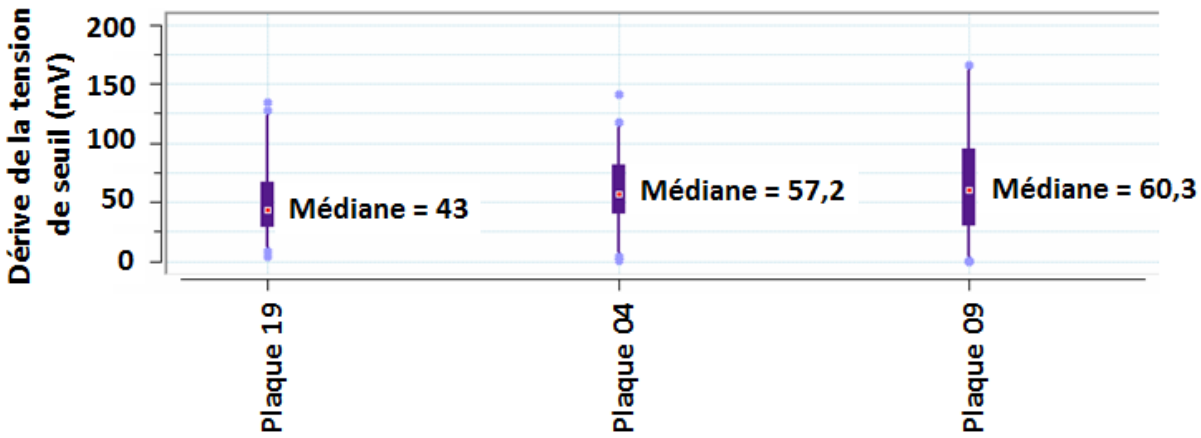


Figure II-26: Dérive de la tension de seuil d'un dispositif avec antenne (AR=3000) par rapport à une référence. Le niveau de dégradation varie de plaque à plaque.

Conclusions du chapitre 2

Dans ce chapitre nous avons présenté les différents mécanismes de dégradation lors de l'exposition aux procédés plasma ainsi que les techniques de caractérisation utilisées, et celle que nous avons développées pour effectuer le suivi des procédés plasma et évaluer le niveau de dégradation des composants MOS.

L'utilisation des procédés plasma peut être à l'origine de diverses sources de dégradation. Cela peut se traduire par la détérioration physique du substrat induit par le bombardement ionique lors d'étapes de gravure, des problèmes de contamination générés par des particules métalliques qui viennent des parois du réacteur soumises au bombardement ionique ou encore la dégradation de l'oxyde de grille des composant MOS provoquée par le rayonnement des UV et les effets d'antenne.

Dans cette thèse nous nous intéressons uniquement aux dégradations induites par les effets d'antenne. Elles sont dues à un déséquilibre en courant au niveau des antennes exposées, provoqué par des phénomènes tels que la non-uniformité du plasma ou les effets d'ombrage électronique lors d'étapes de gravure de vias ou de contacts. Cela se traduit par la dégradation de l'oxyde de grille des composants MOS. En effet, lorsqu'une surface est plongée dans un plasma elle s'autopolarise de façon à équilibrer les flux d'ions et d'électrons incidents, et lorsque cette condition d'équilibre est différente d'une antenne à l'autre, un courant de conduction à travers l'oxyde de grille apparait pour neutraliser ce déséquilibre avec pour conséquence la dégradation du composant MOS.

Pour évaluer les dégradations par effets d'antenne, nous avons mis au point une stratégie de test utilisant des techniques de caractérisation du plasma pour permettre le suivi des procédés, ainsi que des structures de test munies d'antennes pour évaluer la dégradation des composants MOS.

Pour caractériser les procédés plasma nous avons mis en place une technique expérimentale basée sur des composants flash. Ces derniers agissent comme des capteurs de tension et offrent la possibilité de reproduire une image de la répartition des charges au niveau de la surface de la plaque. Grace à cette technique une dérive du procédé ou encore une non-uniformité du plasma est très vite détectée.

Le niveau de dégradation des composants MOS est évalué en utilisant des structures de test permettant de reproduire la contribution de tous les niveaux d'interconnexion (poly, contact, métal et via). Ces structures reflètent des configurations réelles de circuits, et offrent la possibilité de prendre en compte l'intégration de l'ensemble des étapes plasmas.

Pour répondre aux exigences de l'environnement industriel dans lequel nous avons effectué cette thèse, nous avons mis au point un protocole de mesure automatique spécifique aux structures d'antenne des technologies FDSOI 28 et 14nm: les paramètres électriques des structures sont mesurés de façon automatique puis comparés à une référence. Toute dérive en fonction du ratio d'antenne indique une dégradation par effet d'antenne. Un testeur automatique est utilisé. Cela permet d'une part de prendre en compte le comportement aléatoire des dégradations par effets d'antenne en effectuant un grand nombre de mesures et d'autre part de réduire le temps de mesure. Sachant que le recuit thermique final permet de guérir une partie des dégradations, toutes les mesures sont effectuées avant et après ce dernier pour permettre une meilleur détection des dégradations. La fiabilité des composants MOS est aussi évaluée en effectuant des mesures après stress électrique. En effet, ces derniers permettent de réactiver partiellement les défauts dans l'oxyde guéris par le recuit et de nous renseigner sur ce que sera l'évolution dans le temps des paramètres électriques des composants.

Table des figures

Figure II-1 : [Carrere00]: a)- Processus radiatif intervenant dans un plasma lors d'une relaxation [VEROV97], b)- spectre d'émission plasma situé dans le VUV (visible ultra-violet) pour différents gaz (Oxygène, Xénon, Argon) [CISM99] 44

Figure II-2 : Principe de génération de paires électrons-trous par photon UV et de la création de charges fixes positives dans l'oxyde de grille [Carrere00] 44

Figure II-3 : a)-Evolution de la constante du diélectrique Low-k après exposition au plasma en fonction du temps pour différents configurations d'antenne (différentes largeurs et espacements entre les doigts de métal) avec, ε_i : la constante du diélectrique initiale et ε_{dam} la constante après exposition au plasma. b)- mécanisme de dégradation conduisant à l'augmentation de la constante du diélectrique Low-k [Eriguchi15]. 45

Figure II-4 : Simulation de profils de gravure faisant apparaitre du « notching » dont la profondeur augmente avec la température électronique du plasma [Hwang96] 46

Figure II-5 : Représentation schématique d'une configuration dans laquelle se produisent des effets d'antenne 47

Figure II-6: création d'une zone chargée positivement appelée gaine électrostatique autour d'un substrat exposé au plasma. 49

Figure II-7: Evolution de la densité électronique et ionique, et du potentiel plasma à travers la gaine et la pré-gaine [Carrere00], avec Vps = Vp-kTe/2 le potentiel à l'interface pré-gaine/gaine et Vf le potentiel flottant au niveau du substrat (voir le paragraphe suivant)..... 50

Figure II-8 : Vérification expérimentale de la corrélation entre le profil du potentiel plasma et celui de la température électronique. Echantillons vides : plasma uniforme, échantillons pleins : plasma non-uniforme. 53

Figure II-9: Dégradation par effet d'antenne créée par non-uniformité du potentiel plasma .. 54

Figure II-10 : a)- Représentation schématique du phénomène d'écrantage électronique. b)- Profil du potentiel plasma le long de lignes exposées à une gravure plasma obtenu par simulation [Hwang99]. 56

Figure II-11 : Configuration de dégradation par effet d'antenne induite par le phénomène d'écrantage électronique 57

Figure II-12 : Mesure de la tension à la surface d'un substrat après exposition à un procédé plasma obtenu par la méthode Quantox. 58

Figure II-13 : Mesure du potentiel à la surface d'un substrat exposé au plasma en utilisant une sonde de Kelvin. 59

Figure II-14 : Caractéristique de programmation et d'effacement des structures flash par Fowler-Nordheim 60

Figure II-15 : Représentation schématique des structures d'antennes : a)- antenne poly avec contacts, b)- antenne métal avec vias, c)- antennes cumulées. 62

Figure II-16 : Evolution des dégradations induites par un procédé de dépôt PECVD, évaluée par trois types d'antennes différentes. 63

Figure II-17 : a)- Représentation de l'angle solide par lequel est vu le plasma au fond d'un via. b)- Pourcentage de dispositifs ayant un courant de fuite de grille supérieur à 10 nA (critère de détection de la dégradation) en fonction de l'angle solide normalisé d'ouverture vers le plasma [Poiroux00]. 64

Figure II-18 : Calcul du nombre de vias pour chaque configuration de façon à avoir un ratio d'antenne fixe 65

Figure II-19 : Représentation d'une structure de référence protégée par diode dès le métal1. 66

Figure II-20 : Dérive de la tension de seuil en fonction du ratio d'antenne des structures de test après exposition au plasma. 67

Figure II-21 : Evolution de la fuite de l'oxyde de grille des structures de test en fonction du ratio d'antenne. 68

Figure II-22 : Caractéristique courant-tension d'un dispositif de référence nMOS avec un oxyde de grille high-k (SiO_2/HFSiON) d'une épaisseur électrique de 45A. 69

Figure II-23 : Evolution de la tension de seuil en fonction du temps au cours d'un stress BTI pour des structures de test avec différents ratio d'antenne et un dispositif de référence 71

Figure II-24 : Technique de détection de la tension de claquage de l'oxyde de grille..... 72

Figure II-25 : Evolution de la tension de claquage en fonction du ratio d'antenne 72

Table des références

[Byun05] **Kyung-Mun Byun, Do-Hyung Kim, Yong-Won Cha, Sang-Hyeon Lee Min Kim, Joo-Beom Lee, In-Sun Park, Hyeon-Deok Lee, Chang-Lyong Song, "Reduction of plasma-induced damage during intermetal dielectric deposition in high-density plasma", IEEE International Conference on Integrated Circuit and Technology, 2005, p. 99-102.**

[Carrere00] **J.P. Carrere « Etude des effets d'antenne intervenant lors des procédés plasma, et des dégradations induites sur les composants CMOS de technologie 0,25 et 0,18 µm », Thèse de doctorat, Institut National des Sciences Appliquées de Toulouse, 2000.**

[Carrere00'] **J-P Carrere, J-C Oberlin, M. Haond, "Topographical Dependence of Charging and New Phenomenon During Inductively Coupled Plasma (ICP) CVD Process", International symposium on plasma process induced damage, 2000, p. 164-167**

[Carrere00''] **J-P Carrere, T. Poiroux, W. Lukaszek,C. Verove, M. Haond, G. Reimbold,G . Turban, "Electron-Shading Characterization in a HDP Contact Etching Process Using a Patterned CHARM Wafer", International Symposium on Plasma Process-Induced Damage, 2000, pp. 22-25.**

[Cheung07] **Kin P. Cheung, "Advanced Plasma and Advanced Gate Dielectric A Charging Damage Prospective", IEEE Transactions on device and materials reliability, vol. 7, no. 1, 2007**

[CISM99] **C. Cismaru, J. L. Shohet, « Plasma Vacuum Ultraviolet Emission in a High Density Etcher » Proc. on 4th Int. Symp. On Plasma Process-Induced Damage, May 1999, p. 192.**

[Dexter00] **M.A. Dexter, K.M. Hasslinger, J.R. Fritz, C.A. Ullo, "Application of Quantox measurements to identify phosphorus contamination in silicon wafer", Gate dielectric integrity :Material, process, and tool qualification, ASTM STP 1382, D. C. Gupta and G.A. Brown, EDS., American Society for Testing and Materials, West Conshohcken, PA, 2000.**

[Dreesk] **L. Dreeskornfeld, J. Hartwich1, E. Landgraf1, R. J. Luyken1, W. Rösner, T. Schulz, M. Städele1, D. Schmitt-Landsiedel, and L. Risch, « Comparison of partially and fully depleted SOI transistors down to the sub 50nm gate length regime »,**
http://www.electrochem.org/dl/ma/203/pdfs/0835.pdf

[Eriguchi15] **K Eriguchi, K. Ono, "Plasma-induced photon irradiation damage on low-k dielectrics enhanced by Cu-line layout", IEEE International Conference on Integrated Circuit & Design, 2015**

[Fona90] **S. J. Fonash, « An Overview of Dry Etching Damage and Contaminations Effects » J. Eletrochem. Soc., Vol. 137, 1990, p. 3885.**

[FRIE97] **J.B. Friedmann, J. L. Shohet, R. Mau, N. Hershkowitz, S. Bisgaard, S. Ma, J.P. Mc Vittie, « Plasma-parameter dependence of thin-oxide damage from wafer charging during Electron-Cyclotron Resonance plasma processing » IEEE Trans. on Semiconductor Manufacturing, vol. 10, n°1, Feb. 1997, p. 154.**

[Hasegawa98] **A. Hasegawa, F. Shimpuku, M. Aoyama, K. Hashimoto, M. Nakamura, « Direction of Topography Dependent Damage Current during Plasma Etching » Proc. of 3rd Int. Symp. On Plasma Process-Induced Damage, May 1998, p. 168**

[Hashimoto93] **K. Hashimoto, « New Phenomena of Charge Damage in Plasma Etching : Heavy Damage only through Dense-Line Antenna » Jpn. J. Appl. Phys., Vol. 32, n° 12B, 1993, p. 6109.**

[Hook00] **Terence B. Hook, David Harmon, and Chuan Lin, "Detection of thin oxide (3.5nm) dielectric degradation due to charging damage by rapid-ramp breakdown", IEEE international reliability physics symposium, 2000, p. 377-388.**

[Hwang96] **Gyeong S. Hwang and Konstantinos P. Giapis, "The influence of electron temperature on pattern-dependent charging during etching in high-density plasmas", journal of applied physics, 81 (8), 1997**

[Hwang99] **Gyeong S. Hwang and Konstantinos P. Giapis, "Pattern-Dependent Charging in Plasmas", IEEE Transactions on plasma science, vol. 27, no. 1, 1999.**

[Lai06] **W. Lai, D. Harmon, T. Hook, V. Ontalus, J. Gambino, "Ultra-thin Gate Dielectric Plasma Charging Damage in SOI Technology", IEEE international reliability physics symposium, 2006, p. 370-373.**

[Lisov98] **V.A. Lisovskiy, "Bohm criterion for the collisional plasma", IEEE International Conference on Plasma Science, 1989.**

[Matsunaga07] **Noriaki Matsunaga, Hitomi Yamaguchi, and Hideki Shibata, "Spreading Antenna Effect of PID in Damascene Interconnect Process", IEEE Transactions on electron devices, vol. 54, no. 6, 2007.**

[Poiroux00] **T. Poiroux « Etude des dégradations induites dans les oxydes de grille des dispositifs MOS par les procédés plasma », université de Nantes, 2000.**

[Tzeng99] **P.J. Tzeng, J.C. Li, C.C. Yeh, K.S. chang-Liao "Reduction and non-uniformity of High Density Plasma Process Induced Electrical Degradation in MOS devices", International Plasma Process Induced Damage, 1999, pp. 100-103.**

[VEROV97] **C. Vérove « Etude des mécanismes de gravure des grilles polysilicium en plasma haute densité pour les technologies CMOS sub-microniques ; Caractérisation des défauts électriques induits sur structures MOS », Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, 1998.**

[Wang02] **Zhichun Wang, Jan Ackaert, Cora Salm, Eddy De Backer, Geert van den bosch, Wade Zawalski, "Correlation between hot carrier stress, oxide breakdown and gate leakage current for monitoring plasma processing induced damage on gate oxide", International symposium on the physical and failure analysis of integrated circuits, 2002, p. 242-245.**

[Weng10] **Wu-Te Weng, Yao-Jen Lee, Horng-Chih Lin, Tiao-Yuan Huang, "A comparison of plasma-induced damage on the reliability between high-k/metal-gate and SiO2/poly-gate complementary metal oxide semiconductor technology" Solid-State Electronics, 2010**

[Yabu81] **W. Lai, D. Harmon, T. Hook, V. Ontalus, J. Gambino, "Ultra-thin Gate Dielectric Plasma Charging Damage in SOI Technology", IEEE International Reliability Physics Symposium, pp. 370-373, 2006**

[Yaps90] **A. S. Yapsir, G. Fortuno-Wiltshire, JP. Gambino, R. H. Kastl, C. C. Parks, « Near-Surface Contamination of Silicon Following Electroon Cyclotron Resonance Etching » J. Vac. Sci. Technol. A, Vol. 8, 1990, p. 2939.**

[Young07] **C.D. Young, G. Bersuker, F. Zhua, K. Matthewsb, R. Choi, S.C. Song, H.K. Parke, J.C. Leea, and B.H. Leed, "Comparison of plasma-induced damage in SiO_2/TiN and HFO_2/TiN gate stacks", Annual international Reliability Physics Symposium, 2007, pp. 67-70**

Chapitre 3 : Compréhension de l'interaction plasma-antennes en FDSOI

Beaucoup d'études ont été publiées sur l'origine des dégradations par effets d'antenne dans les technologies standard sur substrat massif et dans les technologies SOI avec canal partiellement déplété. Deux mécanismes de dégradation principaux se détachent : la non-uniformité du plasma [FRIE97] [Mocuta01] et les effets topographiques [Carrere00''] [Lai06]. Ces derniers peuvent induire d'importants niveaux de dégradation.

L'objectif de ce chapitre est d'approfondir le comportement de ces mécanismes dans les technologies FDSOI. Nous étudierons plusieurs procédés plasma pour identifier l'origine des dégradations en utilisant les différentes techniques de caractérisations définies précédemment dans le chapitre 2, puis nous établirons une discussion sur les différences de comportements entre un composant standard sur substrat massif et un composant de technologie FDSOI face à ces phénomènes, notamment en terme de mécanismes de déséquilibre en courant au niveau des antennes.

Nous commencerons dans un premier temps par étudier l'écoulement de charges dans un transistor de technologie FDSOI. Pour ce faire, nous définirons des structures de tests spécifiques munies de diode de protection connectées aux différents nœuds du transistor. Cela permettra d'évaluer l'impact des antennes connectées à chaque nœud du transistor et d'identifier les chemins du courant à travers l'oxyde de grille d'un composant FDSOI lors de l'exposition aux étapes plasma.

III.A Ecoulement des charges : différences de comportement entre un transistor sur substrat Si massif et sur substrat SOI

La transition vers de nouvelles technologies telles que le FDSOI est indispensable pour répondre aux exigences du marché. En effet, cette technologie offre des perspectives extrêmement prometteuses notamment pour la fabrication de circuits intégrés rapides avec une faible consommation. Evaluer les dégradations induites par les procédés plasma, et définir le cas échéant des conditions de design garantissant l'immunité des transistors FDSOI contre ces phénomènes de dégradation est donc indispensable, d'autant plus que très peu de travaux (voir pas du tout) ont été publiés à ce sujet. En effet, la majorité des études concernant les effets d'antenne ont été effectuées sur des technologies standard Bulk. Ceci dit, un certain nombre de travaux comparant le comportement de ce phénomène entre des composants sur substrat Si massif et sur substrat SOI existent. De façon générale, il est établi que les technologies SOI sont plus robustes comparées au Bulk. En effet, une étude menée par Poiroux et al [Poiroux99] montre que les structures de test classiques avec une seule antenne sur la grille généralement utilisées pour détecter les dégradations par effets d'antenne en technologie bulk ne sont pas dégradées par les étapes plasma en technologies SOI. Cependant, il a été aussi démontré que des endommagements peuvent apparaitre dans certaines conditions. De nouvelles structures de test représentatives de cas réels avec des antennes simulant les interconnexions à la fois sur la grille, la source, le drain ainsi que la prise substrat ont été réalisées. Lorsque les antennes connectées aux nœuds du transistor sont de topographies différentes, des dégradations apparaissent. Ce comportement a été confirmé par les travaux de Mocuta et al [Mocuta01].

Dans une autre étude menée par Lai et al [Lai06] le comportement des effets d'antenne en technologies SOI a été investigué en utilisant de nouvelles structures de test où des antennes de différentes surfaces ont été attachées à la grille et à la source du transistor. L'étude montre que le niveau de dégradation augmente lorsque la différence de surface entre l'antenne grille et source augmente. Ce comportement peut être expliqué par la différence entre l'architecture d'un transistor standard sur substrat de silicium massif et sur substrat SOI. Dans un transistor standard les antennes connectées aux nœuds source et drain ne sont pas critiques. Comme le montre la Figure III-1, les charges collectées par ces antennes lors de l'exposition aux étapes plasma sont directement évacuées vers le substrat grâce aux diodes

naturelles formées par les caissons source/drain et le substrat. La jonction entre les deux forme une diode n+/p dans le cas d'un transistor nMOS et p+/n dans le cas d'un transistor pMOS. Ainsi dans un transistor standard, les dégradations par effets d'antenne sont uniquement dues aux charges collectées par la grille, et l'intensité du champ électrique à travers l'oxyde de grille durant l'exposition au plasma est définie par la différence de potentiel entre l'antenne sur la grille et l'antenne connectée à la prise substrat formée par la surface du substrat.

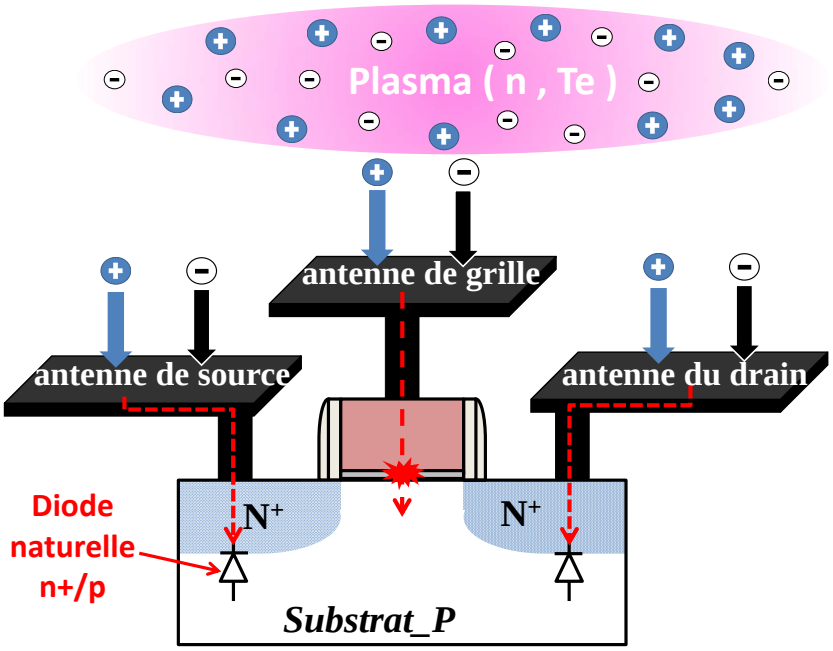


Figure III-1: Représentation d'une structure d'antenne de technologie standard sur substrat massif. Les nœuds source et drain sont protégés par les diodes naturelles formées par la jonction entre la source/drain et le substrat. Uniquement les charges collectées par l'antenne grille peuvent induire des dégradations.

A l'inverse, en technologies SOI la source et le drain sont isolés du substrat par l'oxyde enterré comme illustré dans la Figure III-2. Dans ces conditions, les charges collectées par tous les nœuds du composant peuvent induire des dégradations, dont le niveau varie en fonction de la différence de potentiel entre les antennes grille et source/drain.

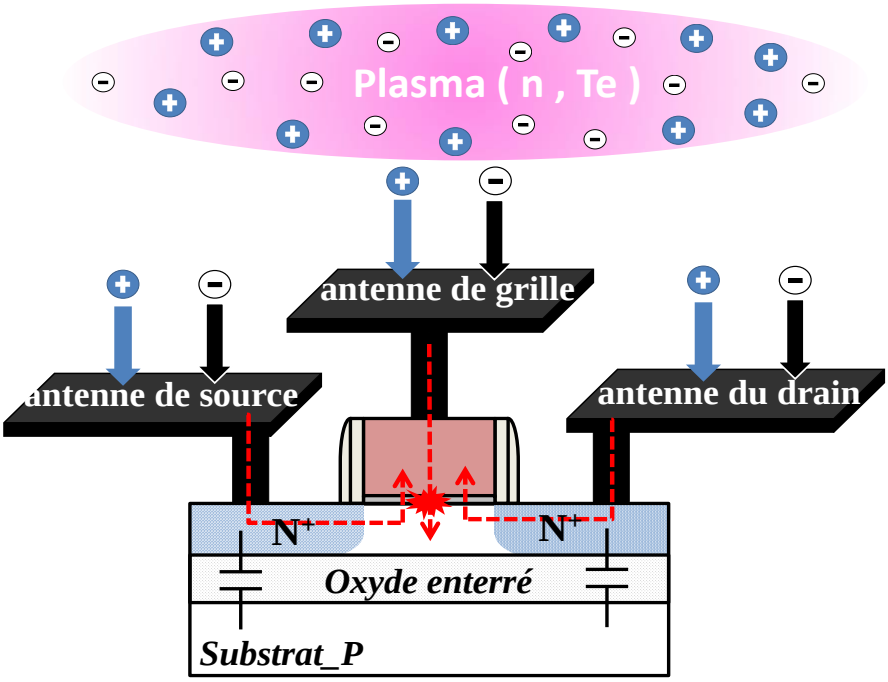


Figure III-2: Représentation d'une structure d'antenne de technologie SOI. Les nœuds du transistor sont isolés du substrat par l'oxyde enterré. Les charges collectées par toutes les antennes peuvent dégrader le transistor.

III.A.1 Ecoulement de charges en FDSOI :

III.A.1.1 Présentation de l'étude :

Afin d'investiguer le mode d'écoulement des charges dans les composants FDSOI nous avons utilisé des transistors de la technologie 28nm FDSOI [Planes12] développée par STMicroelectronics au centre de Crolles. Les structures de test sont des transistors nMOS et pMOS de longueur de grille de 0.1µm et de largeur de 0.42µm avec un oxyde de grille d'épaisseur électrique totale de 45A, constitué d'une couche d'oxyde SiON et d'un oxyde high-k HFSiON. Les dimensions des transistors utilisés ne sont pas les plus critiques pour cette technologie. Cependant, elles ont été choisies de façon à réduire la sensibilité des paramètres électriques du transistor aux variabilités du procédé de fabrication et à garantir ainsi une bonne lecture des variations induites par les dégradations par effets d'antenne.

Nous nous sommes inspirés des travaux publiés précédemment [Poiroux99] [Mocuta01] [Lai06] pour concevoir de nouvelles structures de test. Ainsi, nous avons défini sur les nœuds grille et drain des dispositifs, des antennes cumulées qui intègrent une antenne en polysilicium et les dix niveaux de métallisation de la technologie 28FDSOI (voir Figure

III.3). Ces structures permettent de reproduire un cas réel d'interconnexion dans un circuit. Différents rapports d'antenne ont été définis pour mettre en évidence les dégradations par effets d'antenne.

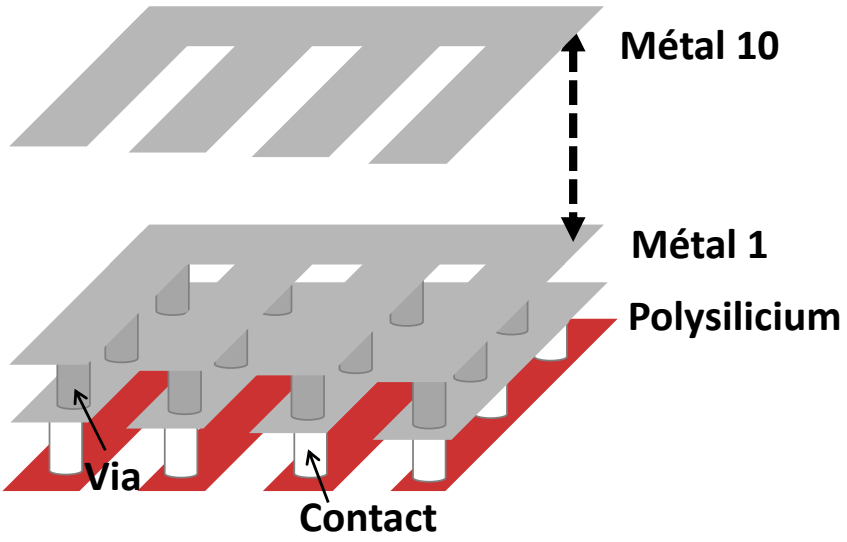


Figure III-3: Représentation d'une structure cumulée qui intègre une antenne en polysilicium et les dix niveaux de métal utilisés dans la technologie 28nm FDSOI.

Afin d'identifier les chemins de courant (écoulement de charges) et évaluer la contribution de chaque antenne nous avons intégré des diodes de protection de façon à protéger le nœud grille pour étudier l'impact de l'antenne drain et vice versa. La diode est une jonction n+/pwell dans le cas d'un transistor nMOS et p+/nwell dans le cas d'un pMOS. Les diodes sont donc connectées en inverse aux nœuds du transistor pour permettre une polarisation en direct lors des mesures électriques comme illustré dans la Figure III-4. L'oxyde enterré au niveau des diodes est gravé de façon à permettre l'évacuation des charges vers le substrat. Sans cela les diodes n'offrent aucune protection.

En plus des structures de test que nous venons de voir, deux autres configurations supplémentaires ont été embarquées avec:

- Soit les deux nœuds grille et drain protégés en même temps par deux diodes différentes.
- Soit aucune diode de protection n'est utilisée.

Une description détaillée des structures de test utilisées dans cette étude est donnée dans le tableau III-1 et une représentation schématique peut être trouvée dans la Figure III-5.

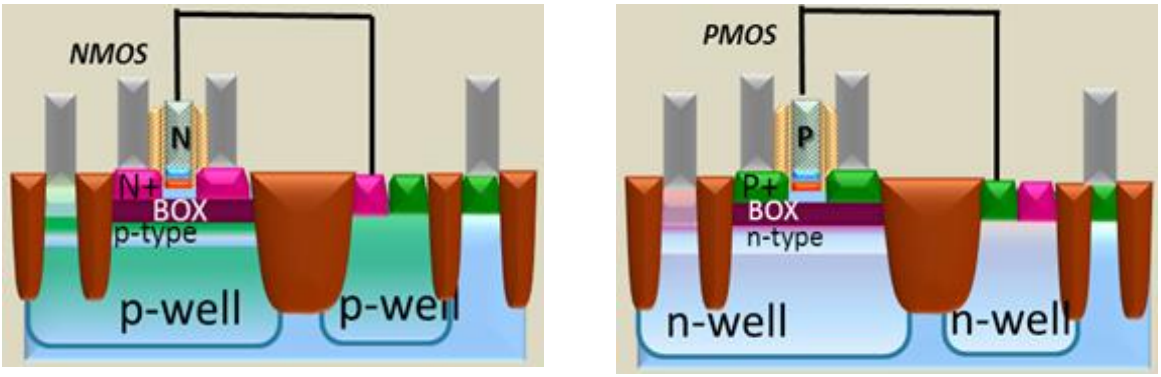
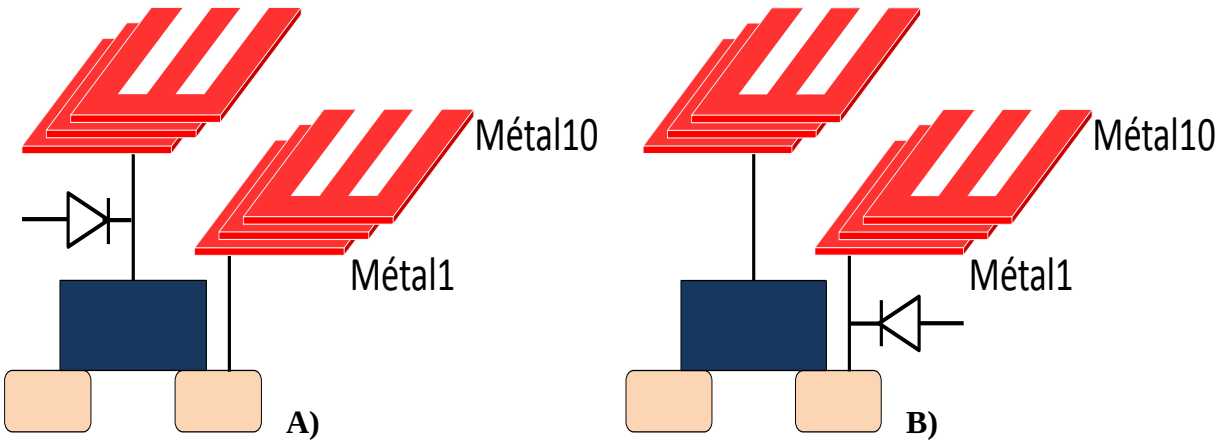


Figure III-4: Modes d'utilisation des diodes de protection : diode n+/pwell pour protéger un transistor nMOS et diode p+/nwell pour protéger un transistor pMOS.

Tableau III-1: Description détaillée des caractéristiques des structures de test utilisées pour investiguer l'écoulement de charges dans les technologies FDSOI. Différents rapports d'antenne sont utilisés: AR_1=250, AR_2=12500 et AR_3=46000.

Structure de test	Rapport d'antenne	Diode de protection	Type de transistor
(A)	AR_1, AR_2, AR_3	Sur la grille	nMOS et pMOS
(B)	AR_1, AR_2, AR_3	Sur le drain	
(C)	AR_1, AR_2, AR_3	Sur la grille et le drain	
(D)	AR_1, AR_2, AR_3	Pas de diode	



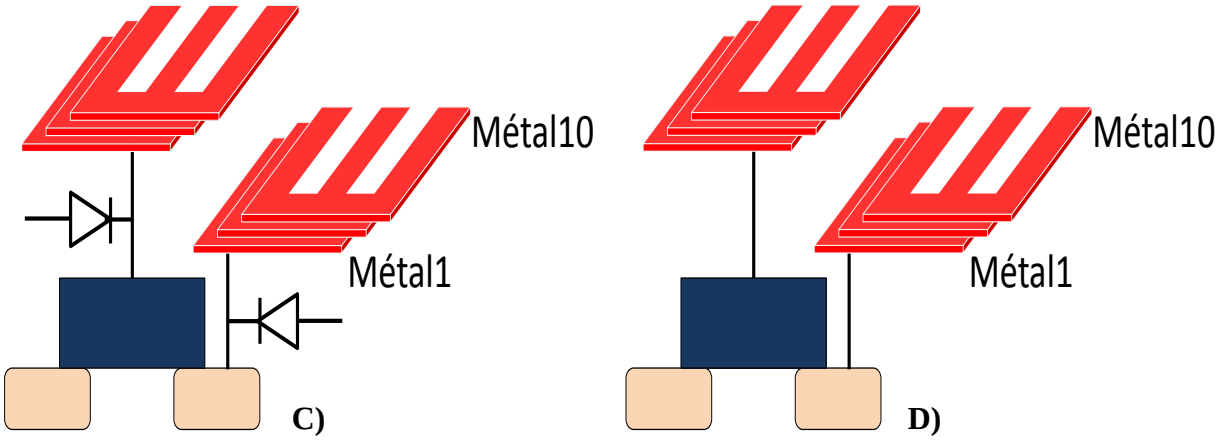


Figure III-5: Représentation des structures de test utilisées pour étudier l'écoulement de charges en FDSOI. Différentes configurations de diodes de protection sont utilisées et différents rapports d'antenne sont investigués.

Pour détecter les dégradations induites par les effets d'antenne, nous avons suivi le protocole de mesure que nous avons défini précédemment dans la partie II.B.2.2 du chapitre II. Nous avons donc dans un premier temps mesuré l'évolution des paramètres électriques du transistor après l'exposition aux étapes plasma pour chaque rapport d'antenne, notamment la tension de seuil. Puis nous avons effectué des mesures de tension de claquage de l'oxyde de grille pour détecter d'éventuelles dégradations guéries par le recuit thermique final. Nous commençons par présenter les résultats obtenus avec cette dernière technique de mesure. Trente structures réparties sur trente puces différentes à travers le wafer ont été testées pour permettre un traitement statistique des résultats.

III.A.1.2 Présentation des résultats et interprétation :

III.A.1.2-a Résultats obtenus à partir des mesures de tensions de claquage :

La Figure III-6 montre une distribution de Weibull des tensions de claquage de l'oxyde de grille des structures de test pMOS et nMOS respectivement, munies d'une diode de protection au niveau du drain. Ces résultats traduisent donc les dégradations induites uniquement par l'antenne sur la grille. Les mesures montrent une dépendance de la tension de claquage avec le rapport d'antenne, signe de dégradation par effets d'antenne.

Par ailleurs, les structures de test protégées par une diode au nœud grille du transistor sont aussi dégradées comme le montre la Figure III-7 où sont illustrées les distributions des

tensions de claquage de l'oxyde de grille des structures nMOS et pMOS respectivement. Lorsque le rapport d'antenne devient important, de forts niveaux de dégradations surviennent. Ces dégradations sont induites par l'antenne connectée au drain du transistor.

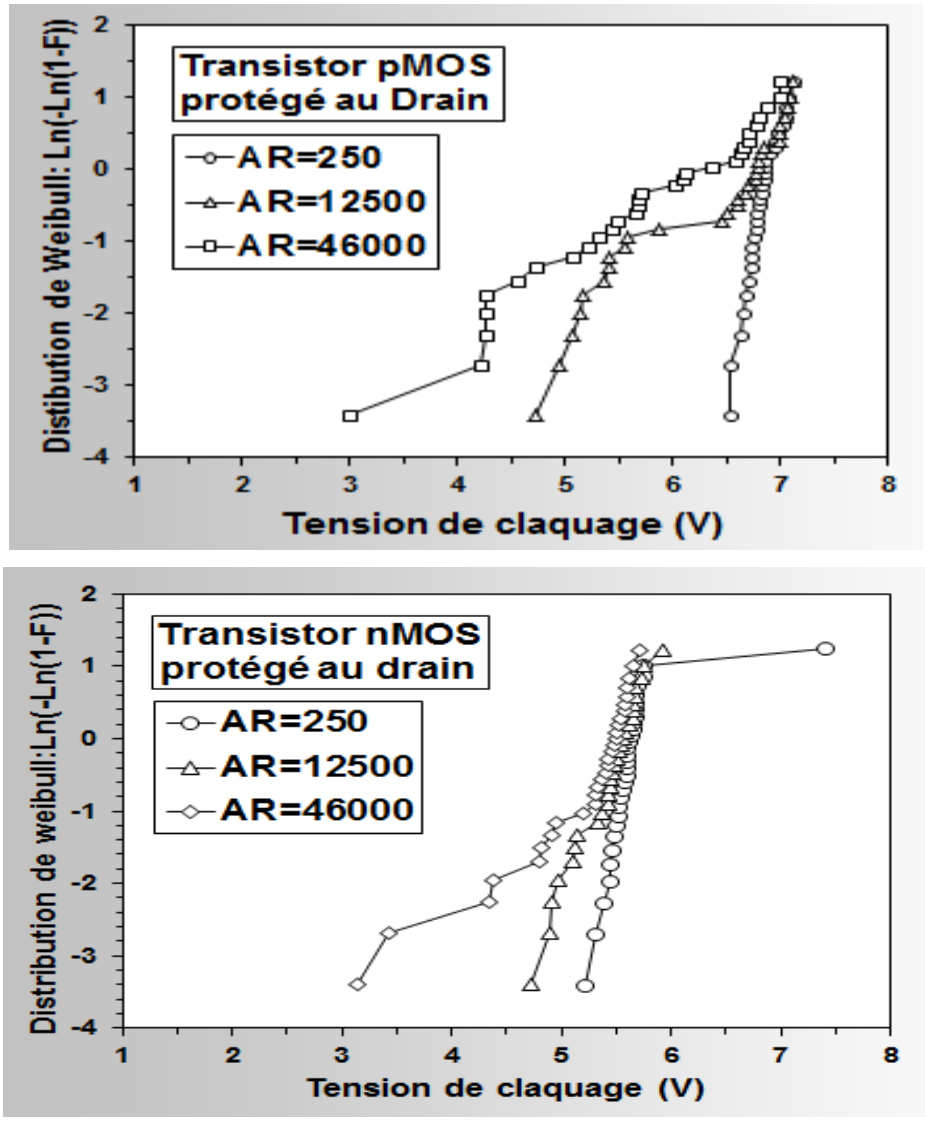


Figure III-6: Probabilité cumulée en échelle de Weibull des tensions de claquage en fonction des rapports d'antenne des structures de test pMOS et nMOS respectivement, protégées avec une diode au niveau du drain : cela permet d'évaluer l'impact de l'antenne sur la grille.

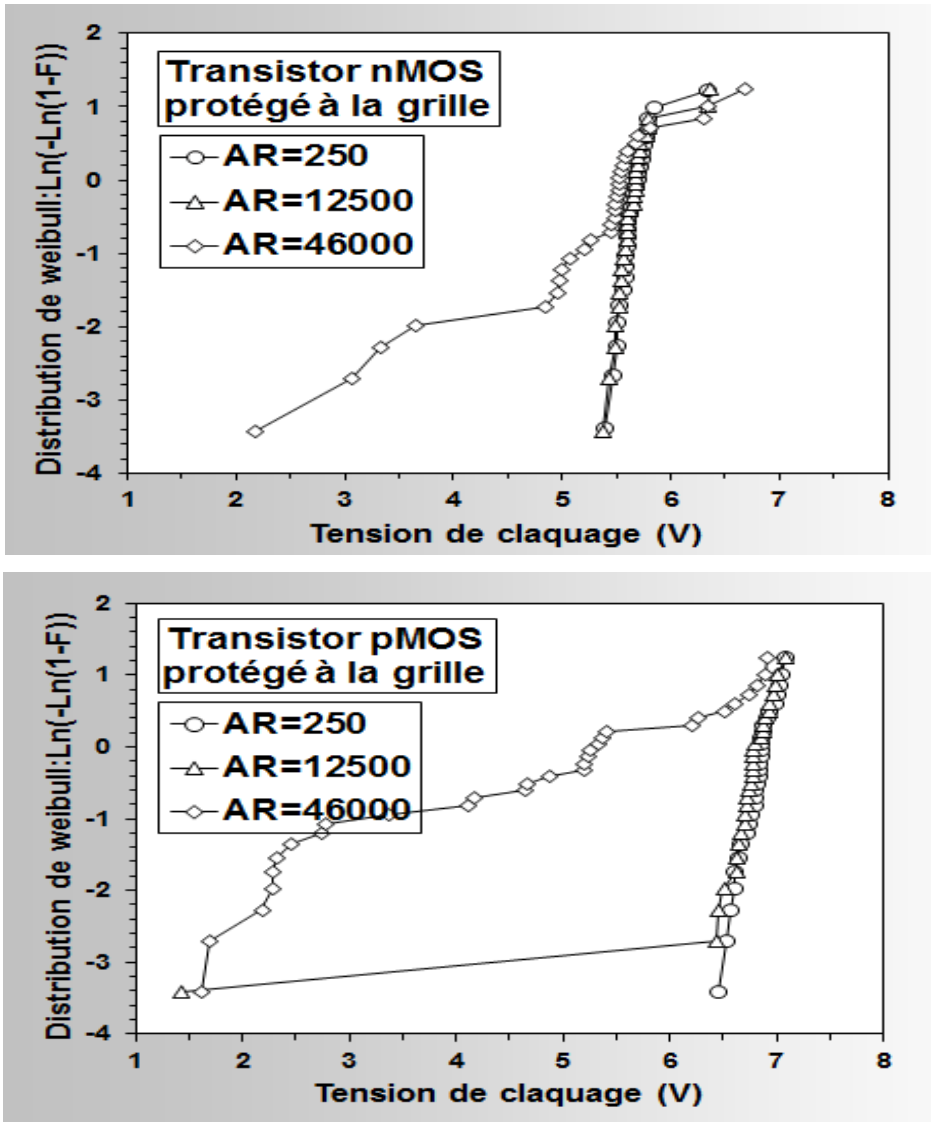


Figure III-7: Probabilité cumulée en échelle de Weibull des tensions de claquage de l'oxyde de grille des structures de test nMOS et pMOS respectivement, protégées par une diode au niveau de la grille. Les dégradations par effet d'antenne sont induites dans ce cas par l'antenne connectée au drain.

Concernant les autres structures de test, aucune dégradation par effets d'antenne n'a été détectée. Sur la Figure III-8 sont représentées les mesures des tensions de claquage des structures de test protégées par diodes aux nœuds grille et drain. On ne note aucune évolution des distributions en fonction des rapports d'antenne.

La Figure III-9 montre qu'on obtient un résultat similaire avec les structures de test sans diode de protection. Aucune dégradation n'est constatée.

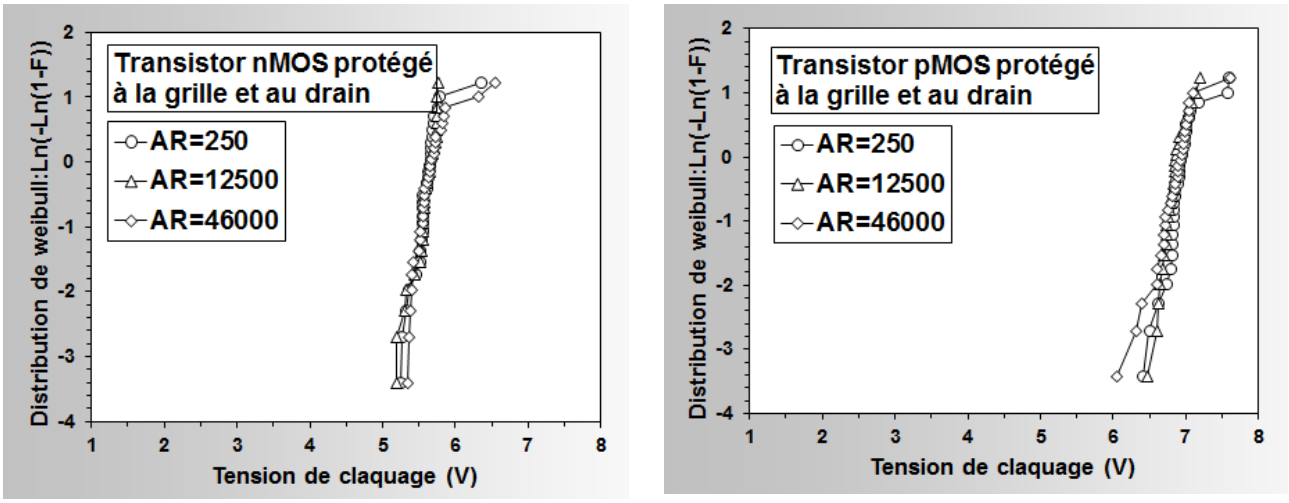


Figure III-8: Probabilité cumulée en échelle de Weibull des tensions de claquage de l'oxyde de grille des structures de test nMOS et pMOS protégées simultanément par deux diodes différentes aux nœuds grille et drain du transistor.

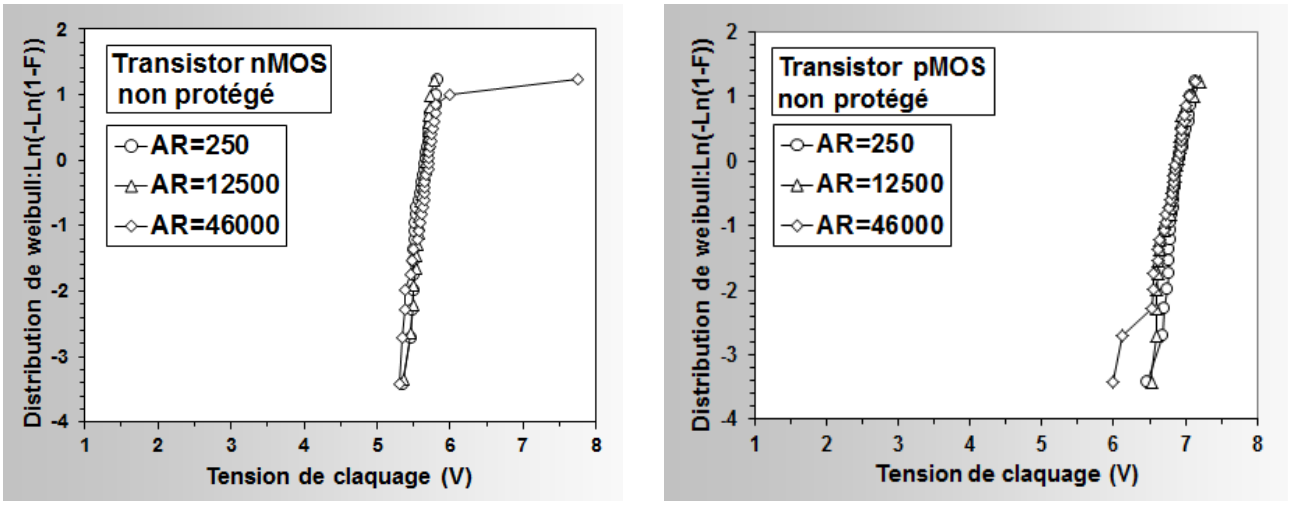


Figure III-9: Probabilité cumulée en échelle de Weibull des tensions de claquage obtenues avec les structure de test nMOS et pMOS non protégées.

En résumé, les mesures de tension de claquage montrent que les structures de test protégées avec diode soit à la grille soit au drain sont fortement impactées par les effets d'antenne. A l'inverse, les structures sans protection ou avec double protection aux nœuds grille et drain n'ont subi aucune dégradation.

Ces résultats sont conformes aux constatations faites par Poiroux et al [Poiroux99] et Lai et al [Lai06]. L'absence ou la présence de dégradations est due à l'absence ou la présence de chemins de courant à travers l'oxyde de grille, créés par la différence de potentiel entre les

antennes grille et source/drain durant l'exposition aux étapes plasma. Lorsqu'une diode de protection est connectée à la grille ou au drain du transistor, une différence de potentiel est constamment appliquée aux bornes de son oxyde de grille durant l'exposition au plasma. En effet, le nœud protégé est mis à la masse durant l'exposition tandis que l'autre nœud est au potentiel défini par la quantité de charges collectées par l'antenne. Un chemin de courant se crée alors à travers l'oxyde de grille, conséquence de la différence de potentiel entre les nœuds grille et drain du transistor.

Ces résultats concordent avec le comportement des structures de test sur substrat massif. En effet, les nœuds source et drain sont protégés naturellement. Il se crée donc une différence de potentiel aux bornes de l'oxyde définie par le potentiel atteint par l'antenne grille durant les étapes plasma. Ainsi, les structures d'antenne en technologie standard ne sont qu'un cas particulier des différentes configurations d'antenne possible en technologie FDSOI.

Lorsque les deux nœuds du transistor sont protégés simultanément, la différence de potentiel aux bornes de l'oxyde de grille est nulle. En effet, les antennes sur la grille et le drain du transistor sont mises à la masse durant l'exposition. Ainsi, aucun chemin de courant ne peut être créé à travers l'oxyde de grille durant les étapes plasma. Ce résultat implique que cette structure de test est complètement immunisée contre les dégradations par effet d'antenne tant que les diodes de protection demeurent suffisamment efficaces pour évacuer vers le substrat les charges collectées par les antennes.

Le même raisonnement peut être appliqué à la structure de test sans diode de protection. En effet, les antennes connectées à la grille et au drain sont identiques. Par conséquent, la différence de potentiel aux bornes de l'oxyde de grille durant les étapes plasma est nulle. Il faut noter que ce raisonnement est valide uniquement dans le cas d'un plasma uniforme. En effet, aucun claquage extrinsèque n'a été détecté avec cette structure de test, ce qui permet de conclure que le niveau de stress n'est pas suffisant pour être détecté par son impact sur le claquage d'oxyde. Cependant, des endommagements peuvent être détectés dans le cas d'un plasma non-uniforme et ou par des mesures de dérive des paramètres MOS tel que la tension de seuil. En effet, même si les antennes sont identiques un chemin de courant à travers l'oxyde de grille peut être créé par la différence des potentiels plasmas au voisinage de chaque antenne lorsque le plasma n'est pas uniforme. Ce point sera développé plus en détail dans la suite du travail.

Au final, les dégradations par effets d'antenne en technologie FDSOI sont induites par des injections de courant grille → drain/source ou drain/source → grille durant l'exposition aux étapes plasma, provoquées par un déséquilibre en courant entre les antennes grille et source/drain, que nous avons créé dans cette étude en utilisant des diodes de protection. Nous allons voir dans la suite du travail que ce déséquilibre peut être créé par d'autres phénomènes tels que la non-uniformité du plasma et les effets topographiques.

Ce résultat implique aussi que la technique classique utilisée pour protéger les transistors standards sur substrat massif contre les effets d'antenne et qui consiste à connecter une diode de protection entre la grille et le substrat du composant n'est pas valide en technologies FDSOI. Cette configuration induit un important déséquilibre en courant entre les nœuds du transistor. Une protection efficace en FDSOI nécessite l'utilisation d'une **double protection** : les nœuds grille et drain du transistor simultanément protégés par deux diodes différentes. Cette structure de test sera utilisée dans la suite du travail comme ***structure de référence*** pour déterminer par comparaison le niveau de dégradation induit par les procédés plasma.

III.A.1.2-b Résultats obtenus à partir des mesures de tensions de seuil :

A présent, nous allons passer en revue les résultats obtenus avec les mesures de tensions de seuil. Les Figures III.10-1,2 et 3 illustrent les distributions cumulées des dérives de la tension de seuil des structures de test nMOS et pMOS en fonction des rapports d'antenne, évaluées par rapport à un ratio AR=250, et cela pour les différentes configurations de protection avec diode : C, D et A, B respectivement (voir Figure III.5).

L'analyse de ces nouvelles mesures (Figure III.10-1) montre que les structures de test en configuration (C) avec une double protection au niveau de la grille et du drain, défini précédemment comme ***structures de référence*** ne montrent aucune dégradation. En effet, aucune évolution de la tension de seuil en fonction des rapports d'antenne n'a été détectée. Ce résultat confirme donc les conclusions précédentes établies à partir des mesures des tensions de claquage.

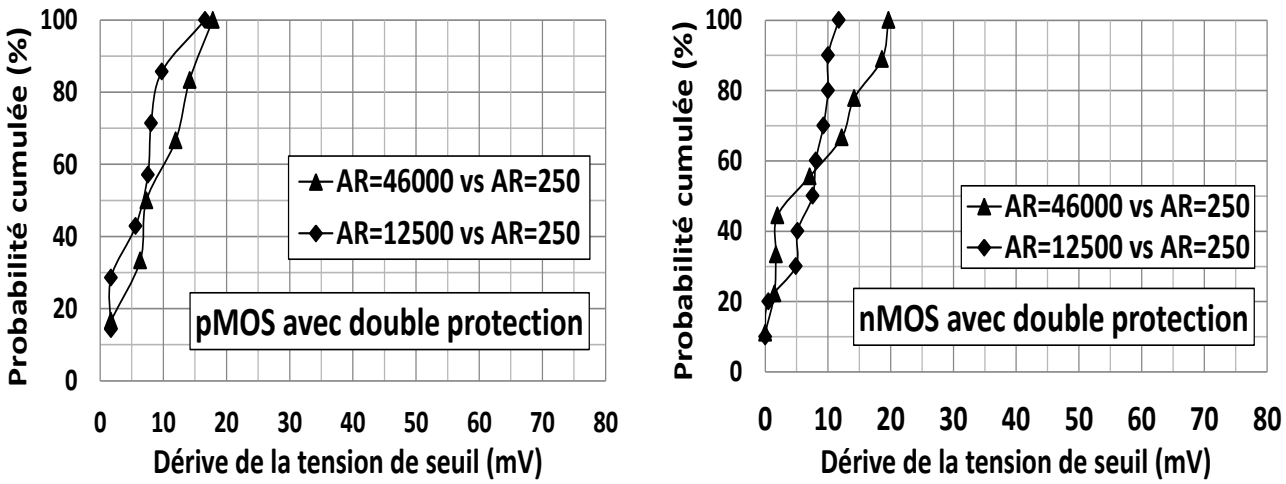


Figure III.10-1: Distributions cumulées de la dérive de la tension de seuil par rapport à AR=250 pour les structures de test nMOS et pMOS avec double protection (**configuration C**).

Concernant les structures en configuration (D) sans diodes de protection, aucune dégradation n'a été détectée avec les mesures de tension de claquage. Cependant, les nouvelles mesures (Figure III.10-2) montrent une dérive de la tension de seuil en fonction des rapports d'antenne signe de dégradation par effets d'antenne.

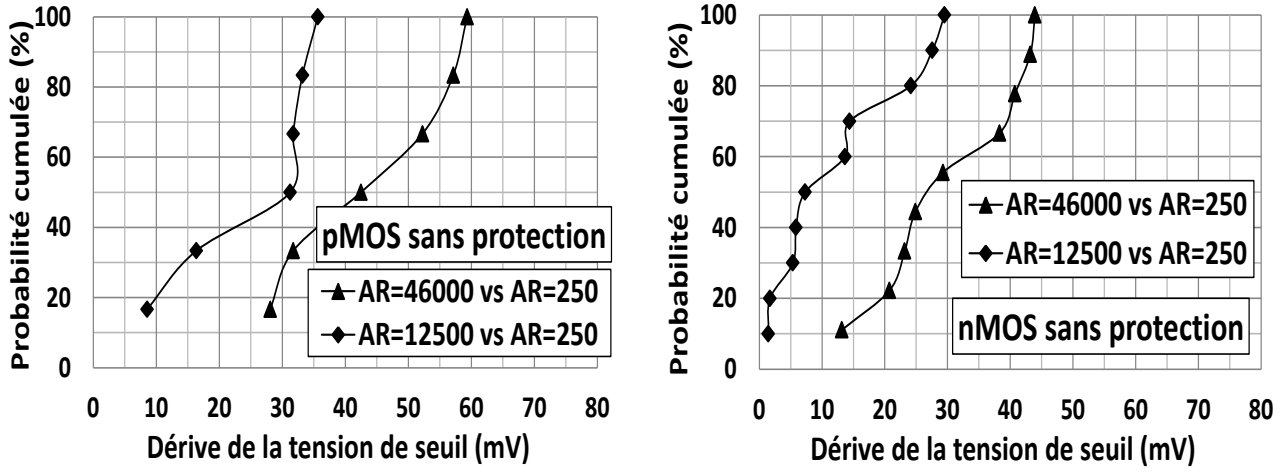


Figure III.10-2: Distributions cumulées de la dérive de la tension de seuil par rapport à AR=250 pour les structures de test nMOS et pMOS non protégées par diode (**configuration D**).

Les deux techniques de mesure (mesure de tension de claquage et dérive de la tension de seuil) ont permis de mettre en évidence des dégradations par effets d'antenne dans les structures de test (A) et (B) avec une diode de protection uniquement au niveau de la grille et au niveau du drain respectivement. Cependant, les mesures de dérive de la tension de seuil (Figure III.10-3) révèlent une différence de comportement entre les structures de test (sens de

la dérive) selon que la diode de protection soit connectée au nœud grille ou drain du transistor.

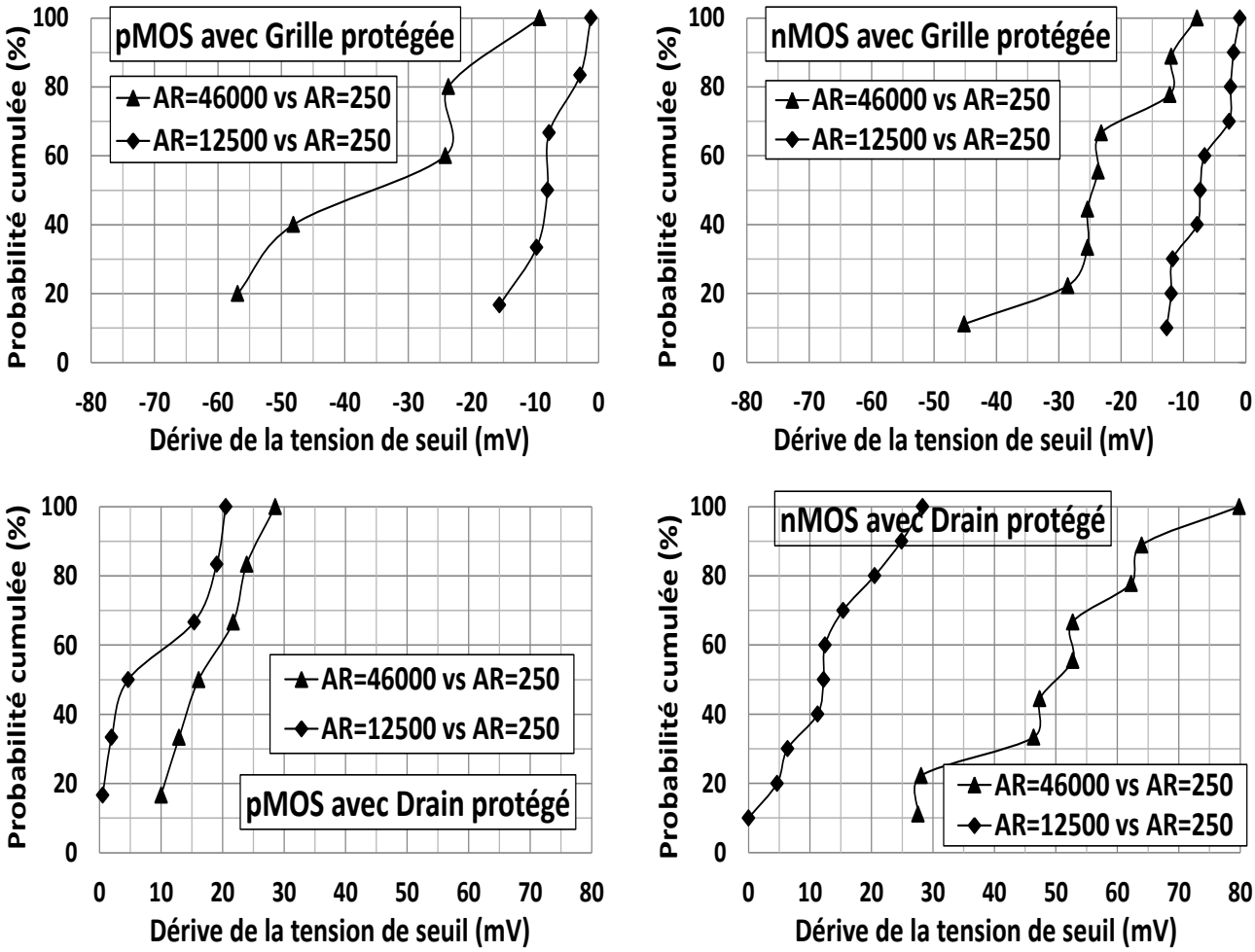


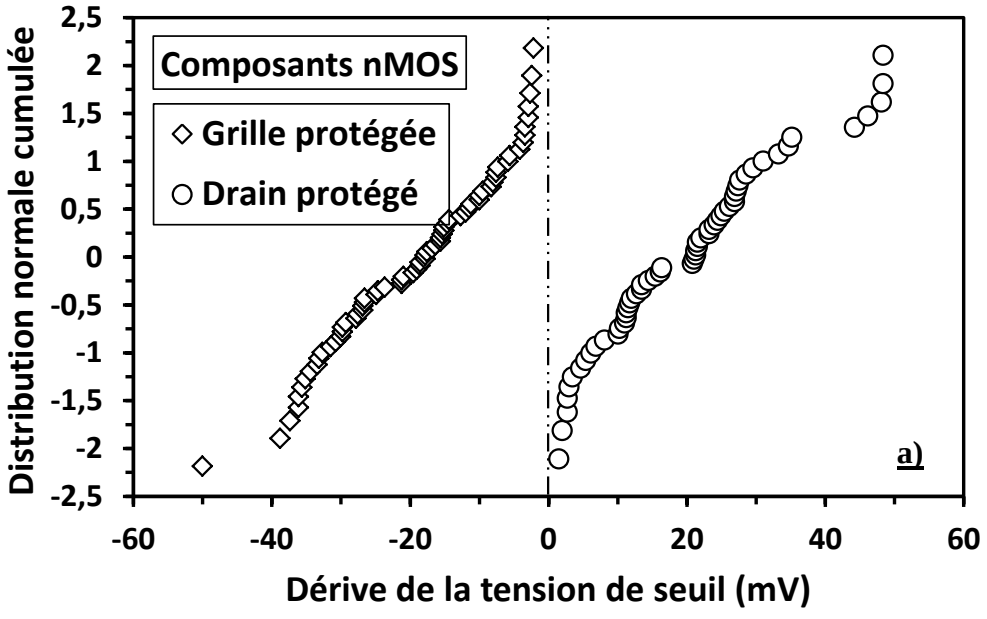
Figure III.10-3 : Distributions cumulées de la dérive de la tension de seuil par rapport à AR=250 pour les structures de test nMOS et pMOS protégées par diode à la grille ou au drain (**configuration A et B** respectivement).

En résumé, à l'exception de la structure de référence avec double protection (configuration C) où nous avons obtenu des résultats identiques avec les deux techniques de mesure, à savoir aucune dégradation détectée, toutes les autres structures de test présentent un comportement différent selon la technique de mesure utilisée. Cette différence de comportement peut être expliquée par la présence de phénomènes de piégeage de charges dans l'oxyde de grille durant les étapes plasma, dont la nature (charges positives ou négatives) influe directement sur le sens et le niveau de la dérive de la tension de seuil selon que le transistor est de type n ou p [Eriguchi08][Weng10], à l'inverse des dégradations détectées par les mesures de tension de claquage qui ne dépendent pas du type de charges piégées mais uniquement de la qualité de l'oxyde de grille. En effet, le claquage apparait uniquement

lorsqu'une certaine densité de pièges est atteinte, créant ainsi un chemin de conduction à travers l'oxyde de grille suivant le modèle de percolation [Degraeve95][Degraeve98]. Ces défauts sont la conséquence d'injection d'espèces d'hydrogènes libérés aux interfaces [Stahlbush95][Stathis94], qui se déplacent dans le volume de l'oxyde et se fixent sur des lacunes d'oxygène Si-Si, induisant ainsi un défaut neutre qui conduit au claquage. Les deux techniques de mesure utilisées sont donc complémentaires car elles adressent différents types de mécanismes de dégradations de l'oxyde de grille et de son interface. Commençons par étudier le comportement des structures de test en configuration (A) et (B).

1. Comportement des structures protégées à la grille ou au drain :

La Figure III.11-a,b illustre la dérive de la tension de seuil par rapport à la référence de structures de test nMOS et pMOS avec un rapport d'antenne AR=46000, munies d'une diode de protection connectée soit à la grille (configuration A) soit au drain (configuration B). Un grand nombre de composant, 90 exactement, répartis à travers le wafer a été testé pour permettre un traitement statistique des résultats et obtenir ainsi une meilleure interprétation du comportement des structures.



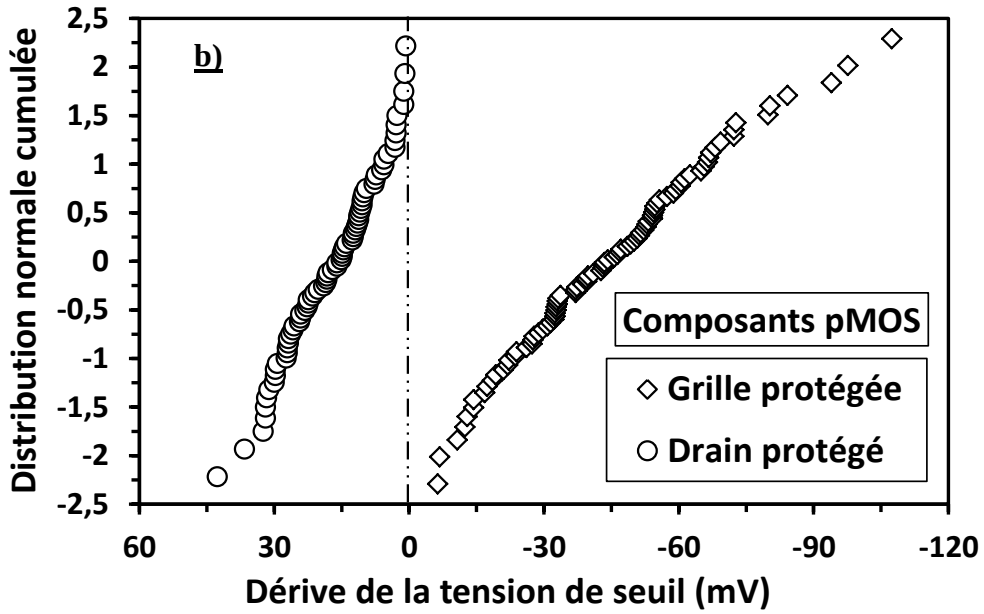


Figure III.11: Distributions cumulées des dérives de tensions de seuil par rapport à la référence des structures de test nMOS (a) et pMOS (b) protégées par diodes, soit à la grille soit au drain. Le rapport d'antenne est fixe : AR=46000.

Les structures de test avec une diode de protection au niveau de la grille (configuration A) présentent une dérive négative de la tension de seuil, tandis que les structures de test avec une diode de protection au niveau du drain (configuration B) présentent une dérive positive, cela indépendamment du type du transistor (n ou p). Ce comportement est probablement dû à un phénomène de piégeage de charges dans l'oxyde de grille durant les étapes plasmas (trous dans le cas de la configuration A et électrons pour la configuration B). En effet, une génération d'états d'interface ne peut engendrer qu'une augmentation en valeur absolue de la tension de seuil [Ribes05], à l'inverse d'un piégeage de charge qui peut induire une dérive négative ou positive de la tension de seuil selon le type de charges piégées.

Pour vérifier cette hypothèse, nous avons procédé à des stress BTI-AC (contrainte en tension alternative), constitués d'une phase de contrainte et d'une phase de relaxation (voir la partie I.B.4.2-a du chapitre I). Ainsi, la dérive de la tension de seuil ne peut être due qu'à une génération d'états d'interface ou au dépiégeage des charges déjà présentes dans l'oxyde de grille [Huard07], et se décompose comme suit selon que le stress est positif ou négatif :

- $\Delta VT_{PBTI-AC} \rightarrow$ Nit + dépiégeage de trous h^+ équation III.1
- $\Delta VT_{NBTI-AC} \rightarrow$ Nit + dépiégeage d'électrons e^- équation III.2

La Figure III.12 illustre l'évolution dans le temps de la médiane de la dérive de la tension de seuil de l'ensemble des structures de test nMOS protégées par diode au niveau de la grille (configuration A), ainsi que celle d'une structure de référence après une contrainte PBTI-AC (0→3.5V avec une période de 1e-5s) durant 2000s à une température de 125°C.

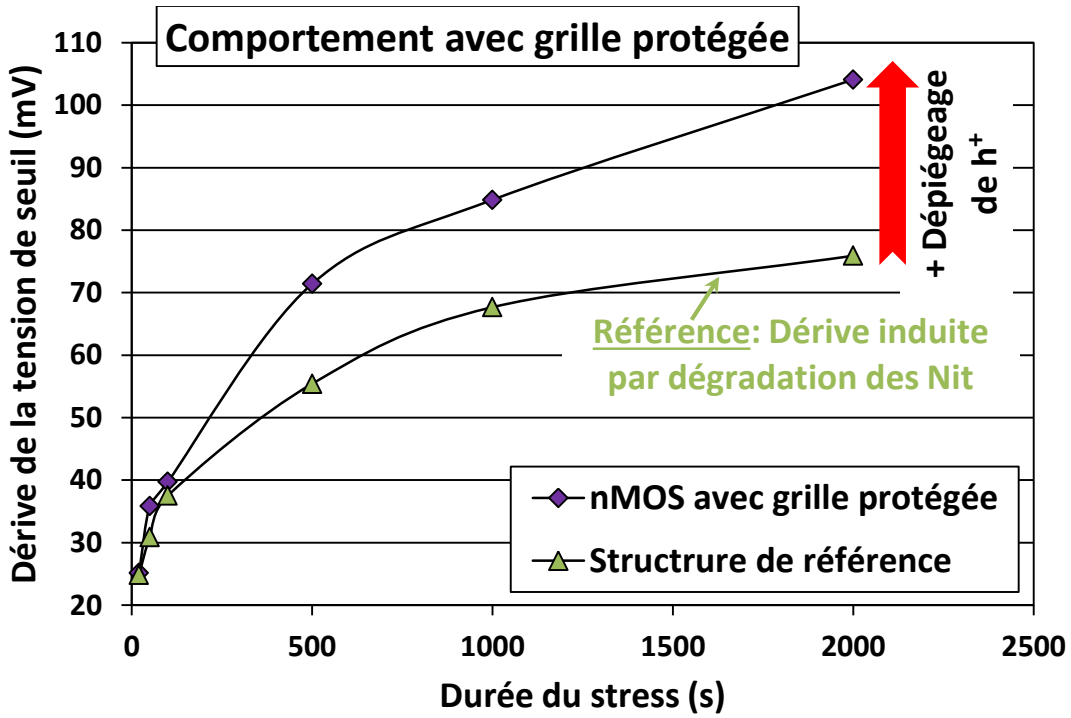


Figure III.12: Evolution dans le temps de la médiane de la dérive de la tension de seuil de l'ensemble des structures de test protégées par diode au niveau de la grille, ainsi que d'une structure de référence lors de la contrainte PBTI-AC.

Le comportement des structures nMOS protégées au niveau de la grille après contrainte électrique implique que la dérive négative de la tension de seuil constatée après exposition au plasma (Figure III.11) est due à un phénomène de piégeage de trous dans l'oxyde de grille. En effet, ces structures de test présentent une dérive de la tension de seuil plus significative que la structure de référence, qui elle est sujette uniquement à une dégradation des états d'interface lors de la contrainte AC, et Huard et al [Huard04] ont démontré qu'une structure qui a déjà subi une dégradation des états d'interface présente une dérive moins importante de la tension de seuil que des transistors non pré-stressés. Par conséquent, la dérive supplémentaire de la tension de seuil obtenue avec les structures nMOS protégées au niveau de la grille durant la contrainte électrique est forcément due à un dépiégeage de trous piégés dans l'oxyde de grille durant les étapes plasma (équation III.1).

Le comportement des structures pMOS protégées par diode au niveau du drain (Figure III. 13) confirme notre hypothèse de départ. Ces dernières ont subi une contrainte NBTI-AC (0→ -4V avec une période de 1e-5s) durant 2000s à une température de 125°C. Leur dérive de la tension de seuil plus significative par rapport à celle de la structure de référence à la fin du stress, signifie que la dérive positive de la tension de seuil constatée avec cette configuration après les étapes plasma (Figure III.11) est due à un phénomène de piégeage d'électrons, qui ont été dépiégés durant la contrainte NBTI-AC (équation III.2).

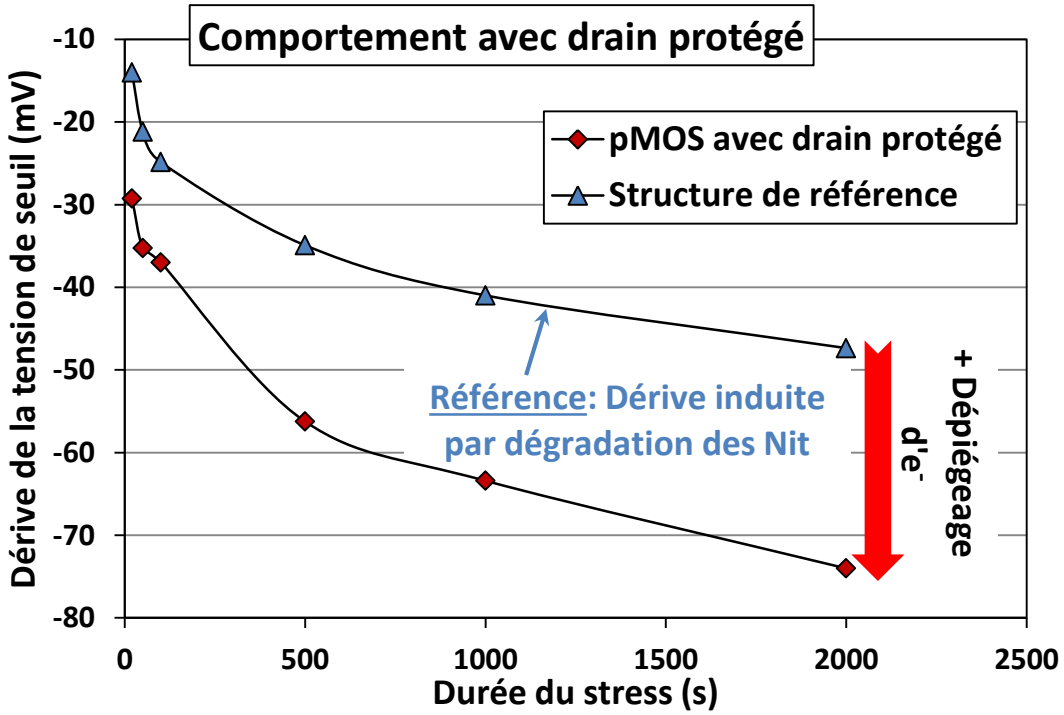


Figure III.13: Médiane de la dérive de la tension de seuil de l'ensemble des structures de test protégées par diode au niveau du drain, ainsi que d'une structure de référence lors de la contrainte NBTI-AC.

Ces résultats (piégeage d'électrons dans le cas des structures pMOS avec diode au drain et trous dans le cas des structures nMOS protégées à la grille) permettent aussi d'expliquer le comportement des deux autres configurations restantes : pMOS avec grille protégée et nMOS avec drain protégé, où on constate une dérive positive de la tension de seuil après étape plasma (Figure 11-a,b).

Ainsi, il se crée un phénomène de piégeage de charges dans l'oxyde de grille dont la nature (trous ou électrons) dépend uniquement du sens d'injection du courant à travers l'oxyde de grille durant les étapes plasma. Le sens des injections est défini par la

position de la diode de protection, indépendamment du type du MOS (n ou p): piégeage de trous lors d'une injection drain→grille induite par la protection de la grille, équivalente à une tension d'antenne négative, et inversement lors de la protection du drain comme illustré dans la Figure III.14.

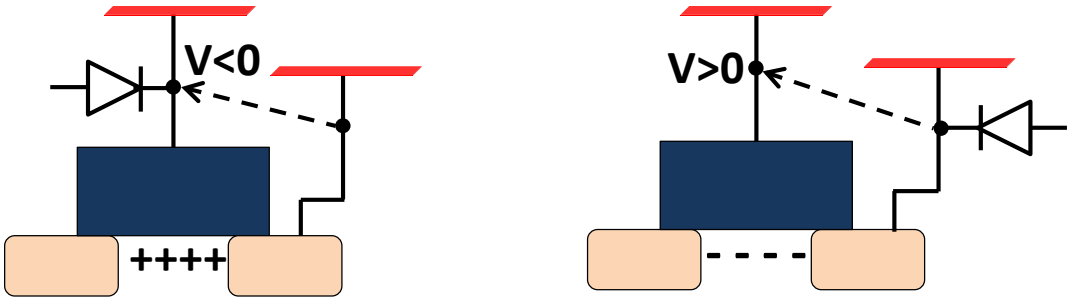


Figure III.14: Sens d'injection du courant à travers l'oxyde de grille durant les étapes plasma, défini par la position des diodes de protection.

2. Comportement des structures de test non protégées par diode :

Sur la base des résultats précédents, on peut penser que les dégradations détectées grâce aux mesures de tension de seuil sur les structures de test non protégées (configuration D) sont aussi dues à un phénomène de piégeage de charges dans l'oxyde de grille durant les étapes plasma. En effet, les mesures de tension de claquage n'ont révélé aucune dégradation. Les mesures de la tension de seuil à t0 (juste après exposition aux procédés plasmas) illustrées dans la Figure III.15 montrent une réduction de la tension de seuil en valeur absolue (dérive positive) en fonction du rapport d'antenne, qui ne peut être induite que par un phénomène de piégeage d'électrons dans l'oxyde de grille. Pour vérifier cette hypothèse, nous avons procédé à un stress NBTI-AC (0 →-4V avec une période de 1e-5s durant 2000s a 125°C) qui va permettre de révéler la présence ou non de charges piégées dans l'oxyde. A la fin du stress (voir Figure III.15), on constate une augmentation de la tension de seuil observée pour toutes les structures. Ceci est une conséquence de la dégradation des états d'interface et/ou de dépiégeage d'électrons durant la contrainte. Cependant, l'observation la plus significative est que le stress électrique a permis de réduire la dépendance de la tension de seuil aux rapports d'antennes. Cela signifie que les dégradations par effets d'antennes provoquées par cette structure sont dues majoritairement à un phénomène de piégeage d'électrons durant l'exposition aux étapes plasma, qui ont été dépiégés lors de la contrainte électrique.

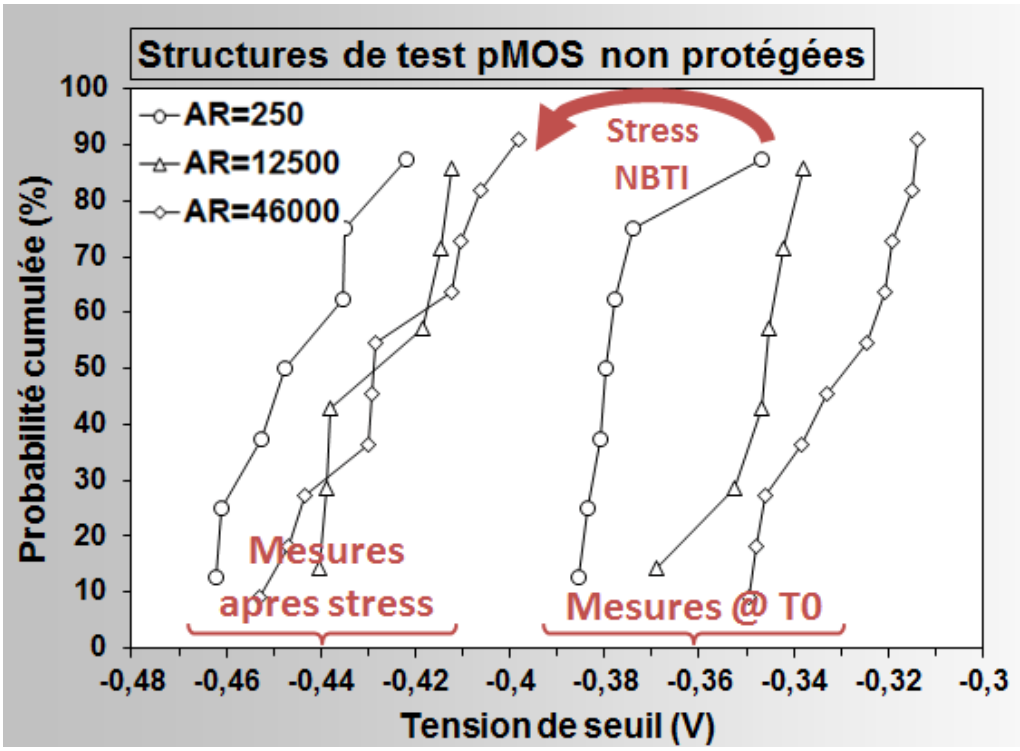


Figure III-15: Evolution de la tension de seuil en fonction des rapports d'antennes des structures de test non protégées par diode : configuration D (voir Figure III.5) @ T0 (juste après exposition aux étapes plasma) puis après contrainte NBTI-AC.

III.A.1.3 Conclusion :

Les mesures de tension de claquage après exposition aux étapes plasma des structures de test ont permis de mettre en évidence que les dégradations par effets d'antennes dans les technologies FDSOI sont dues à des injections de courant à travers l'oxyde de grille : grille → source/drain ou source/drain → grille, dont le sens est défini par les mécanismes de dégradation à l'origine du déséquilibre en courant au niveau des antennes.

En plus de la dégradation des états d'interface à l'origine d'une partie des défauts induisant un claquage de l'oxyde de grille, un phénomène de piégeage de charges dans l'oxyde de grille révélé par les mesures de tension de seuil a lieu durant l'exposition aux étapes plasma. La nature des charges piégées (trous ou électrons) est définie par le sens d'injection du courant à travers l'oxyde. Ce dernier régit donc directement le niveau de la dégradation. En effet, l'importance et le sens de la dérive de la tension dépend de la nature des charges piégées selon que les composants sont de type nMOS ou pMOS.

Cela dit, la question se pose de savoir quel mécanisme est à l'origine des dégradations détectées sur les structures de test non protégées. En effet, les antennes connectées à la grille et au drain du transistor sont identiques. De plus, aucune diode de protection n'est utilisée pour créer un déséquilibre en courant entre les nœuds du composant. Les dégradations sont donc probablement induites par un déséquilibre en courant au niveau des antennes, provoqué par un phénomène de non-uniformité du plasma qui va générer une différence de potentiel aux bornes de l'oxyde de grille due à une différence des potentiels plasmas au voisinage des antennes exposées.

III.B Etude des dégradations induites par une non-uniformité du plasma dans les technologies FDSOI

III.B.1 Présentation de l'étude :

Pour cerner le comportement de ce mécanisme de dégradation, nous avons étudié un procédé de gravure métal très dégradant et peu uniforme. Les interconnexions des technologies actuelles sont fabriquées suivant un procédé damascène. Il n'y a donc pas d'étape de gravure métal et tous les niveaux d'interconnexion sont en cuivre. Cela dit, pour pallier aux problèmes d'oxydation liés à l'utilisation du cuivre, un dernier niveau de métal en aluminium est toujours défini tout à la fin pour relier le composant au monde extérieur. Ce dernier niveau d'interconnexion est défini suivant un procédé standard, en utilisant une gravure métal qui induit d'importants niveaux de dégradation, comparée à un procédé damascène [Poiroux99'].

Les structures de test sont des transistors nMOS et pMOS de la technologie 14nm FDSOI [Weber14] développée par STMicroelectronics au centre de Crolles. Les composants ont une longueur de grille de 0.15µm et une largeur de 1µm avec un diélectrique de grille constitué d'une couche d'oxyde SiON d'une épaisseur de 37A et d'un oxyde high-k : HfO_2 d'une épaisseur de 20A. Les nœuds grille et drain des transistors sont munis d'antennes métal en aluminium définies suivant la technologie standard en gravure métal comme illustré dans la Figure III.16. Ces antennes sont identiques, de plus aucune diode de protection n'est utilisée (voir Figure III.17). Cela permet d'accentuer la sensibilité des structures aux variations des potentiels plasmas au voisinage des antennes. La surface des antennes est de 1936µm² ce qui donne un rapport d'antenne d'environ AR=13000.

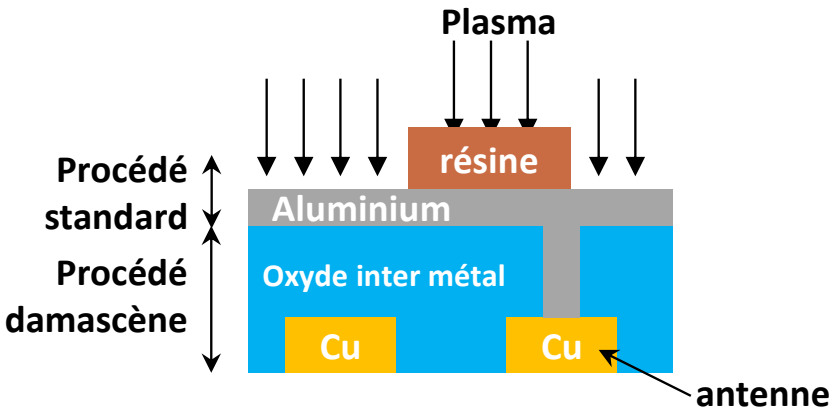
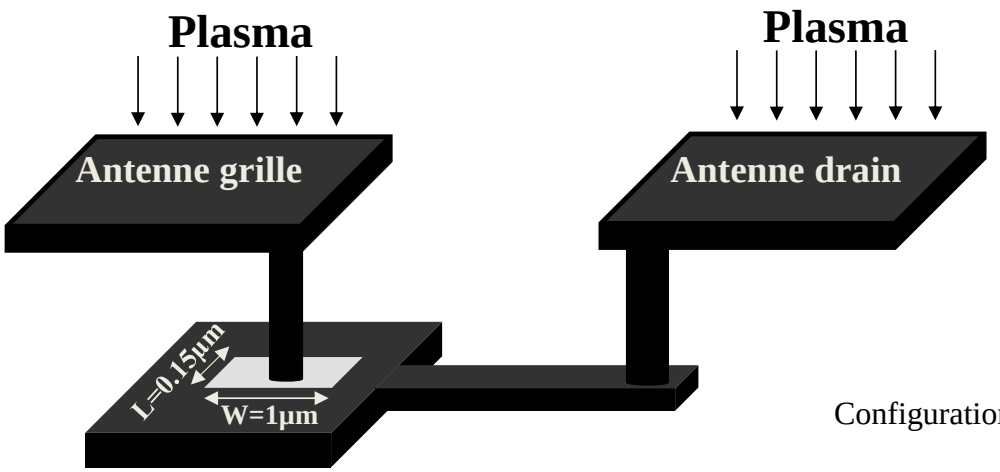


Figure III-16: Configuration de l'antenne durant la gravure. Le métal (surface conductrice) est directement exposé au plasma pendant toute la durée du procédé.

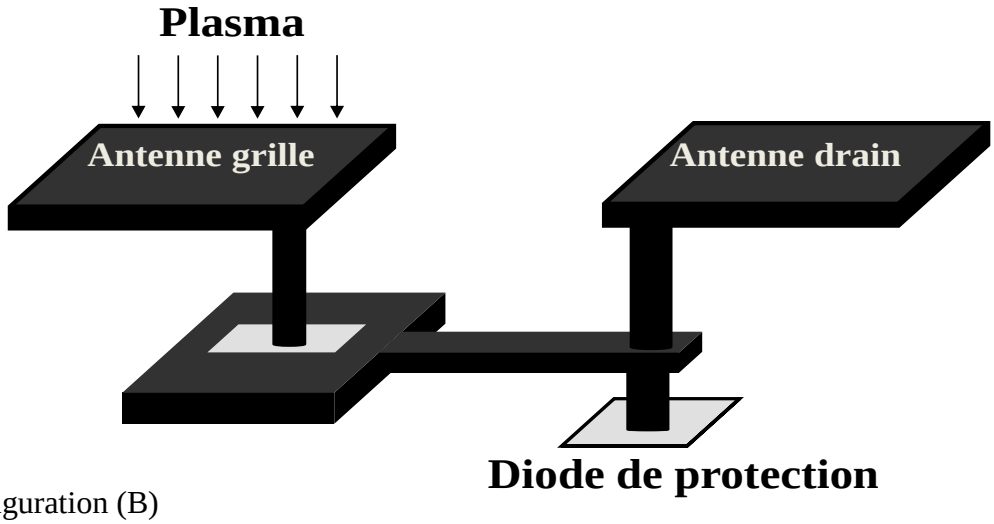
Pour mieux cerner le comportement de ce mécanisme de dégradation, une autre structure de test munie de diodes de protection au niveau source et drain a été dessinée. Cette structure offre la possibilité de reproduire le comportement des dégradations par non-uniformité du plasma dans les technologies standard grâce aux protections au niveau source et drain qui vont permettre de reproduire les diodes naturelles formées par les jonctions source/drain et substrat dans les composants sur substrat massif. La comparaison entre le comportement de cette structure et celle sans diode de protection va permettre d'identifier les chemins de courant générés à travers les composants durant l'exposition au procédé plasma de gravure métal et de déterminer ainsi les différences de comportement entre les mécanismes de dégradation par non-uniformité du plasma entre un composant standard et un composant de technologie FDSOI.

Cette structure de test avec protection au niveau source et drain offre un autre avantage. Dans ce cas, uniquement les charges collectées par l'antenne grille peuvent induire des dégradations. Cette structure peut donc être utilisée pour évaluer l'intensité du stress plasma vu par les composants durant l'exposition aux procédés. Les deux structures de test sont appelées respectivement structure (A) et (B), elles sont représentées dans la Figure III.17.

Pour évaluer le niveau de dégradation induit par chaque configuration d'antenne, une structure de référence sans antenne et protégée par diodes aux nœuds grille et drain du transistor a aussi été définie.



Configuration (A)



Configuration (B)

Figure III-17: Configuration (A) : structure définie pour détecter les variations locales du potentiel plasma entre les nœuds du transistor. Configuration (B) : permet de reproduire le comportement des dégradations par non-uniformité du plasma dans un composant standard.

Pour effectuer la gravure métal, un réacteur à couplage capacitif (CCP) en configuration RIE :Reactive Ion Etching comme vu précédemment dans le chapitre 1 est utilisé. Le plasma est généré grâce à un champ électrique RF dans l'espace inter-électrode du réacteur, et le substrat est placé sur l'électrode couplée capacitivement au générateur RF qui par autopolarisation va communiquer l'énergie du bombardement ionique lors de la gravure.

Deux procédés de gravure métal sont utilisés pour définir les antennes: l'un ***uniforme*** et l'autre ***non-uniforme***. L'étape dure 420s à une température de 20°C.

Pour permettre une bonne évaluation du niveau de dégradation induit par l'exposition au plasma, nous avons opté pour des mesures de tension de seuil, effectuées avant le recuit

thermique final. Un important échantillon de structures (75 structures réparties sur 75 puces différentes) a été testé pour permettre un traitement statistique des résultats.

III.B.2 Présentation des résultats :

Procédé non-uniforme

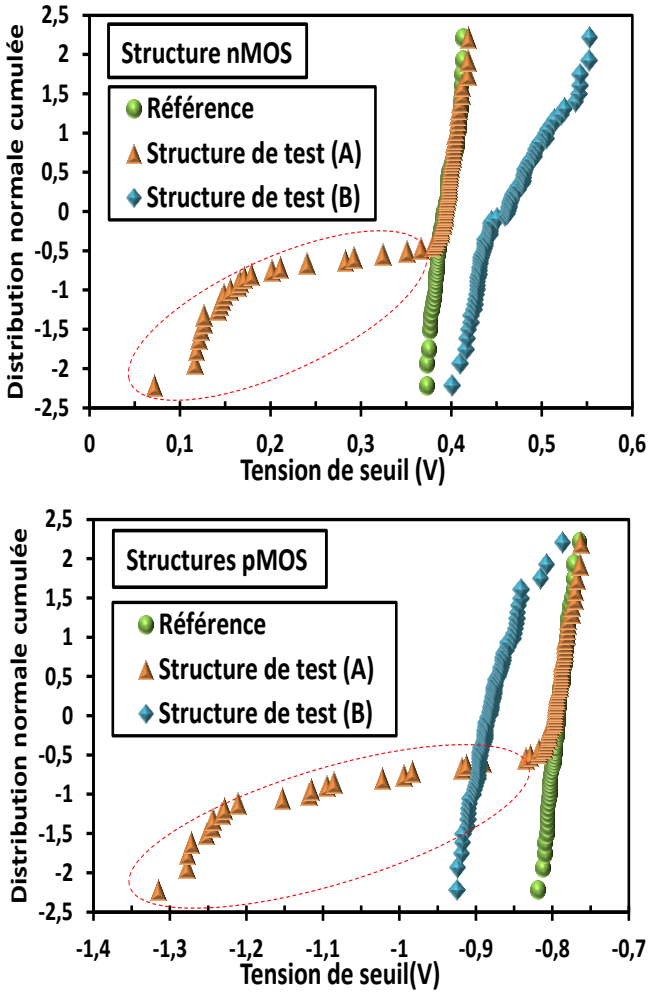


Figure III.18-a: Distributions cumulées des tensions de seuil des structures de test en configuration (A) et (B) après exposition au procédé de gravure métal **non-uniforme**.

Procédé uniforme

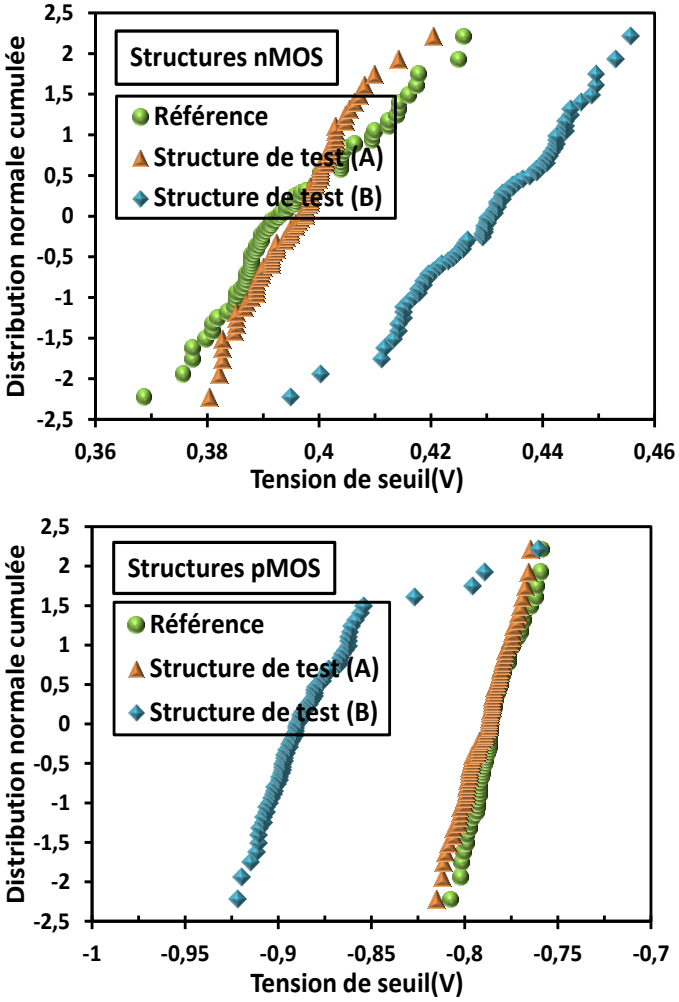


Figure III.18-b: Distributions cumulées des tensions de seuil des structures de test en configuration (A) et (B) après exposition au procédé de gravure métal **uniforme**.

Les Figures III.18-a et b illustrent les distributions normales cumulées de la tension de seuil des structures de test nMOS et pMOS avec les deux configurations d'antenne (A) et (B) comparées à une structure de référence, cela après exposition aux procédés de gravure plasma **non-uniforme** et **uniforme** respectivement. On constate un comportement différent selon les configurations d'antenne. En effet, les structures munies de diodes de protection au

niveau source et drain (configuration B) montrent des dégradations avec les deux procédés plasma, illustrées par les dérives de la tension de seuil par rapport à la référence. A l'inverse, les structures non protégées (configuration A) sont dégradées uniquement par le procédé de gravure non-uniforme. En effet, aucune dérive de la tension de seuil par rapport à la structure de référence n'a été détectée après l'exposition au procédé uniforme. De plus, on constate que uniquement une partie de ces structures sont dégradées, et sont localisées uniquement au centre de la plaque (voir Figure III.19), tandis que toutes les structures d'antenne en configuration (B) sont dégradées. Cela implique que les dégradations par effets d'antenne détectées avec les structures d'antenne en configuration (A) sont donc dues à un déséquilibre en courant au niveau des antennes induit par non-uniformité du plasma.

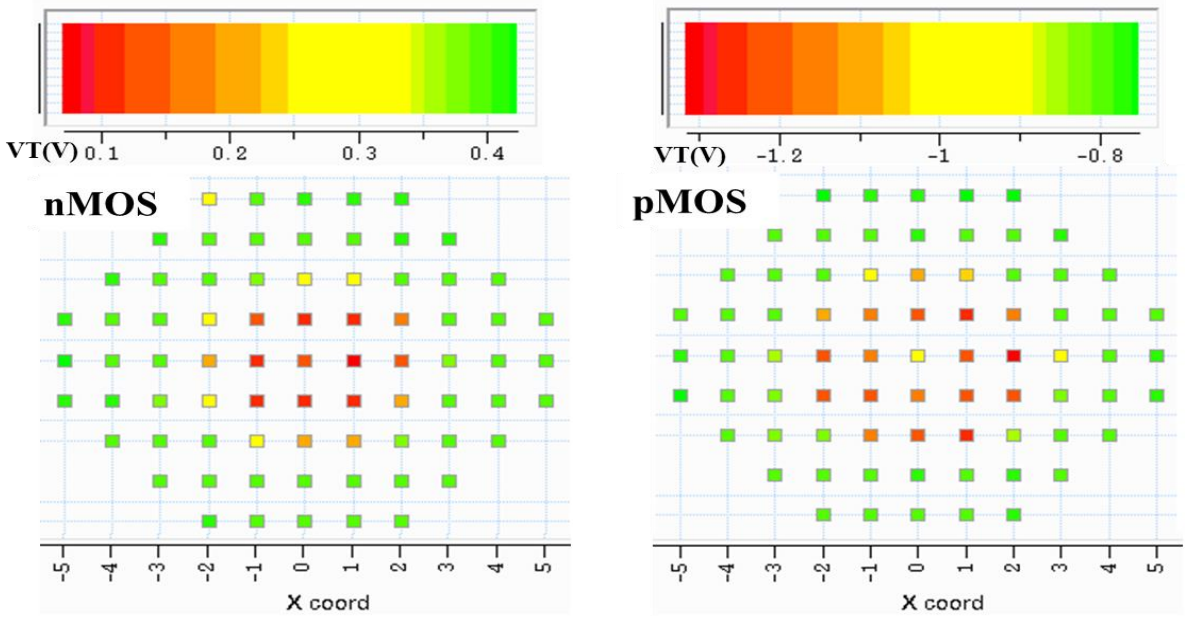


Figure III-19: Cartographie des tensions de seuil mesurées sur les structures de test non protégées et munies d'antennes identiques (configuration A) après exposition au procédé de gravure métal non-uniforme.

III.B.3 Discussion:

Les mesures de tension de seuil après exposition aux procédés de gravure ont révélés un comportement différent entre les structures d'antennes en configuration (A) et (B) selon l'uniformité des procédés plasmas. Commençons par étudier les résultats obtenus avec la structure de test en configuration (A). Les antennes métal grille et drain sont identiques, de plus, aucune diode de protection n'est utilisée pour induire un déséquilibre en courant entre

les nœuds du transistor. Les dégradations détectées grâce aux mesures des tensions de seuil sont donc probablement dues à des variations locales du potentiel plasma au voisinage des antennes grille et drain, dues à la non-uniformité du procédé plasma utilisé.

Pour vérifier cette hypothèse nous avons défini une nouvelle technique de caractérisation. Habituellement, les dégradations par effets d'antennes sont détectées en utilisant des structures de test avec différents rapports d'antenne dont on étudie l'impact sur les paramètres électriques du transistor (tension de seuil, courant de fuite de la grille,...). La dépendance entre le niveau de dérive de ces paramètres électriques et l'importance du rapport d'antenne permet de mettre en évidence des dégradations par effets d'antenne. Dans cette étude, nous avons défini des structures de test avec un rapport d'antenne fixe (AR=13000), la seule variable est la distance entre les antennes connectées aux nœuds grille et drain. Cela permet de lier le niveau de dégradation uniquement à la position des antennes à travers le wafer et donc directement à l'uniformité du plasma. Ainsi, on pourra mettre en évidence une corrélation directe entre le profil du potentiel plasma et la localisation des structures dégradées à travers la surface du substrat. En effet, comme le montre la relation de Boltzmann (équation III.3), la différence du potentiel entre les antennes varie en fonction du rapport des densités plasmas entre ces deux antennes et donc en fonction de l'uniformité du procédé plasma.

$$Vp_2 - Vp_1 = \frac{kT_e}{e}\ln\left(\frac{n_2}{n_1}\right) \langle Vp_3 - Vp_1 = \frac{KT_e}{e}\ln\left(\frac{n_3}{n_1}\right) \langle Vp_4 - Vp_1 = \frac{KT_e}{e}\ln\left(\frac{n_4}{n_1}\right) \text{ équation III.3}$$

Avec Vp_x et n_x le potentiel et la densité du plasma respectivement au niveau de chaque antenne et Te la température électronique du plasma considérée uniforme.

Nous avons donc défini une première structure de test avec une distance minimale de 70µm entre les antennes grille et drain (la même que dans les structures précédentes), puis d'autres structures dont l'espacement entre les antennes varie de 280µm à 490µm comme illustré dans la Figure III.20. Nous avons exposé toutes ces structures au même procédé de gravure non-uniforme que précédemment.

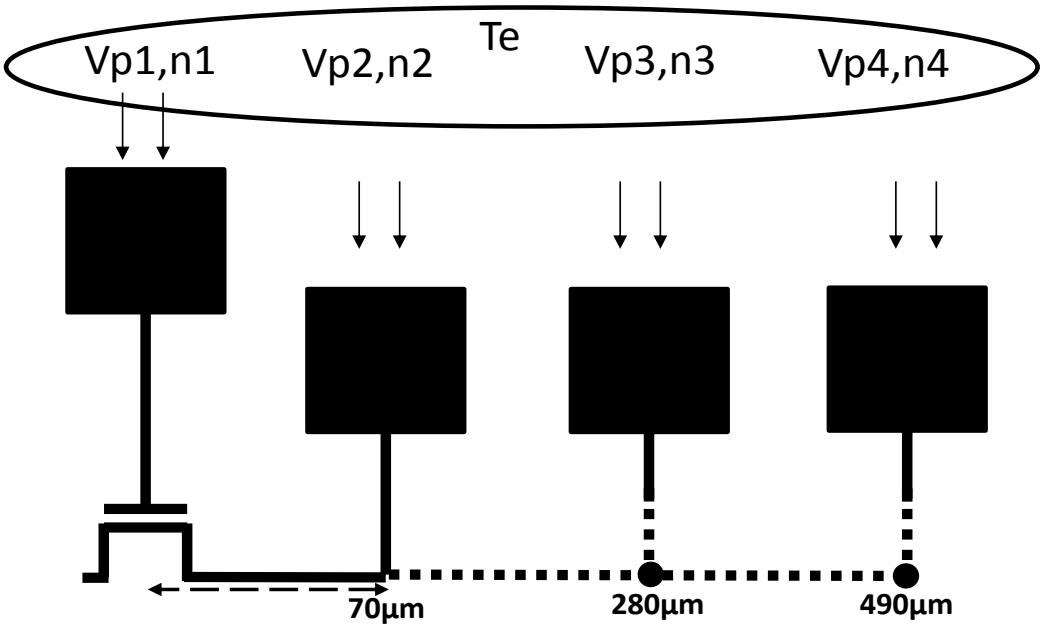


Figure III-20: Représentation schématique des structures d'antenne utilisées pour investiguer les variations locales du plasma entre les nœuds des composants.

Après l'exposition au procédé de gravure non-uniforme on ne constate aucun impact sur la fuite de grille (Figure III.21). Par contre la Figure III.22 montre d'importantes dégradations. Cette dernière illustre les médianes de dérive de la tension de seuil par comparaison à la référence des structures de test nMOS et pMOS en fonction de l'espacement entre les antennes grille et drain. Seules les structures au centre du substrat sont représentées. En effet, les structures localisées au bord ne sont pas impactées comme nous l'avons vu précédemment (Figure III.19). On constate que le niveau de dégradation (dérive de la tension de seuil) évolue en fonction de l'espace entre les antennes grille et drain, et augmente lorsque cette espacement devient important, signe de dégradation par effets d'antennes.

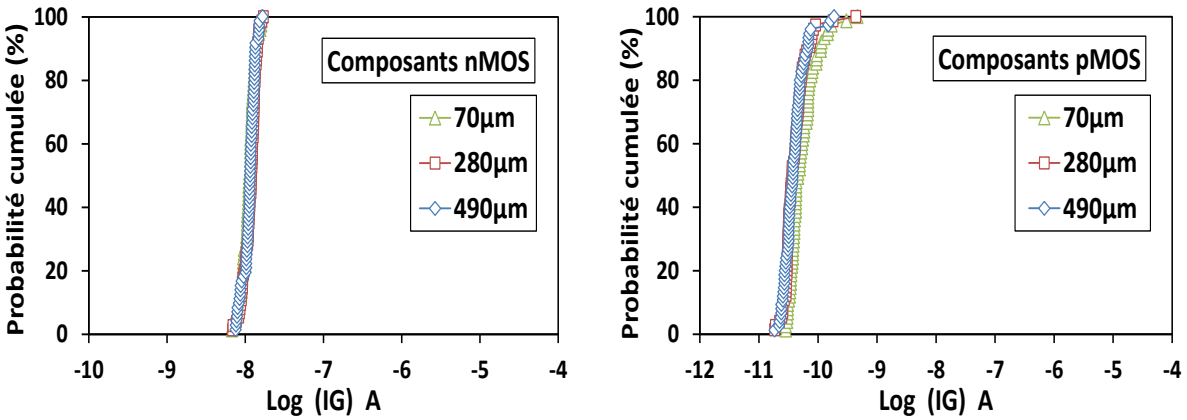


Figure III-21: Evolution de la fuite de grille des composants nMOS et pMOS en fonction de l'espacement entre les antennes grille et drain.

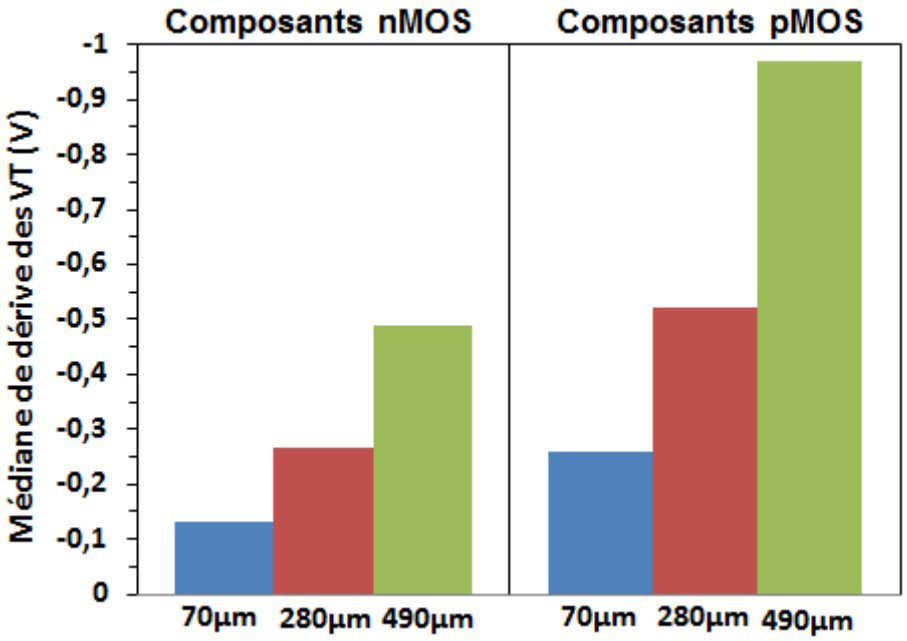


Figure III-22: Médiane de dérive de la tension de seuil des structures de test nMOS et pMOS en fonction de l'espacement entre les antennes grille et drain après exposition au procédé de gravure métal non-uniforme.

Ces résultats permettent d'affirmer que la non-uniformité du procédé plasma utilisé est à l'origine du déséquilibre en courant entre les nœuds des structures. En effet, les antennes sont identiques. Le niveau de dégradation dépend uniquement de leur position (distance) à travers le wafer et donc uniquement de l'intensité du champ électrique à travers l'oxyde de grille, défini par la différence des potentiels plasmas au voisinage des antennes grille et drain. Par conséquent, en plus de l'effet classique bord centre, une non-uniformité du plasma peut se

produire entre les nœuds des composants, induisant ainsi d'importantes dégradations par effet d'antenne dans les technologies FDSOI. Ce résultat traduit une différence de comportement entre les composants standards sur substrat massif et les composants de technologies FDSOI face à un plasma non-uniforme. En effet, dans un composant standard, les dégradations par non-uniformité du plasma sont dues à une augmentation localisée des tensions d'antenne dans une région définie du substrat. Cela accentue l'intensité du champ électrique à travers l'oxyde entre la grille et la prise substrat, et donc le niveau de dégradation des composants dans cette région du wafer. **Les structures sur substrat massif sont par conséquent sensibles uniquement aux variations plasma à travers la wafer, tandis que les structures de test en technologie FDSOI sont sensibles aux variations locales du plasma au niveau du transistor.**

La Figure III.23 montre le profil du potentiel plasma à travers la surface du substrat obtenu suite à une caractérisation du procédé de gravure non-uniforme en utilisant la technique des plaques flash (voir la partie II.B.1.2 du chapitre II). Nous pouvons constater que les composants localisés au bord du substrat subissent un niveau de stress réduit et plus uniforme par rapport à ceux situés au centre où le niveau du stress est nettement plus élevé, et les variations de l'intensité des contraintes plus importantes. Ces constatations viennent appuyer nos conclusions. En effet, uniquement les structures en configuration (A) localisées au centre du substrat sont exposées à des variations importantes du potentiel plasma. Cela permet d'expliquer pourquoi les structures en bord de plaque et celles exposées au procédé uniforme ne sont pas dégradées.

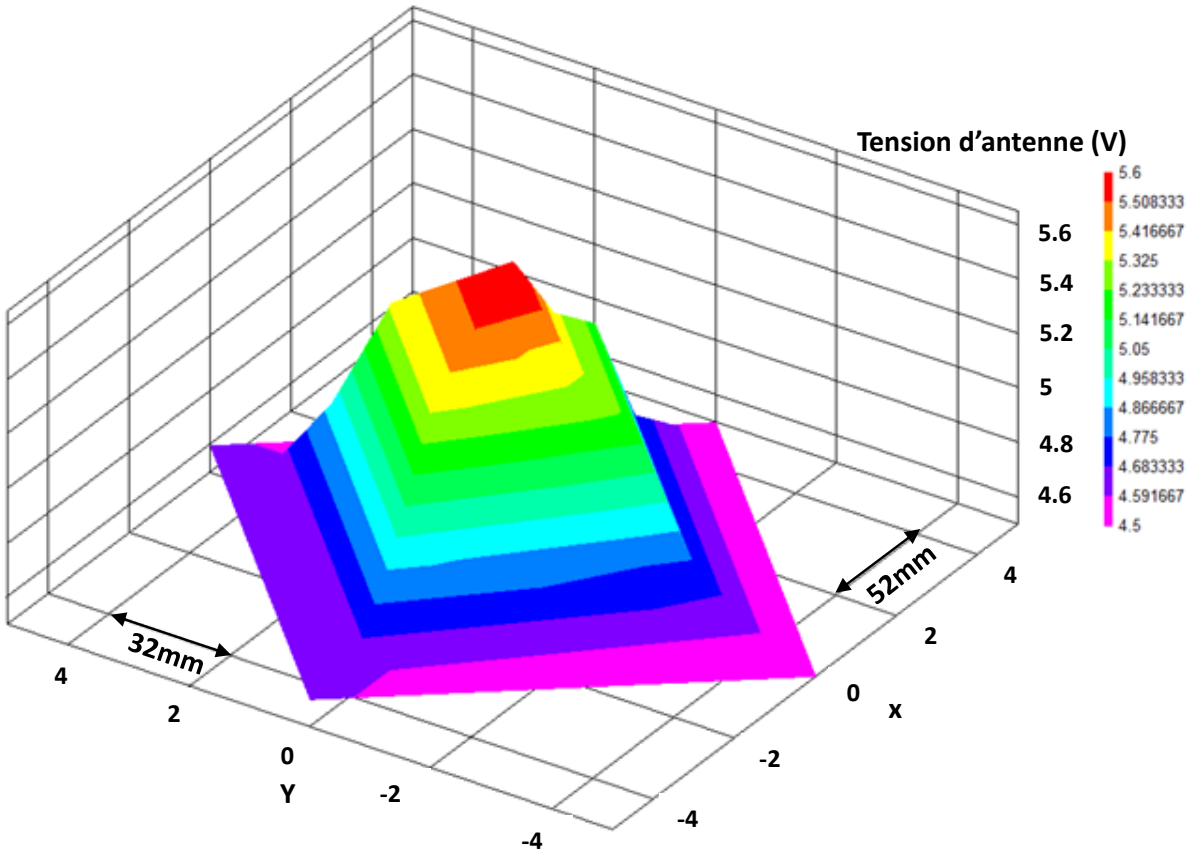


Figure III-23: Profil des tensions d'antenne à travers le substrat, obtenu par caractérisation du procédé de gravure non-uniforme en utilisant la technique des plaques flash.

Cela dit, une question se pose. En effet, la structure avec protection à la source et au drain (configuration B), utilisée pour reproduire le comportement d'un composant standard montre des résultats similaires avec les deux procédés de gravure (uniforme et non-uniforme). Cela signifie que l'augmentation localisée du potentiel plasma au centre du substrat induite par le procédé de gravure non-uniforme n'a aucun impact sur cette structure !

Ce résultat peut au premier abord paraître étonnant et contradictoire avec le comportement d'un composant standard face à un plasma non-uniforme. Cela dit, le mécanisme de dégradation défini par le mode d'écoulement de charges dans cette configuration d'antenne, ainsi que les conditions du procédé plasma, permettent d'expliquer ce comportement. Cette structure est définie pour reproduire un composant standard sur substrat massif. Par conséquent, l'intensité du champ électrique à travers l'oxyde de grille durant les étapes plasmas est définie par la tension d'antenne appliquée sur la grille du transistor. Ce mécanisme de dégradation est donc équivalent à un stress électrique de type BTI (Bias Temperature Instability). Concernant la structure sans protection (configuration A),

elle est sensible uniquement aux variations du potentiel plasma entre les nœuds grille et source/drain du transistor. Il se crée donc un champ électrique entre la source et le drain du composant durant l'exposition au plasma, comparable à un stress de type porteurs chauds HCI (hot carrier injection stress) comme illustré dans la Figure III.24.

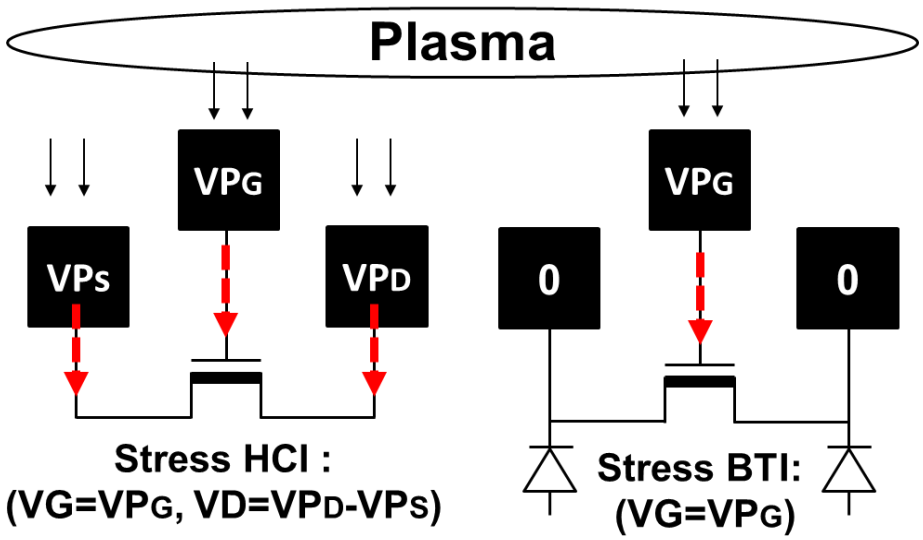


Figure III-24: Description des mécanismes de dégradations : HCI (hot carrier injection stress) et BTI (Bias Temperature Instability) induits respectivement par la structure non protégée (configuration A) et la structure protégée par diode au niveau source et drain (configuration B).

L'impact des conditions du procédé plasma (notamment la température, très basse : 20°C) sur le comportement de ces mécanismes de dégradation permet d'expliquer la disparité entre les niveaux de dégradation des structures. En effet, contrairement au stress BTI qui est activé en température, un stress par porteurs chauds (HCI) peut induire une importante dérive de la tension de seuil à faible température [Dai08]. Ainsi, l'augmentation localisée du stress électrique au centre de la plaque lors de l'exposition au procédé de gravure non-uniforme n'a que très peu d'impact sur la dérive de la tension de seuil de la structure de test protégée (configuration B), car stressée en mode BTI, à l'inverse de la structure sans protection (configuration A) car stressée en mode HCI.

Pour vérifier qualitativement le comportement de ces deux mécanismes de dégradation nous avons effectué des stress électriques sur des composants de référence non dégradés, dans les mêmes conditions que le procédé plasma, à savoir un stress en tension à 20°C durant 420s. La Figure III.25 montre la dérive de la tension de seuil en fonction de la durée du stress

induite par une contrainte de type BTI et HCI avec des différences de potentiel similaires. Nous pouvons constater que le stress de type porteurs chauds à 20°C induit d'importants niveaux de dégradation en comparaison du stress BTI dans les conditions du procédé plasma utilisé, et de l'ordre de grandeur des dégradations observées par effets d'antennes.

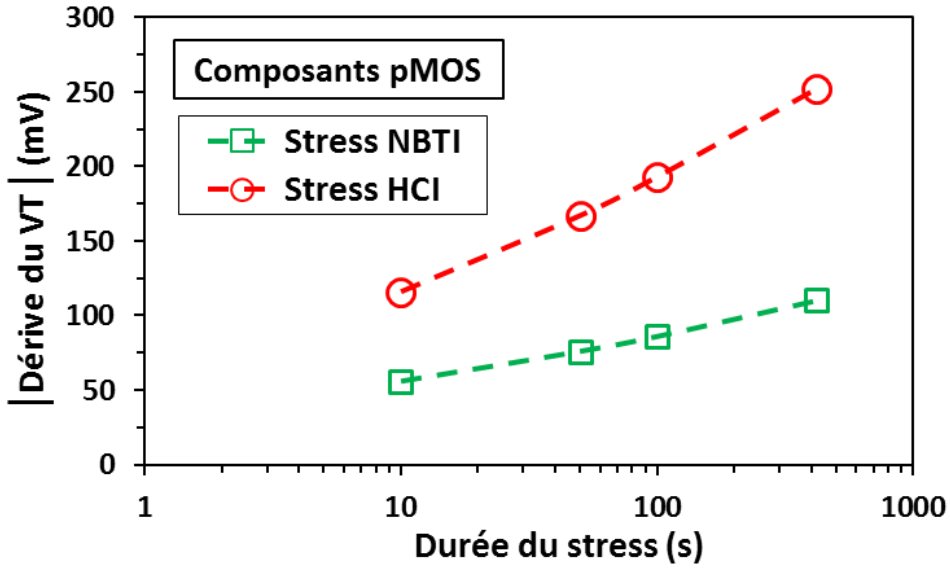


Figure III-25: Dérive de la tension de seuil en fonction du temps lors une contrainte de type BTI (Vg=-2.5V) et HCI (Vg=-2V et Vd=-2.5V) @ 20°C.

III.B.4 Conclusion:

La non-uniformité du plasma peut être une source importante de dégradation par effets d'antennes. Dans les technologies FDSOI, les dégradations sont induites par des variations locales du potentiel plasma à la surface des antennes connectées aux nœuds du transistor (grille et source/drain), tandis que dans les technologies standard, les dégradations par non-uniformité du plasma sont dues aux variations plasma à travers la surface du substrat.

Les mécanismes de dégradation par non-uniformité du plasma sont donc complètement différents entre un composant standard et un composant en technologie FDSOI. En effet, lors de l'exposition à un procédé plasma non-uniforme d'un transistor FDSOI, il apparait un champ électrique entre la source et le drain, comparable à un stress électrique de

type porteurs chauds. A l'inverse, dans un composant standard, le champ électrique est appliqué entre la grille et le substrat, ce qui est équivalent à un stress de type BTI.

Au final, la compréhension de ces différents modes de dégradation est très importante. En effet, les conditions du procédé plasma, et notamment la température substrat, ont un impact direct sur le niveau de dégradation.

Nous avons vu que la non-uniformité du plasma peut être à l'origine de déséquilibres en courant au niveau des antennes, avec pour conséquence la dégradation de l'oxyde de grille des composants. Cela dit, nous allons voir que même dans le cas d'un plasma uniforme, d'importantes dégradations par effet d'antennes peuvent se produire, induites par d'autres phénomènes, tels que les effets topographiques.

III.C Etude des dégradations induites par les effets topographiques dans les technologies FDSOI

III.C.1 Présentation de l'étude :

Nous avons vu précédemment dans la partie II.A.4 du chapitre 2 que les dégradations par topographie d'antenne sont dues à un déséquilibre entre le flux d'ions et d'électrons arrivant sur la surface de l'antenne, provoqué par un phénomène d'écrantage d'électrons.

Pour cerner le comportement de ce mécanisme de dégradation dans les technologies FDSOI nous avons étudié un procédé de gravure de l'oxyde, utilisé pour définir les vias. Dans ce cas, les dégradations se produisent lors de la sur-gravure, lorsque la surface conductrice est directement exposée au plasma [Carrere00''] comme illustré dans la Figure III.26.

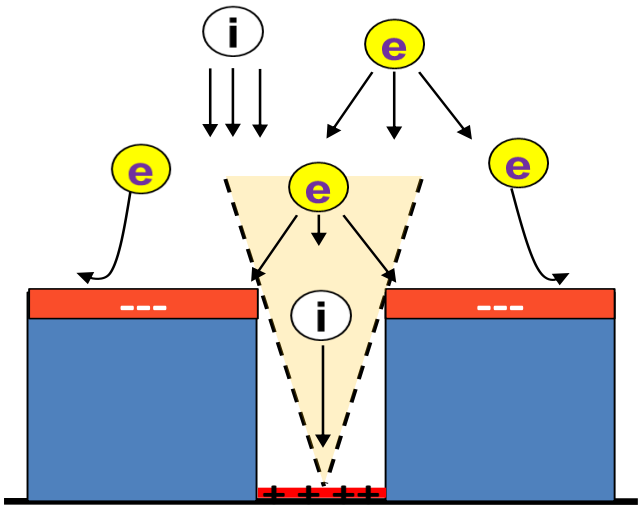


Figure III-26: Principe de l'ombrage électronique durant le procédé de gravure de trous dans l'oxyde.

Nous avons opté pour un procédé de gravure vias utilisé dans la technologie 28FDSOI développé par STMicroelectronics au centre de Crolles. Plusieurs antennes avec différents types de vias notés ViaX, ViaBAR et ViaLRG ont été définies. Ces derniers offrent différents facteurs de forme, comme illustré dans la Figure III.27. Pour mettre en évidence le phénomène d'écrantage électronique, nous avons à l'inverse des techniques conventionnelles, fixé le rapport d'antenne dans toutes les configurations. Pour ce faire, le nombre de vias est calculé de façon à obtenir une surface d'antenne totale constante pour chaque type d'antenne comme indiqué dans le Tableau III.2. L'objectif de cette démarche est de lier le niveau de dégradation uniquement au type de via (facteur de forme de chaque via) et donc à la topographie de ce dernier.

Tableau III-2: Description détaillée des caractéristiques des antennes de vias

Type de via	Dimension des vias	Nombre de vias	Rapport d'antenne
ViaX	32µmx32µm	2220	54
ViaBAR	32µmx64µm	1110	54
ViaLRG	64µmx64µm	550	54

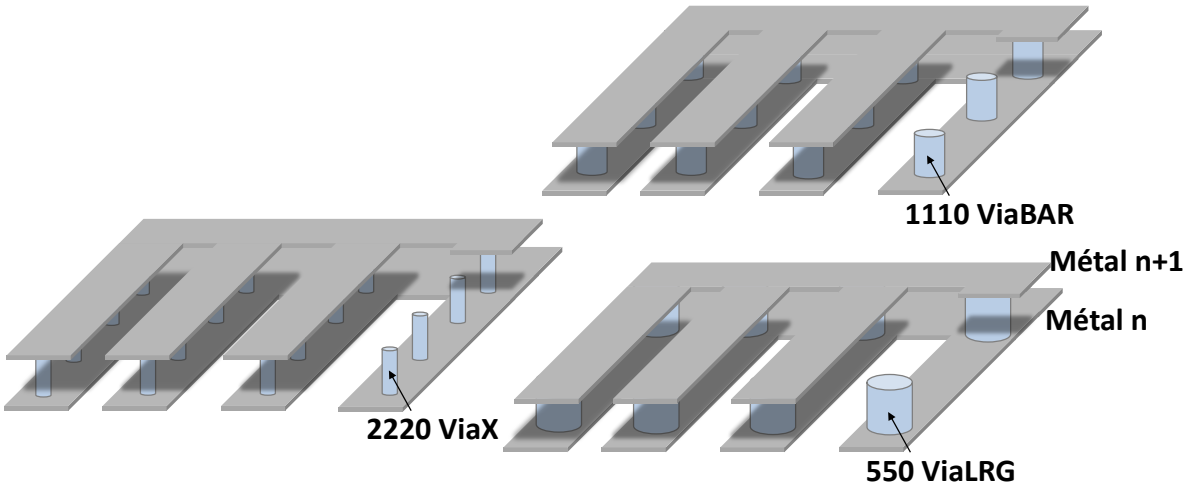


Figure III-27: Structures d'antenne de vias : différents type de via avec différentes topographies sont utilisées.

Les structures de test sont des transistors nMOS et pMOS de la technologie 28FDSOI [Planes12] avec des antennes munies de matrices de vias, connectées aux nœuds grille et drain. Les transistors ont une longueur de grille de 0.1µm et une largeur de 0.42µm avec un oxyde de grille d'épaisseur électrique totale de 45A, constitué d'une couche d'oxyde SiON et d'un oxyde high-k HFSiON.

Afin de déterminer les chemins de courant générés à travers les structures de test durant le procédé de gravure des vias et mettre ainsi en évidence l'origine et le comportement des dégradations par topographie d'antenne dans les technologies FDSOI, nous avons défini trois configurations de structure de test, avec à chaque fois une antenne munie d'une matrice de ViaX connectée à la grille. Nous faisons varier uniquement le type d'antenne connectée au drain, avec soit une matrice de ViaX, soit de ViaBAR, soit de ViaLRG. Les trois configurations de structure d'antenne sont illustrées dans la Figure III.28. Ces différentes configurations permettent de reproduire le cas réel d'interconnexions dans un circuit où des antennes avec différents facteurs de forme peuvent être connectées simultanément au même composant.

Une structure de référence sans antenne, protégée par diode au niveau grille et source/drain a aussi été définie pour évaluer par comparaison le niveau de dégradation des structures d'antenne.

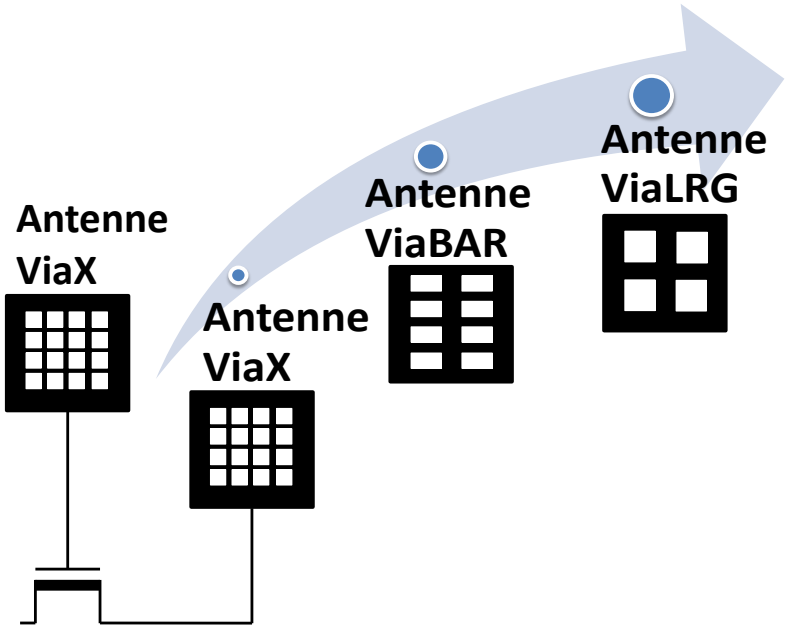


Figure III-28: Structures de test définies pour évaluer le comportement des dégradations par topographie d'antenne dans un composant FDSOI où des antennes munies de matrices de vias de différentes topographies sont connectées aux nœuds grille et drain du transistor.

III.C.2 Présentation des résultats et interprétation :

Nous avons commencé par mesurer les paramètres électriques des transistors après l'exposition au procédé de gravure, et notamment la tension de seuil. Cependant, cette technique de caractérisation n'a pas permis de mettre en évidence des dégradations par effets d'antenne. Nous avons donc procédé par la suite à des stress électriques de type BTI pour permettre de réactiver des défauts dans l'oxyde de grille qui auraient été créés durant l'étape de gravure plasma puis guéris grâce au recuit thermique. En effet, ce type de stress permet de traduire l'instabilité des paramètres électriques d'un transistor lors d'un stress électrique à haute température. Pour permettre un traitement statistique des résultats, un grand nombre de structures a été testé. 12 plus exactement, correspondant à chaque configuration d'antenne (Figure III.28), et réparties sur 12 puces différentes à travers le substrat. Des contraintes en tension de 3.75V et de -4V ont été ainsi respectivement appliquées sur les structures de test nMOS et pMOS durant 500s à une température de 125°C. Les contraintes ont été définies suite à une caractérisation du comportement courant-tension de l'oxyde de grille d'un composant de référence (le principe de cette technique de caractérisation des dégradations est détaillé dans la partie II.B.2.2-b du chapitre 2).

La Figure III.29 illustre l'évolution de la médiane de la tension de seuil par rapport à la structure de référence de l'ensemble des composants représentant chaque configuration d'antenne durant la contrainte électrique. Nous constatons une dérive de la tension de seuil au cours du stress, notamment dans le cas des structures munies d'antennes ViaX et ViaLRG connectées respectivement aux nœuds grille et drain des transistors, signe de dégradations par effets d'antenne. A l'inverse, les structures de test munies d'antennes identiques, à savoir des antennes ViaX connectées aux nœuds grille et drain ne montrent aucune dégradation. En effet, on ne note aucun décalage de la tension de seuil par rapport à la structure de référence.

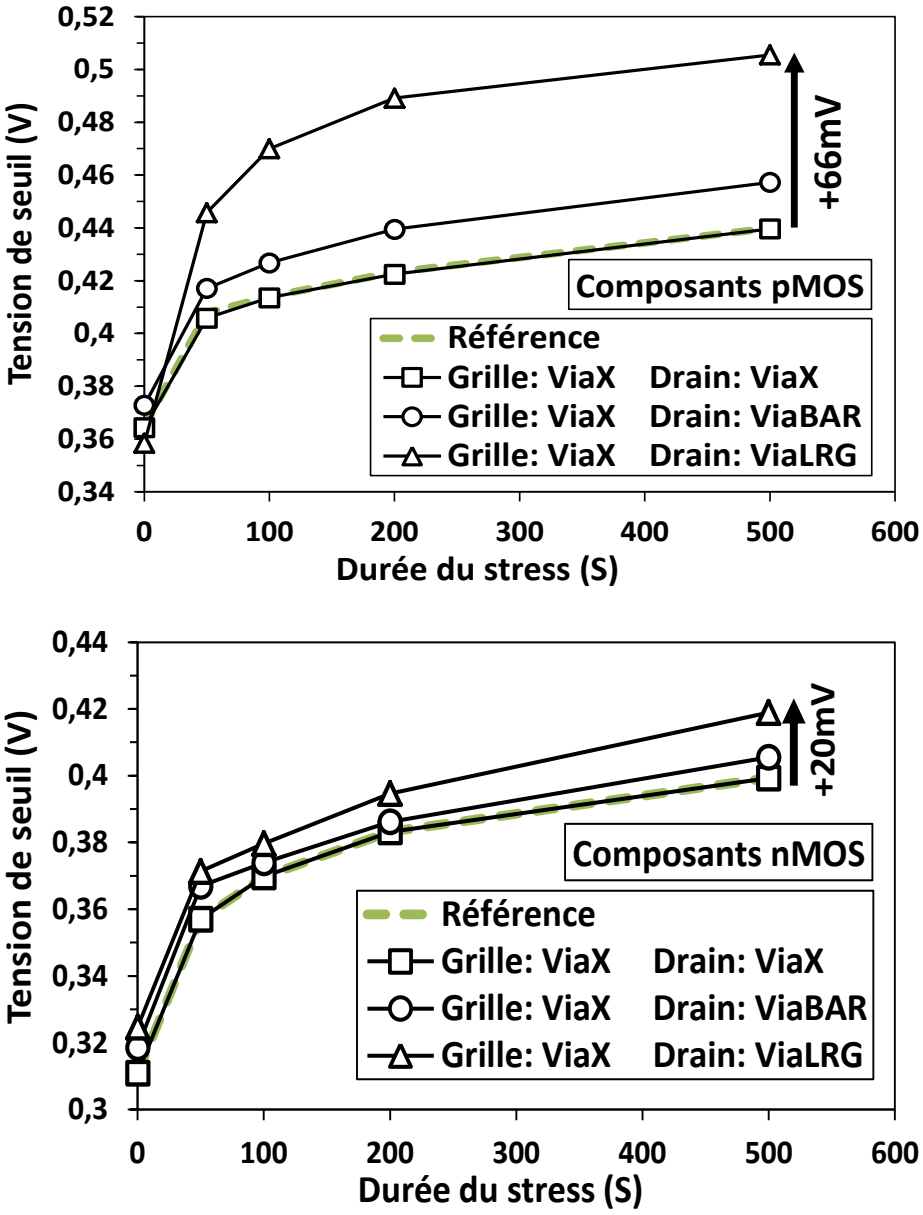


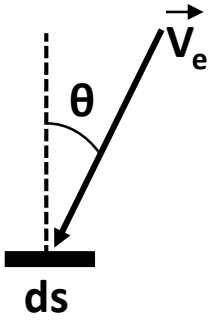
Figure III-29: Evolution de la médiane de la tension de seuil durant la contrainte BTI de l'ensemble des composants représentant chaque configuration d'antennes vias.

Les dégradations induites par topographie d'antenne semblent reproduire le comportement des autres mécanismes de dégradation par effets d'antenne étudiés précédemment dans les technologies FDSOI. En effet, les endommagements se produisent uniquement dans le cas d'un bilan en courant différent entre les nœuds grille et source/drain du transistor, créé dans cette étude par variation de la topographie des antennes. Ce déséquilibre entre le flux d'ions et d'électrons au niveau de chaque nœud provoque ainsi une disparité entre les tensions d'antennes aux bornes de l'oxyde de grille. Pour revenir à l'équilibre, un courant de conduction se crée alors à travers l'oxyde avec pour conséquence la dégradation des composants.

Initialement, les flux d'ions et d'électrons sont identiques. La surface de l'antenne étant placée au fond du motif, elle récolte un excédent d'ions par rapport aux électrons, ombrés par les parois du motif du fait de leur distribution de vitesse isotrope, à l'inverse des ions qui arrivent verticalement. Cela provoque l'apparition d'une tension d'antenne positive qui augmente lorsque le facteur de forme du motif gravé augmente [Carrere00''']. Nous nous sommes inspirés des études menées précédemment par Poiroux et al [Pouroux99'] et Carrere et al [Carrere00] pour évaluer l'impact lié à l'utilisation d'antennes ViaX et ViaLRG. En effet, l'évaluation des facteurs d'ombrage électronique définis par le facteur de forme de chaque type de via permettra de vérifier l'origine des dégradations révélées par le stress BTI.

Hypothèse : considérant que le phénomène d'ombrage électronique est purement géométrique (pas d'effet d'ombrage électrostatique).

Le flux d'électrons arrivant sur un élément de surface sans paroi peut être exprimé ainsi :



$$J_e(plan) = \int_s n\,\vec{v}\,d\vec{s} = \frac{nv}{\pi}\int_{-\frac{\pi}{2}}^{\frac{\pi}{2}} \cos(\theta)\,ds = \frac{2nv}{\pi} \qquad \text{équation III.4}$$

Avec n la densité du plasma et v la vitesse des électrons.

Lorsque l'élément de surface est entouré de lignes (cas d'un via), le flux d'électrons arrivant sur la surface n'est plus isotrope, car certaines directions ont été interceptées par les lignes.

Ainsi, pour un élément de surface ds situé au fond du motif à une distance x du bord de la ligne (Figure III.30), on obtient un flux:

$$J_e(x) = \frac{nv}{\pi} \int_{\theta\min(x)}^{\theta\max(x)} \cos\theta \, d\theta = \frac{nv}{\pi}\left(\frac{x}{\sqrt{x^2+h^2}} + \frac{s-x}{\sqrt{(s-x)^2+h^2}} \right) \qquad \text{équation III.5}$$

Le flux électronique total au fond entre les deux lignes est calculé comme suit :

$$Je(fond) = \frac{\int_0^s Je(x)dx}{s} = \frac{2nv}{\pi s}\left(\sqrt{s^2+h^2} - h \right) \qquad \text{équation III.6}$$

avec s la distance séparant les deux lignes, et h la hauteur des lignes.

On obtient donc un facteur d'ombrage électronique Ke au fond du motif tel que :

$$k_e(fond) = \frac{J_e(fond)}{J_e(plan)} = \frac{\sqrt{s^2+h^2} - h}{s} \qquad \text{équation III.7}$$

L'équation confirme que l'ombrage électronique augmente lorsque l'espace entre les deux lignes diminue, donc lorsque le facteur de forme augmente.

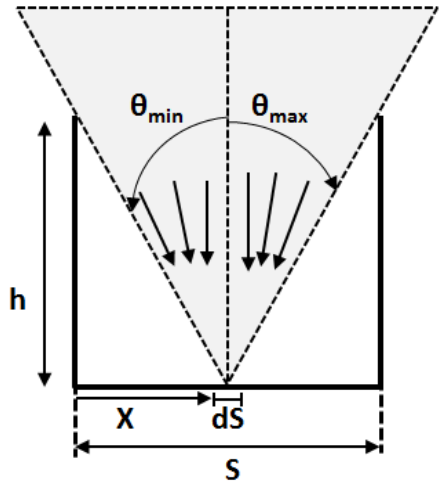


Figure III-30: Configuration étudiée pour évaluer le facteur d'ombrage électronique au fond d'un motif gravé.

La Figure III.31 montre l'évolution du facteur d'ombrage électronique au fond d'un via en fonction de la distance entre les parois de ce dernier, calculé à partir de l'équation III.7. Nous pouvons constater que le flux d'électrons collectés par une antenne munie d'une matrice de ViaLRG est environ deux fois plus important que dans le cas de ViaX. Ce résultat confirme

que le déséquilibre en courant au niveau des antennes grille et drain dû aux topographies différentes des vias est à l'origine des dégradations par effet d'antenne révélées lors des stress.

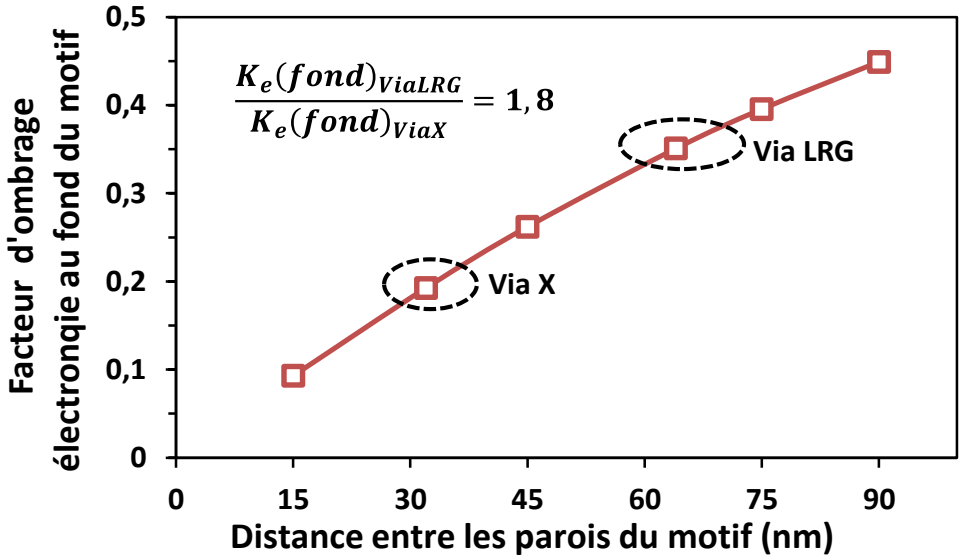


Figure III-31: Simulation du facteur d'ombrage électronique au fond d'un motif en fonction de la distance entre les parois de ce dernier. Dans le cas d'un ViaX et ViaLRG cette distance est de 32nm et 64nm respectivement pour une hauteur de 80nm.

Ces résultats traduisent aussi un autre aspect du comportement des dégradations par topographie d'antennes dans les technologies FDSOI. En effet, à l'inverse des structures standard sur substrat massif, il semble que le niveau de dégradation n'est pas lié à la tension d'antenne au fond des vias lors de la gravure [Poiroux99'] mais uniquement à la différence du potentiel aux bornes de l'oxyde de grille définie par la différence de topographie entre les antennes grille et source/drain. Pour vérifier cette hypothèse, nous avons dessiné de nouvelles structures de test avec des antennes munies de différents types de vias définis en utilisant le même procédé de gravure que précédemment. Cependant, la topographie des antennes connectées aux nœuds du transistor est identique dans toutes les configurations comme illustré dans la Figure III.32. Chaque configuration de structure de test a été dupliquée 12 fois et répartie sur 12 puces différentes à travers le substrat.

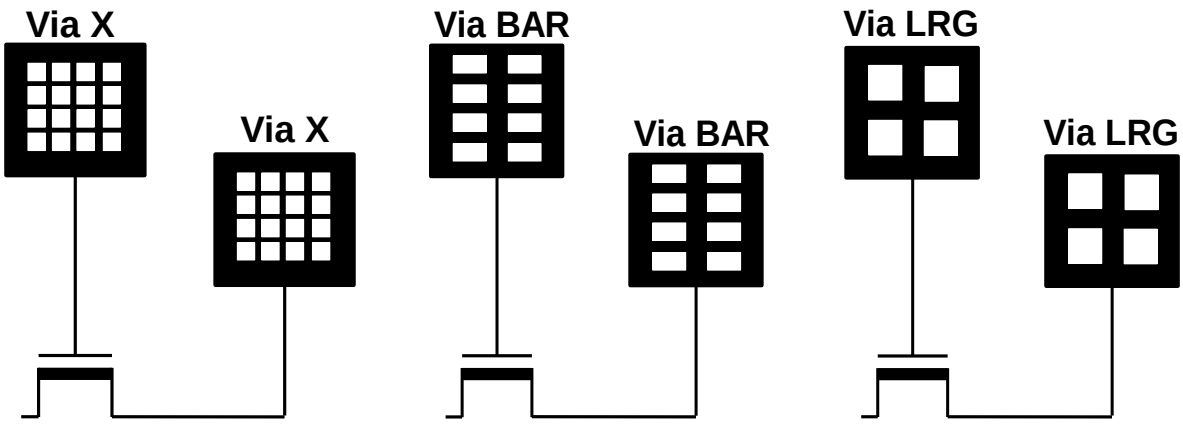


Figure III-32: Structures de test définies pour étudier le comportement des dégradations par topographie d'antenne dans les composants FDSOI. La topographie des antennes connectées aux nœuds du transistor est identique pour toutes les configurations.

La Figure III.33 illustre la médiane de la dérive de la tension de seuil au cours de la contrainte de l'ensemble des structures de test correspondant à chaque configuration de structures d'antenne. Nous avons appliqué les mêmes conditions de stress que précédemment. On ne constate aucune dérive de la tension de seuil des structures avec antenne par rapport à la référence. Ce résultat confirme notre hypothèse. Cela signifie que les structures en technologie FDSOI sont plus robustes aux dégradations par topographie d'antenne comparé aux composants standards sur substrat massif. En effet, le niveau de dégradation ne dépend pas de la tension d'antenne au fond des vias lors de l'étape plasma. Par conséquent, on peut autoriser des rapports d'antenne plus importants sans provoquer de dégradations à condition de garantir un équilibre des flux de charges entre les nœuds du composant, cela en utilisant des antennes de topographie similaire.

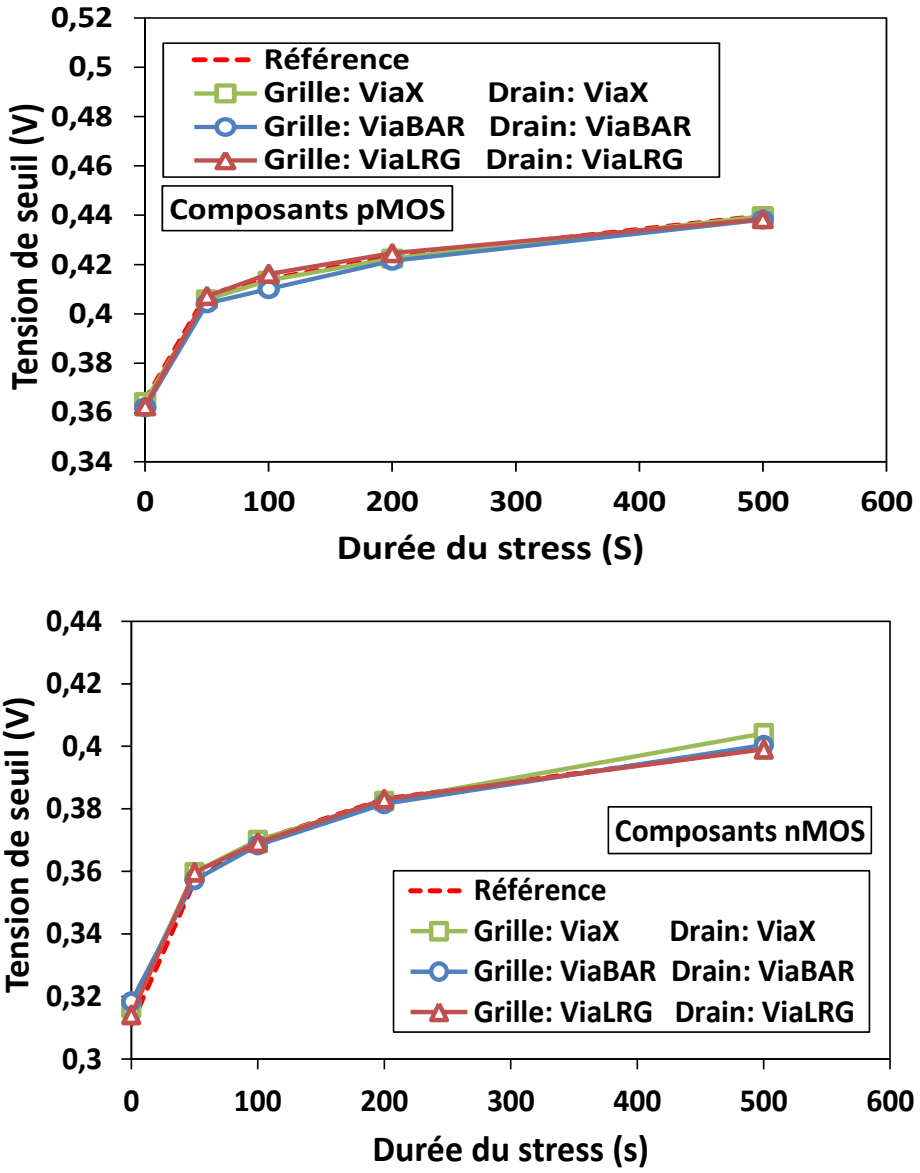


Figure III-33: Evolution de la tension de seuil des structures d'antenne par rapport à la référence durant la contrainte BTI. Les antennes connectées aux nœuds des composants sont de topographies similaires.

III.C.3 Conclusion sur les effets topographiques:

Dans les structures standards sur substrat massif, les dégradations par topographie d'antenne sont directement liées à la tension d'antenne au fond des vias lors des procédés de gravure. Le niveau de dégradation est régi uniquement par le rapport d'antenne au niveau de la grille défini par le nombre de vias. A l'inverse, dans les structures de technologie FDSOI,

les dégradations par topographie d'antenne sont induites par un équilibre différent des flux d'ions et d'électrons arrivant sur la surface des antennes connectées aux nœuds grille et source/drain du transistor. Cela signifie que les composants de technologie FDSOI sont plus robustes face à ce mécanisme de dégradation. En effet, on peut autoriser des rapports d'antenne plus conséquents sans induire de dégradation à condition de garantir un équilibre entre les nœuds du transistor en utilisant des antennes de topographie similaire.

Conclusion du chapitre 3

Dans ce chapitre nous avons étudié le comportement des dégradations par effets d'antenne dans les technologies FSDOI. Dans la première partie du chapitre axée sur l'étude du mode d'écoulement des charges, nous avons mis en évidence que les dégradations dans les technologies FDSOI sont dues à des injections de courant grille → source/drain ou source/drain → grille à travers l'oxyde de grille, dont le sens est défini par le mécanisme à l'origine du déséquilibre en courant au niveau des antennes lors de l'exposition aux procédés plasma. Ces injections conduisent à une dégradation de l'interface ainsi que des phénomènes de piégeage de charges dans l'oxyde de grille, dont la nature (trous ou électrons) définie par le sens d'injection, régit directement le niveau de la dégradation selon que les composants sont de type nMOS ou pMOS.

Ces résultats ont été obtenus suite à une caractérisation électrique de structures de test munies de diodes de protection connectées aux différents nœuds du transistor. En plus de la compréhension du mode d'écoulement des charges, ces structures nous ont permis de constater que la technique standard utilisée pour protéger les composants sur substrat massif contre les effets d'antenne où une diode de protection est connectée entre la grille et la prise substrat n'est pas valide dans la technologie FDSOI. En effet, cette configuration est critique et peut créer un important déséquilibre entre les nœuds du transistor. Une nouvelle stratégie de protection spécifique à la technologie FDSOI a donc été définie.

D'autre part, nous avons vu dans la suite du travail que différents phénomènes tel que la « non-uniformité du plasma » ainsi que les « effets topographiques » peuvent être à l'origine de ces déséquilibres au niveau des antennes. Les dégradations induites par le premier

phénomène sont dues à des variations locales du potentiel plasma entre les nœuds du transistor. Un champ électrique se crée ainsi entre les nœuds grille et source/drain durant l'exposition au plasma, comparable à un stress de type porteurs chauds HCI, à l'inverse des composants sur substrat massif, qui eux sont stressés en mode BTI. En effet ces derniers sont sensibles uniquement aux variations plasmas sur le wafer vues par l'antenne grille. L'optimisation des conditions du procédé, tels que la température, est primordiale. En effet, cette dernière peut impacter différemment le niveau de la dégradation selon que les composants sont de technologie FDSOI ou bien sont des composants standards, conséquence de leurs différents modes de dégradation (HCI et BTI).

La seconde source de dégradation par effet d'antenne est les effets topographiques. Nous avons démontré que les dégradations induites par ce mécanisme dans les technologies FDSOI sont dues là aussi à un bilan différent des flux d'ions et d'électrons à la surface des antennes connectées aux nœuds du transistor, à l'inverse des composants standards sur substrat massif où le niveau de dégradation est directement régi par la tension d'antenne définie par la topographie des vias au niveau de l'antenne de grille lors des procédés de gravure. Cela implique que les composants de technologie FDSOI sont plus robustes face aux dégradations par effet topographique. En effet, il suffit d'utiliser des antennes de topographie similaire pour éliminer la source du déséquilibre en courant à l'origine des dégradations.

A présent, le comportement des différents mécanismes de dégradation par effets d'antenne dans les technologies FDSOI étant défini, nous allons essayer dans le prochain chapitre de les modéliser. L'objectif est d'avoir par la suite un outil permettant d'évaluer le niveau des dégradations en fonction des caractéristiques des composants et des procédés plasmas, et d'identifier le cas échéant des solutions pour réduire leurs amplitudes.

Table des figures

Figure III-1 : Représentation d'une structure d'antenne de technologie standard sur substrat massif. Les nœuds source et drain sont protégés par les diodes naturelles formées par la jonction entre la source/drain et le substrat. Uniquement les charges collectées par l'antenne grille peuvent induire des dégradations. 84

Figure III-2 : Représentation d'une structure d'antenne de technologie SOI. Les nœuds du transistor sont isolés du substrat par l'oxyde enterré. Les charges collectées par toutes les antennes peuvent dégrader le transistor. 85

Figure III-3 : Représentation d'une structure cumulée qui intègre une antenne poly et les dix niveaux de métal utilisés dans la technologie 28nm FDSOI. 86

Figure III-4 : Modes d'utilisation des diodes de protection : diode n+/pwell pour protéger un transistor nMOS et diode p+/nwell pour protéger un transistor pMOS. 87

Figure III-5 : Représentation des structures de test utilisées pour étudier l'écoulement de charges en FDSOI. Différentes configurations de diodes de protection sont utilisées et différents rapports d'antenne sont investigués. 88

Figure III-6 : Probabilité cumulée en échelle de Weibull des tensions de claquage en fonction des rapports d'antenne des structures de test pMOS et nMOS respectivement, protégées avec une diode au niveau du drain : cela permet d'évaluer l'impact de l'antenne sur la grille..... 89

Figure III-7 : Probabilité cumulée en échelle de Weibull des tensions de claquage de l'oxyde de grille des structures de test nMOS et pMOS respectivement, protégées par une diode au niveau de la grille. Les dégradations par effet d'antenne sont induites par l'antenne connectée au drain. 90

Figure III-8 : Probabilité cumulée en échelle de Weibull des tensions de claquage de l'oxyde de grille des structures de test nMOS et pMOS protégées simultanément par deux diodes différentes aux nœuds grille et drain du transistor. 91

Figure III-9 : Probabilité cumulée en échelle de Weibull des tensions de claquage obtenues avec les structure de test nMOS et pMOS non protégées. 91

Figure III.10-1 : Distributions cumulées de la dérive de la tension de seuil par rapport à AR=250 pour les structures de test nMOS et pMOS avec double protection (configuration C). 94

Figure III.10-2 : Distributions cumulées de la dérive de la tension de seuil par rapport à AR=250 pour les structures de test nMOS et pMOS non protégées par diode (configuration D). 94

Figure III.10-3 : Distributions cumulées de la dérive de la tension de seuil par rapport à AR=250 pour les structures de test nMOS et pMOS protégées par diode a la grille ou au drain (configuration A et B respectivement). 95

Figure III.11 : Distributions cumulées des dérives de tensions de seuil par rapport à la référence des structures de test nMOS (a) et pMOS (b) protégées par diodes, soit à la grille soit ou drain. Le rapport d'antenne est fixe : AR=46000. 97

Figure III.12 : Evolution dans le temps de la médiane de la dérive de la tension de seuil de l'ensemble des structures de test protégées par diode au niveau de la grille, ainsi que d'une structure de référence lors de la contrainte PBTI-AC. 98

Figure III.13 : Médiane de la dérive de la tension de seuil de l'ensemble des structures de test protégées par diode au niveau du drain, ainsi que d'une structure de référence lors de la contrainte NBTI-AC. 99

Figure III.14 : Sens d'injection du courant à travers l'oxyde de grille durant les étapes plasma, défini par la position des diodes. 100

Figure III-15 : Evolution de la tension de seuil en fonction des rapports d'antennes des structures de test non protégées par diode : configuration D (voir Figure III.5) @ T0 (juste après exposition aux étapes plasma) puis après contrainte NBTI-AC. 101

Figure III-16 : Configuration de l'antenne durant la gravure. Le métal (surface conductrice) est directement exposé au plasma pondant toute la durée du procédé. 103

Figure III-17 : Configuration (A) : structure définie pour détecter les variations locales du potentiel plasma entre les nœuds du transistor. Configuration (B) : permet de reproduire le comportement des dégradations par non-uniformité du plasma dans un composant standard. 104

Figure III.18-a: Distributions cumulées des tensions de seuil des structures de test en configuration (A) et (B) après exposition au procédé de gravure métal **non-uniforme**..... 105

Figure III.18-b : Distributions cumulées des tensions de seuil des structures de test en configuration (A) et (B) après exposition au procédé de gravure métal **uniforme**. 105

Figure III-19 : Cartographie des tensions de seuil mesurées sur les structures de test non protégées et munies d'antennes identiques (configuration A) après exposition au procédé de gravure métal non-uniforme. 106

Figure III-20 : Représentation schématique des structures d'antenne utilisées pour investiguer les variations locales du plasma entre les nœuds des composants. 108

Figure III-21 : Evolution de la fuite de grille des composants nMOS et pMOS en fonction de l'espacement entre les antennes grille et drain. 109

Figure III-22 : Médiane de dérive de la tension de seuil des structures de test nMOS et pMOS en fonction de l'espacement entre les antennes grille et drain après exposition au procédé de gravure métal non-uniforme. 109

Figure III-23 : Profil du potentiel plasma à travers le substrat, obtenu par caractérisation du procédé de gravure non-uniforme en utilisant la technique des plaques flash. 111

Figure III-24 : Description des mécanismes de dégradation : HCI (hot carrier injection stress) et BTI (Bias Temperature Instability) induits respectivement par la structure non protégée (configuration A) et la structure protégée par diode au niveau source et drain (configuration B). 112

Figure III-25 : Dérive de la tension de seuil en fonction du temps lors une contrainte de type BTI (Vg=-2.5V) et HCI (Vg=-2V et Vd=-2.5V) @ 20°C. 113

Figure III-26 : Principe de l'ombrage électronique durant le procédé de gravure de trous dans l'oxyde. 115

Figure III-27 : Structures d'antenne de vias : différents type de vias avec différentes topographies sont utilisés. 116

Figure III-28 : Structures de test définies pour évaluer le comportement des dégradations par topographie d'antenne dans un composant FDSOI où des antennes munies de matrices de vias de différentes topographies sont connectées aux nœuds grille et drain du transistor. 117

Figure III-29 : Evolution de la médiane de la tension de seuil durant la contrainte BTI de l'ensemble des composants représentant chaque configuration d'antennes de vias. 118

Figure III-30 : Configuration étudiée pour évaluer le facteur d'ombrage électronique au fond d'un motif gravé. 120

Figure III-31 : Simulation du facteur d'ombrage électronique au fond d'un motif en fonction de la distance entre les parois de ce dernier. Dans le cas d'un ViaX et ViaLRG cette distance est de 32nm et 64nm respectivement pour une hauteur de 80nm. 121

Figure III-32 : Structures de test définies pour étudier le comportement des dégradations par topographie d'antenne dans les composants FDSOI. La topographie des antennes connectées aux nœuds du transistor est identique pour toutes les configurations. 122

Figure III-33 : Evolution de la tension de seuil des structures d'antenne par rapport à la référence durant la contrainte BTI. Les antennes connectées aux nœuds des composants sont de topographies similaires..... 123

Table des références

[Carrere00] **J.P. Carrere « Etude des effets d'antenne intervenant lors des procédés plasma, et des dégradations induites sur les composants CMOS de technologie 0,25 et 0,18 µm », Thèse de doctorat, Institut National des Sciences Appliquées de Toulouse, 2000.**

[Carrere00''] **J-P Carrere, T. Poiroux, W. Lukaszek,C. Verove, M. Haond, G. Reimbold,G . Turban, "Electron-Shading Characterization in a HDP Contact Etching Process Using a Patterned CHARM Wafer", International Symposium on Plasma Process-Induced Damage, 2000, pp. 22-25.**

[Dai08] **Mingzhi Dai, Chao Gao, Kinleong Yap, Yi Shan, Zigui Cao, Kuangyang Liao, Liang Wang, Bo Cheng, and Shaohua Liu, « A Model With Temperature-Dependent Exponent for Hot-Carrier Injection in High-Voltage nMOSFETs Involving Hot-Hole Injection and Dispersion », IEEE Transactions on Electron Devices, Vol. 55, No. 5, May 2008.**

[Degraeve95] **R. Degraeve, G. Groseneken, R. Bellens, M. Depas, H.E. Maes, "A consistent model for the thickness dependence of intrinsic breakdown in ultra-thin oxides", International Electron Devices Meeting (IEDM). 1995, p. 863**

[Degraeve98] **Degraeve, R., et al., "New Insights in the Relation Between Electron Trap Generation and the Statistical Properties of Oxide Breakdown", IEEE Trans. Electron Dev., 1998. 45(4), p. 904.**

[Eriguchi08] **K. Eriguchi, M. Kamei, K. Okada, H. Ohta and K. Ono, "Threshold Voltage Shift Instability Induced by Plasma Charging Damage in MOSFETs with High-k Dielectric", IEEE International conference on integrated circuit and design and technology, 2008, p.97-100**

[FRIE97] **J.B. Friedmann, J. L. Shohet, R. Mau, N. Hershkowitz, S. Bisgaard, S. Ma, J.P. Mc Vittie, « Plasma-parameter dependence of thin-oxide damage from wafer charging during Electron-Cyclotron Resonance plasma processing » IEEE Trans. on Semiconductor Manufacturing, vol. 10, n°1, Feb. 1997, p. 154.**

[Huard07] **V. Huard, C. Parthasarathy, N. Rallet, C. Guerin, M. Mammase, D. Barge, C. Ouvrard, "New characterization and modelling approach for NBTI degradation from transistor to product level", IEEE Inter. Elec. Dev. Meet. Tech. Dig., pp. 797-800, 2007.**

[Lai06] **W. Lai, D. Harmon, T. Hook, V. Ontalus, J. Gambino, "Ultra-thin Gate Dielectric Plasma Charging Damage in SOI Technology", IEEE international reliability physics symposium, 2006, p. 370-373.**

[Mocuta01] **Anda C. Mocuta, Terence B. Hook, Anthony I. Chou, Tina Wagner, Anthony K. Stamper, Mukesh Khare, Jeffrey P. Grambino, "Plasma charging damage in SOI technology", IEEE lntemational Symposium on Plasma Process-Induced Damage, 2001.**

[Planes12] **N. Planes, O. Weber, V. Barral, S. Haendler, D. Noblet, D. Croain, M. Bocat, P.O. Sassoulas, X. Federspiel, A. Cros, A. Bajolet, E. Richard, B. Dumont, P. Perreau, D. Petit, D. Golanski, C. Fenouillet-Béranger, N. Guillot, M. Rafik, V. Huard, S. Puget, X. Montagner, M.-A. Jaud, O. Rozeau, O. Saxod, F. Wacquant, F. Monsieur, D. Barge, L. Pinzelli, M. Mellier, F. Boeuf, F. Arnaud and M. Haond, "28nm FDSOI Technology Platform for High-Speed Low-Voltage Digital Applications" VLSI Tech. Dig., 133-134, 2012.**

[Poiroux99] **T. Poiroux, J.L. Pelloie, K. Rodde, G. Turban, G. Reimbold, "Plasma Process-Induced Damage in SO1 Devices", IEEE International Electron Devices Meeting (IEDM), 1999.**

[Poiroux99'] **T. Poirouxl, M. Heitzmann, Y. Morand, P. Berruyer, G. Turban, G. Reimbold, "Comparison between Gate Oxide Degradation Induced by Copper Dual Damascene and Conventional Aluminum Processes", International Symposium on Plasma Process-Induced Damage, 1999.**

[Ribes05] **G. Ribes, " Caractérisation et fiabilité des oxydes ultra fins et des diélectriques à forte primitivité issue des technologies CMOS 45nm et en deça", Thèse de doctorat, l'Institut de Microélectronique d'Electromagnetisme et de Photonique de Grenoble, 2005.**

[Stahlbush95] **R.E. Stahlbush, E. Cartier, D.A. Buchanan, "Anomalous Positive Charge Formation by Atomic Hydrogen Exposure", Microelectronic Eng., 1995. 28: p. 15.**

[Stathis94] **J.H. Stathis, E. Cartier, "Atomic Hydrogen Reaction with Pb Centers at the (100) Si/SiO2 interface", Phys. Rev. Lett., 1994. 72(17): p. 2745.**

[Weber14] **O. Weber, E. Josse, F. Andrieu, A. Cros, E. Richard, P. Perreau, E. Baylac, N. Degors, C. Gallon, E. Perrin, S. Chhun, E. Petitprez, S. Delmedico, J. Simon, G. Druais, S. Lasserre, J. Mazurier, N. Guillot, E. Bernard, R. Bianchini, L. Parmigiani, X. Gerard, C. Pribat, O. Gourhant, F. Abbate, C. Gaumer, V. Beugin, P. Gouraud, P. Maury, S. Lagrasta, D. Barge, N. Loubet, R. Beneyton, D. Benoit, S. Zoll, J.-D. Chapon, L. Babaud, M. Bidaud, M. Gregoire, C. Monget, B. Le-Gratiet, P. Brun, M. Mellier, A. Pofelski, L.R. Clement, R. Bingert, S. Puget, J.-F. Kruck, D. Hoguet, P. Scheer, T. Poiroux, J.-P. Manceau, M. Rafik, D. Rideau, M.-A. Jaud, J. Lacord, F. Monsieur, L. Grenouillet, M. Vinet, Q. Liu, B. Doris, M. Celik, S.P. Fetterolf, O. Faynot and M. Haond, « 14nm FDSOI Technology for High Speed and Energy Efficient Applications », Symposium on VLSI Technology, 2014.**

[Weng10] **Wu-Te Weng, Yao-Jen Lee, Horng-Chih Lin, Tiao-Yuan Huang, "A comparison of plasma-induced damage on the reliability between high-k/metal-gate and SiO2/poly-gate complementary metal oxide semiconductor technology" Solid-State Electronics, 2010**

Chapitre 4 : Modélisation des effets d'antennes en FDSOI et solutions pour réduire les dégradations

Dans le chapitre précédent, nous avons investigué les modes d'écoulement des charges dans les technologies FDSOI, ainsi que le comportement des différents mécanismes à l'origine des dégradations par effets d'antenne. A présent, nous allons proposer un modèle permettant de reproduire le comportement de ces mécanismes de dégradation, et de prédire les niveaux de contrainte électrique vu par les structures de test, cela en tenant compte des paramètres plasma de chaque procédé ainsi que des caractéristiques de chaque composant.

Par la suite, nous nous intéresserons aux différentes techniques permettant de réduire l'intensité des dégradations par effets d'antenne. Nous verrons que deux choix s'offrent à nous. Optimisation des procédés plasma, ou mise au point de règles de dessin pour éviter des configurations critiques dès la conception des circuits. Dans cette optique nous procéderons à des simulations modèle afin d'identifier les différents leviers permettant d'atténuer l'intensité des tensions d'antenne.

Pour ce faire, nous commencerons par décrire le principe de fonctionnement du modèle, puis par valider les prédictions en les comparant à des résultats expérimentaux.

IV.A Modélisation des dégradations induites par les effets d'antennes

Nous avons vu grâce aux différentes techniques de caractérisations utilisées précédemment que les mécanismes de dégradation par effets d'antennes présentent des comportements différents selon que les composants exposés au plasma sont de technologie FDSOI ou des composants standard sur substrat massif. Dans ce chapitre nous proposons un modèle permettant de reproduire le mode d'écoulement des charges dans les technologies FDSOI, et d'évaluer par la suite le niveau de contrainte vu par les composants durant les étapes plasma, cela en tenant compte des différents paramètres technologiques des composants ainsi que des paramètres électriques du plasma, tels que la température électronique et la densité de charges.

Divers modèles ont été proposés par le passé, notamment le model de Vahedi et al [Vahedi97]. Ce dernier propose d'évaluer la différence de potentiel aux bornes de l'oxyde de grille des composants durant les étapes plasma, cela en calculant l'intensité du courant reçu par l'antenne en fonction de sa surface et de sa topographie grâce à l'introduction de coefficients d'écrantage électroniques et ioniques.

Un autre modèle proposé par Eriguchi et al [Eriguchi11] permet d'évaluer directement la dérive des paramètres électriques des composants, notamment de la tension de seuil après l'exposition aux étapes plasma. Ce dernier offre la possibilité de prédire le niveau de dégradation provoqué par les effets d'antenne avec une bonne précision, de plus il tient compte des dérives induites par les dégradations physiques dans les régions source et drain du transistor communément appelées « Si Recess » liées aux étapes de gravure. Cela dit, ce modèle nécessite l'utilisation de paramètres d'ajustement.

Le point commun entre ces modèles est qu'ils permettent de modéliser uniquement le comportement des mécanismes de dégradation par effets d'antenne dans les composants standard sur substrat massif où les dégradations sont dues à un déséquilibre en courant entre l'antenne connectée au nœud grille et l'antenne au niveau de la prise substrat. En FDSOI le phénomène est plus complexe, l'équilibre global entre le plasma et les antennes met en jeu une multitude de chemins de courants. Les dégradations sont à l'origine de déséquilibre en

courant entre les antennes connectées aux différents nœuds du transistor, à savoir les nœuds grille, source et drain.

IV.A.1 Principe et formulation :

Pour construire notre modèle nous nous sommes inspirés de notre compréhension de l'interaction plasma-antenne dans les composants FDSOI acquise dans le chapitre précédent. Nous avons donc construit un système où toutes les antennes connectées aux différents nœuds du transistor sont prises en compte. Ce dernier est constitué de trois blocs: le plasma, les antennes et le composant comme illustré dans le Figure IV.1. Cela permet de tenir compte des différents acteurs mis en jeu lors des étapes plasmas.

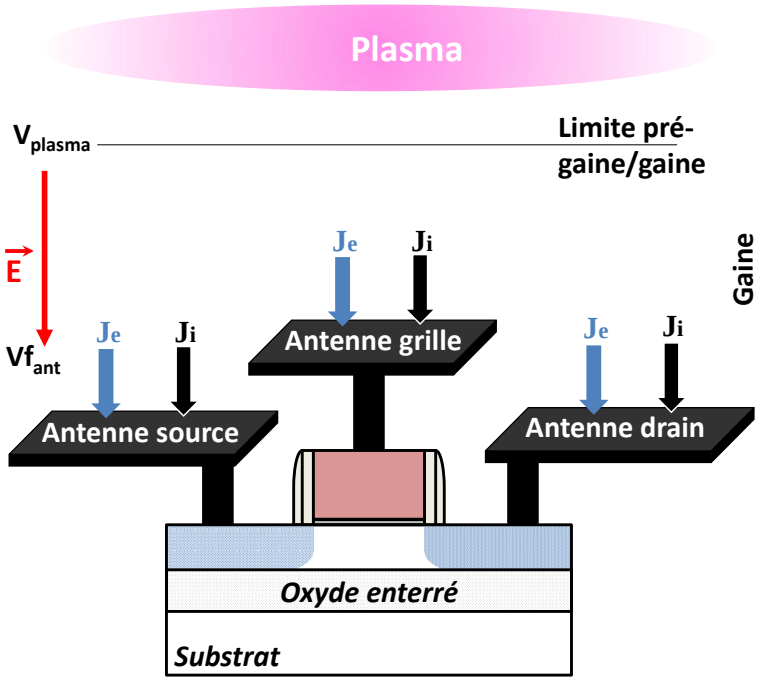


Figure IV-1: Représentation des différents éléments intervenant lors de l'interaction plasma antennes.

Nous commençons dans un premier temps par évaluer la quantité de charges collectées par les antennes durant les étapes plasma.

La densité de courant reçue par un élément de surface durant une étape plasma peut être exprimée comme suit :

$$J = e\,(Ji + Je)$$ ...équation IV.1.

Avec Ji et Je les flux ioniques et électroniques reçus par une surface plane. Ces flux ont été déterminés dans le chapitre 2 par les équations II.8 et II.9 respectivement.

Pour obtenir une meilleure évaluation de l'intensité du courant reçu par les antennes durant les étapes plasma, il faut aussi tenir compte de la topographie de la surface exposée. Pour cela, on définit des coefficients d'ombrage électronique noté αe et ionique noté αi :

$$\alpha e = \frac{flux\ d'électrons\ sur\ la\ surface\ considérée}{flux\ d'électrons\ sur\ une\ surface\ plane\ sans\ motifs} \text{ ...équation IV.2.}$$

$$\alpha i = \frac{flux\ d'ions\ sur\ la\ surface\ considérée}{flux\ d'ions\ sur\ une\ surface\ plane\ sans\ motifs} \text{ ...équation IV.3.}$$

En introduisant ces coefficients d'ombrage, l'équation IV.1 s'écrit comme suit :

$$J = e\left(\alpha i Ji + \alpha e Je\right) \text{ ...équation IV.4.}$$

Et l'intensité du courant reçu par chaque antenne durant l'exposition au plasma peut être obtenue en remplaçant les flux ioniques et électroniques par leurs expressions dans l'équation IV.4 :

$$I_{ant} = S_{ant} * Jis_{ant}\left(\alpha i_{ant} - \alpha e_{ant} * \exp\left[\frac{e\left(V_{ant} - Vf_{ant}\right)}{kTe}\right]\right) \text{ ...équation IV.5.}$$

Avec : S_{ant} la surface de l'antenne exposée, Jis le courant ionique de saturation, Te la température électronique, V_{ant} le potentiel de l'antenne exposée et Vf_{ant} le potentiel flottant de l'antenne. Cela offre la possibilité de prendre en compte les caractéristiques de chaque antenne et d'obtenir ainsi une meilleure évaluation de l'intensité du courant au niveau de chaque nœud du transistor.

Le potentiel flottant à la surface de l'antenne V_{fant} (voir Figure IV.1) durant l'exposition au plasma est directement lié au potentiel plasma noté V_{plasma} ainsi qu'à la tension de la gaine noté V_{gaine} comme suit:

$$Vf_{ant} = V_{plasma} - V_{gaine} \text{ ...équation IV.6.}$$

Quant au potentiel plasma, il peut être modélisé directement à l'aide de la relation de Boltzmann (équation II.3.) qui permet de relier les variations du potentiel plasma entre deux points au rapport des densités électroniques en ces deux points.

$$V_{plasma2} - V_{plasma1} = \frac{kTe}{e} \ln\left(\frac{n_2}{n_1}\right) \text{...équation IV.7.}$$

La chute du potentiel dans la gaine ne dépend ni de la densité de charges ni du potentiel plasma, mais uniquement de la température électronique et de la polarisation du substrat [Carrere00]. Si on prend comme hypothèse que la température électronique est homogène au-dessus de la plaque, et que la tension du générateur RF est uniformément répartie sur la plaque, la tension de gaine est alors identique partout sur la plaque. Dans ce cas, le potentiel flottant de l'antenne est défini par les conditions locales du plasma au-dessus de l'antenne. Ainsi toute variation du potentiel plasma, induite par exemple par une variation de la densité de charges se traduit directement sur le potentiel flottant de l'antenne exposée, et donc sur le niveau de contrainte vu par les composants durant l'étape plasma. Cela permet d'évaluer l'impact des variations du potentiel plasma sur le niveau de dégradation par les effets d'antennes.

Différents phénomènes peuvent être à l'origine de déséquilibres en courant au niveau des antennes exposées au plasma, induisant ainsi des dégradations par effets d'antenne. Dans tous les cas, l'équilibre électrique est rétabli uniquement lorsqu'un courant de conduction à travers l'oxyde de grille neutralise la source de déséquilibre. Ainsi, durant l'exposition au plasma, l'oxyde de grille des composants subit des injections de courant qui mènent à sa dégradation. Ces injections peuvent être modélisées soit par des injections Fowler-Nordheim (équation I.5) soit par des injections tunnel direct (équation I.4) selon l'épaisseur de l'oxyde.

Au final, tous les acteurs mis en jeu durant les étapes plasmas peuvent être modélisés soit par une source de courant soit par une source de tension comme illustré dans la Figure IV.2.

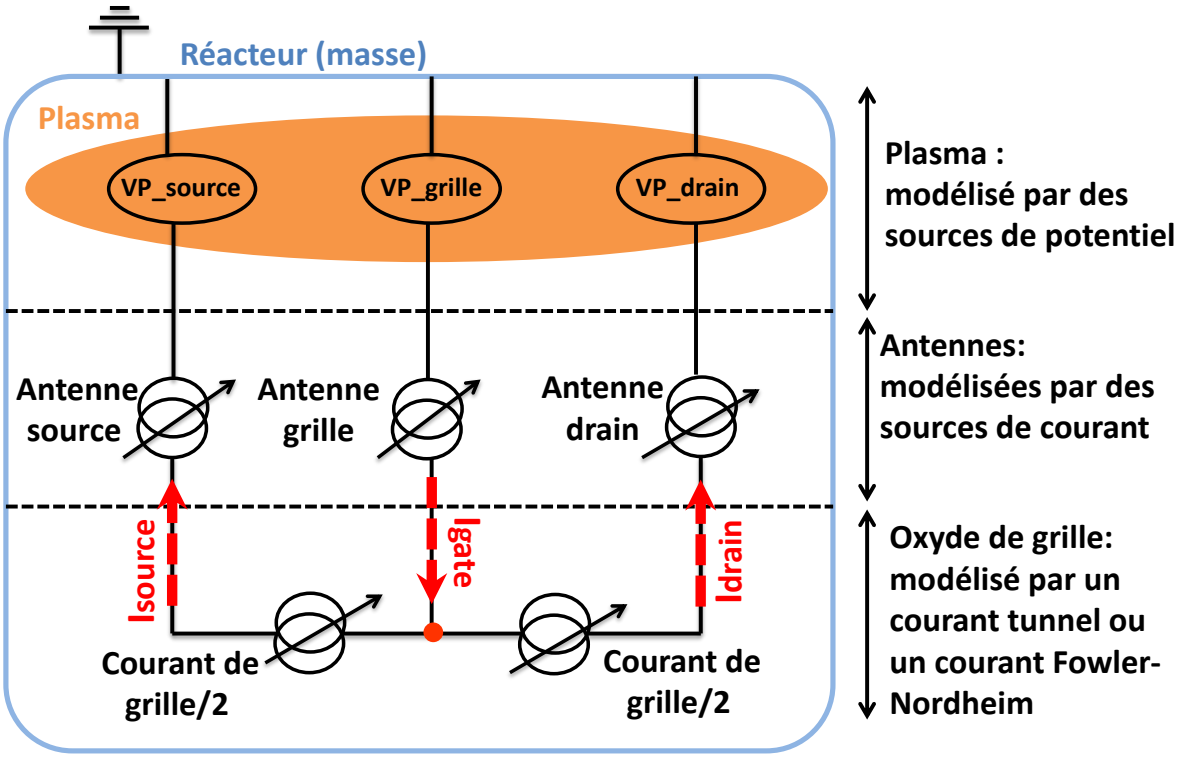


Figure IV-2: Schéma électrique représentant les différents éléments (plasma, antennes et composant) mis en jeu durant une interaction plasma-antenne.

Le plasma est modélisé par une source de tension (équation IV.7), tandis que les antennes sont modélisées par des sources de courant (équation IV.5) qui relient le plasma aux nœuds du transistor. Ce courant injecté par le plasma est modélisé par un courant ionique, qui est fonction des paramètres électriques du plasma et par un courant électronique qui est en fonction du potentiel plasma, de l'ombrage électronique et des paramètres électriques du plasma.

Le courant injecté à travers l'oxyde de grille durant l'exposition au plasma est aussi traduit par des sources de courant (courant tunnel ou Fowler-Nordheim). Deux sources de courant sont utilisées pour modéliser l'oxyde de grille. En effet, l'étude du mode d'écoulement des charges (voir la partie III.A du chapitre 3) nous a permis de mettre en évidence que les dégradations par effets d'antenne dans les technologies FDSOI sont induites par des injections de courant grille → source/drain ou source/drain → grille dont le sens est défini par le mécanisme de dégradation. Ainsi durant l'exposition au plasma, une partie du courant de grille est injecté vers la source et l'autre partie vers le drain comme suit :

$$I_{gate} = I_{drain} + I_{source}$$ ...équation IV.8.

En résumé, l'interaction plasma-antenne peut être modélisée par une interaction entre des sources de tension et de courant (voir Figure IV.2), cela en implémentant tous les modèles (équation IV.5, 6, 7, 8 et I.4 et 5) décrivant le comportement des différents éléments mis en jeu durant l'exposition au plasma dans un simulateur de circuit ELDO.

Le flot de simulation du circuit-modèle est illustré dans la Figure IV.3. Tous les paramètres électriques du plasma, les caractéristiques du composant et des antennes exposées au plasma sont définis tels que des paramètres d'entrées. Cela offre la possibilité de modéliser les conditions de chaque étape plasma et représente l'un des avantages majeurs de ce circuit-modèle.

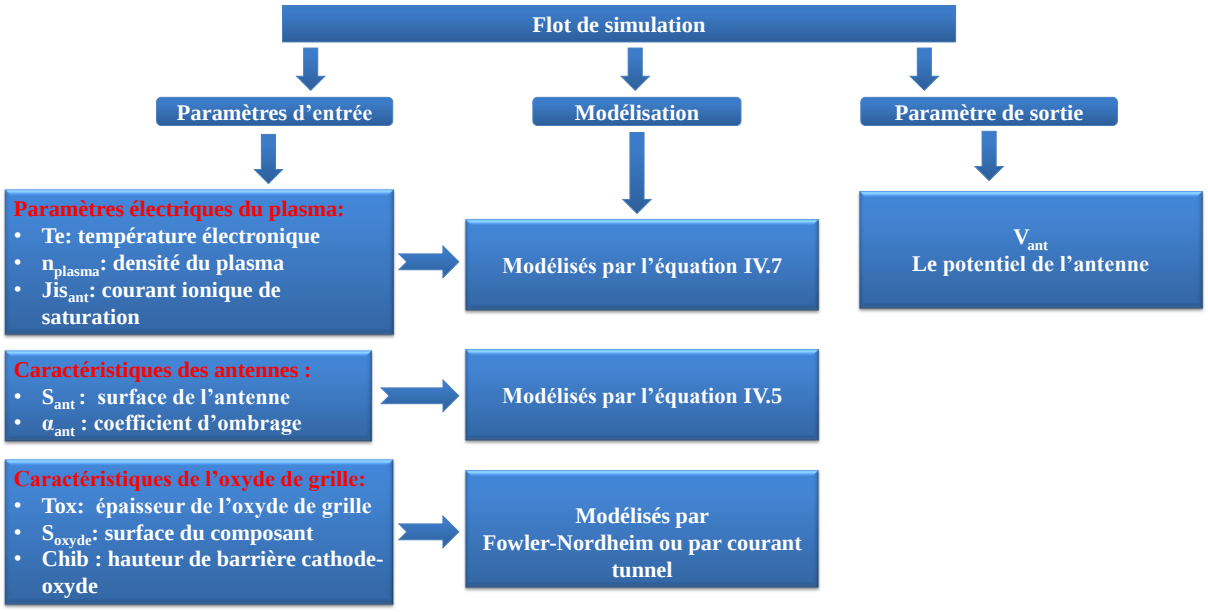


Figure IV-3: Représentation du flot de simulation du circuit-modèle.

Au final, la seule variable est la tension de l'antenne notée V_{ant} (équation IV.5) durant l'exposition au plasma. Elle est calculée en résolvant le système d'équations définissant l'interaction plasma-antenne. Une fois la tension d'antenne établie, la tension aux bornes de chaque élément du circuit, et notamment aux bornes de l'oxyde de grille peut être évaluée en appliquant la loi des nœuds au niveau de la grille suivant le mode d'écoulement des charges défini par la relation IV.8. En effet, le niveau de contrainte vu par les composants durant l'exposition au plasma est donné par la tension aux bornes de l'oxyde de grille.

IV.A.2 Calibration du modèle et évaluation des dégradations:

D'un point de vue dégradation de l'oxyde de grille, l'exposition au procédé plasma peut être comparée à un stress électrique. Ces dégradations peuvent se traduire par conséquent par une simple dérive des paramètres électriques, tels que la tension de seuil du transistor, due à une contrainte comparable à un stress BTI ou dans le pire des cas, par un claquage de l'oxyde de grille.

IV.A.2.1 Modélisation du claquage de l'oxyde de grille:

Après avoir défini notre circuit-modèle, nous allons vérifier sa capacité à reproduire le comportement des mécanismes de dégradation par effets d'antennes lorsqu'un composant FDSOI est exposé au plasma. Pour ce faire nous utilisons différentes structures avec antennes comme illustré dans la Figure IV.4. Ces structures sont des transistors de la technologie 28nm FDSOI de longueur de grille de 0.048µm et de largeur de 0.875µm avec un oxyde de grille high-k d'une épaisseur de 1.9nm.

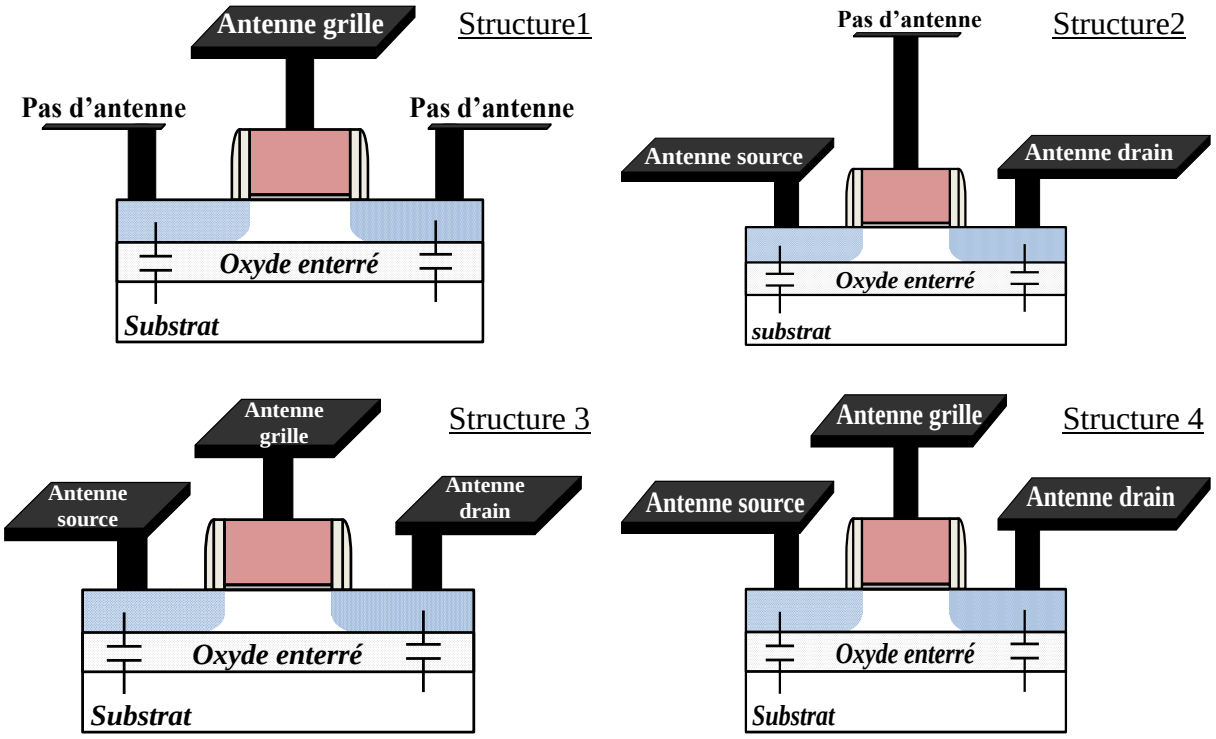


Figure IV-4: Structures de test, constituées de transistor de la technologie 28nm FDSOI avec différentes configurations d'antenne (le rapport d'antenne évolue de 19000 à 38000 entre la structure 3 et 4).

Nous avons adopté la même stratégie de test que dans le chapitre 3. Nous avons donc commencé dans un premier temps par vérifier la capacité du modèle à reproduire le mode d'écoulement des charges dans les composants FDSOI. Il a été établi dans le chapitre 3 que les dégradations par effets d'antennes sont dues à des injections de courant grille → source/drain ou inversement dont l'origine est le déséquilibre en courant entre les antennes grille et source/drain durant l'exposition au plasma. Basé sur cette compréhension, nous avons défini deux groupes distincts de structures de test :

I. Les structures (1) et (2) munies d'antennes métal de forme rectangulaire avec un rapport d'antenne important de AR=38000 connectées soit au nœud grille soit aux nœuds source/drain du composant.
II. Les structures (3) et (4) où les antennes sont connectées simultanément aux différents nœuds du composant, nous faisons varier uniquement le rapport d'antenne de 19000 (structure 3) à 38000 (structure 4).

L'objectif de cette démarche est d'étudier la réponse de notre circuit-modèle à une situation d'équilibre (structure 3 et 4) et de déséquilibre (structure 1 et 2) en courant entre les différents nœuds du transistor, ainsi que sa capacité à reproduire les modes d'injections grille →← source/drain durant l'exposition au plasma.

Les antennes sont exposées à un procédé de gravure métal très dégradant où un réacteur à couplage capacitif est utilisé pour générer le plasma. Le procédé dure 50s à une température de 20°C.

Une structure de référence sans antennes et protégée par diodes aux nœuds grille et source/drain a aussi été dessinée. Elle permet d'évaluer par comparaison le niveau de dégradation des structures d'antenne après exposition au procédé plasma.

La Figure IV.5 illustre les distributions normales cumulées des courants de fuite de l'oxyde de grille des structures d'antenne comparées à la structure de référence, mesurées à la fin du procédé de gravure plasma. Nous pouvons constater que les structures de test (3) et (4) n'ont subi aucune dégradation par effet d'antenne à l'inverse des structures (1) et (2) qui montrent une augmentation brutale de la fuite de grille signe d'un claquage.

Sachant que le procédé plasma utilisé est uniforme et que les antennes connectées aux différents nœuds du transistor sont identiques, aucune source de déséquilibre en courant n'a été introduite ce qui explique les résultats obtenus avec les structures (3) et (4), à l'inverse des structures (1) et (2) où nous avons créé un déséquilibre entre les nœuds du transistor en connectant des antennes uniquement à la grille ou aux nœuds source et drain.

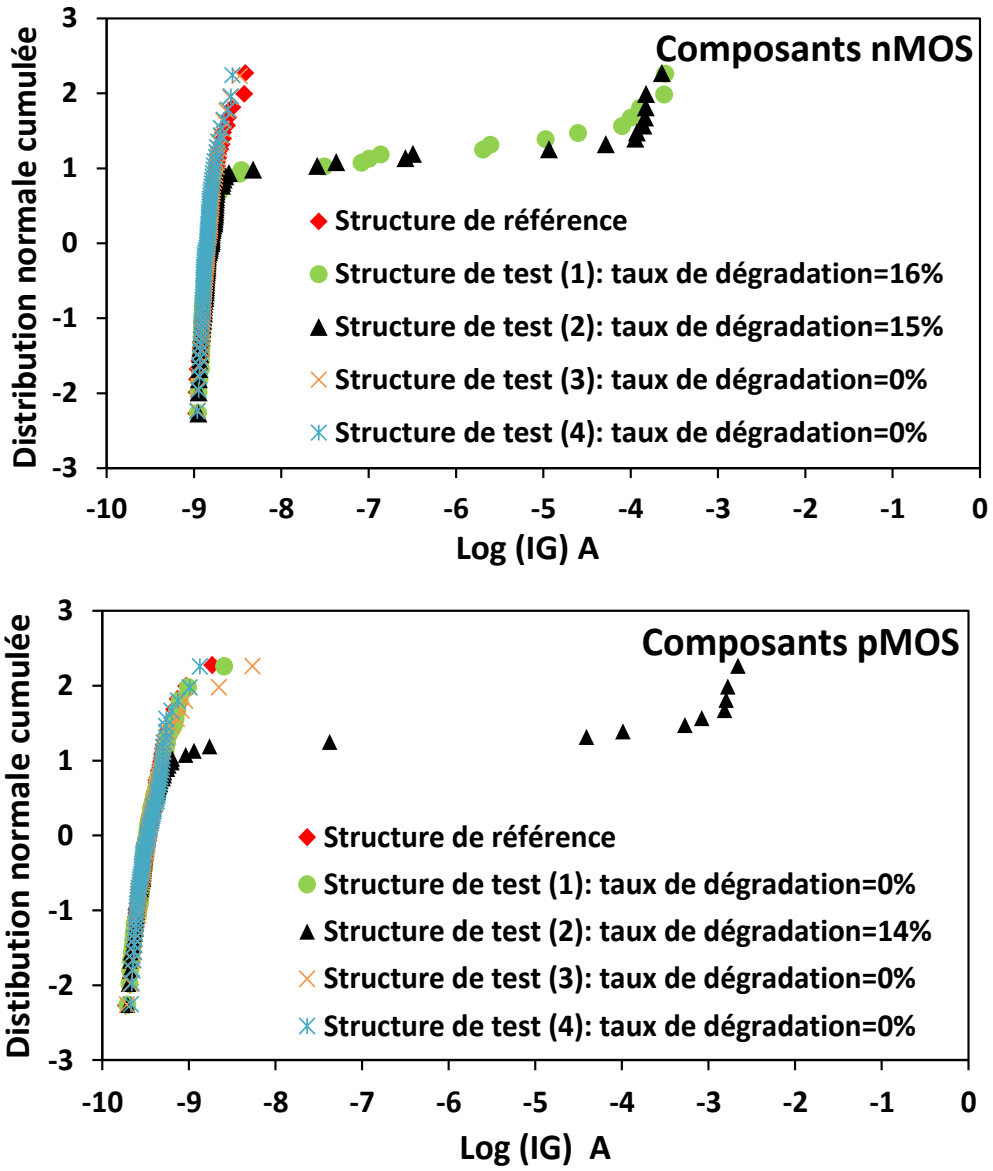


Figure IV-5: Distributions cumulées des courants de fuite de grille des structures d'antenne 1, 2, 3 et 4 après étape plasma.

Nous allons utiliser le circuit-modèle pour reproduire le comportement de ces structures d'antenne. Cependant, avant de débuter les simulations le modèle doit être calibré. En effet, la réponse électrique d'un transistor peut varier selon le type de l'oxyde de grille

utilisé, son épaisseur, le type de composants étudiés, ainsi que d'autres paramètres technologiques. Par conséquent, le modèle doit être calibré pour chaque type de technologie. Pour ce faire nous étudions la caractéristique courant-tension d'un composant de référence. La Figure IV.6 illustre l'évolution de la fuite de grille, mesurée (représentée par une ligne) et modélisée (représentée par des points) en fonction de la tension appliquée sur la grille. Le courant a été modélisé à l'aide d'une source de courant tunnel (équation IV.9), et nous pouvons constater que cette source de courant permet de reproduire le comportement de l'oxyde de grille des composants lors d'une contrainte électrique. Le courant de grille des composants (pMOS et nMOS) a été modélisé en inversion ainsi qu'en accumulation en faisant varier la hauteur de barrière entre la cathode et la bande de conduction de l'oxyde de grille. Cela permet de reproduire le mode d'injection à travers l'oxyde de grille qui caractérise le régime de fonctionnement de chaque type de composant.

$$I_{ox} = S_{ox} \frac{A}{\left[1-\sqrt{1-\frac{qE_{ox}T_{ox}}{chib}}\right]^2} E_{ox}^2 \exp\left(-\frac{B}{E_{ox}}\left[1-\left(1-\frac{qE_{ox}T_{ox}}{chib}\right)^{1.5}\right]\right) \quad \text{équation IV.9}$$

$$A = \frac{q^2 m_{si}}{8\pi h\, chib\, m_{ox}^*} = \frac{3{,}1.10^{-6}}{chib} \quad \text{et} \quad B = \frac{4\sqrt{2m_{ox}^*}}{3hq} chib^{1.5} = 5{,}1.10^9 * chib^{1.5}$$

Avec : S_{ox} la surface du composant, T_{ox} l'épaisseur de l'oxyde de grille, m_{ox}* la masse effective du porteur dans l'oxyde, q la charge élémentaire, h la constante de Planck, chib la hauteur de barrière cathode / oxyde et E_{ox} le champ électrique à travers l'oxyde ($E_{ox} = \frac{V_{ox}}{T_{ox}}$ où V_{ox} est le potentiel aux bornes de l'oxyde).

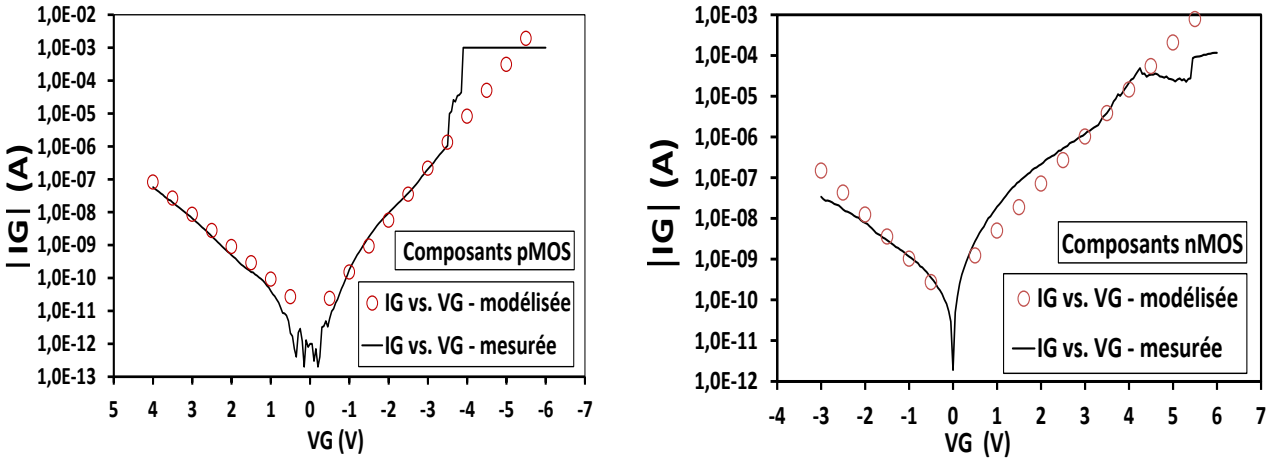


Figure IV-6: Caractéristique courant-tension, mesurée et modélisée, d'un composant de référence nMOS et pMOS.

Maintenant que le circuit-modèle a été calibré, nous pouvons débuter la phase de simulation qui va nous permettre d'évaluer le niveau de contrainte vu par les structures de test durant l'étape plasma. Tous les paramètres électriques du plasma ainsi que les caractéristiques des composants et des antennes exposées sont définies tels que des paramètres d'entrée comme suit :

Tableau IV-1: Paramètres électriques du plasma et caractéristiques de l'oxyde de grille des composants ainsi que des antennes utilisés pour modéliser l'interaction plasma-antenne :

Paramètres électriques du plasma	Te	Jis	n_{plasma}
	5eV [FRIE97]	3mA/cm² [FRIE97]	$3.10^{11}cm^{-3}$ [FRIE97]
Caractéristiques des antennes	S_{ant}		αi_{ant} et αe_{ant}
	798µm² (structure 3) et 1596µm² pour les autres structures		1 (surface plane sans motif)
Caractéristiques de l'oxyde de grille	S_{ox}	T_{ox}	Chib
	0.042µm²	1.9nm	Evalué lors de la calibration

Il existe différentes techniques pour mesurer les paramètres électriques du plasma. Cependant, n'ayant pas accès aux chambres de gravure nous avons été contraints de nous référer à l'étude de Friedmann et al [FRIE97] pour les obtenir. Dans cette étude, Friedmann mesure l'évolution des paramètres électriques du plasma pour différentes conditions de procédés plasma. Par conséquent, nous avons repris les paramètres correspondants au procédé plasma qui se rapproche le plus de notre procédé de gravure métal.

La Figure IV.7 illustre les niveaux de contrainte vus par les composants durant l'étape plasma obtenus par simulation. Nous pouvons constater que le circuit-modèle permet de reproduire le comportement des structures de test. En effet, les structures (3) et (4) ne subissent aucun stress durant le procédé de plasma et l'augmentation du rapport d'antenne entre la structure (3) et (4) n'a eu aucun impact sur le niveau de contrainte évalué. A l'inverse, le modèle prédit un niveau de contrainte élevé pour les structures (1) et (2) où nous avons créé un déséquilibre entre les nœuds du composant en connectant des antennes uniquement à la grille ou aux source/drain. Cela signifie que le circuit-modèle permet de reproduire le mode d'écoulement des charges durant l'exposition au plasma dans les technologies FDSOI, et tient compte des sources de déséquilibre en courant entre les nœuds du transistor à l'origine des dégradations par effets d'antenne.

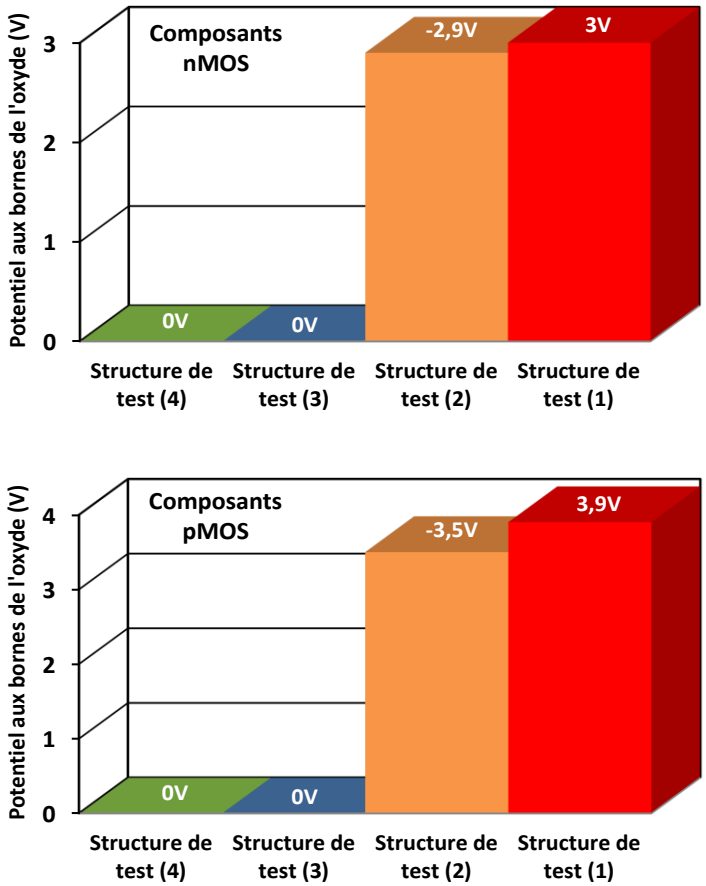
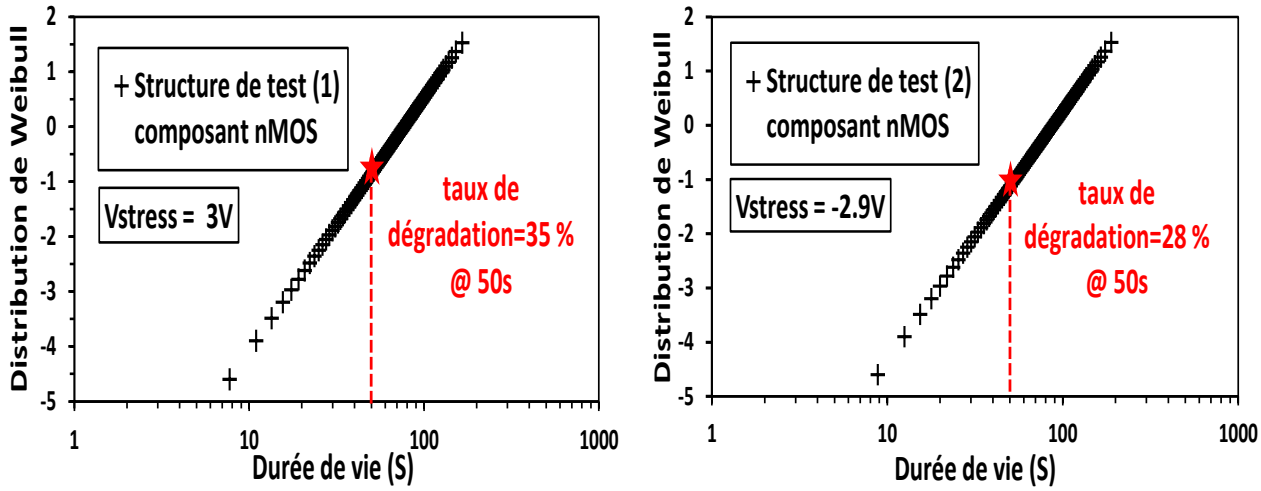


Figure IV-7: Niveaux de contrainte simulés par le circuit-modèle pour les quatre configurations de structures d'antenne (voir Figure IV.4).

Les mesures dans la Figure IV.5 indiquent qu'à la fin du procédé plasma, un certain nombre de composants correspondant aux configurations de structures d'antenne (1) et (2) montrent un niveau de fuite de grille très élevé signe du claquage de l'oxyde de grille. Afin de reproduire le comportement de ces structures durant l'exposition au plasma, nous avons évalué leurs durées de vie, dans les mêmes conditions que le procédé plasma étudié, à savoir un stress électrique d'une durée de 50s à une température de 20°C. Les contraintes électriques appliquées sont celles obtenues par simulation (Figure IV.7). Pour ce faire, nous avons utilisé un modèle permettant de simuler la réponse électrique d'un transistor FDSOI lors d'une contrainte électrique. Ce modèle a été mis au point par l'équipe caractérisation électrique et fiabilité de STMicroelectronics suite à une caractérisation du comportement des composants pour une large gamme de stress électriques et en température. La Figure IV.8 illustre les distributions de Weibull des durées de vie des structures de test (1) et (2). A l'exception des structures pMOS munies d'antennes connectées au nœud grille (structure de test (1)), un nombre important de composants correspondant aux autres configurations de structures de test ont une durée de vie inférieure à 50s dans les conditions de contrainte évaluées par le circuit-modèle. Ces constatations concordent avec les résultats expérimentaux obtenus précédemment (Figure IV.5) où nous avons observé qu'un important échantillon de ces mêmes configurations de structures d'antenne subissaient un claquage de l'oxyde de grille à la fin du procédé plasma, dont la durée est de 50s.



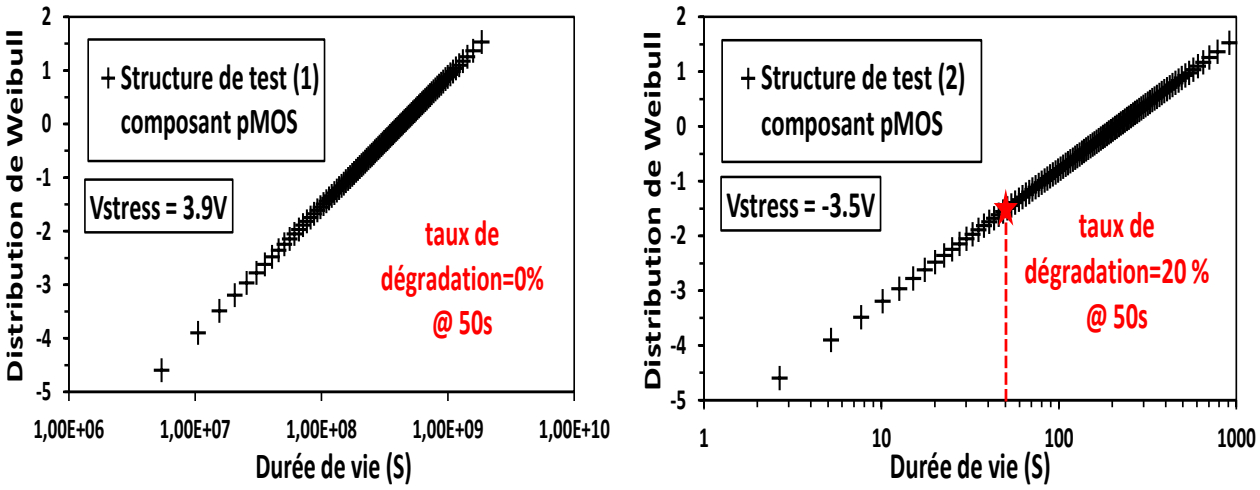


Figure IV-8: Durée de vie des structures d'antenne (1) et (2) dans les conditions de contrainte évaluées par le circuit-modèle.

En résumé, les simulations indiquent que les structures de test (3) et (4) munies d'antennes identiques connectées aux différents nœuds du transistor ne sont pas sujettes à des dégradations par effets d'antenne dans les conditions du procédé plasma utilisé. De plus, l'augmentation du rapport d'antenne entre la structure de test (3) et (4) n'a eu aucun impact sur le niveau de contrainte électrique simulé. Cela implique que le circuit-modèle reproduit l'équilibre en courant entre les nœuds du composant défini par cette configuration de structure d'antenne. D'autre part, les niveaux de contraintes simulés permettent de reproduire les dégradations subies par les structures de test (1) et (2). Par conséquent, nous pouvons conclure que les prédictions du circuit-modèle permettent de reproduire le comportement des structures de test, et de modéliser la dégradation de l'oxyde de grille (claquage) induit par l'exposition au procédé plasma.

IV.A.2.2 Modélisation de la dérive de la tension de seuil:

Nous venons de démontrer que les prédictions du circuit modèle permettent de modéliser le claquage de l'oxyde de grille des structures d'antenne après exposition au plasma. Cela dit, les dégradations par effets d'antenne peuvent aussi se traduire par une dérive des paramètres électriques du transistor, par exemple la tension de seuil. Les mécanismes de dégradation à l'origine de ces deux comportement étant différents, une question se pose ? Le circuit modèle permet-il de reproduire le comportement des dégradations à l'origine de la dérive de la tension de seuil des structures de test ?

Pour réponde, nous avons repris des configurations de structures d'antenne courantes dans un circuit. Les structures sont des transistors de la technologie 28nm FDSOI de différentes surfaces (0.3µm² et 0.5µm²) et épaisseurs d'oxyde de grille (1.9nm et 4.5nm) munis d'antennes de différentes surfaces (1600µm² et 10µm²) connectées respectivement aux nœuds grille et drain tel que décrit dans le tableau suivant :

Tableau IV-2: Description des caractéristiques des structures de test :

	Type	S_{ox}	T_{ox}	AR_{ant}_grille	AR_{ant}_drain
Composant (1)	nMOS et pMOS	0.5µm²	4.5nm	3200	20
Composant (2)	nMOS et pMOS	0.3µm²	1.9nm	5333	33

D'autre part, différentes configurations de protection par diodes sont aussi investiguées. En effet, les techniques de protection contre les effets d'antenne à l'aide de diodes de protection sont intégrées dans les règles de dessin des circuits. Ces configurations de structures sont donc courantes. Cela dit, nous avons aussi vu dans le chapitre précédent que selon la façon dont elles sont utilisées, ces diodes peuvent générer des déséquilibres en courant entre les nœuds des composants et induire ainsi des dégradations par effets d'antenne. Par conséquent, nous devons intégrer dans notre circuit-modèle l'évaluation de l'impact de ces diodes sur les niveaux de dégradations. L'un des avantages du modèle est qu'il est basé sur un simulateur de circuit ELDO. Ainsi, les diodes de protection peuvent aussi être intégrées au schème décrivant l'interaction plasma-antenne simplement en utilisant un modèle compact décrivant leur comportement (ce modèle peut être trouvé dans le manuel d'utilisation d'ELDO).

La Figure IV.9 illustre les différentes structures d'antenne utilisées dans cette étude avec les différentes configurations de diodes de protection. Les antennes sont des pavés de métal définis suivant le procédé de gravure plasma utilisé précédemment.

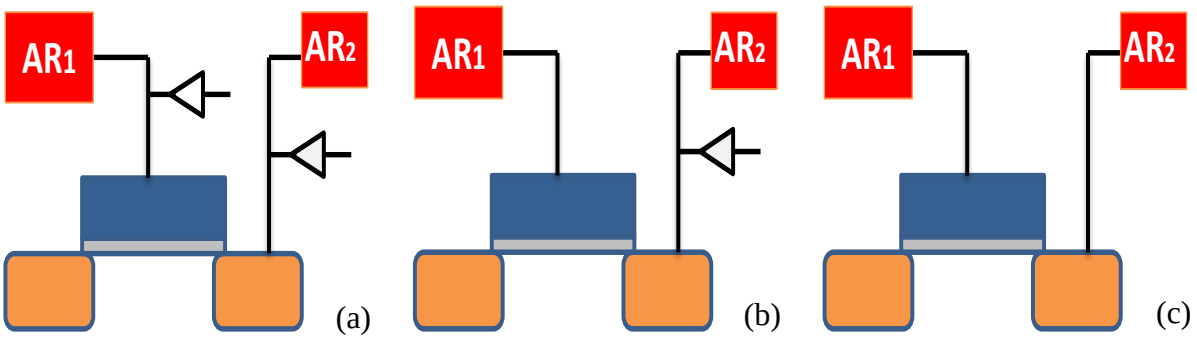


Figure IV-9: Structures de test (a, b et c) avec différentes configurations d'antennes et de protection par diodes.

L'exposition au procédé plasma induit d'importantes dégradations par effet d'antenne, notamment dans le cas des structures de test avec une épaisseur d'oxyde de grille de 4.5nm comme le montre la Figure IV.10-a où sont illustrées les distributions normales cumulées de la tension de seuil des différentes configurations de structures d'antenne comparées à une structure de référence.

Les structures de test (a) munies de diodes de protection connectées aux nœuds grille et drain n'ont subi aucune dégradation par effets d'antenne. En effet, on ne constate aucune dérive de la tension de seuil par rapport à la structure de référence. Cela est dû à l'utilisation d'une double protection par diode aux nœuds grille et drain. Comme nous avons vu au chapitre précédent, cette technique permet de neutraliser les sources de déséquilibre en courant entre les nœuds des transistors de technologie FDSOI et de les protéger par conséquent des dégradations par effets d'antenne.

A l'inverse, l'utilisation d'une simple diode de protection connectée uniquement au nœud drain (structure de test (b)) génère un déséquilibre en courant entre les nœuds du transistor durant les étapes plasma et induit ainsi des dégradations par effets d'antenne illustrées par les dérives de tension de seuil (Figure IV.10-a). Nous constatons un comportement similaire avec la structure de test (c). En effet, les antennes de surfaces différentes connectées à la grille et au drain génèrent aussi un déséquilibre en courant entre les nœuds du transistor et provoquent des dégradations.

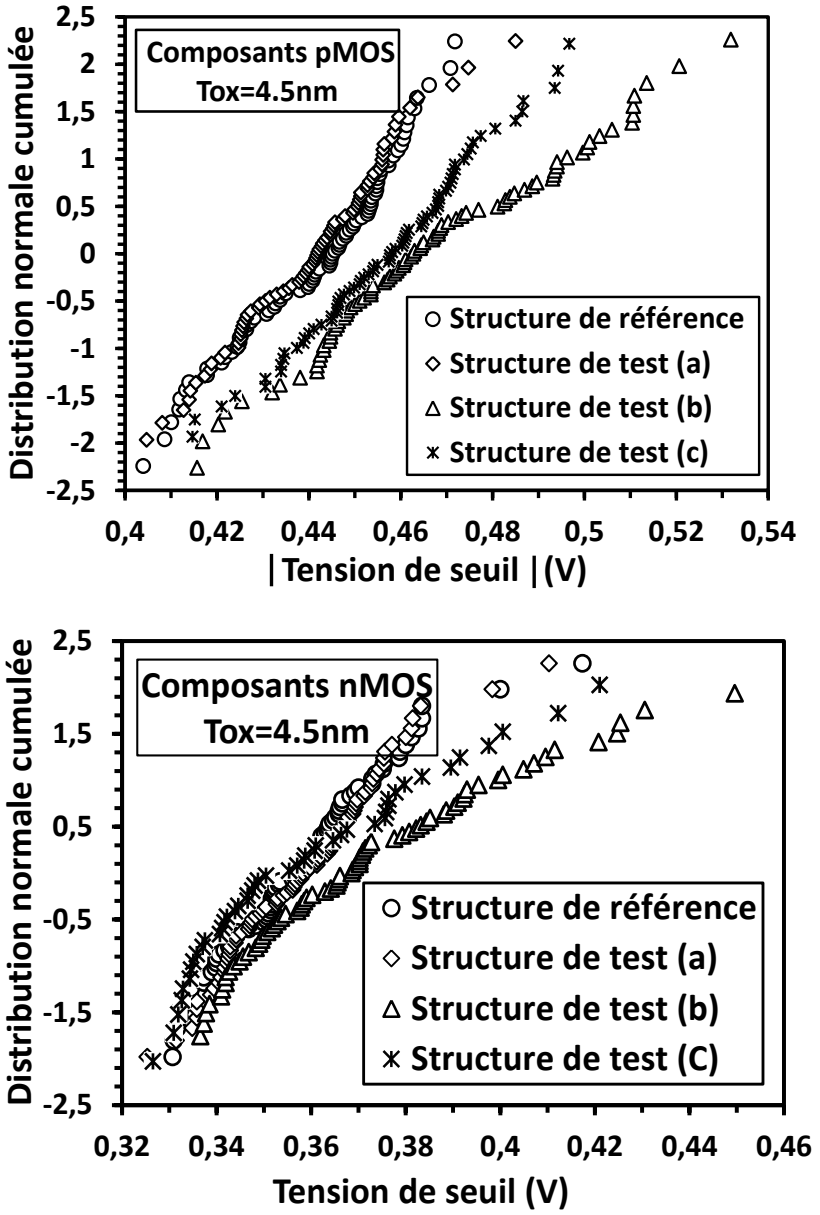


Figure IV.10–a : Distributions normales cumulées de la tension de seuil des structures de test (a), (b) et (c) illustrées dans la Figure IV.9 avec une épaisseur d'oxyde de grille de 4.5nm et une surface de 0.5µm².

A l'inverse des structures avec oxyde épais (4.5nm) on ne constate aucune dégradation sur les structures de test avec l'oxyde de grille de 1.9nm d'épaisseur, comme illustré dans la Figure IV.10-b.

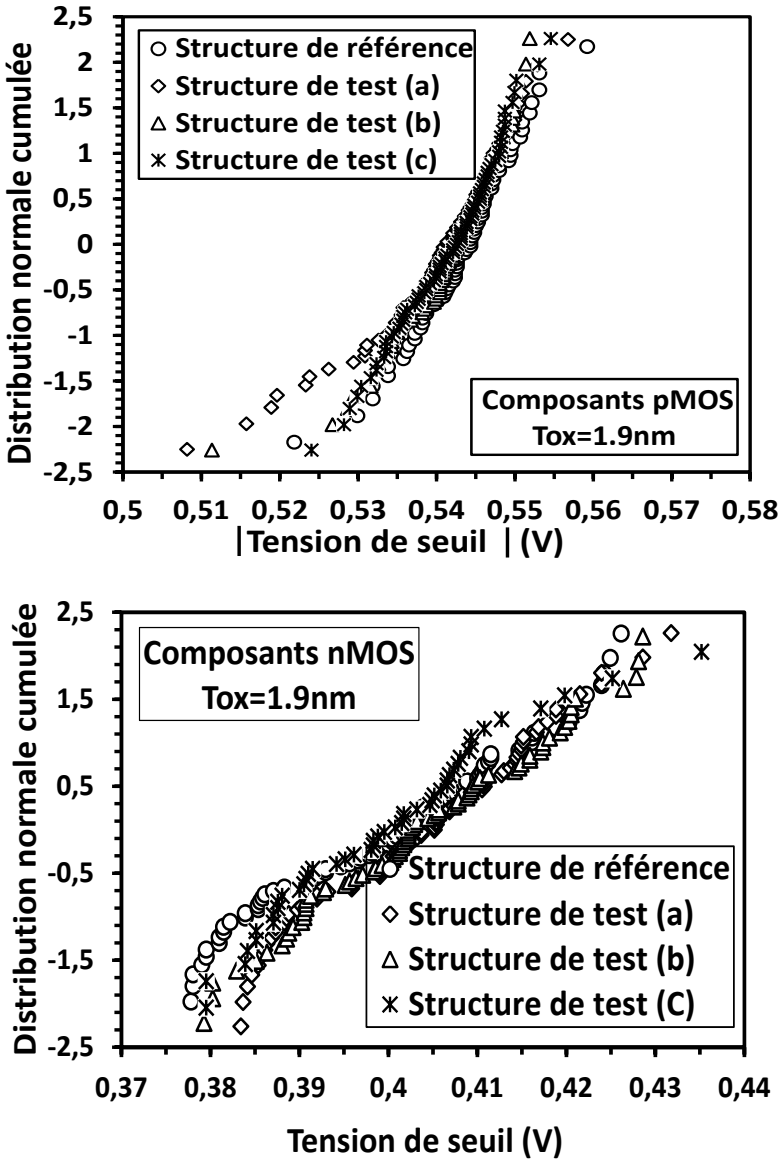


Figure IV.10-b: Distributions normales cumulées de la tension de seuil des structures de test (a), (b) et (c) illustrées dans la Figure IV.9 avec une épaisseur d'oxyde de grille de 1.9nm et une surface de 0.3µm².

A présent nous allons procéder à des simulations afin de vérifier la capacité du circuit-modèle à reproduire le comportement de ces structures d'antenne, et notamment le niveau de dérive de la tension de seuil correspondant à chaque configuration. Nous procédons de la même façon que précédemment. Tous les paramètres électriques du plasma ainsi que les caractéristiques des composants et des antennes sont définis telles que des paramètres d'entrées. Cependant, avant de débuter la phase de simulation nous avons effectué une phase de calibrage, dû notamment à l'utilisation de structures avec différentes épaisseurs d'oxyde de

grille. La Figure IV.11 montre les résultats de simulation du circuit-modèle indiquant le niveau de contrainte électrique vu par chaque configuration de structure d'antenne durant l'exposition au procédé plasma. Les résultats de simulation concordent avec les résultats expérimentaux obtenus précédemment (Figure IV.10-a et b). En effet, le niveau de contrainte simulé est plus important dans le cas des structures de test munies d'oxyde de grille épais (Tox=4.5nm). D'autre part, les simulations montrent que la structure de test (a) munie d'une double protection par diode n'est pas sujette à des dégradations par effet d'antenne à l'inverse de la structure de test (b) munie d'une simple diode connectée au nœud drain. Ces résultats impliquent que le circuit-modèle permet de reproduire le comportement des différentes structures de test et tient compte des caractéristiques de l'oxyde de grille et des déséquilibres en courant liés à l'utilisation de diodes de protection.

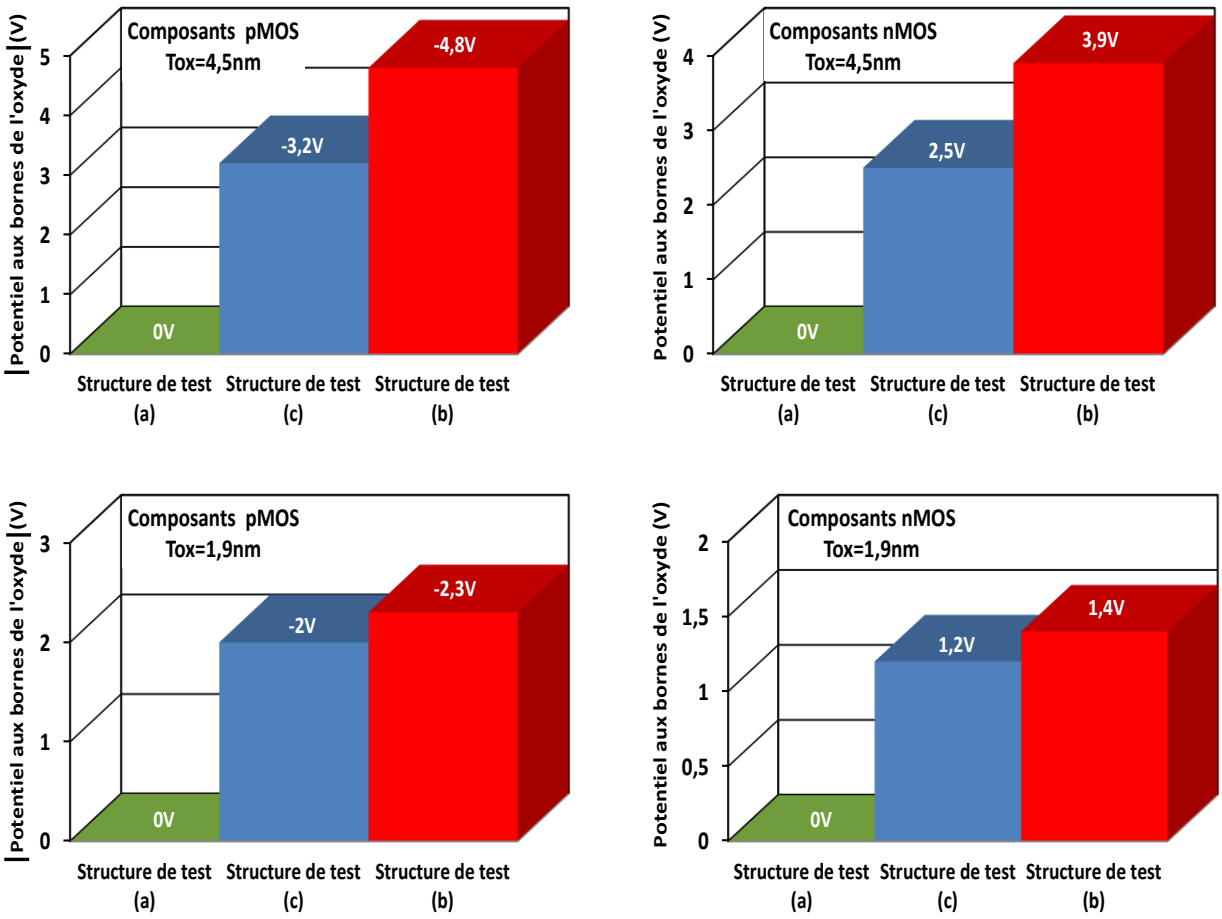


Figure IV-11: Niveaux de contrainte électrique simulés pour les structures d'antenne (a), (b) et (c) nMOS et pMOS avec les deux épaisseurs d'oxyde de grille investiguées.

Nous constatons que les prédictions du circuit-modèle permettent de reproduire le comportement des différentes structures de test. Cela dit, est-il possible de prédire le niveau de dérive de la tension de seuil ?

Pour réponde à cette question nous avons procédé à des stress électriques, dans les mêmes conditions que celles définies par le procédé plasma utilisé, à savoir un stress électrique d'une durée de 50s a une température de 20°C. Nous avons utilisé des structures de référence non dégradées, et les contraintes électriques appliquées dans chaque cas sont celles obtenues par simulation (Figure IV.11). Afin de permettre un traitement statistique des résultats 70 composants de référence (nMOS et pMOS) répartis sur 70 puces différentes du substrat sont utilisés lors de de chaque stress.

La structure de test (a) munie d'une double protection par diode n'étant pas sujette à des dégradations, nous nous concentrerons dans un premier temps uniquement sur la structure de test (b) où nous avons constaté d'importantes dérives de la tension de seuil après exposition au procédé plasma. La Figure IV.12 illustre les distributions normales cumulées de la dérive de la tension de seuil des composants de référence avec oxyde de grille épais (Tox=4.5nm) après stress électrique, tandis que la Figure IV.13 illustre l'évolution de la médiane de la dérive de la tension de seuil durant la contrainte de l'ensemble des 70 composants de référence avec oxyde de grille fin (Tox=1.9nm). La dérive de la tension de seuil étant très faible dans ce cas, elle est difficilement mesurable. Nous l'avons par conséquent évaluée en comparant l'évolution de la tension de seuil des composants de référence à T0 puis à la fin du stress électrique.

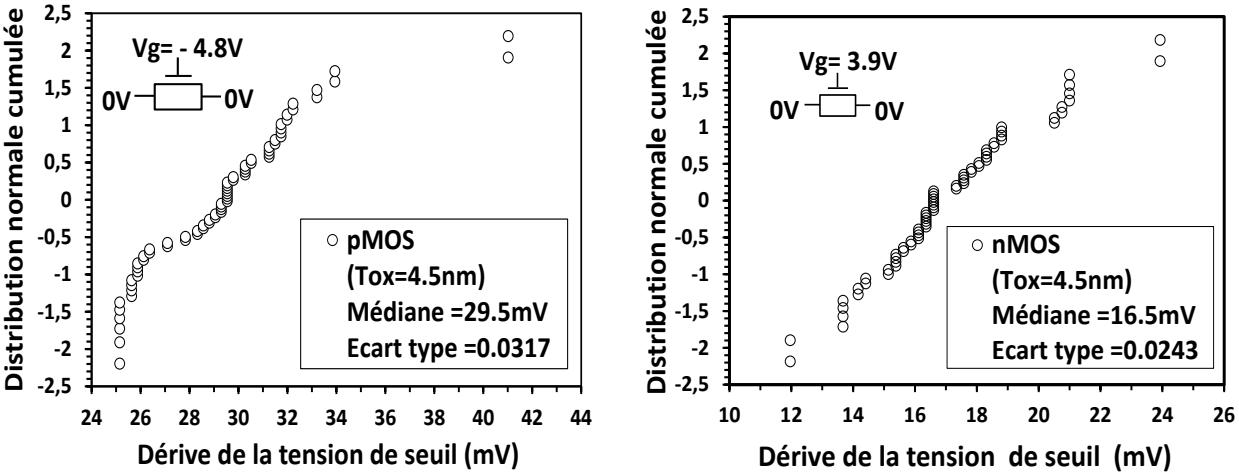


Figure IV-12: Distribution normale cumulée de la dérive de la tension de seuil des composants nMOS et pMOS avec un oxyde de grille d'épaisseur de 4.5nm mesurée après stress électrique.

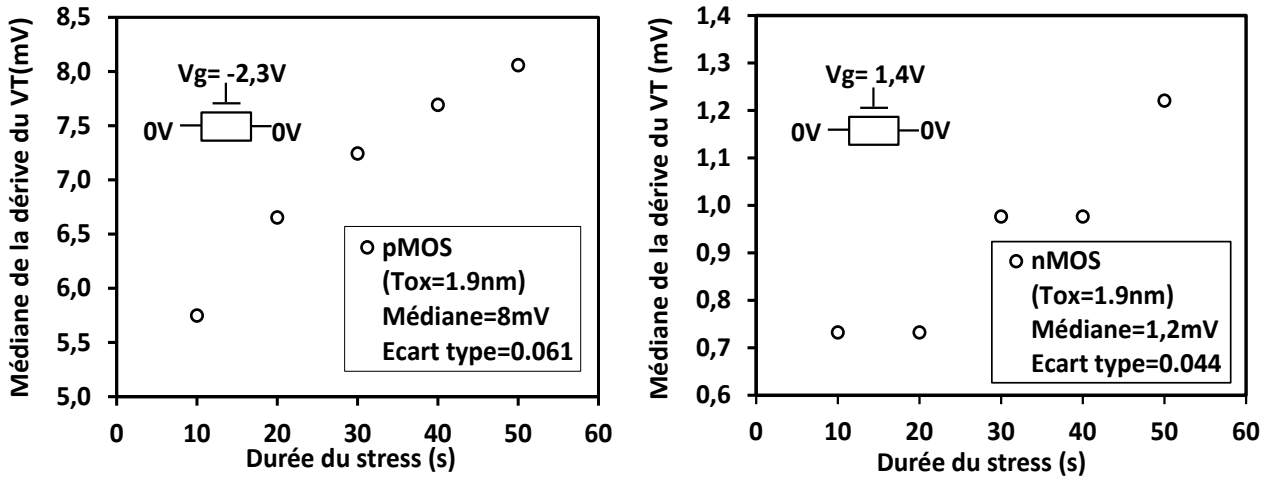


Figure IV-13: Médiane de la dérive de la tension de seuil durant la contrainte électrique de l'ensemble des 70 composants nMOS et pMOS avec un oxyde de grille d'épaisseur de 1.9nm.

Les résultats des stress électriques (Figure IV.12 et 13) sont par la suite utilisés pour modéliser la distribution de la tension de seuil des structures d'antennes, cela en convoluant statistiquement la distribution de la tension de seuil d'une structure de référence et celle de la dérive de la tension de seuil induite par stress correspondant à la médiane ainsi qu'à l'écart type de cette dernière comme suit :

$$VT_{structue\ dégradée} = VT_{Structure\ de\ référence} \oplus V_{(médiane,\ écart\ type)de\ la\ dérive\ induite\ par\ stress}$$

Les Figure IV.14-a et b illustrent les distributions normales cumulées de la tension de seuil de la structure de test (b) mesurée et celle obtenue par simulation. Ces résultats valident les prédictions de notre circuit-modèle. La distribution de la tension de seuil simulée reproduit le comportement de la structure de test (b) cela dans toutes les configurations, nMOS et pMOS ainsi qu'en fonction des deux épaisseurs d'oxyde de grille investiguées.

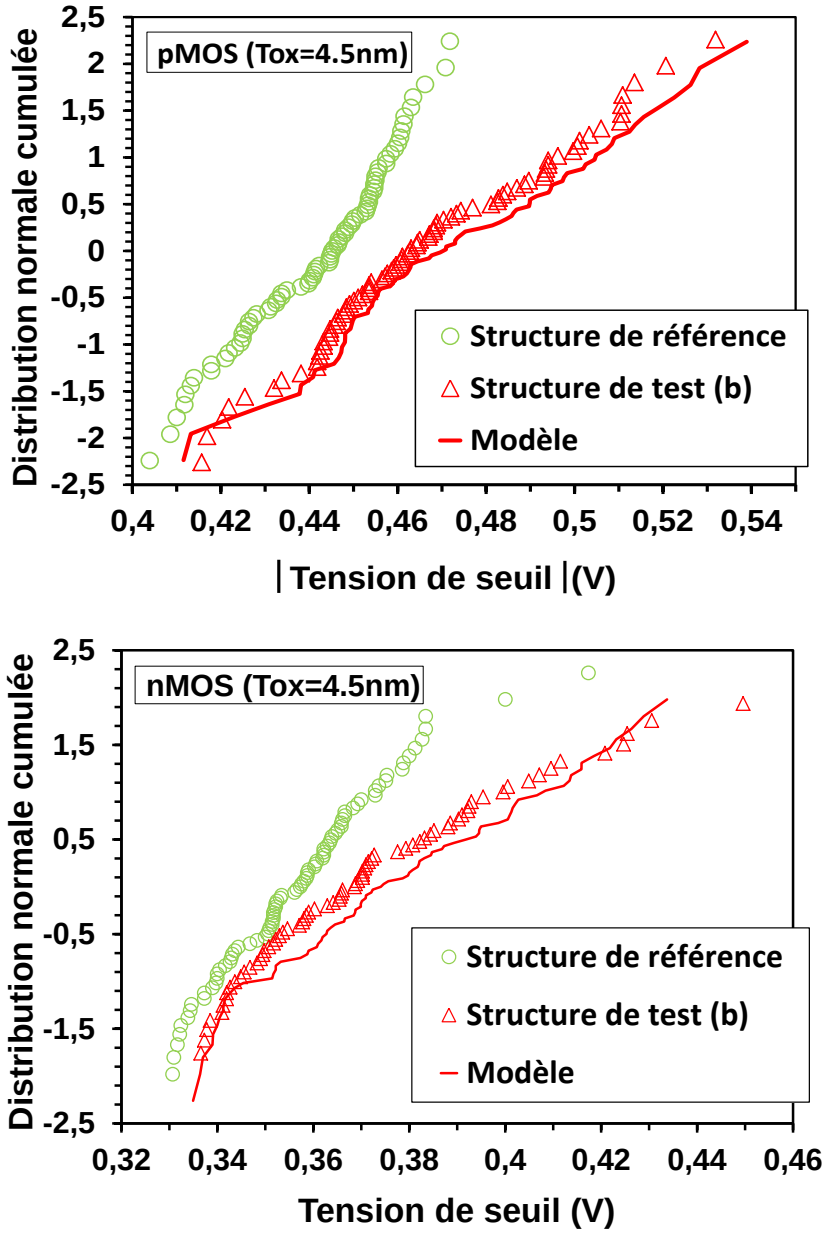


Figure IV.14–a : Distribution normale cumulée de la tension de seuil modélisée et mesurée de la structure de test (b) en configuration nMOS et pMOS avec oxyde de grille épais.

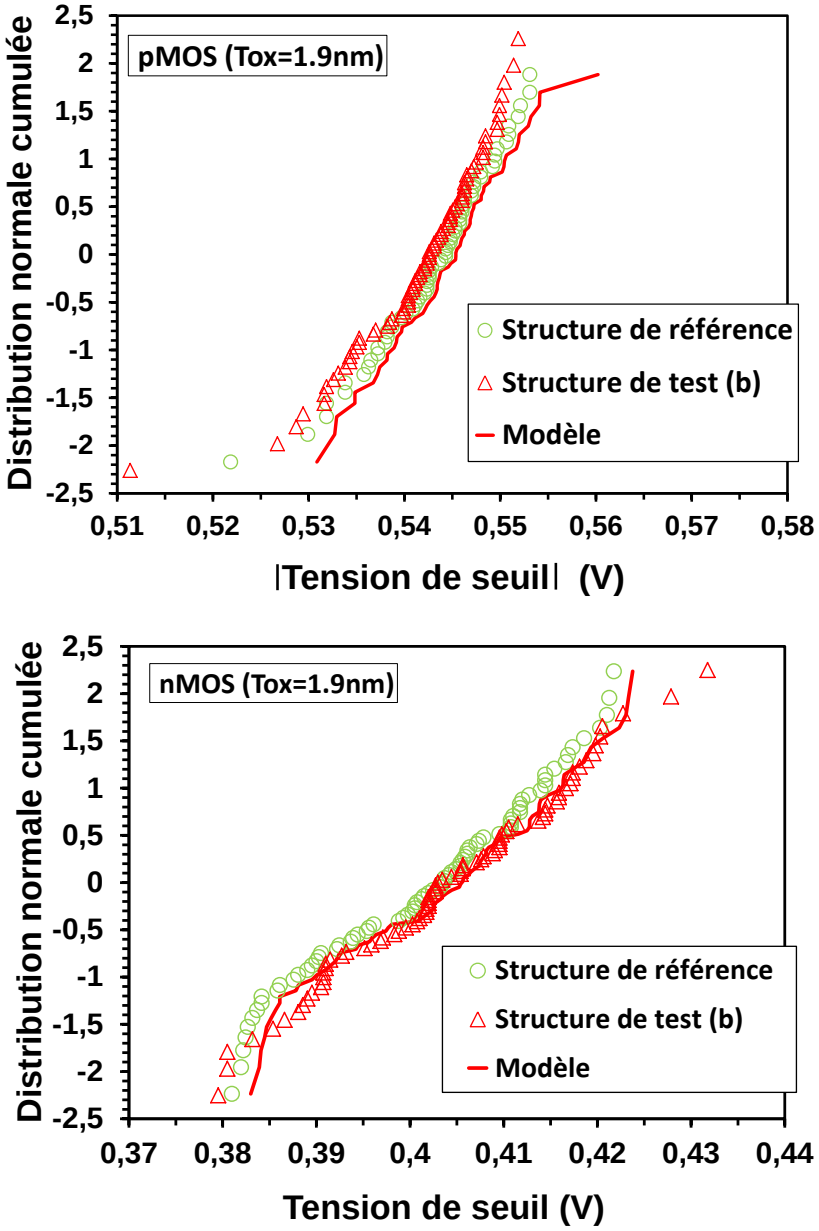


Figure IV.14–b : Distribution normale cumulée de la tension de seuil modélisée et mesurée de la structure de test (b) en configuration nMOS et pMOS avec oxyde de grille fin.

Nous avons procédé de la même façon pour reproduire le comportement de la structure de test (C). Les résultats sont illustrés dans la Figure IV.15. Les prédictions du circuit-modèle permettent de reproduire les résultats expérimentaux obtenus avec cette configuration de structure d'antenne.

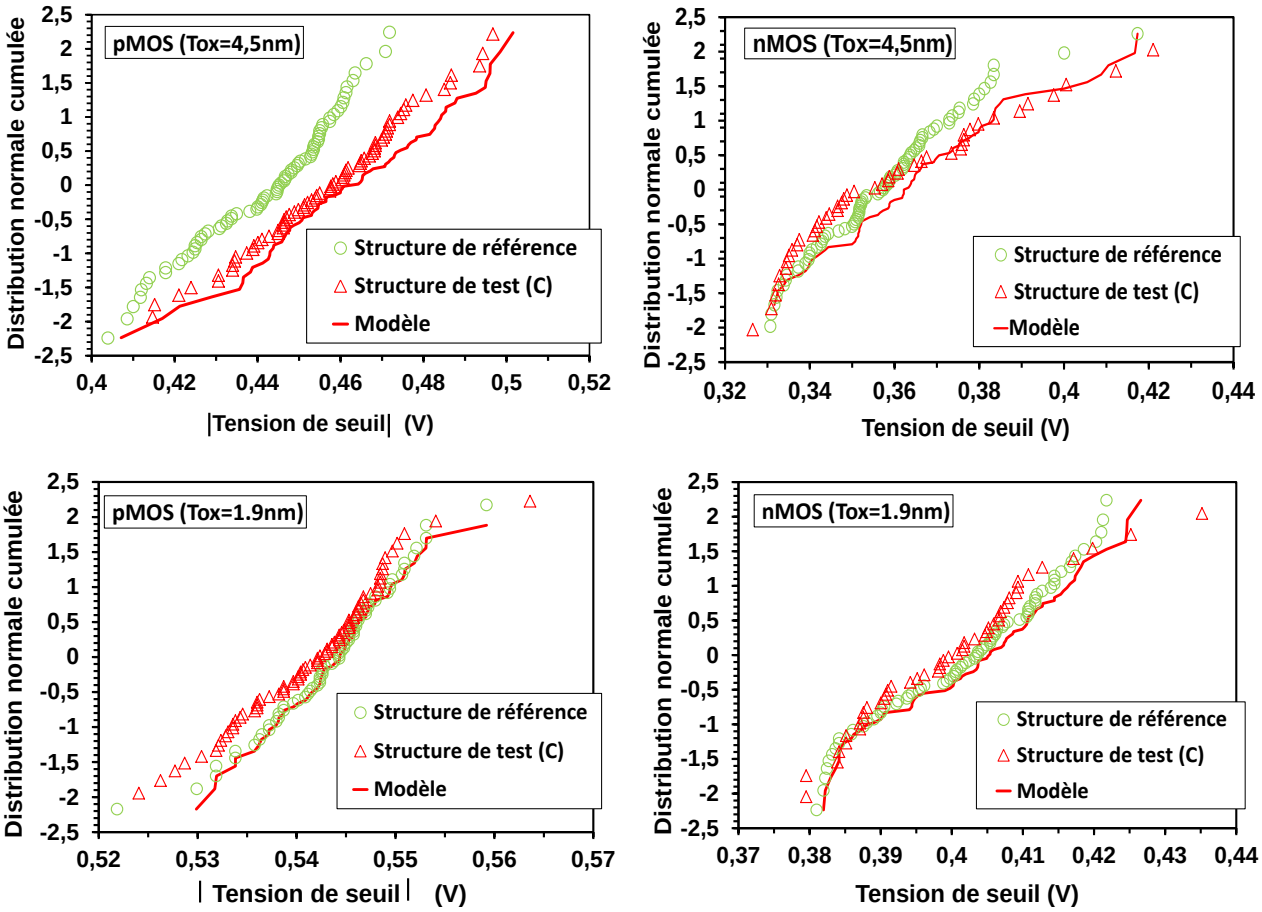


Figure IV-15: Distribution normale cumulée de la tension de seuil modélisée et mesurée de la structure de test (c) en configuration nMOS et pMOS avec les deux épaisseurs d'oxyde de grille investiguées.

D'autre part nous avons aussi procédé à des simulations afin d'investiguer la différence de comportement entre les structures de test munies d'oxyde de grille fin et épais. La Figure IV.16 illustre le comportement courant-tension d'une structure de test en configuration (b) pour les deux épaisseurs d'oxyde de grille (T_{ox}=4.5nm et 1.9nm), cela pour différents rapports d'antenne (AR varie de 3.2 à 320000). Nous pouvons constater que pour un rapport d'antenne identique (AR=3200), le niveau de contrainte est nettement plus faible dans le cas d'une structure de test munie d'un oxyde de grille fin. Cela est dû au niveau de fuite de grille de cette dernière, nettement plus important par rapport à une structure avec un oxyde de grille épais, et qui offre la possibilité d'évacuer une quantité de charges plus importante durant l'exposition au plasma, et de réduire par conséquent le niveau de stress vu par ces structures.

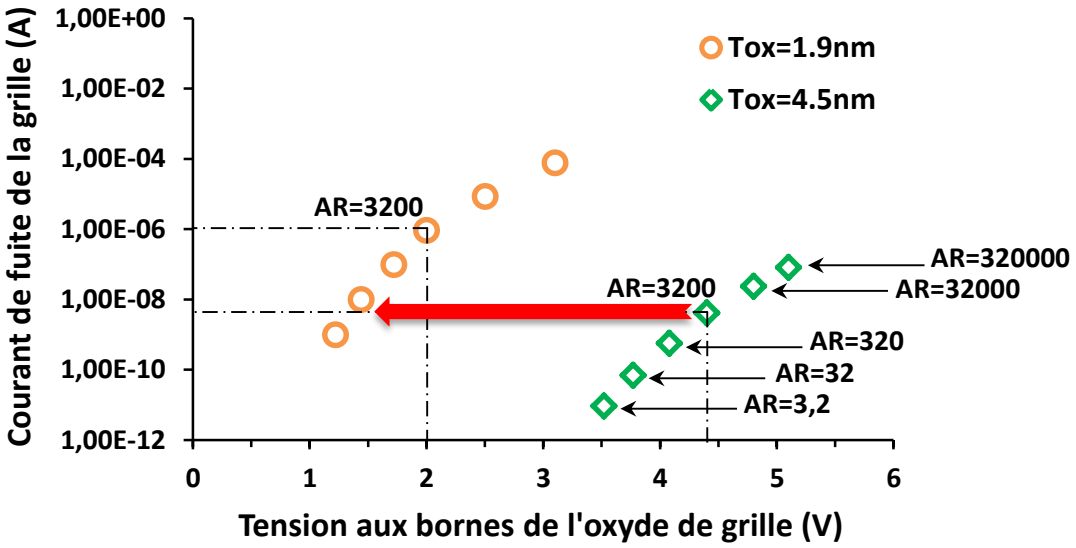


Figure IV-16: Evolution du comportement courant-tension en fonction du rapport d'antenne, simulé pour des structures d'antenne en configuration (b) avec une épaisseur d'oxyde de grille T_{ox}=1.9nm et 4.5nm.

IV.A.3 Conclusion:

Les prédictions du circuit-modèle permettent de reproduire le comportement des dégradations par effet d'antenne dans toutes les configurations investiguées. Ce dernier permet de modéliser l'interaction plasma-antenne et de reproduire le déséquilibre en courant entre les différents nœuds du transistor à l'origine des dégradations.

Par ailleurs, tous les paramètres plasma ainsi que les caractéristiques des composants et des antennes sont définis tels que des paramètres d'entrée. Par conséquent, l'impact des dégradations par effets d'antenne peut être évalué pour chaque procédé plasma et structures d'antennes données. Cela constitue l'un des avantages majeurs de ce circuit-modèle.

Un autre avantage du circuit-modèle est qu'il est basé sur un simulateur de circuit ELDO, ce qui offre la possibilité d'étudier le comportement des effets d'antenne dans des architectures plus complexes qu'un simple transistor.

IV.B Réduction des dégradations par effets d'antenne

Pour réduire les dégradations induites sur les transistors MOS, diverses approches sont envisageables :

Tout d'abord, on peut réduire les tensions flottantes d'antenne, ce qui revient à identifier les sources d'effets d'antenne (mécanismes de dégradation) et de les neutraliser par la suite par une optimisation du procédé plasma. Pour ce faire, nous nous appuierons sur des simulations effectuées à l'aide du circuit-modèle pour évaluer l'impact des différents paramètres plasma sur les niveaux de contrainte.

Lorsqu'il n'est plus possible de réduire les tensions d'antenne, on peut essayer de limiter l'intensité des injections à travers l'oxyde de grille. Ceci, en limitant le courant reçu par les antennes durant les étapes plasma par l'optimisation de l'architecture des structures : limitation du rapport d'antenne.

Enfin, lorsque les deux techniques n'ont pas fonctionné, on peut réduire l'impact des dégradations par effets d'antenne en connectant des diodes de protection en inverse aux nœuds du transistor. Cela permet de rediriger et d'évacuer les charges collectées par les antennes vers le substrat.

Nous allons à présent détailler ces différentes techniques, et nous commencerons par l'optimisation des procédés plasma.

IV.B.1 Optimisation des procédés plasma :

Nous avons vu que deux mécanismes principaux sont à l'origine de la majorité des dégradations par effets d'antenne : les effets topographiques et la non-uniformité du plasma.

IV.B.1.1 Effets topographiques:

Comme vu précédemment, l'intensité du courant reçu par une antenne durant l'exposition au plasma peut être évaluée à l'aide de l'équation IV.5:

$$I_{ant} = S_{ant} * Jis_{ant}\left(\alpha i_{ant} - \alpha e_{ant} * \exp\left[\frac{e\left(V_{ant} - Vf_{ant}\right)}{kTe}\right]\right) \text{...équation IV.5}$$

Avec α_i et α_e les facteurs d'ombrage ionique et électronique respectivement. Ainsi, pour réduire les effets d'antenne d'origines topographiques, on peut : soit diminuer le phénomène d'ombrage électronique (α_e augmente) ou le compenser en augmentant le phénomène d'ombrage ionique (α_i diminue).

Pour diminuer l'ombrage électronique il est possible d'agir directement sur sa cause principale, à savoir la topographie de l'antenne. Prenant l'exemple du procédé de gravure vias que nous avons vu dans le chapitre 3 partie III.C. La diminution du facteur de forme des vias à graver permet d'augmenter la quantité d'électrons reçus au fond du via lors de la phase de sur-gravure et diminuer par conséquent le phénomène d'ombrage électronique (voir Figure III.31). La réduction du facteur de forme des vias s'effectue soit par l'utilisation de vias plus larges ou par la diminution de la hauteur des couches gravées. Cependant, cette technique oblige à faire des compromis avec des exigences de conception ou de technologie.

L'autre solution réside dans le mode d'écoulement des charges durant l'exposition au plasma des structures d'antenne des technologies FDSOI. Dans ce cas, les dégradations par effets d'antenne sont dues à des déséquilibres en courant entre les nœuds du transistor. La Figure IV.17 illustre le niveau de contrainte vu par une structure d'antenne en fonction de l'évolution du rapport des facteurs d'ombrage électronique entre grille et source/drain. Ces résultats ont été obtenus par simulation à l'aide de circuit-modèle. La structure d'antenne considérée est un composant pMOS muni d'un oxyde de grille high-k de 2.3nm d'épaisseur avec des antennes connectées aux nœuds grille et source/drain de rapport d'antenne via AR_{via}=100. Le facteur d'ombrage électronique des vias de l'antenne grille est de 0.1 (très élevé), et nous faisons varier uniquement le facteur d'ombrage électronique coté source et drain de 1 à 0.1. Nous pouvons constater que le niveau de la contrainte électrique est indépendant du facteur de forme des vias mais il est dicté uniquement par la différence de topographie entre les antennes. Ainsi, à l'inverse des technologies standard, il est possible d'utiliser des antennes avec des facteurs de forme importants en technologie FDSOI (augmentation du phénomène d'ombrage électronique) sans provoquer de dégradation à condition de garantir un équilibre électrique entre les nœuds du transistor, en utilisant des antennes de topographies similaires.

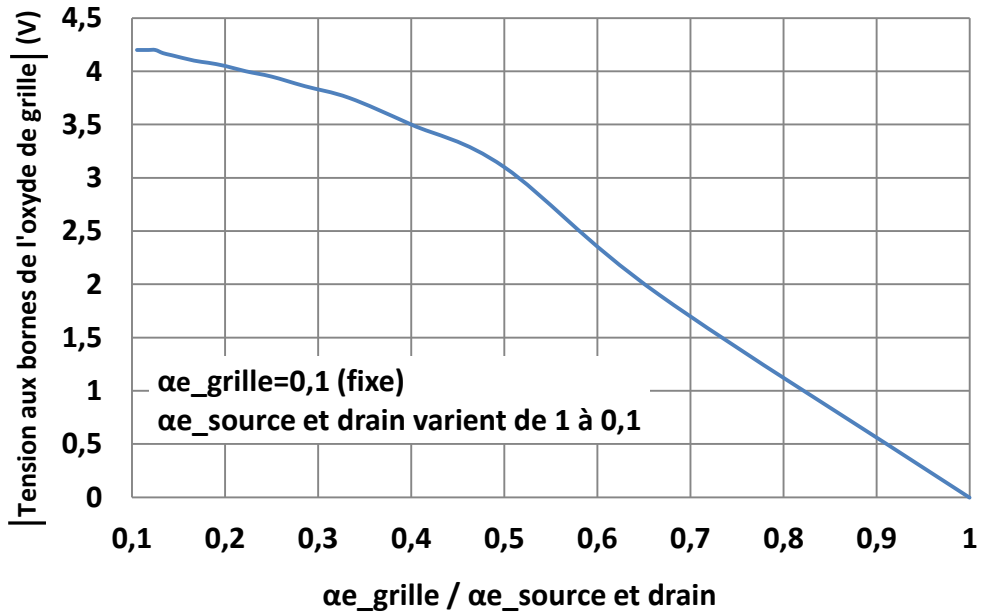


Figure IV-17: Evolution de la contrainte électrique en fonction du rapport entre les facteurs d'ombrage électronique des antennes grille et source/drain, simulée à l'aide du circuit-modèle. α_e_grille=0.1 et α_e_source et drain varient de 1 à 0.1. La structure d'antenne considérée est un composant pMOS munie d'un oxyde de grille high-k de 2.3nm d'épaisseur avec des antennes connectées aux nœuds grille et source/drain de rapport d'antenne via AR_{via}=100.

Enfin, il est également possible de réduire les tensions d'antenne d'origines topographiques en réduisant la température électronique du plasma. Des simulations effectuées par Hwang et al [Hwang96] montrent que cette technique permet de réduire l'anisotropie ionique sur la plaque, ce qui a pour conséquence l'augmentation de l'effet d'ombrage ionique (voir Figure IV.18), et donc la diminution du flux d'ions au fond des motifs, et de l'augmenter sur les parois. En effet, la diminution de la température électronique permet de réduire l'énergie des ions et des électrons arrivant sur le motif gravé par l'intermédiaire du critère de Bohm (voir chapitre II). La trajectoire des ions est ainsi plus facilement influençable par le champ électrique à l'intérieur du motif, et une partie du flux ionique se retrouve déviée vers les parois ou le haut du motif, ce qui se traduit par une augmentation de l'effet d'ombrage ionique et donc une compensation du phénomène d'ombrage électronique.

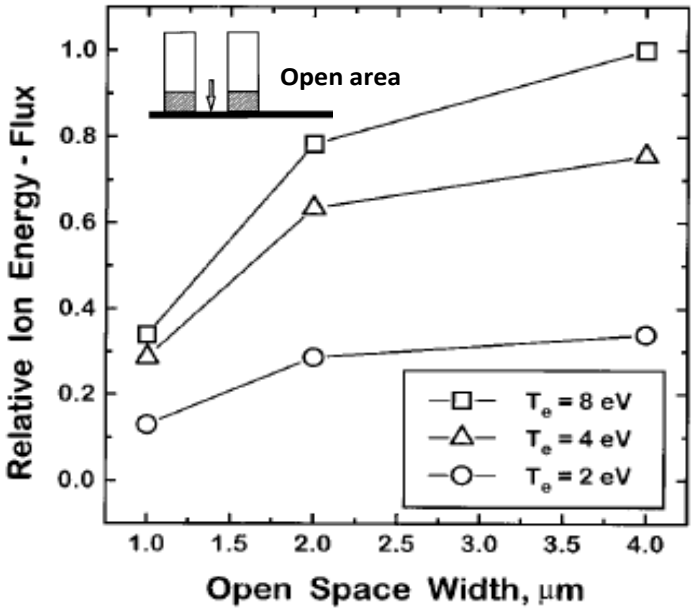


Figure IV-18: Evolution du flux ionique en fonction de l'espace entre les parois d'un motif gravé pour différentes températures électroniques [Hwang96]. On constate une augmentation de l'ombrage ionique au fond du motif gravé lorsque la température électronique diminue.

IV.B.1.2 Non-uniformité du plasma:

La non-uniformité des plasmas est généralement liée à la conception même des réacteurs, et la réduction de cette non-uniformité s'obtient essentiellement par des optimisations effectuées par les constructeurs qui améliorent la conception des réacteurs d'une génération à une autre.

Pour illustrer cette tendance prenons l'exemple du procédé de gravure métal étudié dans le chapitre précédent (partie III.B) où nous avons constaté d'importantes dégradations par effets d'antenne liées à la non-uniformité du plasma. Nous avons recréé les mêmes conditions pour évaluer l'impact des caractéristiques des réacteurs sur le niveau des dégradations. Le plasma est généré à l'aide d'un réacteur à couplage capacitif, et les structures d'antenne utilisées sont des composants nMOS et pMOS de la technologie 14FDSOI avec un oxyde de grille high-k (HfO_2/SiON) d'une épaisseur de 4.2nm munies d'antennes identiques connectées aux nœuds grille et source/drain avec un rapport d'antenne AR=13000. La Figure

IV.19 illustre que le passage à une nouvelle génération de réacteur permet de réduire les dégradations par non-uniformité du plasma.

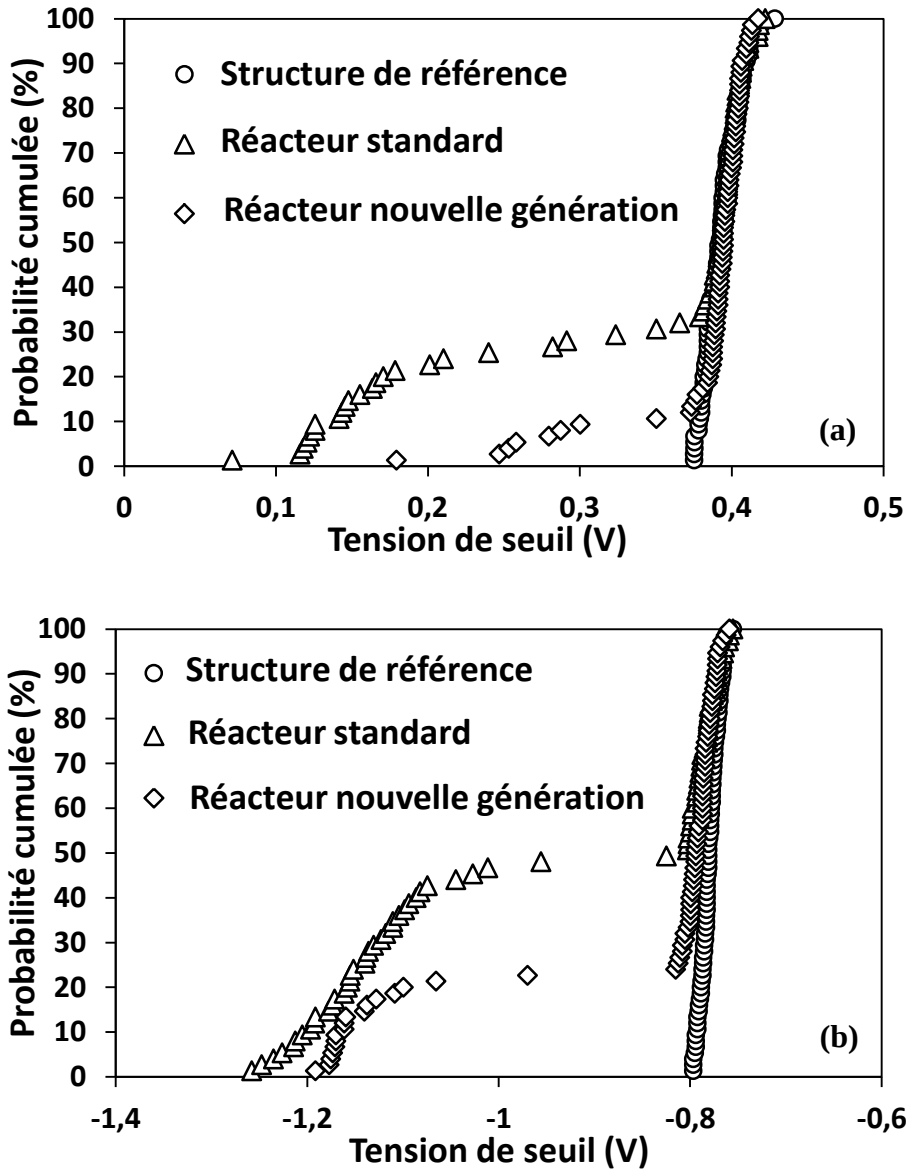


Figure IV-19: Evolution de la tension de seuil des structures d'antenne comparées à une structure de référence, pour différentes générations de réacteur plasma. La Figure (a) illustre la tension de seuil des structures nMOS et la Figure (b) celle des structures pMOS.

Ce réacteur de nouvelle génération a un principe de fonctionnement identique à celui de la génération précédente, le plasma est généré par couplage capacitif. Cela dit, de nombreuses améliorations qui interviennent sur la création et l'uniformité du plasma ont été apportées par le constructeur comme illustré dans la Figure IV.20. La modification la plus

significative est l'utilisation d'une double source d'injection (bord – centre) pour les gaz. Cela permet de mieux contrôler le flux, mais aussi la composition des gaz entre bord et centre, et d'optimiser par conséquent l'uniformité du plasma à travers la surface du substrat. Des améliorations au niveau wafer ont été aussi apportées. L'uniformité est mieux contrôlée en jouant sur la température entre centre et bord du wafer (2 zones contrôlées séparément). Cela n'agit pas sur le plasma, mais sur l'interaction plasma-surface, et permet de compenser la non-uniformité sur wafer.

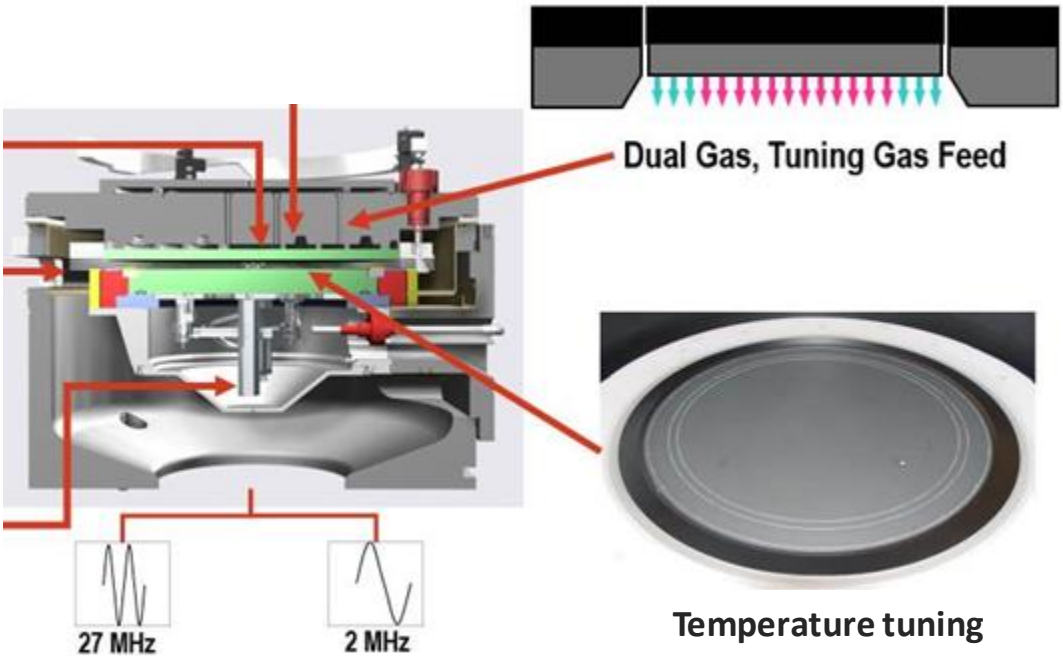


Figure IV-20: Principales améliorations d'un réacteur de nouvelle génération.

Outre les réacteurs, il est également possible d'agir sur les paramètres électriques du plasma, notamment, la température électronique pour réduire les dégradations dues à la non-uniformité des procédés. Nous avons vu précédemment que c'est un moyen pour réduire les dégradations par effets d'antenne d'origines topographiques. En réalité la réduction de la température électronique du plasma est un moyen général de réduire la tension d'antenne flottante à la surface des antennes. En effet, la relation de Boltzmann (équation IV.7) indique une dépendance linéaire des variations du potentiel plasma avec la température électronique. Cela se traduit aussi sur les tensions flottantes des antennes. Nous avons effectué des simulations à l'aide du circuit-modèle afin d'évaluer l'impact de la température électronique du plasma sur le niveau de dégradation des structures. La Figure IV.21 illustre l'évolution du niveau de contrainte aux bornes de l'oxyde de grille en fonction de la température

électronique, évaluée pour une structure de test où nous avons créé un important déséquilibre en courant entre les nœuds du transistor en connectant uniquement des antennes à la source et au drain. Malgré le déséquilibre en courant défini par l'architecture de la structure de test, nous constatons une diminution du niveau de contrainte lorsque la température électronique diminue.

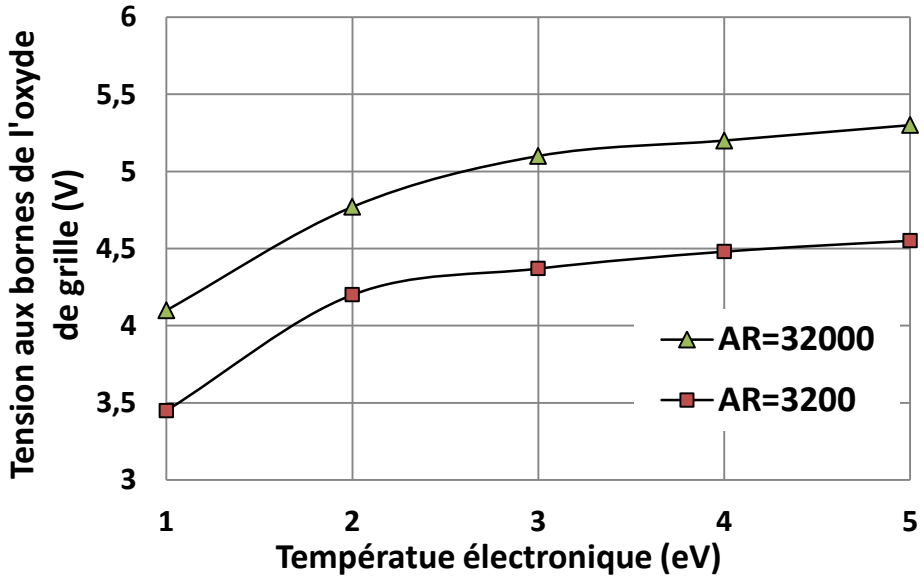


Figure IV-21: Evolution de la contrainte électrique aux bornes de l'oxyde de grille d'une structure d'antenne en fonction de la température électronique du plasma. La structure considérée est un transistor FDSOI avec un oxyde de grille d'une épaisseur de 4.5nm, munie d'antennes connectées aux nœuds source et drain.

En pratique, la réduction de la température électronique s'obtient par l'augmentation de la pression du plasma [Downey99]. En effet, la température électronique correspond grossièrement à l'énergie moyenne des électrons, et l'augmentation de la pression provoque une diminution de l'énergie cinétique acquise par les électrons entre deux collisions. Une modélisation de cet effet peut être trouvée dans [LIEB03].

Afin de vérifier cette solution de façon expérimentale nous avons implémenté dans le réacteur à couplage capacitif standard utilisé précédemment, une recette de gravure haute pression. La Figure IV.22 montre qu'une augmentation de la pression du plasma permet réellement de réduire les dégradations par non-uniformité du plasma.

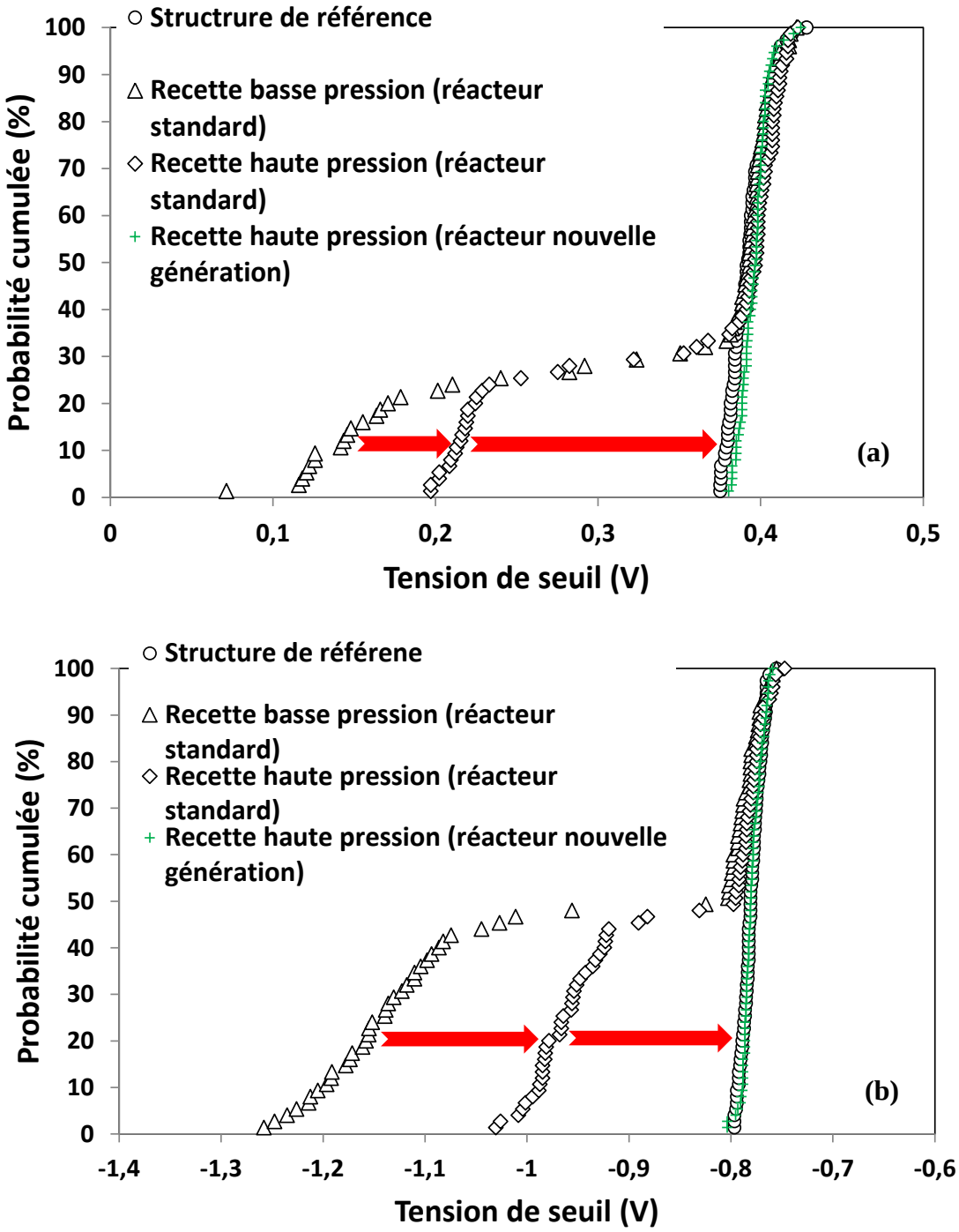


Figure IV-22: Evolution de la tension de seuil des structures d'antenne nMOS (a) et pMOS (b) en fonction des différentes recettes de gravure : basse et haute pression avec un réacteur standard ainsi qu'un réacteur de nouvelle génération.

Les deux techniques présentées précédemment, à savoir l'utilisation de réacteur nouvelle génération et l'augmentation de la pression du plasma (réduction de la température électronique) permettent de réduire les dégradations par non-uniformité du plasma.

Cependant, cela reste insuffisant comme le montrent les distributions de tensions de seuil des structures de test illustrées dans les Figures IV.19 et IV.22. Nous avons par conséquent opté pour un procédé de gravure qui intègre les deux solutions, cela en implémentant une recette haute pression dans un réacteur de nouvelle génération. Après exposition au plasma, on ne constate aucune dérive de la tension de seuil des structures de test par rapport à la structure de référence (voir Figure IV.22). Cette solution permet d'éliminer complétement les dégradations par non-uniformité du plasma.

Nous avons par ailleurs caractérisé les deux procédés de gravure : recette basse pression utilisant un réacteur standard et la recette haute pression implémentée dans un réacteur nouvelle génération, à l'aide de la technique des plaques flash (voir partie II.B.1.2 du chapitre 2). Les variations des tensions de stress durant l'exposition aux procédés plasmas sont données par la Figure IV.23. La non-uniformité du plasma est bien la source des dégradations. En effet, on constate une variation importante de la tension de stress de l'ordre de 25% en centre de plaque avec le procédé de gravure standard, à l'inverse du procédé haute pression implémenté dans le réacteur de nouvelle génération où le degré de non-uniformité est nettement plus réduit.

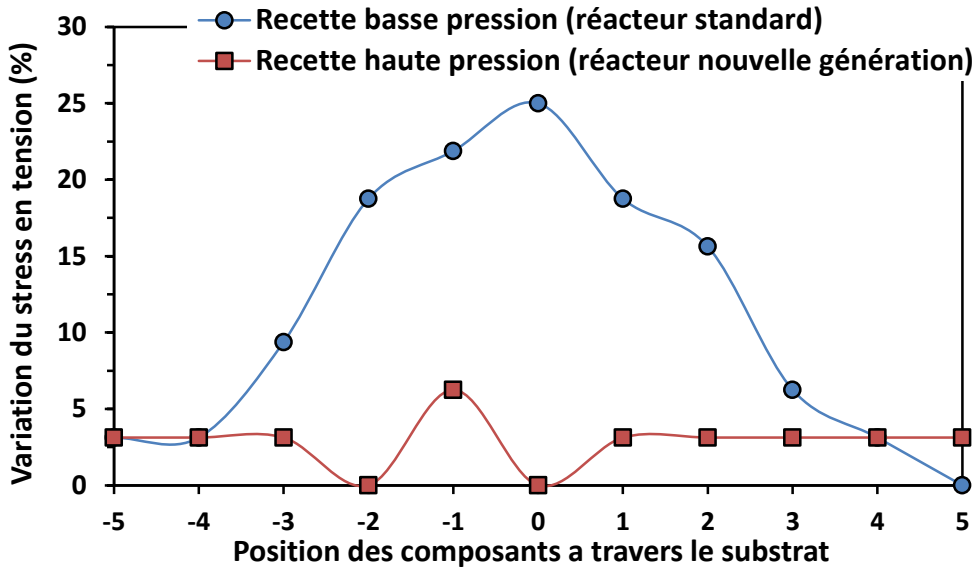


Figure IV-23: Profil des variations des tensions de stress par exposition au plasma à travers la surface du substrat, évaluées à l'aide de la technique des plaques flash.

IV.B.2 Optimisation des règles de dessin pour la conception des circuits :

Lorsqu'il n'est plus possible de réduire les dégradations par effets d'antenne par l'optimisation des procédés plasma, il est encore possible de réduire l'intensité du courant reçu par les antennes en fixant des règles de dessin pour la conception des circuits électroniques de façon à éviter des cas critiques.

Pour commencer, il est possible de réduire le rapport d'antenne des surfaces exposées. Cela est le moyen le plus efficace pour réduire l'intensité du courant reçu par les antennes et donc d'atténuer le niveau de la contrainte électrique vue par les composants durant l'exposition aux procédés plasma. Ainsi, on peut fixer un rapport d'antenne maximal lors de la conception d'un circuit, dont la valeur seuil est déterminée grâce à l'analyse des dégradations mesurées sur les structures de test. La valeur seuil des dégradations est basée sur des considérations de fiabilité et de performance des composants.

Sachant que le niveau de contrainte durant l'exposition au plasma est défini par les tensions d'antenne au niveau des nœuds grille et source/drain, on fixe des rapports d'antenne maximaux coté grille et coté canal (source et drain) comme suit :

$$AR_{grille} = \frac{surface\ de\ l'antenne\ connectée\ au\ noeud\ grille}{surface\ de\ l'oxyde\ de\ grille}$$

$$AR_{canal} = \frac{surface\ des\ antennes\ connectées\ aux\ noeuds\ source\ et\ drain}{surface\ de\ l'oxyde\ de\ grille}$$

La Figure IV.24 illustre l'évolution des taux de dégradation de structures d'antenne nMOS et pMOS en technologie 28nm FDSOI après les étapes plasma, en fonction du rapport entre les rapports d'antenne côté grille et côté canal. On constate que le niveau de dégradation est indépendant de l'importance du rapport d'antenne, mais il est dicté directement par le niveau de dissymétrie entre les antennes grille et source/drain. Ainsi, afin d'éviter des déséquilibres en courant entre les nœuds du transistor, et par conséquent des dégradations par effets d'antenne, il est aussi indispensable de définir une règle supplémentaire qui fixe un

ratio maximal entre les rapports d'antenne cote grille et canal comme suit : $\boldsymbol{AR_{grille/canal} < \Delta AR_{Max}}$ de façon à limiter les injections de courant grille → source/drain et inversement à travers l'oxyde de grille durant l'exposition au plasma.

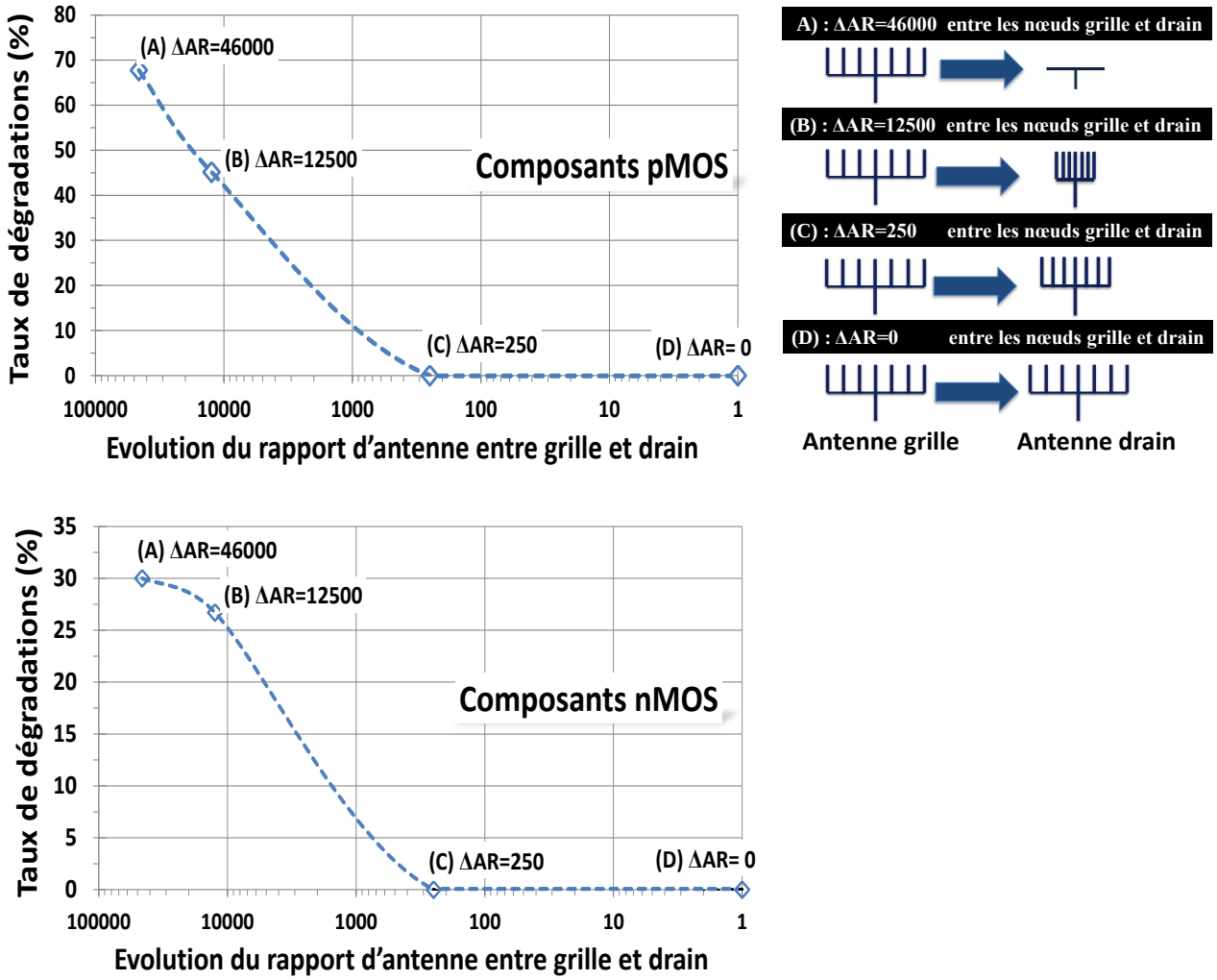


Figure IV-24: Evolution du niveau de dégradation en fonction du rapport entre les rapports d'antenne coté grille et canal.

La vérification des règles de dessin lors de la conception des circuits se fait ensuite de façon automatique. En effet, un logiciel calcule le rapport d'antenne au niveau de tous les nœuds des composants du circuit et intègre automatiquement des diodes de protection lorsque les règles définies précédemment ne sont pas respectées.

Cette solution est efficace pour éviter des dégradations par effets d'antenne. Cela dit, elle présente aussi des inconvénients, notamment la perte en densité lors de la conception des circuits. En effet, l'utilisation de diodes de protection nécessite une surface importante.

Pour pallier cette problématique de perte en densité liée à l'utilisation de diodes tout en préservant les composants contre les dégradations par effets d'antenne, nous avons optimisé le mode de calcul du rapport d'antenne de façon à gagner sur la valeur maximale :

I) – En adaptant la méthode de calcul du rapport d'antenne maximal à un **bloc de composants** qui partagent une grille ou un canal (source/drain commun) comme représenté dans la Figure IV.25. En Effet, un circuit électronique est composé de plusieurs composants connectés ensemble, en cascade par exemple. Cette notion de bloc permet une évaluation optimale de la répartition de la contrainte durant l'exposition au plasma entre les différents composants d'un circuit. Ainsi, dans le calcul du rapport d'antenne, il ne faut plus considérer la surface du composant, mais la surface du bloc commun connecté à une antenne comme suit :

$$AR_{grille} = \frac{surface\ de\ l'antenne\ connectée\ au\ noeud\ grille}{surface\ du\ bloc_{grille}\ connecté\ a\ l'antenne}$$

$$AR_{canal} = \frac{surface\ des\ antennes\ connectées\ aux\ noeuds\ source\ et\ drain}{surface\ du\ bloc_{source,drain}\ connecté\ a\ l'antenne}$$

Cela permet dans le cas des composants B et C (voir Figure IV.25) avec des nœuds communs de gagner sur la valeur du rapport d'antenne maximal, et d'éviter l'utilisation de diodes de protection non justifiées, ce qui se traduit par un gain en densité lors de la conception des circuits tout en garantissant la fiabilité des composants. L'emploi de cette nouvelle définition est donc plus intéressant.

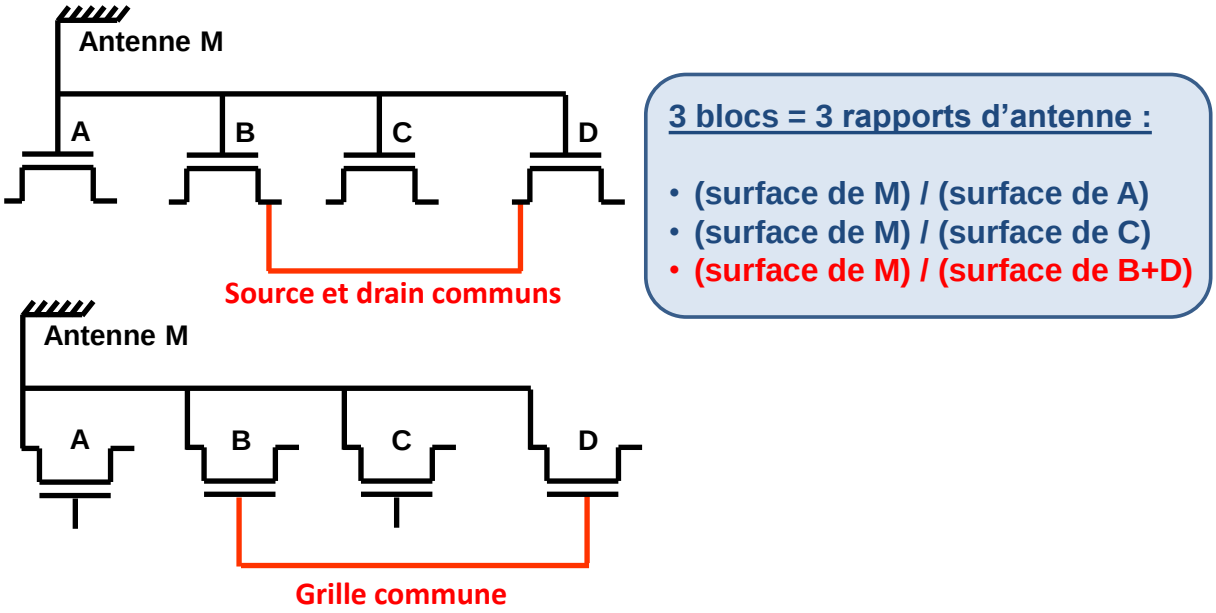


Figure IV-25: Intégration de la notion de bloc de composants dans la méthode de calcul du rapport d'antenne maximal.

II) – En intégrant directement l'efficacité des diodes de protection dans le calcul du rapport d'antenne. Cela permet d'évaluer la surface de diode optimale pour chaque surface d'antenne exposée, lorsque les règles définies précédemment ne sont pas respectées.

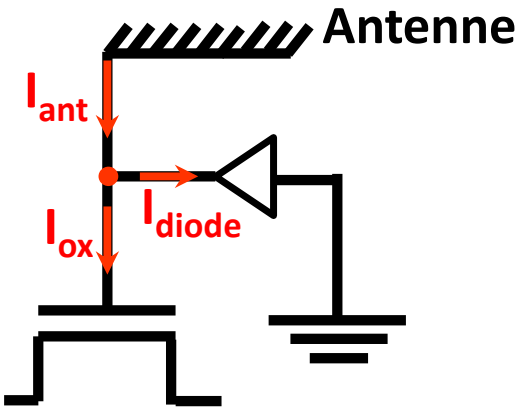


Figure IV-26: Optimisation du mode de calcul des surfaces de diode de protection

Considérant le cas représenté dans la Figure IV.26 où une partie du courant d'antenne est collectée par la grille du composant tandis que l'autre partie est évacuée à travers la diode de protection. Le courant de l'antenne s'écrit comme suit :

$$S_{ant} * J_{ant} = AR * (S_{ox} * J_{ox} + S_{diode} * J_{diode}) \qquad équation\ IV.10$$

Avec : S_{ant} et J_{ant} la surface et la densité du courant de l'antenne respectivement, S_{ox} et J_{ox} la surface et la densité du courant de l'oxyde de grille, S_{diode} et J_{diode} la surface et la densité du courant de la diode.

Dans le cas d'une structure non protégée, le rapport d'antenne défini par le rapport entre la surface de l'antenne exposée et la surface du composant est proportionnel au rapport entre le courant de l'antenne et le courant reçu par le composant, et s'écrit ainsi:

$$AR = \frac{S_{ant}}{S_{ox}} \quad \alpha \quad \frac{J_{ant}}{J_{ox}} \qquad équation\ IV.11$$

En remplaçant AR, l'équation IV.10 s'écrit comme suit :

$$\frac{S_{ant}}{S_{ox} + \frac{J_{diode}}{J_{ox}} S_{diode}} = 1 \qquad équation\ IV.12$$

Avec : $\frac{J_{diode}}{J_{ox}}$ l'efficacité de la diode, qui peut être obtenue par une caractérisation du comportement courant-tension de la diode et du composant.

L'équation IV.12 permet d'évaluer le rapport d'antenne vu par un composant, en tenant compte de la surface ainsi que de l'efficacité de la diode lorsque ce dernier est protégé. Ainsi, on peut ajuster la surface de la diode selon le rapport d'antenne maximal défini. Dans le cas de l'équation IV.12, le rapport d'antenne est de 1. Cela signifie que toutes les charges collectées par l'antenne sont évacuées à travers la diode de protection. Cependant, nous pouvons réduire la surface de la diode et autoriser un rapport d'antenne bien défini de façon à garantir un bon compromis entre protection contre les effets d'antenne et gain en densité lors de la conception des circuits.

Au final, ces deux techniques (évaluation de la surface de diode et définition de notion de bloc de composants), nous permettent d'imposer des règles de dessin de façon à réduire les dégradations par effets d'antenne, sans générer de contraintes lors de la conception des circuits.

Conclusion du chapitre 4

Dans la première partie de ce chapitre nous avons proposé un modèle basé sur un simulateur de circuit ELDO® permettant de modéliser le comportement des dégradations par effets d'antenne dans les technologies FDSOI. Il reproduit l'interaction plasma-antenne suivant un schéma électrique constitué de sources de courant et de tension qui reproduisent le comportement des différents éléments mis en jeux durant les étapes plasma, à savoir, le plasma lui-même, les antennes et le composant. Nous avons constaté que le modèle permet de reproduire les déséquilibres en courant entre les nœuds des structures d'antenne à l'origine des dégradations et tient compte des caractéristiques de l'oxyde de grille des composants ainsi que des paramètres de chaque procédé plasma. En se basant sur des résultats expérimentaux nous avons pu vérifier les prédictions du circuit modèle, lequel nous avons par la suite utilisé dans le but d'investiguer l'impact des différents paramètres plasma ainsi que des caractéristiques des antennes sur le niveau des dégradations par effets d'antenne.

Si l'uniformité du plasma est principalement liée à la conception même des réacteurs, les simulations du circuit-modèle montrent qu'elle peut être aussi améliorée en réduisant la température électronique. Par ailleurs, il s'avère aussi que c'est un bon moyen pour réduire les tensions d'antenne flottantes au niveau des antennes de manière générale.

Pour ce qui est des dégradations par effets topographique, elles peuvent être atténuées en jouant sur le relief des antennes de façon à compenser le phénomène d'ombrage électronique à l'origine du déséquilibre en courant. Cela dit, les simulations montrent aussi qu'à l'inverse des structures standard sur substrat massif, les dégradations induites par ce mécanisme en technologie FDSOI ne dépendent pas uniquement de la topographie des antennes mais elles sont aussi dictées par le déséquilibre entre les nœuds grille et source/drain du composant. Cela offre la possibilité d'utiliser des antennes de facteur de forme important sans provoquer de dégradation à condition de garantir un équilibre entre les nœuds du composant.

Outre l'optimisation des procédés plasma, il est également possible de réduire les effets d'antenne en fixant des règles de dessins pour éviter des cas critiques dès la conception des circuits. Cela consiste à limiter les valeurs maximales des rapports d'antenne, ainsi que les déséquilibres entre les nœuds du transistor de façon à réduire les injections de courant

grille → source/drain et inversement à travers l'oxyde de grille durant les étapes plasma. Cela peut être aussi fait en utilisant des diodes de protection. Afin d'éviter des contraintes, notamment la perte en densité, on peut aussi optimiser le mode de calcul du rapport d'antenne en l'adaptant à un bloc de composants ou en évaluant la surface optimale des diodes de protection de façon à garantir un bon compromis entre protection contre les effets d'antenne et règles de dessin.

Table des figures

Figure IV-1 : Représentation des différents éléments intervenant lors de l'interaction plasma antennes. 135

Figure IV-2 : Schéma électrique représentant les différents éléments (plasma, antennes et composant) mis en jeu durant une interaction plasma antenne. 138

Figure IV-3 : Représentation du flot de simulation du circuit-modèle. 139

Figure IV-4 : Structure de test, constituées de transistor de la technologie 28nm FDSOI avec différentes configurations d'antenne. 140

Figure IV-5 : Distributions cumulées des courants de fuite de grille des structures d'antenne 1, 2, 3 et 4 après étape plasma. 142

Figure IV-6 : Caractéristique courant-tension, mesurée et modélisée, d'un composant de référence nMOS et pMOS. 144

Figure IV-7 : Niveaux de contrainte simulés par le circuit-modèle pour les quatre configurations de structures d'antenne (voir Figure IV.4). 145

Figure IV-8 : Durée de vie des structures d'antenne (1) et (2) dans les conditions de contrainte évaluées par le circuit-modèle. 147

Figure IV-9 : Structures de test (a, b et c) avec différentes configurations d'antennes et de protection par diodes. 149

Figure IV.10 –a : Distributions normales cumulées de la tension de seuil des structures de test (a), (b) et (c) illustrées dans le Figure IV.9 avec une épaisseur d'oxyde de grille de 4.5nm et une surface de 0.5µm². 150

Figure IV.10 -b : Distributions normales cumulées de la tension de seuil des structures de test (a), (b) et (c) illustrées dans le Figure IV.9 avec une épaisseur d'oxyde de grille de 1.9nm et une surface de 0.3µm². 151

Figure IV-11 : Niveaux de contrainte électrique simulés pour les structures d'antenne (a), (b) et (c) nMOS et pMOS avec les deux épaisseurs d'oxyde de grille investiguées. 152

Figure IV-12 : Distribution normale cumulée de la dérive de la tension de seuil des composants nMOS et pMOS avec un oxyde de grille d'épaisseur de 4.5nm mesurée après stress électrique. 154

Figure IV-13 : Médiane de la dérive de la tension de seuil durant la contrainte électrique de l'ensemble des 70 composants nMOS et pMOS avec un oxyde de grille d'épaisseur de 1.9nm. 154

Figure IV.14 –a : Distribution normale cumulée de la tension de seuil modélisée et mesurée de la structure de test (b) en configuration nMOS et pMOS avec oxyde de grille épais. 155

Figure IV.14 –b : Distribution normale cumulée de la tension de seuil modélisée et mesurée de la structure de test (b) en configuration nMOS et pMOS avec oxyde de grille fin. 156

Figure IV-15 : Distribution normale cumulée de la tension de seuil modélisée et mesurée de la structure de test (c) en configuration nMOS et pMOS avec les deux épaisseurs d'oxyde de grille investiguées. 157

Figure IV-16 : Evolution du comportement courant-tension en fonction du rapport d'antenne, simulé pour des structures d'antenne en configuration (b) avec une épaisseur d'oxyde de grille T_{ox}=1.9nm et 4.5nm. 158

Figure IV-17 : Evolution de la contrainte électrique en fonction du rapport entre les facteurs d'ombrage électronique des antennes grille et source/drain, simulée à l'aide du circuit-modèle. α_e_grille=0.1 et α_e_source et drain varient de 1 à 0.1. La structure d'antenne considérée est un composant pMOS muni d'un oxyde de grille high-k de 2.3nm d'épaisseur avec des antennes connectées aux nœuds grille et source/drain de rapport d'antenne via AR_{via}=100. 161

Figure IV-18 : Evolution du flux ionique en fonction de l'espace entre les parois d'un motif gravé pour différentes température électronique [Hwang96]. On constate une augmentation de l'ombrage ionique au fond du motif gravé lorsque la température électrique diminue. ... 162

Figure IV-19 : Evolution de la tension de seuil des structures d'antenne comparées à une structure de référence, pour différentes générations de réacteur plasma. La Figure (a) illustre la tension de seuil des structures nMOS et la Figure (b) celle des structures pMOS..... 163

Figure IV-20 : Principales améliorations d'un réacteur de nouvelle génération. 164

Figure IV-21 : Evolution de la contrainte électrique aux bornes de l'oxyde de grille d'une structure d'antenne en fonction de la température électronique du plasma. La structure considérée est un transistor FDSOI avec un oxyde de grille d'une épaisseur de 4.5nm, munie d'antennes connectées aux nœuds source et drain. 165

Figure IV-22 : Evolution de la tension de seuil des structures d'antenne nMOS (a) et pMOS (b) en fonction des différentes recettes de gravure : basse et haute pression avec un réacteur standard ainsi qu'un réacteur de nouvelle génération. 166

Figure IV-23 : Profil des variations des tensions de stress par exposition au plasma à travers la surface du substrat, évaluées à l'aide de la technique des plaques flash. 167

Figure IV-24 : Evolution du niveau de dégradation en fonction du rapport entre les rapports d'antenne coté grille et canal. 169

Figure IV-25 : Intégration de la notion de bloc de composants dans la méthode de calcul du rapport d'antenne maximal. 171

Figure IV-26 : Optimisation du mode de calcul des surfaces de diode de protection..... 171

Table des références

[Carrere00] **J.P. Carrere « Etude des effets d'antenne intervenant lors des procédés plasma, et des dégradations induites sur les composants CMOS de technologie 0,25 et 0,18 µm », Thèse de doctorat, Institut National des Sciences Appliquées de Toulouse, 2000.**

[Dennard74] **R.H.Dennard, F. H. Gaensslen, H.-N. Yu, V.L. Rideout, E. Bassous et A. R. LeBlanc "Design of ion-implanted mosfet's with very small physical dimensions." IEEE Journal of Solid-State Circuits, sc-9(5):256 – 268, 1974.**

[Eriguchi11] **Koji Eriguchi, Yoshinori Takao, and Kouichi Ono « A New Prediction Model for Effects of Plasma-Induced Damage on Parameter Variations in Advanced LSIs » IEEE International Conference on IC Design & Technology, 2011, p:1-4.**

[FRIE97] **J.B. Friedmann, J. L. Shohet, R. Mau, N. Hershkowitz, S. Bisgaard, S. Ma, J.P. Mc Vittie, « Plasma-parameter dependence of thin-oxide damage from wafer charging during Electron-Cyclotron Resonance plasma processing » IEEE Trans. on Semiconductor Manufacturing, vol. 10, n°1, Feb. 1997, p. 154.**

[Hwang96] **Gyeong S. Hwang and Konstantinos P. Giapis, "The influence of electron temperature on pattern-dependent charging during etching in high-density plasmas", journal of applied physics, 81 (8), 1997**

[LIEB03] **M. A. Liebrman "A mini-course on the principles of plasma discharges",2003. http://people.physics.anu.edu.au/~jnh112/AIIM/c17/Plasma_discharge fundamentals.pdf**

[Vahedi97] **V. Vahedi, N. Benjamin, A. Perry, « Topographic Dependence of plasma charging induced device damage » Proc. of 2nd Int. Symp. On Plasma Process-Induced Damage, May 1997, p. 41.**

CONCLUSION GENERALE

Depuis l'industrialisation du premier microprocesseur par Intel en 1971, l'industrie de la microélectronique s'est fixé comme objectif de suivre la cadence dictée par la loi de Gordon Moore. Ceci implique une réduction de la densité d'intégration d'un facteur deux entre chaque nœud technologique de l'élément central des circuits intégrés : le transistor MOSFET. Cela permet de réduire la surface d'une puce, ou d'accroitre sa puissance de calcul en conservant une surface identique. En effet, la miniaturisation des transistors MOSFET se traduit par un gain en performance et une réduction de la consommation [Dennard74]. Jusqu'au nœud 28nm ce gain se traduisait par une réduction des dimensions du transistor standard sur substrat massif. Cela dit, cette réduction de la longueur du canal s'est aussi accompagnée par l'apparition de phénomènes parasites (effets canaux courts), qui ont pris de l'importance au fil des générations. Cela a conduit les industriels tels que STMicroelectronics à introduire de nouvelles architectures : plateforme CMOS du nœud 28nm utilisant le transistor FDSOI [Planes12]. Cette nouvelle technologie de transistor offre de très bonnes performances et un meilleur contrôle électrostatique. Cela dit, les étapes plasma, nécessaires à la réalisation des interconnexions nuisent au bon fonctionnement des composants, et provoquent la dégradation de l'oxyde de grille, ce qui peut se traduire par une perte des avantages offerts par cette nouvelle technologie. L'étude de l'impact des procédés plasma sur les caractéristiques électriques et la fiabilité des transistors FDSOI est donc essentielle, d'autant plus que très peu d'études traitent ce sujet.

Cela a été l'objectif principal de cette thèse, où nous avons mené une investigation sur le comportement et l'impact des dégradations par effets d'antenne dans les composants FDSOI, issues des technologies 28nmFDSOI et en deçà.

Nous avons commencé dans le premier chapitre, par une présentation des plasmas dits « froids » utilisés en microélectronique ainsi que par une introduction à la technologie FDSOI. Apres une revue des différents régimes de fonctionnement d'un transistor, nous nous sommes consacrés à la fiabilité de l'oxyde de grille, principal élément impacté par les dégradations par effets d'antenne. Cela nous a donc mené à voir les différents mécanismes de dégradation de ce dernier, puis la façon dont ces dégradations se manifestent, à savoir par une

dérive de la tension de seuil, une augmentation de la fuite de grille ou dans le pire des cas par un claquage de la capacité MOS. Cette compréhension est nécessaire pour mieux appréhender l'impact des dégradations par effets d'antenne sur la réponse électrique des composants.

En se basant sur cette compréhension, ainsi que sur l'étude du comportement des principaux mécanismes de dégradation par effets d'antenne dans les technologies standard, nous avons dans le second chapitre, mis au point un protocole expérimental spécifique, pour caractériser ce phénomène dans les technologies FDSOI. Ce protocole s'appuie d'une part sur des structures avec différentes configurations d'antenne pour mettre en évidence le comportement des mécanismes de dégradation par effets d'antenne en FDSOI, puis d'autre part, sur des techniques pour évaluer l'impact de ces dégradations sur les performances et la fiabilité des composants. En effet, dans les technologies standards, le niveau des dégradations est lié uniquement au rapport d'antenne au niveau de la grille, tandis qu'il est directement dicté par le déséquilibre en courant entre les nœuds du transistor dans les technologies FDSOI.

Le troisième chapitre est consacré à l'étude de l'interaction plasma-antenne en FDSOI. Nous avons mis en évidence un mode d'écoulement des charges durant les étapes plasmas, spécifique à cette nouvelle technologie. Il apparait que les dégradations par effets d'antenne en FDSOI sont dues à des injections de courant grille → source/drain ou inversement, dont le sens est défini par les potentiels acquis par les antennes.

Ces injections de courant ont pour conséquences la dégradation de l'oxyde de grille des composants, qui mène à la génération de défauts dans l'oxyde, révélés par les mesures de tension de claquage, mais aussi à la génération d'états d'interface et de piégeage de charges dans l'oxyde, révélés cette fois par les dérives de tension de seuil après les étapes plasmas. Ces deux techniques de caractérisation sont complémentaires, et permettent une lecture complète des défauts dans l'oxyde. Par ailleurs, nous avons aussi pu démontrer que le type des charges (trous ou électrons) piégées dans l'oxyde est directement défini par le sens des injections, indépendamment du type du transistor (nMOS ou pMOS).

Cette phase nous a permis d'établir un premier schéma du comportement de l'interaction plasma-antenne dans les technologies FDSOI. Les dégradations sont directement liées aux déséquilibres en courant entre les nœuds grille et source/drain du transistor, qui se traduisent par des injections de courant à travers l'oxyde de grille. Par ailleurs, cette

compréhension soulève aussi un autre point important, et qui concerne la stratégie de protection par diodes. En effet, dans les technologies standards sur substrat massif, les composants sont protégés directement en connectant une diode de protection entre la grille et la prise substrat. Cette configuration peut être critique en FDSOI, et peut générer des déséquilibres en courant entre les nœuds du transistor durant les étapes plasma, et donc des dégradations par effets d'antenne. Nous avons par conséquent mis au point une nouvelle stratégie de protection par diode, spécifique au FDSOI, où les nœuds grille et source/drain sont protégés simultanément de façon à éliminer l'impact des déséquilibres en courant entre les nœuds du transistor.

La suite du chapitre a été consacrée à l'étude du comportement des principaux mécanismes de dégradations par effets d'antenne dans les technologies FDSOI. Le premier mécanisme est la non-uniformité du plasma. Les dégradations induites par ce dernier sont à l'origine de variations locales du potentiel plasma à la surface des antennes grille et source/drain, à l'inverse des technologies standards, où les dégradations sont dues aux variations plasma à travers la surface du substrat. Cela a pu être démontré grâce à notre nouvelle technique de caractérisation par structure d'antenne. En effet, le niveau des dégradations est principalement dicté par l'intensité du champ électrique entre les nœuds du transistor, définie par la distance entre les antennes grille et source/drain. Cela implique aussi que le mécanisme de dégradation de l'oxyde de grille est complètement différent. Ce dernier est comparable à un stress de type porteurs chauds, à l'inverse des composants standards, où le champ électrique est appliqué entre la grille et le substrat, équivalent à un stress de type BTI.

Le deuxième mécanisme de dégradation, à savoir les effets topographiques, présente aussi un comportement différent selon la technologie étudiée. Ces dégradations apparaissent principalement lors des étapes de gravure, et notamment la gravure des vias. Dans les technologies standards, le niveau des dégradations est directement dicté par la tension d'antenne au fond du motif gravé, laquelle est définie par le facteur de forme de ce dernier. En FDSOI, les dégradations par topographie d'antenne sont induites par un déséquilibre entre le flux d'ions et d'électrons arrivant sur la surface des antennes grille et source/drain. Cela implique aussi que les transistors FDSOI sont plus robustes face à ce mécanisme. En effet, on peut autoriser des antennes avec des facteurs de formes importants, sans induire de

dégradations à condition de garantir un équilibre entre les nœuds du transistor en utilisant des antennes de topographie similaire.

Enfin, nous avons proposé un modèle basé sur un simulateur de circuit ELDO®, qui permet de reproduire le comportement des dégradations par effets d'antenne en technologie FDSOI. Ce dernier tient compte des différentes caractéristiques des structures d'antenne, mais aussi des paramètres électriques du plasma. Toutes les prédictions du modèle ont été vérifiées par des résultats expérimentaux. Cela nous a permis par la suite d'évaluer par simulation l'impact des paramètres plasma sur les tensions d'antenne, et de proposer ainsi des solutions pour les atténuer: réduction de la température électronique par exemple. Lorsque cela reste insuffisant, il est également possible de protéger les dispositifs MOS dès leur conception par l'utilisation de règles de dessins afin d'éviter des configurations critiques.

Les effets d'antenne sont des phénomènes complexes qui nécessitent une connaissance des procédés plasmas mais aussi des mécanismes de dégradation de l'oxyde de grille. Afin d'appréhender leur comportement dans les technologies FDSOI, nous avons été amenés à définir de nouvelles architectures de structures d'antenne spécifiques à chaque mécanisme de dégradation. Cette étude montre que ces mécanismes se comportent différemment en FDSOI. Cela dit, l'intensité de la contrainte électrique durant les étapes plasma est régie de manière générale par le déséquilibre en courant entre les nœuds grille et source/drain du transistor, cela indépendamment du mécanisme à l'origine des dégradations : nonuniformité du plasma ou effets topographiques. Ceci induit aussi la génération de nouveaux chemins de courant à travers l'oxyde de grille. En effet, il se crée un champ électrique entre la grille et source/drain durant l'exposition au plasma, équivalent à une contrainte électrique de type porteurs chauds, en plus de la configuration classique : stress BTI entre grille et prise substrat. La compréhension de ces mécanismes de dégradation est essentielle, car ils peuvent avoir un impact différent sur l'intensité des dégradations selon les conditions de chaque procédé plasma, et notamment avec la température.

Publications et conférences

- **M. Akbal**, G. Ribes, T.Poiroux, J-P. Carrere, L. Vallier "New circuit model for investigating plasma damage in FDSOI devices" IEEE international Reliability Physics symposium, 2014.
- **M. Akbal**, G. Ribes, W. Arfaoui, L. Vallier "Plasma process inducing gate oxide breakdown in the FDSOI technology" IEEE international Integrated Reliability Workshop, 2014.
- **M. Akbal**, G. Ribes, L. Vallier "New insight in plasma charging impact on gate oxide breakdown in FDSOI technology" IEEE international Reliability Physics symposium, 2015.
- **M. Akbal**, G. Ribes, M. Guillermet L. Vallier "Plasma Induced Damage Investigation in the Fully Depleted SOI Technology" IEEE international Conference on IC Design & Technology, 2015.
- G. Hiblot, J. Lacord, **M. Akbal**, Q. Rafhay, F. Boeuf, G. Ghibaudo "Compact model of short-channel effects for FDSOI devices including the influence of back-bias and fringing fields for Si and III–V technology" Solid-State Electronics, 2015.
- Gaspard Hiblot, Tapas Dutta, Quentin Rafhay, Joris Lacord, **Madjid Akbal**, Frédéric Boeuf, Gérard Ghibaudo "Accurate Boundary Condition for Short-Channel Effect Compact Modeling in MOS Devices" IEEE Transactions on Electron Devices, 2015.

TITRE : EFFETS D'ANTENNE SUR TRANSISTORS FDSOI A FILM ULTRA MINCE ISSUS DE TECHNOLOGIES 28NM ET EN DEÇA

Résumé : Depuis ses débuts, l'industrie de la microélectronique s'est fixé comme objectif d'augmenter les performances et la densité des circuits, en suivant la loi de Moore. Ainsi, depuis la commercialisation du premier circuit en 1971, les industriels se sont atteler à miniaturiser les transistors, ce qui améliore automatiquement leurs performances. Cela dit, à partir du nœud 28nm, l'électrostatique est devenue très difficile à contrôler, et de nouvelles architectures de transistor, tel que le FDSOI est proposée par STMicroelectronics pour remédier à cette problématique. Les dégradations par effets d'antenne, qui apparaissent lors des procédés plasma, provoque la dégradation de l'oxyde de grille des composants, et peuvent ainsi induire la perte des avantages offerts par cette nouvelle technologie. Dans ce contexte, l'évaluation de l'impact de ce phénomène sur le comportement électrique des transistors en technologie FDSOI est un facteur clé. Cela représente l'objectif principal de cette thèse. Tout d'abord, un protocole expérimental a été défini, basé sur des techniques de caractérisation des procédés plasma (structures d'antenne), et sur la caractérisation de la dégradation de l'oxyde de grille. Ensuite, un nouveau mode d'écoulement des charges durant les étapes plasma, spécifique à cette nouvelle technologie est proposé. Le comportement des principaux mécanismes de dégradation par effet d'antenne est aussi investigué. Le premier, est lié à la nonuniformité locale du plasma entre les nœuds du transistor, qui induit des dégradations de type porteurs chauds. Le second, est lié à la topographie des antennes, qui cause des effets d'ombrage électronique, et donc des déséquilibres en courant entre les nœuds du transistor. Enfin, un modèle basé sur un simulateur de circuit ELDO®, et qui permet de reproduire le comportement de ce phénomène dans la technologie FDSOI est proposé. Ce dernier tient compte des caractéristiques des structures d'antenne ainsi que des paramètres plasma. Diverses solutions sont par la suite proposées pour réduire les tensions d'antenne, basées notamment sur des simulations modèles pour optimiser les paramètres des procédés plasma. Des solutions de prévention dès la conception des circuits sont aussi proposées.

Mots clés : effets d'antenne, procédé plasma, transistor FDSOI, dégradation de l'oxyde de de grille.

TITLE: PLASMA CHARGING IN FDSOI ULTRA-THIN BODY FROM 28NM TECHNOLOGIES AND BELOW

Abstract : Since its beginning, the microelectronic industry is aiming to increase the circuits performance and density, following Moore's law. Hence, since the commercialization of the first circuit in 1971, the industry focuses on the transistor dimensions reduction, which improve the device performances. But, starting from the 28nm technological node, the electrostatic has become very difficult to control, and new device structure, such as the FDSOI, is proposed by STMicroelectronics to resolve this issue. The antenna effects, which occur during plasma processes, induce gate oxide damages, which can lead to the loss of those new technology benefits. In this context, the analysis of this phenomenon on the electrical behavior of FDSOI devices is a key factor. This is the main objective of this work. First, an experimental protocol is defined, based on plasma processes characterization technique (antenna structures), and gate oxide damage characterization. Then, a charging flow mode specific to this new technology is proposed. The mechanisms linked to the antenna damages are also investigated. The first mechanism is linked to the plasma local nonuniformity between the device nodes, which induces a stress mode similar to hot carrier injection. The second mechanism is related to the antenna topography, which generates electron shading effect, thus promoting an electrical imbalance between the device nodes. Finally, a model based on the simulator circuit ELDO ®, which allows reproducing the behavior of this phenomenon on the FDSOI technology is proposed. This model takes into account the antenna structure characteristics and the plasma parameters. Based on the model simulations, various solutions to reduce the antenna voltages are proposed. Prevention rules during the circuit design were also proposed and implemented.

Keywords : antenna effect, plasma process, FDSOI device, gate oxide damage.