



HAL
open science

Commande de composants grand gap dans un convertisseur de puissance synchrone sans diodes

Romain Grézaud

► **To cite this version:**

Romain Grézaud. Commande de composants grand gap dans un convertisseur de puissance synchrone sans diodes. Energie électrique. Université de Grenoble, 2014. Français. NNT : 2014GRENT107 . tel-01314136

HAL Id: tel-01314136

<https://theses.hal.science/tel-01314136>

Submitted on 10 May 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Génie Électrique**

Arrêté ministériel : 7 août 2006

Présentée par

Romain GRÉZAUD

Thèse dirigée par **Jean-Christophe Crébier** et
encadrée par **Nicolas Rouger** et **François Ayel**

préparée au sein du **Laboratoire CEA-LETI**
et du **Laboratoire de Génie Électrique de Grenoble (G2Elab)**

dans l'**École Doctorale Électronique, Électrotechnique,
Automatique et Traitement du Signal (EEATS)**

Commande de composants grand gap dans un convertisseur de puissance synchrone sans diodes

Thèse soutenue publiquement le **6 Novembre 2014**,
devant le jury composé de :

Pr. Bruno ALLARD

Professeur des Universités, Ampère

Rapporteur

Pr. Eric LABOURÉ

Professeur des Universités, LGEP

Rapporteur

Dr. Frédéric RICHARDEAU

Directeur de recherche, LAPLACE

Président

M. Larbi BENDANI

Ingénieur, Valeo

Examineur

Dr. Jean-Christophe CRÉBIER

Directeur de recherche, G2Elab

Directeur de Thèse

M. François AYEL

Ingénieur de recherche, CEA-LETI

Co-encadrant

Dr. Nicolas ROUGER

Chargé de recherche, G2Elab

Co-encadrant



À mes proches...

REMERCIEMENTS

« Se réunir est un début, rester ensemble est un progrès, travailler ensemble est la réussite »

Henry Ford

Je suis honoré d'avoir pu mener mes travaux de thèse au sein du laboratoire du CEA-Leti et du G2Elab où j'ai eu la chance de côtoyer de nombreuses personnes enrichissantes, accessibles et impliquées. Je souhaite par ces quelques mots exprimer toute ma gratitude à ces personnes qui ont su faire de ces années un moment agréable par leur présence, leurs conseils et leur soutien.

Je tiens tout d'abord à remercier Stéphanie Robinet, Cyril Condemine et James Roudet de m'avoir accueilli dans leur laboratoire, d'avoir rendu possible cette collaboration scientifique interdisciplinaire riche et d'avoir supporté/défendu nos thématiques de recherche.

Je souhaiterais remercier François Ayel pour son soutien tout au long de cette thèse. Ces travaux de recherche n'auraient en aucun cas pu aboutir aux mêmes résultats sans les nombreuses suggestions/contributions intelligentes et pertinentes dont il m'a fait part sans jamais chercher à les imposer. Je suis particulièrement enjoué et honoré d'avoir la chance de poursuivre ma carrière au côté d'une personne sympathique, généreuse, franche et intéressante.

Je remercie Nicolas Rouger pour son investissement sans faille à chaque étape de mes travaux. Merci pour le temps et le soin consacré à comprendre, suggérer et améliorer les différentes idées et axes de recherche que j'ai souhaité poursuivre. J'ai apprécié l'enthousiasme avec lequel il a cherché à faire avancer la science par des actions concrètes, efficaces, et ce malgré certaines embûches. J'espère sincèrement avoir l'occasion de retravailler ensemble.

Merci à Jean-Christophe Créber d'avoir dirigé mes travaux de thèse avec tant d'implication, en se rendant toujours disponible malgré ses nombreuses responsabilités. Ses connaissances étendues, son recul, sa curiosité et sa grande vivacité ont été autant d'apports bénéfiques à l'avancement et à l'orientation de mes recherches.

Je voudrais remercier Frédéric Richardeau pour avoir accepté d'être président de mon jury de soutenance. Je tiens aussi à remercier Bruno Allard et Eric Labouré, rapporteurs de ce manuscrit, pour leur étude détaillée et pertinente de mes travaux ainsi que pour leurs idées utiles à la poursuite de ces derniers. Merci à Larbi Bendani de la société Valeo pour avoir partagé avec nous sa vision industrielle intéressante et sa grande expérience des convertisseurs de puissance. Merci à vous tous, membres du jury pour votre participation active et pour tout l'intérêt que vous avez porté à ces travaux sur la commande de composants grand gap. Ce sera pour moi toujours un grand plaisir que de pouvoir avancer à vos côtés sur cette thématique sociétale forte qu'est la gestion d'énergie ou tout simplement de vous recroiser pour échanger quelques mots.

Je souhaite à présent remercier tous mes collègues et amis du CEA-Leti qui m'ont beaucoup apporté tant sur le plan professionnel que humain. Je pense en premier lieu aux anciens habitants de la légendaire salle multi-activités D430 surnommée salle café ou parfois salle thésard. Merci à Jean-Frédéric, Pierre et Florent pour tous les bons moments passés ensemble à discuter, débattre ou même travailler (fetch ?). Je souhaite que ceux-ci soient encore nombreux. Merci à Cyril pour son grand enthousiasme scientifique, sa fraîcheur et ses cours d'œnologie. Merci à Stéphanie pour toute sa bienveillance et son investissement personnel (parfois même immobilier) pour son équipe. Merci à Sylvain et son animal de compagnie, l'autruche, pour sa prévention redoutable contre les risques informatiques irrémédiablement liés à la marche bancale d'un manchot. Merci à Mathieu pour sa force, son courage ainsi que pour nos sorties ski de randonnée. Merci à Guillaume R. pour nos matchs enflammés de tennis de pro et Guillaume G. pour sa dévotion à prêter généreusement son espace de travail dès que la pause s'impose. Merci à Jérôme pour les magnifiques canyonings. Merci à François, Frédéric, Gaël et ses troupes pour les randonnées/épreuves de sélection naturelle. Merci à tous les collègues du LGECA pour leur disponibilité, leur sympathie et leur bonne humeur ; malgré la composante très pluridisciplinaire du laboratoire j'ai bon espoir de travailler à l'avenir avec chacun d'entre vous.

Je souhaiterais également remercier tous les doctorants et permanents du G2Elab. Merci entre autre à Gatien, Ekaitz, Johan, Mounir, Geneviève, Guillaume, Duc, Benoit pour l'excellent accueil qu'ils m'ont à chaque fois réservé, pour leur investissement, leur ouverture, leur sympathie et pour nos nombreux échanges riches et formateurs.

Un grand merci à tous mes enseignants et camarades GE de l'INSA de Lyon ainsi qu'à mes encadrants de stage, Jérôme Willemin et Bernard Darges. C'est principalement au travers de leurs enseignements, de nos échanges et de leurs généreux partages d'expérience que j'ai pu forger mes bases théoriques et pratiques en microélectronique, électronique de puissance et physique du composant : des prérequis qui se sont avérés indispensables à la poursuite de ces travaux de thèse.

Il me reste à remercier toute ma famille pour leur simplicité, leur compréhension et leur soutien. Je dois reconnaître la grande chance que j'ai eu d'avoir une famille qui a su éveiller et cultiver ma curiosité dès le plus jeune âge. Un grand merci aux « Thononais » avec qui je partage une amitié inébranlable et de nombreux instants fraternels inoubliables.

Mes derniers mots iront à mon amour Fanette. Les instants de bonheur dans ma vie sont indéniablement catalysés par ta douce présence à mes côtés. Merci pour toutes tes délicates intentions, tes rires, ton intelligence et ton amour...

TABLE DES MATIERES

REMERCIEMENTS	5
INTRODUCTION GENERALE.....	14
I. CHAPITRE I.....	16
LES COMPOSANTS GRAND GAP POUR LA CONVERSION D'ENERGIE.....	16
I.1 INTRODUCTION.....	17
I.2 LE CONVERTISSEUR DE PUISSANCE SYNCHRONE	17
I.2.1 Les convertisseurs d'énergie	17
I.2.2 Les interrupteurs de puissance	20
I.2.3 Le redressement synchrone.....	22
<i>I.2.3.1 Le hacheur abaisseur à un quadrant.....</i>	<i>22</i>
<i>I.2.3.2 La commutation synchrone transistor/transistor pour améliorer le rendement</i>	<i>24</i>
<i>I.2.3.3 Une commutation hybride synchrone/naturelle utilisée en pratique.....</i>	<i>27</i>
<i>I.2.3.4 Plusieurs diodes en antiparallèle des interrupteurs.....</i>	<i>30</i>
I.3 LES COMPOSANTS GRAND GAP.....	31
I.3.1 Des composants aux performances intrinsèques supérieures	31
I.3.2 Des composants sans diode parasite interne	34
<i>I.3.2.1 Le HEMT GaN.....</i>	<i>34</i>
<i>I.3.2.2 Le JFET SiC purement vertical.....</i>	<i>36</i>
<i>I.3.2.3 Des composants bidirectionnels en courant mais avec un mode de conduction</i>	<i>38</i>
<i>inverse particulier</i>	<i>38</i>
I.3.3 Des composants plus sensibles aux composants parasites	40
<i>I.3.3.1 Les composants parasites dans le convertisseur de puissance.....</i>	<i>40</i>
<i>I.3.3.2 Des risques plus importants de claquage en tension entre les électrodes de</i>	<i>41</i>
<i>puissance</i>	<i>41</i>
<i>I.3.3.3 Des risques importants de casse du composant et de remise en conduction</i>	<i>42</i>
<i>parasite</i>	<i>42</i>

I.4	LA COMMANDE DES INTERRUPTEURS DE PUISSANCE DANS UN CONVERTISSEUR SYNCHRONES	45
I.4.1	La commande d'un interrupteur à effet de champ	45
I.4.1.1	<i>Le circuit de commande de grille</i>	<i>45</i>
I.4.1.2	<i>La commande à la fermeture et à l'ouverture du transistor de puissance</i>	<i>47</i>
I.4.1.3	<i>Les pertes liées à la charge de grille</i>	<i>49</i>
I.4.2	La commande de l'interrupteur High-Side.....	50
I.4.2.1	<i>Transfert des signaux de commandes au High-Side.....</i>	<i>50</i>
I.4.2.2	<i>L'alimentation du circuit de commande High-Side.....</i>	<i>55</i>
I.4.3	Des circuits de commande intelligents pour protéger l'interrupteur	56
I.4.3.1	<i>Protection contre les courts-circuits et les sur-courants</i>	<i>56</i>
I.4.3.2	<i>Protection contre les sous-tensions du circuit de commande et les sur-températures.....</i>	<i>58</i>
I.4.3.3	<i>Les premiers circuits de commande adaptés aux composants grand gap.....</i>	<i>59</i>
I.5	VERS UN CONVERTISSEUR SYNCHRONES A BASE DE COMPOSANTS GRAND GAP SANS AUCUNE DIODE	62
I.5.1	La suppression de la diode antiparallèle	62
I.5.1.1	<i>La diode antiparallèle : un composant haute tension onéreux qui n'a plus raison d'être</i>	<i>62</i>
I.5.1.2	<i>La nouvelle cellule de commutation transistor/transistor sans diodes</i>	<i>65</i>
I.5.2	Des pertes supplémentaires durant les temps morts.....	67
I.5.2.1	<i>Etude théorique des pertes.....</i>	<i>67</i>
I.5.2.2	<i>Evaluation expérimentale des pertes dues aux temps morts.....</i>	<i>68</i>
I.5.3	Réduire les pertes durant les temps morts.....	72
I.5.3.1	<i>La diminution de la chute de tension durant les temps mort par un circuit de commande trois niveaux</i>	<i>72</i>
I.5.3.2	<i>Un temps mort très faible, difficile à garantir dans un convertisseur de puissance haute tension</i>	<i>74</i>
I.6	CONCLUSION.....	77

II. CHAPITRE II **78**

ADAPTATION DE LA COMMANDE AUX CARACTERISTIQUES DES COMPOSANTS GRAND GAP **78**

II.1	INTRODUCTION.....	80
II.2	LES PERFORMANCES DYNAMIQUES DES COMPOSANTS EN FONCTION DU POINT DE FONCTIONNEMENT.....	81
II.2.1	La méthode classique de caractérisation dite « double pulse » en environnement variable	81
II.2.1.1	<i>La méthode double pulse</i>	81
II.2.1.2	<i>Modélisation thermique d'un HEMT GaN</i>	83
II.2.1.3	<i>Influence de la méthode de caractérisation double pulse à différents points de caractérisation</i>	85
II.2.2	Une méthode spécifique de caractérisation en dynamique.....	87
II.2.2.1	<i>Un hacheur série fonctionnant en mode pulsé</i>	87
II.2.2.2	<i>L'impact de la méthode proposée sur les commutations du composant</i>	89
II.2.2.3	<i>La suppression des contraintes thermiques sur le composant à tester</i>	90
II.2.3	La dépendance des commutations d'un composant grand gap au point de fonctionnement	92
II.2.3.1	<i>Le circuit de caractérisation</i>	92
II.2.3.2	<i>L'évolution des commutations d'un JFET SiC en fonction du point de fonctionnement caractérisé par une méthode flexible et pratique</i>	93
II.3	LE CONTROLE DES FORMES DE COMMUTATIONS PAR ADAPTATION DE L'IMPEDANCE DE GRILLE.....	97
II.3.1	Les circuits passifs d'aide à la commutation.....	97
II.3.2	La modulation de la vitesse de commutation par le contrôle de l'impédance de grille	99
II.3.2.1	<i>À la commutation du courant de drain</i>	100
II.3.2.2	<i>À la commutation de la tension drain-source</i>	101
II.3.2.3	<i>Impact de l'impédance de grille sur la commutation d'un composant grand gap dans un convertisseur synchrone</i>	102
II.3.3	Un circuit à impédance de sortie adaptative pour la commande de composants grand gap	105
II.3.3.1	<i>Des circuits actifs de commande de grille pour IGBTs</i>	105
II.3.3.2	<i>Un circuit à impédance de sortie programmable à la montée et à la descente pour une commande sûre des composants grand gap</i>	107
II.4	LA PUCE DE COMMANDE A IMPEDANCE DE SORTIE PROGRAMMABLE.....	111
II.4.1	Dimensionnement du circuit de commande adaptatif	111
II.4.1.1	<i>Les transistors utilisés pour la conception des différents blocs de la puce</i> ..	111

II.4.1.2	<i>Dimensionnement de l'étage de sortie</i>	113
II.4.1.3	<i>Des préamplificateurs possédant une sécurité anti-recouvrement de l'étage de sortie</i>	117
II.4.1.4	<i>Les circuits de décalage de niveaux</i>	120
II.4.1.5	<i>Détection de l'état de commutation du transistor</i>	122
II.4.2	Dessin des masques	125
II.4.2.1	<i>Le dessin en technologie AMS 0.35μm HV</i>	125
II.4.2.2	<i>L'étage d'amplification</i>	125
II.4.2.3	<i>Le placement au niveau haut</i>	127
II.4.3	Validation de la méthode de commande adaptative dans un convertisseur de puissance synchrone.....	128
II.4.3.1	<i>La puce</i>	128
II.4.3.2	<i>Caractérisation du circuit de commande</i>	129
II.4.3.3	<i>Mise en œuvre de la méthode de commande adaptative dans un convertisseur de puissance synchrone à base de composants grand gap</i>	132
II.5	L'INTEGRATION HETEROGENE D'UN CIRCUIT LEVEL-SHIFTER POUR DES APPLICATIONS HAUTES TENSIONS, HAUTES FREQUENCES ET HAUTES TEMPERATURES	137
II.5.1	Une topologie demi-pont en H avec un seul transformateur de signaux deux voies et un circuit Level-Shifter haute vitesse.....	137
II.5.2	Un circuit Level-Shifter haute tension, haute température, rapide et régulé en courant	139
II.5.2.1	<i>La diode régulée en courant</i>	139
II.5.2.2	<i>Un circuit Level-Shifter régulé en courant et intégrable monolithiquement</i>	140
II.5.3	Validation expérimentale	143
II.5.3.1	<i>Conception d'un prototype de circuit de décalage des niveaux à base de JFET SiC</i>	143
II.5.3.2	<i>Résultats expérimentaux</i>	144
II.6	CONCLUSION.....	147
III.	CHAPITRE III	148
	L'AUTOCOMMUTATION DES COMPOSANTS GRAND GAP DANS UN CONVERTISSEUR SYNCHRONE	148
III.1	INTRODUCTION.....	150

III.2	UN TEMPS MORT OPTIMAL DEPENDANT DU POINT DE FONCTIONNEMENT	151
III.2.1	Le point milieu capacitif d'un convertisseur synchrone	151
III.2.2	Impact du temps mort en fonction de la charge dans des convertisseurs synchrones à base de composants grand gap sans diodes	154
III.2.2.1	<i>Etude basée sur la simulation</i>	154
III.2.2.2	<i>Observation par mesures expérimentales</i>	156
III.2.3	Un temps de commutation plus long à faible puissance requérant un temps mort plus long	159
III.2.4	Les convertisseurs à temps mort auto-adaptatif.....	161
III.2.4.1	<i>Détection de la conduction de la diode au niveau du point milieu</i>	161
III.2.4.2	<i>Adaptation du temps mort par surveillance de la charge</i>	163
III.3	L'AUTOCOMMUTATION : UNE GESTION LOCALE, DYNAMIQUE ET SECURISEE DU TEMPS MORT	165
III.3.1	Une cellule de commutation transistor/transistor idéale sans conduction en inverse sous le seuil.....	165
III.3.2	Utilisation de l'interférence entre High-Side et Low-Side pour la détection de l'ouverture du transistor opposé.....	167
III.3.2.1	<i>La circulation d'un courant parasite au travers de la grille d'un transistor lors de la variation de sa tension drain-source</i>	167
III.3.2.2	<i>Observation de la circulation du courant parasite de grille par simulation des convertisseurs Buck grand gap sans diodes</i>	168
III.3.3	Un mode « d'écoute » spécifique du circuit de commande facilitant la détection de l'ouverture du transistor opposé.....	172
III.3.3.1	<i>Un mode d'écoute haute impédance spécifique</i>	172
III.3.3.2	<i>Les chronogrammes du convertisseur synchrone autocommuté proposé</i> ...	174
III.4	CONCEPTION DE LA PUCE DE COMMANDE PERMETTANT L'AUTOCOMMUTATION DES COMPOSANTS	176
III.4.1	Dimensionnement de la partie commande	177
III.4.1.1	<i>Les blocs et transistors de la puce de commande intégrant un contrôleur de temps morts auto-adaptatifs</i>	177
III.4.1.2	<i>La fonction d'amplification de puissance</i>	178
III.4.1.3	<i>Les circuits de décalage de niveaux</i>	180
III.4.2	Dimensionnement de la fonction de détection de l'ouverture du transistor opposé	182
III.4.2.1	<i>Le mode d'écoute haute impédance</i>	182

III.4.2.2	<i>Le détecteur d'ouverture.....</i>	<i>186</i>
III.4.3	Dessin des masques	191
III.4.3.1	<i>Les transistors utilisés.....</i>	<i>191</i>
III.4.3.2	<i>La partie amplification de puissance.....</i>	<i>192</i>
III.4.3.3	<i>Le circuit de détection de l'ouverture du transistor opposé.....</i>	<i>192</i>
III.4.3.4	<i>Le dessin au niveau haut.....</i>	<i>193</i>
III.5	L'AUTOCOMMUTATION DES COMPOSANTS GRAND GAP DANS UN CONVERTISSEUR SYNCHRONESANS DIODES.....	194
III.5.1	Caractérisation de la puce de commande pour l'autocommutation	194
III.5.1.1	<i>La puce</i>	<i>194</i>
III.5.1.2	<i>Caractérisation de la partie commande.....</i>	<i>195</i>
III.5.1.3	<i>Caractérisation de la partie détection</i>	<i>197</i>
III.5.2	Le convertisseur Buck de test	199
III.5.3	L'autocommutation des HEMTs GaN.....	201
III.5.3.1	<i>Les formes d'ondes expérimentales du convertisseur Buck à base de HEMTs GaN autocommutés.....</i>	<i>201</i>
III.5.3.2	<i>La détection en fonction de la charge de sortie</i>	<i>202</i>
III.5.3.3	<i>L'augmentation du rendement du convertisseur sans diodes.....</i>	<i>204</i>
III.5.4	L'autocommutation des JFETs SiC.....	205
III.5.4.1	<i>La détection en fonction de la charge de sortie</i>	<i>206</i>
III.5.4.2	<i>L'augmentation du rendement à faible et forte charge</i>	<i>208</i>
III.5.4.3	<i>Le convertisseur synchrone SiC avec et sans diodes hautes performances</i>	<i>209</i>
III.6	CONCLUSION.....	211
CONCLUSION GENERALE.....		213
BIBLIOGRAPHIE.....		216
PUBLICATIONS		224

INTRODUCTION GENERALE

L'énergie électrique, entre sa production, son transport, son stockage et sa consommation, voit sa forme évoluer plusieurs fois pour s'adapter aux différents dispositifs électriques. Le transfert d'énergie électrique entre deux systèmes électriques est réalisé par un convertisseur de puissance. Ce dispositif fondamental de l'électronique de puissance assure la compatibilité et le contrôle du flux d'énergie électrique entre les deux systèmes. Parce qu'à chaque étape de transformation de l'énergie électrique un convertisseur de puissance est nécessaire, celui-ci se retrouve au cœur des problématiques énergétiques actuelles et futures. L'évolution dans les prochaines années de l'électronique de puissance se fera par l'augmentation du rendement de conversion, de la fiabilité et de la densité de puissance ainsi que par la réduction des coûts et de la complexité de mise en œuvre des convertisseurs. Les principaux axes prospectifs pour atteindre ces objectifs sont la montée en fréquence de découpage et en température des convertisseurs permettant la réduction des composants passifs et des systèmes de refroidissement, l'intégration fonctionnelle et l'étude de nouvelles architectures de convertisseur.

Les travaux menés au cours de cette thèse s'inscrivent directement dans ce contexte. Nous avons voulu préfigurer l'électronique de puissance du futur en utilisant les composants de puissance de demain que prétendent être les composants grand gap dans des convertisseurs de puissance usuels. Notre étude s'est basée, plus particulièrement, sur les convertisseurs de puissance à commutation synchrone. Cette technique de commutation, utilisée couramment dans le domaine des basses tensions, propose de substituer un composant à commutation spontanée, typiquement la diode, par un composant à commutation commandée moins dissipateur, typiquement un transistor, dans le but d'augmenter le rendement de conversion. *A minima* deux interrupteurs de puissance sont alors commandés de façon synchrone. Nous avons cherché par des contributions au niveau circuit mais aussi système à fournir une commande efficace, robuste et économiquement viable à ces nouveaux composants grand gap afin d'en tirer les meilleurs bénéfices possibles dans un convertisseur de puissance de l'ordre du kilowatt à commutation synchrone alimenté par une tension de quelques centaines de volts.

Le premier chapitre de ce manuscrit s'attache au contexte ainsi qu'au détail de la problématique de ces travaux. Le fonctionnement d'un convertisseur de puissance synchrone est analysé en s'intéressant, en particulier, à la cellule de commutation. Les perspectives intéressantes offertes par les composants grand gap sont étudiées à partir des propriétés physiques des semi-conducteurs et des caractéristiques électriques des premiers composants disponibles tels les JFETs SiC et les HEMTs GaN. Mais les caractéristiques d'un nouvel ordre offertes par ces composants s'accompagnent de différences par rapport aux composants usuels, susceptibles de modifier le fonctionnement de la cellule de commutation. En particulier deux points critiques sont étudiés. Le premier est la très grande susceptibilité des composants grand gap aux composants parasites dans un convertisseur de puissance synchrone. Le second est l'absence de diode interne parasite entre drain et source des HEMTs GaN et de certains JFETs SiC. L'impact de ces deux points sur le fonctionnement, la robustesse et le rendement d'un convertisseur est discuté et évalué par mesures expérimentales, simulations électriques et/ou calculs théoriques.

Nous proposons dans le second chapitre de ce manuscrit d'approfondir les études préliminaires sur les performances dynamiques des composants grand gap par l'analyse d'une méthode de caractérisation spécifique basée sur l'architecture d'un hacheur série pulsé. Cette méthode va nous permettre d'évaluer précisément et avec une grande flexibilité l'impact du point de fonctionnement sur les performances en dynamique d'un transistor grand gap, même expérimental, sans boîtier avec échange thermique spécifique. A partir de ces résultats nous proposons une méthode de contrôle précis des formes de commutation d'un composant par adaptation de son impédance de grille en fonction de son environnement. Un circuit de commande entièrement intégré à impédance de sortie programmable est proposé et étudié afin de réduire les surtensions et les sur-courants d'un transistor grand gap directement au niveau de sa grille.

Dans un troisième chapitre nous nous attachons au second point critique soulevé précédemment : l'absence de diode interne entre drain et source de composants grand gap comme les HEMTs GaN et les JFETs SiC. Ces composants sans diodes ne possèdent plus aucune charge inverse de recouvrement. Malgré l'absence de diodes, ces transistors sont capables de conduire le courant en inverse sous le seuil mais avec un mauvais état passant. Dans un convertisseur de puissance à base de composants grand gap sans diode nous envisageons de supprimer les diodes Schottky externes habituellement placées en antiparallèle des composants de puissance afin de réduire le coût et le volume du système de conversion. Si les performances dynamiques de commutation du convertisseur doivent restées intactes, des pertes supplémentaires durant les temps morts sont à déplorer. Nous introduisons dans ce troisième et dernier chapitre une technique d'autocommutation des interrupteurs de puissance qui permet de supprimer en toute sécurité ces périodes de conduction pénalisantes pour le rendement et la robustesse du système. Nous proposons pour cela de détecter le mode de conduction en inverse sous le seuil directement au niveau de la grille des composants dans le but d'intégrer monolithiquement aux circuits de commande un contrôleur de temps morts courts. Cette technique d'autocommutation des composants de puissance est validée expérimentalement et les gains en rendement quantifiés et comparés à la solution habituelle à temps morts fixes.

Nous proposons dans ce manuscrit d'étudier des solutions facilement intégrables, efficaces et économiquement viables pour une commande en toute sécurité et sur une large plage de fonctionnement des nouveaux composants grand gap dans un convertisseur de puissance haut rendement et haute densité de puissance. Ces solutions se concrétisent par des circuits de commande entièrement intégrés, simples et robustes. Finalement ces travaux de thèse nous invitent à envisager des interactions toujours plus fortes entre le circuit de commande et le composant de puissance comme pourrait le permettre une co-intégration des différentes fonctions de commande proposés sur la puce de puissance.

CHAPITRE I

LES COMPOSANTS GRAND GAP POUR LA CONVERSION D'ENERGIE

SOMMAIRE

I.1	INTRODUCTION.....	17
I.2	LE CONVERTISSEUR DE PUISSANCE SYNCHRONE	17
I.2.1	Les convertisseurs d'énergie	17
I.2.2	Les interrupteurs de puissance	20
I.2.3	Le redressement synchrone.....	22
I.3	LES COMPOSANTS GRAND GAP.....	31
I.3.1	Des composants aux performances intrinsèques supérieures	31
I.3.2	Des composants sans diode parasite interne	34
I.3.3	Des composants plus sensibles aux composants parasites	40
I.4	LA COMMANDE DES INTERRUPTEURS DE PUISSANCE DANS UN CONVERTISSEUR SYNCHRONE	45
I.4.1	La commande d'un interrupteur à effet de champ	45
I.4.2	La commande de l'interrupteur High-Side.....	50
I.4.3	Des circuits de commande intelligents pour protéger l'interrupteur	56
I.5	VERS UN CONVERTISSEUR SYNCHRONE A BASE DE COMPOSANTS GRAND GAP SANS AUCUNE DIODE	62
I.5.1	La suppression de la diode antiparallèle	62
I.5.2	Des pertes supplémentaires durant les temps morts.....	67
I.5.3	Réduire les pertes durant les temps morts.....	72
I.6	CONCLUSION.....	77

I.1 Introduction

L'électronique de puissance aspire dans un futur proche à l'augmentation de la densité de puissance, de la température de fonctionnement et de la fréquence de commutation des convertisseurs tout en conservant un haut niveau de rendement et de robustesse. Cette rupture ne sera possible que par l'utilisation d'un nouveau type d'interrupteur de puissance en lieu et place des composants usuels à base de silicium. Ce premier chapitre rappelle le fonctionnement d'un convertisseur de puissance synchrone en s'intéressant en particulier à la cellule de commutation, aux interrupteurs de puissance et à leur commande. Une étude comparative des propriétés physiques des composants à semi-conducteur révèle les perspectives intéressantes offertes par les composants grand gap tels que les JFETs SiC et les HEMTs GaN. Ces composants présentent d'ores et déjà des caractéristiques statiques et dynamiques supérieures à leurs homologues en silicium. Mais ces caractéristiques d'un nouvel ordre s'accompagnent de différences par rapport aux composants usuels, susceptibles d'impacter le fonctionnement de la cellule de commutation. Ces différences doivent être prises en compte pour la conception d'un convertisseur performant et robuste à base de composants grand gap. Nous avons identifié et étudié en particulier deux points critiques. Le premier est la très grande sensibilité des composants grand gap aux composants parasites dans un convertisseur de puissance synchrone. Le second est l'absence de diode interne parasite entre drain et source des HEMTs GaN latéraux et de JFETs SiC verticaux. L'impact de ces deux points sur le fonctionnement, la robustesse et le rendement d'un convertisseur synchrone est discuté et évalué par mesures expérimentales, simulations électriques et/ou calculs théoriques. À partir de l'étude des travaux issus de l'état de l'art récent traitant précisément de ces problématiques, nous proposons des solutions facilement intégrables, efficaces, robustes et économiquement viables.

I.2 Le convertisseur de puissance synchrone

I.2.1 Les convertisseurs d'énergie

L'électronique de puissance est une discipline qui a pour objet le transfert d'énergie entre au moins deux systèmes électriques. Elle assure la compatibilité et le contrôle du flux d'énergie entre deux systèmes de natures différentes en convertissant l'énergie électrique. Cette conversion de l'énergie est réalisée par un dispositif électrique appelé convertisseur de puissance visible sur la Figure I.1. Ces dispositifs sont le siège de pertes P_{loss} qui doivent être les plus faibles possibles afin d'obtenir un transfert énergétique très efficace, avec un rendement proche de l'unité et ne requérant pas de dispositifs d'évacuation de pertes trop volumineux et coûteux. Pour ces raisons l'électronique de puissance est une électronique de commutation [1]. Elle utilise des composants actifs tels que des interrupteurs de puissance à semi-conducteurs qui peuvent conduire ou bloquer l'énergie avec peu de pertes et des composants passifs tels que des condensateurs ou inductances qui assurent le stockage temporaire et périodique ainsi que le filtrage de l'énergie. Un signal logique est utilisé par une commande éloignée pour modifier les paramètres de conversion.

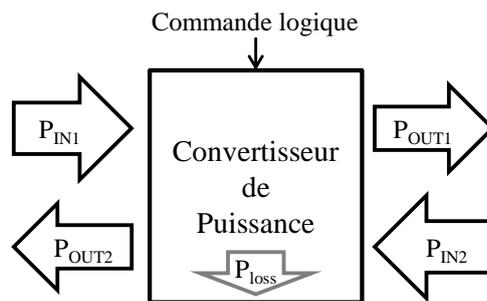


Figure I.1 : Un convertisseur de puissance met en forme et contrôle un flux d'énergie entre deux systèmes électriques de nature différente

Le type de convertisseur de puissance est déterminé par la nature du système en entrée et celui en sortie. Ces systèmes sont composés de un ou de l'association de plusieurs dipôles qui, de manière générale, s'apparentent à des sources de tension en entrée et des sources de courant en sortie. La ou les sources en entrée peuvent être continues ou alternatives d'amplitude $V_{IN,eff}$ et $I_{IN,eff}$ et de fréquence f_{IN} . De même la ou les charges en sortie peuvent être continues ou alternatives d'amplitude $I_{OUT,eff}$ et $V_{OUT,eff}$ et de fréquence f_{OUT} . Nous distinguons alors sur le Tableau I-1 les quatre principaux types de convertisseurs.

Tableau I-1 : Les principaux types de convertisseurs de puissance en fonction de la ou des sources d'entrée et de sortie

Entrée \ Sortie	Charge(s) continue(s) de sortie (DC) $V_{OUT,eff}$, $I_{OUT,eff}$	Charge(s) alternative(s) de sortie (AC) $V_{OUT,eff}$, $I_{OUT,eff}$, f_{OUT}
Source(s) continue(s) en entrée (DC) $V_{IN,eff}$, $I_{IN,eff}$	Hacheur (DC/DC)	Onduleur (DC/AC)
Source(s) alternative(s) en entrée (AC) $V_{IN,eff}$, $I_{IN,eff}$, f_{IN}	Redresseur (AC/DC)	Cycloconvertisseur (AC/AC) Gradateur (AC/AC) ($f_{IN} = f_{OUT}$)

De par leur rendement élevé et l'avènement de composants actifs sur une très large plage de puissance nous retrouvons ces convertisseurs dans de très nombreuses applications. Par exemple la quasi-totalité des chargeurs d'appareils mobiles sont des redresseurs mettant en jeu des puissances de l'ordre du W et des tensions de quelques centaines de volts [2]. Alors que d'autres convertisseurs AC/DC sont utilisés pour le transport d'électricité en courant continu haute tension. Les tensions peuvent alors atteindre 800kV et les puissances mises en œuvre sont de l'ordre du GW [3]. Ces deux dispositifs de conversion de tension alternative en courant continu visibles sur la Figure I.2 illustrent bien l'étendu des puissances et des applications couvertes par l'électronique de puissance.

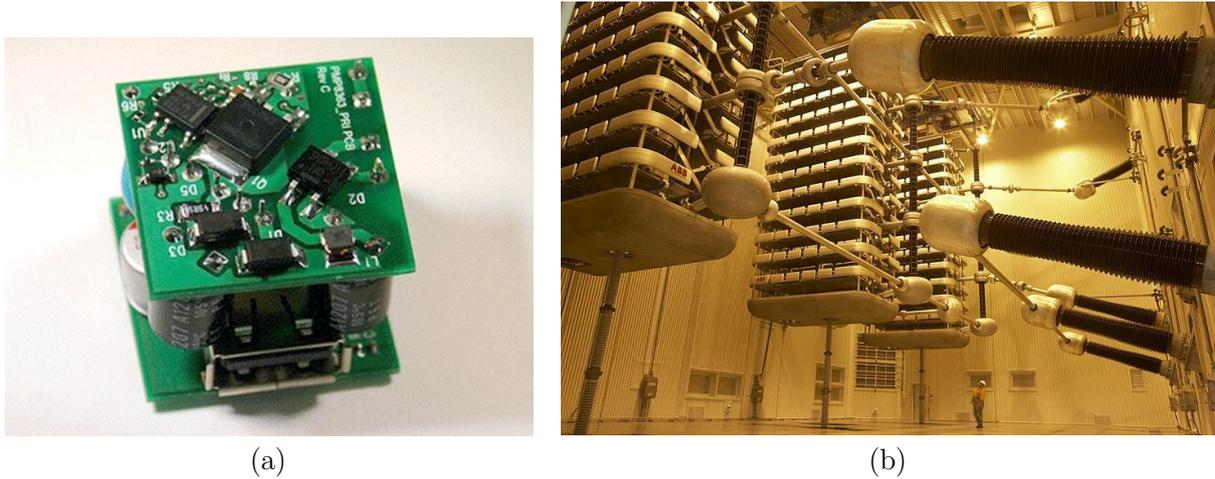


Figure I.2 : Convertisseurs de puissance de type redresseur : (a) un chargeur USB de faible volume (un pouce cube) délivrant 10W sous 5V [2] et (b) un redresseur à thyristors pour le transport inter-îles en Nouvelle-Zélande de l'électricité haute tension 350kV à courant continu d'une puissance de 1GW [3]

L'électronique de puissance est en constante évolution dans tous ses domaines applicatifs afin de s'adapter à nos attentes et besoins mais aussi aux grands enjeux environnementaux et économiques. Le domaine des transports représente bien les défis à relever pour l'électronique de puissance du futur. Le contexte actuel est favorable à la substitution complète ou partielle des moteurs thermiques de nos véhicules par un moteur électrique. Mais celle-ci ne sera possible que si les coûts, le rendement, la complexité et la robustesse sont favorables au groupe motopropulseur électrique.

Dans une voiture thermique, de nombreuses fonctionnalités sont alimentées à partir d'une tension de 12V (feux, ordinateur de bord, climatisation, autoradio, pompe, direction...). Dans le véhicule électrique, en plus de ces accessoires, un moteur électrique pour la propulsion doit être alimenté à partir de batteries haute tension d'environ 400V [4]–[6]. Sur la Figure I.3 est représenté le groupe motopropulseur de la voiture électrique Fluence Z.E. produite par Renault [7]. Nous distinguons la présence de trois convertisseurs de puissance : un redresseur pour charger les batteries haute tension à partir d'un réseau électrique, un hacheur et un onduleur pour respectivement alimenter les accessoires en 12VDC et le moteur électrique en courant alternatif triphasé à partir de la tension continue 400V des batteries. Nous pouvons remarquer que l'ensemble, constitué de ces convertisseurs de puissance et de leur boîtier d'interconnexion, représente à l'heure actuelle un volume et certainement un coût supérieur à celui du moteur électrique.

De part des performances intrinsèques supérieures aux composants classiques en silicium, les composants grand gap ont la prétention à court terme de faire évoluer l'électronique de puissance vers des applications à haute densité de puissance, haute température et haute fréquence de fonctionnement. Nous avons alors cherché par des contributions au niveau circuit mais aussi système à fournir une commande spécifique et pertinente à ces nouveaux composants afin d'en tirer les meilleurs bénéfices possibles dans un convertisseur de puissance synchrone.

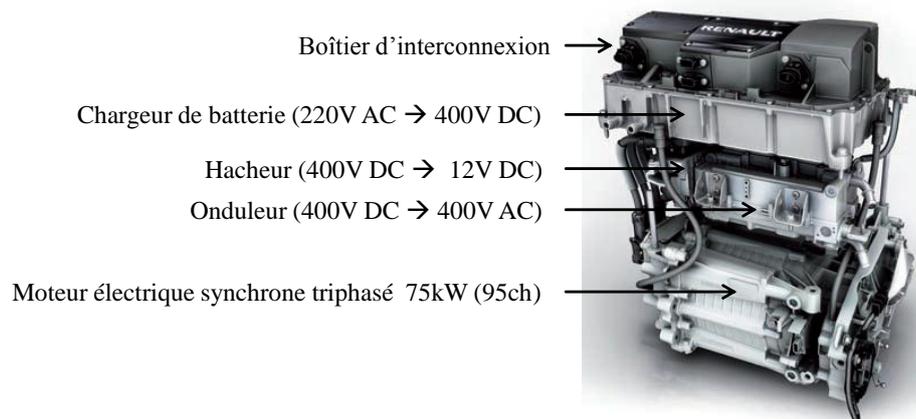


Figure I.3 : Groupe motopropulseur de la Renault Fluence Z.E.

I.2.2 Les interrupteurs de puissance

Comme nous l'évoquions précédemment, le convertisseur de puissance est principalement constitué de deux types de composants : les composants passifs et les composants actifs. Le composant actif élémentaire de l'électronique de puissance est l'interrupteur de puissance au sens large. Cet interrupteur est constitué d'un matériau semi-conducteur qui lui permet d'être soit passant (courant important et chute de tension faible), soit bloqué (courant très faible et tenue en tension importante). Bien que cette fonction de base soit partagée par tous les interrupteurs il n'existe pas moins un nombre important de composants différents. Ces interrupteurs sont différenciables en fonction de nombreux critères, les principaux étant :

- Leur mode de conduction du courant et de leur tenue de la tension. Ils peuvent être unidirectionnels ou bidirectionnels en courant et/ou en tension. Ces modes de conduction sont représentés par leurs caractéristiques statiques dans le plan (I/V) sur la Figure I.4.
- Leur type d'amorçage : ouverture et fermeture spontanées (comme une diode), ouverture et fermeture commandées (comme un transistor) ou un amorçage commandé et l'autre spontané (comme un thyristor).
- Leur type de commande: commande en courant ou en tension, par signaux continus ou par impulsions.
- Le type de porteurs de charges : le composant unipolaire a un seul type de porteurs de charges (l'électron pour le MOSFET) tandis que le composant bipolaire a deux types de porteurs de charges, l'électron et le trou (comme l'IGBT).

Chaque composant est ensuite défini par un ensemble de données et caractéristiques techniques :

- Leur tenue en tension.
- Leur calibre en courant.
- Leur fréquence maximale de fonctionnement. Ce critère est directement lié à leurs performances dynamiques et à leur mode de refroidissement.
- Leurs performances statiques à l'état passant : résistance à l'état passant R_{ON} et à l'état bloqué : courant de fuite I_{leak} .

- Les caractéristiques de l'interface de commande : la tension de seuil V_{th} s'il est commandé en tension ou le gain en courant β s'il est commandé en courant
- Leur volume, leur densité de puissance.
- Leur boîtier.
- La puissance maximale que le composant peut dissiper.
- Leur température maximale de fonctionnement, leur température de jonction maximale $T_{j, max}$.
- Leur robustesse.
- Leur disponibilité.
- Leur prix.

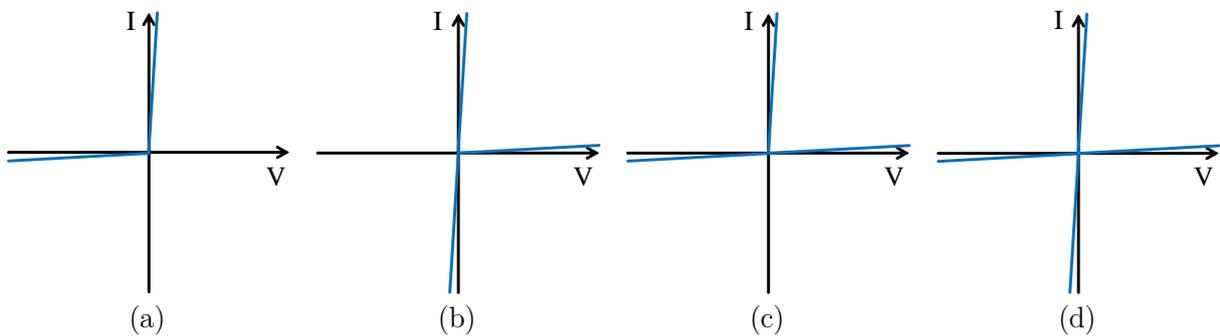


Figure I.4 : Exemples de caractéristiques statiques dans le plan (I/V) d'un interrupteur : (a) unidirectionnel en courant et en tension, (b) bidirectionnel en courant et unidirectionnel en tension, (c) unidirectionnel en courant et bidirectionnel en tension et (d) bidirectionnel en courant et en tension

Face à tant de paramètres il peut paraître compliqué de sélectionner le bon composant. En réalité c'est l'application qui fixe la plupart des caractéristiques minimales que doivent avoir les interrupteurs de puissance. Par exemple, pour un type de convertisseur donné les calibres en courant et en tension des composants sont fixés par la puissance et la tension maximale à convertir en lien avec les moyens de refroidissement et d'isolation associés. Une fois les caractéristiques minimales fixées par les contraintes du cahier des charges, il reste à sélectionner parmi les nombreux interrupteurs compatibles et disponibles celui qui correspond le mieux. Un compromis entre performance, prix et praticité est souvent à faire. La Figure I.5 montre la répartition par domaines de puissance et fréquence de commutation des principaux types d'interrupteur de puissance se partageant le marché à l'heure actuelle. Ce sont en grande majorité des interrupteurs à base de silicium [8]. Dans ces travaux de thèse nous nous sommes intéressés à des convertisseurs de moyenne puissance, de l'ordre de 1kW et de fréquence de commutation de 100kHz à 1MHz, en lien avec les applications et développement visés par les laboratoires du CEA et du G2Elab. D'après la Figure I.5 basée sur les catalogues des composants disponibles chez divers constructeurs tels que International Rectifier et IXYS, ce domaine est actuellement dominé par le transistor à effet de champ à grille isolée : le MOSFET [9], la diode PN rapide [10] et la diode Schottky [11].

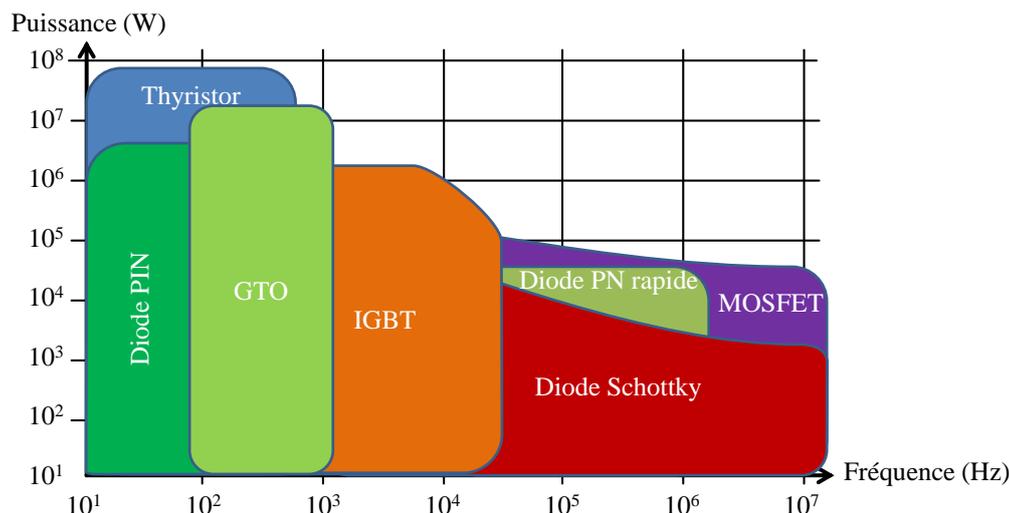


Figure I.5 : Principaux interrupteurs de puissance se partageant le marché en fonction de la puissance et de la fréquence de commutation du convertisseur, la majorité de ces interrupteurs sont à base de silicium

1.2.3 Le redressement synchrone

Le redressement synchrone est une technique consistant à substituer un composant à commutation spontanée, typiquement la diode, par un composant à commutation commandée moins dissipateur, typiquement un transistor, dans le but d'augmenter le rendement d'un convertisseur [12], [13]. Nous appelons dans ce manuscrit convertisseur de puissance synchrone au sens large un convertisseur utilisant cette technique de redressement synchrone dans lequel, *a minima*, deux interrupteurs sont commandés de façon synchrone l'un de l'autre.

1.2.3.1 Le hacheur abaisseur à un quadrant

Dans un hacheur abaisseur unidirectionnel à un quadrant, appelé aussi convertisseur Buck, comme celui présenté sur la Figure I.7, la cellule de commutation est constituée d'un interrupteur commandé (le MOSFET) et d'un interrupteur à amorçage spontané (la diode). Dans ce hacheur abaisseur un quadrant l'énergie transite de façon unidirectionnelle de l'entrée à la sortie, le courant I_{OUT} est donc positif ou nul. En conduction continue le courant I_{OUT} est strictement supérieur à zéro et le rapport de conversion est directement proportionnel au rapport cyclique α de conduction du transistor : l'expression de la tension de sortie V_{OUT} est donnée dans ce cas de conduction continue par l'équation (I.1). Ce convertisseur possède deux états distincts dépendant de celui du transistor. Ces états du hacheur sont représentés sur les schémas simplifiés de la Figure I.7 (a) et (b) et sur la Figure I.8 sont représentés les chronogrammes des tensions et courants idéalisés correspondant au fonctionnement dit en conduction continue. La résistance du transistor et la chute de tension de la diode à l'état passant sont respectivement notées R_{ON} et V_F . Au temps t_1 , le MOSFET se ferme et le convertisseur se retrouve dans la configuration de la Figure I.7 (a). Le courant I_{IN} traversant le transistor est alors égal au courant de sortie I_{OUT} et la tension au point milieu V_{SW} est égale à V_{IN} . Au temps t_2 , le MOSFET s'ouvre et le potentiel V_{SW} chute pour devenir légèrement négatif et provoquer l'amorçage spontané de la diode. Le potentiel au point milieu V_{SW} vaut alors $-V_F$. C'est la phase dite de roue-libre du courant I_{OUT} par la diode, elle est représentée sur la Figure I.7 (b). Pour un rapport cyclique α , les pertes par conduction

du transistor $P_{COND,MOS}$ et de la diode $P_{COND,D}$ sont données respectivement par les équations (I.2) et (I.3).

$$V_{OUT} = \alpha \cdot V_{IN} \tag{I.1}$$

$$P_{COND,MOS} = \alpha \cdot R_{ON} \cdot I_{OUT}^2 \tag{I.2}$$

$$P_{COND,D} = (1 - \alpha) \cdot V_F \cdot I_{OUT} \tag{I.3}$$

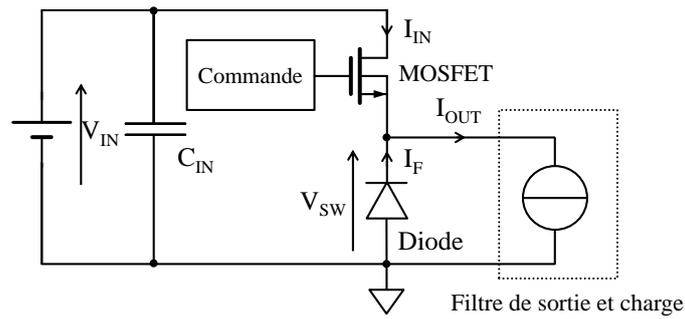


Figure I.6 : Architecture du hacheur abaisseur à un quadrant

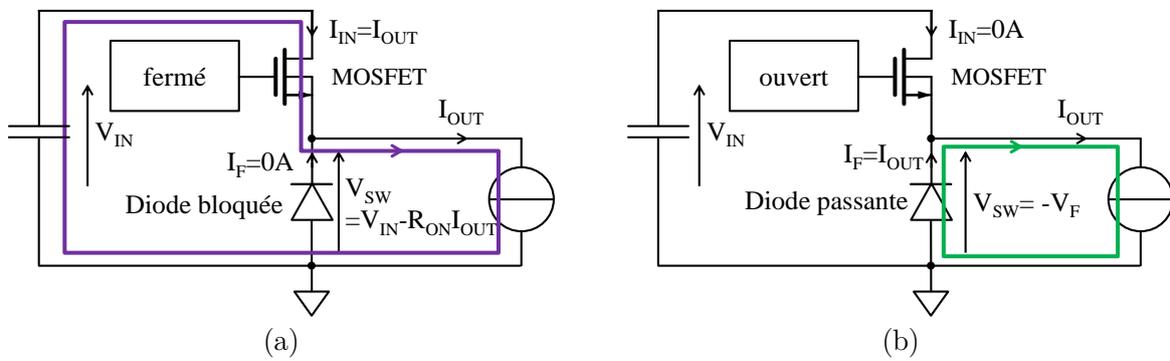


Figure I.7 : Fonctionnement du hacheur abaisseur, (a) lorsque le transistor est fermé et (b) lorsqu'il est ouvert

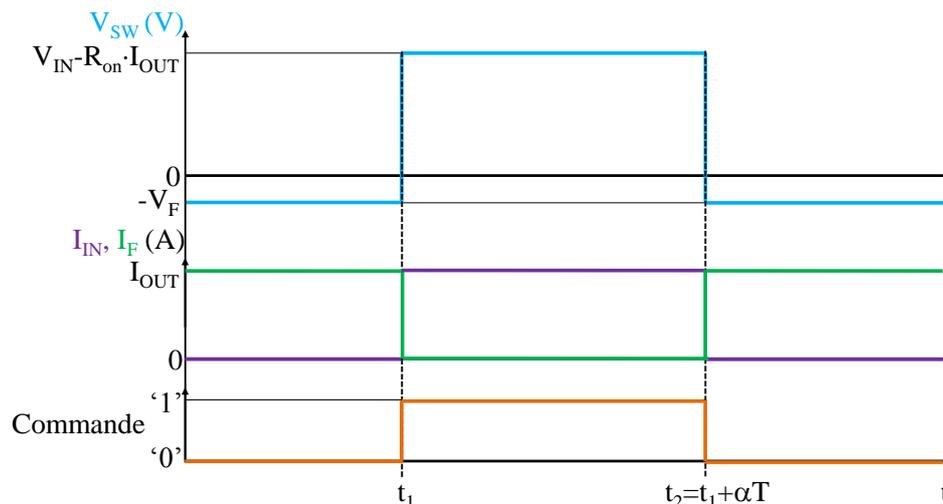


Figure I.8 : Chronogrammes simplifiés des tensions et courants du hacheur abaisseur

I.2.3.2 La commutation synchrone transistor/transistor pour améliorer le rendement

Dans le hacheur abaisseur précédemment étudié, le courant de sortie continu traverse alternativement un MOSFET et une diode. L'état passant d'un transistor MOSFET étant de nature résistive, il dépend linéairement du courant le traversant contrairement à celui d'une diode qui est caractérisé par une chute de tension V_F présente à courant nul. La Figure I.9 donne un exemple des chutes de tension à l'état passant en fonction du courant pour un MOSFET CoolMOS à super jonction 600V/30A de faible résistance à l'état passant R_{ON} égale à $130\text{m}\Omega$ [9], une diode PN rapide 600V/30A [14] et une diode Schottky SiC 1200V/30A [15]. Ces composants sont tous de calibre en courant 30A mais ils n'ont ni la même surface, ni le même boîtier. Nous les comparons donc à titre informatif. Pour un courant inférieur à 11A, c'est le transistor qui possède le meilleur état passant, au-delà de ce seuil, c'est la diode Schottky SiC qui conduit le courant avec le moins de pertes.

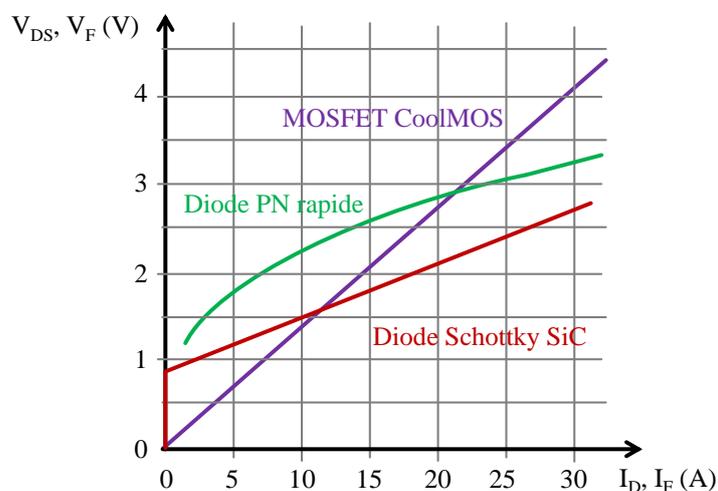


Figure I.9 : Chutes de tension à l'état passant à 25°C en fonction du courant pour un MOSFET de $R_{ON} 130\text{m}\Omega$, une diode PN rapide et une diode Schottky SiC tous de calibre en courant 30A

Le redressement synchrone est une technique consistant à remplacer un composant à commutation spontanée, ici la diode, par un composant à commutation commandée, ici le transistor afin de garantir un meilleur état passant du courant même à faible charge et donc un meilleur rendement. L'architecture du hacheur synchrone est visible sur la Figure I.10. Nous remarquons la substitution de la diode par un transistor M2 et sa commande associée au Low-Side (bas de pont). Ces ajouts ont un impact sur le rendement du convertisseur mais aussi sur sa fonctionnalité si les deux interrupteurs sont bidirectionnels en courant. À la différence du hacheur abaisseur à un quadrant qui ne peut convertir et faire transiter l'énergie que de l'entrée vers la sortie en abaissant la tension, le hacheur synchrone peut en plus faire transiter de l'énergie de la sortie vers l'entrée en élevant la tension. C'est donc un hacheur à deux quadrants abaisseur ou élévateur (Buck/Boost en anglais) selon le sens du courant, pouvant fonctionner avec un courant de sortie I_{OUT} positif ou négatif. La structure formée des deux transistors en série s'appelle un bras de hacheur ou un bras d'onduleur. Le fonctionnement d'un hacheur synchrone ou d'un onduleur monophasé à l'échelle de la commutation étant strictement identique, toutes les explications, courbes, améliorations présentées ou faites dans ce manuscrit et prenant pour sujet le hacheur synchrone ou le convertisseur synchrone, restent entièrement valables pour un onduleur monophasé de même caractéristiques en puissance, tension et fréquence de commutation.

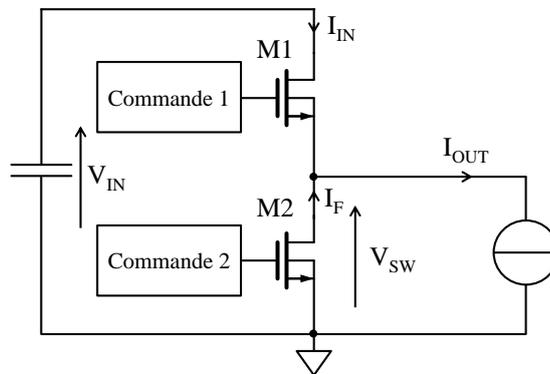


Figure I.10 : Architecture simplifiée du hacheur à commutation synchrone

De par l'ajout d'un interrupteur et de sa commande associée dans la cellule de commutation, le fonctionnement du hacheur synchrone diffère légèrement de celui du hacheur à un quadrant. Le rapport de transformation reste le même que pour le hacheur à un quadrant et la tension de sortie est donc toujours donnée par l'équation (I.1) en conduction continue. Le convertisseur à commutation synchrone possède toujours deux états différents qui dépendent de la valeur « ouvert » ou « fermé » des commandes synchrones des deux interrupteurs. Les deux états d'un convertisseur Buck synchrone pour un courant de sortie I_{OUT} positif sont représentés sur la Figure I.11 et les formes d'ondes des tensions et courants associés sont présentées sur la Figure I.12 :

- Jusqu'à l'instant t_1 sur la Figure I.12, la totalité du courant de sortie I_{OUT} circule au travers du transistor Low-Side M2 qui est fermé, la commande 2 étant à l'état haut et

- le transistor High-Side (haut de pont) M1 ouvert. Cet état correspond à la représentation de la Figure I.11 (a). Le potentiel au point milieu V_{SW} est alors égal à $-R_{ON2} \cdot I_{OUT}$.
- À l'instant t_1 , la commande 1 passe à l'état haut tandis que la commande 2 passe à l'état bas simultanément. Le courant de sortie circule alors au travers du transistor High-Side et le potentiel V_{SW} est égal à $V_{IN} - R_{ON1} \cdot I_{OUT}$. Cette phase correspond à la représentation de la Figure I.11 (b).
 - Au temps t_2 , après un temps αT de conduction du courant par le transistor M1, la commande 2 passe à l'état haut et la commande 1 passe à l'état bas « simultanément », le transistor M1 s'ouvre et M2 se ferme. Le courant est alors intégralement conduit par M2 comme avant l'instant t_0 .

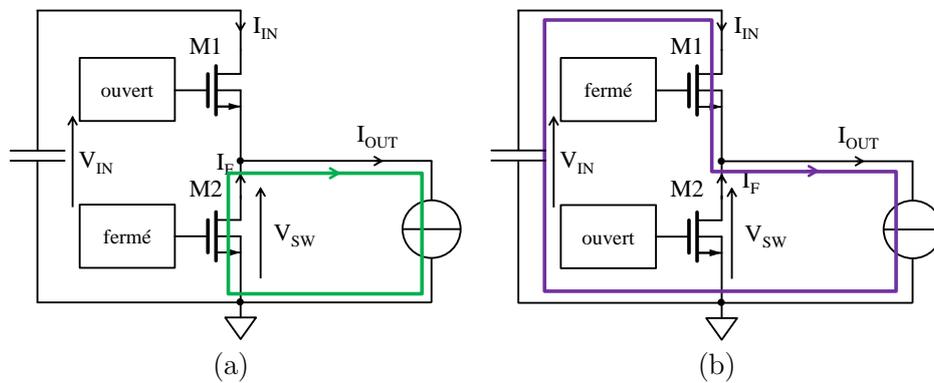


Figure I.11 : Les deux phases de fonctionnement du convertisseur Buck à commutation synchrone dépendantes des états ouvert ou fermé des transistors High-Side et Low-Side

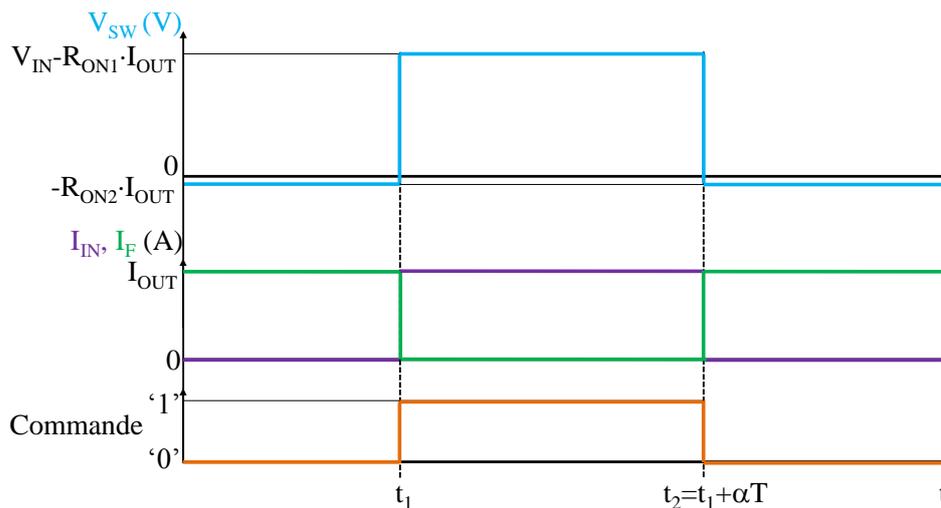


Figure I.12 : Chronogrammes simplifiées des tensions et courants au sein du convertisseur Buck à commutation synchrone pour un courant de sortie I_{OUT} positif

Au cours d'une période de fonctionnement du convertisseur à commutation synchrone, le courant passe par deux interrupteurs, ici deux MOSFETs. Les pertes par conduction se répartissent entre celles du transistor High-Side et celles du transistor Low-Side. En considérant que la résistance à l'état passant du transistor M1 et M2 sont de même valeur R_{ON} alors les pertes par conduction $P_{CON,MOS}$ sont données par l'équation (I.4). Les pertes par commutation sont approximées par l'équation (I.5) en faisant de nouveau l'hypothèse que le temps de fermeture de M1 t_{on} est égal au temps d'ouverture de M2 et inversement à l'ouverture de M1. Le rendement du convertisseur Buck synchrone est meilleur que son homologue à un quadrant à condition que l'état passant des MOSFETs soit effectivement meilleur que celui de la diode, comme c'est le cas en dessous d'un courant de 11A avec les composants choisis sur la Figure I.9, que les pertes de commande du transistor supplémentaire soient contrebalancées par exemple par la suppression des pertes liées au recouvrement de la diode et que les pertes globales par commutation ne soient pas plus élevées. Mais ce gain en rendement se fait au détriment de la densité de puissance, du coût et de la complexité du convertisseur car des composants de puissance et une commande synchronisée supplémentaire sont nécessaires.

$$P_{CON,MOS} = P_{CON,M1} + P_{CON,M2} = R_{ON} \cdot I_{OUT}^2 \quad (I.4)$$

$$\begin{aligned} P_{SW} &= P_{SW,M1} + P_{SW,M2} & (I.5) \\ &= V_{IN} \cdot (t_{on} + t_{off}) \cdot I_{OUT} \cdot f \end{aligned}$$

Le redressement synchrone est une technique très répandue pour les convertisseurs alimentés par une basse tension mais comme nous le détaillerons en partie I.5.3.2 celle-ci est difficilement applicable en l'état à un convertisseur de puissance haute tension à cause de la désynchronisation des signaux de commande entre les interrupteurs High-Side et Low-Side. Une désynchronisation de ces signaux opposés mais de même longueur conduit irrémédiablement à une conduction simultanée des deux transistors et donc à un court-circuit de l'alimentation. C'est pourquoi une commutation hybride entre synchrone et naturelle est utilisée en pratique dans les convertisseurs haute tension.

I.2.3.3 Une commutation hybride synchrone/naturelle utilisée en pratique

Afin d'éviter la conduction simultanée des transistors et par là même un court-circuit de l'alimentation V_{IN} , un temps mort entre l'ouverture d'un transistor et la fermeture de l'autre transistor est couramment ajouté. Un composant à commutation spontanée supplémentaire est alors nécessaire pour conduire le courant de sortie à ces instants lorsque les deux transistors sont ouverts. En ajoutant ce composant appelé communément diode de roue-libre dans la cellule de commutation, le convertisseur passe au cours d'une période par deux états supplémentaires. Une commutation naturelle de la diode a lieu à l'ouverture de chaque transistor. Le schéma d'un tel convertisseur est représenté sur la Figure I.13. Sur ce schéma une diode est présente en antiparallèle de chaque transistor. Cette topologie est surtout utilisée lorsque le courant de sortie est amené à changer de sens.

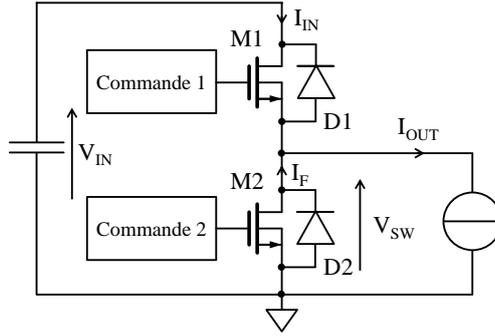


Figure I.13: Architecture simplifiée du hacheur à commutation hybride synchrone/naturelle

Ce convertisseur synchrone hybride ne possède donc plus deux états différents mais trois qui dépendent de la valeur de la commande « ouvert » ou « fermé » de chaque interrupteur. Les trois états d'un tel convertisseur Buck sont représentés sur la Figure I.14 pour un courant de sortie I_{OUT} positif et les formes d'ondes des tensions et courants associés sont présentées sur la Figure I.15 :

- Jusqu'à l'instant t_0 sur la Figure I.15, le transistor M2 est fermé et M1 est ouvert. Cet état correspond à la représentation de la Figure I.14 (a). La chute de tension induite aux bornes de M2 étant inférieure à celle aux bornes de la diode D2 lorsque celle-ci conduit tout le courant, la majorité du courant circule dans le transistor Low-Side M2. Le potentiel au point milieu V_{SW} est alors égal à $-R_{ON} \cdot I_{OUT}$.
- Au temps t_0 , la commande 2 passe à l'état bas, le transistor M2 s'ouvre et les deux transistors M1 et M2 se retrouvent ouverts simultanément. Commence alors le premier temps mort dt_1 . Le courant de sortie est continu mais ne peut plus circuler au travers du transistor M2 qui est ouvert. La diode de roue-libre D2 commute alors naturellement pour assurer la circulation du courant. Cette phase est représentée sur la Figure I.14 (b). La conduction de la diode D2 et du transistor M2 étant différente le potentiel V_{SW} est modifié, il passe de $-R_{ON} \cdot I_{OUT}$ à $-V_F$. L'instant de commutation d'un transistor ainsi que sa vitesse de commutation ne peuvent être garantis car variables en fonction de nombreux paramètres comme le point de fonctionnement du convertisseur, la température, le composant, ... Les temps morts sont donc choisis long (de l'ordre de la μs) afin d'éviter tout court-circuit même dans les pires cas.
- À l'instant t_1 , à la fin du temps mort dt_1 , la commande 1 passe à l'état haut, le transistor M1 peut alors se fermer de manière sûre. Cela impose le blocage de la diode D2, le courant de sortie circule ainsi au travers du transistor High-Side et le potentiel V_{SW} est égal à $V_{IN} - R_{ON} \cdot I_{OUT}$. Cette phase correspond à la représentation de la Figure I.14 (c).
- Au temps t_2 , après un temps αT de conduction du courant par le transistor M1, la commande 1 passe à l'état bas et le transistor M1 s'ouvre. Commence alors le deuxième temps mort dt_2 . De même que durant la durée dt_1 , les deux transistors sont ouverts. Le courant est conduit par la diode D2 comme sur la Figure I.14 (c). La tension au point milieu V_{SW} chute jusqu'à $-V_F$.
- Au temps t_3 , à la fin du temps mort dt_2 , la commande 2 passe à l'état haut et le transistor M2 se ferme de façon sûre. Le transistor M2 conduit alors la majorité du courant comme avant t_0 .

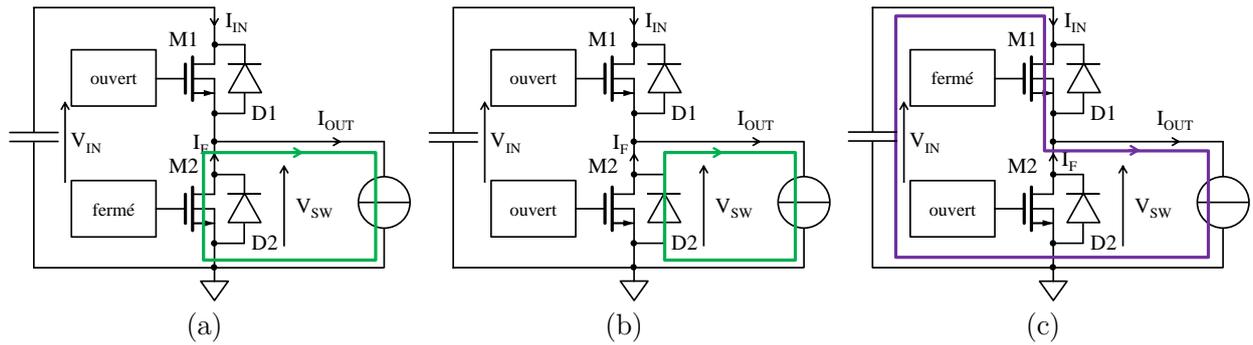


Figure I.14 : Les trois états de fonctionnement du convertisseur Buck dépendantes des états ouvert ou fermé des transistors High-Side et Low-Side

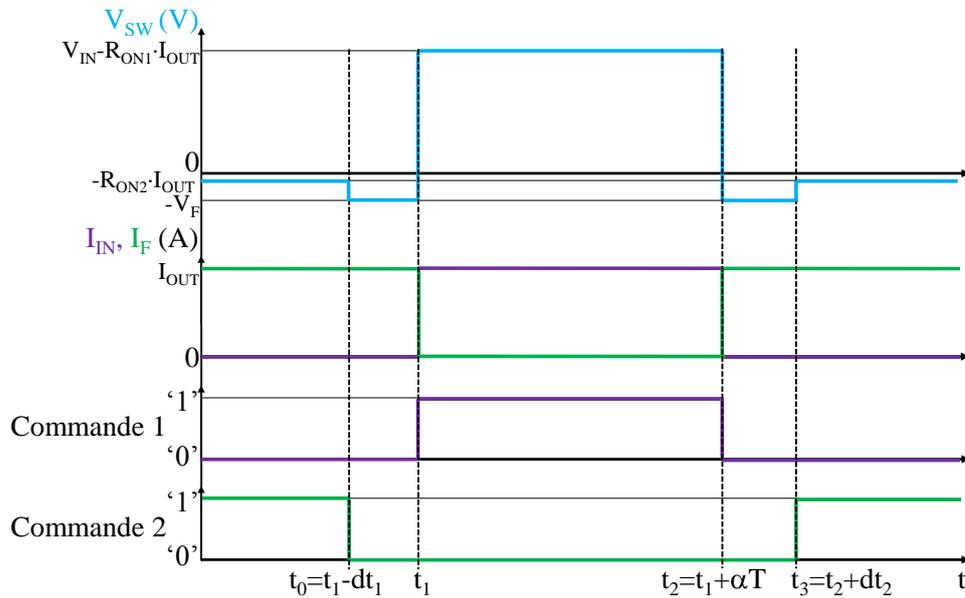


Figure I.15 : Chronogrammes simplifiées des tensions et courants au sein du convertisseur Buck à commutation synchrone/naturelle pour un courant de sortie I_{OUT} positif

Au cours d'une période de fonctionnement d'un tel convertisseur synchrone hybride, le courant passe par trois interrupteurs : deux MOSFETs et une diode. Les pertes par conduction se répartissent donc entre pertes dans les transistors $P_{CON,MOS}$, données par l'équation (I.6), et pertes dans la diode $P_{CON,D}$, données par l'équation (I.7). Ces dernières sont aussi les pertes durant les temps morts, notées P_{dt} dans un convertisseur synchrone hybride. Avec les modèles simples utilisés ici, les pertes par commutation avec la commutation hybride ou purement synchrone sont quasiment de même valeur. Sur une plage de fonctionnement donnée si l'état passant des transistors est meilleur que celui de la ou des diodes, le rendement du convertisseur Buck à commutation hybride est en deçà de celui de son homologue à commutation purement synchrone à cause de pertes supplémentaires durant les temps morts et de pertes par recouvrement de la ou les diodes de roue-libre. Mais ce gain en rendement permis par le

redressement purement synchrone se fait au détriment de la robustesse du système si aucune protection contre la désynchronisation des signaux de commande est mise en place.

$$P_{CON,MOS} = (1 - (dt_1 + dt_2) \cdot f) \cdot R_{ON} \cdot I_{OUT}^2 \quad (\text{I.6})$$

$$P_{CON,D} = P_{dt} = V_F \cdot (dt_1 + dt_2) \cdot I_{OUT} \cdot f \quad (\text{I.7})$$

Dans la suite de ce manuscrit nous utiliserons le terme de convertisseur synchrone au sens large pour adresser, soit un convertisseur à commutation purement synchrone comme celui de la Figure I.10, soit un convertisseur à commutation hybride comme celui représenté en Figure I.13. Si besoin nous préciserons le type exact de commutation.

1.2.3.4 Plusieurs diodes en antiparallèle des interrupteurs

Si nous étudions la vue en coupe d'un transistor MOSFET vertical, comme celle schématisée sur la Figure I.16, nous remarquons qu'il existe une diode parasite interne formée par une jonction PN entre le drain et la source du composant. Celle-ci peut conduire le courant de la source vers le drain, et ce quel que soit l'état de la commande appliquée à la grille. Cette diode parasite étant orientée dans le même sens que la diode D2 de la Figure I.13 et possédant une chute de tension à l'état passant d'environ 800mV, elle conduit le courant en inverse lors des temps mort. Cependant cette diode interne a de mauvaises caractéristiques. La Figure I.17 présente une comparaison à la commutation de 10A des formes de courant de la diode Schottky SiC [11], de la diode rapide Si [10] et de la diode parasite interne du MOSFET CoolMOS 650V/18A [16]. Les courbes expérimentales de la diode rapide Si et de la diode Schottky SiC sont issues de [17] tandis que la courbe du MOSFET est une courbe théorique basée sur ses données constructeur [16]. La vitesse de commutation de la diode interne du MOSFET est d'environ 55A/μs contre plus de 200A/μs pour les deux diodes externes. Le temps de recouvrement t_{rr} à 25°C de la diode interne est de 800ns contre seulement 40ns pour la diode rapide Si et même un temps nul pour la diode Schottky SiC. La charge inverse de recouvrement Q_r de la diode interne est de 7 μC avec un pic en courant atteignant 20A contre une charge Q_r de 160 nC et un pic de 4A pour la diode rapide Si et une charge capacitive Q_c de 104 nC et un pic de 1A pour la diode SiC. Il est donc fortement conseillé de conserver ces diodes externes D1 et D2 dans un convertisseur de puissance à commutation synchrone/naturelle à base de MOSFETs à condition que ces diodes externes plus rapides conduisent effectivement la majorité du courant pour éviter tout recouvrement de la diode interne du MOSFET. Pour ce faire l'état passant des diodes en antiparallèle doit être égal ou meilleur que celui de la diode interne quelques soient le point de fonctionnement et la température. Cela est le cas pour la diode Schottky SiC, , mais difficilement celui de la diode rapide Si (voir Figure I.9). L'utilisation de ces diodes en antiparallèle ajoutent un coût mais aussi des composants parasites qui impactent la compatibilité électromagnétique du système.

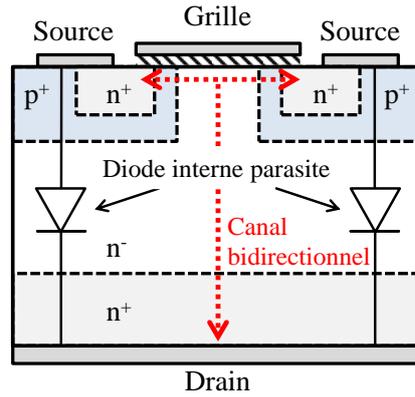


Figure I.16 : Vue en coupe schématique d'un MOSFET vertical mettant en évidence sa diode parasite interne entre drain et source

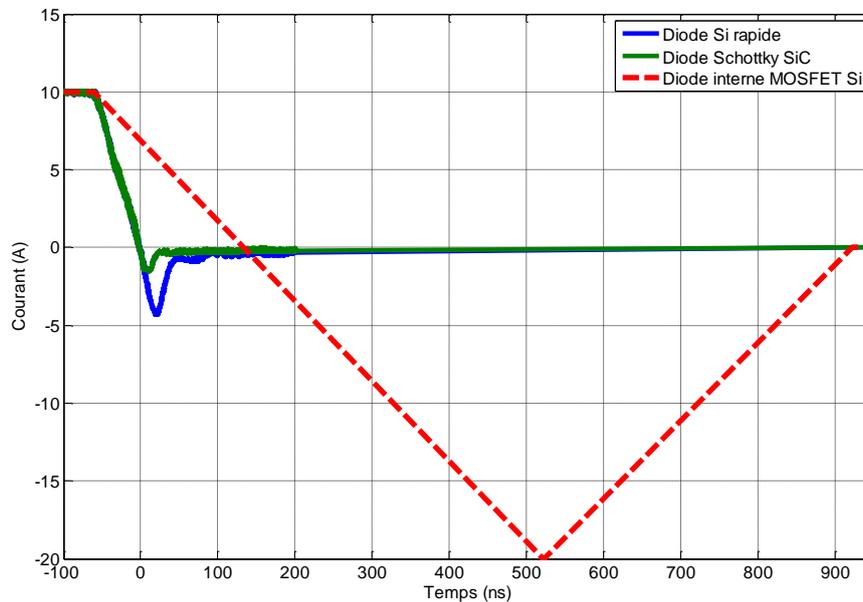


Figure I.17 : Comparaison des formes de courants à la commutation d'une diode Schottky SiC 600V/10A, d'une diode rapide Si 600V/10A et de la diode interne d'un MOSFET à super jonction 650V/18A à 25°C

I.3 Les composants grand gap

I.3.1 Des composants aux performances intrinsèques supérieures

Comme nous le constatons précédemment sur la Figure I.5, le monde des interrupteurs de puissance est dominé à l'heure actuelle par le semi-conducteur silicium. Depuis les années 1970, les composants de puissance silicium se sont considérablement améliorés. Leur résistance spécifique à l'état passant $R_{ON}S$, pour une tension de claquage V_{BR} donnée, n'a pas cessé de diminuer, à tel point que les composants unipolaires silicium ont atteint les limites théoriques du matériau [8]. Pour cette raison de nouveaux matériaux semi-conducteurs sont à l'étude afin de dépasser ces limites du silicium [18]. Les matériaux les plus prometteurs qui prétendent

remplacer le silicium dans le domaine de l'électronique de puissance sont les semi-conducteurs à grand gap tel que le SiC, le GaN ou encore le diamant. Le Tableau I-2 permet de comparer les propriétés physiques de ces matériaux grand gap avec celles du silicium. Les valeurs des grandeurs physiques sont issues de [19].

Tableau I-2 : Propriétés et grandeurs physiques de composants grand gap comparées à celles du silicium

Grandeurs physiques	Unité	Si	4H-SiC	GaN	Diamant
Bandgap E_g	eV	1.12	3.26	3.39	5.47
Densité de porteur intrinsèque n_i	cm^{-3}	$1 \cdot 10^{10}$	$8 \cdot 10^{-9}$	$2 \cdot 10^{-10}$	$1 \cdot 10^{-22}$
Champ électrique critique E_{crit}	MV/cm	0.23	2.2	3.3	5.6
Mobilité des électrons μ_n	$\text{cm}^2/\text{V}\cdot\text{s}$	1400	950	1500	1800
Permittivité relative ϵ_r	-	11.8	9.7	9.0	5.7
Conductivité thermique λ_{th}	W/cm·K	1.5	3.8	1.3	20
Grandeurs physiques relatives au silicium à tension de claque V_{BR} fixée					
Largeur de la zone de déplétion W_{drift}	rel. to Si	1	0.1	0.07	0.04
Niveau de dopage N_{drift}	rel. to Si	1	75.2	157	286
Résistance spécifique à l'état passant $R_{ON} \cdot S$	rel. to Si	1	$2 \cdot 10^{-3}$	$4 \cdot 10^{-4}$	$1 \cdot 10^{-4}$

Comme leur nom l'indique les semi-conducteurs grand gap ont un gap ou une hauteur de la bande interdite E_g séparant les derniers états occupés de la bande de valence et les premiers états libres de la bande de conduction, plus importants que le silicium. Une énergie plus importante est donc nécessaire pour faire passer un électron de la bande valence à la bande de conduction. Ce gap plus important permet d'atteindre une densité de porteurs intrinsèque n_i bien inférieure et confère aux composants grand gap la possibilité de fonctionner à de plus hautes températures [20]–[23]. Ces nouveaux composants ont un champ électrique critique E_{crit} bien supérieur. Les semi-conducteurs 4H-SiC et GaN ont par exemple des E_{crit} environ dix et quinze fois supérieurs au silicium. La largeur de la zone de déplétion non tronquée W_{drift} et le niveau de dopage N_{drift} d'un transistor fonctionnant en zone non linéaire sont donnés par les équations (I.8) et (I.9). Dans le tableau ci-dessus, la résistance spécifique à l'état passant $R_{ON} \cdot S$ est donnée par l'équation (I.10).

$$W_{drift} = \frac{2V_{BR}}{E_{crit}} \quad (\text{I.8})$$

$$N_{drift} = \frac{E_{crit}^2 \cdot \epsilon_r}{2q \cdot V_{BR}} \quad (\text{I.9})$$

$$R_{ON} \cdot S = \frac{W_{drift}}{q \cdot \mu_n \cdot N_{drift}} = \frac{4V_{BR}^2}{\mu_n \cdot \epsilon_r \cdot E_{crit}^3} \quad (\text{I.10})$$

Les valeurs de ces grandeurs physiques sont données, relatives au silicium et à tension de claquage V_{BR} fixée, pour les semi-conducteurs grand gap dans le Tableau I-2. À tension de claquage égale, des composants 4H-SiC et GaN peuvent en théorie être respectivement dix et

quinze fois plus petits avec des niveaux de dopages bien plus importants que leurs homologues en silicium. Avec une largeur de zone de déplétion W_{drift} bien inférieure, un niveau de dopage N_{drift} bien supérieur et une mobilité des électrons μ_n du même ordre de grandeur, un composant grand gap peut par calculs purement théoriques avoir une résistance spécifique à l'état passant $R_{\text{ON}} \cdot S$ mille à dix mille fois plus faible qu'un composant silicium [19], en pratique ce gain sera toutefois plus faible. Les premiers interrupteurs de puissance grand gap obtenus démontrent déjà des caractéristiques statiques meilleures que leurs homologues silicium. La Figure I.18 issue de [24] compare la résistance spécifique des meilleurs transistors silicium avec celle des premiers composants grand gap SiC et GaN en fonction de la tension de claquage V_{BR} .

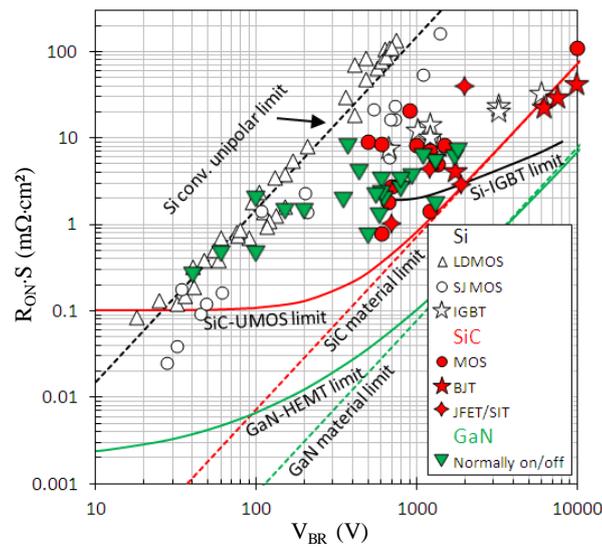


Figure I.18 : Comparaison des résistances spécifiques $R_{\text{ON}}S$ des transistors Si, GaN et SiC en fonction de la tension de claquage V_{BR}

L'optimisation de $R_{\text{ON}} \cdot S$ et de la densité de puissance résultera toujours en un composant grand gap plus petit que son homologue en silicium. Ces composants plus petits possèdent aussi des composants parasites plus petits donc de plus faibles valeurs à tensions de claquage identiques, ce qui a pour effet de réduire les charges à commuter. Cette réduction des charges, combinée au fait que la plupart des composants grand gap sont des composants unipolaires, font d'eux des composants de puissance aux performances dynamiques exceptionnelles [25], [26]. Depuis quelques années l'attrait important pour les qualités électriques de ces semi-conducteurs grand gap ou optiques (les diodes électroluminescente de couleur bleu ou blanche sont constituées d'alliage de GaN) ont permis une réduction des coûts élevés de synthèse des matériaux et une meilleur maîtrise des procédés technologiques. La production de composant grand gap devenant abordable et quasiment maîtrisée, des premiers composants de puissance grand gap sont disponibles commercialement. La combinaison d'un composant pouvant adresser à la fois des applications de fortes puissances et hautes fréquences n'étant jusque-là pas possible avec un composant silicium [27], les transistors grand gap SiC et GaN visent un nouveau marché représenté schématiquement sur la Figure I.19. L'avènement de ces transistors s'accompagne alors de nouvelles applications hautes températures [20]–[23], hautes fréquences [28]–[34], et/ou hautes densités de puissance [28], [35]–[37].

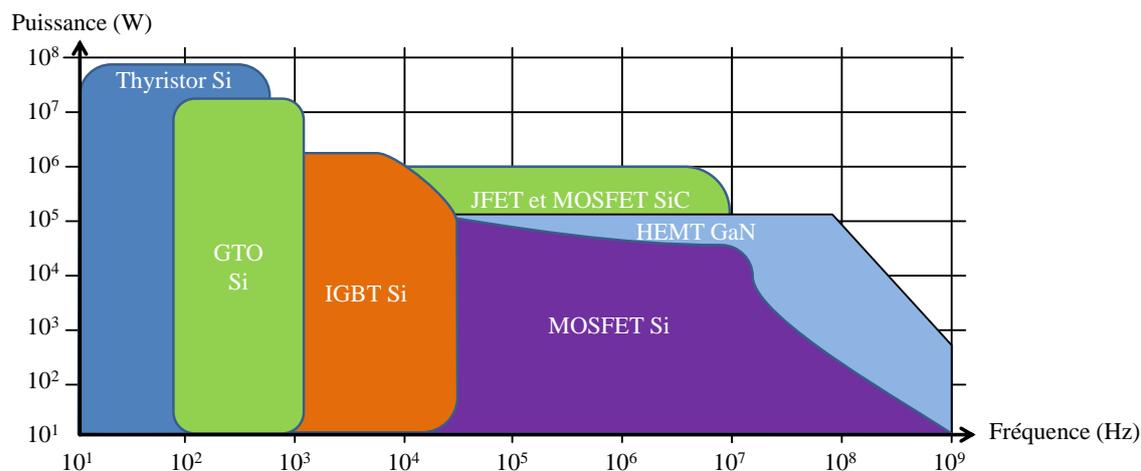


Figure I.19 : Principaux transistors de puissance en silicium se partageant le marché à l'heure actuelle et les domaines visés par les transistors grand gap SiC et GaN

1.3.2 Des composants sans diode parasite interne

Les transistors JFETs SiC purement verticaux et HEMTs GaN sont des composants grand gap aux performances statiques et dynamiques de premier ordre. Leur stade de développement étant déjà avancé, certains d'entre eux sont déjà disponibles commercialement [38]–[40]. Ces composants sont des composants unipolaires et bidirectionnels en courant comme les MOSFETs silicium mais contrairement à ceux-ci ils ne possèdent pas de diode parasite interne entre leur drain et leur source.

1.3.2.1 Le HEMT GaN

Les transistors HEMTs pour High Electron Mobility Transistors sont des transistors à effet de champ (commandés en tension) pouvant être Normally-ON ou Normally-OFF. Un composant Normally-ON (normalement passant) nécessite une tension entre sa grille et sa source V_{gs} en dessous d'une tension de seuil V_{th} négative pour être maintenu bloqué. Tandis qu'un composant Normally-OFF (normalement bloqué) nécessite une tension V_{gs} en dessous d'une tension V_{th} positive pour être maintenu bloqué. Les HEMTs GaN sont des composants de puissance latéraux qui sont créés par croissance de couches minces successives de GaN et d'autres matériaux III-V comme l'AlGaIn ou l'AlN sur un substrat compatible. Le substrat GaN étant idéal mais difficile à synthétiser, d'autres substrats de natures différentes sont utilisés. L'hétéro-épitaxie permet de faire croître le GaN sur un matériau possédant le désaccord de maille avec le GaN le plus faible possible. Le SiC et le saphir possèdent respectivement un désaccord de maille avec le GaN de 4% et 14% [41] ce qui reste faible. Mais pour des raisons évidentes de coût, de praticité et de compatibilité des procédés avec les bâtis de croissance actuellement utilisés, beaucoup d'études ont été menées pour utiliser le silicium comme substrat principal pour les composants GaN malgré un désaccord de maille de 20%, une moins bonne stabilité thermique et une grande résistivité limitant le fonctionnement à très haute fréquence [42].

Sur la Figure I.20 est représentée la vue en coupe schématique d'un HEMT GaN constitué d'un empilement de couches AlN, GaN et AlGaIn déposées par hétéro-épitaxie sur substrat Si. À l'hétérojonction entre le GaN et l'AlGaIn, la torsion de la maille crée, par effet piézoélectrique, un gaz d'électrons d'environ un électron d'épaisseur appelé couramment 2DEG pour 2-Dimension Electron Gas [43]. C'est ce gaz d'électrons qui a une résistivité extrêmement faible et qui permet entre autres aux HEMTs d'atteindre des résistances à l'état passant très faibles. Nous pouvons constater grâce à la Figure I.20 que dans la structure d'un HEMT il n'existe pas de jonctions P/N ou métal/semi-conducteur entre drain et source et donc aucune diode parasite interne entre ces deux électrodes [44].

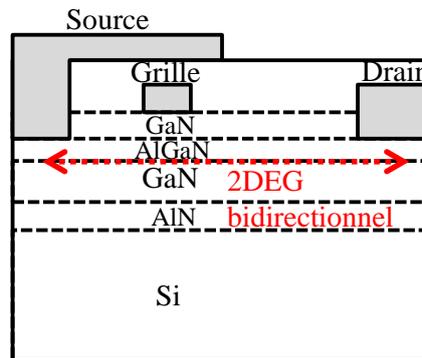


Figure I.20 : Vue en coupe schématique d'un HEMT GaN sur Si latéral mettant en évidence l'absence de diode parasite interne entre drain et source

Nous pouvons voir sur la Figure I.21 (a) la photographie d'un HEMT GaN [39] produit par EPC et disponible commercialement. Ce composant Normally-OFF 100V/6A a une résistance à l'état passant R_{ON} de $30\text{m}\Omega$ et une taille sans dissipateur thermique spécifique réduite de seulement $1.7\text{mm} \times 1\text{mm}$. Ses caractéristiques électriques principales sont comparées dans le Tableau I-3 à celles d'un MOSFET homologue en silicium, l'IPD33CN10NG [45], visible sur la Figure I.21 (b). À part leur tension de claquage V_{BR} et leur résistance R_{ON} proches, leurs caractéristiques électriques sont bien différentes. Il apparaît par exemple que les HEMTs GaN ont une charge de grille totale Q_G bien plus faible mais aussi une grille plus fragile ne permettant pas de dépasser une tension grille-source V_{gs} de $-5\text{V}/+6\text{V}$ contre $\pm 20\text{V}$ pour le MOSFET. La tension de seuil V_{th} de ce HEMT Normally-OFF se situe entre 0.7V - 2.5V . Bien qu'elle soit environ deux fois plus faible que celle du transistor silicium cette tension de seuil se situe bien plus proche de la tension grille-source maximale $V_{gs,max}$ admissible par le composant. Les HEMTs GaN ne possédant pas de diode interne parasite entre drain et source il n'y a aucune charge Q_r à recouvrir et donc le temps de recouvrement t_{rr} est quasiment nul. Par contre, ces premiers composants GaN ont, pour le moment, une température de fonctionnement maximale T_j plus faible et des fuites de courant de grille et de drain encore bien supérieures à celles du transistor MOSFET considéré ici.



Figure I.21 : Photographies (a) du HEMT GaN EPC2007 [39] 100V Normally-OFF de R_{ON} 30m Ω et (b) du MOSFET Si IPD33CN10NG [45] 100V Normally-OFF de R_{ON} 33m Ω . La surface de la puce silicium mise en boîtier est estimée par la Figure I.18 à 5 mm²

Tableau I-3 : Comparaison des principales caractéristiques électriques à 25°C d'un HEMT GaN et de son équivalent MOSFET Si

	MOSFET Si IPD33CN10NG [45]	HEMT GaN EPC2007 [39]
Tension de claquage V_{BR}	100 V	100 V
Résistance à l'état passant R_{ON}	33 m Ω	30 m Ω
Charge de grille totale Q_G	18-24 nC (V_{gs} de 0 à 10V)	2.1-2.8 nC (V_{gs} de 0 à 5V)
Tension grille-source min $V_{gs,min}$ /max $V_{gs,max}$	± 20 V	-5 V / +6 V
Tension de seuil V_{th}	2-4 V	0.7-2.5 V
Temps de recouvrement diode interne t_{rr} à $I_S=27A$	77 ns	0 ns
Charge de recouvrement de la diode interne Q_r	154 nC	0 nC
Température max de fonctionnement T_j	175 °C	125 °C
Courant de fuite de grille I_{GSS} à l'état ON à 25°C	1-100 nA ($V_{gs}=20V$)	0.25-2 mA ($V_{gs}=5V$)
Courant de fuite de grille I_{GSS} à l'état OFF à 25°C	-	-0.25 mA ($V_{gs}=-5V$)
Courant de fuite de drain I_{DSS} à $V_{gs}=0V, V_{ds}=80V$ et 25°C	0.1-1 μA	20-60 μA

I.3.2.2 Le JFET SiC purement vertical

Les transistors JFETs pour Junction Field-Effect Transistors sont des transistors à effet de champ à grille non isolée, directement en contact avec le substrat. Ils peuvent aussi être Normally-ON ou Normally-OFF. Les JFETs SiC purement verticaux [38], [46], [47] sont appelés ainsi de par leur canal exclusivement vertical. Ce canal visible sur la vue en coupe de la Figure I.22 est dit purement vertical par opposition aux composants verticaux dont une partie de leur canal est latérale comme les JFETs SiCED [48]. Un JFET SiC purement vertical est constitué de couches de matériaux SiC plus ou moins dopés n ou p. Ce composant JFET SiC à canal N est gravé en surface afin d'accéder à la grille enterrée. Lorsqu'une tension suffisamment basse est appliquée à cette grille, la zone d'appauvrissement dans le canal entre les caissons dopés P⁺ va s'étendre jusqu'à empêcher le passage des électrons entre le drain et la source. Le composant est alors ouvert. Lorsque la tension de grille redevient suffisamment élevée, les électrons peuvent circuler de nouveau au travers du canal N vertical. Ce canal purement vertical n'étant formé que

d'un empilement de couches de type n entre le drain et la source, il n'y a, comme pour le HEMT GaN, pas de jonctions P/N ou métal/semi-conducteur pouvant donner lieu à une diode interne parasite entre drain et source.

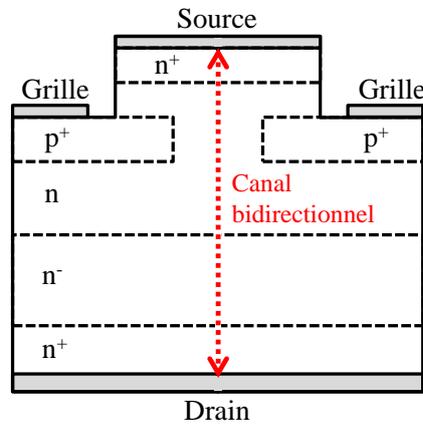


Figure I.22 : Vue en coupe schématique d'un JFET SiC purement vertical mettant en évidence l'absence de diode parasite interne entre drain et source

Le transistor SJDP120R085 [38] fabriqué par Semisouth, dont sa photographie est visible sur la Figure I.23, est un JFET SiC 1200V/27A purement vertical Normally-ON. Il est mis dans un boîtier TO-247, relativement volumineux, peu adapté aux commutations haute fréquence mais permettant un refroidissement satisfaisant de la puce. Les principales caractéristiques électriques de ce composant sont disponibles dans le Tableau I-4 et comparables à celles d'un MOSFET Si 900V à super jonction [49], lui aussi mis en boîtier TO-247 mais Normally-OFF. Le type Normally-ON/Normally-OFF étant différent, nous ne ferons une comparaison de ces deux composants qu'à titre informatif. Nous constatons que le JFET SiC a une résistance à l'état passant et une charge de grille bien plus faible que le MOSFET Si malgré une tension de claquage plus importante. La tension grille-source du transistor SiC ne peut pas dépasser $\pm 15V$ alors que la tension de seuil V_{th} est à $-5V$ contre une tension $V_{gs,max}$ de $\pm 30V$ et une tension de seuil V_{th} de 2.5-3.5V pour le MOSFET. La particularité du JFET SiC purement vertical est de n'avoir aucune diode interne entre drain et source et donc aucune charge Q_f à recouvrir et donc un temps de recouvrement t_{rr} nul. Tandis que le MOSFET à super jonction possède lui une diode interne, avec une charge Q_{rr} de $30\mu C$ et un très long temps de recouvrement t_{rr} de 920 ns. Les fuites de courant de grille du JFET SiC restent plus importantes que celle du MOSFET mais elles sont plus contenues que celles du HEMT précédemment étudié. Par contre les fuites de courant de drain pour le JFET SiC et le MOSFET Si sont toutes les deux égales à $10\mu A$.

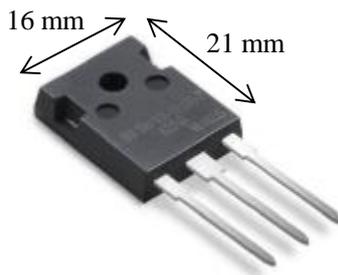


Figure I.23 : photographie du JFET SiC purement vertical Normally-ON 1200V/27A mis en boîtier TO-247

Tableau I-4 : Comparaison des caractéristiques électriques à 25°C d'un JFET SiC 1200V purement vertical et d'un MOSFET Si 900V à super jonction

	SJ-MOSFET Si IPW90R120C3 [49]	JFET SiC SJDP120R085 [38]
Tension de claquage V_{BR}	900 V	1200 V
Résistance à l'état passant R_{ON}	120 m Ω	75 m Ω
Charge de grille totale Q_G	270 nC (V_{gs} de 0V à 10V)	32 nC (V_{gs} de -15V à +2.5V)
Tension grille-source max $V_{gs,max}$ (AC)	± 30 V	± 15 V
Tension de seuil V_{th}	2.5-3.5 V	-5 V
Temps de recouvrement diode interne t_{rr} à $I_S=26A$	920 ns	0 ns
Charge de recouvrement de la diode interne Q_r	30 μ C	0 nC
Température max de fonctionnement T_j	150 °C	150 °C
Courant de fuite de grille I_{GSS} à l'état ON à 25°C	100 nA ($V_{gs}=20V$)	40 μ A ($V_{gs}=+2V$)
Courant de fuite de grille I_{GSS} à l'état OFF à 25°C	-	-0.1 mA ($V_{gs}=-15V$)
Courant de fuite de drain I_{DSS} à $V_{ds}=V_{BR}$ et à 25°C	10 μ A ($V_{gs}=0V$)	10 μ A ($V_{gs}=-15V$)

I.3.2.3 Des composants bidirectionnels en courant mais avec un mode de conduction inverse particulier

Le HEMT GaN ou le JFET SiC purement vertical sont tous deux des composants à effet de champ, naturellement bidirectionnels en courant tout comme n'importe lequel des MOSFETs classiques en silicium. Mis à part leurs performances statiques et dynamiques, la principale différence entre ces deux composants grand gap et leurs homologues silicium réside dans leur absence de diode interne parasite entre drain et source [28], [37], [38], [44], [46], [47], [50]. Leur modèle électrique équivalent représenté sur la Figure I.24 est proche de celui du MOSFET avec une résistance et une capacité parasite à chaque borne à l'exception de la diode parasite manquante entre drain et source. Suivant le type de grille G « Schottky » ou isolée du composant de puissance les diodes entre grille et drain D_{gd} et entre grille et source D_{gs} peuvent être [51], [52] ou ne pas être [53] présentes.

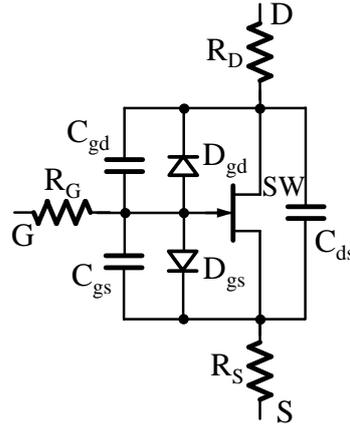


Figure I.24 : Modèle électrique équivalent des transistors grand gap HEMT GaN et JFET SiC sans diode interne entre drain et source

Les caractéristiques statiques du JFET SiC purement vertical SJDP120R085 [38] ont été tracées à l'aide du traceur Agilent B1505A et sont visibles sur la Figure I.25. La tension de seuil V_{th} du transistor est environ égale à $-5V$. Lorsque la tension grille-source V_{gs} est au-dessus de ce seuil, la chute de tension V_{ds} est minimale et le fonctionnement du transistor dans les premier et troisième quadrants est exactement symétrique. Pour cette raison le composant est bidirectionnel en courant au même titre que les MOSFETs. Lorsque la tension V_{gs} est en dessous du seuil V_{th} , c'est normalement la diode interne du MOSFET qui conduit dans le troisième quadrant. Pour le JFET SiC sans diode interne, le courant est quand même conduit en inverse par le composant mais avec des caractéristiques qui dépendent de la tension de grille. Le HEMT GaN partagent avec le JFET SiC purement vertical des caractéristiques statiques tout à fait semblables [28], [37], [44], [50]. Les explications, interprétations et équations qui suivent sont donc valides pour l'un comme pour l'autre.

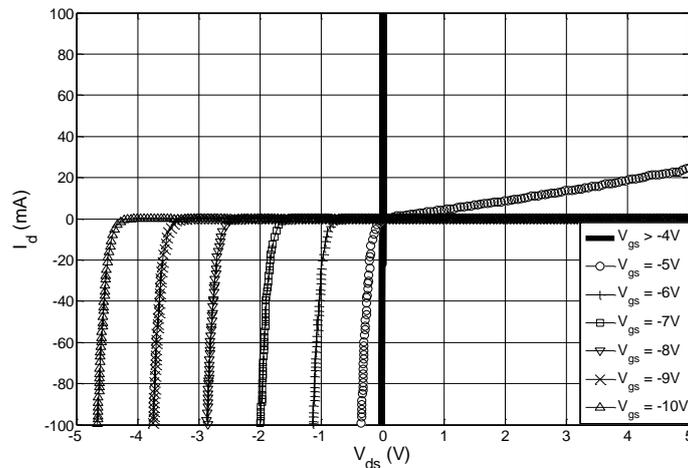


Figure I.25 : Caractéristiques I-V en direct et en inverse du JFET SiC purement vertical [38] pour V_{gs} variant de $-10V$ à $-4V$ par pas de $1V$. Mise en évidence du comportement en inverse du JFET SiC.

La seule possibilité pour le courant de circuler en inverse dans le composant fonctionnant sous le seuil V_{th} est de passer par son canal puisqu'il n'y a aucun autre chemin alternatif. Le schéma électrique de cette configuration particulière est représenté sur la Figure I.26. Dans ce cas, la tension de drain négative diminue l'étendue de la zone de déplétion formée au niveau du canal et le courant peut donc forcer le passage dans celui-ci. À partir de cet instant nous pouvons considérer que la tension de commande du transistor sans diode n'est plus V_{gs} mais V_{gd} et que le transistor conduit le courant au travers d'un canal plus ou moins résistif en fonction de V_{gd} . Nous pouvons alors appliquer aux courbes I-V dans le troisième quadrant et pour V_{gs} sous le seuil V_{th} la régression linéaire donnée par l'équation (I.11). Lorsque le composant conduit en inverse sous le seuil, nous remarquons que plus V_{gs} est négative, plus cette tension grille-source est éloignée de la tension de seuil V_{th} , plus la chute de tension V_{ds} est importante. Cette chute de tension importante va s'avérer très pénalisante lors des phases dites de « roue-librage » du courant.

$$V_{ds} = V_{gs} - V_{th} \quad (\text{I.11})$$

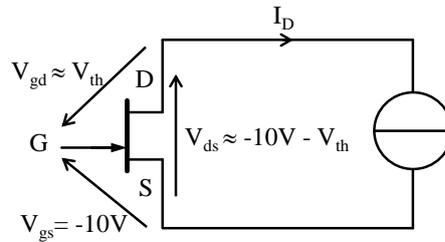


Figure I.26 : Schéma électrique d'un transistor grand gap sans diode interne opérant dans le troisième quadrant avec V_{gs} sous le seuil V_{th}

1.3.3 Des composants plus sensibles aux composants parasites

1.3.3.1 Les composants parasites dans le convertisseur de puissance

Dans un convertisseur de puissance à commutation il existe de nombreux composants parasites qui doivent être évalués et pris en compte pour concevoir un convertisseur performant et robuste. Ces composants parasites peuvent être de nature résistive, capacitive ou inductive. Sur la Figure I.27 est représenté un convertisseur Buck synchrone avec les principaux composants parasites pouvant impacter le fonctionnement du convertisseur et de ses composants. Nous distinguons les capacités parasites C_{gs} , C_{gd} et C_{ds} provenant directement des transistors J1 et J2 comme sur le modèle électrique de la Figure I.24 précédemment étudié, ainsi qu'une capacité parasite de mode commun C_{com} entre le point milieu et la masse. Nous distinguons les inductances parasites rouges qui se trouvent à l'intérieur de la maille de commutation de puissance, les inductances bleues qui se situent dans la maille de commutation de la commande et les inductances parasites violettes communes à la maille de commutation de puissance et de commande. En partant des transistors et en s'en éloignant, ces inductances parasites aux différentes électrodes représentent les inductances des fils de bondings, celles du boîtier seul, puis celles des interconnexions avec soit la capacité d'entrée C_{IN} , soit les circuits de commande. Ces

inductances et capacités parasites sont toutes autant présentes dans les convertisseurs de puissance à base de transistors classiques mais avec les caractéristiques dynamiques d'un autre ordre des composants grand gap, l'impact de ces composants parasites sur le fonctionnement et la robustesse du convertisseur devient très critique.

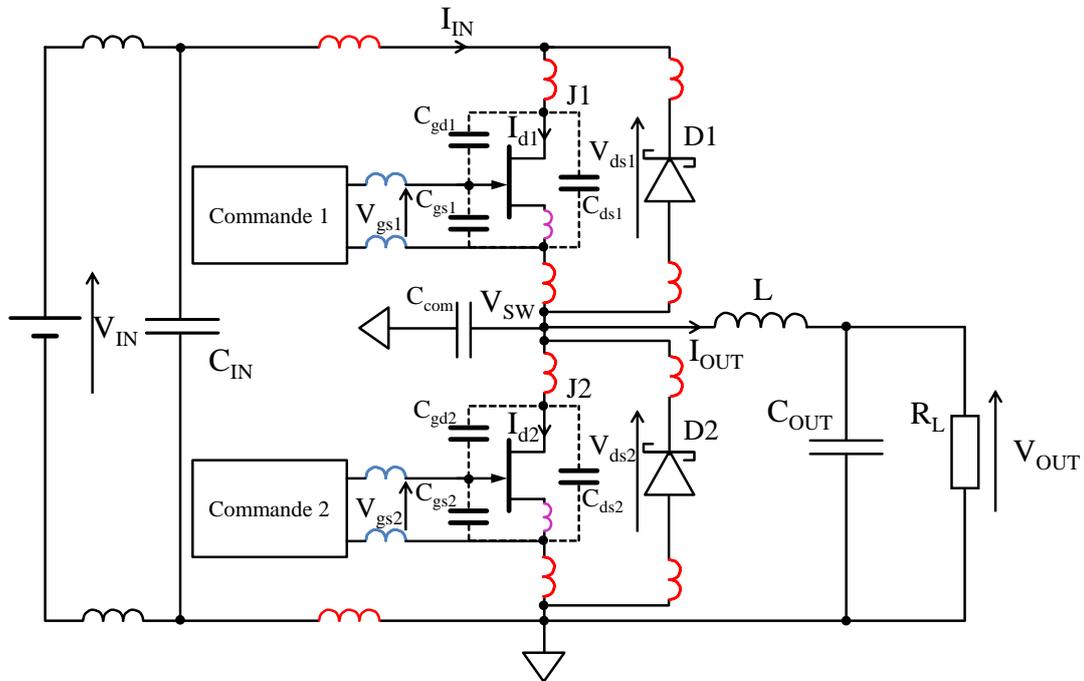


Figure I.27 : Schéma d'un convertisseur de puissance synchrone mettant en évidence les principaux composants parasites dans la maille de commutation de puissance (rouge) et dans la maille de commutation des commandes (bleu)

I.3.3.2 Des risques plus importants de claquage en tension entre les électrodes de puissance

Le composant JFET SiC précédemment étudié [38] est capable de commuter 17A sous 600V en 10ns. Dans des travaux précédents [29] un composant HEMT GaN commute 350V/20A en 15ns. Les variations de courant de drain $\Delta I_d/\Delta t$ et de tension drain-source $\Delta V_{ds}/\Delta t$ atteignent des valeurs extrêmes, ici de 2kA/ μ s et 60kV/ μ s. À cause des inductances parasites en rouge sur la Figure I.27 se trouvant dans la maille de commutation de puissance, de fortes variations de courant $\Delta I_d/\Delta t$ induisent de fortes surtensions entre le drain et la source du composant.

Pour mieux se rendre compte de l'impact des inductances parasites dans la maille de commutation de puissance, nous avons réalisé la simulation d'un hacheur série abaisseur un quadrant comme celui de la Figure I.6, en choisissant comme transistor le HEMT GaN EPC2007 [39] 100V/6A et la diode Schottky SiC STPSC606 600V/6A [54], les modèles Spice de ces deux composants étant fournis par leurs fabricants respectifs. Dans cette première simulation nous estimons les inductances parasites rouges au drain et à la source à une valeur de 2nH et celles en bleu au niveau de la grille et de la source à une valeur de 500pH [55], les inductances parasites communes en violet sont, elles, intégrées au modèle des transistors utilisés. L'inductance parasite

dans la maille de commutation de puissance du hacheur série est donc d'environ 4nH et de 1nH dans la maille de commutation de la commande. Ces valeurs d'inductances parasites correspondent à des mailles de commutation déjà bien optimisées. Le circuit de commande est pour le moment modélisé par un générateur de signaux idéal avec une résistance de grille de 1Ω qui vient s'ajouter à la résistance interne de grille du HEMT fixée à 0.6Ω par son modèle. Les formes d'ondes en tension et courant du hacheur à l'ouverture du HEMT GaN commutant 80V/5A sont visibles sur la Figure I.28. Le HEMT GaN commute rapidement avec des variations $\Delta I_d/\Delta t$ et $\Delta V_{ds}/\Delta t$ d'environ 3kA/μs et 28kV/μs. La tension drain-source V_{ds} atteint la valeur critique de 110V à l'ouverture du transistor, ce qui représente une surtension de plus de 37%. La tension continue de claquage V_{BR} du HEMT GaN étant de 100V, il y a un fort risque de claquage du composant alors qu'une marge de 25% entre la tension d'alimentation et la tension V_{BR} a été prise. Plus le courant est grand, plus ces surtensions sont importantes : dans les mêmes conditions de simulation mais pour un courant commuté de 20A, le pic en tension V_{ds} atteint 190V correspondant à une surtension de 137%.

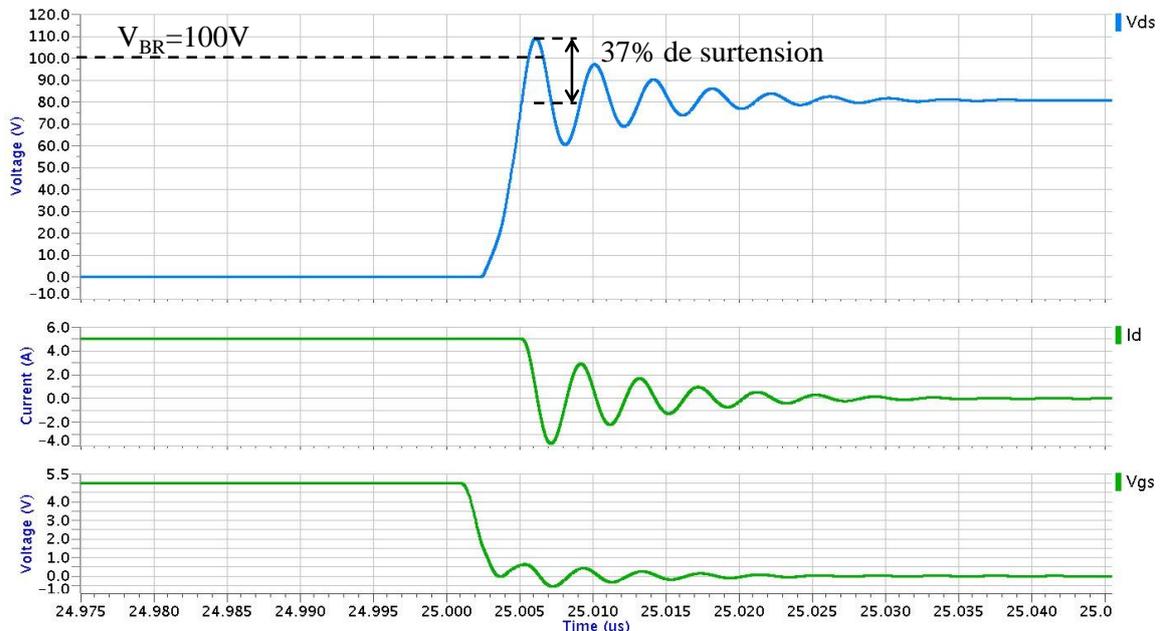


Figure I.28 : Formes d'ondes des tensions V_{gs} et V_{ds} et du courant I_{ds} obtenues par simulation d'un hacheur série à base de HEMT GaN [39] commutant 80V/5A dans un environnement normalement parasité

1.3.3 Des risques importants de casse du composant et de remise en conduction parasite

Les autres risques liés aux composants parasites du circuit et aux caractéristiques dynamiques des composants grand gap se situent au niveau de la grille des composants et de leur commande. Le circuit de commande étant connecté à la grille et la source d'un composant au travers des inductances parasites en bleu sur la Figure I.27, la tension en sortie de ce circuit de commande et la tension effective entre grille et source peuvent être bien différentes, les inductances s'opposant aux variations du courant les traversant. Les deux risques majeurs liés à ces inductances

parasites de grille sont la remise en conduction parasite de l'un des deux transistors et la casse de la grille. Le phénomène de remise en conduction parasite a déjà été observé, étudié et quantifié avec les composants MOSFET Si comme dans [56]–[58]. Ce dernier est susceptible de se produire encore plus fréquemment dans un convertisseur synchrone à base de composants grand gap comme celui de la Figure I.27. En effet avec des énergies d'activation E_{ON} très faibles, de quelques dizaines de micro joules pour les composants grand gap [38], des commutations très rapides et des composants parasites non négligeables, le risque que la tension grille-source V_{gs} dépasse la tension de seuil V_{th} est omniprésent [59]. De même, le risque de casse de grille d'un transistor grand gap est bien supérieur à celui d'un MOSFET. La marge de sécurité entre la tension de seuil V_{th} et la tension grille-source maximale $V_{gs,max}$ étant faible, un mauvais contrôle de la grille ne garantissant pas la tension V_{gs} aux bornes du composant peut rapidement être fatal.

Lorsque le point milieu V_{sw} est commuté, la tension drain-source V_{ds} des transistors varie et un courant I_{gd} donné par l'équation (I.12) circule alors dans la capacité C_{gd} et est normalement évacué à la masse par le circuit de commande afin de maintenir la tension grille-source V_{gs} constante. Mais quand le front de commutation dV_{sw}/dt est trop important, le circuit de commande ne peut plus évacuer assez de charges et la tension V_{gs} subira des variations liées à celles de la tension V_{ds} du composant comme sur le schéma de la Figure I.29. La grille du transistor va alors se charger ou se décharger. Dans le cas où la grille est chargée, si la tension V_{gs} , initialement à l'état bas dépasse la tension de seuil V_{th} , le composant va se (re)mettre en conduction. Dans le cas où la grille est déchargée par le courant parasite, il y a un risque de casse si la chute de tension est trop importante.

$$|I_{gd}| = C_{gd} \cdot \frac{|dV_{gd}|}{dt} \quad (\text{I.12})$$

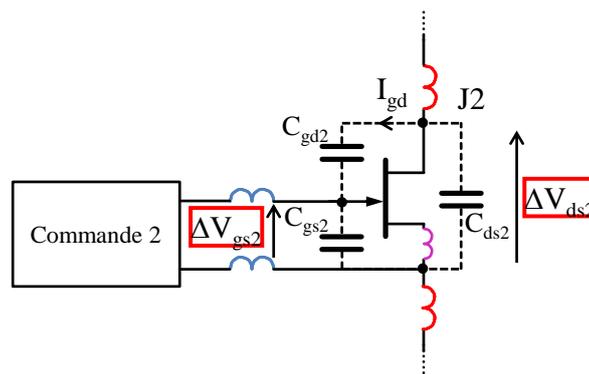


Figure I.29 : Schéma d'un transistor et de sa commande lorsque la tension V_{ds} varie, un courant parasite I_{gd} circule et la tension V_{gs} est impactée si le circuit de commande ne peut pas évacuer assez de charges parasites

Le convertisseur Buck synchrone à base de composants grand gap présenté en Figure I.27 a été simulé pour étudier ces phénomènes parasites. Comme dans la simulation précédente du hacheur série, nous avons choisi les HEMTs GaN EPC2007 [39] et fixé les inductances parasites au drain et à la source en rouge dans la maille de commutation de puissance à une valeur de 2nH

et les inductances en bleu dans la maille de commutation de commande à une valeur de 500pH. L'inductance totale de la maille de commutation de puissance vaut donc environ 8nH et celle des commandes 1nH. Le circuit de commande est toujours modélisé par un générateur de signaux idéal avec une résistance de grille de 1Ω. Sur la Figure I.30 sont visibles les formes de tensions et courants du convertisseur à la fermeture du transistor J1 commutant 80V/5A. Le premier constat que nous pouvons faire en regardant la forme de la tension V_{gs1} est qu'en commandant en tension les transistors entre 0V et 5V comme le préconise le constructeur, la limite $V_{gs,max}$ où la grille casse est quasiment atteinte dans nos conditions de simulation. Le second constat que nous pouvons faire lors de la commutation est le fort pic de courant de 16A traversant les deux transistors J1 et J2 ainsi que la forme particulière du point milieu V_{sw} . Ce courant de court-circuit provient de la cross-conduction des deux transistors. En regardant la forme de la tension V_{gs2} , normalement à l'état bas lorsque J1 commute, nous constatons qu'elle atteint et dépasse même la tension de seuil V_{th} , remettant ainsi en conduction le transistor J2. Cette augmentation de tension V_{gs2} provient de l'augmentation rapide de la tension drain-source V_{ds2} de J2 et de l'injection d'un courant parasite I_{gd2} suivant le même mécanisme que celui représenté sur la Figure I.29.

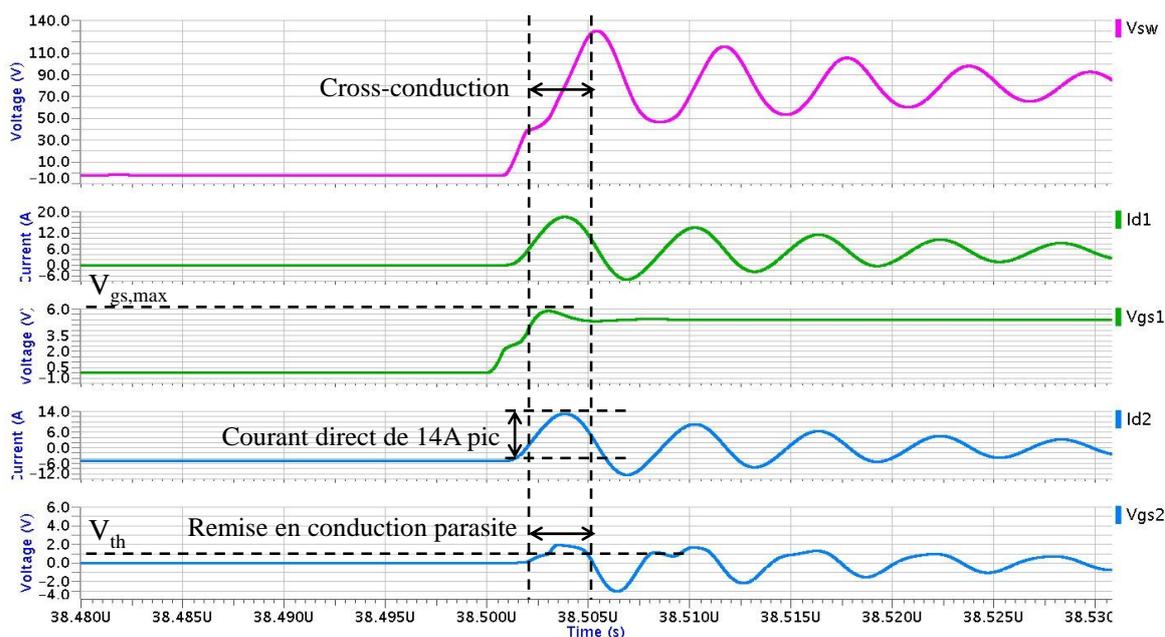


Figure I.30 : Formes des courbes de simulation du point milieu V_{sw} , tensions V_{gs} et courants de drain des deux transistors d'un hacheur Buck synchrone à base de HEMTs GaN [39] commutant 80V/5A dans un environnement normalement parasité

Deux solutions permettent de réduire l'impact des composants parasites dans un convertisseur à base de composants grand gap. La première à privilégier dans tous les cas, consiste à réduire au maximum les inductances parasites à l'intérieur des mailles de commutation de puissance et de commande de grille en travaillant à l'intégration et la mise en boîtier des composants pour les rapprocher les plus les uns des autres [55], [59]. L'autre solution complémentaire consiste à proposer une commande plus adaptée aux caractéristiques dynamiques des composants grand

gap. Dans cette thèse nous nous sommes intéressés à l'étude et à la conception de circuits de commande spécifiques garantissant un fonctionnement optimal des composants grand gap sur une plus grande plage de tension et courant dans un convertisseur synchrone normalement parasité.

I.4 La commande des interrupteurs de puissance dans un convertisseur synchrone

I.4.1 La commande d'un interrupteur à effet de champ

I.4.1.1 Le circuit de commande de grille

Les transistors à effet de champ tels que les MOSFETs, les JFETs et les HEMTs sont commandés à l'ouverture et à la fermeture par la valeur « haute » ou « basse » de la tension entre grille et source V_{gs} . Pour contrôler la tension V_{gs} d'un transistor de puissance à effet de champ, un circuit de commande de grille ou driver est utilisé. Il existe principalement deux types de commande, la commande en tension et la commande en courant dite à résonance [60]. La commande en courant est une technique basée sur un pont en H complet et un élément inductif permettant de réduire les pertes de commande en récupérant une partie de l'énergie utilisée pour la commande de la grille d'un transistor de puissance. Ce type de commande s'avère très complexe pour des gains réels modestes de l'ordre du watt pour des convertisseurs d'une puissance de l'ordre du kilowatt [60], [61] et/ou ne permettant pas un rapport cyclique différent de 0.5 [62]. Nous ne détaillerons par la suite que la commande en tension.

Un circuit de commande en tension se décompose en trois éléments : le circuit de commande de grille ou driver, la résistance externe de grille $R_{G,ext}$, et les alimentations du driver entre V^+ et V^- . Ces alimentations V^+ et V^- sont des alimentations référencées par rapport à la source du transistor. Les valeurs des tensions V^+ et V^- sont choisies de manière à ce que le transistor soit bien passant avec une tension V^+ bien supérieure à V_{th} et bien bloqué avec une tension V^- bien inférieure à la tension V_{th} . Sur la Figure I.31 sont représentés deux circuits de commande de grille très répandus à base de transistors complémentaires unipolaires (PMOS et NMOS) ou bipolaires (NPN et PNP) [63], [64]. Afin de fournir le meilleur contrôle de la grille et de fournir une première solution efficace contre les surtensions et remises en conduction parasites précédemment étudiées, il est nécessaire que la maille du circuit de commande de grille soit la plus courte possible. Cette maille est constituée de l'étage de sortie, des capacités C1 et C2, d'une résistance de grille $R_{G,ext}$ et du transistor de puissance (électrodes grille et source). Le driver peut être réalisé soit entièrement en composants discrets, soit en composants intégrés et l'étage de sortie en composants discrets, soit entièrement en composants intégrés. L'avantage d'un circuit de commande entièrement intégré est indéniable. Il permet de fortement réduire la longueur des interconnexions entre les composants constituant la maille de commutation et donc les inductances parasites au sein de celle-ci, ainsi que de fortement réduire la taille du système et les coûts à grand volume. Par contre un driver entièrement intégré permet à priori beaucoup moins de flexibilité, et la taille limitée de la puce implique une plus forte densité de puissance à dissiper.

Un étage de sortie à base de transistors complémentaires comme ceux des drivers de la Figure I.31 est un montage à grille/base commune et donc en théorie un seul préamplificateur (prebuffer) est nécessaire pour le commander. De par l'orientation des diodes internes des transistors PMOS1 et NMOS2, ainsi que des jonctions base-émetteur des NPN1 et PNP2, il n'est pas nécessaire d'ajouter de diodes Schottky en antiparallèle pour conduire un courant parasite en inverse et/ou clamer naturellement la tension de grille entre V^+ et V^- .

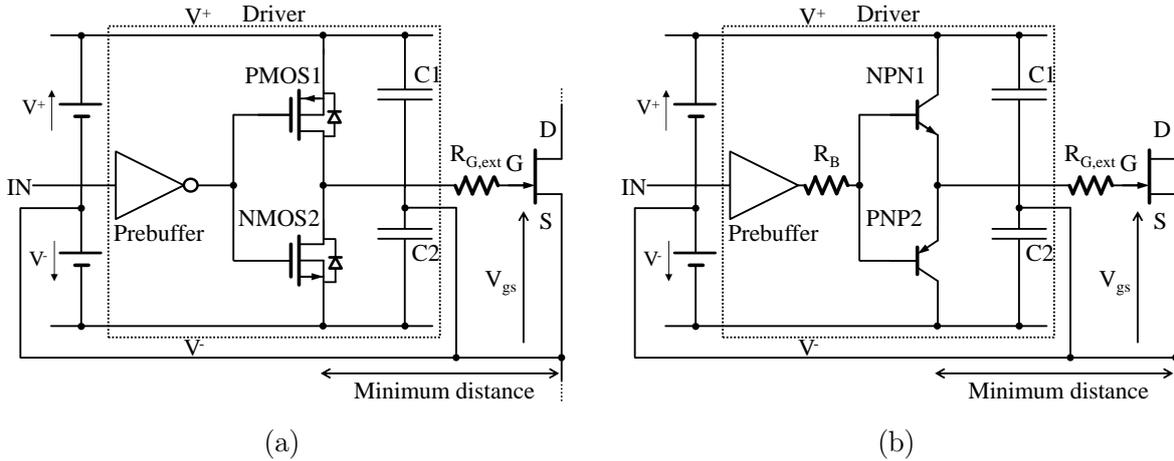


Figure I.31 : Circuits de commande de grille (a) à base de transistors MOSFET complémentaires et (b) de transistors bipolaires complémentaires

Un étage de sortie uniquement à base de transistors NMOSs ou NPNs, comme les circuits de commande de la Figure I.32, présente une meilleure efficacité énergétique et surfacique grâce à des transistors avec une meilleure résistance spécifique comparée à celle des PMOSs et PNPs. Par contre, il nécessite obligatoirement une alimentation V^+_{pre} supplémentaire, deux préamplificateurs Pre1 et Pre2 de logique complémentaire et comportant un circuit de décalage des niveaux de commande. En effet pour que les transistors NMOS1 et NPN1 puissent être bien passant ils doivent être commandés à partir d'une tension V^+_{pre} bien supérieure à V^+ . Les diodes internes des transistors NMOS1 et NMOS2 fournissent comme les PMOS1 et NMOS2 de la Figure I.31 (a) une protection contre un courant parasite inverse et un écrêteur naturel de tension grille-source entre V^+ et V^- . Ceci n'est par contre pas le cas pour la solution de la Figure I.32 (b) à base de NPNs qui nécessite des diodes Schottky supplémentaires.

Le choix de la technologie MOSFET ou bipolaire est principalement fixé par l'application. Les MOSFETs offrent plus de souplesse car ils sont facilement intégrables, pilotables par une tension, ne consomment quasiment rien en état statique mais lors de leur commutation un fort appel de courant sur l'alimentation des drivers doit être pris en compte et si possible limité. Pour les circuits de commande effectués durant cette thèse nous avons choisi de développer uniquement des drivers entièrement intégrés à base de MOSFETs complémentaires comme la solution de la Figure I.31 (a). Nous utilisons dans un premier temps une technologie CMOS facilement accessible pour valider les fonctionnalités puis si nécessaire une technologie SOI compatible avec les applications haute température visées par les composants grand gap.

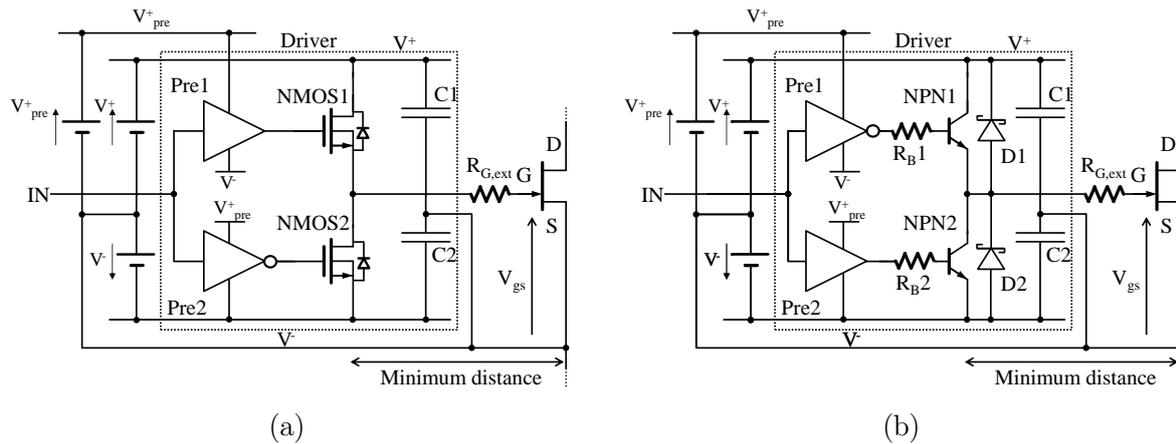


Figure I.32 : Circuits de commande de grille (a) à base de transistors MOSFET NMOS et (b) de transistors bipolaires NPN

I.4.1.2 La commande à la fermeture et à l'ouverture du transistor de puissance

Sur la Figure I.33 sont représentés les schémas électriques d'un transistor à effet de champ avec ses composants parasites, commandé à la fermeture et à l'ouverture par un circuit de commande. À la fermeture, le driver va appliquer une tension V^+ entre la grille et la source du transistor pour le mettre en conduction. Pour ce faire un courant I_g , visible en rouge sur la Figure I.33 (a), circule au travers de la résistance interne de charge du driver R_{HI} , puis la résistance externe et interne de grille $R_{G,ext}$ et $R_{G,int}$ pour finalement venir charger la capacité grille-source C_{gs} . En réalité, selon le niveau de la tension V_{gs} , le courant I_g charge soit la capacité C_{gs} avec un courant I_{gs} , soit décharge la capacité parasite entre grille et drain C_{gd} par le courant I_{gd} , soit les deux en même temps. Sur la Figure I.34 (a) sont représentées les formes d'ondes des tensions et courants du transistor à sa fermeture associées à une diode de roue libre. Nous pouvons distinguer six étapes principales [65] :

- Avant le temps t_0 , la tension V_{gs} est nulle, le transistor est fermé, la tension V_{ds} est importante et le courant de drain I_d quasiment nul.
- Au temps t_0 , le circuit de commande reçoit par l'intermédiaire du signal IN l'ordre de fermer le transistor. Le courant I_g charge la capacité d'entrée C_{iss} , c'est-à-dire la capacité C_{gs} est chargée et C_{gd} est déchargée, la tension V_{gs} croît.
- Au temps t_1 , la tension V_{gs} a atteint la tension de seuil V_{th} . Le transistor se ferme et se met à conduire le courant de drain I_d . La tension drain-source ne varie toujours pas.
- À l'instant t_2 , le courant I_d est entièrement commuté, il a atteint sa valeur maximale et provoque le blocage de la diode de roue libre. La tension V_{ds} commence à chuter ainsi que la tension grille-drain V_{gd} . La tension V_{gs} n'évolue plus, elle atteint une tension V_{Miller} caractéristique du plateau Miller. En effet le courant I_g ne charge plus la capacité C_{gs} mais décharge exclusivement la capacité C_{gd} appelée aussi capacité Miller dont la tension à ses bornes varie fortement à cet instant.
- À l'instant t_3 , la tension drain-source V_{ds} est presque nulle et n'évolue faiblement. Le courant I_g charge de nouveau les capacités C_{gs} et C_{gd} et donc la tension V_{gs} croît, provoquant une diminution de la résistance du canal et donc une légère diminution de V_{ds} .

- À partir du temps t_4 , la capacité d'entrée est entièrement chargée, la tension V_{gs} est alors égale à V^+ et le courant I_g est de nouveau quasiment nul. Le plein courant circule dans le transistor sous une chute de tension réduite fixée par le produit $R_{ds,ON}(V_{gs}=V^+) \cdot I_{ds}$

À l'ouverture, le driver va chercher à appliquer une tension V^- entre la grille et la source du transistor pour bien le bloquer. Pour cela le circuit de commande va décharger la capacité d'entrée C_{iss} par le courant I_g , visible en rouge sur la Figure I.33, au travers de la résistance de grille interne et externe $R_{G,int}$ et $R_{G,ext}$ puis la résistance interne de décharge du driver $R_{L,O}$. Le mécanisme est très proche de celui de mise en conduction du transistor comme nous pouvons le constater sur l'évolution des tensions et courants du transistor lors de son blocage sur la Figure I.34 (b). La tension grille-source V_{gs} évolue de V^+ à V^- en passant de nouveau par le plateau Miller et la tension de seuil V_{th} .

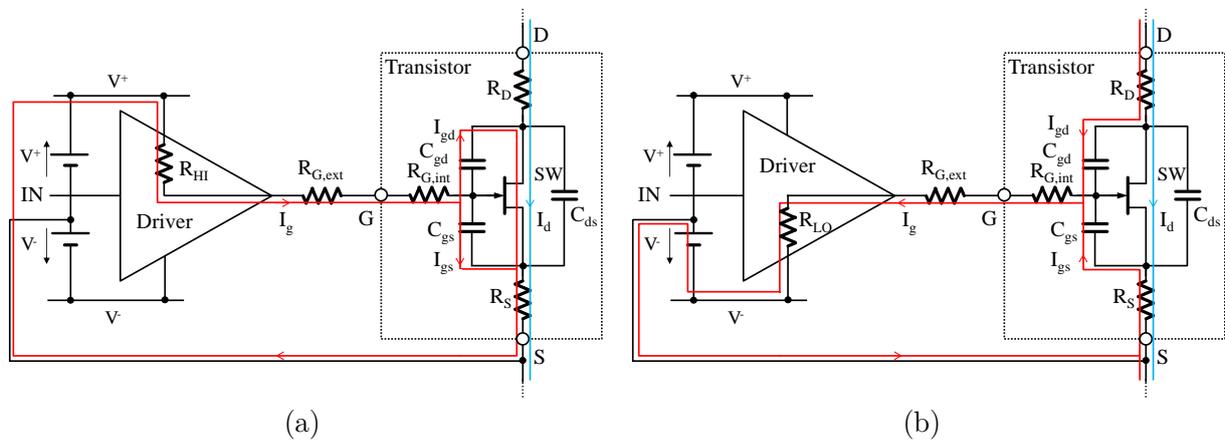


Figure I.33 : Schémas électriques idéalisés de (a) la mise en conduction et (b) l'ouverture d'un transistor à effet de champ par un circuit de commande

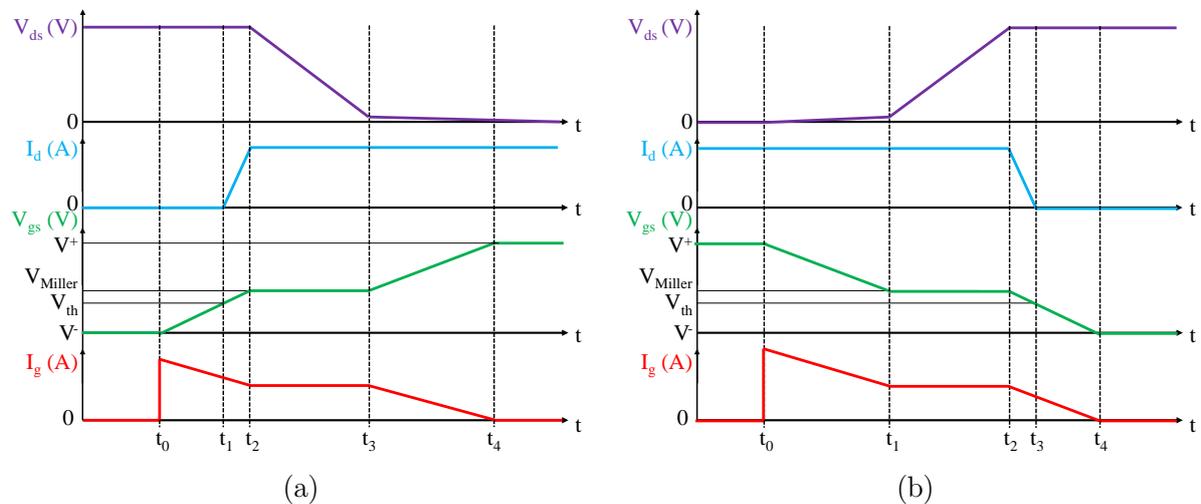


Figure I.34 : Formes idéalisées des courbes des tensions et courants d'un transistor à effet de champ lors de (a) sa mise en conduction et (b) son ouverture

Par ce mécanisme de commande en tension précédemment décrit nous pressentons déjà l'importance cruciale sur la commutation du courant et de la tension de la forme de la tension de grille du transistor de puissance, en particulier entre V_{th} et V_{Miller} . Dans cette thèse nous nous sommes particulièrement attachés à cette forme de tension de grille par le contrôle précis de l'impédance de grille directement par le circuit driver. Ce mécanisme est détaillé dans le deuxième chapitre de ce manuscrit.

I.4.1.3 Les pertes liées à la charge de grille

La puissance utile pour commander un transistor à effet de champ est la puissance nécessaire pour charger et décharger la capacité d'entrée C_{iss} . Pour modifier la tension aux bornes de la capacité d'entrée une certaine quantité de charge Q_G doit être transférée entre l'alimentation du driver et cette capacité. La quantité de charge Q_G à transférer à la grille du transistor en fonction de la tension grille-source V_{gs} pour le HEMT GaN EPC2007 [39] est donnée par la Figure I.35 pour une tension V_{ds} de 50V et un courant de drain de 6A. Nous retrouvons la caractéristique du plateau Miller lorsque la tension V_{gs} atteint environ 2.2V. Les pertes globales liées à la charge de grille Q_G notées P_G sont données par l'équation (I.13). Lors du transfert de ces charges Q_G de l'alimentation des drivers à la grille, des pertes P_{DRV} sont dissipées par le circuit driver et la résistance de grille comme celui la Figure I.33. Suivant la valeur relative des résistances R_{HI} , R_{LO} , $R_{G,ext}$ et $R_{G,int}$, c'est soit le circuit driver, soit la résistance externe, soit la résistance contenue dans le boîtier du transistor de puissance qui dissipera la majorité de la puissance de charge de grille. Avec un rapport quasiment dix entre la charge de grille totale d'un HEMT GaN EPC2007 et de celle de son équivalent silicium (voir Tableau I-3) et une amplitude de commande V^+-V^- réduite de moitié, les pertes globales de charge de grille P_G sont réduites d'un facteur vingt. À 1 MHz et une amplitude de commande de 5V, les pertes de charge de grille P_G du HEMT GaN sont d'environ 10mW. Il devient alors tout à fait envisageable que la majorité des pertes de charge de grille puisse être dissipée par le circuit driver lui-même et donc tout à fait possible de supprimer la résistance de grille externe $R_{G,ext}$ sans qu'il n'y ait d'impacts importants sur le stress thermique de la puce de commande.

$$P_G = (V^+ - V^-) \cdot Q_G \cdot f \quad (I.13)$$

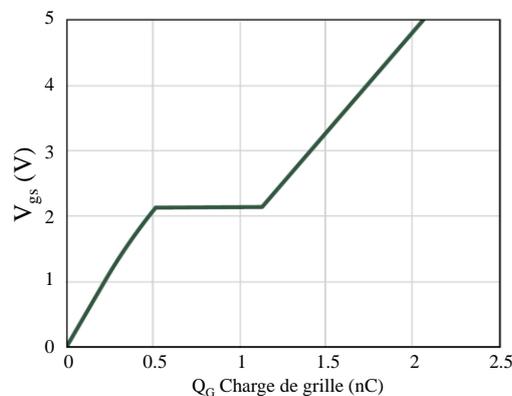


Figure I.35 : Charge de grille Q_G en fonction de la tension grille-source V_{gs} du HEMT GaN EPC2007 [39] pour une tension drain-source de 50V et un courant de drain de 6A

I.4.2 La commande de l'interrupteur High-Side

Dans un convertisseur à commutation synchrone comme celui représenté sur la Figure I.36, les deux interrupteurs de puissance J1 et J2 sont en série. L'un d'eux, le transistor Low-Side J2, a sa source reliée à la référence fixe du circuit et son drain au point milieu V_{SW} . Tandis que l'autre, le transistor High-Side J1, a son drain au potentiel fixe V_{IN} mais sa source reliée au point milieu V_{SW} , commutée entre l'alimentation V_{IN} et la référence du circuit. Les circuits de commande de grille 1 et 2 de J1 et J2 et leurs alimentations respectives V^+ et V^- ont pour référence de tension la source du composant de puissance qu'il pilote. Si nous considérons comme sur la Figure I.36 que la partie isolée du circuit éloigné de logique de commande a la même référence fixe que le circuit de commande de J2 et ses alimentations. Le signal de commande IN2 est donc directement compréhensible par le driver 2. Ce qui n'est pas le cas du driver 1 et de ses alimentations qui sont référencés à un potentiel V_{SW} flottant par rapport à la masse. Le signal IN1' étant incompatible en l'état avec le driver 1, un circuit de décalage ou d'isolation du signal IN1' est nécessaire pour que son image IN1, référencée à la source de J1, soit comprise par le driver 1. De même, les alimentations du circuit de commande High-Side référencées par rapport au point milieu nécessitent d'être isolées ou flottantes.

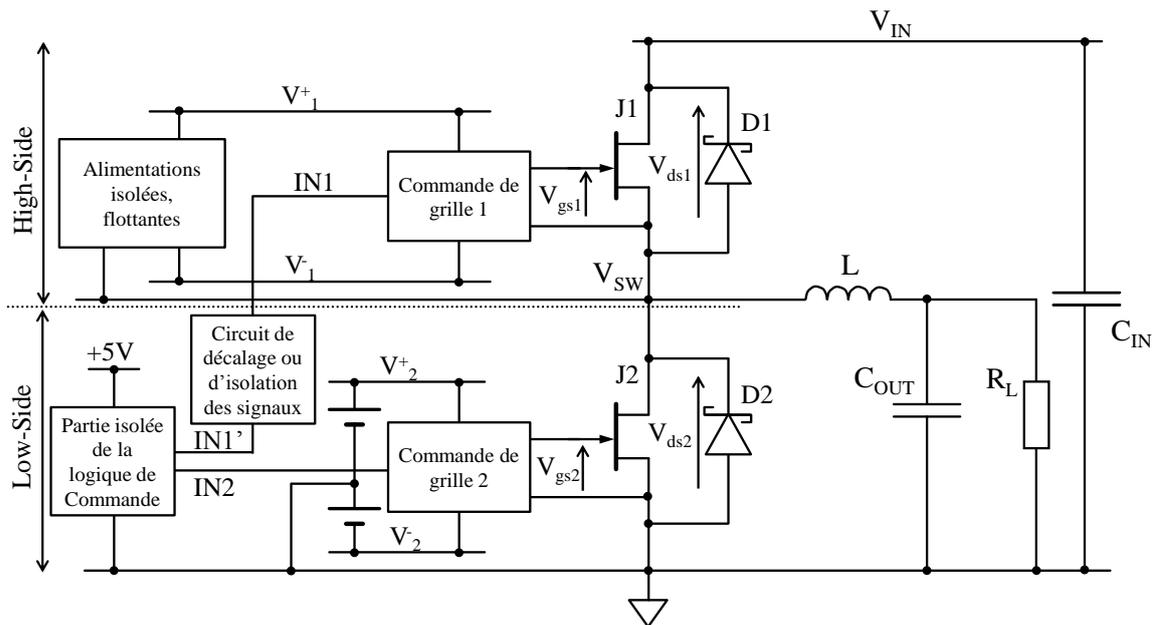


Figure I.36 : Schéma bloc d'un convertisseur buck synchrone présentant les éléments essentiels à la commande de l'interrupteur High-Side

I.4.2.1 Transfert des signaux de commandes au High-Side

Il existe de nombreuses techniques pour transmettre les signaux délivrés par la logique de commande au circuit de commande High-Side. Les principaux circuits de transmission des signaux sont comparés dans le Tableau I-5 ci-dessous. Nous retrouvons deux types de circuits de transmission de la commande. Des circuits à isolation galvanique qui isolent électriquement la transmission du signal entre le primaire et le secondaire et un circuit à décalage de niveaux,

Level-Shifter, non isolé. L'isolation galvanique est obtenue en convertissant le signal électrique, soit en signal lumineux (comme pour la fibre optique [66] et l'opto-coupleur [67]), soit en signal magnétique grâce à un transformateur [68], soit en ondes radiofréquences avec le coupleur radiofréquence [69].

Le temps de propagation du signal au travers des circuits d'isolation ou de décalage des signaux varie beaucoup d'un système à l'autre. Les temps les plus faibles sont atteints par le transformateur d'impulsion [68], le Level-Shifter [70] et le coupleur radiofréquence [69]. Ces derniers présentent l'avantage supplémentaire de consommer peu d'énergie au secondaire sur l'alimentation flottante. Ces trois circuits peuvent théoriquement être intégrés monolithiquement au circuit driver grâce à une technologie hybride ou non pour un gain en volume, coût et performances. Nous allons par la suite détailler succinctement le fonctionnement du transformateur d'impulsion et du Level-Shifter, circuits largement répandus et qui furent utilisés au cours de cette thèse.

Tableau I-5 : Comparaison de différentes techniques permettant le transfert des signaux au High-Side

	Fibre optique [66]	Transformateur d'impulsion [68]	Opto-coupleur [67]	Level-Shifter [70]	Coupleur radiofréquence [69]
Tension d'utilisation maximale	> 10 kV	< 800V (> 10 kV si non intégré)	< 600V (> 10 kV si non intégré)	< 600V	~ 200V
Isolation galvanique	Oui (>10kV)	Oui (5kV)	Oui (2.5kV)	Non	Oui (5kV)
Consommation au secondaire	20 mA	~ 1 mA	~ 25 mA	> 1 mA	Faible
Temps de propagation	50ns à 140ns	20ns à 100ns	100ns à 300ns	<100ns	Faible
Dispersion du temps de propagation	>100ns (inter-circuit)	10ns à 50ns (inter-circuit)	200ns à 400ns (inter-circuit)	< 30ns (intra-circuit)	-
Distorsion de la largeur du signal	30ns à 100ns	2ns à 40ns	50ns à 100ns	Faible	-
Intégration monolithique au driver	Interface optique du secondaire avec une technologie hybride	Oui avec une technologie hybride	Interface optique du secondaire avec une technologie hybride	Oui avec des transistors haute tension	Oui

I.4.2.1.1 Le transformateur d'impulsion

La chaîne de transmission du signal de commande du circuit logique éloigné jusqu'à l'interrupteur de puissance en passant par un transformateur d'impulsion est représentée sur le schéma de la Figure I.37 (a). Le transformateur d'impulsion est constitué d'un circuit encodeur au primaire, d'un transformateur fournissant l'isolation galvanique et d'un circuit décodeur au secondaire. Nous pouvons voir sur la représentation de la Figure I.38 la structure interne d'un transformateur d'impulsion intégré [68]. Les enroulements primaires et secondaires sont planaires et isolés par une couche isolante de polyimide de $20\mu\text{m}$ d'épaisseur pour une isolation DC de 5 kV pendant une minute.

Les formes des tensions au primaire et au secondaire sont visibles sur la Figure I.38 (b). Le signal de commande IN' délivré par le circuit logique est tout d'abord codé en un signal IN'_e qui va faciliter le passage de l'information au travers du transformateur qui a sa bande passante qui se situe dans les hautes fréquences, typiquement 100MHz. Dans le cas simplifié de la Figure I.38 (b), le signal IN'_e est constitué d'un train d'impulsions d'une longueur de trois périodes à partir du temps t_2 lorsque le signal IN' passe de l'état bas à l'état haut au temps t_1 et de deux périodes à partir du temps t_2 dans l'autre cas. Les impulsions sont transmises au secondaire à partir du temps t_3 et t_3 . Ces impulsions fortement atténuées sont comptées par le circuit décodeur au secondaire. Au temps t_4 ou t_4 , si le décodeur a compté trois impulsions, il fait passer le signal IN de commande isolé à l'état haut, s'il n'en a compté que deux, il fait passer IN à l'état bas.

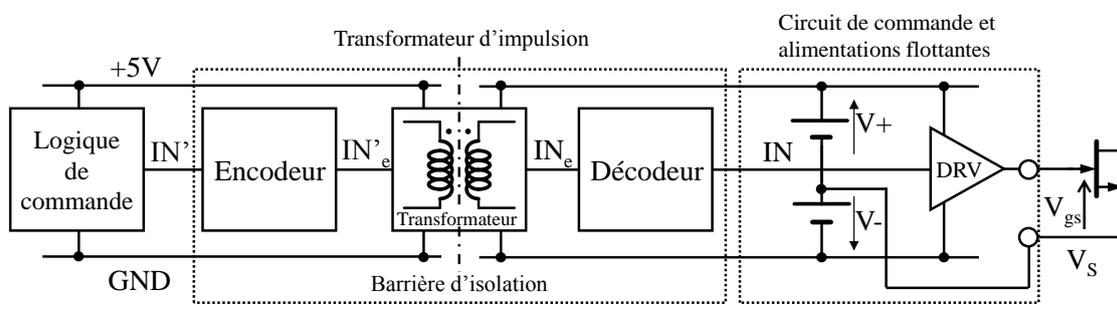


Figure I.37 : Schéma bloc de la transmission du signal de commande du circuit logique jusqu'à l'interrupteur de puissance

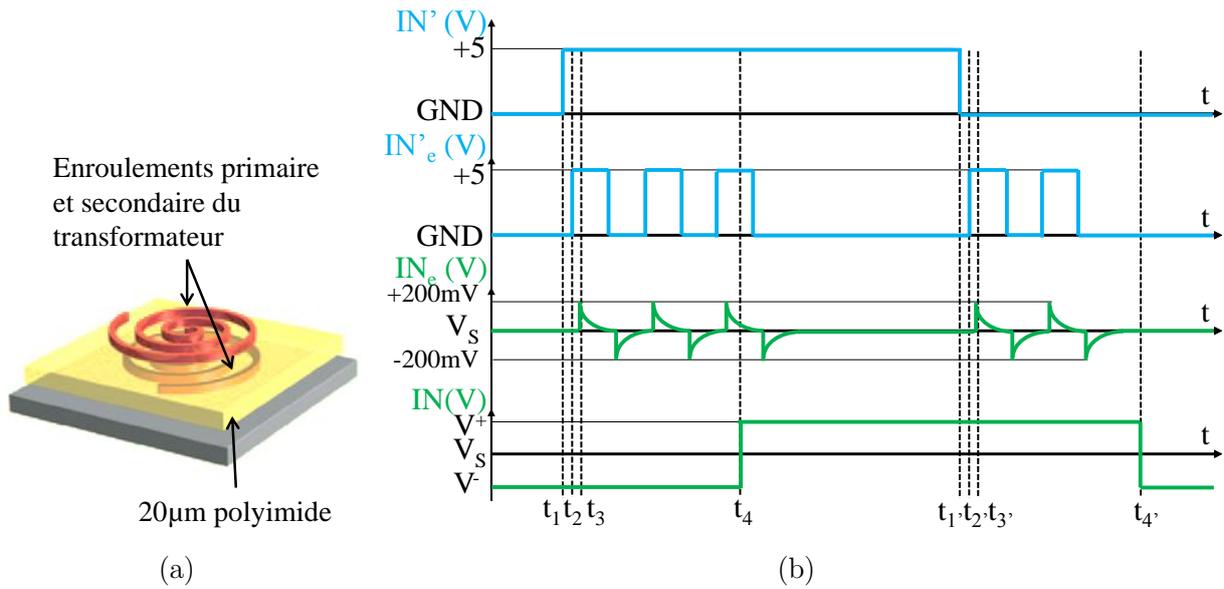


Figure I.38 : détail du transformateur d'impulsion : (a) vue schématique du transformateur [68] et (b) formes de tensions au primaire (bleu) et au secondaire (vert)

I.4.2.1.2 Le Level-Shifter

Un convertisseur synchrone dont la transmission du signal de commande au High-Side se fait par l'intermédiaire d'un circuit Level-Shifter est représenté sur la Figure I.39. Dans un tel circuit l'information référencée à la masse du Low-Side est décalée à la référence du High-Side par des transistors haute tension N_a et N_b . C'est la tension de claquage V_{BR} de ces transistors qui va limiter la tension d'utilisation du Level-Shifter. Le Level-Shifter du driver M63992FP [70] est par exemple limité à une tension maximale d'utilisation de 600V.

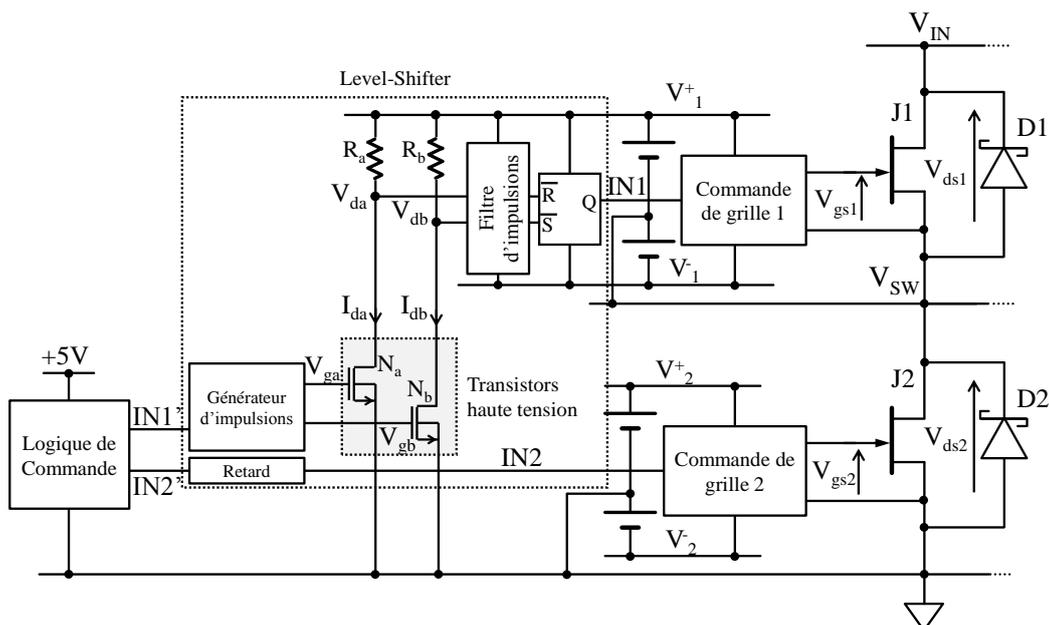


Figure I.39: Schéma d'un convertisseur synchrone dont le signal de commande destiné au transistor High-Side est transmis et décalé par un circuit Level-Shifter

Sur la Figure I.40 sont représentées les formes d'ondes des tensions au sein d'un convertisseur synchrone comme celui de la Figure I.39. Le signal $IN1'$ délivré par le circuit logique référencé au potentiel de référence du circuit et destiné au circuit de commande High-Side est transformé, soit en une impulsion V_{gb} au temps t_2 lorsque le signal $IN1'$ passe de l'état bas à l'état haut (temps t_1), soit en une impulsion V_{ga} au temps t_2' dans le cas contraire où le signal $IN1'$ passe à l'état bas (temps t_1'). Ces impulsions V_{gb} et V_{ga} étant respectivement les tensions grille-source des transistors N_b et N_a , au temps t_2 et t_2' les variations du signal $IN1'$ se traduisent en variations des potentiels de drain V_{db} et V_{da} . En effet lorsque les transistors N_b et N_a ne conduisent pas, les courants de drain I_{db} et I_{da} sont environ nuls et donc les potentiels V_{db} et V_{da} valent V^+_{-1} . Lorsque le signal $IN1'$ varie, une impulsion V_{gb} ou V_{ga} est générée avec un niveau tel que le transistor N_b ou N_a se retrouve en régime de saturation. Le courant de saturation I_d est choisi pour que la chute de tension aux bornes de la résistance R_a ou R_b soit idéalement égale à $V^+_{-1} - V^-_{-1}$. Lorsque le courant I_d circule, le potentiel de drain chute, cette chute de tension est échantillonnée par une bascule « non R non S » aux instants t_3 et t_3' pour modifier la valeur du signal de commande High-Side $IN1$ référencé cette fois par rapport au point milieu V_{SW} .

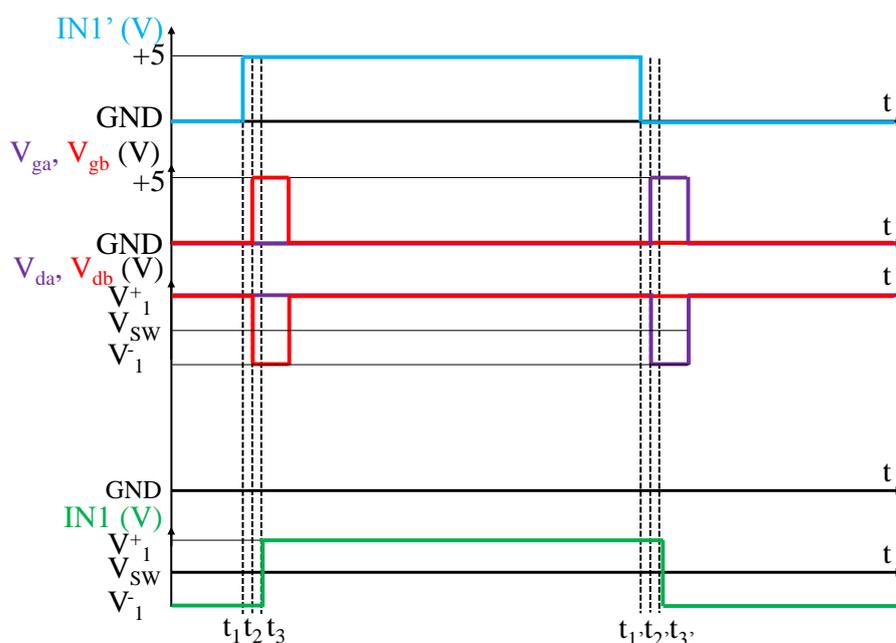


Figure I.40 : Formes d'ondes des tensions en entrée, à l'intérieur et en sortie d'un montage Level-Shifter

Le courant de drain I_d lors de la conduction des transistors N_a et N_b circulant entre deux potentiels haute tension, les impulsions V_{ga} et V_{gb} doivent être les plus courtes possibles, typiquement inférieures à 200ns, afin de réduire les pertes dans les interrupteurs et les résistances R_a et R_b . Ce circuit possède un temps de propagation faible et un bon appariement temporel entre les signaux $IN1$ et $IN2$: inférieur à 30ns pour le circuit driver 600V M63992FP [70] et même 8ns pour le circuit driver basse tension 100V LM5113 [71]. Ce bon appariement des signaux est possible grâce à une cellule retard au Low-Side, d'une valeur proche du temps de traversée du circuit Level-Shifter. Dans ces travaux de thèse nous avons étudié un circuit Level-

Shifter compatible avec les applications hautes tensions, hautes températures et hautes fréquences, intégrable monolithiquement au circuit de puissance grand gap et à celui de commande, et comportant un circuit efficace de limitation du courant de drain lors des changements d'état.

1.4.2.2 L'alimentation du circuit de commande High-Side

L'alimentation du circuit de commande High-Side est flottante, référencée par rapport à la source du transistor à commander. Elle doit être d'amplitude suffisante pour bien bloquer et bien rendre passant le transistor High-Side, si possible d'amplitude proche de celle du Low-Side pour éviter une dysmétrie pénalisante. De même que pour la transmission des signaux de commande, l'alimentation flottante du High-Side peut être isolée galvaniquement ou non. Le Tableau I-6 répertorie et compare différentes techniques d'alimentation flottante du circuit de commande High-Side.

La technique d'alimentation largement répandue qui offre le plus de flexibilité est celle du convertisseur Flyback [72]. Celle-ci délivre une puissance d'environ 1W quelques soient la fréquence de commutation et la tension d'alimentation de puissance. Par contre cette technique est volumineuse et peut difficilement être intégrée monolithiquement au driver car elle comporte un transformateur relativement imposant. Le rendement de conversion, les contraintes sur les interrupteurs de puissance et le volume du transformateur de ces alimentations DC-DC isolées peuvent être améliorés en utilisant une technique plus complexe dite à résonance. La seconde technique très répandue est l'alimentation Bootstrap [73]. Cette technique très simple, constituée seulement d'une diode haute tension entre l'alimentation du circuit de commande Low-Side et d'une capacité Bootstrap C_{BST} , n'est pas isolée galvaniquement. Lorsque le transistor Low-Side est fermé, le point milieu V_{SW} est quasiment à la masse et la capacité C_{BST} est chargée à une tension proche de celle de l'alimentation Low-Side. Cette capacité C_{BST} ne pouvant être rechargée que lorsque le transistor Low-Side est fermé, cette technique d'alimentation n'est pas compatible avec un état statique, ou une fréquence de commutation trop faible.

Les techniques d'autoalimentation [74] et d'alimentation par ondes radiofréquence [69], sont plus récentes et donc moins répandues mais présentent des caractéristiques intéressantes. La technique d'autoalimentation présentée dans [74] peut être rapprochée dans son fonctionnement à un régulateur linéaire pulsé connecté entre la source du transistor de puissance High-Side et son drain. Lorsqu'il est ouvert, il existe une grande différence de tension qui est exploitée pour charger une capacité C_s à une tension bien plus faible d'une dizaine de volts. La charge de la capacité C_s servira d'alimentation flottante comme pour la technique Bootstrap à la différence que la solution [74] autorise un état statique OFF des deux transistors. Le circuit d'autoalimentation étant directement connecté à l'alimentation de puissance et à la source du transistor High-Side, il n'existe pas de lien physique avec le circuit Low-Side ou logique et est donc naturellement isolé galvaniquement. Cette solution doit être intégrée monolithiquement à l'interrupteur de puissance pour être pleinement opérationnelle. L'alimentation par ondes radiofréquence [69] consiste à récupérer au secondaire d'un coupleur radiofréquence une tension et à la redresser de manière semblable au convertisseur Flyback. L'énergie récupérable par cette technique est pour le moment très faible mais permet déjà de commander un petit HEMT GaN entre 2V et -1V. Le coupleur radiofréquence est lui facilement intégrable au circuit driver [69].

Tableau I-6 : Comparaison de différentes techniques d'alimentation du High-Side

	Convertisseur Flyback [72]	Bootstrap [73]	Autoalimentation [74]	Coupleur radiofréquence [69]
Tension de fonctionnement maximale	< 1000V	< 1200V	100V	~ 200V
Tension de sortie	3.3V à 24V	10V à 20V	~ 10V	+2V/-1V
Isolation galvanique	Oui (3 kV)	Non	Oui	Oui (5 kV)
Puissance de sortie	1W	Faible, dépend de la capacité	Faible, dépend de la capacité	Très faible
Rendement	Bon	Bon	Faible	Faible
Limites de fonctionnement	-	Etat statique OFF des deux transistors impossible	-	Composants à très faibles Q_G et V_{th}
Intégration monolithique	Oui mais forte réduction de la puissance	Oui, intégration hybride avec capacité externe	Oui, recommandée mais capacité externe	Oui

Au cours de ces travaux de thèse, des alimentations flottantes de type convertisseurs Flyback [72] ont majoritairement été utilisées au High-Side et au Low-Side pour leur grande flexibilité. Cependant des travaux en parallèle de cette thèse se sont intéressés à l'autoalimentation des circuits de commande High-Side et Low-Side de transistors Normally-ON mais ne seront pas présentés plus en détail dans ce manuscrit.

1.4.3 Des circuits de commande intelligents pour protéger l'interrupteur

Il existe différents défauts qui peuvent, s'ils ne sont pas traités à temps, détruire le composant de puissance et/ou le circuit de commande. Afin de protéger l'interrupteur de ces défauts dont certains sont « inévitables », il est possible d'implémenter des fonctionnalités directement dans le circuit de commande.

1.4.3.1 Protection contre les courts-circuits et les sur-courants

Un défaut particulièrement destructeur et pourtant assez régulier, est le défaut de court-circuit. Il existe de nombreux types de courts-circuits différents. Par exemple lorsque la charge de sortie est court-circuitée, un courant très élevé, plusieurs fois le courant nominal, circule au travers des interrupteurs en conduction. Afin d'éviter la destruction des circuits de puissance, il est nécessaire de couper ce courant de court-circuit en ouvrant lentement ces interrupteurs en conduction afin de limiter le dI_d/dt , mais pour cela il faut que le circuit de commande soit averti d'une manière ou d'une autre du régime de court-circuit.

I.4.3.1.1 Détection par mesure du courant

La première méthode et la plus évidente est la mesure du courant de source du transistor. À part cas particulier [75], [76] le courant de source I_s est très rarement mesuré directement car le moindre capteur de courant dans la maille de commutation de puissance ajoute beaucoup d'inductance parasite et donc de pertes. On préférera mesurer l'image I_s' du courant I_s grâce à un transistor à miroir de courant [77] comme celui représenté sur la Figure I.41. Il est alors possible de surveiller un seuil de tension V_{ref} aux bornes de la résistance R_s correspondant à un courant de court-circuit I_{cc} . Cette technique est efficace mais nécessite un composant de puissance particulier à miroir de courant ce qui restreint fortement son utilisation.

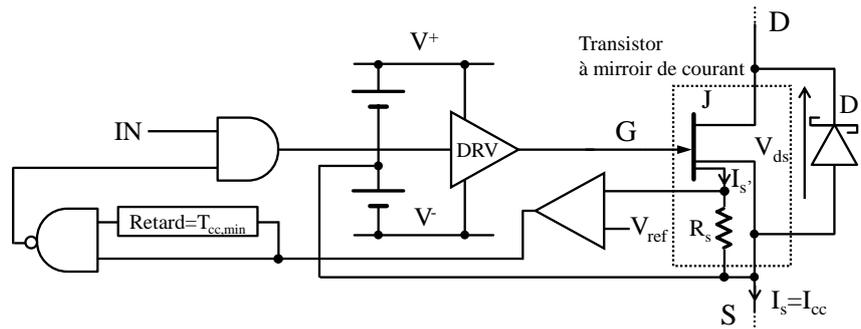


Figure I.41 : Détection du régime de court-circuit par mesure de l'image du courant de source

I.4.3.1.2 Détection par mesure de la désaturation

Une autre manière de détecter un régime de court-circuit sans utiliser de transistors à miroir de courant est la mesure de la désaturation de l'interrupteur de puissance en court-circuit. En effet lorsque le transistor est en court-circuit il conduit un courant très important tout en ayant une chute de tension importante à ses bornes contrairement à une chute de tension faible au courant nominal. Le circuit présenté sur la Figure I.42 permet de détecter ce régime de désaturation. Au point de fonctionnement nominal lorsque le transistor J conduit, la chute de tension V_{ds} est faible et la diode D2 conduit, le potentiel à l'anode de D2 est en dessous du seuil V_{ref} . Mais lorsque le transistor J est en régime de désaturation, dû au court-circuit, la diode D2 ne conduit plus, son potentiel d'anode passe au-dessus du seuil V_{ref} . La diode D2 doit tenir toute la tension d'alimentation et est donc un composant haute tension.

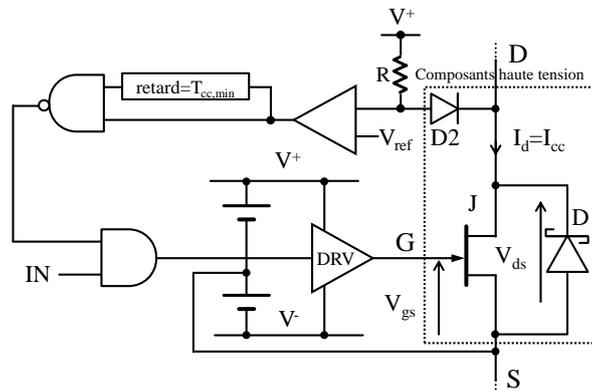


Figure I.42 : Détection du régime de court-circuit par mesure de la désaturation du transistor de puissance

I.4.3.1.3 Détection par mesure de la charge de grille

À cause des difficultés liées l'intégration monolithique des composants haute tension au circuit driver et afin d'éviter l'utilisation d'un composant à miroir de courant, un groupe de recherche a étudié la détection du régime de court-circuit à la mise en conduction du composant de puissance, directement au niveau de la grille [78]. Pour cela ils ont mesuré la quantité de charge de grille Q_G nécessaire pour élever la tension de grille du composant de $-15V$ à $+15V$ en régime nominal et en régime de court-circuit. Comme nous pouvons le voir sur la Figure I.43 (b) la différence de quantité de charge Q_G est significative selon le régime du transistor. Le circuit de la Figure I.43 (a) présente une mesure de cette quantité de charge Q_G à la commutation du transistor intégrable monolithiquement au driver si la technologie utilisée dispose de transistors bipolaires. Si cette quantité de charge est inférieure à un seuil nominal, le transistor est ouvert dans le but de le protéger.

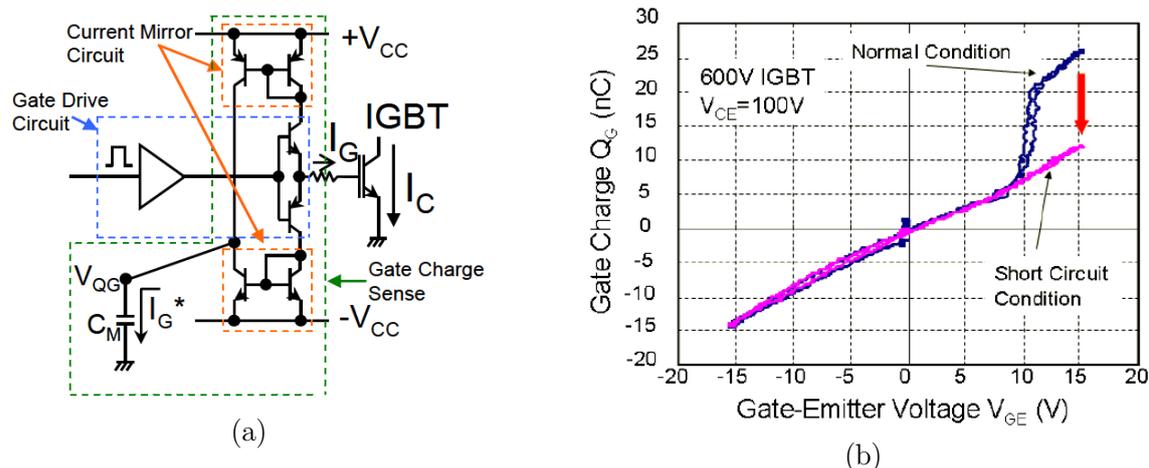


Figure I.43 : Circuit de Détection du régime de court-circuit [78], intégré monolithiquement au circuit driver (a) par mesure de la quantité de charge de grille Q_G (b)

Dans ces travaux de thèse nous avons tenté de suivre une démarche similaire. Les solutions que nous proposons pour garantir un bon fonctionnement des composants grand gap dans un convertisseur de puissance ont toutes été réfléchies pour être facilement intégrables au circuit de commande. L'intégration monolithique de nombreuses fonctionnalités au sein du driver permet ainsi de réduire au strict minimum le nombre de composants externes pour un surcoût minime en termes de place et de puissance consommée.

I.4.3.2 Protection contre les sous-tensions du circuit de commande et contre une température maximale

D'autres défauts moins immédiats mais tout aussi destructeurs sont les sous-tensions du circuit de commande et une température trop élevée du composant de puissance et/ou du circuit de commande. En effet une sous-tension du circuit d'alimentation peut entraîner une mauvaise

mise en conduction ou un mauvais blocage de l'interrupteur de puissance et donc des pertes supplémentaires pouvant être importantes. Et une température trop importante du circuit de commande et/ou de puissance peut conduire à la destruction d'un circuit par dépassement de la température de jonction T_j des transistors le constituant.

Comme pour les protections contre les courts-circuits lorsqu'un défaut de tension d'alimentation ou de température est détecté, la sortie du driver est forcée à l'état bas. La détection de sous-tension ou sur-température se fait par comparaison de la tension d'alimentation ou de la tension de sortie d'un capteur de température à un seuil délivré par une référence de tension, le plus souvent de type band gap. Dans des études en parallèle de cette thèse, nous avons implémenté des protections contre les sur-températures de la partie commande et de la partie puissance en intégrant monolithiquement un capteur de température de type résistif au circuit de commande, comme dans le driver ADP3629 [79] et intégré monolithiquement en surface du composant de puissance [80], [81].

1.4.3.3 Les premiers circuits de commande adaptés aux composants grand gap

Les premiers composants de puissance grand gap tel que les HEMTs GaN et les JFETs SiC commencent à être disponibles commercialement. Comme nous le présentions précédemment, ces composants ont des caractéristiques statiques et dynamiques différentes de celles des composants silicium classiques et ne peuvent donc plus être pilotés de manière optimale par des circuits de commande classiques. Pour accompagner la sortie de ces premiers composants grand gap, des drivers plus adaptés ont été développés sur la base existante des drivers de MOSFETs.

1.4.3.3.1 Le LM5114

Le circuit de commande LM5114 [82] produit et vendu par Texas Instrument est présenté comme un circuit particulièrement optimisé pour la commande des HEMTs GaN à enrichissement [39], [40]. Son schéma bloc est visible sur la Figure I.44. Ce circuit est disponible en boîtier WQFN-6 de petite taille (3mm x 3mm) dans le but de pouvoir le placer au plus près d'un HEMT GaN (le boîtier du EPC2007 mesure 1.7mm x 1mm) et ainsi réduire les inductances parasites entre le composant de puissance et sa commande. Il possède un circuit relativement classique de détection de sous-tension d'alimentation (UVLO) mais qui est couplé à une impédance de clamp d'environ 4Ω . Cette impédance permet de maintenir la tension grille-source du transistor en dessous de 1V, typiquement en dessous de la tension de seuil V_{th} des eGaN FETs EPC [39], [40], lorsqu'il y a un défaut d'alimentation du driver.

Bien que les inductances parasites soient réduites par une taille réduite des boîtiers, ce driver cherche à limiter les phénomènes précédemment évoqués de surtensions et de remises en conduction parasites liés aux caractéristiques dynamiques des composants grand gap. Pour ce faire, ce circuit driver a une impédance à la montée, correspondante à l'impédance R_{HI} sur la Figure I.33 (a), bien supérieure à celle à la descente, correspondante à l'impédance R_{LO} sur la Figure I.33 (b). Comme nous allons l'étudier dans le second chapitre de ce manuscrit, cette impédance R_{HI} , d'environ 2Ω , ralentit la fermeture du composant et donc le dV/dt et le dI/dt . Tandis que la faible impédance R_{LO} , d'environ 0.3Ω , accélère l'ouverture mais permet aussi de bien maintenir la grille à l'état bas et donc de prévenir le composant de puissance de remises en conduction parasites. Ces impédances R_{HI} et R_{LO} peuvent être ajustées par des impédances en

externe grâce à deux sorties distinctes P_OUT et N_OUT qui séparent la boucle de charge de la grille de celle de décharge.

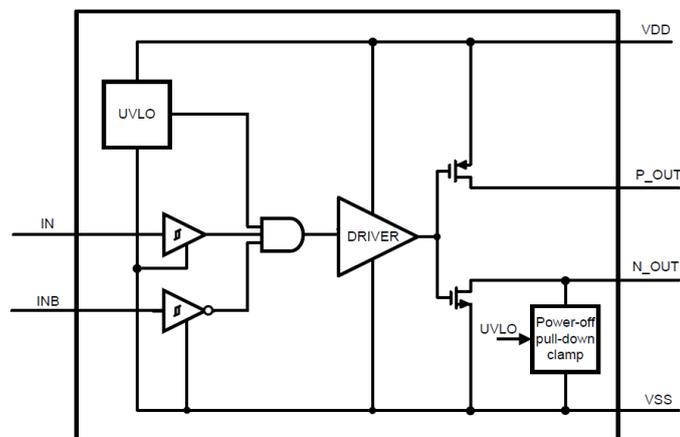


Figure I.44: Schéma bloc du circuit de commande LM5114 [82] adapté à la commande de HEMTs GaN

I.4.3.3.2 Le XTR26010

Le circuit de commande XTR26010 [76] produit et vendu par XREL Semiconductor se veut être un circuit driver pouvant fonctionner dans des conditions extrêmes, adapté aux composants grand gap mais aussi aux autres composants plus classiques. Ce circuit de commande a été conçu dans une technologie particulière lui permettant de fonctionner à des températures allant de -60°C à $+230^{\circ}\text{C}$ et d'être alimenté avec une amplitude de tension allant de 4.5V à 40V. Comme nous pouvons le préfigurer sur le schéma de la Figure I.45, ce circuit intègre un grand nombre de fonctionnalités et d'entrées/sorties. Il n'est donc disponible que dans un volumineux boîtier LJCC68 (25mm x 25mm) à 68 pattes. Un grand nombre des protections précédemment étudiées ont été implémentées dans ce circuit. Il possède, une protection contre les courts-circuits par mesure de la désaturation à l'aide d'un pont résistif, une protection contre les sur-courants par mesure du courant de source à l'aide d'un shunt en série, une protection contre les sous-tensions et deux sorties distinctes pour la charge et la décharge de la grille afin d'ajuster, par des impédances externes, la vitesse de fermeture et d'ouverture du composant.

D'autres fonctionnalités plus spécifiques ont été intégrées. Il propose par exemple une protection utile au démarrage des composants Normally-ON : un signal est envoyé une fois que la commande à l'état bas d'un transistor Normally-ON est bien effective. Ceci permet d'élever la tension d'alimentation d'un convertisseur de puissance à base de composants Normally-ON sans risquer un court-circuit à cause de transistors pas entièrement bloqués.

Une protection contre la remise en conduction parasite due à la capacité Miller est aussi proposée : une faible impédance supplémentaire est intégrée, celle-ci s'active après un délai fixé en externe dans le but d'évacuer les charges ramenées par la capacité parasite Miller C_{gd} . Ce circuit de commande permet de surveiller l'état de la grille réputée fragile d'un transistor grand gap, par mesure du courant de grille grâce à un shunt de courant.

Finalement il intègre une protection contre la cross-conduction des transistors High-Side et Low-Side d'un convertisseur de puissance synchrone. Pour ce faire un émetteur-récepteur bidirectionnel et isolé entre le High-Side et le Low-Side par des transformateurs externes permet de renseigner chaque circuit de commande sur l'état ouvert ou fermé du composant de puissance opposé. La fermeture d'un composant n'est validée que si le circuit de commande reçoit la confirmation de l'ouverture du transistor opposé et donc le risque de conduction simultanée est supprimé. Ce processus de validation de la commutation par un bus de communication isolé ralentit la mise en conduction d'un composant et ne permet pas d'obtenir des temps mort courts, inférieures à 100ns [75], [76].

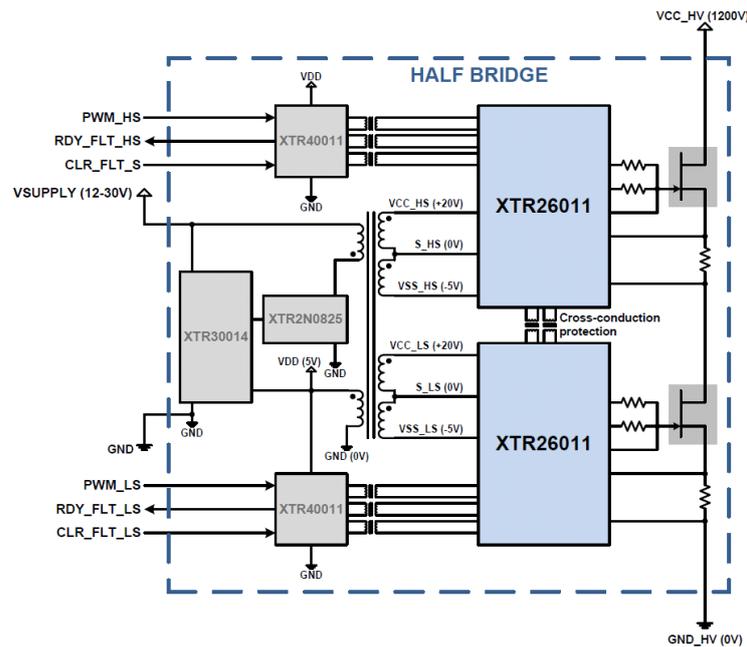


Figure I.45 : Schéma bloc d'un demi-pont en H à base de composants grand gap commandés par des circuits de commande de grille XTR26010/26011 [76]

Nous avons cherché dans ces travaux de thèse à pousser plus loin le couplage entre le composant de puissance grand gap et sa commande que ce que proposent ces drivers. En se basant sur les nouvelles caractéristiques statiques et dynamiques des composants grand gap nous avons étudié un nouveau circuit de commande de grille comportant des fonctionnalités efficaces, robustes et facilement intégrables.

I.5 Vers un convertisseur synchrone à base de composants grand gap sans aucune diode

I.5.1 La suppression de la diode antiparallèle

I.5.1.1 La diode antiparallèle : un composant haute tension onéreux qui n'a plus raison d'être

L'intérêt d'ajouter une diode Schottky haute performance SiC [11], [15], [54] en antiparallèle de chaque MOSFET [9], [49] dans un convertisseur synchrone à commutation hybride synchrone/naturelle est de shunter la mauvaise diode interne d'un transistor MOSFET (I.2.3.4) lors des temps morts. Les caractéristiques statiques et dynamiques des transistors classiques silicium et des nouveaux composants grand gap étant bien différentes, nous avons réétudié l'intérêt de cette diode Schottky dans un convertisseur de puissance synchrone à base de composants grand gap sans diodes internes.

Pour étudier le fonctionnement particulier en dynamique des transistors grand gap ne possédant pas de diode interne parasite nous avons simulé le schéma électrique de la Figure I.46. Ce schéma est semblable à celui couramment utilisé pour caractériser en dynamique la diode interne des MOSFETs [16]. Les transistors J1 et J2 sont identiques mais le transistor Low-Side J2 est monté « en diode ». C'est-à-dire qu'il a sa commande de grille toujours à l'état bas de telle sorte que lors de l'ouverture du transistor High-Side J1 la conduction en inverse du courant I_{OUT} ne puisse se faire que par la diode interne du MOSFET et non par son canal. Dans le cas d'un transistor J2 grand gap sans diode interne nous avons remarqué précédemment (I.3.2.3) qu'il pouvait tout à fait conduire ce courant I_{OUT} en inverse sous le seuil mais contrairement aux composants conventionnels le courant n'a d'autres choix que de passer par le canal du transistor. La dynamique du composant s'en retrouve donc modifiée. Les formes de courants à la commutation d'un courant de 10A lors de la fermeture de J1 sont comparés sur la Figure I.47 pour une diode PN rapide 600V/10A [10], une diode Schottky SiC 600V/10A [11] et le HEMT GaN EPC2010 200V/10A [40]. Les formes de courants des diodes sont des courbes expérimentales issues de [17] tandis que celle du HEMT GaN est issue de la simulation du circuit de la Figure I.46 sans diode en antiparallèle de J2, avec une résistance de grille R_G de 1Ω , les inductances parasites de la commande (en bleu) de 500pH et celles dans la maille de puissance (en rouge) de 1nH. Même si les conditions expérimentales qui ont conduit aux courbes des diodes et à celle du transistor sont sensiblement différentes, nous pouvons déjà constater que le courant de 10A est commuté bien plus rapidement, en moins de 5ns, par le HEMT GaN J2 monté « en diode » que par les diodes externes. Comme nous le prévoyions (I.3.2.1) il n'y a aucune charge Q_r à recouvrir et donc un temps de recouvrement t_{rr} quasiment nul mais seulement une charge capacitive correspondant à la charge de sortie Q_{OSS} d'environ 40nC du transistor [40]. Nous pouvons par contre constater que cette commutation rapide s'accompagne d'un pic important en courant de 17A qui dégrade la compatibilité électromagnétique du système.

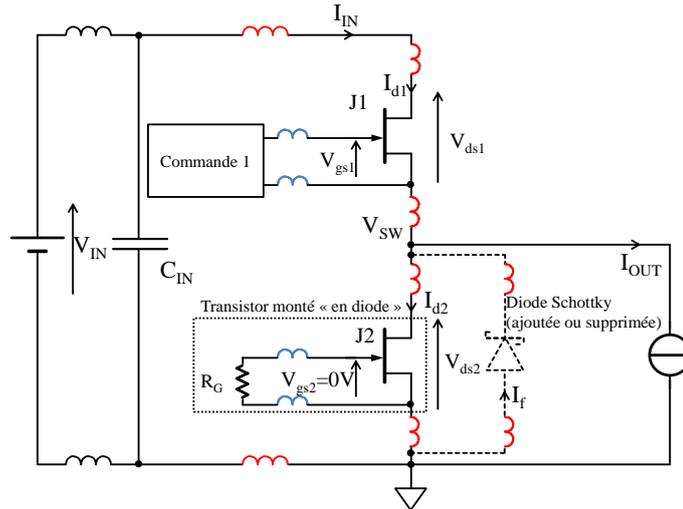


Figure I.46: Schéma électrique simulé pour la caractérisation dynamique des transistors grand gap sans diode interne et pour l'étude de l'impact de la diode Schottky en antiparallèle

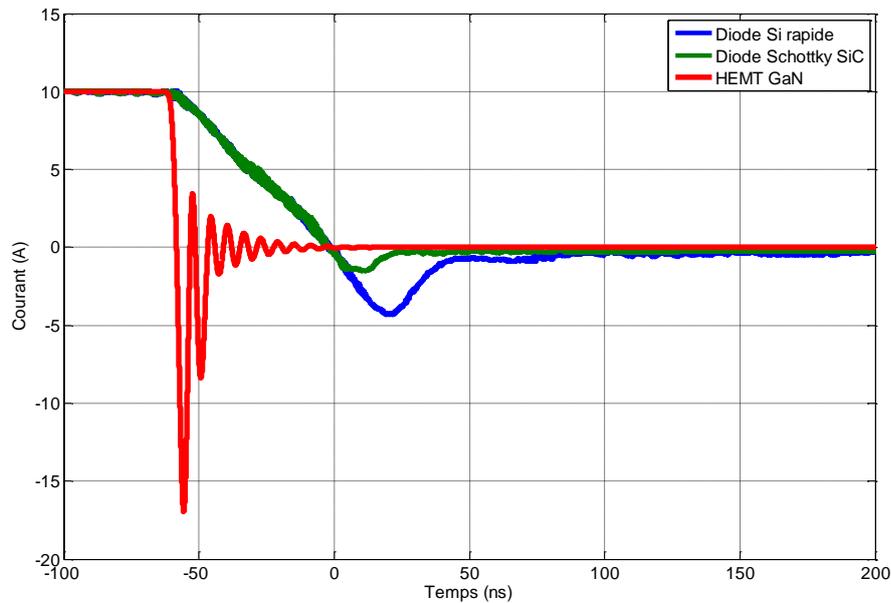


Figure I.47 : Comparaison des formes d'ondes en courant à l'ouverture d'une diode Schottky SiC 600V/10A, d'une diode rapide Si 600V/10A et du HEMT GaN EPC2010 200V/10A en mode de conduction inverse

Si la Figure I.47, suggère une commutation du courant bien plus rapide par le HEMT GaN monté « en diode » que par les diodes rapides silicium et SiC, nous pouvons légitimement nous poser la question de la répartition du courant lors d'une commutation du courant par le HEMT GaN monté « en diode » avec en antiparallèle la « classique » diode Schottky. Pour étudier ce phénomène nous avons de nouveau simulé le schéma électrique de la Figure I.46 mais en ajoutant en antiparallèle du transistor J2 la diode Schottky SiC 600V/6A [54]. Sur la Figure I.48 et la Figure I.49 sont visibles les formes d'ondes des tensions et courants au travers du transistor J2 et de la diode SiC à la fermeture et à l'ouverture de J1 pour un courant I_{OUT} de 6A et une tension V_{IN} de 200V. Ces courbes (en traits pleins) sont comparées à celles du même circuit mais

sans la diode SiC en antiparallèle (courbes en pointillées). Nous constatons qu'à la fermeture de J1, la commutation du courant I_{OUT} est tout aussi rapide (environ 5ns) et le pic en courant tout aussi important (environ 16A) avec ou sans la diode en antiparallèle. Tandis qu'à l'ouverture de J1, la commutation en courant est ralentie d'environ 30ns par l'adjonction de la diode SiC, le pic en courant est cette fois négligeable dans les deux cas, la commutation en tension semble peu impactée. À la fermeture comme à l'ouverture de J1, les variations importantes et rapides du courant semblent être toujours conduites par le HEMT GaN tandis que la diode conduit seulement lors des variations plus lentes du courant. En dynamique le HEMT GaN shunte la diode externe en antiparallèle.

L'adjonction d'une diode Schottky même SiC haute performance en antiparallèle ne semble ni améliorer la conduction à l'état passant à fort courant des composants grand gap sans diode interne, ni la commutation de ces derniers comme elle le fait pour les transistors silicium classiques. Il paraît donc légitime de vouloir supprimer cette diode de puissance en antiparallèle des transistors grand gap sans diode et ainsi grandement améliorer le coût du système, sa densité de puissance et sa robustesse. En effet la suppression de ces diodes permet de diviser par deux le nombre de composants de puissance dans la cellule de commutation d'un convertisseur synchrone. Or les composants de puissance comptent parmi les composants les plus chers et les plus critiques d'un convertisseur de puissance. Comme nous allons le voir par la suite la suppression de ces diodes va entraîner quelques modifications du fonctionnement d'un convertisseur synchrone à base de composants grand gap sans diodes, notamment durant les temps morts.

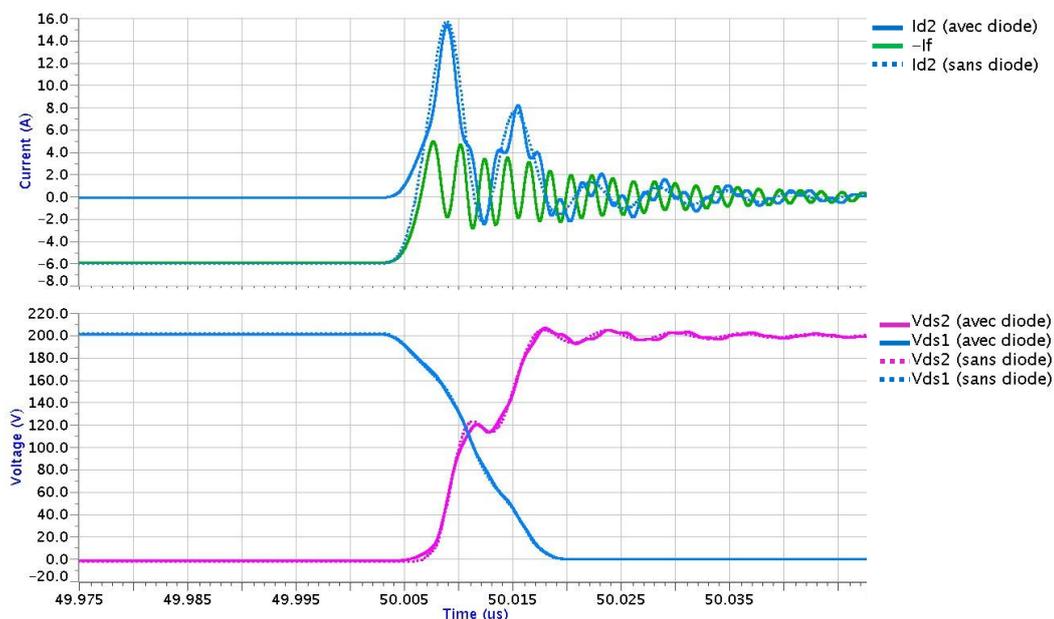


Figure I.48: Comparaison par simulation des formes de tensions et courants à la fermeture de J1, du HEMT GaN « monté en diode » avec ou sans une diode supplémentaire SiC en antiparallèle

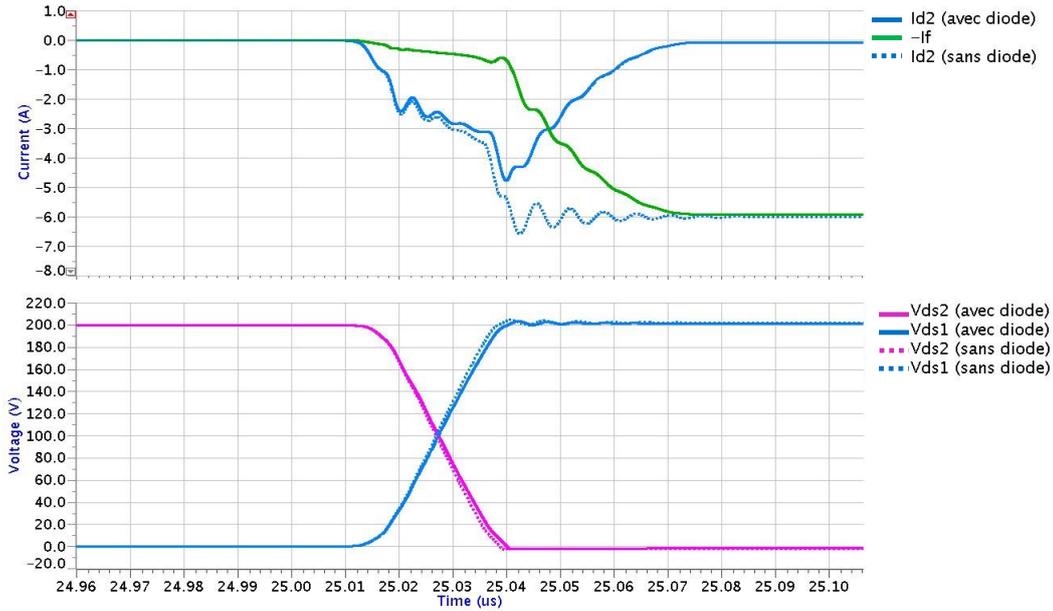


Figure I.49: Comparaison par simulation des formes de tensions et courants à l’ouverture de J1, du HEMT GaN « monté en diode » avec ou sans une diode supplémentaire SiC en antiparallèle

I.5.1.2 La nouvelle cellule de commutation transistor/transistor sans diodes

Le schéma électrique du convertisseur Buck à commutation synchrone à base de composants grand gap sans diodes et pour lequel les diodes externes en antiparallèle D1 et D2 ont été supprimées, est représenté sur la Figure I.50 ci-dessous. Les trois phases différentes de conduction de ce convertisseur visibles sur la Figure I.51, dépendent de l’état de la commande des interrupteurs J1 et J2. Ces états sont semblables à ceux d’un convertisseur Buck synchrone usuel à base de MOSFETs (Figure I.11) à l’exception de l’état représenté sur la Figure I.51 (c), correspondant à l’état de conduction lorsque les commandes des interrupteurs J1 et J2 sont à l’état bas, c’est-à-dire lors du temps mort.

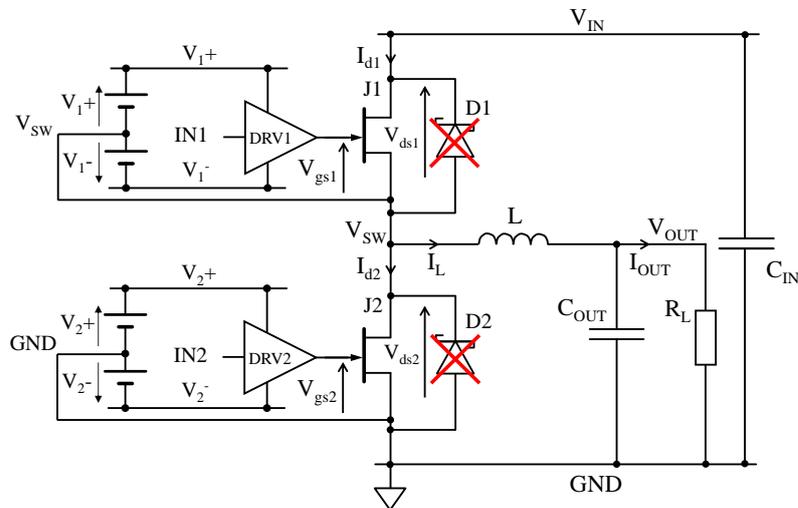


Figure I.50: Schéma électrique du convertisseur Buck synchrone à base de composants grand gap sans diodes internes et externes

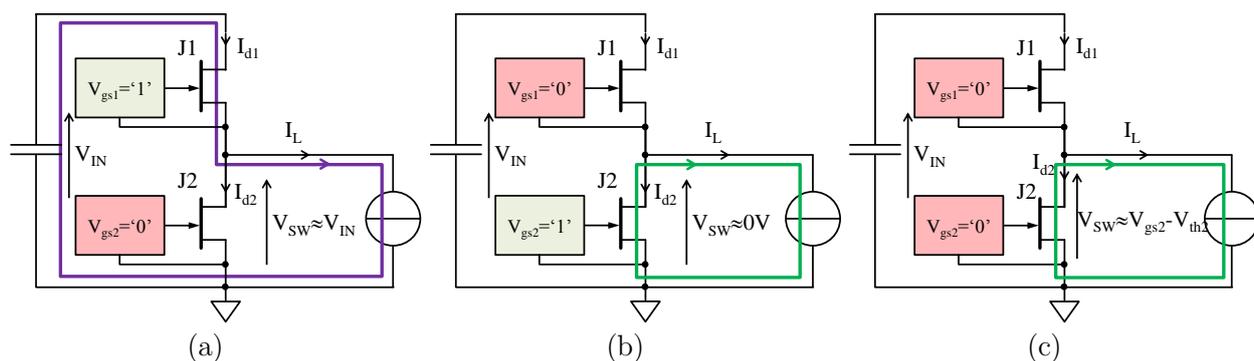


Figure I.51 : Les trois phases de fonctionnement du convertisseur Buck synchrone à base de composants grand gap sans diodes dépendant de l'état de la commande des transistors High-Side et Low-Side

Le chronogramme correspondant au convertisseur de la Figure I.50 est représenté sur la Figure I.52. Les formes de tensions et courants sont, à l'exception des phases de temps morts, identiques à celles du convertisseur Buck synchrone à base de MOSFETs :

- Avant l'instant t_0 et après t_3 , le circuit est dans la configuration de la Figure I.51 (a), c'est le transistor Low-Side J2 qui conduit le courant de sortie I_L , sa commande est à l'état haut et le potentiel du point milieu V_{SW} est quasiment nul.
- Durant les temps morts dt_1 et dt_2 , entre les instants $t_0 - t_1$ et $t_2 - t_3$, le circuit est dans la configuration de la Figure I.51 (c), le courant de sortie est toujours conduit par le transistor J2 mais sa commande est à l'état bas. Ce transistor Low-Side est donc en conduction inverse sous le seuil. D'après l'équation (I.11) la tension drain-source de J2, environ égale à V_{SW} vaut $V_{gs2} - V_{th2}$ et donc environ $V_2 - V_{th2}$.
- Entre les instant t_1 et t_2 , le circuit est dans la configuration de la Figure I.51 (b), le transistor High-Side J1, conduit le courant de sortie et donc la tension au point milieu V_{SW} vaut quasiment V_{IN} .

Les pertes par conduction sont donc minimales lorsque le circuit est dans la configuration de la Figure I.51 (a) et (b) avec des R_{ON1} et R_{ON2} des transistors J1 et J2 très faibles. Mais comme nous allons le constater expérimentalement ceci n'est pas le cas lors de la conduction de J2 sous le seuil durant les temps-morts à cause d'une chute de tension à l'état passant plus importante.

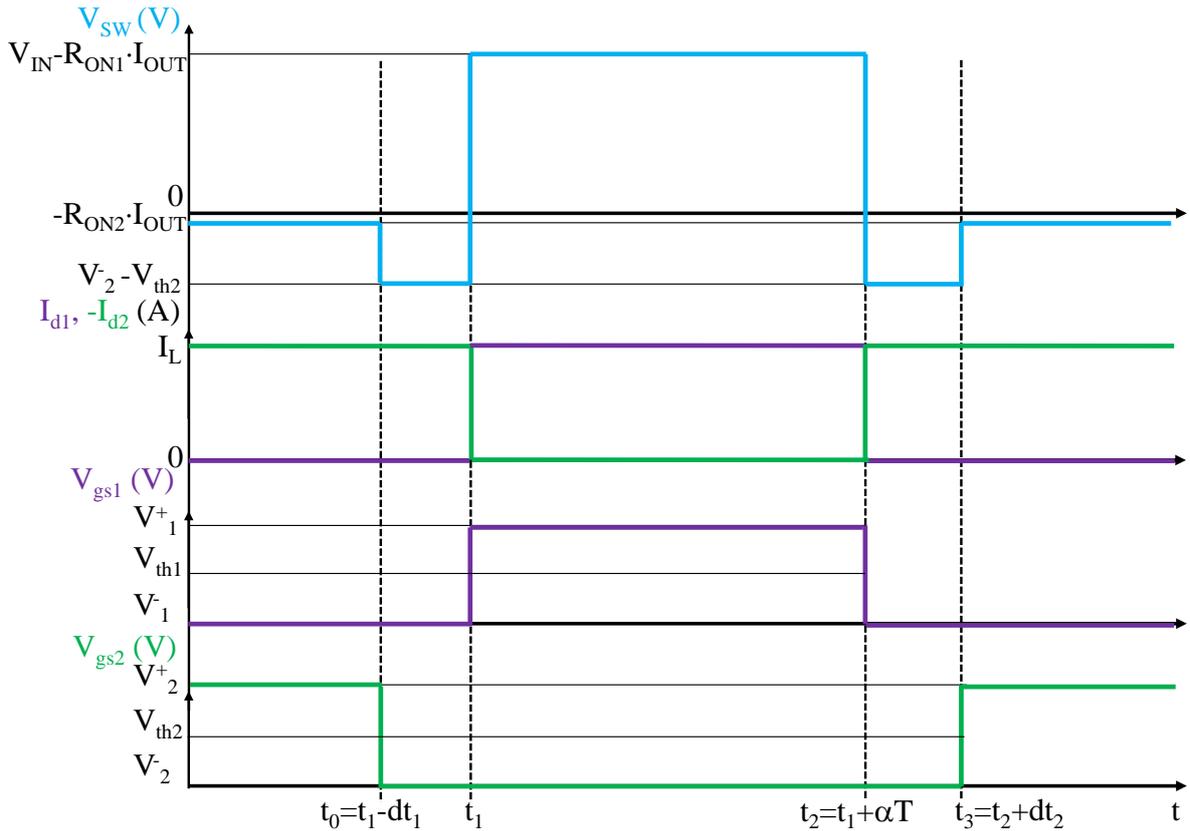


Figure I.52: Chronogramme d'un convertisseur synchrone à base de composants grand gap sans diodes

I.5.2 Des pertes supplémentaires durant les temps morts

I.5.2.1 Etude théorique des pertes

Lors des temps morts, le circuit est dans la configuration de la Figure I.51 (c) et l'un des deux transistors est donc en conduction inverse sous le seuil. La chute de tension lors du temps mort $V_{ds,dt}$ du transistor grand gap sans diode interne conduisant le courant est donnée par l'équation (I.11). Plus la tension grille-source V_{gs} à ces instants est basse, plus elle est éloignée de la tension de seuil V_{th} du transistor et plus la chute de tension $V_{ds,dt}$ est importante. Les pertes par conduction générées durant les temps-morts P_{dt} lorsque les diodes sont supprimées, peuvent donc être estimées par l'équation (I.14) tandis qu'avec les diodes Schottky conservées, elles sont approximées par l'équation (I.15). Lorsque les diodes sont supprimées, ces pertes dues aux temps-morts sont d'autant plus importantes que la différence de tension $V_{gs}-V_{th}$ et le courant I_L sont importants. Lorsque ces pertes deviennent significatives il y a un risque de défaillance des transistors.

$$P_{dt} = -V_{ds,dt} \cdot (dt_1 + dt_2) \cdot I_L \cdot f \quad (\text{I.14})$$

$$= -(V_{gs} - V_{th}) \cdot (dt_1 + dt_2) \cdot I_L \cdot f$$

$$P_{dt,avec\ diode} = V_F \cdot (dt_1 + dt_2) \cdot I_L \cdot f \quad (\text{I.15})$$

1.5.2.2 *Evaluation expérimentale des pertes dues aux temps morts*

Les pertes générées par les temps morts ont été évaluées par méthode calorimétrique dans un convertisseur synchrone sans diodes à base de HEMTs GaN EPC1010 dans [83]. Plutôt que d'évaluer la valeur absolue de ces pertes nous avons évalué expérimentalement leur impact sur le rendement d'un convertisseur Buck à base de composants grand gap sans diode interne à différents points et fréquences de fonctionnement en faisant varier la longueur des temps morts. Les mesures expérimentales sont effectuées sur un convertisseur Buck synchrone à base de JFETs SiC purement verticaux SJDP120R085 [38] pilotés par un driver d'impédance de sortie à la montée et à la descente de 1Ω , avec et sans diodes Schottky SiC SDT12S60 [84] en antiparallèle.

Afin de visualiser avec une meilleure « résolution » l'impact du temps mort sur le rendement, les mesures sont réalisées sur le convertisseur Buck avec une basse tension de sortie V_{OUT} et une basse puissance de sortie P_{OUT} . En effet à courant de sortie I_L constant les pertes P_{dt} générées par les temps morts ont d'autant plus d'impact sur le rendement que ces dernières sont importantes vis-à-vis de la puissance de sortie P_{OUT} et donc que la tension de sortie V_{OUT} est faible. Le courant de sortie intervenant dans les équations de la puissance de sortie et des pertes durant les temps morts, il n'est pas un paramètre permettant d'évaluer le rapport de ces deux pertes. Les mesures de la puissance d'entrée et de sortie sont effectuées par les multimètres numériques Agilent 34411A et 34405A.

1.5.2.2.1 Les formes de tensions expérimentales

Sur la Figure I.53 et la Figure I.54 sont visibles les formes d'ondes des tensions expérimentales du convertisseur Buck synchrone avec et sans les diodes Schottky SiC [84] en antiparallèle pour une tension d'entrée $V_{IN}=20V$ et un courant de sortie $I_L=250mA$. Les JFETs SiC [38] sont dans les deux cas pilotés par le driver entre $V^+ = 0V$ et $V^- = -10V$ pour que le composant soit respectivement bien passant et correctement bloqué.

Lorsque le convertisseur fonctionne avec les diodes en antiparallèle, la chute de tension au point milieu V_{SW} durant les temps morts dt_1 et dt_2 est égale à $-V_F$, c'est-à-dire environ $-1V$ comme sur la Figure I.53. Tandis que le même convertisseur fonctionnant sans diodes en antiparallèle a une chute de tension V_{SW} durant les temps morts égale à la tension $V_{ds,dt}$, exprimée théoriquement par l'équation (I.11). La tension de seuil V_{th} des transistors utilisés étant égale à $-5V$, la chute de tension théorique $V_{ds,dt}$ est donc d'environ $-10 + 5 = -5V$. Ceci se vérifie expérimentalement sur la Figure I.54, le potentiel au point milieu V_{SW} atteint bien une valeur moyenne $V_{ds,dt}$ de $-5V$ lors des temps morts dt_1 et dt_2 . Cette valeur de la chute de tension $V_{ds,dt}$, supérieure de $4V$ à la chute de tension de la diode, est quasiment la valeur la plus faible que l'on puisse obtenir avec ces composants. En effet avec une tension V^- de plus faible amplitude, les composants ne pourraient plus être correctement bloqués.

En plus de cette importante différence de conduction lors des temps mort, nous constatons aussi une différence sur la dynamique du convertisseur mais heureusement bien moins importante. Les ondulations en tension du point milieu V_{SW} sont plus faibles et plus amorties à l'ouverture de J2 et à la fermeture de J1 avec les diodes en antiparallèle que sans. Nous imputons cet amortissement des ondulations à la modification du circuit résonant de par l'ajout des capacités parasites des diodes, celui-ci n'est alors plus excité de la même façon par le front de commutation.

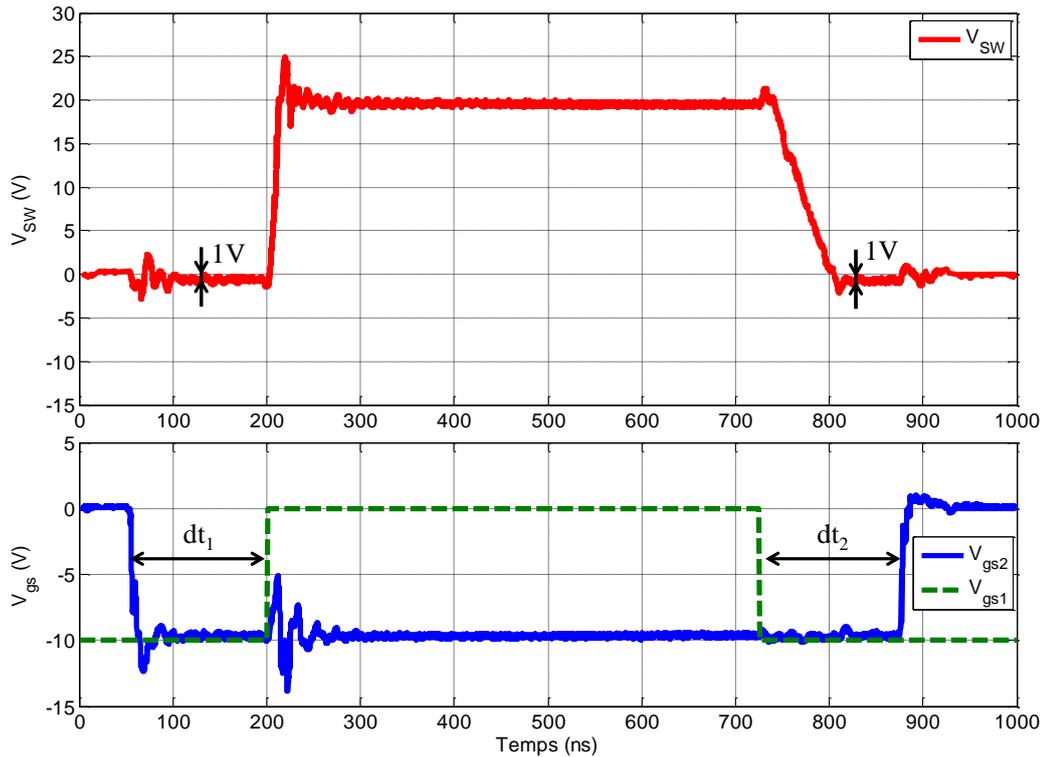


Figure I.53 : Formes de tensions expérimentales du convertisseur Buck à base de JFETs SiC purement verticaux avec une diode Schottky SiC en antiparallèle de chaque interrupteurs de puissance

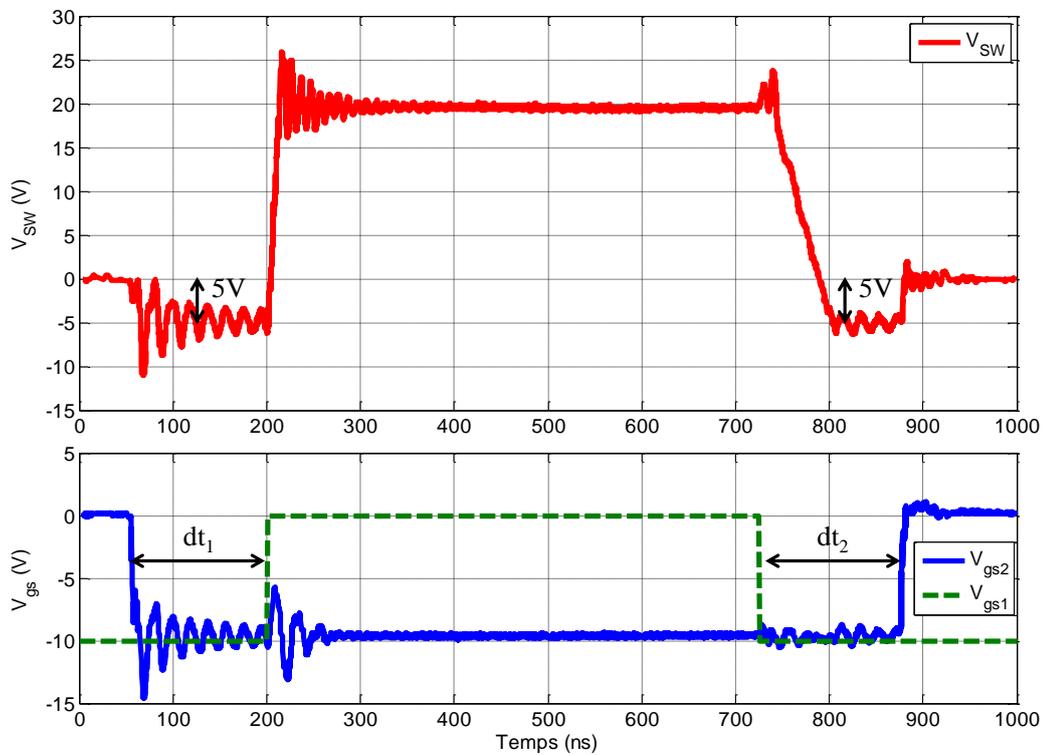


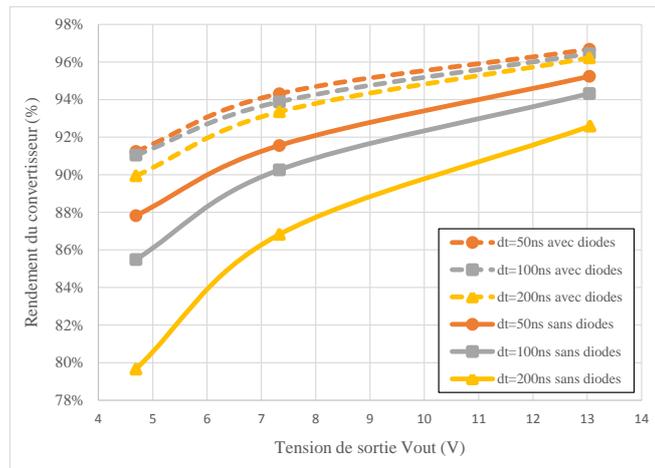
Figure I.54 : Formes de tensions expérimentales du convertisseur Buck à base de JFETs SiC purement verticaux sans diodes Schottky en antiparallèle

I.5.2.2.2 L'impact des temps morts en fonction du point de fonctionnement et de la fréquence

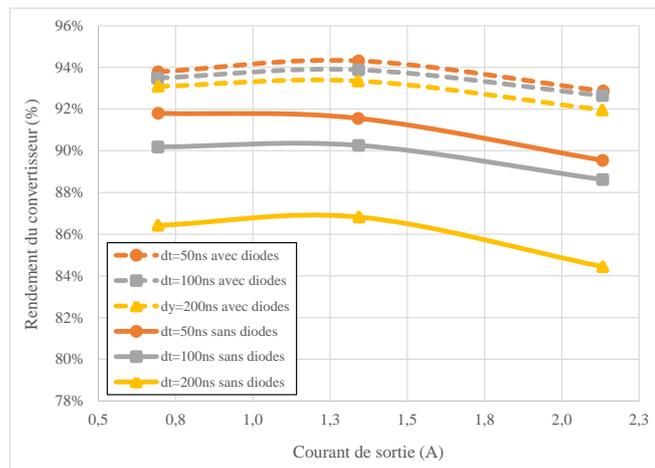
Le rendement du convertisseur Buck synchrone avec et sans diodes a été mesuré pour différents temps morts $dt=dt_1=dt_2$ de 50ns à 200ns en fonction du point de fonctionnement et de la fréquence de commutation. La Figure I.55 (a) présente le rendement du convertisseur en fonction de la tension de sortie V_{OUT} de 4.7V à 13V, la Figure I.55 (b) montre le rendement du même convertisseur mais en fonction du courant de sortie I_L de 0.7A à 2.1A et sur la Figure I.55 (c) le rendement est mesuré en fonction de la fréquence de découpage f de 200kHz à 600kHz. Nous constatons que :

- Le rendement le plus élevé est systématiquement obtenu par le convertisseur Buck fonctionnant avec les diodes en antiparallèle et le temps mort le plus faible de 50ns.
- Le rendement le plus faible est systématiquement obtenu par le convertisseur Buck sans diode et le temps mort le plus long de 200ns.
- Le rendement du convertisseur sans les diodes est beaucoup plus sensible à la longueur du temps mort que le convertisseur avec les diodes en antiparallèle. Sur la Figure I.55 (a) à V_{OUT} égale 4.7V, le rendement du convertisseur sans diodes varie d'environ neuf points lorsque le temps mort dt passe de 50ns à 200ns contre une variation de un point pour le même convertisseur avec les diodes.
- Plus la tension de sortie V_{OUT} est faible et la fréquence de commutation f est élevée, plus la longueur du temps mort dt impacte le rendement du convertisseur à courant de sortie I_L constant.

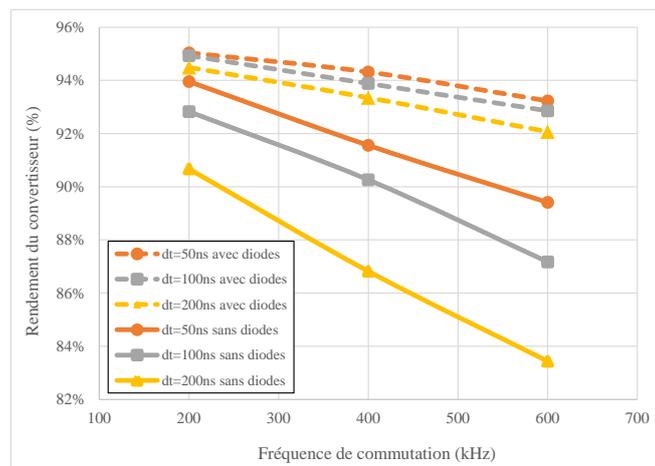
Nous vérifions donc en pratique ce que nous pressentions en théorie avec les équations (I.14) et (I.15) : à temps mort égal, le rendement du convertisseur avec les diodes Schottky SiC est meilleur que celui sans diodes et plus le temps mort est long plus le rendement du convertisseur se dégrade, particulièrement lorsque les diodes en antiparallèle sont supprimées. Il paraît donc essentiel pour conserver l'avantage de la suppression des diodes en antiparallèle des interrupteurs de réussir à réduire au maximum ces pertes durant les temps morts afin de s'approcher, voire d'égaliser le rendement du convertisseur avec les diodes. Une solution efficace semble être la réduction importante du temps mort pour virtuellement éliminer la conduction en inverse sous le seuil des transistors grand gap sans diodes internes.



(a)



(b)



(c)

Figure I.55 : Mesures de rendement du convertisseur Buck synchrone avec et sans diodes pour différents temps morts de 50ns à 200ns en fonction de (a) la tension de sortie V_{OUT} avec $V_{IN}=20V$, $f=400kHz$ et $I_L=1.33A$, (b) le courant de sortie I_L avec $V_{IN}=20V$, $V_{OUT}=7.3V$ et $f=400kHz$, (c) la fréquence de commutation f avec $V_{IN}=20V$, $V_{OUT}=7.3V$ et $I_L=1.33A$

I.5.3 Réduire les pertes durant les temps morts

Cette partie présente dans un premier temps une technique de réduction des pertes durant les temps morts d'un convertisseur synchrone à base de composants grand gap sans diodes par un circuit de commande trois niveaux issu de l'état de l'art. Après analyse de ce circuit nous proposons une solution apparaissant comme évidente, plus simple et plus efficace : la réduction drastique de la longueur des temps morts. Comme nous allons le détailler dans un second temps, cette démarche de réduction importante des temps morts est très difficile à garantir dans un convertisseur de puissance synchrone classique.

I.5.3.1 La diminution de la chute de tension durant les temps mort par un circuit de commande trois niveaux

Afin de réduire les pertes P_{dt} durant les temps mort, données par l'équation (I.14), dans un convertisseur synchrone à base de composants grand gap sans diode, il est possible de réduire la chute de tension $V_{ds,dt}$ donnée par (I.11) en augmentant la tension V_{gs} du transistor conduisant le courant tout en restant sous le seuil. Plus la tension V_{gs} à l'état bas va être élevée et proche de la tension de seuil V_{th} , plus la chute de tension $V_{ds,dt}$ et les pertes P_{dt} vont être faibles mais moins le composant sera bloqué. Il en résultera des fuites et un risque de remise en conduction parasite, comme étudié dans la partie I.3.3.3, encore plus importants.

Pour pallier partiellement ce problème une solution brevetée [85] propose de commander les composants de puissance avec trois niveaux distincts de tension au lieu de deux. L'étude d'un tel circuit de commande a été présentée dans [86] et son schéma est visible sur la Figure I.56. Contrairement à la méthode classique à deux niveaux de commande, possédant un seul étage de sortie comme celui étudié sur la Figure I.31 (b), le circuit de commande à trois niveaux nécessite un étage de sortie supplémentaire en cascade avec le premier. Cet étage, en jaune sur la Figure I.56, va sélectionner la valeur de la tension de blocage de l'interrupteur entre deux niveaux, ici, V_x ou la masse. La grille du transistor peut donc bien être pilotée par trois niveaux différents de tension : V_{CC} , V_x et la masse.

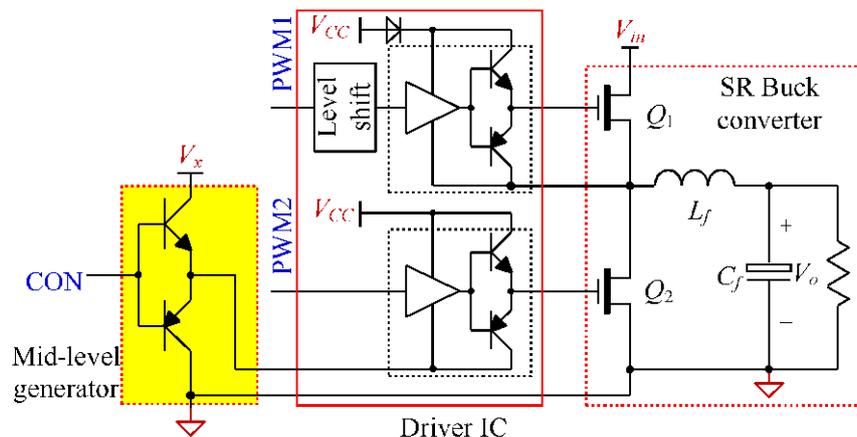


Figure I.56 : Schéma de la méthode de commande trois niveaux [86] appliquée à un convertisseur Buck

Il est ainsi toujours possible de fixer en dehors des temps mort une tension de grille à V_{CC} ou à la masse bien supérieure ou bien inférieure à la tension de seuil V_{th} du transistor, de manière à ce qu'il soit bien passant ou bien bloqué. Et lors des temps morts une tension de grille intermédiaire V_x proche de la tension de seuil V_{th} est applicable à la grille dans le but de réduire la chute de tension $V_{ds,dt}$. Sur la Figure I.57 (a) et la Figure I.57 (b) sont visibles les formes d'ondes des tensions expérimentales d'un convertisseur Buck à base de HEMTs GaN EPC1015, lorsque le transistor Low-Side Q2 est commandé par deux niveaux de tension (5V et 0V) et lorsqu'il est commandé par le circuit de commande trois niveaux (5V, 1.5V et 0V). Nous constatons bien une diminution de la chute de potentiel $V_{ds,dt}$ lors des temps morts et donc une réduction des pertes P_{dt} avec cette méthode trois niveaux. Des mesures du gain sur le rendement apporté par cette méthode sont faites dans [86] sur un convertisseur Buck synchrone 12V vers 1.2V commutant à 1 MHz des HEMTs GaN EPC1015 ayant une tension de seuil typique de 1.8V. Pour une puissance de sortie de 120W, le convertisseur possède un rendement de 87% et 85.4% avec la commande trois niveaux lorsque le potentiel intermédiaire V_x vaut respectivement 1.5V et 1V contre un rendement de 84% avec la commande deux niveaux (5V et 0V) à temps mort fixe de 20ns.

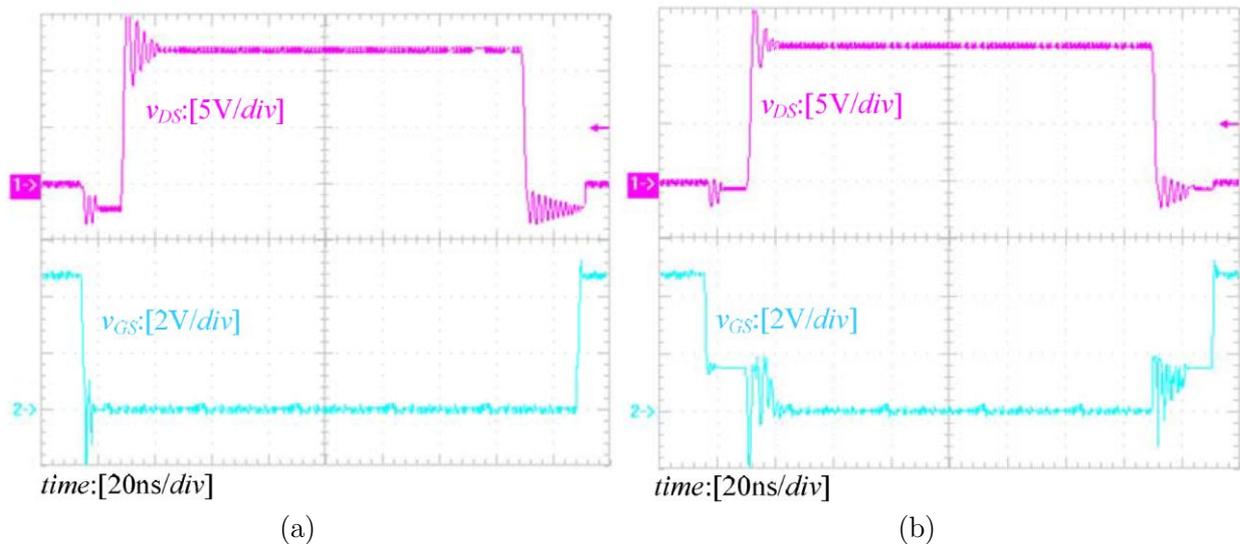


Figure I.57 : Formes de tensions expérimentales du convertisseur Buck à base de HEMTs GaN EPC1015 (a) commandés avec deux niveaux et (b) commandés avec trois niveaux [86]

Cette méthode brevetée se révèle être efficace pour réduire les pertes durant le temps mort mais présente en l'état trop de désavantages et limitations de fonctionnement qui ne facilite pas son adoption. En premier lieu cette technique ajoute une complexité et un coût relativement important au système. En effet cette méthode nécessite une alimentation V_x supplémentaire ainsi qu'un étage de sortie de commande supplémentaire. Ce deuxième étage de sortie doit au minimum avoir une résistance à l'état passant égale au premier étage de puissance pour ne diviser que par deux les performances à l'ouverture du circuit de commande. La taille et donc le prix de la puce de commande de grille sont *a minima* doublés. D'autres désavantages sont liés à la remise en conduction parasite du transistor Low-Side Q2 lorsque le transistor Q1 se ferme. En effet avant la fermeture de Q1, la tension grille-source V_{gs} est très proche de la tension de seuil

V_{th} du transistor Q2 (éloignées dans [86] de 0.3V dans le meilleur cas) et lorsque Q1 va se fermer, la tension au point milieu va rapidement croître et la capacité grille-drain de Q2 va emporter sa grille jusqu'à le remettre en conduction. Ce phénomène indésirable de remise en conduction avec cette méthode de commande trois niveaux est observé et détaillé dans [87]. Cette trop forte sensibilité à la remise en conduction parasite limite fortement l'utilisation de cette méthode dans un convertisseur de puissance haute tension.

Nous remarquons de plus que cette technique est efficace surtout si la tension intermédiaire V_x est très proche de la tension de seuil V_{th} : ici l'écart est inférieur à 0.3V. Or la tension de seuil d'un HEMT GaN [39], [40] comme la plupart des composants ne peut être garantie par le fabricant. Celle-ci pouvant varier d'un facteur trois d'un composant à un autre [39], il est donc nécessaire de calibrer individuellement le niveau intermédiaire V_x d'un circuit de commande trois niveaux pour chaque composants de puissance commandés.

Afin de réduire les pertes durant les temps morts sans affecter grandement la robustesse et/ou le coût du convertisseur, nous avons étudié et mis au point dans cette thèse des méthodes de réduction importante mais de manière sûre des temps morts sur la base d'un circuit de commande de grille standard à deux niveaux de tension intégrant monolithiquement un contrôleur dynamique des temps morts.

1.5.3.2 Un temps mort très faible, difficile à garantir dans un convertisseur de puissance haute tension

Réduire les temps morts à leur minimum, quasiment les supprimer pour s'approcher le plus possible d'une commutation purement synchrone, permettrait en théorie d'obtenir un rendement identique avec ou sans les diodes en antiparallèle et donc de supprimer ces coûteuses diodes sans réduire les performances du convertisseur. Mais comme nous allons le voir, un temps mort très faible est difficile à garantir, du circuit de logique de commande jusqu'à la grille des transistors, à cause d'une différence de temps de propagation des signaux de commande entre le Low-Side et le High-Side.

Le schéma électrique d'un convertisseur Buck synchrone haute tension classique est représenté sur la Figure I.58. Un circuit logique de commande émet deux signaux IN1' et IN2' de commande de J1 et J2, opposés et légèrement décalés entre eux d'un temps mort dt . Ces signaux vont successivement traverser un dispositif d'isolation galvanique et de décalage des niveaux ISO1 ou ISO2 et être amplifiés par un driver DRV1 ou DRV2 avant d'attaquer la grille de leur transistor de puissance correspondant. Bien que les chemins de propagation au High-Side et au Low-Side soient équivalents, les temps de propagation des signaux IN1' et IN2' ne peuvent être strictement égaux. En effet les circuits d'isolation ISO1/ISO2 et drivers DRV1/DRV2 sont chacun des puces distinctes pour lesquelles leur constructeur ne peut garantir un temps de propagation strictement identique à cause de la dispersion inhérente à tous procédés industriels. Comme nous l'avons vu lors de l'étude des circuits d'isolation et de décalage des niveaux (Tableau I-5) la dispersion du temps de propagation au travers d'un opto-coupleur [67] est supérieure à 200 ns mais celle-ci peut être réduite à 10 ns avec une sélection spéciale, plus onéreuse de transformateurs d'impulsion [68]. Un circuit driver spécifique pour composant grand gap comme le LM5114 [82] a lui une dispersion entre puces du temps de propagation maximale de 20ns.

Finalement dans un convertisseur de puissance comme celui de la Figure I.58, il est seulement possible de garantir un décalage temporel maximum entre les signaux de commande de J1 et J2, à cause des différences de temps de propagation du High-Side t_{prop1} et du Low-Side t_{prop2} . Si nous nous basons sur les données constructeur du transformateur d'impulsion [68], du driver [82] et d'un circuit logique de commande basé sur un FPGA [88], le décalage temporel possible maximum des tensions V_{gs1} et V_{gs2} est de 35ns. Sur la Figure I.59 est représenté le chronogramme des signaux $IN1'$, $IN2'$, V_{gs1} et V_{gs2} . Dans le cas où les temps de propagation t_{prop1} et t_{prop2} sont distants de 35ns et les temps morts dt_1 et dt_2 sont fixés à une valeur faible de 10ns, les signaux V_{gs1} et V_{gs2} se recouvrent durant 25ns. À chaque période durant ce recouvrement de 25ns les deux transistors de puissance J1 et J2 sont passants et donc l'alimentation est en court-circuit. En plus de réduire drastiquement le rendement du convertisseur, il y a un risque important de casse des interrupteurs de puissance. Le circuit logique de commande ne peut donc pas garantir un fonctionnement optimal du convertisseur avec un temps mort aussi court que 10ns, il devra au minimum fixer un temps mort de 50ns avec les circuits optimisés choisis pour éviter tout court-circuit.

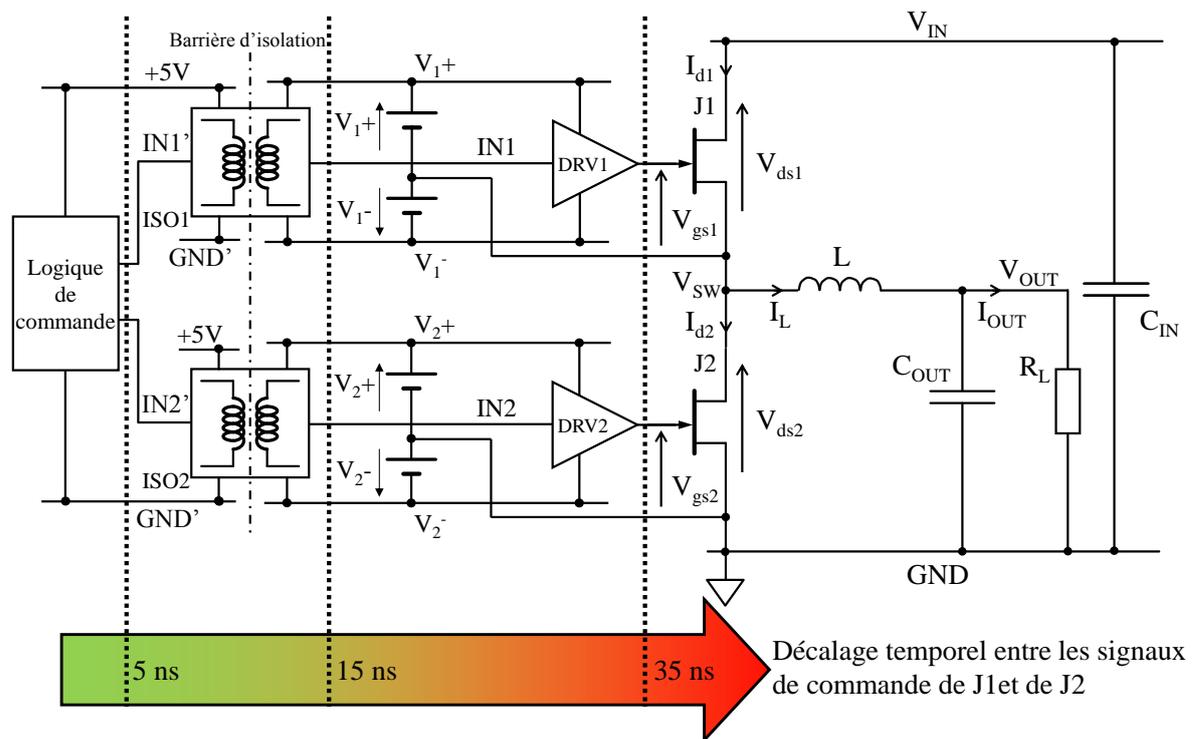


Figure I.58 : Schéma électrique d'un convertisseur Buck synchrone isolé galvaniquement mettant en évidence le décalage temporel entre les signaux de commande de J1 et J2, du circuit de logique de commande jusqu'à la grille des transistors

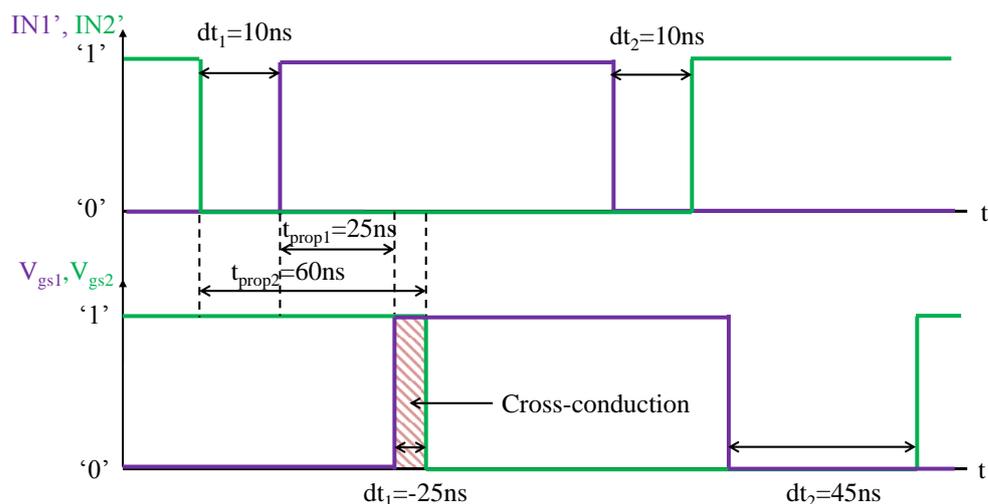


Figure I.59 : Chronogramme des signaux $IN1'$, $IN2'$, V_{gs1} et V_{gs2} montrant le phénomène de cross-conduction dû à des temps de propagation de $IN1'$ et $IN2'$ différents et des temps morts trop courts

Dans cette thèse, afin de réduire le temps mort de manière sûre, nous nous sommes dans un premier temps intéressés au développement d'une architecture de convertisseur de puissance haute tension basé sur un seul circuit d'isolation galvanique double canaux et un circuit Level-Shifter rapide haute tension. Dans un second temps, nous avons étudié et développé un circuit de commande de grille spécifique intégrant monolithiquement un contrôleur de temps mort, permettant de générer et d'ajuster de manière dynamique et sûre des temps morts courts tout en réduisant les contraintes sur les temps de propagation des signaux $IN1'$ et $IN2'$.

I.6 Conclusion

Dans ce chapitre nous avons étudié en détail la cellule de commutation d'un convertisseur de puissance synchrone, usuellement constituée d'une capacité, de deux interrupteurs de puissance tels que des MOSFETs silicium et de deux diodes rapides en antiparallèle. L'étude des caractéristiques de composants grand gap, le HEMT GaN et le JFET SiC purement vertical, révèle des performances statiques et dynamiques d'un nouvel ordre. Mais ces caractéristiques révèlent aussi des différences par rapport aux composants classiques en silicium qui sont susceptibles de modifier sensiblement le fonctionnement de la cellule de commutation et donc d'impacter le rendement et la robustesse d'un convertisseur synchrone usuel. En effet ces composants unipolaires, de taille réduite ont des temps de commutation très courts malgré une énergie d'activation très faible. Les risques de remise en conduction parasite et de claquage en tension des composants grand gap s'avèrent alors bien plus importants que pour leurs homologues en silicium.

De plus les HEMTs GaN et les JFETs SiC purement verticaux sont des composants sans diode interne entre drain et source. Ces composants grand gap conservent la bidirectionnalité en courant tout comme les MOSFETs silicium mais avec plus aucune charge inverse de recouvrement Q_r . Ces charges étant normalement recouvrir lors des temps morts dans un convertisseur à commutation synchrone/naturelle des diodes hautes performances, rapide et faible état passant sont ajoutées dans la cellule de commutation. Nous avons alors remis en cause l'intérêt de ces coûteuses diodes en antiparallèle de composants sans diodes internes et étudié un convertisseur de puissance synchrone dont toutes les diodes de la maille de commutation auraient été supprimées. Des mesures expérimentales faites sur un tel convertisseur démontrent des performances statiques et dynamiques équivalentes avec et sans ces diodes. Mais en raison d'un mode particulier de conduction en inverse sous le seuil de ces composants sans diodes, des pertes supplémentaires sont à déplorer durant les temps morts. Ces différences avec les composants usuels impliquent donc des modifications au niveau des circuits de commande mais aussi du convertisseur de puissance pour assurer un fonctionnement optimal de ces composants grand gap. Des travaux issus de l'état de l'art récent proposent déjà des solutions pour optimiser les gains en rendement et en densité de puissance de tels convertisseurs de puissance à base de composant grand gap. Mais l'optimisation des gains permis par les caractéristiques de ces composants se font la plupart du temps au détriment de la robustesse du système.

Dans le second chapitre de cette thèse, nous faisons l'étude d'un circuit de commande spécifique capable de tirer profit des hautes performances des composants grand gap tout en conservant une bonne robustesse grâce, entre autres, au contrôle des formes de commutation par adaptation de l'impédance de grille. Puis nous proposons dans le troisième chapitre une technique d'autocommutation des composants sans diodes dans un convertisseur à commutation synchrone. Dans la cellule de commutation transistor/transistor nous proposons de supprimer virtuellement la conduction en inverse sous le seuil et donc supprimer les pertes durant les temps morts par un circuit de commande intelligent gérant localement et dynamiquement ces temps morts.

CHAPITRE II

ADAPTATION DE LA COMMANDE AUX CARACTERISTIQUES DES COMPOSANTS GRAND GAP

SOMMAIRE

II.1	INTRODUCTION.....	80
II.2	LES PERFORMANCES DYNAMIQUES DES COMPOSANTS EN FONCTION DU POINT DE FONCTIONNEMENT.....	81
II.2.1	La méthode classique de caractérisation dite « double pulse » en environnement variable	81
II.2.2	Une méthode spécifique de caractérisation en dynamique.....	87
II.2.3	La dépendance des commutations d'un composant grand gap au point de fonctionnement	92
II.3	LE CONTROLE DES FORMES DE COMMUTATIONS PAR ADAPTATION DE L'IMPEDANCE DE GRILLE.....	97
II.3.1	Les circuits passifs d'aide à la commutation.....	97
II.3.2	La modulation de la vitesse de commutation par le contrôle de l'impédance de grille	99
II.3.3	Un circuit à impédance de sortie adaptative pour la commande de composants grand gap	105
II.4	LA PUCE DE COMMANDE A IMPEDANCE DE SORTIE PROGRAMMABLE.....	111
II.4.1	Dimensionnement du circuit de commande adaptatif	111
II.4.2	Dessin des masques	125
II.4.3	Validation de la méthode de commande adaptative dans un convertisseur de puissance synchrone.....	128
II.5	L'INTEGRATION HETEROGENE D'UN CIRCUIT LEVEL-SHIFTER POUR DES APPLICATIONS HAUTES TENSIONS, HAUTES FREQUENCES ET HAUTES TEMPERATURES.....	137
II.5.1	Une topologie demi-pont en H avec un seul transformateur de signaux deux voies et un circuit Level-Shifter haute vitesse.....	137

II.5.2	Un circuit Level-Shifter haute tension, haute température, rapide et régulé en courant	139
II.5.3	Validation expérimentale	143
II.6	CONCLUSION.....	147

II.1 Introduction

Les composants grand gap ont des performances statiques et dynamiques d'un nouvel ordre qui laissent entrevoir des perspectives très intéressantes pour les applications hautes densités de puissance, haute température et haute fréquence. Comme nous l'avons étudié au chapitre précédent, ces nouveaux composants ont certaines différences avec leurs homologues en silicium susceptibles de modifier le fonctionnement de la cellule de commutation d'un convertisseur de puissance synchrone. Les composants grand gap, de par leurs vitesses de commutation supérieures sont en effet plus sensibles aux composants parasites provenant de leur structure interne et du convertisseur de puissance. Par ailleurs, les HEMTs GaN et les JFETs SiC purement verticaux conduisent, malgré l'absence de diode interne entre drain et source, le courant en inverse sous le seuil mais en générant plus de pertes. Ces éléments conduisent à mener une étude spécifique pour évaluer les conditions et les contraintes de convertisseurs synchrones à composants grand gap.

Nous proposons dans une première partie de ce chapitre une méthode de caractérisation en dynamique spécifique pour composants grand gap basée sur l'architecture d'un hacheur série pulsé. Cette méthode nous permet d'évaluer précisément et avec une grande flexibilité l'impact du point de fonctionnement (fixé par la tension, le courant et la température) sur les performances en dynamique d'un transistor grand gap, même au stade de prototype, avec ou sans boîtier pouvant fournir un échange thermique spécifique. A partir de ces résultats de caractérisation nous proposons une méthode de contrôle des formes d'ondes des tensions et courants d'un composant à la commutation par adaptation de l'évolution de sa tension de grille en fonction de son environnement. Un circuit de commande à impédance de sortie programmable a ainsi été fabriqué en technologie CMOS AMS 0.35 μm afin de réduire les surtensions et les surcourants à chaque électrode d'un transistor grand gap directement au niveau de sa grille et ainsi étendre sa plage de fonctionnement de sûreté, communément appelé SOA (Safe Operating Area) en anglais.

Dans un second temps nous étudions une solution de transfert d'ordres de commande du circuit logique aux circuits de commande de grille compatible avec les applications hautes températures, hautes tensions et hautes fréquences visées par un convertisseur de puissance à base de composants grand gap. A travers un processus de conception et d'intégration couplé puissance/driver, le translateur de niveau proposé est capable de transferts rapides de signaux entre deux potentiels haute tension dans un environnement haute température. De plus ce circuit Level-Shifter intégrable monolithiquement au circuit de commande et de puissance permet un bon appariement des temps de propagation des signaux de commande des transistors High-Side et Low-Side. Un temps mort court peut alors être fixé de manière sûre ce qui permet de sensiblement réduire les fonctionnements indésirables et générateurs de pertes durant les temps morts. Dans cette même perspective, nous présenterons dans le troisième chapitre de ce manuscrit une autre solution adressant la réduction importante des pertes durant le temps mort grâce à une technique d'autocommutation des composants supprimant virtuellement la conduction en inverse sous le seuil des transistors grand gap sans diodes.

II.2 Les performances dynamiques des composants en fonction du point de fonctionnement

Dans le but de proposer un circuit de commande adapté aux composants grand gap, nous avons cherché à caractériser précisément mais simplement leurs performances dynamiques et la dépendance de ces dernières au point de fonctionnement (courant, tension et température). Comme nous l'avons étudié précédemment dans la partie I.3.1, les composants grand gap JFETs SiC et HEMTs GaN sont en théorie, à tension de claquage V_{BR} fixée, plus petits d'un facteur dix à quinze que leurs homologues en silicium. Ces composants plus petits ont donc des capacités électriques parasites plus faibles mais aussi des capacités thermiques C_{th} et des surfaces d'échange thermique plus faibles. Des problèmes d'auto-échauffement peuvent apparaître et ainsi modifier, voir dégrader les caractéristiques du composant grand gap [89], [90]. Dans cette première partie de chapitre, nous proposons une méthode spécifique permettant de caractériser précisément en dynamique des composants grand gap sur une large plage de fonctionnement et ce, avec une flexibilité et un stress thermique meilleurs qu'avec la méthode classique dite « double pulse ». Cette méthode de caractérisation nous permet alors d'évaluer indépendamment l'impact du point de fonctionnement sur les performances dynamiques de composants grand gap prototypes, ou même commerciaux, ne possédant pas de boîtier avec échange thermique spécifique [39], [40]. En établissant ainsi pour un composant grand gap donné, le lien étroit entre la commutation et le point de fonctionnement, nous serons à même de dimensionner au mieux et de proposer un circuit de commande spécifique adapté à ce composant sur une plus grande plage de fonctionnement.

II.2.1 La méthode classique de caractérisation dite « double pulse » en environnement variable

II.2.1.1 La méthode double pulse

La méthode dite double pulse est la méthode la plus couramment utilisée pour caractériser en commutation un composant de puissance [29], [91]–[93]. Le schéma de principe du circuit de caractérisation double pulse est présenté sur la Figure II.1. Son architecture est proche de celle d'un hacheur série mais sans charge de sortie et avec un circuit de mesure supplémentaire permettant l'observation du courant traversant le composant à tester (DUT). Les formes des courbes de tensions et courants d'un DUT caractérisé par cette méthode double pulse sont visibles sur la Figure II.2. Le DUT établit le courant dans l'inductance L lors d'un premier pulse avant de commuter une seconde fois au point de fonctionnement et à la fréquence désirés.

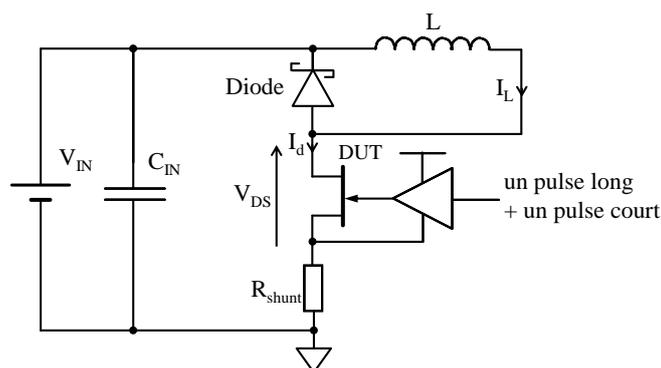


Figure II.1 : Schéma de principe du circuit de caractérisation double pulse

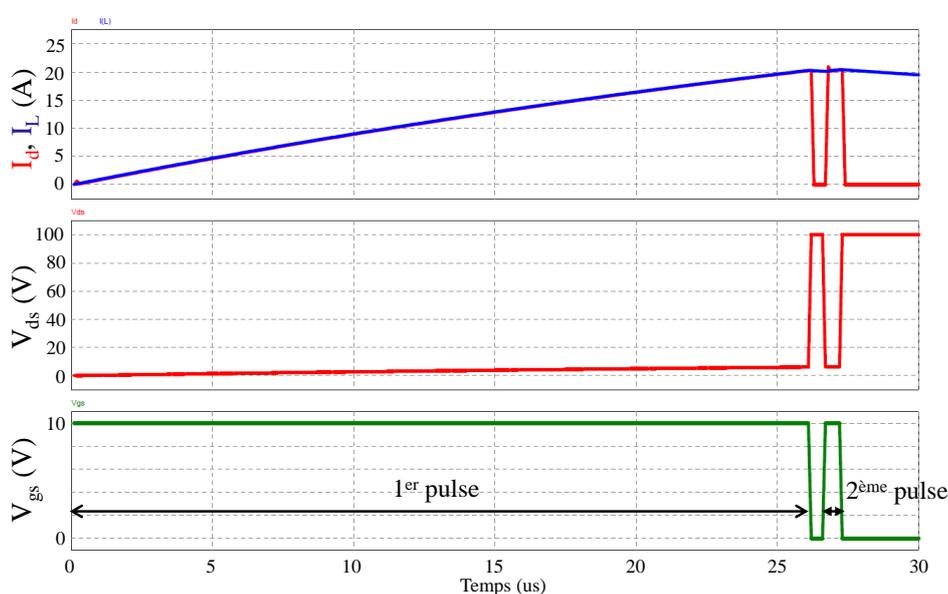


Figure II.2 : Formes d'ondes des tensions et courants d'un DUT caractérisé en dynamique à 100V/20A et 500kHz par la méthode double pulse

La longueur t_1 du premier pulse est donnée par l'équation (II.1) et dépend de la valeur de l'inductance L , la résistance équivalente R , le courant désiré I_d et la tension d'alimentation V_{IN} . La résistance équivalente R correspond à la résistance à l'état passant du DUT, la valeur du shunt de mesure R_{shunt} et les résistances parasites de l'inductance et des interconnexions. L'inductance L est choisie à partir de l'équation (II.2) en fonction de R , de V_{IN} , de la fréquence f de commutation, correspondante à la période entre la fin du premier pulse et la fin du second pulse, et en fonction de l'ondulation maximale en courant tolérée ΔI_L lors de la caractérisation du DUT à la deuxième impulsion. Sur la Figure II.2, le DUT est caractérisé à 100V/20A et 500kHz avec un rapport cyclique de 50%. Pour une ondulation maximale en courant de 1A lors de la seconde pulse une inductance de 100 μH doit être choisie et la longueur t_1 du premier pulse est alors de 26 μs .

$$t_1 = -\frac{L}{R} \cdot \ln\left(1 - \frac{R \cdot I_d}{V_{IN}}\right) \quad (\text{II.1})$$

$$L = -\frac{R}{2f \cdot \ln\left(1 - \frac{R \cdot \Delta I_L}{V_{IN}}\right)} \quad (\text{II.2})$$

II.2.1.2 Modélisation thermique d'un HEMT GaN

Avec la méthode double pulse c'est le même composant qui fixe le point de fonctionnement souhaité et qui est caractérisé. Le DUT est passant durant toute la durée du premier pulse jusqu'à ce que le courant dans l'inductance atteigne la valeur nécessaire à la caractérisation, 20A sur la Figure II.2. Le DUT conduit alors la totalité du courant dans l'inductance, ce qui engendre des pertes par conduction liées à la résistance à l'état passant du composant : le DUT s'auto-échauffe.

Nous avons cherché à évaluer ce phénomène d'auto-échauffement dans le cas d'une caractérisation par la méthode double pulse avec un point de fonctionnement et une fréquence de commutation variable. Dès lors que nous souhaitons adresser des prototypes de composants grand gap, les liens entre les paramètres électriques et la température de jonction T_J nous sont a priori inconnus. Il ne nous est alors pas possible de mesurer en pratique la température de jonction par une mesure indirecte comme celle de la résistivité à l'état passant du composant. Pour cette raison notre étude s'intéressant à l'évolution de la température de jonction T_J d'un composant grand gap lors de sa caractérisation en dynamique se base sur des résultats de simulations électrothermiques. Pour évaluer et comparer différentes méthodes de caractérisation nous avons réalisé une modélisation thermique approximative d'un HEMT GaN. Pour la structure HEMT du composant GaN considéré nous appellerons température de jonction T_J la température à l'hétérojonction AlGaIn/GaN.

Nous avons considéré un composant HEMT GaN sur substrat Si prototype de calibre en courant 20A, de résistance R_{ON} à l'état passant d'environ 300 m Ω , et d'une surface physique de la puce d'environ 2 mm². Ce prototype est soudé sur une semelle de cuivre, sans radiateur extérieur supplémentaire et la connexion électrique au reste du système est faite par un nombre limité de fils de Bonding (non représentés). La représentation graphique d'un tel composant est visible sur la Figure II.3 et nous renseigne sur les dimensions du composant considéré ainsi que sur les principales composantes de son modèle thermique.

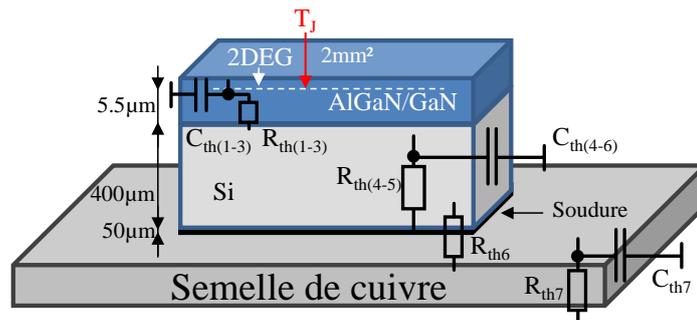


Figure II.3 : Représentation graphique d'un composant GaN sur substrat Si soudé sur une semelle de cuivre et son modèle thermique

Pour la modélisation de ce composant grand gap nous avons choisi un modèle thermique classique basé sur un réseau dit de Cauer : un réseau de circuits élémentaires RC parallèle [94] visible sur la Figure II.4. Les capacités thermiques C_{th} et les résistances thermiques R_{th} de ce modèle sont calculées à partir des équations (II.3) et (II.4) avec c la capacité thermique massique en $J/(g \cdot ^\circ K)$ d'un matériau, ρ sa densité en g/m^3 , d son épaisseur en m , S sa surface en m^2 et λ_{th} sa conductivité thermique en $W/(m \cdot ^\circ K)$.

$$C_{th} = c \cdot \rho \cdot d \cdot S \quad (II.3)$$

$$R_{th} = \frac{d}{\lambda_{th} \cdot S} \quad (II.4)$$

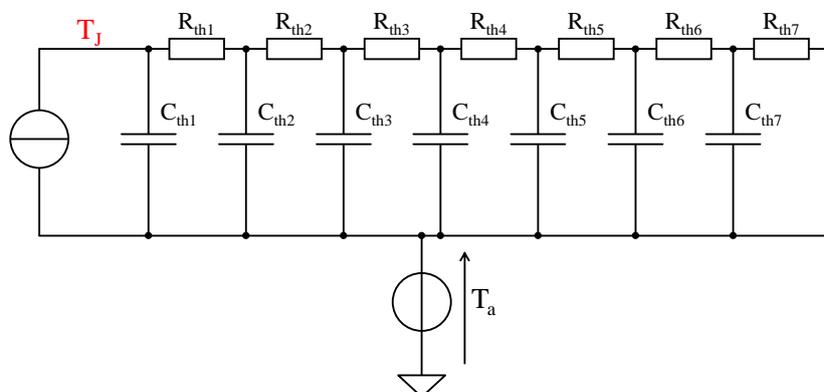


Figure II.4 : Modèle thermique du composant grand gap considéré, segmenté en sept circuits élémentaires RC parallèle

Dans un HEMT GaN sur Si, le courant électrique passe au travers du gaz d'électrons en deux dimensions (2DEG), comme étudié dans I.3.2.1, présent à l'hétérojonction entre deux matériaux AlGaIn et GaN. Lors de la conduction du composant, nous considérons que la chaleur est entièrement générée au niveau de ce gaz. Nous faisons de plus l'hypothèse que le système constitué du transistor et de la semelle est adiabatique à l'échelle du temps de la caractérisation électrique car la constante de temps thermique induite par l'échange avec l'air ambiant est très importante. En effet en choisissant pour semelle de cuivre un boîtier de type TO-220 la constante de temps $R_{th,JA}C_{th,JA}$ d'échange thermique du système composant plus semelle avec l'air ambiant est typiquement de 43 s [95]. Celle-ci est donc bien supérieure à la durée maximale de la caractérisation électrique estimée à 200 μs . Dans l'hypothèse que nous faisons d'un système adiabatique, le flux de chaleur est unidirectionnel, se propageant du gaz d'électrons à la semelle de cuivre en traversant successivement le matériau GaN, le silicium et une fine soudure pour atteindre la semelle.

Les matériaux GaN et silicium sont chacun modélisés par un sous-réseau de trois circuits $R_{th}C_{th}$ parallèle de valeur croissante comme représenté sur la Figure II.3 dans le but d'affiner la simulation à proximité du gaz d'électrons et donc de la température de jonction T_J du composant. La résistance thermique et la capacité thermique entre la semelle de cuivre et l'air

ambiant est celle d'un boîtier en cuivre de type TO-220 [95]. Finalement la chaleur se propage dans le composant au travers de sept résistances R_{th1} à R_{th7} et sept capacités thermiques C_{th1} à C_{th7} dont leur valeur est donnée par le Tableau II-1.

Tableau II-1 : Paramètres du réseau de Cauer du modèle thermique du composant HEMT GaN sur Si

Matériau	Grandeur	Valeur	Unité
Nitrure de Gallium GaN	C_{th1}	$0.3 \cdot 10^{-6}$	J/°K
	C_{th2}	$1.2 \cdot 10^{-6}$	
	C_{th3}	$15 \cdot 10^{-6}$	
	R_{th1}	$0.8 \cdot 10^{-3}$	°K/W
	R_{th2}	$3 \cdot 10^{-3}$	
	R_{th3}	$38 \cdot 10^{-3}$	
Silicium Si	C_{th4}	$17 \cdot 10^{-6}$	J/°K
	C_{th5}	$84 \cdot 10^{-6}$	
	C_{th6}	$0.86 \cdot 10^{-3}$	
	R_{th4}	$71.4 \cdot 10^{-3}$	°K/W
	R_{th5}	0.36	
Silicium Si + étain Sn	R_{th6}	3	
Cuivre Cu	C_{th7}	0.54	J/°K
	R_{th7}	60	°K/W

Ce modèle thermique va nous permettre de quantifier le phénomène d'auto-échauffement des composants grand gap, particulièrement au cours de leur caractérisation électrique en dynamique en régime impulsionnel. À partir de simulations électrothermiques, nous allons évaluer l'impact de la méthode de caractérisation classique double pulse sur la température de jonction T_j du composant à tester (DUT), et proposer une méthode spécifique permettant de supprimer le stress thermique sur le DUT.

II.2.1.3 Influence de la méthode de caractérisation double pulse à différents points de caractérisation

Une simulation électrothermique a été réalisée afin d'étudier l'évolution de la température de jonction T_j en fonction du point de fonctionnement V_{IN} , I_d et de la fréquence f à température ambiante. Le schéma électrique du circuit double pulse et le modèle thermique du DUT GaN sur Si est visible sur la Figure II.5. Ce schéma électrothermique basé sur les paramètres électriques et thermiques précédemment exposés a été simulé avec un logiciel de type SPICE, en l'occurrence PSIM. Le Tableau II-2 récapitule les différents résultats obtenus par simulation du schéma à différents points de fonctionnement et fréquences. Nous avons supposé et simulé deux cas pratiques de mise en œuvre de la technique double pulse. Dans le premier cas, le plus facile à mettre en œuvre, l'inductance L est fixée à une valeur relativement importante de manière à garantir une ondulation en courant acceptable, inférieure à 10% sur toute la plage de caractérisation. En choisissant une inductance L de 600 μ H nous garantissons une ondulation en courant maximum de 2A pour $V_{IN}=250V$, $I_L=20A$ et $f=100kHz$ (voir le Tableau II-2) sur la

plage de fonctionnement choisie pour nos simulations. Dans le deuxième cas, difficile à utiliser en pratique, l'inductance L est recalculée et changée à chaque point de fonctionnement et fréquence dans le but de choisir la plus petite valeur garantissant une ondulation en courant de 1A.

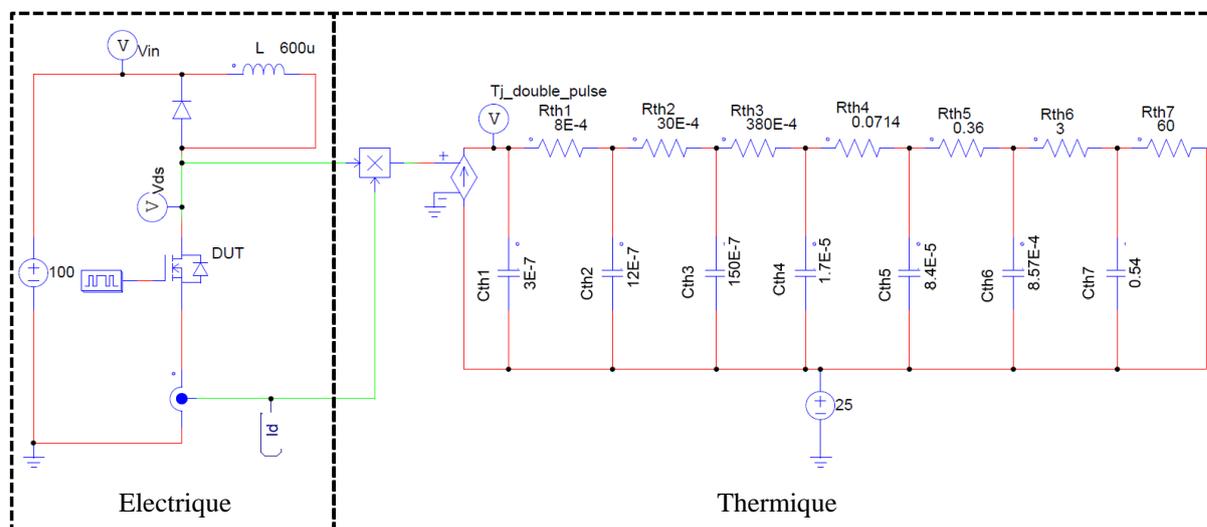


Figure II.5 : Schéma électrothermique simulé permettant d'évaluer le stress thermique du composant durant sa caractérisation par la méthode double pulse

Tableau II-2 : Température de jonction atteinte par le composant testé à 25°C par la méthode double pulse à différents points de fonctionnement

L (μH)	ΔI (A)	I_d (A)	f (kHz)	V_{IN} (V)	t_1 (μs)	$T_J/\Delta T_J$ ($^{\circ}\text{C}$)
Inductance choisie en fonction de V_{in} , I_d et f						
500	1	20	100	100	130	63/38
1250				250	110	61/36
100			500	100	26	43/18
250				250	22	40/15
Inductance fixe						
600	0.8	20	100	100	153	70/45
	2.1			250	52	55/30
	0.2		500	100	153	68/43
	0.4			250	52	50/25

En adaptant à chaque point de mesure l'inductance L , nous remarquons que l'augmentation de la température de jonction T_J est non négligeable et fortement dépendante de la fréquence f . Celle-ci augmente par exemple de 20°C lorsque f passe de 500kHz à 100kHz. Pour le cas plus pratique d'une seule inductance fixée à 600 μH , la température T_J atteinte lors du test est encore plus importante. Dans le cas de test à L constante, la température du DUT dépend principalement des variations du point de fonctionnement : plus la tension est basse et le courant grand, plus T_J est importante en fin de test.

Que ce soit en adaptant l'inductance L à chaque mesure ou en choisissant une valeur fixe d'inductance, nous constatons que la température de jonction d'un DUT grand gap comme le HEMT GaN considéré est dépendante du point de fonctionnement et de la fréquence de commutation. Cette variation de la température T_J est de plus difficilement mesurable en dynamique de par des constantes de temps courtes et des liens entre paramètres électriques et température a priori méconnus. Dès lors que nous cherchons à étudier l'impact de la température sur les caractéristiques en dynamique du composant à différents points, cette méthode double pulse ne se révèle pas totalement adéquat de par le phénomène d'auto-échauffement du DUT. Afin d'étudier avec une grande flexibilité et précision l'impact de la tension V_{IN} et du courant I_d commutés sur la dynamique d'un composant grand gap indépendamment de la température, nous avons mis au point une méthode de caractérisation spécifique supprimant l'auto-échauffement du DUT.

II.2.2 Une méthode spécifique de caractérisation en dynamique

II.2.2.1 Un hacheur série fonctionnant en mode pulsé

La méthode de caractérisation que nous proposons a été mise en œuvre dans le but d'évaluer indépendamment de la température l'impact du point de fonctionnement V_{IN}/I_d commuté sur les performances dynamiques d'un composant grand gap. Cette méthode est basée sur l'architecture d'un convertisseur hacheur série fonctionnant en un mode spécifique, visible sur la Figure II.6. Il est constitué du DUT, d'un transistor en parallèle, d'une diode Schottky SiC haute tension, d'une inductance L , d'une charge de sortie R_L et d'une mesure de courant dans la maille de commutation du DUT. Contrairement à la méthode de caractérisation double pulse, le courant dans l'inductance n'est plus établi par le DUT mais par un transistor auxiliaire en parallèle de celui-ci. Sur la Figure II.7 sont représentées les formes d'ondes des tensions et du courant du circuit de caractérisation en dynamique que nous proposons. Nous remarquons que le transistor auxiliaire établit progressivement le courant dans l'inductance et une fois le régime permanent atteint le DUT commute une seule fois au point de fonctionnement et à la fréquence désirés. De cette manière les contraintes thermiques liées à l'établissement du courant dans la self ne sont plus supportées par le DUT mais par ce composant auxiliaire.

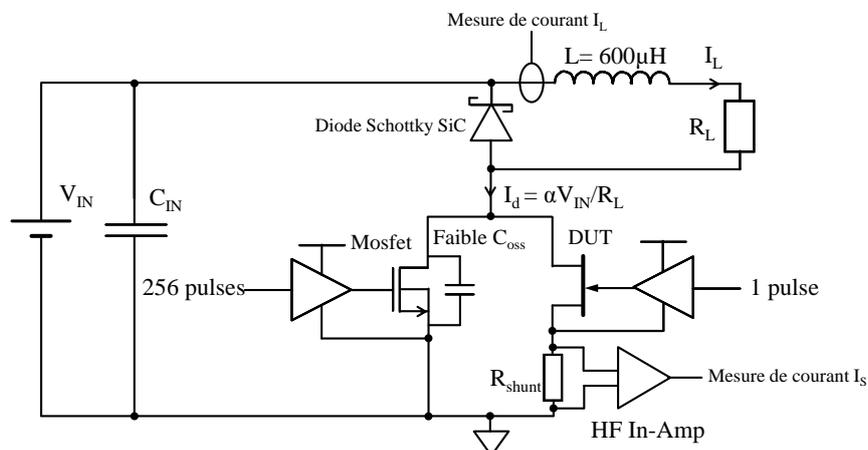


Figure II.6 : Schéma de principe du hacheur série fonctionnant en mode pulsé pour la caractérisation en dynamique d'un composant grand gap

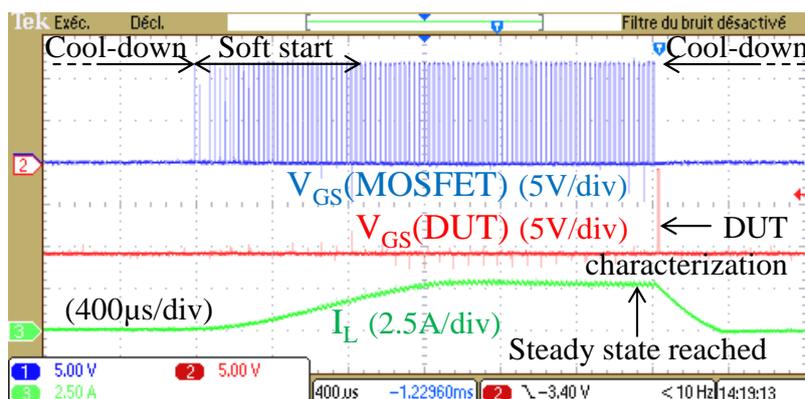


Figure II.7 : Oscillogrammes des tensions et courants du hacheur série pulsé spécifique

Lorsque le transistor parallèle établit le courant, le circuit fonctionne exactement comme un hacheur série classique. Le courant moyen I_L dans l'inductance au régime permanent est alors donné par l'équation (II.5). Celui-ci dépend simplement du rapport cyclique α du convertisseur, de la tension d'entrée V_{IN} et de la charge de sortie R_L . Par conséquent pour une tension d'entrée donnée, le courant peut se régler plus facilement en modifiant soit la valeur de la charge, soit celle du rapport cyclique, soit les deux, contrairement à la méthode double pulse qui nécessite de calculer préalablement la durée de la première impulsion en fonction de l'inductance et de la tension ou de prévoir un déclenchement sur la mesure d'un seuil. De nouveau, le choix de l'inductance se fait en fonction de l'ondulation en courant maximale désirée. Pour un hacheur série en régime permanent l'ondulation en courant est donnée par l'équation (II.6).

$$I_L = \alpha \cdot \frac{V_{IN}}{R_L} \quad (\text{II.5})$$

$$\Delta I = \frac{V_{IN} \cdot (1 - \alpha)\alpha}{L \cdot f} \quad (\text{II.6})$$

Un démarrage particulier Soft-Start a été intégré au circuit afin de rapidement atteindre le régime permanent tout en protégeant le circuit de sur-courant durant le régime transitoire. Comme nous pouvons le voir sur les chronogrammes de la Figure II.7, le rapport cyclique α de la tension grille-source du MOSFET auxiliaire est progressivement augmenté avant d'atteindre le régime permanent. Une fois cet état stable atteint, en moins de 3 ms sur la Figure II.7, le DUT commute une fois au point de fonctionnement et à la fréquence voulue. Il s'en suit une période de refroidissement Cool-Down où les deux transistors en parallèle sont ouverts. Ces transistors ne conduisent donc plus le courant de l'inductance qui se décharge complètement dans la charge R_L . Nous considérons que le DUT et le MOSFET ont des courants de fuites faibles donc ils ne dissipent pas de pertes significatives à l'état bloqué. Leurs températures de jonction T_j retombent alors rapidement à la température ambiante. Si tel n'était pas le cas il faudrait prévoir de couper l'alimentation de puissance du hacheur durant cette période de refroidissement. Après cette période le composant auxiliaire peut de nouveau établir le courant souhaité dans l'inductance et

une autre commutation du DUT peut avoir lieu. Une commutation du DUT, par exemple, toutes les secondes permet de faire des mesures statistiques de caractérisation en dynamique.

II.2.2.2 *L'impact de la méthode proposée sur les commutations du composant*

La technique de caractérisation que nous proposons implique l'utilisation d'un transistor en parallèle du DUT. Or tout transistor de puissance possède une capacité de sortie C_{oss} . Cette capacité de sortie s'additionne alors à celle du DUT comme sur la Figure II.6, entraînant quelques impacts sur la commutation du DUT lors de sa caractérisation comme, par exemple, des temps de commutations légèrement ralenties.

Le circuit complet de caractérisation fonctionne en un mode pulsé. Avec un établissement du courant en 3ms et une période de refroidissement d'une seconde, le rapport cyclique de fonctionnement du convertisseur n'est que de 0.3%. Grâce à un temps de fonctionnement court et un système de refroidissement efficace, le calibre en courant du transistor auxiliaire peut être fortement réduit, et par la même, sa capacité de sortie C_{oss} dès lors que la température de jonction maximale $T_{j,max}$ n'est pas atteinte durant les tests. En sous dimensionnant le calibre en courant du transistor auxiliaire par rapport au courant circulant dans l'inductance au régime permanent et en fonction de son comportement électrothermique, il est possible de choisir un composant avec une faible capacité de sortie. Pour des tests menés jusqu'à 250V/20A nous utilisons le MOSFET 500V IRF820 [96] qui est qualifié pour un courant continu de 2.5A et un courant pulsé de 8A. Ce composant possède une capacité de sortie C_{oss} quasiment fixe en tension. Elle vaut 92pF à 25V de tension drain-source, et elle se stabilise à une valeur faible de 60pF à partir de 30V jusqu'à 500V.

Nous avons évalué l'impact de la capacité additionnelle provenant du transistor IRF820 sur la commutation d'un DUT grand gap par simulation du circuit de caractérisation précédemment présenté. Pour cette simulation électrique nous avons utilisé le modèle SPICE du HEMT GaN 200V/12A EPC2010 [40] possédant une capacité de sortie évoluant de 1nF à 250pF lorsque la tension V_{ds} croît de 1V à 200V. La diode Schottky SiC 600V/12A [84] choisie a été modélisée par deux diodes Schottky SiC 600V/6A [54] en parallèle dont leur modèle SPICE est disponible pour une capacité totale équivalente de 450pF à $V_{ds}=1V$ et 45pF à $V_{ds}=200V$. Le Tableau II-3 donne les temps de commutation du DUT à l'ouverture et à la fermeture pour différents courant I_L avec et sans le transistor auxiliaire en parallèle à $V_{IN}=200V$. À l'ouverture du DUT, les capacités de sortie des deux transistors en parallèle sont chargées à courant constant jusqu'à ce que leur potentiel de drain dépasse la tension d'entrée V_{IN} et que la diode Schottky se mette en conduction. Le temps de cette charge à courant constant est directement proportionnel à la valeur des capacités de sorties des transistors additionnées à la capacité parasite de la diode Schottky. Avec les composants choisis et pour $V_{ds}=200V$, l'adjonction d'une capacité de 60pF augmente la capacité de sortie du DUT de 24%, la capacité au point milieu de 9% et ralentit la commutation d'environ 12% sur toute la plage de caractérisation. À la fermeture, le DUT court-circuite les deux capacités de sortie. En simulation la commutation à la fermeture est ralentie de seulement 3%. L'impact d'une capacité supplémentaire sur la commutation est donc plus faible à la fermeture qu'à l'ouverture par contre le DUT dissipe à cet instant en perte par conduction les charges supplémentaires stockées dans cette capacité, inférieure à 2μW·s pour une capacité de 60pF chargée à 250V. Nous pourrions imaginer réduire encore plus cette charge commutée en choisissant un composant auxiliaire grand gap nouvelle génération mais leur haute performance

dynamique serait nuisible pour le DUT en parallèle à l'état bloqué qui risquerait des remises en conduction parasites si sa tension drain-source venait à varier trop rapidement.

Nous constatons donc que l'ajout du transistor parallèle n'a qu'un impact limité sur les commutations du DUT à cause de la capacité parasite de la diode Schottky et de la capacité de sortie du DUT estompant celle du transistor supplémentaire. De plus nous souhaitons par ces caractérisations dynamiques connaître les dérives des temps de commutation d'un composant en fonction du point de fonctionnement pour être à même de les contrebalancer par une commande intelligente. Nous cherchons donc plus à obtenir des mesures relatives précises que des valeurs absolues strictement exactes.

Tableau II-3 : Temps de commutation à l'ouverture et à la fermeture du DUT avec et sans le transistor auxiliaire en parallèle pour $V_{IN}=200V$ et I_L variant de 500mA à 10A

Courant moyen commuté I_L	Temps de commutation à l'ouverture du DUT t_{off}		Impact du transistor à l'ouverture Δt_{off}	Temps de commutation à la fermeture du DUT t_{on}		Impact du transistor à la fermeture Δt_{on}
	Sans le transistor en parallèle	Avec le transistor en parallèle		Sans le transistor en parallèle	Avec le transistor en parallèle	
$I_L=500$ mA	160 ns	180 ns	12.5%	3.3 ns	3.4 ns	3%
$I_L=3$ A	27 ns	30 ns	11.1%	3.4 ns	3.5 ns	3%
$I_L=10$ A	8 ns	9 ns	12.5%	3.8 ns	3.9 ns	3%

II.2.2.3 La suppression des contraintes thermiques sur le composant à tester

Afin d'évaluer les contraintes thermiques imposées au DUT à travers la mise en œuvre de la méthode de caractérisation proposée, nous effectuons la simulation du schéma électrothermique présenté sur la Figure II.8. Le DUT GaN sur Si et l'inductance L fixe de 600 μ H utilisés pour cette simulation sont les mêmes composants que ceux utilisés pour la simulation double pulse. La capacité de sortie C_{oss} du MOSFET auxiliaire est fixée à 60pF pour correspondre à celle du transistor IRF820 choisi. Nous comparons dans le Tableau II-4 les températures de jonction T_J maximales atteintes par le DUT lors de sa caractérisation à différents points de fonctionnement et fréquences dans le cas des deux méthodes de caractérisation.

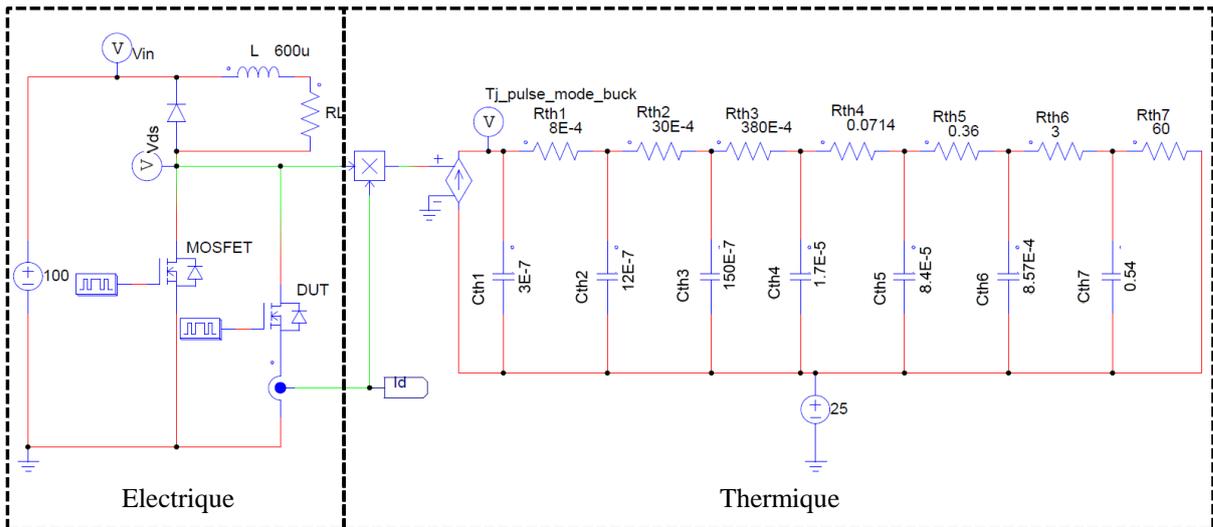


Figure II.8 : Schéma électrothermique simulé permettant d'évaluer le stress du composant durant sa caractérisation par la méthode proposée basée sur un hacheur série pulsé

Tableau II-4 : Température de jonction atteinte par le composant testé à 25°C par la méthode mono pulse hacheur série et double pulse à différents points de fonctionnement

L (µH)	ΔI (A)	I _d (A)	f (kHz)	V _{IN} (V)	T _J /ΔT _J (°C) Hacheur pulsé	T _J /ΔT _J (°C) Double pulse
600	0.4	20	100	100	38 / 13	70 / 45
	1			250	38 / 13	55 / 30
	0.1		500	100	31 / 6	68 / 43
	0.2			250	31 / 6	50 / 25

La température de jonction maximale du DUT pour la méthode de caractérisation proposée est comprise entre 31°C et 38°C contre une température variant de 50°C à 70°C pour la méthode double pulse à température ambiante. Les températures les plus élevées sont atteintes dans les deux cas lorsque le DUT est caractérisé à 100 kHz. L'évolution de la température de jonction T_J du DUT au cours de sa caractérisation à 100V/20A et 500kHz par les deux méthodes est représentée sur la Figure II.9. Nous remarquons que la température de jonction du composant atteint 68°C à t_1 une fois le courant établi dans l'inductance avec la méthode double pulse alors qu'avec la méthode proposée le DUT étant inactif jusqu'à sa caractérisation, sa température ne croît pas. Durant la période de conduction du DUT entre t_2 et t_3 la température augmente de 6°C pour atteindre 31°C dans le cas du hacheur pulsé contre 3.5°C pour atteindre 66°C dans le cas double pulse. À ces instants, la principale différence entre les deux méthodes provient de la capacité supplémentaire en parallèle du DUT dû au transistor auxiliaire.

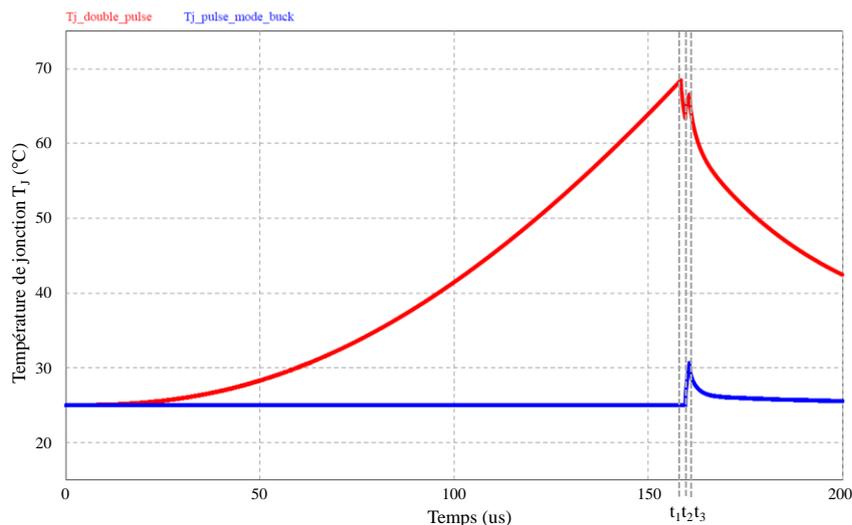


Figure II.9 : Températures de jonction T_J du composant au cours de sa caractérisation par les méthodes double pulse (en rouge, en haut) et hacheur série pulsé (en bleu, en bas) à 100V/20A et 500 kHz avec une inductance fixe de 600 μ H

L'élévation de température en cours de caractérisation par la méthode proposée étant à présent très faible, il nous est possible d'approximer à 10°C près la température de jonction T_J du DUT lors de sa caractérisation dynamique par la température extérieure du boîtier du DUT. Pour étudier l'évolution des commutations du DUT en fonction de sa température de jonction nous fixons alors la température extérieure du DUT seul grâce à un chauffage, comme par exemple un système hermétique de régulation de la température.

La méthode proposée semble donc considérablement réduire le phénomène d'auto-échauffement du DUT et ce, quelques soient le point de fonctionnement, la fréquence et la valeur de l'inductance au prix d'une faible capacité parasite supplémentaire. Un composant grand gap peut alors être caractérisé en commutation au point de fonctionnement désiré avec une grande flexibilité et en s'affranchissant des contraintes thermiques. Il n'est ainsi plus nécessaire que le composant soit refroidi par un boîtier et un radiateur avec échange thermique spécifique. Cette souplesse s'avère cruciale dès lors que nous cherchons à tester en dynamique des composants grand gap prototypes ou même commerciaux, tels que les HEMTs GaN qui ne possèdent pas, à l'heure actuelle, de système réellement efficace d'extraction de la chaleur [39], [40] de par une structure latérale particulière pour le domaine de l'électronique de puissance.

II.2.3 La dépendance des commutations d'un composant grand gap au point de fonctionnement

II.2.3.1 Le circuit de caractérisation

Une photographie du circuit de caractérisation dynamique basé sur la méthode spécifique précédemment étudiée est visible sur la Figure II.10. Une attention particulière a été apportée à la cellule de commutation de puissance comportant le DUT, en rouge sur la Figure II.10 (b) pour réduire la longueur de la maille de commutation du DUT et ainsi réduire efficacement les inductances parasites. Le transistor auxiliaire est le MOSFET 500V IRF820 [96] de capacité de

sortie 60pF. Sa maille de commutation est plus longue pour des raisons de priorité au placement et d'éloignement au point chaud mais de part des commutations lentes celle-ci n'est pas critique. La diode est une diode Schottky 600V SiC de calibre en courant continu de 12A [84] possédant une capacité parasite totale de 45pF à 200V. La mesure du courant est assurée par cinq shunts de courant précis au pourcent près en boîtier de type 0805 en parallèle pour une inductance parasite estimée à environ 1.5 nH et un amplificateur d'instrumentation HF [97]. Les drivers utilisés sont des drivers IR4427 [98] destinés initialement à la commande de MOSFETs et d'IGBTs, capable de piloter une grille avec un courant pic typique de 2.3A. L'amplitude de la tension de commande grille-source V_{gs} et l'impédance de grille du DUT sont respectivement ajustables par l'intermédiaire des alimentations du circuit driver et d'une résistance externe de grille. Le circuit de commande éloigné qui génère les signaux de commande de chaque interrupteur au rapport cyclique et à la fréquence désirés est un circuit de type FPGA.

Le JFET SiC Normally-ON purement vertical [38] a été caractérisé en commutation jusqu'à 250V/20A et 350°C avec la méthode proposée. Un système hermétique de régulation de la température du DUT n'a pas pu être utilisé avec cette première réalisation du circuit de caractérisation car la carte utilisée ne supporte pas de température supérieure à 150°C. Nous avons alors mené les premières études en utilisant un flux d'air chaud à 300l/min et jusqu'à 350°C soufflant dans un plan parallèle à la carte. Le dispositif de chauffage est placé au plus près de la face arrière du composant afin que la température du boîtier et de jonction du composant se stabilise rapidement, en moins d'une minute [95] à une température proche de celle du flux de chaleur mais qui n'est pour le moment pas réglée.

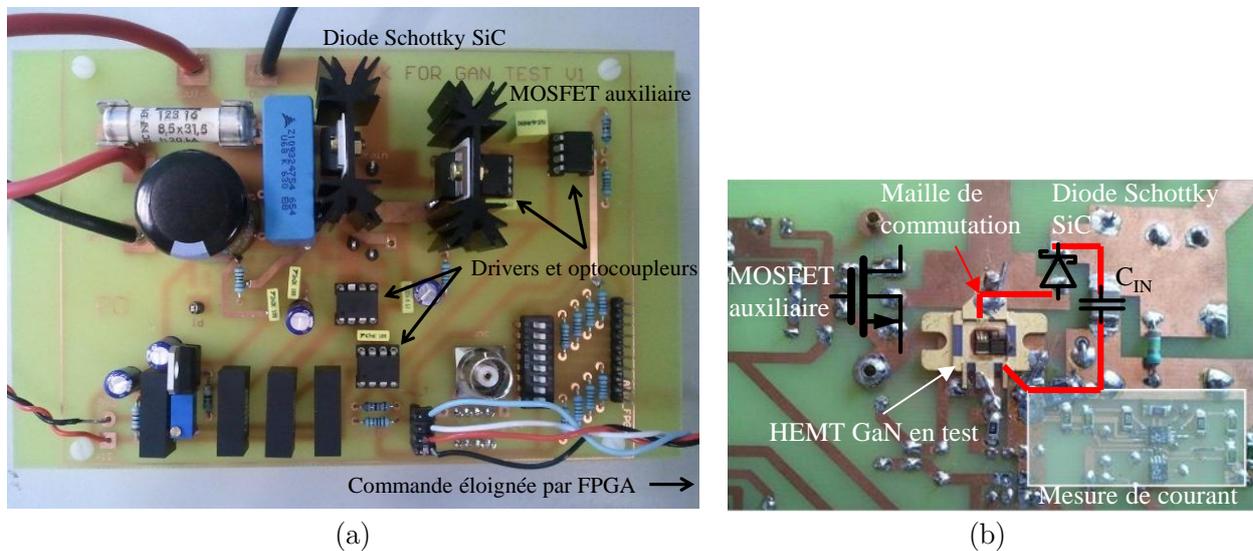


Figure II.10 : Photographie du circuit de caractérisation basé sur le hacheur série pulsé (a) face avant et (b) face arrière, côté DUT

II.2.3.2 L'évolution des commutations d'un JFET SiC en fonction du point de fonctionnement caractérisé par une méthode flexible et pratique

Nous avons étudié indépendamment l'impact de la tension d'entrée V_{IN} , du courant dans l'inductance I_L et de la température sur les commutations du JFET SiC [38] avec le circuit précédemment présenté jusqu'à un point de fonctionnement de 250V/20A et une température de

l'ordre de 350°C. Pour ces caractérisations la tension grille-source du composant est piloté par le circuit de commande entre -10V et 0V avec une résistance de grille externe de 100mΩ. Les tensions sont mesurées par des sondes Tektronix P6139A de bande passante 500MHz et de capacité parasite 8pF. Une unique inductance de 600μH a été utilisée sur la large plage de caractérisation en dynamique du DUT. Le régime permanent est systématiquement atteint en moins de 3ms comme sur la Figure II.7, et l'ondulation en courant une fois ce régime atteint est au maximum de 1A, comme le prévoit le Tableau II-4. La Figure II.11, la Figure II.12 et la Figure II.13 sont des exemples d'oscillogrammes de caractérisation à la fermeture du DUT, soit en fonction de la tension commuté V_{IN} , soit du courant commuté I_L , soit de la température ambiante T_{ext} .

Sur la Figure II.11, que ce soit pour une tension V_{IN} de 25V ou 250V, nous remarquons que le temps de commutation de la tension drain-source V_{ds} à la fermeture du DUT est environ le même : 15ns contre 16ns. La variation dV_{ds}/dt est donc environ dix fois supérieure lorsque la tension commutée vaut 250V. La surtension ΔV_{gs} est, elle, environ trois fois plus grande. A l'ouverture, la capacité de sortie du transistor étant chargée à courant constant par le courant dans l'inductance I_L , la variation dV_{ds}/dt est presque insensible aux variations de tension.

Sur la Figure II.12, nous constatons que lorsque le composant commute à la fermeture un courant de 7A à 100V, la tension drain-source chute en 25ns alors que 17ns sont nécessaire lorsqu'il commute 100V/0.5A. A la fermeture plus le courant dans la diode sera important, plus long sera le temps de chute du courant et plus lente sera la chute du potentiel drain-source du DUT. A l'ouverture l'évolution du temps de commutation est inversée. La capacité de sortie du transistor étant toujours chargée à courant constant, plus le courant dans l'inductance I_L sera important, plus la commutation sera rapide.

Sur la Figure II.13, lorsque le point de fonctionnement est fixé à 100V/4A et que le composant commute à température ambiante ou sous le flux de chaleur de 350°C à 300l/min, la différence de chute de tension à l'état passant est faible ce qui nous laisse penser que la variation de la résistance à l'état passant en fonction de la température est elle aussi faible. Par contre lorsqu'il est soumis au flux de chaleur le composant commute 2 ns plus tôt qu'à température ambiante. Ce phénomène provient de la diminution de la tension de seuil de quasiment 2V avec l'augmentation de la température extérieure de 25°C à 350°C [18], [99], [100]. La diminution de la tension de seuil du composant de puissance est ici réversible ce qui n'est pas toujours le cas des composants HEMTs eGaN Normally-OFF comme le EPC2007 [39] qui voient leur concentration en fluorine dégradée par la montée en température [101].

Nous constatons de manière générale pour le JFET SiC caractérisé que:

- Lorsque le courant commuté I_L augmente, la variation du courant de drain dI_d/dt du DUT augmente. Pour ce qui est de la variation de la tension à ses bornes dV_{ds}/dt , celle-ci augmente à l'ouverture mais diminue légèrement à la fermeture.
- Lorsque la tension commutée V_{IN} augmente, la variation de la tension aux bornes du DUT dV_{ds}/dt augmente à la fermeture mais varie peu à l'ouverture.
- Lorsque la température de jonction T_j du composant augmente, sa tension de seuil V_{th} diminue.

Un tel constat ne paraît pas surprenant et nous aurions certainement abouti aux mêmes conclusions si nous avions caractérisé par une méthode classique un composant de puissance

même en silicium. L'intérêt de la méthode proposée par rapport à la méthode dite « double pulse » réside ici dans son aptitude à fournir une table de correspondance complète entre la tension et le courant commutés, la température de jonction et les vitesses de commutation à l'ouverture et à la fermeture d'un composant grand gap indifféremment des performances thermiques de son boîtier par simple variation du rapport cyclique, de la tension d'alimentation et/ou de la température externe du DUT.

La cellule de commutation du circuit proposé de caractérisation d'un composant étant là encore diode SiC/DUT et non DUT/DUT, les différences de composants parasites et des mécanismes de défaillance associés doivent être prises en considération pour extrapoler les résultats de caractérisation dynamique au convertisseur de puissance sans diode équivalent. Les données acquises par cette méthode après extrapolation vont donc s'avérer utiles pour déterminer les limites en tension, courant et température de la plage de fonctionnement de sûreté (SOA pour Safe Operating Area en anglais) d'un convertisseur de puissance sans diode à base de composants grand gap. De par la susceptibilité aux éléments parasites accrue des composants grand gap nous aurons tendance à ralentir par la commande les commutations de ces derniers pour maintenir une zone de sûreté relativement étendue. Or un circuit de commande standard ne permettant pas d'adapter sa commande [82], les performances dynamiques intéressantes des transistors grand gap se retrouveront dégradées au niveau d'un composant de puissance classique silicium sur toute la plage de fonctionnement du convertisseur. Dans la suite de ce manuscrit nous faisons la proposition d'un circuit spécifique à impédance de sortie programmable capable d'adapter les formes de commutation d'un composant grand gap directement au niveau de sa grille. Avec un tel circuit de commande et une caractérisation dynamique large signal, comme proposée ici mais pour différentes valeurs d'impédances de grille, il devient possible d'étendre simplement la plage de fonctionnement d'un convertisseur à base de composants grand gap tout en conservant en dessous de seuils en tension, courant et température les hautes performances en commutation consenties par ces derniers.

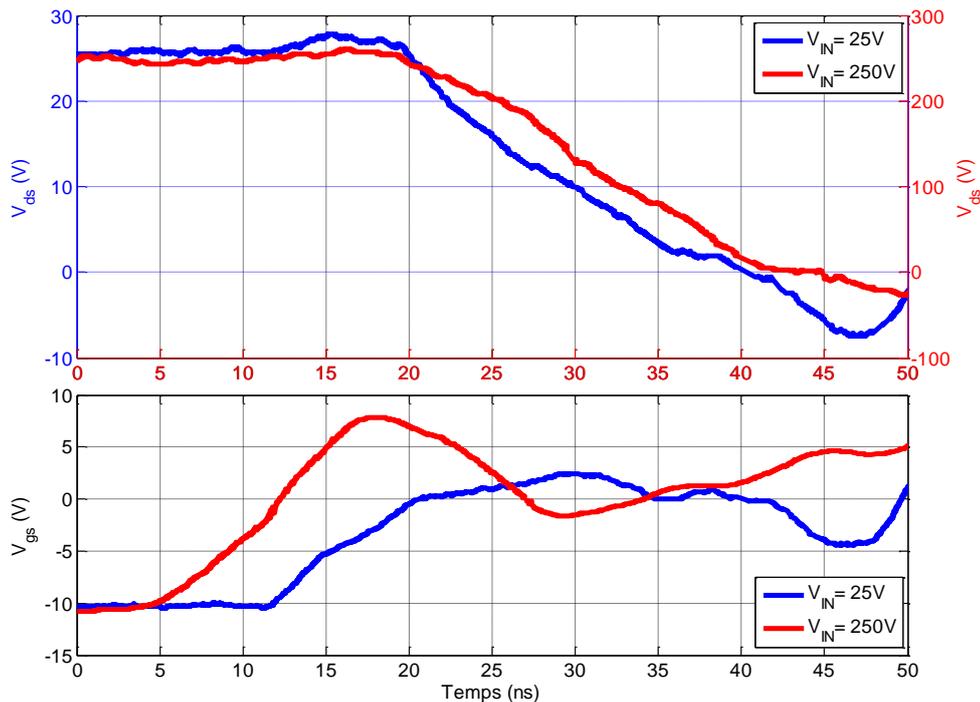


Figure II.11 : Oscillogrammes des tensions drain-source et grille-source à la fermeture du DUT à 25°C pour un courant I_L de 5A en fonction de la tension commutée V_{IN}

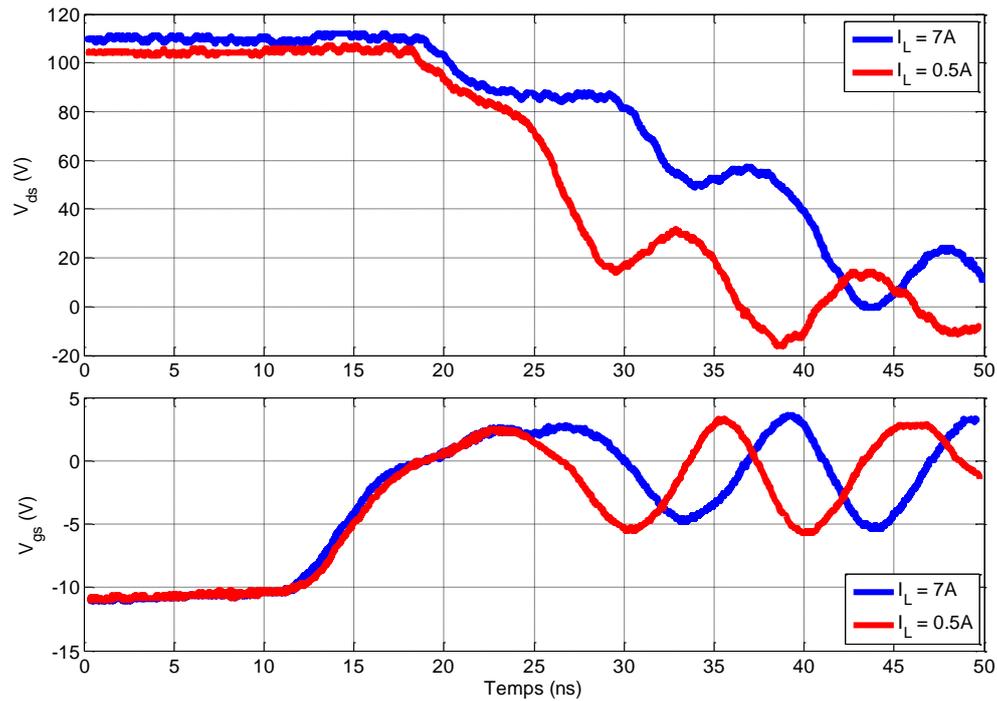


Figure II.12 : Oscillogrammes des tensions drain-source et grille-source à la fermeture du DUT à 100V et 25°C en fonction du courant commuté

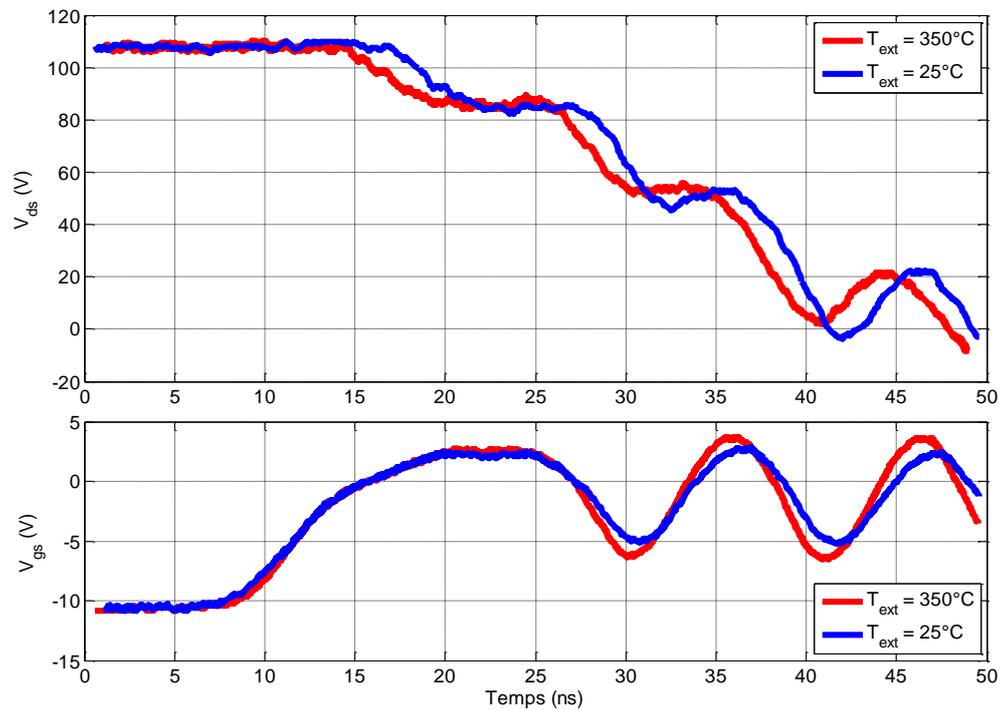


Figure II.13 : Oscillogrammes des tensions drain-source et grille-source à la fermeture du DUT à 100V/4A en fonction de la température extérieur du boîtier

II.3 Le contrôle des formes de commutations par adaptation de l'impédance de grille

II.3.1 Les circuits passifs d'aide à la commutation

Comme nous l'avons étudié précédemment, les composants grand gap, de par leurs performances dynamiques exceptionnelles, sont très sensibles aux composants parasites dans la maille de commutation de puissance. Ces composants parasites peuvent être responsables de surtensions, sur-courants et/ou remises en conduction parasites destructives. Ces phénomènes étant déjà observables dans une moindre mesure avec des composants classiques en silicium, des solutions basées sur des circuits d'aide à la commutation (CALC) ont été développées et sont couramment utilisées pour la protection d'interrupteurs dans les convertisseurs de puissance [102]–[104]. Comme montré par les formes d'ondes des tensions drain-source de la Figure II.14, un CALC permet de protéger un interrupteur en réduisant le pic en tension V_{ds} et en courant I_d à la commutation. Deux exemples de CALC sont visibles sur le schéma de la Figure II.15 et sont normalement utilisés pour aider la commutation du transistor à la fermeture et à l'ouverture. Comme nous allons le voir, ces circuits ont la particularité de protéger un composant en réduisant les surtensions et sur courants sans pour autant augmenter les pertes par commutation du composant mais en dissipant par contre de nombreuses pertes supplémentaires dans leurs éléments passifs.

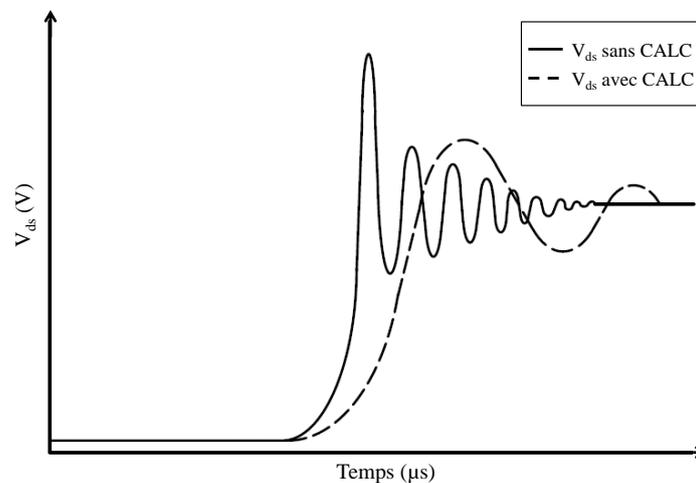


Figure II.14 : Formes d'ondes en tensions drain-source à l'ouverture d'un interrupteur de puissance avec et sans un circuit d'aide à la commutation (CALC) [103]

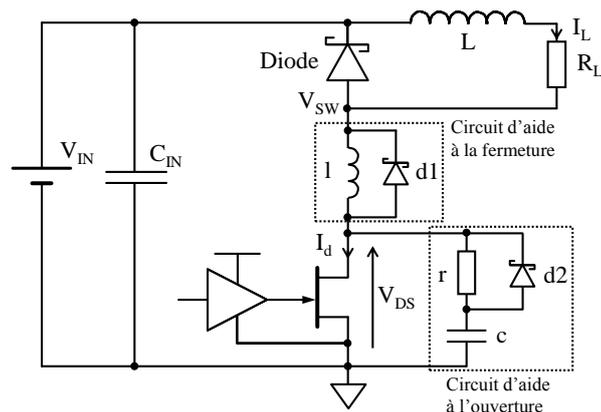


Figure II.15 : Schéma d'un convertisseur hacheur série à un quadrant muni de circuits d'aide à la commutation

Une manière simple de réduire les pics en tension et courant est de réduire la vitesse de commutation de la tension drain-source V_{ds} et du courant I_d . Si nous considérons pour un interrupteur à commutation dure que son courant de drain I_d et sa tension V_{ds} commutent à la même vitesse alors le produit $V_{ds} \cdot I_d$ est un triangle isocèle et ses pertes par commutation P_{SW} sont alors données par l'équation (II.7). Augmenter le temps d'ouverture t_{off} et de fermeture t_{on} revient à augmenter les pertes par commutation P_{SW} d'un même facteur.

Les CALC présentés sur la Figure II.15 permettent de reporter les pertes en commutation sur des éléments extérieurs, soit une capacité, soit une inductance. Se faisant, les CALC produisent des pertes globales supplémentaires à l'échelle du convertisseur. La Figure II.16 présente les formes d'ondes d'un composant HEMT GaN [40] lorsqu'il commute à l'ouverture et à la fermeture une tension de 200V et un courant de 10A dans un hacheur série un quadrant avec ou sans CALC. Les circuits d'aide à la commutation utilisés pour la simulation sont semblables à ceux de la Figure II.15 avec la valeur des éléments l , r et c fixée respectivement à 200nH, 10 Ω et 400pF. A l'ouverture le CALC, constitué d'un circuit rc et d'une diode de shunt d2, va ralentir la montée de la tension drain-source V_{ds} aux bornes du composant d'environ 6 ns et réduire la surtension au drain de moitié. Une partie du courant I_L va circuler au travers du circuit rc et ainsi déclencher la chute précoce du courant de drain I_d . L'aire sous le produit de la tension drain-source V_{ds} par le courant de drain I_d correspondant aux pertes par commutation du transistor seul est plus faible avec le CALC que sans le CALC mais les pertes globales du système à l'ouverture sont pour cette simulation trois fois supérieures avec le CALC. A la fermeture le CALC, constitué d'une inductance l et d'une diode antiparallèle de shunt d1, va s'opposer à la montée rapide du courant de drain I_d et limiter le pic de courant dans l'interrupteur à 5A contre 20A sans CALC. La tension drain-source V_{ds} chute immédiatement à cause de la tension $V_{SW} - V_{ds}$ importantes aux bornes de l'inductance l . Le point milieu V_{SW} maintenu à un potentiel élevé commutera finalement entièrement que 20 ns plus tard. Les pertes par commutation du transistor seul sont quasiment identiques avec ou sans CALC mais les pertes globales du système à la fermeture sont quatre fois supérieures avec le CALC que sans.

$$P_{SW} = \frac{1}{2} \cdot V_{IN} \cdot \bar{I}_L \cdot f \cdot (t_{on} + t_{off}) \quad (\text{II.7})$$

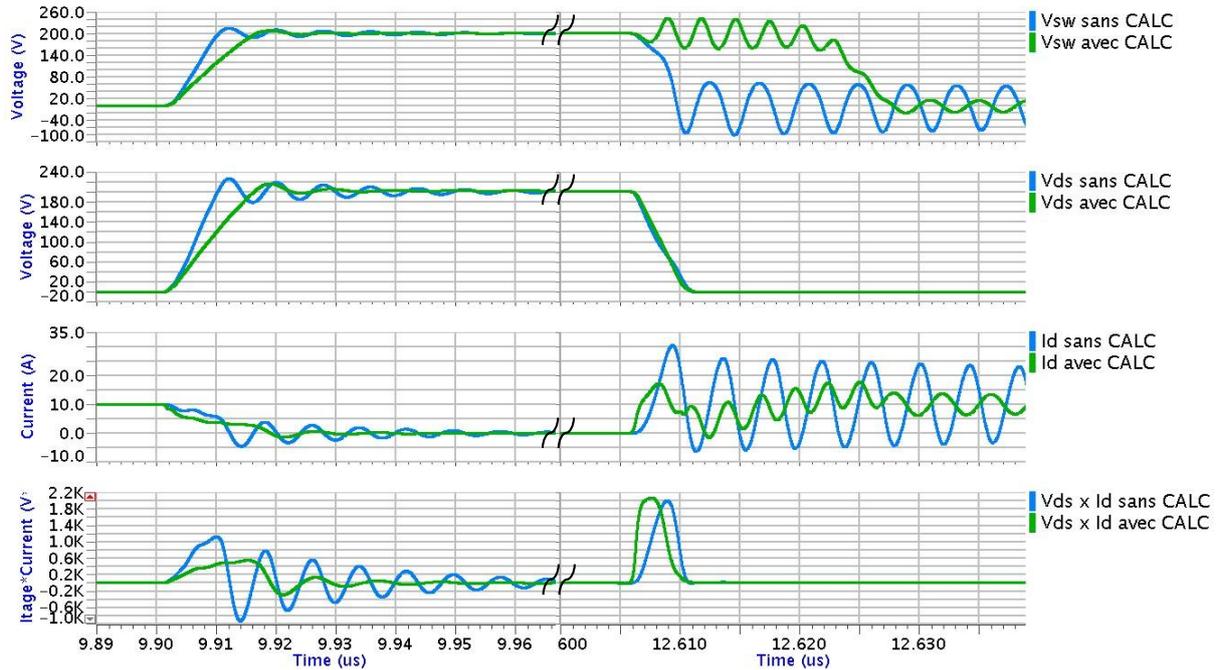


Figure II.16 : Formes d'ondes de la tension drain-source et du courant de drain d'un interrupteur de puissance, du produit de ces deux grandeurs et du potentiel commuté au point milieu V_{sw} d'un hacheur série un quadrant. L'interrupteur commute à l'ouverture et à la fermeture une tension de 200V et un courant de 10A avec ou sans CALC.

Ces circuits d'aide à la commutation ont, en théorie, l'avantage de réduire les surtensions et sur-courants tout en conservant un niveau faible de pertes par commutation de l'interrupteur. Mais cette méthode de protection des interrupteurs se fait au détriment de la dynamique, du rendement, du volume et du coût du système. En effet, en plus de générer des pertes dans les passifs et de ralentir toutes les commutations, ces CALC nécessitent de nombreux composants supplémentaires haute tension qui augmentent indéniablement le coût du convertisseur tout en réduisant la densité de puissance et augmentent paradoxalement la longueur de la maille de commutation de puissance et donc les parasites. C'est pourquoi nous avons étudié une solution intégrable monolithiquement au circuit de commande permettant de protéger efficacement les interrupteurs sur une large plage de fonctionnement sans aucune modification de la maille de commutation.

II.3.2 La modulation de la vitesse de commutation par le contrôle de l'impédance de grille

Les composants grand gap comme les HEMTs GaN et les JFETs SiC sont des transistors à effet de champ qui sont pilotés par une tension V_{gs} entre grille et source. Comme nous l'avons étudié précédemment sur les formes d'ondes schématiques de la Figure I.34 ou sur celles de la Figure II.17 ci-dessous, le courant de drain I_d est commuté à l'ouverture et à la fermeture lorsque la tension grille-source V_{gs} évolue entre la tension de seuil V_{th} et la tension du plateau Miller

V_{Miller} . Tandis que la tension drain-source V_{ds} commute l'instant suivant la commutation de ce courant I_{d} lors du plateau Miller, lorsque la tension V_{gs} stagne à la tension V_{Miller} .

Nous proposons de protéger l'interrupteur de puissance lors des commutations par l'adaptation des fronts dV_{ds}/dt et dI_{d}/dt grâce au contrôle de l'impédance de grille et de la forme de la tension de grille. Les explications et équations qui suivent prennent pour sujet d'étude la commutation à la fermeture mais celles-ci restent valables pour la commutation à l'ouverture : au signe près et en inter-changeant simplement les tensions V^+ et V^- et les résistances R_{HI} et R_{LO} (différence de chemin du courant entre l'ouverture et la fermeture du composant).

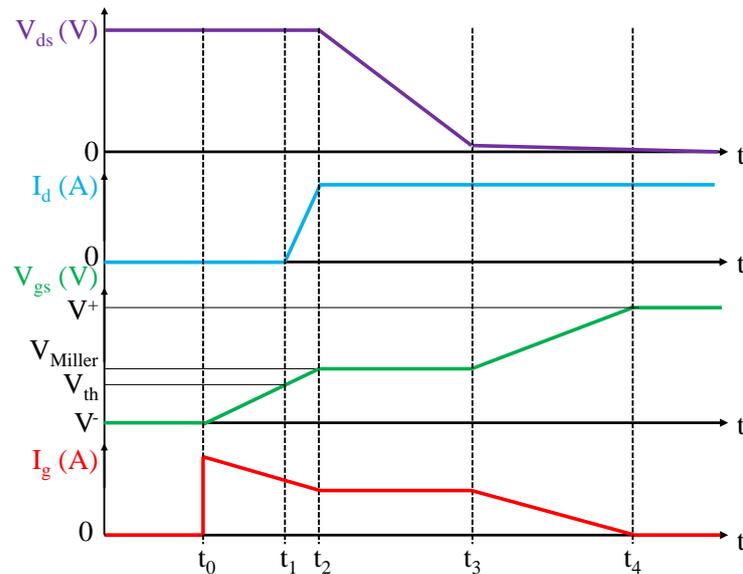


Figure II.17 : Formes d'ondes schématiques des courbes de tensions et courants d'un transistor à effet de champ lors de sa mise en conduction

II.3.2.1 À la commutation du courant de drain

Lors de la commutation du courant de drain I_{d} d'un transistor à effet de champ, lors de la période t_2-t_1 sur la Figure II.17, la tension grille-source V_{gs} évolue de V_{th} à V_{Miller} . Durant cette période la capacité d'entrée C_{iss} du transistor, égale à la somme des capacités C_{gs} et C_{gd} , est chargée par le circuit driver avec un courant de grille I_{g} comme représenté sur le schéma de la Figure II.18. Le circuit équivalent au transistor et à son circuit de commande est, à cet instant, simplement un circuit RC, avec une résistance égale à la somme de R_{HI} et $R_{\text{G,ext}}$ et une capacité C_{iss} . Les capacités C_{gs} et C_{gd} sont sensibles à la tension à leurs bornes particulièrement à basse tension. Nous faisons ici l'hypothèse que la capacité C_{iss} et la température sont constantes entre les instants t_1 et t_2 . L'expression de la tension grille-source $V_{\text{gs}}(t)$ en fonction du temps à ces instants est alors donnée par l'équation (II.8). Nous obtenons avec l'équation (II.9) l'intervalle du temps de commutation du courant t_{ri} , égale à t_2-t_1 , en exprimant t_2 et t_1 à partir de l'équation (II.8) avec $V_{\text{gs}}(t_1)$ et $V_{\text{gs}}(t_2)$ égales respectivement à V_{th} et V_{Miller} .

Le temps t_{ri} est finalement exprimé en fonction des tensions V^+ , V_{th} et V_{Miller} , de la capacité d'entrée C_{iss} et de l'impédance de grille R_{HI} et $R_{\text{G,ext}}$. Les grandeurs V_{th} , V_{Miller} et C_{iss} sont des

paramètres fixés par la physique et la structure du composant et ne sont donc pas modifiables simplement, contrairement aux paramètres V^+ , R_{HI} et $R_{G,ext}$. Nous vérifions donc théoriquement qu'il est possible de modifier la valeur de l'impédance de grille, ici R_{HI} et $R_{G,ext}$, pour adapter la forme de la tension V_{gs} dans le but de rallonger ou raccourcir le temps de commutation du courant t_{ri} .

$$V_{gs}(t) = V^+ \left(1 - e^{-\frac{t}{(R_{HI} + R_{G,ext}) \cdot C_{iss}}} \right) \tag{II.8}$$

$$t_{ri} = t_2 - t_1$$

$$t_{ri} = (R_{HI} + R_{G,ext}) \cdot C_{iss} \cdot \ln \left(\frac{V^+ - V_{th}}{V^+ - V_{Miller}} \right) \tag{II.9}$$

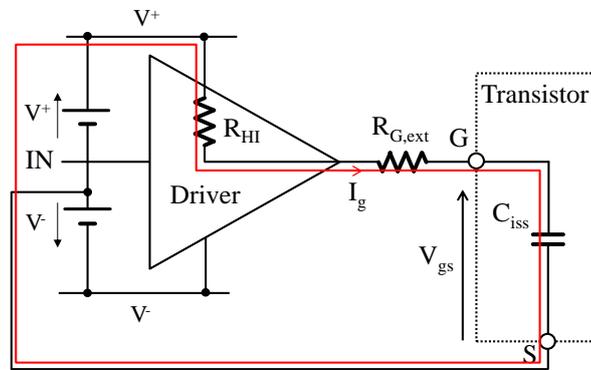


Figure II.18 : Schéma électrique équivalent idéalisé d'un transistor à effet de champ et de son circuit de commande lors de la commutation du courant de drain à la fermeture

II.3.2.2 À la commutation de la tension drain-source

Lors de la commutation de la tension drain-source V_{ds} à la période t_3-t_2 sur la Figure II.17, la tension grille-source V_{gs} est maintenue à une valeur constante V_{Miller} , c'est le plateau Miller. Durant cette période la tension grille-source n'évoluant plus, la capacité grille-source C_{gs} n'est plus chargée. Seule la capacité grille-drain C_{gd} est déchargée par le driver avec un courant de grille I_g comme sur le schéma électrique de la Figure II.19. La tension V_{gs} étant constante, le courant I_g l'est aussi et est donné par l'équation (II.10). Le courant I_{gd} traversant la capacité C_{gd} est lui égal à I_g et est exprimé par l'équation (II.11). Finalement le système des équations (II.10) et (II.11) donne l'expression (II.12) du temps de commutation t_{rv} de la tension V_{ds} , en fonction de la capacité C_{gd} , de la chute de tension ΔV_{ds} , des tensions V^+ et V_{Miller} et des impédances de grille R_{HI} et $R_{G,ext}$. Les grandeurs C_{gd} , V_{Miller} et ΔV_{ds} dépendent soit de la physique et de la structure du composant de puissance, soit de l'application et ne sont donc pas des paramètres accessibles facilement au concepteur de circuit de commande à la différence des impédances de grilles R_{HI} et $R_{G,ext}$. De même que pour la commutation du courant I_d , il est possible d'adapter la forme de la tension V_{gs} en jouant sur l'impédance de grille et sur la longueur du plateau Miller pour ralentir ou accélérer la commutation de la tension drain-source V_{ds} .

$$I_g = \frac{V^+ - V_{Miller}}{R_{HI} + R_{G,ext}} \quad (\text{II.10})$$

$$I_g = C_{gd} \cdot \frac{\Delta V_{gd}}{t_{fv}} = C_{gd} \cdot \frac{\Delta V_{ds}}{t_{fv}} \quad (\text{II.11})$$

$$t_{fv} = \frac{C_{gd} \cdot \Delta V_{ds} \cdot (R_{HI} + R_{G,ext})}{V^+ - V_{Miller}} \quad (\text{II.12})$$

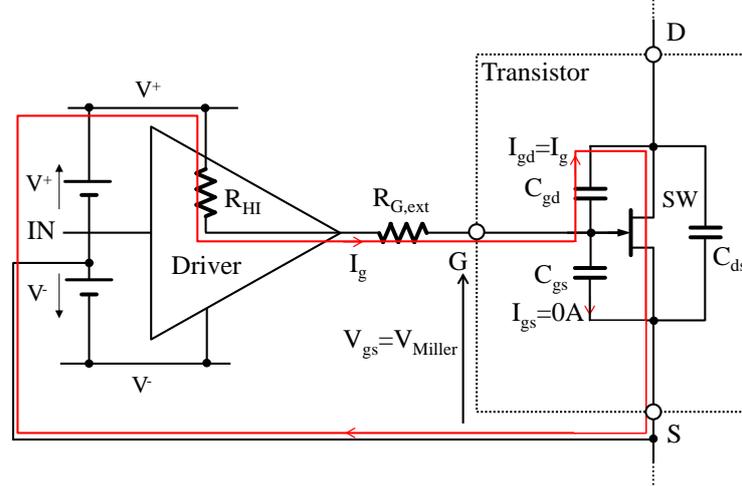


Figure II.19 : Schéma électrique équivalent et idéalisé d'un transistor à effet de champ et de son circuit de commande lors de la commutation de la tension drain-source à la fermeture

II.3.2.3 Impact de l'impédance de grille sur la commutation d'un composant grand gap dans un convertisseur synchrone

Nous avons vu précédemment que les expressions théoriques (II.9) et (II.12) des temps de commutation t_{ri} et t_{fv} suggèrent un impact fort de l'impédance de grille sur les formes de commutations du courant I_d et de la tension V_{ds} . Pour étudier ce lien entre impédance de grille, forme de la tension grille-source V_{gs} et fronts de commutations dV_{ds}/dt et dI_d/dt , nous avons simulé le schéma électrique de la Figure II.20. Le circuit est semblable au convertisseur Buck synchrone à base de HEMTs GaN EPC2007 [39] étudié et simulé à la partie I.3.3, à l'exception des diodes en antiparallèle qui ont été supprimées. La somme des inductances parasites est donc toujours égale à 8nH dans la maille de commutation de puissance et à 1nH dans chaque maille de commande. L'impédance de grille du transistor High-Side est fixée à 1Ω tandis que l'impédance de grille R_g du transistor Low-Side est un paramètre que nous faisons varier.

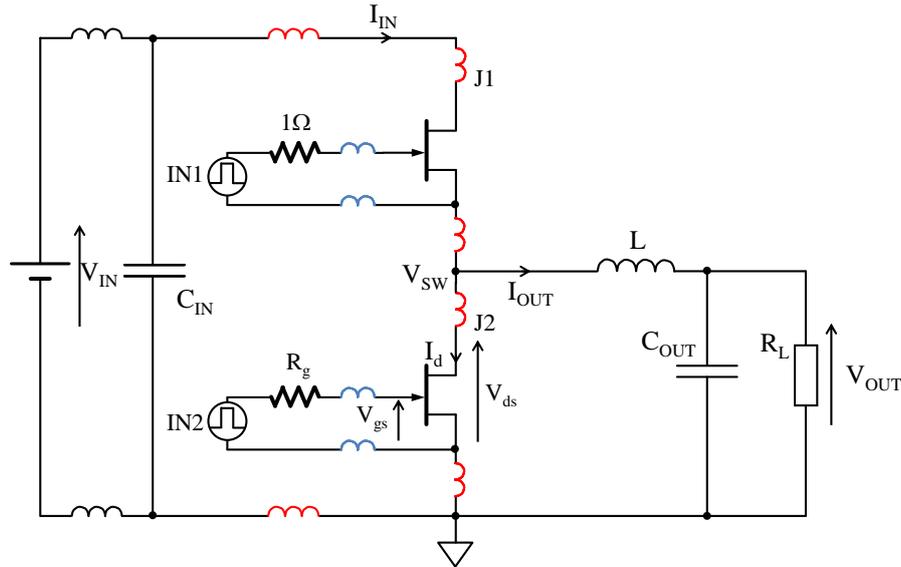


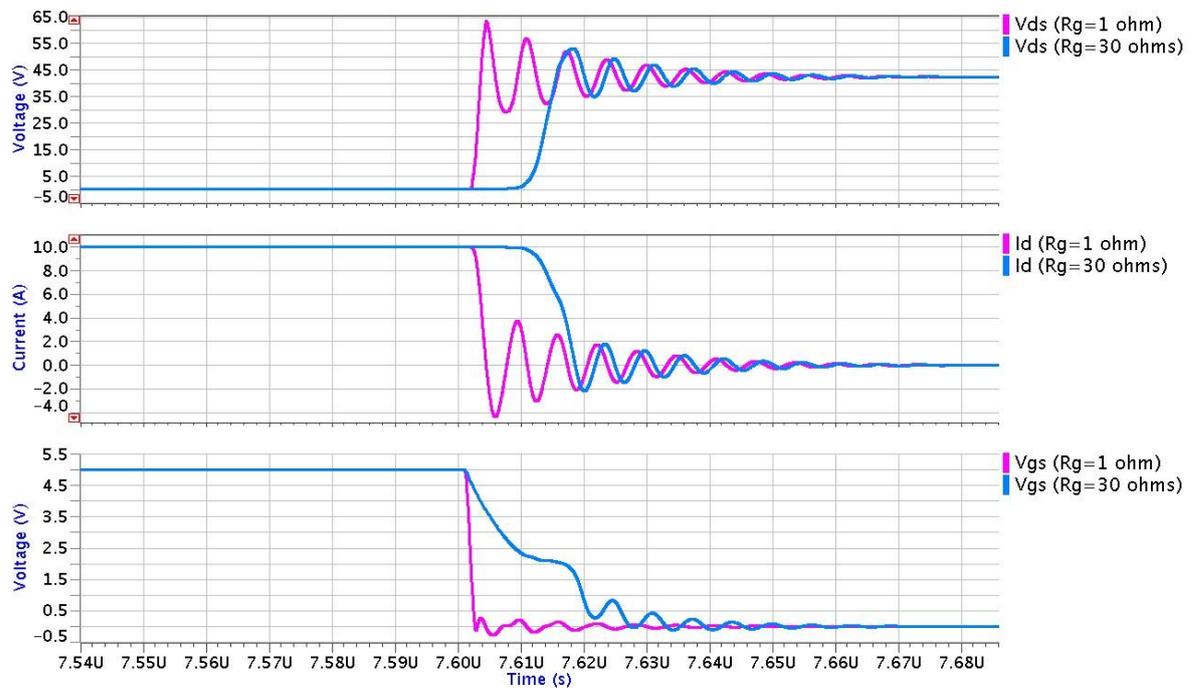
Figure II.20 : Schéma électrique simulé d'un convertisseur Buck synchrone sans diodes pour étudier l'impact de l'impédance de grille sur la commutation des composants grand gap

Sur la Figure II.21 et la Figure II.22 sont visibles les formes d'ondes de la tension et du courant du HEMT GaN Low-Side J2 du circuit de la Figure II.20 lorsqu'il commute 40V/10A à l'ouverture et à la fermeture avec une impédance de grille de 1Ω ou 30Ω . Les résultats de simulation liés à cette étude et ces courbes sont réunis dans le Tableau II-5. Nous remarquons qu'une impédance de grille R_g élevée, de 30Ω permet effectivement de ralentir les commutations en courant et en tension d'un facteur deux à quatre, et ainsi réduire les surtensions et les sur-courants de 20% à 55%. Par contre les temps de commutation étant rallongées les pertes par commutation E_{SW} sont plus importantes d'un facteur quatre environ. Ces pertes E_{SW} ont été calculées en faisant l'intégrale sur une commutation du produit $V_{ds} \cdot I_d$. En plus de pertes par commutation supplémentaires, il est à noter que les débuts de la commutation de la tension drain-source V_{ds} ou du courant de drain I_d sont retardés d'un temps t_d supérieur à 6 ns avec l'impédance la plus forte contre un retard de 1ns avec la plus faible, par rapport au début de commutation de la tension grille-source. L'évolution de la tension V_{gs} étant moins rapide les tensions V_{th} et V_{Miller} sont atteintes plus tardivement. Ce décalage temporel de commutation est par exemple un paramètre supplémentaire qui doit être pris en compte dès lors que nous souhaitons fixer un temps mort faible comme étudié dans la partie I.5.2.

Une impédance de grille élevée à la commutation permet une réduction importante des surtensions et sur-courants que peut subir un composant grand gap mais la dynamique du composant s'en retrouve fortement impactée et des pertes par commutation supplémentaires sont à déplorer. Pour conserver de haute performance dynamique et un haut niveau de rendement il est préférable de limiter la vitesse de commutation des composants qu'en cas extrême, ce que ne permet pas un circuit de commande de grille standard [82]. Nous proposons dans la suite de ce manuscrit un circuit de commande à impédance de sortie adaptative permettant d'adapter la vitesse de commutation de l'interrupteur de puissance dans un convertisseur donné en fonction du point de fonctionnement de manière à étendre sa zone de sûreté en le protégeant contre les surtensions, sur-courants et/ou remises en conduction parasites lorsque nécessaire.

Tableau II-5 : Résultats de simulation sur l'étude de l'impact de l'impédance de grille R_g sur les commutations d'un composant grand gap dans un convertisseur Buck synchrone sans diodes

	A l'ouverture		A la fermeture	
	$R_g=1\Omega$	$R_g=30\Omega$	$R_g=1\Omega$	$R_g=30\Omega$
Durée de commutation de la tension V_{ds}	3 ns	10 ns	6 ns	14 ns
Durée de commutation du courant I_d	3 ns	12 ns	5 ns	10 ns
Surtension V_{ds}	52%	26%	66%	40%
Sur-courant I_d	45%	20%	100%	80%
Pertes par commutation E_{SW}	0.35 μ J	1.38 μ J	0.21 μ J	0.79 μ J
Retard à la commutation t_d	< 1 ns	7 ns	1 ns	6 ns

Figure II.21 : Formes d'ondes simulées des tensions et courant à l'ouverture d'un HEMT GaN [39] dans un convertisseur Buck synchrone sans diodes avec $V_{IN}=40V$, $I_L=10A$ et une impédance de grille de 1Ω ou 30Ω

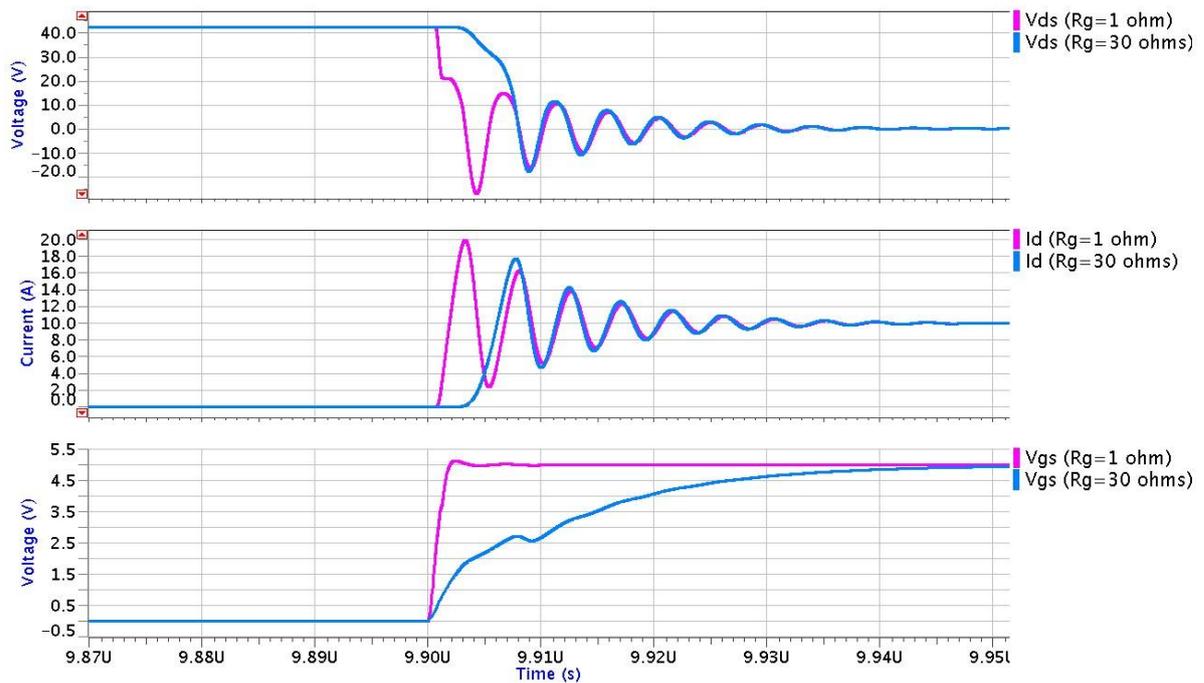


Figure II.22 : Formes d'ondes simulées des tensions et courant à la fermeture d'un HEMT GaN [39] dans un convertisseur Buck synchrone sans diodes avec $V_{IN}=40V$, $I_L=10A$ et une impédance de grille de 1Ω ou 30Ω

II.3.3 Un circuit à impédance de sortie adaptative pour la commande de composants grand gap

II.3.3.1 Des circuits actifs de commande de grille pour IGBTs

Des circuits actifs de commande de grille [105]–[107] ont précédemment été étudiés et développés pour les convertisseurs à base de composants IGBTs. Dans [105] un circuit de commande à impédance de sortie programmable est proposé dans le but d'équilibrer la commutation du courant de plusieurs IGBTs connectés en parallèle. L'impédance de grille de chaque interrupteurs en parallèle est ajustée de manière à ce qu'ils commutent tous, dans la mesure du possible, simultanément et ainsi proscrire tout interrupteur d'un sur-courant ou d'une sur tension destructif. Dans [106], [107] des circuits de commande de grille sont proposés dans le but d'ajuster la pente de la commutation du courant I_c et/ou de la tension V_{ce} . Nous allons étudier le fonctionnement du circuit de commande proposé dans [106] qui vise un but semblable au notre mais avec des interrupteurs de puissance IGBTs qui ont des caractéristiques dynamiques très différentes.

Le schéma bloc du circuit de commande actif d'IGBTs proposé dans [106] est visible à la fermeture sur la Figure II.23 (a) et à l'ouverture sur la Figure II.23 (b). Ce circuit propose d'adapter l'impédance de grille lors de la commutation en fonction de la pente dI_c/dt . La solution présentée fonctionne avec des modules IGBTs possédant deux types d'émetteur, un émetteur classique servant à la conduction du courant I_c et un émetteur Kelvin, utile uniquement à la commande entre grille et émetteur [108]. Les inductances parasites au travers de ces deux connectiques e2 et E2 sur la Figure II.23 sont différentes. Cette différence d'inductances est

symbolisée par une inductance parasite L_{Ee} . Lors de la commutation du courant de collecteur I_c , la variation dI_c/dt crée aux bornes de cette inductance L_{Ee} une différence de tension E_{2e2} . Cette tension E_{2e2} est positive lorsque la variation dI_c/dt est négative, à l'ouverture du transistor et est négative lorsque la variation du courant I_c est positive, à la fermeture. De plus la tension E_{2e2} est d'autant plus importante que la variation du courant I_c est importante. Le circuit de commande proposé se sert de cette tension E_{2e2} comme d'une information sur le sens et la valeur de la variation du courant de collecteur pour commander l'interrupteur. Lorsque cette tension dépasse un seuil positif préalablement fixé, le circuit est informé que le transistor s'ouvre trop rapidement et il va donc ralentir la commutation en ne conservant qu'une impédance de grille R_g forte. De même lorsque la tension E_{2e2} descend en dessous d'un seuil négatif fixé, le circuit ralentit la fermeture du transistor avec une seule forte impédance R_g .

Sur la Figure II.24 et Figure II.25 sont visibles les formes de tensions et courant à l'ouverture et à la fermeture avec un circuit de commande conventionnel et avec le circuit de commande actif proposée réalisée en composants discrets. Nous constatons qu'un tel circuit d'adaptation d'impédance de grille permet à un niveau de sur-courant ΔI_{rr} ou surtension ΔV_{os} donné, de commuter plus rapidement et ainsi réduire les énergies de commutation E_{on} et E_{off} jusqu'à 30%.

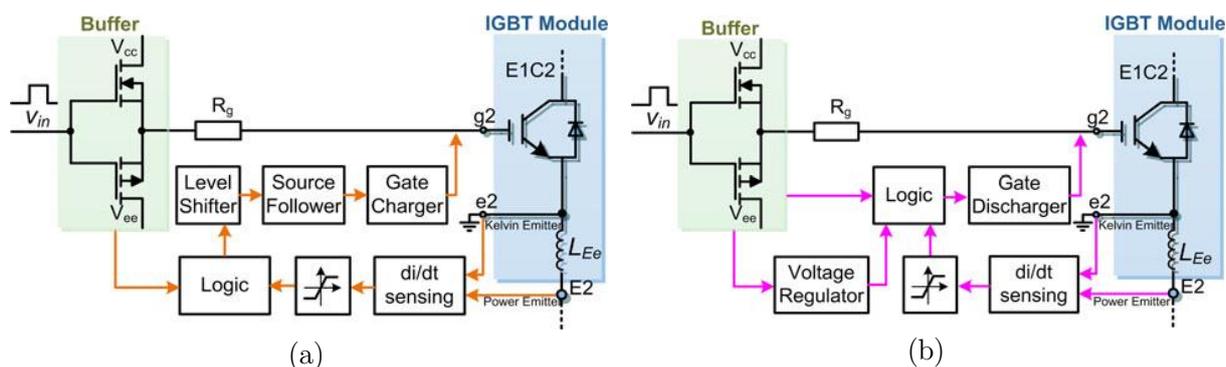


Figure II.23 : Schéma bloc du circuit de commande actif de grille d'IGBTs [106] (a) à la fermeture et (b) à l'ouverture

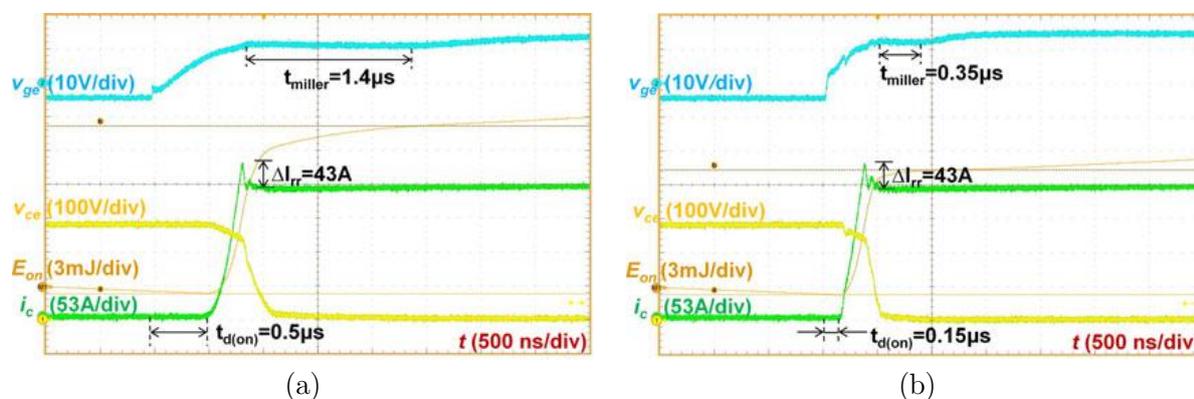


Figure II.24 : Formes des tensions et courant à la fermeture d'un IGBT (a) avec un circuit de commande standard et (b) avec le circuit actif de commande [106]

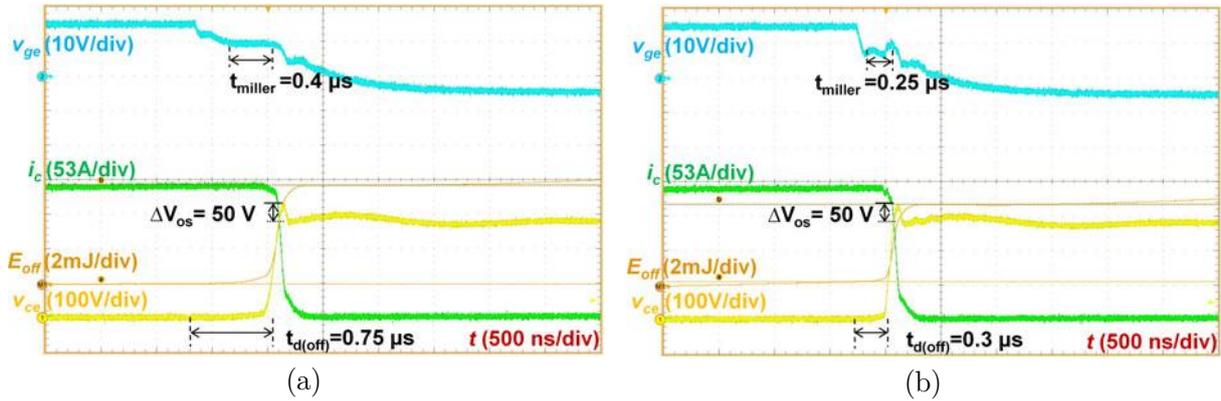


Figure II.25 : Formes des tensions et courant à l'ouverture d'un IGBT (a) avec un circuit de commande standard et (b) avec le circuit actif de commande [106]

Ce circuit actif de commande permet de sélectionner en boucle fermée parmi deux impédances de grille, l'impédance la plus appropriée pour commuter rapidement un IGBT tout en conservant de faibles surtensions et sur-courants. Si cette technique « d'asservissement » semble efficace pour commander un IGBT, elle s'avère inapplicable en l'état à la commande de composant grand gap. En effet, la tension et le courant d'un IGBT sont commutés en environ 500ns (voir la Figure II.24 et la Figure II.25) et la longueur du plateau Miller t_{Miller} est du même ordre de grandeur. Il est alors possible, comme c'est le cas ici, de modifier la valeur de l'impédance de grille au cours de la commutation de l'IGBT et en fonction de l'image de la variation di/dt . Avec un composant grand gap la durée des commutations étant *a minima* vingt fois plus faible, il n'est plus concevable d'asservir l'impédance de grille à l'échelle de la commutation même avec une boucle d'asservissement rapide. Nous avons alors fait l'étude d'un circuit de commande à impédance de sortie adaptative spécifique, compatible avec les performances dynamiques des composants grand gap.

II.3.3.2 Un circuit à impédance de sortie programmable à la montée et à la descente pour une commande sûre des composants grand gap

Dans le but de fournir une solution efficace, sûre et économique pour commuter des composants grand gap dans un convertisseur de puissance synchrone nous proposons un circuit de commande entièrement intégré, capable d'adapter son impédance de sortie en fonction du point de fonctionnement. Sur la Figure II.26 est présentée l'architecture simple d'un convertisseur Buck synchrone à base de composants grand gap commandés par des circuits driver à impédance de sortie programmable DRV1 et DRV2.

Contrairement au circuit actif de commande précédemment étudié [106], nous ne proposons pas une technique d'asservissement de l'impédance de grille en boucle fermée à partir de la variation dI_c/dt mais en boucle ouverte à partir des informations sur le point de fonctionnement auquel commutent les interrupteurs. Le processus complet de développement d'un convertisseur à base de composants grand gap pilotés par le circuit de commande adaptatif proposé est présenté par la Figure II.27. L'utilisation d'une telle méthode d'asservissement permet de proposer une solution compatible avec tout type de composant grand gap en utilisant des

capteurs classiques de courant et de température. En contrepartie elle nécessite une caractérisation précise des performances dynamiques de l'interrupteur de puissance choisi comme étudiée dans la partie II.2.2, en fonction de la tension et du courant commuté ainsi que de la température. Une fois la loi d'évolution de la vitesse de commutation de la tension V_{ds} et du courant de drain I_d du transistor en fonction du point de fonctionnement caractérisée, celle-ci doit être renseignée au circuit logique. Le circuit logique de commande est alors à même de sélectionner par l'intermédiaire des signaux Sel_{HI} et Sel_{LO} , l'impédance de grille à la montée et à la descente la plus appropriée.

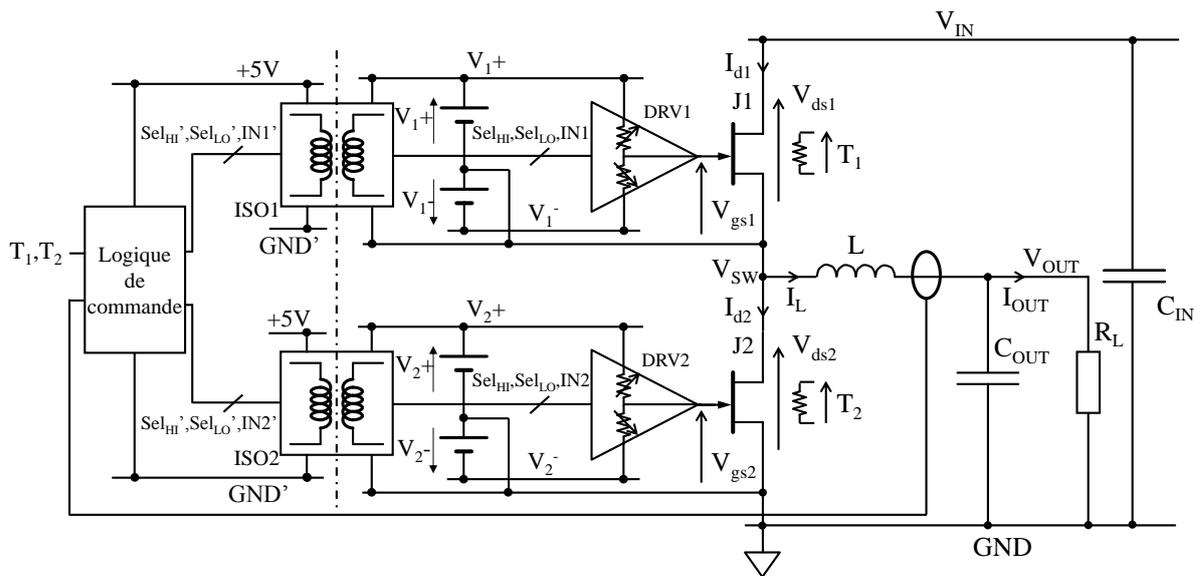


Figure II.26 : Schéma d'un convertisseur Buck à base de composants grand gap commandés par le circuit à impédance de sortie programmable en fonction du point de fonctionnement et de la température

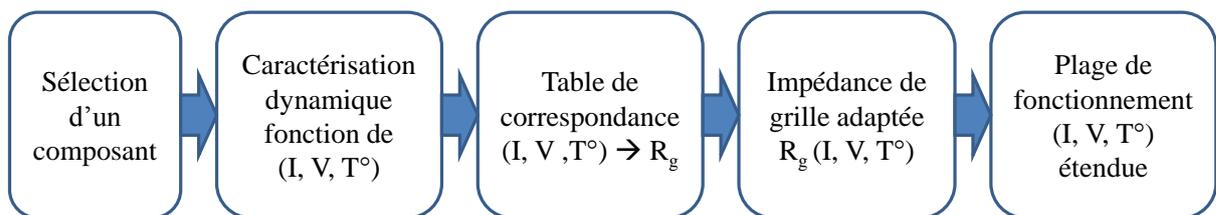


Figure II.27 : Processus de développement d'un convertisseur de puissance robuste à base de composants grand gap pilotés par le circuit de commande à impédance de sortie adaptative

A la vue des résultats expérimentaux obtenus par l'étude précédente, des caractéristiques dynamiques d'un composant grand gap en fonction du courant, de la tension, de la température et de son boîtier (voir II.2.3), il est possible d'étendre simplement la plage de fonctionnement d'un convertisseur donné en ralentissant progressivement la vitesse des commutations des composants :

- A l'ouverture, à partir d'un certain courant commuté

- A la fermeture, à partir d'une certaine tension d'alimentation
- A partir d'une certaine température pour corriger la variation de la tension de seuil V_{th} .

En dessous de ces seuils de courant, tension et température, la vitesse de commutation la plus rapide doit systématiquement être atteinte afin de conserver les avantages de composants de puissance rapides comme des pertes par commutation minimales.

Pour moduler la vitesse de commutation nous adaptons la forme de la tension grille-source V_{gs} par programmation de l'impédance de grille à la montée et à la descente. Sur la Figure II.28 sont représentés les chronogrammes schématiques des tensions et courants à la fermeture et à l'ouverture du composant piloté par le circuit de commande proposé. Contrairement aux circuits de commande actifs pour IGBTs, il est quasiment impossible d'asservir en boucle fermée l'impédance de grille durant la commutation d'un composant grand gap. De par ces contraintes temporelles fortes nous imposons un unique changement d'impédance en cours de commutation. Celui-ci est déclenché sur seuil : à la fermeture, juste après le plateau Miller et à l'ouverture, juste en dessous de la tension de seuil V_{th} . L'impédance de grille à la commutation prend alors successivement deux valeurs : une première valeur, présélectionnée avant la commutation par le circuit logique de commande en fonction du point de fonctionnement puis une seconde valeur, en fin de commutation, la plus faible possible. Finalement nous proposons :

- Dans tous les cas, l'impédance de grille la plus faible en dehors des commutations afin d'assurer le meilleur maintien de la grille et ainsi éviter toutes commutations parasites.
- À la fermeture, une impédance adaptée au point de fonctionnement et à la température jusqu'au temps t_3 . À la fin du plateau Miller, le courant I_d et la tension V_{ds} étant presque entièrement commutés l'impédance de grille la plus faible est imposée pour accélérer la fin de commutation sans perturbations supplémentaires.
- À l'ouverture, une impédance adaptée au point de fonctionnement et à la température jusqu'au temps t_3 . Une fois la tension grille-source V_{gs} en dessous de la tension de seuil V_{th} , le courant I_d et la tension V_{ds} sont entièrement commutés et l'impédance de grille la plus faible est alors utilisée.
- À la commutation, la première valeur de l'impédance de grille est toujours plus importante que la seconde et donc la pente de la tension grille-source V_{gs} est d'abord ajustée puis importante. Une solution à deux changements d'impédance au cours de la commutation fut étudiée mais ne donna pas de bon résultats : une commutation rapide une fois entamée étant très difficile à ralentir.

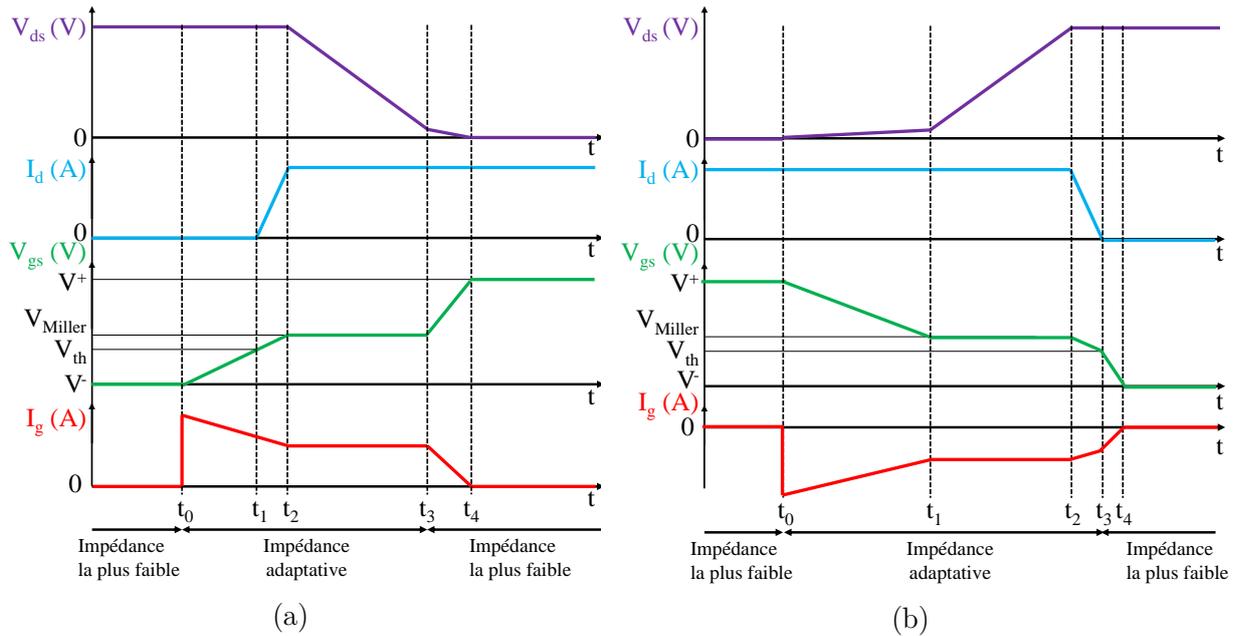


Figure II.28 : Formes d'ondes schématiques des courbes de tensions et courants d'un transistor grand gap commandé par le circuit proposé à impédance de sortie programmable lors de (a) la fermeture et (b) l'ouverture

Le schéma-bloc de la puce driver proposée est visible sur la Figure II.29. L'impédance de sortie est précisément adaptée grâce à un buffer de sortie adaptatif constitué de huit bras d'inverseur à base de transistors complémentaires PMOSs et NMOSs de tailles variables. Des prebuffers vont sélectionner à partir de la valeur des vecteurs Sel_{HI} et Sel_{LO} , l'impédance de grille à la montée R_{HI} et à la descente R_{LO} en modifiant respectivement le nombre de PMOSs et de NMOSs en parallèle. Une détection de l'état de commutation du transistor de puissance est implémentée afin d'effectuer la commutation de la valeur de l'impédance en cours de commutation au bon instant. Nous proposons deux détecteurs sur seuil, l'un pour la fermeture et l'autre pour l'ouverture. Le niveau des tensions de seuil V_{th} et du plateau Miller V_{Miller} du transistor de puissance utilisé sont alors renseignés au circuit de commande par l'intermédiaire de deux vecteurs V_{th} et V_{Miller} .

Nous détaillerons par la suite la conception de cette puce de commande à impédance de sortie programmable ainsi que sa caractérisation expérimentale dans un convertisseur Buck synchrone à base de composants grand gap.

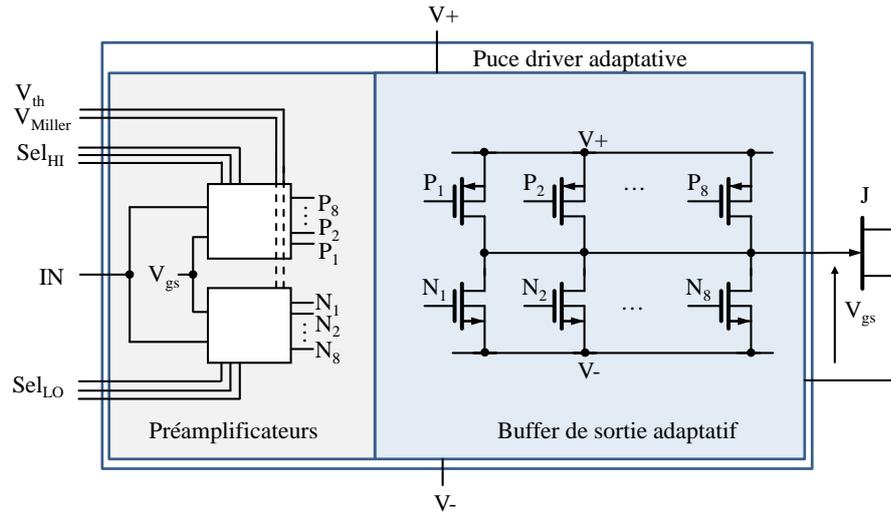


Figure II.29 : Schéma-bloc de l'architecture interne de la puce driver adaptative pilotant un composant grand gap de puissance

II.4 La puce de commande à impédance de sortie programmable

La puce de commande à impédance de sortie programmable a été conçue en une technologie CMOS AMS 0.35 μ m 20V. Une fois son fonctionnement validé, son architecture fut adaptée à d'autres circuits de commande conçus en la même technologie ou en technologie SOI 1 μ m et 0.35 μ m haute température. Les dimensionnements et les dessins présentés dans cette partie font référence à la puce originale conçue par Monsieur François Ayel. Je me permets d'en faire le détail dans ce manuscrit car cette puce a largement été utilisée au cours de ces travaux de thèse et les méthodologies utilisées pour dimensionner et dessiner l'étage de sortie ainsi que les blocs préamplificateurs de cette puce ont été reprises à l'identique pour la conception de la puce de commande qui sera présentée en partie III.4.

II.4.1 Dimensionnement du circuit de commande adaptatif

II.4.1.1 Les transistors utilisés pour la conception des différents blocs de la puce

Le schéma-bloc détaillé de la puce de commande adaptative est présenté sur la Figure II.30 ci-dessous. Ce circuit a pour référence le potentiel le plus bas V^- . Il comprend des blocs alimentés en basse tension par V_n (environ 5V), typiquement la partie logique, des blocs alimentés en haute tension par V^+ (8V à 15V) comme l'étage amplificateur, et des blocs de décalage de niveaux alimentés par les deux niveaux de tension permettant la communication entre blocs de domaines de tensions différents. Nous avons alors utilisé deux types de transistors complémentaires disponibles en technologie AMS CMOS 0.35 μ m HV 20V pour concevoir cette puce de commande : des transistors basse tension 5.5V non isolés, PMOS et NMOS, et des transistors haute tension 20V non isolés PMOS 20V et NMOS 20V. Les caractéristiques électriques et physiques de ces transistors sont fournies par le fondeur et données par le Tableau II-6. Nous

constatons que la tension de seuil des transistors basse tension NMOS et PMOS est bien plus faible, 0.7V et -1.0V, contre 2.9V et -1.7V pour les transistors NMOS 20V et PMOS 20V. La résistance à l'état passant R_{ON} et la résistance spécifique à l'état passant $R_{ON}\cdot S$, à longueur W donnée sont respectivement 2.8 et 2.6 fois plus importantes pour le PMOS 20V que pour le NMOS 20V.

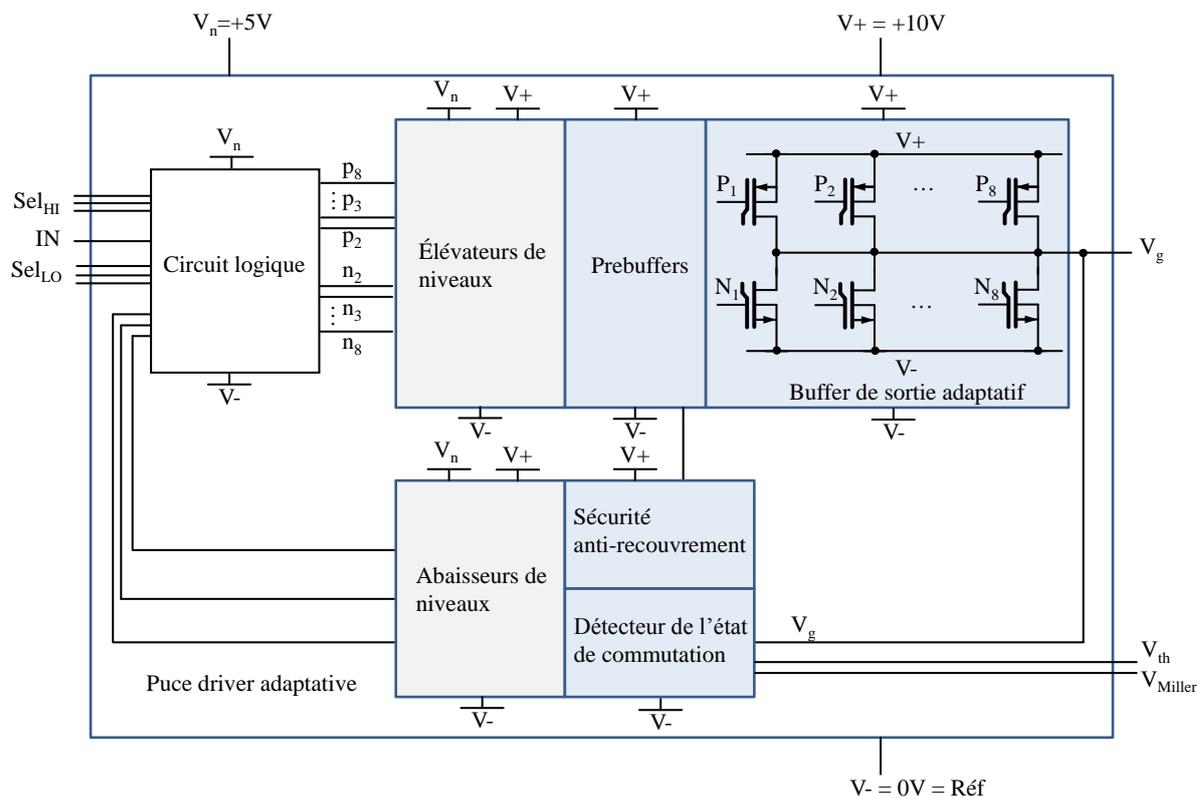


Figure II.30 : Schéma-bloc détaillé de la puce à impédance de sortie adaptative

Tableau II-6 : Paramètres électriques et physiques dans le cas typique des transistors utilisés pour la conception en technologie AMS 0.35 μm 20V de la puce driver à impédance de sortie adaptative

	Paramètres	NMOS	PMOS	NMOS 20V	PMOS 20V	Unité
Symbole						
Largeur min. L_{\min}		0.5	0.5	0.5	1.1	μm
Tension grille-source max. $V_{gs,\max}$	L_{\min}	5.5	-5.5	20	-20	V
Tension drain-source max. $V_{ds,\max}$	L_{\min}	5.5	-5.5	20	-20	V
Tension de seuil V_{th}	$W=10\mu\text{m} \times L_{\min}$	0.7	-1.0			V
	$W=40\mu\text{m} \times L_{\min}$			2.9	-1.7	V
Résistance à l'état passant R_{ON}	$W=40\mu\text{m} \times L_{\min}$			6.6	19	$\text{k}\Omega \cdot \mu\text{m}$
Résistance à l'état passant R_{ON} pour $W \gg L_{\min}$	L_{\min}			6.7	19	$\text{k}\Omega \cdot \mu\text{m}$
Résistance spécifique à l'état passant $R_{ON} \cdot S$ pour $W \gg L_{\min}$	L_{\min} $I_{dev,N}=5.15\mu\text{m}$ $I_{dev,P}=4.55\mu\text{m}$			0.035	0.09	$\Omega \cdot \text{mm}^2$

II.4.1.2 Dimensionnement de l'étage de sortie

L'étage de sortie du circuit de commande est constitué de huit transistors complémentaires NMOSs N_1 à N_8 et PMOSs P_1 à P_8 de tailles croissantes en parallèle comme sur la Figure II.31 qui peuvent être activés ou désactivés indépendamment pour adapter l'impédance de sortie à la commutation. Pour concevoir cet étage de sortie nous dimensionnons tout d'abord la longueur totale W_n et W_p que peuvent respectivement atteindre la somme des huit transistors NMOSs et PMOSs mis en parallèle. La largeur de ces transistors constituant le buffer de sortie est, elle, fixée à la taille minimale L_{\min} de 0.5 μm pour les NMOSs et 1.1 μm pour les PMOSs.

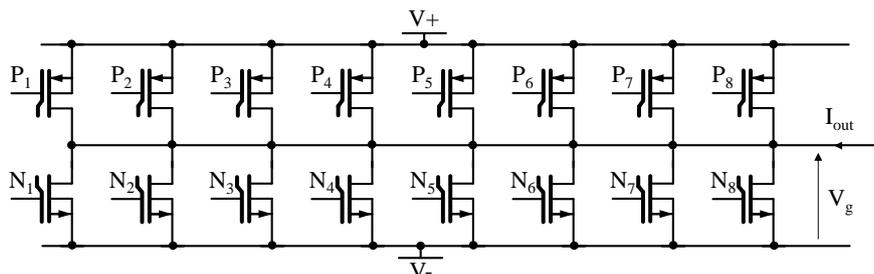


Figure II.31: Schéma de l'étage de sortie de la puce driver à impédance de sortie adaptative

Afin de dimensionner la longueur totale des transistors de l'étage de sortie, nous avons défini un cahier des charges adapté aux composants que nous souhaitons commandés. Le circuit de commande dans son mode d'impédance minimale et alimenté sous 10V doit être capable de charger et décharger une capacité de grille normée de 5nF, avec un temps de montée et de descente d'environ 12ns en privilégiant légèrement le temps à la descente. La capacité de grille a été choisie égale à 5nF car celle-ci correspond à la valeur moyenne d'une capacité d'entrée C_{iss} d'un prototype de HEMT GaN 100A.

La Figure II.32 et la Figure II.33 présentent les formes de simulation de la tension V_g à la descente et à la montée pour différentes longueurs W_n et W_p des transistors du buffer de sortie. La tension V_g est la différence de potentiel entre la grille du transistor de puissance J et la référence du driver, le potentiel V_- . Les simulations qui ont conduit à ces courbes ont été menées avec une alimentation V^+ de 10V, une charge de sortie capacitive de 5nF, une résistance externe supplémentaire de 0.1Ω et une inductance parasites dans la maille de commutation de la commande de 500pH. Ces simulations paramétriques montrent qu'avec un NMOS de longueur 17 mm, et un PMOS de longueur 30 mm la capacité de 5nF est chargée et déchargée avec un temps de montée et de descente, mesurés entre 10% et 90% de la charge, de 12 ns et 11 ns. Pour valider ces valeurs typiques, mesurées en simulation, leur dérive est par la suite systématiquement étudiée en fonction de la tension d'alimentation V^+ , des variations du procédé de fabrication de la technologie AMS et de la température. Finalement la valeur de la longueur totale du NMOS a précisément été fixée à $W_n = 17500 \mu\text{m}$ et celle du PMOS à $W_p = 28380 \mu\text{m}$.

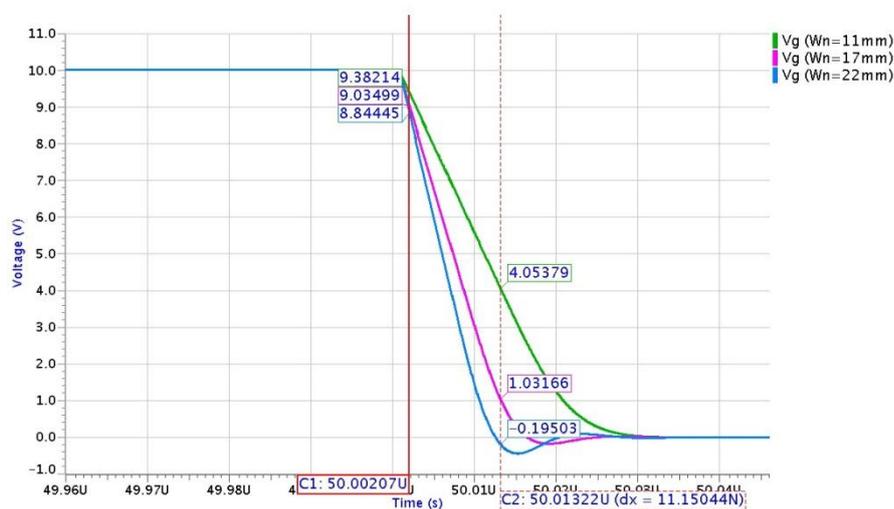


Figure II.32: Formes d'ondes des courbes de la tension V_g à la descente pour une charge de sortie capacitive de 5nF en fonction de la longueur totale W_n du NMOS de l'étage de sortie

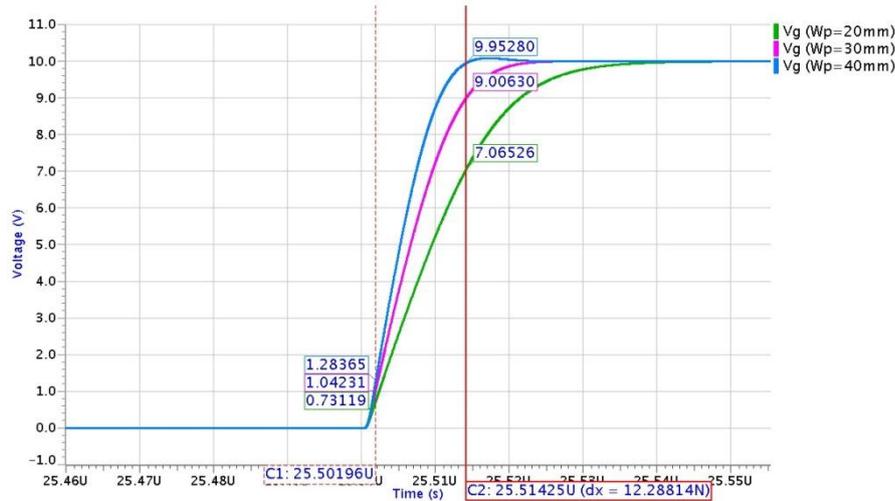


Figure II.33: Formes d'ondes des courbes de la tension V_g à la montée pour une charge de sortie capacitive de 5nF en fonction de la longueur totale W_p du PMOS de l'étage de sortie

Une fois les longueurs totales W_n et W_p fixées, nous avons subdivisé celles-ci entre les huit transistors NMOS et PMOS en parallèle dans le but de couvrir un large spectre d'impédance de sortie et de temps de commutation. Le circuit de commande a ainsi été pensé sur la base de huit modes différents. Le numéro du mode correspond au nombre de transistors en parallèle activés en sélectionnant les transistors du plus petit au plus grand. Les transistors les plus petits sont les transistors élémentaires P_1 et N_1 de longueur respective 660 μm et 625 μm . Les autres transistors P_2 à P_8 et N_2 à N_8 ont tous des longueurs multiples de celles de P_1 et N_1 dont les coefficients multiplicateurs sont choisis de façon à faire varier l'impédance d'un mode à l'autre entre 30% et 75%. Le Tableau II-7 donne les caractéristiques de cinq de ces huit modes. Les formes de simulation des courbes de la tension V_g et du courant I_{out} sont données pour ces cinq modes à la descente par la Figure II.34 et à la montée par la Figure II.35. Nous constatons que le mode 1, de sûreté, permet une ouverture lente en 320 ns et une fermeture encore plus lente en 600 ns. Les modes suivants permettent une ouverture et une fermeture équilibrée de plus en plus rapide utiles à l'ajustement précis de la vitesse de commutation du convertisseur synchrone à base de composants grand gap.

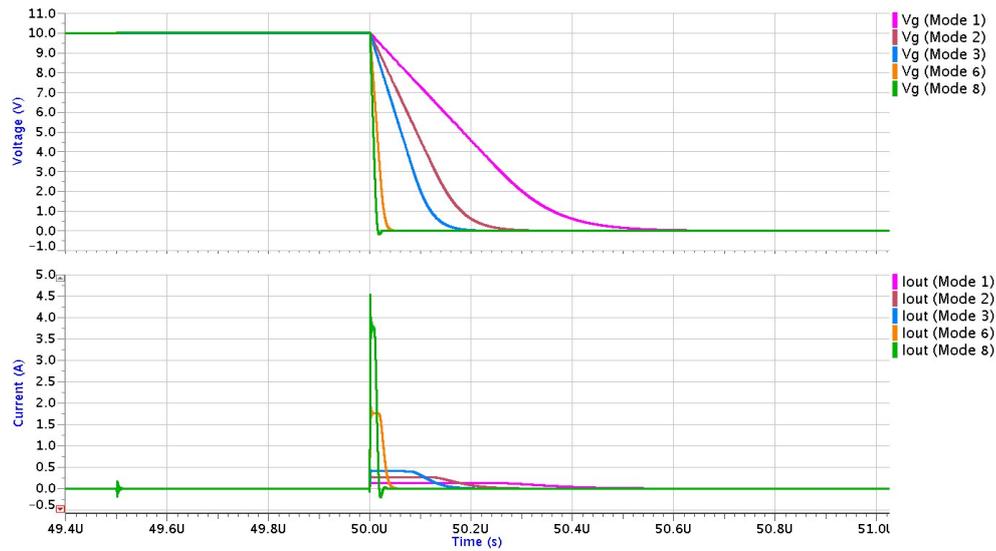


Figure II.34 : Formes d'ondes à la descente des courbes de la tension V_g et du courant de sortie I_{out} pour cinq impédances de sortie (modes) différentes proposées par le circuit de commande

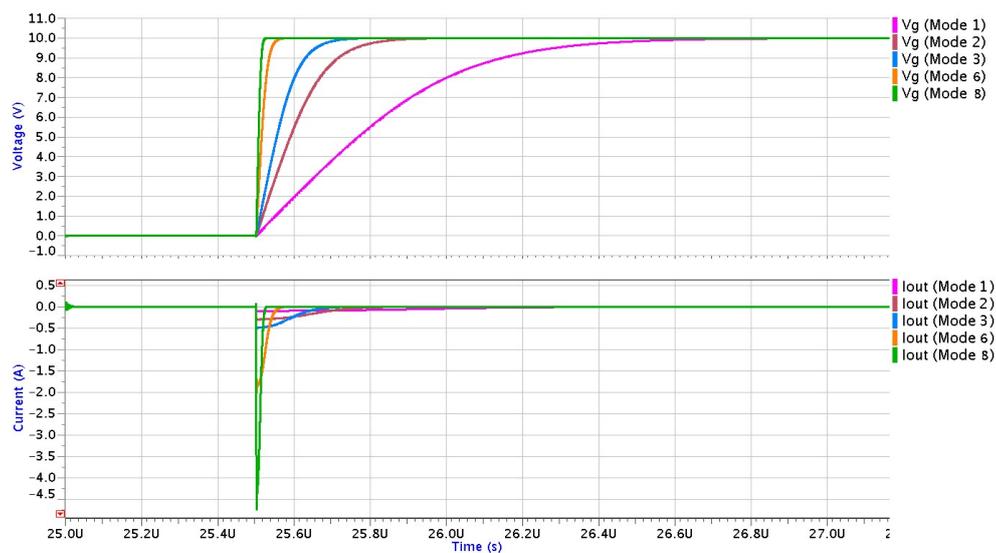


Figure II.35: Formes d'ondes à la montée des courbes de la tension V_g et du courant de sortie I_{out} pour cinq impédances de sortie (modes) différentes proposées par le circuit de commande

Tableau II-7 : Résultats de simulation pour cinq modes différents de fonctionnement du circuit de commande à impédance de sortie programmable alimenté sous 10V

	Paramètre	Mode 1	Mode 2	Mode 3	Mode 6	Mode 8
A la montée						
PMOSs en parallèle		P ₁	P ₁ , P ₂	P ₁ , P ₂ , P ₃	P ₁ à P ₆	P ₁ à P ₈
Largeur du PMOS W _{tot,P}	L _{min} =1.1µm	660 µm	1980 µm	3300 µm	12540 µm	28380 µm
Résistance à l'état ON R _{ON,P}	I _{out} =-50mA	46 Ω	13.1 Ω	7.7 Ω	2.0 Ω	0.9 Ω
Temps de montée t _r	C _g =5nF	597 ns	201 ns	119 ns	31 ns	12 ns
Courant pic de grille à la montée I _{source}	C _g =5nF	-0.10 A	-0.31 A	-0.52 A	-2.0 A	-4.7 A
A la descente						
NMOSs en parallèle		N ₁	N ₁ , N ₂	N ₁ , N ₂ , N ₃	N ₁ à N ₆	N ₁ à N ₈
Largeur du NMOS W _{tot,N}	L _{min} =0.5µm	625 µm	1250 µm	1875 µm	8125 µm	17500 µm
Résistance à l'état ON R _{ON,N}	I _{out} =+50mA	15.5 Ω	7.4 Ω	4.8 Ω	1.1 Ω	0.5 Ω
Temps de descente t _f	C _g =5nF	320 ns	164 ns	108 ns	25 ns	11 ns
Courant pic de sortie à la descente I _{sink}	C _g =5nF	0.14 A	0.29 A	0.43 A	2.0 A	4.4 A

II.4.1.3 Des préamplificateurs possédant une sécurité anti-recouvrement de l'étage de sortie

Les préamplificateurs sont des circuits utiles à l'amplification du signal d'entrée de très faible puissance jusqu'à l'étage de sortie P et N de plus forte puissance. Ces préamplificateurs sont constitués d'une pyramide d'inverseurs, tous alimentés entre les alimentations V⁺ et V⁻ comme représentés sur la Figure II.36 (a). Sans prendre de précautions particulières, lors des commutations, le signal commandant la fermeture ou l'ouverture va se propager rapidement de l'entrée jusqu'aux gros transistors P et N faisant commuter tous les transistors de la Figure II.36 (a) simultanément. Nous constatons alors un fort appel de courant sur les alimentations V⁺ et/ou V⁻ provenant de la commutation des transistors à effet de champ de l'étage d'amplification mais aussi de la conduction simultanée de ces derniers à cause du recouvrement des tensions de seuil du PMOS et du NMOS. Réduire l'amplitude de cet appel de courant sans pour autant dégrader la sortance du circuit de commande permet de réduire la taille des composants passifs

externes, comme les capacités de découplages des alimentations V^+ et V^- et d'améliorer la compatibilité électromagnétique du système. Pour ce faire il est nécessaire de dissocier la propagation des signaux INN et INP de commutation du transistor N et P. Les chemins à privilégier de propagation des signaux sont marqués en rouge sur la Figure II.36 (b). Les circuits préamplificateur sont ainsi déséquilibrés pour que les signaux INN et INP traversent plus rapidement ces chemins que les autres de manière à toujours privilégier le blocage à la fermeture.

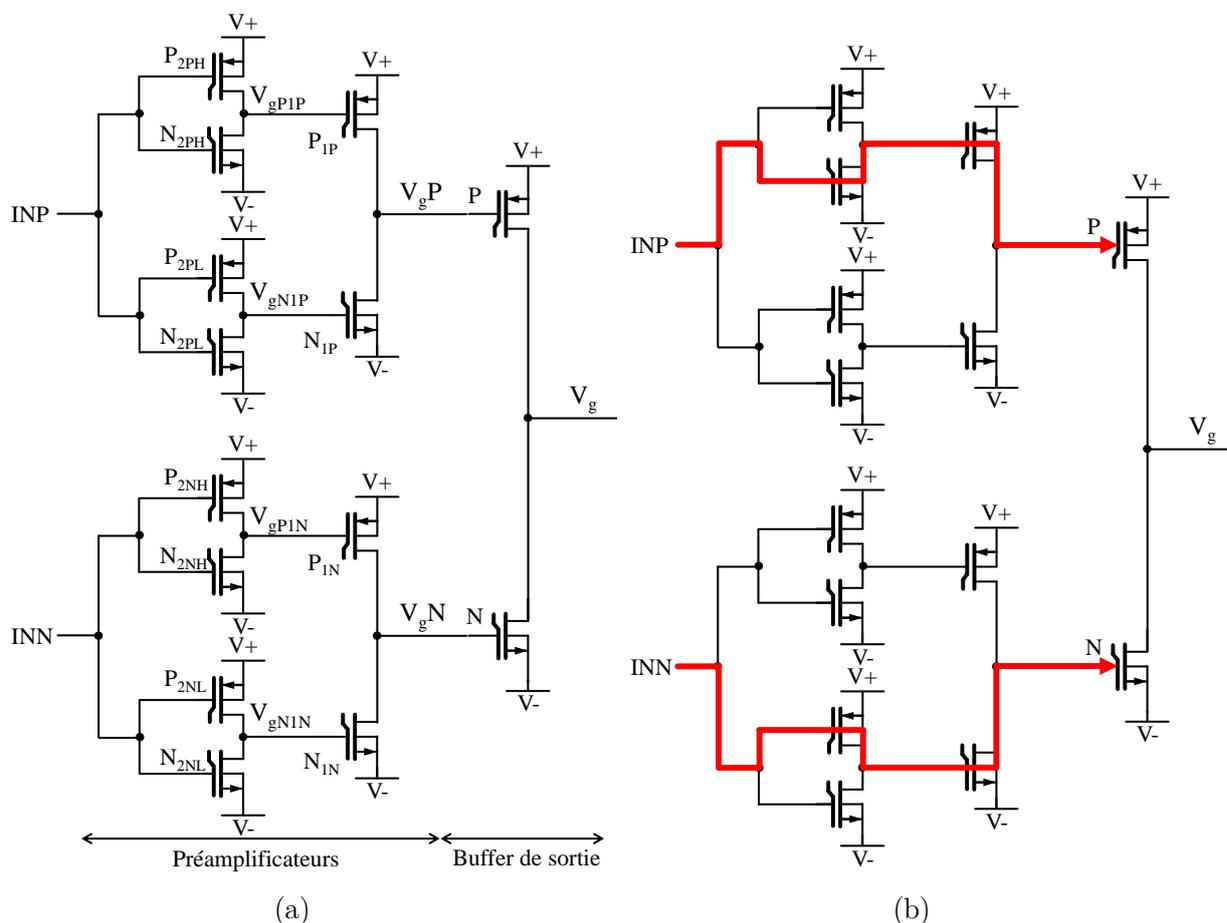


Figure II.36 : Schéma (a) des préamplificateurs de chaque transistors P et N de l'étage de sortie et (b) schéma des préamplificateurs et du buffer de sortie montrant le chemin privilégié de traversée du signal des signaux de commande

La Figure II.37 et la Figure II.38 montrent les formes des tensions et courants du circuit de commande en mode 8, faible impédance, à la décharge et à la charge de la capacité de grille avec des préamplificateurs équilibrés ou déséquilibrés. Dans les deux cas la largeur des transistors est la largeur minimale L_{min} permise par la technologie. Pour la version équilibrée des prebuffers, la largeur des transistors PMOS constituant les préamplificateurs est toujours trois fois plus importante que celle des NMOSs ($W_{PIP}=3W_{NIP}=12$ mm et $W_{PIN}=3W_{NIN}=10$ mm). Tandis que pour la version déséquilibrée des préamplificateurs, les transistors sur les chemins rouges de la Figure II.36 (b) sont plus gros que ceux sur les autres chemins complémentaires ($W_{PIP}=46W_{NIP}=19$ mm et $W_{NIN}=6W_{PIN}=6.5$ mm). A la chute de la tension de grille, le dimensionnement déséquilibré des préamplificateurs permet de ralentir la montée de la tension V_{gN} de 400ps à 2.2ns et de légèrement accélérer la descente de V_{gP} de 100ps. En ouvrant le PMOS P plus rapidement et en fermant le NMOS N plus lentement, le pic en courant

d'alimentation et en tension de grille est réduit de 50% et 80% pour un temps de propagation supplémentaire du signal d'entrée inférieur à 500ps. De même, à la montée de la tension V_g , les préamplificateurs déséquilibrés permettent d'accélérer la descente de la tension V_{gN} et ralentir la montée de V_{gP} . Le transistor N est ouvert plus rapidement et le transistor P fermé plus lentement et plus tardivement pour un pic en courant et en tension de grille réduit de 10% et 90% et un temps de propagation supplémentaire du signal d'entrée d'environ 1ns. Chaque transistor P_1 à P_8 et N_1 à N_8 possède donc un circuit préamplificateur déséquilibré dédié, comme précédemment étudié, de dimensions proportionnelles à la longueur du transistor de l'étage de sortie à piloter.

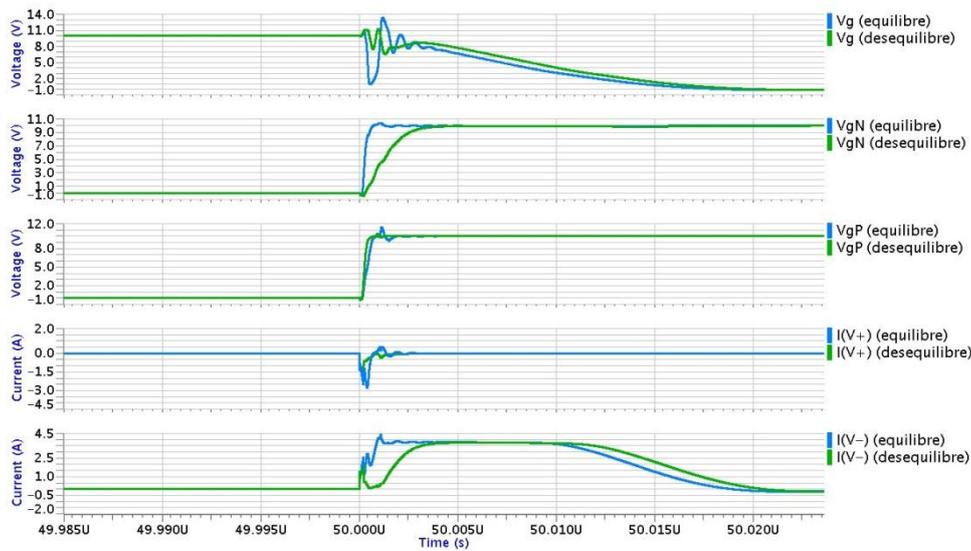


Figure II.37: Formes d'ondes des tensions et des courants à la décharge de la capacité de grille de 5nF avec un circuit préamplificateur équilibré et déséquilibré

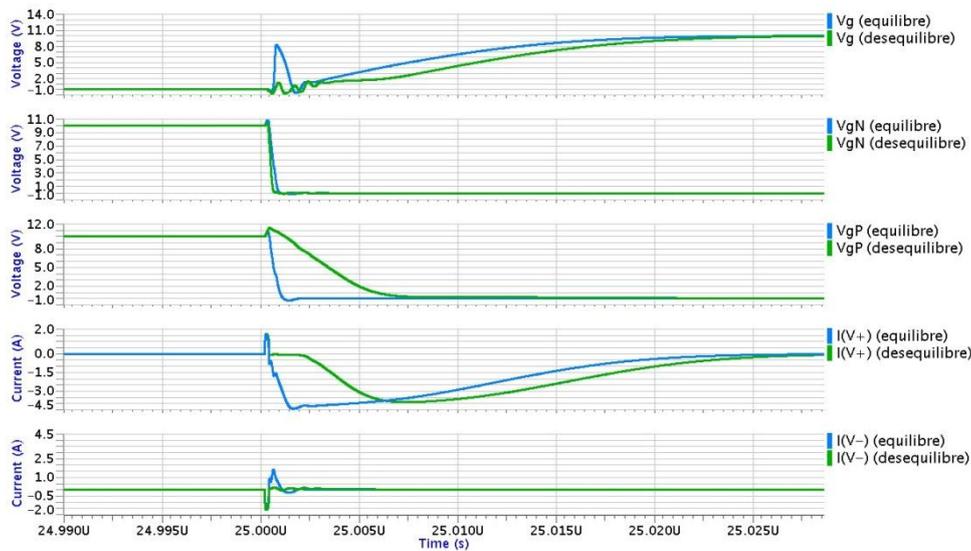


Figure II.38 : Formes d'ondes des tensions et des courants à la charge de la capacité de grille de 5nF avec un circuit préamplificateur équilibré et déséquilibré

En plus de ce dimensionnement déséquilibré des étages de pré-amplification une protection supplémentaire a été implémentée afin d'éviter tout risque de cross-conduction de l'étage de sortie adaptatif. Ce bloc est constitué de deux détecteurs visibles sur la Figure II.39, qui reçoivent tous les signaux de grille V_{gP1} à V_{gP8} ou V_{gN1} à V_{gN8} et qui émettent un signal ComPHigh ou ComNLow lorsque tous les PMOSs et NMOSs de l'étage de sortie sont ouverts. A la fermeture, les PMOSs ne peuvent se fermer que si le signal ComNLow est à l'état haut et inversement à l'ouverture, les NMOSs ne peuvent se fermer que si le signal ComPHigh est passé à l'état haut. Une telle sécurité proscriit tout recouvrement de l'étage de sortie mais ajoute un temps de propagation supplémentaire au signal d'entrée. Pour cette raison le temps de traversée de ces détecteurs d'ouverture a été optimisé pour atteindre 1.8ns en utilisant seulement des transistors rapides de petites tailles.

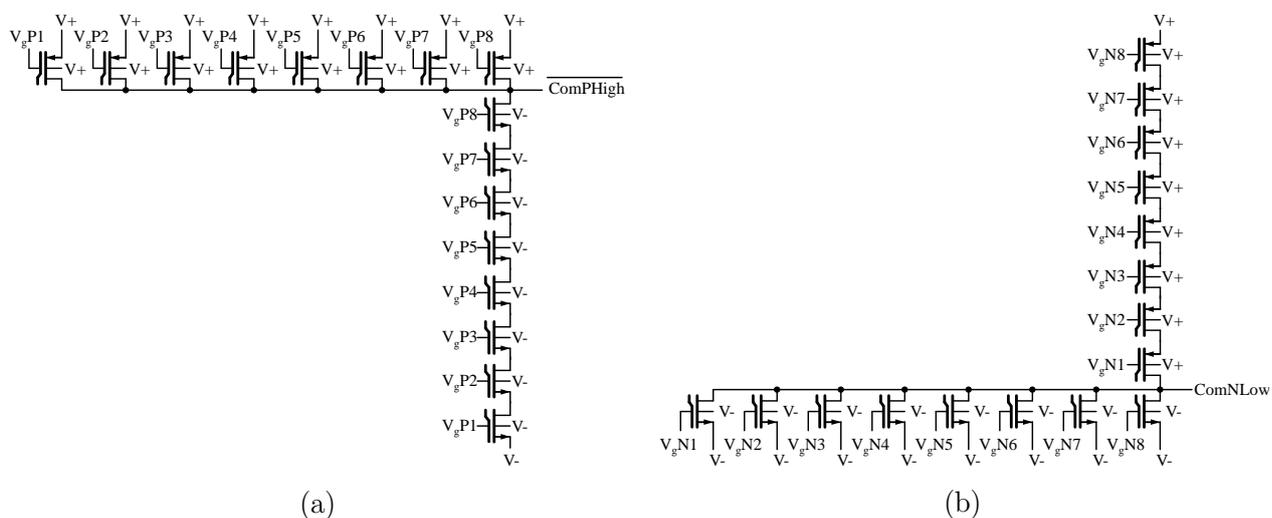


Figure II.39 : Détecteur d'ouverture complète (a) des PMOSs et (b) des NMOSs de l'étage de sortie interdisant une cross-conduction de ce dernier

II.4.1.4 Les circuits de décalage de niveaux

Comme nous le remarquons sur le schéma-bloc de la puce complète de la Figure II.30, des circuits de décalage des niveaux sont nécessaires entre la partie logique constituée uniquement de portes logiques haute vitesse et basse tension, et les parties amplification et détecteurs constituées de transistors moins rapides haute tension. La communication entre ces deux domaines de tension étant bidirectionnelle, il est nécessaire de disposer de circuits abaisseur et éleveur de niveaux. La Figure II.40 présente la topologie du circuit éleveur et abaisseur.

Le Level-Shifter abaisseur est tout simplement constitué d'une suite de deux inverseurs alimentés par l'alimentation basse tension V_n de +5V environ. Le premier inverseur est composé de transistors PMOS et NMOS haute tension 20V de tension de seuil -1.7V et 2.9V. Cet inverseur reçoit en entrée un signal IN d'amplitude élevée, typiquement 10V qu'il inversera en un signal \bar{m} de basse amplitude, environ 5V. Ce signal intermédiaire sera de nouveau inversé en conservant son amplitude par un inverseur simple constitué de transistors basse tension. La contrainte de dimensionnement étant le temps de traversée, tous les transistors sont de tailles

minimales. Le temps de traversée du signal IN au travers d'un tel Level-Shifter est typiquement de 300ps et 800ps lorsque le signal d'entrée passe respectivement à l'état haut et à l'état bas.

Le circuit antagoniste élévateur présenté en Figure II.40 (b) est constitué de deux inverseurs basse tension en entrée, de deux inverseurs haute tension en sortie et au centre de deux inverseurs entrelacés. Ces deux inverseurs particuliers reçoivent en entrée, sur la grille de N1 et N2, deux signaux opposés, basse tension d'amplitude 5V. Etant donné la tension de seuil de 2.9V des transistors NMOS 20V trop élevée devant 5V, nous utilisons des transistors N1 et N2 spéciaux, haute tension 20V avec une épaisseur d'oxyde bien plus fine, permettant d'abaisser leur tension de seuil à seulement 0.8V. Avec une telle tension de seuil, les NMOSs N1 et N2 commutent rapidement et font chuter le drain et la grille des PMOSs qui ont leur source à l'alimentation V^+ . Les courbes des tensions de ce circuit élévateur sont visibles sur la Figure II.41 et la Figure II.42. Le temps de traversée de ce Level-Shifter est de 500ps et 800ps lorsque le signal d'entrée passe à l'état bas et inversement.

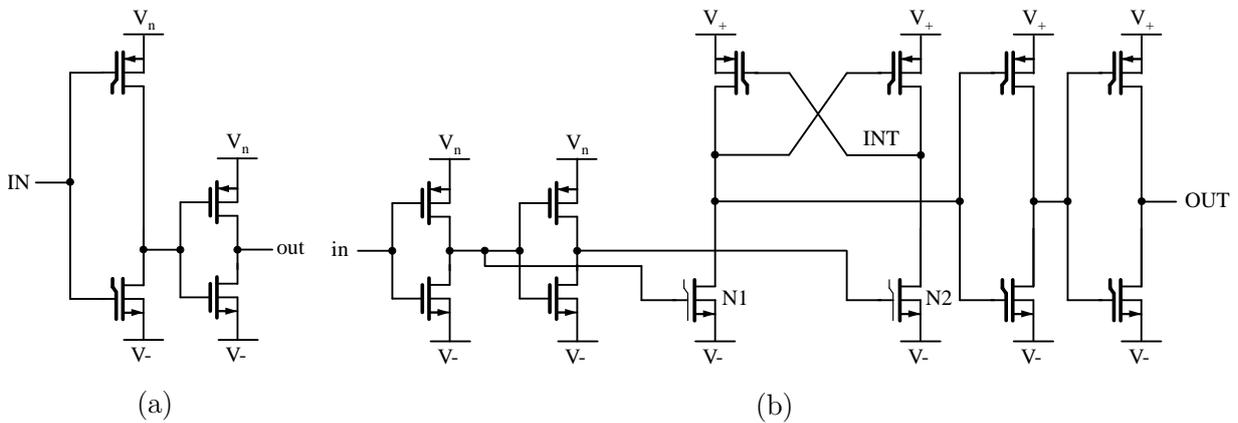


Figure II.40 : Schémas électriques des circuits de décalage de niveaux (a) abaisseur et (b) élévateur

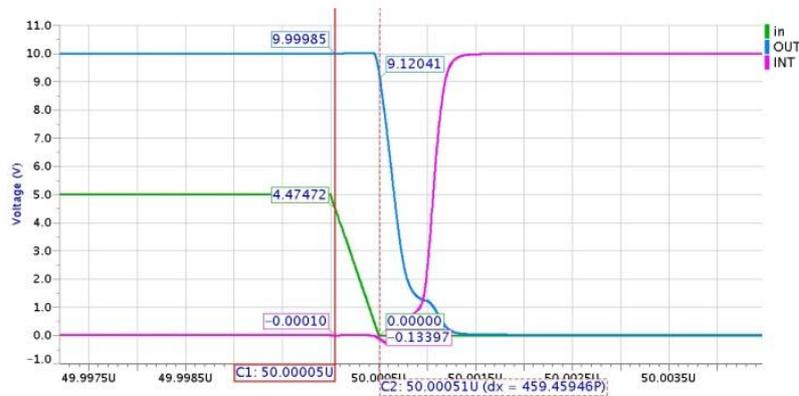


Figure II.41 : Courbes de simulation des tensions du circuit Level-Shifter élévateur à la commutation vers l'état bas

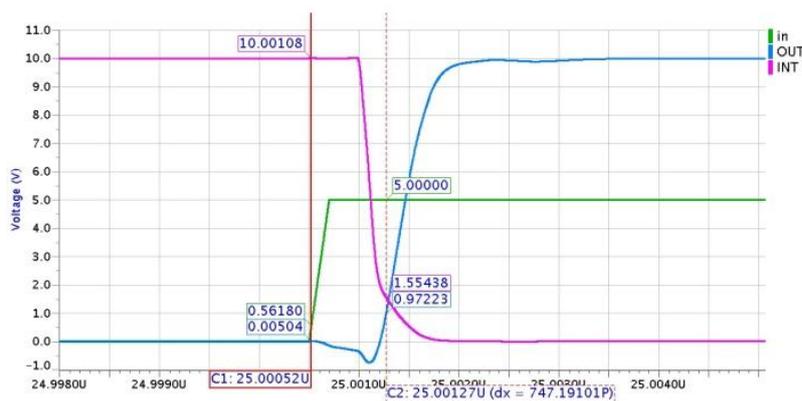


Figure II.42 : Courbes de simulation des tensions du circuit Level-Shifter éleveur à la commutation vers l'état haut

II.4.1.5 Détection de l'état de commutation du transistor

Afin de commander le composant de puissance avec l'impédance adaptée puis l'impédance minimale en fin de commutation, le circuit de commande doit être prévenu du dépassement par la tension de grille V_g du niveau de la tension de seuil V_{th} à l'ouverture et du plateau Miller V_{Miller} à la fermeture. Pour ce faire, deux détecteurs de l'état de commutation du transistor de puissance ont été implémentés dans la puce de commande.

Le premier détecteur, représenté sur la Figure II.43 surveille la tension de grille V_g du transistor de puissance et envoie un signal OUTLOW au circuit logique lorsque celle-ci va descendre en dessous de la tension de seuil V_{th} , signe de fin de commutation de la tension et du courant. Ce détecteur est constitué d'un inverseur déséquilibré à tension de basculement réglable par cinq branches de PMOSs de taille et de tension de seuil différentes. Ces transistors P_1 , P_2 , P_3 , P_4 et P_5 ont respectivement des dimensions W/L de 10 μ m/10 μ m, 10 μ m/5 μ m, 20 μ m/2 μ m, 40 μ m/1.1 μ m et 80 μ m/1.1 μ m. Un vecteur de trois bits permet de coder le niveau de la tension de seuil V_{th} du composant de puissance. Suivant la valeur de ce vecteur le circuit logique intermédiaire va sélectionner une ou plusieurs branches de PMOSs et ainsi régler le niveau de basculement de l'inverseur. La Figure II.44 présente les courbes des tensions intFALL et OUTLOW à la chute de la tension de grille en fonction des huit valeurs que peut prendre le vecteur de trois bits V_{th} . Le circuit de détection de fin de commutation du transistor de puissance peut donc être réglé pour faire passer le signal OUTLOW à l'état bas et ainsi marquer la fin de l'ouverture, lorsque la tension de grille V_g atteint 6.4V, 6.2V, 5.8V, 5.6V, 5.2V, 4.3V, 3.4V ou 2.2V pour V^+ égale à 10V.

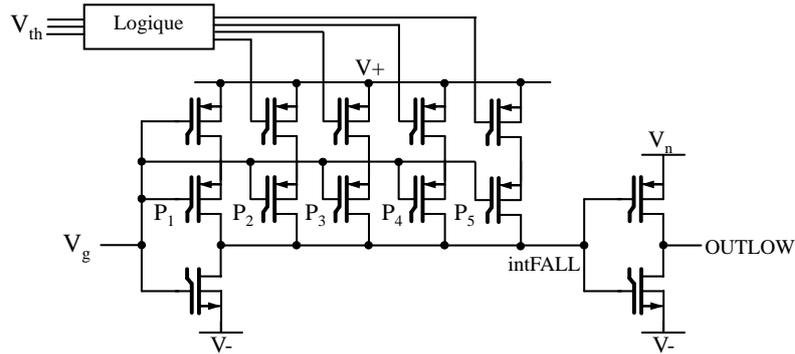


Figure II.43: Schéma du détecteur de l'état de commutation à l'ouverture du transistor de puissance commandé

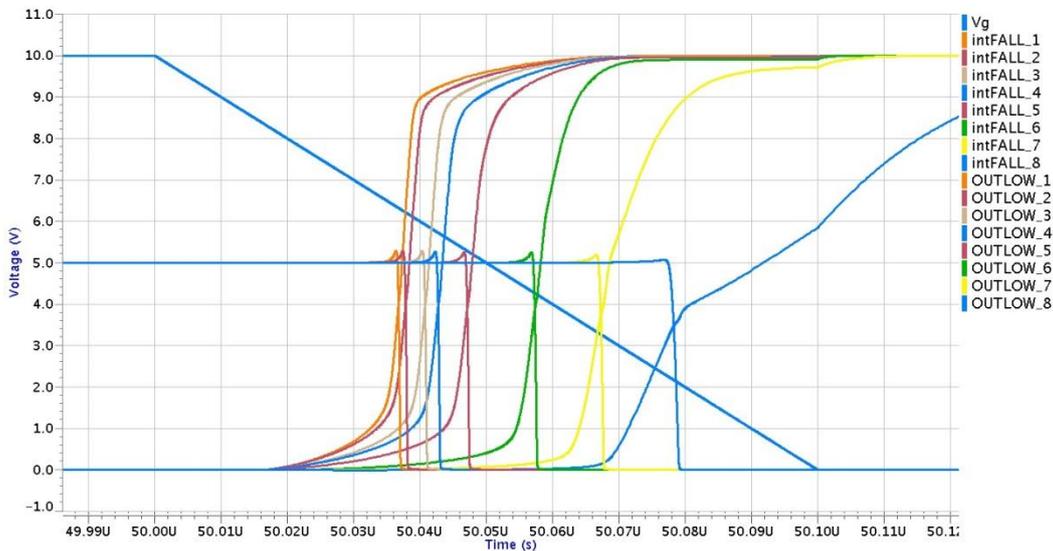


Figure II.44 : Formes d'ondes des courbes de sortie du circuit de détection du niveau de la tension de grille à l'ouverture pour les huit valeurs du vecteur V_{th}

Le second détecteur, présenté par la Figure II.45 surveille la tension de grille V_g du transistor de puissance et envoie un signal OUTHIGH au circuit logique lorsque celle-ci dépasse la tension du plateau Miller V_{Miller} , signe de fin de commutation de la tension et du courant. Ce détecteur de fin de fermeture est semblable à celui de fin d'ouverture. Il est aussi constitué d'un inverseur déséquilibré à tension de basculement réglable mais cette fois-ci par cinq branches de NMOSs de taille et de tension de seuil différentes. Les transistors N_1 , N_2 , N_3 , N_4 et N_5 ont respectivement des dimensions W/L de $10\mu\text{m}/10\mu\text{m}$, $10\mu\text{m}/5\mu\text{m}$, $20\mu\text{m}/5\mu\text{m}$, $40\mu\text{m}/5\mu\text{m}$ et $40\mu\text{m}/5\mu\text{m}$. Un vecteur de trois bits permet aussi de coder le niveau de la tension du plateau Miller V_{Miller} du composant de puissance et de régler ainsi le seuil de basculement du détecteur. La Figure II.46 présente les courbes des tensions INTRISE et OUTHIGH à la montée de la tension de grille en fonction des huit valeurs que peut prendre le vecteur de trois bits V_{Miller} . Le circuit de détection de fin de commutation du transistor de puissance envoie donc un signal OUTHIGH à la fin de l'ouverture, lorsque la tension de grille V_g dépasse 5.2V, 5.4V, 5.6V, 6V, 6.2V, 6.5V, 7V ou 8V pour V^+ égale à 10V.

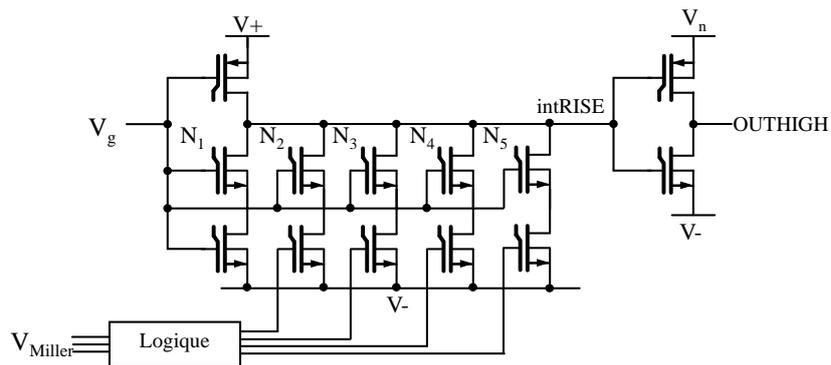


Figure II.45 : Schéma du détecteur de l'état de commutation à la fermeture du transistor de puissance commandé

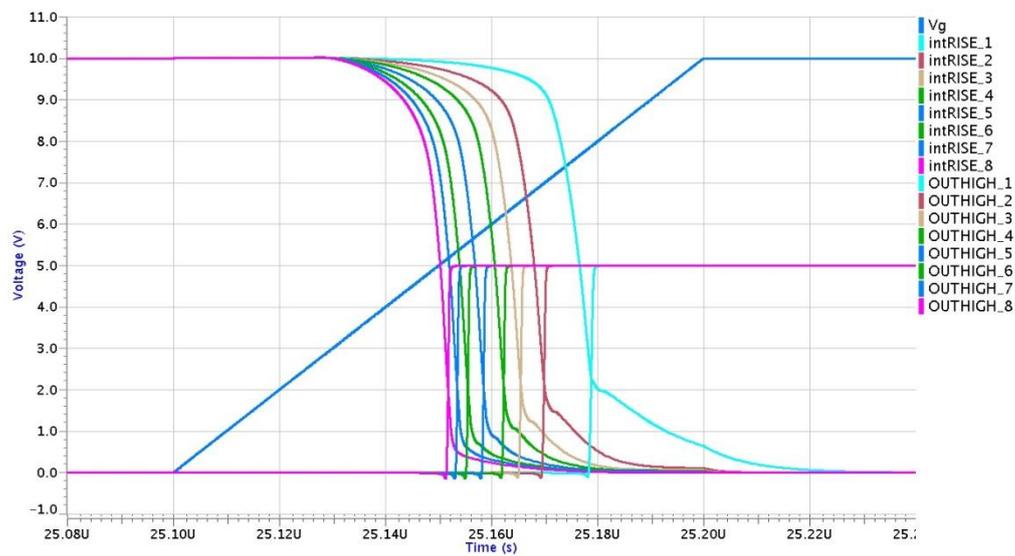


Figure II.46: Formes des courbes de sortie du circuit de détection du niveau de la tension de grille à la fermeture pour les huit valeurs du vecteur V_{th}

II.4.2 Dessin des masques

Une fois les dimensions de tous les composants de la puce validées par simulation dans tous les cas des procédés technologiques et sur toute la plage de tension et de température souhaitée nous procédons au dessin de la puce.

II.4.2.1 Le dessin en technologie AMS 0.35 μ m HV

II.4.2.1.1 Les couches disponibles au dessin

La technologie CMOS AMS 0.35 μ m HV sélectionnée dispose pour le routage de la puce de quatre niveaux de métaux et de deux niveaux de silicium polycristallin. Les niveaux POLY1 et POLY2 sont les niveaux disponibles les plus proches du substrat et de l'oxyde, c'est pourquoi ils constituent les grilles des transistors. Mais ces matériaux sont aussi les plus fins et donc les plus résistifs. Nous limitons donc leur utilisation en dehors des grilles à la conception de résistances. Les métaux MET1 à MET4 sont nettement moins résistifs et sont donc largement utilisés pour interconnecter tous les transistors entre eux et avec les alimentations.

II.4.2.1.2 Les transistors utilisés

Comme nous le précisons à la partie II.4.1.1, nous utilisons deux types de transistors, des transistors basse tension et des transistors haute tension. Les NMOSs et PMOSs basse tension, peuvent être interdigités. Les multiples grilles de ces transistors sont en POLY1 et reliées entre elles par ce même matériau. Le drain et la source sont, avec ces transistors, symétriques et accessibles directement au niveau MET1. Les transistors haute tension, les NMOSs 20V et les PMOSs 20V, peuvent aussi être interdigités avec des doigts double. Les grilles de ces transistors sont en POLY1 tandis que les drains et les sources sont toujours accessibles au même niveau MET1.

II.4.2.2 L'étage d'amplification

L'étage complet d'amplification comprend les préamplificateurs et l'étage de sortie adaptatif. Cette fonction d'amplification est de loin celle qui consomme le plus de surface d'une puce de commande classique. Celle-ci est en effet composée de NMOSs et PMOSs haute tension 20V de grande longueur. Le PMOS de l'étage de sortie de longueur W_P adaptative entre 28380 μ m et 660 μ m a été dessiné avec quarante-trois doigts doubles d'une longueur de 330 μ m pour lui donner une forme compacte et carrée. De même le NMOS de longueur W_N adaptative entre 17500 μ m et 625 μ m est constitué de vingt-huit doigts doubles de longueur 312.5 μ m. Avec de telles longueurs et surfaces il est nécessaire d'apporter une attention particulière à la répartition de la tension et du courant à la surface de chaque transistor de l'étage d'amplification. Pour ce faire, nous connectons entre eux les drains et les sources de chaque doigts d'un transistor PMOS ou NMOS par l'intermédiaire de deux niveaux de métaux MET2 et MET3, par des pistes orthogonales et entrelacées comme sur la Figure II.47, de manière à réduire au plus la résistance surfacique et les couplages parasites inter-pistes. Les grilles sont connectées entre elles aux deux extrémités de chaque doigt par une piste en MET3.

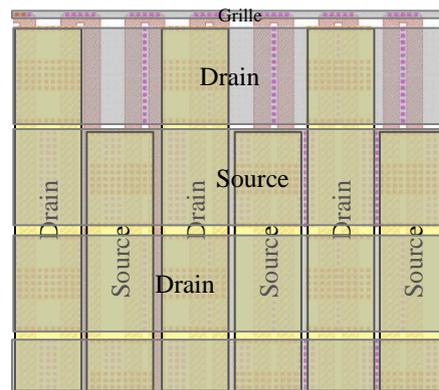


Figure II.47 : Dessin d'une partie d'un transistor de l'étage de sortie mettant en évidence l'entrelacement des pistes de drain et de source sur deux niveaux de métaux

Nous pouvons voir sur la Figure II.48 le dessin de l'étage d'amplification complet. La surface active de cette fonction d'amplification occupe environ 0.6 mm^2 . La moitié supérieure de cette surface est prise par l'étage de sortie adaptatif et l'autre moitié inférieure par les préamplificateurs et les détecteurs d'ouverture. Les préamplificateurs sont situés juste au-dessous des transistors P ou N. Nous remarquons que les transistors situés sur le chemin de traversée privilégié des prebuffers (voir Figure II.36) sont placés au plus près du transistor de l'étage de sortie qu'ils commandent.

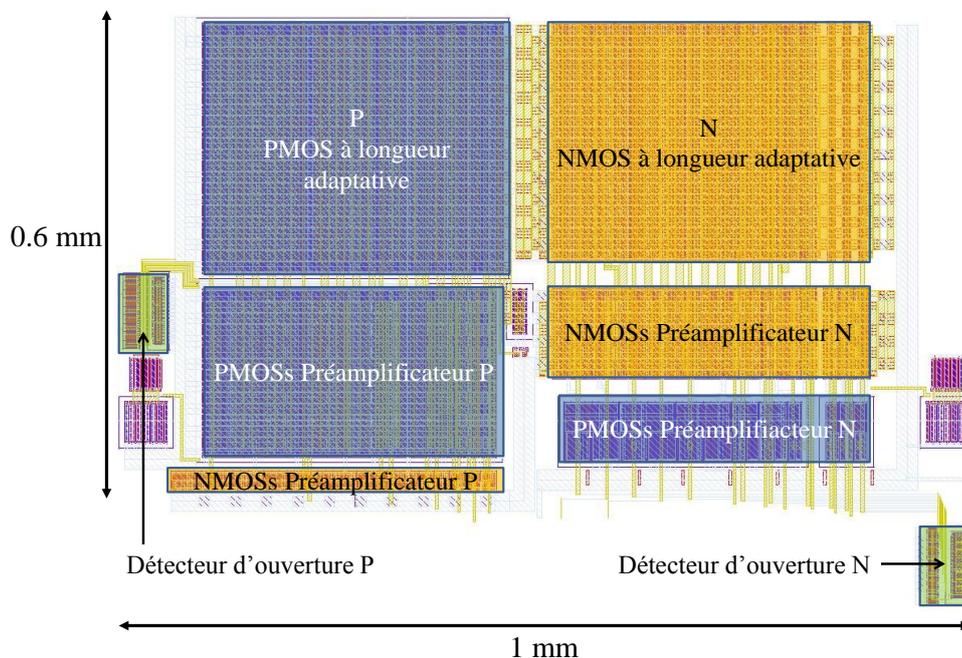


Figure II.48: Dessin de l'étage d'amplification adaptatif

II.4.2.3 Le placement au niveau haut

Le dessin au niveau haut de la puce de commande est visible sur la Figure II.49. La surface active de la puce est d'environ 0.9mm^2 . Nous retrouvons tous les blocs du schéma fonctionnel de la puce Figure II.30 : l'étage de sortie adaptatif, les préamplificateurs, les Level-Shifters, la sécurité anti-recouvrement, le circuit logique et les détecteurs de l'état de commutation. Ces blocs sont disposés selon un axe unidirectionnel comme sur la Figure II.50 de telle sorte que le signal de commande IN à amplifier traverse la distance la plus courte possible de l'entrée à la sortie. Les signaux de contre-réaction de la commande prennent le sens opposé à celui du signal d'entrée IN. Les détecteurs de fin de commutation envoient des signaux de l'étage de puissance jusqu'au circuit logique par l'intermédiaire de Level-Shifters abaisseur en empruntant des chemins de longueurs minimales afin d'optimiser les temps de traversée globaux de la puce.

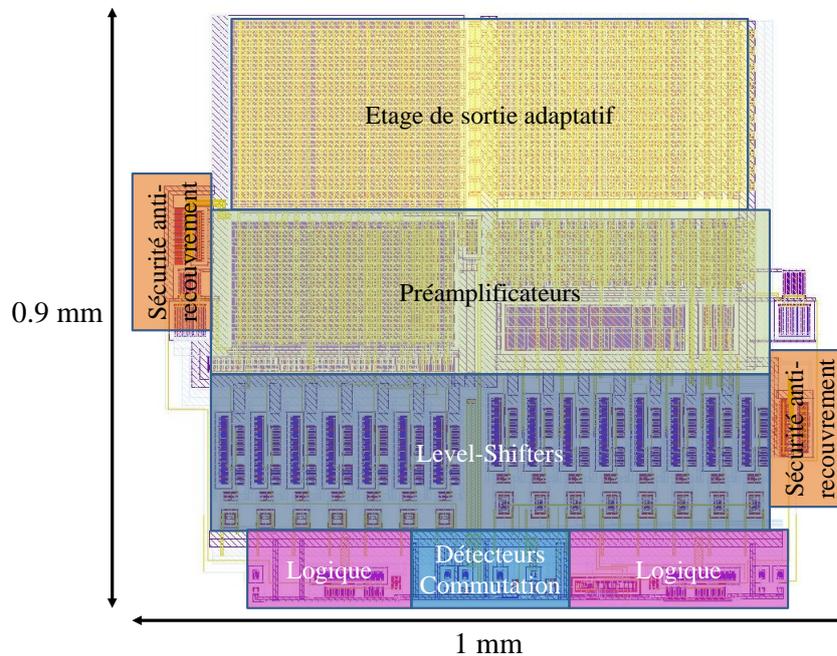


Figure II.49: Dessin au niveau haut de la puce de commande à impédance de sortie adaptative

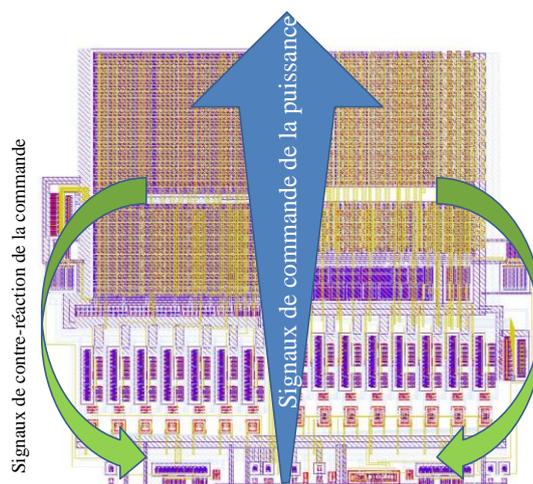


Figure II.50: Dessin de la puce de commande mettant en évidence la propagation unidirectionnelle du signal de commande de la puissance et les retours des signaux de contre-réaction depuis les détecteurs jusqu'au circuit logique

II.4.3 Validation de la méthode de commande adaptative dans un convertisseur de puissance synchrone

II.4.3.1 La puce

La Figure II.51 présente la photographie de la puce de commande adaptative fabriquée en technologie AMS 0.35 μ m 20V. La puce mesure selon ses cotes extérieures 1.9mm par 2mm. Elle possède trente-neuf entrées/sorties et est mise en boîtier DIL40. Cette première version du circuit de commande adaptative possède dix-huit entrées utiles à la configuration de la puce (ce nombre sera réduit de moitié dans une seconde version). L'alimentation de l'étage d'amplification est assurée par quatre pattes pour l'alimentation V^+ et quatre autres pour l'alimentation V^- . La grille du composant de puissance est connectée à la sortie de la puce de commande par l'intermédiaire de cinq pattes et cinq fils de Bonding. En multipliant par quatre les accès de la puce aux alimentations V^+ et V^- , et par cinq ceux à la grille du composant de puissance nous assurons des résistances et des inductances d'entrée/sortie diviser par un même facteur.

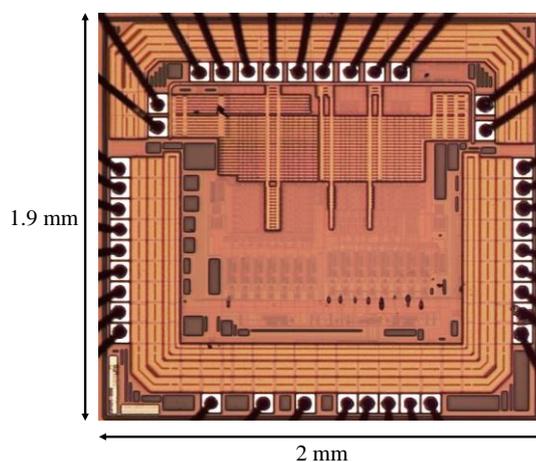


Figure II.51 : photographie de la puce de commande à impédance de sortie adaptative

II.4.3.2 Caractérisation du circuit de commande

La puce de commande à impédance de sortie adaptative a été caractérisée expérimentalement lorsqu'elle commute sur charge capacitive normée de 4.7nF et lorsqu'elle est alimentée sous une tension de 10V. La Figure II.52 et la Figure II.53 présentent les courbes expérimentales à l'ouverture et à la fermeture du circuit de commande lorsqu'il commute la capacité selon cinq modes d'évolution de l'impédance de grille (modes semblables à ceux précédemment étudiés en II.4.1.2). Les tensions de détection de fin d'ouverture $V_{th,DET}$ et de fin de fermeture $V_{Miller,DET}$ du transistor de puissance sont fixées respectivement à 3V et 7V. Nous constatons bien pour les deux commutations que :

- Le circuit permet de régler la vitesse de commutation de la grille et donc du courant et de la tension grâce à une première impédance de sortie adaptative
- L'impédance adaptée la plus faible, en mode 8, permet de commuter le plus rapidement la capacité de grille normée mais avec des surtensions sur la grille de l'ordre de 10%
- Une fois le seuil de fin de commutation $V_{th,DET}$ ou $V_{Miller,DET}$ dépassé, l'impédance la plus faible est systématiquement imposée afin de protéger le composant au plus vite sans risquer des surtensions ou sur-courants supplémentaires.

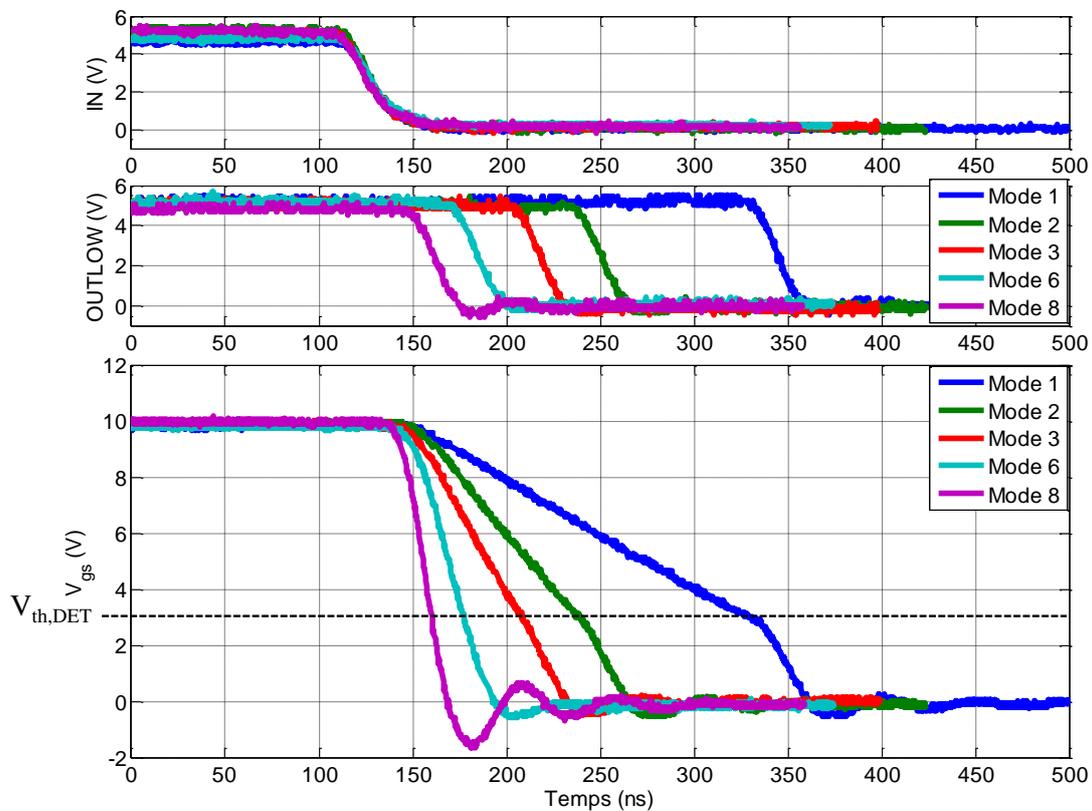


Figure II.52: Formes d'ondes des courbes expérimentales des tensions du circuit de commande commutant sur charge capacitive de 4.7nF suivant cinq modes différents d'évolution de l'impédance de sortie à l'ouverture

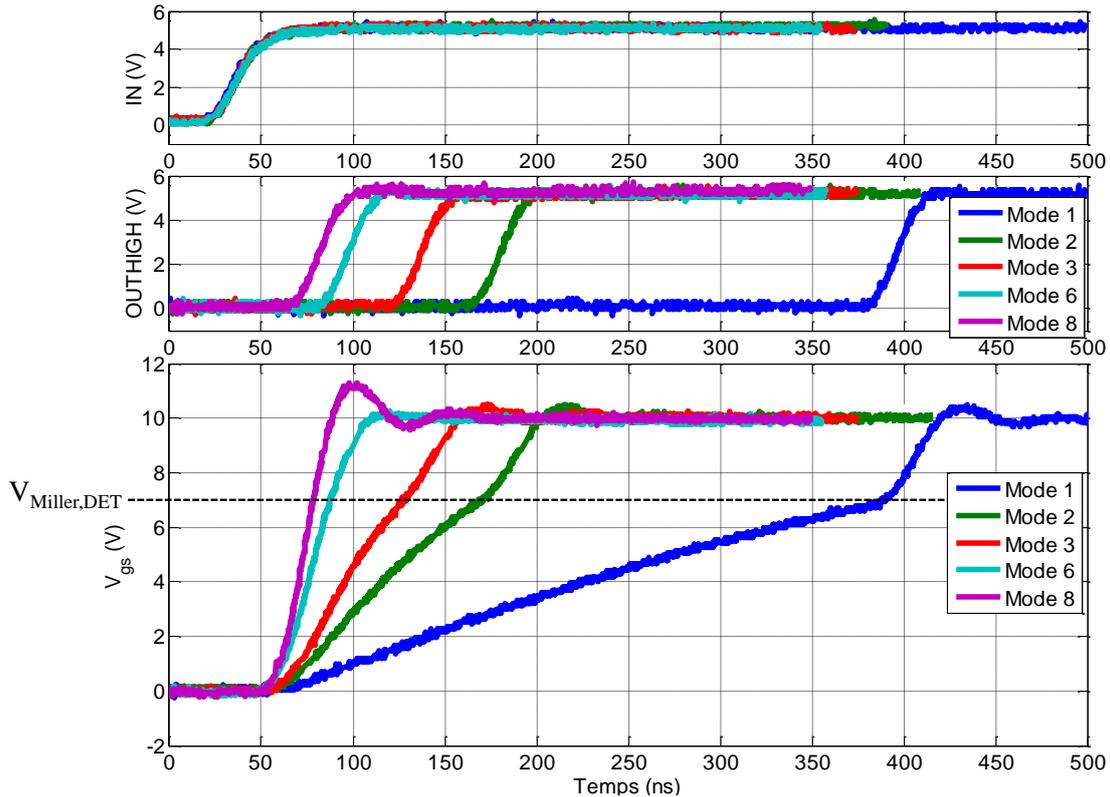


Figure II.53: Formes d'ondes des courbes expérimentales des tensions du circuit de commande commutant sur charge capacitive de 4.7nF suivant cinq modes différents d'évolution de l'impédance de sortie à la fermeture

Les caractéristiques électriques de la puce de commande commutant sur charge capacitive de 4.7nF sont récapitulées dans le Tableau II-8. Les temps de propagation sont mesurés de 50% du niveau du signal d'entrée IN à 10% de variation du signal de sortie V_g . Les temps de montée et descente sont mesurés entre 10% et 90% de l'amplitude de la tension de grille V_g . En adaptant son impédance de sortie à la montée entre 1.1 Ω et 40 Ω , le circuit de commande permet de régler le temps de montée entre 25ns et 310ns et le temps de propagation à la fermeture entre 20ns et 65ns. De même en réglant son impédance de sortie à la descente entre 0.9 Ω et 12.5 Ω , nous pouvons faire varier le temps de chute entre 23ns et 178ns et le temps de propagation à l'ouverture entre 18ns et 50ns. De telles caractéristiques sont conformes aux résultats de simulations qui ont été utiles aux dimensionnements de l'étage de sortie (voir partie II.4.1.2) et devrait donc nous permettre de proposer soit une commande très rapide pour exploiter pleinement les performances dynamiques des composants grand gap soit une commande plus lente dégradant ses performances mais garantissant la protection du composant grand gap commutant dans les cas extrêmes : à fort courant, forte tension et/ou haute température.

Si le changement d'impédance en cours de commutation est bien visible sur les formes d'ondes des tensions de grilles pour les modes 3 à 8, celui-ci n'est pas perceptible pour le mode 2. Ceci s'explique d'une part par une différence moins marquée entre l'impédance adaptée du mode 2 et celle minimale du mode 1. D'autre part le principe de détection sur un seuil de tension de grille puis modification de l'impédance en conséquence atteint ici ses limites. En mode 2, le temps que le signal de détection passe à l'état haut qu'il revienne jusqu'au circuit de logique de commande et que le basculement vers l'impédance minimale débute, la commutation de la grille est déjà terminée. Nous entérinons alors nos hypothèses de départ. Un asservissement en boucle fermée de la commande à l'échelle de la commutation d'un composant grand gap n'est pas envisageable.

Par contre un unique changement d'impédance comme nous le proposons est réalisable et recommandé pour accélérer franchement les fins de commutations lorsque l'impédance adaptée est élevée et ainsi rapidement garantir le meilleur maintien de la grille du composant commandé.

Nous allons par la suite étudier ces fonctions de commande particulières dans un convertisseur de puissance Buck synchrone à base de JFETs SiC.

Tableau II-8 : Caractéristiques électriques mesurées expérimentalement du circuit de commande adaptatif alimenté sous 10V

	Symbole	Paramètre	Mode 1	Mode 2	Mode 3	Mode 6	Mode 8
A la montée							
PMOSs en parallèle			P ₁	P ₁ , P ₂	P ₁ , P ₂ , P ₃	P ₁ à P ₆	P ₁ à P ₈
Temps de propagation à la fermeture	t _{prop,R}	C _g =4.7nF	65 ns	37 ns	32 ns	23 ns	20 ns
Temps de montée	t _R	C _g =4.7nF	308 ns	118 ns	80 ns	39 ns	25 ns
Instant de détection de fin de fermeture	t _{det,R}	C _g =4.7nF	286.5 ns	100 ns	59 ns	27 ns	18 ns
Impédance adaptée à la montée	R _{ON,H}	I _{out} = -500mA	40 Ω*	14 Ω	9 Ω*	2.5 Ω*	1.1 Ω
A la descente							
NMOSs en parallèle			N ₁	N ₁ , N ₂	N ₁ , N ₂ , N ₃	N ₁ à N ₆	N ₁ à N ₈
Temps de propagation à l'ouverture	t _{prop,F}	C _g =4.7nF	50 ns	38.5 ns	32 ns	25 ns	18 ns
Temps de chute	t _F	C _g =4.7nF	178 ns	93 ns	68 ns	37 ns	23 ns
Instant de détection de fin d'ouverture	t _{det,F}	C _g =4.7nF	159 ns	79 ns	54 ns	29 ns	13 ns
Impédance adaptée à la descente	R _{ON,L}	I _{out} = +500mA	12.5 Ω	7 Ω*	4 Ω*	2 Ω*	0.9 Ω

*valeur calculée

II.4.3.3 Mise en œuvre de la méthode de commande adaptative dans un convertisseur de puissance synchrone à base de composants grand gap

II.4.3.3.1 Le convertisseur de puissance Buck synchrone à base de composants JFET SiC purement verticaux

Le circuit de commande adaptatif a été mis en œuvre dans un convertisseur de puissance Buck à base de JFETs SiC [38] sans diodes. La topologie de ce convertisseur Buck synchrone est présentée par le schéma de la Figure II.54. Cette topologie classique est semblable à celles étudiées précédemment à l'exception des circuits de commande qui sont adaptatifs et d'un circuit de mesure du courant de source du transistor de puissance Low-Side. Ce circuit de mesure du courant est le même que celui utilisé pour la caractérisation dynamique des composants en partie II.2.3.1, constitué d'une résistance de shunt et d'un amplificateur d'instrumentation. Les JFETs SiC SJD120R085 [38] utilisés sont des transistors de puissance Normally-ON possédant une tension de seuil de $-5V$ et une tension grille-source maximale de $\pm 15V$. Les circuits de commande sont donc alimentés entre $0V$ et $-12V$ et les niveaux de fin de commutations $V_{th,DET}$ et $V_{Miller,DET}$ sont fixés à $-8V$ et $-4V$.

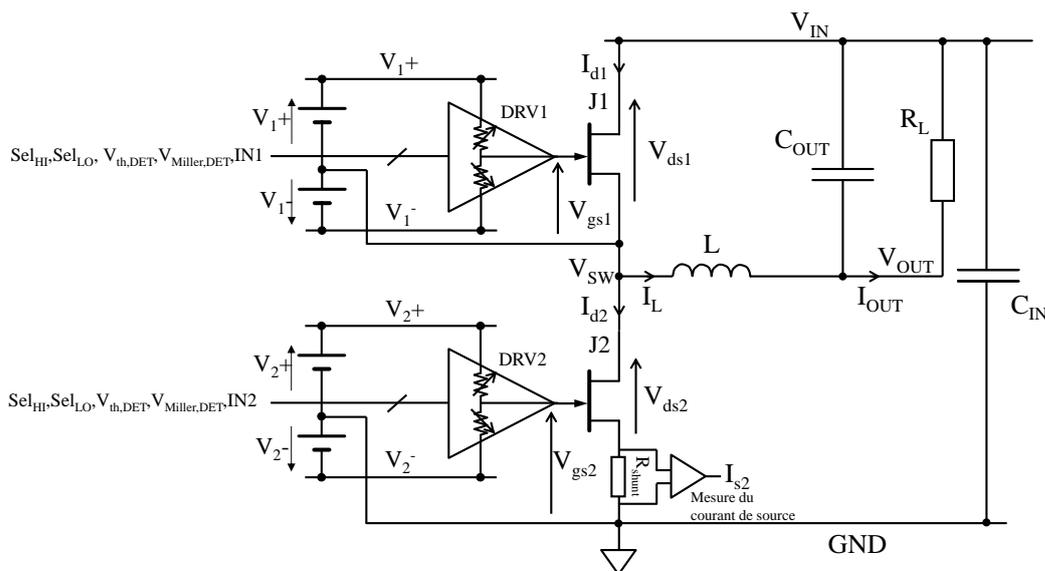


Figure II.54 : Schéma électrique du convertisseur Buck synchrone sans diodes à base de composants grand gap pilotés par des circuits de commande à impédance de sortie adaptative

La photographie du convertisseur de puissance est visible sur la Figure II.55. Les deux composants de puissance JFETs SiC ont été placés assez proches l'un de l'autre et de leur circuit de commande mais sans qu'il n'y ait d'optimisation poussée des mailles de commutation des commandes. C'est donc un convertisseur normalement parasité qui va nous servir de cas d'étude à l'observation du contrôle des formes des tensions et courants à la commutation par le circuit de commande proposé.

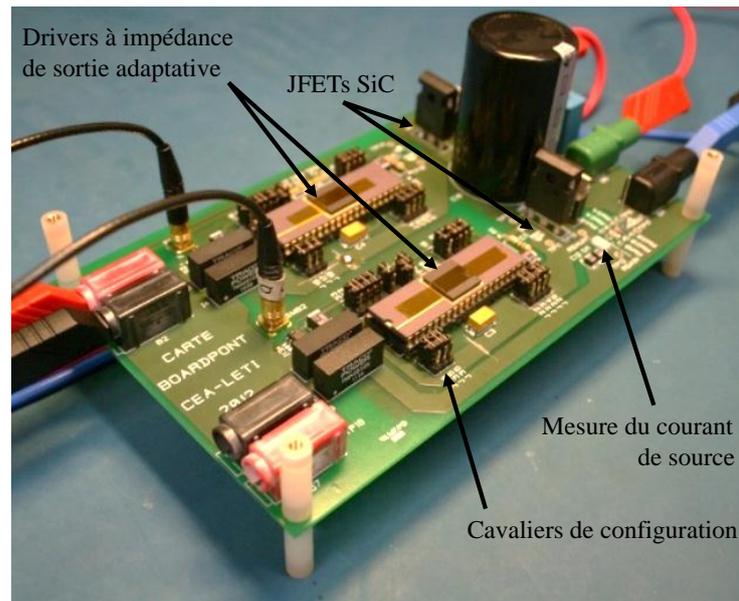


Figure II.55 : Photographie du convertisseur de puissance synchrone à base JFETs SiC commandés par des puces à impédance de sortie adaptative

II.4.3.3.2 L'adaptation de la vitesse de commutation par le circuit de commande

Nous avons, grâce à la puce de commande à impédance de sortie adaptative précédemment présentée, contrôlé directement au niveau de la grille les formes des tensions drain-source V_{ds} et du courant de source I_s des deux transistors de puissance commutant au sein du convertisseur Buck synchrone. La Figure II.56 et la Figure II.57 présentent les formes d'ondes des courbes de tension et du courant du transistor de puissance Low-Side piloté par le circuit de commande adaptant son impédance de sortie selon les deux modes extrêmes. Le premier mode est pour rappel le plus lent, il charge ou décharge la capacité de grille avec l'impédance la plus forte jusqu'aux seuils de fin de commutation $V_{th,DET}$ et $V_{Miller,DET}$ où il achève la commutation de la grille avec l'impédance la plus faible afin de prévenir le composant de toutes remises en conduction parasites. Le huitième mode, est le plus rapide, seule l'impédance la plus faible est utilisée pour faire commuter le transistor de puissance. La tension d'entrée du convertisseur Buck est ici de 23V et le courant de sortie de 2A.

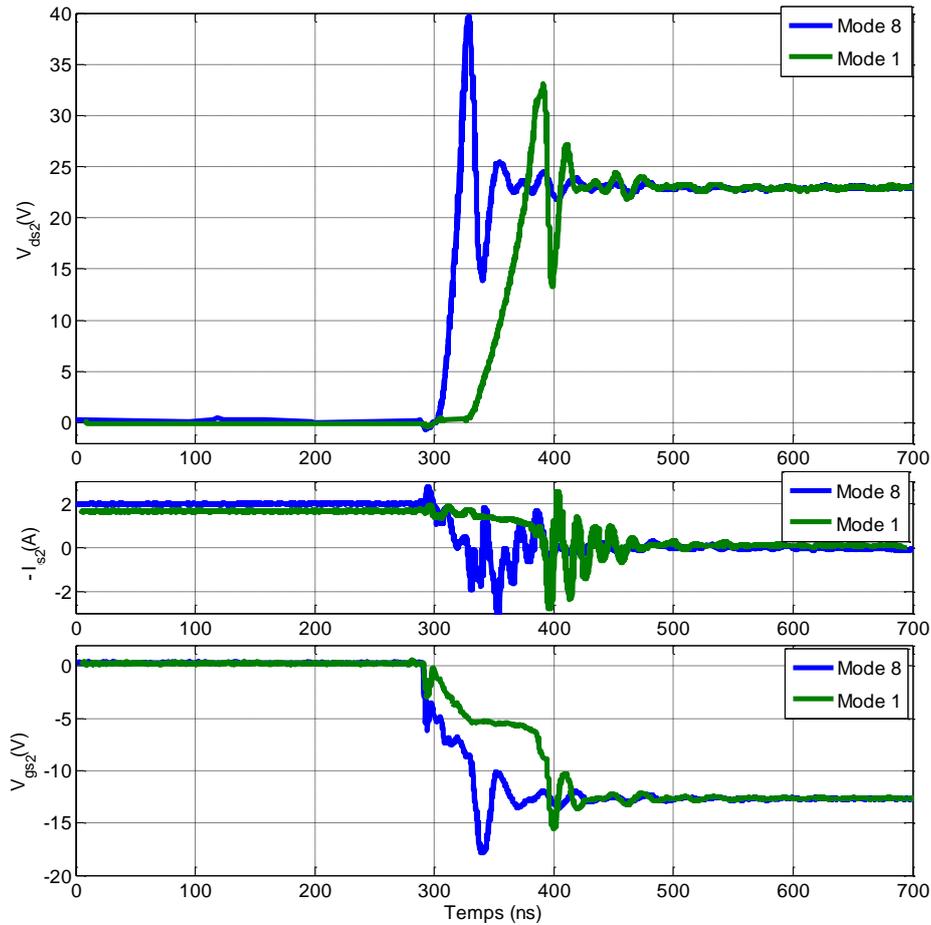


Figure II.56 : Formes d'ondes expérimentales des tensions et du courant du JFET SiC Low-Side du convertisseur Buck synchrone commandé à l'ouverture par le circuit adaptatif dans son mode le plus rapide et le plus lent

Le Tableau II-9 récapitule les mesures expérimentales faites sur le transistor Low-Side du convertisseur de puissance à l'ouverture et à la fermeture lorsque le circuit de commande fait évoluer son impédance suivant les modes 1 et 8, comme sur la Figure II.56 et la Figure II.57. Les pertes par commutation E_{SW} sont mesurées en faisant l'intégrale sur la commutation du produit $V_{ds} \cdot I_d$. Nous constatons qu'en ralentissant l'évolution de la tension de grille :

- A la fermeture et à l'ouverture, les temps de commutation de la tension et du courant sont allongés.
- A la fermeture et à l'ouverture, les surtensions entre grille et source et entre drain et source sont fortement réduites. A la fermeture, l'impédance de grille la plus importante permet, par exemple, de sécuriser la grille en limitant la tension V_{gs} à un seuil négatif de -15V, limite théorique admissible par le JFET SiC SJDP120R085.
- A l'ouverture, le sur-courant est réduit mais à la fermeture ce dernier semble plus important.
- Les pertes par commutation E_{SW} sont plus importantes d'un facteur un et demi à l'ouverture et trois à la fermeture.
- Le retard t_d entre le début de la charge ou de la décharge de la capacité de grille du transistor de puissance et le début de commutation de la tension drain-source V_{ds} ou du courant de source I_s est plus important d'un facteur deux à trois.

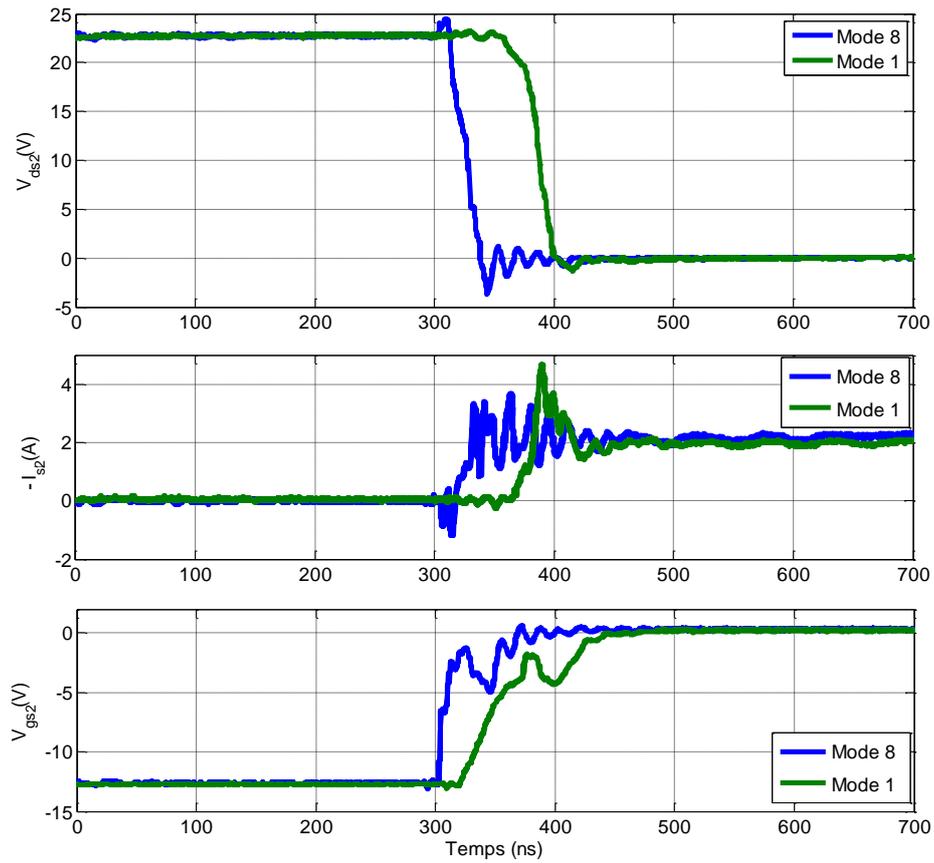


Figure II.57 : Formes d'ondes expérimentales des tensions et du courant du JFET SiC Low-Side du convertisseur Buck synchrone commandé à la fermeture par le circuit adaptatif dans son mode le plus rapide et le plus lent.

Tableau II-9 : Mesures expérimentales sur le JFETs SiC Low-Side commutant à l'ouverture et à la fermeture avec des formes de tensions et courant contrôlées par l'impédance de sortie de la puce de commande proposée

Mode d'évolution de l'impédance de grille	A l'ouverture		A la fermeture	
	Mode 1	Mode 8	Mode 1	Mode 8
Temps de commutation de la tension V_{gs}	103 ns	43 ns	94 ns	19 ns
Surtension V_{gs}	19%	40%	0%	5%
Temps de commutation de la tension V_{ds}	38 ns	13 ns	34 ns	22 ns
Surtension V_{ds}	43%	73%	5%	15%
Temps de commutation du courant I_s	60 ns	19 ns	16 ns	12 ns
Sur-courant I_s	140%	174%	129%	78%
Pertes par commutation E_{sw}	1.0 μ J	0.6 μ J	1.0 μ J	0.3 μ J
Retard à la commutation t_d	43 ns	16 ns	34 ns	11 ns

Le circuit de commande à impédance de sortie adaptative proposée permet bien de contrôler la vitesse de commutation de la tension drain-source et du courant directement au niveau de la grille du transistor. Cette méthode de contrôle des formes de tensions et courants à la commutation se révèle être une solution efficace, facilement intégrable et peu coûteuse pour réduire les surtensions et les sur-courants ainsi que pour prévenir les composants de puissance de remises en conduction parasites. En contrepartie, lorsqu'une impédance élevée est sélectionnée pour protéger l'interrupteur grand gap, nous dégradons ses performances dynamiques intéressantes. L'augmentation importante des durées de commutations a pour effet, comme nous le prévoyons à la partie II.3.2.3, d'augmenter les pertes par commutations E_{sw} d'un facteur un et demi à trois ainsi que le retard à la commutation t_d d'un facteur trois environ. Avec le convertisseur de puissance utilisé commutant à une fréquence de 100kHz au point de fonctionnement 23V/2A, les pertes par commutations restent faibles. Elles représentent moins de 1% des pertes globales. Ces pertes par commutation P_{sw} , données par l'équation (II.7), sont proportionnelles à la fréquence de commutation, au courant de sortie et à la tension d'entrée. Elles peuvent donc devenir prépondérantes dans un convertisseur haute fréquence, haute tension d'entrée et fort courant de sortie. Dans ce cas nous préconisons deux modes de fonctionnement du circuit de commande au sein d'un convertisseur de puissance donnée. Le premier mode utilisé sur la plage typique de fonctionnement du convertisseur cherche à optimiser les pertes par commutation et donc le rendement de conversion avec une impédance de grille adaptée mais de valeur faible. Le second mode est utilisé comme une protection du composant. Il permet d'étendre la plage de fonctionnement du composant de puissance grand gap en ralentissant l'évolution de la tension de grille au fur et à mesure que l'on s'approche de valeurs de surtensions et sur-courants destructives. Pour régler convenablement le passage d'un mode à l'autre une phase de calibration de la commande au composant de puissance et au convertisseur de puissance selon le procédé précédemment présenté en Figure II.27 est alors nécessaire. Dans le pire cas où la valeur des éléments parasites d'un convertisseur serait, de toutes manières, trop importante pour utiliser le mode de commutation le plus rapide du circuit de commande, nous serions dans l'obligation de dégrader les performances dynamiques du transistor grand gap au niveau de celles d'un composant classique en silicium sur toute la plage de fonctionnement. Si un tel fonctionnement ne paraît pas intéressant pour un convertisseur de puissance classique il s'avère très utile pour des applications hautes températures, supérieures à 200°C, inaccessibles à des composants silicium haute tension.

II.5 L'intégration hétérogène d'un circuit Level-Shifter pour des applications hautes tensions, hautes fréquences et hautes températures

Les composants grand gap ont des caractéristiques statiques et dynamiques qui leurs permettent d'adresser des domaines nouveaux pour l'électronique de puissance, à la fois haute tension, haute fréquence et haute température, inaccessibles jusqu'à présent avec des composants silicium classiques. Par exemple un composant silicium 600V ne peut pas fonctionner à une température supérieure à 200°C. Pour que le système complet de conversion puisse fonctionner dans ces cas extrêmes les interrupteurs de puissance mais aussi la chaîne complète de commande en amont doivent être compatibles. Le circuit de commande spécifique que nous avons étudié en partie précédente n'est constitué que de transistors basse tension 20V et a donc pu être porté directement en une technologie silicium sur isolant SOI basse tension mais compatible avec des températures élevées de l'ordre de 250°C. Dans cette partie nous étudions une solution de décalage des niveaux des signaux de la référence du circuit de commande Low-Side à la référence du circuit de commande High-Side. L'architecture du Level-Shifter proposée est intégrable monolithiquement aux circuits de commande SOI et de puissance grand gap afin que celle-ci soit de fait, compatible avec les applications hautes tensions, hautes fréquences et hautes températures visées par les convertisseurs à base de composants grand gap. Dans le cas d'un convertisseur de puissance à base de composant grand gap sans diode nous avons démontré en partie I.5.2 l'intérêt de fortement raccourcir la durée des temps morts pour réduire les pertes par conduction en inverse sous le seuil. Cependant à cause de la différence de temps de propagation du signal de commande entre le High-Side et le Low-Side d'un convertisseur de puissance synchrone classique, nous constatons qu'il s'avérait difficile de garantir un temps mort faible. Pour cette raison nous nous sommes particulièrement souciés de la qualité de l'appariement des temps de propagation des deux signaux de commande avec la solution que nous proposons par la suite.

II.5.1 Une topologie demi-pont en H avec un seul transformateur de signaux deux voies et un circuit Level-Shifter haute vitesse

Dans un convertisseur de puissance haute tension standard, les signaux destinés à la commande du transistor High-Side J1 et Low-Side J2 sont isolés galvaniquement du circuit de commande éloignée par deux isolateurs distincts. Pour les convertisseurs de puissance à base de composants grand gap, ces circuits d'isolation doivent supporter toutes les contraintes en tenue en tension, en vitesse de commutation et en température des interrupteurs pour ne pas brider l'étendue de la plage de fonctionnement du convertisseur. Les meilleurs candidats pour réaliser cette fonction d'isolation dans ces conditions sont à l'heure actuelle les transformateurs d'impulsion sans noyau magnétique. Certains d'entre eux [68] peuvent fonctionner dans un convertisseur de puissance 800V, jusqu'à 105°C avec une bonne immunité transitoire de mode commun de 25kV/ μ s. Ces performances pourtant élevées peuvent se révéler limitantes. En plus de la tenue en tension et en température, l'immunité transitoire de mode commun peut ne pas être suffisante lorsqu'un interrupteur grand gap commute à 60kV/ μ s [29]. Nous suggérons de relâcher les contraintes sur ces circuits d'isolation en reportant la plupart de celles-ci sur un circuit Level-Shifter intégrable monolithiquement au circuit de commande SOI et de puissance.

Nous proposons alors sur la Figure II.58 une architecture de convertisseur de puissance synchrone isolé, basée sur une unique puce isolateur deux voies et un circuit rapide de décalage des niveaux. Les contraintes sur la puce isolateur deux voies sont réduites à une isolation entre deux tensions élevées mais quasiment continues et une température de fonctionnement maximale de l'ordre de 250°C. Avec un tel circuit isolateur deux voies, il est possible de garantir une dispersion du temps de propagation entre les deux canaux de la puce très faible, de seulement 2ns à 25°C contre 10 ns puce-à-puce à 25°C dans le meilleur des cas [68]. Si les signaux de commandes isolés $IN1''$ et $IN2''$ sont ensuite décalés par un circuit Level-Shifter rapide capable de garantir un décalage temporel inférieur à 6ns alors les signaux $IN1$ et $IN2$ sont décalés potentiellement d'un maximum de 13ns avant d'atteindre l'entrée des circuits de commande DRV1 et DRV2. En considérant un décalage temporel potentiel supplémentaire de 10ns entre les temps de traversée des circuits DRV1 et DRV2 un temps mort minimal de 35ns peut par exemple être garanti. Un modeste gain de 15ns sur la longueur des temps morts permet de réduire les pertes générées durant les temps morts de 15%, ce qui n'est pas négligeable dans un convertisseur de puissance grand gap sans diodes (voir I.5.2).

Nous détaillons par la suite uniquement le circuit de décalage des niveaux pouvant fonctionner à haute vitesse, haute température et haute tension grâce à une intégration hétérogène au circuit de commande SOI et de puissance grand gap.

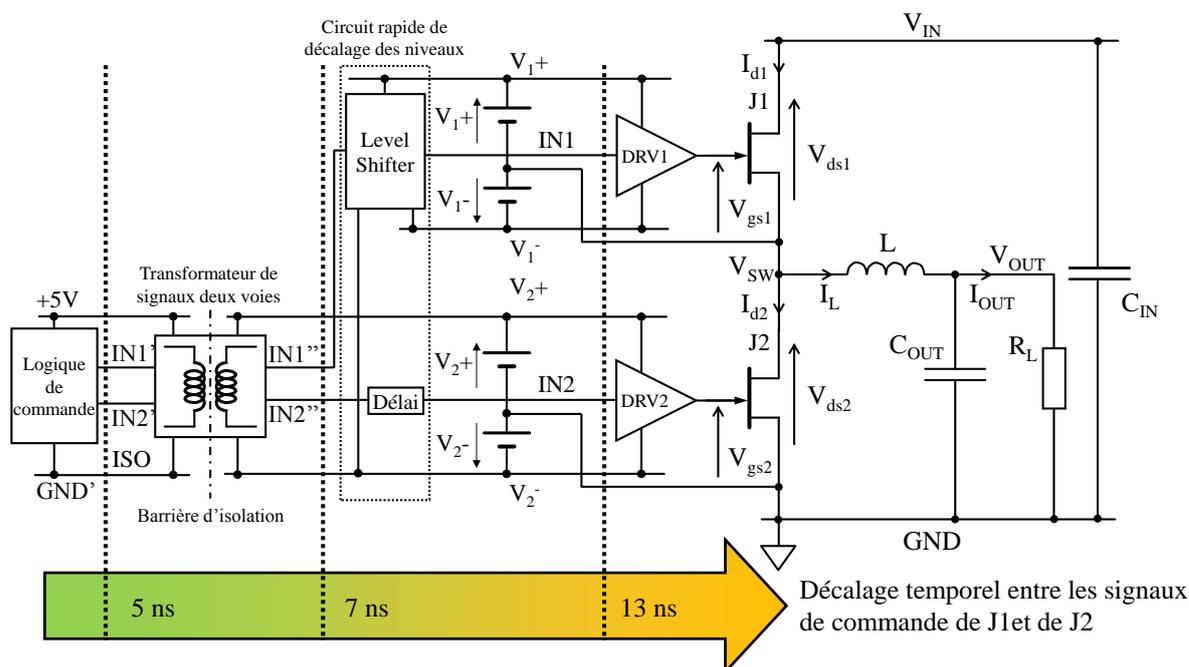


Figure II.58 : Schéma électrique d'un convertisseur Buck synchrone isolé galvaniquement par un seul circuit d'isolation deux voies mettant en évidence la différence de temps de propagation des signaux de commande de J1 et J2 à 25°C

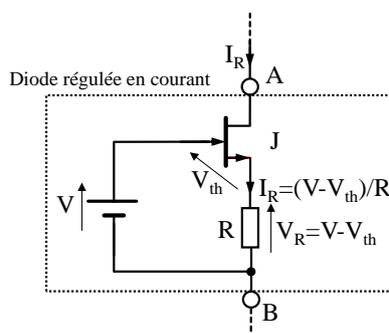


Figure II.60 : Schéma d'une diode régulée en courant

Nous pouvons remarquer qu'une telle structure peut fonctionner avec des composants Normally-OFF et Normally-ON. Avec un composant Normally-ON, la tension de seuil V_{th} est négative et permet de s'affranchir de l'alimentation V . Le courant I_R est alors régulé à une valeur égale au rapport de la tension V_{th} et de la résistance R . Si le composant J est un composant haute tension, cette diode régulée en courant représente une solution simple et efficace pour limiter le courant entre deux potentiels haute tension comme dans un convertisseur de puissance synchrone entre les deux potentiels de référence du High-Side et du Low-Side.

II.5.2.2 Un circuit *Level-Shifter* régulé en courant et intégrable monolithiquement

L'architecture du circuit *Level-Shifter* proposé permettant le décalage des signaux du Low-Side au High-Side est détaillée sur la Figure II.61. Les composants basse tension sont facilement intégrables monolithiquement aux circuits High-Side et Low-Side de commande tandis que seul le composant haute tension $J3$ est intégré au bras d'onduleur grand gap. Nous retrouvons dans ce circuit de décalage des niveaux l'architecture de la diode régulée en courant, cette fois constituée du transistor grand gap $J3$, de la résistance $R2$, des alimentations V_2^+ et V_2^- et d'un interrupteur de signal $N1$. Cet interrupteur $N1$ Low-Side permet de contrôler le courant dans la diode régulée circulant entre le High-Side et le Low-Side au travers de $J3$. Sur la Figure II.62 sont visibles les deux phases de fonctionnement du *Level-Shifter*, selon que le transistor $N1$ est ouvert ou fermé. Les chronogrammes en tensions et courants correspondants sont représentés sur la Figure II.63.

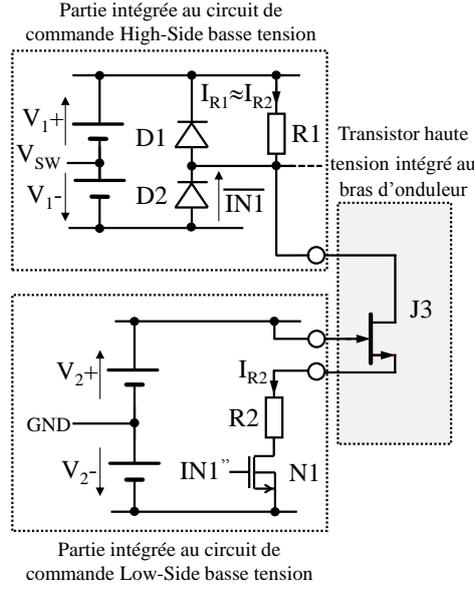


Figure II.61: Circuit Level-Shifter haute tension haute vitesse intégrable monolithiquement au bras d'onduleur grand gap et aux circuits de commande comportant une régulation interne du courant

Lorsque le signal de commande High-Side référencé par rapport au Low-Side $\overline{IN1''}$ est à l'état bas, avant t_1 ou après t_2 sur la Figure II.63, le transistor N1 est ouvert et aucun courant I_{R1} ou I_{R2} ne circule du High-Side au Low-Side. Nous retrouvons au blocage de N1 un fonctionnement semblable à celui d'un montage cascode. Le circuit est alors dans la configuration de la Figure II.62 (a). La tension aux bornes de la résistance R1 étant nulle, le signal de commande référencé au High-Side $\overline{IN1}$ est à l'état haut exprimé par l'équation (II.14).

Lorsque le signal de commande $\overline{IN1''}$ est à l'état haut, entre t_1 et t_1' , le transistor N1 est fermé et un courant I_{R1} égal à I_{R2} circule du High-Side au Low-Side. Le circuit est dans la configuration de la Figure II.62 (b). Le courant I_{R2} est régulé de la même manière que pour la diode précédemment étudiée. Sa valeur est donnée par l'équation (II.15). Le signal de commande $\overline{IN1}$ est alors exprimé par l'équation (II.16). Le rapport des résistances R1 et R2 de (II.16) est choisi de façon à obtenir une tension $\overline{IN1}$ nulle lorsque le courant I_{R1} circule.

$$\overline{IN1} = V_{1+} - V_{1-} - R1 \cdot I_{R1} \approx V_{1+} - V_{1-} \quad (\text{II.14})$$

$$I_{R2} = I_{R1} = \frac{V_{2+} - V_{2-} - V_{th}}{R2} \quad (\text{II.15})$$

$$\overline{IN1} = V_{1+} - V_{1-} - \frac{R1}{R2} \cdot (V_{2+} - V_{2-} - V_{th}) \approx 0 V \quad (\text{II.16})$$

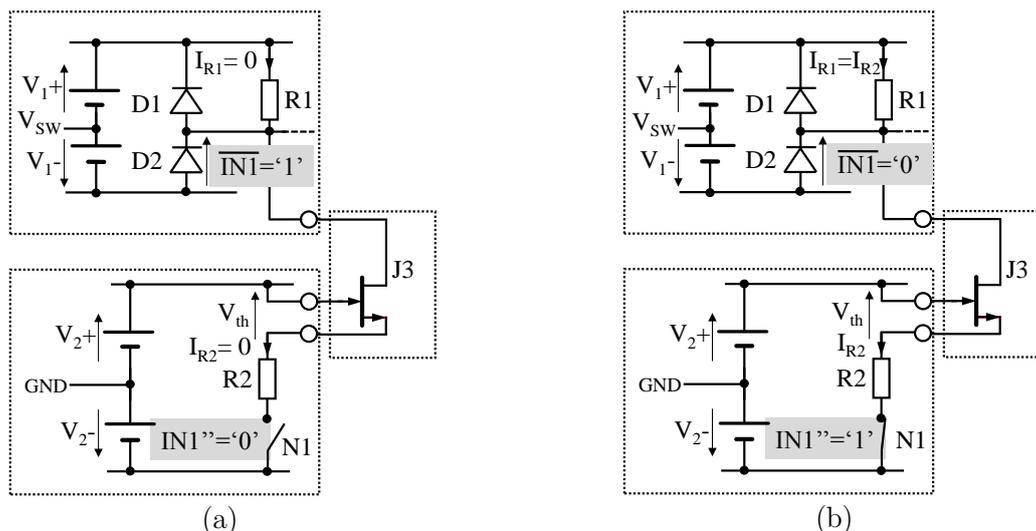


Figure II.62 : Circuit de décalage des niveaux de $\overline{IN1''}$ à $\overline{IN1}$: (a) lorsque $IN1''$ est à l'état bas aucun courant ne circule et $\overline{IN1}$ est à l'état haut, (b) lorsque $IN1''$ est à l'état haut un courant régulé circule et $\overline{IN1}$ est à l'état bas

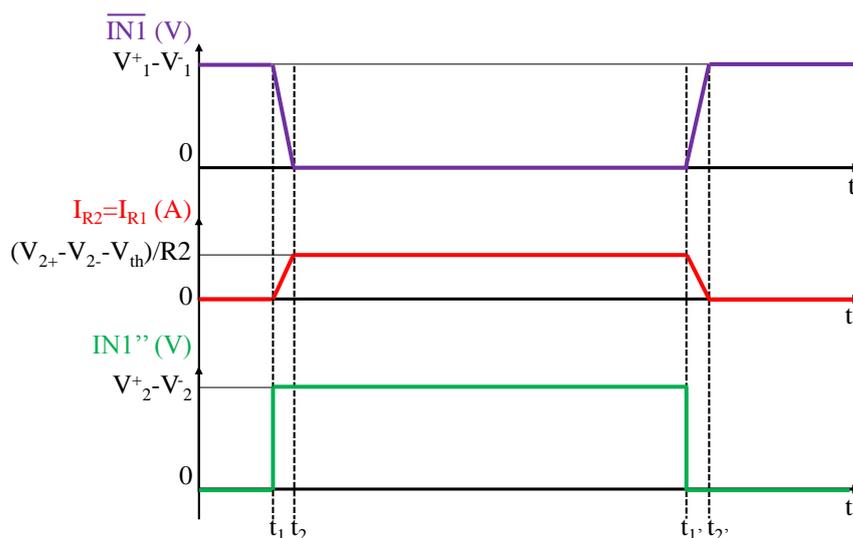


Figure II.63 : Chronogrammes des tensions et courants sur une période du circuit Level-Shifter proposé

Nous obtenons donc un circuit de décalage des niveaux simple, robuste par son régulateur de courant et très facilement intégrable au circuits de commande et de puissance du convertisseur de puissance synchrone comme le montre le schéma de la Figure II.64. Nous proposons à la manière des circuits de décalage des niveaux classique de transmettre des impulsions au travers du transistor J3 plutôt que des signaux continus afin de réduire fortement la consommation directe entre les parties High-Side et Low-Side du convertisseur. Ces impulsions sont échantillonnées au High-Side par une bascule D sur front descendant.

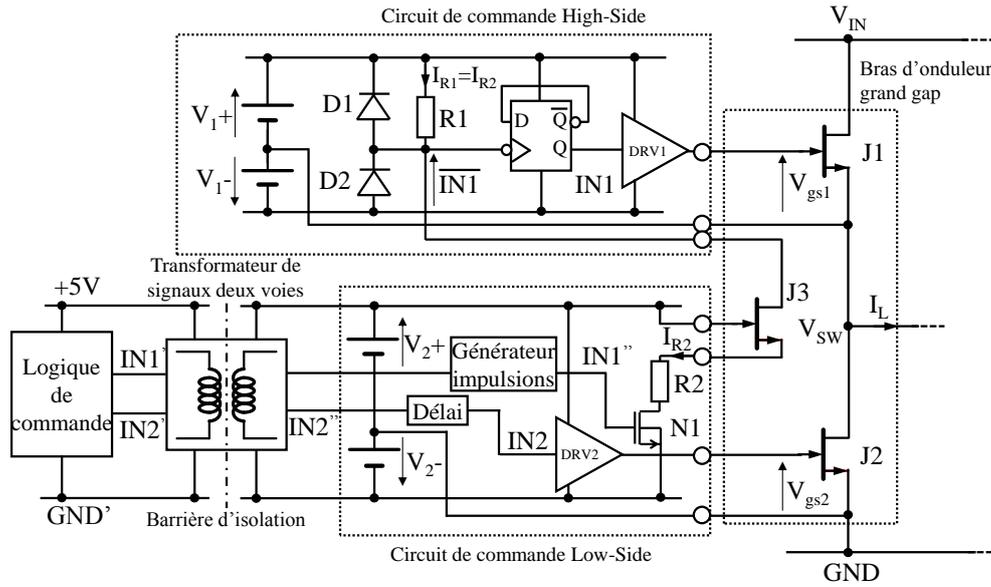


Figure II.64 : Schéma d'un convertisseur synchrone de puissance intégrant monolithiquement le circuit proposé de décalage de niveaux

II.5.3 Validation expérimentale

II.5.3.1 Conception d'un prototype de circuit de décalage des niveaux à base de JFET SiC

Afin de valider expérimentalement l'architecture proposée Figure II.61 de circuit Level-Shifter haute vitesse intégrant un régulateur de courant, nous avons réalisé un prototype à base de composants discrets. La photographie de ce prototype est visible ci-dessous sur la Figure II.65. Le transistor haute tension J3 prévu pour être monolithiquement intégré au bras d'onduleur grand gap est un JFET SiC 1200V/27A Normally-ON [38]. Le transistor de signal N1 est un MOSFET 50V/1A à canal N [110] et les résistances R1 et R2 sont choisies de même valeur 110Ω . Étant tributaires des composants grand gap disponibles, nous avons dû choisir un composant de puissance très largement surdimensionné et adapter le reste du circuit en conséquence. Or dans l'idéal, pour atteindre les performances réelles offertes par cette méthode, le composant haute tension doit être de faible calibre en courant avec de faibles capacités parasites et les composants basse tension doivent être intégrés monolithiquement aux circuits de commande SOI. Ce premier prototype n'est donc en aucun cas optimisé, mais il va déjà nous permettre de valider cette architecture intégrable monolithiquement et nous laisser entrevoir des performances dynamiques très intéressantes.

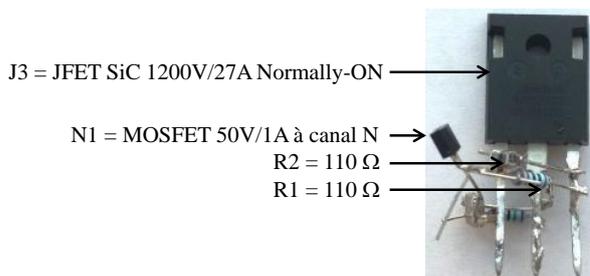


Figure II.65 : Photographie du prototype du circuit de décalage des niveaux réalisé en composants discrets

II.5.3.2 Résultats expérimentaux

Le prototype du circuit Level-Shifter intégrable monolithiquement a été testé dans la configuration d'un convertisseur de puissance synchrone de tensions d'entrée V_{IN} de 240V et commutant à la fréquence de 100kHz à 25°C. Les formes des courbes expérimentales des tensions du circuit de décalage des niveaux sont visibles sur la Figure II.66. Ces oscillogrammes ont été capturés en prenant pour référence la source du transistor N1 Low-Side en utilisant un couplage DC, ce qui permet d'apprécier le décalage effectif de 240V entre le signal de commande $IN1''$ référencé au Low-Side et le signal de commande $\overline{IN1}$ référencé au High-Side. Sur la Figure II.67, nous retrouvons ces mêmes courbes de tensions expérimentales mais cette fois avec un couplage AC de l'oscilloscope. Ce couplage AC nous permet d'apprécier le temps de propagation t_2-t_1 du signal $IN1''$ du Low-Side au High-Side. Les résultats expérimentaux mesurés sont répertoriés dans le Tableau II-10 et comparés aux autres circuits de l'état de l'art permettant de transmettre les signaux au transistor High-Side.

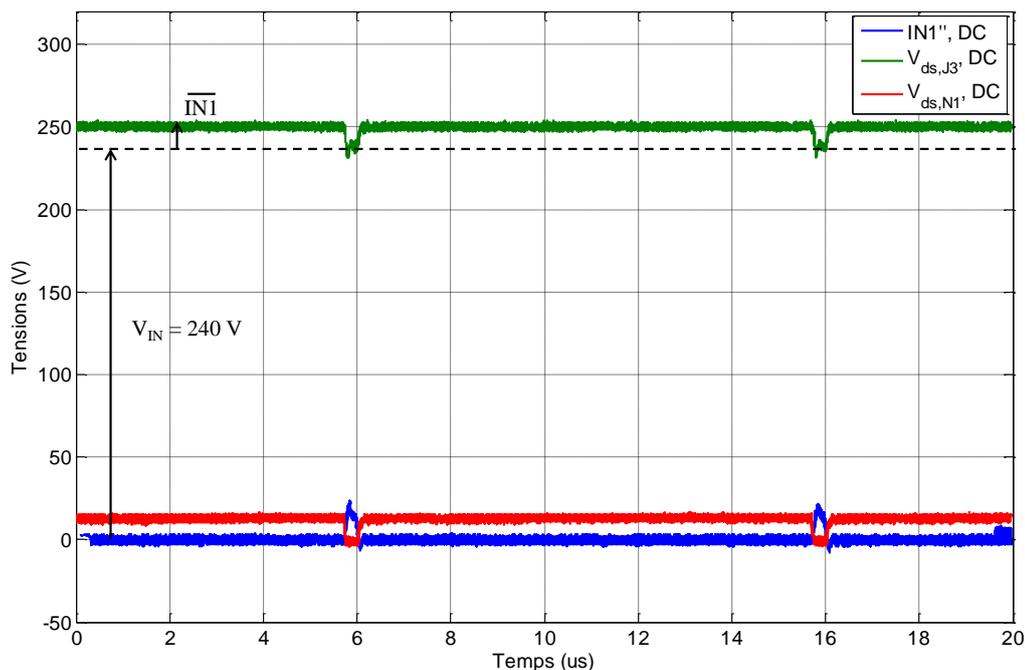


Figure II.66 : Formes des courbes de tensions expérimentales du circuit Level-Shifter commutant à 100kHz avec $V_{IN}=240V$ à 25°C

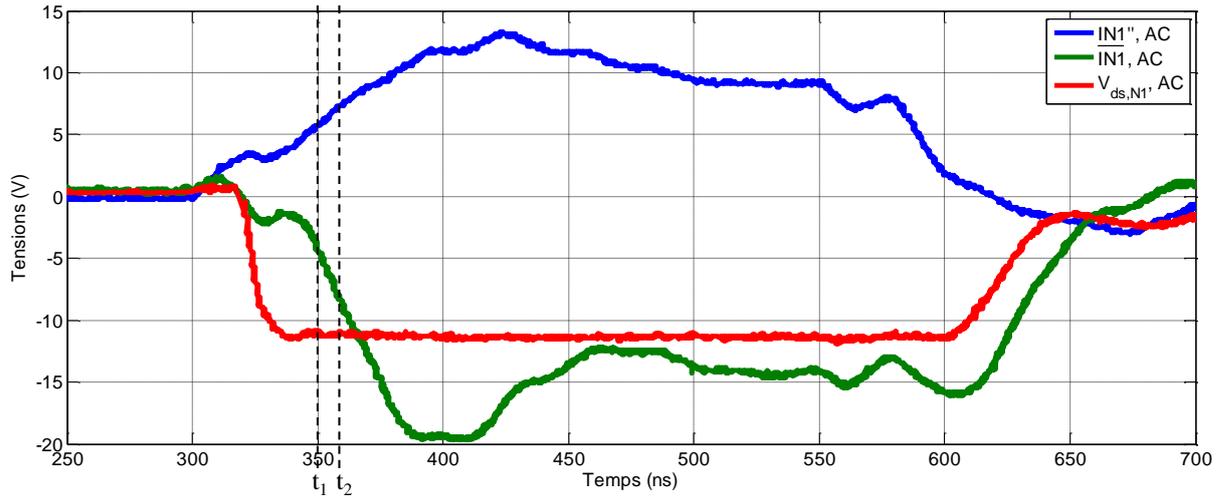


Figure II.67 : Formes des courbes de tensions expérimentales du circuit Level-Shifter avec $V_{IN}=240V$ visualisées avec un couplage AC à 25°C

Nous remarquons sur le Tableau II-10 que le courant I_{R2} circulant entre le High-Side et le Low-Side est bien régulé à une valeur de 110mA. Alors que sans cette régulation, le JFET SiC choisi peut rapidement atteindre un courant pic de 75A en court-circuit [38]. Avec une tension d'entrée V_{IN} de 240V, une fréquence de commutation de 100kHz et une largeur de pulse de 250 ns, le temps de propagation du signal $IN1''$ du Low-Side au High-Side est de seulement 10 ns pour un courant consommé de 1.85 mA sur l'alimentation High-Side du circuit de commande. Ce temps de propagation est mesuré à 50% du front montant de $IN1''$ jusqu'à 50% du front descendant du signal $\overline{IN1}$. Ce temps t_2-t_1 étant uniquement le temps de propagation du signal Low-Side $IN1''$ vers le High-Side, il ne prend pas en compte le temps de traversée du signal au travers du générateur d'impulsions et de la bascule D visible sur la Figure II.64. En considérant un temps de traversée typique de 3ns pour chacun de ces blocs nous faisons une première estimation du temps de propagation total t_P au travers du circuit Level-Shifter à 16 ns. Si nous considérons une variation commune de 30% du procédé industriel de fabrication de la partie intégrée au circuit de commande et de puissance nous estimons le décalage temporel des signaux au travers du translateur de niveaux à 6ns. En ajoutant un décalage supplémentaire de 10ns entre les temps de traversée des circuits DRV1 et DRV2 nous pouvons espérer fixer de manière sûre un temps mort court de 35ns.

Ces résultats expérimentaux mesurés à partir d'un premier prototype non optimisé valident l'architecture proposée d'un circuit Level-Shifter intégrable monolithiquement aux circuits de commande et de puissance pour s'adapter automatiquement aux contraintes de l'application. Si ce prototype témoigne déjà de hautes performances dynamiques, l'intégration hétérogène de ce circuit de décalage des niveaux aux circuits de commande SOI et de puissance grand gap est à présent nécessaire pour nous permettre de quantifier les gains réels apportés par une telle structure aux applications hautes températures, hautes tensions, hautes densités de puissance et hautes fréquences.

Tableau II-10 : Résultats expérimentaux mesurés sur le prototype du circuit Level-Shifter et comparés aux circuits de l'état de l'art

	Symboles	Prototype du Level-Shifter proposé	Transformateur d'impulsions [68]	Level-Shifter [70]
Température maximale	T_{\max}	250°C *	105°C	75 C
Tension de fonctionnement maximale	$V_{IN,\max}$	1000V (tension de claquage des interrupteurs de puissance)	800V	600V
Largeur du pulse	t_{pulse}	250 ns	12 ns	<200 ns
Courant d'alimentation	I_{V1-}	1.85 mA	1 mA	~ 1 mA
Courant régulé par le Level-Shifter	$I_{R2} = I_{R1}$	110 mA	-	Oui
Temps de propagation typique du signal de commande	t_P	10 ns + 6 ns* = 16 ns *	30 ns	100 ns
Décalage des temps de propagation du signal	$t_{\Delta P}$	6 ns *	10 ns	30 ns

* valeur estimée

II.6 Conclusion

Dans ce deuxième chapitre de thèse, nous avons proposé une méthode de caractérisation en dynamique d'un composant grand gap très flexible et large signal. Grâce à un stress thermique sensiblement réduit comparé à la méthode classique dite double pulse, le transistor grand gap caractérisé n'a plus de nécessité d'être mis en boîtier avec échange thermique spécifique. Cette méthode nous a permis d'étudier indépendamment l'impact du point de fonctionnement et de la température sur les commutations d'un JFET SiC jusqu'à un point de fonctionnement de 250V/20A et sous un flux de chaleur de 350°C avec une unique inductance de 600μH.

Afin de contrôler, en fonction du point de fonctionnement et de la température, les formes des courbes de la tension drain-source et du courant de source d'un composant grand gap à la commutation, nous avons proposé d'adapter celles de sa grille par un circuit de commande spécifique à impédance de sortie programmable. Le circuit driver fabriqué en technologie CMOS AMS 0.35μm 20V est capable de faire évoluer son impédance de sortie, d'une commutation à une autre, de 1Ω à plus de 12Ω, et ainsi de précisément ajuster les temps de montée et de descente de la tension de grille du transistor de puissance. Un détecteur de l'état du transistor commandé a été implémenté afin de garantir le meilleur maintien de sa grille avec une impédance minimale en fin de commutation. Dans un convertisseur de puissance Buck synchrone à base de composants grand gap, le circuit de commande proposé permet directement au niveau de la grille de réduire jusqu'à 40% les surtensions et 20% les sur-courants à la commutation. En contrepartie l'augmentation importante des durées de commutations augmente sensiblement les pertes par commutations ainsi que le retard à la commutation. Pour ces raisons nous préconisons d'adapter l'impédance de grille d'un composant grand gap en fonction de son environnement et de fortement coupler ses formes à la commutation que lorsque les surtensions et sur-courants deviennent critiques. Dans certains convertisseurs trop parasités, les performances des composants grand gap devront systématiquement être ramenées par le circuit de commande à celles de composants classiques silicium. Nous perdrons alors l'intérêt dynamique des composants grand gap mais conserveront leur capacité à fonctionner à haute température.

Pour tirer pleinement avantage des capacités haute tension, haute fréquence et haute température des composants grand gap nous avons conclu ce deuxième chapitre avec la proposition d'un circuit Level-Shifter intégrable monolithiquement et de manière couplée au circuit de commande SOI et de puissance grand gap. L'architecture du translateur de niveaux étudié intègre un régulateur de courant robuste et permet des transferts rapides de signaux entre deux potentiels haute tension dans un environnement haute température. Des résultats expérimentaux mesurés à 25°C à partir d'un premier prototype du Level-Shifter non optimisé témoignent déjà de hautes performances dynamiques. Avec un temps de décalage du signal de commande, du Low-Side au High-Side, de seulement 10 ns lorsque le convertisseur Buck synchrone est alimenté sous 250V, il est envisageable de réduire sûrement le temps mort. Dans le troisième et dernier chapitre de ce manuscrit nous proposons une technique d'autocommutation des transistors de puissance grand gap sans diodes permettant de supprimer virtuellement leur conduction en inverse sous le seuil grâce à un contrôleur dynamique de temps morts courts intégrable monolithiquement au circuit de commande.

L'AUTOCOMMUTATION DES COMPOSANTS GRAND GAP DANS UN CONVERTISSEUR SYNCHRONE

SOMMAIRE

III.1	INTRODUCTION.....	150
III.2	UN TEMPS MORT OPTIMAL DEPENDANT DU POINT DE FONCTIONNEMENT	151
III.2.1	Le point milieu capacitif d'un convertisseur synchrone.....	151
III.2.2	Impact du temps mort en fonction de la charge dans des convertisseurs synchrones à base de composants grand gap sans diodes.....	154
III.2.3	Un temps de commutation plus long à faible puissance requérant un temps mort plus long	159
III.2.4	Les convertisseurs à temps mort auto-adaptatif.....	161
III.3	L'AUTOCOMMUTATION : UNE GESTION LOCALE, DYNAMIQUE ET SECURISEE DU TEMPS MORT	165
III.3.1	Une cellule de commutation transistor/transistor idéale sans conduction en inverse sous le seuil.....	165
III.3.2	Utilisation de l'interférence entre High-Side et Low-Side pour la détection de l'ouverture du transistor opposé.....	167
III.3.3	Un mode « d'écoute » spécifique du circuit de commande facilitant la détection de l'ouverture du transistor opposé.....	172
III.4	CONCEPTION DE LA PUCE DE COMMANDE PERMETTANT L'AUTOCOMMUTATION DES COMPOSANTS.....	176
III.4.1	Dimensionnement de la partie commande	177
III.4.2	Dimensionnement de la fonction de détection de l'ouverture du transistor opposé	182
III.4.3	Dessin des masques	191
III.5	L'AUTOCOMMUTATION DES COMPOSANTS GRAND GAP DANS UN CONVERTISSEUR SYNCHRONE SANS DIODES.....	194
III.5.1	Caractérisation de la puce de commande pour l'autocommutation	194

III.5.2	Le convertisseur Buck de test	199
III.5.3	L'autocommutation des HEMTs GaN	201
III.5.4	L'autocommutation des JFETs SiC.....	205
III.6	CONCLUSION.....	211

III.1 Introduction

L'absence de diode interne entre drain et source de composants grand gap comme les HEMTs GaN et les JFETs SiC purement verticaux nous amène à repenser la cellule de commutation d'un convertisseur de puissance et *a fortiori* les circuits de commande de grille. Dans le premier chapitre de ce manuscrit nous avons proposé de supprimer les diodes Schottky externes habituellement placées en antiparallèle des composants de puissance afin de réduire le coût et le volume du système de conversion. Nous remarquons alors que si les performances dynamiques du convertisseur ne s'en retrouvaient aucunement dégradées, il n'en allait pas de même pour les performances statiques durant les temps morts. En effet de par l'absence de diodes, la conduction en roue-libre du courant durant les temps morts est assurée par les composants grand gap qui possèdent un mauvais état passant en inverse sous le seuil et génèrent alors de nombreuses pertes supplémentaires à ces instants. Dans ce chapitre de thèse nous introduisons une technique d'autocommutation des interrupteurs de puissance qui propose de minimiser voire de supprimer ces périodes de conduction en inverse des composants grand gap sans diodes.

Ce troisième chapitre débute par une étude théorique et expérimentale précise de l'impact de la durée des temps morts sur le rendement de deux convertisseurs Buck grand gap sans diodes en fonction du point de fonctionnement. Le premier convertisseur utilise des HEMTs GaN pour convertir une tension de 45V vers 10V pour une puissance nominale de 30W. Le second s'appuie sur des JFETs SiC pour convertir une tension de 250V vers une tension de 55V pour une puissance nominale de 500W. Les mesures expérimentales relevées sur ces convertisseurs grand gap sans diodes montrent l'existence de temps morts optimaux, généralement de très courtes durées exceptées pour des faibles courants de sortie. Dans l'idéal, les temps morts doivent donc être adaptés au point de fonctionnement du convertisseur, avec l'introduction éventuelle de marges de sécurité.

Dans la suite de ce chapitre nous introduisons une méthode d'adaptation dynamique et locale des temps morts courts en fonction du point de fonctionnement. Nous proposons de détecter le mode de conduction en inverse sous le seuil du composant de puissance directement au niveau de la grille dans le but d'intégrer monolithiquement aux circuits de commande un contrôleur de temps morts. Pour ce faire nous avons mis au point un mode « d'écoute » particulier schématisé sur la Figure III.1 et permettant à un circuit de commande de détecter facilement l'ouverture du transistor opposé afin d'autoriser la fermeture du composant qu'il pilote. Les composants sont ainsi autocommutés à la fermeture. Un signal renseignant le rapport cyclique de conversion est alors uniquement nécessaire, la gestion des temps morts étant à présent entièrement à la charge des circuits de commande. Un tel circuit de commande a été fabriqué en technologie CMOS AMS 0.35 μm 20V et fut implémenté dans les deux convertisseurs de puissance grand gap sans diodes de test. La technique d'autocommutation des composants de puissance est finalement validée expérimentalement et les gains en rendement quantifiés et comparés à la solution habituelle à temps morts fixes.

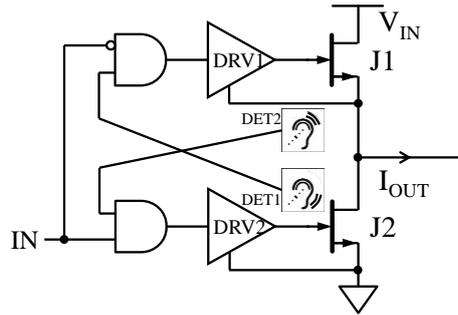


Figure III.1 : Schéma de principe du convertisseur synchrone dont les transistors sont commutés à la fermeture par détection de l'ouverture du transistor opposé

III.2 Un temps mort optimal dépendant du point de fonctionnement

Des convertisseurs de puissance à base de composants grand gap sans diodes ont déjà été présentés et étudiés dans [37], [46], [55], [83], [111]–[113]. En supprimant les diodes en antiparallèle des interrupteurs grand gap sans diode interne, le coût et la taille du système de conversion décroissent mais plus de pertes sont générées durant les temps morts [55], [83], [112], [113]. Ces pertes supplémentaires provenant du mode particulier de conduction en inverse sous le seuil des transistors grand gap sans diode (voir partie I.3.2.3) sont évaluées par méthode calorimétrique dans [83]. Comme précédemment démontré dans [83], [114], [115] dans un convertisseur de puissance DC-DC synchrone usuel, un temps mort optimal court existe et celui-ci dépend entre autres de la charge de sortie. Nous faisons dans cette partie l'étude de ce lien entre temps morts et charge de sortie en se basant sur des résultats de simulation et des mesures expérimentales de rendement de deux convertisseurs de puissance Buck synchrone à bases de HEMTs GaN et de JFETs SiC purement verticaux tous deux sans diodes en antiparallèle.

III.2.1 Le point milieu capacitif d'un convertisseur synchrone

La topologie d'un convertisseur Buck synchrone haute tension classique à base de composants grand gap est représentée sur le schéma de la Figure III.2. Ce schéma est semblable à celui du convertisseur synchrone précédemment étudié au premier chapitre en partie I.5.1 de ce manuscrit à la différence que celui-ci met en avant les capacités parasites des composants J1 et J2 et la capacité C_{com} du mode commun au point milieu qui, comme nous allons le voir ont un impact significatif sur les formes d'ondes des tensions et courants. Chaque transistor de puissance est commandé entre grille et source par un circuit Driver classique DRV1 ou DRV2 alimenté entre V^+ et V^- . Nous considérerons par la suite que le fonctionnement d'un convertisseur Buck ou d'un onduleur monophasé à l'échelle de la commutation est identique. Toutes les explications, courbes, améliorations présentées ou faites dans ce chapitre et prenant pour sujet un convertisseur Buck synchrone sont compatibles avec un onduleur monophasé de même caractéristiques en puissance, tension et fréquence de commutation.

La Figure III.3 présente les chronogrammes schématiques des tensions et courants au sein du convertisseur Buck à base de composants grand gap sans diode pour un courant de sortie I_L positif. Contrairement au chronogramme simplifié détaillé en partie I.5.1 comportant quatre

phases principales, le chronogramme ci-dessous comporte une phase supplémentaire à l'ouverture de J1.

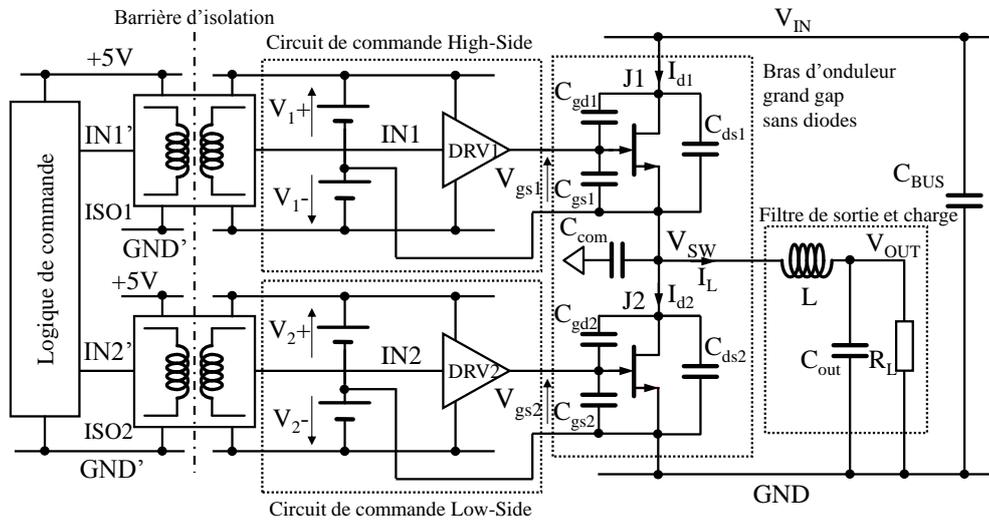


Figure III.2 : Schéma d'un convertisseur Buck synchrone haute tension à base de composants grand gap sans diodes

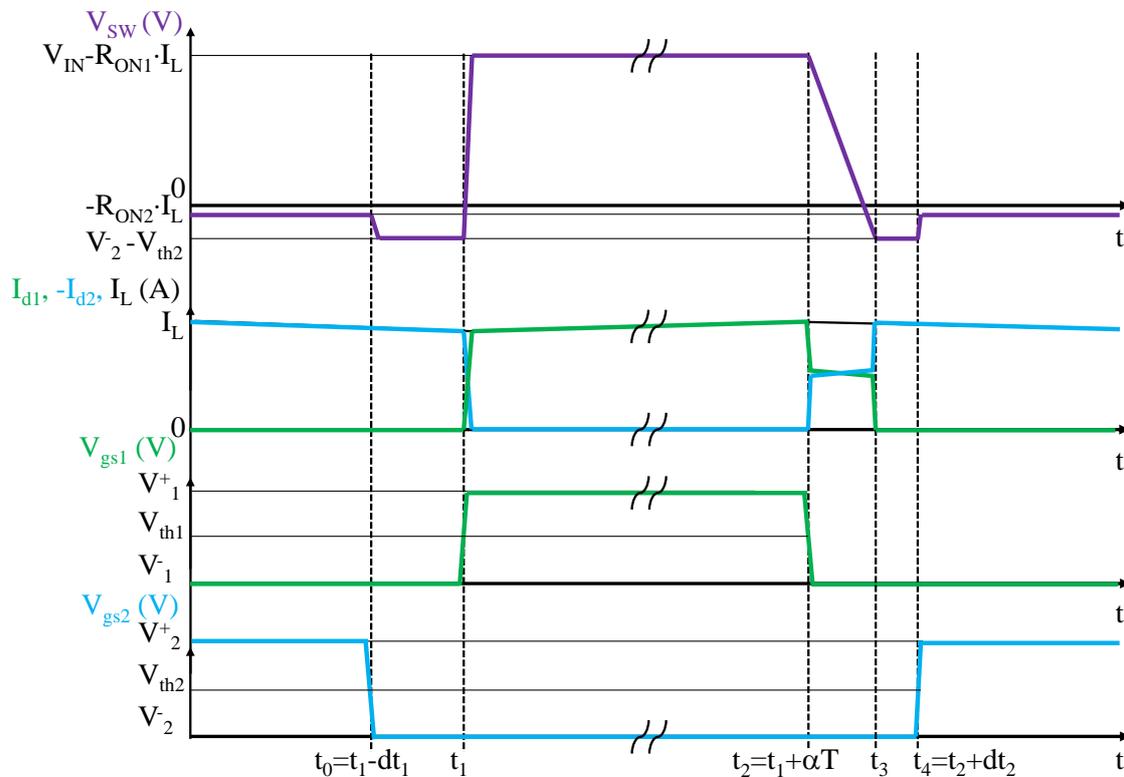


Figure III.3 : Chronogrammes des tensions et courants au sein du convertisseur Buck à commutation synchrone/naturelle à base de composants grand gap sans diodes pour un courant de sortie I_L positif

Ce convertisseur Buck à commutation synchrone/naturelle à base de composants grand gap sans diodes fonctionne donc selon cinq phases principales:

- Avant l’instant t_0 , le transistor J2 est fermé et conduit le courant avec une chute de tension minimale. Le potentiel au point milieu V_{SW} est quasiment nul.
- A l’instant t_0 , la commande de J2 passe à l’état bas, commence le premier temps mort dt_1 . Le courant dans l’inductance I_L étant continu, il force le passage au travers de J2 qui conduit alors le courant sous le seuil avec une chute de tension à ses bornes importante approximée par l’équation (I.11) à la valeur $V_2^- - V_{th2}$.
- A l’instant t_1 , le transistor J1 se ferme. Ce dernier conduit quasiment instantanément la totalité du courant I_L avec une chute de potentiel minimale. Le potentiel au point milieu V_{SW} croît alors très rapidement pour atteindre une valeur proche du potentiel de l’alimentation d’entrée V_{IN} .
- A l’instant t_2 , le transistor J1 s’ouvre, débute alors le second temps mort dt_2 . Le potentiel au point milieu V_{SW} constitue un nœud hautement capacitif à cause des capacités parasites de sortie C_{oss} de chaque transistor et la capacité de mode commun du circuit C_{com} . Ce nœud capacitif V_{SW} est déchargé entre les instants t_2 à t_3 du potentiel V_{IN} à la valeur négative $V_2^- - V_{th2}$ à courant constant I_L . Plus le courant de sortie I_L est important, plus rapide sera la chute du potentiel au point milieu.
- A l’instant t_3 , le potentiel au point milieu a chuté en dessous de $V_2^- - V_{th2}$ ce qui a pour effet de déclencher la conduction forcée sous le seuil du transistor J2.
- A l’instant t_4 , le temps mort dt_2 s’achève par la commande à la fermeture du transistor J2 qui continue de conduire le courant I_L mais au-dessus du seuil avec une chute de tension à ses bornes qui devient minimale comme avant l’instant t_0 .

Les capacités parasites C_{oss} et C_{com} au point milieu ont un impact sur le rendement du convertisseur avec des pertes liées à la charge/décharge de ces capacités données par l’équation (III.1) et sur les formes des tensions et courants avec un temps de décharge complète du point milieu $t_{F,V_{sw,m}}$ exprimé par l’équation (III.2). Plus le courant dans l’inductance I_L sera faible et plus le temps de chute du potentiel V_{SW} à l’ouverture de J1 sera long. En prenant en compte le temps de décharge du point milieu $t_{F,V_{sw,m}}$ et pour dt_1 et dt_2 supérieurs à ce temps, les pertes P_{dt} durant les temps mort s’expriment de manière simplifiée selon l’équation (III.3). Nous remarquons alors que ces pertes P_{dt} dépendent toujours du courant dans l’inductance I_L mais aussi du temps de décharge du point milieu V_{SW} . L’influence de ces pertes sur le rendement a été caractérisée expérimentalement dans la partie suivante en fonction de la puissance de sortie pour deux convertisseurs de puissance Buck à base de composants grand gap sans diodes internes ou externes en antiparallèle.

$$P_C = \left(C_{oss} + \frac{C_{com}}{2} \right) \cdot (V_{IN} - V_2^- + V_{th2})^2 \cdot f \quad (III.1)$$

$$t_{F,V_{sw,m}} = t_3 - t_2 \approx (2C_{oss} + C_{com}) \cdot \frac{V_{IN}}{I_L} \quad (III.2)$$

$$P_{dt} = (V_2^- + V_{th2}) \cdot (dt_1 + dt_2 - t_{F,V_{sw,m}}) \cdot I_L \cdot f \quad (III.3)$$

III.2.2 Impact du temps mort en fonction de la charge dans des convertisseurs synchrones à base de composants grand gap sans diodes

Nous avons évalué l'influence des temps morts sur le rendement de conversion en fonction de la charge de sortie d'un convertisseur grand gap sans diodes. Une étude paramétrique basée sur des résultats de simulation nous permet de visualiser les tendances d'évolution du rendement de conversion en fonction du temps mort. Nous poursuivons ensuite cette étude par des mesures expérimentales effectuées sur toute l'étendue de la puissance de sortie d'un convertisseur Buck 45V vers 10V de 30W à base de HEMTs GaN et d'un convertisseur Buck 250V vers 55V de 500W à base de JFETs SiC purement verticaux.

III.2.2.1 Etude basée sur la simulation

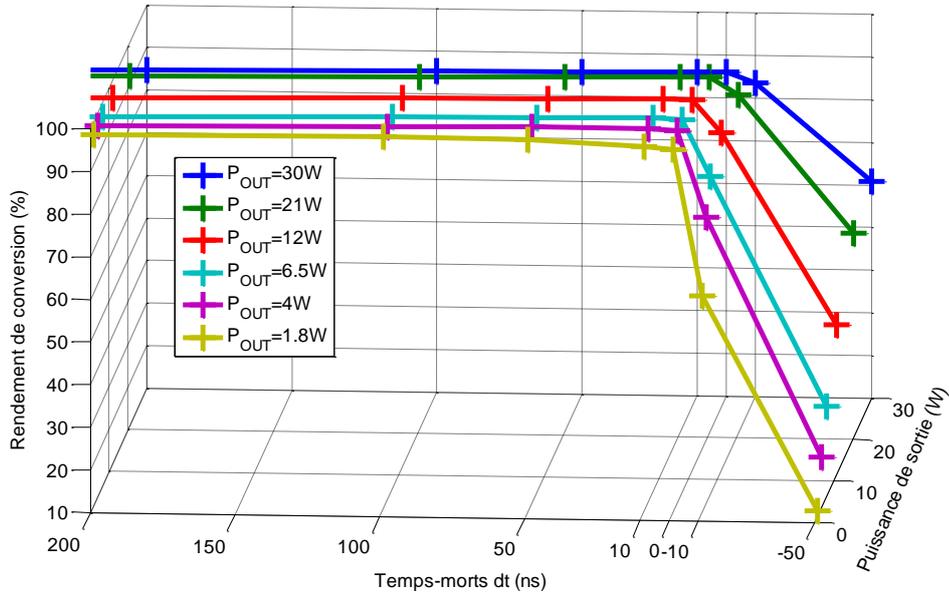
Nous avons dans un premier temps étudié par simulation le comportement d'un convertisseur Buck à base de composants grand gap sans diode l'impact du temps mort sur un large spectre. L'intérêt de cette simulation réside principalement dans le fait que nous pouvons aisément étudier l'impact de temps morts courts, même négatifs, ce qui est en pratique difficile à cause de la casse des interrupteurs. Le schéma du circuit simulé est encore une fois celui d'un convertisseur Buck 45V vers 10V à base de HEMTs GaN EPC2007 [39] commutant à 100kHz dont la topologie est donnée par la Figure III.2. L'inductance L est fixée à 150 μ H et nous faisons varier la charge R_L pour modifier la puissance de sortie. Les valeurs des inductances parasites sont toujours fixées à 4nH dans la maille de commutation de puissance et à 1nH dans celle de commande. Chaque interrupteur est piloté entre -2.5V et +3.3V par un circuit de commande en tension d'impédance de sortie 1 Ω . La chute de tension V_{ds} de ces composants lorsqu'ils conduisent en inverse sous le seuil est typiquement de -4V.

La Figure III.4 présente l'évolution du rendement du convertisseur Buck grand gap sans diodes en fonction de la longueur des temps morts dt_1 et dt_2 (200ns, 100ns, 50n, 10ns, 0ns, -10ns et -50ns) et de la puissance de sortie de 2W à 30W. Le rendement de conversion est calculé en régime permanent sur vingt périodes comme le rapport de la moyenne du produit de la tension et du courant d'entrée par la moyenne du produit de la tension et du courant de sortie. Sur toute la plage de puissance de sortie le convertisseur Buck fonctionne en régime de conduction continue. Nous constatons sur la Figure III.4 (a) que :

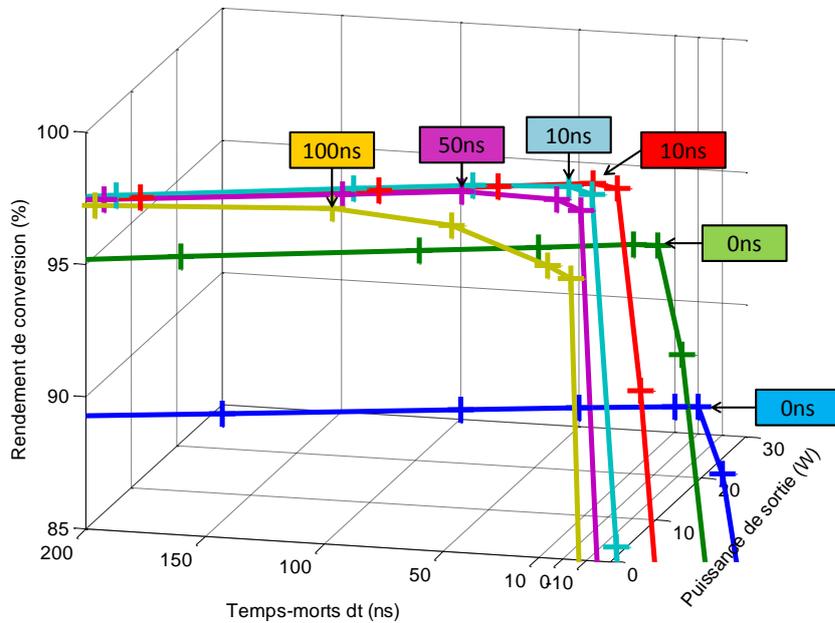
- Le rendement de conversion est élevé sur toute la plage de puissance de sortie lorsque la longueur des temps morts reste positive ou nulle
- Dès que les temps morts deviennent négatifs, le rendement de conversion chute très rapidement même avec un recouvrement faible des signaux de commande. Par exemple pour la puissance de sortie la plus faible de 1.8W le rendement chute de 34 points lorsque la longueur des temps morts dt_1 et dt_2 passe de 0 ns à -10 ns.

La Figure III.4 (b) ci-dessous est semblable à la Figure III.4 (a) mais l'échelle en hauteur est à présent centrée sur les rendements les plus élevés afin de mieux apprécier les variations plus faibles. Nous observons pour une puissance de sortie donnée une longueur optimale de temps morts permettant d'atteindre un rendement maximum. Cet optimal s'étend de 100ns pour les puissances de sortie les plus faibles à 0 ns pour les puissances les plus fortes.

Nous préfigurons grâce à ces courbes l'intérêt d'avoir des temps morts courts adaptables au point de fonctionnement du convertisseur. Mais derrière les bénéfices apportés par ces temps morts très courts se cachent un risque important de conduction simultanée des interrupteurs de puissance qui a un impact immédiat sur le rendement et la robustesse du convertisseur. Nous allons par la suite quantifier plus précisément par des mesures expérimentales l'impact du temps mort en fonction de la puissance de sortie de deux convertisseurs de puissance grand gap sans diodes.



(a)



(b)

Figure III.4 : Rendement du convertisseur Buck 45V/10V à base de HEMTs GaN commutant à 100kHz en fonction des temps morts et de la puissance de sortie (a) sur toute la plage d'étude (b) sur la plage de rendement la plus élevée pour apprécier la longueur optimale des temps morts

III.2.2.2 Observation par mesures expérimentales

III.2.2.2.1 Convertisseur Buck 45V/10V 30W à base de HEMTs GaN

Le premier convertisseur de test est un convertisseur Buck 45V vers 10V à base de HEMTs GaN 100V/6A EPC2007 [39] tout à fait semblable au circuit précédemment simulé. Les composants GaN utilisés sont des transistors Normally-OFF de tension de seuil typique +1.4V. Nous les commandons avec un circuit de commande d'impédance de sortie d'environ 1Ω entre une tension V^- de -2.5V et V^+ de +3.3V. Ces niveaux de tension permettent de bien bloquer et de bien rendre passant les interrupteurs tout en limitant le courant de fuite, les remises en conduction parasites et les risques de destruction. La chute de tension V_{ds} aux bornes du transistor Low-Side J2 est selon l'approximation de l'équation (I.11) égale à $-2.5-1.4\approx-4V$ ce qui se vérifie en pratique. Les formes des courbes de tensions de ce convertisseur de puissance commutant à 100kHz avec des temps morts dt_1 et dt_2 égaux à 200ns sont visibles sur la Figure III.5. Nous retrouvons les cinq phases de fonctionnement de la Figure III.3 précédemment détaillées.

Le rendement de conversion a été mesuré expérimentalement sur ce convertisseur Buck commutant à 100kHz en fonction de la puissance de sortie P_{out} pour différentes longueurs de temps morts. La mesure du rendement de conversion ne prend pas en compte la consommation des circuits de commande. Des multimètres de précision, Agilent 34411A et 34405A de calibre en courant 1000V/3A et 1000V/10A ont été utilisés pour la mesure de la puissance d'entrée et la puissance de sortie. Les mesures absolues de rendement sont données à 0.4% près dans le pire cas. L'écart relatif entre deux valeurs de rendement pour une puissance de sortie donnée est précis à 0.03% près. Les temps morts dt_1 et dt_2 sont fixés à une longueur égale, supérieure à 50ns afin de prévenir des risques de conduction simultanée liés aux problèmes d'appariement des signaux de commande High-Side et Low-Side comme étudié en partie I.5.3. La Figure III.6 présente ces mesures expérimentales du rendement de conversion sur l'étendue complète de puissance de sortie P_{out} de 2.5W à 28W du convertisseur pour différentes valeurs de temps morts de 50ns à 200ns. Nous remarquons que :

- Le rendement pic maximum de 94.8% est atteint à 10W de puissance de sortie pour des temps morts de 50ns.
- A plus forte charge, la longueur des temps morts la plus adaptée est encore la plus courte, 50ns et la moins adaptée est la plus longue, 200ns.
- A plus faible charge, typiquement en dessous de 5W (17% de la puissance nominale) la longueur de temps mort la plus adaptée est 100ns et la pire 200ns.

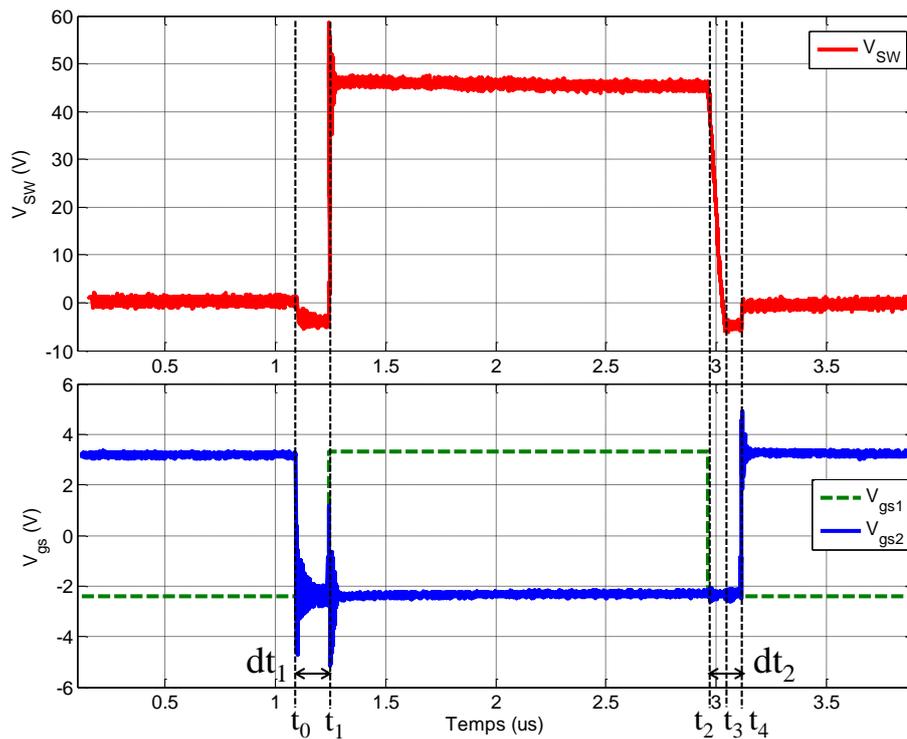


Figure III.5: Formes d'ondes expérimentales de tensions du convertisseur Buck 45V/10V à base de HEMTs GaN commutant à 100kHz avec des temps morts de 200ns

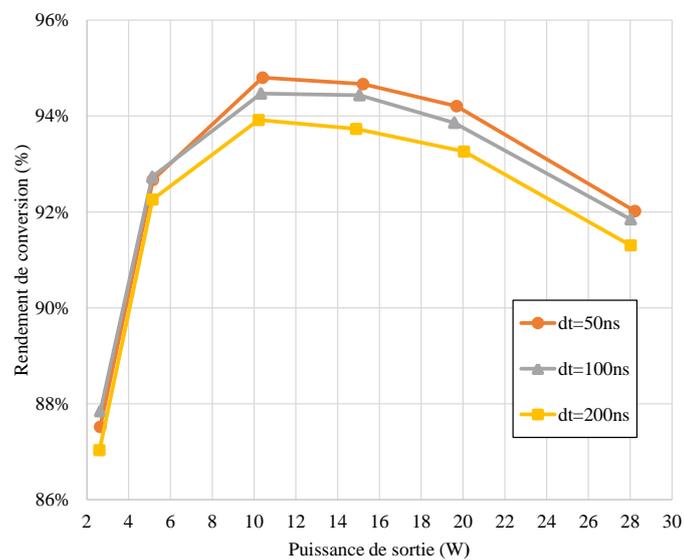


Figure III.6: Rendement expérimental en fonction de la puissance de sortie du convertisseur Buck 45V vers 10V à base de HEMTs GaN commutant à 100kHz avec des temps morts de 50ns à 200ns

III.2.2.2.2 Convertisseur Buck 250V/55V 500W à base de JFETs SiC

Le second convertisseur de test est un convertisseur Buck à base de JFETs SiC purement verticaux SJD120R085 [38]. Ce convertisseur est semblable au précédent, il utilise la même carte et le même circuit de commande qui seront détaillés en partie III.5.2 de ce chapitre. Ces composants SiC sont des transistors Normally-ON de tension de seuil typique $-5V$. Nous les commandons avec le circuit de commande d'impédance de sortie 1Ω entre une tension V^- de $-10V$ et V^+ de $0V$. La chute de tension V_{ds} aux bornes du transistor Low-Side J2 est selon l'approximation de l'équation (I.11) égale à $-10+5\approx-5V$. Les formes des courbes de tension de ce convertisseur de puissance commutant à $100kHz$ avec des temps morts dt_1 et dt_2 égaux à $200ns$ sont visibles sur la Figure III.7. Nous retrouvons les cinq phases de fonctionnement de la Figure III.3 précédemment détaillées.

Le rendement de conversion a été mesuré expérimentalement sur ce convertisseur Buck de $250V$ vers $55V$ commutant à $100kHz$ les JFETs SiC purement verticaux. La Figure III.8 présente les mesures expérimentales du rendement de conversion sur l'étendue complète de puissance de sortie P_{out} de $18W$ à $500W$ du convertisseur pour différentes valeurs de temps morts de $50ns$ à $200ns$. Nous remarquons que :

- Le rendement pic maximum de 95.7% est atteint à $280W$ de puissance de sortie pour les temps morts les plus courts d'une durée de $50ns$.
- A plus forte puissance, la longueur des temps morts la plus adaptée est encore la plus courte et la moins adaptée est la plus longue, $200ns$.
- A faible puissance, typiquement en dessous de $20W$ (4% de la puissance de sortie nominale) la longueur de temps mort le plus adaptée est $100ns$ et la pire $200ns$.

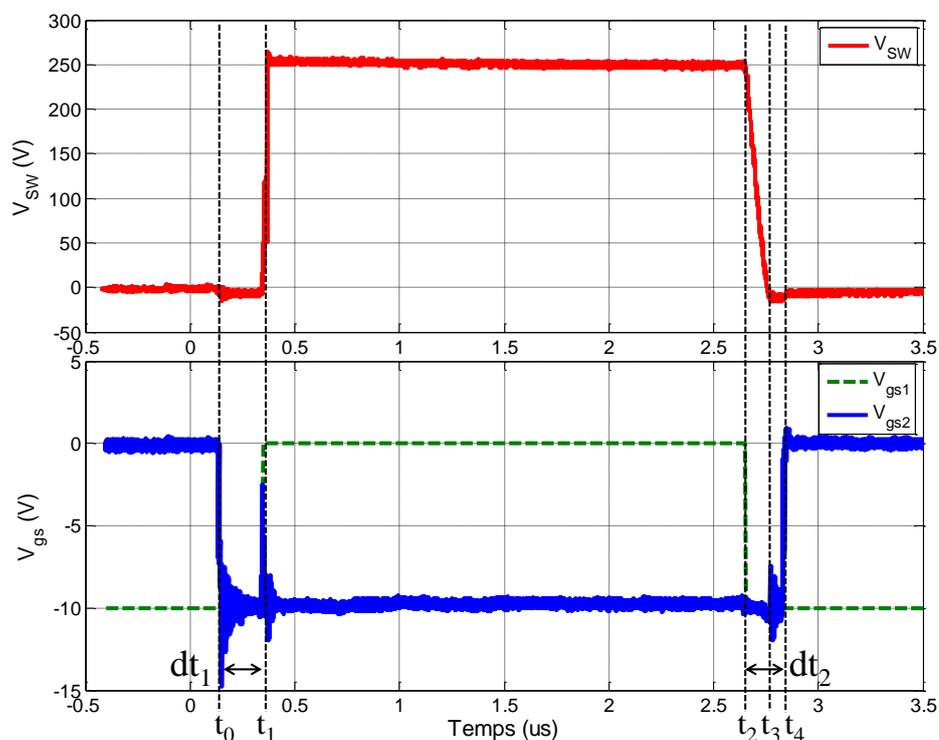


Figure III.7: Formes d'ondes expérimentales de tensions du convertisseur Buck 250V/55V à base de JFETs SiC purement verticaux commutant à $100kHz$ avec des temps morts de $200ns$

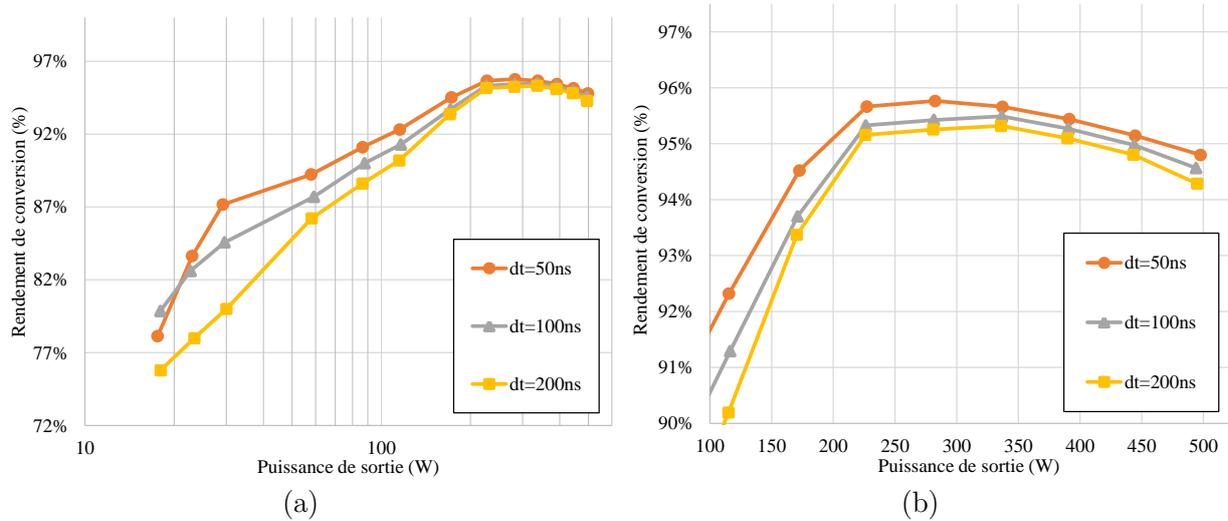


Figure III.8: Rendement expérimental en fonction de la puissance de sortie du convertisseur Buck 250V vers 55V à base de JFETs SiC purement verticaux commutant à 100kHz avec des temps morts fixes de 50ns à 200ns tracé selon (a) une échelle logarithmique et (b) une échelle linéaire

III.2.3 *Un temps de commutation plus long à faible puissance requérant un temps mort plus long*

D'après les résultats expérimentaux détaillés ci-dessus, à faible puissance de sortie du convertisseur, le temps mort le plus court n'est pas le plus adapté. Le rendement de conversion est effectivement meilleur pour les deux convertisseurs grand gap sans diode faiblement chargés lorsque les temps morts ont une longueur intermédiaire, par exemple de 100ns. Pour comprendre la raison de ce phénomène il nous faut étudier la forme des courbes des tensions du convertisseur à faible puissance de sortie lors de l'ouverture du transistor High-Side J1. La Figure III.9 et la Figure III.10 présentent ces courbes de tensions à l'ouverture de J1 pour les convertisseurs à base de HEMTs GaN et celui à base de JFETs SiC commutant avec des temps morts de longueurs 50ns à 200ns et une puissance de sortie faible de respectivement 2.5W et 18W.

Nous constatons que lorsque la puissance de sortie est faible et le temps mort dt_2 court, le courant dans l'inductance I_L est trop faible pour décharger complètement le point milieu capacitif V_{SW} avant la fin du temps mort dt_2 . Sur les figures ci-après, lorsque les temps morts sont inférieurs à 100ns pour le convertisseur GaN ou 200ns pour le convertisseur SiC, le transistor J2 se ferme avant la fin du temps $t_{F,V_{sw,m}}$ donné par l'équation (III.2) nécessaire à la décharge complète du point milieu. En court-circuitant le point milieu V_{SW} à la masse, le transistor Low-Side réalise une commutation dure, une part importante des charges capacitives sont alors évacuées par ce dernier. En choisissant un temps mort court pour réduire les pertes par conduction en inverse sous le seuil mais assez long pour que la charge de sortie ait le temps de consommer entièrement les charges capacitives du point milieu, le transistor Low-Side J2 peut réaliser une commutation douce à zéro de tension (Zero Voltage Switching ZVS en anglais) et ainsi fortement réduire les pertes par commutation du point milieu capacitif. Le Tableau III-1

donne les pertes par commutation du transistor Low-Side dans ces deux convertisseurs pour les trois durées de temps morts. Ces données sont extraites par simulation des convertisseurs commutant précisément sur les mêmes points de fonctionnement que ceux de la Figure III.9 et de la Figure III.10. Nous pouvons espérer par cette technique de commutation douce jusqu'à un gain d'un facteur dix sur les pertes par commutation à la fermeture de J2. La commutation à la fermeture de J1 étant toujours une commutation dure, le temps mort dt_1 le plus court est toujours à préconiser. Pour un courant dans l'inductance I_L négatif plutôt que positif, c'est le composant High-Side J1 qui fait circuler en roue-libre le courant et le problème est alors entièrement symétrique.

Nous proposons donc un temps mort adaptatif dt_2 en fonction de la charge de sortie et un temps mort dt_1 le plus court possible. Un temps mort dt_2 très court est pertinent sur une large étendue de puissance de sortie mais un temps mort plus long est recommandé aux puissances les plus faibles. Avec un tel convertisseur de puissance grand gap sans diode nous nous approchons du fonctionnement d'un convertisseur purement synchrone auquel nous permettons à la fermeture et à l'ouverture du transistor conduisant le courant en inverse une commutation douce dans le but d'atteindre le meilleur rendement de conversion possible.

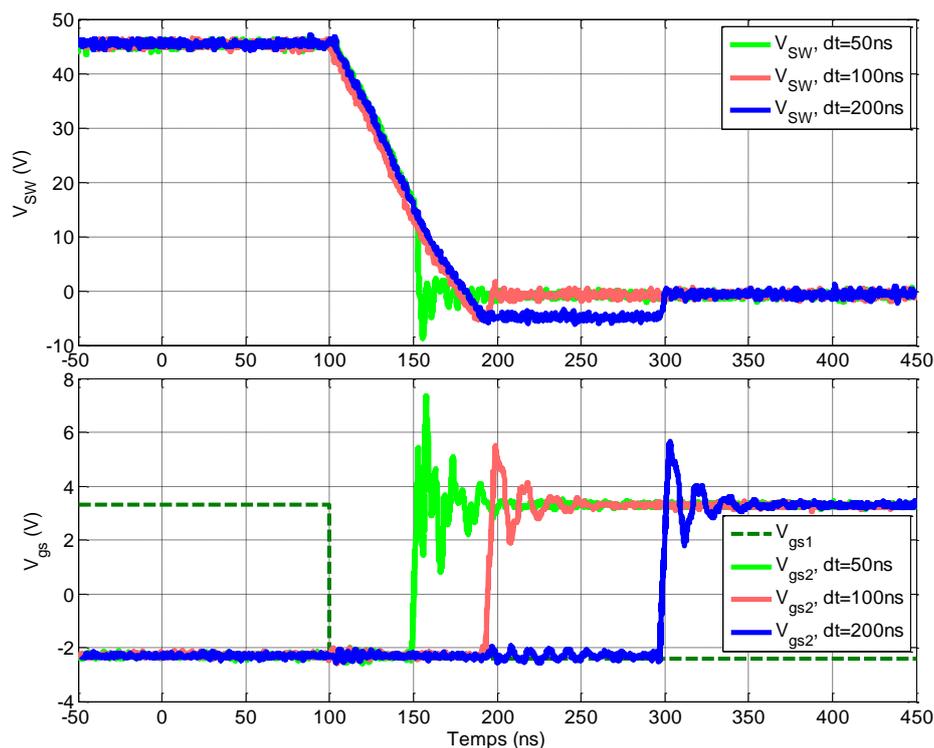


Figure III.9 : Formes d'ondes expérimentales des tensions à l'ouverture du transistor High-Side J1 du convertisseur Buck à base de HEMTs GaN faiblement chargé avec une puissance de sortie de 2.5W

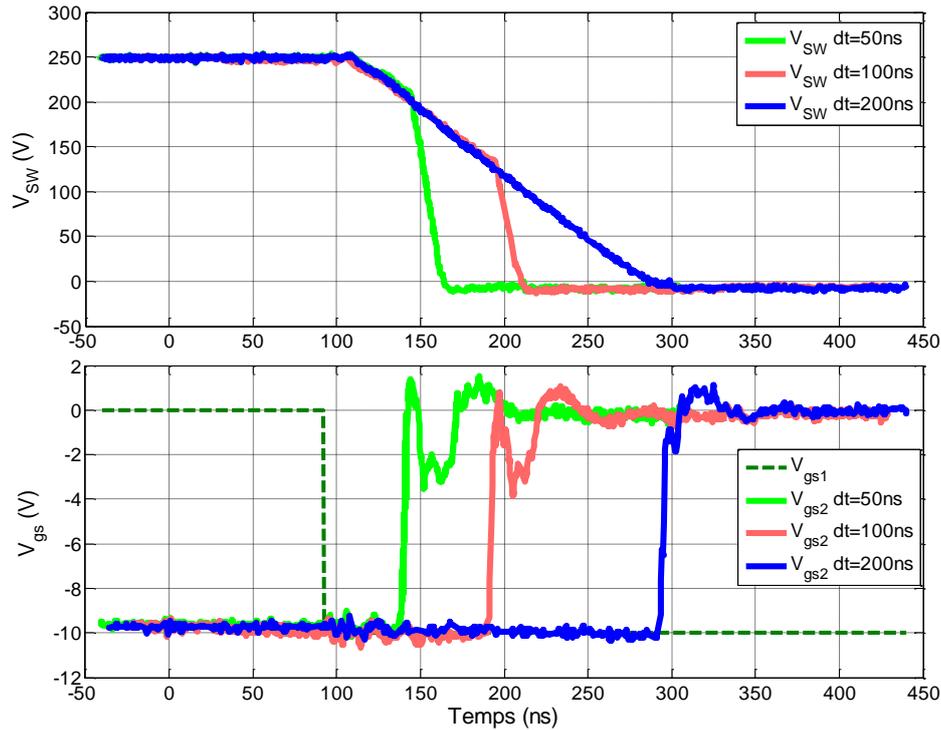


Figure III.10: Formes d'ondes expérimentales des tensions à l'ouverture du transistor High-Side J1 du convertisseur Buck à base de JFETs SiC faiblement chargé avec une puissance de sortie de 18W

Tableau III-1 : Pertes par commutation à la fermeture du transistor Low-Side extraites par simulation des convertisseurs Buck grand gap faiblement chargés

Pertes par commutation du transistor Low-Side	$dt_2 = 50 \text{ ns}$	$dt_2 = 100 \text{ ns}$	$dt_2 = 200 \text{ ns}$
Convertisseur GaN 45V/10V, $P_{\text{OUT}}=2.5\text{W}$	0.21 μJ	0.19 μJ	0.19 μJ
Convertisseur SiC 250V/55V, $P_{\text{OUT}}=18\text{W}$	3.6 μJ	2.0 μJ	0.4 μJ

III.2.4 Les convertisseurs à temps mort auto-adaptatif

Même si les pertes générées durant les temps morts sont plus faibles que dans un convertisseur à base de composants grand gap sans diode, celles d'un convertisseur de puissance à base de MOSFETs n'en demeurent pas moins pénalisantes. C'est pourquoi des techniques d'auto-adaptation des temps morts appliquées à ces convertisseurs ont déjà été proposées et mises au point afin de réduire la durée de conduction de la diode de roue-libre et donc les pertes durant les temps morts. Nous allons dans cette partie faire une étude succincte de ces techniques en s'interrogeant sur la possibilité de leur utilisation au sein d'un convertisseur de puissance grand gap haute tension.

III.2.4.1 Détection de la conduction de la diode au niveau du point milieu

Afin d'adapter dynamiquement le temps mort de manière sûre en fonction du point de fonctionnement et de la température une technique très répandue propose de détecter la conduction du courant par la diode de roue-libre durant les temps morts directement au niveau du point milieu V_{SW} [116]–[123]. Sur la Figure III.11 est représenté un tel convertisseur de

puissance synchrone [120] dont les temps morts sont réduits dynamiquement et à la volée par détection du passage en négatif du potentiel du point milieu. Les formes des courbes de tensions associées à ce convertisseur sont visibles sur la Figure III.12. Le fonctionnement est relativement simple :

- Lorsque le signal IN passe à l'état bas, le transistor Q1 s'ouvre immédiatement et le potentiel au point milieu V_{SW} chute. Une porte logique NOR prenant en entrée le potentiel V_{SW} et la tension grille-source $V_{GS,Q2}$ a pour tension de basculement la tension de seuil V_{th} de Q2. Lorsque le point milieu passe en dessous de ce seuil V_{th} la sortie de la porte NOR passe de l'état bas à l'état haut, signe que le transistor Q2 peut se fermer immédiatement. En procédant ainsi le temps mort dt_2 est fortement réduit tout en ayant l'assurance que Q1 soit effectivement complètement ouvert.
- Lorsque le signal IN passe à l'état haut, le transistor Q2 s'ouvre immédiatement, la diode de roue-libre en antiparallèle conduit le courant de sortie et le potentiel V_{SW} chute à cause du moins bon état passant de la diode. Un comparateur à seuil négatif, ici $-0.3V$, détecte la conduction de cette diode et passe sa sortie à l'état haut. Le transistor High-Side Q1 en est informé et se ferme. De même que pour le temps mort dt_2 , le temps mort dt_1 est fortement réduit tout en ayant l'assurance que Q2 soit effectivement complètement ouvert.

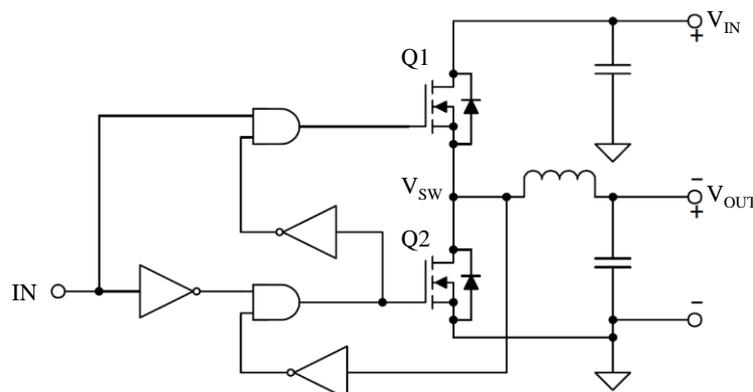


Figure III.11 : Schéma d'un convertisseur de puissance synchrone à temps morts auto-adaptatifs par détection de la conduction de la diode au niveau du point milieu [120]

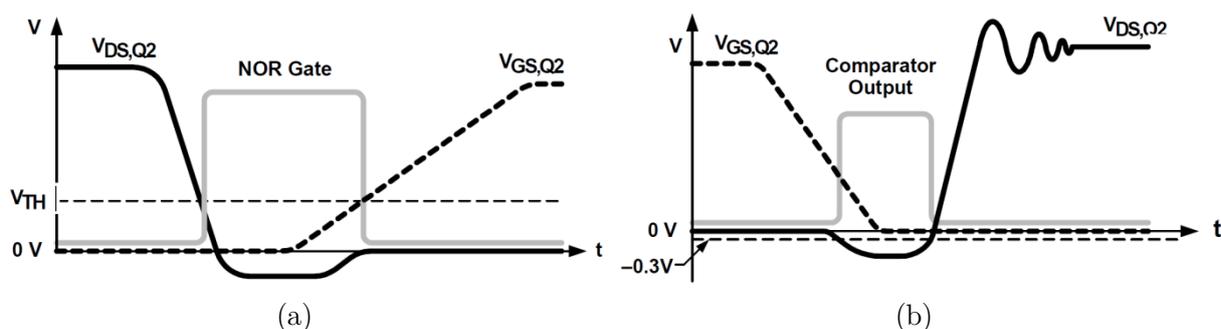


Figure III.12 : Formes des tensions d'un convertisseur à temps morts auto-adaptatifs par détection de la conduction de la diode durant le temps mort (a) à l'ouverture de Q1 et (b) à l'ouverture de Q2 [120]

Cette technique d'adaptation dynamique du temps mort par détection de l'ouverture du transistor au niveau du point milieu s'avère être efficace et sûre dans des convertisseurs de puissance synchrone basse tension. Dès lors que nous souhaitons adapter cette technique à un convertisseur de puissance haute tension, les détecteurs de croisement des seuils par le point milieu V_{SW} doivent être capables de tenir en tension la totalité de la dynamique de variation du potentiel V_{SW} . Ces comparateurs sur faible tension de seuil mais haute tension en plus d'être chers et volumineux, ramènent beaucoup de composants parasites au point milieu. Dans notre optique d'un convertisseur grand gap haute tension haute densité de puissance possédant une maille de commutation faiblement parasitée, cette solution de détection directement au niveau du point milieu ne semble pas envisageable en l'état.

III.2.4.2 Adaptation du temps mort par surveillance de la charge

Des solutions d'adaptation du temps mort par surveillance de la charge de sortie ont été mises au point [114], [115], [124]–[127] et sont, contrairement à la technique précédemment étudiée, entièrement compatibles avec les convertisseurs haute tension. La majorité de ces solutions nécessitent, en plus de la mesure de la tension de sortie, une mesure du courant d'entrée pour calculer le rendement de conversion dans un convertisseur Buck synchrone. Dans ce cas, les deux temps morts dt_1 et dt_2 sont optimisés de proche en proche en maximisant le rendement de conversion. Dans [115] une approche d'optimisation des temps morts propose d'améliorer le rendement d'un convertisseur Buck synchrone par surveillance de la charge mais en s'affranchissant du capteur de courant d'entrée.

La technique d'optimisation des temps morts sans capteur de courant proposée dans [115] part du constat que dans un convertisseur Buck synchrone, les temps morts optimaux sont ceux permettant d'obtenir la tension de sortie régulée souhaitée avec le rapport cyclique D le plus faible. Grâce à la représentation sur la Figure III.13 des courbes de la tension du point milieu et des grilles de Q1 et Q2, nous remarquons en effet que des temps morts trop longs (Figure III.13 (b)) ou trop courts (Figure III.13 (c)) génèrent des pertes supplémentaires qui doivent être compensées par l'augmentation du rapport cyclique D afin de maintenir la valeur moyenne de la tension de sortie $\langle V_{OUT} \rangle$ constante. La valeur numérique D du rapport cyclique étant directement disponible au circuit logique de commande, cette technique ne nécessite a priori qu'une mesure de la tension de sortie V_{OUT} .

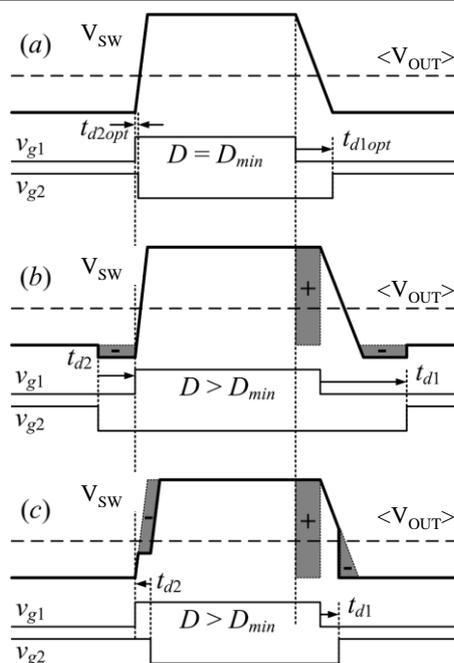


Figure III.13: Formes des courbes de la tension au point milieu V_{sw} et des tensions de grille V_{g1} et V_{g2} d'un convertisseur synchrone pour des temps morts t_{d1} et t_{d2} (a) optimaux, (b) trop longs et (c) trop courts ; le rapport cyclique D doit être augmenté (zones « + ») afin de compenser les pertes (zones « - ») dues à des temps morts non adaptés et ainsi maintenir la valeur moyenne de la tension de sortie $\langle V_{OUT} \rangle$ constante [115]

La Figure III.14 ci-dessous présente les chronogrammes expérimentaux d'optimisation des temps morts dt_1 et dt_2 (nommés ici, respectivement t_{d2} et t_{d1}). Pour une charge de sortie fixe, le processus d'optimisation va réduire de proche en proche la valeur du temps mort t_{d1} jusqu'à ce que le rapport cyclique D minimum permettant d'obtenir la valeur moyenne $\langle V_{OUT} \rangle$ désirée soit atteint. Il en va de même dans un second temps pour l'optimisation du temps mort t_{d2} . Nous constatons immédiatement sur cette Figure III.14, les deux défauts majeurs de cette approche. Le premier est le temps t_{tot} important mais nécessaire à l'algorithme pour converger vers des optimums, ici en 44ms. Si nous souhaitons un fonctionnement optimal nous retrouvons ce temps d'optimisation des temps morts à chaque variation du point de fonctionnement, ce qui en fait en pratique une technique très laborieuse si la charge de sortie n'est pas fixe. Le deuxième défaut se situe au niveau de la technique de détection du temps mort optimal. Nous constatons que l'algorithme doit dépasser la longueur optimale de 90ns pour pouvoir la détecter. A l'optimisation de td_1 les signaux de commande se recouvrent par exemple durant 20ns.

Dans ces travaux de thèse nous nous sommes intéressés à une technique d'autocommutation des composants grand gap sans diode dans un convertisseur de puissance synchrone haute tension. Cette technique propose de supprimer virtuellement la conduction en inverse sous le seuil des transistors sans diodes internes grâce à une gestion dynamique et sûre de temps morts courts directement au niveau de leur grille sans aucun capteur.

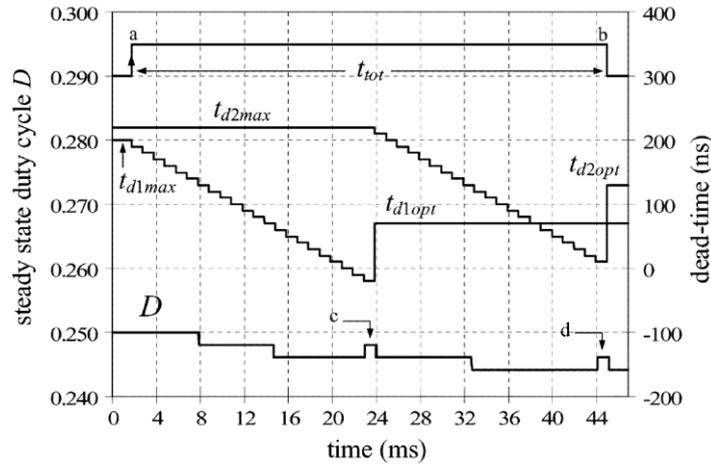


Figure III.14: Chronogrammes expérimentaux d'optimisation des temps morts t_{d1} puis t_{d2} à tension de sortie régulée, par détection de la valeur minimum du rapport cyclique D [115]

III.3 L'autocommutation : une gestion locale, dynamique et sécurisée du temps mort

Afin de fournir une solution d'auto-adaptation des temps morts rapide, compacte, sans capteur extérieur et sûre, nous proposons de générer et gérer les temps morts localement, directement au niveau de la grille de chaque transistor. De cette manière, le contrôleur de temps morts adaptatifs peut être intégré monolithiquement à chaque circuit de commande. Le circuit logique de commande éloigné n'émet alors plus qu'un seul signal logique par bras, commandant l'ouverture de l'un ou l'autre des transistors (pour d'autres applications un troisième niveau peut être utilisé afin de maintenir ouverts les deux transistors hors temps morts). Des travaux ont précédemment été menés sur des interrupteurs de puissance à autocommutation, capables de s'auto-amorcer et/ou s'auto-bloquer suivant la valeur et le sens de la tension à leurs bornes et/ou du courant les traversant [128], [129]. Ce type d'interrupteur particulier permet par exemple de simplifier, voire de supprimer la commande de convertisseurs AC/AC. La technique d'autocommutation que nous détaillons par la suite propose l'amorçage automatique de transistors grand gap standards dans un convertisseur de puissance par un circuit de commande spécifique détectant l'ouverture du transistor opposé.

III.3.1 Une cellule de commutation transistor/transistor idéale sans conduction en inverse sous le seuil

Pour réduire la conduction en inverse sous le seuil des transistors nous proposons de nous rapprocher de la commutation purement synchrone (voir partie I.2.3.4) tout en autorisant une commutation douce d'un des deux transistors. Une intelligence doit alors être intégrée au driver. Le circuit de commande de chaque transistor de puissance doit être renseigné de l'ouverture du transistor opposé afin de permettre la fermeture du composant qu'il commande. Des détecteurs spécifiques, intégrables monolithiquement aux circuits de commande ont été élaborés et seront détaillés dans la suite de ce manuscrit. La Figure III.15 présente les chronogrammes du

convertisseur de puissance synchrone proposé à base de composants grand gap sans diode autocommutés pour un courant de sortie positif. Nous retrouvons cinq phases de fonctionnement équivalentes à celles du convertisseur à temps morts fixes mais dont deux d'entre elles ont été fortement réduites :

- A l'instant t_0 , le transistor Low-Side J2 s'ouvre, le potentiel V_{sw} chute. Le détecteur 1 au High-Side détecte l'ouverture J2 et fait passer le signal Détection1 à l'état haut.
- A l'instant t_1 , peu après t_0 , le signal Détection1 est pris en compte et le transistor High-Side J1 se ferme.
- A l'instant t_2 , le transistor J1 s'ouvre, le potentiel V_{sw} commence à chuter.
- A l'instant t_3 , dépendant de la vitesse de décharge du point milieu par le courant dans l'inductance, le potentiel V_{sw} est proche de zéro et le détecteur 2 au Low-Side fait passer le signal Détection2 à l'état haut.
- A l'instant t_4 , peu après t_3 , le signal Détection2 est pris en compte et le transistor Low-Side J2 se ferme.

Par cette technique d'autocommutation des composants, nous assurons des pertes durant les temps morts, minimales tout en proscrivant la conduction simultanée des transistors de puissance. Mais la faisabilité de cette technique tient à la réalisation d'un détecteur d'ouverture du transistor opposé directement au niveau de la grille des deux transistors et suffisamment rapide. Pour effectuer cette détection nous avons eu l'idée d'exploiter au niveau des circuits de commande l'interférence se propageant entre la partie High-Side et Low-Side lors de l'ouverture des transistors.

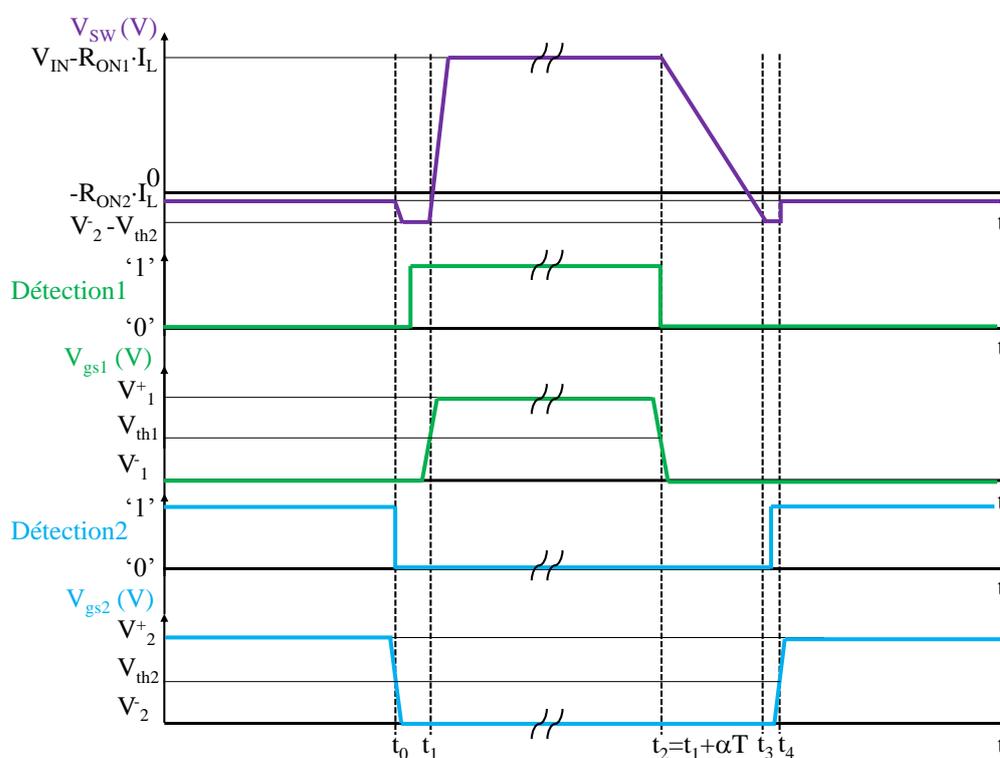


Figure III.15: Chronogrammes du convertisseur de puissance synchrone proposé à base de composants autocommutés grand gap sans diodes

III.3.2 Utilisation de l'interférence entre High-Side et Low-Side pour la détection de l'ouverture du transistor opposé

III.3.2.1 La circulation d'un courant parasite au travers de la grille d'un transistor lors de la variation de sa tension drain-source

Nous l'avions précédemment étudié au premier chapitre de ce manuscrit, les composants grand gap sont très sensibles aux composants parasites dans un convertisseur de puissance. Les risques de claquage en tension ou de remise en conduction parasite des composants grand gap sont plus importants que pour leurs homologues en silicium, principalement parce que les dynamiques sont désormais plus importantes. Nous proposons de tourner cette sensibilité à notre avantage en exploitant l'interférence entre le High-Side et le Low-Side pour faire la détection de l'ouverture du transistor opposé.

Comme nous l'avions remarqué à la partie I.3.3.3 sur la Figure I.29, un courant I_{gd} donné par l'équation (III.4) circule au travers de la capacité parasite grille-drain C_{gd} d'un composant lors d'une variation de sa tension grille-drain. Si la tension grille-drain V_{gd} est constante alors une variation dV_{ds}/dt de la tension drain-source V_{ds} est égale à une variation dV_{dg}/dt . Pour une variation dV_{ds}/dt positive, la capacité C_{gd} est chargée et un courant négatif I_{gd} circule de la grille au drain. De même pour une variation dV_{ds}/dt négative, la capacité C_{gd} est déchargée et un courant positif I_{gd} circule du drain à la grille. Avec un circuit de commande idéal, très faible impédance comme celui représenté sur la Figure III.16, lorsque l'état bas est appliqué à la grille du composant de puissance, le courant parasite I_{gd} dû à une variation de la tension V_{ds} circule entre source et drain au travers du driver et de la grille sans que la tension grille-source V_{gs} ne soit altérée. Cette tension V_{gs} reste constante, égale à V_- .

$$I_{gd} = -C_{gd} \cdot \frac{dV_{dg}}{dt} \approx -C_{gd} \cdot \frac{dV_{ds}}{dt} \tag{III.4}$$

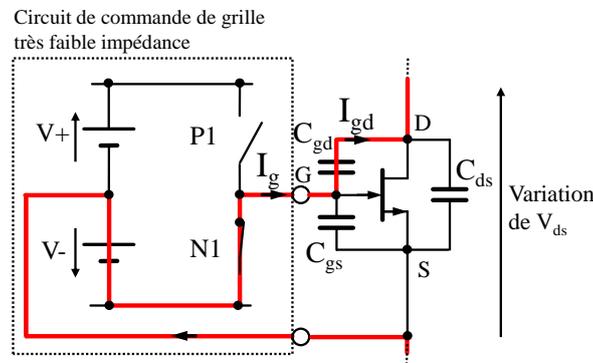


Figure III.16: Schéma d'un circuit de commande très faible impédance maintenant ouvert un composant grand gap : lorsqu'un courant parasite I_{gd} circule à la suite d'une variation de la tension V_{ds} la tension V_{gs} ne varie pas

III.3.2.2 Observation de la circulation du courant parasite de grille par simulation des convertisseurs Buck grand gap sans diodes

III.3.2.2.1 Les convertisseurs Buck à base de HEMTs GaN et JFETs SiC purement verticaux simulés

Nous avons simulé les deux convertisseurs Buck grand sans diodes précédemment réalisés et étudiés en partie III.2.2 afin d'observer la circulation du courant parasite dans la grille de chaque transistor sur une période de fonctionnement. Le schéma électrique simulé est le même pour le convertisseur Buck synchrone 45V vers 10V à base de HEMTs GaN [39] que pour le convertisseur 250V vers 55V à base de JFETs SiC [38] à la valeur des composants parasites et des niveaux d'alimentation près. La topologie commune aux deux convertisseurs est donnée par la Figure III.17.

Pour simuler le convertisseur 45V vers 10V à base des HEMTs GaN EPC2007 [39] nous conservons les valeurs des composants parasites des précédentes simulations de ce circuit, à savoir une inductance parasite totale dans les mailles de commande de 1nH et de 8nH dans la maille de commutation de puissance. Les inductances communes violettes sont très faibles mais prises en compte par le modèle des transistors EPC2007 fourni par le constructeur et utilisé dans nos simulations. Chaque HEMT est piloté par un circuit de commande d'impédance de sortie 1Ω entre +3.3V et -2.5V.

L'élaboration du schéma de simulation du convertisseur Buck synchrone 250V vers 55V à base de JFETs SiC SJDP120R085 [38] a été moins aisée car le fabricant Semisouth ne propose pas de modèle électrique par défaut pour ses composants de puissance. Pour pallier à ce manque nous avons dû modéliser approximativement le JFET SiC SJDP120R085 sélectionné à partir des données constructeur disponibles dans sa fiche technique, et de sa caractérisation statique I-V (voir Figure I.25). Le résultat de cette modélisation est le modèle SPICE donnée par l'expression (III.5). Ce modèle est basé sur le modèle SPICE de niveau 1 appelé NJF d'un JFET silicium à canal N. Les paramètres R_g , R_s et R_d sont les résistances parasites à chaque borne, C_{gd} et C_{gs} , les capacités parasites grille-drain et grille-source à zéro de tension et V_{to} la tension de seuil du transistor. Tous ces premiers paramètres sont issus de la fiche technique du composant, l'évolution des valeurs des capacités parasites en fonction de la tension drain-source est régi par l'équation du modèle NJF basée sur celle de la zone de déplétion d'une diode. Les trois autres paramètres β , λ et α sont respectivement le gain (ou paramètre de transconductance), le paramètre de modulation de la longueur de canal et le facteur de saturation. Ces trois derniers paramètres ont été optimisés pour que les caractéristiques statiques I_d-V_{ds} et I_d-V_{gs} du modèle soit les plus proches possibles de celles de la fiche technique et/ou de nos mesures (voir Figure I.25). Aucune diode entre drain et source n'est présente par défaut dans le modèle NJF. Les deux JFETs SiC de la cellule de commutation sont mis en boîtier TO-247 [38], bien plus volumineux que le boîtier LGA du HEMT GaN [39]. L'inductance parasite totale de la maille de commutation de puissance est estimée à environ 20nH avec des inductances de source et de drain de 5nH [130]. L'inductance totale dans la maille de commutation de commande est estimée à 5nH, l'inductance parasite commune en violet à 500pH et la capacité au point milieu C_{com} à 300pF. Le circuit de commande pilotant les JFETs SiC entre 0V et -10V est le même que celui pilotant les HEMTs GaN.

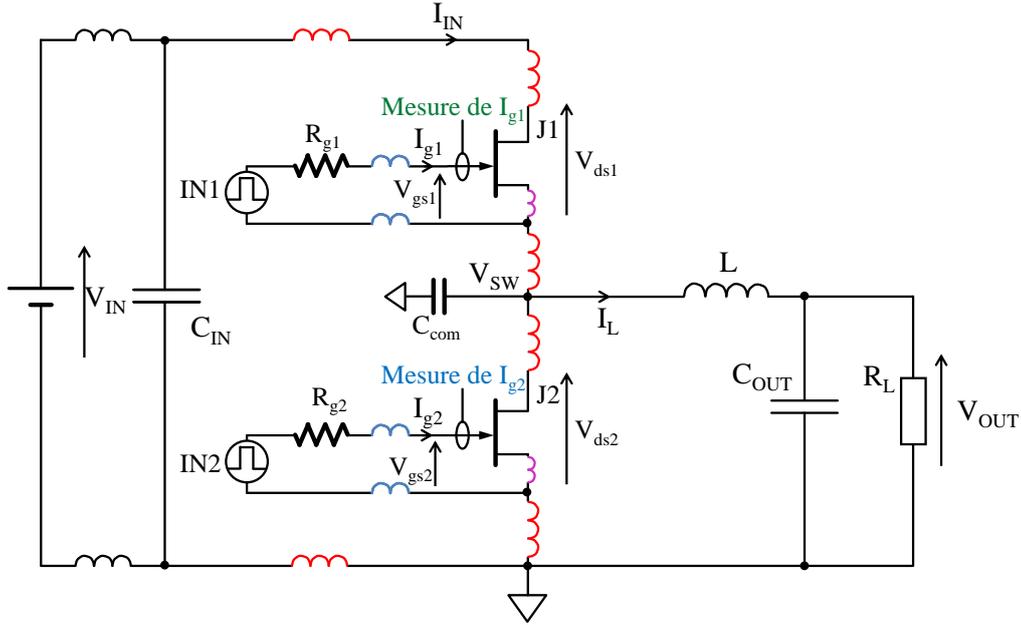


Figure III.17: Schéma électrique simulé des convertisseurs Buck à base de HEMTs GaN ou JFETs SiC sans diodes pour l'étude de la circulation du courant parasite dans la grille de J1 et J2

$$\begin{aligned}
 &.model SJD120R085 NJF(Beta=1.2 Vto=-5 Lambda=500m Alpha=1.5 & \text{(III.} \\
 &+ Rg=0.5 Rd=0.1 Rs=0.1 Cgd=200p Cgs=190p) & \text{5)}
 \end{aligned}$$

III.3.2.2.2 La circulation d'un courant parasite au travers de la grille d'un transistor lors de l'ouverture du transistor lui étant opposé

La Figure III.18 et la Figure III.19 présentent les formes d'ondes en simulation des courbes de la tension au point milieu, de la tension grille-source et du courant de grille des deux transistors des convertisseurs Buck synchrone grand gap commutant à 100kHz un courant de 3A avec des temps morts de 200ns. Les paramètres et les résultats de simulation liés à ces courbes de caractérisation du courant parasite de grille à la commutation sont résumés dans le Tableau III-2. Nous distinguons pour les deux convertisseurs les quatre phases principales marquées par les instants t_0 , t_1 , t_2 et t_4 :

- Avant l'instant t_0 , le transistor Low-Side J2 est complètement fermé. Le potentiel au point milieu V_{SW} est presque nul et la tension drain-source du transistor High-Side J1 est alors environ égale à V_{IN} .
- Au temps t_0 , le transistor J2 s'ouvre, le potentiel V_{SW} chute à un potentiel égal environ à $V_{gs2}-V_{th2}$. La tension V_{ds1} subit alors une variation positive, +4V pour le HEMT GaN et +5V pour le JFET SiC. Cette variation positive due à l'ouverture de J2 génère un courant parasite I_{g1} négatif au travers de la grille de J1 d'une valeur pic -15mA pour le convertisseur GaN et -450mA pour le convertisseur SiC.
- Après le premier temps mort dt_1 , au temps t_1 , le transistor J1 se ferme, le potentiel V_{SW} et la tension drain-source V_{ds2} atteignent quasiment la valeur V_{IN} .
- A l'instant t_2 , J1 s'ouvre, le nœud capacitif V_{SW} est alors déchargé par le courant dans l'inductance I_L . La tension V_{ds2} chute du potentiel V_{IN} à environ $V_{gs2}-V_{th2}$. Cette variation négative de la tension drain-source de J2 génère un courant parasite I_{g2}

positif circulant au travers de la grille et de la capacité C_{gd2} de J2. Puisque le temps de chute $t_{F,V_{sw,m}}$ du point milieu dépend du courant I_L , le courant parasite I_{gd2} en dépend aussi. La valeur pic de ce courant parasite est 120mA pour les HEMT GaN et 2.5A pour le JFET SiC.

- Après le second temps mort dt_2 , à l'instant t_4 , J2 se ferme et conduit le courant I_L comme avant l'instant t_0 .

Pour les deux convertisseurs de puissance grand gap, un courant parasite circule dans la grille de chaque transistor lorsque le transistor opposé s'ouvre. A l'ouverture de J2 un courant parasite I_{gd1} négatif circule dans le composant J1, de valeur pic -15mA et de charge associée -0.03nC pour le convertisseur dans sa version GaN contre -450mA et -0.43nC pour la version SiC. A l'ouverture de J1 un courant I_{gd2} positif circule dans la grille de J2 de valeur pic 120mA et de charge associée 0.3nC pour la version GaN, contre 2.5A et 18nC pour la version SiC.

A l'instant t_0 , le circuit de commande DRV1 est prévenu de l'ouverture de J2 par détection du courant parasite dans la grille de l'interrupteur de puissance J1 et peut alors immédiatement fermer ce dernier afin de supprimer de manière sûre le premier temps mort dt_1 . De même à l'ouverture de J1, le circuit DRV2 détecte le courant parasite circulant dans le composant J2 et ferme ce dernier après un délai dépendant du courant I_L . La méthode de détection du courant parasite intégrable monolithiquement au circuit de commande va à présent être détaillée.

Tableau III-2: Paramètres et résultats de simulation de la caractérisation du courant parasite grille-drain

Paramètre	Symbole	Convertisseur à base de HEMTs GaN [39]	Convertisseur à base de JFETs SiC [38]
Tension d'entrée	V_{IN}	45 V	250 V
Chute de tension en conduction inverse sous le seuil	$V_{SW,dt}$	-4 V	-5 V
Courant moyen dans l'inductance	I_L	+3 A	+3 A
Capacité parasite grille-drain pour $V_{ds}=V_{IN}$	C_{gd}	7 pF	60 pF
Capacité parasite grille-source pour $V_{ds}=V_{IN}$	C_{gs}	205 pF	190 pF
Vitesse de variation de V_{ds1} au temps t_1	dV_{ds1}/dt	+2.5 V/ns	+5 V/ns
Pic de courant parasite négatif au temps t_1	\hat{I}_{gd1}	-0.015 A	-0.45 A
Charge électrique associée à la circulation du courant I_{gd1}	Q_{gd1}	-0.03 nC	-0.43 nC
Vitesse de variation de V_{ds2} au temps t_3	dV_{ds2}/dt	-7.5 V/ns	-20 V/ns
Pic de courant parasite positif au temps t_3	\hat{I}_{gd2}	+0.12 A	+2.5 A
Charge électrique associée à la circulation du courant I_{gd2}	Q_{gd2}	+0.3 nC	+18 nC

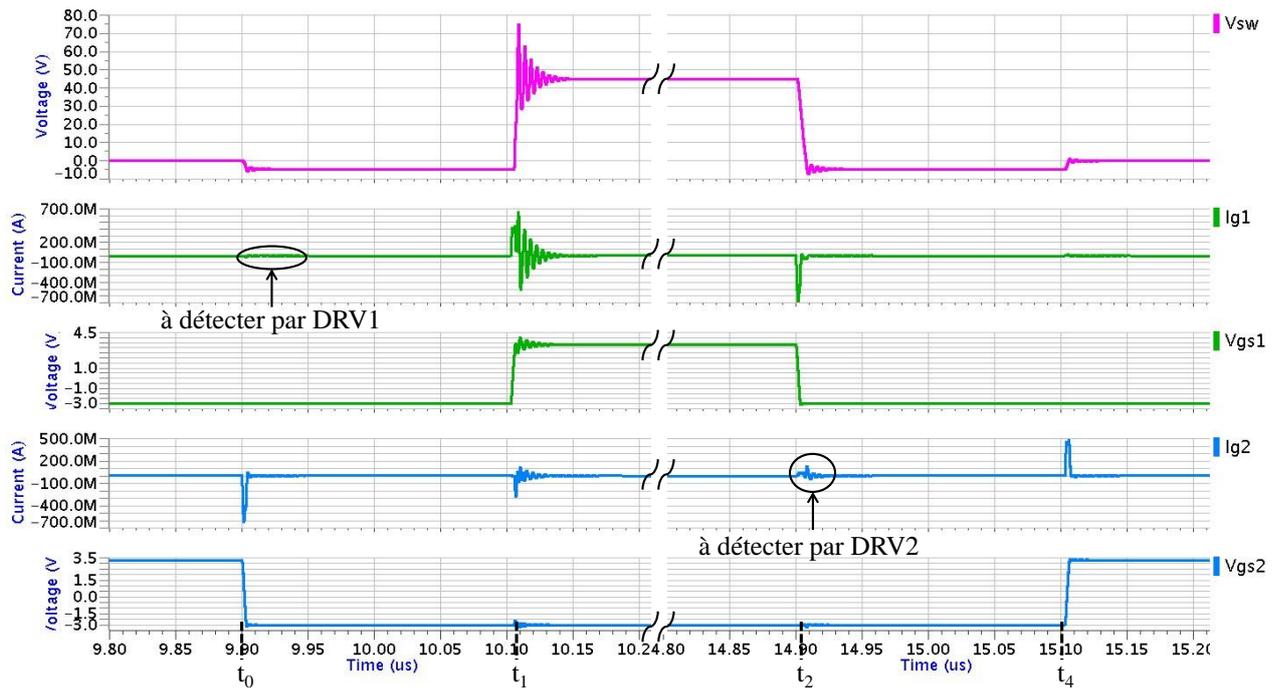


Figure III.18: Formes d'ondes en simulation de la tension au point milieu, de la tension grille-source et du courant de grille des deux transistors sur une période de fonctionnement du convertisseur Buck 45V vers 10V à base de HEMTs GaN commutant à 100kHz avec un temps mort de 200ns un courant de 3A.

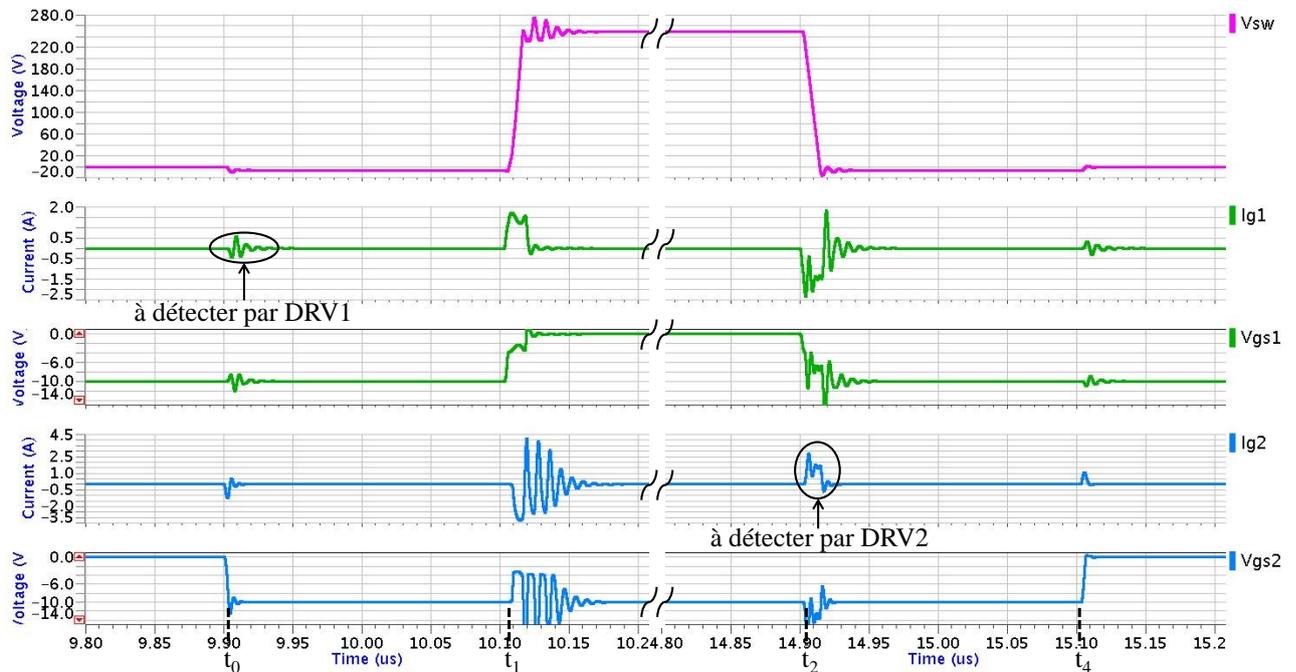


Figure III.19: Formes d'ondes en simulation des courbes de la tension au point milieu, de la tension grille-source et du courant de grille des deux transistors sur une période de fonctionnement du convertisseur Buck 250V vers 55V à base de JFETs SiC commutant à 100kHz un courant de 3A avec des temps morts de 200ns

III.3.3 Un mode « d'écoute » spécifique du circuit de commande facilitant la détection de l'ouverture du transistor opposé

Le premier courant parasite I_{gd} à détecter est le courant négatif I_{gd1} circulant à travers la grille de J1 à l'instant t_0 sur la Figure III.19 et la Figure III.20 lorsque le transistor J2 s'ouvre. Le second est le courant positif I_{gd2} circulant dans le composant J2 lorsque le transistor J1 s'ouvre. Un circuit spécifique pouvant détecter à la fois des courants parasites positifs que négatifs a été développé. De cette manière le circuit de commande Low-Side et High-Side sont les mêmes et le courant de sortie peut être indifféremment positif, négatif ou même alternatif sans nécessité de connaître son sens. Ce circuit de détection place le circuit de commande dans un mode d'écoute spécifique pour faciliter la détection de l'ouverture des transistors.

III.3.3.1 Un mode d'écoute haute impédance spécifique

Pour détecter les charges parasites de grille de très faibles valeurs, un miroir de courant à forte sensibilité peut être utilisé. Dans le cas général, le détecteur ne connaissant a priori pas le sens du courant, ce miroir de courant doit être bidirectionnel [131]. Dès lors que le circuit de détection du courant doit être en mesure de faire circuler la totalité du courant de grille, ce type de miroir de courant est difficilement intégrable à la technologie CMOS du circuit de commande pour des raisons d'efficacité énergétique et surfacique. C'est pourquoi nous avons développé une méthode de détection simple, efficace et facilement intégrable.

Le circuit de détection de l'ouverture du transistor opposé que nous proposons utilise un mode d'écoute spécifique faisant passer l'impédance de sortie du circuit de commande à une valeur plus importante. Contrairement au schéma de la Figure III.16 où le circuit de commande fonctionne avec une faible impédance de sortie, sur celui de la Figure III.20, l'étage de sortie du driver est dans le mode d'écoute haute impédance. Lorsque la tension drain-source V_{ds} d'un composant piloté par ce circuit de commande en mode d'écoute varie :

- le courant parasite I_{gd} , s'il est négatif, circule du drain à la source en passant par la branche comportant l'interrupteur fermé N2 et la résistance élevée R2. Le passage du courant parasite positif charge la capacité C_{gs} à une valeur proche de la tension aux bornes de la haute impédance R2 en parallèle. Dans le cas d'une impédance de sortie du circuit de commande infinie, les capacités C_{gd} et C_{gs} forment un diviseur de tension capacitif. Une variation ΔV_{ds} de la tension entraîne alors une variation ΔV_{gs} donnée par l'équation (III.6). Plus le rapport C_{gd} sur C_{gs} des capacités sera important plus grande sera la variation ΔV_{gs} et plus simple sera sa détection.
- le courant parasite I_{gd} , s'il est positif, circule de la source au drain en passant par la branche comportant la résistance élevée R2 et la diode interne de l'interrupteur N1. Le passage du courant parasite positif décharge la capacité C_{gs} jusqu'à une tension proche de celle de la diode interne de N1 en parallèle.

$$\Delta V_{gs} = \Delta V_{ds} \cdot \frac{C_{gd}}{C_{gs} + C_{gd}} \quad (\text{III.6})$$

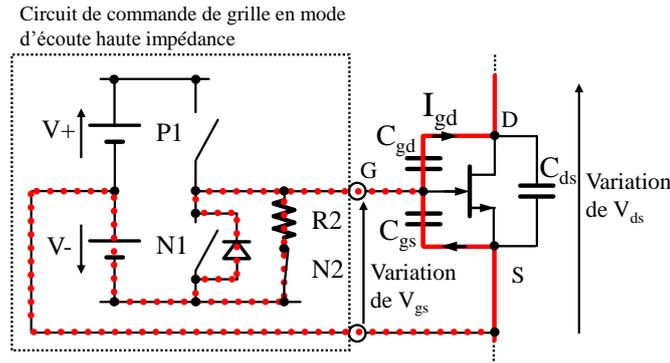
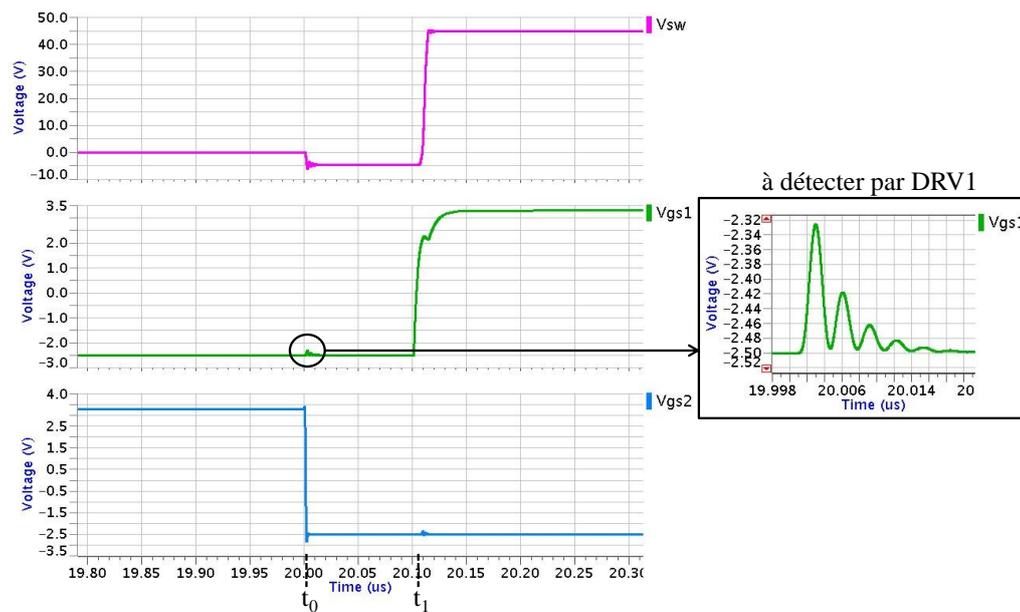


Figure III.20: Schéma du circuit de commande en mode d'écoute haute impédance et d'un composant grand gap à l'état ouvert : lorsque la tension drain-source V_{ds} varie, la circulation du courant parasite I_{gd} implique une variation de la tension grille-drain V_{gs}

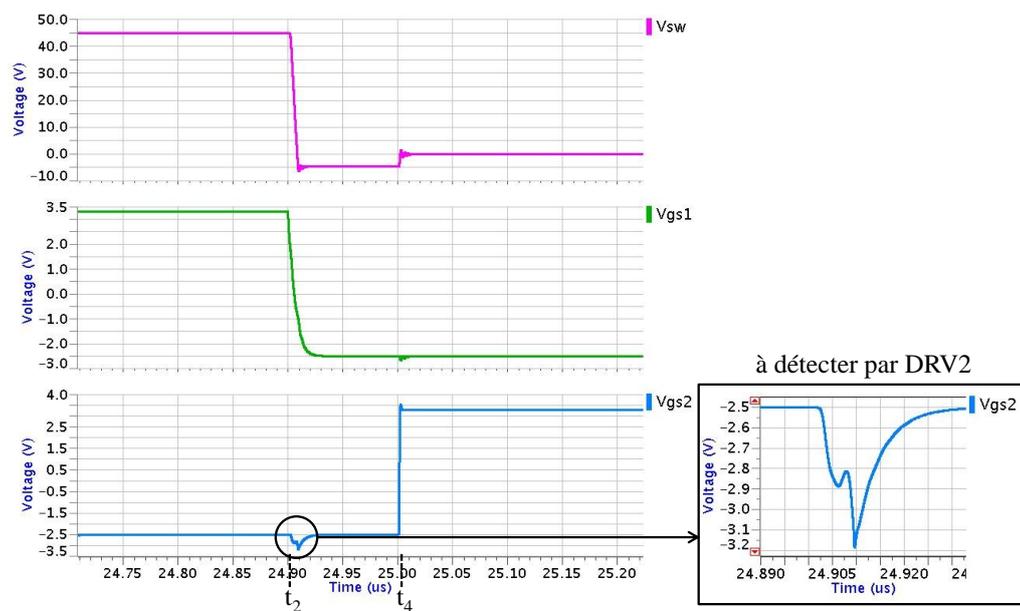
Une variation positive/négative de la tension drain-source V_{ds} d'un composant se traduit avec le mode d'écoute haute impédance par une variation positive/négative de la tension grille-source V_{gs} et donc par la charge/décharge de la capacité C_{gs} . Afin de quantifier ces variations de la tension V_{gs} dues aux variations de la tension V_{ds} et au mode proposé nous avons de nouveau simulé le schéma des convertisseurs Buck grand gap précédemment utilisé avec les mêmes paramètres de simulation qui sont en partie résumés dans le Tableau III-2. Mais les circuits de commande de J1 et J2 sont à présent placés dans le mode d'écoute de la Figure III.20 respectivement lors de l'ouverture de J2 et de l'ouverture de J1 en fixant la résistance R2 à une valeur de 20Ω et avec N1, un NMOS de la technologie AMS $0.35\mu\text{m}$ 20V de résistance à l'état passant 1Ω . Les formes des courbes de simulation sont présentées sur la Figure III.21 pour le convertisseur Buck dans sa version GaN ; version pour laquelle la détection est la plus délicate. Nous constatons que :

- A l'ouverture de J2, le potentiel au point milieu V_{sw} chute de 4V, la tension drain-source de V_{ds1} croît d'autant. Le courant parasite négatif I_{gd1} , en circulant au travers de R2, implique une augmentation transitoire de la tension grille-source V_{gs1} de 180mV.
- A l'ouverture de J1, le potentiel au point milieu V_{sw} chute de 49V, la tension drain-source de V_{ds2} décroît d'autant. Le courant parasite positif I_{gd2} , en circulant au travers de la diode interne du NMOS N1 et la résistance R2, implique une diminution transitoire de la tension grille-source V_{gs2} de 700mV.

Grâce à ce mode d'écoute spécifique haute impédance, le détecteur de la circulation du courant parasite au travers de la grille d'un composant lors de l'ouverture du transistor lui étant opposé est réduit à un comparateur de tension à deux seuils (plus communément appelé Window Detector Circuit en anglais) référencé au potentiel V- de l'alimentation négative du circuit de commande. Le premier seuil $V_{th,DET+}$ doit être positif et de faible valeur de manière à détecter le plus rapidement possible l'ouverture de J2 et ainsi obtenir un temps mort dt_1 très court. Le second seuil $V_{th,DET-}$ doit être négatif et plus éloigné du potentiel V- afin de ralentir la détection de l'ouverture de J1 et ainsi étendre le temps mort dt_2 en accord avec la vitesse de décharge du potentiel V_{sw} et donc du courant de sortie.



(a)



(b)

Figure III.21 : Formes d’ondes en simulation des courbes de la tension au point milieu V_{sw} et grille-source V_{gs1} et V_{gs2} du transistor High-Side J1 et Low-Side J2 mettant en évidence la variation de la tension V_{gs} en mode d’écoute à détecter par le circuit de commande lors de (a) l’ouverture de J2 et (b) l’ouverture de J1 dans le convertisseur Buck 45V vers 10V à base de HEMTs GaN commutant un courant de 3A

III.3.3.2 Les chronogrammes du convertisseur synchrone autocommuté proposé

Le schéma complet du convertisseur de puissance synchrone à base de composants grand gap sans diodes autocommutés par les circuits de commande proposés est présenté par la Figure III.22. Les circuits de commande DRV1 et DRV2 permettant l’autocommutation des transistors J1 et J2 sont ici représentés simplement par un circuit d’amplification buffer et un circuit de

détection. Les chronogrammes associés au fonctionnement de ce convertisseur sont eux visibles sur la Figure III.23.

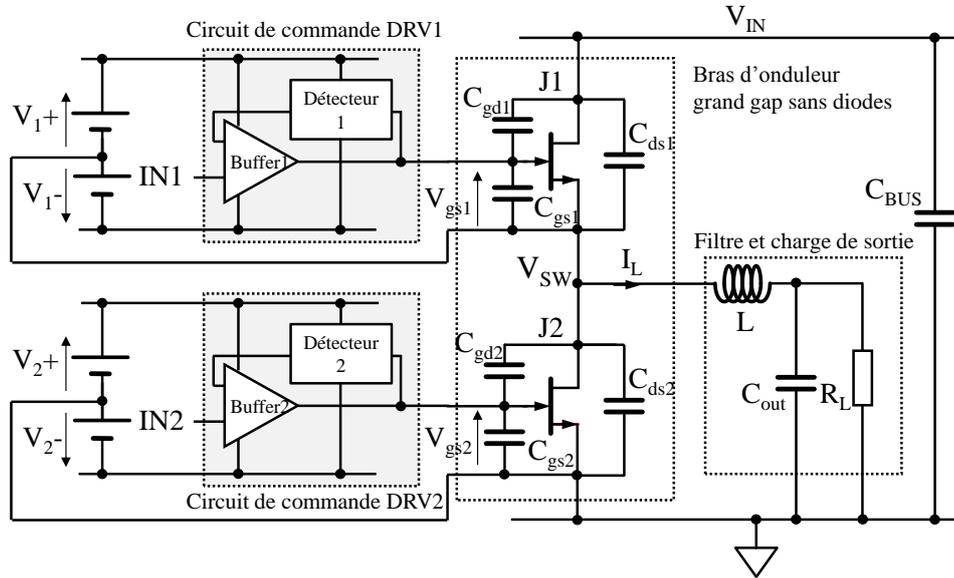


Figure III.22: Schéma complet du convertisseur de puissance synchrone proposé à base de composants grand gap sans diodes pilotés par les circuits de commande à autocommutation

Les chronogrammes en Figure III.23 sont similaires à ceux de la Figure III.15 mais ceux-ci mettent en évidence le mode d'écoute précédemment détaillé. Nous distinguons huit instants principaux :

- A l'instant t_1 , les signaux IN1 et IN2 passent simultanément et respectivement à l'état haut et à l'état bas. Le circuit de commande DRV1 est placé en mode d'écoute et attend l'ouverture de J2.
- A l'instant t_2 , J2 s'ouvre, le potentiel au point milieu V_{SW} chute. Dans un même temps V_{ds1} croît ainsi que V_{gs1} .
- Au temps t_3 , V_{gs1} a dépassé la tension de seuil $V_{th,DET+}$, le circuit de détection est averti de l'ouverture de J2. Le circuit de commande DRV1 retourne dans le mode normal basse impédance et ferme rapidement mais sûrement l'interrupteur J1 à l'instant t_4 .
- Au temps t_5 , les signaux IN1 et IN2 sont commutés respectivement à l'état bas et à l'état haut. Le fonctionnement du circuit de commande DRV2 est commuté du mode normal, basse impédance au mode d'écoute, haute impédance pour détecter l'ouverture de J1.
- A l'instant t_6 , J1 s'ouvre, le potentiel V_{SW} , environ égal à la tension V_{ds2} , et la tension grille-source V_{gs2} chute.
- Au temps t_7 , dépendant de la variation dV_{SW}/dt et donc du courant de sortie, la tensions V_{gs2} est en dessous du seuil $V_{th,DET-}$. Le circuit de commande DRV2 est averti de l'ouverture de J1, il repasse en mode basse impédance et ferme le transistor J2 à l'instant t_8 .

Avec la méthode d'autocommutation des transistors que nous proposons, les temps morts ne sont plus générés par le circuit logique de commande éloigné mais par les circuits de commande de grille. La seule information utile fournie par le circuit logique n'étant plus que le rapport cyclique, les signaux de commande IN1 et IN2 peuvent être strictement opposés sans aucun temps morts comme sur la Figure III.23. Cependant ceux-ci peuvent tout à fait se recouvrir puisque l'information utile est portée par le front descendant des signaux IN1 et IN2. Cela aura pour simple conséquence d'allonger le temps d'écoute. En effet il n'y aura aucune conduction simultanée de l'étage de sortie, la commande à la fermeture devant être obligatoirement validée par la détection de l'ouverture du transistor opposé. La prochaine partie de ce manuscrit présente en détail la conception de cette puce de commande permettant l'autocommutation des composants grand gap sans diodes.

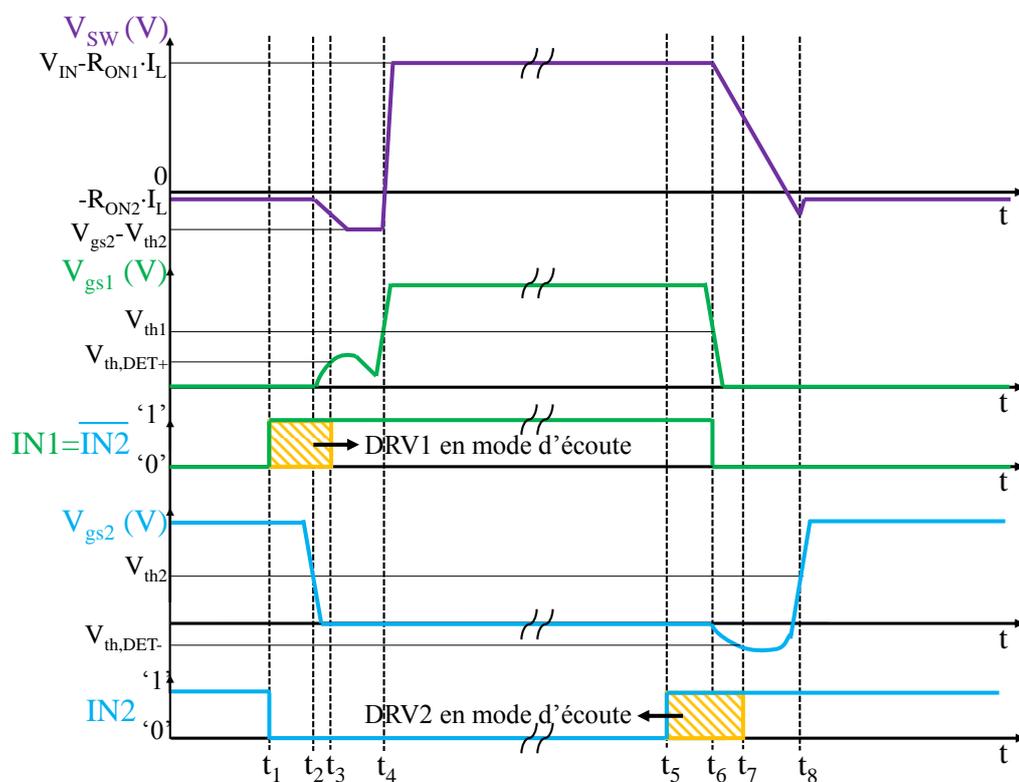


Figure III.23: Chronogrammes du convertisseur autocommuté proposé, les circuits de commande DRV1 et DRV2 utilisent un mode d'écoute particulier pour détecter l'ouverture de J2 et J1 et ainsi ajuster dynamiquement et de manière sûre les temps morts

III.4 Conception de la puce de commande permettant l'autocommutation des composants

La puce de commande permettant l'autocommutation des composants a été conçue dans la même technologie CMOS AMS 0.35µm 20V que la puce à impédance de sortie adaptative présentée au chapitre précédent. Nous allons dans cette partie présenter le dimensionnement et le dessin de cette puce intégrant un contrôleur de temps morts auto-adaptatifs.

III.4.1 Dimensionnement de la partie commande

III.4.1.1 Les blocs et transistors de la puce de commande intégrant un contrôleur de temps morts auto-adaptatifs

Le schéma-bloc complet de la puce de commande pour l'autocommutation est présenté sur la Figure III.24 ci-dessous. Contrairement à la puce à impédance de sortie programmable, la référence des tensions de la puce n'est plus le potentiel le plus bas V_- mais le potentiel intermédiaire V_+ . Cette référence est imposée par d'autres fonctionnalités de la puce comme un bloc d'autoalimentation du circuit de commande qui ne seront pas détaillées dans ce manuscrit. Si la référence des tensions est le potentiel intermédiaire V_+ alors le potentiel le plus bas V_- est négatif et ce dernier est, dans cette technologie CMOS, obligatoirement le potentiel du substrat. Les blocs en bleu sur le schéma ci-dessous, faisant essentiellement parties du circuit d'amplification de puissance, sont alimentés entre les alimentations V_+ et V_- . Le bloc en blanc est le circuit logique qui est constitué uniquement de portes logiques basse tension alimentées entre V_n , ici $+3.3V$, et la référence V_+ . Les blocs en gris sont en charge du passage d'informations du circuit logique aux circuits de puissance, et inversement. Ceux-ci sont donc alimentés par les trois niveaux V_n , V_+ et V_- .

La plupart des circuits alimentés entre V_n et V_+ nécessitent des transistors « isolés » du substrat qui est lui au potentiel négatif V_- . La technologie AMS 0.35 μm 20V choisie pour concevoir cette puce est une technologie CMOS et ne propose donc pas de transistors isolés du substrat par un oxyde enterré comme le fait une technologie SOI. Elle propose par contre des transistors NMOSs triple caisson. Ces transistors sont placés dans un caisson supplémentaire de type N permettant de polariser le Bulk des NMOSs à un potentiel plus élevé que celui du substrat. Les caractéristiques électriques de ces transistors triple caisson sont très proches de celles des transistors MOS standards utilisé pour la conception du circuit de commande présenté dans le chapitre précédent. Les paramètres électriques et physiques résumés dans le Tableau II-6 restent donc valables pour les transistors NMOSs et PMOSs basse tension et haute tension 20V utilisés pour la conception de cette puce.

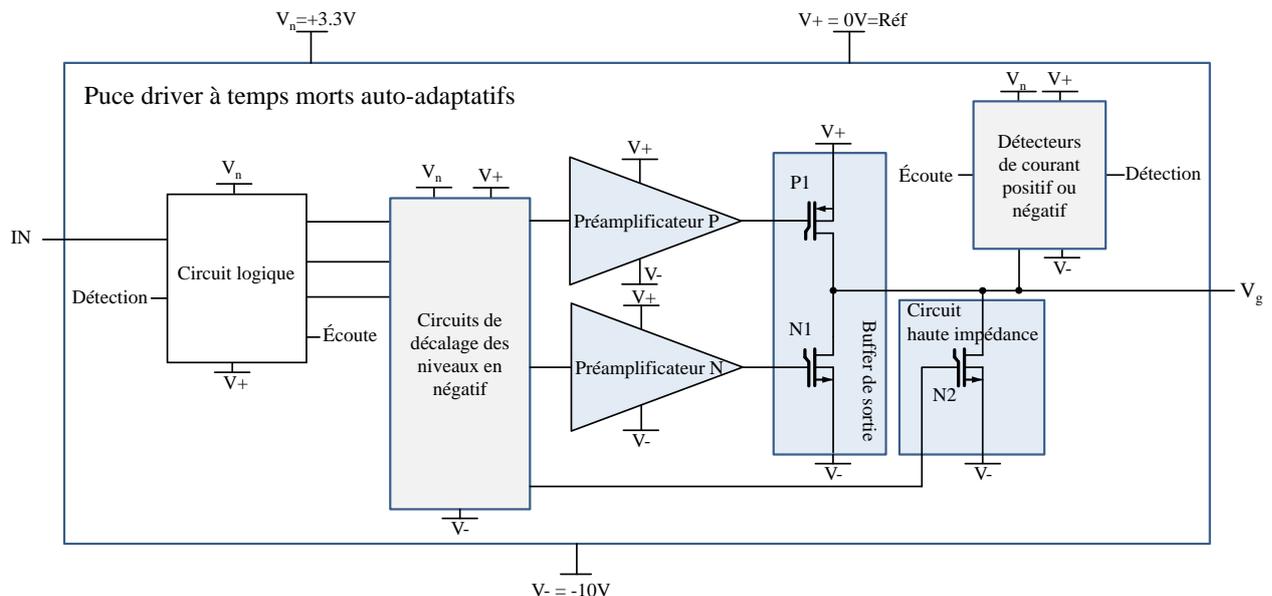


Figure III.24: Schéma-bloc détaillé de la puce à temps morts auto-adaptatifs

III.4.1.2 La fonction d'amplification de puissance

Le circuit d'amplification des signaux de commande est quasiment identique à celui du circuit de commande à impédance de sortie programmable à l'exception que cette première version de la puce du circuit de commande à temps morts auto-adaptatifs ne possède pas une impédance de sortie adaptative mais fixe. Pour choisir cette impédance fixe, nous avons dimensionné la longueur totale des transistors de l'étage de sortie du circuit d'amplification pour que ce dernier puisse charger et décharger une capacité normée de 1nF en environ 5 ns. Cette capacité de grille de 1nF correspond à la valeur moyenne de la capacité d'entrée C_{iss} d'un prototype de HEMT GaN 600V de calibre en courant constant 30A.

Le schéma du circuit d'amplification comprenant le buffer de sortie et les préamplificateurs est visible sur la Figure III.25. Nous avons commencé par dimensionner les transistors PMOSs et NMOSs les plus imposants de la puce, ceux de l'étage de sortie. Pour ce faire nous avons comme pour la puce précédente (voir II.4.1.2) fixé la largeur des transistors à la taille minimum et réalisé une étude paramétrique sur les longueurs W_n et W_p des transistors N1 et P1 pour que ce buffer de sortie puisse charger et décharger une capacité de 1nF en moins de 5 ns quelques soient la tension d'alimentation et le cas technologique avec une résistance de grille $R_{g,int}$ de 0.5Ω et une inductance parasite de commande L_{par} de 500pH. Sur la Figure III.26 sont visibles les formes des courbes de la tension de grille V_g à la montée et à la descente avec les longueurs finales $W_n=20000 \mu m$ et $W_p=45000 \mu m$ pour une tension d'alimentation du circuit variant entre 7V et 15V. Nous constatons qu'avec ces dimensions optimisées la capacité normée de 1nF est chargée de 10% à 90% en 4.2 ns et déchargée de 90% à 10% en 5ns.

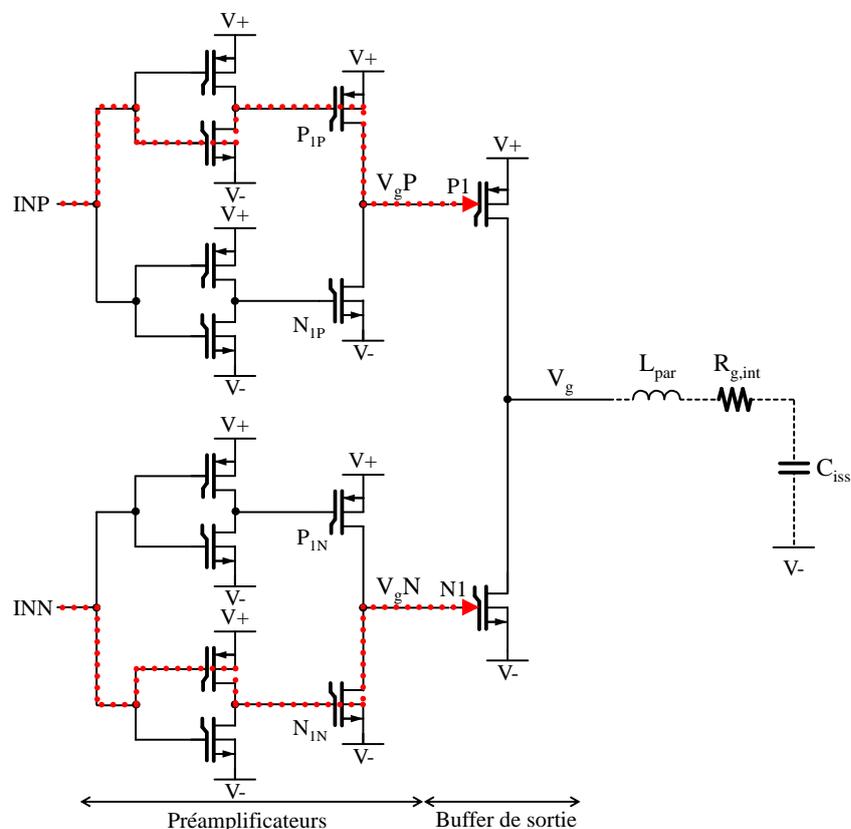


Figure III.25: Schéma du circuit d'amplification de puissance pilotant la capacité d'entrée des composants mettant en évidence les chemins privilégiés de traversée des signaux de commande INN et INP

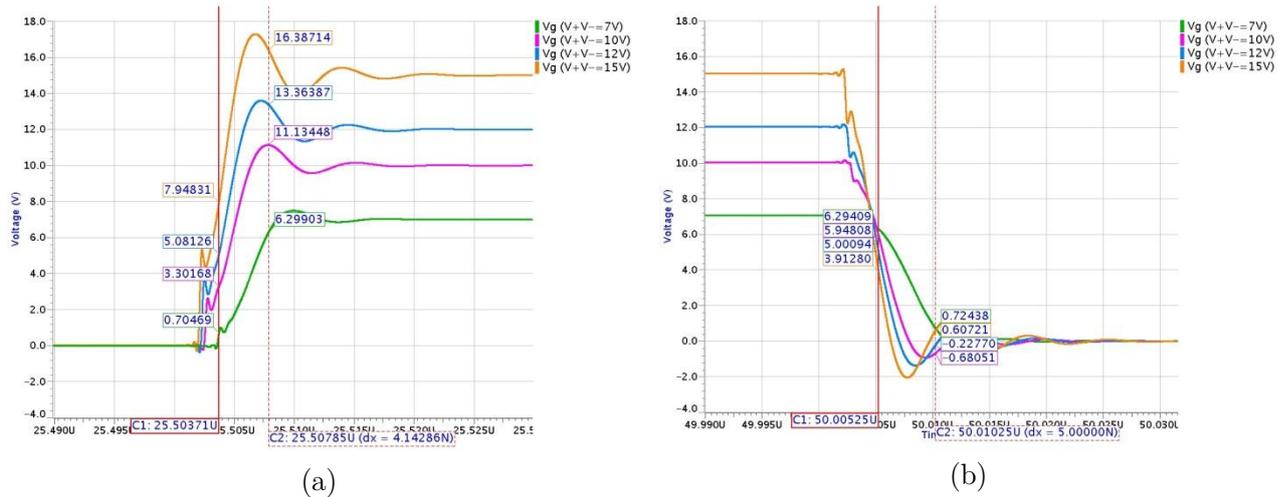


Figure III.26: Formes des courbes de la tension V_g (a) à la montée et (b) à la descente pour une charge de sortie capacitive de 1nF en fonction de la tension d'alimentation du circuit de commande

Le dimensionnement du circuit de pré amplification a suivi les mêmes règles que celui de la puce du circuit de commande à impédance de sortie adaptative. Les préamplificateurs ont été volontairement déséquilibrés de manière à privilégier l'ouverture du NMOS N1 et la fermeture du PMOS P1 et ainsi prévenir l'étage de sortie de toute cross-conduction. La Figure III.27 montre les formes des tensions et courants du circuit d'amplification et de pré amplification avec des transistors sur les chemins rouges de la Figure III.25 bien plus gros que ceux sur les autres chemins complémentaires ($W_{PIP}=3.5W_{NIP}=7\text{mm}$ et $W_{NIN}=3W_{PIN}=3\text{mm}$). Avec un tel dimensionnement déséquilibré, les signaux de commande V_{gN} et V_{gP} des transistors N1 et P1 ne se recouvrent pas et le courant direct, $I(V-)$ à la montée et $I(V+)$ à la descente, est dans les deux cas limité à un pic de 500mA. Afin de garantir un temps de propagation du signal de commande le plus rapide possible cette puce ne propose pas de protection supplémentaire contre le recouvrement de l'étage de sortie par détection de l'ouverture complète du transistor complémentaire comme le fait la puce à impédance de sortie variable. Finalement les caractéristiques électriques du circuit d'amplification complet obtenues par simulation sont résumées dans le Tableau III-3.

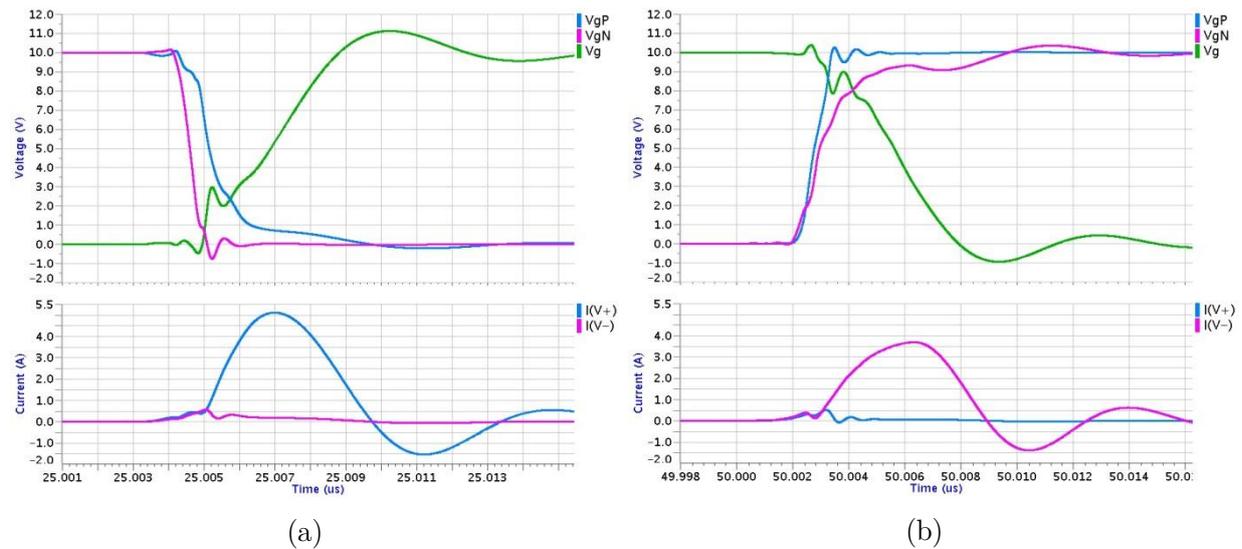


Figure III.27: Formes des tensions et des courants de l'étage d'amplification et de pré amplification alimentés sous 10V (a) à la charge et (b) à la décharge d'une capacité de grille de 1nF

Tableau III-3 : Caractéristiques électriques du circuit d'amplification alimenté sous 10V obtenues par simulation en cas typique à 25°C

Paramètre	Symbole	Conditions	Valeur
A la montée			
Largeur totale du PMOS P1	W_p	$L_{min}=1.1\mu m$	45000 μm (120x375 μm)
Résistance à l'état passant de V+ à la grille	R_{OVH}	$I_g=-500mA$	0.55 Ω
Courant de sortie pic	$I_{PK,R}$	$C_L=10000pF$	-6.5 A
Temps de montée	t_R	$C_L=1000pF$	3.5 ns
A la descente			
Largeur totale du NMOS N1	W_n	$L_{min}=0.5\mu m$	20000 μm (80x250 μm)
Résistance à l'état passant de la grille à V-	R_{OVL}	$I_g=+500mA$	0.45 Ω
Courant de sortie pic	$I_{PK,F}$	$C_L=10000pF$	+4.5 A
Temps de descente	t_F	$C_L=1000pF$	4.0 ns

III.4.1.3 Les circuits de décalage de niveaux

Des circuits de décalage de niveaux en gris sur le schéma-bloc de la Figure III.24 sont nécessaires pour communiquer entre la partie logique en blanc, alimentée par une tension V_n positive, typiquement de +3.3V par rapport à la référence V_+ , et la partie puissance en bleu, alimentée par une tension V_- négative, typiquement de -10V par rapport à la référence V_+ . Ces circuits Level-Shifter sont analogues à ceux précédemment étudiés à la partie II.4.1.4 mais le potentiel le plus bas V_- est ici négatif par rapport à la référence du circuit V_+ . La Figure III.28

présente les schémas électriques du circuit éleveur des niveaux en positif et abaisseur des niveaux en négatif.

Le Level-Shifter de la Figure III.28 (a) est utilisé pour transmettre les signaux de forte amplitude V_n - V_- produits par les détecteurs de courant au circuit logique. Celui-ci est simplement constitué d'une série de deux inverseurs de transistors PMOSs et NMOSs haute tension 20V de tension de seuil -1.7V et 2.9V, pouvant tenir jusqu'à +/-20V entre grille et source. Le temps de traversée du signal IN au travers d'un tel circuit éleveur est de 300ps et 1ns lorsque le signal d'entrée passe respectivement à l'état haut et à l'état bas. Le temps de traversée du signal IN passant à l'état bas est ici pénalisé par la tension de seuil trop élevée de 2.9V du NMOS dans le deuxième inverseur qui est piloté typiquement entre grille et source par un signal d'amplitude 3.3V.

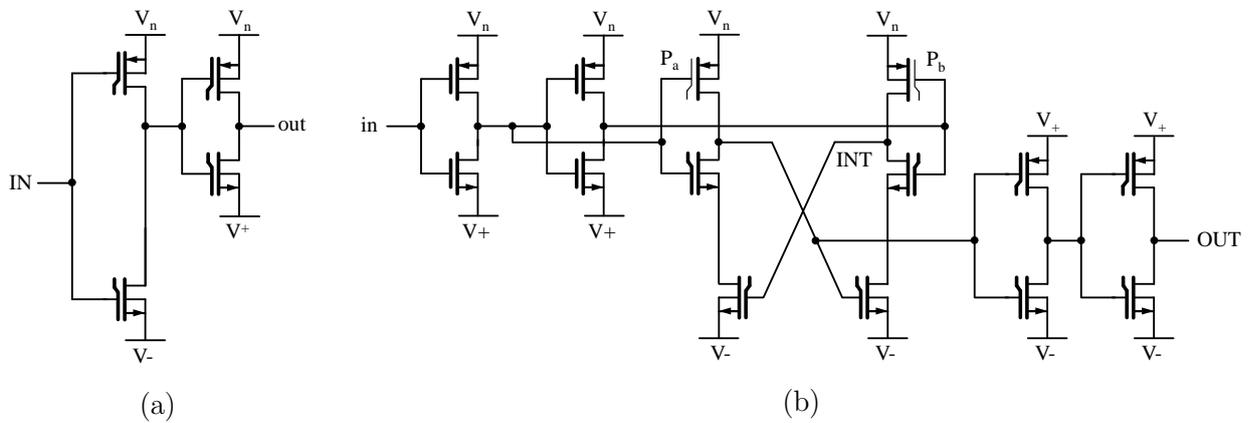


Figure III.28 : Schémas électriques des circuits de décalage de niveaux (a) éleveur en positif et (b) abaisseur en négatif

Le circuit antagoniste permettant d'abaisser un signal positif délivré par le circuit logique, en un signal négatif de forte amplitude compréhensible par le circuit d'amplification est présenté par la Figure III.28 (b). Ce circuit est constitué de deux inverseurs basse tension en entrée, deux inverseurs haute tension en sortie et au centre de deux inverseurs entrelacés. Les deux inverseurs particuliers centraux, reçoivent en entrée sur la grille de P_a et P_b deux signaux opposés de faible amplitude, environ 3.3V. De même que pour le circuit éleveur étudié précédemment en partie II.4.1.4, afin d'améliorer le fonctionnement et le temps de propagation des signaux au travers de ces inverseurs, nous utilisons des PMOSs P_a et P_b spéciaux à tension de seuil de seulement -0.9V. Ceux-ci sont haute tension 20V mais leur tension entre grille et source est limitée à -5V à cause d'une épaisseur d'oxyde bien plus fine. Avec une telle tension de seuil, les transistors P_a et P_b sont mieux polarisés et commutent plus rapidement. Les courbes des tensions de ce circuit abaisseur sont visibles sur la Figure III.29. Le temps de traversée de ce Level-Shifter est de 1.4 ns et 1.6 ns lorsque le signal d'entrée passe à l'état haut et inversement. Sa consommation moyenne ne dépasse pas 100nA avec des potentiels V_n et V_- égaux respectivement à +3.3V et -10V.

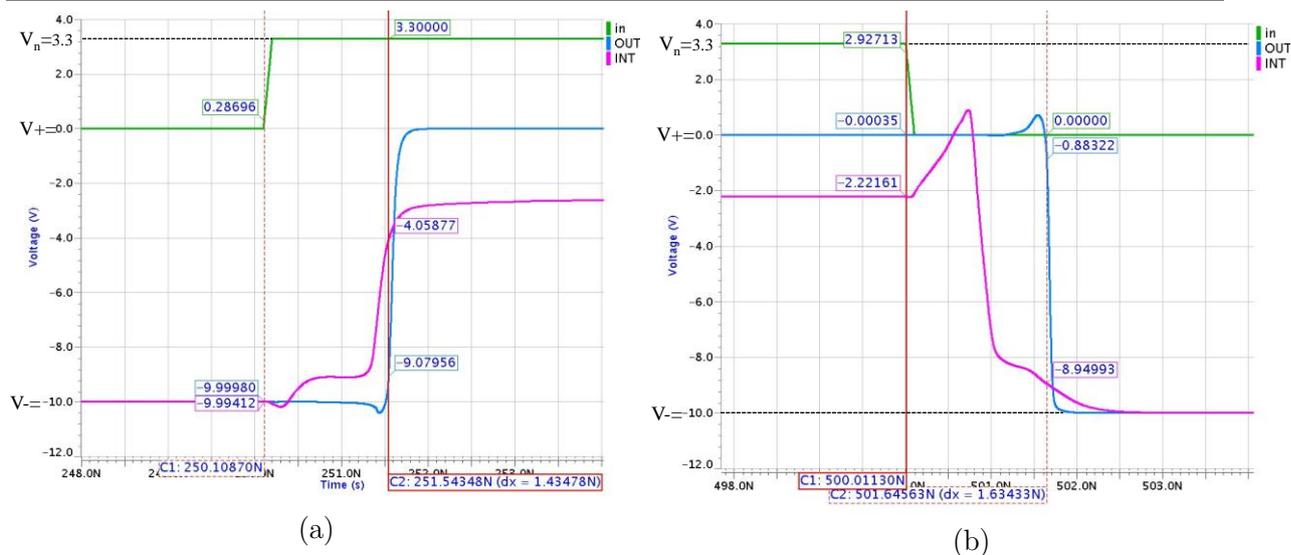


Figure III.29 : Courbes de simulation des tensions du circuit Level-Shifter abaisseur en négatif à la commutation (a) vers l'état haut et (b) vers l'état bas

III.4.2 Dimensionnement de la fonction de détection de l'ouverture du transistor opposé

III.4.2.1 Le mode d'écoute haute impédance

III.4.2.1.1 La logique du circuit de détection

Le circuit de détection de l'ouverture du transistor opposé que nous proposons est basé sur un mode d'écoute qui place la sortie du circuit de commande de grille à une impédance plus élevée afin de traduire directement le passage du courant parasite I_{gd} entre grille et drain en une variation de la tension grille-source ΔV_{gs} . Le schéma de la Figure III.30 présente le circuit de commande à temps morts auto-adaptatifs en détaillant les principaux composants constituant l'étage de sortie d'amplification, le circuit de détection et de logique. Le fonctionnement du mode d'écoute est le même que celui présenté précédemment en partie III.3.3 mais le chemin haute impédance est à présent réduit à un seul transistor NMOS N2 hautement résistif en lieu et place d'un interrupteur N2 et d'une résistance R2 en série (voir Figure III.20). Les détecteurs de surtension ΔV_{gs} ne sont ici représentés que par un bloc recevant en entrée un signal « Ecoute » et délivrant en sortie un signal « Détection ». Les chronogrammes des signaux internes de ce circuit de commande sont visibles sur la Figure III.31 sur une période de fonctionnement.

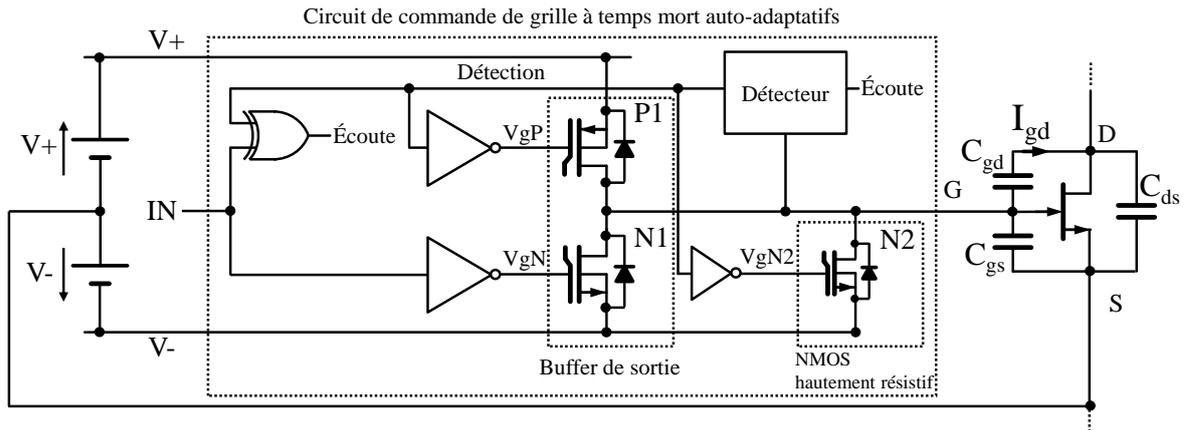


Figure III.30: Schéma du circuit de commande à temps mort auto-adaptatifs mettant en évidence l'étage de sortie, le circuit de détection et des éléments du circuit logique

Sur les chronogrammes logiques ci-dessous tous les signaux sont des signaux internes à la puce de commande à l'exception du signal IN' en bleu qui représente le signal d'entrée du circuit de commande du transistor opposé. Sur une période de fonctionnement nous distinguons trois phases principales d'évolution de la valeur des signaux internes en vert :

- A l'instant t_1 , le signal de commande IN passe à l'état haut dans le but de fermer le transistor commandé. Le transistor NMOS N1 du buffer de sortie s'ouvre, le PMOS P1 et le NMOS N2 restent respectivement ouvert et fermé. La grille G du composant de puissance n'est alors maintenue au potentiel V_- que par le transistor hautement résistif N2. Le signal IN étant à '1' et le signal « Détection » à '0' le signal « Ecoute » passe à '1'. Durant toute la durée où ce signal « Ecoute » est à l'état haut, les détecteurs vont surveiller toute variation ΔV_{gs} de la tension de grille.
- A l'instant t_3 , les détecteurs ont détectés une variation ΔV_{gs} résultante de l'ouverture à l'instant t_2 du transistor opposé. Le signal « Détection » passe à '1', le signal « Ecoute » à '0'. Le circuit de commande quitte alors immédiatement le mode d'écoute haute impédance. Le PMOS P1 se ferme ce qui entraîne la fermeture du composant de puissance à l'instant t_4 .
- A un instant t_5 , simultanément ou juste après que le signal IN' du transistor opposé soit passé à l'état haut, le signal de détection et le signal d'entrée IN passe à l'état bas afin d'ouvrir le composant de puissance. L'ouverture étant prioritaire et non soumise à une détection, l'étage de sortie commute immédiatement pour ouvrir le transistor de puissance. Cette ouverture sera effective au temps t_6 .

La logique du circuit permettant l'autocommutation est donc très simple. La fermeture d'un composant est soumise à validation par la détection de l'ouverture du transistor opposé tandis que l'ouverture est dans tous les cas immédiate. Lorsque les signaux d'entrée IN1 et IN2 sont strictement opposés sans aucun temps morts, le mode d'écoute haute impédance est réduit au temps t_4-t_1 , égal au temps de propagation du front descendant du signal d'entrée IN' (transistor opposé) plus le temps de détection. Si les signaux d'entrée sont légèrement recouvrant comme sur la Figure III.31, la durée du mode d'écoute est rallongée de ce temps de recouvrement t_1-t_1 .

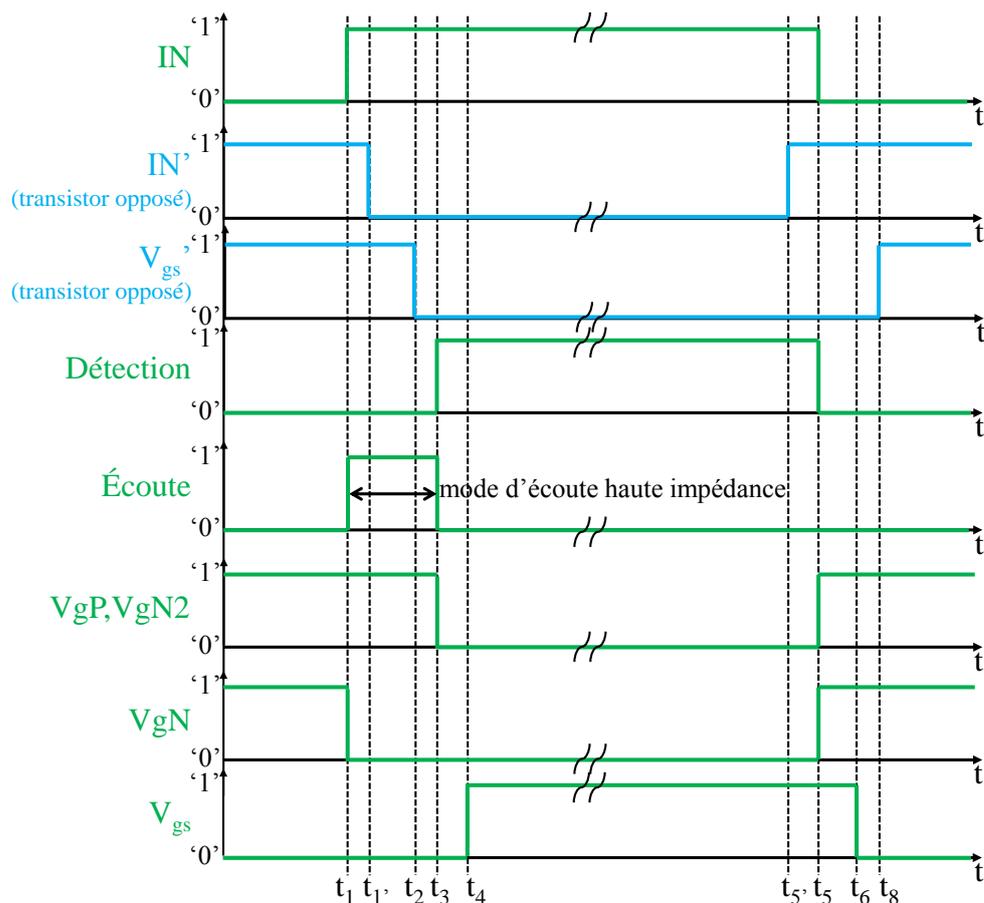
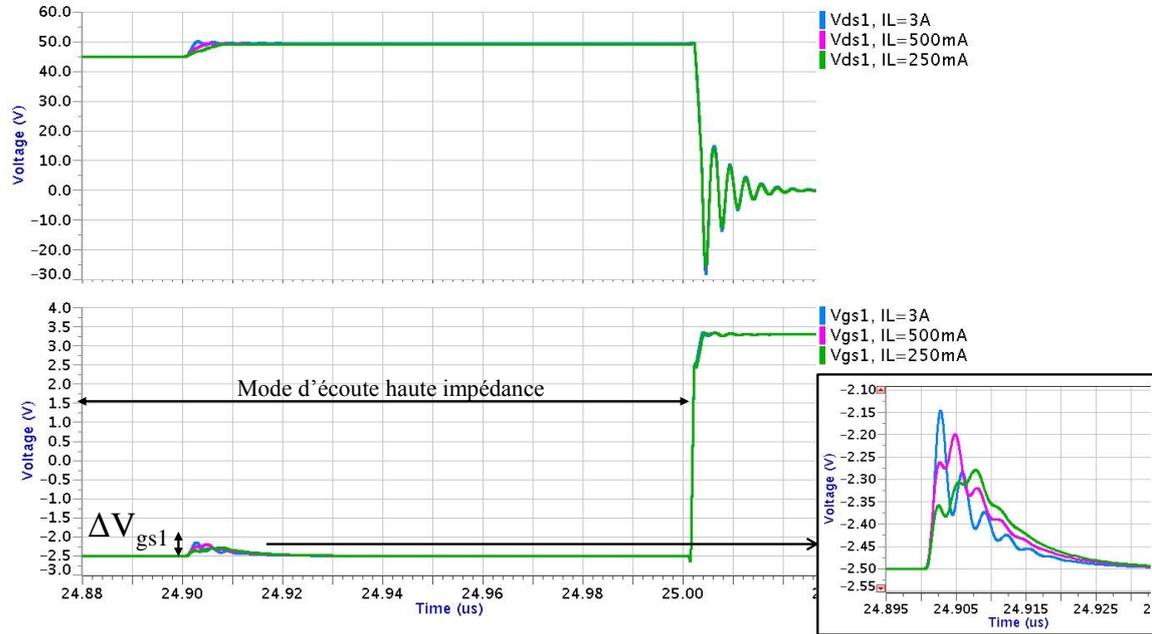


Figure III.31: Chronogrammes sur une période des signaux internes (en vert) du circuit de commande proposé pour l'autocommutation

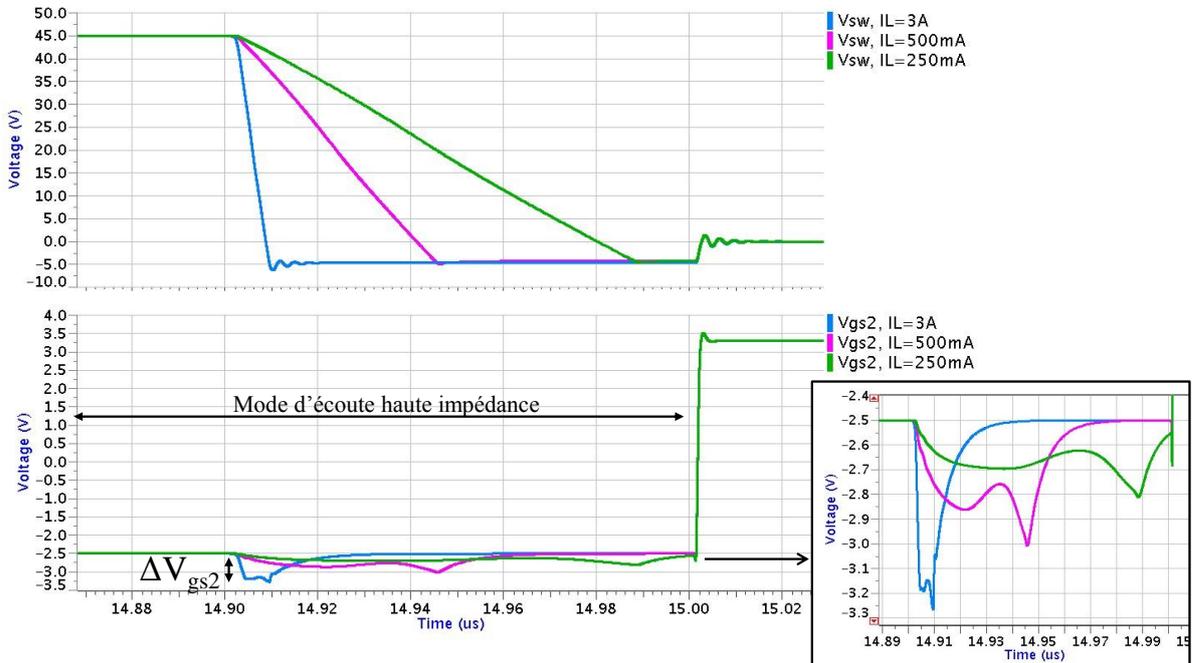
III.4.2.1.2 Dimensionnement de l'étage de sortie haute impédance

Afin d'optimiser la détection de la variation ΔV_{gs} et ce, pour les deux versions des convertisseurs de puissance grand gap, un dimensionnement correct du chemin de circulation haute impédance du courant parasite I_{gd} est nécessaire. Pour ce faire des études paramétriques sur les dimensions du NMOS N2 ont été menées dans les convertisseurs Buck de test à base de HEMTs GaN [39] et de JFETs SiC [38] afin d'obtenir des variations ΔV_{gs} suffisantes sur une large plage de courant de sortie tout en veillant à ce que celles-ci ne soient pas trop importantes pour éviter des remises en conduction parasites du composant de puissance en mode d'écoute. La Figure III.32 montre l'évolution de la tension grille-source de chaque HEMT GaN en mode d'écoute haute impédance lors de l'ouverture du transistor leur étant opposé pour un courant de sortie du convertisseur allant de 250mA à 3A. Les dimensions $W \times L$ de $504\mu\text{m} \times 0.5\mu\text{m}$ du NMOS N2 hautement résistif ayant conduit à ces courbes de simulation sont celles qui ont été retenues pour la conception de la puce. Les caractéristiques obtenues par simulation du mode d'écoute implémenté dans la puce sont résumées dans le Tableau III-4. Avec une résistance à l'état passant de 17Ω du NMOS N2, à l'ouverture du transistor Low-Side J2, la grille du transistor High-Side J1 en mode d'écoute subit une variation positive ΔV_{gs1} de +220mV à +350mV suivant la valeur du courant de sortie dans le convertisseur à base de HEMTs GaN contre une variation de +1.3V à +2.3V dans le convertisseur à base de JFETs SiC lorsque le courant I_L évolue de 250mA à 3A. A l'ouverture du transistor High-Side, le courant parasite I_{gd2}

en circulant au travers des diodes internes de N1 et N2 fait évoluer la tension de grille du transistor Low-Side d'une variation négative ΔV_{gs2} de -300mV à -700mV pour la version GaN et de -800mV à -3.7V pour la version SiC pour un courant de sortie allant de 250mA à 3A.



(a)



(b)

Figure III.32: Formes des ondes de tensions drain-source et grille-source à l'ouverture de (a) J2 et (b) J1 dans le convertisseur Buck 45V vers 10V à base de HEMTs GaN pour différentes valeur du courant de sortie : de par le mode d'écoute haute impédance lorsque le transistor opposé s'ouvre, une surtension ΔV_{gs} apparaît

Tableau III-4: Résultats de simulation du mode d'écoute implémenté dans le circuit de commande pour la détection de l'ouverture du transistor opposé

Paramètre	Conditions	Valeur	
Largeur totale W_{n2} du NMOS N2	$L_{min}=0.5\mu m$	504 μm	
Résistance à l'état passant de N2	$I_d=+5mA, V_{gs}=+10V$	17 Ω	
		Convertisseur à base de HEMTs GaN	Convertisseur à base de JFETs SiC
Surtension ΔV_{gs1} , en mode d'écoute à l'ouverture de J2	$I_L=+250mA$	+220mV	+1.30V
	$I_L=+500mA$	+300mV	+1.80V
	$I_L=+3A$	+350mV	+2.30V
Surtension ΔV_{gs2} , en mode d'écoute à l'ouverture de J1	$I_L=+250mA$	-300mV	-800mV
	$I_L=+500mA$	-500mV	-900mV
	$I_L=+3A$	-700mV	-3.70V

III.4.2.1.3 Les défauts de détection : prévention et protection

Ils existent deux types de défauts de détection qui dépendent de la sensibilité des détecteurs d'ouverture du transistor opposé. Le premier défaut, le moins fréquent, peut se produire uniquement lorsque les signaux IN1 et IN2 se recouvrent et que la sensibilité des détecteurs est trop importantes. Dans ce cas si une perturbation extérieure se produit sur la grille précisément à l'instant où les deux signaux se recouvrent (entre t_1 et t_1' sur la Figure III.31) et que celle-ci est suffisante pour faire passer le signal Détection à l'état haut, il y a un risque de fermeture du composant avant que le transistor opposé ne soit complètement ouvert. Afin de prévenir les circuits de commande de toute détection parasite lors du recouvrement des signaux d'entrée les seuils de détection doivent être adaptés aux valeurs des composants parasites du transistor grand gap choisi et de son environnement de commutation. De plus un filtre passe-bas peut être implémenté aux détecteurs pour filtrer tout bruit haute-fréquence.

Le second défaut de détection se produit lorsque le circuit de commande est en mode d'écoute, attendant l'ouverture du transistor opposé mais qu'il n'est pas assez sensible pour la détecter. Lorsque le courant de sortie est très faible ou nul, les variations ΔV_{gs} sont trop faibles pour être détectées même avec des seuils de détection correctement ajustés. De tels cas sont tout à fait commun dans des convertisseurs de puissance de type Buck ou onduleur. Par exemple lorsqu'un convertisseur Buck fonctionne en mode de conduction discontinu le courant dans l'inductance s'annule à chaque période. Pour ne pas bloquer le système de conversion lorsque la détection n'est pas possible, une durée maximale peut être imposée au mode d'écoute haute impédance. En d'autres termes un temps mort long, en l'occurrence de 300 ns, est fixé par le circuit de commande lorsque l'ouverture du transistor opposé n'est pas détectée.

III.4.2.2 Le détecteur d'ouverture

Les perturbations au niveau de la grille du composant de puissance lors de l'ouverture du transistor opposé sont « amplifiées » par l'adjonction d'un mode de surveillance haute impédance. Il nous faut à présent détecter des variations de tension ΔV_{gs} grâce à des détecteurs au niveau de la grille. Nous remarquons sur le Tableau III-4 que les perturbations à détecter par

chaque circuit de commande sont au minimum 2.6 fois plus faibles pour le convertisseur 45V vers 10V à base de HEMTs GaN que pour le convertisseur 250V vers 55V à base de JFETs SiC. Dans la première version de la puce de commande pour l'autocommutation des composants nous avons choisi de dimensionner les détecteurs en prenant comme valeurs restrictives les variations ΔV_{gs} les plus faibles à détecter, c'est à dire celles au niveau de la grille des plus petits composants HEMTs GaN EPC2007 [39].

Deux détecteurs sont nécessaires par circuit de commande pour détecter l'ouverture du composant opposé quel que soit le sens du courant de sortie. Un premier détecteur va surveiller un seuil de tension $V_{th,DET+}$ positif par rapport au potentiel V_- , lié à la circulation d'un courant parasite I_{gd} négatif tandis qu'un second détecteur va surveiller un seuil de tension $V_{th,DET+}$ négatif par rapport à V_- , correspondant à la circulation d'un courant parasite I_{gd} positif. Finalement ces deux détecteurs fonctionnant en parallèle sans perturbations l'un sur l'autre, constituent un comparateur sur deux seuils, appelé en anglais window detector.

III.4.2.2.1 Détecteur de variation positive de la grille

Le détecteur de variation ΔV_{gs} positive doit détecter le passage d'un courant parasite I_{gd} négatif circulant au travers du NMOS hautement résistif N2. Ce courant parasite circule dans le convertisseur Buck à courant de sortie positif dans la grille du transistor High-Side J1 à l'ouverture du transistor Low-Side J2 : à l'instant t_0 sur la Figure III.18 et la Figure III.19. Pour le convertisseur à base de HEMTs GaN EPC2007, la surtension positive ΔV_{gs1} est relativement faible de +220mV à +350mV (voir Tableau III-4). Nous avons alors cherché à développer un détecteur sensible, rapide, robuste et facilement intégrable capable de détecter des variations ΔV_{gs} à partir de quelques centaines de millivolts.

La Figure III.33 présente le schéma électrique détaillé du détecteur de variations ΔV_{gs} positives implémenté dans la puce. Ce détecteur est principalement basé sur un miroir de courant formé par les deux transistors N3 et N4. Lorsque le transistor de puissance est ouvert et le circuit de commande en mode d'écoute, son potentiel de grille V_g est initialement au potentiel V_- et le signal « Ecoute » est à l'état haut. Le courant de 10 μ A délivré par une référence de courant et circulant au travers du NMOS N3 est recopié dans la branche du NMOS N4 et de la résistance de 50k Ω . Le potentiel INT+ vaut alors $V_n-0.5V$ et le signal de sortie DET+ est à l'état bas, au potentiel V^+ . Lorsque le transistor opposé s'ouvre, dans notre cas J2, le courant parasite négatif I_{gd} circule au travers du circuit haute impédance créant une surtension positive ΔV_{gs} du potentiel de grille. La tension grille-source du N3 ayant sa source au potentiel V_g est maintenue constante par la capacité C2. Une augmentation du potentiel V_g entraîne donc une augmentation de la tension grille-source du transistor N4 et donc une augmentation importante de son courant de drain qui n'est plus limité à 10 μ A. Le potentiel INT+ passe alors de $V_n-0.5V$ à V_- et le signal DET+ à l'état haut, au potentiel V_n .

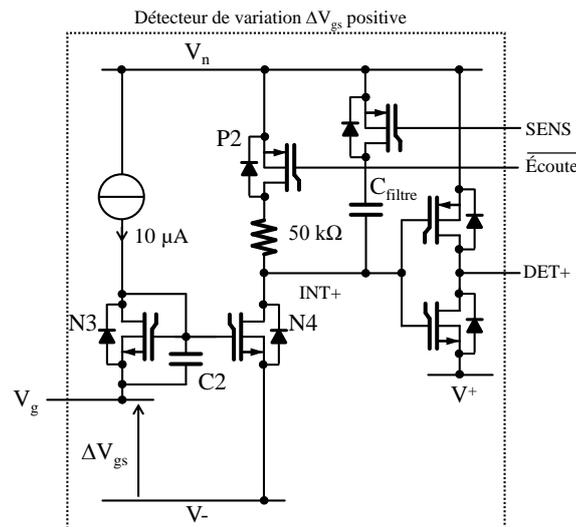


Figure III.33 : Schéma du circuit de détection de variations ΔV_{gs} positives

Les formes des signaux $DET+$, V_g et $INT+$ sont visibles sur la Figure III.34 (a) lorsque le potentiel V_g augmente lentement de $V_g = -10V$ à $V_g = +500mV$ en $10\mu s$. Cette figure nous permet d'apprécier la tension de seuil $V_{th,DET+}$ de $+112mV$ du circuit de détection des variations positives dans son dimensionnement final. Dans le Tableau III-5 sont résumés les différents résultats de caractérisation électrique par simulation du détecteur. La Figure III.34 (b) présente la réponse indicielle du détecteur à un échelon ΔV_{gs} d'amplitude $+300mV$ à $+2V$. Le circuit détecte l'échelon d'amplitude $+300mV$, correspondant au pire cas en $8ns$ et un échelon de $+2V$, correspondant au meilleur cas en $1ns$.

Une branche supplémentaire commandée par un signal externe $SENS$ permet de filtrer le signal $INT+$ dans le cas où le détecteur serait trop sensible. Avec une capacité C_{filtre} de $1pF$, le filtre RC passe-bas a une fréquence de coupure d'environ $3 MHz$.

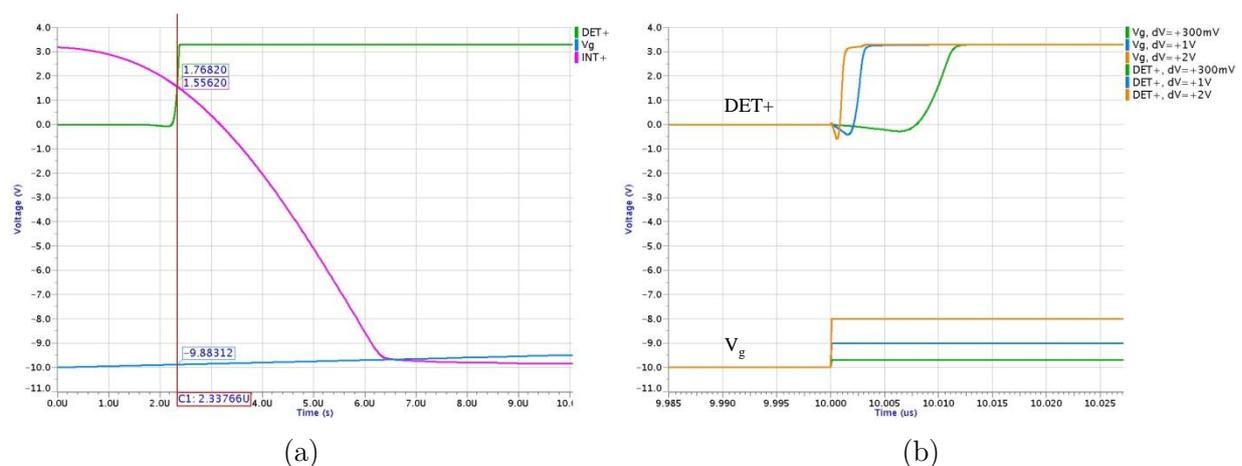


Figure III.34 : Formes des signaux internes et de sortie du détecteur de variations positives alimenté entre $V_n = +3.3V$ et $V_- = -10V$ (a) lorsque la tension de grille augmente lentement afin de caractériser la tension de seuil du détecteur et (b) en réponse à un échelon positif de tension de grille de différentes amplitudes

Tableau III-5 : Caractérisation électrique du détecteur de variations positives de la tension de grille à partir de résultats de simulations

Paramètre	Symbole	Conditions	Valeur	
Tension de seuil positive par rapport à V-	$V_{th,DET+}$	$V_n = +3.3V$ $V_- = -10V$	+112 mV	
Variation de la tension de seuil avec l'alimentation V_n	$\Delta V_{th,DET+,V_n}$	$+3V < V_n < +5V$ $V_- = -10V$	1%	
Variation de la tension de seuil avec l'alimentation V-	$\Delta V_{th,DET+,V_-}$	$-15V < V_- < -7V$ $V_n = +3.3V$	9%	
Temps de réponse	t_{DET+}	$V_n = +3.3V$ $V_- = -10V$	$\Delta V_{gs} = +300mV$	8 ns
			$\Delta V_{gs} = +1V$	2 ns
			$\Delta V_{gs} = +2V$	1 ns

III.4.2.2.2 Détecteur de variation négative de la grille

Le détecteur de variation ΔV_{gs} négative fonctionne de manière tout à fait complémentaire au détecteur de variation positive. Celui-ci doit détecter le passage d'un courant parasite I_{gd} positif circulant cette fois au travers de la diode interne du NMOS hautement résistif N2 et du NMOS N1 de l'étage de sortie. Ce courant parasite circule dans le convertisseur Buck à courant de sortie positif dans la grille du transistor Low-Side J2 à l'ouverture du transistor High-Side J1 : à l'instant t_2 sur la Figure III.18 et la Figure III.19. La Figure III.35 présente le schéma électrique détaillé du détecteur de variations ΔV_{gs} négatives. Ce détecteur est basé sur le même miroir de courant constitué des NMOSs N5 et N6 à l'exception des potentiels de source des transistors qui sont inversés.

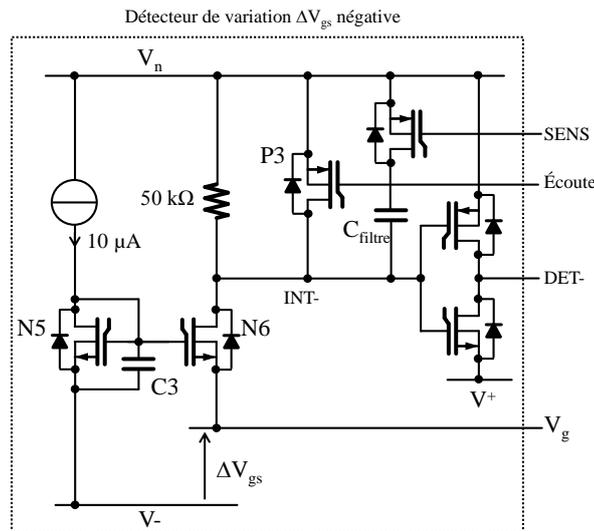


Figure III.35 : Schéma du circuit de détection de variations ΔV_{gs} négatives

De même que pour le détecteur positif, les formes des signaux DET-, V_g et INT- sont visibles sur la Figure III.36 (a) lorsque le potentiel V_g diminue lentement de $V_- = -10V$ à $V_- = -500mV$ en

10 μ s. Et la Figure III.36 (b) présente la réponse indicielle du détecteur à un échelon ΔV_{gs} d'amplitude -300mV à -2V. Dans le Tableau III-6 sont résumés les différents résultats de caractérisation électrique par simulation du détecteur négatif. Le circuit à une tension de seuil $V_{th,DET-}$ de -116mV variant au maximum de 10% et 5% lorsque l'amplitude des alimentations V_n et V_- varie. Le circuit détecte un échelon d'amplitude -300mV, correspondant au pire cas en 1.2ns et un échelon de -4V, correspondant au meilleur cas en seulement 300ps. La même branche de filtrage du bruit sur INT- peut être activée par le signal SENS à l'état bas.

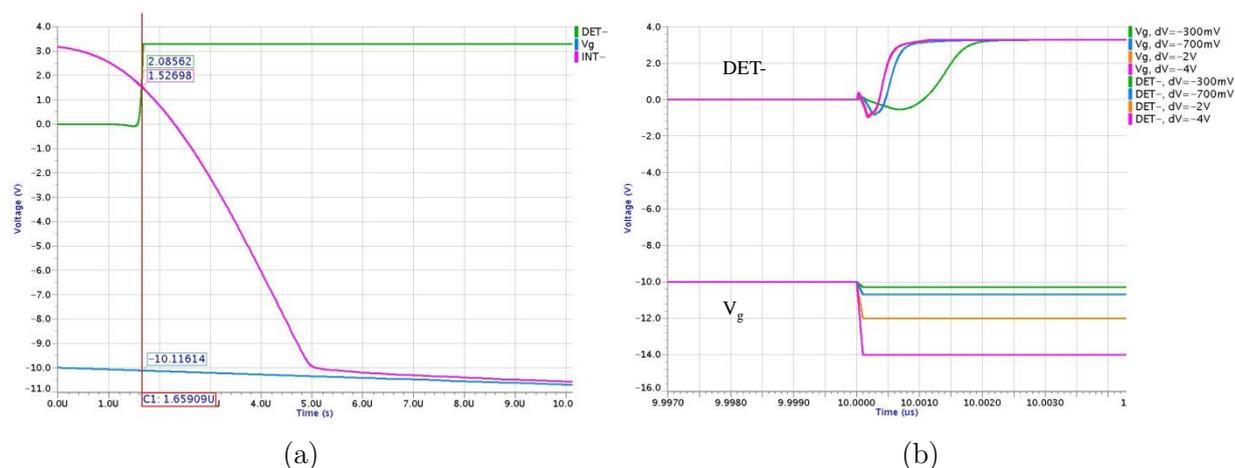


Figure III.36 : Formes des signaux internes et de sortie du détecteur de variations négatives alimenté entre $V_n=+3.3V$ et $V_-=-10V$ (a) lorsque la tension de grille décroît lentement afin de caractériser la tension de seuil du détecteur et (b) en réponse à un échelon négatif de tension de grille de différentes amplitudes

Tableau III-6 : Caractérisation électrique du détecteur de variations négatives de la tension de grille à partir de résultats de simulations

Paramètre	Symbole	Conditions	Valeur	
Tension de seuil négative par rapport à V_-	$V_{th,DET-}$	$V_n=+3.3V$ $V_-=-10V$	-116 mV	
Variation de la tension de seuil avec l'alimentation V_n	$\Delta V_{th,DET-,V_n}$	$+3V < V_n < +5V$ $V_-=-10V$	10%	
Variation de la tension de seuil avec l'alimentation V_-	$\Delta V_{th,DET-,V_-}$	$-15V < V_- < -7V$ $V_n=+3.3V$	5%	
Temps de réponse indicielle	t_{DET-}	$V_n=+3.3V$ $V_-=-10V$	$\Delta V_{gs}=-300mV$	1.2 ns
			$\Delta V_{gs}=-700mV$	0.5 ns
			$\Delta V_{gs}=-2V$	0.3 ns
			$\Delta V_{gs}=-4V$	0.3 ns

III.4.2.2.3 Détecteur complet d'ouverture du transistor opposé

Finalement le détecteur complet d'ouverture du transistor opposé est constitué des deux sous détecteurs positif et négatif en parallèle. Les signaux de sortie DET+ et DET- sont ensuite échantillonnés par une bascule D sur front montant. Le signal « Détection » est maintenu à l'état haut jusqu'à ce que le signal de commande IN passe à l'état bas, comme sur les chronogrammes de la Figure III.31, où la sortie de la bascule est remise à « zéro ».

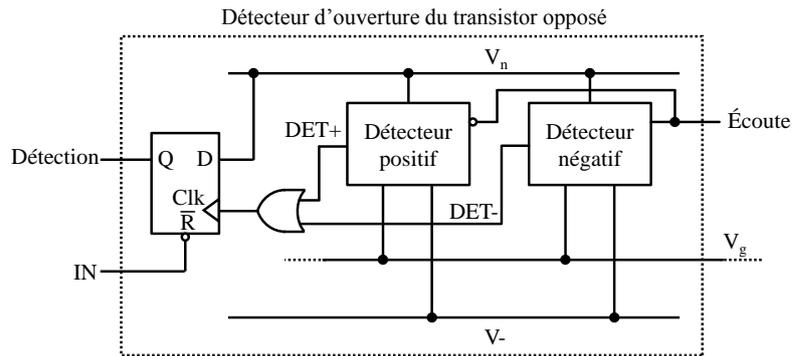


Figure III.37 : Schéma complet du circuit de détection d'ouverture du transistor opposé

III.4.3 Dessin des masques

De même que pour la puce à impédance de sortie adaptative, le dimensionnement de chaque bloc constituant la puce de commande à temps morts auto-adaptatifs est validé par simulation dans tous les cas des procédés technologiques et sur toute la plage de tension et de température souhaitée. Une fois les dimensions de tous les composants arrêtés nous procédons au dessin de la puce.

III.4.3.1 Les transistors utilisés

Comme nous l'avons précisé en début de partie III.4.1, de par le choix d'une référence V_+ se situant à un potentiel supérieur à celui du substrat, des transistors NMOSs « isolés » sont nécessaires lorsque leur caisson de Bulk se situe à un potentiel différent de celui du substrat, en l'occurrence V_- . La technologie AMS 0.35 μ m 20V propose des NMOSs triple caisson permettant de polariser le caisson du Bulk à un potentiel plus élevé que V_- . Le transistor basse tension est semblable à son homologue double caisson à la différence du caisson supplémentaire T à polariser au potentiel du substrat. Le transistor haute tension 20V triple caisson est lui, équivalent à son homologue double caisson à l'exception du caisson supplémentaire et de l'ordonnancement des électrodes. Avec ces composants triple caisson, les électrodes de grille, drain et source restent accessibles aux mêmes niveaux de métaux que les versions double caisson. Les dessins qui suivent seront donc très semblables.

III.4.3.2 La partie amplification de puissance

La fonction d'amplification des signaux de commande destinée au composant de puissance est encore une fois celle qui consomme le plus de surface avec des transistors N1 et P1 imposants de l'étage de sortie. Afin d'optimiser la consommation surfacique le NMOS N1 de longueur 20mm et le PMOS P1 de longueur 45mm sont subdivisés respectivement en quarante doigts double de longueur 250 μ m et soixante doigts double de longueur 375 μ m. Le dessin du bloc d'amplification complet est représenté sur la Figure III.38. Celui-ci est similaire à celui de la puce à impédance de sortie adaptative. Nous retrouvons l'étage de sortie placé au sommet de la puce puis accolé, en dessous, les préamplificateurs de chacun des interrupteurs de sortie P1 et N1, vient ensuite au pied de la puce les circuits de décalage de niveau nécessaire pour la compréhension des signaux logiques par le circuit de puissance. Cette partie d'amplification de puissance est imposante, elle occupe une surface de silicium de 0.84 mm². Afin de garantir une bonne répartition du courant et de la tension à la surface de ce bloc la même technique d'entrelacement des pistes sur deux niveaux précédemment étudiée et visible sur la Figure II.47 a été utilisée pour cette puce.

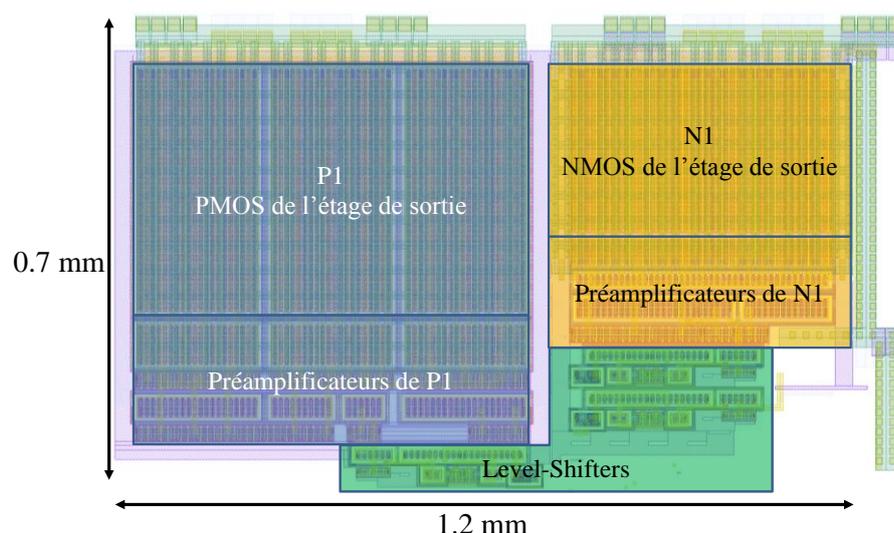


Figure III.38 : Dessin de la partie amplification de puissance des signaux de commande de la puce

III.4.3.3 Le circuit de détection de l'ouverture du transistor opposé

Le circuit de détection de l'ouverture du transistor opposé est pour rappel constitué de deux détecteurs antagonistes de variations positives et négatives du potentiel de grille. Tout comme leur schéma électrique, leur dessin est quasiment identique. Sur la Figure III.39 (a) est visible le dessin du circuit de détection avec les deux détecteurs placés l'un au-dessus de l'autre. Une attention particulière a été apportée au dessin des deux miroirs de courant identiques, représenté sur la Figure III.39 (b), pour que la recopie du courant soit la plus fidèle possible malgré les aléas des procédés de fabrication. Nous avons utilisé la technique de dessin basée sur une symétrie centrale nommée Common Centroid en anglais. Chaque NMOS, ici N3 ou N4 a ses doigts interdigités avec ceux de l'autre NMOS du miroir et tous ses doigts sont symétriques par rapport

au centre de symétrie : le point noir sur la Figure III.39 (b). De cette manière les variations de procédés sont uniformément réparties sur les deux transistors du miroir et la copie du courant s'en retrouve que très peu impactée. De plus pour limiter les effets de bords, des transistors inertes, Dummies en anglais, encadrent les doigts extérieurs des deux transistors. Finalement la surface totale de ce détecteur d'ouverture du transistor opposé étant réduite à seulement 0.06 mm^2 ne contribue qu'à une très faible augmentation du coût de la puce de commande.

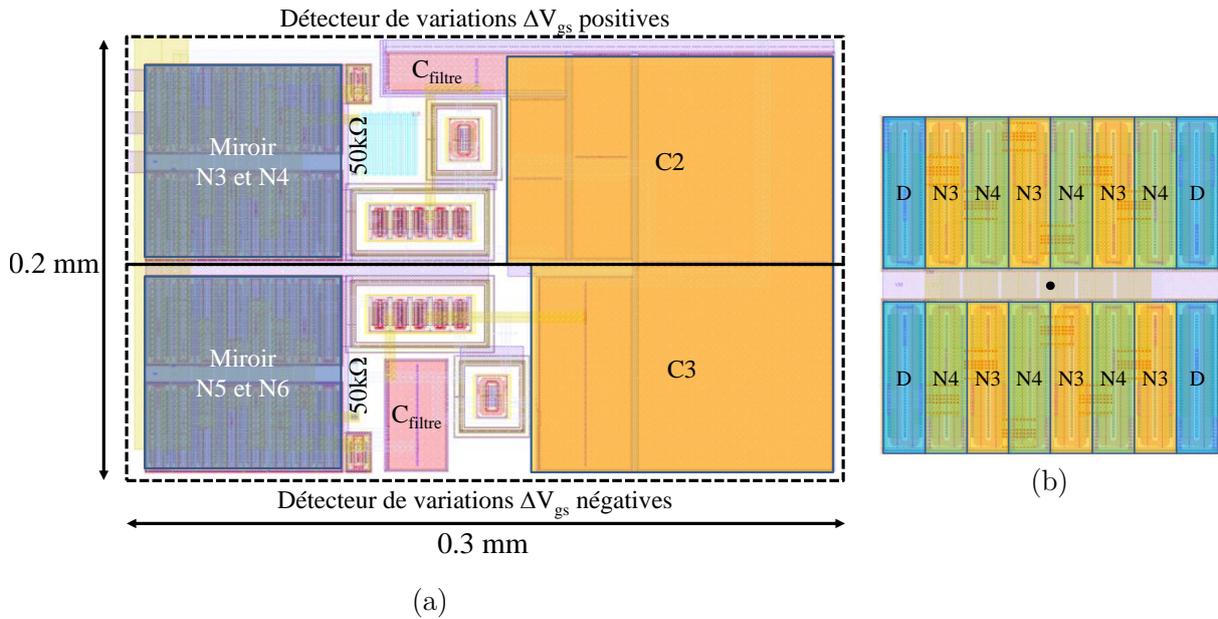


Figure III.39 : Dessin (a) du circuit de détection de l'ouverture du transistor opposé et (b) du miroir de courant mettant en évidence la symétrie centrale

III.4.3.4 Le dessin au niveau haut

Le dessin au niveau haut de la puce de commande pour l'autocommutation des composants est présenté par la Figure III.40. Nous retrouvons tous les blocs de commande et de détection du schéma détaillé de la Figure III.24. La surface active de la puce de commande sans les plots est d'environ 0.97 mm^2 . La partie de commande de grille standard représente 86% de cette surface. La fonctionnalité d'autocommutation des composants ajoute à la puce de commande une surface de 0.12 mm^2 , ce qui représente 14% de la surface active. Nous comptabilisons dans cette surface les détecteurs, le circuit haute impédance, noté N2 HZ, et la cellule retard utile à la génération du temps mort long en cas de défaut de détection. Par contre nous ne comptabilisons pas dans ce chiffre la surface de 0.11 mm^2 occupée par la référence de courant et de tension, non représentée sur la Figure III.40 et partagée par les autres fonctionnalités annexes de la puce.

La partie de commande standard est organisée de telle sorte à ce que le signal de commande à amplifier se propage rectilignement du circuit logique à l'étage de sortie par le chemin le plus court. Le circuit de détection est lui, placé à proximité du circuit logique tout en ayant un accès direct faiblement parasité au potentiel de grille par un large rail rectiligne multi-niveaux connecté aux plots de grille.

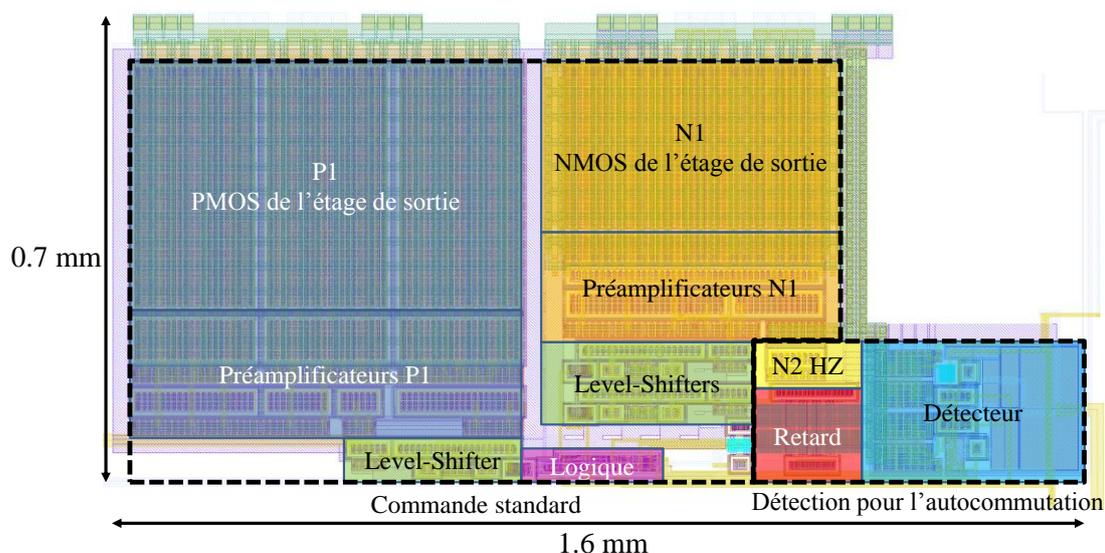


Figure III.40 : Dessin au niveau haut du circuit de commande permettant l'autocommutation des composants

III.5 L'autocommutation des composants grand gap dans un convertisseur synchrone sans diodes

La puce de commande intégrant un contrôleur de temps morts auto-adaptatifs a été fabriquée en technologie AMS 0.35 μ m 20V. Nous débutons cette partie par la caractérisation des parties commande et détection de cette puce. Une fois la puce caractérisée nous validons expérimentalement la fonction d'autocommutation des composants grand gap sans diode par la puce de commande proposée dans des convertisseurs synchrones. Le gain en rendement de l'autocommutation des composants HEMTs GaN et JFETs SiC purement verticaux sans diodes est évalué pour les deux versions du convertisseur Buck synchrone de test.

III.5.1 Caractérisation de la puce de commande pour l'autocommutation

III.5.1.1 La puce

La Figure III.41 ci-dessous présente la photographie de la puce de commande permettant l'autocommutation des interrupteurs réalisée en technologie AMS 0.35 μ m 20V. La puce entière possède quarante-quatre plots d'entrée/sortie et est mise en boîtier DIL48. Les trois blocs utiles au circuit de commande, à savoir le circuit d'amplification de puissance, le détecteur d'ouverture et la référence de courant sont surlignés sur la Figure III.41. Ces blocs occupent une surface de 1.54 mm² et utilisent vingt plots d'entrée/sortie. La surface et les plots restants sont destinés à des circuits annexes non présentés dans ce manuscrit. La puce du circuit de commande possède une seule entrée pour le signal de commande IN, quatre entrées de configuration de la partie

commande/détection et une sortie de visualisation du signal « Détection ». L'alimentation du circuit d'amplification est assurée par quatre plots fixant la référence du circuit à $V+$, quatre plots pour le potentiel négatif $V-$ et deux autres pour le potentiel positif V_n . La grille du composant de puissance est connectée à la sortie de la puce de commande par l'intermédiaire de quatre pattes. Deux de ces pattes sont directement connectées au drain du PMOS P1 et les deux autres au drain du NMOS N1 et au circuit de détection. Cette première version de la puce de commande pour l'autocommutation ne possédant pas d'impédance de sortie adaptative comme le propose la puce présentée au chapitre précédent, la dissociation du chemin de charge et de décharge de la grille permet si nécessaire de régler indépendamment par des résistances externes la vitesse de commutation à la montée et à la descente.

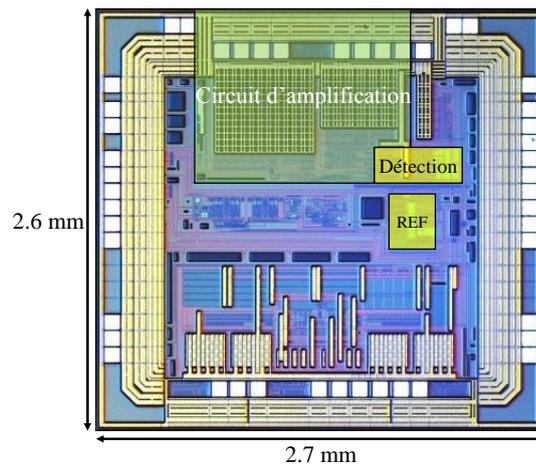


Figure III.41 : Photographie de la puce du circuit de commande pour l'autocommutation : la surface utile est constituée du circuit d'amplification, de détection et la référence de tension. Cette surface n'occupe que 1.54 mm^2 sur la puce entière.

III.5.1.2 Caractérisation de la partie commande

Pour caractériser en dynamique la partie commande de la puce nous commutons entre le potentiel négatif $V-$ et la référence $V+$ une charge capacitive normée de 1nF semblable à celle utilisée pour le dimensionnement du circuit. La Figure III.42 présente les courbes expérimentales à la fermeture et à l'ouverture du circuit de commande lorsqu'il commute la capacité de grille entre -10V et 0V en mode direct, c'est-à-dire en désactivant le circuit de détection et en prenant directement en compte le signal d'entrée I_N . Les résultats de caractérisation statique et dynamique du circuit d'amplification de puissance de la puce sont résumés dans le Tableau III-7. L'étage de sortie possède une impédance de sortie à la montée et à la descente de 1.1Ω et 0.9Ω et est capable de charger et décharger la grille d'un composant avec un courant de -3.5A et $+3\text{A}$. Ce courant de sortie continu est calculé à partir du temps de charge d'une capacité de 10nF entre -10V et 0V . Le temps de propagation du signal est très court mais légèrement dissymétrique avec un temps de propagation à la fermeture de 6.4 ns et à l'ouverture de 5.6ns . Le temps de commutation mesuré entre 10% et 90% de l'amplitude avec la capacité normée de 1nF est lui, tout à fait symétrique, égal à la montée et à la descente à seulement 5.4 ns . Pour rappel des résistances externes peuvent être ajoutées sur le chemin de charge et/ou de décharge pour dégrader si nécessaire ces performances dynamiques et par exemple réduire la surtension sur la grille qui est ici de 4V à la montée et à la descente.

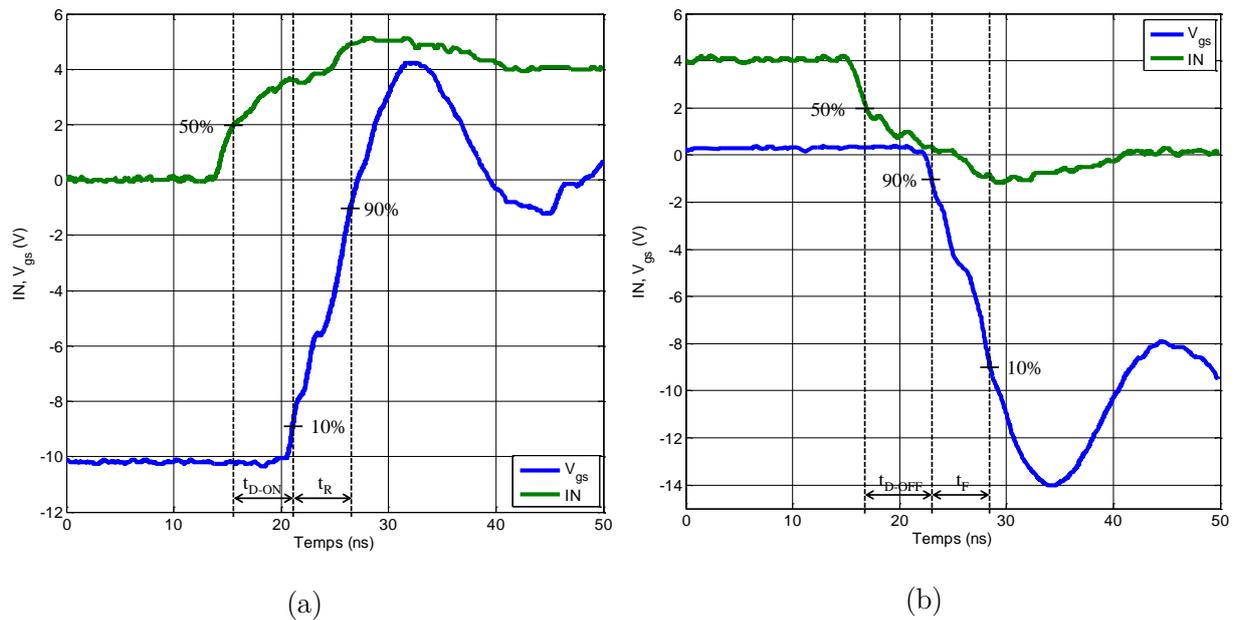


Figure III.42 : Formes des courbes de la tension d'entrée IN et de la tension grille-source V_{gs} (a) à la montée et (b) à la descente lorsqu'une capacité normée de 1nF est commutée entre $V_+=0V$ et $V_-=-10V$

Tableau III-7 : Caractéristiques électriques mesurées de la partie commande de la puce alimentée entre $V_+=0V$ et $V_-=-10V$

Paramètre	Symbole	Condition	Valeur
A la montée			
Résistance à l'état passant de V_+ à la grille	R_{OVH}	$I_g=-500mA$	1.1Ω
Courant de sortie continu	I_R	$C_L=10000pF$	$-3.5 A$
Temps de montée	t_R	$C_L=1000pF$	$5.4 ns$
Temps de propagation du signal de fermeture	t_{D-ON}	$C_L=1000pF$	$6.4 ns$
A la descente			
Résistance à l'état passant de la grille à V_-	R_{OVL}	$I_g=+500mA$	0.9Ω
Courant de sortie continu	I_F	$C_L=10000pF$	$+3 A$
Temps de descente	t_F	$C_L=1000pF$	$5.4 ns$
Temps de propagation du signal d'ouverture	t_{D-OFF}	$C_L=1000pF$	$5.6 ns$

III.5.1.3 Caractérisation de la partie détection

Pour que la caractérisation du circuit de détection soit la plus représentative possible, nous effectuons les mesures expérimentales directement dans le convertisseur Buck à base de HEMTs GaN EPC2007 [39] où la détection de l'ouverture du transistor opposé est la plus critique. Sur la Figure III.43 et la Figure III.44 sont visibles les formes des tensions du transistor High-Side J1 et du transistor Low-Side J2 lorsque leur circuit de commande respectif est en limite de détection de l'ouverture du transistor leur étant opposé dans le convertisseur Buck. Les caractéristiques électriques du circuit de détection extraites de ces courbes sont répertoriées dans le Tableau III-8.

Nous remarquons sur la Figure III.43 qu'à l'ouverture de J2, lorsque le circuit de commande de J1 est en mode d'écoute et que la vitesse de variation dV_{ds1}/dt de la tension drain-source de J1 atteint $+200\text{mV/ns}$, le potentiel de grille subit une variation positive de $+200\text{mV}$ qui est détectée par le passage à l'état haut du signal « Détection » après un retard t_{DET} d'environ 8ns . En dessous de ce seuil $V_{th,DET+}$ de $+200\text{mV}$, le circuit de commande de J1 ne détecte pas l'ouverture du transistor Low-Side J2, le signal « Détection » reste à l'état bas et J1 ne se ferme pas. Afin de permettre le démarrage du convertisseur ou chaque fois que le courant de sortie est trop faible et que la détection n'est pas possible, un temps mort long de 300ns est généré en interne par le circuit de commande et imposé par défaut au système.

Nous constatons sur les formes de la Figure III.44 que le fonctionnement à l'ouverture du transistor High-Side J1 est similaire à celui de l'ouverture du transistor Low-Side J2. Lorsque la vitesse de variation du point milieu V_{sw} , environ égale à la vitesse dV_{ds2}/dt de la tension drain-source de J2 atteint -215mV/ns , la variation négative de -250mV du potentiel de grille est détectée par le circuit de commande qui fait passer le signal « Détection » à l'état haut avec un retard t_{DET-} de 5ns . Cette fois-ci encore, en dessous de la tension de seuil $V_{th,DET-}$ de -250mV , pour ne pas bloquer le système, une option permet au circuit de commande d'imposer par défaut un temps mort long de 300ns . La consommation du circuit de détection est estimée par simulation à $140\mu\text{A}$ pour une fréquence de commutation de 100kHz . Cette consommation provenant en grande majorité de la référence de courant ne peut être mesurée directement avec la puce actuelle. Il n'y a en effet pas de chemin d'alimentation dédié au circuit de détection et donc seule la consommation globale de la puce peut être mesurée.

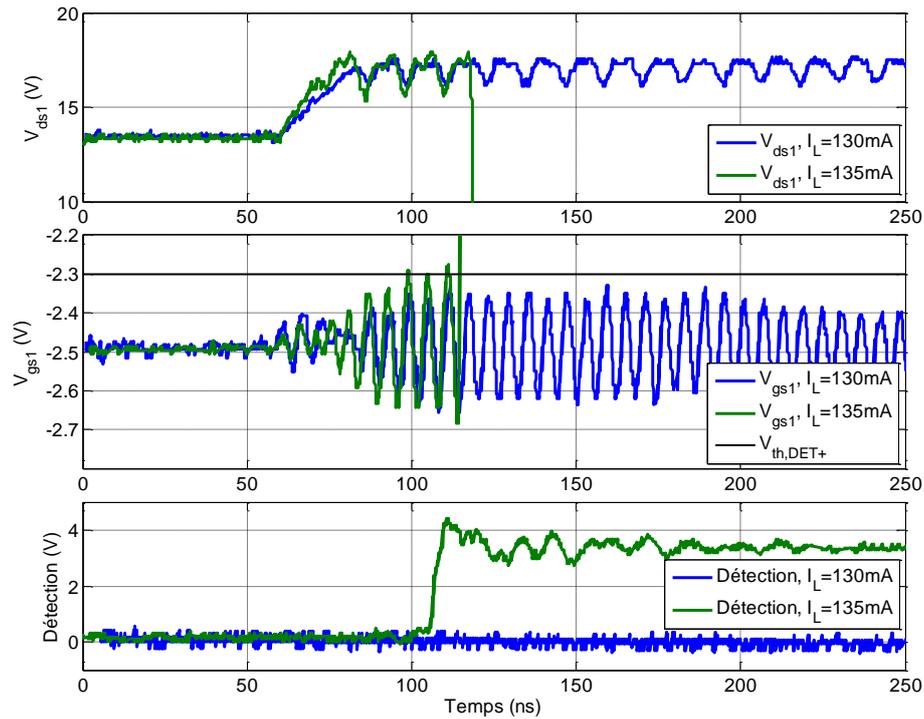


Figure III.43 : Formes d'ondes de tensions dans le convertisseur Buck à base de HEMTs GaN en limite de détection de l'ouverture du transistor Low-Side J2

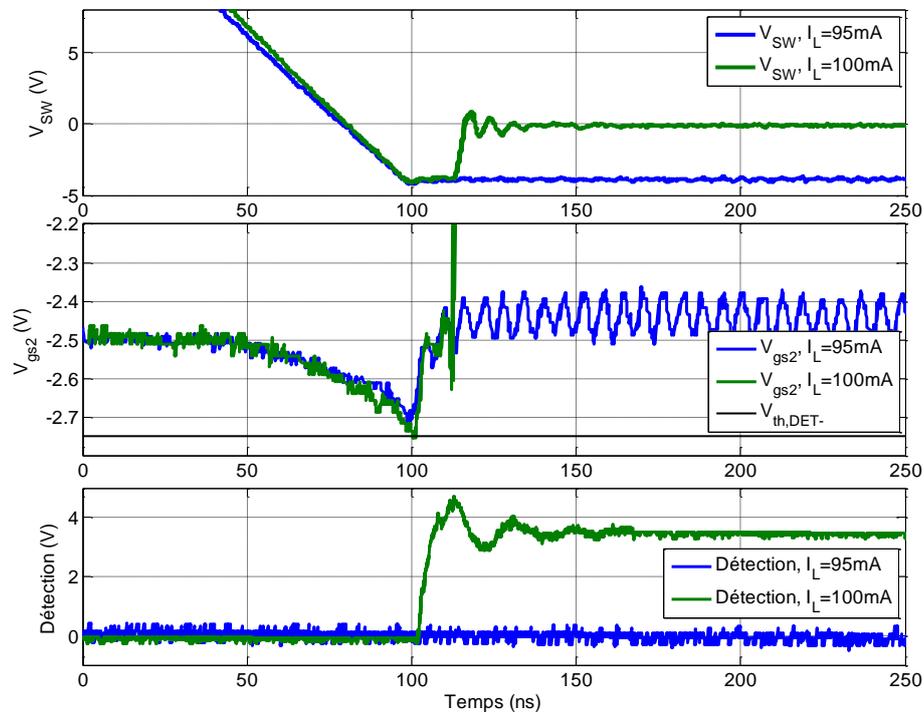


Figure III.44: Formes d'ondes de tensions dans le convertisseur Buck à base de HEMTs GaN en limite de détection de l'ouverture du transistor High-Side J1

Tableau III-8 : Caractéristiques électriques mesurées de la partie détection de la puce alimentée entre $V_+=0V$ et $V_-=-10V$ pilotant des HEMTs GaN dans un convertisseur Buck

Paramètre	Symbole	Condition	Valeur
Vitesse de variation de la tension drain-source V_{ds1} à l'ouverture de J2	dV_{ds1}/dt	$I_L=130mA$	+175 mV/ns
		$I_L=135mA$	+200 mV/ns
Tension de seuil positive	$V_{th,DET+}$	Mode d'écoute, $I_L=135mA$	+200 mV
Retard à la détection de variations positive	t_{DET+}	Mode d'écoute, $I_L=135mA$	8 ns
Vitesse de variation de la tension drain-source V_{ds2} à l'ouverture de J1	dV_{ds2}/dt	$I_L=95mA$	-200 mV/ns
		$I_L=100mA$	-215 mV/ns
Tension de seuil négative	$V_{th,DET-}$	Mode d'écoute, $I_L=100mA$	-250 mV
Retard à la détection de variations négative	t_{DET-}	Mode d'écoute, $I_L=100mA$	5 ns
Courant consommé	I_{ctrl}	$f_{SW} = 100kHz$	140 μA^*

*valeur estimée par simulation, non mesurable directement

III.5.2 Le convertisseur Buck de test

Une fois les parties commande et détection de la puce caractérisées, nous avons validé expérimentalement le bon fonctionnement de cette dernière dans le convertisseur Buck 45V vers 10V 30W à base de HEMTs GaN EPC2007 [39] et le convertisseur Buck 250V vers 55V 500W à base de JFETs SiC SJD102R085 [38] commutant tous deux à une fréquence de 100kHz. Ces deux convertisseurs partagent exactement les mêmes caractéristiques que ceux précédemment étudiés en partie III.2.2. Les circuits de commande restent donc les mêmes mais nous utilisons à présent leur mode d'écoute dans le but d'autocommuter les composants de puissance. Une seule carte hybride a été développée pour les deux convertisseurs de puissance.

Le schéma électrique complet commun à ces deux convertisseurs est donné par la Figure III.45. Les signaux numériques IN1' et IN2' pilotant l'ouverture du composant et la mise en mode d'écoute du circuit de commande sont générés par le circuit logique éloigné et isolés/décclés par deux micro transformateurs [68] semblables à ceux présentés en partie I.4.2.1. Les alimentations flottantes V^+ et V^- sont, elles, assurées par des convertisseurs Flyback [72]. La photographie du convertisseur de puissance Buck dans sa version à base de JFETs SiC est visible sur la Figure III.46. La carte mesure selon ses cotes extérieures 20 cm par 16 cm. La partie active de la carte, utile à la conversion de l'énergie se situe au centre et mesure seulement 13 cm par 10 cm. Les empreintes et les composants visibles sur les extrémités sont utiles à des fonctions annexes non présentées dans ce manuscrit.

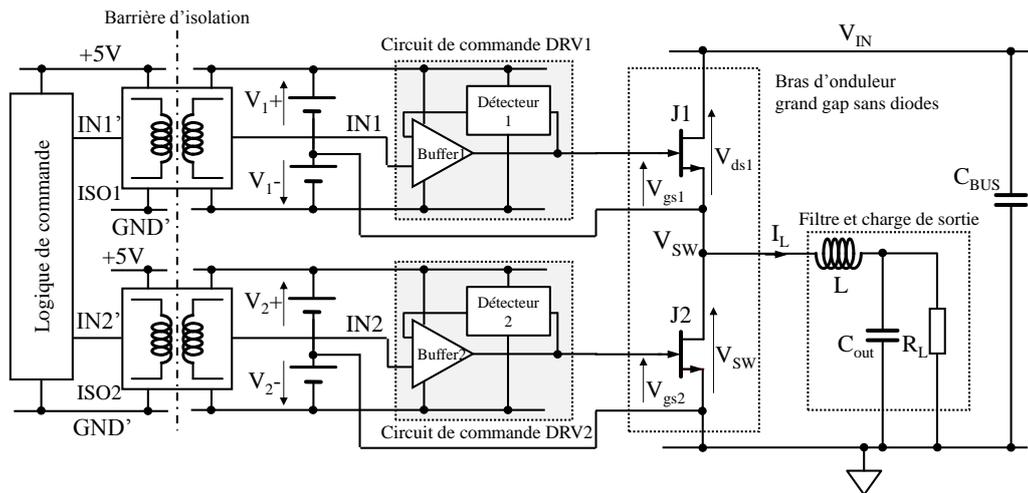


Figure III.45 : Schéma complet du convertisseur Buck synchrone à base de composants grand gap sans diodes autocommutés par le circuit de commande proposé

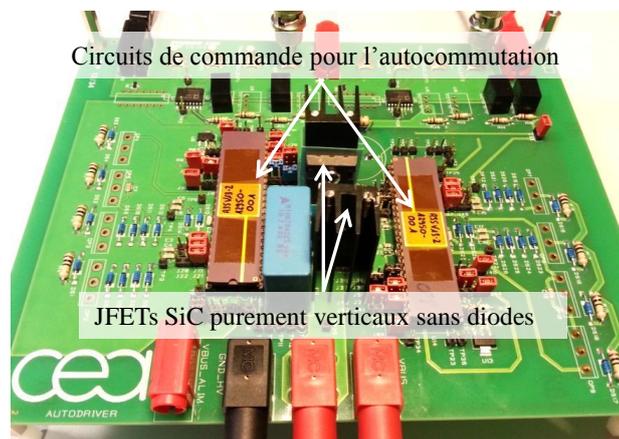


Figure III.46 : Photographie du convertisseur de puissance Buck synchrone grand gap sans diodes

La Figure III.47 présente une photographie de la partie active du convertisseur de puissance hybride utilisé dans nos tests. La cellule de commutation de puissance, constituée par les transistors J1 et J2 et la capacité de bus C_{BUS} , se situe au centre, représentée par la maille de commutation en rouge sur la photographie. Si nous remarquons aisément les empreintes TO-247 pour les JFETs SiC il n'en va pas de même pour l'empreinte LGA de 1.7mm par 1 mm du HEMT GaN EPC2007 que nous distinguons à peine (l'autre empreinte LGA se situe sur l'autre face non visible). La maille de commutation de puissance a été particulièrement optimisée. Les deux transistors J1 et J2 sont distants d'environ 1.3 cm et la maille de commutation de puissance est orthogonale au plan de la carte. Cette cellule de commutation est entourée au plus proche par les deux circuits de commande DRV1 et DRV2 et ce, malgré leur taille imposante due à un boîtier DIL48 pratique mais non optimisé. Les deux mailles de commutation de la commande sont marquées en bleu sur la photographie. Celles-ci sont inscrites dans un plan orthogonal à celui de la carte et à celui de la maille de puissance. Les mailles de commutation des commandes et de la puissance étant orthogonales entre elles, les interactions parasites par couplage magnétique entre puissance et commandes doivent être minimales. Grâce à cette carte de test hybride et au circuit de commande proposé, nous allons pouvoir évaluer les bénéfices

apportés par l'autocommutation de composants HEMTs GaN et JFETs SiC purement verticaux dans un convertisseur de puissance synchrone sans diodes.

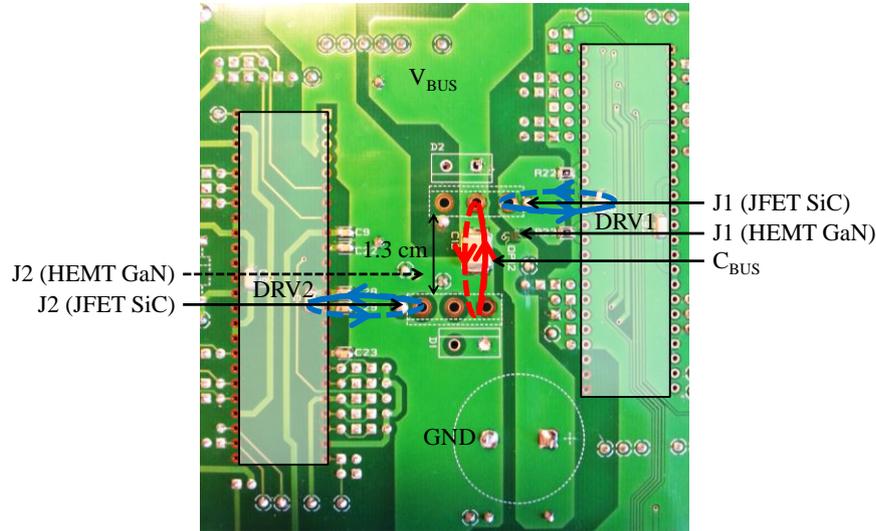


Figure III.47 : Photographie de la partie active du convertisseur de puissance Buck sans diodes mettant en évidence les mailles de commutation des commandes (en bleu), de la puissance (en rouge) et les deux types d'empreinte : TO-247 pour les JFETs SiC [38] et LGA pour les HEMTs GaN [39]

III.5.3 L'autocommutation des HEMTs GaN

III.5.3.1 Les formes d'ondes expérimentales du convertisseur Buck à base de HEMTs GaN autocommutés

Sur la Figure III.48 ci-dessous sont visibles les formes d'ondes expérimentales du convertisseur Buck synchrone 45V vers 10V à base de HEMTs GaN EPC2007 [39] autocommutés à une fréquence de 100kHz par leur circuit de commande respectif. Les deux signaux d'entrée IN1' et IN2' générés par le circuit logique de commande éloigné sont ici recouvrant d'environ 100ns mais ils pourraient ne pas l'être. Pour rappel (voir détail en partie III.4.2.1) ce temps de recouvrement n'a que peu d'importance, il marque simplement la durée du mode d'écoute : plus il est court, plus le mode d'écoute est court. Dans nos tests un recouvrement des signaux nous permet de garantir que le mode d'écoute est bien effectif à l'instant où le transistor opposé va s'ouvrir. Les informations réellement utiles à la conversion d'énergie sont réduites au signal d'ouverture du transistor High-Side et du transistor Low-Side. En effet c'est exclusivement le passage des signaux IN1' et IN2' à l'état bas qui fixe à présent le rapport cyclique du convertisseur, le passage à l'état haut marque lui le début du mode d'écoute. Plus qu'un seul signal d'entrée IN' peut alors être généré par le circuit logique éloigné, la gestion des temps morts étant à présent entièrement à la charge des circuits de commande DRV1 et DRV2.

Sur les formes d'ondes expérimentales ci-dessous, lorsque le transistor Low-Side J2 s'ouvre, le circuit de commande High-Side DRV1 le détecte et ferme le transistor High-Side J1 quasiment instantanément. Il en va de même à l'ouverture du transistor High-Side. Ce processus rapide d'écoute, de détection et de fermeture se déroule précisément comme nous l'avions prévu lors de

l'étude des chronogrammes du convertisseur synchrone autocommuté de la Figure III.23. Nous obtenons donc bien un convertisseur synchrone sans aucunes diodes où les temps morts sont virtuellement supprimés ce qui devrait nous permettre d'atteindre des rendements de conversion sensiblement supérieurs à ceux du même convertisseur mais à temps mort fixe et au moins aussi bons avec ou sans les diodes Schottky externes en antiparallèle.

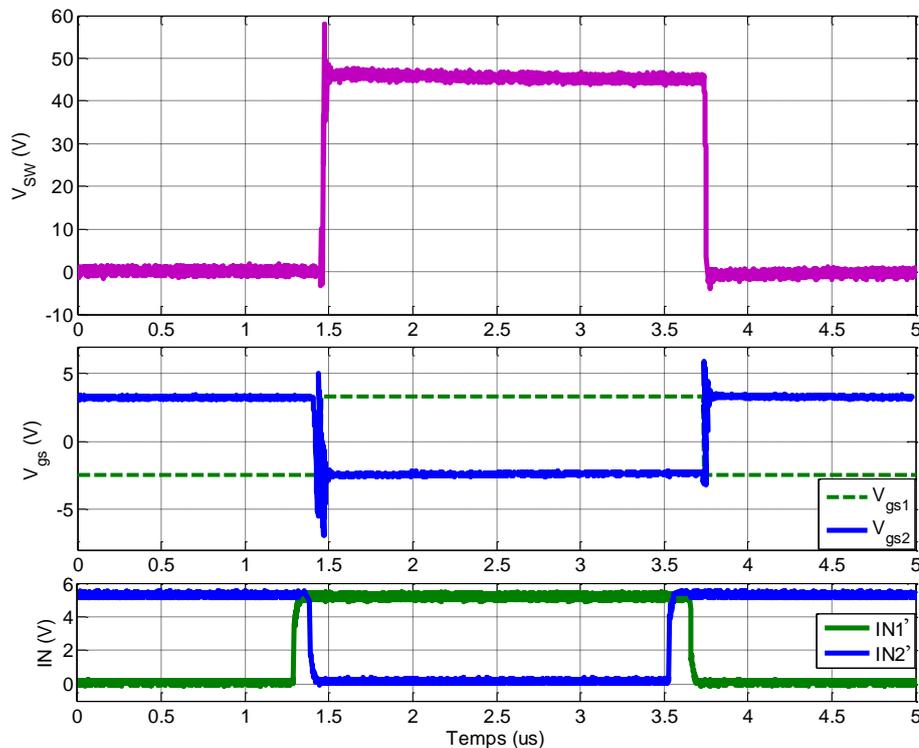


Figure III.48 : Formes d'ondes expérimentales dans le convertisseur Buck synchrone 45V vers 10V à base de HEMTs GaN autocommutés par le circuit de commande

III.5.3.2 La détection en fonction de la charge de sortie

Lors du dimensionnement du circuit de détection (voir Tableau III-4) nous remarquons que les performances de détection étaient directement liées au type de composant de puissance mais aussi au courant de sortie du convertisseur. Plus le courant de sortie est important, plus les tensions drain-source des interrupteurs varient rapidement et plus facilement les variations du potentiel de grille sont détectées. Sur la Figure III.49 et la Figure III.50 ci-dessous sont visibles les formes des tensions du convertisseur Buck à base de HEMTs GaN autocommutés à l'ouverture du transistor High-Side et à l'ouverture du transistor Low-Side pour les trois valeurs 250mA, 500mA et 3A de courant dans l'inductance I_L qui avaient servies pour le dimensionnement du circuit de détection détaillé en partie III.4.2.

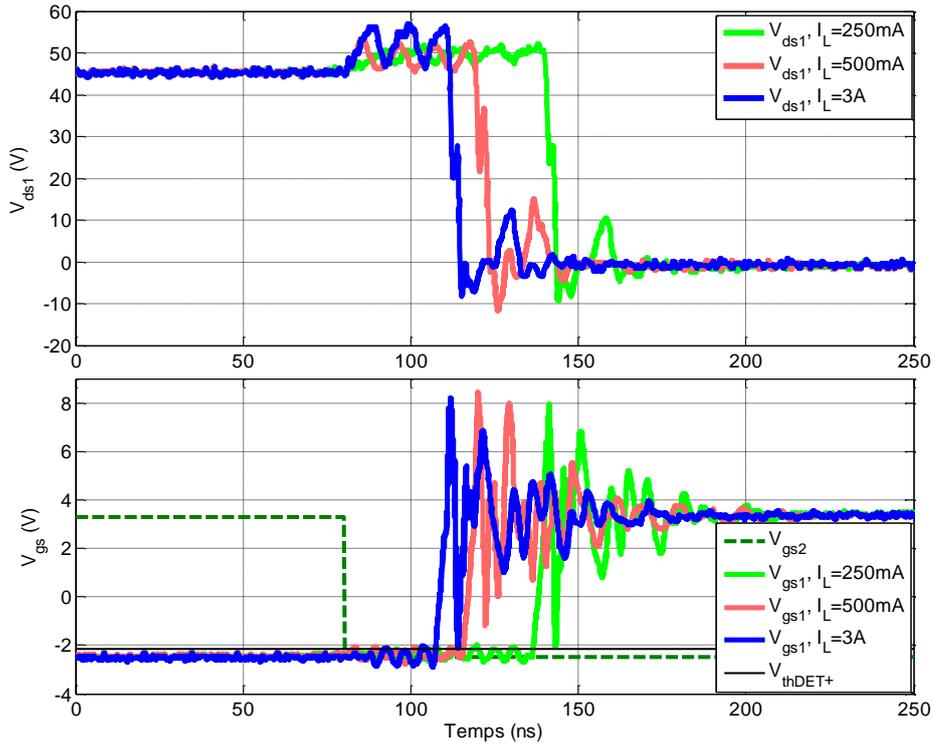


Figure III.49 : Formes d'ondes expérimentales du convertisseur Buck 45V vers 10V à base de HEMTs GaN autocommutés à l'ouverture du transistor Low-Side J2 en fonction du courant dans l'inductance I_L

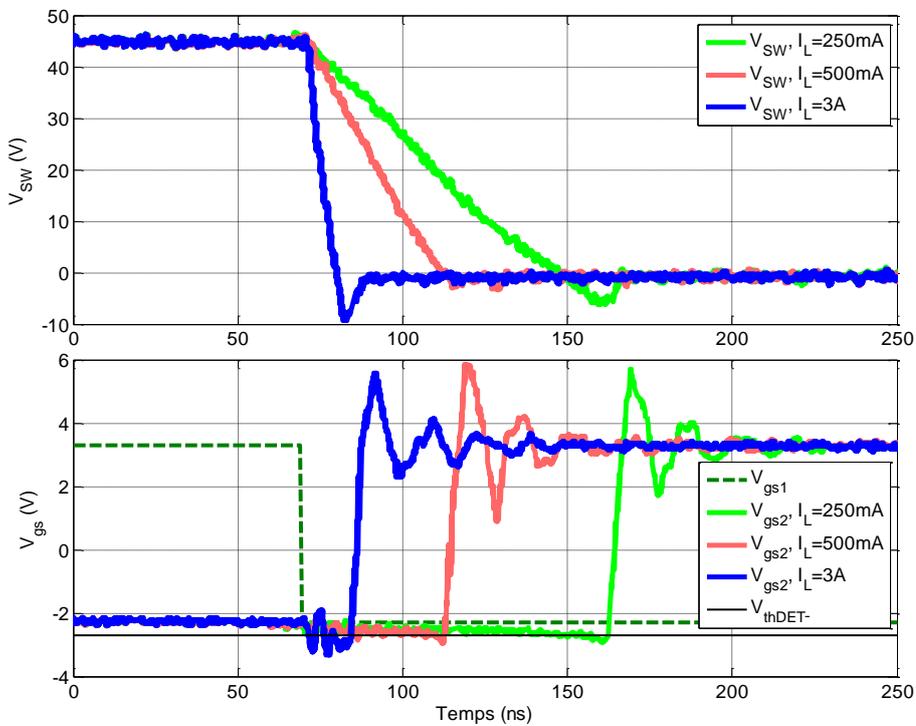


Figure III.50 : Formes d'ondes expérimentales du convertisseur Buck 45V vers 10V à base de HEMTs GaN autocommutés à l'ouverture du transistor High-Side J1 en fonction du courant dans l'inductance I_L

Nous remarquons sur les formes ci-dessus que les circuits de commande DRV1 et DRV2 détectent correctement l'ouverture du transistor Low-Side J2 et du transistor High-Side J1 et ce, quel que soit le courant de sortie. Nous vérifions aussi que la vitesse de détection de l'ouverture et donc la valeur des temps morts dépendent directement du courant I_L dans l'inductance. Ces durées de temps morts dt_1 et dt_2 mesurées entre les signaux V_{gs1} et V_{gs2} à 50% de leur amplitude sont récapitulées dans le Tableau III-9.

A l'ouverture du transistor Low-Side J2, le temps mort dt_1 varie de 28 ns à 57 ns lorsque le courant dans l'inductance I_L varie de 3A à 250mA. A cet instant la conduction en inverse sous le seuil du transistor Low-Side n'est pas complètement supprimée mais tout de même fortement et sûrement réduite à une durée inférieure à 50 ns. L'autre temps mort dt_2 , à l'ouverture du transistor High-Side J1, varie, lui, de 17 ns à 95 ns dans les mêmes conditions. Ce temps mort dt_2 est ici parfaitement auto-adapté car il permet une commutation douce du transistor J2 sur toute la plage de courant étudiée (voir partie III.3.1). Le point milieu capacitif V_{sw} a le temps d'être déchargé complètement par la charge de sortie avant que le circuit de commande DRV2 détecte l'ouverture de J1 et ferme le transistor J2 supprimant toute conduction en inverse sous le seuil du HEMT GaN J2. Avec de telles réductions de la mauvaise conduction en inverse sous le seuil des HEMTs GaN, le rendement du convertisseur doit naturellement être amélioré par rapport au convertisseur à temps morts fixes sans diodes.

Tableau III-9 : Valeurs des temps morts auto-adaptés en fonction du courant de sortie du convertisseur Buck à base de HEMTs GaN

Paramètre	Symbole	Conditions	Valeur
Temps mort à l'ouverture du transistor Low-Side J2	dt_1	$I_L=250$ mA	57 ns
		$I_L=500$ mA	37 ns
		$I_L=3$ A	28 ns
Temps mort à l'ouverture du transistor High-Side J1	dt_2	$I_L=250$ mA	95 ns
		$I_L=500$ mA	46 ns
		$I_L=3$ A	17 ns

III.5.3.3 L'augmentation du rendement du convertisseur sans diodes

Les temps morts dt_1 et dt_2 s'adaptent automatiquement au point de fonctionnement. Un tel mécanisme permettant de fortement limiter la mauvaise conduction en inverse des HEMTs GaN doit avoir pour effet bénéfique d'améliorer sensiblement le rendement de conversion. Pour s'en assurer nous avons mesuré le rendement du convertisseur Buck 45V vers 10V à base de HEMTs GaN autocommutés que nous avons ensuite comparé sur la Figure III.51 au rendement du même convertisseur mais à temps morts fixes comme étudié précédemment en partie III.2.2. Avec la technique d'auto-adaptation des temps morts le convertisseur atteint un meilleur rendement sur toute la plage de charge de sortie avec un rendement pic de 95.2% contre 94.8% avec un temps mort fixe de 50 ns. A faible courant de sortie le rendement du convertisseur autocommuté est proche de celui du convertisseur à temps mort fixe de 100 ns. A plus forte puissance, les temps morts courts automatiquement générés permettent de surpasser sans risque de cross-conduction les rendements atteints par le convertisseur à temps morts fixes de 50 ns.

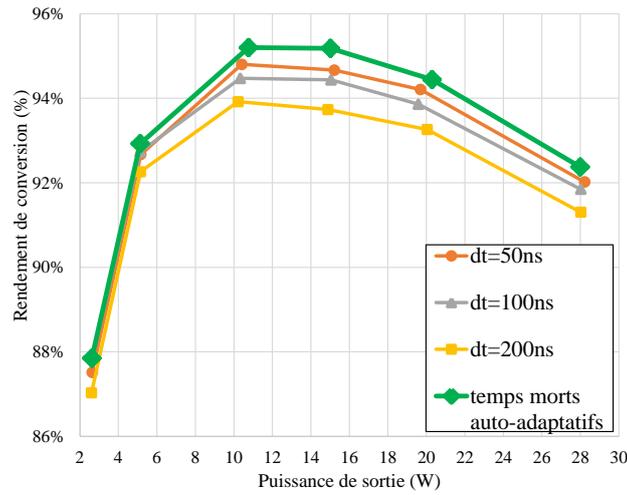


Figure III.51 : Comparaison du rendement expérimental du convertisseur Buck 45V vers 10V 30W à base de HEMTs GaN commutés à une fréquence de 100kHz avec des temps mort fixes ou adaptés automatiquement par les circuits de commande

III.5.4 L'autocommutation des JFETs SiC

Le fonctionnement du convertisseur Buck 250V vers 55V 500W à base de JFETs SiC [38] autocommutés est strictement le même que celui du convertisseur 45V vers 10V 30W à base de HEMTs GaN [39]. Sur la Figure III.52 sont visibles les formes d'ondes expérimentales des tensions du convertisseur de puissance dont les JFETs SiC sont autocommutés par les circuits de commande.

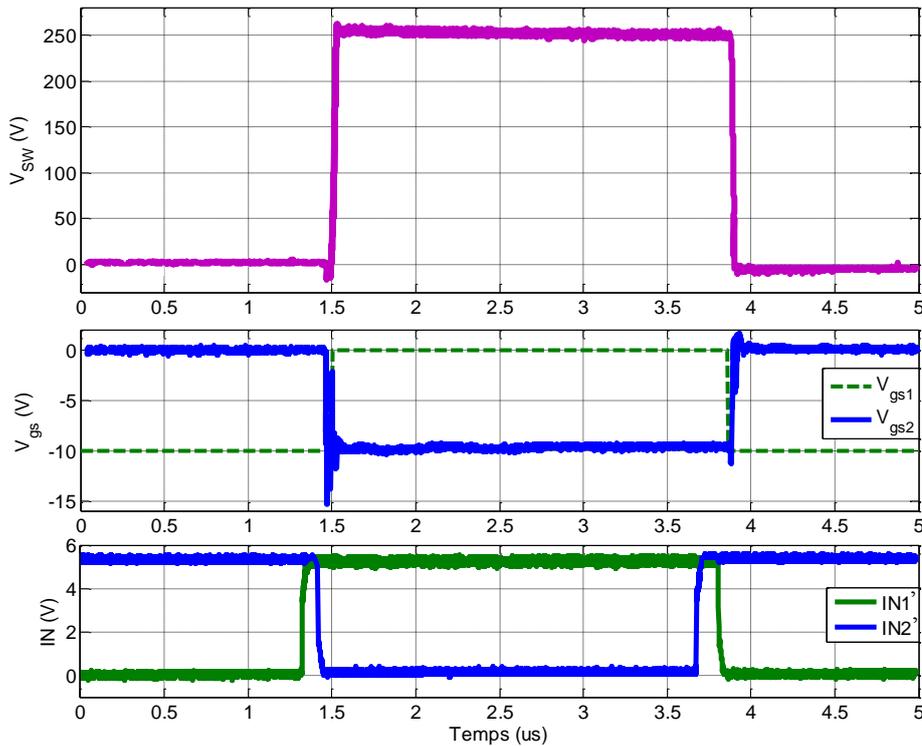


Figure III.52 : Formes d'ondes expérimentales dans le convertisseur Buck synchrone 250V vers 55V à base de JFETs SiC autocommutés par les circuits de commande proposés

III.5.4.1 La détection en fonction de la charge de sortie

Nous avons étudié expérimentalement le fonctionnement du convertisseur SiC autocommuté sur la base des trois courants de sortie 250mA, 500mA et 3A utilisés pour le dimensionnement du circuit de détection. Sur la Figure III.53 et la Figure III.54 sont visibles les formes d'ondes expérimentales du convertisseur Buck à base de JFETs SiC autocommutés à l'ouverture du transistor Low-Side et du transistor High-Side en fonction du courant dans l'inductance I_L .

L'ouverture du transistor Low-Side J2 et du transistor High-Side J1 est ici aussi correctement détectée par les deux circuits de commande DRV1 et DRV2 quel que soit le courant de sortie. Les valeurs des temps morts dt_1 et dt_2 résultant du mécanisme de détection de l'ouverture du transistor opposé sont résumées dans le Tableau III-10 ci-dessous. Nous constatons que le temps mort dt_1 , à l'ouverture du transistor J2, est court, d'une durée de 30 ns environ. Ce temps mort évolue peu, de 30 ns à 33 ns lorsque le courant de sortie varie de 3A à 250mA à cause de la tension de seuil $V_{th,DET+}$ qui est maintenant faible devant l'amplitude des variations du potentiel de grille. Le détecteur de variation négative du potentiel de grille étant légèrement moins sensible que celui de variation positive (voir partie III.5.1.3), le temps mort dt_2 , à l'ouverture du transistor J1, est plus dépendant du courant I_L . Il est réduit à seulement 15 ns lorsque le courant dans l'inductance vaut 3A et s'étend à 30 ns pour les courants de sortie les plus faibles. Ces temps morts très courts sont particulièrement adaptés aux opérations de conversion à courant de sortie assez important pour que le potentiel au point milieu V_{sw} chute rapidement. Mais lorsque le courant I_L est trop faible, la détection de l'ouverture de J1 et la fermeture de J2 arrivent avant que les charges capacitives stockées au point milieu n'aient pu être entièrement consommées par la charge de sortie. La commutation douce souhaitée de J2 n'a alors pas lieu et les charges capacitives sont perdues, évacuées à la masse. Cette détection précoce peut avoir un effet néfaste sur le rendement du convertisseur uniquement à très faible puissance de sortie. A plus forte puissance, cette génération en toute sécurité de temps morts courts est évidemment bénéfique car elle permet pour rappel de supprimer les pertes importantes générées par la mauvaise conduction en inverse sous le seuil des composants grand gap sans diodes.

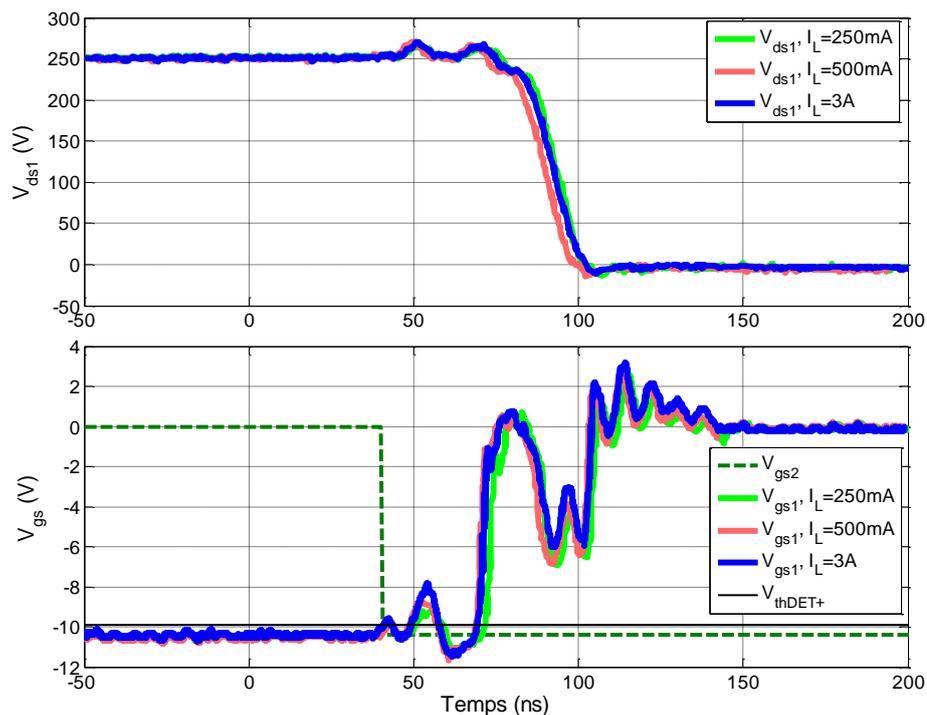


Figure III.53 : Formes d'ondes expérimentales du convertisseur Buck 250V vers 55V à base de JFETs SiC autocommutés à l'ouverture du transistor Low-Side J2 en fonction du courant dans l'inductance I_L

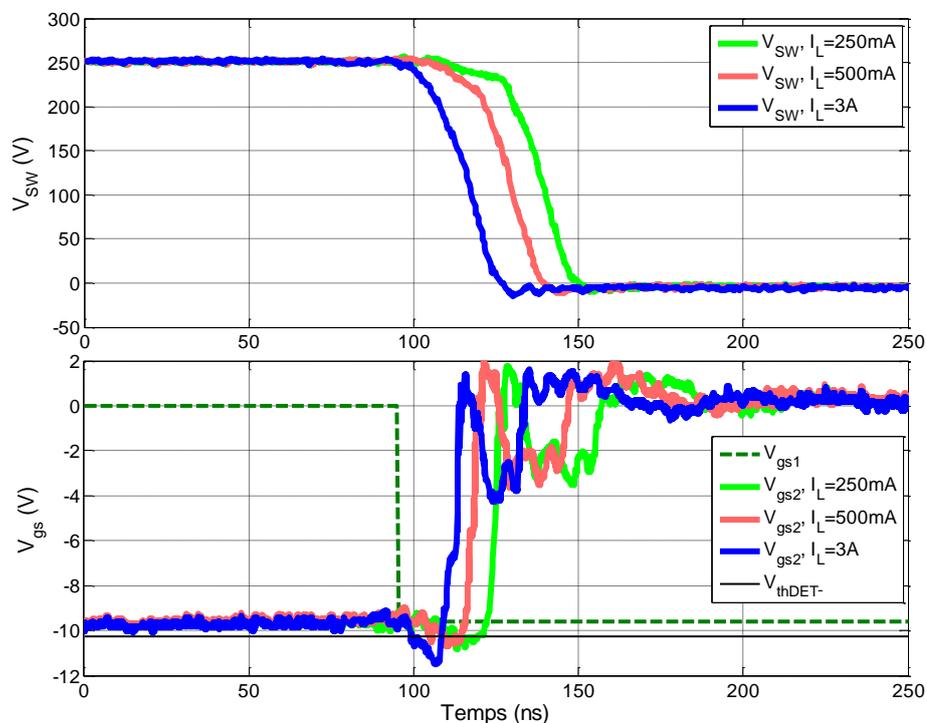


Figure III.54 : Formes d'ondes expérimentales du convertisseur Buck 250V vers 55V à base de JFETs SiC autocommutés à l'ouverture du transistor High-Side J1 en fonction du courant dans l'inductance I_L

Tableau III-10 : Valeurs des temps morts auto-adaptés en fonction du courant de sortie du convertisseur Buck à base de JFETs SiC

Paramètre	Symbole	Conditions	Valeur
Temps mort à l'ouverture du transistor Low-Side J2	dt_1	$I_L=250$ mA	33 ns
		$I_L=500$ mA	30 ns
		$I_L=3$ A	30 ns
Temps mort à l'ouverture du transistor High-Side J1	dt_2	$I_L=250$ mA	30 ns
		$I_L=500$ mA	22 ns
		$I_L=3$ A	15 ns

III.5.4.2 L'augmentation du rendement à faible et forte charge

Afin de quantifier les gains apportés par la réduction active du mode de conduction en inverse sous le seuil des JFETs SiC purement verticaux nous avons mesuré le rendement sur une large plage de puissance de sortie du convertisseur Buck 250V vers 55V 500W commutant à une fréquence de 100kHz. Ce rendement du convertisseur autocommuté est ensuite comparé sur la Figure III.55 à celui du même convertisseur sans diode mais à temps morts fixes (voir partie III.2.2.2.2).

La technique d'autocommutation permet d'atteindre un meilleur rendement pic de 96.5% contre 95.8% avec des temps morts fixes de 50 ns. De plus le convertisseur possède un haut rendement de conversion sur une plus large plage de puissance de sortie. A partir de 10% de la puissance de sortie nominale, le rendement de conversion est au-dessus de 92% avec les temps morts auto-adaptés contre 88.7% avec des temps mort fixes de 50 ns. A très faible puissance, le temps mort dt_2 trop court de 30 ns permet tout de même de maintenir le rendement minimum au-dessus de 78%.

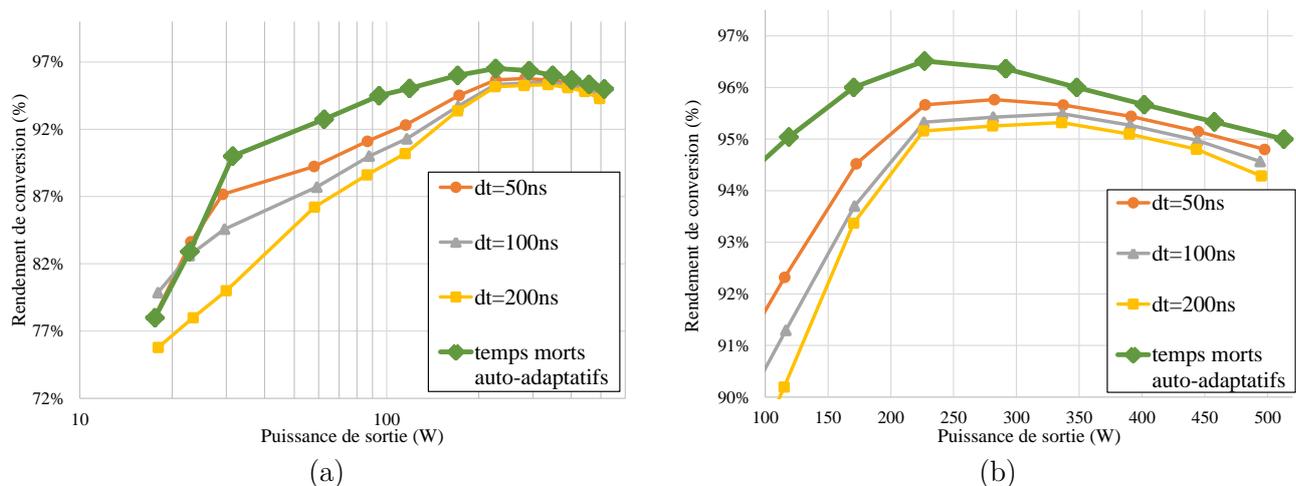


Figure III.55: Rendement expérimental du convertisseur Buck 250V vers 55V à base de JFETs SiC purement verticaux commutant à 100kHz avec des temps morts fixes ou adaptés automatiquement par le circuit de commande tracé selon (a) une échelle logarithmique et (b) une échelle linéaire

III.5.4.3 Le convertisseur synchrone SiC avec et sans diodes hautes performances

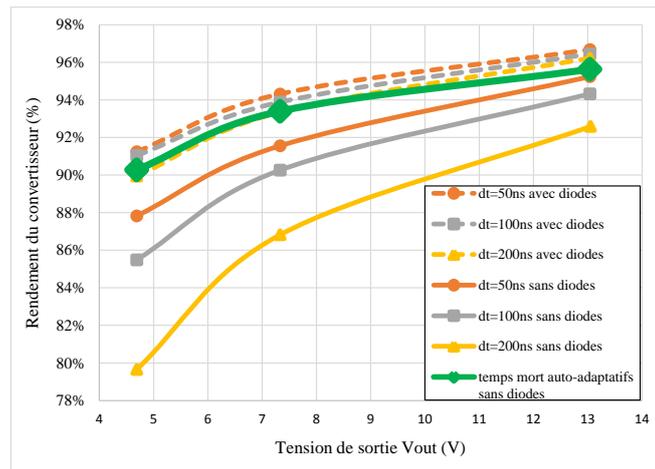
Au premier chapitre de ce manuscrit, nous constatons que le rendement du convertisseur Buck à base de JFETs SiC sans diodes et à temps morts fixes était dégradé par la suppression des diodes Schottky SiC hautes performances en antiparallèle. Nous attribuâmes cette chute de rendement aux pertes supplémentaires durant les temps morts dues à la mauvaise conduction en inverse sous le seuil des composants grand gap sans diodes. Nous pouvons donc à présent nous demander si la réduction importante du temps mort consentis par l'autocommutation des composants grand gap permet d'atteindre des rendements au moins aussi bon avec ou sans les diodes hautes performances.

Sur la Figure III.56 ci-dessous sont comparés les rendements du convertisseur Buck à base de JFETs SiC avec ou sans les diodes Schottky SiC [84] pour des temps morts auto-adaptés par le circuit de commande ou fixes en fonction du point de fonctionnement et de la fréquence de commutation. Ces courbes sont basées sur celles déjà étudiées à la partie I.5.2.2 de ce manuscrit et qui prenaient pour sujet d'étude le même convertisseur de puissance. La Figure III.56 (a) présente le rendement du convertisseur en fonction de la tension de sortie V_{OUT} de 4.7V à 13V, la Figure III.56 (b) montre le rendement du même convertisseur mais en fonction du courant de sortie I_L de 0.7A à 2.1A et sur la Figure III.56 (c) le rendement est mesuré en fonction de la fréquence de découpage f de 200kHz à 600kHz. Nous constatons à partir de ces données que le rendement du convertisseur autocommuté sans les diodes en antiparallèle est :

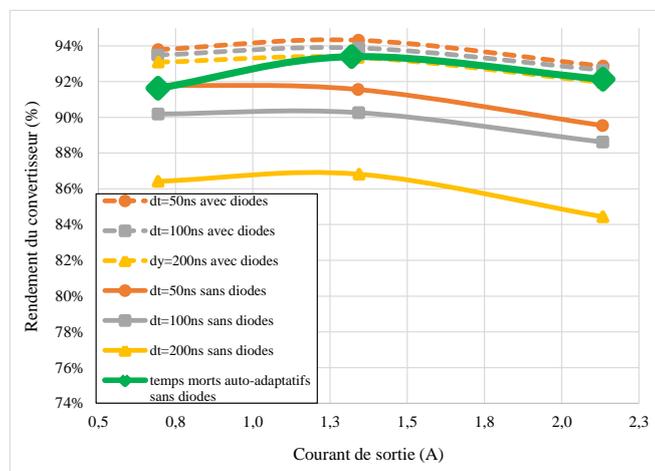
- le meilleur rendement à faible fréquence de commutation.
- systématiquement supérieur au rendement du convertisseur sans diodes à temps morts fixes.
- très proche de celui du convertisseur utilisant des diodes SiC en antiparallèle et des temps morts fixes de 200 ns.
- éloigné au maximum d'un seul point de rendement lorsque le courant de sortie est le plus faible du convertisseur possédant les diodes externes en antiparallèle et des temps morts de 200 ns.
- moins bon à haute fréquence de commutation que le convertisseur avec les diodes en antiparallèle.

Grâce à la technique d'autocommutation le rendement du convertisseur grand gap sans diodes atteint globalement, sur tous les points de fonctionnement et fréquences étudiés, celui du même convertisseur avec les diodes SiC en antiparallèle. Le circuit de commande proposé permet donc au prix d'un circuit de détection supplémentaire mais facilement intégrable monolithiquement et consommant moins de 140 μ A de supprimer les deux diodes Schottky haute tension, hautes performances de la cellule de commutation d'un bras d'onduleur pour un gain important en coût, volume et fiabilité du système.

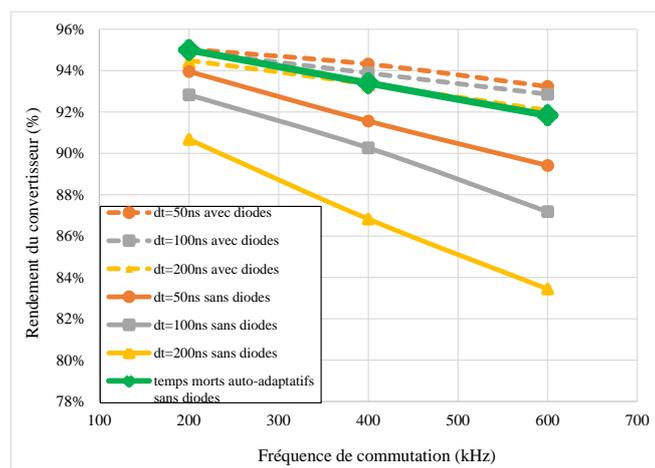
Finalement un rendement du convertisseur sans diodes strictement supérieur à la version avec diodes peut être envisagé grâce à un circuit de détection plus modulable et toujours plus rapide. En effet nous avons remarqué que le seuil fixe des détecteurs permettait une commutation douce à zéro de tension du transistor Low-Side HEMT GaN mais pas du JFET SiC. Cette commutation optimale pourrait être obtenue pour tout composant et convertisseur si le seuil de déclenchement devenait ajustable. Un détecteur plus rapide permettrait, lui, de réduire encore plus le temps mort dt_1 et donc les pertes par conduction en inverse sous le seuil.



(a)



(b)



(c)

Figure III.56 : Rendement du convertisseur Buck à base de JFETs SiC avec et sans diodes pour des temps morts fixes ou auto-adaptatifs, en fonction de (a) la tension de sortie V_{OUT} avec $V_{IN}=20V$, $f=400kHz$ et $I_L=1.33A$, (b) le courant de sortie I_L avec $V_{IN}=20V$, $V_{OUT}=7.3V$ et $f=400kHz$, (c) la fréquence de commutation f avec I_L avec $V_{IN}=20V$, $V_{OUT}=7.3V$ et $I_L=1.33A$

III.6 Conclusion

Dans le troisième chapitre de ce manuscrit nous nous sommes attachés à la réduction des pertes importantes générées durant les temps morts des convertisseurs de puissance grand gap sans diodes par une technique d'autocommutation des interrupteurs. Une étude précise de l'impact de la durée des temps morts sur le rendement des convertisseurs grand gap sans diodes a été réalisée en début de ce chapitre. Celle-ci a mis en avant la nécessité d'utiliser des temps morts courts mais de longueur ajustable afin d'obtenir des opérations de conversion idéales en tout point de fonctionnement. Dans le cas d'un convertisseur Buck à courant de sortie positif, ce fonctionnement idéal se traduit par une fermeture immédiate du composant High-Side après ouverture du transistor Low-Side et une fermeture du transistor Low-Side après l'ouverture du transistor High-Side une fois que les charges capacitives au point milieu soient entièrement déchargées par la charge de sortie. En procédant ainsi nous supprimons la conduction en inverse sous le seuil des composants grand gap et donc les pertes supplémentaires générées durant les temps morts.

Dans le but d'atteindre cet idéal de commutation purement synchrone tout en autorisant une commutation douce d'un des deux transistors, nous avons proposé dans ce chapitre d'intégrer une intelligence supplémentaire au circuit de commande de grille. Un contrôleur intégré monolithiquement aux circuits de commande capable d'ajuster dynamiquement et directement au niveau de la grille la longueur des temps morts en fonction du point de fonctionnement. Pour ce faire nous avons proposé d'implémenter un circuit de détection permettant de renseigner chaque circuit de commande de l'ouverture du transistor de puissance leur étant opposé. Un mode d'écoute particulier a été mis au point pour faciliter cette détection. Celui-ci exploite le courant parasite circulant dans la grille des interrupteurs lors de la variation de leur tension drain-source qui est elle-même dépendante du point de fonctionnement. Une fois le circuit de commande informé de l'ouverture du transistor opposé, il ferme le composant de puissance lui étant attribué. Les temps morts résultants de ce mécanisme de validation de la fermeture d'un composant par détection de l'ouverture du transistor opposé peuvent être très courts mais sans les risques de conduction simultanée que nous pourrions avoir avec un système classique à temps morts fixes. Le circuit de commande proposé a été fabriqué en technologie CMOS AMS 0.35 μm 20V. Le dimensionnement, le dessin puis la caractérisation statique et dynamique de la puce furent détaillés dans ce chapitre. Nous pourrions simplement rappeler que le contrôleur intégré monolithiquement aux circuits de commande consomme seulement 140 μA et 0.22 mm^2 de surface de silicium.

La puce de commande fut implémentée dans les deux convertisseurs grand gap sans diodes de test afin de valider expérimentalement la technique d'autocommutation des composants de puissance. Dans le convertisseur Buck sans diodes 45V vers 10V 30W à base de HEMTs GaN, l'adaptation automatique des temps morts de 17 ns à 100 ns par le circuit de commande permet d'atteindre un meilleur rendement sur toute la plage de puissance de sortie avec un rendement pic de 95.2% contre 94.8% avec un temps mort fixe de 50 ns. Dans le convertisseur Buck sans diodes 250V vers 55V 500W à base de JFETs SiC 500W les temps morts sont auto-adaptés en toute sécurité de seulement 15 ns à 35 ns en fonction de la charge. La gestion dynamique et locale des temps morts permet d'améliorer d'un point le rendement pic et de maintenir un rendement supérieur à 92% sur toute la gamme de puissance de sortie se situant au-dessus de 10% de la puissance nominale contre 87% avec un temps mort fixe de 100 ns. Finalement grâce à

la technique d'autocommutation, le rendement du convertisseur grand gap sans diodes atteint globalement celui du même convertisseur avec les diodes SiC en antiparallèle. Le circuit de commande proposé permet donc au prix d'un circuit de détection très peu consommateur de surface et d'énergie de supprimer les deux diodes Schottky haute tension de la cellule de commutation d'un bras d'onduleur pour un gain important en coût, volume et fiabilité du système.

CONCLUSION GENERALE

Les travaux qui ont été menés durant cette thèse et détaillés dans ce manuscrit se sont intéressés aux nouveaux composants grand gap et à leur commande au sein d'un convertisseur de puissance synchrone robuste, haut rendement et haute densité de puissance. A partir de l'étude des travaux issus de l'état de l'art récent traitant précisément de ces problématiques, nous avons proposé des solutions facilement intégrables, efficaces et économiquement viables tant au niveau du circuit de commande des composants grand gap qu'au niveau du système de conversion. Ces solutions répondant aux exigences des nouveaux composants grand gap se sont concrétisés par la réalisation de circuits de commande entièrement intégrés. Le fonctionnement, la réalisation, la caractérisation ainsi que la validation expérimentale de ces circuits ont été détaillés au cours de trois chapitres.

Dans le premier chapitre de ce manuscrit nous avons étudié en détail la cellule de commutation d'un convertisseur de puissance, usuellement constituée d'une capacité, de deux interrupteurs de puissance tels que des MOSFETs silicium et de deux diodes Schottky hautes performances en antiparallèle. Une étude des caractéristiques des premiers composants grand gap nous a révélé des performances statiques et dynamiques supérieures à leurs homologues en silicium. Mais ces caractéristiques d'un nouvel ordre s'accompagnent de différences par rapport aux composants classiques en silicium qui impactent la cellule de commutation, le rendement et la robustesse du convertisseur. Nous avons en particulier identifié et étudié deux points critiques. L'impact de ces deux points sur le fonctionnement, la robustesse et le rendement d'un convertisseur a été discuté et évalué par mesures expérimentales, simulations électriques et/ou calculs théoriques.

Le premier point critique qui fut étudié est la grande susceptibilité des composants grand gap aux composants parasites provenant de la structure interne du composant et du convertisseur de puissance. Les composants grand gap tels que les JFETs SiC et les HEMTs GaN étant des composants unipolaires, de taille réduite, ils possèdent des temps de commutation très courts et une énergie d'activation très faible. Les risques de remise en conduction parasite et de claquage en tension de ces composants s'avèrent alors bien plus importants que pour leurs homologues en silicium. Dans le deuxième chapitre de ce manuscrit nous avons proposé de fournir une protection contre ces défauts par un circuit de commande spécifique. Pour ce faire nous avons dans un premier lieu approfondi l'analyse des caractéristiques dynamiques des composants grand gap. L'impact du point de fonctionnement sur les performances dynamiques d'un composant grand gap fut étudié avec une grande flexibilité grâce à une méthode de caractérisation basée sur la structure particulière d'un hacheur série pulsé. Cette méthode nous a permis d'étudier l'évolution des commutations d'un JFET SiC indépendamment de la tension d'entrée, du courant de sortie et/ou de la température jusqu'à un point de fonctionnement commuté de 250V/20A et sous un flux de chaleur de 350°C avec une unique inductance de 600µH.

A partir de ces résultats de caractérisation en dynamique nous avons proposé une méthode de contrôle des formes d'ondes de la tension drain-source et du courant de source à la commutation

d'un composant grand gap en fonction du point de fonctionnement directement au niveau de sa grille par un circuit de commande spécifique à impédance de sortie programmable. Un circuit de commande entièrement intégré, fabriqué en technologie CMOS AMS 0.35 μm 20V est capable de précisément ajuster les temps à la montée et à la descente en faisant évoluer son impédance de sortie à la charge et à la décharge de la grille du transistor de puissance, d'une commutation à une autre, de 1Ω à plus de 12Ω . Dans un convertisseur de puissance Buck synchrone à base de composants grand gap, le circuit de commande proposé permet de réduire jusqu'à 40% les surtensions et 20% les sur-courants à la commutation. Cette protection de l'interrupteur se faisant au détriment des pertes par commutation nous proposons de ralentir les commutations que lorsqu'il est nécessaire, à partir de seuils en tension, courant et/ou température afin d'étendre l'aire de fonctionnement en toute sécurité du composant. Pour certains convertisseurs les éléments parasites seront de toutes manières trop importants pour commuter à pleine vitesse des composants grand gap. Nous dégraderons alors les performances dynamiques de ces transistors au niveau de celles des composants classiques en silicium mais ceux-ci conserveront leur aptitude unique à fonctionner simultanément à haute tension et haute température.

Le second point critique étudié est l'absence de diode interne entre drain et source des HEMTs GaN et de JFETs SiC. Ces composants conservent la bidirectionnalité en courant comme les MOSFETs silicium mais l'absence de diode entraîne à la fois la disparition de la charge inverse de recouvrement Q_r et l'apparition d'un mode de conduction en inverse simulant une diode interne mais avec un bien moins bon état passant. Nous avons alors envisagé de supprimer les diodes de roue-libre hautes performances usuellement en antiparallèle des interrupteurs de puissance dans un convertisseur de puissance. Des mesures expérimentales faites sur un tel convertisseur présentent des performances dynamiques équivalentes mais en raison du mode particulier de conduction en inverse sous le seuil des pertes supplémentaires sont à déplorer durant les temps morts. Ces différences avec les composants usuels nous ont amenées à apporter des modifications au niveau des circuits de commande mais aussi du convertisseur de puissance pour assurer un fonctionnement optimal de ces composants grand gap.

Dans le troisième chapitre de ce manuscrit nous nous sommes donc attachés à la réduction de ces pertes importantes générées durant les temps morts des convertisseurs de puissance grand gap sans diodes par une technique dite d'autocommutation des interrupteurs. Nous avons proposé de supprimer la mauvaise conduction en inverse sous le seuil de l'interrupteur de puissance grand gap par un mécanisme de détection de cet état directement au niveau de la grille de chaque interrupteur. Plus qu'un seul signal logique renseignant le rapport cyclique de conversion est alors nécessaire, la gestion des temps morts courts étant entièrement à la charge des circuits de commande. Un tel circuit de commande a été fabriqué en technologie CMOS AMS 0.35 μm 20V. Le contrôleur de temps morts et le détecteur intégré monolithiquement aux circuits de commande consomme seulement 140 μA et 0.22 mm^2 de surface de silicium. Deux convertisseurs de puissance à base de composants grand gap sans diodes autocommutés par le circuit de commande démontrent expérimentalement un rendement pic plus élevé et un meilleur rendement de conversion à plus faible puissance de sortie. Le rendement du convertisseur grand gap sans diodes atteint alors globalement celui du même convertisseur mais avec des diodes Schottky SiC en antiparallèle et des temps morts fixes. Le circuit de commande proposé permet donc au prix d'un circuit de détection intégrable monolithiquement de supprimer les deux diodes

Schottky haute tension de la cellule de commutation d'un bras d'onduleur grand gap pour un gain important en coût, volume et fiabilité du système.

Les travaux effectués au cours de cette thèse ont abouti à des solutions pour une commande efficace et adaptée aux nouveaux composants grand gap dans des convertisseurs de puissance haut rendement et haute densité de puissance. Nous avons entre autres démontré grâce à deux circuits de commande la faisabilité du contrôle précis des formes de commutation par l'adaptation de l'impédance de grille, l'amélioration de l'efficacité énergétique et de la robustesse d'un convertisseur de puissance sans diodes par une technique d'autocommutation des interrupteurs.

A court terme la poursuite de ces travaux s'oriente naturellement vers l'adoption de ces techniques de commande dans des convertisseurs de puissance grand gap à l'échelle industrielle. Cette adoption massive ne sera envisageable que si les acteurs industriels de l'électronique de puissance ont l'assurance que les gains financiers, en rendement et en densité de puissance consentis par l'utilisation de tels circuits de commande couplés intimement aux composants grand gap ne se font pas au détriment de la robustesse et de la souplesse du système. Pour cela des améliorations peuvent encore être apportées aux circuits de commande. Celles-ci peuvent provenir de la méthode d'adaptation de l'impédance de grille au point de fonctionnement afin d'étendre la plage de sûreté d'un composant. Si actuellement cette adaptation est réalisée en boucle ouverte, nécessitant une calibration préalable du circuit, nous pouvons imaginer une adaptation en boucle fermée d'une commutation à une autre à partir de mesures à basse fréquence de paramètres physiques du composant. D'autres améliorations peuvent provenir du circuit de commande pour l'autocommutation. Le circuit de détection intégré monolithiquement ne détecte pour le moment l'ouverture du transistor opposé que sur un seuil fixe de tension. Un seuil variable permettrait une bonne détection étendue à tous types de composants grand gap sans considérations des calibres en courant et tension.

A moyen terme ces travaux de thèse nous invitent à poursuivre les efforts déjà entrepris sur l'intégration fonctionnelle et l'augmentation de la densité de puissance du convertisseur grand gap. Au deuxième chapitre de ce manuscrit nous avons proposé et validé l'architecture d'un circuit translateur de niveaux rapide et robuste intégrable monolithiquement aux circuits de commande et à la puce de puissance grand gap. Nous avons démontré par la technique d'autocommutation présentée au troisième chapitre que nous étions en mesure de réduire le volume et le coût du système de conversion par la suppression des diodes de puissance Schottky SiC externes sans pertes supplémentaires significatives. Afin d'atteindre une densité de puissance et une robustesse encore supérieures, nous envisageons à présent l'intégration monolithique de toutes les fonctions de commande, de protection et de gestion des temps morts étudiées dans ce manuscrit non plus sur une même puce de commande mais sur la même puce que l'interrupteur de puissance grand gap. Cela implique que les architectures précédemment développées pour une technologie CMOS ou SOI soient repensées pour être compatibles en partie ou totalement avec la technologie grand gap choisie.

BIBLIOGRAPHIE

- [1] J.-P. Ferrieux and F. Forest, *Alimentations à découpage - Convertisseurs à résonnance*. Dunod, 1999.
- [2] PMP8363: 5V/2A Eco-Charger reference design for tablets and smart phones, TI application note. Available: www.ti.com.
- [3] S. P. Teeuwsen, A. Chaudhry, G. Love, R. Sherry, and R. De Silva, "Dynamic performance of the upgraded 1400 MW New Zealand HVDC project," in *2012 IEEE Power and Energy Society General Meeting*, 2012, pp. 1–8.
- [4] A. Emadi, Y.-J. Lee, and K. Rajashekara, "Power Electronics and Motor Drives in Electric, Hybrid Electric, and Plug-In Hybrid Electric Vehicles," *IEEE Trans. Ind. Electron.*, vol. 55, no. 6, pp. 2237–2245, Jun. 2008.
- [5] slya021: Driving the Future, TI's Automotive Perspectives 2013. Available: www.ti.com.
- [6] Driving the Future of Automotive Electronics, Infineon Automotive Application Guide 2012. Available: www.infineon.com.
- [7] e-brochure FluenceZ.E.: Electric Car, Renault datasheet. Available: www.renault.ie/media/e-brochures/.
- [8] A. Nakagawa, "Evolution of silicon power devices and challenges to material limit," in *2006 25th International Conference on Microelectronics*, 2006, pp. 158–165.
- [9] IPx60R125P6: 600V/30A MOSFET CoolMOS, Infineon datasheet. Available: www.infineon.com.
- [10] DSEI 12-06A: 600V/14A Fast Recovery Epitaxial Diode (FRED), IXYS datasheet. Available: www.ixys.com.
- [11] C3D10060A: 600V/14A Silicon Carbide Schottky Diode, Cree datasheet. Available: www.cree.com.
- [12] G. Graditi, G. Adinolfi, N. Femia, and M. Vitelli, "Comparative analysis of Synchronous Rectification Boost and Diode Rectification Boost converter for DMPPT applications," in *2011 IEEE International Symposium on Industrial Electronics (ISIE)*, 2011, pp. 1000–1005.
- [13] R. Nowakowski and N. Tang, "Efficiency of synchronous versus nonsynchronous buck converters," 2009 TI Analog Appl. J. (SLYT358). Available: www.ti.com.
- [14] DSEC30-06A: 600V/30A High Performance Fast Recovery Diode (HiPerFRED), IXYS datasheet. Available: www.ixys.com.
- [15] C4D30120D: 1200V/30A Silicon Carbide Schottky Diode, Cree datasheet. Available: www.cree.com.
- [16] IPW65R125C7: 650V/18A MOSFET CoolMOS, Infineon datasheet. Available: www.infineon.com.
- [17] R. Singh and J. Richmond, "SiC Power Schottky Diodes in Power-Factor Correction Circuits." Cree application note, 2006.
- [18] A. Lidow, "Is it the End of the Road for Silicon in Power Conversion?," in *2010 6th International Conference on Integrated Power Electronics Systems (CIPS)*, 2010, pp. 1–8.
- [19] N. Kaminski, "State of the art and the future of wide band-gap devices," in *13th European Conference on Power Electronics and Applications, 2009. EPE '09*, 2009, pp. 1–9.
- [20] B. Wrzcionko, D. Bortis, and J. W. Kolar, "A 120 °C Ambient Temperature Forced Air-Cooled Normally-off SiC JFET Automotive Inverter System," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2345–2358, May 2014.

-
- [21] T. Funaki, M. Sasagawa, and T. Nakamura, "Multi-chip SiC DMOSFET half-bridge power module for high temperature operation," in *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2012, pp. 2525–2529.
- [22] T. Lebey, I. Omura, M. Kozako, H. Kawano, and M. Hikita, "High temperature high voltage packaging of wideband gap semiconductors using gas insulating medium," in *2010 International Power Electronics Conference (IPEC)*, 2010, pp. 180–186.
- [23] W. Zhou, X. Zhong, and K. Sheng, "High Temperature Stability and the Performance Degradation of SiC MOSFETs," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2329–2337, mai 2014.
- [24] H. Ohashi, "Power devices now and future, strategy of Japan," in *2012 24th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2012, pp. 9–12.
- [25] F. Medjdoub, M. Zegaoui, B. Grimbert, D. Ducatteau, N. Rolland, and P.-A. Rolland, "First Demonstration of High-Power GaN-on-Silicon Transistors at 40 GHz," *IEEE Electron Device Lett.*, vol. 33, no. 8, pp. 1168–1170, août 2012.
- [26] B. Hughes, R. Chu, J. Lazar, S. Hulsey, A. Garrido, D. Zehnder, M. Musni, and K. Boutros, "Normally-off GaN switching 400V in 1.4ns using an ultra-low resistance and inductance gate drive," in *2013 IEEE Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, 2013, pp. 76–79.
- [27] D. C. Dumka and P. Saunier, "GaN on Si HEMT with 65% power added efficiency at 10 GHz," *Electron. Lett.*, vol. 46, no. 13, pp. 946–947, Jun. 2010.
- [28] S. Ji, D. Reusch, and F. C. Lee, "High frequency high power density 3D integrated Gallium Nitride based point of load module," in *Energy Conversion Congress and Exposition (ECCE), 2012 IEEE*, 2012, pp. 4267–4273.
- [29] B. Hughes, J. Lazar, S. Hulsey, D. Zehnder, D. Matic, and K. Boutros, "GaN HFET switching characteristics at 350V/20A and synchronous boost converter performance at 1MHz," in *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2012, pp. 2506–2508.
- [30] Y. Wu, M. Jacob-Mitos, M. L. Moore, and S. Heikman, "A 97.8% Efficient GaN HEMT Boost Converter With 300-W Output Power at 1 MHz," *Electron Device Lett. IEEE*, vol. 29, no. 8, pp. 824–826, Aug. 2008.
- [31] F. C. Lee and Q. Li, "High-Frequency Integrated Point-of-Load Converters: Overview," *IEEE Trans. Power Electron.*, vol. 28, no. 9, pp. 4127–4136, Sep. 2013.
- [32] B. Hughes, Y. Y. Yoon, D. M. Zehnder, and K. S. Boutros, "A 95% Efficient Normally-Off GaN-on-Si HEMT Hybrid-IC Boost-Converter with 425-W Output Power at 1 MHz," in *2011 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 2011, pp. 1–3.
- [33] J. Delaine, P.-O. Jeannin, D. Frey, and K. Guepratte, "High frequency DC-DC converter using GaN device," in *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2012, pp. 1754–1761.
- [34] M. Rodriguez, Y. Zhang, and D. Maksimovic, "High-Frequency PWM Buck Converters Using GaN-on-SiC HEMTs," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2462–2473, mai 2014.
- [35] G. Calderon-Lopez, A. J. Forsyth, D. L. Gordon, and J. R. McIntosh, "Evaluation of SiC BJTs for High-Power DC/DC Converters," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2474–2481, May 2014.

- [36] B. Whitaker, A. Barkley, Z. Cole, B. Passmore, D. Martin, T. R. McNutt, A. B. Lostetter, J. S. Lee, and K. Shiozaki, "A High-Density, High-Efficiency, Isolated On-Board Vehicle Battery Charger Utilizing Silicon Carbide Power Devices," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2606–2617, mai 2014.
- [37] T. Morita, S. Tamura, Y. Anda, M. Ishida, Y. Uemoto, T. Ueda, T. Tanaka, and D. Ueda, "99.3% Efficiency of three-phase inverter for motor drive using GaN-based Gate Injection Transistors," in *2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2011, pp. 481–484.
- [38] SJD120R085: 1200V/27A Normally-On Trench Silicon Carbide Power JFET, Semisouth datasheet. Available: www.semisouth.com.
- [39] EPC2007: 100V/6A Enhancement Mode Gallium Nitride Power Transistor, EPC datasheet. Available: www.epc-co.com.
- [40] EPC2010: 200V/12A Enhancement Mode Gallium Nitride Power Transistor, EPC datasheet. Available: www.epc-co.com.
- [41] D. Doppalapudi, E. Iliopoulos, S. N. Basu, and T. D. Moustakas, "Epitaxial growth of gallium nitride thin films on A-Plane sapphire by molecular beam epitaxy," *J. Appl. Phys.*, vol. 85, no. 7, pp. 3582–3589, Apr. 1999.
- [42] F. Medjdoub, "Transistors à base de semi-conducteurs III-N sur substrat de silicium et applications," *Tech. Ing. Innov. En Électronique Optoélectronique*, vol. TIB257DUO, no. in146, Aug. 2012.
- [43] T. Palacios, A. Chakraborty, S. Heikman, S. Keller, S. P. DenBaars, and U. K. Mishra, "AlGaIn/GaN high electron mobility transistors with InGaIn back-barriers," *IEEE Electron Device Lett.*, vol. 27, no. 1, pp. 13–15, Jan. 2006.
- [44] T. Morita, S. Ujita, H. Umeda, Y. Kinoshita, S. Tamura, Y. Anda, T. Ueda, and T. Tanaka, "GaN Gate Injection Transistor with integrated Si Schottky barrier diode for highly efficient DC-DC converters," in *2012 IEEE International Electron Devices Meeting (IEDM)*, 2012, pp. 7.2.1–7.2.4.
- [45] IPP35CN10N: 100V OptiMOS 2 Power Transistor, Infineon datasheet. Available: www.infineon.com.
- [46] C. Cai, W. Zhou, and K. Sheng, "Characteristics and Application of Normally-Off SiC-JFETs in Converters Without Antiparallel Diodes," *IEEE Trans. Power Electron.*, vol. 28, no. 10, pp. 4850–4860, 2013.
- [47] Y. Li, P. Alexandrov, and J. H. Zhao, "1.88- 1650-V Normally on 4H-SiC TI-VJFET," *IEEE Trans. Electron Devices*, vol. 55, no. 8, pp. 1880–1886, août 2008.
- [48] M. Treu, R. Rupp, P. Blaschitz, K. Ruschenschmidt, T. Sekinger, P. Friedrichs, R. Elpelt, and D. Peters, "Strategic Considerations for Unipolar SiC Switch Options: JFET vs. MOSFET," in *Conference Record of the 2007 IEEE Industry Applications Conference*, 2007, pp. 324–330.
- [49] IPW90R120C3: 900V CoolMOS Power Transistor, Infineon datasheet. Available: www.infineon.com.
- [50] H. Umegami, F. Hattori, Y. Nozaki, M. Yamamoto, and O. Machida, "A Novel High-Efficiency Gate Drive Circuit for Normally Off-Type GaN FET," *IEEE Trans. Ind. Appl.*, vol. 50, no. 1, pp. 593–599, Jan. 2014.
- [51] W. Saito, M. Kuraguchi, Y. Takada, K. Tsuda, I. Omura, and T. Ogura, "Influence of surface defect charge at AlGaIn-GaN-HEMT upon Schottky gate leakage current and breakdown voltage," *IEEE Trans. Electron Devices*, vol. 52, no. 2, pp. 159–164, février 2005.

-
- [52] F. Hattori and M. Yamamoto, "Proposal and analysis of gate drive circuit suitable for GaN-FET," in *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*, 2012, pp. 685–690.
- [53] T. Oka and T. Nozawa, "AlGaIn/GaN Recessed MIS-Gate HFET With High-Threshold-Voltage Normally-Off Operation for Power Electronics Applications," *IEEE Electron Device Lett.*, vol. 29, no. 7, pp. 668–670, Jul. 2008.
- [54] STPSC606: 600 V/6A power Schottky silicon carbide diode, ST datasheet. Available: www.st.com.
- [55] D. Reusch, D. Gilham, Y. Su, and F. C. Lee, "Gallium Nitride based 3D integrated non-isolated point of load module," in *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2012, pp. 38–45.
- [56] Q. Zhao and G. Stojic, "Characterization of Cdv/dt Induced Power Loss in Synchronous Buck DC/DC Converters," *IEEE Trans. Power Electron.*, vol. 22, no. 4, pp. 1508–1513, Jul. 2007.
- [57] T. Wu, "Cdv/dt induced turn-on in synchronous buck regulators," *Int. Rectifier*, 2007.
- [58] S. Xu, X. Liu, and W. Sun, "Modeling and analysis of Cdv/dt induced effects in power MOSFETs driving circuits," in *9th International Conference on Electronic Measurement Instruments (ICEMI '09)*, 2009, pp. 4–635–4–639.
- [59] Y. Xi, M. Chen, K. Nielson, and R. Bell, "Optimization of the drive circuit for enhancement mode power GaN FETs in DC-DC converters," in *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2012, pp. 2467–2471.
- [60] Zhihua Yang, Sheng Ye, and Yan-Fei Liu, "A New Resonant Gate Drive Circuit for Synchronous Buck Converter," *IEEE Trans. Power Electron.*, vol. 22, no. 4, pp. 1311–1320, Jul. 2007.
- [61] H. Fujita, "A Resonant Gate-Drive Circuit Capable of High-Frequency and High-Efficiency Operation," *IEEE Trans. Power Electron.*, vol. 25, no. 4, pp. 962–969, Apr. 2010.
- [62] Y. Ren, M. Xu, Y. Meng, and F. C. Lee, "12V VR Efficiency Improvement based on Two-stage Approach and a Novel Gate Driver," in *IEEE 36th Power Electronics Specialists Conference (PESC '05)*, 2005, pp. 2635–2641.
- [63] L293: PUSH-PULL FOUR CHANNEL DRIVERS, ST datasheet. Available: www.st.com.
- [64] L. Balogh, "Design and application guide for high speed MOSFET gate drive circuits," 2001 TI design and application guide (SLUP169). Available: www.ti.com.
- [65] G. Verneau, L. Aubard, J.-C. Crebier, C. Schaeffer, and J.-L. Schanen, "Empirical power MOSFET modeling: practical characterization and simulation implantation," in *37th IAS Annual Meeting. Conference Record of the Industry Applications Conference*, 2002, vol. 4, pp. 2425–2432.
- [66] HFBR-2521Z: The Versatile Fiber Optic Connection, Avago datasheet. Available: www.avagotech.com.
- [67] HCPL-2201: Very High CMR, Wide VCC Logic Gate Optocouplers, Agilent datasheet. Available: www.agilent.com.
- [68] ADuM2400: Quad-Channel Digital Isolators, Analog Devices datasheet. Available: www.analog.com.
- [69] S. Nagai, N. Negoro, T. Fukuda, N. Otsuka, H. Sakai, T. Ueda, T. Tanaka, and D. Ueda, "A DC-isolated gate drive IC with drive-by-microwave technology for power switching devices," in *2012 IEEE International Solid-State Circuits Conference (ISSCC)*, 2012, pp. 404–406.

- [70] M63992FP: HIGH VOLTAGE HALF BRIDGE DRIVER, Mitsubishi datasheet. Available: www.mitsubishielectric.com.
- [71] LM5113: 5A, 100V Half-Bridge Gate Driver for Enhancement Mode GaN FETs, Texas Instruments datasheet. Available: www.ti.com.
- [72] IE Series: 1W isolated power supply, XP Power datasheet. Available: www.xppower.com.
- [73] ir2233: 3-PHASE BRIDGE DRIVER, International Rectifier datasheet. Available: www.irf.com.
- [74] N. Rouger and J.-C. Crebier, "Toward Generic Fully Integrated Gate Driver Power Supplies," *IEEE Trans. Power Electron.*, vol. 23, no. 4, pp. 2106–2114, Jul. 2008.
- [75] IXBD4410: ISOSMART Half Bridge Driver Chipset, IXYS datasheet. Available: www.ixys.com.
- [76] XTR26010: HIGH TEMPERATURE INTELLIGENT GATE DRIVER, X-REL Semiconductor datasheet. Available: www.x-relsemi.com.
- [77] BUK7905-40AIE: N-channel TrenchPLUS standard level FET, NXP datasheet. Available: www.nxp.com.
- [78] T. Tanimura, K. Yuasa, and I. Omura, "Full digital short circuit protection for advanced IGBTs," in *2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2011, pp. 60–63.
- [79] ADP3629: High Speed, Dual, 2 A MOSFET Driver, Analog Devices datasheet. Available: www.analog.com.
- [80] T. Kajiwara, A. Yamagaguchi, Y. Hoshi, K. Sakurai, and J. Gallagher, "New intelligent power multi-chips modules with junction temperature detecting function," in *1998 Thirty-Third IEEE Industry Applications Conference (IAS)*, 1998, vol. 2, pp. 1085–1090 vol.2.
- [81] FDB8444TS: 40V/70A 5m Ω N-Channel PowerTrench MOSFET with Temperature Sensor, Fairchild Semiconductor datasheet. Available: www.fairchildsemi.com.
- [82] LM5114: Single 7.6A Peak Current Low-Side Gate Driver, Texas Instruments datasheet. Available: www.ti.com.
- [83] L. Hoffmann, C. Gautier, S. Lefebvre, and F. Costa, "Optimization of the driver of GaN power transistors through measurement of their thermal behavior," *IEEE Trans. Power Electron.*, vol. Early Access Online, 2013.
- [84] SDT12S60: 600V/12A Silicon Carbide Schottky Diode, Infineon datasheet. Available: www.infineon.com.
- [85] X. Ren, Q. Chen, and X. Ruan, "Three-level driving method of gallium nitride power transistor," CN102611288, 25-Jul-2012.
- [86] X. Ren, D. Reusch, S. Ji, Z. Zhang, M. Mu, and F. C. Lee, "Three-level driving method for GaN power transistor in synchronous buck converter," in *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2012, pp. 2949–2953.
- [87] T. Sun, X. Ren, H. Dang, Z. Zhang, and X. Ruan, "Three-level driving method for GaN transistor with improved efficiency and reliability within whole load range," in *2014 Twenty-Ninth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2014, pp. 2569–2573.
- [88] DS312: Spartan-3E FPGA Family, Xilinx datasheet. Available: www.xilinx.com.
- [89] Y. Zhang, S. Feng, H. Zhu, J. Zhang, and B. Deng, "Two-dimensional transient simulations of the self-heating effects in GaN-based HEMTs," *Microelectron. Reliab.*, vol. 53, no. 5, pp. 694–700, May 2013.

-
- [90] S. P. McAlister, J. A. Bardwell, S. Haffouz, and H. Tang, "Self-heating and the temperature dependence of the dc characteristics of GaN heterostructure field effect transistors," *J. Vac. Sci. Technol. Vac. Surf. Films*, vol. 24, no. 3, p. 624, 2006.
- [91] J.-K. Lim, D. Pefitsis, J. Rabkowski, M. Bakowski, and H.-P. Nee, "Analysis and Experimental Verification of the Influence of Fabrication Process Tolerances and Circuit Parasitics on Transient Current Sharing of Parallel-Connected SiC JFETs," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2180–2191, May 2014.
- [92] S. Tiwari, T. Undeland, S. Basu, and W. Robbins, "Silicon carbide power transistors, characterization for smart grid applications," in *2012 15th International Power Electronics and Motion Control Conference (EPE/PEMC)*, 2012, pp. LS6d.2–1–LS6d.2–8.
- [93] Z. Liu, X. Huang, F. C. Lee, and Q. Li, "Package Parasitic Inductance Extraction and Simulation Model Development for the High-Voltage Cascode GaN HEMT," *IEEE Trans. Power Electron.*, vol. 29, no. 4, pp. 1977–1985, Apr. 2014.
- [94] F. Giuliani, N. Delmonte, P. Cova, and R. Menozzi, "GaN HEMTs for Power Switching Applications: from Device to System-Level Electro-Thermal Modeling." in *2013 16th CS MANTECH Conference*, 2013, pp. 215–218.
- [95] AN-7516: Safe Operating Area Testing Without A Heat Sink, Fairchild Semiconductor Application Note. Available: www.fairchildsemi.com.
- [96] IRF820: 500V/2.5A HEXFET Power MOSFET, IRF datasheet. Available: www.irf.com.
- [97] ltc6253: 720MHz, 3.5mA Power Efficient Rail-to-Rail I/O Op Amps, Linear Technology datasheet. Available: www.linear.com.
- [98] ir4427: DUAL LOW SIDE DRIVER, IRF datasheet. Available: www.irf.com.
- [99] F. Dubois, D. Bergogne, D. Tournier, C. Buttay, R. Meuret, and H. Morel, "Analysis of the SiC VJFET gate punch-through and its dependence with the temperature," in *2013 15th European Conference on Power Electronics and Applications (EPE)*, 2013, pp. 1–10.
- [100] H. Wong, C. Liang, and N. W. Cheung, "On the temperature variation of threshold voltage of GaAs MESFETs," *IEEE Trans. Electron Devices*, vol. 39, no. 7, pp. 1571–1577, Jul. 1992.
- [101] C. Yi, R. Wang, W. Huang, W. C.-W. Tang, K. M. Lau, and K. J. Chen, "Reliability of Enhancement-mode AlGaN/GaN HEMTs Fabricated by Fluorine Plasma Treatment," in *2007 IEEE International Electron Devices Meeting (IEDM 2007)*, 2007, pp. 389–392.
- [102] J. Fallin, "slva255: Minimizing Ringing at the Switch Node of a Boost Converter, Texas Instruments Application Note. Available: www.ti.com." Sep-2006.
- [103] SMPSRM/D: Switch-Mode Power Supply, ON Semiconductor Reference Manual. Available: www.onsemi.com. Apr-2014.
- [104] R. Ridley, "Flyback Converter Snubber Design," *Switching Power Magazine*, vol. 12, 2005.
- [105] M. Sasaki, H. Nishio, A. Shorten, and W. T. Ng, "Current balancing control for parallel connected IGBTs using programmable gate driver output resistance," in *2013 25th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2013, pp. 65–68.
- [106] Z. Wang, X. Shi, L. M. Tolbert, F. Wang, and B. J. Blalock, "A di/dt Feedback-Based Active Gate Driver for Smart Switching and Fast Overcurrent Protection of IGBT Modules," *IEEE Trans. Power Electron.*, vol. 29, no. 7, pp. 3720–3732, Jul. 2014.

- [107] S. Musumeci, A. Raciti, A. Testa, A. Galluzzo, and M. Melito, "Switching-behavior improvement of insulated gate-controlled devices," *IEEE Trans. Power Electron.*, vol. 12, no. 4, pp. 645–653, 1997.
- [108] F. Stueckler and E. Vecino, "AN 2013-05: TO-247-4pin - 650V CoolMOS C7 Switch in a Kelvin Source Configuration, Infineon Application Note. Available: www.infineon.com." May-2013.
- [109] CR160: 100V Current Regulator Diodes, Vishay datasheet. Available: www.vishay.com.
- [110] ZVN4306A: 60V/1A N-CHANNEL ENHANCEMENT MODE VERTICAL DMOS FET, Diodes Incorporated datasheet. Available: www.diodes.com.
- [111] D. C. Sheridan, K. Chatty, V. Bondarenko, and J. B. Casady, "Reverse conduction properties of vertical SiC trench JFETs," in *2012 24th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2012, pp. 385–388.
- [112] B. Allebrand and H.-P. Nee, "On the choice of blanking times at turn-on and turn-off for the diode-less SiC JFET inverter bridge," in *Proc. Eur. Conf. Power Electron. Appl.*, 2001.
- [113] R. Ouaida, X. Fonteneau, F. Dubois, D. Bergogne, F. Morel, H. Morel, and S. Oge, "SiC Vertical JFET Pure Diode-Less Inverter Leg," in *Proc. of the IEEE Applied Power Electronics Conference and Exposition*, 2013, pp. 512–517.
- [114] H.-W. Huang, K.-H. Chen, and S.-Y. Kuo, "Dithering Skip Modulation, Width and Dead Time Controllers in Highly Efficient DC-DC Converters for System-On-Chip Applications," *IEEE J. Solid-State Circuits*, vol. 42, no. 11, pp. 2451–2465, Nov. 2007.
- [115] V. Yousefzadeh and D. Maksimovic, "Sensorless optimization of dead times in DC-DC converters with synchronous rectifiers," *IEEE Trans. Power Electron.*, vol. 21, no. 4, pp. 994–1002, Jul. 2006.
- [116] T. Y. Man, P. K. T. Mok, and M. Chan, "An Auto-Selectable-Frequency Pulse-Width Modulator for Buck Converters with Improved Light-Load Efficiency," in *2008 IEEE International Solid-State Circuits Conference (ISSCC)*, 2008, pp. 440–626.
- [117] S. Zhen, B. Zhang, P. Luo, K. Yang, X. Zhu, and J. Li, "A high efficiency synchronous buck converter with adaptive dead time control for dynamic voltage scaling applications," in *2011 IEEE/IFIP 19th International Conference on VLSI and System-on-Chip (VLSI-SoC)*, 2011, pp. 43–48.
- [118] W. Yan, C. Pi, W. Li, and R. Liu, "Dynamic dead-time controller for synchronous buck DC-DC converters," *Electron. Lett.*, vol. 46, no. 2, pp. 164–165, 2010.
- [119] A. Zhao, A. Shorten, H. Nishio, and W. T. Ng, "An intergrated DC-DC converter with digital one-step dead-time correction," in *2010 22nd International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2010, pp. 57–60.
- [120] S. Mappus, "Predictive gate drive boosts synchronous DC/DC power converter efficiency," *APPL Rep SLUA281 Tex. Instrum.*, 2003.
- [121] L. Chen and F. Z. Peng, "Dead-Time Elimination for Voltage Source Inverters," *IEEE Trans. Power Electron.*, vol. 23, no. 2, pp. 574–580, Mar. 2008.
- [122] J. Xue, K. D. T. Ngo, and H. Lee, "A 99%-efficiency 1-MHz 1.6-kW zero-voltage-switching boost converter using normally-off GaN power transistors and adaptive dead-time controlled gate drivers," in *2013 IEEE International Conference of Electron Devices and Solid-State Circuits (EDSSC)*, 2013, pp. 1–2.
- [123] Y.-K. Lin and Y.-S. Lai, "Dead-time elimination method and current polarity detection circuit for three-phase PWM-controlled inverter," in *2009 IEEE Energy Conversion Congress and Exposition (ECCE 2009)*, 2009, pp. 83–90.

-
- [124] J. Kimball and P. T. Krein, "Continuous-time optimization of gate timing for synchronous rectification," in *IEEE 39th Midwest symposium on Circuits and Systems*, 1996, vol. 3, pp. 1015–1018 vol.3.
- [125] J. Kimball and P. T. Krein, "Real-time optimization of dead time for motor control inverters," in *28th Annual IEEE Power Electronics Specialists Conference (PESC '97)*, 1997, vol. 1, pp. 597–600 vol.1.
- [126] A. Peterchev and S. R. Sanders, "Digital loss-minimizing multimode synchronous buck converter control," in *2004 IEEE 35th Annual Power Electronics Specialists Conference (PESC 04)*, 2004, vol. 5, pp. 3694–3699 Vol.5.
- [127] J. . Abu-Qahouq, H. Mao, H. J. Al-Atrash, and I. Batarseh, "Maximum Efficiency Point Tracking (MEPT) Method and Digital Dead Time Control Implementation," *IEEE Trans. Power Electron.*, vol. 21, no. 5, pp. 1273–1281, Sep. 2006.
- [128] F. Richardeau, N. Roux, H. Foch, J.-P. Laur, M. Breil-Dupuy, J.-L. Sanchez, and F. Capy, "New Self-Switching Converters," *IEEE Trans. Power Electron.*, vol. 23, no. 2, pp. 802–812, Mar. 2008.
- [129] F. Capy, "Etude et conception d'un interrupteur de puissance monolithique à auto-commutation: le thyristor dual disjoncteur.," Université Paul Sabatier-Toulouse III, 2009.
- [130] A. Steiner, M.-A. Kutschak, and J. Jaindl, "AN 2010-11: PowerMOSFETs - 650V CoolMOS - C6/E6, Infineon Application Note. Available: www.infineon.com."
- [131] Z. Wang and W. Guggenbuhl, "Adjustable bidirectional MOS current mirror/amplifier," *Electron. Lett.*, vol. 25, no. 10, pp. 673–675, May 1989.

PUBLICATIONS

Revue internationale

R. Grezaud, F. Ayel, N. Rouger, and J.-C. Crebier, “A gate driver with a monolithically integrated dead-time controller for diode-less wide bandgap devices-based converters,” *IEEE Transaction on Power Electronics*, 2014. (*Accepté avec demande de modifications*)

Communications internationales avec comité de lecture

R. Grezaud, F. Ayel, N. Rouger, and J.-C. Crebier, “Monolithically integrated voltage level shifter for Wide Bandgap Devices-based converters,” in *IEEE Microelectronics and Electronics (PRIME)*, 2014, pp. 1–4.

R. Grezaud, F. Ayel, N. Rouger, and J.-C. Crebier, “An adaptive output impedance gate drive for safer and more efficient control of Wide Bandgap Devices,” in *IEEE Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, 2013, pp. 68–71.

R. Grezaud, F. Ayel, N. Rouger, and J.-C. Crebier, “A specific switching characterization method for evaluation of operating point and temperature impacts on wide bandgap devices,” in *IEEE Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, 2013, pp. 104–107.

R. Grezaud and J. Willemin, “A self-starting fully integrated auto-adaptive converter for battery-less thermal energy harvesting,” in *IEEE New Circuits and Systems Conference (NEWCAS)*, 2013, pp. 1–4.

Communication nationale avec comité de lecture

R. Grezaud, F. Ayel, N. Rouger, et J.-C. Crebier, « Méthodes spécifiques de caractérisation et de commande de composants grand gap en environnement variable », dans *Symposium de Génie Électrique (SGE2014)*, Cachan, France, 2014.

Brevet

R. Grezaud, F. Ayel, N. Rouger, et J.-C. Crebier, « Circuit de commande pour convertisseur de puissance », déposé le 27 Novembre 2013.

COMMANDE DE COMPOSANTS GRAND GAP DANS UN CONVERTISSEUR DE PUISSANCE
SYNCHRONE SANS DIODES

Résumé Les composants de puissance grand gap présentent d'ores et déjà des caractéristiques statiques et dynamiques supérieures à leurs homologues en silicium. Mais ces composants d'un nouvel ordre s'accompagnent de différences susceptibles de modifier le fonctionnement de la cellule de commutation. Les travaux qui furent menés au cours de cette thèse se sont intéressés aux composants grand gap et à leur commande au sein d'un convertisseur de puissance synchrone robuste, haut rendement et haute densité de puissance. En particulier deux points critiques ont été identifiés et étudiés. Le premier est la grande sensibilité des composants grand gap aux composants parasites. Le second est l'absence de diode parasite interne entre le drain et la source de nombreux transistors grand gap. Pour répondre aux exigences de ces nouveaux composants et en tirer le meilleur profit, nous proposons des solutions innovantes, robustes, efficaces et directement intégrables aux circuits de commande. Des circuits de commande entièrement intégrés ont ainsi été conçus spécifiquement pour les composants grand gap. Ceux-ci permettent entre autres le contrôle précis des formes de commutation par l'adaptation de l'impédance de grille, et l'amélioration de l'efficacité énergétique et de la robustesse d'un convertisseur de puissance à base de composants grand gap sans diodes par une gestion dynamique et locale de temps morts très courts.

Mots-clés *Composants grand gap, circuit de commande de grille entièrement intégré intelligent, convertisseur de puissance synchrone sans diodes, temps mort dynamique, interactions poussées composant de puissance et commande, caractérisation dynamique flexible.*

A GATE DRIVER FOR DIODE-LESS WIDE BAND GAP DEVICES-BASED SYNCHRONOUS
CONVERTERS

Abstract Wide band gap devices already demonstrate static and dynamic performances better than silicon transistors. Compared to conventional silicon devices these new wide band gap transistors have some different characteristics that may affect power converter operations. The work presented in this PhD manuscript deals with a specific gate drive circuit for a robust, high power density and high efficiency wide band gap devices-based power converter. Two critical points have been especially studied. The first point is the higher sensitivity of wide band gap transistors to parasitic components. The second point is the lack of parasitic body diode between drain and source of HEMT GaN and JFET SiC. In order to drive these new power devices in the best way we propose innovative, robust and efficient solutions. Fully integrated gate drive circuits have been specifically developed for wide band gap devices. An adaptive output impedance gate driver provides an accurate control of wide band gap device switching waveforms directly on its gate side. Another gate drive circuit improves efficiency and reliability of diode-less wide band gap devices-based power converters thanks to an auto-adaptive and local dead-time management.

Keywords *Wide band gap devices, smart fully integrated gate drive circuit, diode-less synchronous power converter, dynamic dead-time, advanced power device and driving interactions, flexible dynamic characterization.*