



HAL
open science

Modélisation l'immunité électromagnétique des composants en vue de la gestion de l'obsolescence des systèmes et modules électroniques.

Mohamed Amellal

► **To cite this version:**

Mohamed Amellal. Modélisation l'immunité électromagnétique des composants en vue de la gestion de l'obsolescence des systèmes et modules électroniques.. Electronique. INSA de Rennes; Université Sidi Mohamed ben Abdellah (Fès, Maroc), 2015. Français. NNT : 2015ISAR0037 . tel-01333563

HAL Id: tel-01333563

<https://theses.hal.science/tel-01333563v1>

Submitted on 17 Jun 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Thèse



THESE INSA Rennes
sous le sceau de l'Université européenne de Bretagne
pour obtenir le titre de
DOCTEUR DE L'INSA DE RENNES
Spécialité : Électronique et télécommunications

présentée par
Mohamed AMELLAL
ECOLE DOCTORALE : MATISSE
LABORATOIRE : IETR, ESEO-EMC, LERSI

**Modélisation l'immunité
électromagnétique des
composants en vue de la
gestion de l'obsolescence
des systèmes et modules
électroniques.**

M. Mohamed Ramdani
Enseignant Chercheur HDR – ESEO Angers / Invité
M. Jean-Luc Levant
Expert CEM – Atmel Nantes / Invité

Thèse soutenue le 14.12.2015
devant le jury composé de :

M. Moulhime El Bakkali
Professeur – USMBA de Fès / Président du jury
M. Bélahcène Mazari
Docteur HDR, Groupe CESI / Rapporteur
Mme. Fatima ERRAHIMI
Professeur – USMBA de Fès / Rapporteur
M. Abdelhak Ziyat
Professeur – Faculté des Sciences de Oujda / Rapporteur
M. Saad Bennani Doss
Professeur – USMBA de Fès / Examineur
M. Richard Perdriau
Enseignant Chercheur HDR – ESEO Angers / Co-encadrant de thèse
M. M'hamed Drissi
Professeur des universités – directeur de l'INSA de Rennes / Co-directeur de thèse
M. Ali Ahaitouf
Professeur des universités – LERSI et FST de Fès / Co-directeur de thèse

*Modélisation de l'immunité électromagnétique
des composants en vue de la gestion de
l'obsolescence des systèmes et modules
électroniques.*

Mohamed AMELLAL



En partenariat avec



Remerciements

"La reconnaissance silencieuse ne sert à personne." - Gladys Bronwyn Stern

Les remerciements dans une thèse semblent souvent être une formalité. Pourtant, comment passer devant une telle occasion pour exprimer son remerciement, sa gratitude et son respect à ces gens sans lesquels cette thèse ne serait qu'une simple aventure scientifique.

Ma première pensée est pour toutes ces personnes qui m'ont posé cette question : "Alors cette thèse, elle avance ?... La soutenance c'est quand ?...", cette question aussi simple qu'elle soit n'a pas cessé de me motiver et me faire avancer. Je vous dis aujourd'hui merci.

Toute thèse a une histoire, ou plutôt un déclencheur (une personne, une rencontre, un sujet). A ce titre, je tiens à remercier plusieurs personnes. Parmi ces personnes, mon encadrant Mohamed Ramdani, qui au fil des années est devenu un ami. Qu'il trouve ici toute l'expression de ma reconnaissance pour son soutien et ses conseils. Merci pour son amitié, son soutien et surtout pour sa présence pendant les moments difficiles mais aussi pendant les moments de joie.

Je remercie aussi une autre personne, mon directeur de thèse Ali Ahaitouf, qui sans lui je n'aurais jamais pu faire cette thèse. Je le remercie de m'avoir poussé dans cette direction et d'avoir cru en mes capacités depuis mes années d'université à la FST.

Merci à Richard Perdriau mon co-encadrant de thèse et mon allié face aux contraintes CEM spécifiques aux mémoires et aux micro-contrôleurs. Je me dois de reconnaître la chance que j'ai eue d'avoir près de moi une personne comme lui. Merci pour ses conseils, ses discussions et sa disponibilité.

Merci à M'hamed Drissi pour avoir accepté de diriger cette thèse et pour m'avoir offert un cadre de travail souple et adapté à la co-tutelle.

Il va être difficile de remercier toutes ces personnes qui ont croisé le chemin de ma thèse. Mais j'ai une pensée particulière à quelques partenaires du laboratoire ESEO-EMC (Jean-Luc Levant) et quelques membres du groupe de travail du projet SEISME (Etienne Sicard, Frédéric Lafon) pour leurs idées, intérêts et leurs temps.

Merci à mes collègues d'équipe de recherche, Ala Ayed et Sjoerd Op't Land pour leur présence et aide au quotidien sur tant de petits sujets.

Je voudrais remercier également les personnes qui ont accepté de faire partie de mon Jury de thèse malgré toutes les contraintes et qui ont eu la lourde tâche d'évaluer et critiquer mon travail. Merci à Mme. Fatima Errahimi, Mr. Abdelhak Ziyyat et Mr. Bélahcène Mazari d'avoir accepté d'être rapporteurs, ainsi qu'à Mr. Jean-Luc levant et Mr. Saad Bennani Doss, d'être examinateurs. Je remercie également Mr. Moulhime El Bakkali d'avoir accepté d'être président du jury malgré ses contraintes et son planning chargé.

Je remercie tous mes proches et tous ceux qui m'ont soutenu, aidé dans la vie quotidienne et réussi à me remotiver pour relever la tête. Merci à mes parents, mes sœurs et ma belle famille pour leur soutien inépuisable. Aujourd'hui, c'est une consécration pour nous tous. J'espère avoir été à la hauteur de leurs espérances et qu'ils seront fiers que leurs fils, petit frère et beau frère est bientôt docteur.

Merci à Sarrah mon épouse, mon binôme et partenaire de toujours, présente dans tous mes moments de doute, de malheur et de bonheur malgré sa préparation de thèse. J'espère ne pas l'avoir traumatisée avec la CEM et mes projets d'articles au plein milieu de la nuit. Qu'elle me pardonne pour le temps que je n'avais pas passé avec elle.

Enfin, je voudrais remercier particulièrement deux personnes, Ladji et Ghassan qui ont toujours fait en sorte de me faire sentir en famille même loin des miens.

Je dédie cette thèse à mes nièces et neveux. J'espère qu'elle leur sera une source de fierté et d'inspiration pour leurs avenir.

Je dédie également cette thèse à vous Papa et Maman, en souhaitant qu'elle effacera tous les torts que j'ai pus faire par le passé.

Angers, 07 Novembre 2015

M. A.

Résumé

De nos jours, l'évolution croissante des domaines d'application des circuits intégrés impose aux industriels de nouvelles contraintes de conception. Afin de réaliser des circuits électroniques plus denses et plus performants, ils cherchent à faire cohabiter plusieurs types de composants sur des surfaces plus petites et, de surcroît, fonctionnant à des fréquences de plus en plus élevées. Cependant, cette cohabitation pourrait générer des problèmes de CEM (compatibilité électromagnétique).

Les travaux présentés dans ce mémoire rentrent dans le cadre du projet de recherche SEISME (Simulation de l'Emission et de l'Immunité des Systèmes et Modules Electroniques). Ils décrivent des méthodologies de mesure et de modélisation de l'immunité conduite des circuits intégrés complexes comme les mémoires non volatiles ou bien les micro-contrôleurs. L'objectif est d'étudier l'influence des changements de composants et de cartes sur le comportement électromagnétique d'un système électronique.

Dans cette perspective, afin de valider son utilisation dans le cas des circuits intégrés complexes, une étude détaillée de la norme de mesure DPI (Direct Power Injection) est d'abord proposée. Basé sur cette dernière, un nouveau prototype de dispositif d'injection est réalisé. Ce multiplexeur permet de superposer un signal agresseur à un signal fonctionnel, avec un chevauchement de leurs bandes de fréquences. Ainsi, il est possible d'agresser une broche fonctionnelle (horloge par exemple) d'un circuit intégré pendant son fonctionnement. Ensuite, une procédure de mesure globale d'immunité conduite est présentée. Elle permet de caractériser la susceptibilité conduite des circuits complexes en tenant compte des différents modes de fonctionnement et avec la possibilité d'utiliser un critère d'immunité fonctionnel ou électrique. Grâce à l'application de cette procédure à deux mémoires non volatiles compatibles broche à broche (mêmes caractéristiques mais de deux fournisseurs différents), il est possible de constater l'influence des technologies de fabrication sur l'immunité conduite de ce type de circuits. Par conséquent, l'effet du changement de composant sur le comportement électromagnétique d'un système électronique devient prédictible.

Enfin, deux méthodologies de modélisation sont proposées, l'une au niveau composant et l'autre au niveau carte. La démarche de modélisation au niveau composant repose sur le standard ICIM-CI (Integrated Circuit Immunity Model-Conducted Immunity) et vise à générer un modèle d'immunité simulable et prédictif. Grâce à l'application de cette démarche dans le contexte des mémoires non volatiles, il est possible de prédire leur immunité dans le cas de modification

d'une l'impédance d'entrée par rajout d'éléments de filtrage par exemple. En ce qui concerne la modélisation au niveau carte, une procédure basée sur la proposition de modèle EBIM-CI (Electronic Board Immunity Model-Conducted Immunity) est développée. Elle consiste à générer un modèle d'immunité d'une carte électronique en utilisant les modèles des différents composants qui la constituent. Un cas d'étude a été défini. Le modèle issu de cette approche permet de simuler l'immunité conduite globale du démonstrateur ainsi que de prédire le comportement électromagnétique de ce dernier lors du changement d'un ou plusieurs composants.

Abstract

Nowadays, the growing evolution of application fields for integrated circuits sets new constraints for designers and manufacturers. Due to continuous technological advances in integrated circuits, those have become smaller, denser and operational at higher frequencies. The miniaturization of integrated circuits has led to the reduction of power consumption and, thus, noise margins. Mixing digital and analog functions inside the same chip also makes electromagnetic interferences (EMIs) more likely to spread and cause disturbances. As a result, complex ICs with coexisting different functions represent a challenge from an EMC point of view, as interferences can cause critical functional failures.

The work presented in this manuscript falls within the SEISME project which aims, among others, to perform the simulation of both the emission and the immunity of electronic systems and modules at different levels (IC, PCB, equipment, system). More precisely, this work deals with the development of measurement and modeling methodologies for the characterization of the conducted immunity of complex ICs, such as microcontrollers and non-volatile memories. The main goal is to study the effect of component and/or board replacement on the electromagnetic behavior of a complete electronic system.

In this context, a thorough study of the Direct Power Injection (DPI) technique is presented, thus validating its use for complex integrated circuits. Based on this study, a new prototype for the disturbance coupling path is proposed. It consists of a multiplexer that enables the superposition of a disturbance signal and a functional one with overlapping frequency bands. Therefore, it is possible to disturb an IC functional pin (a clock for instance) during its operation. Moreover, measurement procedure for conducted immunity is introduced. Its advantage is to make it possible to characterize the immunity of complex ICs by taking into account different operation modes as well as flexible immunity criteria (electrical / functional). Thanks to the application of this methodology for two different, non-volatile, pin-to-pin-compatible memories (having the same characteristics but different manufacturers), the influence of fabrication technology on the conducted immunity of such ICs is better identified and understood. As a consequence, the effect of changing components on the electromagnetic behavior of an electronic system has become predictable.

As far as modeling aspects are concerned, two methodologies are presented in this manuscript. The first one deals with the immunity at the component level whereas the other involves board

level immunity. At the IC level, the modeling approach is rather based on the ICIM-CI (Integrated Circuit Immunity Model-Conducted Immunity) draft standard which makes it possible to extract simulation models that can be incorporated within IC design flows. Once applied to the context of non-volatile memories, this approach allows predicting their immunity in the case of modified input impedance, for example. As far as immunity modeling at the board level is concerned, the idea is to make use of ICIM-CI models corresponding to different ICs on the PCB in order to construct an Electronic Board Immunity Model for Conducted Immunity (EBIM-CI). A case study has been defined and the extracted model makes it possible to simulate the demonstrator's global conducted immunity as well as to predict its electromagnetic behavior following the replacement of one or more components.

Table des matières

| | |
|---|------------|
| Résumé (Français/English) | iii |
| Liste des figures | x |
| Liste des tableaux | xiv |
| 1 Introduction générale | 2 |
| 2 Généralités sur la compatibilité électromagnétique et la CEM des circuits intégrés | 8 |
| 2.1 Généralités sur la compatibilité électromagnétique | 8 |
| 2.1.1 Introduction | 8 |
| 2.1.2 Sources des perturbations électromagnétiques | 10 |
| 2.1.2.1 Sources intentionnelles | 11 |
| 2.1.2.2 Sources non intentionnelles | 12 |
| 2.1.3 Couplage des perturbations électromagnétiques | 13 |
| 2.1.3.1 Couplage rayonné | 14 |
| 2.1.3.2 Couplage conduit | 15 |
| 2.2 CEM des circuits intégrés | 16 |
| 2.2.1 Evolution des circuits intégrés | 16 |
| 2.2.2 Emissivité des circuits intégrés | 17 |
| 2.2.2.1 Origine des émissions parasites des circuits intégrés | 17 |
| 2.2.2.2 Méthodes normalisées de mesure de l'émission des circuits intégrés | 18 |
| 2.2.2.3 Modélisation de l'émission conduite des circuits intégrés et des cartes électroniques | 20 |
| 2.2.3 Immunité des circuits | 21 |
| 2.2.3.1 Influence des perturbations sur le comportement des circuits intégrés | 21 |

| | | |
|---------|---|----|
| 2.2.3.2 | Méthodes normalisées de mesure de l'immunité des circuits intégrés | 23 |
| 2.2.3.3 | Techniques d'amélioration de l'immunité des systèmes électroniques | 25 |
| 2.2.3.4 | Modélisation de l'immunité conduite des circuits intégrés et des cartes électroniques | 27 |
| 2.3 | Conclusion | 29 |

3 Méthodologie de mesure de l'immunité conduite pour les circuits intégrés complexes 30

| | | |
|---------|--|----|
| 3.1 | Introduction | 30 |
| 3.2 | Modèle existant | 31 |
| 3.2.1 | La norme BCI | 31 |
| 3.2.2 | La norme DPI | 32 |
| 3.2.3 | Composants étudiés | 34 |
| 3.2.3.1 | Présentation générale | 34 |
| 3.2.3.2 | Protocole SPI | 36 |
| 3.3 | Caractéristiques d'injection | 37 |
| 3.3.1 | Critère d'immunité | 37 |
| 3.3.1.1 | Critère fonctionnel | 37 |
| 3.3.1.2 | Critère électrique | 38 |
| 3.3.2 | Chemin de couplage | 38 |
| 3.3.2.1 | Conception et contraintes du multiplexeur RF/BB | 41 |
| 3.3.2.2 | Conception des pistes et des transitions | 42 |
| 3.3.2.3 | Simulations et mesures des caractéristiques du multiplexeur | 43 |
| 3.3.2.4 | Validation du multiplexeur : Étude détaillée sur l'inverseur SN74LS04D | 46 |
| 3.3.3 | Système de mesure | 49 |
| 3.3.3.1 | Interface de communication et de contrôle | 49 |
| 3.3.3.2 | Carte de test | 50 |
| 3.3.3.3 | Mise en œuvre du système de mesure | 50 |
| 3.3.4 | Logiciel de gestion et algorithme de mesure | 53 |
| 3.3.4.1 | Algorithme de mesure | 53 |
| 3.3.4.2 | Logiciel de gestion | 54 |
| 3.3.4.3 | Banc d'agression conduite | 55 |
| 3.4 | Résultats de mesure et discussions | 58 |
| 3.4.1 | Immunité et critère de test | 58 |

| | | |
|----------|--|------------|
| 3.4.2 | Immunité et fréquence de communication SPI | 59 |
| 3.4.3 | Immunité et phase d'accès mémoire | 60 |
| 3.4.4 | Immunité et technique de conception | 62 |
| 3.4.5 | Immunité et broche d'injection | 65 |
| 3.5 | Conclusion | 69 |
| 4 | Méthodologie de construction d'un modèle d'immunité pour la gestion de l'obsolescence | 71 |
| 4.1 | Introduction | 71 |
| 4.2 | Modélisation niveau composant | 72 |
| 4.2.1 | Modèle d'émission ICEM-CE | 72 |
| 4.2.2 | Modèle de susceptibilité ICIM-CI | 74 |
| 4.2.2.1 | Présentation de la norme | 74 |
| 4.2.2.2 | Composant PDN | 76 |
| 4.2.2.3 | Composant IB | 76 |
| 4.2.3 | Développement du modèle ICIM-CI pour les mémoires | 77 |
| 4.2.3.1 | Structure du modèle | 77 |
| 4.2.3.2 | Extraction et modélisation du PDN | 78 |
| 4.2.3.3 | Extraction du IB | 79 |
| 4.2.3.4 | Validation du modèle | 82 |
| 4.3 | Prédiction de l'immunité d'une carte électronique dans le cas d'un changement de composant | 84 |
| 4.3.1 | Modélisation niveau carte | 84 |
| 4.3.1.1 | Modèle EBIM-CI | 85 |
| 4.3.2 | Procédure de modélisation | 86 |
| 4.3.2.1 | Présentation de l'application étudiée | 86 |
| 4.3.2.2 | Présentation générale de la procédure | 87 |
| 4.3.2.3 | Extraction du modèle | 88 |
| 4.3.2.4 | Simulation et validation du modèle | 90 |
| 4.4 | Conclusion | 97 |
| 5 | Conclusion générale | 99 |
| | Listes des publications | 103 |
| | Bibliographie | 111 |

| | |
|---|------------|
| Annexes | 113 |
| A Annexes 1 - REALISATION DU LAYOUT DU MULTIPLEXEUR RF/BB | 113 |
| B Annexes 2 - SCHEMAS ELECTRIQUE ET LAYOUT DE LA CARTE DE CONTROLE USB/SPI | 115 |
| C Annexes 3 - SCHEMAS ELECTRIQUE ET LAYOUT DU DEMONS- TRATEUR D'OBSOLESCENCE | 118 |

Table des figures

| | | |
|------|---|----|
| 1.1 | Exemple d'un assemblage de circuits intégrés provenant de fournisseurs différents monté sur la carte électronique d'un smartphone | 3 |
| 2.1 | Représentation des différents aspects de la CEM | 9 |
| 2.2 | Exemple de propagation des perturbations électromagnétiques dans un avion | 10 |
| 2.3 | Sources d'émissions radio | 12 |
| 2.4 | Exemple d'application de la technique CPL | 12 |
| 2.5 | Exemple de pics de courant consommés par un circuit intégré | 13 |
| 2.6 | Les différents modes de couplage d'une perturbation électromagnétique. | 14 |
| 2.7 | Exemple de couplage entre deux interconnexions. | 15 |
| 2.8 | Évolution de la longueur de canal d'un transistor | 16 |
| 2.9 | Exemple de tension parasite causée par la commutation simultanée et son spectre[14]. | 18 |
| 2.10 | Méthodes standardisées de caractérisation de l'émission des circuits intégrés. | 19 |
| 2.11 | Structure de base du modèle d'émission conduite xxEM-CE. | 20 |
| 2.12 | Phénomène de latchup dans les circuits intégrés | 22 |
| 2.13 | Marges de bruit en entrée d'un circuit élémentaire numérique | 22 |
| 2.14 | Méthodes standardisées de caractérisation de l'immunité des circuits intégrés. | 23 |
| 2.15 | Exemple de résultat de mesure d'immunité rayonnée avec la méthode NFS. | 24 |
| 2.16 | Simulation des performances CEM durant les différentes phases de conception d'un système électronique. | 26 |
| 2.17 | Structure de base du modèle d'immunité conduite xxIM-CI. | 28 |
| 3.1 | Vue d'ensemble du système de mesure BCI appliqué à un circuit intégré. | 31 |
| 3.2 | Vue d'ensemble du système de mesure DPI dans la norme actuelle | 32 |
| 3.3 | Procédure de test DPI | 33 |
| 3.4 | Vue générale des mémoires étudiées. | 35 |

| | | |
|------|--|----|
| 3.5 | Chrono-gramme d'accès mémoire en lecture et en écriture | 36 |
| 3.6 | Composition du registre d'états interne d'une mémoire non volatile de type SPI | 38 |
| 3.7 | Algorithme de test du critère d'immunité | 39 |
| 3.8 | Exemple de mise en place du critère de test électrique. | 39 |
| 3.9 | Schéma fonctionnel d'un chemin de couplage DPI | 40 |
| 3.10 | Exigences du chemin de couplage LC, lorsqu'il est connecté à une entrée logique. | 40 |
| 3.11 | Schéma fonctionnel du multiplexeur RF/BB | 42 |
| 3.12 | Empilement et géométrie des couches du PCB utilisé | 43 |
| 3.13 | Modélisation et comparaison simulation/mesure de la transition connecteur-piste-connecteur | 44 |
| 3.14 | Schéma général de la simulation et de l'implémentation du multiplexeur RF/BB | 45 |
| 3.15 | Comparaisons mesures simulations des différentes caractéristiques du multiplexeur RF/BB | 46 |
| 3.16 | Signal de sortie du multiplexeur RF/BB dans le domaine temporel dans le cas d'une émulation d'injection de puissance | 47 |
| 3.17 | Configuration de mise en œuvre du SN74LS04D | 47 |
| 3.18 | Résultats de caractérisation DPI du SN74LS04D | 48 |
| 3.19 | Schéma de l'interface SPI/USB | 49 |
| 3.20 | Carte Valeo de mesure DPI et son kit de calibrage | 51 |
| 3.21 | Schéma général des quatre mises en œuvre des mesures DPI pour les mémoires SPI | 52 |
| 3.22 | Algorithme général de la procédure de test DPI pour les mémoires SPI | 54 |
| 3.23 | Interface graphique de commande. | 55 |
| 3.24 | Banc de mesure d'immunité conduite du laboratoire ESEO-EMC. | 58 |
| 3.25 | Immunité conduite de la mémoire Microchip en fonction du critère de test. | 59 |
| 3.26 | Immunité conduite de la mémoire Atmel en fonction du critère de test. | 60 |
| 3.27 | Variation de l'immunité conduite de la mémoire ATMEL en fonction de la fréquence de communication SPI | 60 |
| 3.28 | Immunité conduite de la mémoire Microchip en fonction de la phase d'accès | 61 |
| 3.29 | Immunité conduite de la mémoire Atmel en fonction de la phase d'accès | 61 |
| 3.30 | Immunité conduite en écriture en fonction de la technologie de fabrication. | 62 |
| 3.31 | Immunité conduite en lecture en fonction de la technologie de fabrication. | 63 |
| 3.32 | Simulation des fonctions de transferts des modèles des mémoires étudiées. | 64 |
| 3.33 | Résultats de l'analyse technologique - ouverture chimique. | 65 |

| | | |
|------|--|----|
| 3.34 | Modélisation et simulation de l'impédance de la broche d'alimentation . | 66 |
| 3.35 | L'immunité conduite en écriture de la mémoire Microchip en fonction la broche agressée. | 67 |
| 3.36 | L'immunité conduite en lecture de la mémoire Microchip en fonction la broche agressée. | 68 |
| 3.37 | Mesure de l'impédance d'entrée de la 25LC512 (Ω). | 68 |
| 4.1 | Architecture générale du modèle ICEM-CE | 73 |
| 4.2 | Exemple de modèle ICEM-CE - Source ATMEL | 73 |
| 4.3 | Architecture générale d'un macro-modèle ICIM-CI[60] | 75 |
| 4.4 | Schéma d'utilisation et d'échange d'un macro-modèle ICIM-CI | 75 |
| 4.5 | Macro-modèle ICIM-CI avec un critère extérieur | 77 |
| 4.6 | Macro-modèle ICIM-CI avec un critère intégré | 77 |
| 4.7 | Localisation du plan de référence pour l'extraction des paramètres S | 78 |
| 4.8 | Génération de la matrice S7P à partir de matrice S2P | 79 |
| 4.9 | Exemples de confrontation modèle PDN et paramètres S mesurées par le VNA | 80 |
| 4.10 | Principe de mesure de la puissance transmise pendant test DPI | 80 |
| 4.11 | Principe d'extraction de la puissance transmise à la MUT en simulation | 81 |
| 4.12 | Simulation du composant IB pour la mémoire 25LC512 de Microchip | 82 |
| 4.13 | Schéma général de la simulation du nouveau environnement de test | 83 |
| 4.14 | Confrontation entre le modèle de la capacité 100 pF et les paramètres S mesurés par le VNA | 83 |
| 4.15 | Confrontation mesure DPI et simulation du modèle ICIM-CI dans le nouveau environnement de test | 84 |
| 4.16 | Architecture générale d'un macro-modèle EBIM-CI | 85 |
| 4.17 | Détails du démonstrateur obsolescence (μ C + mémoire SPI) | 87 |
| 4.18 | Approche hiérarchique bottom-up pour une carte électronique. | 88 |
| 4.19 | Mise en œuvre de la mesure DPI grâce démonstrateur obsolescence (μ C + mémoire SPI) dans le cas des mémoires | 90 |
| 4.20 | Synchronisation des perturbations électromagnétiques avec la phase de lecture du démonstrateur obsolescence (μ C + mémoire SPI) | 91 |
| 4.21 | Synchronisation des perturbations électromagnétiques avec la phase d'écriture du démonstrateur obsolescence (μ C + mémoire SPI) | 91 |
| 4.22 | Courbes d'immunité de la mémoire et du μ C réalisées sur le démonstrateur obsolescence | 92 |
| 4.23 | Principe d'extraction de la partie IB du modèle ICIM-CI dans le cas des μ C | 92 |

| | | |
|------|---|-----|
| 4.24 | Comparaison entre la mesure DPI et simulation du modèle ICIM-CI dans le cas du μC Sam7 | 93 |
| 4.25 | Représentation du modèle microstrip line sous ADS de Agilent[70] | 93 |
| 4.26 | Schéma général de la mise ne œuvre de la simulation du modèle EBIM-CI | 94 |
| 4.27 | Magnitude en dB du coefficient de transmission entre la broche d'alimentation et les broches de sorties mesuré par le VNA | 95 |
| 4.28 | Confrontation mesure DPI et simulation du modèle EBIM-CI dans le cas de la mémoire 25LC512 et du μC SAM3 | 95 |
| 4.29 | Courbes d'immunité conduite prédites dans le cas du changement du μC SAM7 par le μC SAM3 | 96 |
| 5.1 | Flot de conception d'un circuit imprimé | 114 |
| 5.2 | Layout du multiplexeur RF/BB | 114 |
| 5.3 | Vue générale du module FTDI2232H. | 115 |
| 5.4 | Schéma électrique général de la carte de contrôle USB/SPI | 116 |
| 5.5 | Layout de la carte de contrôle USB/SPI - Vue 2D | 117 |
| 5.6 | Schéma électrique général du démonstrateur d'obsolescence | 118 |
| 5.7 | Layout du démonstrateur d'obsolescence - Vue 2D | 119 |
| 5.8 | Layout du démonstrateur d'obsolescence - Vue 3D | 120 |

Liste des tableaux

| | | |
|-----|--|----|
| 2.1 | Principales sources de perturbation électromagnétique. | 11 |
| 2.2 | Principales caractéristiques des méthodes de mesures de susceptibilité. . | 25 |
| 3.1 | Caractéristiques générales des mémoires étudiées | 35 |
| 3.2 | Valeurs du couple (W_{CPW}, G) calculées pour une impédance caractéristique de 50Ω | 43 |
| 3.3 | Configurations des mises en œuvre des mesures DPI pour les mémoires SPIs | 50 |
| 3.4 | Synthèse des caractéristiques des réseaux d'alimentation dans le cas des deux mémoires. | 64 |
| 3.5 | Synthèse des différentes mesures de cotation des mémoires étudiées . . | 65 |
| 4.1 | Caractéristiques du modèle ICIM-CI relatif aux mémoires et micro-contrôleurs | 90 |

1 Introduction générale

Problématique

L'essor important que connaissent les applications industrielles utilisant des systèmes électroniques embarqués, que ce soit dans le domaine aéronautique, spatial, ou encore automobile, permet aux industriels d'offrir des solutions techniques et économiques concurrentielles. Ce développement se manifeste par des performances croissantes, une intégration poussée et des coûts attractifs. Néanmoins, cette évolution technologique rapide et l'élargissement continu des domaines d'utilisation ne pourraient aboutir que par une meilleure compréhension des divers mécanismes de conception, de réalisation, et surtout, de fiabilité de ces systèmes électroniques. Garantir les performances souhaitées, indépendamment de l'environnement d'utilisation, devient aujourd'hui l'enjeu majeur pour les industriels concernés.

Un des éléments clés de la réussite des challenges d'intégration et d'évolution technologique est la maîtrise de la compatibilité électromagnétique et de ses risques.

En effet, depuis de nombreuses années, les problèmes liés à la compatibilité électromagnétique des systèmes et circuits électroniques sont au cœur des préoccupations des industriels. Assurer le bon fonctionnement de ces derniers, sans qu'ils soit perturbés par un tiers, ou qu'ils perturbent eux-mêmes leurs voisinage, devient vital à tous les niveaux de conception. L'exemple des circuits intégrés illustre parfaitement ce défi. D'une part, l'augmentation de l'intégration des fonctions logiques au sein d'un même composant conduit à l'accroissement des émissions parasites. D'autre part, la réduction des tensions d'alimentation et l'augmentation des fréquences de fonctionnement impactent négativement les niveaux de susceptibilité face aux perturbations électromagnétiques.

La susceptibilité et l'émissivité sont donc les deux aspects indissociables dont il faut tenir

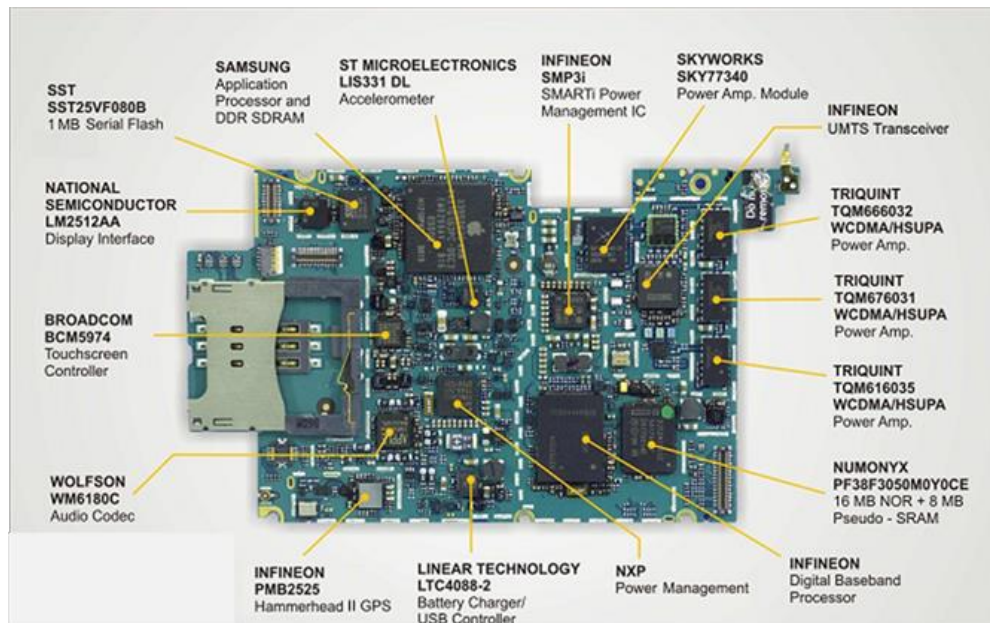


FIGURE 1.1 – Exemple d'un assemblage de circuits intégrés provenant de fournisseurs différents monté sur la carte électronique d'un smartphone

compte dans la conception des circuits électroniques afin d'assurer un bon voisinage entre les différents circuits d'un équipement ou d'un système donné.

Si l'émission électromagnétique (causes et conséquences), est désormais maîtrisée et bénéficie d'un nombre de normes de modélisation, l'immunité quant à elle manque à ce jour de ressources et de normes qui permettront de tenir compte de cet aspect dès la phase de conception.

Cette problématique prend plus d'ampleur avec la diversification des architectures et des technologies des circuits intégrés qui partagent le même support, et qui à un niveau supérieur devront évoluer dans le même environnement (Figure 1.1).

Dans cette perspective, un nouveau concept d'obsolescence électromagnétique est apparu et vise à se prémunir contre les risques d'obsolescence des composants ou systèmes électronique dans l'étude CEM. Qu'il s'agisse d'une obsolescence liée soit à l'évolution du processus de fabrication chez un même fondeur, soit à une décision de changement de fabricant (optimisation des coûts), la prédiction de l'effet du changement d'un composant par un autre sur les performances électromagnétiques représente actuellement un nouveau défi dans la conception des systèmes électroniques. De plus, en adoptant une approche hiérarchique bottom-up, ce concept peut intervenir à plusieurs niveaux d'un système et en particulier au niveau des circuits intégrés.

Contexte

Les travaux de cette thèse rentrent de la cadre du projet SEISME (Simulation de l'Émission et de l'Immunité des Systèmes et des Modules Electroniques). Ce projet vient suite à des besoins exprimés par les industriels de l'électronique embarquée. Ces derniers souffrent d'un manque au niveau des processus pour traiter par simulation numérique la non régression des performances CEM, ceci dans l'optique de réduire le nombre d'essais CEM.

Le projet SEISME est articulé autour de trois objectifs principaux. Le premier objectif concerne le développement de prototypage virtuel. Il est question de définir les outils, les modèles et les méthodes de test et de calcul pour l'analyse CEM lors d'une modification de composants ou d'équipements électroniques durant leur cycle de vie. Le second objectif vise à renforcer le test virtuel. Ce dernier permettra de réduire le nombre de tests de requalification CEM d'un équipement et d'un système électronique. Pour les industriels cela est synonyme de réduction des délais et des coûts de ces essais CEM. Enfin le dernier objectif se focalise sur les propositions de standardisation des modèles. Il s'agit de créer un projet unifié au sein des comités normatifs internationaux de la IEC (International Electrotechnical Commission) regroupant des propositions de modèles composants/carte/équipement électronique et de leurs méthodes d'extraction.

Ce projet est organisé selon cinq Work Packages (WP) :

- Le WP 1 et le WP3 couvrent la problématique du changement de composants élémentaires . Dans ce cas il s'agit de mesures et de modèles au niveau composants et circuits intégrés. Cette problématique intéresse principalement les équipementiers automobiles qui sont plutôt mono cartes.
- Le WP 2 couvre la problématique du changement de cartes électroniques . Dans ce cas il est question de mesures et de modèles au niveau cartes électroniques . C'est une problématique qui intéresse principalement les équipementiers avioniques qui disposent de calculateurs multi-cartes.
- Le WP 4 concerne la problématique du changement d'équipements électroniques . Il s'agit dans ce cas de mesures et de modèles au niveau équipements électroniques. C'est une problématique qui concerne principalement les systémiers, avioniques et automobiles.
- Le WP5 a un rôle plus transversal en proposant pour chaque WP des structures de modèles et les méthodes de mesures pour extraire ces modèles. Cette approche transverse permet plus facilement d'envisager la création de standards de modèles.

Objectifs et originalité de la démarche

L'objectif des travaux de cette thèse est de développer une méthodologie pour la caractérisation de l'immunité conduite des circuits intégrés complexes, ainsi que l'extraction et la construction de macro-modèles d'immunité pour les circuits intégrés et les cartes électroniques.

Les mémoires non volatiles et les micro-contrôleurs représentent un cas d'étude intéressant. D'une part, ils assurent des fonctions cruciales dans les systèmes électroniques actuels et présentent des modes de fonctionnement variés. D'autre part, la diversité des fabricants et des technologies ainsi que leur interchangeabilité font deux des sujets parfaits pour l'étude de l'obsolescence.

La première étape consiste à développer des procédures de mesure pour l'étude de l'immunité conduite des mémoires non volatiles et ainsi détenir une base solide pour identifier l'influence de la technologie de fabrication sur leur susceptibilité. Ensuite, il s'agira de développer une méthodologie pour l'extraction et la construction de macro-modèles d'immunité, au niveau composant, en se basant sur les normes existantes. Ces modèles serviront enfin de base de modélisation au niveau carte, afin d'étudier l'influence de changement d'un composant sur le comportement électromagnétique global d'une application.

Structure

Dans le premier chapitre de ce manuscrit, des notions générales relatives à la compatibilité électromagnétique sont exposées. Ainsi, à travers une étude bibliographique de l'évolution des paramètres technologiques des circuits intégrés, ce chapitre introduit les différents aspects de la CEM des circuits intégrés, plus particulièrement sur l'immunité des composants.

Le deuxième chapitre expose la méthodologie de mesure d'immunité conduite développée dans le cadre de cette thèse. Le principe de mesure est d'abord introduit afin de déterminer les points critiques à traiter. Ensuite, les modifications et adaptations apportées à la norme à travers l'approche proposée sont détaillées, suivies par les algorithmes de test et les configurations de mesures développées. Enfin, les résultats obtenus par l'intermédiaire de notre procédure sont exposés.

Le dernier chapitre, quant à lui, traite de la modélisation des circuits intégrés dans le but de prédire leur immunité. Il est question dans un premier temps de proposer une démarche d'extraction du modèle d'immunité pour les circuits étudiés au niveau composant, en se

basant sur les normes en vigueur. Cette démarche sera validée grâce à la corrélation des résultats des mesures et simulations. Ensuite, une méthode de prédiction de l'immunité d'une carte est présentée. Elle repose sur l'étude de l'interaction des différents modèles proposés auparavant et vise à prédire le comportement électromagnétique d'une carte électronique lors d'un changement de composant.

2 Généralités sur la compatibilité électromagnétique et la CEM des circuits intégrés

"Si on commence avec des certitudes, on finit avec des doutes. Si on commence avec des doutes, on finit avec des certitudes." - Francis Bacon

2.1 Généralités sur la compatibilité électromagnétique

2.1.1 Introduction

Le 29 juillet 1967, un avion s'apprêtait à décoller d'un porte-avions américain lorsque l'une de ses roquettes prenait accidentellement feu et causait un désastre faisant une centaine de victimes, des dizaines de blessés mais aussi plusieurs millions de dollars de dégâts. L'enquête a démontré qu'un radar du porte-avions avait induit une surtension suffisante sur les câblages des roquettes placées sous l'avion pour activer la mise à feu[1]. Ce dysfonctionnement fait partie d'un ensemble d'exemples qui illustrent les conséquences des interférences entre les ondes électromagnétiques et les équipements et systèmes électroniques. L'étude de ces phénomènes est appelée la compatibilité électromagnétique (CEM).

La compatibilité électromagnétique est définie comme *"l'aptitude d'un dispositif, d'un appareil ou d'un système à fonctionner dans son environnement électromagnétique de façon satisfaisante et sans produire lui-même des perturbations électromagnétiques intolérables pour d'autres équipements qui se trouvent dans cet environnement"*.

De cette définition découlent deux notions fondamentales de la CEM. La figure 2.1

représente ces différents notions.

- La première partie de la définition met en évidence le concept de l'immunité d'un système ou d'un composant. Cette première notion se traduit par le fait que ces derniers doivent conserver leur fonctionnalité, ainsi que leurs spécifications, lorsqu'ils sont exposés à un certain niveau de perturbations électromagnétiques, notamment issues de leur environnement de fonctionnement. Dans cette approche ils sont considérés comme des victimes.
- La deuxième partie quant à elle introduit la notion d'émissivité. En effet, un système ou un composant doit pouvoir fonctionner correctement sans générer des perturbations électromagnétiques au-delà d'un niveau préalablement défini, ceci afin de ne pas influencer de manière trop importante l'environnement électromagnétique dans lequel il est situé. Dans ce cas de figure il est considéré comme agresseur ou source d'agression.

Cependant, il existe une autre notion, qui n'apparaît pas directement dans la définition de la CEM : C'est la notion de canal. Ce dernier véhicule les perturbations de l'agresseur vers la victime. Il peut se manifester sous deux aspects suivant sa nature. Il peut être un milieu comme le vide ou l'air ou bien un matériau non conducteur, on parle alors de couplage rayonné. Le canal peut aussi être un conducteur électrique, auquel cas on parlera de couplage conduit.

L'étude de la compatibilité électromagnétique est devenue une étape importante dans la réalisation des systèmes électroniques à cause de l'essor qu'a connu l'électronique durant les dernières décennies. En effet, les évolutions technologiques permettent une

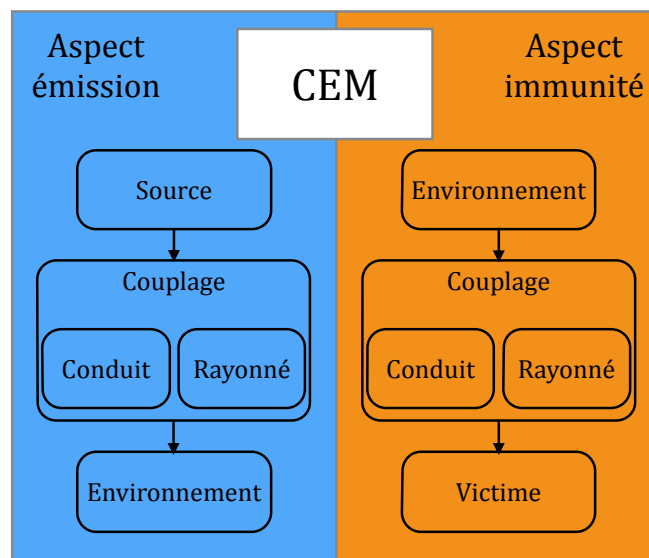


FIGURE 2.1 – Représentation des différents aspects de la CEM

intégration de plus en plus poussée des fonctions électroniques. Elles autorisent ainsi une miniaturisation accrue des dispositifs, rendant possible le partage du même environnement. Par conséquent il est important et nécessaire d'assurer le bon fonctionnement des différentes parties qui évoluent dans cet environnement.

Par ailleurs, l'étude de la CEM est inévitablement liée à l'ordre de grandeur de l'objet sur lequel elle est menée. La figure 2.2 illustre la propagation d'une perturbation électromagnétique dans un système. Les circuits intégrés représentent le noyau des systèmes électroniques et sont le dernier maillon de la chaîne de traitement du signal du système. Cependant, une agression électromagnétique qui attaque le système peut se propager jusqu'aux composants via les chemins de couplage en passant par les équipements et les cartes électroniques jusqu'à ces derniers.

Dans cette optique, l'étude de la CEM des circuits intégrés devrait représenter le point de départ de toute caractérisation électromagnétique d'un système électronique complexe.

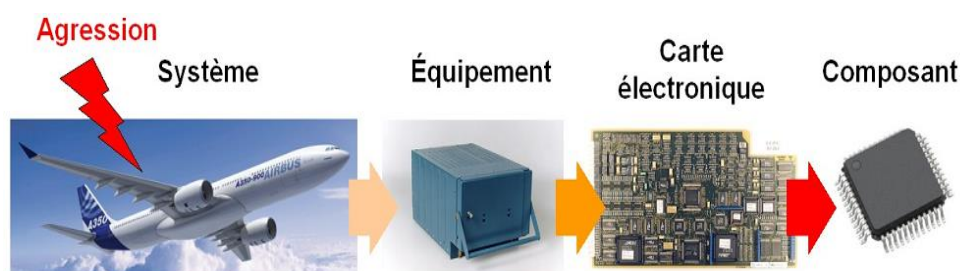


FIGURE 2.2 – Exemple de propagation des perturbations électromagnétiques dans un avion

2.1.2 Sources des perturbations électromagnétiques

Afin de comprendre l'émissivité des circuits, il est important de s'intéresser dans un premier temps aux sources de perturbations. En effet, l'environnement électromagnétique comprend en plus des sources de perturbations. Elles sont soit naturelles, soit artificielles et créées par l'homme afin d'assurer des fonctions du quotidien. Elles peuvent être intentionnelles ou non intentionnelles.

Le tableau 2.1 résume les principales sources de perturbations d'origine naturelle et humaine.

| Sources de perturbations d'origine naturelle | Sources de perturbations d'origine humaine |
|--|--|
| <ul style="list-style-type: none"> — Bruits statique et thermique. — Foudre (proche ou lointaine). — Brouillage d'origine solaire (ondes siffleuses, rayons cosmiques et solaires,...). | <ul style="list-style-type: none"> — Réseaux électriques et ses dérivés (lignes haute tension, interrupteurs des circuits de puissance, moteurs électriques, redresseurs,...). — Équipements industriels et commerciaux grand public et médical (four micro-ondes, néons, équipements médicaux,...). — Systèmes de communications (stations d'émissions de télévision, radio, radars, téléphonies mobiles, émetteurs/récepteurs Wifi, ...). |

Tableau 2.1 – Principales sources de perturbation électromagnétique.

2.1.2.1 Sources intentionnelles

L'essor que connaît aujourd'hui la radio communication implique un élargissement et une densification importante de son spectre essentiellement sur la bande de 100 MHz – 10 GHz. Si les niveaux d'émissions sont réglementés par l'ITU (International Telecommunication Union), cet environnement électromagnétique très dense représente autant de sources de perturbations potentielles (Figure 2.3).

En effet, l'évolution rapide et permanente de cet environnement a permis l'apparition de plus en plus de nouvelles applications avec des niveaux d'émissions plus ou moins élevés. Ces dernières constituent un grand danger pour les systèmes et équipements qui ne les exploitent pas. Ceci est fonction de la distance séparant les émetteurs de ces dispositifs électroniques. D'ailleurs, cela pourrait représenter à terme, une réelle limite à la maîtrise de notre environnement.

Les sources de perturbations rayonnées (émissions radio) ne sont pas les seules à évoluer et à se densifier. L'apparition de réseaux électriques intelligents utilisant le principe de courants porteurs en ligne (CPL) est un exemple concret de source de perturbations conduites. Les courants à basse, moyenne et haute tension sont aujourd'hui couramment utilisés pour porter des informations pour contrôler et superviser une installation électrique. Ces derniers peuvent être des sources de perturbations non négligeables pour les dispositifs électroniques.



FIGURE 2.3 – Sources d'émissions radio

La figure 2.4 représente une application typique de la technique CPL, qui permet de faire passer des données informatiques sur le réseau électrique, et ainsi étendre un réseau local existant ou partager un accès Internet existant via les prises électriques.



FIGURE 2.4 – Exemple d'application de la technique CPL

2.1.2.2 Sources non intentionnelles

La nature regorge de sources de perturbations électromagnétiques non intentionnelles. La foudre peut créer une décharge électrique de forte puissance susceptible d'influencer le fonctionnement de tout système électronique.

Un autre phénomène naturel auquel les spécialistes s'intéressent de plus en plus est le rayonnement cosmique. En effet, de par ses conséquences dévastatrices sur notre planète, ce type de rayonnement peut mettre hors service toute une installation spatiale à cause de l'énorme onde électromagnétique qu'il génère.

Par ailleurs, il existe une source de perturbations ayant les mêmes conséquences sur le fonctionnement du circuit intégré, c'est le circuit intégré lui-même. Du fait de son activité interne toujours plus grande, il est à l'origine d'une émission électromagnétique

non négligeable. L'activité interne se traduit par la commutation de centaines de milliers de portes logiques à chaque front d'horloge. Des courants importants sont appelés sur les alimentations durant un temps très court, comme le montre la figure 2.5. Ce cas de figure est la principale cause d'émissivité conduite de bon nombre de circuits intégrés[2].

Hormis cet aspect conduit, le fonctionnement des circuits intégrés peut aussi entraîner des émissions électromagnétiques rayonnées. En effet, l'augmentation continue des fréquences de fonctionnement de ces derniers, associée à une densification et une réduction des distances entre circuits, favorise l'apparition d'antennes émettrices parasites. Elles sont non intentionnelles et adaptées à la longueur d'onde des signaux transitant sur ces pistes. Le circuit devient alors une source d'émission rayonnée au regard des circuits voisins.

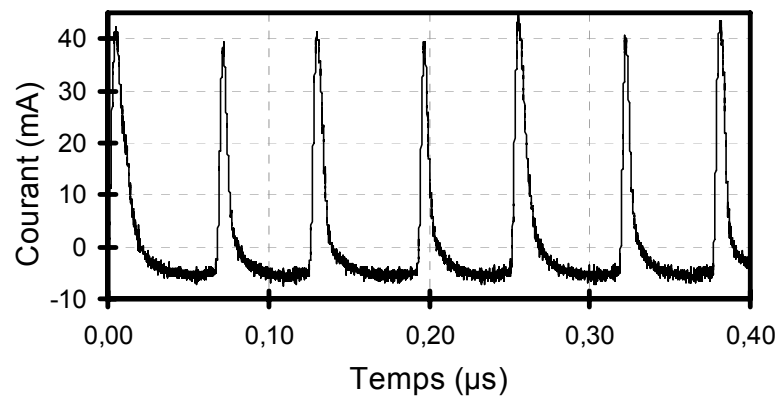


FIGURE 2.5 – Exemple de pics de courant consommés par un circuit intégré

2.1.3 Couplage des perturbations électromagnétiques

Comme expliqué auparavant, les perturbations électromagnétiques se propagent de la source à la victime via le canal de propagation. A ce stade il est important de distinguer entre mode de couplage et type de couplage.

Il existe deux modes de couplage, le mode commun et le mode différentiel[3]. La figure 2.6 résume les deux modes.

Dans le cas d'un couplage en mode différentiel (Figure 2.6(a)), le courant se propage dans un sens dans l'un des conducteurs et dans le sens inverse dans l'autre. En d'autres termes, le chemin de retour ne passe pas directement par la référence du système. En mode commun (Figure 2.6(b)), le courant se propage dans les deux conducteurs dans le même sens et revient par la masse.

Pour chaque mode, deux types de couplage se présentent, à savoir, le couplage conduit et le couplage rayonné.

2.1.3.1 Couplage rayonné

Le couplage rayonné d'une perturbation électromagnétique est évoqué lorsque le support de propagation n'est pas un conducteur. Deux cas de figure sont possibles en fonction de la distance (d) entre la source d'agression et la victime et la longueur d'onde considérée λ .

Champ proche : On parle de champ proche si $d \ll \frac{\lambda}{2\pi}$. Dans ce cas, une des composantes de l'onde (électrique ou magnétique) est prédominante par rapport à l'autre. La composante électrique domine si l'impédance de l'onde est supérieure à l'impédance du vide. Dans le cas contraire, c'est la composante magnétique.

Champ lointain : Dans le cas où $d \gg \frac{\lambda}{2\pi}$, le champ lointain est évoqué. Dans ce cas de figure, les deux composantes de l'onde sont orthogonales et forment ainsi le champ électromagnétique.

Avec l'augmentation de la densité des circuits complexes et l'utilisation des nouvelles technologies d'assemblage, ce type de couplage est fréquemment rencontré dans le cas des circuits intégrés comme les MCM (Multi-Chip Module), les SIP (System In Package) et les POP (Package on Package).

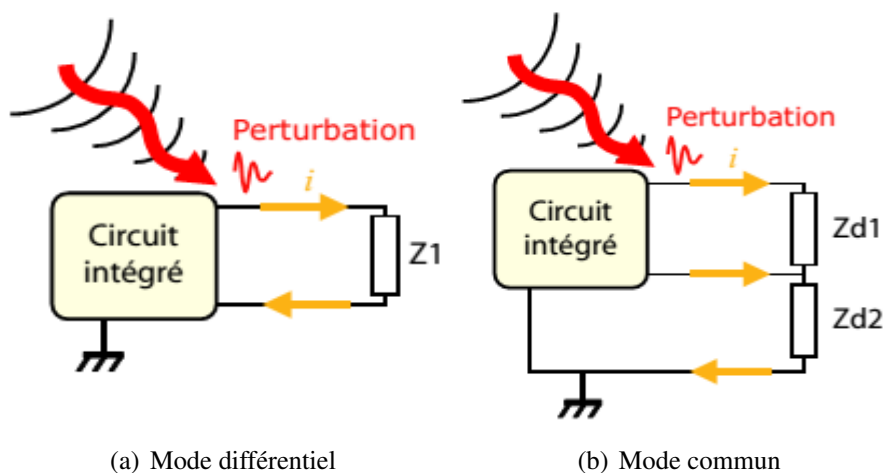


FIGURE 2.6 – Les différents modes de couplage d'une perturbation électromagnétique.

2.1.3.2 Couplage conduit

Mise à part les différentes manières dont il peut se manifester, le couplage conduit est le type de couplage le plus fréquent dans le cas des circuits intégrés. Ceci est dû à la multitude des mécanismes qui peuvent favoriser la propagation de l'agression électromagnétique entre plusieurs circuits intégrés d'un PCB ou à l'intérieur du circuit lui-même. Par exemple le couplage sur les pistes du PCB, les rails d'alimentation ou bien les plans de masse.

Le couplage conduit peut prendre plusieurs formes. Lorsque plusieurs circuits se partagent une même portion de circuit, l'impédance de celle-ci n'est pas nulle. La tension parasite créée à ses bornes chaque fois qu'un courant circule est automatiquement ramenée au dispositif agressé. Ceci donne lieu à un couplage par impédance commune.

Dans le cas où deux circuits sont très proches, un couplage par diaphonie peut être observé. Il est soit de nature inductive, soit de nature capacitive. La figure 2.7 décrit ce phénomène.

Dans le premier cas, le courant circulant dans le circuit agresseur induit une tension perturbatrice proportionnelle à la valeur de l'inductance mutuelle entre les deux circuits. Dans le deuxième cas, une différence de potentiel au niveau du circuit agresseur fait apparaître un courant perturbateur au niveau de la victime proportionnel à la valeur de la capacité.

Par ailleurs, le couplage conduit des perturbations à l'intérieur d'un circuit intégré est spécialement impacté par les rails d'alimentation et le substrat. Ainsi suivant la topologie de ses rails d'alimentation et de masse, les performances électromagnétiques du circuit peuvent varier. Il est donc souhaitable, dans la limite du possible, de définir une paire d'alimentation différente pour chaque partie du circuit intégré, afin de réduire le couplage entre les différents blocs.

D'un autre côté, du fait que l'ensemble des blocs d'un même circuit partage le même substrat, les blocs bruyants peuvent injecter du bruit dans le substrat. C'est le cas des

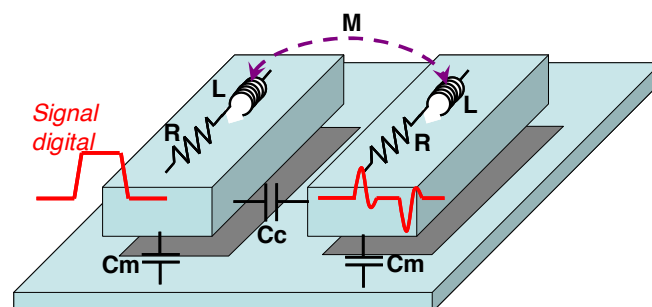


FIGURE 2.7 – Exemple de couplage entre deux interconnexions.

blocs numériques. Ce bruit va se propager vers des blocs sensibles tels que les blocs analogiques et éventuellement les perturber[4]. De plus, la propagation du bruit dépend fortement du type de dopage employé, de la présence d'anneaux de garde, de caissons d'isolation,...

2.2 CEM des circuits intégrés

2.2.1 Evolution des circuits intégrés

La microélectronique a connu une fantastique évolution depuis l'invention du premier circuit intégré en 1958 par l'Américain *Jack Kilby*. Cette évolution suit la loi de Moore[5], qui prévoit que tous les 18 mois, le nombre de transistors sur une même surface de silicium double. Ainsi la technologie d'intégration a évolué de l'échelle SSI (Small Scale Integration) avec moins de 12 portes par boîtier, à l'échelle ULSI (Ultra Large Scale Integration) avec plus de 10^5 portes. Ce résultats est devenu possible grâce à la réduction des tailles de lithographie qui caractérisent les longueurs minimales des canaux des transistors, mais aussi grâce à l'amélioration des procédés de fabrication des circuits intégrés. La figure 2.8 illustre cette tendance à la miniaturisation.

Alors que cette évolution a permis un énorme essor technologique en rendant possible la construction de circuits performants en termes de vitesse d'exécution et de consommation d'énergie, elle s'accompagne de plusieurs contraintes. C'est le cas d'inter-compatibilité entre d'un côté les différents blocs d'un même circuit et d'un autre côté entre les circuits intégrés sur une même carte.

Pour faire face à ces contraintes, une des solutions envisagées vise à réduire les lon-

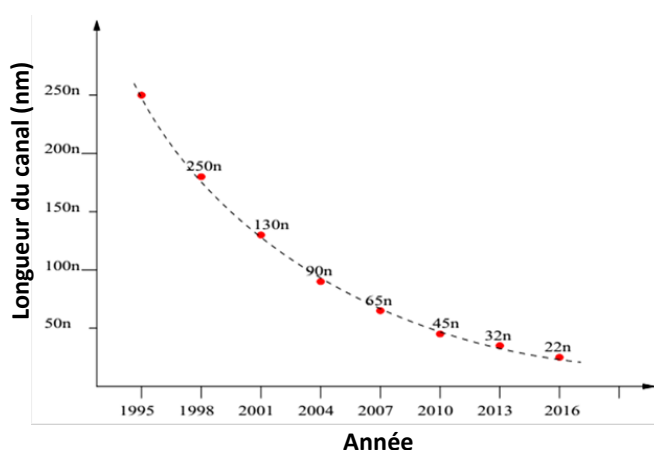


FIGURE 2.8 – Évolution de la longueur de canal d'un transistor

guez des interconnexions entre circuits en les rapprochant. Des nouvelles méthodes d'intégration sont désormais utilisées, comme l'intégration sur puce ou System on Chip (SoC), et l'intégration sur boîtier ou System in Package (SiP). Cependant, l'augmentation du niveau d'intégration s'est accompagnée de plusieurs changements au niveau des caractéristiques des circuits intégrés, qui impactent directement le comportement électromagnétique de ces derniers.

D'abord, l'augmentation des fréquences de fonctionnement et l'accroissement de la complexité de conception implique une augmentation à la fois des niveaux des émissions parasites[6], mais aussi la diminution de l'immunité des composants électroniques[7]. Ensuite, l'amélioration de la consommation des circuits a une influence sur l'immunité. En effet, la diminution des tensions d'alimentations augmente la vulnérabilité des circuits face aux agressions électromagnétique, à cause de la réduction des seuils de commutation et des marges de bruit, ce qui se traduit par des niveaux d'immunité plus bas[8].

Tous ces paramètres doivent être pris en considération lors de la conception des systèmes électroniques mais aussi des circuits intégrés, afin de bien estimer les performances des équipements.

2.2.2 Emissivité des circuits intégrés

2.2.2.1 Origine des émissions parasites des circuits intégrés

Comme déjà évoqué, les émissions électromagnétiques des systèmes électroniques trouvent leur origine au cœur des circuits intégrés. L'activité interne des circuits intégrés dû notamment à la commutation simultanée des portes logiques, génère des pics de courant importants. De plus, l'ensemble des interconnexions constituées par les broches des boîtiers et le réseau d'alimentation interne, représente autant de chemins de couplage qui, dès lors qu'ils sont traversés par un courant variable, induisent une variation de potentiel[9][10].

De ce fait, le courant de commutation se transforme en un bruit lié au passage de ce courant au travers des inductances parasites des différentes interconnexions[11]. L'amplitude de ce bruit est donnée par l'équation (2.1), où L représente l'inductance parasite du chemin d'alimentation.

$$V_{Noise} \approx L \cdot \frac{di}{dt} \quad (2.1)$$

Par ailleurs, étant donné que le chemin d'alimentation est aussi constitué de petites résistances parasites, dont la valeur varie entre 100 mΩ et 10 Ω[12], le bruit engendré

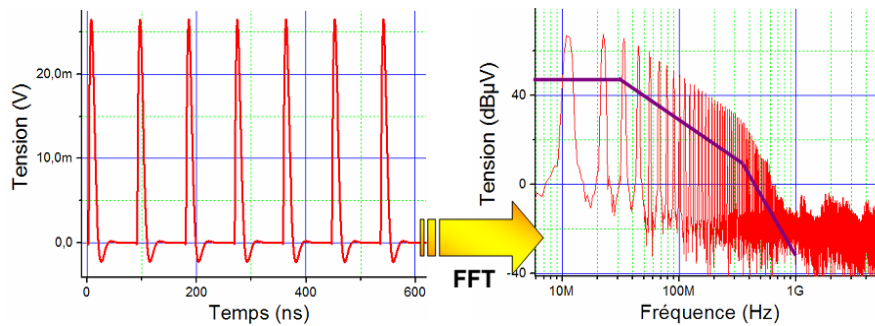


FIGURE 2.9 – Exemple de tension parasite causée par la commutation simultanée et son spectre[14].

par le courant appelé lors de la commutation des circuits au travers des ces résistances devient contraignant. Les conséquences de ce bruit se manifestent par une chute de potentiel et une dégradation des vitesses de commutation des portes logiques[13].

La figure 2.9 présente un exemple de bruit de commutation simultanée ainsi que sa transformée de Fourier. La forme des pics de courant observés présente des temps de montée et de descente rapides et leurs spectre couvre quasiment deux décades du spectre radio-fréquence.

A ce jour, plusieurs solutions ont été proposées pour réduire l'effet des ces émissions[15]. L'idée principale est de contrôler l'impédance des chemins d'alimentation, en agissant par exemple sur les structures d'alimentation, le type de boîtier ou simplement par l'ajout de capacités de découplage[16][17] sur les PCB.

D'autres techniques préconisent d'isoler les blocs les plus émissifs directement sur le silicium, en prévoyant des caissons d'isolation et des anneaux de garde.

Enfin, d'autres stratégies consistent à venir réduire localement les variations de tension sur la source d'émission, en implantant des régulateurs de tension intégrés au plus près des blocs bruyants[18].

2.2.2.2 Méthodes normalisées de mesure de l'émission des circuits intégrés

Afin de caractériser l'émissivité des systèmes électroniques (circuits intégrés ou équipements) et de gérer les problèmes liés aux interférences électromagnétiques, des méthodes et des approches de mesures ont été développées. Les procédures de mesure sont décrites dans le document *IEC-61967*[19]. Les différentes méthodes normalisées les plus utilisées sont représentées dans la figure 2.10.

La méthode de mesure la plus utilisée dans le cas des émissions conduites est la mesure $1 \Omega/150 \Omega$ [20]. Cette méthode permet la mesure de l'émission conduite sur une ou plusieurs broches de masse d'un circuit intégré en caractérisant l'amplitude de l'ensemble

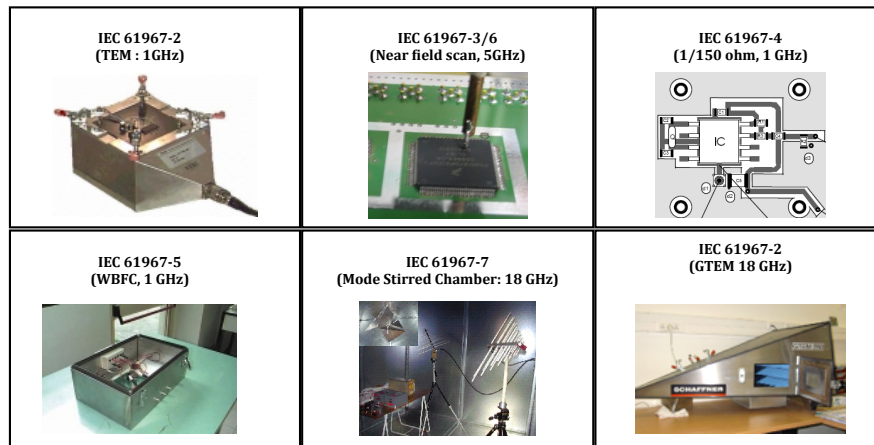


FIGURE 2.10 – Méthodes standardisées de caractérisation de l'émission des circuits intégrés.

des courants de retour à la masse d'un circuit sur une résistance 1Ω . Pour caractériser l'émission conduite des broches d'alimentation et des E/S, une résistance de 150Ω est alors utilisée. Dans les deux cas de figure la bande de fréquence peut aller jusqu'à quelques GHz.

Les cellules "TEM" (Transverse Electromagnetic) et "GTEM" (Gigahertz Transverse Electromagnetic) permettent la mesure rayonnée des composants dans un espace restreint[21]. Leur utilisation pour la caractérisation de l'émission rayonnée des circuits va jusqu'à 1 GHz ou 18 GHz, dans le cas respectif de la cellule "TEM" ou la cellule "GTEM". Une cellule "TEM" est un guide d'onde rectangulaire avec un conducteur central interne connecté à un ou deux terminaux. Elle forme ainsi une ligne coaxiale d'impédance caractéristique 50Ω . Sa géométrie impose la propagation d'ondes en mode transverse électromagnétique jusqu'à la fréquence de coupure de la cellule.

La méthode mesure "NFS" (scan champ proche) est une autre technique de mesure non invasive de l'émission rayonnée[22]. Elle peut être utilisée pour la caractérisation des cartes électroniques et des circuits intégrés. Elle permet de détecter et de cartographier les sources de rayonnement à la surface des composants électroniques. Elle fournit alors une image permettant de distinguer les chemins par lesquels s'écoulent les courants parasites. Le scan champ proche est donc principalement dédié au diagnostic des problèmes liés à l'émission rayonnée.

Pour la mesure d'émission, des techniques de mesures normalisées sont utilisées dans l'industrie jusqu'à 3 GHz que ce soit en mode conduit ou rayonné. Dans la bande 3 – 10 GHz des solutions existent mais seule la technique rayonnée est utilisée. Dans la bande 10 – 40 GHz, il est nécessaire de développer de nouvelles méthodes pour couvrir les besoins de l'industrie dans les années à venir.

2.2.2.3 Modélisation de l'émission conduite des circuits intégrés et des cartes électroniques

Comme expliqué auparavant, le phénomène d'émissions conduites se traduit par la circulation de perturbations électromagnétiques (courant / tension parasites) dans des conducteurs métalliques. L'origine de ces perturbations est due aux variations de courant et tension, qui génèrent des harmoniques dans un spectre de fréquence très large.

Le modèle proposé pour la simulation des émissions conduites est représenté dans la figure 2.11 (où xx est remplacé par IC dans le cas d'un circuit intégré ou bien par EB dans le cas d'une carte électronique). Il repose sur les mêmes éléments dans les deux cas de figures : circuits intégrés ou cartes électroniques. Ce modèle est décrit par un générateur de bruit IA (Internal Activity) et une impédance associée PDN (Passive Distribution Network). Ces deux blocs sont caractérisés en fonction de la fréquence et peuvent être extraits par mesure ou bien par simulation.

Le modèle CEM des émissions conduites au niveau circuit intégré existe déjà. Il est désormais une norme (IEC62014-3) pour le calcul des émissions conduites. Il a été mis en œuvre pour la modélisation de plusieurs types de composants de niveaux de complexité différents. Une étude détaillée de ce modèle et de ses différents éléments est proposée dans le chapitre 4.

Au niveau carte électronique, les travaux de proposition de modèle et de normalisation sont toujours au stade de projet. L'idée est d'étendre les structures de modèles proposés au niveau circuit intégré aux cartes électroniques. Une approche de modélisation dite «Bottom-Up» est proposée pour modéliser les émissions conduites. Cette méthodologie s'appuie sur l'encapsulation de modèles. Il est ainsi possible de structurer le modèle autour de macro-modèles hiérarchiques résumant les sous-éléments fonctionnels d'une carte électronique.

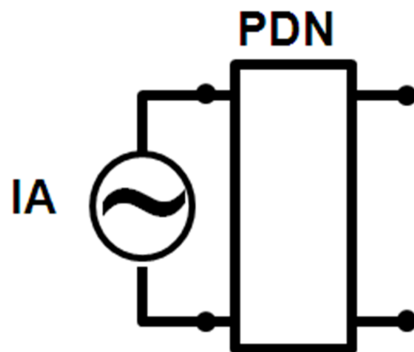


FIGURE 2.11 – Structure de base du modèle d'émission conduite xxEM-CE.

2.2.3 Immunité des circuits

L'immunité d'un circuit qualifie la robustesse de celui-ci face aux perturbations électromagnétiques. On distingue l'immunité interne de l'immunité externe en fonction de la localisation de la source par rapport au circuit victime.

Selon le point d'observation, la frontière entre l'immunité interne et externe peut varier. En effet, pour un équipement électronique, il est question d'immunité interne dans le cas de couplage de perturbations entre les différentes cartes le constituant. Toute autre perturbation est considérée comme externe.

Dans le cas d'une carte électronique, on parle d'immunité interne lorsque les composants présents sur la carte se perturbent entre eux.

Enfin, pour un circuit intégré, l'immunité interne représente le couplage des perturbations entre les fonctions électroniques sur le même substrat.

Dans le cadre de cette thèse, nous nous intéressons à décrire l'immunité des circuits intégrés. Dans ces conditions, nous considérons comme limite entre interne-externe le circuit intégré et son environnement extérieur, en d'autres termes le boîtier du circuit.

2.2.3.1 Influence des perturbations sur le comportement des circuits intégrés

Les perturbations électromagnétiques impactent fortement les performances d'un système électronique. Cela dit, les effets observés varient suivant la nature du circuit. Ainsi, le comportement des circuits numériques à ces perturbations est sensiblement différent de celui des circuits analogiques[23].

Pour un circuit analogique, l'apparition des effets de la perturbation, comme un décalage du signal utile ou une fluctuation de tension d'alimentation, varie en fonction du mode de fonctionnement dans la bande de fréquence du composant et hors bande[24][25]. Cependant, ces conséquences présentent un caractère temporaire. Une fois la perturbation disparue, le comportement du composant redevient souvent nominal. Pour les composants numériques ce n'est pas forcément le cas.

En effet, plusieurs phénomènes dus notamment aux perturbations électromagnétiques peuvent être observés pour ce type de circuit intégré.

Le phénomène de latchup : Ce phénomène correspond à la mise en conduction d'un thyristor (structure PNP) parasite présent dans tous les circuits intégrés de technologie CMOS entre l'alimentation et la masse [26][27]. La figure 2.12 illustre ce phénomène dans le cas d'une structure d'inverseurs en technologie CMOS.

Il crée un chemin de conduction parasite direct entre la masse et l'alimentation. Il

cause par conséquent un échauffement supplémentaire important dans le circuit et entraîne une forte augmentation de la consommation. Le court circuit engendré peut conduire à la destruction du circuit si le courant de l'alimentation n'est pas contrôlé.

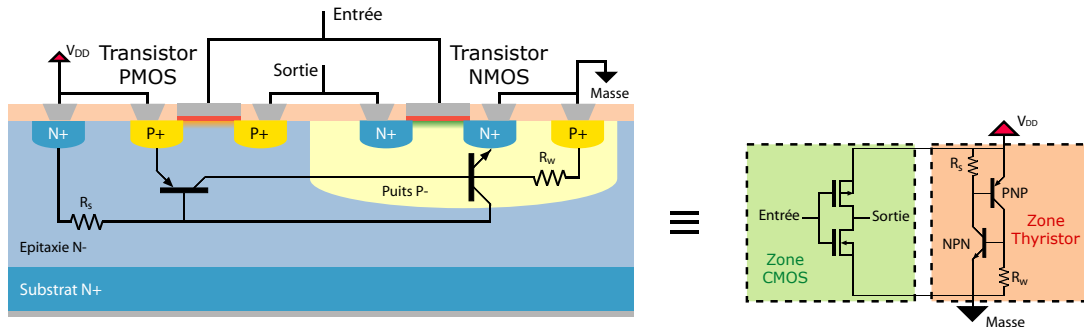


FIGURE 2.12 – Phénomène de latchup dans les circuits intégrés

Seuil de commutation : La miniaturisation des circuits intégrés associée à la réduction des tensions d'alimentation engendre une diminution des marges de tension. Par conséquent, les seuils de basculement des inverseurs sont réduits. Ce qui rend ainsi les circuits intégrés vulnérables face aux interférences électromagnétiques. La figure 2.13 montre l'évolution des marges de bruit en fonction de l'évolution des technologies.

Si une perturbation est suffisante pour que la somme du signal logique et de la perturbation dépasse le seuil haut de commutation (V_{IH}), une inversion de l'état de sortie peut alors être observée[28].

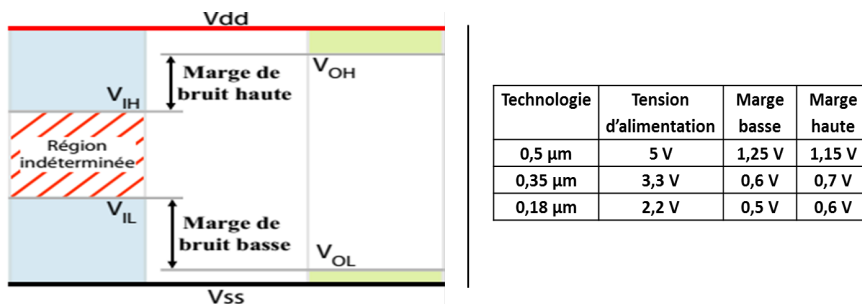


FIGURE 2.13 – Marges de bruit en entrée d'un circuit élémentaire numérique

Délais de propagation : Toujours à cause de la diminution des marges de tension, une perturbation peut créer une importante variation sur les fronts d'horloge des circuits intégrés, ce qui peut engendrer l'apparition de gigue et de situation de méta-stabilité. De plus si la fréquence du circuit augmente, alors sa

période et par la même occasion ses marges de délai diminuent. Cela pose de nombreuses contraintes de plus en plus strictes au niveau de la conception des circuits synchrones puisque les signaux doivent être en phase avec l'horloge. Une perturbation qui n'est guère suffisante pour modifier l'état logique peut toujours engendrer une erreur dynamique. Une désynchronisation totale du séquençement des opérations d'un circuit intégré en retardant ou en avançant les fronts d'horloge peut alors se produire.

2.2.3.2 Méthodes normalisées de mesure de l'immunité des circuits intégrés

Au niveau de la caractérisation de l'immunité des circuits intégrés, il existe plusieurs méthodes standardisées. Les méthodes de mesure les plus utilisées pour les circuits intégrés sont limitées aujourd'hui en fréquence autour de 1 GHz, mais des travaux d'extension en fréquence sont en cours et les résultats obtenus sont prometteurs. La figure 2.14 montre les différentes méthodes de mesure de susceptibilité de la norme IEC-62132[29].

Pour étudier l'immunité conduite, l'injection directe de puissance (DPI) et l'injection de

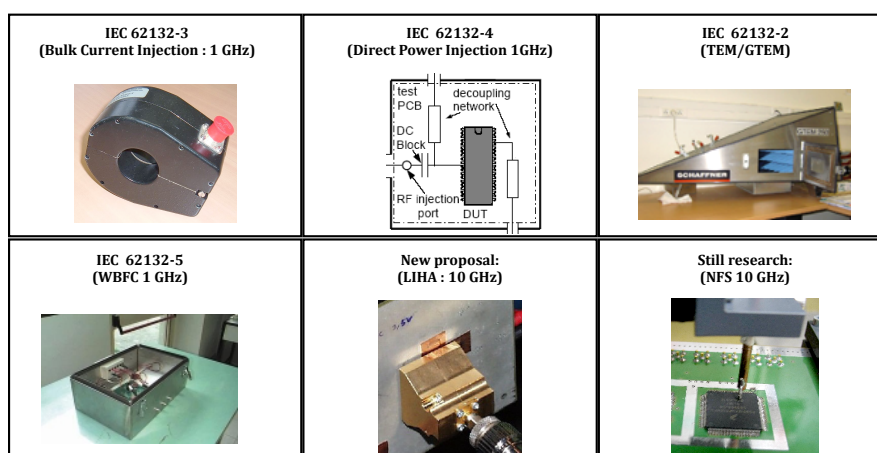


FIGURE 2.14 – Méthodes standardisées de caractérisation de l'immunité des circuits intégrés.

courant (BCI) sont les méthodes les plus utilisées. La DPI est une méthode d'injection conduite de perturbations radio-fréquences directement sur une broche du circuit intégré. La BCI est utilisée pour caractériser l'immunité des systèmes électroniques. Contrairement à l'injection directe de puissance, elle ne demande pas de modification matérielle du système sous test. Une étude plus détaillée de ces deux méthodes est présentée dans le chapitre 3.

La méthode "Work Bench Faraday Cage" (WBFC) est une proposition néerlandaise[30]. Elle se base sur l'hypothèse selon laquelle les circuits intégrés sont fortement atteints par

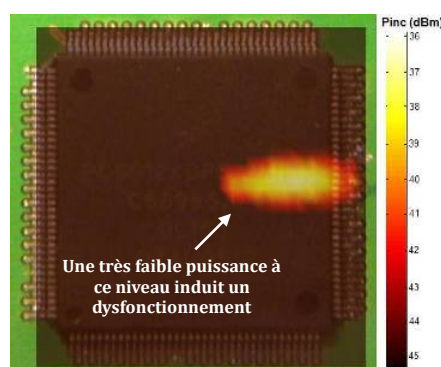


FIGURE 2.15 – Exemple de résultat de mesure d’immunité rayonnée avec la méthode NFS.

les perturbations issues de câbles directement connectés au circuit imprimé. De ce fait la perturbation RF est injectée vers le composant sous test au travers d’une impédance de 150Ω représentative de la longueur de câble des équipements. La carte sur laquelle est monté le circuit intégré est quant à elle placée à l’intérieur d’une cage de Faraday.

En ce qui concerne l’immunité rayonnée, le NFS (Near-field Scan)[31] et la GTEM[32] sont les méthodes utilisées pour caractériser ce type de comportement au niveau circuit intégré mais aussi au niveau système. En effet, le NFS permet la détection des zones sensibles sur tous types de cartes comme le montre la figure 2.15, cependant cette méthode reste plus un outil d’analyse qu’une méthode de mesure de qualification.

Dans le cas d’une mesure GTEM, le DUT est soudé sur une carte de 10×10 cm de dimension de la même manière que dans le cas d’une mesure TEM. Elle offre la possibilité d’injecter des signaux RF dont la fréquence peut atteindre 24 GHz. La face supérieure de la carte (côté composant) est un plan conducteur venant au plus proche des broches du circuit. Cette couche de métal permet de fermer la cellule GTEM qui devient alors analogue à un conducteur coaxial d’impédance caractéristique 50Ω , où le septum joue le rôle de l’âme centrale. La gamme de fonctionnement de la cellule va de 150kHz à 6GHz et offre un champ électrique E uniforme suivant l’équation (2.2), avec P la puissance injectée, h la distance entre le septum et le composant et Z_C l’impédance caractéristique de la cellule[33].

$$E = \frac{\sqrt{Z_C \cdot P}}{h} \quad (2.2)$$

Les principales caractéristiques des méthodes précédemment citées sont résumées dans le tableau 2.2.

| Méthode | Nature | Fréquence d'utilisation | Avantages | Inconvénients |
|----------------------|----------|-------------------------|---|---|
| Chambre anéchoïde | Rayonnée | ≥ 30 MHz | -Milieu isolé. | -Espace occupé. -Coût financier. |
| Chambre réverbérante | Rayonnée | ≥ 100 MHz | -Rapidité. -Reproductibilité. -Champs importants pour des puissances injectées modérées. | -Fréquence < 100 MHz. -Signaux pulsés non utilisables. -Peu représentatif des champs ouverts. |
| Stripline | Rayonnée | 150 kHz à 400 MHz | -Puissance injectée modérée. | -Nécessite une cage de Faraday. -Limitation en fréquence. |
| TEM | Rayonnée | 1 MHz à 1 GHz | -Coût faible. -Espace réduit. -Puissance injectée modérée. | -Faible couplage champs à puce. |
| GTEM | Rayonnée | 1 MHz à 18 GHz | -Coût faible. -Espace réduit. -Puissance injectée modérée. -Bande de fréquences plus importante. | -Faible couplage champs à puce. |
| BCI | Conduite | 1 MHz à 400 MHz | -Injection sur plusieurs broches simultanément. | -Nécessite une cage de Faraday. -Limitation en fréquence. -Forte puissance nécessaire. |
| WBFC | Conduite | 1 MHz à 1 GHz | -Nécessite des faibles puissances d'injection. | -Dépendance de la conception du PCB. |
| DPI | Conduite | 150 kHz à 1 GHz | -Nécessite des faibles puissances d'injection. | -Impédance variable de la capacité de couplage. |

Tableau 2.2 – Principales caractéristiques des méthodes de mesures de susceptibilité.

2.2.3.3 Techniques d'amélioration de l'immunité des systèmes électroniques

Comme expliqué auparavant, les conséquences de l'application de perturbations électromagnétiques sur les systèmes électroniques peuvent s'avérer désastreuses. Les risques CEM augmentent de plus en plus avec l'évolution de l'environnement électromagnétique d'un côté, et des évolutions technologiques des systèmes eux même. Ces contraintes poussent les ingénieurs à trouver des solutions pour améliorer l'immunité des systèmes électroniques.

En effet, deux approches sont envisageables, une pendant la conception du système et l'autre post production.

La modélisation de l'immunité : La simulation des performances électromagnétiques des circuits intégrés avant la fabrication des systèmes électroniques est un facteur clé afin d'éviter de fabriquer à nouveau les cartes.

La figure 2.16 présente le flot de conception d'un système électronique ainsi que les phases où les modèles CEM interviennent. Ce flot de conception comprend deux visions, celle du fabricant du composant et celle du fabricant du système. La simulation des modèles CEM des circuits intégrés durant la phase de conception du système électronique permet de valider la conformité CEM du système avant sa fabrication. Elle réduit ainsi le risque d'éventuels dysfonctionnements dès la phase de conception en prédisant le comportement du système. Ainsi, cela permet de réduire les éventuels sur-coût liés à la re-fabrication du système dans le cas de non-conformité. Des approches de modélisation sont discutées et validées au sein du comité international de normalisation, sous la norme *IEC-62433*.

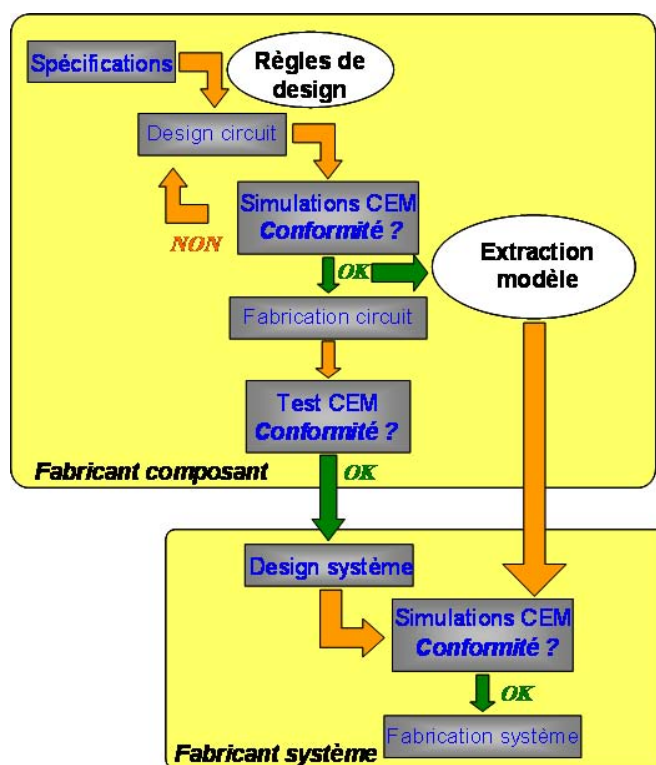


FIGURE 2.16 – Simulation des performances CEM durant les différentes phases de conception d'un système électronique.

Le blindage : L'adoption de bonnes règles de conception permet de réduire la susceptibilité aux agressions électromagnétiques des circuits intégrés jusqu'à at-

teindre des niveaux définis. Dans le cas échéant, rajouter du blindage matériels en guise de protection peut prévenir des dysfonctionnements. En effet, l'utilisation du blindage est souvent la seule alternative aux agressions électromagnétiques lorsque leurs niveaux deviennent problématiques et que le comportement électromagnétique n'a pas été pris en considération lors de la phase de conception. Le blindage peut être au niveau carte avec l'utilisation de composants spécifiques, d'un ou plusieurs plans de masse ou bien en adoptant un type de routage spécifique (lignes enterrées). Au niveau système, il est possible de faire appel aux logiciels défensifs.

Logiciels défensifs : Dans le cas des systèmes électroniques remplissant une fonction complexe, une autre approche peut être envisagée pour se prémunir des risques CEM. Elle est communément appelée logiciels défensifs[34][35].

Le logiciel exécuté sur la plateforme physique de l'application peut être utilisé afin de renforcer la robustesse du système, en apportant un certain nombre de modifications à son code. Ceci permet de passer au-delà de certaines contraintes CEM sans pour autant modifier les caractéristiques électroniques de l'application. Les logiciels défensifs se basent sur l'utilisation de capteurs capables de détecter et d'analyser le niveau d'agression avant qu'il ne devienne critique pour le système. Si la puissance de la perturbation atteint un niveau important (certain d'entraîner un dysfonctionnement irrécupérable du système), le logiciel va permettre de corriger les erreurs entraînées par la perturbations afin d'en minimiser la portée. Un ensemble de techniques logicielles est cité dans[36].

Cependant, il est important de tenir compte de l'impact de ces modifications logiciels sur le temps d'exécution de l'application pour ne pas engendrer des problèmes au niveau des ressources mémoires.

Enfin, il faut rappeler que cette approche est purement complémentaire aux solutions matérielles dans la mesure où elle se limite à la détection et le traitement d'un dysfonctionnement lorsque le système est sous tension.

2.2.3.4 Modélisation de l'immunité conduite des circuits intégrés et des cartes électroniques

Le phénomène de l'immunité conduite se caractérise par le dysfonctionnement d'une fonction électronique soumise à des perturbations électromagnétiques conduites sur ses connections. Le modèle proposé pour la simulation de l'immunité conduite est représenté sur la figure 2.17. Il repose sur les mêmes éléments dans les deux cas de figures : circuits intégrés ou cartes électroniques. Ce modèle est constitué d'une impédance d'entrée PDN

(comme pour les modèles d'émissions conduites), et un étage d'immunité IB (Immunity Behaviour) qui représente la réponse du sujet de test aux perturbations.

Le modèle CEM de l'immunité conduite au niveau circuit intégré existe déjà. Il est désormais une norme (IEC62433-4) pour la simulation de l'immunité conduite. Ce modèle s'inspire fortement du modèle d'émission conduite. Il a été mis en œuvre pour la modélisation de plusieurs types de composants de niveaux de complexité différents. Une étude détaillée de ce modèle et de ses différents éléments est proposée dans le chapitre 4. Comme pour le modèle d'émissions conduites, le modèles d'immunité conduite au niveau carte électronique est toujours au stade de projet. Il reprend également la même logique, à savoir l'utilisation des modèles d'immunité des composants d'une carte et les combiner afin de construire un modèle complet de cette dernière.

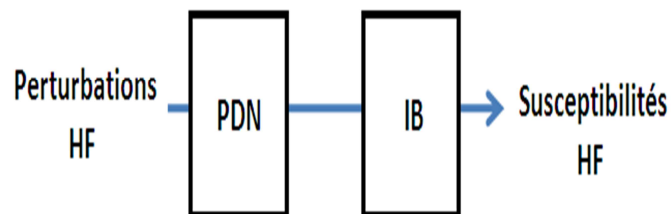


FIGURE 2.17 – Structure de base du modèle d'immunité conduite xxIM-CI.

2.3 Conclusion

Dans ce chapitre, des notions générales liées à la compatibilité électromagnétique ont été présentées.

L'élargissement continu des bandes de fréquence utilisées dans différents domaines permet d'ores et déjà, de situer l'environnement électromagnétique sévère dans lequel évoluent désormais les systèmes électroniques.

La description des sources d'interférences électromagnétiques possibles ainsi que les modes de couplage de ces perturbations démontre la nécessité de se prémunir contre ces agressions.

Par ailleurs l'avancée rapide des paramètres technologiques des circuits intégrés et les dégradations amenées par l'environnement de fonctionnement impactent considérablement leurs performances. Ce constat justifie l'accroissement des contraintes CEM dans la conception des systèmes électroniques.

De plus, le caractère d'interchangeabilité des circuits intégrés et la diversification des architectures, met la lumière sur l'obsolescence des composants et son effet sur le comportement électromagnétique des systèmes.

3 Méthodologie de mesure de l'immunité conduite pour les circuits intégrés complexes

3.1 Introduction

L'étude de l'immunité conduite d'un circuit intégré est une opération qui peut s'effectuer de deux manières différentes. Nous pouvons distinguer des méthodes d'étude globale (injection sur l'ensemble des signaux) ou bien des méthodes plus ponctuelles (injection sur une broche bien déterminée). De plus, un circuit intégré complexe peut présenter plusieurs phases dans son fonctionnement, il peut donc être intéressant de mesurer son immunité dans ces différentes phases.

Partant du constat que les méthodes de mesures conventionnelles sont génériques, leur utilisation nécessite une bonne adaptation voir même des modifications suivant les cas. Il sera sujet dans ce chapitre de décrire les différentes modifications apportées au standard de mesure, afin de développer une méthode de mesure spécifique aux circuits intégrés complexes.

Les travaux sur la norme de mesure choisie consisteront tout d'abord en une synthèse, mettant en évidence ses points forts mais aussi ses points faibles qui par la suite seront traités plus en détails.

La procédure de mesure que nous avons développée pour l'immunité conduite sera présentée et validée par des mesures sur différents composants.

"La connaissance s'acquiert par l'expérience, tout le reste n'est que de l'information" - Albert Einstein

3.2 Modèle existant

3.2.1 La norme BCI

La méthode de mesure Bulk-current injection[37] (BCI) est largement utilisée pour caractériser l'immunité conduite des systèmes électroniques et spécifiquement dans le domaine de l'automobile[38][39][40]. Cependant, son application aux circuits intégrés n'est pas simple. Généralement, cette injection est appliquée à des câbles reliés à une carte de test CEM, où se trouve le circuit intégré. La perturbation est indirectement injectée dans le circuit sous test (DUT) à travers les câbles et le PCB à l'aide d'une pince de couplage inductif comme le montre la figure 3.1. La seconde pince permet de mesurer le courant effectivement injecté dans le câble de test, par conséquent, c'est cette valeur qui est considérée lorsque le point de défaillance est atteint.

Selon la norme actuelle, l'agression couvre les fréquences de 10 kHz à 400 MHz avec un signal agresseur de type CW ou AM et des valeurs de courant injecté variant selon le degré de sévérité souhaité. Cette limitation est due aux caractéristiques de la pince d'injection.

En ce qui concerne les points négatifs, il faut noter que la mise en œuvre elle-même a une forte influence sur le résultat de la mesure de l'immunité, en raison des résonances des câbles et des pistes du PCB. De ce fait, toute mesure est précédée par une phase de calibrage de la pince d'injection, durant laquelle on mesure le courant produit dans une résistance de 100 Ω pour une puissance déterminée. Ce courant servira de référence de mesures.

Un autre point négatif est que la génération du courant perturbateur demande une puissance considérable. En effet, la valeur du couplage de la pince d'injection est très faible, à peine 10% de la puissance injectée dans la pince inductive sert à créer le courant perturbateur. Ce choix est intentionnel dans le but de limiter l'influence de la pince d'injection sur le câble de test.

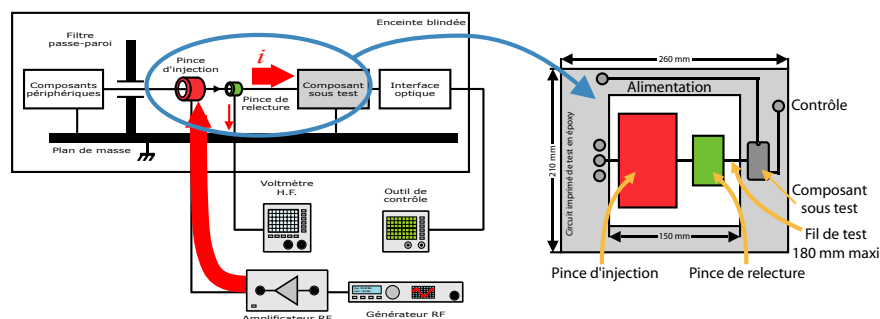


FIGURE 3.1 – Vue d'ensemble du système de mesure BCI appliqué à un circuit intégré.

3.2.2 La norme DPI

La méthode de mesure la plus utilisée pour la caractérisation de l'immunité conduite des circuits intégrés est la norme DPI[41]. Cette méthode consiste à injecter un signal de type CW sur une bande de fréquence de 150 kHz jusqu'à 1 GHz voire même au delà[42][43][44] directement sur une broche du DUT à travers un chemin de couplage. La configuration du système selon la norme actuelle est présentée sur la figure 3.2, un débat sur la présence ou non de la capacité d'injection est encore ouvert. C'est une agression asymétrique (perturbation entre une broche et la masse du composant) et elle est généralement appliquée broche par broche de manière indépendante. Ainsi elle permet aisément de définir le niveau de puissance maximale supportable par chacune des broches d'un composant électronique pour un critère de défaillance donné.

On distingue quatre grandes parties dans le dispositif de mesure :

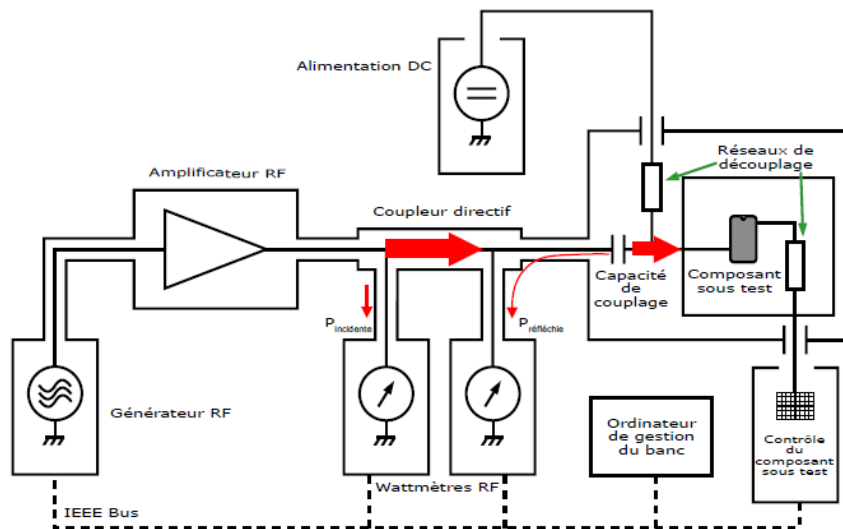


FIGURE 3.2 – Vue d'ensemble du système de mesure DPI dans la norme actuelle

Matériel de mesure : Constitué essentiellement de générateurs de signaux HF et BF, il fait appel à un coupleur directionnel et des wattmètres afin de mesurer la puissance transmise en fonction des puissances incidente et réfléchie ($P_t = P_{inc} - P_{ref}$).

Réseau de couplage : Bias Tee en anglais et seulement prévu par la norme pour une injection sur les signaux continus. Il permet de polariser le composant sous test sans perturber le comportement HF vu par ce dernier. Son principe est de ramener une impédance entre le point d'injection et le réseau d'alimentation qui favorise la transmission de la perturbation vers le composant et non pas vers ses charges.

Système de monitoring : Son choix dépend fortement du critère d'immunité fixé et du type de circuit à tester. Son rôle est de surveiller la violation du critère d'immunité.

Support de test : le DUT étant l'élément central, le routage des pistes doit assurer la propagation de la perturbation jusqu'à ce dernier. Quelques bonnes pratiques peuvent être adoptées. Par exemple, il est recommandé de réaliser un plan de masse efficace et de router des pistes très courtes (longueur $< \lambda/20$). La piste connectant la capacité DPI à la broche agressée du DUT doit être la plus courte possible.

La procédure de test appliquée au DUT pour mesurer son immunité s'appuie sur la norme IEC 62132-1[?]. Le test d'immunité est effectué pour chaque couple fréquence / puissance. On choisit une fourchette de puissance adaptée qui permet de mettre en défaut le circuit. La Figure 3.3 décrit l'enchaînement des opérations d'un test d'immunité élémentaire.

Le générateur augmente progressivement la puissance appliquée au DUT et le critère

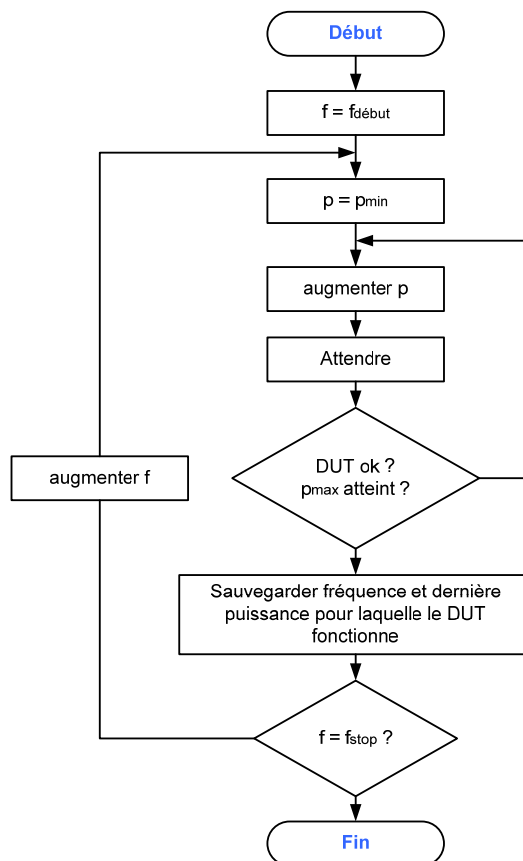


FIGURE 3.3 – Procédure de test DPI

est testé systématiquement jusqu'à violation de ce dernier. A ce moment là, le couple (f, P_{Seuil}) est relevé et ainsi de suite la courbe d'immunité du circuit est créée.

La méthode ainsi décrite reflète son efficacité à caractériser le comportement électromagnétique d'un composant[45][46]. Cependant, plusieurs points persistent et nécessitent d'être éclaircis.

Le premier point critique d'une mesure DPI est le choix du critère de test. Bien qu'étant un élément déterminant dans la mesure d'immunité, le critère de susceptibilité n'est abordé par aucune des propositions de normes. Il faut bien reconnaître que ce point crucial d'une mesure de susceptibilité est difficile à définir. La norme laisse le soin à l'utilisateur de définir et de documenter son critère en fonction de l'application finale.

Le deuxième point est le chemin de couplage des perturbations. La norme prévoit un chemin de polarisation, dont l'emplacement est figé, pour superposer le signal agresseur au signal utile, généralement une tension continue. Certes ce chemin s'avère efficace dans le cas d'une tension continue[47][48], mais son éventuelle utilisation pour des signaux non continue reste à vérifier. En effet, rien n'empêche une perturbation de se coupler sur une piste menant à un signal fonctionnel d'un composant plutôt que sur une piste d'alimentation.

Partant de ce constat, ce chapitre présente les différentes modifications apportées à ces parties afin de les adapter et ainsi définir une méthodologie de test pour caractériser l'immunité conduite des circuits intégrés complexes.

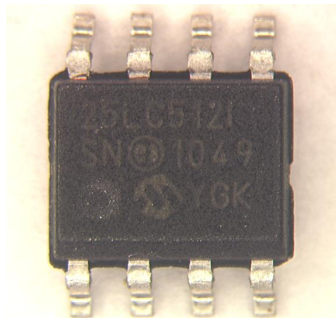
3.2.3 Composants étudiés

3.2.3.1 Présentation générale

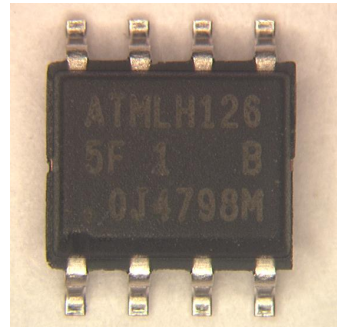
Afin de mener à bien les travaux de cette thèse, la détermination des sujets d'étude (circuits intégrés) est la première étape. En effet, il faut trouver une catégorie de composants qui rempli les critères et les exigences suivantes :

- Le circuit intégré doit remplir une fonction électronique couramment utilisée dans les systèmes actuels, mais qui représente néanmoins, une partie à part ou partielle importante de ces systèmes.
- Dans son fonctionnement, le composant choisi doit avoir la possibilité de fonctionner sous plusieurs modes possibles et ceci afin de distinguer les différents mécanismes d'erreur possibles.
- La condition la plus cruciale est sans aucun doute le multi-sourçage et l'interchangeabilité des circuits choisis pour traiter la problématique de l'obsolescence.

Le stockage des données représente une opération importante dans toutes les applications



(a) 25LC512-MICROCHIP



(b) AT25512-ATMEL

FIGURE 3.4 – Vue générale des mémoires étudiées.

récentes, qu'elles relèvent de la vie quotidienne ou des applications industrielles plus spécifiques (automobile, avionique et spatiale). Se basant sur ce constat, les mémoires utilisées sont sujet à des perturbations électromagnétiques qui selon leurs natures peuvent induire des erreurs de fonctionnements voire même la perte des données enregistrées et dans le pire des cas à leurs destruction. Les composants commercialisés aujourd'hui couvrent une large gamme technologique, cependant dans le cadre de cette thèse, nous nous sommes intéressés aux mémoire nos volatiles.

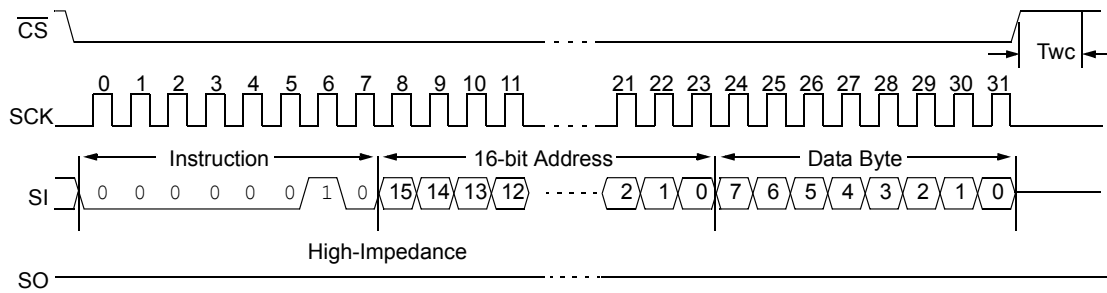
Le choix des composants est basé sur le principe de l'obsolescence, c'est à dire que, les composants doivent être compatible broche à broche afin d'être interchangeables. Pour cela il est primordial que les mémoires partagent les trois paramètres suivants :

- Une tension d'alimentation commune de 3.3 V.
- Une interface de communication de type Serial Peripheral Interface (SPI).
- Un boîtier de type Small Outline Integrated Circuit (SOIC) à 8 pins.

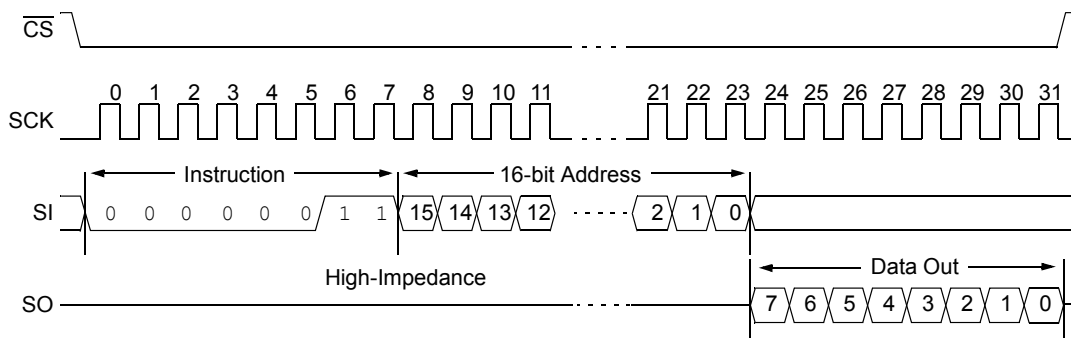
Dans un souci de réduire les paramètres pouvant jouer un rôle dans une éventuelle différence du comportement électromagnétique, les mémoires choisies représentent un seul point de différence à savoir le fournisseur. Le tableau 3.1 résume les caractéristiques générales des mémoires choisies (Figure 3.4).

| Caractéristiques | AT25512 | 25LC512 |
|------------------|---------|-----------|
| Fabricant | ATMEL | MICROCHIP |
| Technologie | EEPROM | EEPROM |
| Taille | 512kBit | 512kBit |
| Fréquence Max | 20MHz | 20MHz |

Tableau 3.1 – Caractéristiques générales des mémoires étudiées



(a) Opération d'écriture



(b) Opération de lecture

FIGURE 3.5 – Chrono-gramme d'accès mémoire en lecture et en écriture

3.2.3.2 Protocole SPI

Une liaison SPI est un bus de données série synchrone qui opère en mode full-duplex. Il utilise pour cela 4 signaux logiques :

- SCK : horloge.
- DI : données d'entrées.
- DO : données de sorties.
- CS : signal de sélection.

La figure 3.5(a) illustre un exemple de communication SPI dans le cas d'une mémoire EEPROM pour un accès en écriture et la figure 3.5(b) pour un accès en lecture. La transmission des données s'effectuant bit par bit, le maître envoie tout d'abord le code commande de l'opération suivi par l'adresse et la donnée à stocker dans le cas d'une écriture, tandis que l'esclave renvoie la donnée stockée à l'adresse indiquée dès la réception du dernier bit de celle-ci.

3.3 Caractéristiques d'injection

3.3.1 Critère d'immunité

Une mesure d'immunité n'a de sens que lorsque son critère est défini. En effet, le choix du critère varie selon les éventuelles applications du DUT, ainsi il est possible d'avoir plusieurs courbes d'immunité en fonction du critère fixé. Généralement, le critère se base sur une grandeur observable, à laquelle est associé un pourcentage de tolérance pour la tension ou un facteur d'augmentation pour la consommation de courant. Par ailleurs, l'un des problèmes soulevés réside dans le fait qu'un tel critère ne renseigne pas forcément sur l'état de fonctionnement du composant.

Dans le cas des mémoires SPI, la grandeur observable qui met en évidence le fonctionnement réel d'une mémoire sous test (MUT) est l'exactitude de la donnée enregistrée. De plus, le critère de susceptibilité devant essentiellement informer sur l'état de fonctionnement de la MUT, il est par conséquent clair de définir des critères qui s'articulent autour des données de la mémoire.

3.3.1.1 Critère fonctionnel

Dans son fonctionnement, une mémoire SPI est un esclave qui exécute les instructions du maître, notamment en stockant une donnée à l'adresse spécifiée, ou en retournant la donnée enregistrée à l'adresse indiquée. Se basant sur ce schéma, le critère fonctionnel s'appuie sur la comparaison entre la donnée écrite et la donnée lue. Ce critère se décompose en deux tests :

- 1^{er} test : Les mémoires non volatiles de type SPI font appel dans leur fonctionnement à un registre d'état interne défini sur 8 bits. Ce registre retourne un ensemble d'informations qui sont représentées sur la figure 3.6. De ce fait, une mémoire est susceptible si la valeur initiale de son registre d'état vient à changer après l'application d'une perturbation électromagnétique.
- 2^{ème} test : Une méthode statistique est employée. 1 cycle d'écriture et 100 cycles de lecture sont effectués, et la mémoire est considérée susceptible lorsque au moins 10 % des valeurs lues sont erronées.

En résumé, le critère d'immunité dans l'approche proposée fait appel aux deux tests d'une manière successive, avec une pré-dominance pour le 1^{er} test comme le montre la figure 3.7. En d'autres termes, si la valeur du registre d'état change, peu importe le résultat de la comparaison statistique, la MUT est susceptible.

3.3.1.2 Critère électrique

En se basant toujours sur la donnée retournée par la MUT, le changement de bit peut se manifester sous trois aspects : soit un vrai changement de bit, soit un décalage dans le temps, soit enfin il peut se traduire par un affaiblissement du niveau logique haut. En conséquence, la définition du critère de susceptibilité électrique peut se résumer à déterminer une tolérance temporelle accompagnée d'une tolérance en tension. Ces deux tolérances doivent en contrepartie être en accord avec les caractéristiques technologiques du composant. Ces tolérances définissent un gabarit autour du signal de sortie DO de la MUT, dont un exemple est représenté dans la figure 3.8. Par conséquent, une MUT est susceptible si un des seuils est dépassé.

Cependant, pour que ce type de critère soit plus significatif, il est associé à une partie fonctionnelle en amont qui reprend la même logique que la 1^{ère} partie du critère fonctionnel décrit auparavant.

3.3.2 Chemin de couplage

La norme DPI est la méthode de mesure de l'immunité conduite à la plus utilisée. Cependant pour des raisons de simplicité, cette injection de puissance est souvent effectuée sur les broches d'alimentation du DUT. En effet, grâce au chemin de couplage décrit dans la norme et représenté sur la figure 3.9, la superposition du signal agresseur RF au signal utile d'alimentation DC est possible. Dans cette configuration, la capacité de découplage est utilisée pour protéger le générateur RF de la tension continue, tandis que l'inductance, dite de choc, isole l'alimentation DC du bruit RF[49].

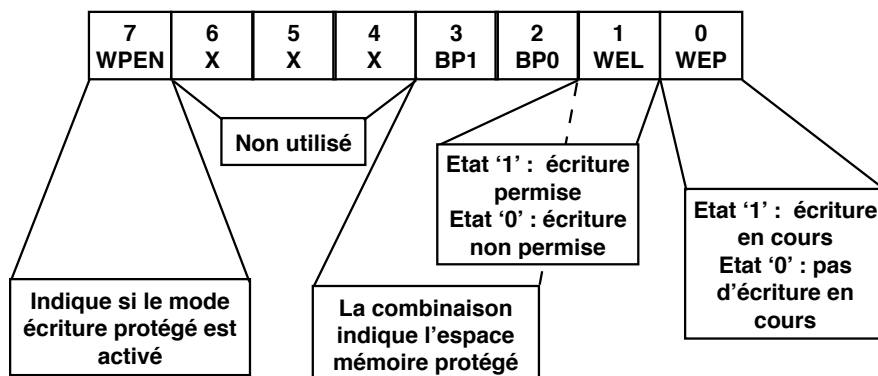


FIGURE 3.6 – Composition du registre d'états interne d'une mémoire non volatile de type SPI

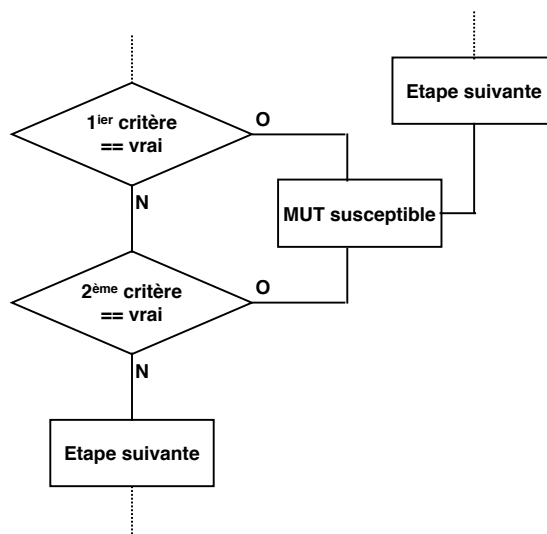


FIGURE 3.7 – Algorithme de test du critère d’immunité

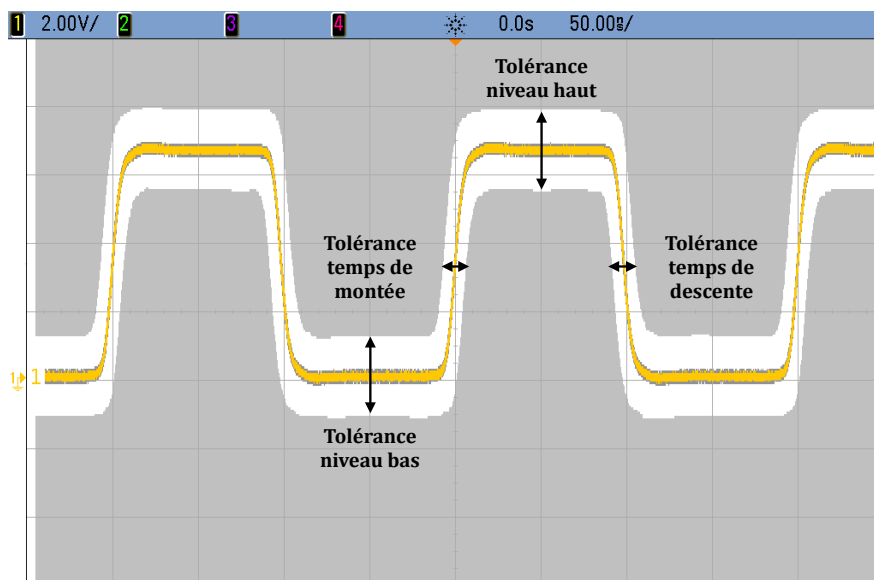


FIGURE 3.8 – Exemple de mise en place du critère de test électrique.

Cependant, ce type de circuit est inutilisable dans le cas d’un signal non DC et plus précisément pour un signal bande de base (BB). Par exemple, l’horloge de la mémoire peut atteindre une fréquence fondamentale de 20 MHz. De surcroît, le standard DPI commence à 150 kHz, soit plus bas que la fréquence du signal BB.

En effet, considérons le chemin de couplage LC vers une entrée fonctionnelle. Cette entrée peut être modélisée par une capacité de 30 pF. La figure 3.10(a) montre le circuit de test et les contraintes de transfert du signal BB vers la broche sous test (PUT). Comme

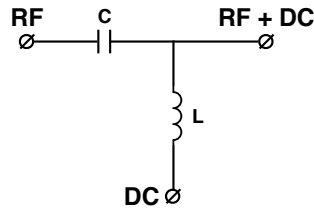


FIGURE 3.9 – Schéma fonctionnel d'un chemin de couplage DPI

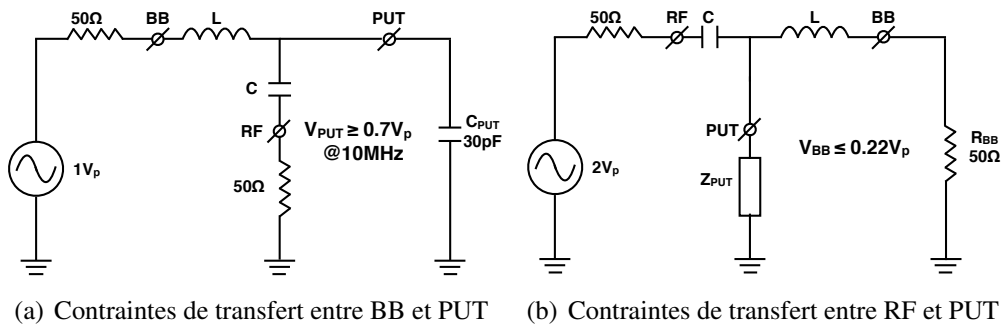


FIGURE 3.10 – Exigences du chemin de couplage LC, lorsqu'il est connecté à une entrée logique.

la PUT conserve une impédance d'entrée relativement élevée à 13 MHz ($408 j\Omega$), elle peut être considérée comme un circuit ouvert. La fréquence de coupure du circuit LC équivalent est alors d'environ 13 MHz, ce qui limite la fréquence haute de la bande passante du chemin BB. Si on ajoute maintenant un signal RF à l'entrée du circuit de couplage (Figure 3.10(b)), et puisque le test devrait fonctionner pour toute valeur de l'impédance du PUT (Z_{PUT}), considérons alors le pire cas, à savoir Z_{PUT} tendant vers l'infini. Dans cette configuration, la valeur du couplage à la fréquence de résonance est de +0 dB. Par conséquent, la fréquence basse de la bande passante de signal RF ne pourrait être en aucun cas au dessous de la fréquence haute de la bande passante du signal BB.

Cependant, même si l'écart entre les fréquences entre les bandes passantes des signaux RF et BB peut être réduit en ajustant les valeurs de la capacité et de l'inductance, nous pouvons affirmer d'ores et déjà que la tête de polarisation LC ne permet pas le chevauchement des fréquences entre les deux signaux. De plus, étant donné que la fréquence la plus basse de la norme DPI est de 150 kHz, alors que les signaux fonctionnels (horloges, les interfaces série) peuvent atteindre plusieurs dizaines de MHz, ce type de montage LC s'avère inutilisable pour les tests DPI sur les broches numériques. Diverses solutions ont été développées pour résoudre ce problème[50][51]. Cependant,

dans les deux cas, les largeurs de bande sont faibles, allant jusqu'à 1 GHz seulement pour le signal RF et à moins de 1 MHz pour le signal fonctionnel BB, sans chevauchement possible entre les deux. En plus, dans [50], le câble coaxial ne permet pas d'assurer une bonne reproductibilité des résultats, et en [51], les caractéristiques de transfert ne sont pas données et peuvent dégrader le transfert de puissance RF de manière significative. Dans cette perspective, nous avons développé un prototype de multiplexeur RF/BB qui pallie à ces limitations.

3.3.2.1 Conception et contraintes du multiplexeur RF/BB

D'un point de vue théorique, la superposition d'un signal RF et un signal BB ne nécessiterait qu'une connexion en série des deux sources. Néanmoins en pratique, cette configuration pourrait causer des dommages irréversibles aux deux dispositifs.

La solution appropriée est de rendre la source de signal BB flottante par rapport à la source de signal RF. En effet, sans la présence d'un signal bande de base, la sortie du multiplexeur est connectée à la masse. Le fait d'ajouter une formation bande de base revient à décaler la masse électrique de cette sortie au rythme de l'évolution du signal BB. Le signal généré à la sortie du multiplexeur suit donc les variations de masse commune. Par ailleurs, afin d'assurer un bon contrôle des transferts de puissance et de tension entre les différents ports du multiplexeur et ainsi avoir une reproductibilité des mesures, le multiplexeur doit répondre aux exigences suivantes :

- Un bon transfert bidirectionnel de puissance entre les ports RF et PUT jusqu'à plusieurs GHz (la norme DPI est étendue au-dessus de 1 GHz) : cela permet de mesurer la puissance réfléchi devant le multiplexeur (standard DPI).
- Un transfert unidirectionnel de tension entre les ports BB et PUT jusqu'à 500 MHz. En effet, la fréquence fondamentale des signaux fonctionnels des circuits intégrés modernes ne cesse d'augmenter (généralement autour de 50 MHz), le choix d'une fréquence de coupure situé à une décade au dessus de la fréquence fondamentale évite de dégrader la qualité du signal.
- Une isolation complète entre les ports RF et BB afin de protéger les deux générateurs.

Un balun (Mini Circuits ADT1-1WT) est utilisé pour superposer les signaux RF et BB, et un buffer actif est utilisé pour maintenir l'impédance de sortie à 50 Ω . Un dispositif de dérivation est ajouté pour étendre la bande passante au-delà de la fréquence de coupure du balun.

Le principe du multiplexeur est illustré sur la figure 3.11. Nous pouvons distinguer trois différents chemins :

Chemin pour les signaux RF de basse fréquence (150 kHz – 1 GHz) : Pour assurer un bon transfert, l'enroulement secondaire du transformateur est relié à la masse grâce à la sortie du buffer, ce qui permet un excellent couplage RF à travers le balun jusqu'à sa fréquence de coupure (autour de 800 MHz). De plus le balun permet une isolation galvanique de plus de 12 dB entre le port RF et le port BB jusqu'à cette fréquence. L'impédance d'entrée est de l'ordre de 50Ω avec une désadaptation inférieure à 3 dB sur toute la bande de fréquence considérée.

Chemin pour les signaux RF de haute fréquence (1 GHz – 5 GHz) : Au-dessus de 800 MHz la perte d'insertion et la désadaptation divergent et un réseau de compensation formé de deux inductances L1 et L2 ainsi que d'un condensateur C permettent d'accroître la bande de fréquence de fonctionnement jusqu'à 5 GHz en corrigeant la perte d'insertion ainsi que la désadaptation d'impédance.

Chemin pour les signaux bande de base (DC – 500 MHz) : Pour assurer une faible impédance de sortie, le buffer est composé d'un amplificateur opérationnel (TI THS3201) en série avec un transistor NPN (NXP BFR540). Ces dispositifs ont été sélectionnés pour leurs excellentes performances (vitesse de balayage, la gamme de fréquence, la capacité d'entrée) afin d'éviter de dégrader les caractéristiques en sortie du signal d'entrée (temps de montée et de descente, état haut et bas ...).

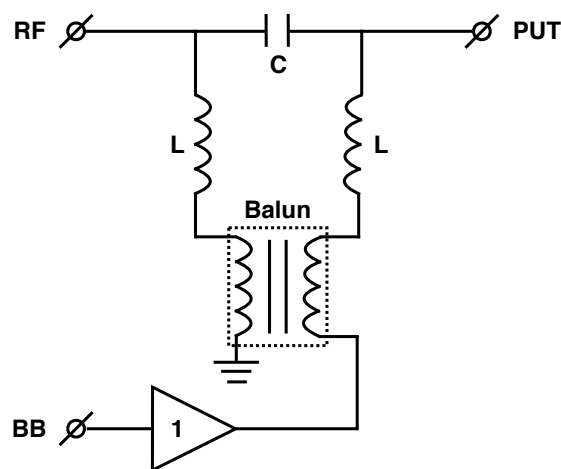


FIGURE 3.11 – Schéma fonctionnel du multiplexeur RF/BB

3.3.2.2 Conception des pistes et des transitions

Nous avons choisi d'adapter à 50Ω toutes les pistes reliant les différents composants du multiplexeur, en technologie Micro-ruban, sur un substrat de 4-couches de type FR4. L'intérêt de cette opération est d'assurer un transfert idéal de la puissance entre les ports RF et PUT ainsi que de garantir une bonne précision des mesures des paramètres S avec

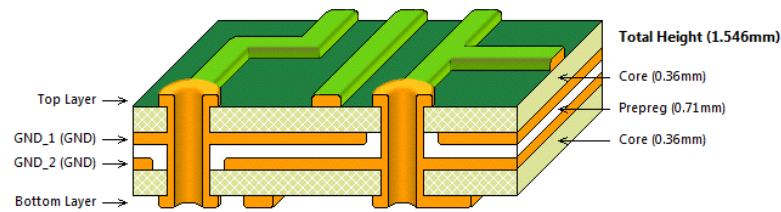


FIGURE 3.12 – Empilement et géométrie des couches du PCB utilisé

l' analyseur de réseaux (VNA).

En utilisant les géométries des empilements correspondant à une carte FR4 4 couches standard (Figure 3.12), il est possible de calculer la largeur de la piste pour une impédance caractéristique de 50Ω . La valeur trouvée est de ($W_{Micro-ruban} = 0.64\text{mm}$).

Cependant, le connecteur SMA utilisé (Rosenberger 32K243-40ML5) est assimilé à une piste 50Ω en technologie coplanaire. Par conséquent la transition connecteur/piste doit être modélisée pour éviter et minimiser la discontinuité de impédance.

Une piste coplanaire (CPW) est caractérisée par sa largeur W_{CPW} , sa longueur L_{CPW} et son gap G_{CPW} . L'idée de base est de fixer la valeur de la largeur de la piste Micro-ruban ($W_{Micro-ruban} = 0.64\text{mm}$), et ensuite augmenter progressivement la valeur du couple (W_{CPW}, G) sur une longueur de transition $L = 3\text{mm}$, jusqu'au moment où ($W_{CPW} = W_{Micro-ruban}, G$). Grâce à cette approche, l'impédance caractéristique garde la même valeur (50Ω) tout le long de la transition. Le résultat des calculs est résumé dans le tableau 3.2.

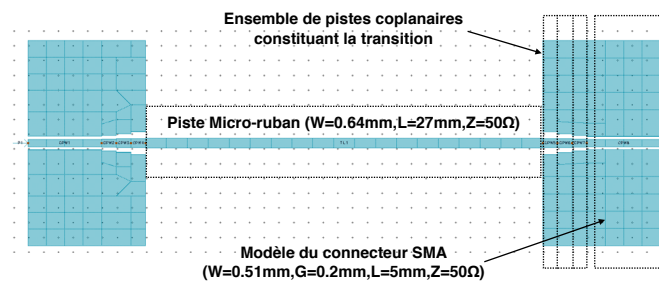
Pour appuyer cette étude, la modélisation de la transition connecteur-piste-connecteur (Figure 3.13(a)) a été simulée sous l'outil MOMENTUM de ADS. Ensuite son implémentation sur PCB a été validée par mesure avec le VNA. La comparaison de la simulation et la mesure présentent une bonne corrélation jusqu'à 5GHz (Figure 3.13(b)).

3.3.2.3 Simulations et mesures des caractéristiques du multiplexeur

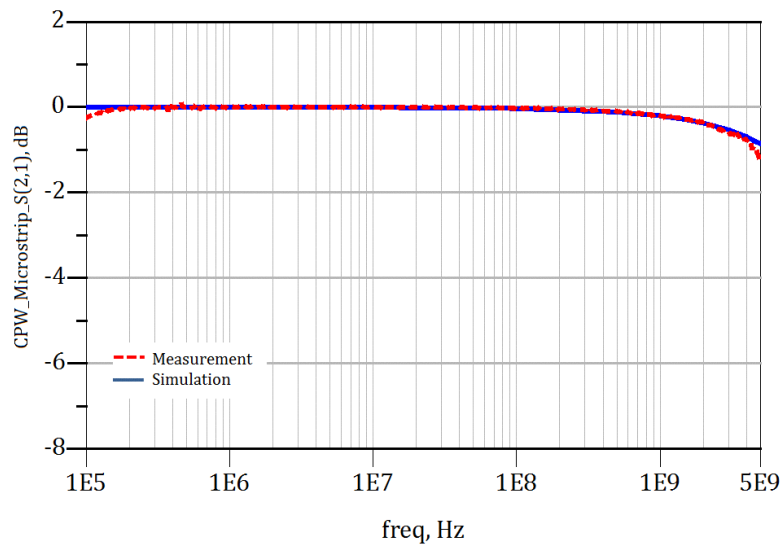
La simulation de la conception du multiplexeur RF/BB a été réalisée sous le logiciel ADS d'Agilent. Excepté le modèle du balun, tous les modèles des composants utilisés sont des

| | $L = 0\text{mm}$ | $L = 1\text{mm}$ | $L = 2\text{mm}$ | $L = 3\text{mm}$ |
|-----------|------------------|------------------|------------------|------------------|
| W_{CPW} | 0.51mm | 0.55mm | 0.59mm | 0.63mm |
| G | 0.2mm | 0.252mm | 0.332mm | 0.47mm |

Tableau 3.2 – Valeurs du couple (W_{CPW}, G) calculées pour une impédance caractéristique de 50Ω



(a) Modèle



(b) Comparaison simulation/mesure

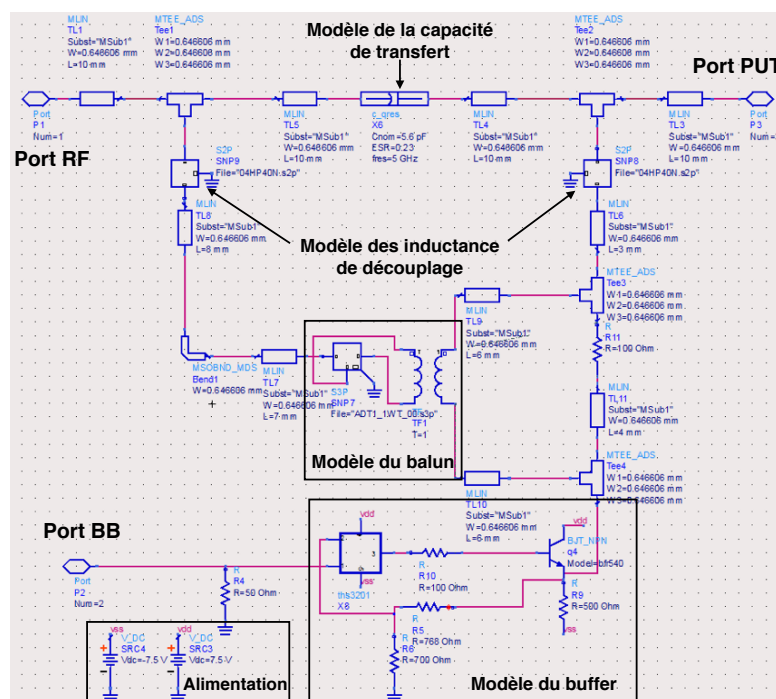
FIGURE 3.13 – Modélisation et comparaison simulation/mesure de la transition connecteur-piste-connecteur

modèles fournisseurs. Le modèle du balun est le résultat des mesures des paramètres-S avec le VNA.

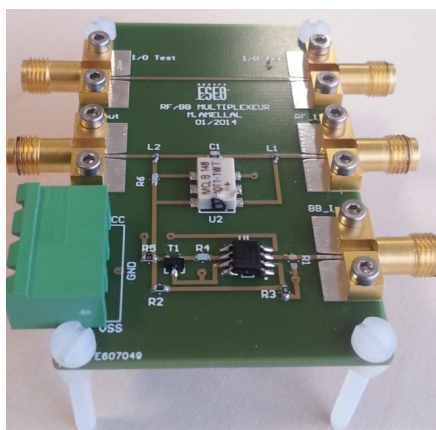
Le schéma général de la simulation du multiplexeur est représenté sur la figure 3.14(a) et son implémentation sur la figure 3.14(b). Le layout du multiplexeur est donné dans l'annexe A.

Le transformateur T1 est ajouté uniquement en simulation pour représenter l'aspect flottant du secondaire par rapport au primaire du balun. La résistance R_6 est montée en parallèle de la sortie du balun pour ramener une impédance de 50Ω .

Les comparaisons entre les simulations et les mesures des différentes caractéristiques du multiplexeur sont représentées sur la figure 3.15. Une corrélation significative peut être remarquée. La différence entre la fréquence de résonance (Figure 3.15(a)) pourrait s'expliquer par la tolérance des composants du circuit de dérivation LC (15% pour $C = 5.6 \text{ pF}$, et 2% pour $L = 40 \text{ nH}$).



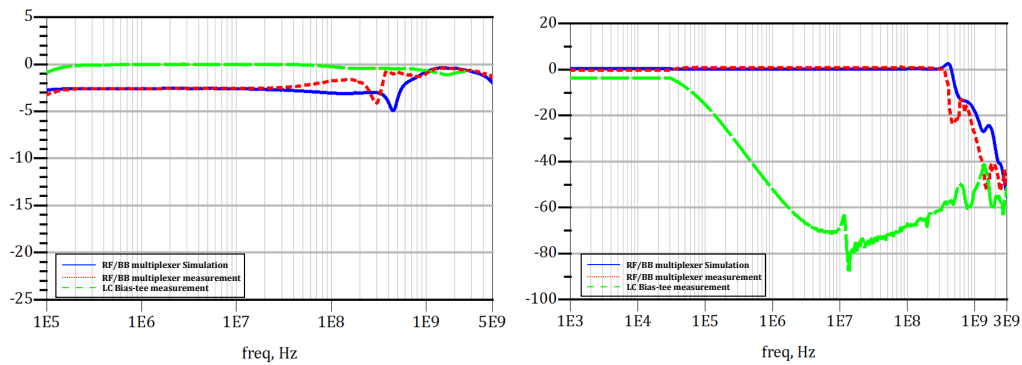
(a) Simulation



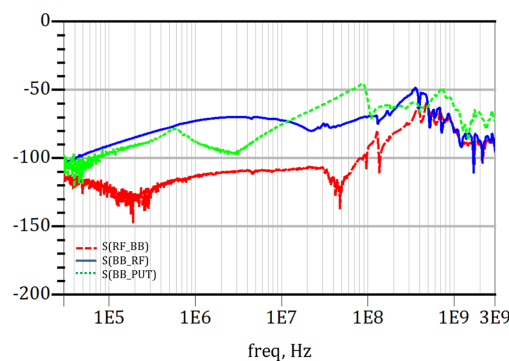
(b) Implémentation

FIGURE 3.14 – Schéma général de la simulation et de l'implémentation du multiplexeur RF/BB

Par ailleurs, il y a un compromis entre l'amplitude du transfert RF vers le PUT et la fréquence de coupure du transfert BB vers le PUT. En effet, l'amplitude du transfert a été délibérément maintenue au-dessus de -4 dB pour des raisons d'efficacité du transfert de puissance. Par conséquent, et en raison de cette contrainte, la bande passante du transfert BB vers PUT est réduite à environ 380 MHz au lieu de 500 MHz. Modifier le produit LC pourrait augmenter cette fréquence de coupure mais au détriment de la dégradation



(a) Transfert de puissance du port RF vers le port PUT en dB (b) Transfert de tension du port BB vers le port PUT en dB



(c) Isolation entre les ports PUT, RF et BB en dB

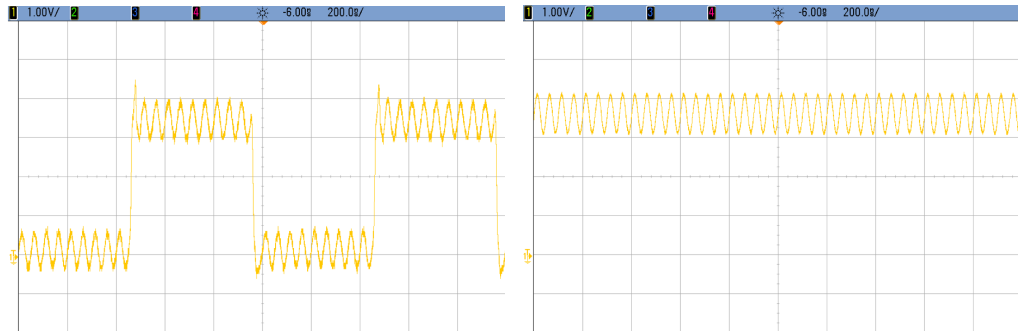
FIGURE 3.15 – Comparaisons mesures simulations des différentes caractéristiques du multiplexeur RF/BB

du transfert de puissance du port RF vers PUT.

La figure 3.16 montre le signal de sortie du multiplexeur dans le domaine temporel dans deux cas de figure. Une injection sur une entrée fonctionnelle (broche d'horloge) ou sur une entrée d'alimentation.

3.3.2.4 Validation du multiplexeur : Étude détaillée sur l'inverseur SN74LS04D

Il s'agit ici de valider l'utilisation du multiplexeur développé en effectuant des mesures DPI sur un composant simple comme la porte inverseuse SN74LS04D, d'abord en agressant la broche d'alimentation et ensuite la broche d'entrée logique 1A, tout en surveillant l'état de la sortie 1Y. Ce cas d'étude va permettre de valider l'intérêt de caractériser l'immunité d'un circuit intégré non seulement par rapport à l'agression de la broche d'alimentation mais aussi par rapport à l'agression des broches fonctionnelles lors d'un fonctionnement normal. La mesure est mise en œuvre tel que représenté sur la



(a) Signal BB 3.3 V@1 MHz, signal RF 1 V_{pp}@ 20 MHz (b) Signal DC 3.3 V, signal RF 1 V_{pp}@ 20 MHz

FIGURE 3.16 – Signal de sortie du multiplexeur RF/BB dans le domaine temporel dans le cas d’une émulation d’injection de puissance

figure 3.17.

Critère d’immunité. Il est arbitraire puisque ce cas d’étude ne correspond à aucune

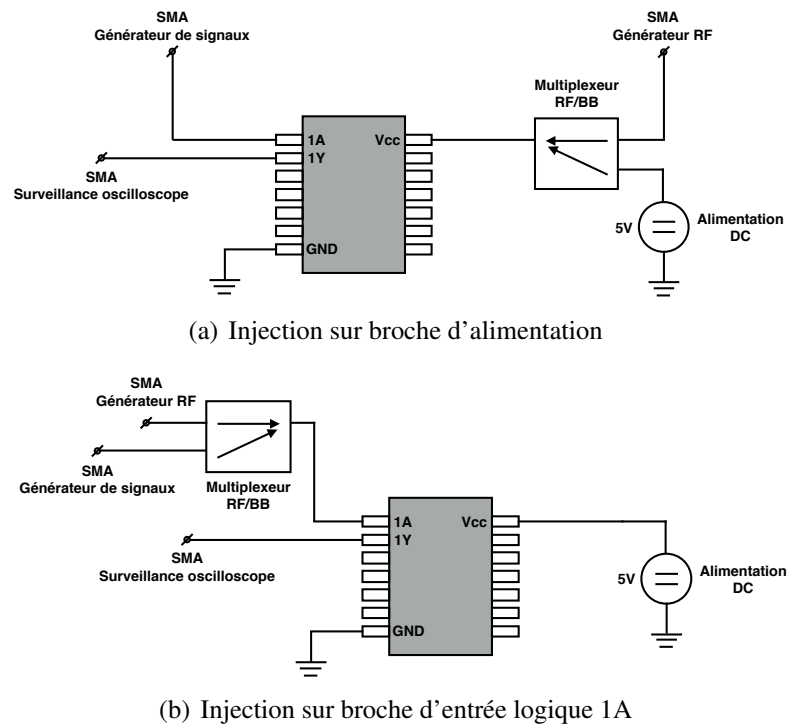


FIGURE 3.17 – Configuration de mise en œuvre du SN74LS04D

application particulière. Il est possible de fixer la variation sur le signal de sortie à ± 500 mV, mais cela pourrait induire à la détection de fausse violation du critère. En effet, en plus de mesurer la valeur moyenne du signal de sortie de l’inverseur, celle-ci

pourrait éventuellement être superposée à une composante AC, issue de la propagation de la perturbation. Si cette composante AC est supérieure à 500 mV, qui est la valeur de la variation tolérée, l'oscilloscope signale un défaut alors qu'il ne s'agit pas réellement d'un.

Pour détecter convenablement les défauts de fonctionnement, nous avons défini notre critère de telle manière à supprimer l'effet de la composante AC. La variation sur le signal de sortie est fixée à ± 1 V avec une tolérance sur les caractéristiques temporelles (temps de montée et de descente) de ± 5 ns. Le déclenchement de l'acquisition de l'oscilloscope est synchronisé sur la sortie SYNC du générateur de signaux afin de pallier éventuels problèmes de décalage du signal.

Caractérisation DPI. Dans ce cas d'étude nous ne nous intéressons qu'à la différence d'immunité du composant en fonction de la broche d'entrée agressée. Le critère établi est le même pour les deux mesures et la gamme de fréquence des perturbations électromagnétiques est fixée à 1 MHz – 1 GHz, tandis que la puissance générateur RF max est de 23 dBm.

Résultats des mesures. La figure 3.18 montre la comparaison des résultats des mesures DPI sur le SN74LS04D pour les deux configurations. Deux fréquences différentes du signal BB ont été utilisées.

Nous pouvons remarquer que l'immunité du DUT est fortement impactée par le choix de la broche agressée, avec des écarts entre les niveaux de susceptibilité pouvant atteindre jusqu'à 12 dB au allant tour de 60 MHz.

Ces résultats permettent alors de valider l'efficacité et l'utilité du nouveau chemin de

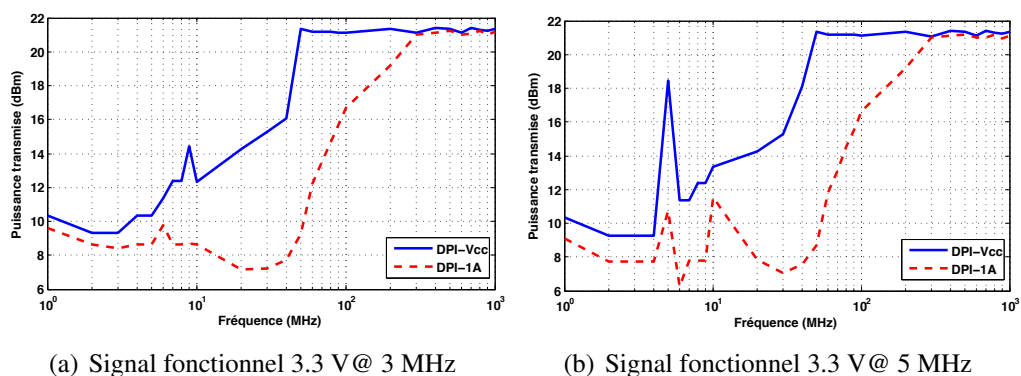


FIGURE 3.18 – Résultats de caractérisation DPI du SN74LS04D

couplage pour les mesures d'immunité conduite sur les broches fonctionnelles et les broches d'alimentation.

3.3.3 Système de mesure

3.3.3.1 Interface de communication et de contrôle

Afin d'émuler les échanges de données avec la MUT, une interface de communication USB/SPI a été développée utilisant le convertisseur USB-SPI FT2232H de FTDI Chip. Une vue générale de l'interface est donnée sur la figure 3.19. Son schéma électrique et son routage sont présentés dans l'annexe B.

Ce convertisseur qui joue le rôle du maître dans la communication SPI, permet d'un côté une conversion de données bidirectionnelle entre un port USB et SPI, rendant ainsi possible l'accès aux données et le contrôle de la MUT à tout instant. D'un autre côté, il est utilisé pour contrôler le fonctionnement général du système de mesure. L'interface dispose de :

- Deux alimentations séparées 3.3 V (alimentation extérieure et alimentation via le port USB 5 V régulée en interne).
- Deux types de connexion SPI (connecteur SMA et connecteur HE10 × 10). Les connecteurs SMA sont généralement utilisés pour acheminer les données à la MUT, et les broches du connecteur HE10 × 10 permettent une surveillance du bus de communication sur un oscilloscope.
- Un connecteur HE10 × 16 regroupant tous les signaux de contrôle générés par le module.
- Une adaptation d'impédance avec des résistances 50 Ω placées sur chaque signal de l'interface de communication SPI.

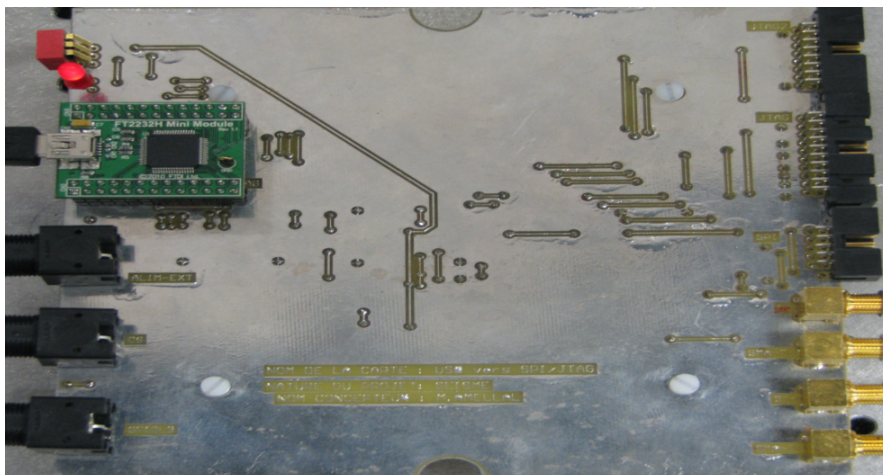


FIGURE 3.19 – Schéma de l'interface SPI/USB

3.3.3.2 Carte de test

Comme il a été présenté dans la partie 3.2.2, le support de test DPI doit mettre en évidence le composant à étudier en rendant accessible toutes ses broches.

La carte Valeo (Figure 3.20) développée dans le cadre des travaux de thèse de Frédéric LAFON[49], est en parfaite adéquation avec la norme DPI ainsi qu'avec notre approche. Plusieurs raisons justifient ce choix.

- Tout d'abord, chaque broche référencée à la masse du composant correspond à un port, relié soit directement à un connecteur MMCX via une piste 50 Ω , soit dans le cas contraire à un connecteur SMA. De plus, la carte dispose d'un port d'alimentation général qui permet d'alimenter d'une manière totalement indépendante les broches fonctionnelles de la MUT (hors broches du bus SPI). C'est le cas pour les broches \overline{HOLD} ou \overline{WP} .
- La symétrie des motifs (pistes/topologies) de la carte permet son utilisation à la fois pour les mesures DPI et aussi pour l'extraction des paramètres S par mesures sur VNA. D'ailleurs la carte dispose d'un kit de calibrage réalisé directement dans le plan de référence correspondant au plan de mise en place du composant (Figure 3.20(b)). Les pistes du kit ont la même longueur que les pistes reliant les connecteurs MMCX aux broches du composant.

3.3.3.3 Mise en œuvre du système de mesure

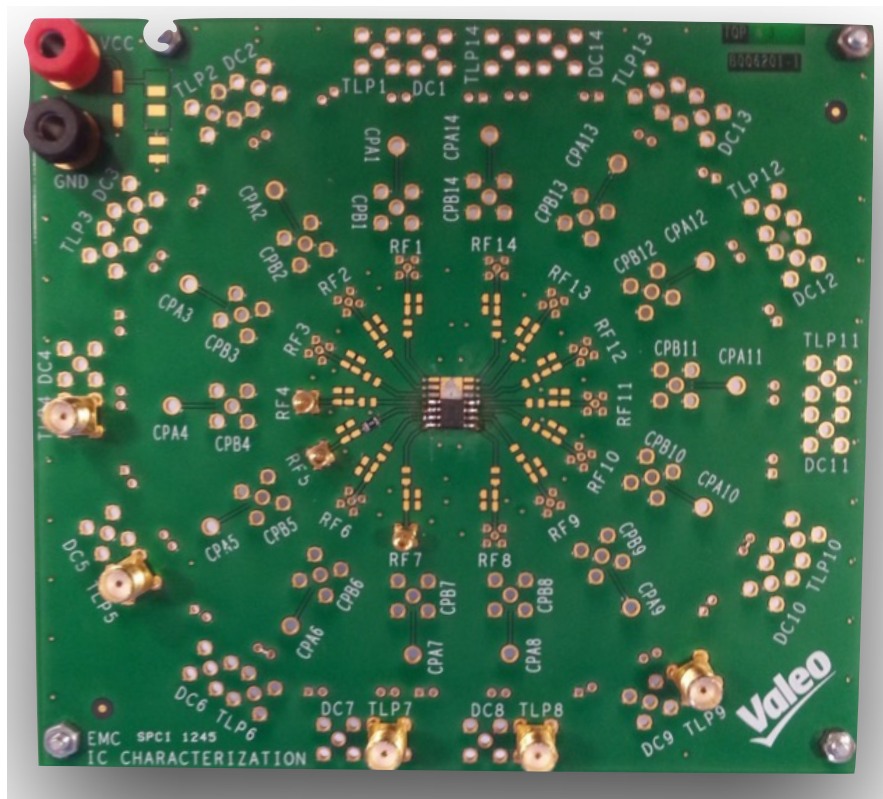
En fonction du type de critère de test et de la broche à agresser, plusieurs configurations sont possibles. La différence réside dans l'emplacement du chemin de couplage et du rôle que joue l'interface de communication SPI/USB. La figure 3.21 représente les quatre mises en œuvre possibles. Le tableau 3.3 résume les caractéristiques de chacune des configurations.

Dans les configurations 1 et 2, le critère d'immunité est fonctionnel. L'interface de

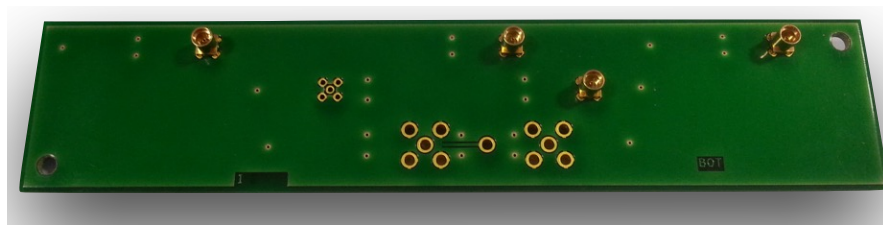
| | Configuration 1 | Configuration 2 | Configuration 3 | Configuration 4 |
|-------------------|-----------------|-----------------|-----------------|-----------------|
| Broches agressées | Alimentation | Horloge | Alimentation | Horloge |
| Type de critère | Fonctionnel | Fonctionnel | Électrique | Électrique |

Tableau 3.3 – Configurations des mises en œuvre des mesures DPI pour les mémoires SPIs

communication est la seule responsable de tester le critère fixé. Elle contrôle aussi le fonctionnement du générateur de perturbations afin de synchroniser les perturbations à la phase d'accès mémoire grâce à des signaux de commande qui changent d'états en fonction de la phase d'accès. En se basant sur ces signaux, le générateur produit un



(a) Support de test



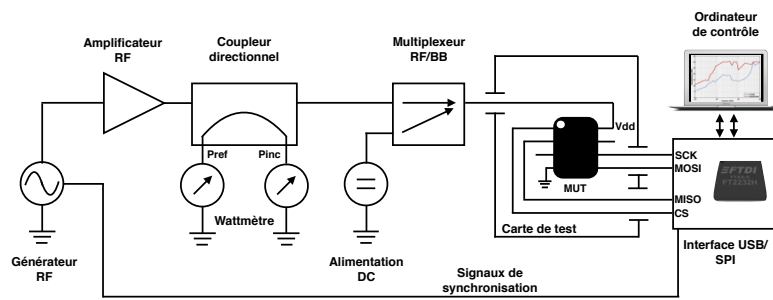
(b) Kit de calibration

FIGURE 3.20 – Carte Valeo de mesure DPI et son kit de calibration

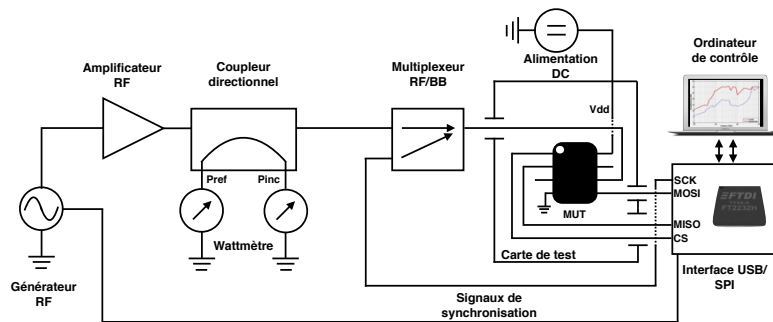
perturbation uniquement durant la phase souhaitée.

Dans les configurations 3 et 4, étant donné que le critère d'immunité est électrique, l'interface de communication n'est plus seule à gérer le test du critère fixé. Désormais, c'est l'oscilloscope qui est en charge d'une partie de cette opération comme décrit dans la partie 3.3.1.2. Cependant, elle contrôle le fonctionnement d'un côté du générateur de perturbations pour synchroniser les perturbations à la phase d'accès mémoire souhaitée et le déclenchement du test du masque de l'oscilloscope.

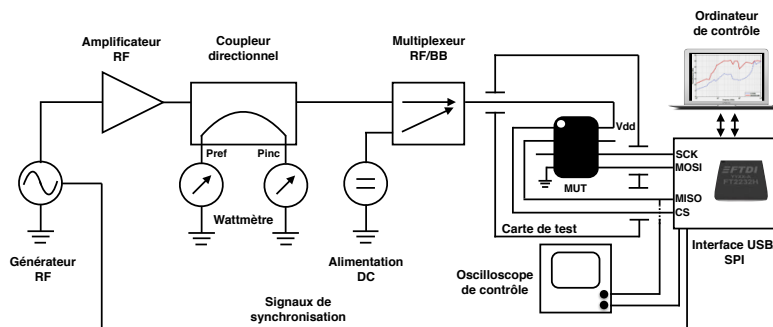
Grâce à ces différentes configurations, il est possible de caractériser l'immunité conduite de la MUT par rapport à toutes ses broches. La synchronisation de l'activité des différents



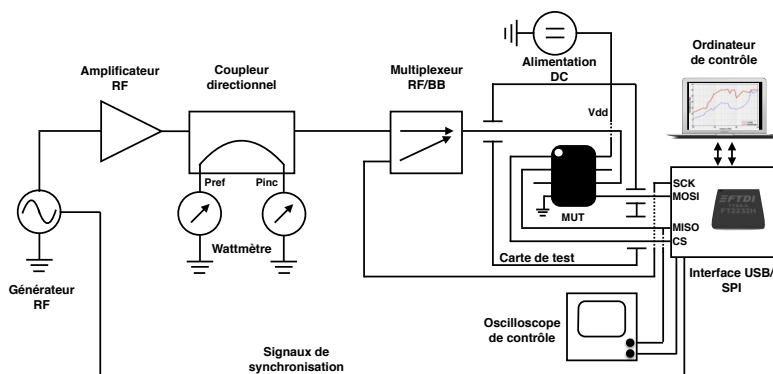
(a) Configuration 1



(b) Configuration 2



(c) Configuration 3



(d) Configuration 4

FIGURE 3.21 – Schéma général des quatre mises en œuvre des mesures DPI pour les mémoires SPI

organes du système de mesure permet d'assurer une bonne reproductibilité des mesures. D'un point de vue fonctionnement, il est important de souligner que l'alimentation de l'interface de communication et du multiplexeur sont séparées de l'alimentation de la MUT. L'objectif est d'éviter le couplage des perturbations entre les différentes cartes. Par conséquent, éviter de tester l'immunité du FTDI ou bien du multiplexeur au lieu de celle de la mémoire.

3.3.4 Logiciel de gestion et algorithme de mesure

3.3.4.1 Algorithme de mesure

La mesure d'immunité a pour objectif de relever, pour un ensemble de fréquences, le niveau d'agression maximal que le composant sous test est capable de supporter selon un critère défini.

L'algorithme de mesure mis en place pour déterminer l'immunité conduite des mémoires non volatiles se base sur l'algorithme général de mesure décrit par la norme et présenté dans la partie ???. Cependant plusieurs parties ont été ajoutées afin de l'adapter au fonctionnement de la MUT.

La procédure de test proposée comprend trois différents modes de test. La figure 3.22 résume l'acheminement des étapes de cette procédure.

Écriture perturbée (Mode 1) : Dans ce mode la perturbation RF est appliquée uniquement pendant les cycles d'écriture des données.

Lecture perturbée (Mode 2) : Dans ce mode la perturbation RF est appliquée uniquement pendant les cycles de lecture des données.

Perturbation entre deux accès (Mode 3) : Dans ce mode la perturbations RF est appliquée uniquement entre les cycles d'écriture et de lecture des données pendant une durée de 2s.

L'avantage principal de ces différents modes est de pouvoir déterminer la phase d'accès la plus susceptible aux perturbations dans le fonctionnement de la MUT et donc d'identifier, dans la mesure du possible, les parties les plus critiques (buffer d'entrée/sortie, plan mémoire...) de la MUT.

Pour des raisons de simplicité et d'optimisation de temps de mesure, certaines fonctionnalités ont été rajoutées à cet algorithme pour fiabiliser les mesures.

Le nombre de données écrites dans la mémoire étant le principale facteur influant sur la durée de la mesure, il est nécessaire de trouver un compromis entre ce paramètre et la durée de mesure afin d'obtenir une mesure fiable et rapide. Dans cette optique, nous avons choisi de n'écrire que deux données xAA et x55 dans deux adresses différentes.

Toujours dans la perspective de fiabiliser le système de mesure, nous avons décidé d'éteindre puis rallumer l'alimentation de la MUT chaque fois qu'un niveau de susceptibilité est relevé, ce qui permet de replacer la MUT dans un état fonctionnel connu avant chaque test.

3.3.4.2 Logiciel de gestion

Le logiciel commandant l'ensemble des instruments de mesures, a été développé dans le cadre de plusieurs projets sous le langage de programmation LabWindows CVI. Le logiciel se présente sous la forme d'une interface graphique de commande présentée à la figure 3.23. Cette interface est subdivisée en plusieurs sections qui permettent de définir les paramètres de la mesure. On peut ainsi définir les caractéristiques de la perturbation, sa bande de fréquence, son domaine d'amplitude et le type de balayage à mettre en place. Une section permet de choisir le type de critère d'immunité à utiliser et de configurer

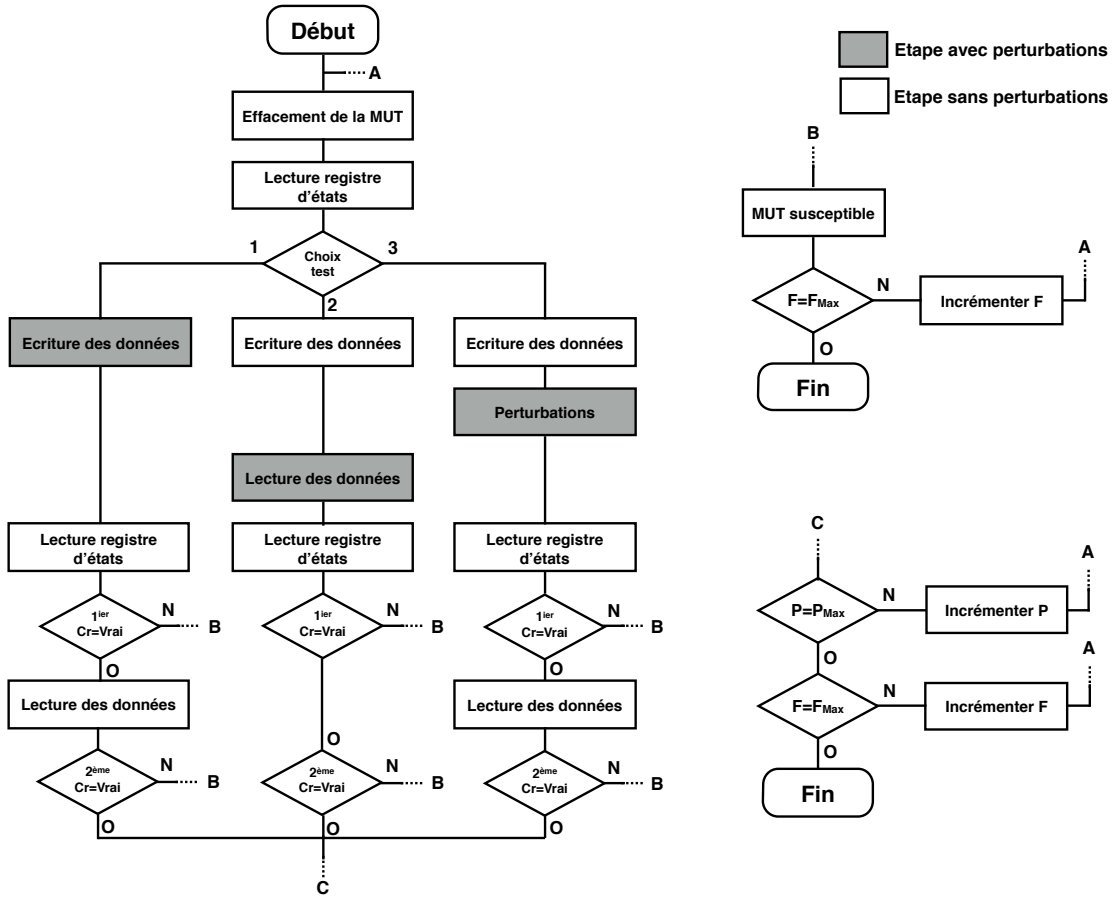


FIGURE 3.22 – Algorithme général de la procédure de test DPI pour les mémoires SPI

ses paramètres, ainsi que le mode de test à appliquer. Enfin, un ensemble de témoins permettent de superviser en temps réel la mesure en cours (violation du critère, puissance transmise, état de la MUT...).

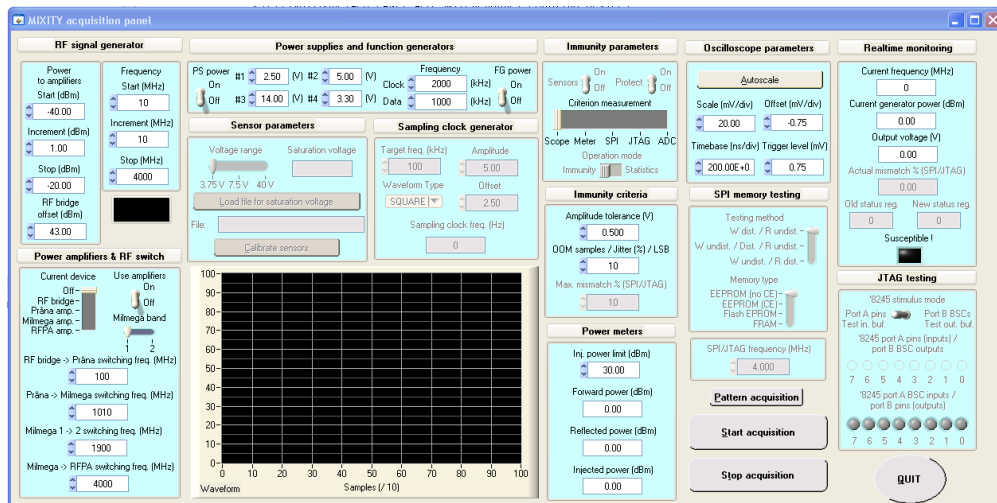


FIGURE 3.23 – Interface graphique de commande.

3.3.4.3 Banc d'agression conduite

Le banc de mesure CEM est le noyau du laboratoire ESEO-EMC. Il permet d'effectuer des mesures d'immunité et d'émission conduite ou rayonnée. Sa partie agression conduite repose entièrement sur le principe de la méthode d'injection directe de puissance DPI décrite précédemment.

La figure 3.24 présente l'ensemble des appareils de mesure et de contrôle du banc de mesure.

Le banc de mesure peut être divisé en trois grandes parties :

Première partie : Génération de la perturbation RF. Cette partie est constituée des équipements suivants :

- Un générateur RF (Agilent N5183A) capable de générer une forme d'onde représentative du signal d'agression. Sa puissance de sortie maximale est de 23 dBm et sa bande de fréquences est de 250 kHz – 20 GHz.

- Trois amplificateurs de puissance RF (Prâna AP32DT120, Milmega AS0104, Atlanthys ATL-AMP4G18G-8) pour amplifier le signal issu du générateur. Chacun des amplificateurs couvre une bande de fréquences précise avec un gain différent. Le Prâna a une bande de fréquences de 10 kHz – 1 GHz et une puissance maximale de 20 W. Le Milmega dispose d'une bande de fréquences entre 800 MHz et 4 GHz et une puissance maximale de 30 W. Enfin l'Atlantys possède une bande de fréquences allant de 4 GHz à 18 GHz et une puissance maximale de 8 W. Tous les trois présentent une impédance d'entrée/sortie de 50 Ω . De plus, ils disposent aussi d'un coupleur bi-directionnel intégré, ce qui permet de mesurer la puissance réfléchie et incidente avec un facteur de couplage de -48 dB. Le chevauchement des bandes de fréquences des différents amplificateurs permet d'amplifier le signal RF sur presque toute la bande de fréquences du générateur.
- Deux coupleurs unidirectionnels (Agilent 86205A, Agilent 773D) avec un facteur de couplage respectif de -16 dB et -20 dB. Ils couvrent une bande de fréquences entre 300 kHz et 6 GHz pour le premier et entre 2 GHz et 18 GHz pour le second.
- Un wattmètre double canal 18 GHz (Agilent E4419B) et deux sondes (Agilent E9304A) pour la mesure des puissances incidente et réfléchie. Les deux sondes permettent de relever les puissances en temps réel. Leur bande de fréquences est de 9 kHz – 18 GHz.
- Un switch RF 20 GHz (Agilent L4490A) qui permet de modifier la configuration de l'architecture de la partie RF.

Il est important de noter que le gain des amplificateurs de puissance n'est pas linéaire sur toute leurs bandes de fréquences respectives. Par conséquent, une boucle de correction des valeurs de puissances relevées est mise en place au niveau du logiciel de gestion et d'acquisition des mesures. Cette dernière permet de corriger après chaque lecture au wattmètre la puissance délivrée par le générateur RF. La même procédure est appliquée pour prendre en considération les coefficients d'atténuation des différents dispositifs.

Deuxième partie : Génération des signaux fonctionnels. Elle constituée des équipements suivants :

- Trois générateurs basse fréquence (Agilent 33250A, 33220A). Ce type de générateur couvre une bande de fréquence allant de 1 Hz à 20 MHz. Il est capable de délivrer des signaux de différentes formes (sinusoïdal, rectangulaire, triangulaire, ...). L'utilisation de ce dispositif assure la reproduction des conditions réelles de fonctionnement du DUT.
- Une alimentation continue quadruple (Agilent N6700B) pour délivrer le

niveau de tension nécessaire à l'alimentation du DUT. Elle comporte quatre points d'alimentation qui peuvent délivrer une tension continue jusqu'à 20 V et un courant maximal de 10 A.

Troisième partie : Contrôle en temps réel. Cette partie regroupe les instruments qui permettent le contrôle et la supervision du fonctionnement du DUT. Elle est composée des équipements suivants :

- Un oscilloscope (Agilent DSO6014L) 4 voies 100 MHz avec une fréquence d'échantillonnage de 2Gsa/s . Ce type d'oscilloscope dispose d'une option permettant de mettre en place un gabarit autour du signal relevé. Ce qui rend possible l'implémentation du critère d'immunité électrique.
- Un multimètre de précision (Agilent L4411A). Ce dispositif est utilisé dans le cas où le critère d'immunité est fonction de la variation de la tension continue de sortie du DUT. C'est généralement le cas pour les mesures d'immunité conduite des régulateurs de tension.
- Un fréquencemètre 350 MHz (Agilent 53250A) . Cet instrument permet de mesurer la variation de la fréquence du signal de sortie de DUT générée par l'application d'une perturbation avec une résolution en fréquence allant jusqu'à 12digits/s .
- La carte d'acquisition et de contrôle USB/SPI présentée auparavant.

L'association des différents instruments présentés ci-dessus permet de respecter les conditions de la mise en œuvre d'une mesure d'immunité conduite suivants la norme DPI pour une bande de fréquences allant jusqu'à 20 GHz. La prise en compte des caractéristiques des différents instruments garantit la fiabilité des mesures des différents puissances.

Par ailleurs, le banc de test dispose d'une cage de Faraday où est placé le support de test DPI. L'objectif est d'isoler le DUT de l'environnement externe et ainsi maîtriser le type et le niveau de perturbation RF transmise à son entrée.

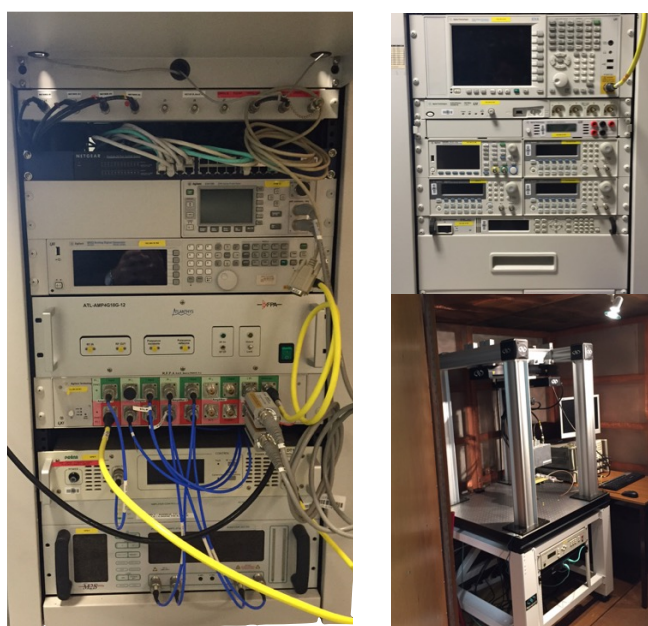


FIGURE 3.24 – Banc de mesure d'immunité conduite du laboratoire ESEO-EMC.

3.4 Résultats de mesure et discussions

Dans cette partie nous allons présenter les principaux résultats de mesures pour les composants étudiés et présentés dans la partie 3.2.3.1.

Dans cette perspective, l'injection de la perturbation se fait tout d'abord sur la broche d'alimentation et ensuite sur une entrée fonctionnelle (horloge SCK par exemple). Une comparaison du comportement électromagnétique en fonction du critère d'immunité est aussi présentée.

3.4.1 Immunité et critère de test

L'idée de base est de déterminer le critère d'immunité le mieux adapté au cas des circuits intégrés complexes en général et aux mémoires en particulier, en soumettant les mémoires aux mêmes tests, premièrement avec un critère d'immunité fonctionnel et ensuite avec un critère électrique. Les figures 3.25 et 3.26 représentent les résultats obtenus.

D'un point de vue général, nous pouvons constater que la courbe d'immunité pour le critère électrique est toujours en dessous de la courbe pour le critère fonctionnel, et ceci pour les deux mémoires testées. Cela signifie que même si la MUT est susceptible d'un point de vue électrique pour un couple (*Frquence, Puissance*), elle continue de fonctionner d'une manière correcte même pour (*Frquence, Puissance + 20 dB*). De plus

l'allure des deux courbes conserve la même tendance, à savoir une augmentation des niveaux de susceptibilité avec l'augmentation de la fréquence du signal agresseur. La différence entre ces deux courbes d'immunité s'explique par la différence entre les méthodes d'échantillonnage des données adoptées dans chacun des tests. Dans le cas du critère électrique, la sortie de la MUT est reliée à une entrée analogique de l'oscilloscope dont la bande de fréquence est de 100 MHz et la vitesse d'échantillonnage est de 2 GSa/s. Ces deux caractéristiques impactent fortement la restitution du signal par l'oscilloscope. Par conséquent, la dégradation du signal de sortie de la MUT due à l'application de la perturbation, à savoir le décalage temporel et l'ondulation de l'amplitude, est rapidement détectée. L'oscilloscope, ne cherchant pas à interpréter le signal, se restreint à le comparer au gabarit défini et statuer sur l'état d'immunité.

Cependant, dans le cas du critère fonctionnel, la sortie de la MUT est connectée au circuit FTDI de la carte de contrôle. Ce dernier interprète numériquement le signal et le traduit en donnée binaire. Ainsi même en présence de signal perturbé, le FTDI arrive à lire la bonne information.

Il est possible de conclure que le critère fonctionnel est le plus adapté pour tester le comportement des mémoires face à des perturbations électromagnétiques conduites.

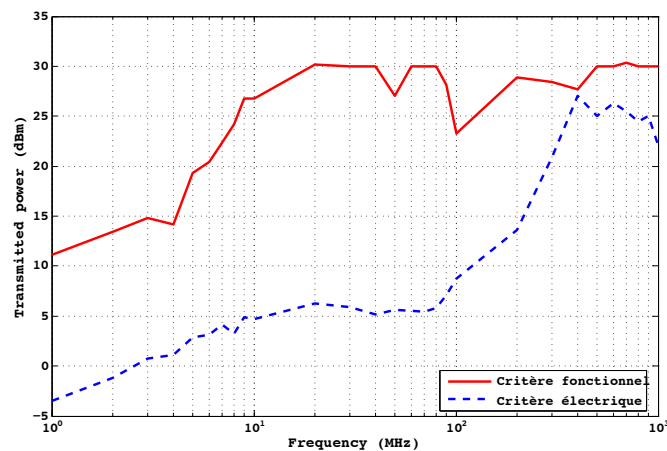


FIGURE 3.25 – Immunité conduite de la mémoire Microchip en fonction du critère de test.

3.4.2 Immunité et fréquence de communication SPI

Dans ce cas de figure, la MUT est soumise à une série d'agressions sur la broche d'alimentation en faisant varier la fréquence de communication SPI de 1 MHz jusqu'à 15 MHz pour déterminer l'influence de cette fréquence sur l'immunité conduite d'une

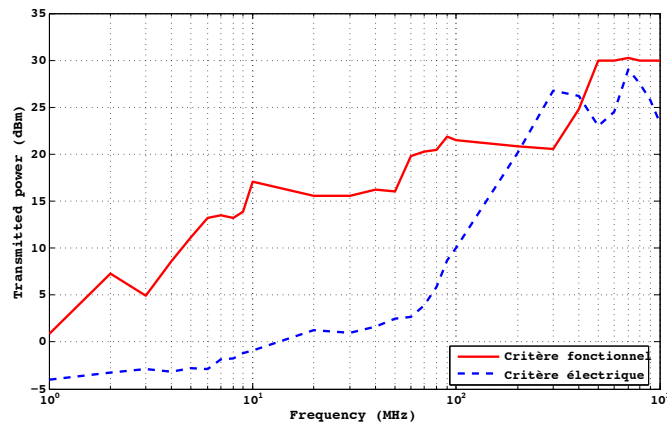


FIGURE 3.26 – Immunité conduite de la mémoire Atmel en fonction du critère de test.

mémoire.

La figure 3.27 montre le niveau de susceptibilité de la mémoire ATMEL dans le cas du mode de test 1, et pour un critère fonctionnel. Nous constatons que l'immunité de la MUT ne change pas considérablement en fonction de la fréquence de communication SPI.

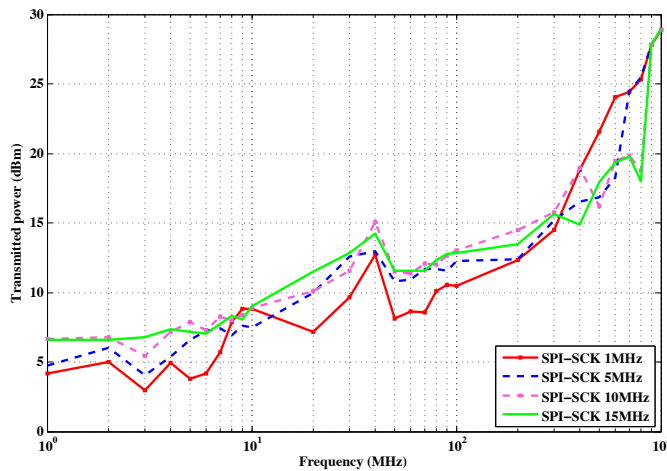


FIGURE 3.27 – Variation de l'immunité conduite de la mémoire ATMEL en fonction de la fréquence de communication SPI

3.4.3 Immunité et phase d'accès mémoire

Comme expliqué dans la partie 3.3.4.1, la procédure de test permet de comparer l'immunité conduite de la MUT en fonction du moment où les perturbations sont injectées.

Les figures 3.28 et 3.29 représentent le résultat des différentes mesures DPI sur les

broches d'alimentation respectives des deux mémoires étudiées pour les différents modes de test. On peut remarquer que face aux perturbations RF, le comportement électroma-

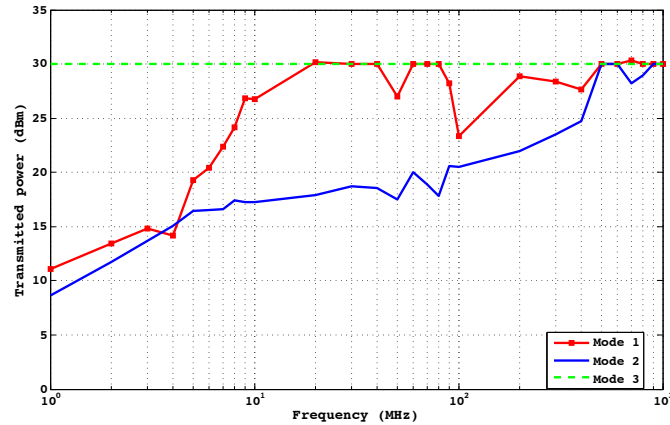


FIGURE 3.28 – Immunité conduite de la mémoire Microchip en fonction de la phase d'accès

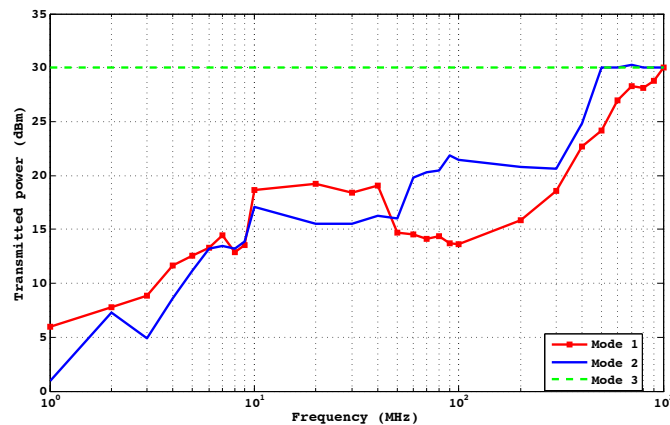


FIGURE 3.29 – Immunité conduite de la mémoire Atmel en fonction de la phase d'accès

gnétique d'une mémoire varie en fonction du moment où celles-ci sont appliquées. On remarque aussi que le plan mémoire reste non susceptible sur toute la bande de fréquence même pour une puissance transmise d'une valeur de 30 dBm (limite matérielle) contrairement aux tests exerçant les mécanismes d'entrée et de sortie de la mémoire.

Par ailleurs, il n'existe pas de tendance générale pour l'immunité en écriture vis-à-vis de l'immunité en lecture. Alors que l'EEPROM Microchip est toujours (ou presque) plus susceptible en lecture, l'EEPROM Atmel peut être plus susceptible en écriture dans une plage de fréquence allant de 10 MHz à 50 MHz. Il en résulte que l'immunité doit être vérifiée pour l'ensemble des modes de fonctionnement de chaque mémoire.

3.4.4 Immunité et technique de conception

Comme spécifié auparavant (Partie 3.2.3.1), le choix des mémoires repose sur leur interchangeabilité : Ce sont des composants iso-boîtier remplissant la même fonction et dont les caractéristiques sont identiques. La seule différence qu'il faut noter c'est qu'ils proviennent de deux fabricants différents.

Cependant, même si d'un point de vue fonctionnel les deux mémoires sont équivalentes, leur susceptibilité électromagnétique est loin d'être la même. Une différence de plus que 10 dB sur certaine fréquence peut être observée comme le montrent les figures 3.30 et 3.31.

D'un point de vue général, l'EEPROM de Atmel est largement plus susceptible aux

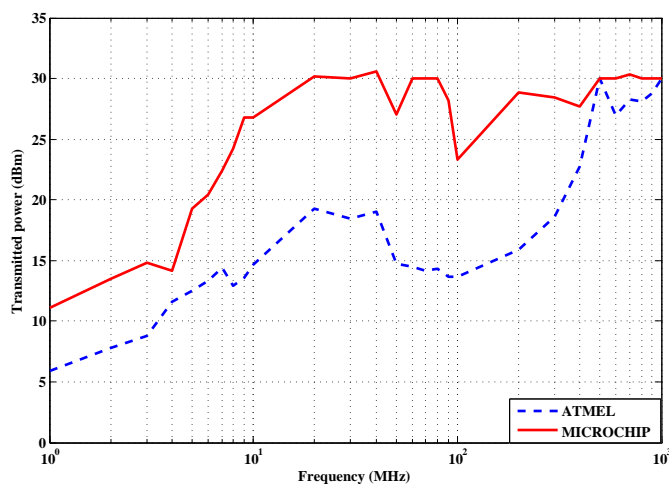


FIGURE 3.30 – Immunité conduite en écriture en fonction de la technologie de fabrication.

perturbations que l'EEPROM de Microchip, que ce soit en écriture ou bien en lecture. Cela laisse à croire que les technologies de fabrication des deux mémoires sont différentes. Malheureusement, le manque d'informations pertinentes sur ce sujet ne permet pas d'identifier les paramètres majeurs de la technologie de fabrication qui rentrent en jeu et influencent le comportement électromagnétique.

Cependant, certains de ces paramètres ont pu être déterminés, notamment grâce à une analyse technologique effectuée par un partenaire industriel (*SERMA Technologies*) dans le cadre du projet SEISME.

L'une des différences les plus marquantes est le nombre de bondwires sur la broche d'alimentation. Tandis que l'EEPROM de Microchip en dispose de deux, l'EEPROM de Atmel ne dispose que d'un seul. Ceci est probablement un choix du fabricant pour réduire la susceptibilité de son composant (Figure 3.33). De plus, les dimensions de la

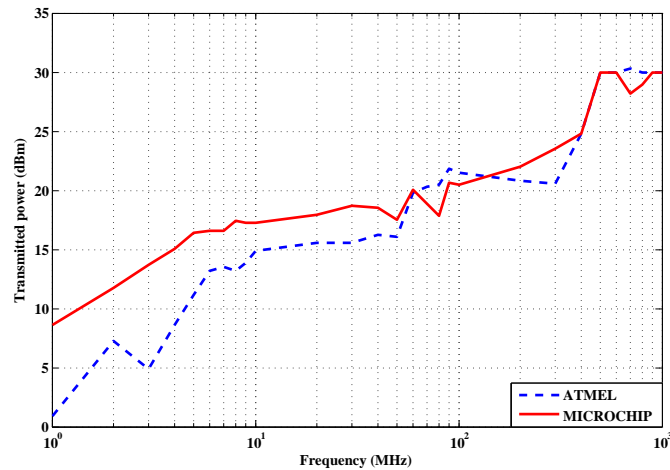


FIGURE 3.31 – Immunité conduite en lecture en fonction de la technologie de fabrication.

puce interne (die) de la première sont nettement plus grandes. Le tableau 3.5 résume quelques paramètres technologiques obtenues suite à l'analyse.

Cette analyse permet d'identifier la différence de technologie entre les deux mémoires. Ces différences peuvent expliquer dans un sens la différence d'immunité entre les deux mémoires. Nous pouvons penser que le fait que la EEPROM de Microchip est moins sensible aux perturbations électromagnétiques grâce la deuxième métallisation. Par ailleurs, la mesure des paramètres S et la modélisation de l'impédance de la broche agressive (alimentation), appuient ces résultats. La figure 3.34 représente le résultat de cette modélisation en éléments localisés pour chacune des mémoires étudiées. Nous pouvons remarquer que les deux profils d'impédance sont différents et que le nombre de bondwires de la broche d'alimentation se reflète au niveau du modèle de l'impédance. Comparée à la mémoire Atmel, la Microchip présente une valeur d'inductance plus faible à cause du double bonding, une valeur de capacité métallique plus importante et finalement une valeur de résistance plus élevée. Cette valeur de résistance est volontairement élevée afin d'atténuer la résonance de l'impédance et ainsi réduire la susceptibilité. Les capacités référencées C3 dans les deux modèles des figures représentent la capacité MOS des deux composants. Cette dernière a été obtenue à partir de la différence entre les impédances d'entrée mesurées avec et sans polarisation des mémoires. Il est clair que la capacité MOS la plus élevée correspond à la mémoire dont la susceptibilité est la plus faible.

L'analyse des modèles d'impédance des deux mémoires permet d'expliquer en quoi la mémoire 25LC512 est plus immunisée contre les perturbations provenant de l'alimentation. En effet, les valeurs des éléments constituant le modèle équivalent des broches d'alimentation permettent de calculer le coefficient de stabilité du réseau équivalents. Ce

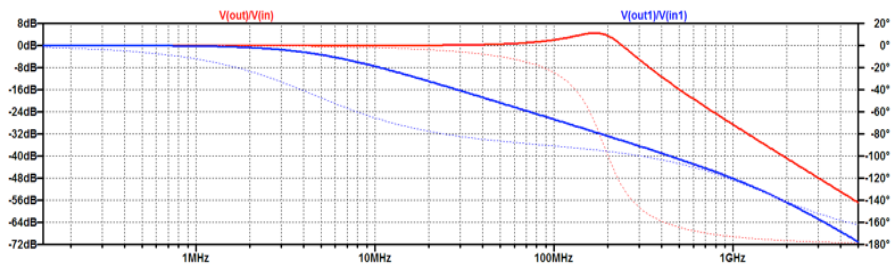


FIGURE 3.32 – Simulation des fonctions de transferts des modèles des mémoires étudiées.

coefficient est défini par l'équation 3.1. Si ce coefficient est inférieur à 1 alors le réseau possède une résonance. Dans le cas contraire le réseau se comporte comme un pur filtre passe-bas.

Le tableau 3.4 synthétise les paramètres et les caractéristiques de chacun des réseaux dans les deux cas.

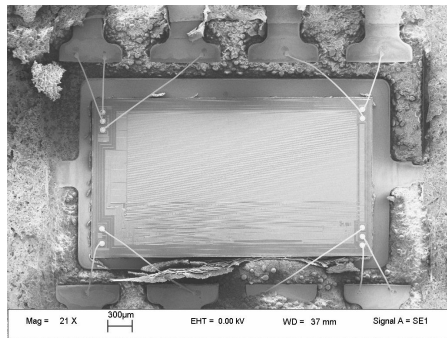
La simulation de ces réseaux (Figure 3.32) montre clairement que le modèle de la mémoire 25LC512 filtre les bruits de l'alimentation dès 4.6 MHz alors que celui de la mémoire AT25512 les laisse passer jusqu'à 70 MHz et les amplifie même jusqu'à 201MHz. Ceci explique pourquoi la mémoire 25LC512 possède une meilleure immunité entre 1 MHz et 100 MHz. De plus la mémoire AT25512 voit son immunité s'améliorer au-dessus de 100 Hz ce qui correspond à la fréquence à laquelle son réseau devient un filtre passe-bas.

$$\xi = \frac{R}{2} \times \sqrt{\frac{C}{L}} \quad (3.1)$$

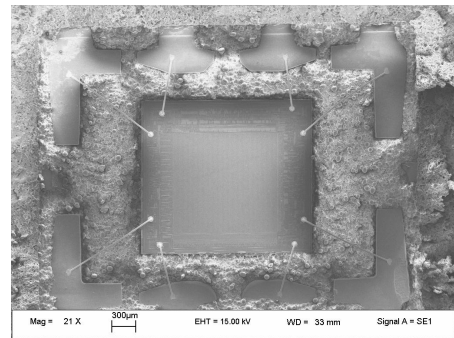
Bien que ces résultats ne reflètent pas entièrement la technologie de fabrication des deux fournisseurs, il est d'ores et déjà possible d'affirmer que la conception de la mémoire Microchip est mieux adaptée aux perturbations électromagnétiques. De plus, nous pouvons supposer que le remplacement de la mémoire 25LC512 par la mémoire AT25512 dans une application affecterait son comportement électromagnétique.

| Mémoire | $R(\Omega)$ | $L(\text{nH})$ | $C(\text{pF})$ | ξ | ω | Note |
|---------|-------------|----------------|----------------|----------------|----------|--------------------|
| 25LC512 | 30 | 3 | 1.15 | $\gg 1 (9.29)$ | 4.6 MHz | Filtre passe-bas |
| AT25512 | 3.5 | 4.7 | 0.15 | 0.31 | 173 MHz | Filtre passe-bande |

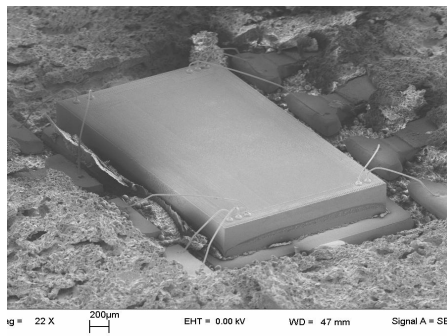
Tableau 3.4 – Synthèse des caractéristiques des réseaux d'alimentation dans le cas des deux mémoires.



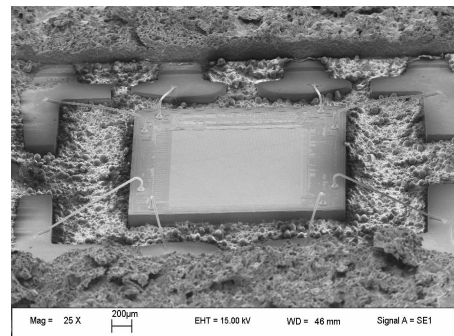
(a) Microchip



(b) Atmel



(c) Microchip



(d) Atmel

FIGURE 3.33 – Résultats de l'analyse technologique - ouverture chimique.

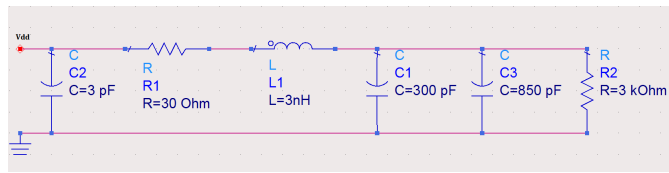
| Paramètres | Mémoire | |
|-----------------------|---------|-----------|
| | ATMEL | MICROCHIP |
| Longueur puce | 2.127mm | 3.602mm |
| Largeur puce | 1.918mm | 2.004mm |
| Hauteur puce | 260µm | 370µm |
| Diamètre fil de câble | 20µm | 17µm |

Tableau 3.5 – Synthèse des différentes mesures de cotation des mémoires étudiées

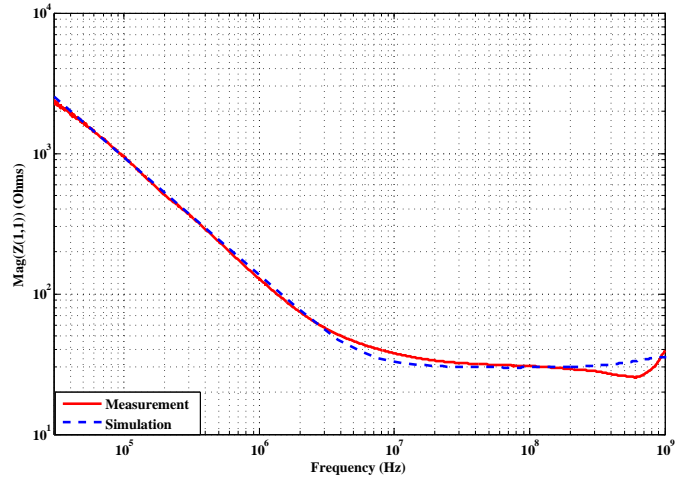
3.4.5 Immunité et broche d'injection

Partant de l'hypothèse que la caractérisation de l'immunité conduite d'un DUT ne doit pas se limiter aux broches d'alimentation, le but de cette partie est d'avoir une idée sur l'immunité conduite de la MUT lorsqu'une perturbation électromagnétique est appliquée sur une entrée fonctionnelle comme l'horloge ou une entrée de données.

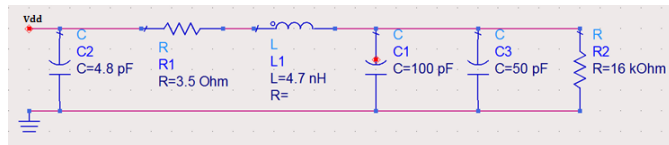
Les figures 3.35 et 3.36 montrent une comparaison entre les mesures DPI pour la mémoire Microchip dans les cas respectifs d'une agression sur la broche d'alimentation et de la broche d'horloge durant les deux modes d'accès (écriture et lecture).



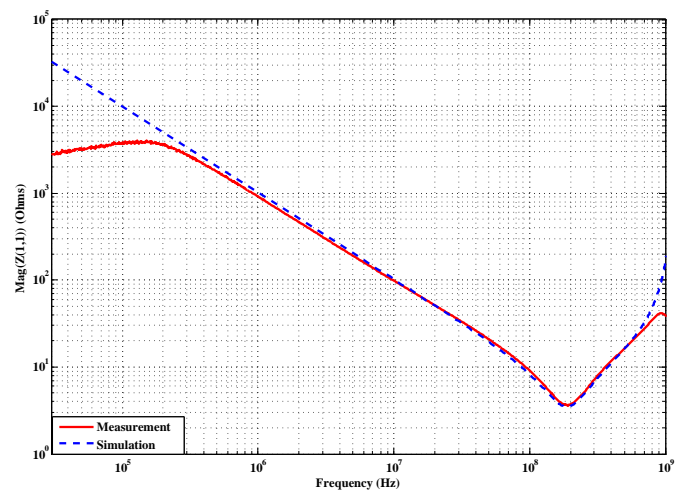
(a) Modèle de la 25LC512



(b) Simulation 25LC512



(c) Modèle de la AT25512



(d) Simulation AT25512

FIGURE 3.34 – Modélisation et simulation de l'impédance de la broche d'alimentation

Nous pouvons remarquer que dans les deux cas, l'immunité la conduite de MUT est fortement affectée par la nature de la broche sous injection, et la différence de niveau d'immunité peut atteindre 20 dB sur certaines fréquences. Si, pendant le cycle de lecture, les niveaux de sensibilité sont proches pour plusieurs fréquences, la MUT reste plus sensible à l'agression électromagnétique sur la broche d'horloge que sur la broche d'alimentation pour toute la bande de fréquence.

La superposition de la perturbation sur le signal d'horloge peut induire assez rapidement l'ajout de front d'horloge supplémentaires et par conséquent une fausse lecture de la donnée ou de son adresse par la logique interne de la MUT.

Ce résultat peut être expliqué par le profil d'impédance d'entrée des broches d'horloge et d'alimentation (Figure 3.37) et la relation entre la puissance transmise P_{inj} et la tension induite V_{in} donnée par l'équation 3.2, où V^* est la tension conjuguée et Z l'impédance.

$$P_{inj} = Re\left(\frac{V_{in} \cdot V_{in}^*}{Z}\right), \quad (3.2)$$

Selon cette équation, la tension induite augmente avec l'impédance pour une puissance constante. Par conséquent, dans le cas d'une injection sur la broche d'horloge, la tension induite par la puissance transmise est plus élevée par rapport à celle induite pendant l'agression de la broche d'alimentation, ce qui justifie le faible niveau d'immunité.

Par ailleurs, même si la MUT est toujours plus susceptible quand l'agression se fait sur l'horloge, elle semble dans les deux cas être moins affectée par les perturbations en hautes fréquences.

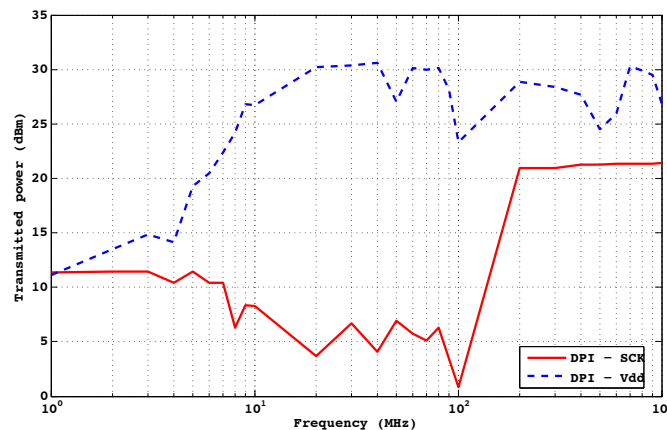


FIGURE 3.35 – L'immunité conduite en écriture de la mémoire Microchip en fonction la broche agressée.

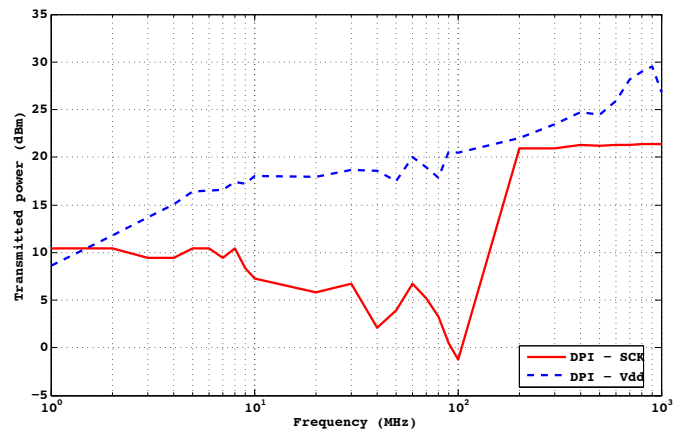


FIGURE 3.36 – L’immunité conduite en lecture de la mémoire Microchip en fonction la broche agressée.

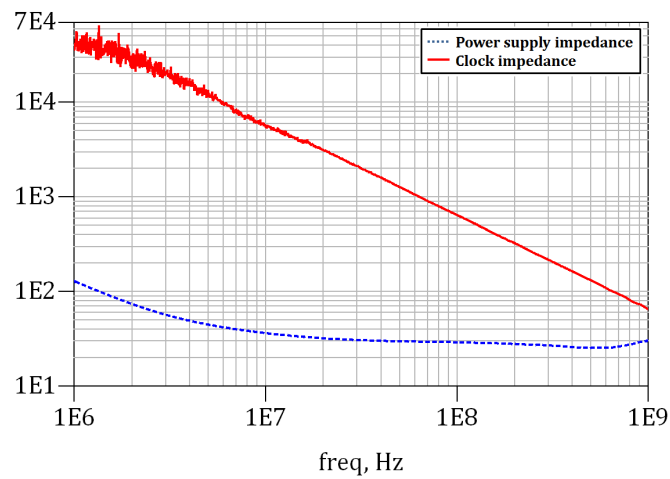


FIGURE 3.37 – Mesure de l’impédance d’entrée de la 25LC512 (Ω).

3.5 Conclusion

Malgré son efficacité pour caractériser la susceptibilité des circuits intégrés, la norme DPI dans sa version actuelle arrive à ses limites, des points de vue fréquentiel et mise en œuvre.

En effet, la fréquence haute dans cette version est aux environs de quelques GHz, ce qui ne convient plus pour les nouvelles générations de circuits intégrés qui eux fonctionnent avec des fréquences de plus en plus élevées. Pour le chemin de couplage, la version actuelle est loin d'être adaptée pour toutes les broches d'entrées des circuits intégrés, et en particulier pour les signaux fonctionnels. Dans ce cas de figure, la superposition du signal agresseur à un signal fonctionnel s'avère impossible.

Le multiplexeur présenté dans ce chapitre représente une alternative efficace pour pallier limites du réseau de couplage de la norme DPI.

La méthodologie de mesure proposée dans ce chapitre vise à caractériser l'immunité conduite des circuits intégrés complexes tels que les mémoires non volatiles, en tenant compte des contraintes liées à leurs fonctionnement.

Les séries de mesures effectuées confirment certains points importants sur la susceptibilité des circuits intégrés et permettent des observations intéressantes dans le cas des mémoires non volatiles :

- Généralement, le critère d'immunité fonctionnel est plus représentatif du fonctionnement de la mémoire et par conséquent son utilisation est préférable dans le cas des mémoires.
- La puissance transmise nécessaire pour provoquer un dysfonctionnement augmente avec la fréquence. C'est une constante que l'on retrouve sur les deux mémoires testées, et pour tous les modes de test.
- En fonction du mode d'accès mémoire, les perturbations électromagnétiques peuvent mettre en échec le bon fonctionnement de la mémoire. Globalement, la phase de lecture semble plus sensible que la phase d'écriture.
- La technologie de fabrication des circuits intégrés influe considérablement sur leur comportement électromagnétique, et cela même si ce paramètre est l'unique différence que peuvent présenter deux exemplaires de test.
- Une mémoire est généralement plus susceptible sur une broche fonctionnelle (horloge) que sur une broche d'alimentation.

4 Méthodologie de construction d'un modèle d'immunité pour la gestion de l'obsolescence

4.1 Introduction

La validation par le calcul devient une étape importante et incontournable dans les processus de conception des cartes et des systèmes électroniques. La mesure virtuelle remplace de plus en plus les phases de validation par des campagnes de mesure.

La vérification par la simulation des performances des systèmes électroniques présente de nombreux avantages. D'abord, elle permet de déterminer et d'optimiser les meilleures solutions techniques dès la phase de conception. De plus, elle réduit les temps de conception et permet de tendre vers des conceptions fonctionnelles. Enfin, cette approche rend possible le traitement du risque de régression des performances CEM, des évolutions et de l'obsolescence des systèmes électroniques.

Dans ce chapitre, nous allons présenter une approche originale pour la construction d'un modèle d'immunité pour les circuits intégrés, dans le but de prédire le comportement électromagnétique lors d'un changement de composant par un autre équivalent.

Partant d'une vision bottom-up, il s'agit tout d'abord de développer des modèles au niveau composant pour ensuite construire un modèle au niveau carte basé sur l'interaction de plusieurs de ces modèles.

"La folie, c'est se comporter de la même manière et s'attendre à un résultat différent." - Albert Einstein

4.2 Modélisation niveau composant

4.2.1 Modèle d'émission ICEM-CE

La modélisation de l'émissivité conduite ou rayonnée des circuits intégrés dispose d'un bon nombre d'outils performants[52][53][54].

Le modèle Integrated Circuits Emission Model - Conducted Emission (ICEM-CE) est sans aucun doute le modèle le plus utilisé au sein de la communauté CEM[55][56][57] et reste une référence dans l'étude de l'émission des circuits intégrés[58][59]. De par sa construction, il permet de caractériser plusieurs paires d'alimentations, de prendre en compte les parties numériques, analogiques ou encore les blocs d'entrées et sorties. Devenu une norme en novembre 2008, son but principal est de reproduire les phénomènes d'émission conduite des circuits intégrés et de les intégrer dès la phase de conception.

Le modèle est constitué de trois blocs représentés sur la figure 4.1 :

- Le bloc PDN (Passive Distribution Network) décrit la structure passive du réseau d'alimentation.
- Le bloc IA (Internal Activity) caractérise l'activité interne du circuit intégré par un ou plusieurs générateurs de courant. Le composant IA peut être obtenu par la mesure ou par simulation, en relevant simplement les tensions, pour calculer les courants consommés par l'alimentation.
- Le bloc IBC (Inter-Block Coupling) permet de modéliser les chemins de couplage des perturbations vers les autres fonctions d'un circuit intégré, rendant ainsi possible de lier deux modèles ICEM-CE entre eux pour effectuer une analyse CEM plus complexe.

Le modèle ICEM-CE propose une démarche de modélisation des émissions conduites adaptée aux circuits intégrés. En effet, la prise en compte de l'activité interne du circuit permet de décrire précisément son émissivité lorsqu'il fonctionne. La structure PDN permet de mener des analyses au niveau du réseau d'alimentation. Enfin, le composant IBC permet de modéliser la propagation des perturbations vers les autres fonctions du circuit.

La figure 4.2 représente un exemple de modèle ICEM-CE et montre la simplicité de la structure. La représentation du comportement émissif d'un composant très complexe comme un micro-contrôleur se restreint à une structure basée sur une dizaine de composants.

Il est important de noter que la construction du modèle dépend particulièrement du niveau d'information relatif à la structure interne du composant.

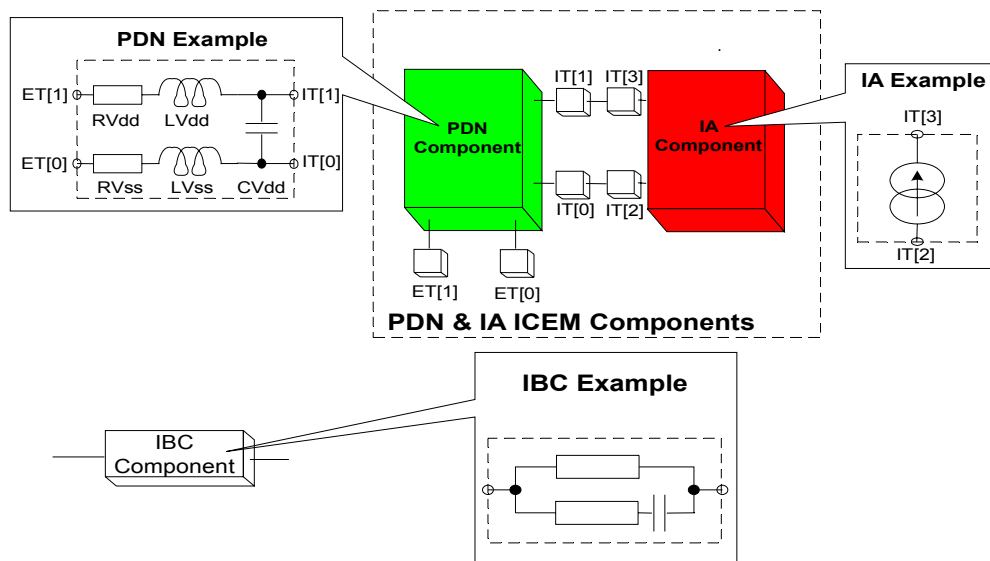


FIGURE 4.1 – Architecture générale du modèle ICEM-CE

Les techniques de modélisation que nous allons développer pour l'immunité sont largement inspirées de cette approche.

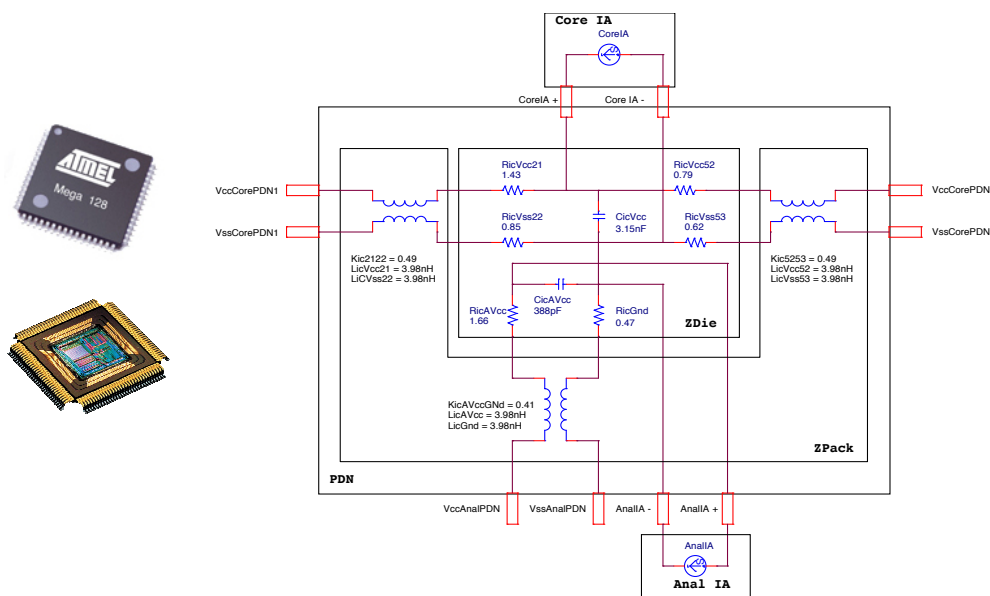


FIGURE 4.2 – Exemple de modèle ICEM-CE - Source ATMEL

4.2.2 Modèle de susceptibilité ICIM-CI

La modélisation de l'immunité d'un composant est une tâche très délicate, dans la mesure où, ce dernier peut être soumis à des agressions de différentes natures. De ce fait, le modèle se doit d'être prédictif, pour que les concepteurs puissent simuler le comportement de leur puce avant l'envoi en fabrication, tout en restant suffisamment simple dans le but de limiter le temps de simulation et faciliter son intégration dans le flot des outils de conception.

De plus, le modèle doit prendre en considération la gamme de fréquence, le niveau d'informations disponible sur le design et les outils de caractérisation expérimentaux disponibles.

Les modèles peuvent être classés en deux grandes catégories : la première correspondant à des approches boîtes blanches, décrivant précisément les structures internes des composants, mais nécessitant une connaissance précise du design. C'est un modèle transparent dans lequel chaque composant équivalent représente une caractéristique bien identifiée du composant complet ou de la fonction. La deuxième catégorie correspond aux approches boîtes noires consistant en une représentation du comportement d'un composant sous une forme équivalente.

Chacune de ces deux catégories présente des avantages et des inconvénients. L'approche boîte noire est simple à extraire et garantit la préservation de la confidentialité mais ne permet pas d'interprétation simple des phénomènes. L'approche boîte blanche quant à elle, est difficile à extraire puisqu'il faut la relier à la physique mais permet par conséquent, une meilleure compréhension des phénomènes en jeu.

4.2.2.1 Présentation de la norme

Le modèle Integrated Circuit Immunity Model - Conducted Immunity (ICIM-CI)[60] fait actuellement l'objet d'une proposition de norme rédigée par un groupe de travail de l'Union Technique de l'Electricité (UTE).

Le but de cette norme est de fournir une méthode générique pour construire des macro-modèles de circuits, prenant en compte la dégradation de la fonctionnalité du circuit en présence d'agressions électromagnétiques. Ainsi ces modèles permettent la simulation de l'immunité conduite afin d'identifier les maillons faibles du circuit mais d'améliorer aussi les niveaux de susceptibilité[61][62][63].

Un macro-modèle ICIM-CI (Figure 4.3), est constitué de deux blocs :

Le PDN (Passive Distribution Network) : Ce bloc fait le lien entre les perturbations électromagnétiques, appliquées aux entrées du circuit, et les perturbations

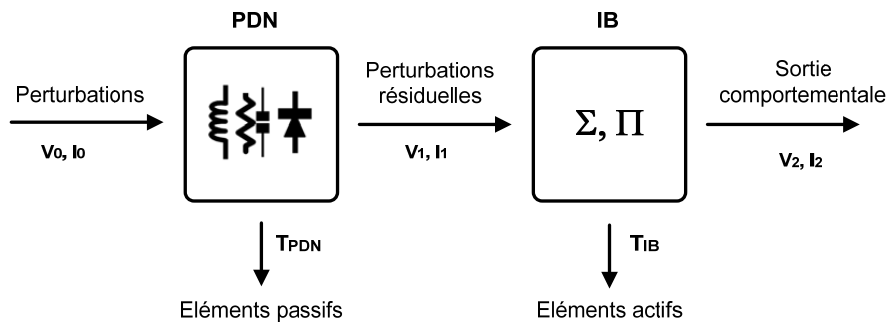


FIGURE 4.3 – Architecture générale d'un macro-modèle ICIM-CI[60]

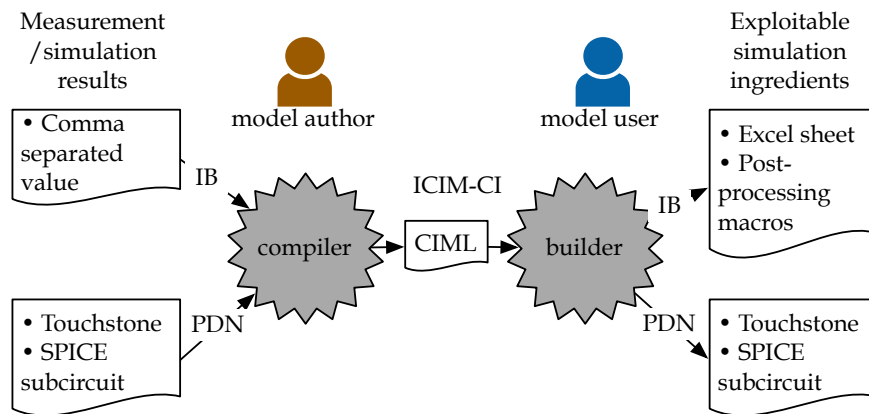


FIGURE 4.4 – Schéma d'utilisation et d'échange d'un macro-modèle ICIM-CI

résiduelles internes au circuit. Il est constitué essentiellement d'éléments passifs comme des résistances, inductances ou capacités et peut comprendre éventuellement des éléments non linéaires comme les diodes. La présence de ces éléments non linéaires est la principale différence entre un modèle de PDN ICIM-CI et son équivalent en ICEM-CE.

Le IB (Immunity Behaviour) : Ce bloc décrit le comportement du circuit lorsqu'il est agressé par des perturbations électromagnétiques, soit en reproduisant le comportement fonctionnel, soit simplement en statuant sur l'état perturbé ou non du composant.

La dernière version de la norme comporte une nouvelle approche pour la rédaction et l'échange des modèles ICIM-CI appelé Conducted Immunity Markup Language (CIML). Partant du fait que le générateur et l'utilisateur du modèle peuvent disposer d'outils différents ou utilisent des approches différentes, l'idée est de généraliser le format d'écriture et d'échange des données grâce à l'utilisation du langage XML comme le montre la figure 4.4.

4.2.2.2 Composant PDN

Le PDN est un bloc qui a été utilisé premièrement dans la norme de modélisation des émissions conduites d'un circuit ICEM-CE[52]. Il est décrit dans cette dernière que le composant PDN modélise un ou plusieurs réseaux d'alimentation en utilisant des éléments passifs localisés ou encore distribués comme les lignes de transmission.

Le PDN peut être construit par mesure ou par simulation. La construction par mesure consiste à mesurer les impédances vues entre les différentes broches impliquées dans le modèle. La technique généralement employée repose sur l'utilisation de l'analyseur de réseau vectoriel (VNA), comme pour la caractérisation des composants passifs. Pour identifier les éléments non linéaires dans les structures d'entrées/sorties, la méthode de tests d'impulsions de ligne de transmission (TLP) est généralement utilisée. Enfin, le PDN peut être obtenu par simulation et des méthodes d'extraction automatiques existant[64].

4.2.2.3 Composant IB

Le composant IB modélise la dégradation de la fonction sous l'effet d'agressions électromagnétiques. Il existe deux descriptions possibles.

Dans la première, le macro-modèle ICIM-CI est considéré indépendamment du critère d'immunité. Le test d'immunité est réalisé au niveau de la sortie comportementale du composant IB. Dans cette configuration (Figure 4.5), le composant IB modélise seulement la fonction du circuit étudié. Il fournit en sortie une grandeur physique (courant ou tension) sur laquelle on applique ensuite un test.

Bien que cette approche soit utilisée et validée dans plusieurs travaux, elle reste très limitée soit en raison d'un manque d'informations sur les données constructeur, soit à cause de la difficulté à transposer l'approche à tout type de composant.

Dans la deuxième description, le critère d'immunité fait partie intégrante du composant IB (Figure 4.6), ainsi, il permet d'indiquer l'immunité par une sortie tout ou rien.

Dans ce cas de figure, le modèle est créé sous forme de boîte noire et le composant IB est déduit directement du résultat des mesures DPI sur les broches souhaitées.

C'est ce type de représentation que nous allons utiliser pour créer nos modèles.

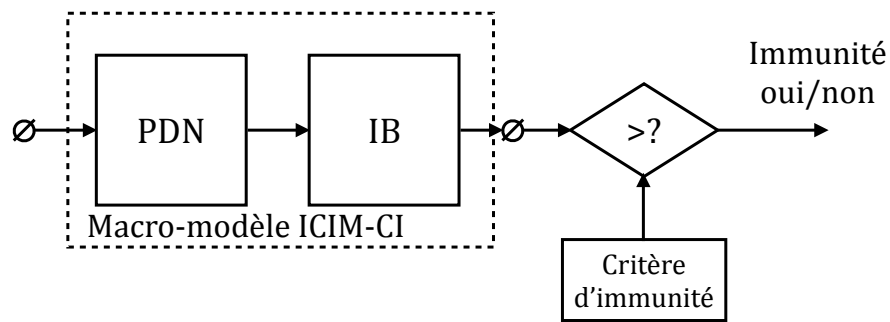


FIGURE 4.5 – Macro-modèle ICIM-CI avec un critère extérieur

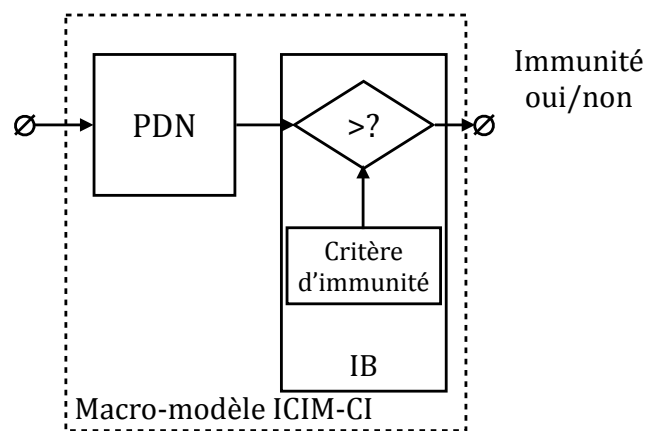


FIGURE 4.6 – Macro-modèle ICIM-CI avec un critère intégré

4.2.3 Développement du modèle ICIM-CI pour les mémoires

4.2.3.1 Structure du modèle

A partir de l'analyse de la norme ICIM-CI et des contraintes liées à l'utilisation des mémoires non volatiles, les contraintes et les fonctions du modèle peuvent être définies.

Contraintes : A cause du manque de données technologiques et de la complexité des fonctions réalisées, il est quasiment toujours indispensable de considérer les mémoires comme des boîtes noires. Cela signifie que seules les données expérimentales peuvent et doivent servir à créer le modèle. De plus le modèle doit être utilisé dans le domaine fréquentiel afin de permettre une rapide intégration avec les outils de simulation.

Fonctions : Le modèle doit permettre d'estimer les caractéristiques des perturbations ramenées sur une entrée de la mémoire, ainsi que d'estimer les perturbations transmises sur d'autres broches. Grâce à ces estimations il sera possible de statuer

rapidement sur l'état de la mémoire perturbée ou non.

Afin de répondre à ces exigences, la propagation des perturbations sera représentée sous forme d'une matrice de paramètres S en considérant le composant comme une structure multi-ports. Cette matrice correspondra alors au PDN du modèle.

Concernant le IB, il sera défini sous forme d'une table correspondant aux différents niveaux de puissance transmise au composant au delà de laquelle ce dernier est considéré perturbé.

4.2.3.2 Extraction et modélisation du PDN

Le composant PDN du modèle sera représenté sous forme d'une matrice de paramètres S extraite grâce au VNA en configuration petits signaux.

Afin de mesurer les paramètres S de la mémoire seule, il est primordial de réaliser un calibrage parfait du plan de référence des mesures, en amont ou en aval des mesures VNA. Grâce à la carte présentée dans le chapitre 2 partie 3.3.3.2 et de son kit de calibrage, il est possible de ramener le plan de référence de mesure au niveau des broches de la mémoire, comme l'explique la figure 4.7.

Partant du fait que chaque broche de la mémoire référencée à la masse correspond à

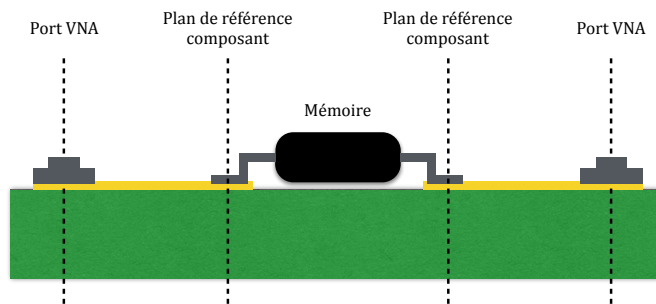


FIGURE 4.7 – Localisation du plan de référence pour l'extraction des paramètres S

un port, il est possible de générer une matrice décrivant toutes les interactions entre les différents ports. Cependant, le VNA à disposition ne permettant que des mesures entre deux ports, la génération de cette matrice nécessite l'utilisation d'une procédure spécifique.

En effet, une série de mesure broche par broche en tenant compte de toutes les combinaisons possibles entre les broches, permet de générer une matrice $S_{7 \times 7}$ décrivant l'ensemble de la mémoire. Cependant lors de l'extraction des paramètres S, il est judicieux de charger les broches non soumises à la mesure de la manière la plus représentative de l'application finale. Ainsi dans le cas des mémoires étudiées, il faut appliquer une tension continue sur les broches V_{dd} , \overline{HOLD} et \overline{WP} , et connecter les entrées sorties SPI

à l'interface de communication présentée dans la partie 3.3.3.1. Par ailleurs il faut 21 mesures broche par broche afin d'extraire une matrice $S_{7 \times 7}$ complète.

Une fois les mesures effectuées, un script permet d'ordonner les différents éléments des mesures afin créer un fichier global comme le montre la figure 4.8. Ainsi un mo-

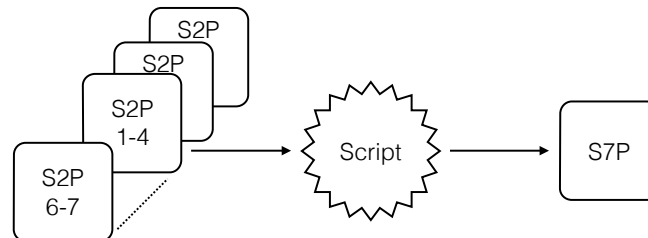


FIGURE 4.8 – Génération de la matrice S_{7P} à partir de matrice S_{2P}

dèle boîte noire est alors généré. Des exemples de corrélations entre le modèle et les paramètres S sont fournis à la figure 4.9.

4.2.3.3 Extraction du IB

L'extraction du composant IB du modèle repose sur la définition de la puissance transmise à la mémoire, générant un état de susceptibilité.

Généralement, les résultats des mesures DPI indiquent la puissance transmise au DUT induisant un état de perturbation, en se basant sur les valeurs des puissances incidente et réfléchi. Cependant, la puissance caractérisée ici grâce au coupleur bi directionnel n'est pas réellement celle transmise au DUT. En effet, entre ces deux éléments se trouvent successivement le câble coaxial, le chemin de couplage et la piste du PCB, comme le montre la figure 4.10. Les pertes introduites par ces éléments nous permettent d'affirmer que la puissance transmise à la MUT est différente de la puissance transmise mesurée par le coupleur bi-directionnel.

Se basant sur ce constat, l'extraction de la puissance transmise à la MUT et par suite son IB, nécessitent des opérations de de-embedding des éléments identifiés ci-dessus. Chaque partie est modélisée par des blocs de paramètres S et ensuite insérée dans une simulation sous ADS de Agilent. La figure 4.11 montre la configuration de cette simulation. Il est important de noter que le modèle des câbles n'est pas pris en considération vu que nous pouvons supposé que ces derniers sont parfaitement adaptés 50Ω . Le modèle du chemin d'injection est lui repris de la partie 3.3.2 du chapitre 3. Enfin pour la piste, un simple modèle de ligne sans pertes défini par son impédance caractéristique et son temps de propagation est considéré. Le choix de ce type de modèle pour la piste se justifie par le fait que les pertes diélectriques et résistives sont suffisamment faibles jusqu'à 1 GHz

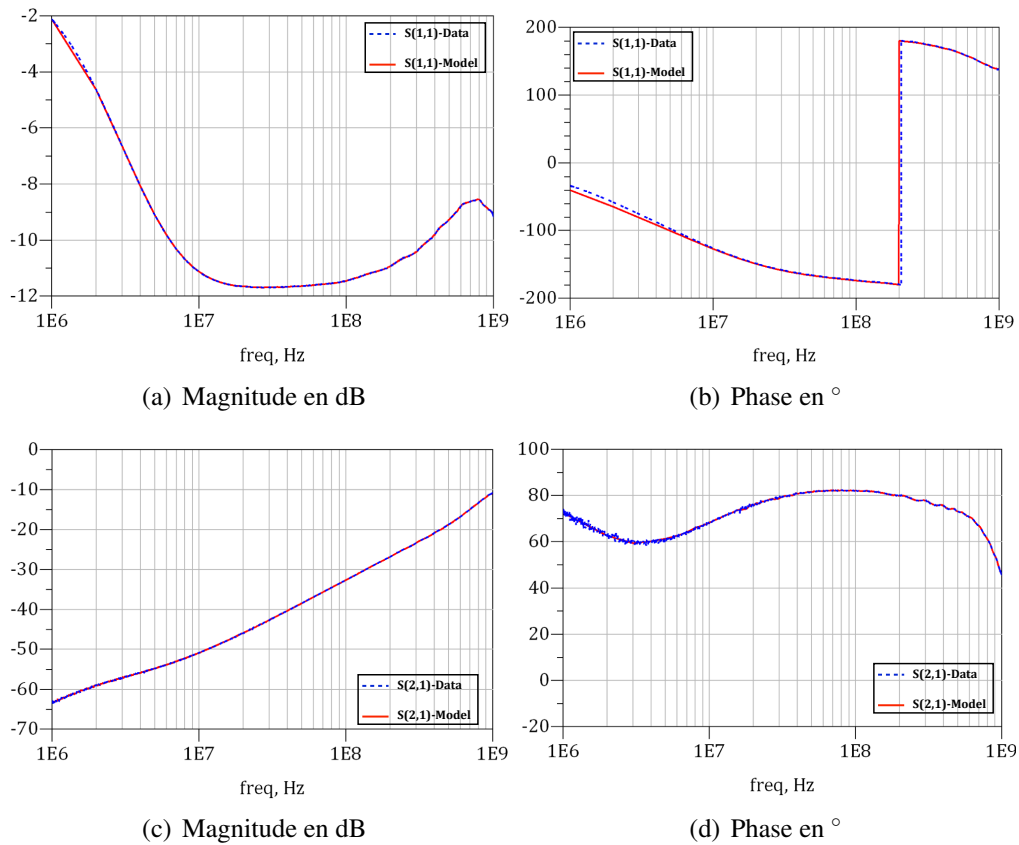


FIGURE 4.9 – Exemples de confrontation modèle PDN et paramètres S mesurés par le VNA

pour ne pas les considérer. Cependant il est possible de supposer qu'il est suffisant pour estimer la propagation du signal agresseur sur la piste.

L'idée de base de la simulation est d'évaluer la puissance transmise à la broche sous test (P_{IC}), à partir de la puissance délivrée par le générateur en simulation. Dans ce cas de figure, la puissance délivrée par le générateur en simulation traduit la puissance transmise mesurée par le coupleur bi-directionnel lors de la mesure DPI (P_{Tr}).

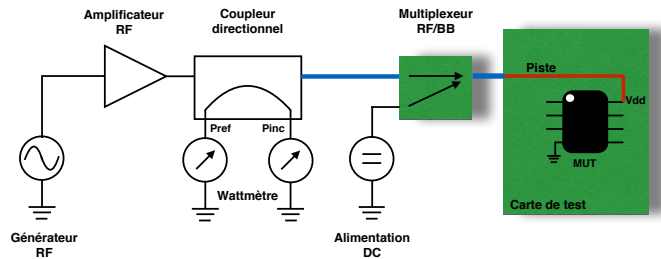


FIGURE 4.10 – Principe de mesure de la puissance transmise pendant test DPI

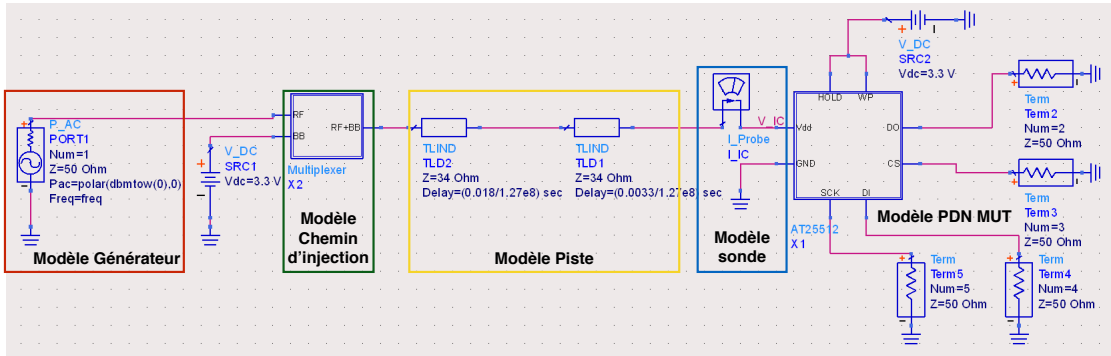


FIGURE 4.11 – Principe d'extraction de la puissance transmise à la MUT en simulation

Partant du fait que toutes les parties de la simulation sont des éléments passifs, leur fonction de transfert est linéaire. Par conséquent, il suffit d'extraire par simulation la puissance au niveau du PUT pour une puissance générateur normalisée de 0 dBm pour tous les points de la bande de fréquence (P_{IC}^0) et ensuite ajuster cette puissance suivant la formule (4.1).

$$P_{IC} = P_{IC}^0 + P_{Tr} \quad (4.1)$$

La puissance P_{IC}^0 est donnée quant à elle par l'équation (4.2).

$$P_{IC}^0 = \frac{1}{2} (V_{IC} * \overline{I_{IC}} + \overline{V_{IC}} * I_{IC})$$

soit :

$$\begin{aligned} P_{IC}^0(dBW) &= 10 * \log((V_{IC} * \overline{I_{IC}} + \overline{V_{IC}} * I_{IC})) - 3 \\ P_{IC}^0(dBm) &= 10 * \log((V_{IC} * \overline{I_{IC}} + \overline{V_{IC}} * I_{IC})) + 27 \end{aligned} \quad (4.2)$$

où V_{IC} et I_{IC} représentent respectivement la tension et le courant complexe mesurés par simulation au niveau du PUT. Le terme +27 vient du fait que durant la simulation, la puissance générateur est de 0 dBm mais convertie en W (1 mW). Par conséquent, il faut tenir compte de ce paramètre pour retrouver la valeur de la puissance (P_{IC}^0) en dBm. Grâce à cette approche et en se basant sur les résultats des mesures DPI, il est possible de construire le composant IB de la MUT et le simuler. Un exemple est donné sur la figure 4.12.

Il faut noter que seule la puissance (P_{IC}^0) est retrouvée grâce à la simulation sous ADS. L'ajustement de cette puissance et l'extraction de la puissance P_{IC} sont eux effectués grâce à un post-traitement avec un script spécifique.

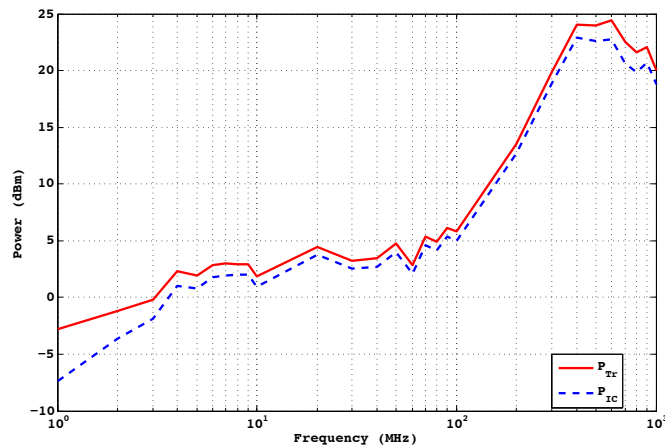


FIGURE 4.12 – Simulation du composant IB pour la mémoire 25LC512 de Microchip

4.2.3.4 Validation du modèle

La validation du modèle du composant généré consiste en l'évaluation de la pertinence de ce dernier pour prédire le comportement électromagnétique du composant dans un nouvel environnement de test.

En réutilisant le modèle de simulation de la figure 4.11, il est possible de prédire les niveaux de puissance transmise P_{Tr} nécessaires pour induire un état de susceptibilité de la MUT dans de nouvelles configurations de test. Les prédictions réalisées sont alors confrontées aux résultats expérimentaux. Il est important de préciser que ces configurations consistent uniquement en un changement de l'environnement du composant, et en aucun cas à un changement de mode de fonctionnement de la mémoire.

Un nouvel environnement de test est présenté sur la figure 4.13. L'idée est de modifier l'impédance d'entrée de la MUT en ajoutant une capacité de 100 pF vers la masse sur sa broche d'alimentation.

Le modèle de la capacité ajoutée est extrait grâce aux mesures du VNA et ensuite en modélisant l'impédance en éléments localisés. Le résultat de la comparaison simulation/-mesure du modèle de la capacité est représenté sur la figure 4.14.

Afin d'évaluer la puissance nécessaire pour induire un état de susceptibilité de la MUT dans cette nouvelle configuration, il faut suivre la démarche ci-après :

1. Évaluer la puissance au niveau de la MUT grâce à la sonde en s'appuyant sur l'équation (4.2) pour une puissance de 0 dBm sur toute la bande de fréquence.
2. Réutiliser l'équation (4.1) afin de calculer cette fois-ci la puissance P_{Tr} puisque la puissance P_{IC} qui représente le IB de la MUT est désormais connue.

Le résultats de cette démarche est un fichier représentant pour chaque fréquence, un niveau de puissance transmise seuil tel un fichier résultant d'une mesure DPI.

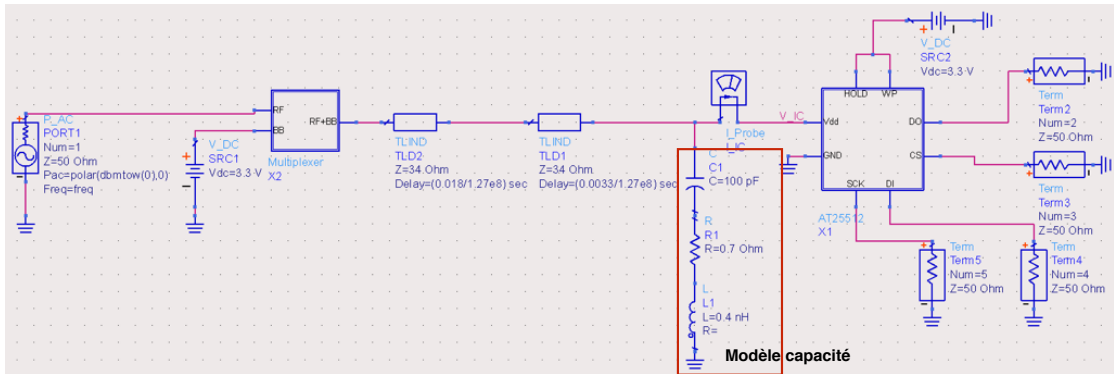


FIGURE 4.13 – Schéma général de la simulation du nouveau environnement de test

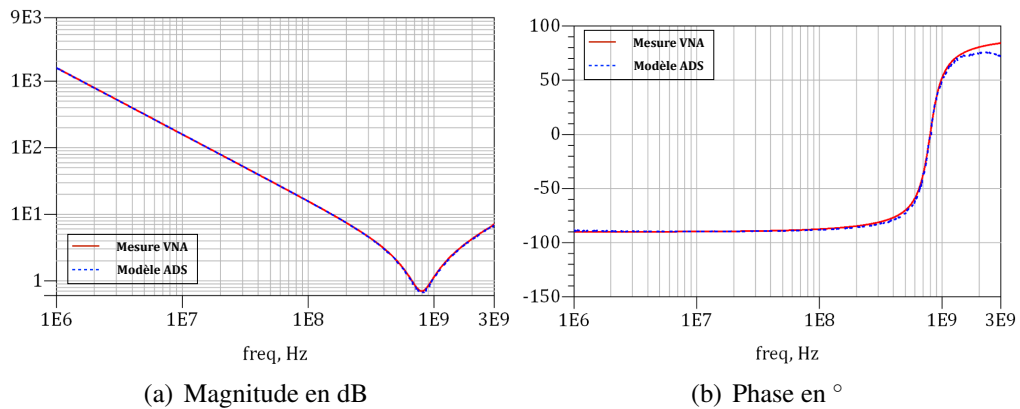


FIGURE 4.14 – Confrontation entre le modèle de la capacité 100 pF et les paramètres S mesurés par le VNA

Afin de s'assurer de la pertinence de ces résultats prédictifs, la MUT est soumise à une mesure DPI avec les mêmes conditions de simulation et dans le nouvel environnement de test. Le résultats de la comparaison des mesures et simulations est représenté sur la figure 4.15.

Deux observations peuvent être notées. Premièrement, l'effet de l'ajout de la capacité de 100 pF impacte le comportement en haute fréquence (à partir de 300 MHz) en améliorant l'immunité de la MUT. Le niveau de puissance atteint son maximum (60 dBm) à la fréquence de résonance de la capacité (700 MHz).

Deuxièmement, malgré ces écarts importants, le modèle est apte à prédire l'évolution des niveaux d'immunité due au nouvel environnement d'une manière satisfaisante. En effet, sur la bande de fréquence allant de 1 MHz jusqu'à 300 MHz aucune modification de l'immunité de la MUT due à la capacité n'est observée. Par conséquent, comme la simulation le prédit et la mesure le confirme, un faible écart (≤ 1 dB) peut être observé entre la mesure de référence, le modèle et la mesure réelle. Entre 300 MHz et 1 GHz,

la forte désadaptation d'impédance induite par la capacité fait office d'un filtre. Cela se traduit par des niveaux de d'immunité élevés dans cette bande de fréquence. Le modèle prédit bel et bien ces niveaux que la mesure confirme. A noter que 30 dBm correspond à la valeur limite du matériel de mesure.

4.3 Prédiction de l'immunité d'une carte électronique dans le cas d'un changement de composant

4.3.1 Modélisation niveau carte

Si la modélisation de l'immunité des circuits intégrés peut reposer sur des propositions de normes voire même normes déjà établies, la modélisation au niveau carte est loin d'avoir les mêmes ressources.

Des discussions de propositions de normes ont vu le jour dans un des groupes de travail du projet SEISME (WP2)[65] afin de répondre à cette problématique. L'objectif principal de ce groupe est l'analyse des changements d'une ou plusieurs cartes pour la validation et la qualification CEM d'un équipement et définir ainsi, un modèle d'immunité au niveau carte à l'instar du modèle ICIM-CI.

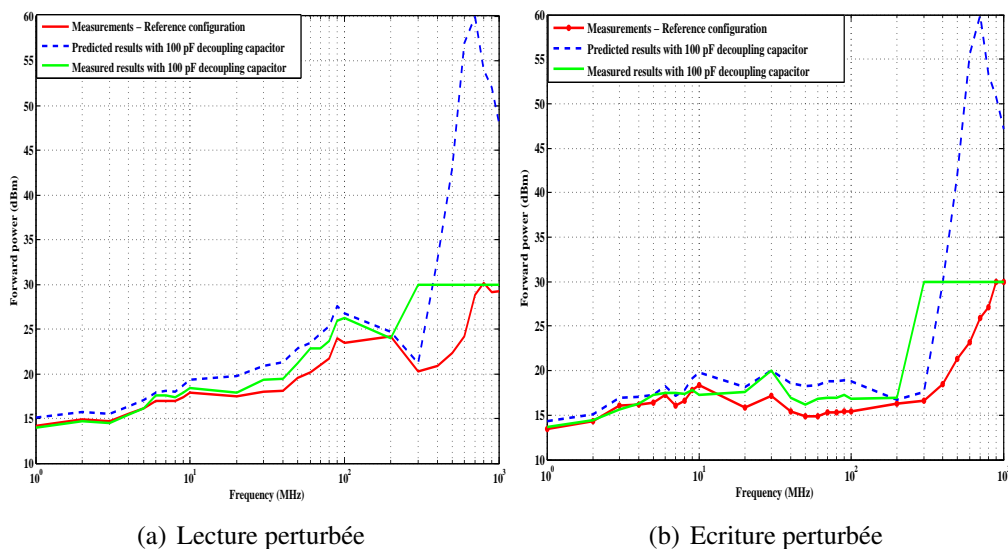


FIGURE 4.15 – Confrontation mesure DPI et simulation du modèle ICIM-CI dans le nouveau environnement de test

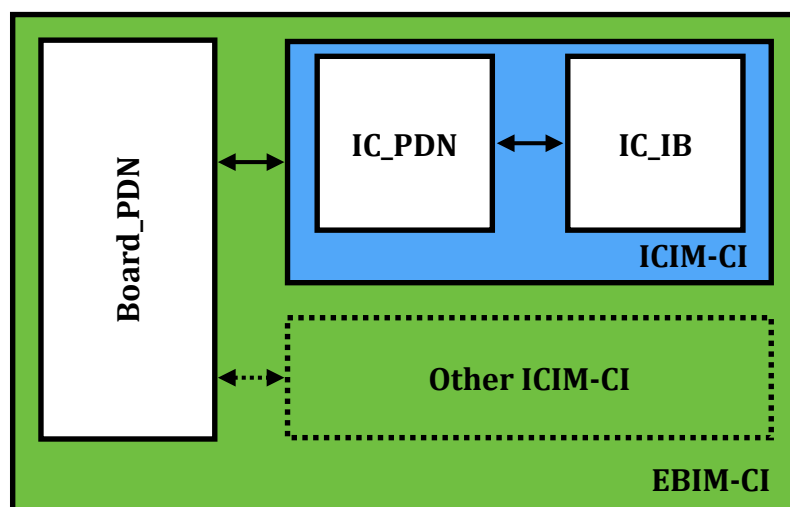


FIGURE 4.16 – Architecture générale d'un macro-modèle EBIM-CI

4.3.1.1 Modèle EBIM-CI

Le modèle Electronic Board Immunity Model for Conducted Immunity (EBIM-CI), est une proposition d'extension et d'encapsulation du modèle ICIM-CI au niveau carte. En effet, comme le montre la figure 4.16, le modèle EBIM-CI a comme point de départ un ou plusieurs modèles ICIM-CI, auxquels est ajoutée la contribution de la carte qui est exclusivement passive (Board_PDN).

Dans cette configuration, le modèle EBIM-CI ne tient pas compte des interactions entre les différents modèles des composants qui le régissent. Il met plutôt en évidence, le comportement électromagnétique d'un composant dans son environnement de fonctionnement réel, en tenant compte de l'impact des différents éléments de la carte. Cela permet de mieux comprendre les interactions complexes au sein du système. Chaque sous-élément peut ensuite être analysé uniquement dans le but de prévoir son impact sur la CEM de l'ensemble du matériel.

La même approche a été utilisée dans le cas de la modélisation des émissions électromagnétiques d'une carte[66][67]. L'encapsulation du modèle ICEM-CE dans un modèle EBEM-CE (Electronic Board Emission Model - Conducted Emission) a permis de prédire les niveaux des émissions conduites au niveau système. Pour le modèle EBIM-CI, une introduction a été proposée dans [68][69].

En se basant sur l'analyse et les contraintes de ce modèle, l'utilisation d'une telle approche pour prédire l'immunité d'une carte lors du changement d'un ou plusieurs composants s'avère une solution adéquate pour l'étude de l'obsolescence des circuits intégrés. De ce fait une procédure détaillée d'extraction, de modélisation et de validation de ce modèle est décrite dans ce qui suit.

4.3.2 Procédure de modélisation

4.3.2.1 Présentation de l'application étudiée

Afin d'illustrer l'effet du changement d'un composant d'une carte électronique sur le comportement électromagnétique de cette dernière et par conséquent comment utiliser la modélisation pour prédire cet effet, un cas d'étude a été mis en place autour des mémoires non volatiles et des microprocesseurs.

L'idée principale de ce démonstrateur est de créer un environnement aussi réel que possible d'une application mettant en place une mémoire contrôlée par un micro-contrôleur monté sur la même carte. Dans ce cas de figure, un schéma basique de maître esclave est mis en place entre les deux. Le premier envoie une donnée à la mémoire pour la stocker à l'adresse voulue, ou lui demande de retourner l'information disponible à l'adresse spécifiée.

D'un point de vue électromagnétique, nous allons nous intéresser dans un premier temps à la mesure de l'immunité globale du démonstrateur en utilisant un micro-contrôleur de type X avec une mémoire de type Y, ensuite reproduire les résultats en simulation en utilisant les modèles de ces composants et enfin changer un des composants pour prédire le nouveau comportement du démonstrateur.

Pour choisir les micro-contrôleurs la même démarche que pour les mémoires a été adoptée, à savoir l'utilisation de deux composants compatibles broche à broche mais avec des cœurs différents. Le premier est un AT91SAM7S256D-AU avec un cœur ARM7TDMI et le deuxième un SAM3S4B avec un cœur Cortex-M3.

Dans cette perspective, l'agression à appliquer à la carte doit se faire sur l'ensemble des composants du démonstrateur d'une manière la plus exhaustive possible, tout en permettant l'identification de la source d'erreur. Pour cela le démonstrateur dispose de :

- Deux possibilités d'alimentation, soit une alimentation commune pour les deux composants qui constitue la broche d'injection principale du démonstrateur, soit une alimentation spécifique à chacun des composants.
- Différents points de test et de contrôle afin de superviser le fonctionnement de la carte mais aussi le fonctionnement spécifique aux deux composants.

La figure 4.17 donne les détails de ce démonstrateur. Son schéma électrique et son routage sont présentés dans l'annexe C. Le micro-contrôleur et la mémoire sont montés sur la même face du PCB et tous les composants passifs et les connecteurs sont quant à eux montés sur l'autre face. Il est à noter que le démonstrateur est équipé d'un kit de calibrage du type SOL afin de faciliter les mesures des paramètres S des deux composants.

4.3.2.2 Présentation générale de la procédure

Nous allons décrire dans cette partie l'approche adoptée pour l'étude de l'immunité conduite d'une carte électronique afin d'être en mesure de prédire l'effet d'un changement de composant sur les performances électromagnétiques de cette dernière.

Partie modélisation : En adoptant une approche bottom-up basée sur une vue hiérarchique de la carte étudiée, cette partie consiste à extraire le modèle de tous les éléments actifs et passifs de la carte, à savoir, les modèles ICIM-CI des différents circuits intégrés puis le modèle des pistes de la carte. L'encapsulation de ces différents modèles permet alors de construire le modèle EBIM-CI de la carte comme le montre la figure 4.18(a). Ce modèle sera par la suite inséré dans un fichier de simulation afin d'estimer les niveaux de puissance nécessaires pour mettre en défaut le fonctionnement de l'application.

Partie validation : La validation du modèle repose sur la mesure de l'immunité conduite de la carte électronique. Il est donc primordial de définir un critère d'immunité adéquat. L'agression se faisant sur l'ensemble de la carte, sera transmise aux différents composants via les pistes du PCB, entraînant ainsi le dysfonctionnement d'un ou plusieurs composants constituant la carte suivant leur niveau de robustesse. Cependant il suffit qu'un seul composant soit mis en échec pour que l'immunité de la carte soit remise en cause. De ce fait, et en suivant toujours l'approche hiérarchique, le critère d'immunité de la carte est la combinaison de tous les critères de susceptibilité des composants présents sur la carte. L'idée est

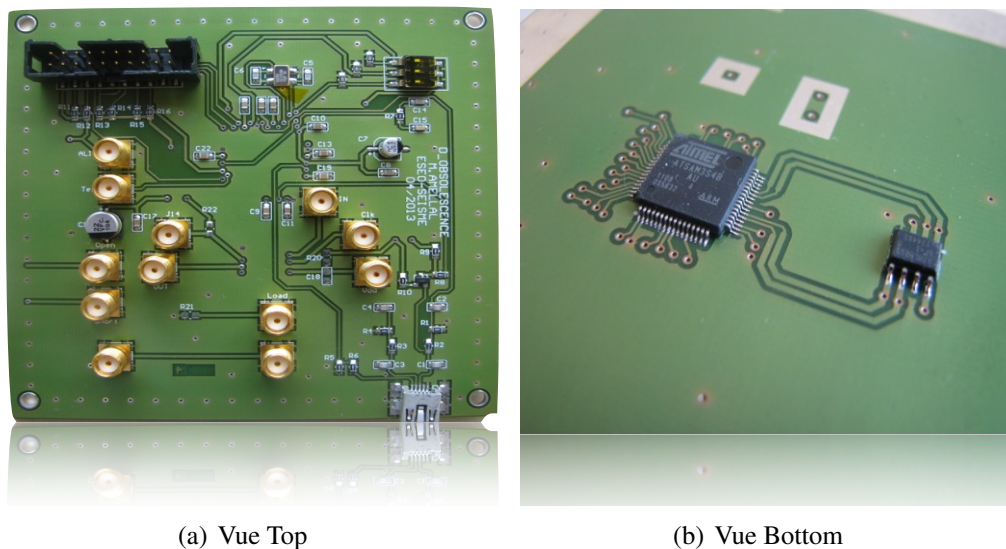
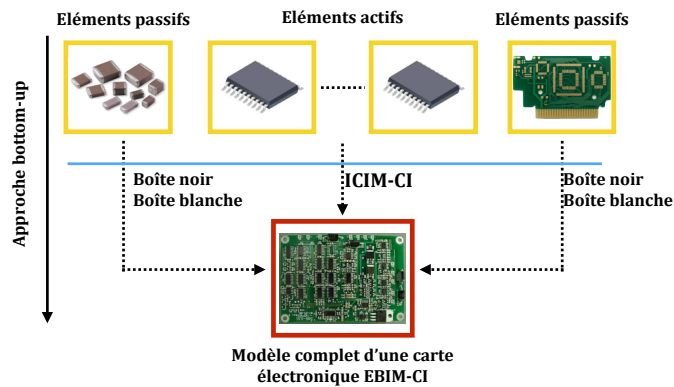


FIGURE 4.17 – Détails du démonstrateur obsolescence (μC + mémoire SPI)

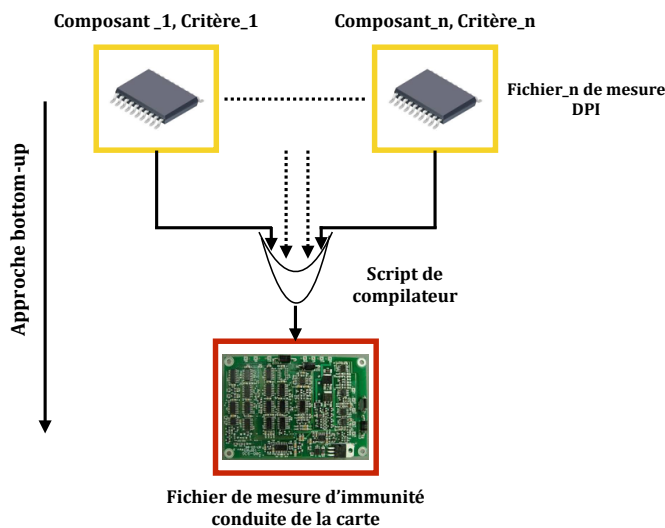
donc d'effectuer une série de mesures DPI sur la carte en injectant la perturbation à chaque fois sur l'alimentation principale et en supervisant le critère d'immunité d'un composant à la fois. Le fichier de mesure général est obtenu simplement grâce à un OU entre les résultats des différentes mesures comme le montre la figure 4.18(b).

4.3.2.3 Extraction du modèle

L'extraction du modèle repose essentiellement sur la méthodologie d'extraction du modèle ICIM-CI (Partie 4.2.3) puisque ce dernier est l'élément central du modèle. Par conséquent, seule l'extraction du PDN_Board est détaillée ici. Un résumé des différents paramètres du modèle ICIM-CI de la mémoire et du micro-contrôleur est donné sur le



(a) Cas de modélisation



(b) Cas de mesure

FIGURE 4.18 – Approche hiérarchique bottom-up pour une carte électronique.

tableau 4.1.

Le choix du critère d'immunité électrique pour la mémoire et le micro-contrôleur pour les mesures et la modélisation est motivé par le souhait et la contrainte exprimés auparavant, à savoir, la possibilité et la simplicité d'identifier la source de la violation du critère de susceptibilité. En effet, avec un critère fonctionnel, une zone de recouvrement entre les défaillances du micro-contrôleur et de la mémoire persiste. L'origine de cette zone vient du fait que dans ce cas de figure, le micro-contrôleur sera soumis à la fois aux perturbations et en même temps responsable de superviser le critère d'immunité de la mémoire. Par conséquent, il est impossible de déterminer la source de dysfonctionnement. Le critère électrique étant indépendant des deux composants, permet lui d'identifier rapidement l'origine de susceptibilité.

Afin d'extraire le modèle des mémoires et des micro-contrôleurs, deux mesures DPI sur chaque composant ont été effectuées en utilisant le démonstrateur présenté dans la partie 4.3.2.1. Dans chacune des mesures, les perturbations sont injectées sur l'alimentation du DUT (mémoire ou μC) à travers le chemin de couplage externe sur la bande de fréquence et de puissance défini, et le critère d'immunité est contrôlé en permanence par un oscilloscope. La figure 4.19 illustre la mise en œuvre proposée dans le cas d'une mesure DPI sur la mémoire. Cette injection des perturbations est contrôlée quant à elle, grâce à un signal généré par le micro-contrôleur afin de la synchroniser avec les différentes phases de fonctionnement. Les figures 4.20 et 4.21 illustre cette synchronisation d'injection respectivement avec la phase de lecture et d'écriture. Le signal trigger issu du micro-contrôleur est connecté au générateur RF. Ce dernier génère un signal RF pendant la durée de la phase d'accès utilisée.

Pour le micro-contrôleur, la même approche est utilisée, mais en injectant les perturbations cette fois-ci, sur l'alimentation de ce dernier.

Un exemple de résultats des mesures pour les deux composants est donné à la figure 4.22. En se basant sur ces résultats et en appliquant la méthodologie détaillée dans la partie 4.2.3 à la simulation représentée sur la figure 4.23, le modèle ICIM-CI des différents composants est généré. Sur la figure 4.24, la comparaison entre la puissance transmise mesurée par le coupleur bidirectionnel durant la mesure DPI et la puissance transmise au micro-contrôleur estimée grâce à la simulation est présentée. D'un point de vue général, les deux courbes ont la même allure, et la différences des niveaux de puissance est due à la contribution des câbles, du chemin de couplage et des pistes du PCB.

Partant du fait que la contribution de la carte dans le modèle est spécifiquement passive, il est possible de la modéliser soit sous forme de boîte blanche avec des éléments localisés, soit en boîte noire sous forme de matrice de paramètres S. Le choix s'est orienté dans ce cas de figure vers une modélisation avec des éléments localisés. En effet, le routage de la carte étant connu, la modélisation des pistes sous l'outil de simulation

| | Mémoires | Micro-contrôleur |
|------------------------|--------------------------|--------------------------|
| Composants | AT25512, 25LC512 | SAM7, SAM3 |
| Bande de fréquence | 1MHz – 1GHz | 1MHz – 1GHz |
| Puissance max injectée | 30dBm | 30dBm |
| Broches agressées | V_{dd} | V_{dd} |
| Broches supervisées | $MISO$ | $MOSI$ |
| Type de PDN | Boite noire : matrice S | Boite noire : matrice S |
| Type de IB | (Puissances, fréquences) | (Puissances, fréquences) |
| Critère d'immunité | ± 1 V et ± 5 ns | ± 1 V et ± 5 ns |

Tableau 4.1 – Caractéristiques du modèle ICIM-CI relatif aux mémoires et micro-contrôleurs

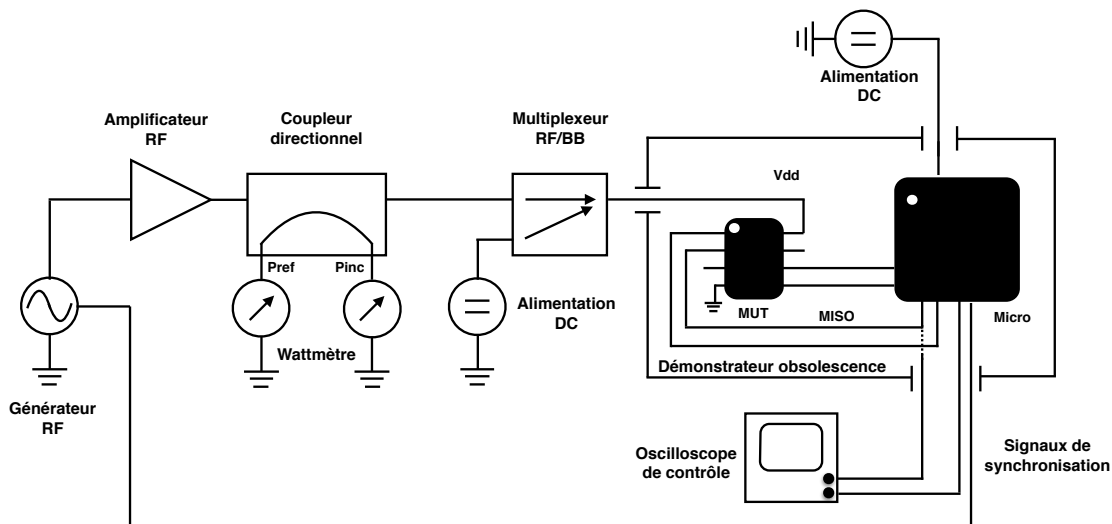


FIGURE 4.19 – Mise en œuvre de la mesure DPI grâce démonstrateur obsolète (μC + mémoire SPI) dans le cas des mémoires

ADS est par conséquent possible et simple.

Afin de simplifier le modèle, nous avons choisi de modéliser uniquement les pistes utilisées pour injecter les perturbations ou susceptibles de les transmettre. Ainsi, en utilisant seulement les données du routage du démonstrateur, ces pistes seront représentées par le modèle de piste microstrip (MLIN) disponible sous ADS (Figure 4.25).

4.3.2.4 Simulation et validation du modèle

Comme expliqué auparavant, la simulation de l'immunité conduite du démonstrateur consiste en l'estimation des niveaux de puissance nécessaires pour engendrer une violation du critère d'immunité fixé. Pour cela, une modélisation du système de mesure

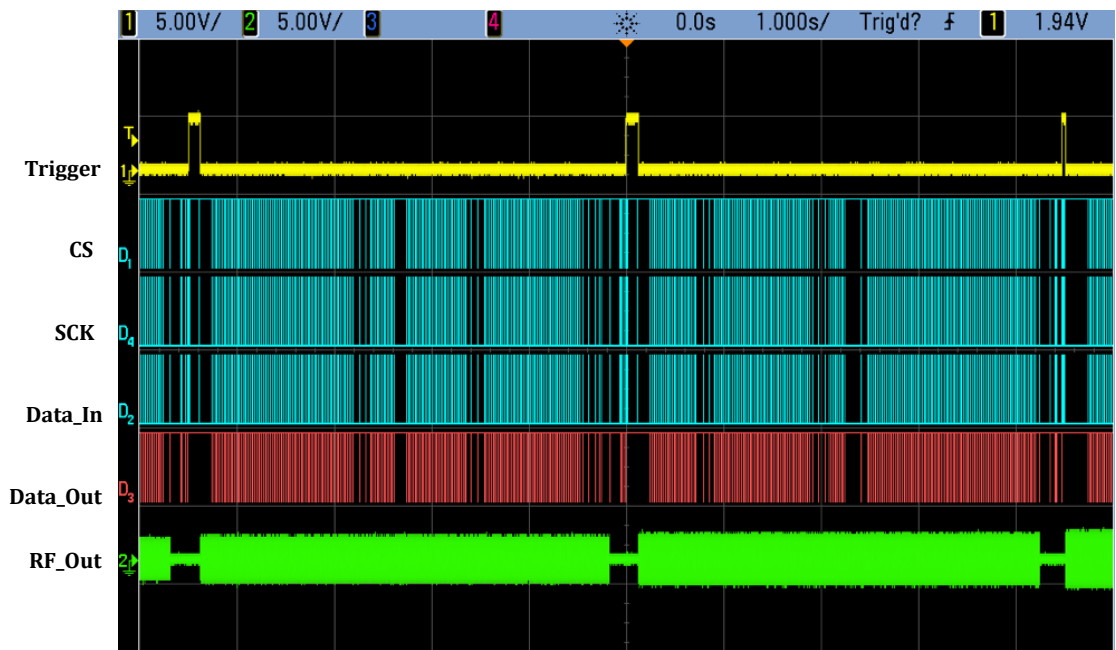


FIGURE 4.20 – Synchronisation des perturbations électromagnétiques avec la phase de lecture du démonstrateur obsolésence (μC + mémoire SPI)

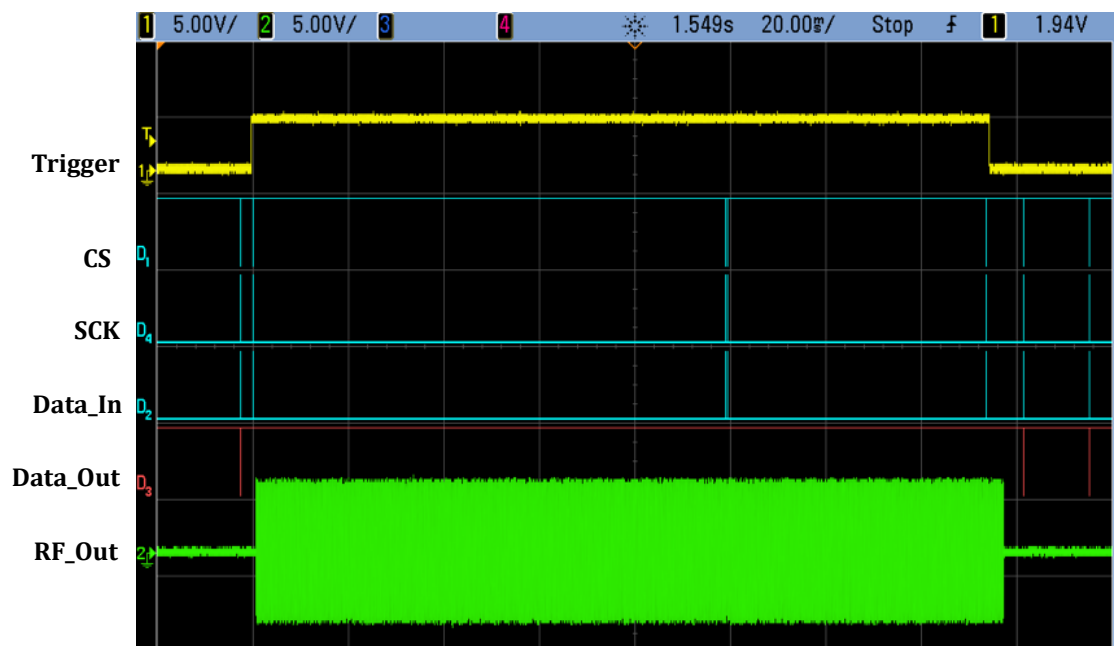


FIGURE 4.21 – Synchronisation des perturbations électromagnétiques avec la phase d'écriture du démonstrateur obsolésence (μC + mémoire SPI)

analogue à celle présentée dans la partie 4.2.3.4 est proposée comme le montre la fi-

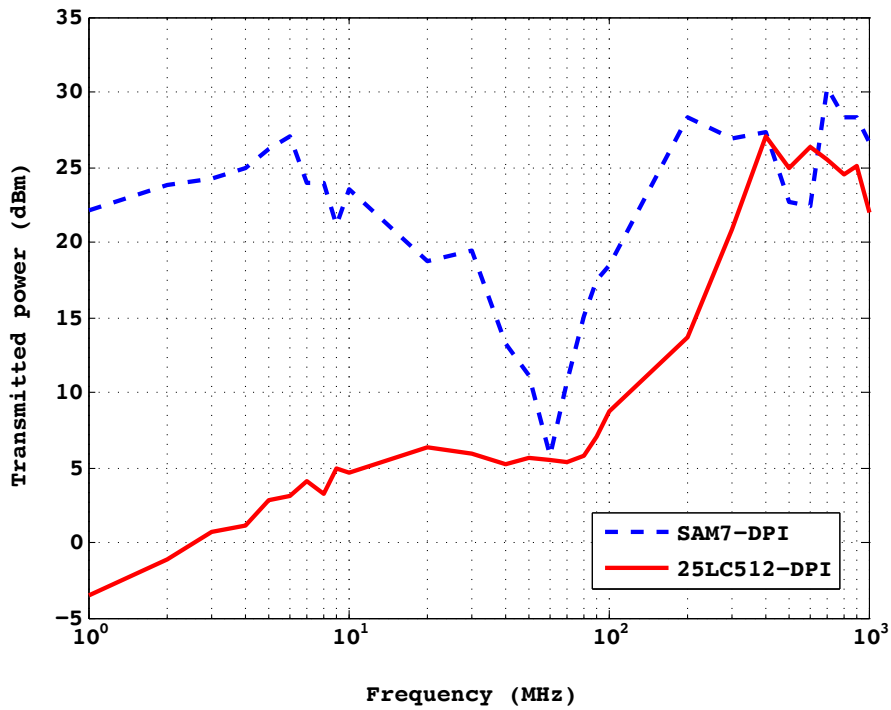


FIGURE 4.22 – Courbes d’immunité de la mémoire et du μC réalisées sur le démonstrateur obsolescence

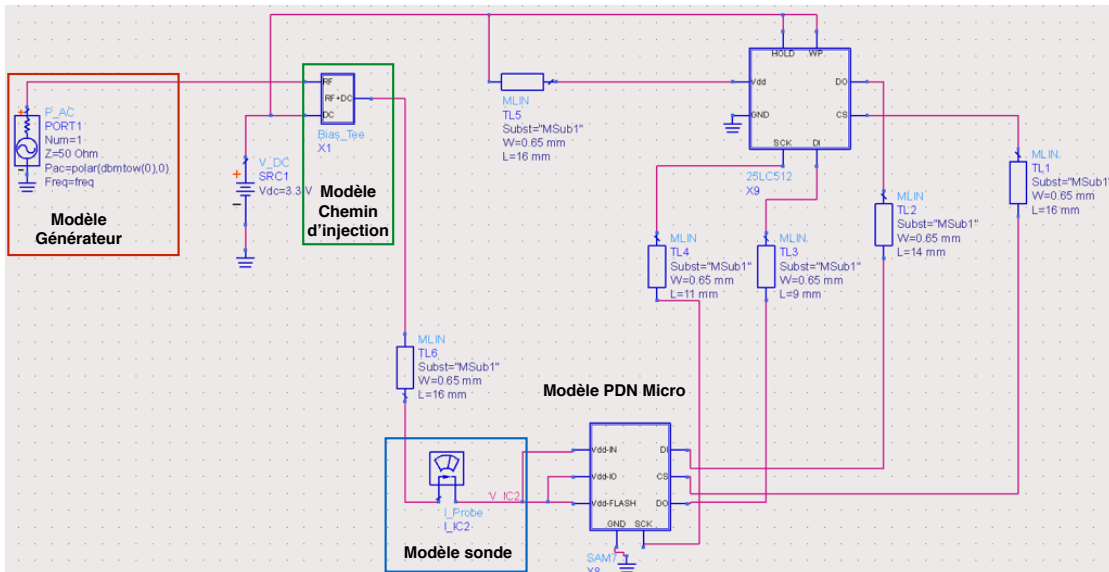


FIGURE 4.23 – Principe d’extraction de la partie IB du modèle ICIM-CI dans le cas des μC

gure 4.26.

L’injection de la perturbation se faisant sur l’alimentation générale du démonstrateur, elle

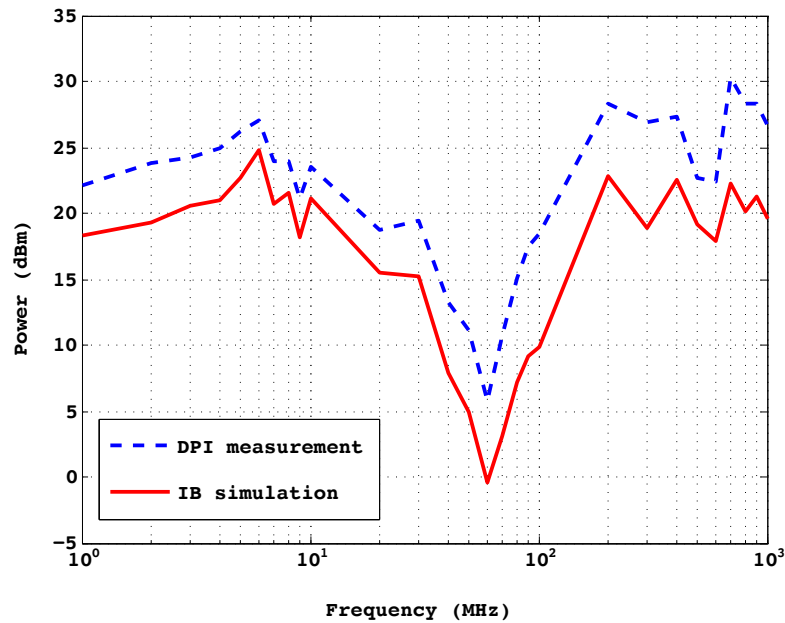


FIGURE 4.24 – Comparaison entre la mesure DPI et simulation du modèle ICIM-CI dans le cas du μC Sam7

Symbol :



Illustration :

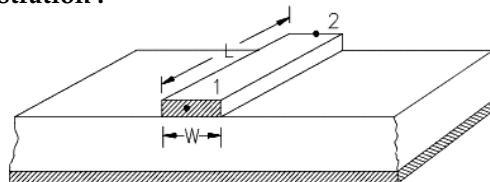


FIGURE 4.25 – Représentation du modèle microstrip line sous ADS de Agilent[70]

se propage aux composants de la carte via les pistes du PCB ou éventuellement à travers les composants eux mêmes. il est donc important d'estimer les niveaux de puissance à chaque point susceptible de véhiculer la perturbation.

Cependant, en se basant sur les mesures des différents paramètres S des deux composants (Figure 4.27), et en particulier le coefficient de transmission S_{21} (où le port 1 représente la broche d'alimentation et le port 2 représente les broches de sortie), seule une négligeable partie de la puissance injectée sur l'alimentation principale du démonstrateur peut se retrouver par couplage indirect à travers la mémoire vers les entrées/sorties du micro-contrôleur et inversement. Par conséquent, et en supposant que cette contribution indirecte peut être négligée, deux sondes seulement placées au niveau des broches

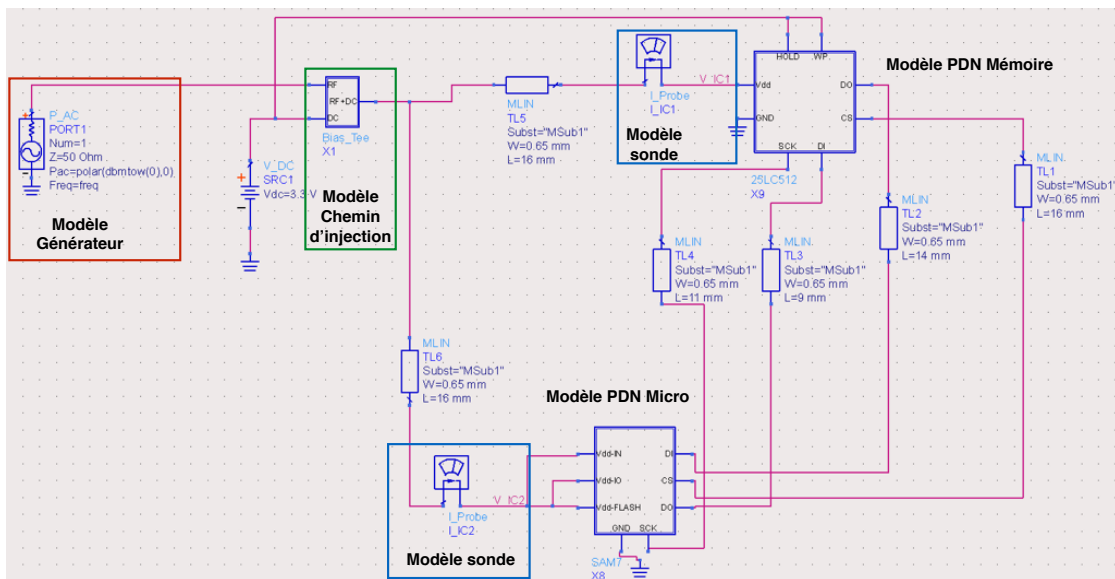


FIGURE 4.26 – Schéma général de la mise en œuvre de la simulation du modèle EBIM-CI

d'alimentation de chacun des composants sont nécessaires. Grâce à elle, il est possible d'évaluer la puissance transmise réellement à la broche agressée des composants et suffisante à les mettre en défaillance, à partir de la puissance délivrée par le générateur, qui représente dans la simulation la puissance transmise au niveau du coupleur bidirectionnel de la configuration DPI.

L'opération se déroule en deux étapes mais en appliquant la même logique :

- Extraire les puissances (P_{IC1}^0) et (P_{IC2}^0) représentant respectivement les puissances au niveau de la mémoire et du micro-contrôleur à partir d'une puissance générateur de 0 dBm.
- Calculer les puissances P_{Tr1} et P_{Tr2} grâce à l'application de l'équation (4.1) au deux composants.
- La puissance nécessaire à engendrer un niveau de susceptibilité général de l'application P_{Tr} est quant à elle déduite grâce à l'équation (4.3)

$$P_{Tr} = \text{Min}(P_{Tr1}, P_{Tr2}) \quad (4.3)$$

Le résultat de cette démarche est représenté sur la figure 4.28. Mis à part quelques points en basses fréquences, une bonne corrélation entre la simulation et la mesure peut être observée. Les niveaux de susceptibilité mesurés sont légèrement plus élevés que les niveaux donnés par la simulation, mais la différence reste relativement faible (au maximum 3 dB).

Ce résultat obtenu est tout à fait acceptable et permet de valider la méthodologie d'extraction du modèle des composants et du PCB, et ainsi, confirmer le caractère prédictif de notre modèle EBIM-CI.

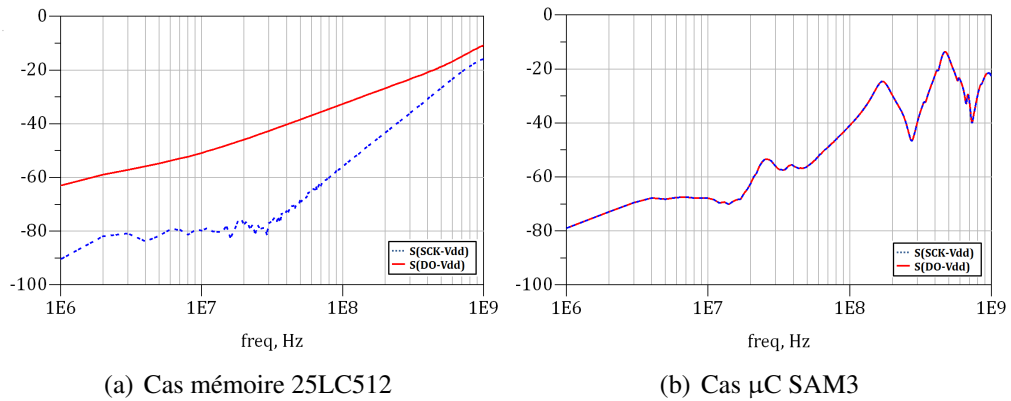


FIGURE 4.27 – Magnitude en dB du coefficient de transmission entre la broche d’alimentation et les broches de sorties mesuré par le VNA

En s’appuyant sur cette démarche de modélisation, il est donc possible de prédire le comportement électromagnétique d’une carte suite à un changement d’un ou plusieurs composants. La figure 4.29 illustre la prédiction de l’immunité conduite du démonstrateur dans le cas où le micro-contrôleur SAM7 est remplacé par le micro-contrôleur SAM3 qui est plus récent. Il est donc possible de conclure que si avec le le nouveau micro-contrôleur (SAM7), les niveaux d’immunité conduite du démonstrateur sont plus élevés en haute fréquences (à partir de 40 MHz), ces niveaux deviennent plus faibles sur la bande de fréquences entre 1 MHz et 30 MHz.

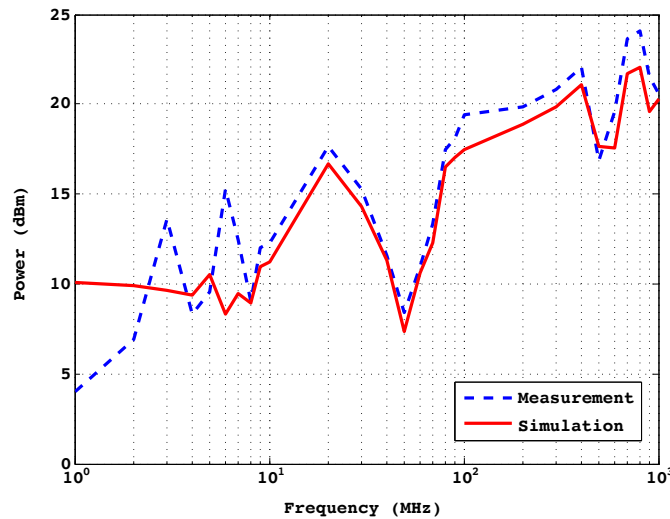


FIGURE 4.28 – Confrontation mesure DPI et simulation du modèle EBIM-CI dans le cas de la mémoire 25LC512 et du µC SAM3

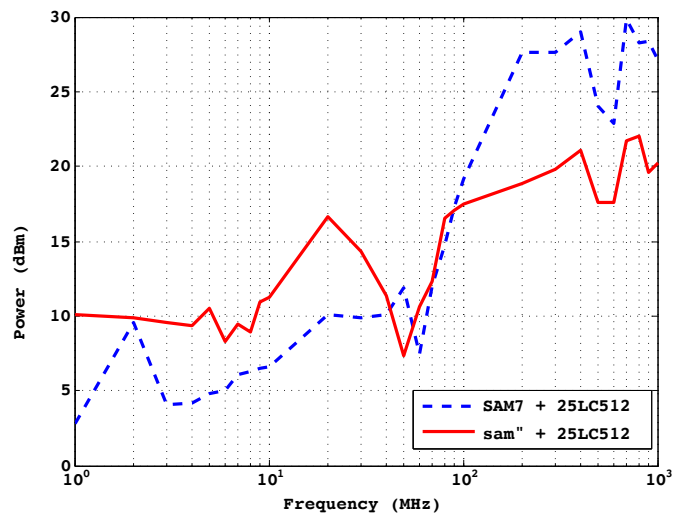


FIGURE 4.29 – Courbes d'immunité conduite prédites dans le cas du changement du μC SAM7 par le μC SAM3

4.4 Conclusion

Dans ce chapitre, une méthodologie d'extraction de modèle d'immunité conduite au niveau composant et carte a été détaillée. Cette approche se base sur des résultats de mesures afin de construire un modèle simulable pour prédire le comportement électromagnétique et gérer l'obsolescence des composants.

Dans un premier temps l'étude du modèle ICIM-CI et de ses différentes parties constitue un point de départ pour construire un modèle d'immunité prédictif au niveau composant. La démarche consiste à estimer la puissance nécessaire pour mettre en défaut le composant à partir de la puissance mesurée dans un test d'immunité. Cette puissance au niveau composant étant indépendante de l'environnement de fonctionnement, elle est utilisée comme référence pour les simulations.

L'application de la méthodologie de modélisation proposée au cas des mémoires non volatiles a permis de valider notre démarche et le modèle généré. De plus la réutilisation du modèle dans une nouvelle configuration simplifie la prédiction de l'immunité des mémoires lorsqu'on rajoute des éléments passifs de filtrage. Ainsi conclure sur le caractère prédictif du notre modèle proposé.

Ensuite, une nouvelle méthodologie de modélisation au niveau carte basée sur la proposition EBIM est introduite. Elle adopte certes la même démarche d'extraction des modèles que celle employée dans la modélisation au niveau composant, mais rend possible la simulation de l'immunité conduite d'une carte électronique équipée de plusieurs composants actifs. Les résultats obtenus sont encourageants et valident notre modèle.

5 Conclusion générale

L'évolution technologique rend les circuits intégrés de plus en plus susceptibles aux perturbations électromagnétiques. De plus, la conception de circuits intégrés et de systèmes électroniques de plus en plus complexes et variés, accentue les sources et les mécanismes de défaillance. Par ailleurs, le multi sourcing et l'interchangeabilité des composants introduisent l'aspect d'obsolescence. Prédire les performances électromagnétiques d'un système électronique et se prémunir des dysfonctionnements est désormais une nécessité. Avec un tel contexte, la maîtrise des contraintes CEM devient une charte de qualité et la prédiction des risques CEM un signe de performance.

Les travaux de cette thèse se sont focalisés sur cette problématique, et s'articulent autour de trois points :

- Développement de méthodologies de mesure de l'immunité conduite des circuits intégrés iso-boîtier.
- Développement de procédures de modélisation de l'immunité conduite des circuits intégrés pour la prédiction de l'obsolescence.
- Développement de procédures de modélisation de l'immunité conduite des cartes électroniques pour prédire l'effet d'un changement de composants.

Un état de l'art sur l'origine des problèmes d'émissions et de susceptibilité des circuits intégrés a été effectué. Il présente également les différentes méthodes de mesure de la susceptibilité et de l'émission en modes conduit et rayonné. Il est apparu que les risques de perturbation électromagnétique et donc de susceptibilité augmentent considérablement. Cependant, si des techniques d'amélioration de l'immunité des circuits intégrés existent, le principal défi reste sa caractérisation et sa modélisation.

Dans cette perspective, la première partie des travaux de cette thèse a été consacrée au développement d'une procédure de mesure de l'immunité conduite des circuits intégrés complexes. La procédure que nous avons proposée se base sur la norme DPI. Elle com-

porte une modification et des adaptations de la mise en œuvre de la norme.

La modification ou l'évolution proposée est un nouveau système de couplage des perturbations qui remplace le chemin de couplage LC classique. Nous avons démontré que l'utilisation du réseau LC dans le cas d'un signal fonctionnel n'est pas possible. La raison réside dans sa conception. Si dans le cas d'un signal DC, la capacité permet d'acheminer les perturbations au DUT d'un côté tout en protégeant le générateur RF, et si l'inductance assure d'un autre côté sa polarisation et protège le générateur DC, la combinaison du même couple impose une fréquence de coupure pour les signaux bande de base.

Le multiplexeur que nous avons proposé représente une solution efficace pour effectuer des agressions sur des signaux fonctionnels comme les horloges et les broches entrées de données des circuits intégrés. Grâce à sa conception, il permet de superposer un signal RF avec une bande de fréquence entre 150 kHz et 5 GHz et un signal bande de base avec une bande de fréquence entre DC et 350 MHz. L'atténuation de transfert de puissance est de 4 dB.

Les adaptations, quant à elles, concernent le critère de test d'immunité et la procédure de mesure. Nous avons décidé de valider notre étude sur deux mémoires non volatiles avec les mêmes caractéristiques techniques mais provenant de deux fabricants. Le choix de ce type de composant est justifié par deux raisons : la complexité du fonctionnement et la gestion de l'obsolescence. Nous avons proposé par conséquent une procédure de test permettant d'identifier les phases de fonctionnement les plus critiques. De plus, vu les contraintes exigées par le fonctionnement des ces derniers, nous avons proposé deux types de critère, un fonctionnel et l'autre électrique, l'objectif étant de déterminer lequel est le mieux adapté au cas des circuits intégrés complexes.

Les résultats de cette procédure valident les points suivants :

- Le critère fonctionnel est le mieux adapté pour la caractérisation de l'immunité conduite des circuits intégrés complexes.
- L'immunité conduite des circuits intégrés complexes varie en fonction des phases de fonctionnement.
- La technologie de fabrication de deux circuits intégrés complexes équivalents impacte fortement leurs comportements électromagnétiques.
- Les niveaux de immunité sont fonction du type de la broche agressée. Généralement, les broches fonctionnelles sont plus susceptibles.

La deuxième partie des travaux concerne la modélisation de l'immunité conduite au niveau composant. Nous avons proposé une méthodologie d'extraction du modèle d'immunité des mémoires non volatiles et des micro-contrôleurs selon l'architecture ICIM-CI. Nous avons détaillé les différentes approches de construction des blocs PDN et IB. Il est apparu que l'approche boîte noire correspond plus à notre contexte. L'avantage de cette approche est la simplicité d'extraction des différents blocs sans pour autant avoir

à connaître les détails techniques du composant. Les résultats de modélisation obtenus ont été confrontés à des résultats de mesure DPI, ce qui a permis de valider les modèles d'immunité générés. De surcroît, la simulation des modèles dans un nouvel environnement de fonctionnement a garanti leur caractère prédictif.

La dernière partie des travaux se focalise sur la modélisation de l'immunité conduite au niveau carte. Nous avons proposé une méthodologie d'extraction du modèle d'immunité d'une carte électronique selon la structure EBIM-CI. Le démonstrateur réalisé comporte une liaison maître-esclave entre un micro-contrôleur et une mémoire. Les travaux effectués dans ce contexte ont permis de traiter l'aspect obsolescence des circuits intégrés, en particulier pour la prédiction du comportement électromagnétique d'une carte lors d'un changement d'un composant par un autre. Le modèle proposé a permis de prédire l'immunité conduite du démonstrateur d'étude lorsqu'on change de micro-contrôleur.

Les travaux de cette thèse ont permis certaines avancées dans le domaine de la mesure d'immunité conduite des circuits intégrés complexes comme les mémoires non volatiles et les micro-contrôleurs. Les solutions proposées représentent des alternatives efficaces pour la caractérisation complète de ce type de circuit. Les procédures de modélisation développées représentent d'un côté une continuité de la proposition de la norme ICIM-CI, et d'un autre côté une base pour la future proposition de norme EBIM-CI.

Cependant beaucoup de travail reste encore à accomplir. C'est le cas pour la modélisation au niveau carte. Si la base du modèle carte est le modèle composant, les interactions entre les différentes parties restent à affiner. Un des objectifs des futurs travaux pourrait consister en une contribution à l'établissement d'une proposition de norme EBIM.

Par ailleurs, si les risques liés aux perturbations électromagnétiques de type continues (CW) commencent à être cernés, un autre type de perturbation devient de plus en plus problématique : les agressions électromagnétiques transitoires. Ce type d'agression couvre une large gamme de perturbation. En effet, l'effet perturbateur des différents types de transitoires va dépendre de l'énergie qu'ils véhiculent, et donc de caractéristiques telles que leurs amplitudes, leurs temps de montée, leurs durées et leurs taux de répétition. Comme il s'agit de transitoires rapides, leur contenu fréquentiel est large et peut s'étendre jusqu'à de très hautes fréquences. La mise au point de modèle d'immunité aux agressions transitoires constitue donc la prochaine étape dans la prise en compte de la CEM des circuits intégrés et des cartes électronique dès la phase de conception.

Publications en rapport avec la thèse

Revues

Amellal, M. ; Op 't Land, S. ; Perdriau, R. ; Ramdani, M. ; Ahaitouf, A. ; Drissi, M., "Design of a Wideband Multiplexer for Direct Power Injection on Non-DC Functional Signals", IEEE Transactions on Electromagnetic Compatibility, vol.57, no.3, pp.603-606, June 2015.

Conférences avec comité de lecture

Amellal, M. ; Ramdani, M. ; Perdriau, R. ; Medina, M. ; Drissi, M. ; Ahaitouf, A., "The conducted immunity of SPI EEPROM memories", International Symposium on Electromagnetic Compatibility (EMC EUROPE 2013), pp.926-930, 2-6 Sept. 2013, Brugge, Belgium.

Amellal, M. ; Op 't Land, S. ; Ramdani, M. ; Perdriau, R. ; Drissi, M. ; Ahaitouf, A., "Direct power injection on functional and non-functional signals of SPI EEPROM memories ", 10th International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo 2015), 10-13 Nov. 2015, Edinburgh, Scotland.

Amellal, M. ; Amor, S. ; Duchamp, G. ; Ahaitouf, A. ; Salvestrini, J-P. ; Béchou, L. ; Ramdani, M. ; Perdriau, R., "OPTIMIST - Optimisation et caractérisation de composants sous agressions environnantes", TELECOM'2013 & 8th JFMMA, Mar.2013, Marrakech, Morocco.

Amellal, M. ; Ramdani, M. ; Perdriau, R. ; Drissi, M. ; Ahaitouf, A., " Comparaison entre les critères fonctionnel et électrique pour l'immunité électromagnétique conduite des mémoires EEPROM" TELECOM'2015 & 9th JFMMA, May 2015, Meknès, Morocco.

Bibliographie

- [1] Wikipédia. Accident de l'uss forrestal — wikipédia, l'encyclopédie libre, 2015. [En ligne ; Page disponible http://fr.wikipedia.org/w/index.php?title=Accident_de_1%27USS_Forrestal&oldid=112654261].
- [2] M. Ramdani S. Ben Dhia and E. Sicard. *Electromagnetic Compatibility of Integrated Circuits : Techniques for Low Emission and Susceptibility*. Springer-Verlag New York, Inc., Secaucus, NJ, USA, 2005.
- [3] T. Williams. *"EMC for Product Designers"*. Newnes, 4th Edition, April 11, 2007.
- [4] M. Shen, Li-Rong Zheng, and H. Tenhunen. Cost and performance analysis for mixed-signal system implementation : system-on-chip or system-on-package ? *Electronics Packaging Manufacturing, IEEE Transactions on*, 25(4) :262–272, Oct 2002.
- [5] G.E. Moore. Cramming more components onto integrated circuits. *Proceedings of the IEEE*, 86(1) :82–85, Jan 1998.
- [6] M.P. Robinson, T.M. Benson, C. Christopoulos, J.F. Dawson, M.D. Ganley, A.C. Marvin, S.J. Porter, D.W.P. Thomas, and J.D. Turner. Effect of logic family on radiated emissions from digital circuits. *Electromagnetic Compatibility, IEEE Transactions on*, 40(3) :288–293, Aug 1998.
- [7] M. Camp and H. Garbe. Susceptibility of personal computer systems to fast transient electromagnetic pulses. *Electromagnetic Compatibility, IEEE Transactions on*, 48(4) :829–833, Nov 2006.
- [8] F. Mendoza-Hernandez, M. Linares, and V.H. Champac. The noise immunity of dynamic digital circuits with technology scaling. In *Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on*, volume 2, pages II–493–6 Vol.2, May 2004.
- [9] Howard H Chen and J Scott Neely. Interconnect and circuit modeling techniques for full-chip power supply noise analysis. *Components, Packaging, and Manufacturing*

Technology, Part B : Advanced Packaging, IEEE Transactions on, 21(3) :209–215, 1998.

- [10] A. Vaidyanath, B. Thoroddsen, J. Prince, and A.C. Cangellaris. Simultaneous switching noise : influence of plane-plane and plane-signal trace coupling. *Components, Packaging, and Manufacturing Technology, Part B : Advanced Packaging, IEEE Transactions on*, 18(3) :496–502, Aug 1995.
- [11] R. Senthinathan and J.L. Prince. Simultaneous switching ground noise calculation for packaged cmos devices. *Solid-State Circuits, IEEE Journal of*, 26(11) :1724–1728, Nov 1991.
- [12] B. Vrignon, S.D. Bendhia, E. Lamoureux, and E. Sicard. Characterization and modeling of parasitic emission in deep submicron cmos. *Electromagnetic Compatibility, IEEE Transactions on*, 47(2) :382–387, May 2005.
- [13] A.H. Ajami, K. Banerjee, A. Mehrotra, and M. Pedram. Analysis of ir-drop scaling with implications for deep submicron p/g network designs. In *Quality Electronic Design, 2003. Proceedings. Fourth International Symposium on*, pages 35–40, March 2003.
- [14] A. Boyer. *Méthode de prédiction de la compatibilité électromagnétique des systèmes en boîtier*. PhD thesis, Toulouse, INSA, 2007.
- [15] B. Vrignon. Caractérisation et optimisation de l'émission électromagnétique de systèmes sur puce. 2005.
- [16] R. Woonghwan K. Joungho Y. Young-hwan K. Soo-Hyung H. Seog-heon A. Hyeong-Keon K. Jonghoon, K. Hyungsoo and L. Yong-Hee. Effects of on-chip and off-chip decoupling capacitors on electromagnetic radiated emission. In *Electronic Components and Technology Conference, 1998. 48th IEEE*, pages 610–614, May 1998.
- [17] J-L. Gonzalez X. Aragonés and A. Rubio. *Analysis and solutions for switching noise coupling in mixed-signal ICs*. Springer Science & Business Media, 2013.
- [18] M.M. Budnik and K. Roy. A power delivery and decoupling network minimizing ohmic loss and supply voltage variation in silicon nanoscale technologies. *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, 14(12) :1336–1346, Dec 2006.
- [19] Future IEC 61967 : Integrated circuits - measurement of electromagnetic emissions, 150 khz to 1 ghz, 2002.
- [20] Future IEC 61967-4 : Integrated circuits - measurement of electromagnetic emissions, 150 khz to 1 ghz - part 4 : Measurement of conducted emissions - 1 ω /150 ω direct coupling method, 2006.

- [21] Future IEC 61967-2 : Integrated circuits - measurement of electromagnetic emissions, 150 khz to 1 ghz - part 2 : Measurement of radiated emissions - tem cell and wideband tem cell method, 2005.
- [22] Future IEC 61967-3 : Integrated circuits - measurement of electromagnetic emissions - part 3 : Measurement of radiated emissions - surface scan method, 2014.
- [23] E.Sicard, C.Marot, J.Y.Fourniols, and M.Ramdani. *Electromagnetic compatibility for integrated circuits*, pages 453–472. Number ISBN 0.471.26866.6. Sep 2002.
- [24] F. Fiori. Prediction of rf interference effects in smart power integrated circuits. In *Electromagnetic Compatibility, 2000. IEEE International Symposium on*, volume 1, pages 345–347 vol.1, 2000.
- [25] N.L. Whyman and J.F. Dawson. Modelling rf interference effects in integrated circuits. In *Electromagnetic Compatibility, 2001. EMC. 2001 IEEE International Symposium on*, volume 2, pages 1203–1208 vol.2, 2001.
- [26] J.P. Spratt, J.C. Pickel, Roland E. Leadon, R.C. Lacoé, S.C. Moss, and S.D. LaLumondiere. A single event latchup suppression technique for cots cmos ics. *Nuclear Science, IEEE Transactions on*, 50(6) :2219–2224, Dec 2003.
- [27] W.E. Willing and N.P. Goldstein. Combining single-event latchup and reliability requirements for space vehicles. In *Reliability and Maintainability Symposium, 1995. Proceedings., Annual*, pages 445–449, Jan 1995.
- [28] C. Maréchal, M. Klingler, M. Heddebaut, and B. Demoulin. Étude de l’impact d’une perturbation électromagnétique sur le fonctionnement de composants logiques électroniques. *J. Phys. III France*, 5(6) :743–756, 1995.
- [29] IEC 62132 integrated circuits - measurement of electromagnetic immunity 150 kHz to 1 GHz, 2006.
- [30] IEC 62132-5 integrated circuits - measurement of electromagnetic immunity 150 kHz to 1 GHz - part 5 : Workbench faraday cage method, 2005.
- [31] IEC 62132-9 integrated circuits - measurement of electromagnetic immunity - part 9 : Measurement of radiated immunity - surface scan method, 2014.
- [32] IEC 62132-2 integrated circuits - measurement of electromagnetic immunity - part 2 : Measurement of radiated immunity - tem cell and wideband tem cell method, 2010.
- [33] S. Ghosh, M.R. Singhley, S.V.K. Shastry, and A. Chakrabarty. Design and characterisation of gtem cell. In *Electromagnetic Interference and Compatibility '99. Proceedings of the International Conference on*, pages 274–279, Dec 1999.

- [34] G. Motet and L. Tysk. Software detection of hardware platform failures due to electromagnetic fields. In *3rd International Workshop on Electromagnetic Compatibility for Components, Toulouse*, November 2002.
- [35] R.H.L. Ong and M.J. Pont. Empirical comparison of software-based error detection and correction techniques for embedded systems. In *Hardware/Software Codesign, 2001.*, pages 230–235, 2001.
- [36] J. Brotz. Software techniques for comprehensive emc testing of embedded systems. [En ligne; Page disponible <http://www.embedded.com/design/prototyping-and-development/4007591/Software-techniques-for-comprehensive-EMC-testing-of-embedded-systems>].
- [37] IEC 62132-3 integrated circuits - measurement of electromagnetic immunity 150 kHz to 1 GHz - part 3 : Bulk current injection (BCI) method, dec 2005.
- [38] C.-Y. Ho, C.-H. Huang, and T.S. Horng. Electromagnetic radiation and conducted susceptibility diagnosis and analysis of vehicle electronic circuit using mixed-mode s-parameter method. In *Microwave Conference, 2009. APMC 2009. Asia Pacific*, pages 441–444, Dec 2009.
- [39] A. Durier, H. Pues, D. Vande Ginste, M. Chernobryvko, C. Gazda, and H. Rogier. Novel modeling strategy for a bci set-up applied in an automotive application : An industrial way to use em simulation tools to help hardware and asic designers to improve their designs for immunity tests. In *Electromagnetic Compatibility of Integrated Circuits (EMC Compo), 2011 8th Workshop on*, pages 41–46, Nov 2011.
- [40] M. Coenen, H. Pues, and T. Bousquet. Automotive rf immunity test set-up analysis : Why test results can't compare ;. In *Electromagnetic Compatibility of Integrated Circuits (EMC Compo), 2011 8th Workshop on*, pages 71–75, Nov 2011.
- [41] IEC 62132-4 integrated circuits - measurement of electromagnetic immunity 150 kHz to 1 GHz - part 4 : Direct RF power injection method, sep 2005.
- [42] Yin-Cheng Chang, S.S.H. Hsu, Yen-Tang Chang, Chiu-Kuo Chen, Hsu-Chen Cheng, and Da-Chiang Chang. The direct rf power injection method up to 18 ghz for investigating ic's susceptibility. In *Electromagnetic Compatibility of Integrated Circuits (EMC Compo), 2013 9th Intl Workshop on*, pages 167–170, Dec 2013.
- [43] S.O. Land, R. Perdriau, M. Ramdani, I. Gil, F. Lafon, and M. Drissi. Design of a 20 ghz dpi method for soic8. In *Electromagnetic Compatibility (EMC EUROPE), 2012 International Symposium on*, pages 1–6, Sept 2012.
- [44] R. Perdriau M. Drissi M'Hamed F. Lafon, M. Ramdani and F. De Daran. Extending the Frequency Range of the Direct Power Injection Test : Uncertainty Considerations and Modeling Approach. In *7th International Workshop on Electromagnetic*

Compatibility of Integrated Circuits (EMC COMPO 09), page ., Toulouse, France, 2009.

- [45] M. Amellal, M. Ramdani, R. Perdriau, M. Medina, M. Drissi, and A. Ahaitouf. The conducted immunity of spi eeprom memories. In *Electromagnetic Compatibility (EMC EUROPE), 2013 International Symposium on*, pages 926–930, Sept 2013.
- [46] S. Hairoud, T. Dubois, A. Tetelin, and G. Duchamp. Conducted immunity of three op-amps using the dpi measurement technique and vhdl-ams modeling. In *Electromagnetic Compatibility of Integrated Circuits (EMC Compo), 2013 9th Intl Workshop on*, pages 53–58, Dec 2013.
- [47] Sjoerd Op 't Land and Mohamed Ramdani. L'immunité des circuits intégrés au-delà de 1 GHz. In *Colloque International TELECOM'2015 & 9èmes JFMMA*, Meknès, Morocco, May 2015. Keynote.
- [48] A. Alaeldine, R. Perdriau, M. Ramdani, and V. Veeragandham. Electrical Model for Power Losses in Direct Power Injection. *iet proceeding on science, measurement and technology*, pages 284–289, September 2007.
- [49] Frédéric Lafon. *Techniques and methodologies development to take into account EMC constraints in automotive equipment design*. PhD thesis, INSA Rennes, jan 2011.
- [50] I. Chahine, M. Kadi, E. Gaboriaud, A. Louis, and B. Mazari. Characterization and modeling of the susceptibility of integrated circuits to conducted electromagnetic disturbances up to 1 ghz. *Electromagnetic Compatibility, IEEE Transactions on*, 50(2) :285–293, May 2008.
- [51] G. Coru, F. Duval, N. Benjelloun, and M. Kadi. Fast versatile emc immunity model for digital ios. In *Electromagnetic Compatibility (EMC EUROPE), 2013 International Symposium on*, pages 920–925, Sept 2013.
- [52] Iec 62433-2 – models of integrated circuits for emi behavioural simulation - conducted emissions modelling (ICEM-CE), 2012.
- [53] Electronic behavioural specifications of digital integrated circuits io buffer information specification, 2001.
- [54] Future IEC 62433-3 : EMC IC modelling - part 3 : Models of integrated circuits for emi behavioural simulation – radiated emissions modelling (ICEM-RE), 2013.
- [55] J. Levant, M. Ramdani, R. Perdriau, and M. Drissi. Emc assessment at chip and pcb level : Use of the icem model for jitter analysis in an integrated pll. *Electromagnetic Compatibility, IEEE Transactions on*, 49(1) :182–191, Feb 2007.

- [56] K.R.A. Britto, R. Dhanasekaran, R. Vimala, and K. Baskaran. Emc analysis of pcb using icem model. In *Communication Control and Computing Technologies (ICCCCT), 2010 IEEE International Conference on*, pages 270–275, Oct 2010.
- [57] M. Ramdani, J. Levant, and R. Perdriau. Icem model extraction : a case study. In *Electromagnetic Compatibility, 2004. EMC 2004. 2004 International Symposium on*, volume 3, pages 969–973 vol.3, Aug 2004.
- [58] N. Berbel, R. Fernandez-Garcia, and I. Gil. Characterization and modeling of the conducted emission of integrated circuits up to 3 ghz. *Electromagnetic Compatibility, IEEE Transactions on*, 56(4) :878–884, Aug 2014.
- [59] N. Berbel, R. Fernandez-Garcia, I. Gil, B. Li, S. Ben-Dhia, and A. Boyer. An alternative approach to model the internal activity of integrated circuits. In *Electromagnetic Compatibility of Integrated Circuits (EMC Compo), 2011 8th Workshop on*, pages 88–92, Nov 2011.
- [60] Future IEC 62433-4 : EMC IC modelling - part 4 : Models of integrated circuits for EMI behavioural simulation - conducted immunity modelling (ICIM-CI), 2014.
- [61] S. Hairoud, T. Dubois, A. Tetelin, and G. Duchamp. Conducted immunity of three op-amps using the dpi measurement technique and vhdl-ams modeling. In *Electromagnetic Compatibility of Integrated Circuits (EMC Compo), 2013 9th Intl Workshop on*, pages 53–58, Dec 2013.
- [62] A. Boyer, M. Fer, L. Courau, E. Sicard, and S. Ben Dhia. Modelling of the susceptibility of 90 nm input output buffer. In *Electromagnetic Compatibility and 19th International Zurich Symposium on Electromagnetic Compatibility, 2008. APEMC 2008. Asia-Pacific Symposium on*, pages 32–35, May 2008.
- [63] S. Ben Dhia, A. Boyer, B. Vrignon, and M. Deobarro. Ic immunity modeling process validation using on-chip measurements. In *Test Workshop (LATW), 2011 12th Latin American*, pages 1–6, March 2011.
- [64] J. Cordi, A. Alaeldine, J. Levant, R. Perdriau, M. Ramdani, and P. Pinel. Automated extraction of the passive distribution network of an integrated circuit for the assessment of conducted electromagnetic emission. In *Electromagnetic Compatibility and 19th International Zurich Symposium on Electromagnetic Compatibility, 2008. APEMC 2008. Asia-Pacific Symposium on*, pages 36–39, May 2008.
- [65] Projet SEISME. "simulation de l'émission et de l'immunité des systèmes et des modules électroniques". Technical report, 2011-2014.
- [66] A. Durier, C. Marot, and O. Crepel. Using the em simulation tools to predict the conducted emissions level of a dc/dc boost converter : Introducing ebem-ce model.

In *Electromagnetic Compatibility of Integrated Circuits (EMC Compo)*, 2013 9th Intl Workshop on, pages 152–157, Dec 2013.

- [67] A. Hamouda, Z. Riah, F. Ndagijimana, and S. Serpaud. Development of electronic board conducted emissions model ebem-ce using the bottom-up approach. In *Electromagnetic Compatibility (EMC Europe)*, 2014 International Symposium on, pages 751–755, Sept 2014.
- [68] O. Alilou, V. Fontaine, and C. Marot. Immunity modelling of electronics board. In *Electromagnetic Compatibility (APEMC)*, 2012 Asia-Pacific Symposium on, pages 89–92, May 2012.
- [69] A. El Abbazi, A. Jaber, V. Fontaine, and C. Marot. Electromagnetic simulation to predict emc immunity behavior of an aeronautic board. In *Electromagnetic Compatibility (EMC Europe)*, 2014 International Symposium on, pages 1133–1138, Sept 2014.
- [70] Advanced Design System Documentation, 2008. [En ligne; Page disponible [http://cp.literature.agilent.com/litweb/pdf/ads2008/ccdist/ads2008/MLIN_\(Microstrip_Line\).html](http://cp.literature.agilent.com/litweb/pdf/ads2008/ccdist/ads2008/MLIN_(Microstrip_Line).html)].

Annexes

A Annexes 1 - REALISATION DU LAYOUT DU MULTIPLEXEUR RF/BB

La réalisation du layout du multiplexeur RF/BB présenté dans la partie 3.3.2, a été effectuée avec le logiciel Altium Designer. Cet outil permet la saisie de schémas électriques et la réalisation du routage associé. Il présente une interface ergonomique et offre une large gamme de fonctionnalités qui simplifient son utilisation.

La figure 5.1 décrit le flot typique de conception d'un circuit imprimé (PCB) sous Altium Designer.

Le substrat utilisé pour l'implémentation du multiplexeur est un substrat FR4 à 4 couches avec un empilement standard. Ainsi, l'épaisseur du diélectrique varie suivant la position de la couche de routage et la couche de masse. Nous avons choisi de placer tous les composants de la carte sur la couche top (couche 1) et définir un plan de masse sur la couche 2 et 3. Par conséquent, l'épaisseur du diélectrique qui est considérée dans le calcul de la largeur des pistes 50Ω est de 0.36 mm.

La figure 5.2 montre une vue générale du layout du multiplexeur RF/BB.

Tous les composants actifs et passifs ainsi que les connecteurs étant placés sur la même face, le routage de la partie RF présente une symétrie par rapport aux broches du balun. De plus, les longueurs électriques des lignes micro-ruban de part et d'autre de la capacité C1 sont toutes égales. Le but de cette architecture est d'assurer un transfert de puissance symétrique entre les ports RF et RF+BB. Par ailleurs, pour remédier au problème de rupture d'impédance causé par les coudes sur les lignes, ils sont chanfreinés.

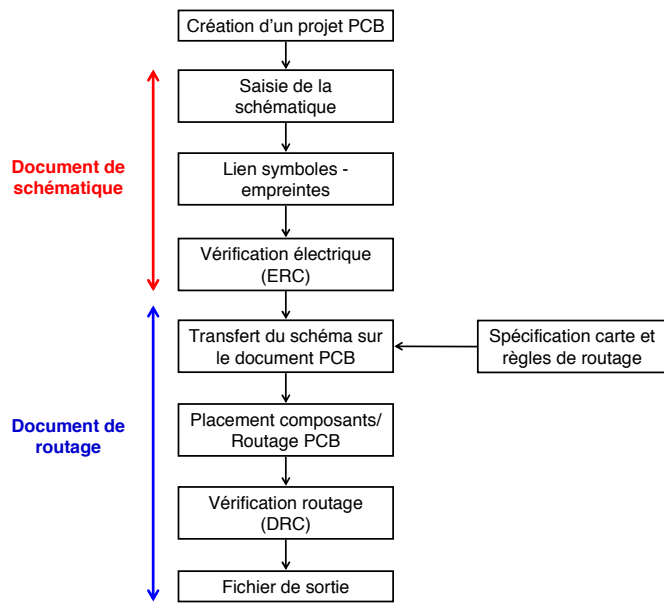


FIGURE 5.1 – Flot de conception d'un circuit imprimé

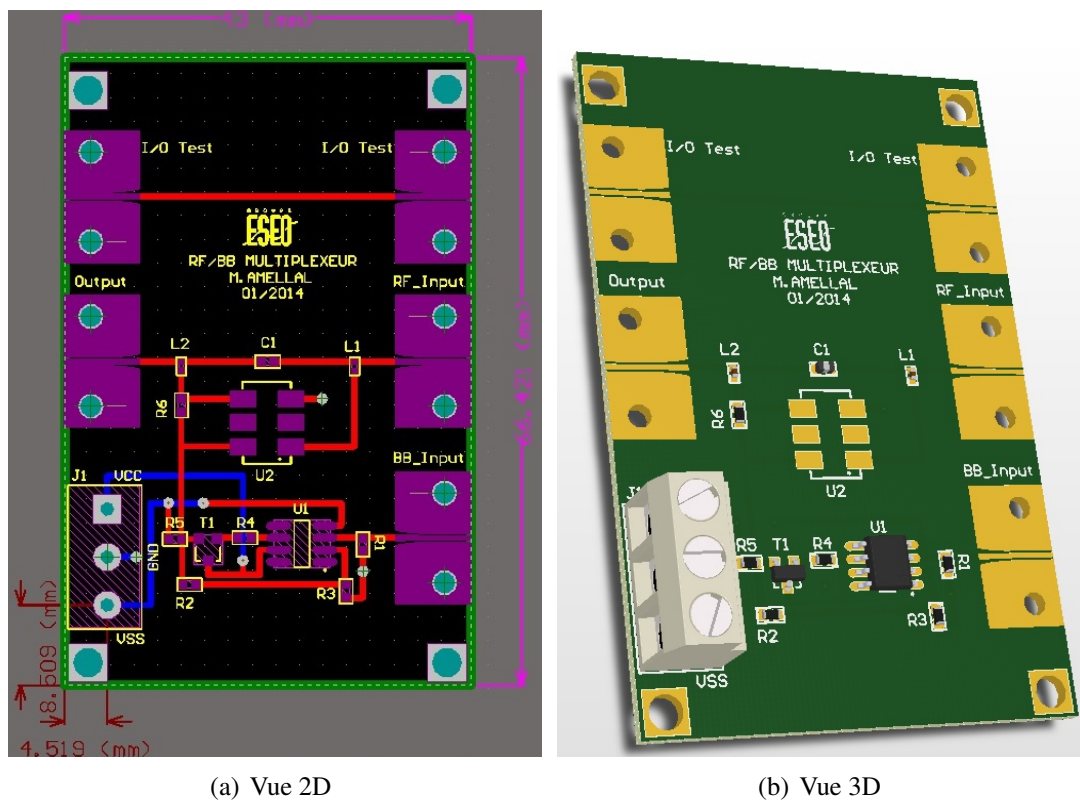


FIGURE 5.2 – Layout du multiplexeur RF/BB

B Annexes 2 - SCHEMAS ELECTRIQUE ET LAYOUT DE LA CARTE DE CONTROLE USB/SPI

La carte de conversion USB/SPI réalisée pour le contrôle des mémoires sous test s'articule autour du module FTDI 2232 (Figure 5.3). Grâce aux deux connecteurs de 26 broches chacun en double rangée, ce module est inséré directement dans l'application. Il dispose aussi de deux interfaces, ce qui rend possible la mise en place de deux types de connexions indépendantes.

La figure 5.4 représente le schéma électrique de la carte. La conception comprend trois parties. La première partie est reliée à la première interface du module et dédiée à la conversion USB/SPI. Elle est branchée soit aux connecteurs SMA avec une adaptation 50Ω pour la communication avec la mémoire, soit au connecteur $HE10 \times 10$ pour le contrôle et la supervision du protocole SPI. La deuxième partie, quant à elle, est réservée à la conversion USB/JTAG et reliée à la deuxième interface du module. Enfin, une partie alimentation offre le choix entre trois différentes alimentations : à travers le porte USB, à travers l'interface JTAG ou bien une alimentation externe, grâce à un interrupteur à trois positions.

Le routage de la carte est présenté sur la figure 5.5. Il est réalisé sur un substrat FR4 à deux couches. Les dimensions du PCB ont été adaptées à celles d'un boîtier de protection spécifique aux utilisations hautes fréquences.



FIGURE 5.3 – Vue générale du module FTDI2232H.

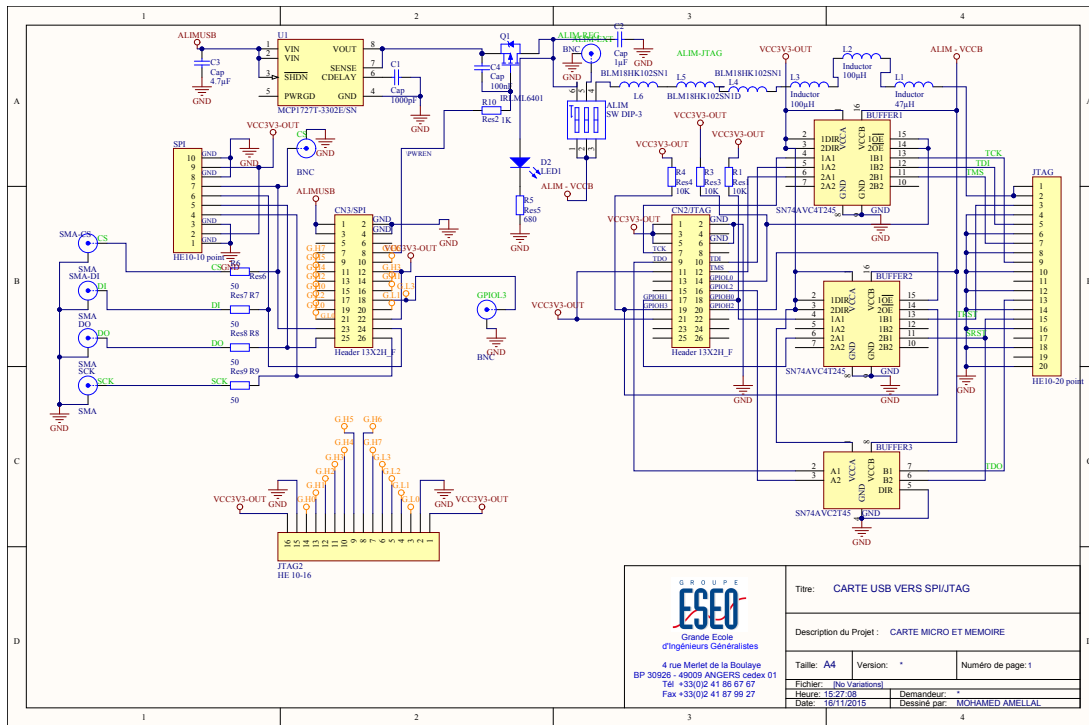


FIGURE 5.4 – Schéma électrique général de la carte de contrôle USB/SPI

| | | | |
|--|--|------------------------------|-------------------|
| <p>ESEO Grande Ecole d'ingénieurs Généralistes</p> <p>4 rue Maréchal de La Bourlaye BP 30029 - 49009 ANGERS cedex 01 Tél +33(0)2 41 86 67 67 Fax +33(0)2 41 87 99 27</p> | Titre: CARTE USB VERS SPI/JTAG | | |
| | Description du Projet : CARTE MICRO ET MEMOIRE | | |
| | Taille: A4 | Version: * | Numéro de page: 1 |
| | Fichier: (No Variations) | | Heure: 16:27:38 |
| Date: 16/11/2015 | | Dessiné par: MOHAMED AMELLAL | |

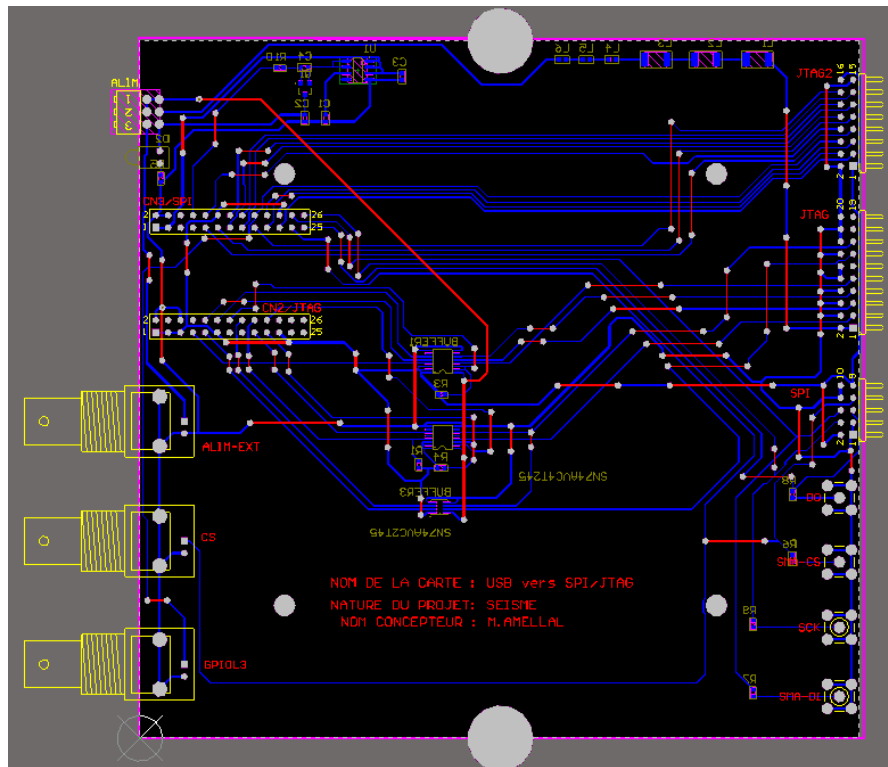


FIGURE 5.5 – Layout de la carte de contrôle USB/SPI - Vue 2D

C Annexes 3 - SCHEMAS ELECTRIQUE ET LAYOUT DU DEMONSTRATEUR D'OBSOLESCENCE

La conception du démonstrateur d'obsolescence s'est faite elle aussi grâce à l'outil Altium Design.

La figure 5.6 représente le schéma électrique de la carte. Nous y retrouvons les différentes parties, à savoir, le kit de calibration pour l'extraction directe des paramètres S des composants, les différents connecteurs d'alimentation et la configuration du micro-contrôleur et de la mémoire. Le connecteur $HE10 \times 10$ représente le connecteur JTAG indispensable pour déboguer le micro-contrôleur. Le connecteur mini-USB a été ajouté pour une éventuelle connexion de la carte directement à un ordinateur.

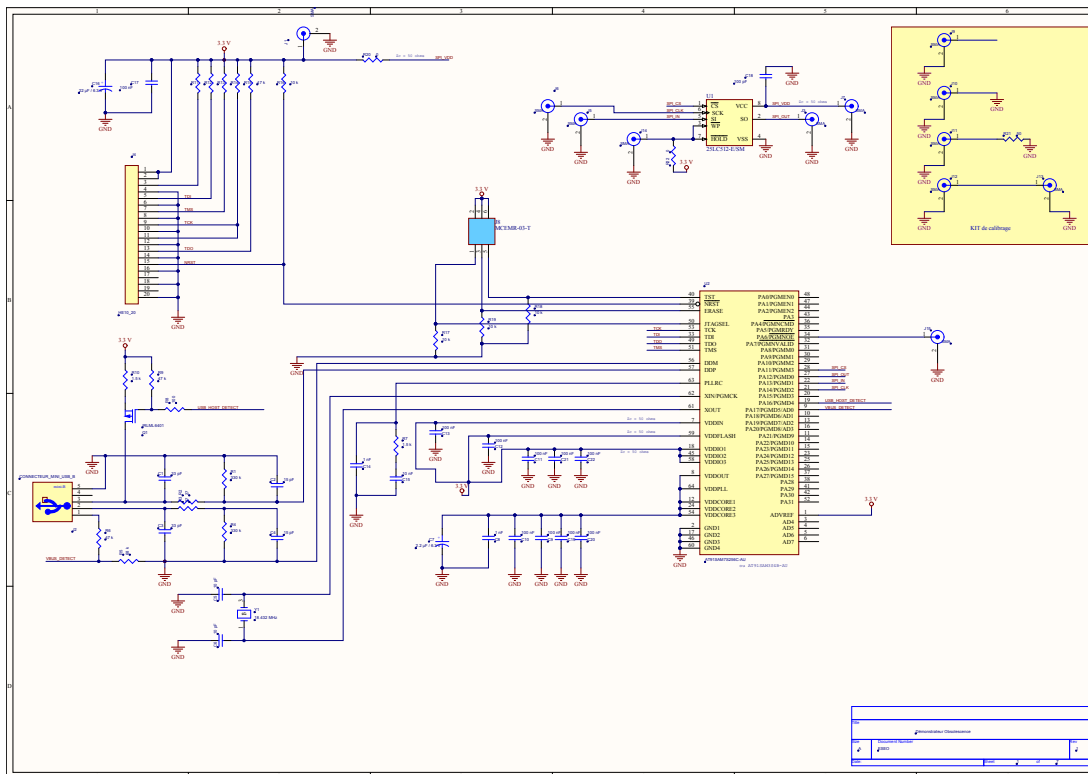


FIGURE 5.6 – Schéma électrique général du démonstrateur d'obsolescence

La figure 5.7 présente une vue 2D du routage obtenu pour le démonstrateur et la figure 5.8 une vue 3D. Le substrat utilisé pour l'implémentation est un substrat FR4 à 4 couches avec un empilement standard. Nous avons choisi de réaliser une carte dont les dimensions sont de 10×10 cm ce qui correspond aux dimensions exigées par la configuration de la mesure GTEM. Dans la même perspective, la face top comprend uniquement le micro-contrôleur et la mémoire afin et la face bottom les différents connecteurs et composants passifs. De plus, les pistes de la face top ont une impédance caractéristique de 50Ω .

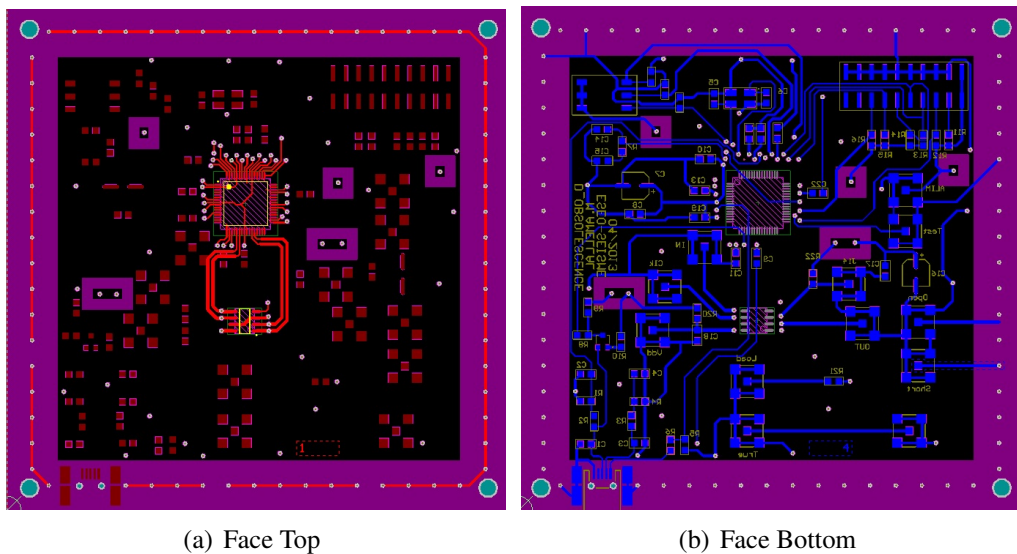
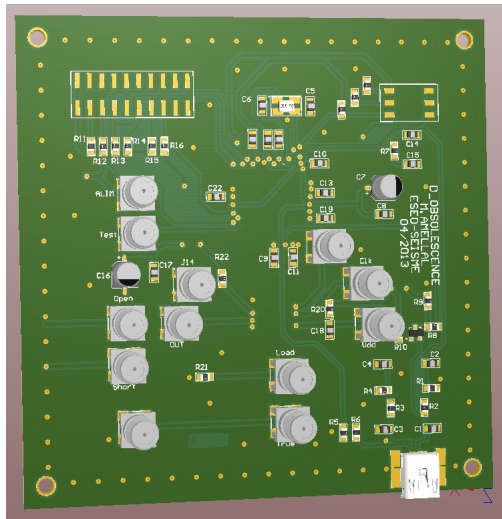
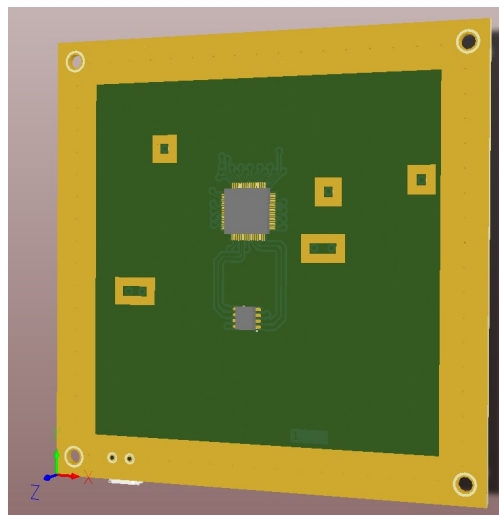


FIGURE 5.7 – Layout du démonstrateur d'obsolescence - Vue 2D



(a) Face Top



(b) Face Bottom

FIGURE 5.8 – Layout du démonstrateur d’obsolescence - Vue 3D

AVIS DU JURY SUR LA REPRODUCTION DE LA THESE SOUTENUE

Titre de la thèse:

Modélisation de l'immunité électromagnétique des composants en vue de la gestion de l'obsolescence des systèmes et modules électroniques

Nom Prénom de l'auteur : AMELLAL MOHAMMED

Membres du jury :

- Madame ERRAHIMI Fatima
- Monsieur BNNANI DOSSE Saad
- Monsieur AHAITOUF Ali
- Monsieur ZIYYAT Abdelhak
- Monsieur MAZARI Bélahcène
- Monsieur DRISSI M'HAMED
- Monsieur RAMDANI Mohamed
- Monsieur PERDRIAU Richard

~~Monsieur~~ EL BEKKALI Moulhime, USMBA

Président du jury :

EL BEKKALI Moulhime.

Date de la soutenance : 19 Décembre 2015

Reproduction de la these soutenue

Thèse pouvant être reproduite en l'état

~~Thèse pouvant être reproduite après corrections suggérées~~

Fait à Rennes, le 19 Décembre 2015

Signature du président de jury

Le Directeur,

M'hamed DRISSI



A handwritten signature in black ink, consisting of a large, stylized 'E' followed by a vertical stroke and a horizontal stroke.

Résumé

De nos jours, l'évolution croissante des domaines d'application des circuits intégrés impose aux industriels de nouvelles contraintes de conception. Afin de réaliser des circuits électroniques plus denses et plus performants, ils cherchent à faire cohabiter plusieurs types de composants sur des surfaces plus petites et, de surcroît, fonctionnant à des fréquences de plus en plus élevées. Cependant, cette cohabitation pourrait générer des problèmes de CEM (compatibilité électromagnétique).

Les travaux présentés dans ce mémoire rentrent dans le cadre du projet de recherche SEISME (Simulation de l'Emission et de l'Immunité des Systèmes et Modules Electroniques). Ils décrivent des méthodologies de mesure et de modélisation de l'immunité conduite des circuits intégrés complexes comme les mémoires non volatiles ou bien les micro-contrôleurs. L'objectif est d'étudier l'influence des changements de composants et de cartes sur le comportement électromagnétique d'un système électronique.

Dans cette perspective, afin de valider son utilisation dans le cas des circuits intégrés complexes, une étude détaillée de la norme de mesure DPI (Direct Power Injection) est d'abord proposée. Basé sur cette dernière, un nouveau prototype de dispositif d'injection est réalisé. Ce multiplexeur permet de superposer un signal agresseur à un signal fonctionnel, avec un chevauchement de leurs bandes de fréquences. Ainsi, il est possible d'agresser une broche fonctionnelle (horloge par exemple) d'un circuit intégré pendant son fonctionnement. Ensuite, une procédure de mesure globale d'immunité conduite est présentée. Elle permet de caractériser la susceptibilité conduite des circuits complexes en tenant compte des différents modes de fonctionnement et avec la possibilité d'utiliser un critère d'immunité fonctionnel ou électrique. Grâce à l'application de cette procédure à deux mémoires non volatiles compatibles broche à broche (mêmes caractéristiques mais de deux fournisseurs différents), il est possible de constater l'influence des technologies de fabrication sur l'immunité conduite de ce type de circuits. Par conséquent, l'effet du changement de composant sur le comportement électromagnétique d'un système électronique devient prédictible.

Enfin, deux méthodologies de modélisation sont proposées, l'une au niveau composant et l'autre au niveau carte. La démarche de modélisation au niveau composant repose sur le standard ICIM-CI (Integrated Circuit Immunity Model-Conducted Immunity) et vise à générer un modèle d'immunité simulable et prédictif. Grâce à l'application de cette démarche dans le contexte des mémoires non volatiles, il est possible de prédire leur immunité dans le cas de modification d'une l'impédance d'entrée par rajout d'éléments de filtrage par exemple. En ce qui concerne la modélisation au niveau carte, une procédure basée sur la proposition de modèle EBIM-CI (Electronic Board Immunity Model-Conducted Immunity) est développée. Elle consiste à générer un modèle d'immunité d'une carte électronique en utilisant les modèles des différents composants qui la constituent. Un cas d'étude a été défini. Le modèle issu de cette approche permet de simuler l'immunité conduite globale du démonstrateur ainsi que de prédire le comportement électromagnétique de ce dernier lors du changement d'un ou plusieurs composants.

Mots-clés : Compatibilité électromagnétique, CEM, DPI, immunité conduite, ICEM, ICIM, prédiction, obsolescence, mémoires, micro-contrôleurs, modélisation, simulation.

Abstract

Nowadays, the growing evolution of application fields for integrated circuits sets new constraints for designers and manufacturers. Due to continuous technological advances in integrated circuits, those have become smaller, denser and operational at higher frequencies. The miniaturization of integrated circuits has led to the reduction of power consumption and, thus, noise margins. Mixing digital and analog functions inside the same chip also makes electromagnetic interferences (EMIs) more likely to spread and cause disturbances. As a result, complex ICs with coexisting different functions represent a challenge from an EMC point of view, as interferences can cause critical functional failures.

The work presented in this manuscript falls within the SEISME project which aims, among others, to perform the simulation of both the emission and the immunity of electronic systems and modules at different levels (IC, PCB, equipment, system). More precisely, this work deals with the development of measurement and modeling methodologies for the characterization of the conducted immunity of complex ICs, such as microcontrollers and non-volatile memories. The main goal is to study the effect of component and/or board replacement on the electromagnetic behavior of a complete electronic system.

In this context, a thorough study of the Direct Power Injection (DPI) technique is presented, thus validating its use for complex integrated circuits. Based on this study, a new prototype for the disturbance coupling path is proposed. It consists of a multiplexer that enables the superposition of a disturbance signal and a functional one with overlapping frequency bands. Therefore, it is possible to disturb an IC functional pin (a clock for instance) during its operation. Moreover, measurement procedure for conducted immunity is introduced. Its advantage is to make it possible to characterize the immunity of complex ICs by taking into account different operation modes as well as flexible immunity criteria (electrical / functional). Thanks to the application of this methodology for two different, non-volatile, pin-to-pin-compatible memories (having the same characteristics but different manufacturers), the influence of fabrication technology on the conducted immunity of such ICs is better identified and understood. As a consequence, the effect of changing components on the electromagnetic behavior of an electronic system has become predictable.

As far as modeling aspects are concerned, two methodologies are presented in this manuscript. The first one deals with the immunity at the component level whereas the other involves board level immunity. At the IC level, the modeling approach is rather based on the ICIM-CI (Integrated Circuit Immunity Model-Conducted Immunity) draft standard which makes it possible to extract simulation models that can be incorporated within IC design flows. Once applied to the context of non-volatile memories, this approach allows predicting their immunity in the case of modified input impedance, for example. As far as immunity modeling at the board level is concerned, the idea is to make use of ICIM-CI models corresponding to different ICs on the PCB in order to construct an Electronic Board Immunity Model for Conducted Immunity (EBIM-CI). A case study has been defined and the extracted model makes it possible to simulate the demonstrator's global conducted immunity as well as to predict its electromagnetic behavior following the replacement of one or more components.

Keywords : Electromagnetic compatibility, EMC, DPI, conducted immunity, ICEM, ICIM, prediction, obsolescence, memories, microcontrollers, modeling, simulation