



HAL
open science

Etude et conception de convertisseur analogique numérique large bande basé sur la modulation sigma delta

Rihab Lahouli

► **To cite this version:**

Rihab Lahouli. Etude et conception de convertisseur analogique numérique large bande basé sur la modulation sigma delta. Electronique. Université de Bordeaux; École supérieure des communications de Tunis (Tunisie), 2016. Français. NNT : 2016BORD0074 . tel-01341977

HAL Id: tel-01341977

<https://theses.hal.science/tel-01341977>

Submitted on 5 Jul 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

École Doctorale Sciences Physiques et de l'Ingénieur de l'Université de
Bordeaux
Université de Carthage

Thèse de Doctorat

Préparée à

L'Université de Bordeaux, France

en co-tutelle avec

L'École Supérieure des Communications, Tunis

En vue d'obtenir le grade de

Docteur

de l'Université de Bordeaux et de SUP'COM Tunis

Spécialité Électronique

Par

Rihab Lahouli

Thème

Etude et Conception de Convertisseur Analogique Numérique Large Bande Basé sur la Modulation Sigma Delta

Soutenue à l'université de Bordeaux le 30 Mai 2016 devant le jury d'examen composé de :

<i>Président</i>	M. Wang Yide	Professeur des Universités – Université de Nantes
<i>Rapporteurs</i>	M. Yves Louet	Professeur des Universités – CentraleSupélec
	M. Mohamed Masmoudi	Professeur – ENIS
<i>Examineur</i>	M. Sofiane Cherif	Professeur – SUP'COM
<i>Directeurs de thèse</i>	M. Dominique Dallet	Professeur des Universités – Bordeaux INP
	M. Chiheb Rebai	Professeur – SUP'COM

À mes chers parents Habib et Radhia

À ma magnifique sœur Ichraf

À mon adorable frère Chiheb

À tous ceux qui m'aiment et que j'aime

Remerciements

Ce travail de thèse a été réalisé au sein de l'équipe "Circuits et Systèmes Numériques" (CSN) du laboratoire IMS relevant de l'Université de Bordeaux en collaboration avec le laboratoire de recherche "Green and Smart Communications" (GRESKOM) de l'École Supérieure des Communications de Tunis (SUP'COM). Cette thèse préparée en cotutelle entre SUP'COM et l'Université de Bordeaux est dirigée par Monsieur Chiheb REBAI Professeur à SUP'COM et Monsieur Dominique DALLET Professeur des Universités à Bordeaux INP. Je leur exprime ma profonde gratitude et ma reconnaissance pour la confiance, le soutien, l'aide et la patience qu'ils m'ont accordés durant ma thèse ainsi que pour leurs rigueurs scientifiques et leurs remarques qui ont permis l'aboutissement de ce travail.

Au terme de ce travail de thèse je tiens à remercier sincèrement :

Monsieur Yide WANG, Professeur des Universités à l'École Polytechnique de l'Université de Nantes, pour le grand honneur qu'il nous fait en acceptant de présider le jury de cette thèse.

Monsieur Yves LOUET, Professeur des Universités à CentraleSupélec pour l'intérêt qu'il porte à notre travail et d'avoir accepté la lourde tâche de rapporteur. Je le remercie également pour l'honneur qu'il nous fait en participant au jury de cette thèse.

Monsieur Mohamed MASMOUDI, Professeur à l'École Nationale d'Ingénieurs de Sfax (ENIS) d'avoir accepté de rapporter ce travail, pour avoir apporté sa caution scientifique en jugeant ce travail et pour son honorable participation au jury de cette thèse.

Monsieur Sofiane CHERIF, Professeur à SUP'COM, pour l'intérêt qu'il porte à notre travail en acceptant d'examiner avec sa rigueur scientifique nos contributions de recherche.

Monsieur Adel GHAZEL, le directeur du laboratoire GRESKOM, et Monsieur Yann DEVAL, le directeur du laboratoire IMS, pour m'avoir accueilli au sein de leurs établissements en m'offrant de bonnes conditions de travail.

Madame Manel BEN-ROMDHANE, Maître assistant à SUP'COM pour sa codirection scientifique de valeur, son aide précieuse et sa disponibilité. Je lui exprime ma gratitude pour ses précieux conseils et sa forte implication tout au long de ma thèse.

Je tiens aussi à exprimer ma gratitude envers tous les membres de l'équipe CSN de l'IMS, Ali, Bertrand, Camille, Jérémie, Guillaume, Thibaud, Marc-André, Imen, Camilo, Rima et mes amis

doctorants et docteurs du laboratoire IMS, Fedia, Hadhemi, Mariem, et mes amis du laboratoire GRESCOM, Hanene, Imen, Abir, souhail, Asma, Abderrahmen, Safa, Latifa, Amira et Ameni.

Je clôture mes remerciements par exprimer ma reconnaissance à mes parents qui se sont sacrifiés pour moi, ma sœur et mon frère. Il me tient à cœur de leur faire part de mon estime et mon amour pour leur confiance et leur aide qui m'ont permis de concrétiser mes objectifs.

Résumé et mots clés

Les travaux de recherche de cette thèse de doctorat s'inscrivent dans le cadre de la conception d'un convertisseur analogique-numérique (ADC, Analog-to-Digital Converter) large bande et à haute résolution afin de numériser plusieurs standards de communications sans fil. Il répond ainsi au concept de la radio logicielle restreinte (SDR, Software Defined Radio). L'objectif visé est la reconfigurabilité par logiciel et l'intégrabilité en vue d'un système radio multistandard. Les ADCs à sur-échantillonnage de type sigma-delta ($\Sigma\Delta$) s'avèrent de bons candidats dans ce contexte de réception SDR multistandard en raison de leur précision accrue. Bien que leur bande passante soit réduite, il est possible de les utiliser dans une architecture en parallèle permettant d'élargir la bande passante. Nous nous proposons alors dans cette thèse de dimensionner et d'implanter un ADC parallèle à décomposition fréquentielle (FBD) basé sur des modulateurs $\Sigma\Delta$ à temps-discret pour un récepteur SDR supportant les standards E-GSM, UMTS et IEEE802.11a. La nouveauté dans l'architecture proposée est qu'il est programmable, la numérisation d'un signal issu d'un standard donné se réalise en activant seulement les branches concernées de l'architecture parallèle avec des sous-bandes de fonctionnement et une fréquence d'échantillonnage spécifiée. De plus, le partage fréquentiel des sous-bandes est non uniforme. Après validation du dimensionnement théorique par simulation, l'étage en bande de base a été dimensionné. Cette étude conduit à la définition d'un filtre anti-repliement passif unique d'ordre 6 et de type Butterworth, permettant l'élimination du circuit de contrôle de gain automatique (AGC). L'architecture FBD requiert un traitement numérique permettant de combiner les signaux à la sortie des branches en parallèle pour reconstruire le signal de sortie finale. Un dimensionnement optimisé de cet étage numérique à base de démodulation a été proposé. La synthèse de l'étage en bande de base a montré des problèmes de stabilité des modulateurs $\Sigma\Delta$. Pour y remédier, une solution basée sur la modification de la fonction de transfert du signal (STF) afin de filtrer les signaux hors bande d'intérêt par branche a été élaborée. Une discontinuité de phase a été également constatée dans le signal de sortie reconstruit. Une solution de raccordement de phase a été proposée. L'étude analytique et la conception niveau système ont été complétées par une implantation de la reconstruction numérique de l'ADC parallèle. Deux flots de conception ont été considérés, un associé au FPGA et l'autre indépendant de la cible choisie (VHDL standard). L'architecture proposée a été validée sur un FPGA Xilinx de type VIRTEX6. Une dynamique de 74 dB a été mesurée pour le cas d'étude UMTS, ce qui est compatible avec celle requise du standard UMTS.

Mots clés

Radio logicielle, Réception sans fil multistandard, ADC parallèle, Modulation Sigma Delta, Décomposition fréquentielle, Reconstruction numérique du signal.

Abstract and Keywords

The work presented in this Ph.D. dissertation deals with the design of a wideband and accurate Analog-to-Digital Converter (ADC) able to digitize signals of different wireless communications standards. Thereby, it responds to the Software Defined Radio concept (SDR). The purpose is reconfigurability by software and integrability of the multistandard radio terminal. Oversampling $\Sigma\Delta$ (Sigma Delta) ADCs have been interesting candidates in this context of multistandard SDR reception thanks to their high accuracy. Although they present limited operating bandwidth, it is possible to use them in a parallel architecture thus the bandwidth is extended. Therefore, we propose in this work the design and implementation of a parallel frequency band decomposition ADC based on Discrete-time $\Sigma\Delta$ modulators in an SDR receiver handling E-GSM, UMTS and IEEE802.11a standard signals. The novelty of this proposed architecture is its programmability. Where, according to the selected standard digitization is made by activating only required branches are activated with specified sub-bandwidths and sampling frequency. In addition the frequency division plan is non-uniform. After validation of the theoretical design by simulation, the overall baseband stage has been designed. Results of this study have led to a single passive 6th order Butterworth anti-aliasing filter (AAF) permitting the elimination of the automatic gain control circuit (AGC) which is an analog component. FBD architecture requires digital processing able to recombine parallel branches outputs signals in order to reconstruct the final output signal. An optimized design of this digital reconstruction signal stage has been proposed. Synthesis of the baseband stage has revealed $\Sigma\Delta$ modulators stability problems. To deal with this problem, a solution based on non-unitary STF has been elaborated. Indeed, phase mismatches have been shown in the recombined output signal and they have been corrected in the digital stage. Analytic study and system level design have been completed by an implementation of the parallel ADC digital reconstruction stage. Two design flows have been considered, one associated to the FPGA and another independent of the chosen target (standard VHDL). Proposed architecture has been validated using a VIRTEX6 FPGA Xilinx target. A dynamic range over 74 dB has been measured for UMTS use case, which responds to the dynamic range required by this standard.

Keywords

Software Radio, wireless multistandard receiver, parallel ADC, Sigma Delta modulation, Frequency Band Decomposition, Digital signal reconstruction.

Notations et symboles

AAF	Anti-Aliasing Filter
ADC	Analog-to-Digital Converter
AGC	Automatic Gain Control
A_{\max}	Atténuation maximale dans la bande passante du filtre anti-repliement
A_{\min}	Atténuation minimale dans la bande de réjection du filtre anti-repliement
B_c	Bande du canal
DR_{ADC}	Dynamique de l'ADC
DR	Dynamic Range
$f_{Nyquist}$	Fréquence d'échantillonnage de Nyquist
f_p	Fréquence de coupure du filtre anti-repliement
F_s	Fréquence d'échantillonnage
f_t	Fréquence de réjection du filtre anti-repliement
E-GSM	Enhanced Global System for Mobile communication
FIR	Finite Impulse Response
FPGA	Field Programmable Gate-Array
FBD	Frequency Band Decomposition
FPGA	Field Programmable Gate-Array
H_d	Matrice carrée de Hadamard
$H[z]$	Fonction de transfert du filtre de boucle
IF	Intermediate Frequency
L	Indice de la branche
LNA	Low Noise Amplifier
LO	Local Oscillator
M	Nombre de branches en parallèle
MUX	MULTipleXeur
N_{bl}	niveau du bloqueur à atténuer
NF	Noise Figure
NTF	Noise Transfer Function
OSR	Over Sampling Ratio
P	Ordre du filtre anti-repliement
q	Bruit de quantification
SNR_{out}	Rapport Signal-à bruit à la sortie du récepteur

S_{ref}	Sensibilité de référence
S_t	Signal test
STF	Signal Transfer Function
SDR	Software Defined Radio
SNR	Signal-to-Noise Ratio
SWR	Software Radio
UMTS	Universal Mobile Telecommunication Standard
$x(t)$	Signal analogique
$X[n]$	Signal numérique
$\Sigma\Delta$	Sigma Delta
$\Pi\Sigma\Delta$	Parallel Sigma Delta
$T\Sigma\Delta$	Time-Interleaved Sigma Delta

Table des matières

Introduction générale.....	16
Chapitre 1 : Numérisation des signaux radio dans une approche multistandard	19
1.1. Introduction.....	19
1.2. Exigences et contraintes de la réception radio logicielle multistandard	19
1.2.1. Concept de la radio logicielle	20
1.2.2. Problématique de la réception SDR multistandard.....	20
1.3. Architecture du récepteur radiocommunication	21
1.3.1. Etat de l'art sur les architectures candidates pour la réception multistandard	21
1.3.2. Proposition d'une architecture de réception hybride homodyne/low-IF.....	24
1.4. Intérêt de la conversion analogique numérique à sur-échantillonnage pour une réception multistandard	25
1.4.1. Etat de l'art sur les ADCs $\Sigma\Delta$ dans un contexte radio multistandard.....	25
1.4.2. Contraintes liées à la conversion $\Sigma\Delta$	34
1.5. Conclusion	37
Chapitre 2 : Architectures parallèles des ADCs à base de modulateurs $\Sigma\Delta$	38
2.1. Introduction.....	38
2.2. Architecture à entrelacement temporel	38
2.2.1. Présentation et théorie de l'architecture $T\Sigma\Delta$	39
2.2.2. Performances de l'architecture $T\Sigma\Delta$	43
2.3. Architecture à base de la modulation de Hadamard	46
2.4. Architecture à base de décomposition fréquentielle.....	48
2.4.1. Présentation de l'architecture FBD	48
2.4.2. Etage de reconstruction numérique directe	49
2.4.3. Etage de reconstruction numérique avec démodulation.....	51
2.5. Comparaison des trois architectures parallèles	53
2.6. Conclusion	54

Chapitre 3 : Étude et conception d’une architecture FBD programmable à bandes non-uniformes dans un contexte radio multistandard	55
3.1. Introduction.....	55
3.2. Etage mixte en bande de base du récepteur radio multistandard	56
3.3. Dimensionnement du filtre anti-repliement	58
3.4. Dimensionnement de l’architecture FBD dans le contexte radio multistandard	62
3.4.1. Dimensionnement théorique de l’architecture FBD	63
3.4.2. Dimensionnement de l’architecture FBD après synthèse des modulateurs $\Sigma\Delta$	67
3.5. Dimensionnement de l’étage de reconstruction numérique pour le récepteur SDR multistandard	72
3.5.1. Choix de la position de la démodulation dans l’architecture.....	73
3.5.2. Etude de la répartition des facteurs de décimation.....	78
3.5.3. Résultats du dimensionnement de l’étage de reconstruction	82
3.6. Correction des erreurs appliquées à la reconstruction numérique	85
3.6.1. Correction du module de la STF du modulateur	85
3.6.2. Raccordement des phases des modulateurs $\Sigma\Delta$	88
3.6.3. Raccordement de phase des filtres passe-bas	89
3.7. Conclusion	89
Chapitre 4 : Implantation de la reconstruction numérique du signal de l’ADC parallèle multistandard	91
4.1. Introduction.....	91
4.2. Implantation avec le flot de conception basé sur la bibliothèque SysGen	91
4.2.1. Conception des filtres numériques	92
4.2.2. Conception des résonateurs numériques	94
4.2.3. Validation du flot de synthèse SysGen	95
4.3. Implantation avec le flot de conception basé sur les outils Mathworks.....	97
4.3.1. Description VHDL d’un filtre FIR	97
4.3.2. Description VHDL de l’oscillateur	100

4.3.3. Validation du modèle global.....	101
4.4. Implantation de l'étage de reconstruction sur FPGA In the Loop.....	102
4.5. Conclusion	105
Conclusion générale	106
Références.....	108

Table des figures

Figure 1.1 : Bruit de scintillement.	22
Figure 1.2 : Architecture de réception multistandard proposée par Brandolini.....	23
Figure 1.3 : Schéma bloc de l'architecture du récepteur à échantillonnage.	24
Figure 1.4 : Architecture de réception multistandard homodyne/low-IF.....	24
Figure 1.5 : Schéma bloc du convertisseur $\Sigma\Delta$ mono-bit.	25
Figure 1.6 : (a) Spectre du signal échantillonné à la fréquence de Nyquist, (b) Spectre du signal sur-échantillonné.....	26
Figure 1.7 : Architecture d'un ADC de type $\Sigma\Delta$	27
Figure 1.8 : Modèle linéaire du quantificateur du modulateur $\Sigma\Delta$	27
Figure 1.9 : Spectre du signal sur-échantillonné avec mise en forme du bruit de quantification.	28
Figure 1.10 : Modulateur $\Sigma\Delta$ du second ordre.....	29
Figure 1.11 : Intégrateurs non retardé (Type 1) et retardé (Type 2).	29
Figure 1.12 : Modulateur $\Sigma\Delta$ d'ordre k.	29
Figure 1.13 : Densité spectrale du bruit normalisée du modulateur $\Sigma\Delta$ pour les ordres $k=1, 2, 3$ et 4.	30
Figure 1.14 : SNR maximal en fonction de l'OSR du modulateur $\Sigma\Delta$ pour les ordres $k=1, 2, 3$ et 4	31
Figure 1.15 : Modèle quasi-linéaire du quantificateur du modulateur $\Sigma\Delta$	32
Figure 1.16 : Prototypé de la fonction NTF.	33
Figure 1.17 : Organigramme de la méthode empirique de dimensionnement de modulateur $\Sigma\Delta$ d'ordre élevé stable.....	33
Figure 1.18 : Détermination graphique de la DR à partir du SNDR.	35
Figure 2.1 : Architecture d'un ADC en parallèle à entrelacement temporel $T\Sigma\Delta$	40
Figure 2.2 : Diagramme bloc de l'architecture $T\Sigma\Delta$	41
Figure 2.3 : Diagramme de flux du signal simplifié pour $H'(z)=1$	42
Figure 2.4 : Diagramme de flux du signal utile.	44
Figure 2.5 : Diagramme de flux du bruit de quantification dans l'architecture $T\Sigma\Delta$	44
Figure 2.6 : Diagramme bloc de l'ADC $\Sigma\Delta$ en parallèle à base de la modulation de Hadamard.....	47
Figure 2.7 : Architecture en parallèle à base de décomposition fréquentielle.....	49
Figure 2.8 : Reconstruction numérique directe du signal.	49
Figure 2.9 : Spectre du signal de sortie du modulateur $\Sigma\Delta$ avant et après décimation.	51
Figure 2.10 : Décimation à plusieurs étages.	51
Figure 2.11 : Reconstruction numérique du signal avec démodulation.	52
Figure 3.1 : Architecture de l'étage en bande de base du récepteur multistandard.....	56

Figure 3.2 : Architecture de l'étage en bande de base du récepteur multistandard avec ADC de type FBD basé sur des modulateurs $\Sigma\Delta$.	57
Figure 3.3 : Gabarit en atténuation du filtre AAF.	58
Figure 3.4 : (a) Réponses en fréquence de différents types de filtres d'ordre 6 ; (b) zoom dans la bande.	59
Figure 3.5 : Gabarit en atténuation du filtre AAF passe-bas Butterworth d'ordre 6.	61
Figure 3.6 : Profil des bloqueurs à la sortie du filtre AAF pour les standards (a) E-GSM, (b) UMTS et (c) IEEE802.11a.	62
Figure 3.7 : SNR maximal en fonction de l'OSR et de l'ordre du modulateur $\Sigma\Delta$: (a) passe-bas ; (b) passe-bande.	64
Figure 3.8 : Dimensionnement théorique des architectures FBD pour les standards GSM, UMTS et IEEE802.11a.	67
Figure 3.9 : Réponses en fréquence de la STF et de la NTF du modulateur $\Sigma\Delta$ synthétisé de la branche 2.	68
Figure 3.10 : Spectre du signal à la sortie du modulateur $\Sigma\Delta$ synthétisé pour la 2 ^{ème} branche UMTS de l'architecture FBD suivant le dimensionnement initial.	69
Figure 3.11 : Spectre du signal à la sortie du modulateur $\Sigma\Delta$ synthétisé pour la 2 ^{ème} branche UMTS de l'architecture FBD avec le nouveau dimensionnement.	69
Figure 3.12 : Dimensionnement des architectures FBD pour les standards GSM, UMTS et IEEE802.11a après synthèse et test des performances des modulateurs $\Sigma\Delta$.	71
Figure 3.13 : Découpage fréquentiel des bandes passantes.	72
Figure 3.14 : Architecture d'une branche L , $2 \leq L \leq M$, de l'étage de reconstruction numérique avec l'opération de démodulation à la sortie du modulateur $\Sigma\Delta$.	74
Figure 3.15 : (a) Spectre du signal à la sortie du modulateur $\Sigma\Delta$ de la 2 ^{ème} branche avec un signal d'entrée S_i ; (b) zoom dans la bande d'intérêt.	75
Figure 3.16 : (a) Spectre du signal de sortie du modulateur $\Sigma\Delta$ de la 2 ^{ème} branche après démodulation avec un signal d'entrée S_i ; (b) zoom dans la bande.	76
Figure 3.17 : Profil des bloqueurs UMTS après démodulation dans la branche 2 de l'architecture FBD.	77
Figure 3.18 : Architecture d'une branche L , $2 \leq L \leq M$, de l'étage de reconstruction numérique avec l'opération de démodulation entre les deux étages de décimation.	78
Figure 3.19 : Modèle de l'étage de reconstruction numérique dimensionné pour le cas d'étude UMTS.	83

Figure 3.20 : Réponse fréquentielle en amplitude des filtres FIR passe-bas de l'étage de reconstruction numérique après modulation.	83
Figure 3.21 : (a) Réponse en amplitude de la somme des filtres passe bas FIR de l'étage de reconstruction numérique après modulation, (b), zoom dans la bande utile.	84
Figure 3.22 : Spectre du signal de sortie après reconstruction numérique.	84
Figure 3.23 : Gabarit de la STF non-unitaire de la branche 1.	87
Figure 3.24 : Gabarit de la STF non-unitaire de la branche 2.	87
Figure 3.25 : Gabarit de la STF non-unitaire de la branche 3.	88
Figure 3.26 : Réponses en phase des filtres passe-bas de reconstruction.	89
Figure 4.1 : Modèle SysGen de l'étage de reconstruction numérique du signal de l'ADC parallèle pour le cas d'étude UMTS.	92
Figure 4.2 : Configuration et synthèse du filtre FIR avec l'outil FDATool.	93
Figure 4.3 : Configuration pour l'implantation du filtre FIR à partir de la librairie SysGen.	93
Figure 4.4 : Modèle du résonateur numérique conventionnel.	94
Figure 4.5 : Modèle SysGen du résonateur numérique implémenté.	95
Figure 4.6 : Représentation spectrale du signal de sortie pour une représentation (a) en virgule flottante et (b) en virgule fixe.	96
Figure 4.7 : Schéma de représentation des différents environnements de travail.	97
Figure 4.8 : Co-simulation d'un modèle pour comparer les résultats Simulink par rapport au résultat du solver Modelsim.	99
Figure 4.9 : Simulation temporelle de la représentation (a) en virgule flottante – Solverb) Simulink (a) et (b) en virgule fixe – VHDL – Solver Modelsim.	99
Figure 4.10 : Modèle avec l'ensemble des filtres décrits en virgule fixe (VHDL + Modelsim).	100
Figure 4.11 : Validation de l'oscillateur numérique.	100
Figure 4.12 : Erreur absolue entre la représentation en virgule flottante et la représentation en virgule fixe de l'oscillateur.	101
Figure 4.13 : Modèle de co-simulation de la structure globale.	101
Figure 4.14 : Représentation spectrale du signal de sortie pour une représentation (a) en virgule flottant et (b) en virgule fixe.	102
Figure 4.15 : Simulation du modèle global et implantation sur FPGA de l'étage de reconstruction. ..	103
Figure 4.16 : Résultats de simulation du modèle global en (en noir) virgule flottante sous modèle SIMULINK.	103
Figure 4.17 : Erreur relative entre les deux implantation (software et hardware).	104
Figure 4.18 : Spectre du signal de sortie recombinaé de l'architecture FBD en utilisant la simulation Simulink et l'implémentation SysGen.	104

Liste des tableaux

Tableau 1.1 : Etat de l'art de modulateurs $\Sigma\Delta$ à temps discret passe-bas avec quantificateur mono-bit.....	35
Tableau 1.2 : Etat de l'art de modulateurs $\Sigma\Delta$ à temps discret passe-bas avec quantificateur multi-bit.	36
Tableau 1.3 : Etat de l'art de modulateurs $\Sigma\Delta$ à temps discret passe-bande avec quantificateur mono-bit.....	36
Tableau 1.4 : Etat de l'art de modulateurs $\Sigma\Delta$ à temps continu passe-bas avec quantificateur mono-bit.....	36
Tableau 1.5 : Etat de l'art de modulateurs $\Sigma\Delta$ à temps continu passe-bande avec quantificateur mono-bit.....	36
Tableau 3.1 : Etat de l'art des filtres AAFs passe-bas actifs.	56
Tableau 3.2 : Etat de l'art des AGCs programmables.....	56
Tableau 3.3 : Rappel de quelques paramètres physiques des standards E-GSM/UMTS/IEEE802.11a et spécifications de dimensionnement du récepteur multistandard.....	57
Tableau 3.4 : Dimensionnement du filtre AAF passe-bas.	60
Tableau 3.5 : Performances des signaux à la sortie des modulateurs $\Sigma\Delta$ synthétisés avec le nouveau dimensionnement de l'architecture FBD.	70
Tableau 3.6 : Dimensionnement du filtre de démodulation dans la branche 2.	76
Tableau 3.7 : Dimensionnement des filtres pour la répartition (8x2) des facteurs de décimation.	78
Tableau 3.8 : Dimensionnement des filtres pour la répartition (4x4) des facteurs de décimation.	80
Tableau 3.9 : Dimensionnement des filtres pour la répartition (2x8) des facteurs de décimation.	81
Tableau 3.10 : Résultat du dimensionnement des filtres de l'architecture de reconstruction de l'étude du cas UMTS.....	82
Tableau 3.11 : Amplitude maximale Amp1 d'un signal sinusoïdal à la fréquence fin1 dans la bande de branche 1 pour garantir sa stabilité.	86
Tableau 3.12 : Amplitude maximale Amp2 d'un signal sinusoïdal à la fréquence fin2 dans la bande de branche 2 pour garantir sa stabilité.	86
Tableau 3.13 : Amplitude maximale Amp3 d'un signal sinusoïdal à la fréquence fin3 dans la bande de branche 3 pour garantir sa stabilité.	86
Tableau 3.14 : Test de la stabilité du modulateur de la branche 1 avec un signal de fréquence fin1 $\in [0, 600 \text{ kHz}]$ et d'amplitude Amp1 égale à 0.46 accompagné d'un signal perturbateur à la branche 2 de fréquence fin2 $\in [600 \text{ kHz}, 1600 \text{ kHz}]$ et d'amplitude Amp2 égale à 10^{-2}	86

Tableau 4.1 : Calcul de a_{21} , $x_1(0)$ et $x_2(0)$ des oscillateurs numériques de l'architecture FBD pour les différentes valeurs de A , φ , et f_r	95
Tableau 4.2 : Ressources utilisées pour la structure globale de l'étage de reconstruction sur une cible VIRTEX6 de Xilinx (XC6VLX240t-1ff1156).	96
Tableau 4.3 : Ressources utilisées pour la structure globale de l'étage de reconstruction (cible XILINX VIRTEX6 (XC6VLX240t-1ff1156)).....	102

Introduction générale

Devenue l'une des technologies émergentes du XXI^{ème} siècle pour les systèmes radios avancés, la radio logicielle multistandard constitue un domaine de recherche très large qui vise la réalisation d'un système de communications universel reconfigurable présentant une infrastructure largement numérisée et supportant un fonctionnement indépendant du matériel [1-3]. Ce concept de radio multiservices et totalement programmable a été initialement introduit par Mitola en 1993 [1]. Il vise l'implantation en logiciel de tous les traitements radio afin de permettre de promouvoir les aspects de reconfigurabilité et d'intégrabilité du système de radiocommunications qui pourra désormais supporter un fonctionnement multistandard programmable et flexible.

Cependant, la réalisation de cette solution de radio logicielle se révèle impossible avec les limitations technologiques des systèmes radios présents actuellement sur le marché [2]. En effet, les circuits RF analogiques sont toujours indispensables dans les interfaces radio des terminaux et des stations de base et il n'existe pas encore de solutions permettant de migrer tous les traitements radio en logiciel. Afin de contourner ces limitations technologiques, le concept de la radio logicielle restreinte (SDR, Software Defined Radio) a été introduit par la communauté scientifique [4]. L'idée est de rapprocher autant que possible, dans un récepteur radio, l'étage de conversion analogique numérique (ADC, Analog-to-Digital Converter) de l'antenne. L'objectif consiste à réduire au maximum les circuits analogiques de l'étage RF en les faisant migrer vers le domaine numérique [4]. La SDR permet ainsi à plusieurs systèmes de communication de coexister en utilisant une plateforme unique de réception radio multistandard programmable, reconfigurable et compacte. Ceci s'accompagne par une augmentation considérable des contraintes sur l'étage de conversion analogique numérique du signal radio [2, 3, 5]. En effet, le convertisseur analogique numérique doit satisfaire des contraintes très différentes en termes de largeur de la bande passante du canal utile et de dynamique requise des normes de communication supportées par le récepteur multistandard. Nous pouvons citer une largeur de la bande passante qui varie de 200 kHz pour l'E-GSM à 16.6 MHz pour l'IEEE802.11a [6, 7]. Par ailleurs, la dynamique passe de 60 dB pour l'IEEE802.11a à 96 dB pour l'E-GSM. L'ADC dans un récepteur SDR multistandard dépasse ainsi les limites technologiques des convertisseurs disponibles actuellement sur le marché [8, 9].

Dans l'objectif d'atteindre les dynamiques élevées requises par certains standards tels que l'E-GSM, les convertisseurs de type $\Sigma\Delta$ sont utilisés pour leur qualité de mise en forme de bruit de quantification. Néanmoins, ils ne permettent pas de traiter les larges bandes nécessaires pour l'envoi des données lors de l'utilisation, par exemple, du standard IEEE802.11a. Les architectures en parallèle sont alors proposées par la communauté scientifique pour remédier à cette limitation. Nous

distinguons l'architecture à entrelacement temporel ($\text{TI}\Sigma\Delta$ Time-Interleaved Sigma Delta) [10], l'architecture à base de modulation de Hadamard ($\text{Π}\Sigma\Delta$ Parallel Sigma Delta) [11] et l'architecture à base de décomposition fréquentielle (FBD, Frequency Band Decomposition) [12, 13]. L'architecture FBD associée aux convertisseurs $\Sigma\Delta$ s'avère être une candidate intéressante garantissant une dynamique élevée avec une extension de la bande passante pour satisfaire les exigences de la réception SDR multistandard. Nos travaux de recherche sont focalisés sur le dimensionnement et l'implémentation d'une architecture FBD à base de modulateurs $\Sigma\Delta$ à temps discret dédiée pour un récepteur SDR multistandard supportant le fonctionnement des standards E-GSM, UMTS et IEEE802.11a. Pour présenter les résultats de nos travaux de recherche, le présent manuscrit de thèse de doctorat se compose de quatre chapitres.

Dans le premier chapitre, nous présentons les limites et les exigences de la radio logicielle multistandard ainsi que les contraintes qu'elle impose sur l'étage de conversion analogique numérique du signal radio [2]. Ensuite, des architectures candidates à la réception multistandard sont présentées [3, 14, 15]. Un intérêt particulier est accordé à l'architecture de réception hybride homodyne/low-IF adaptée au fonctionnement avec les standards E-GSM, UMTS et IEEE802.11a [16]. Comme l'étage de numérisation du signal radio subit le plus de contraintes dans l'architecture de réception multistandard, nous présentons alors l'intérêt des ADCs à sur-échantillonnage pour répondre à ces exigences. Un état de l'art des ADCs de type $\Sigma\Delta$ est présenté à la fin de ce premier chapitre [6, 7].

Certes, les ADCs de type $\Sigma\Delta$ présentent un intérêt notable dans un contexte SDR multistandard en raison de la grande dynamique qu'ils assurent [6, 7]. Cependant, l'inconvénient majeur réside dans leur bande passante limitée en raison de l'utilisation du principe de sur-échantillonnage. Le parallélisme des modulateurs $\Sigma\Delta$ est proposé comme une solution permettant de remédier à ce problème. Le deuxième chapitre est alors consacré à l'étude des principales architectures en parallèle telles que l'architecture $\text{TI}\Sigma\Delta$, l'architecture $\text{Π}\Sigma\Delta$ et l'architecture FBD. L'objectif de cette étude est de sélectionner la meilleure architecture en parallèle pour l'implémentation de l'ADC d'un récepteur SDR multistandard.

Par la suite, le troisième chapitre est consacré au dimensionnement de l'étage mixte en bande de base du récepteur SDR multistandard basé sur l'utilisation d'un ADC parallèle. Nous nous focalisons dans un premier temps sur le dimensionnement du filtre anti-repliement non-programmable. Puis, vient le dimensionnement de l'architecture parallèle de type FBD utilisée pour l'ADC. Ce dimensionnement comporte la détermination du nombre de branches en parallèle, l'évaluation de la largeur de bande passante par branche et le choix de la fréquence d'échantillonnage pour la

numérisation des signaux de chaque standard. Ensuite, l'architecture FBD requiert un étage de reconstruction numérique permettant de combiner les signaux des branches en parallèle pour former le signal global de la sortie. Cet étage est composé principalement d'une démodulation, d'un étage de décimation et d'une modulation. Le dimensionnement de l'étage de reconstruction numérique passe par le choix de la position de la démodulation dans l'architecture mais aussi par le choix optimal de la répartition des facteurs de décimation. Nous consacrons la fin de ce troisième chapitre aux corrections nécessaires des erreurs de gain et de phase de l'architecture FBD.

Finalement, le quatrième chapitre est dédié à la présentation des résultats de validation et d'implémentation de l'étage en bande de base mixte en utilisant deux flots de conception. Nous commençons par la réalisation de la co-simulation Matlab/Simulink/SysGen et l'implémentation moyennant une bibliothèque associée à une cible FPGA de la firme Xilinx. Les résultats d'analyse spectrale du signal, de ressources utilisées et fréquence maximale sont présentés. Ensuite, nous réalisons l'architecture FBD en utilisant des outils HDL coder fournis par Mathworks pour obtenir une description VHDL indépendante de la cible. Les implémentations des filtres puis des oscillateurs sont initialement effectuées et validées en virgule fixe sur une cible FPGA de la famille Virtex de la firme Xilinx. Les résultats des ressources utilisées et de la fréquence maximale sont alors discutés. Enfin, la validation est effectuée pour l'architecture FBD proposée en analysant le spectre et en calculant la dynamique à la sortie des branches prévues pour un cas d'étude (standard UMTS).

Chapitre 1 : Numérisation des signaux radio dans une approche multistandard

1.1. Introduction

L'expansion et l'évolution du marché des communications poussent les industriels de ce domaine à mettre en place des terminaux mobiles capable de supporter un fonctionnement multistandard. Le terminal mobile doit s'adapter aux différentes normes de communications coexistantes. Dans ce contexte, l'approche radio logicielle se révèle indispensable puisqu'elle permet de migrer les fonctionnalités radio qui jusque-là étaient supportées par des étages RF analogiques vers l'étage numérique en vue de faire évoluer le terminal de réception vers un système programmable et reconfigurable [1]. Dans un premier temps, ce chapitre introduit la problématique de la réception radio logicielle multistandard [2]. Puis, de nouvelles architectures répondant aux spécifications de ce concept de récepteurs multistandards sont présentées. Une attention particulière sera portée sur l'architecture hybride homodyne/low-IF pour sa capacité d'intégration [3, 16]. Cependant, le fonctionnement et les spécifications d'un récepteur multistandard augmentent considérablement les contraintes sur l'étage de conversion analogique-numérique [17], notamment vis-à-vis de la fréquence d'échantillonnage (augmentation de la bande passante) et de la résolution (augmentation de la dynamique). Les convertisseurs analogique-numérique (ADC, Analog-to-Digital Converter) à sur-échantillonnage de type $\Sigma\Delta$ s'avèrent de bons candidats pour la réception multistandard en raison de leur grande résolution offrant une forte dynamique [8]. Bien que, par principe, la bande passante des ADC $\Sigma\Delta$ est réduite, il est possible de les utiliser dans une architecture permettant d'élargir la bande passante. Cet élargissement de bande sera abordé dans les chapitres suivants. Cependant et afin de justifier notre intérêt pour les ADC $\Sigma\Delta$ dans les récepteurs multistandard, nous rappelons à la fin de ce chapitre le principe de fonctionnement des convertisseurs $\Sigma\Delta$ [9] suivi d'un état de l'art des différents composants large bande publiés dans la littérature.

1.2. Exigences et contraintes de la réception radio logicielle multistandard

Pour définir l'architecture du récepteur, il est important d'identifier les contraintes et les spécifications liées à ce choix, ce qui est l'objet de la section qui suit.

1.2.1. Concept de la radio logicielle

Les systèmes de communication connaissent une considérable évolution avec la forte application des moyens sans fil. Cette importante étendue des normes et des services de communication s'est accompagnée de fortes exigences imposées par les nouvelles générations des systèmes radio. Des exigences qui se manifestent par un besoin de disposer d'un système radio multi-service, multi-bande, programmable et à haute performance tout en assurant une faible complexité mais aussi un coût réduit [2]. Pour faire face aux besoins et défis annoncés par les nouvelles normes radio ainsi qu'à ses exigences, la migration vers la radio logicielle (SWR, Software Radio) se révèle alors incontournable [1, 2].

La radio logicielle a été initialement introduite par Joseph MITOLA en 1993 [1]. Elle vise à la réalisation de systèmes radio supportant un fonctionnement multistandard, multi-bande, multi-mode, programmable et reconfigurable par logiciel. Elle consiste à numériser tous les modules radio afin de rendre le système radio flexible, reconfigurable et intégrable. Le concept consiste à placer au plus près de l'antenne, l'étage de conversion analogique numérique, l'objectif étant une implémentation logicielle de tous les modules radio.

La mise en œuvre de la SWR se révèle impossible actuellement avec les limitations des technologies radio présentes sur le marché s'expliquant par l'architecture usuelle d'un étage radio gardant toujours des circuits RF analogiques non reconfigurables. Pour faire face à ces limitations, les chercheurs ont défini un nouveau concept qui est la radio logicielle restreinte (SDR, Software Defined Radio) [4]. L'idée consiste à rendre l'ADC plus proche de l'antenne pour réduire au maximum l'étage RF et transférer les problèmes analogiques vers l'étage numérique.

1.2.2. Problématique de la réception SDR multistandard

La réalisation d'un récepteur radio logicielle multistandard est confrontée à plusieurs contraintes technologiques. En effet, l'architecture de réception doit supporter le fonctionnement de plusieurs standards de radio communications, présentant des spécifications diversifiées. Notre étude se concentre sur le système de conversion analogique numérique qui doit satisfaire des contraintes très variées, que ce soit pour la bande-passante et ou pour la dynamique requise au regard des normes de communication supportées par le récepteur multistandard. Cela va à l'encontre des limites technologiques des convertisseurs présents actuellement sur le marché [8, 9, 18].

Quant à l'étage de traitement numérique du signal, ses contraintes principales sont la reconfigurabilité et une complexité calculatoire la plus faible possible afin de réduire au maximum sa consommation de puissance [17].

Nous nous intéressons dans la sous-section suivante aux architectures de réception candidates pour la réception SDR.

1.3. Architecture du récepteur radiocommunication

Dans cette section, un état de l'art des architectures candidates pour la réception multistandard est présenté. Une architecture hybride homodyne/low-IF utilisant un filtre anti-repliement non-programmable sans le besoin d'un bloc de contrôle automatique de gain (AGC, Automatic Gain Control) en amont est proposée.

1.3.1. Etat de l'art sur les architectures candidates pour la réception multistandard

Dans cette sous-section, nous nous intéressons à l'étude des architectures récentes proposées dans la littérature pour les récepteurs SDR. Deux catégories d'architectures de récepteurs SDR seront abordées, les architectures hybrides à conversion de fréquence directe ou à faible fréquence intermédiaire mais aussi les architectures à sous-échantillonnage.

1.3.1.1. Architecture de réception hybride homodyne/low-IF

L'architecture homodyne transpose directement le signal RF en bande de base, autour d'une fréquence intermédiaire (IF, Intermediate Frequency) nulle. Le récepteur homodyne, appelé aussi zéro-IF, présente une bonne intégrabilité [14], pour un coût et une puissance consommée faibles. Cette architecture, intéressante au premier abord, présente cependant certaines faiblesses. En effet, les oscillateurs opèrent à la fréquence RF, et la réalisation du déphasage de $\pi/2$ présente des erreurs d'un point de vue électronique, entraînant une erreur de gain et de phase entre les voies I et Q (IQ Imbalance) avec une dégradation de l'EVM (EVM, Error Vector Magnitude) [5]. De plus, l'inconvénient majeur de cette architecture consiste en la tension de décalage continue, ou DC-offset, car le mélangeur n'isole pas parfaitement l'oscillateur local de l'amplificateur à faible bruit (LNA, Low-Noise Amplifier). En effet, lors de la transposition de fréquence, des fuites de l'oscillateur local risquent d'être détectées à l'entrée du mélangeur et être multipliées par leur propre fréquence porteuse f_{LO} pour récupérer une composante continue pouvant dégrader le rapport signal-à-bruit (SNR, Signal-to-Noise Ratio) d'un signal à bande étroite [5]. L'architecture homodyne n'est alors pas adaptée aux signaux à bandes étroites, surtout en présence du bruit de scintillement nommé aussi « bruit en $1/f$ ». Ce bruit présente une dépendance spectrale pour les basses fréquences en $1/f$ comme illustré par la Figure 1.1. Les composants actifs souffrent plus du bruit de scintillement par rapport aux composants passifs [19]. De plus, ce bruit peut provenir des impuretés dans les matériaux mais aussi des recombinaisons électron-trou parasites.

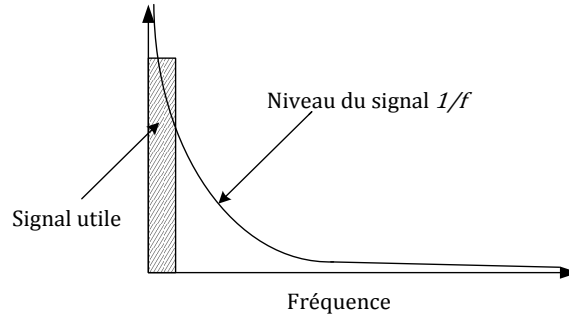


Figure 1.1 : Bruit de scintillement.

L'architecture homodyne n'est donc pas adaptée aux signaux à bande étroite tels que les signaux GSM à cause du DC-offset et du bruit de scintillement. Pour remédier à ces problèmes, une solution consiste à convertir les signaux à bande étroite vers une fréquence intermédiaire de façon à éviter les bruits en basse fréquence. Naturellement, la fréquence intermédiaire sera choisie suffisamment faible pour s'affranchir de l'inconvénient lié à la fréquence image.

Les auteurs de [3] proposent une architecture de réception en ce sens, complètement intégrée et dédiée pour les terminaux mobiles multistandard. Elle supporte le fonctionnement des standards de radiocommunications GSM, UMTS, Bluetooth, et IEEE802.11a/b/g. Après avoir dressé les spécifications de chaque standard de radiocommunication, Les auteurs dans [3] proposent selon les spécifications de chaque norme, les architectures de réception candidates. Il s'agit des architectures homodyne et low-IF. En effet, l'architecture homodyne est recommandée pour les standards à large bande UMTS et IEEE802.11a/b/g. Cependant, pour les standards à bande étroite comme le GSM, une transposition de fréquence des signaux reçus vers une faible fréquence intermédiaire, dite low-IF, est privilégiée bien qu'un étage numérique pour l'atténuation de la fréquence image soit indispensable. L'architecture de réception SDR multistandard proposée par Brandolini [3] est donnée dans la Figure 1.2.

L'étage RF est composé de filtres RF en parallèle avec un dispositif de multiplexage pour la sélection du filtre accordé à la bande considéré. Ainsi, selon le standard en question, le commutateur permet de sélectionner le filtre RF adéquat. L'étage de filtrage RF est suivi par un LNA multi-bande. Ensuite, les signaux issus de tous les standards utilisent le même étage en bande de base analogique. Il est composé d'un mélangeur assurant la transposition fréquentielle des signaux reçus, ainsi que d'un filtre anti-repliement (AAF, Anti-Aliasing Filter) de type Butterworth d'ordre 4 situé entre deux amplificateurs à gain variable (VGA, Variable Gain Amplifier). L'étage en bande de base contrôlé numériquement permet la sélection du canal du standard considéré et offre le gain nécessaire pour le signal utile.

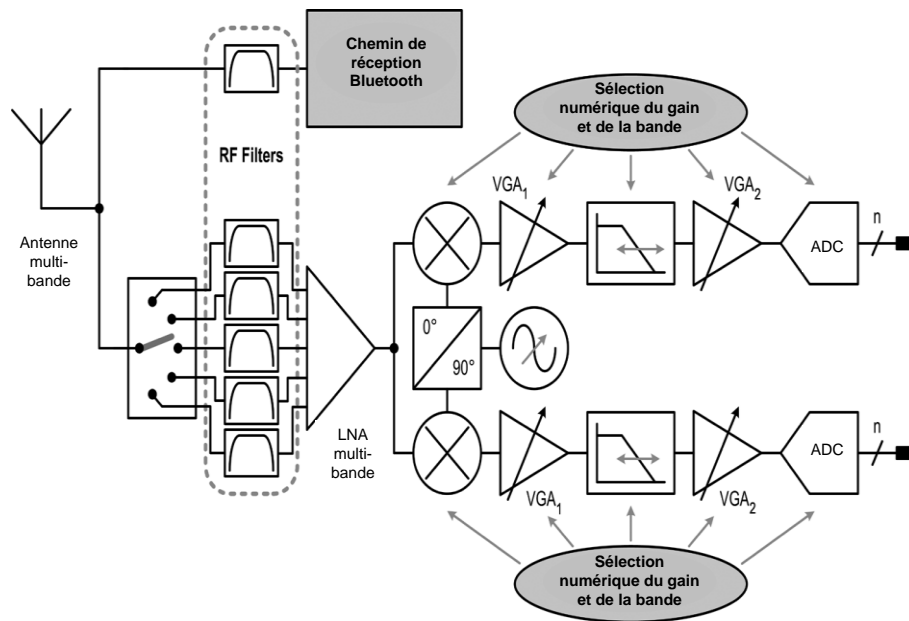


Figure 1.2 : Architecture de réception multistandard proposée par Brandolini.

1.3.1.2. Architecture de réception à échantillonnage

Nous pouvons améliorer la qualité de la transposition de fréquence en utilisant un récepteur IF numérique. Dans ce type d'architecture de réception, on remplace le mélangeur habituellement utilisé dans les architectures usuelles. L'échantillonneur/bloqueur assure à la fois le passage vers le temps discret et la transposition en fréquence grâce au principe de repliement spectral [15]. L'avantage est de limiter le traitement analogique au LNA et au filtre RF. De plus, le problème de l'erreur de gain et de phase entre les signaux des voies I et Q du récepteur est éliminé, puisque le traitement analogique du signal reçu se fait sur une seule voie. L'architecture de réception IF numérique assure également la transposition de la fréquence RF vers la fréquence IF sans l'apparition du problème de DC-offset. Le traitement en temps discret des signaux radio dans ce récepteur offre une grande flexibilité de programmation permettant de supporter le traitement des signaux multistandard ainsi que l'implémentation des fonctionnalités de la radio logicielle. Cependant, les exigences du convertisseur sont plus sévères à cause de la dynamique du signal et de la bande à traiter à l'entrée de l'ADC. Par la suite, la consommation en puissance augmente. Le schéma bloc décrivant l'architecture du récepteur à échantillonnage est donné par la Figure 1.3.

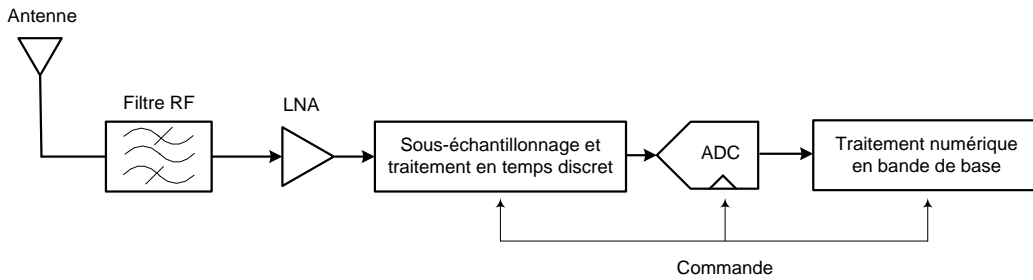


Figure 1.3 : Schéma bloc de l'architecture du récepteur à échantillonnage.

1.3.2. Proposition d'une architecture de réception hybride homodyne/low-IF

Une nouvelle architecture hybride homodyne/low-IF d'un récepteur radio multistandard a été proposée dans [16]. Les normes de radio communications à traiter sont l'E-GSM, l'UMTS et l'IEEE802.11.a. L'étage en bande de base de ce récepteur est conçu en évitant l'utilisation du bloc de contrôle automatique de gain et en réduisant les contraintes sur les filtres anti-repliement.

La Figure 1.4 présente l'architecture de réception hybride homodyne/low-IF. Le signal est reçu par une antenne multi-bande puis traité selon le standard par l'un des filtres RF sélectionné par le commutateur RF. Ensuite, multi-bande et à faible bruit est utilisé. Pour les standards UMTS et IEEE802.11a, les signaux sont transposés directement en bande de base par le mélangeur. Quant aux signaux E-GSM, ils sont transposés par le mélangeur vers une faible fréquence intermédiaire égale à 100 kHz car à la fréquence image, le canal adjacent est supérieur au signal de test de 9 dB. Cependant, le canal non-adjacent requiert une réjection de 32 dB [16]. A la sortie du mélangeur, nous considérons un étage en bande de base comme illustré par la Figure 1.4. Le filtre anti-repliement est unique et non-programmable pour ne pas utiliser un AGC [16].

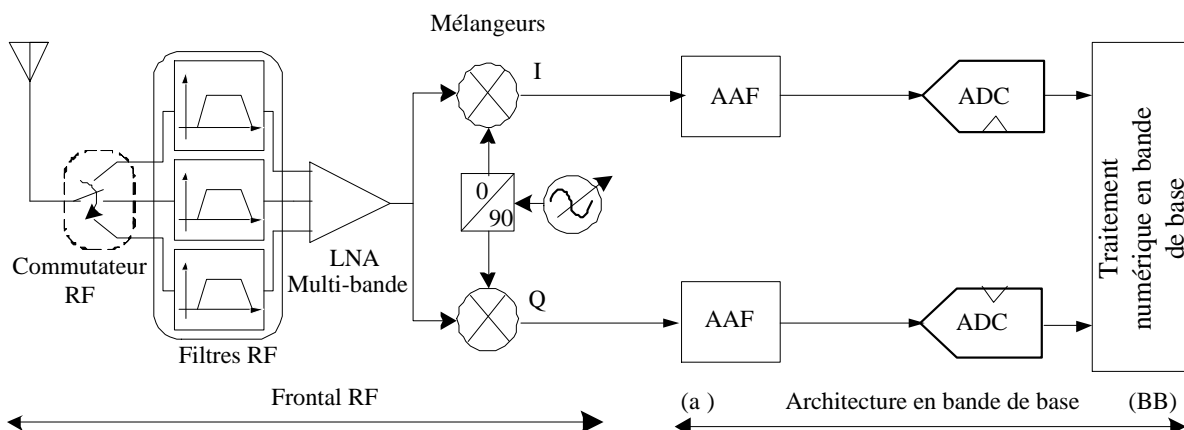


Figure 1.4 : Architecture de réception multistandard homodyne/low-IF.

1.4. Intérêt de la conversion analogique numérique à sur-échantillonnage pour une réception multistandard

Le convertisseur analogique numérique est le bloc qui subit le plus de contraintes dans l'architecture de réception multistandard. En effet, il est amené à numériser des signaux avec des plages de dynamique requise et de bandes passantes très variées. Dans cette section, nous proposons un état de l'art non exhaustif des ADCs de type $\Sigma\Delta$, puisque nous nous limitons à des architectures mono-bit à temps discret, caractéristiques explicitées dans les paragraphes suivants.

1.4.1. Etat de l'art sur les ADCs $\Sigma\Delta$ dans un contexte radio multistandard

Le principe de la conversion analogique-numérique à sur-échantillonnage est présenté dans la première partie de cette sous-section. Ensuite, les choix conceptuels offerts pour la réalisation d'un ADC $\Sigma\Delta$ seront discutés.

1.4.1.1. Principe de la conversion analogique-numérique $\Sigma\Delta$

La conversion $\Sigma\Delta$ repose sur deux principes : le sur-échantillonnage et la mise en forme du bruit de quantification [9]. Le schéma bloc d'un convertisseur $\Sigma\Delta$ mono-bit est donné en Figure 1.5. Le modulateur $\Sigma\Delta$ à sur-échantillonnage délivre une information à haut débit et codée sur peu de bits (1 bit dans la Figure 1.5). Il est alors nécessaire de coder le flux binaire en sortie du modulateur $\Sigma\Delta$ sur un nombre de bits élevé correspondant à la résolution globale de l'ADC et il est important de sous échantillonner (décimer) ce flux pour permettre un retour à la fréquence de Nyquist. Ces opérations sont assurées par le filtre numérique placé à la sortie du modulateur $\Sigma\Delta$ comme montré dans la Figure 1.5.

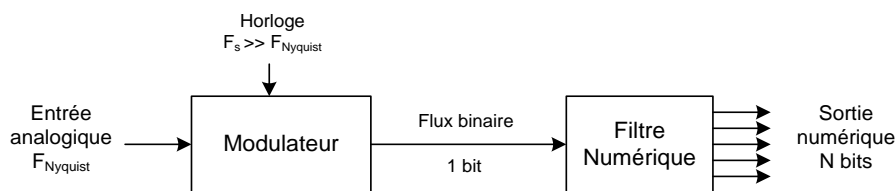


Figure 1.5 : Schéma bloc du convertisseur $\Sigma\Delta$ mono-bit.

Le principe de sur-échantillonnage consiste à échantillonner dans l'espace temporel le signal à une fréquence très supérieure à la fréquence de Nyquist qui est la limite minimale imposée par le théorème de Shannon, qui indique que le signal doit être échantillonné à une fréquence d'échantillonnage minimale F_s , égale à $2 \times B_w$, avec B_w étant la bande du signal utile, pour éviter une perte d'information liée au repliement spectral. Cette limite, référée comme la fréquence de Nyquist, est notée $F_{Nyquist}$. Les ADCs échantillonnant le signal d'entrée analogique avec une

fréquence d'échantillonnage égale à la fréquence de Nyquist ($F_s = F_{Nyquist}$), sont appelés des convertisseurs Nyquist. Quant aux ADCs sur-échantillonnant le signal d'entrée analogique ($F_s > F_{Nyquist}$), sont appelés des convertisseurs à sur-échantillonnage. Le taux de sur-échantillonnage est traduit par le facteur de sur-échantillonnage (OSR , Oversampling Ratio). Il est défini par la relation (1.1).

$$OSR = \frac{F_s}{2 \times B_w} \quad (1.1)$$

Le sur-échantillonnage permet de réduire la densité de puissance du bruit de quantification dans la bande utile du signal, la puissance totale restant constante. Si pour un convertisseur Nyquist, la densité spectrale de puissance est équirépartie dans la bande de $[-F_{Nyquist}/2, +F_{Nyquist}/2]$, pour un convertisseur dit à sur-échantillonnage, celle-ci sera équirépartie sur une bande plus large $[-OSR \times F_{Nyquist}/2, +OSR \times F_{Nyquist}/2]$. Par conséquent, la puissance du bruit de quantification filtré dans la bande utile $[-B_w/2, +B_w/2]$, sera plus faible comme montré à travers la Figure 1.6 (a) et la Figure 1.6 (b) représentant respectivement les spectres du signal échantillonné à la fréquence $F_{Nyquist}$ et $F_s = OSR \times F_{Nyquist}$. Il est à noter que la densité spectrale puissance du bruit de quantification est désignée par $N(f)$ et la densité spectrale de puissance du signal est désignée par $S(f)$.

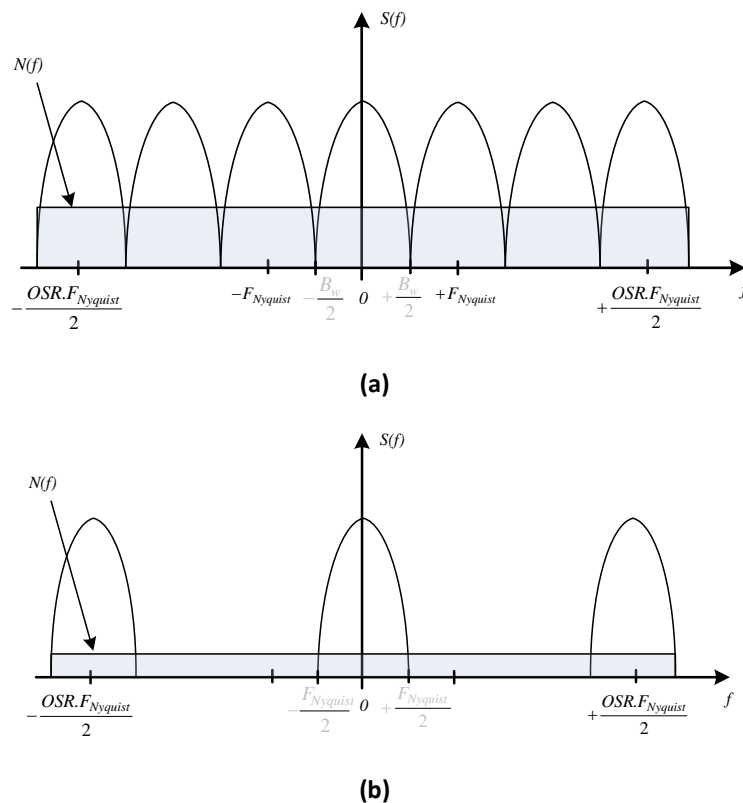


Figure 1.6 : (a) Spectre du signal échantillonné à la fréquence de Nyquist, (b) Spectre du signal sur-échantillonné.

Par ailleurs, le principe de la mise en forme du bruit de quantification est réalisé par le modulateur $\Sigma\Delta$ qui est essentiellement composé de trois blocs (Figure 1.7), à savoir un filtre de boucle, un quantificateur interne et un convertisseur numérique-analogique (DAC) permettant de convertir le signal dans la boucle de retour en une forme analogique.

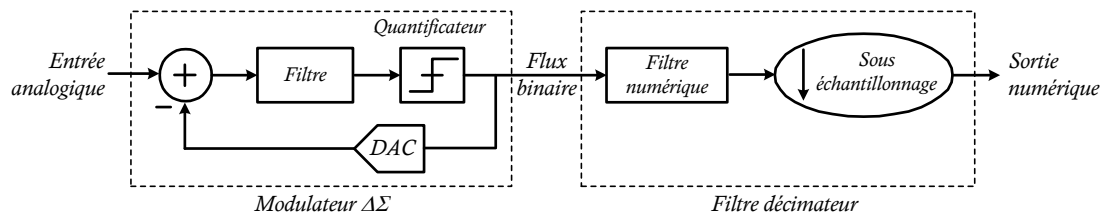


Figure 1.7 : Architecture d'un ADC de type $\Sigma\Delta$.

Le quantificateur peut être soit mono-bit, soit multi-bits, mais dans les deux cas il faut considérer que c'est un composant fortement non linéaire. Cela implique qu'il est très difficile de donner une modélisation exacte du modulateur $\Sigma\Delta$. Généralement, son étude s'effectue à partir d'un modèle linéaire (Figure 1.8), où le quantificateur est remplacé par un bruit blanc additif supposé représentatif de la quantification $E(z)$ (Figure 1.7) [20].

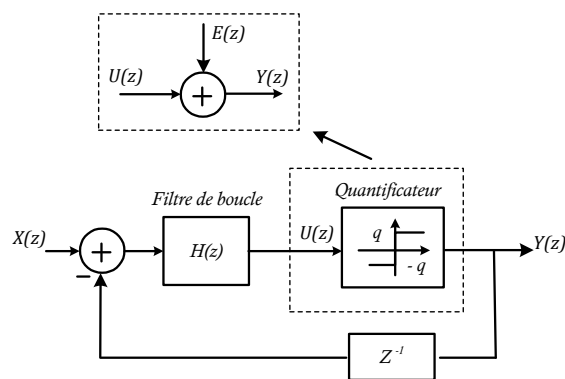


Figure 1.8 : Modèle linéaire du quantificateur du modulateur $\Sigma\Delta$.

L'analyse de la modulation sigma delta repose donc sur l'application du théorème de superposition permettant de faire apparaître deux fonctions de transfert, l'une associée au signal d'entrée (STF, Signal Transfer Function) et l'autre au bruit de quantification (NTF, Noise Transfer Function). Le rôle de la NTF est de mettre en forme le bruit de quantification pour l'atténuer dans la bande utile et le repousser vers les hautes fréquences. Le modulateur $\Sigma\Delta$ peut être analysé alors, comme un système linéaire à deux entrées décrit par la relation (1.2) où $X(z)$ est le signal d'entrée et $Y(z)$ est le signal de sortie,

$$Y(z) = STF(z).X(z) + NTF(z).E(z) \quad (1.2)$$

avec

$$NTF(z) = \frac{1}{1+H(z)} \quad (1.3)$$

$$STF(z) = 1 - NTF(z) \quad (1.4)$$

Le spectre du signal à la sortie du modulateur $\Sigma\Delta$ est donné dans la Figure 1.9. Nous constatons bien la mise en forme du bruit en dehors de la bande passante $[-B_w/2, +B_w/2]$ [9, 20, 21].

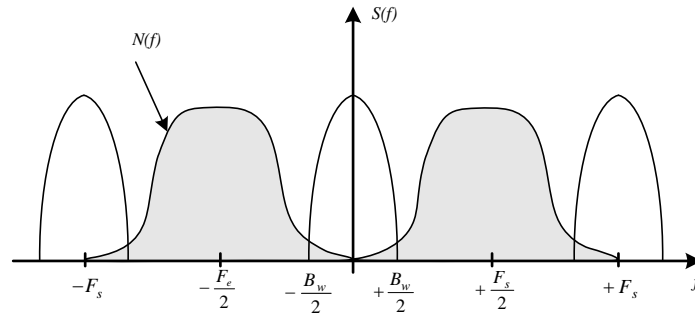


Figure 1.9 : Spectre du signal sur-échantillonné avec mise en forme du bruit de quantification.

1.4.1.2. Choix conceptuels

Le modulateur $\Sigma\Delta$ présente plusieurs variétés selon les choix conceptuels offerts sur ses différents blocs.

- **Le quantificateur** : il peut être mono-bit ou multi-bits. L'inconvénient majeur du quantificateur multi-bits concerne les problèmes de non-linéarités liés à l'utilisation d'un convertisseur numérique analogique (DAC, Digital-to-Analog Converter) dans la boucle de retour du modulateur $\Sigma\Delta$. Ces erreurs sont injectées directement à l'entrée du modulateur et ne seront pas atténuées par la mise en forme du bruit [9, 20, 21].
- **Le filtre de boucle** : d'un point de vue pédagogique, les architectures de modulateur sigma delta sont souvent représentées avec un filtre de boucle de type passe-bas. C'est d'ailleurs l'approche que nous avons utilisée. Dans ce cas, le bruit de quantification est alors minimal autour de la fréquence nulle (ou fréquence DC) pour être rejeté vers les hautes fréquences (autour de la moitié de la fréquence de Nyquist). L'impact de ce filtre de boucle sera immédiat sur la NTF. En effet, si l'application nécessite une NTF de type passe-bande, il faut alors un filtre de boucle de type passe-bande. Dans ce cas, le bruit devient minimal à la fréquence centrale de la bande passante, notée f_c . Le filtre de boucle peut également être de type passe-haut. Le bruit est alors minimal à la moitié de la fréquence d'échantillonnage et rejeté vers les basses fréquences.

- L'ordre des modulateurs $\Sigma\Delta$:** les modulateurs $\Sigma\Delta$ d'ordre élevé constituent des structures avec des boucles d'intégration multiples. Ils permettent de repousser davantage le bruit en dehors de la bande utile vers les hautes fréquences. Cependant, les boucles d'ordre élevé restent difficiles à stabiliser [9, 20]. La fonction de transfert associée au bruit d'un modulateur $\Sigma\Delta$ passe-bas d'ordre k est donnée par la relation (1.5).

$$NTF(z) = (1 - z^{-1})^k \quad (1.5)$$

Les problèmes liés à la stabilité apparaissent dès le deuxième ordre dont l'architecture est donnée par la Figure 1.10. Il est composé de deux intégrateurs, le premier est de type non retardé et le deuxième de type retardé. Les deux types d'intégrateurs sont donnés par la Figure 1.11.

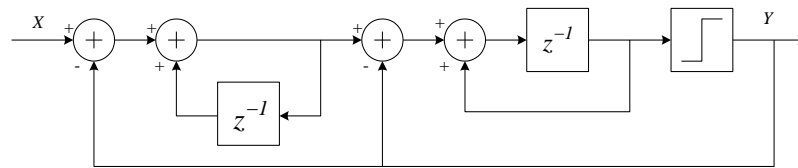


Figure 1.10 : Modulateur $\Sigma\Delta$ du second ordre.

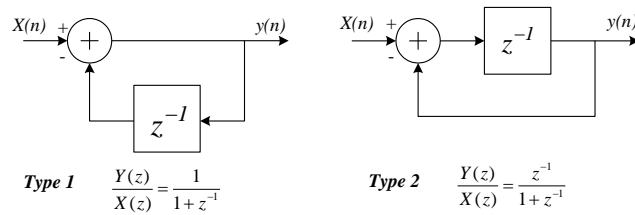


Figure 1.11 : Intégrateurs non retardé (Type 1) et retardé (Type 2).

Le modulateur $\Sigma\Delta$ d'ordre k est obtenu par la mise en série de k intégrateurs suivis d'un quantificateur, comme donné par la Figure 1.12. Il est important qu'un seul intégrateur, au moins le dernier, soit de type retardé pour garantir la causalité du système.

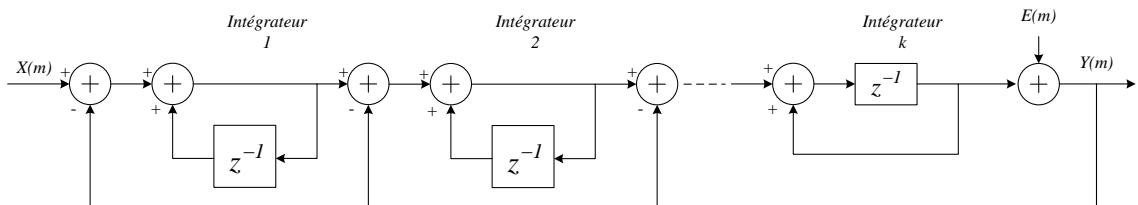


Figure 1.12 : Modulateur $\Sigma\Delta$ d'ordre k .

Une fois le principe de fonctionnement abordé, il est important de pouvoir définir l'ordre et l'OSR en fonction de l'application visée. Cela se fait généralement à travers l'expression du rapport signal-à-bruit dont nous allons donner une forme analytique dans le cas du modulateur $\Sigma\Delta$. Pour un

modulateur $\Sigma\Delta$ d'ordre k avec un filtre de mise en forme du bruit de type passe-bas, le signal de sortie est exprimé par (1.6).

$$Y(z) = X(z).z^{-1} + E(z).(1 - z^{-1})^k \quad (1.6)$$

La densité spectrale du bruit de quantification est donnée par l'expression (1.7).

$$|N(f)| = |(1 - z^{-1})^k|.E(f) \text{ avec } E(f) = \frac{q}{\sqrt{12F_s}} \text{ et } z = e^{-j\frac{2\pi f}{F_s}} \quad (1.7)$$

La représentation fréquentielle de $(1 - z^{-1})^k$ étant $(2\sin(\pi(f/F_s)))^k$, la densité spectrale du bruit de quantification devient alors comme donnée par (1.8),

$$|N(f)| = 2^k \sin^k\left(\pi \frac{f}{F_s}\right) \frac{q}{\sqrt{12F_s}} \quad (1.8)$$

où q est le pas de quantification du quantificateur, F_s est la fréquence d'échantillonnage et k est l'ordre du modulateur. La Figure 1.13 présente l'allure de la densité spectrale normalisée $|N(f)|.\sqrt{12F_s}/q$ en fonction de la fréquence normalisée par rapport à F_h qui est égale $F_s/2$ et pour des ordres k égaux à 1, 2, 3 et 4.

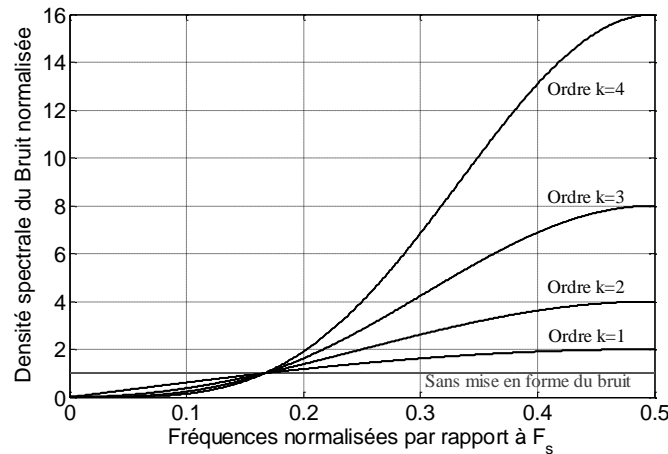


Figure 1.13 : Densité spectrale du bruit normalisée du modulateur $\Sigma\Delta$ pour les ordres $k=1, 2, 3$ et 4 .

La puissance du bruit dans la bande passante $[-B_w/2, +B_w/2]$ est donnée par (1.9) et (1.10).

$$N_0^2 = \int_{-B_w}^{+B_w} |N(f)|^2 df \quad (1.9)$$

$$N_0^2 = 2^{2k} \frac{q^2}{12F_s} \int_{-B_w}^{+B_w} \sin^{2k}\left(\pi \frac{f}{F_s}\right) df \quad (1.10)$$

Etant donné que $(f/F_s) \ll 1$ dans la bande utile, nous approximations l'intégrale par le premier terme du développement du sinus, ce qui donne (1.11).

$$N_0^2 = \frac{q^2}{12} \frac{\pi^{2k}}{2k+1} \left(\frac{B_w}{F_s}\right)^{2k+1} = \frac{q^2}{12} \frac{\pi^{2k}}{(2k+1) OSR^{2k+1}} \quad (1.11)$$

Le rapport signal-à-bruit (SNR) est le rapport de la puissance du signal par rapport à la puissance du bruit dans la bande utile. Pour un signal d'amplitude A à l'entrée, le SNR est donné par (1.12).

$$SNR = \frac{A^2}{2} \frac{12(2k+1)OSR^{2k+1}}{q^2\pi^{2k}} \quad (1.12)$$

L'amplitude maximale du sinus A_{max} que le modulateur $\Sigma\Delta$ avec quantification mono-bit peut coder sans devenir instable est $q/2$. Le SNR maximal correspondant est donné par (1.13).

$$SNR_{max} = \frac{3(2k+1) OSR^{2k+1}}{2\pi^{2k}} \quad (1.13)$$

Le SNR_{max} obtenu est écrit en fonction de l'ordre k du modulateur sigma-delta et du rapport de sur échantillonnage OSR . Cette relation permet de réaliser un compromis entre la complexité du modulateur (proportionnelle à k) et sa fréquence de fonctionnement (proportionnelle à l' OSR), pour une précision et une bande utile données. La Figure 1.14 présente l'allure du SNR maximal en dB en fonction de l'ordre k et de l' OSR .

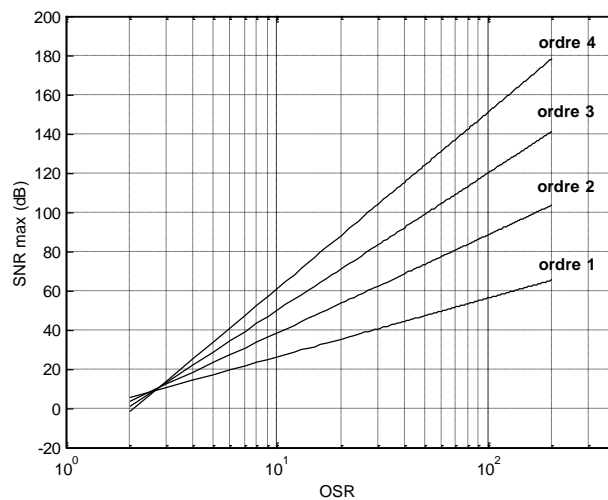


Figure 1.14 : SNR maximal en fonction de l'OSR du modulateur $\Sigma\Delta$ pour les ordres $k=1, 2, 3$ et 4

1.4.1.3. Stabilité des modulateurs $\Sigma\Delta$

Les modulateurs $\Sigma\Delta$ d'ordres élevés sont sensibles à des problèmes de stabilité dès qu'ils dépassent le second ordre [22]. Plusieurs approches d'analyse de la stabilité des modulateurs $\Sigma\Delta$ sont présentées dans la littérature [22-24]. Ces approches, pouvant être classées sous forme de méthodes analytique [23, 24] ou empiriques [22, 25, 26], permettent la conception de modulateurs $\Sigma\Delta$ d'ordres élevés et stables. Parmi les approches utilisées pour l'analyse de stabilité des modulateurs $\Sigma\Delta$, nous pouvons citer l'approche utilisant un modèle quasi-linéaire du quantificateur et basé sur le théorème de Kalman pour l'étude de stabilité des systèmes non-linéaires [27]. Le quantificateur est donc modélisé par un gain variable η suivi d'une source de bruit blanc additif (Figure 1.15), ce gain

permettant d'amplifier le signal issu du filtre de boucle pour qu'il atteigne l'une des valeurs de saturation du quantificateur. La valeur optimale du gain variable η_0 garantissant la stabilité du modulateur $\Sigma\Delta$ dépend du signal d'entrée x [28]. Ainsi, la stabilité du modulateur dépend de son signal d'entrée et il est impossible de la tester pour toutes les amplitudes et les formes de ce signal [20]. Par conséquent, il est difficile d'utiliser cette approche du modèle quasi-linéaire du modulateur pour la conception de modulateurs $\Sigma\Delta$ stables. D'où l'intérêt des méthodes empiriques.

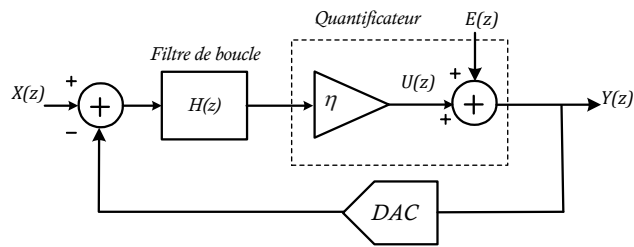


Figure 1.15 : Modèle quasi-linéaire du quantificateur du modulateur $\Sigma\Delta$.

Les méthodes empiriques permettent de dimensionner un modulateur $\Sigma\Delta$ d'ordre élevé stable. La *NTF* du modulateur $\Sigma\Delta$ est d'abord synthétisée par l'une des approximations existantes dans la littérature pour un ordre du modulateur choisi. Ensuite, le gain en dehors de la bande utile de la *NTF* est réduit de façon empirique jusqu'à ce que le modulateur devienne stable. La réduction du gain en dehors de la bande utile de la *NTF* entraîne la réduction de l'atténuation minimale R_s comme présenté par un prototype du gabarit de la *NTF* présenté par La Figure 1.16 où f_u est la fréquence limite de la bande utile. Dans la littérature, Une règle empirique de stabilité a été proposée. Elle indique que la stabilité du modulateur $\Sigma\Delta$ est assurée si l'atténuation minimale R_s reste inférieure à 2 [26]. Cependant, dans d'autres références une marge est laissée par rapport à ce seuil [20]. La méthodologie de dimensionnement empirique de modulateur $\Sigma\Delta$ d'ordre élevé stable est résumée par la Figure 1.17 où l'architecture en cascade de résonateurs en rétroaction multiple est notée CRFB (Cascade of Resonators with Feed Back summation) et l'architecture en cascade de résonateurs en rétroaction anticipative est noté CRFF (Cascade of Resonators with Feed Forward summation).

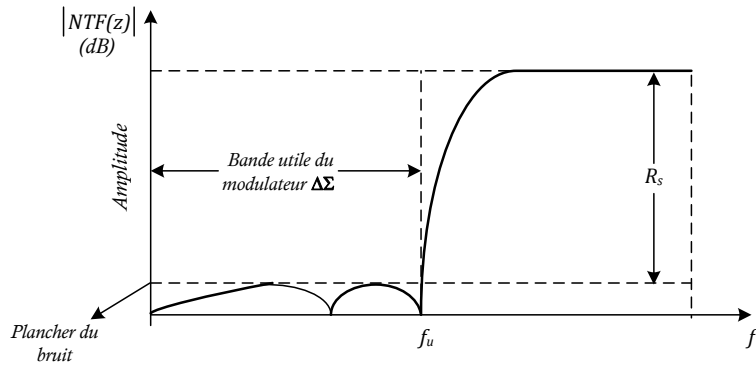


Figure 1.16 : Prototype de la fonction NTF.

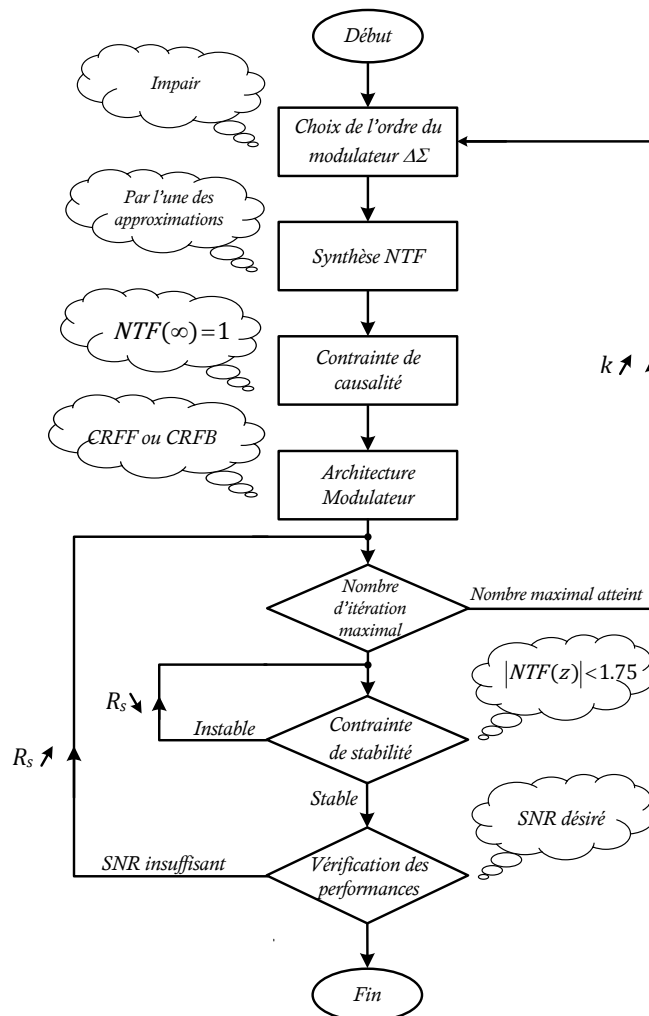


Figure 1.17 : Organigramme de la méthode empirique de dimensionnement de modulateur $\Sigma\Delta$ d'ordre élevé stable.

1.4.2. Contraintes liées à la conversion $\Sigma\Delta$

Nous nous intéressons dans cette sous-section à l'étude des performances de réalisations récentes en technologie CMOS de convertisseurs $\Sigma\Delta$ à temps discret (DT, Discrete-Time) et à temps continu (CT, Continuous-Time). Les architectures implémentées sont comparées en termes de critères de performances qui sont expliqués dans la suite.

1.4.2.1. Critères de performance

Les performances d'un convertisseur analogique numérique sont évaluées à l'aide de nombreuses grandeurs. Les plus utilisées sont le rapport signal à bruit (*SNR*, Signal-to-Noise Ratio), le rapport signal à bruit avec distorsion (*SNDR*, Signal-to-Noise Ratio and Distortion), la résolution effective ou le nombre effectif de bits (*ENOB*, Effective Number of Bits), la plage d'amplitude permise pour les signaux d'entrée (*DR*, Dynamic Range) et la résolution effective dans la bande passante (*ERBW*, Effective Resolution BandWidth) [29].

- **Rapport signal à bruit**

Le *SNR* est le rapport entre la puissance du signal et la puissance du bruit dans une bande passante donnée [9, 29] comme indiqué par la relation suivante (1.14),

$$SNR(dB) = 10\text{Log}_{10}\left(\frac{P_{\text{signal}}}{P_{\text{bruit}}}\right) \quad (1.14)$$

où P_{signal} est la puissance du signal d'entrée et P_{bruit} est la puissance de bruit dans la bande utile. Le *SNR* dépend de l'amplitude du signal de test considéré, qui est généralement un signal sinusoïdal.

- **Rapport signal à bruit et distorsion**

Le *SNDR* est le rapport entre la puissance du signal à la sortie de l'ADC et la somme des puissances du bruit et des harmoniques dans une bande passante donnée comme indiqué par la relation (1.15) [29].

$$SNDR(dB) = 10\text{Log}_{10}\left(\frac{P_{\text{signal}}}{P_{[\text{bruit}+\text{harmoniques}]}}\right) \quad (1.15)$$

- **Résolution effective**

Si N représente le nombre de bits disponibles en sortie de l'ADC, l'*ENOB* est plus une figure de mérite relative à la résolution 'vraie' dépendant du *SNDR* mesuré. L'*ENOB* est estimé par la relation (1.16) [9, 29].

$$ENOB = \frac{SNDR(dB) - 1.76}{6.02} \quad (1.16)$$

- **Dynamique à l'entrée du convertisseur**

La dynamique à l'entrée du convertisseur (*DR*) détermine la plage d'amplitude des signaux d'entrée pouvant être appliqués à un modulateur. Elle représente le ratio entre la puissance maximale et la puissance minimale détectable du signal d'entrée pour une bande passante donnée [9]. La dynamique à l'entrée se détermine graphiquement comme donnée par la Figure 1.18, en prenant la différence en dB entre l'amplitude du signal d'entrée pour laquelle le *SNDR* maximal est diminué de 3 dB et l'amplitude du signal d'entrée pour laquelle le *SNDR* est nul [9].

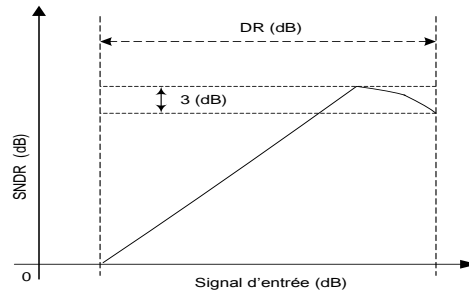


Figure 1.18 : Détermination graphique de la DR à partir du SNDR.

1.4.2.2. Comparaison des architectures de convertisseur $\Sigma\Delta$

Une comparaison des performances de réalisations récentes en technologie CMOS de convertisseurs $\Sigma\Delta$ est résumée par les Tableau 1.1, Tableau 1.2, et Tableau 1.3. Le Tableau 1.1 et le Tableau 1.2 présentent des performances de convertisseurs $\Sigma\Delta$ à temps discret passe-bas avec quantificateurs mono-bit et multi-bit [30-36]. Le Tableau 1.3 résume les performances de convertisseurs $\Sigma\Delta$ à temps discret avec une NTF de type passe-bande [37-39]. Nous constatons alors qu'il est difficile d'obtenir une résolution effective élevée avec une large bande passante. Ceci est logique car, par principe, la modulation $\Sigma\Delta$ concerne les applications à haute résolution et à faible bande passante. Ce propos est illustré par [32] où pour atteindre une bande passante de 3.84 MHz, la résolution effective est de 8.7 bits. Les auteurs dans [33, 35, 36] proposent des résolutions effectives pouvant atteindre 15 bits, mais avec des bandes passantes ne dépassant pas les 250 kHz [33].

Tableau 1.1 : Etat de l'art de modulateurs $\Sigma\Delta$ à temps discret passe-bas avec quantificateur mono-bit.

Référence	Architecture	Résolution effective (bits)	Bande (kHz)	OSR	Technologie/voltage	Consommation (mW)
[30]	2 ^{ème} ordre	11.8	300	166	0.13 $\mu\text{m}/1.2\text{ V}$	0.298
[31]	2 ^{ème} ordre	13.1	100	520	0.13 $\mu\text{m}/1.5\text{ V}$	1.28
[32]	Ordre 3	8.7	3840	24	0.25 $\mu\text{m}/2.5\text{ V}$	13.5
[33]	Ordre 5	15.3	250	96	0.8 $\mu\text{m}/3.3\text{ V}$	43

Tableau 1.2 : Etat de l'art de modulateurs $\Sigma\Delta$ à temps discret passe-bas avec quantificateur multi-bit.

Référence	Architecture	Résolution effective (bits)	Bande (kHz)	OSR	Technologie/voltage	Consommation (mW)
[34]	2 ^{ème} ordre	12.7	1000	24	0.18 $\mu\text{m}/1.5\text{ V}$	1.35
[35]	Ordre 3	15	16	128	0.18 μm	0.17
[36]	Ordre 3	15	24	128	0.18 $\mu\text{m}/1\text{ V}$	0.35

Tableau 1.3 : Etat de l'art de modulateurs $\Sigma\Delta$ à temps discret passe-bande avec quantificateur mono-bit.

Référence	Architecture	Résolution effective (bits)	Bande (kHz)	OSR	Technologie/voltage	Consommation (mW)
[37]	Ordre 4	14.4	2500	12	0.18 $\mu\text{m}/1.8\text{ V}$	150
[38]	Ordre 4	14.5	400	46	0.15 $\mu\text{m}/3.3\text{ V}$	208
[39]	Ordre 3	9.7	200	32	0.35 $\mu\text{m}/3.3\text{ V}$	18.7

Les performances de convertisseurs $\Sigma\Delta$ réalisés à temps continu sont résumées dans les Tableau 1.4 et Tableau 1.5 pour des convertisseurs passe-bas et passe-bande, respectivement. La bande passante atteint les 60 MHz pour le convertisseur $\Sigma\Delta$ passe-bas réalisé dans [40], mais avec une faible résolution ne dépassant pas les 10 bits.

Tableau 1.4 : Etat de l'art de modulateurs $\Sigma\Delta$ à temps continu passe-bas avec quantificateur mono-bit.

Référence	Architecture	Résolution effective (bits)	Bande (MHz)	OSR	Technologie/voltage	Consommation (mW)
[40]	Ordre 3	9.9	60	50	45 nm/1.4-1.8 V	20
[41]	Ordre 3	11.2	4	50	0.18 $\mu\text{m}/1.8\text{ V}$	16.9
[42]	Ordre 3	11.3	25	10	90 nm/1.2 V	8.5

Tableau 1.5 : Etat de l'art de modulateurs $\Sigma\Delta$ à temps continu passe-bande avec quantificateur mono-bit.

Référence	Architecture	Résolution effective (bits)	Bande (MHz)	OSR	Technologie/voltage	Consommation (mW)
[43]	Ordre 6	11.3	20	80	40 nm	20
[44]	Ordre 4	7.7	80	160	40 nm/1.1 V	164

Nous constatons alors, qu'il n'existe pas dans la littérature un seul ADC de type $\Sigma\Delta$ pouvant garantir des plages de dynamiques variables avec des signaux occupant des bandes passantes allant de la bande étroite jusqu'à une large bande. En effet, les signaux E-GSM supportés par notre récepteur SDR nécessitent une dynamique de l'ordre de 96 dB correspondant à une résolution effective égale à 15.65 bits pour une bande du canal de 200 kHz, alors que les signaux IEEE802.11a requièrent une dynamique moins élevée de l'ordre de 61.8 dB correspondant à une résolution effective de 9.97 bits pour une bande canal égale à 16.8 MHz. Pour implémenter un ADC capable de répondre aux exigences des différents standards de radio communication supportés par le récepteur SDR, une des

voies de recherche est la mise en parallèle de modulateurs $\Sigma\Delta$. En effet, le parallélisme associé aux convertisseurs $\Sigma\Delta$ s permet l'élargissement de la bande de fonctionnement tout en conservant ou en augmentant la dynamique.

1.5. Conclusion

Dans ce chapitre, les exigences et les contraintes liées à la réception radio logicielle multistandard sont exposées. Le concept de la radio logicielle restreinte (SDR) est présenté. La SDR permet de répondre à la problématique de la réception multistandard en déplaçant la majorité des fonctionnalités effectuées en analogique vers le domaine numérique, afin de permettre la reconfigurabilité et l'intégrabilité du récepteur. Ensuite, un état de l'art des architectures de réception candidates pour la réception SDR multistandard est présenté. Le choix est porté pour l'architecture hybride homodyne/low-IF. Cette architecture est bien adaptée pour la réception multistandard. Cependant, les contraintes restent élevées sur l'étage de conversion analogique-numérique du signal. Notre intérêt s'est porté sur les ADCs à sur-échantillonnage de type $\Sigma\Delta$ puisqu'ils garantissent une grande dynamique et donc une forte précision grâce à la fonction de mise en forme du bruit assurée par ces ADCs en plus du sur-échantillonnage. Le principe de ces ADCs est présenté en plus des choix conceptuels offerts. Un état de l'art non exhaustif mais représentatif des convertisseurs $\Sigma\Delta$ s est alors présenté en fin de ce chapitre avec une comparaison des performances atteintes de quelques ADCs $\Sigma\Delta$ réalisés dans la littérature. Cette étude montre qu'il n'existe pas une seule solution d'ADC $\Sigma\Delta$ compacte capable de répondre aux exigences demandées, que ce soit pour la dynamique requise ou les bandes passantes des standards supportés par le récepteur SDR. Le parallélisme à base de modulateurs $\Sigma\Delta$ s'avère intéressant pour remédier à ce problème. Nous nous intéressons alors à l'étude des classes d'architectures en parallèle d'ADCs $\Sigma\Delta$ pour choisir l'architecture la mieux adaptée à notre contexte d'étude.

Chapitre 2 : Architectures parallèles des ADCs à base de modulateurs $\Sigma\Delta$

2.1. Introduction

Dans le premier chapitre, nous avons exposé le contexte de notre étude, à savoir déterminer une architecture pour le système de conversion analogique numérique afin de répondre aux contraintes de la SDR multistandard : large bande et grande dynamique. Ceci implique des contraintes élevées sur la fréquence d'échantillonnage et la résolution du convertisseur analogique-numérique. Notre intérêt s'est porté sur les convertisseurs à sur-échantillonnage de type $\Sigma\Delta$ pour leur haute précision (grande dynamique), leur consommation de puissance et leur architecture reconfigurable (gestion de la largeur de bande en fonction du standard à numériser). Cependant, l'inconvénient majeur de ces ADCs est qu'intrinsèquement, par principe la bande utile sera toujours beaucoup plus faible que celle d'un ADC de type Nyquist. Cela s'explique par la mise en forme du bruit de quantification qui repousse le bruit de la bande utile vers une bande qui sera ensuite filtrée par le filtre à décimation. Pour augmenter la largeur de bande, nous pourrions tout simplement travailler sur la réponse en fréquence de la *NTF* tout en augmentant l'*OSR*, au détriment de la puissance consommée. Une approche prometteuse permettant d'étendre la bande passante des convertisseurs $\Sigma\Delta$ est d'utiliser le parallélisme. Dans la littérature, trois approches, que nous exposons dans ce chapitre, sont proposées. Il s'agit de l'architecture à entrelacement temporel ($\text{TI}\Sigma\Delta$, Time-Interleaved Sigma Delta), l'architecture à base de modulation de Hadamard ($\text{H}\Sigma\Delta$, Parallel Sigma Delta) et l'architecture à base de décomposition fréquentielle (FBD, Frequency Band Decomposition).

Le principe de fonctionnement et les performances de ces architectures en parallèle sont présentés. Finalement, elles sont comparées en fonction de leurs performances, de leur complexité de réalisation et de leur sensibilité aux erreurs de disparité de gain et de tension entre les voies en parallèle. L'objectif de cette comparaison est de pouvoir choisir la meilleure architecture en parallèle parmi ces trois classes en vue d'une implantation dans notre récepteur SDR multistandard.

2.2. Architecture à entrelacement temporel

L'entrelacement temporel, présenté pour la première fois par Black et Hodges en 1980 [10], est une solution permettant d'augmenter la fréquence d'échantillonnage de l'ADC par la mise en parallèle

d'ADCs de type Nyquist. La structure globale à entrelacement temporel sur M voies fonctionne alors à une fréquence M fois plus grande que la fréquence de Nyquist de chaque ADC, où M est le nombre d'ADCs mis en parallèle. Cette approche a surtout pour intérêt d'augmenter la fréquence d'échantillonnage du système de conversion sans pour autant augmenter de façon exponentielle la puissance consommée. Ce système, étendu à des convertisseurs de type $\Sigma\Delta$, est présenté la première sous-section. Dans la seconde sous-section, nous nous intéressons aux performances de cette architecture.

2.2.1. Présentation et théorie de l'architecture TI $\Sigma\Delta$

Le principe de la conversion à entrelacement temporel repose sur la distribution du signal d'entrée sur M ADCs identiques mis en parallèle. Les ADCs en parallèle fonctionnent simultanément à une fréquence d'échantillonnage égale à F_s/M , où F_s est la fréquence d'échantillonnage de l'architecture globale. Un décalage en phase est appliqué au signal d'horloge de chaque ADC et les échantillons du signal de sortie numérique sont retrouvés à l'aide d'un multiplexeur placé à la sortie des voies en parallèle. Ces déphasages appliqués au signal d'horloge sont contrôlés comme montré dans la Figure 2.1. Pour une architecture à entrelacement temporel avec M ADCs en parallèle, le déphasage attribué à l'entrée de chaque ADC est égale à $2\pi(L - 1)/M$, où L variant de 1 à M , est l'indice de la voie. Dans cette architecture TI $\Sigma\Delta$, les ADCs utilisés sont de type $\Sigma\Delta$. Leur fonctionnement nécessite un sur-échantillonnage avec un facteur OSR . La fréquence de fonctionnement de chaque modulateur $\Sigma\Delta$ devient alors égale à $OSR \cdot F_s/M$. Un filtre numérique est placé à la sortie de chaque modulateur $\Sigma\Delta$ pour éliminer le bruit de quantification hors bande. Il réalise aussi une décimation par un facteur de décimation, D , égal au facteur de sur-échantillonnage, OSR . Si le facteur OSR est égal au nombre M de modulateurs en parallèle, le convertisseur TI $\Sigma\Delta$ devient de type Nyquist. A la sortie de l'architecture TI $\Sigma\Delta$, un multiplexeur numérique se charge de la reconstruction du signal numérisé. La Figure 2.1 présente la structure générale de l'architecture de conversion analogique-numérique à entrelacement temporel TI $\Sigma\Delta$ où les ADCs, mis en parallèle, sont de type $\Sigma\Delta$ [45].

Afin d'exposer le principe de fonctionnement de cette architecture et de pouvoir modéliser les sources d'erreur possible, il est important d'en proposer un modèle. Pour cela, nous faisons le choix d'une version discrète qui est analysée dans le domaine des fréquences à l'aide de la transformée en z . Les différents blocs donnés dans la Figure 2.1 sont alors représentés par des blocs discrets associés à leur comportement en fréquence dans la Figure 2.2 [45].

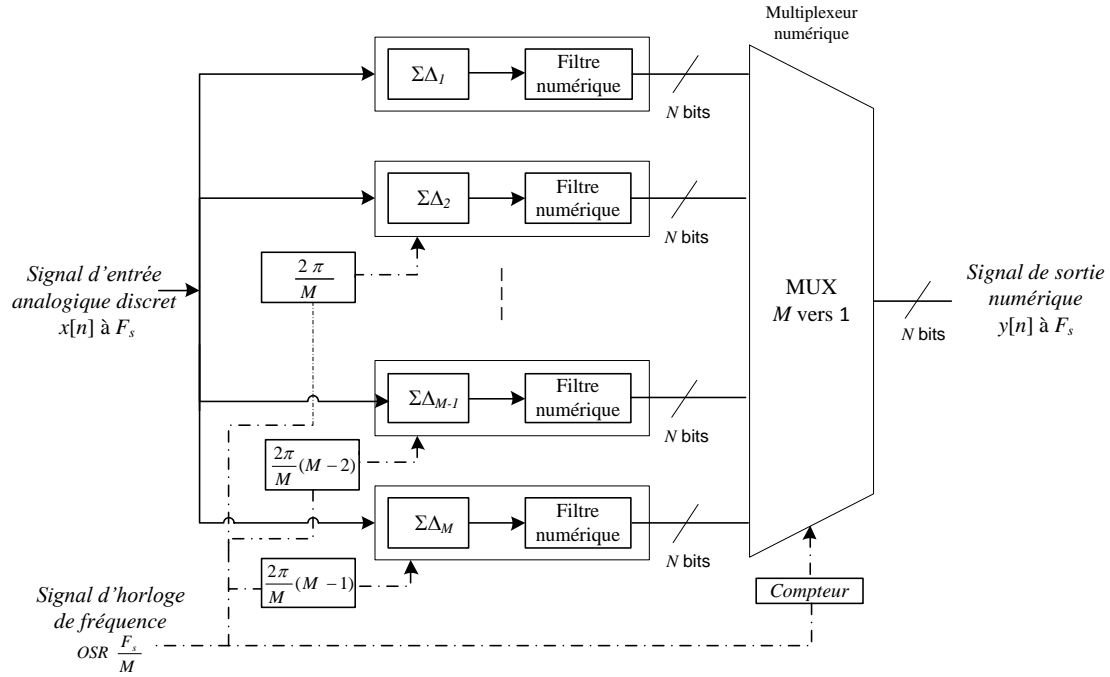


Figure 2.1 : Architecture d'un ADC en parallèle à entrelacement temporel TISΔ.

Le décalage en phase à l'entrée de l'architecture est représenté par une chaîne de retards suivie par des décimateurs, car sur une architecture à temps discret, l'échantillonnage est considéré à F_s à l'entrée puis à F_s/M sur chaque voie. La fonction de transfert $H(z)$ représente la combinaison des fonctions du modulateur $\Sigma\Delta$ et du filtre numérique de décimation en aval du modulateur. Les modulateurs $\Sigma\Delta$ fonctionnent à la fréquence de sur-échantillonnage $OSR \cdot F_s/M$. Cette opération de sur-échantillonnage n'est autre qu'une interpolation représentée par $\uparrow OSR$ dans la Figure 2.2. Quant à la décimation, représentée par $\downarrow OSR$, elle est réalisée à la sortie du modulateur $\Sigma\Delta$ avec le filtre numérique placé en amont pour empêcher le repliement spectral du bruit sur le signal utile suite à la décimation. Par la suite, le signal dans chaque branche est interpolé par le facteur M , ensuite retardé et additionné avec les signaux de sortie des autres branches pour reconstruire le signal de sortie finale à la fréquence désirée, soit F_s .

Une fois le modèle posé, il est important de valider son bon fonctionnement par une approche analytique donnant la sortie en fonction de l'entrée. Le filtre $H(z)$ est supposé être linéaire et invariable dans le temps (LTI) et, pour faciliter la reconstruction, nous supposons qu'il possède une réponse impulsionnelle finie, comme donnée par l'expression (2.1), où P est le nombre de coefficients.

$$H(z) = \sum_{n=0}^{P-1} h[n]z^{-n} \quad (2.1)$$

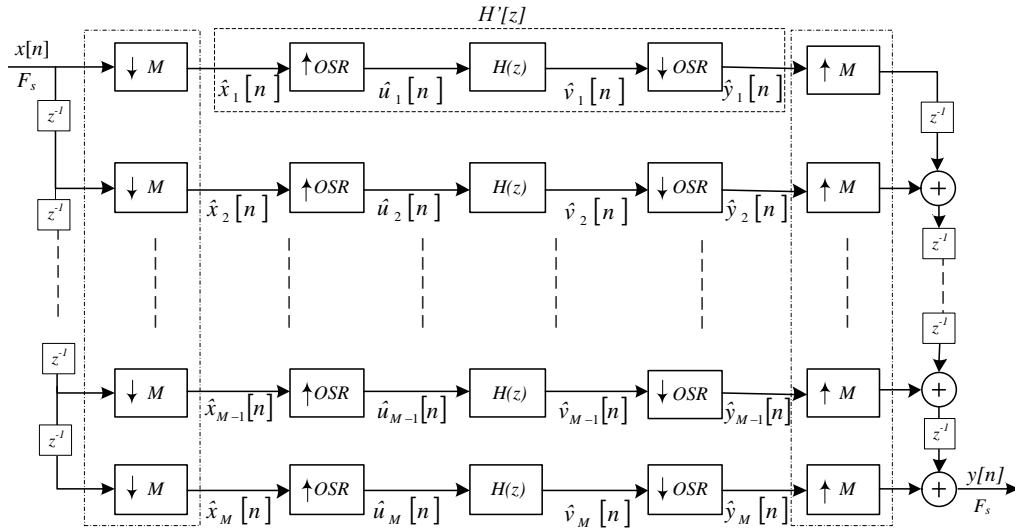


Figure 2.2 : Diagramme bloc de l'architecture TISΔ.

Dans une configuration idéale, il est aussi supposé que les filtres $H(z)$ sont rigoureusement identiques d'une voie à l'autre. L'interpolateur de facteur OSR , le filtre $H(z)$ et le décimateur de facteur OSR dans la Figure 2.2, sont regroupés dans le filtre $H'(z)$ dont la fonction de transfert est déterminée en exprimant le signal de sortie après décimation $\hat{y}_L[n]$ en fonction du signal $\hat{x}_L[n]$ avant l'interpolation par OSR pour L l'indice de branche variant de 1 à M , comme montré dans la Figure 2.2. Examinant l'ensemble des opérations effectuées sur le signal d'entrée, nous constatons alors que $\hat{x}_L[n]$ est d'abord interpolé par le facteur OSR , ce qui d'un point de vue fréquentielle donne l'expression (2.2) pour $\hat{u}_L[n]$.

$$\hat{U}_L(z) = \hat{X}_L(z^{OSR}) \text{ pour } 1 \leq L \leq M \quad (2.2)$$

Après passage par le filtre $H(z)$, et tenant compte de l'équation (2.2), le signal $\hat{v}_L[n]$ s'exprime dans le domaine fréquentiel par (2.3).

$$\hat{V}_L(z) = H(z)\hat{X}_L(z^{OSR}) \text{ pour } 1 \leq L \leq M \quad (2.3)$$

Le processus de décimation par OSR appliqué sur ce signal, $\hat{v}_L[n]$, permet l'obtention du signal $\hat{y}_L[n]$ dont la représentation dans le domaine des fréquences est donnée par (2.4) [46].

$$\hat{Y}_L(z) = \frac{1}{OSR} \sum_{l=0}^{OSR-1} \hat{V}_L(z^{1/OSR} W_{OSR}^l) \text{ avec } W_{OSR} = e^{-j2\pi/OSR} \text{ et } 1 \leq L \leq M \quad (2.4)$$

En substituant, dans la relation (2.4), $\hat{V}_L(z)$ par son expression donnée dans (2.3), nous obtenons l'expression du signal de sortie $\hat{Y}_L(z)$ donnée par la relation (2.5) pour $1 \leq L \leq M$.

$$\begin{aligned} \hat{Y}_L(z) &= \frac{1}{OSR} \sum_{l=0}^{OSR-1} H(z^{1/OSR} W_{OSR}^l) \hat{X}_L(z W_{OSR}^l) \\ &= \frac{1}{OSR} \hat{X}_L(z) \sum_{l=0}^{OSR-1} H(z^{1/OSR} W_{OSR}^l) \end{aligned} \quad (2.5)$$

La fonction de transfert $H'(z)$ est alors déduite à partir des expressions (2.1) et (2.5) pour donner (2.6).

$$H'(z) = \frac{\hat{Y}_L(z)}{\hat{X}_L(z)} = \frac{1}{OSR} \sum_{l=0}^{OSR-1} \sum_{n=0}^{P-1} h[n] z^{-n/OSR} W_{OSR}^{-l.n} \quad (2.6)$$

L'expression (2.6) peut être réarrangée comme donné par (2.7),

$$H'(z) = \sum_{n=0}^{P-1} h[n] z^{-n/OSR} C_{OSR}[n] \quad (2.7)$$

où le terme $C_{OSR}[n]$, connu par l'expression « Comb sequence », est définie par (2.8).

$$C_{OSR}[n] = \frac{1}{OSR} \sum_{l=0}^{OSR-1} W_{OSR}^{-l.n} = \begin{cases} 1 & \text{si } n \text{ est multiple de } OSR \\ 0 & \text{sinon} \end{cases} \quad (2.8)$$

D'après (2.8), seuls les coefficients du filtre $h[n]$ dont l'indice n est multiple de OSR sont considérés dans le calcul de $H'(z)$ comme donnée par (2.7). Si les coefficients $h[n]$ vérifient les conditions données par (2.9) et que les autres coefficients sont quelconques, nous obtenons $H'(z) = 1$.

$$h[n] = \begin{cases} 1 & \text{si } n = 0 \\ 0 & \text{si } n \text{ est multiple de } OSR \end{cases} \quad (2.9)$$

Le diagramme bloc de l'architecture TIΣΔ donné à la Figure 2.2 peut alors être simplifié comme présenté par la Figure 2.3.

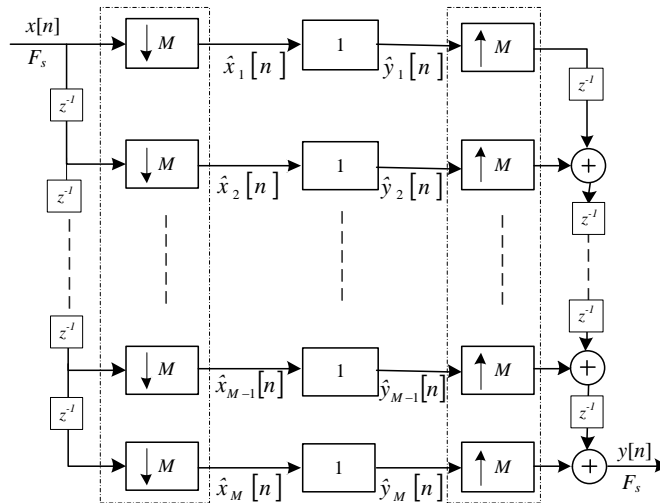


Figure 2.3 : Diagramme de flux du signal simplifié pour $H'(z)=1$.

Une fois ce point considéré, il faut construire le signal par une somme de toutes les voies. Pour cela, nous considérons le signal d'entrée après décimation par M dans la $L^{\text{ième}}$ branche, $\hat{X}_L(z)$, qui est exprimé en fonction de $X(z)$ par :

$$\hat{X}_L(z) = \frac{1}{M} \sum_{l=0}^{M-1} z^{-L/M} W_M^{-lL} X(z^{1/M} W_M^l) \quad (2.10)$$

Le signal $\hat{Y}_L(z)$ à la sortie de la $L^{\text{ième}}$ branche est exprimé comme donné par (2.11).

$$\hat{Y}_L(z) = \frac{1}{M} \sum_{l=0}^{M-1} z^{-L} W_M^{-lL} X(z W_M^l) \quad (2.11)$$

Le signal de sortie reconstruit est alors déterminé en additionnant les signaux de sortie des branches en parallèle comme présenté par (2.12).

$$\begin{aligned} Y(z) &= \sum_{L=0}^{M-1} z^{-(M-1-L)} \hat{Y}_L(z) \\ &= \frac{1}{M} z^{-M+1} \sum_{l=0}^{M-1} X(z W_M^l) \sum_{L=0}^{M-1} W_M^{-lL} \\ &= \frac{1}{M} z^{-M+1} \sum_{l=0}^{M-1} X(z W_M^l) \cdot M \cdot C_M(l) \\ &= z^{-M+1} X(z) \end{aligned} \quad (2.12)$$

Nous pouvons déduire de l'expression (2.12) que l'architecture à entrelacement temporel agit comme un filtre passe-tout en introduisant un simple retard de $M - 1$ périodes d'échantillonnage sur le signal d'entrée. En effet, pour $l \neq 0$, le terme $X(z W_M^l)$ dans l'expression (2.12), représente les termes de repliement spectral aux fréquences multiples de F_s/M dues à l'opération de décimation par M . Cependant, les conditions imposées sur le filtre $H'(z)$ dans (2.9), rigoureusement identique pour chacune des voies, éliminent ces repliements spectraux. Le signal de sortie de l'architecture $\text{TI}\Sigma\Delta$ n'est alors qu'une version retardée du signal d'entrée décrit par $z^{-M+1} X(z)$.

2.2.2. Performances de l'architecture $\text{TI}\Sigma\Delta$

Précédemment, l'architecture $\text{TI}\Sigma\Delta$ a été présentée et analysée théoriquement sans prendre en compte les spécifications du convertisseur $\Sigma\Delta$ présent dans l'architecture. Ici, les performances de l'architecture $\text{TI}\Sigma\Delta$ sont analysées en considérant le convertisseur $\Sigma\Delta$ composé du modulateur $\Sigma\Delta$ et du filtre numérique de décimation. Nous distinguons alors l'effet de la fonction de transfert du modulateur $\Sigma\Delta$ associée au signal (STF) et l'effet de la fonction de transfert du modulateur $\Sigma\Delta$ associée au bruit (NTF). Nous faisons le choix de modéliser la fonction du modulateur sigma delta par un système linéaire invariant dans le temps [45], et donc par application du théorème de superposition, l'étude se fera en séparant le signal utile du bruit de quantification. La Figure 2.4 et la Figure 2.5 présentent respectivement, les flux du signal utile et du bruit de quantification dans l'architecture $\text{TI}\Sigma\Delta$ [45] où k est l'ordre du modulateur $\Sigma\Delta$ et $e_L[n]$ représente le bruit présent dans la $L^{\text{ième}}$ branche de l'architecture $\text{TI}\Sigma\Delta$. Dans ces diagrammes, nous considérons que les M branches ont des circuits, tels que les filtres, et des paramètres inter-branches, tels que l'erreur de gain, identiques mais aussi indépendants.

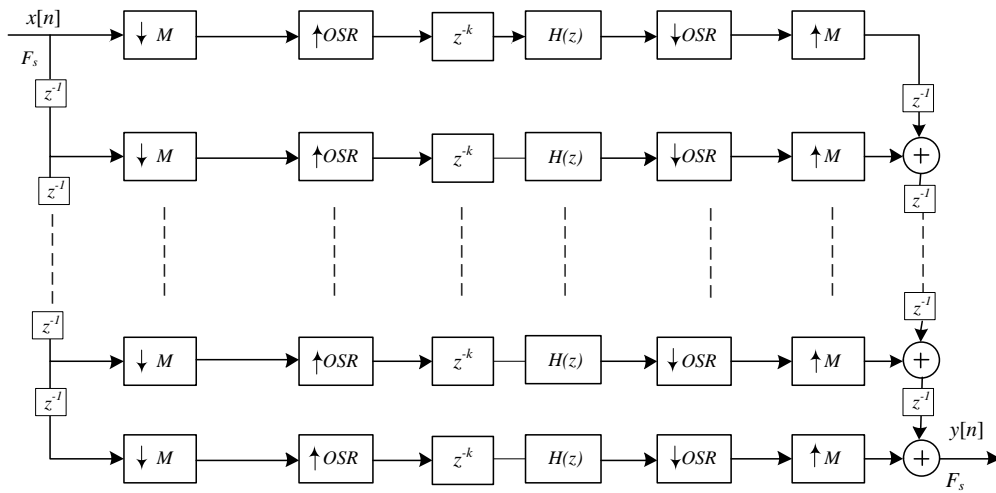


Figure 2.4 : Diagramme de flux du signal utile.

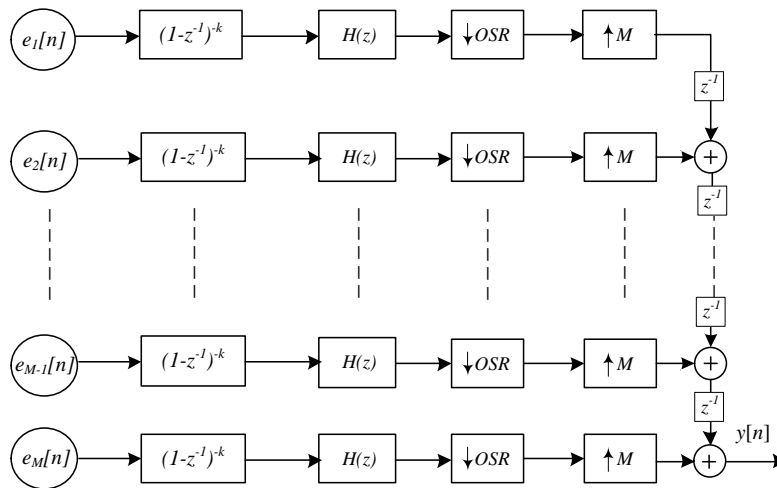


Figure 2.5 : Diagramme de flux du bruit de quantification dans l'architecture TIΣΔ.

Nous assumons que le bruit de quantification produit par le quantificateur du modulateur ΣΔ est un bruit blanc uniformément distribué dans l'intervalle $\pm q/2$ où q est le bruit de quantification. Le bruit de quantification a alors une erreur quadratique moyenne (MSE, Mean Square Error) égale à $q^2/12$. Ensuite, en se basant sur le diagramme de flux du bruit de quantification de la Figure 2.5, les performances de l'architecture TIΣΔ sont analysées en calculant la densité spectrale de puissance du bruit de quantification. En effet, après passage par le modulateur ΣΔ de la $L^{\text{ième}}$ branche, le bruit de quantification présente une densité spectrale de puissance (DSP) exprimée par (2.13) où w est la pulsation normalisée variant entre $-\pi$ et π .

$$S_{ee}(e^{jw}) = \frac{q^2}{12} |NTF(e^{jw})|^2 \quad (2.13)$$

Après le passage par le modulateur $\Sigma\Delta$, le bruit de quantification est introduit au filtre passe-bas $H(z)$. L'expression de la densité spectrale de puissance du bruit à la sortie du filtre $H(z)$ est alors comme dans (2.14).

$$H_{ee}(e^{jw}) = \frac{q^2}{12} |V(e^{jw})|^2 \text{ avec } V(e^{jw}) = NTF(e^{jw})H(e^{jw}) \quad (2.14)$$

Ensuite, le filtre $H(z)$ étant suivi de l'opération de décimation par OSR , la densité spectrale de puissance du bruit de quantification devient :

$$H_{dd}(e^{jw}) = \frac{q^2}{12} \frac{1}{OSR} \sum_{l=0}^{OSR-1} |V(e^{jw/OSR} W_{OSR}^l)|^2 \quad (2.15)$$

Ensuite, le bruit de quantification est interpolé par le facteur M . Dans le domaine temporel, l'interpolation par M consiste à insérer $M - 1$ zéros entre deux échantillons successifs. En fréquentiel, l'interpolation revient à multiplier par M la fréquence d'échantillonnage mais aussi diviser par M la densité spectrale de puissance du signal décimé pour obtenir la DSP après l'interpolation. Son expression est par conséquent modifiée comme donnée par (2.16).

$$P_{ee}(e^{jw}) = \frac{q^2}{12} \frac{1}{M \cdot OSR} \sum_{l=0}^{OSR-1} |V(e^{jwM/OSR} W_{OSR}^l)|^2 \quad (2.16)$$

La puissance quadratique moyenne (MSP, Mean Square Power) du bruit de quantification à la sortie de la $L^{ième}$ branche est donnée par l'équation (2.17).

$$P_L = \frac{1}{2\pi} \frac{q^2}{12} \frac{1}{M \cdot OSR} \sum_{l=0}^{OSR-1} \int_{-\pi}^{\pi} |V(e^{jwM/OSR} W_{OSR}^l)|^2 dw \quad (2.17)$$

Comme nous considérons que les M branches ont des circuits et paramètres inter-branches identiques et indépendants, la MSP du bruit de quantification dans une architecture $\text{TI}\Sigma\Delta$ composée de M branches en parallèle est M fois la MSP du bruit de quantification dans une seule branche. Ainsi, la MSP de l'architecture $\text{TI}\Sigma\Delta$ est exprimée par (2.18).

$$P = \frac{1}{2\pi} \frac{q^2}{12} \frac{1}{OSR} \sum_{l=0}^{OSR-1} \int_{-\pi}^{\pi} |V(e^{jwM/OSR} W_{OSR}^l)|^2 dw \quad (2.18)$$

Pour approximer l'expression (2.18), nous supposons que le filtre passe-bas $H(z)$ utilisé est un filtre idéal caractérisé par la fonction de transfert donnée par l'expression (2.19).

$$H(e^{jw}) = \begin{cases} 1 & \text{pour } |w| \leq w_c \\ 0 & \text{sinon} \end{cases} \Rightarrow h(n) = \begin{cases} \frac{w_c}{\pi} \left(\frac{\sin(w_c \cdot n)}{w_c \cdot n} \right) & \text{pour } n \neq 0 \\ \frac{1}{OSR} & \text{pour } n = 0 \end{cases} \quad (2.19)$$

avec $w_c = 2\pi f_c$ et f_c la fréquence de coupure choisie égale à $1/2OSR$ de manière à mettre à zéro les coefficients du filtre $h(n)$ dont les indices n sont multiples de OSR excepté pour $n = 0$. Ce filtre satisfait alors la contrainte imposée par l'équation (2.9) garantissant ainsi une reconstruction parfaite

du signal d'entrée [45]. En choisissant ce filtre passe-bas idéal, l'équation (2.19) peut être alors simplifiée en (2.20).

$$P = \frac{1}{2\pi} \frac{q^2}{12} \int_{-\pi/OSR}^{\pi/OSR} |NTF(e^{jw})|^2 dw \quad (2.20)$$

Nous pouvons constater que la puissance quadratique moyenne du bruit de quantification de l'architecture ne dépend pas du nombre M de branches en parallèle mais plutôt du facteur OSR de sur-échantillonnage. En remplaçant, dans l'équation (2.20), l'expression de la NTF du modulateur $\Sigma\Delta$ d'ordre k par $(1 - z^{-1})^k$, la MSP du bruit de quantification peut être approximée par (2.21) [45].

$$P \approx \frac{q^2}{12} \frac{1}{2k+1} \frac{1}{OSR} \left(\frac{\pi}{OSR}\right)^{2k} \quad (2.21)$$

L'équation (2.21) montre que si nous doublons le facteur de sur-échantillonnage OSR , la puissance du bruit de quantification est atténuée par $6k + 3$ dB. Il s'en suit une amélioration de la résolution de l'architecture de $k + 0.5$ bits.

Dans cette section, nous avons étudié le principe et les performances de l'architecture en parallèle à entrelacement temporel à base de modulateurs $\Sigma\Delta$. La section suivante est dédiée à l'étude d'un autre type d'architecture parallèle à base de modulateurs $\Sigma\Delta$. Il s'agit de l'architecture Hadamard.

2.3. Architecture à base de la modulation de Hadamard

L'architecture en parallèle à base de la modulation de Hadamard ($\Pi\Sigma\Delta$) est présentée dans cette section. Son principe repose sur la conversion par chaque branche en parallèle, d'un ensemble complexe de fréquences [47, 11] et sa représentation est donnée dans la Figure 2.6 pour M branches. Le signal d'entrée est modulé en le multipliant par un signal externe, $U_r[n]$, appelé une séquence de Hadamard de valeurs ± 1 . Cette multiplication est simple à réaliser puisqu'elle nécessite uniquement un changement de signe lorsque la valeur d'un élément de la séquence vaut -1 . Ensuite, dans chaque voie, le signal d'entrée est introduit au modulateur $\Sigma\Delta$ et au filtre numérique de décimation $H(z)$. Par la suite, le signal est démodulé par sa multiplication par la même séquence de Hadamard retardée de k_0 périodes. Le signal de sortie est enfin obtenu en additionnant les sorties des différentes voies.

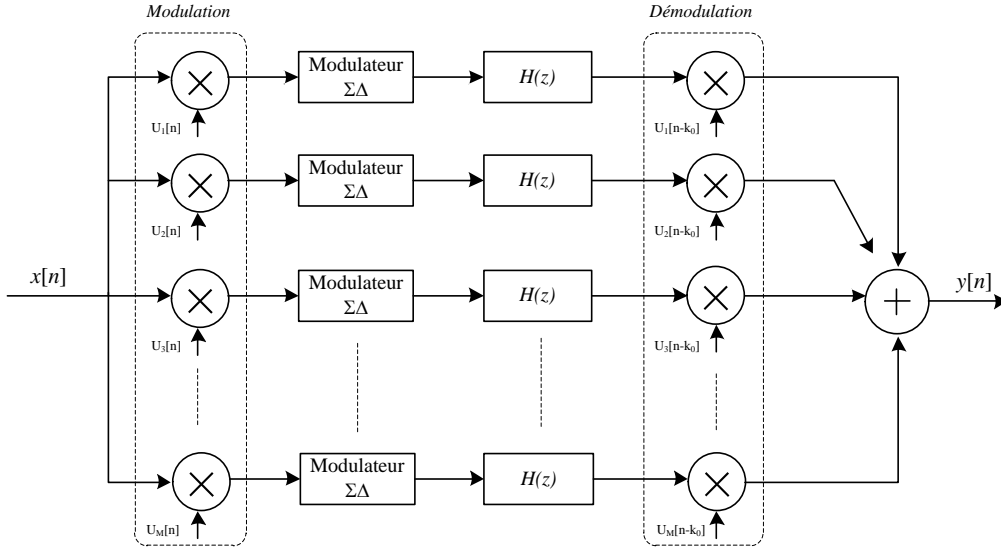


Figure 2.6 : Diagramme bloc de l'ADC $\Sigma\Delta$ en parallèle à base de la modulation de Hadamard.

La séquence de Hadamard, $U_r [n]$, est la ligne d'indice r de la matrice carrée de Hadamard Hd , répétée d'une façon cyclique comme le montre (2.22) [11],

$$U_r [n] = m [r, n \text{ mod } M] \quad (2.22)$$

où $m[i, j]$ l'élément de la ligne i et de la colonne j de la matrice avec i et j variant de 1 à M . La matrice de Hadamard est une matrice de dimension $M \times M$, composée de valeurs ± 1 et telle que, $Hd^t \cdot Hd = M \cdot I$ où I est la matrice identité. La matrice de Hadamard existe seulement si M est en puissance de 2 [47, 11]. La matrice de dimension 2×2 de Hadamard est donnée par l'équation (2.23) [47].

$$Hd_1 = \begin{pmatrix} 1 & 1 \\ 1 & -1 \end{pmatrix} \quad (2.23)$$

Les matrices de Hadamard de dimensions plus élevées, égales à $2^{i+1} \times 2^{i+1}$, sont générées de façon récursive comme donné par (2.24) [47].

$$Hd_i = \begin{pmatrix} Hd_{i-1} & Hd_{i-1} \\ Hd_{i-1} & -Hd_{i-1} \end{pmatrix} \quad (2.24)$$

Cette définition implique que la dimension de la matrice et le nombre de voies dans l'architecture en parallèle sont en puissance de 2. Cette condition constitue un véritable inconvénient en raison de la consommation significative des ressources matérielles et de la surface d'implantation [47]. En effet, si pour une architecture en parallèle à base de modulation de Hadamard composée de M voies, la dynamique requise n'est pas obtenue, il est indispensable de multiplier au moins par 2 le nombre de voies en parallèle. Il en suit de la multiplication par 2 des ressources matérielles et de la surface d'implantation. Nous nous intéressons alors dans la prochaine section à l'étude d'une autre classe

d'architecture en parallèle ne représentant pas de restriction sur le nombre de voies en parallèle. Il s'agit de l'architecture en parallèle à base de décomposition fréquentielle.

2.4. Architecture à base de décomposition fréquentielle

L'architecture à base de décomposition fréquentielle (FBD) est dérivée du concept de banc de filtres [46]. Chaque voie dans cette architecture en parallèle permet la conversion d'une partie de la bande fréquentielle du signal utile. Ensuite, un traitement numérique est mis en place afin d'assurer la reconstruction du signal de sortie final numérique à partir des signaux à la sortie des voies en parallèle. Dans cette section, l'architecture FBD est présentée ainsi que les approches de reconstruction numérique du signal.

2.4.1. Présentation de l'architecture FBD

L'architecture FBD est illustrée par la Figure 2.7. Les modulateurs $\Sigma\Delta$ montés en parallèle traitent chacun une bande de fréquence bien déterminée. Cette architecture permet donc l'élargissement de la bande passante totale [48-13]. Dans cette architecture, les premier et dernier modulateurs $\Sigma\Delta$ sont respectivement de types passe-bas et passe-haut. Les autres modulateurs sont de type passe-bande et sont ajustés autour de fréquences centrales bien déterminées afin de garantir la conversion des bandes fréquentielles attribuées chacune à un parmi ces modulateurs. Cependant, les solutions basées sur des modulateurs $\Sigma\Delta$ à bande passante sont très sensibles à la position des fréquences centrales [12]. L'erreur sur les fréquences centrales est tolérée jusqu'à 4 % dans des solutions à base de décomposition fréquentielle [12]. L'avantage de cette architecture est qu'elle n'est pas sensible aux problèmes d'offset et de disparités de gain [47, 49,50]. Cependant, elle présente la complexité matérielle la plus élevée par rapport aux autres architectures parallèles puisque les modulateurs $\Sigma\Delta$ dans les voies en parallèle sont tous différents [47, 49, 50]. L'architecture FBD peut être basée sur des modulateurs $\Sigma\Delta$ à temps discret ou à temps continu [48, 12, 13].

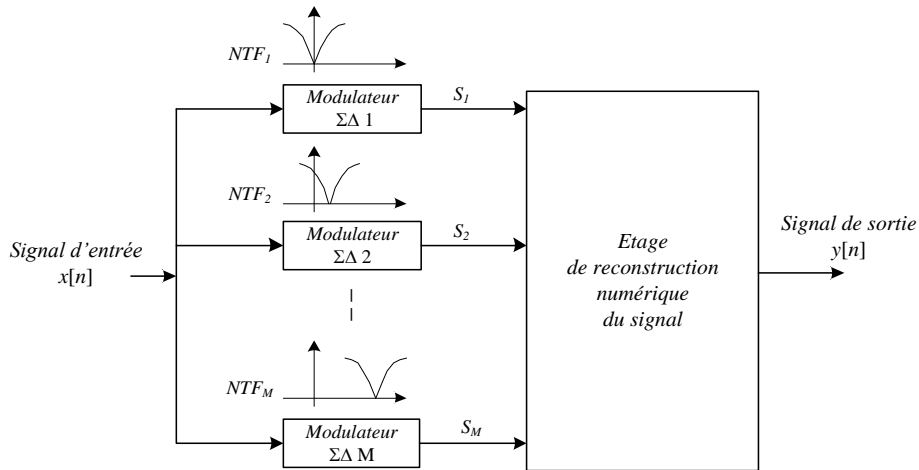


Figure 2.7 : Architecture en parallèle à base de décomposition fréquentielle.

Il existe dans la littérature deux approches pour la reconstruction du signal, à savoir la reconstruction directe et la reconstruction avec démodulation [51]. Le principe de ces deux types de reconstruction est expliqué dans les deux sous-sections suivantes.

2.4.2. Etage de reconstruction numérique directe

La reconstruction numérique directe est basée sur un filtrage passe-bande effectué à la sortie de chacun des modulateurs $\Sigma\Delta$ suivi d'une opération d'addition. Ensuite, le signal à la sortie de l'additionneur est décimé avant de former le signal de sortie reconstruit. Le principe de la reconstruction numérique directe du signal est présenté dans la Figure 2.8.

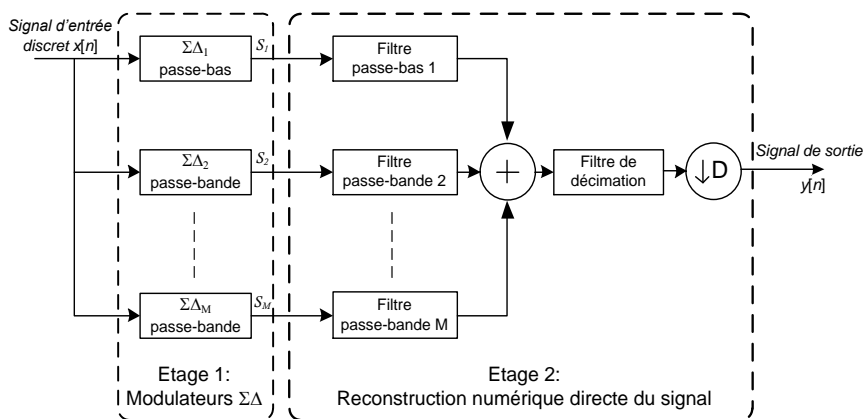


Figure 2.8 : Reconstruction numérique directe du signal.

2.4.2.1. Filtrage en aval des modulateurs

Dans cette approche de reconstruction directe du signal, chacun des filtres numériques élimine le bruit de quantification en dehors de la portion de la bande passante du signal attribuée à la voie en parallèle correspondante. Les bandes passantes des filtres de reconstruction numériques sont alors situées autour des zéros des NTF des modulateurs $\Sigma\Delta$. De plus, le filtre passe-bas dans la première

voie ainsi que les filtres passe-bande dans les autres voies en parallèle fonctionnent à la fréquence de sur-échantillonnage des modulateurs $\Sigma\Delta$. Par conséquent, ces filtres présentent des ordres trop élevés. En effet, ce point fut validé à travers une comparaison réalisée dans [51], entre les ordres minimums nécessaires des filtres passe-bandes dans l'approche de reconstruction numérique directe du signal et les ordres minimum nécessaires des filtres passe-bas dans l'approche de reconstruction numérique avec démodulation. L'architecture FBD considérée dans cette étude, est composée de huit modulateurs $\Sigma\Delta$ en parallèle fonctionnant à une fréquence de sur-échantillonnage égale à 800 MHz avec une bande passante totale du signal utile égale à 80 MHz. Il a été montré que pour la reconstruction directe du signal, il est indispensable d'utiliser des filtres FIR passe-bande possédant au moins 500 coefficients pour atteindre une résolution requise égale à 13.3 bits. Tandis que, pour la reconstruction numérique avec démodulation, seuls des filtres FIR passe-bas avec 64 coefficients suffisent pour atteindre la même résolution [51].

2.4.2.2. Décimation

Les modulateurs $\Sigma\Delta$ délivrent des signaux à une fréquence d'échantillonnage très élevée correspondant à la fréquence de sur-échantillonnage. Une opération de décimation est alors essentielle pour rétablir la vitesse d'échantillonnage à la fréquence de Nyquist. Le spectre du signal de sortie du modulateur $\Sigma\Delta$ après décimation par un facteur de décimation, D , est présenté par la Figure 2.9. Dans le domaine fréquentiel, la décimation consiste à répéter le spectre du signal utile toutes les fréquences multiples de F_s/D . Il est alors nécessaire d'effectuer un filtrage avant le sous-échantillonnage dans une opération de décimation. Le filtrage permet d'éliminer le bruit situé autour des fréquences multiples de F_s/D pour empêcher le repliement du bruit sur le signal utile après décimation. La décimation peut être effectuée sur plusieurs étages consécutifs afin de réduire sa complexité globale comme présenté par la Figure 2.10. Une chaîne de décimation se compose essentiellement par la mise en cascade de blocs, constitué chacun d'un filtre passe-bas et d'un sous-échantillonneur. Le facteur de décimation global correspond à la valeur du facteur de sur-échantillonnage, OSR , correspondant la fréquence d'échantillonnage divisée par la bande totale du canal de communication.

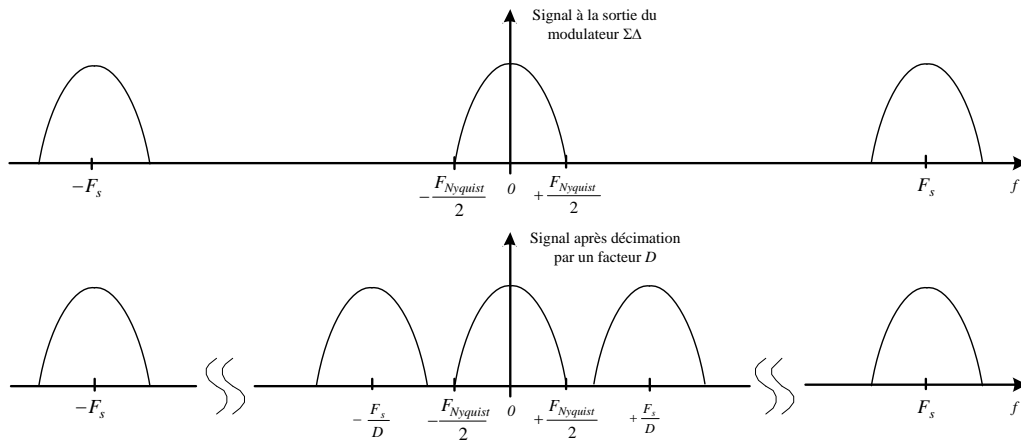


Figure 2.9 : Spectre du signal de sortie du modulateur $\Sigma\Delta$ avant et après décimation.

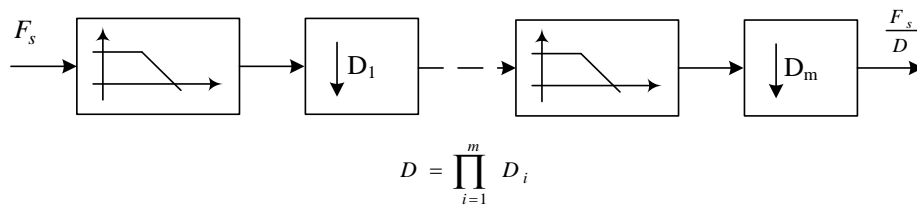


Figure 2.10 : Décimation à plusieurs étages.

2.4.3. Etage de reconstruction numérique avec démodulation

La reconstruction numérique du signal avec démodulation permet de diminuer considérablement la complexité des filtres de sélection de branche en aval des modulateurs $\Sigma\Delta$. En effet, le signal sur-échantillonné à la sortie de chacun des modulateurs $\Sigma\Delta$ en parallèle est d'abord ramené en bande de base grâce à une opération de démodulation complexe. Ensuite, le signal est décimé avant le filtrage passe-bas pour la sélection des bandes utiles. Les filtres passe-bas de sélection de branches fonctionnent à la fréquence de Nyquist. Ils présentent alors moins de complexité par rapport aux filtres de type passe-bande de l'approche de reconstruction directe. Finalement, chacun des signaux démodulés, décimés puis filtrés, est modulé. En effet, l'opération de modulation consiste à une conversion fréquentielle de chacun des signaux en parallèle autour de la fréquence centrale de la branche correspondante. La démodulation et la modulation ne sont pas nécessaires pour la première branche fonctionnant en passe-bas. L'étage de reconstruction numérique avec démodulation est présenté par la Figure 2.11. Dans les paragraphes suivants, nous présentons les étages de reconstruction numérique avec démodulation.

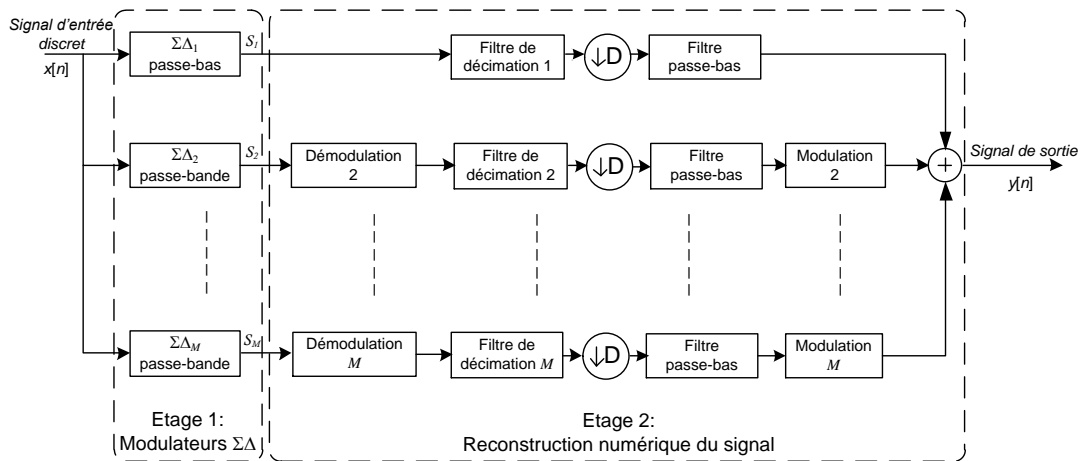


Figure 2.11 : Reconstruction numérique du signal avec démodulation.

2.4.3.1. Démodulation complexe

La démodulation complexe consiste à ramener le signal en sortie de chacun des modulateurs $\Sigma\Delta$ en bande de base par une multiplication avec la séquence complexe donnée par la relation (2.25) où L est l'indice de branche variant de 1 à M et f_{cL} est la fréquence centrale de la bande de la $L^{\text{ième}}$ branche.

$$m_L[n] = e^{-j2\pi f_{cL} \frac{n}{F_s}} \quad (2.25)$$

Elle permet la séparation en bande de base de la partie réelle et de la partie imaginaire du signal complexe parce qu'elles ne portent pas la même information selon le type de la modulation numérique utilisée dans le récepteur de radiocommunication.

2.4.3.2. Décimation

Le signal démodulé présente une fréquence d'échantillonnage correspondant au facteur de sur-échantillonnage des modulateurs $\Sigma\Delta$. Une opération de décimation est alors nécessaire pour rétablir la fréquence d'échantillonnage du signal à la fréquence de Nyquist. La décimation permet de relâcher les contraintes sur les filtres de sélection de branche.

2.4.3.3. Filtrage passe-bas

Après l'étage de décimation, le signal dans chaque branche en parallèle est sélectionné à l'aide d'un filtre passe-bas de sélection de bande par branche. Ce filtrage passe-bas permet de réduire le bruit de quantification en dehors de la bande de la branche correspondante pour permettre d'atteindre la dynamique requise du signal reconstruit après addition des signaux en parallèle. La complexité de ces filtres passe-bas est plus faible que la complexité des filtres passe-bande dans l'approche de reconstruction directe du signal comme expliqué dans le paragraphe 2.4.2.1.

2.4.3.4. Modulation

Une fois que le signal dans chacune des branches en parallèle est démodulé, décimé et ensuite filtré, une opération de modulation est nécessaire. En effet, la modulation permet de transposer chacun des signaux en parallèle qui sont jusque-là en bande de base, autour de la fréquence centrale de la branche correspondante dans la bande fréquentielle de Nyquist. L'opération de modulation est réalisée par une multiplication avec une séquence égale au conjugué de la séquence $m_L[n]$ de démodulation donnée par (2.25). Les signaux en parallèle sont par la suite additionnés pour former le signal de sortie après reconstruction.

Nous adoptons dans nos travaux pour la reconstruction avec démodulation pour aboutir à des filtres de sélection de branche passe-bas présentant une complexité raisonnable en termes d'ordres de filtres. Dans la section suivante, nous présentons une comparaison entre les architectures parallèles $T\Sigma\Delta$, $\Pi\Sigma\Delta$ et FBD utilisant une reconstruction numérique avec démodulation.

2.5. Comparaison des trois architectures parallèles

Nous nous intéressons dans cette section à la comparaison des trois types d'architectures parallèles en fonction de leurs performances théoriques, leur sensibilité aux erreurs du circuit et leur complexité d'implémentation :

- **Les performances théoriques** : la puissance du bruit de quantification en sortie est plus ou moins identique pour les trois architectures [47, 49, 50]. La dynamique du signal de sortie de ces architectures en parallèle est principalement déterminée par la dynamique des modulateurs $\Sigma\Delta$ [49].
- **La sensibilité à la gigue d'horloge** : l'une des principales raisons de dégradation des performances des architectures en parallèle de convertisseurs $\Sigma\Delta$ est l'erreur sur les instants d'échantillonnage [49, 51]. Cette erreur affecte plus les architectures $T\Sigma\Delta$ et $\Pi\Sigma\Delta$ en produisant des raies spectrales, en raison des machines à états finis utilisées dans ces architectures pour générer les instants d'échantillonnage [47, 49].
- **La sensibilité aux erreurs de décalage de gain** : l'architecture FBD est insensible à la disparité du gain entre les voies en parallèle [47, 49, 50]. En effet, cette erreur de décalage de gain résulte uniquement en des ondulations dans le spectre du signal de sortie de l'architecture FBD, ne ramenant pas des non-linéarités et ne dégradant pas le SNR [47]. Par contre, la disparité de gain dans les architectures $T\Sigma\Delta$ et $\Pi\Sigma\Delta$ introduit des distorsions non-linéaires se manifestant par des raies spectrales dans le spectre du signal de sortie [47, 49].

- **La sensibilité aux erreurs de décalage en tension** : l'architecture FBD est insensible aux erreurs de décalage en tension puisque tous les modulateurs mis en place excepté le premier sont de type passe-bande [47, 49]. Cependant, pour les architectures $\text{T}\Sigma\Delta$ et $\text{\Pi}\Sigma\Delta$, cette erreur se manifeste par des raies spectrales dans le spectre du signal de sortie. La puissance de bruit est alors augmentée et la qualité du signal de sortie ainsi que les performances de ces deux architectures sont dégradées [47, 49, 50].
- **La complexité d'implémentation** : les architectures $\text{T}\Sigma\Delta$ et $\text{\Pi}\Sigma\Delta$ sont plus faciles à implémenter que l'architecture FBD du fait que les modulateurs $\Sigma\Delta$ et les filtres numériques utilisés dans les voies en parallèle sont tous passe-bas et identiques [47, 49-51]. En revanche, dans l'architecture FBD, les modulateurs $\Sigma\Delta$ et les filtres de reconstruction numériques diffèrent d'une voie à l'autre. Par suite, ils nécessitent plus d'effort de dimensionnement et augmentent la complexité d'implémentation [47, 49-51].

Suite à cette comparaison des architectures en parallèle, nous adoptons l'architecture FBD dans nos travaux de dimensionnement et d'implémentation d'ADC $\Sigma\Delta$ en parallèle dans un récepteur SDR multistandard. Ce choix est appuyé par l'avantage majeur de l'architecture FBD par rapport aux architectures $\text{T}\Sigma\Delta$ et $\text{\Pi}\Sigma\Delta$, qui consiste en son insensibilité aux erreurs dues à la disparité de gain et de tension entre les voies en parallèle [47, 49, 50].

2.6. Conclusion

Dans ce chapitre, nous avons présenté les trois principaux types d'architectures en parallèle à base de modulateurs $\Sigma\Delta$. Le but est de sélectionner soit le parallélisme temporel ou soit le parallélisme fréquentiel, afin de mettre en œuvre un ADC capable de satisfaire aux exigences imposées par la SDR en termes de dynamique requise et bande de conversion. Suite à une comparaison entre les trois architectures, notre choix se porte sur l'architecture FBD. Certes, l'architecture FBD présente une complexité plus importante par rapport aux autres architectures en raison de l'utilisation de modulateurs centrés autour de fréquences différentes et passant des bandes fréquentielles différentes, mais elle a un intérêt notable en raison de son insensibilité aux erreurs de disparité de gain et de décalage de tension. Dans le Chapitre 3, nous nous intéressons à la proposition d'un dimensionnement d'une architecture FBD à base de modulateurs $\Sigma\Delta$ destinée pour une ADC SDR multistandard. Le dimensionnement de l'étage de reconstruction numérique de cette architecture en parallèle est effectué en se basant sur l'approche de reconstruction avec démodulation en raison de la faible complexité de ses filtres passe-bas de sélection de branche par rapport aux filtres passe-bandes dans l'approche de reconstruction avec démodulation.

Chapitre 3 : Étude et conception d'une architecture FBD programmable à bandes non-uniformes dans un contexte radio multistandard

3.1. Introduction

Suite à l'étude comparative des architectures parallèles de modulateurs $\Sigma\Delta$ effectuée dans le Chapitre 2, nous avons sélectionné l'architecture FBD pour son insensibilité aux erreurs de décalage de gain et de phase entre les branches en parallèle comparée à l'architecture $\text{T}\Sigma\Delta$ et $\text{P}\Sigma\Delta$. L'objectif de ce chapitre est de proposer un dimensionnement de l'étage mixte en bande de base du récepteur SDR supportant le fonctionnement multistandard des normes de radio communication E-GSM, UMTS et IEEE802.11a [6, 7, 52]. L'architecture de cet étage ainsi qu'un rappel des paramètres physiques des standards et des spécifications du dimensionnement du récepteur SDR multistandard sont d'abord introduits. Ensuite, nous proposons une étude du dimensionnement du filtre anti-repliement non-programmable et de l'étage de conversion analogique numérique. Une fois les caractéristiques de l'étage de conversion analogique numérique fixées, un dimensionnement de l'architecture FBD de l'ADC en parallèle avec la détermination du nombre de branches en parallèle, l'évaluation de la largeur de bande passante par branche, ainsi que le choix de la fréquence d'échantillonnage pour la numérisation de chaque standard [53] est proposé. Dans l'étude de ce dimensionnement, nous posons une contrainte supplémentaire. Il s'agit de la réutilisation maximale des branches utilisées pour la numérisation des signaux d'un standard pour la numérisation des signaux issus des autres standards. Cela devrait permettre la définition d'une architecture programmable et avec un nombre de branches (ou voies) optimal. Le fonctionnement en parallèle de l'architecture FBD de l'ADC requiert un traitement numérique permettant de combiner les signaux de sortie des branches en parallèle pour former le signal de sortie globale. La dernière partie de ce chapitre est donc consacrée au dimensionnement de cet étage de reconstruction numérique ainsi qu'aux corrections nécessaires des erreurs de gain et de phase de l'architecture FBD qui sont implémentées dans cet étage numérique.

3.2. Etage mixte en bande de base du récepteur radio multistandard

L'architecture conventionnelle de l'étage mixte en bande de base d'un récepteur radio est présentée par la Figure 3.1. Le signal reçu à l'antenne est filtré par le filtre RF. Ensuite, étant modulé autour de la fréquence f_{RF} , il est transposé en bande de base pour les standards UMTS et IEEE802.11a. Quant aux signaux E-GSM, ils sont transposés vers une fréquence intermédiaire de 100 kHz comme expliqué dans la sous-section 1.3.2 du Chapitre 1. La transposition fréquentielle se fait grâce à la multiplication du signal d'entrée par le signal issu de l'oscillateur local à la fréquence f_{LO} . Le signal résultant est considéré être à une fréquence que nous notons f_{in} . L'étage en bande de base est composé essentiellement d'un filtre AAF, d'un AGC, d'un ADC et d'un filtre numérique de sélection du canal. L'AGC et le filtre AAF peuvent être programmables.

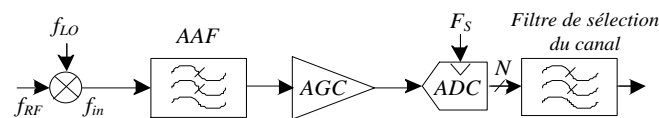


Figure 3.1 : Architecture de l'étage en bande de base du récepteur multistandard.

Le rôle du filtre anti-repliement (AAF) est d'atténuer des bloqueurs et des interférents qui pourraient se replier sur le signal utile après la conversion analogique numérique, tout en garantissant le SNR_{out} requis. Un état de l'art des AAFs actifs et programmables est présenté au Tableau 3.1 et montre que sa consommation varie entre 0.72 mW et 21.6 mW en fonction des bandes sélectionnées, de l'ordre et de la technologie choisie. Dans le cas d'utilisation d'un filtre AAF programmable, un circuit AGC devient alors indispensable pour limiter la dynamique à l'entrée de l'ADC. La consommation en puissance des AGCs programmables est montrée dans le Tableau 3.2.

Tableau 3.1 : Etat de l'art des filtres AAFs passe-bas actifs.

	Ordre	Fréquence de coupure (MHz)	Puissance (mW)	Technologie
[54]	2/4/6	[0.35, 23.5]	0.72-21.6	0.13 μm CMOS
[55]	4	[15-95]	14.2	0.5 μm CMOS
[56]	5	[80, 400]	3.5-5.5	0.13 μm CMOS
[57]	5	[0.7-10]	3.4	65 nm CMOS

Tableau 3.2 : Etat de l'art des AGCs programmables.

	Bande passante (MHz)	Gain (dB)	Puissance (mW)	Technologie
[3]	[1000, 5000]	-5-11	10-19	0.18 μm CMOS
[58]	[0, 900]	-38.8-55.3	20.5	0.18 μm CMOS
[59]	[0, 8500]	>10	9.3	0.18 μm CMOS
[60]	[0, 0.18-200]	0-39	0.36-13.5	0.18 μm CMOS
[61]	[0, 65]	-22-32	2.16	0.18 μm CMOS
[62]	[0, 1000]	-5-11	9	0.18 μm CMOS
[63]	[0, 63.5]	3.6-59.6	1.12	0.18 μm CMOS

En ce qui concerne les travaux de cette thèse, nous choisissons d'utiliser un AAF unique, passif et non-programmable afin de réduire la consommation de puissance et surtout, pour ne pas avoir à utiliser un AGC qui n'apporterait pas de réduction importante de la dynamique à l'entrée de l'ADC [64]. L'étage conventionnel en bande de base est alors modifié afin de l'adapter à l'architecture de l'ADC qui sera composé de M branches (ou voies) pour réaliser la décomposition fréquentielle en sous bandes. La Figure 3.2 montre l'architecture FBD utilisant un ADC composé de modulateurs $\Sigma\Delta$ montés en parallèle. Le fonctionnement en parallèle nécessite un traitement en aval pour recombinaison des différentes sorties en parallèle et former une seule sortie [53]. Il est important de noter que nous aurions pu appliquer un filtre à décimation par branche, suivi d'une reconstruction spectrale. Nous faisons le choix ici de construire les filtres à décimation de chaque modulateur avec la reconstruction spectrale dans un même étage de reconstruction numérique.

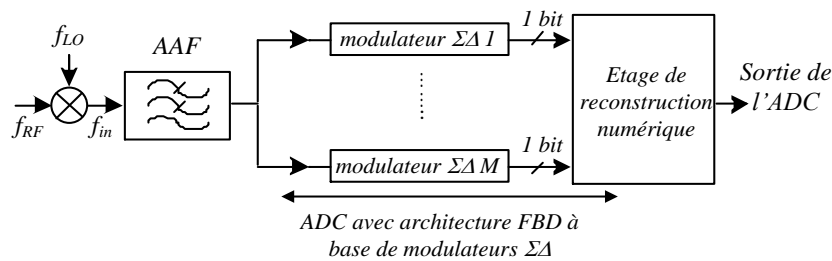


Figure 3.2 : Architecture de l'étage en bande de base du récepteur multistandard avec ADC de type FBD basé sur des modulateurs $\Sigma\Delta$.

Afin de réaliser le dimensionnement du filtre anti-repliement, de l'architecture ADC parallèle de type FBD et de l'étage de reconstruction numérique pour reconstruire la totalité du signal traité par l'étage en bande de base, nous rappelons quelques paramètres physiques des standards et donnons les résultats des spécifications de dimensionnement du récepteur multistandard dans le Tableau 3.3.

Tableau 3.3 : Rappel de quelques paramètres physiques des standards E-GSM/UMTS/IEEE802.11a et spécifications de dimensionnement du récepteur multistandard.

	E-GSM	UMTS	IEEE802.11a (54 Mbits/s)
Largeur des canaux B_c (MHz)	0.2	3.84	16.6
Espacement entre les canaux Ch_{sp} (MHz)	0.2	5	20
Rapport signal-à-bruit à l'entrée du récepteur pour un signal de puissance minimale SNR_{in} (dB)	18.8	-9	36.6
Rapport signal-à-bruit requis pour la démodulation SNR_{out} (dB)	9	-18.2	26.6
Sensibilité de référence S_{ref} (dBm)	-102	-117	-65
Figure du bruit NF (dB)	9.8	9.2	10
Dynamique du récepteur DR_{in} (dB)	87	92	35
Dynamique de l'ADC DR_{ADC} (dB)	96	73.8	61.8
Résolution requise de l'ADC (bits)	16	12	10
Gain analogique G_{ana} (dB) pour une pleine échelle de l'ADC $S_{fs} = 13$ dBm	28	38	43

La puissance du signal utile au niveau de l'antenne varie entre la puissance minimale, égale à la sensibilité de référence, et la puissance maximale. Le récepteur doit fournir un gain analogique, G_{ana} , sans toutefois saturer le convertisseur. Dans l'étage frontal RF, composé de circuits actifs, à savoir le LNA et les mélangeurs, les signaux utiles et les bloqueurs sont alors amplifiés par le gain analogique.

3.3. Dimensionnement du filtre anti-repliement

Nous présentons dans cette section le dimensionnement du filtre anti-repliement de l'étage en bande de base analogique du récepteur SDR multistandard. Le filtre AAF considéré n'est pas programmable et il sera utilisé pour les standards E-GSM, UMTS et IEEE802.11a. Le filtre AAF est de type passe bas, défini par sa fréquence de coupure f_p , son atténuation maximale A_{max} dans la bande passante, sa fréquence de réjection f_t et son atténuation minimale A_{min} au-delà de la fréquence de réjection. La fréquence de coupure f_p , est égale à la moitié de la bande du canal B_c , tout en considérant une marge de conception assez large de 30 %. En ce qui concerne les signaux E-GSM, étant donné qu'ils sont transposés autour d'une faible fréquence intermédiaire f_{IF} , B_c est alors considérée égale à la moitié de la bande du canal à laquelle nous rajoutons la fréquence intermédiaire. Quant à la fréquence de réjection f_t , elle doit être comprise entre $B_c/2$ et $F_s - B_c/2$. Nous considérons une fréquence de réjection égale à $F_s - B_c/2$. Tenant compte de l'ensemble de ces spécifications, un gabarit en atténuation du filtre AAF est proposée dans la Figure 3.3 où S_t est le signal test, égal à la sensibilité de référence à laquelle nous rajoutons 3 dB, et N_{bl} est le niveau du bloqueur à atténuer.

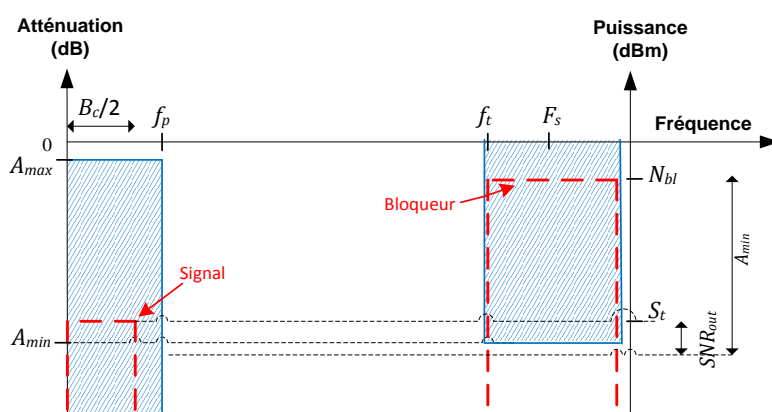


Figure 3.3 : Gabarit en atténuation du filtre AAF.

Par la suite, l'atténuation minimale A_{min} requise pour supprimer les bloqueurs et interférents pouvant se replier sur le signal à cause de l'opération d'échantillonnage est donnée par l'expression (3.1) [65],

$$A_{min} = N_{bl} - S_t + SNR_{out} + M_{AAF} \quad (3.1)$$

où M_{AAF} , une marge de conception du filtre anti-repliement, est égale à 3 dB. Le niveau du bloqueur à atténuer, N_{bl} , est déterminé à partir des profils des bloqueurs des différents standards après passage par l'étage RF composé du filtre RF, du LNA et du mélangeur.

Pour le dimensionnement du filtre AAF, il existe plusieurs types de filtres connus par leurs approximations mathématiques, comme les filtres de Butterworth, Chebyshev, Bessel et Caer (Elliptic). Leurs fonctions de transfert se distinguent essentiellement par l'atténuation maximale dans la bande passante, par la raideur dans la bande de transition et par la réjection hors bande. La Figure 3.4 présente les différents types d'approximations pour un même ordre (ordre 6).

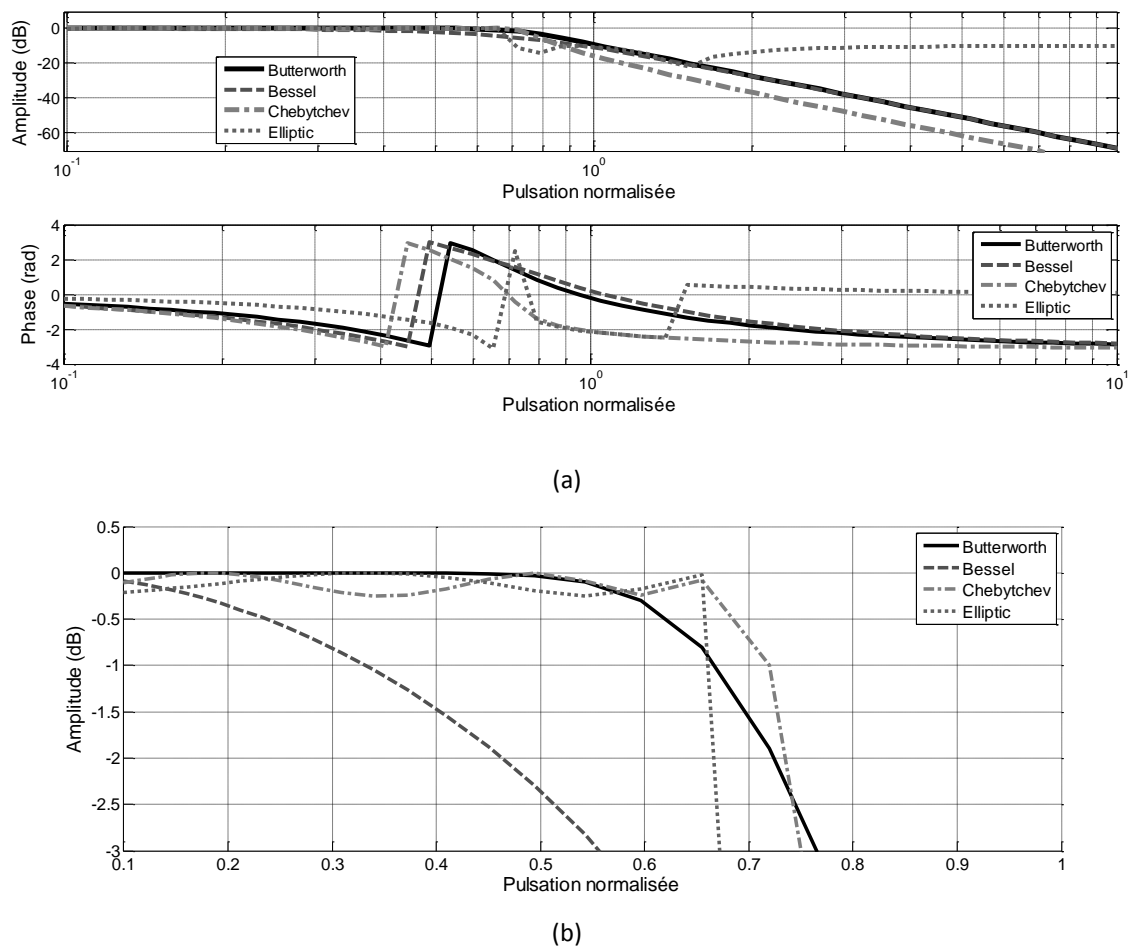


Figure 3.4 : (a) Réponses en fréquence de différents types de filtres d'ordre 6 ; (b) zoom dans la bande.

La réponse en fréquence d'un filtre selon l'approximation Butterworth (filtre de Butterworth) ne présente pas d'ondulation dans la bande passante, contrairement aux filtres de Chebyshev, Bessel et Cauer (Figure 3.4 (b)). De plus, pour ce type de filtre, l'atténuation dans la bande est la plus faible par rapport aux autres. Pour ces raisons, le filtre AAF sera construit à partir de l'approximation de Butterworth dont l'ordre p est calculé à partir de la formule d'atténuation donnée par l'équation (3.2), soit :

$$A(f) = 10 \text{Log}_{10} \left(1 + (10^{A_{max}/10} - 1)^2 \left(\frac{f}{f_p} \right)^{2p} \right) \quad (3.2)$$

où A_{max} est l'atténuation maximale dans la bande utile. Dans ce travail, nous l'avons fixé à 0.3 dB. En considérant l'atténuation A_{min} requise par le filtre AAF pour atténuer le niveau du bloqueur à la fréquence de réjection, nous parvenons à déterminer l'ordre du filtre pour chacun des standards. Les fréquences de réjection sont calculées à partir des fréquences d'échantillonnage qui sont déterminées suite au dimensionnement de l'architecture FBD tel qu'il sera expliqué dans la sous-section 3.4.2. Les valeurs des différents paramètres nécessaires au dimensionnement du filtre AAF, à savoir : la bande passante, $B_c/2$, la fréquence de coupure, f_p , la fréquence de réjection, f_t , ainsi que le calcul de l'atténuation minimale requise dans la bande de réjection, A_{min} , sont données dans le Tableau 3.4.

Tableau 3.4 : Dimensionnement du filtre AAF passe-bas.

	E-GSM	UMTS	IEEE802.11a (54 Mbits/s)
$B_c / 2$ (MHz)	0.2	1.92	8.3
F_s (MHz)	72	72	96
f_p (MHz)	10.8	10.8	10.8
f_t (MHz)	71.8	70.08	87.7
S_t (dBm)	-99	-114	-62
N_{bl} (dBm)	-23	-44	-47
SNR_{out} (dB)	9	-18.2	26.6
G_{ana} (dB)	28	38	43
A_{min} (dB)	88	54.8	44.6
Ordre p	6 (6.04447)	4 (4.0789)	3 (3.0814)

Comme dans ce travail, le filtre AAF est non-programmable, nous considérons la même fréquence de coupure pour les trois standards. Il s'agit de la fréquence de coupure la plus contraignante qui n'est autre que la moitié de la largeur du canal de la norme IEEE802.11a avec une marge de conception de 30 % [65].

En ce qui concerne l'ordre du filtre AAF, donné dans le Tableau 3.4 pour les trois standards, il s'avère que le plus contraignant, celui d'ordre 6, est associé au standard E-GSM. Même si pour les standards UMTS et IEEE802.11a, des filtres AAF d'ordres respectivement égaux à 4 et 3 suffisent, comme le filtre AAF est non programmable, nous devons considérer l'ordre maximal parmi les trois standards et donc choisir un filtre de Butterworth d'ordre 6. Son gabarit, ainsi que sa fonction d'approximation de Butterworth sont présentés dans la Figure 3.5.

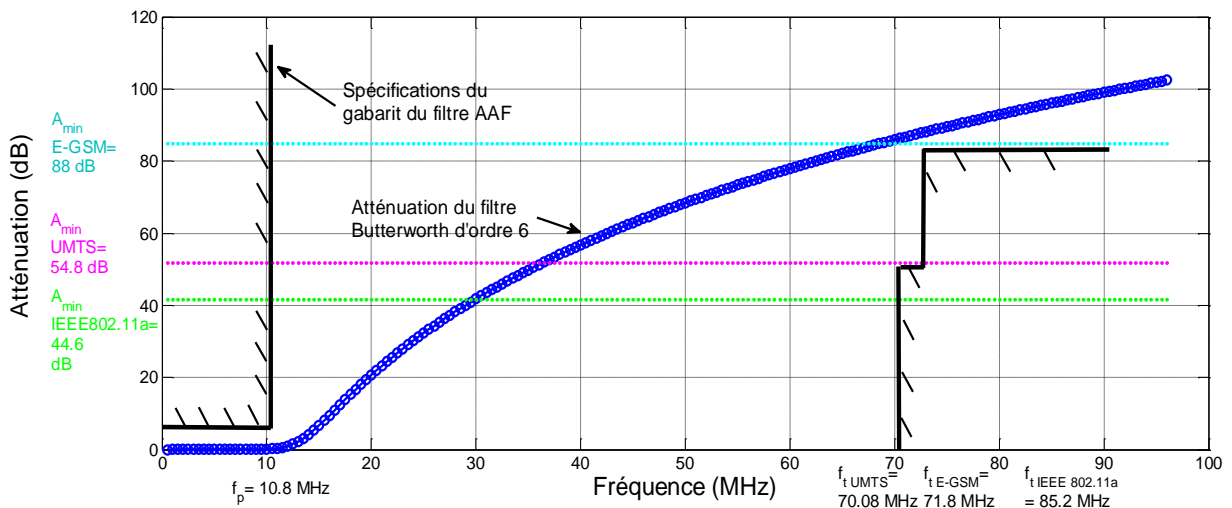
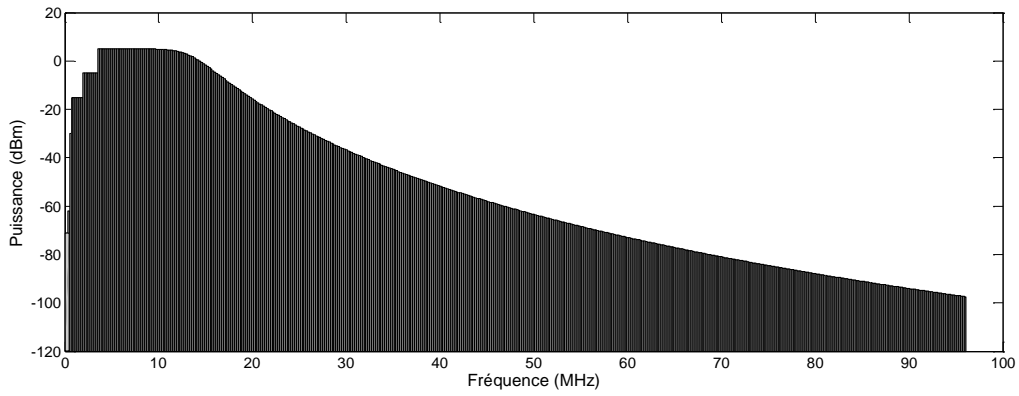


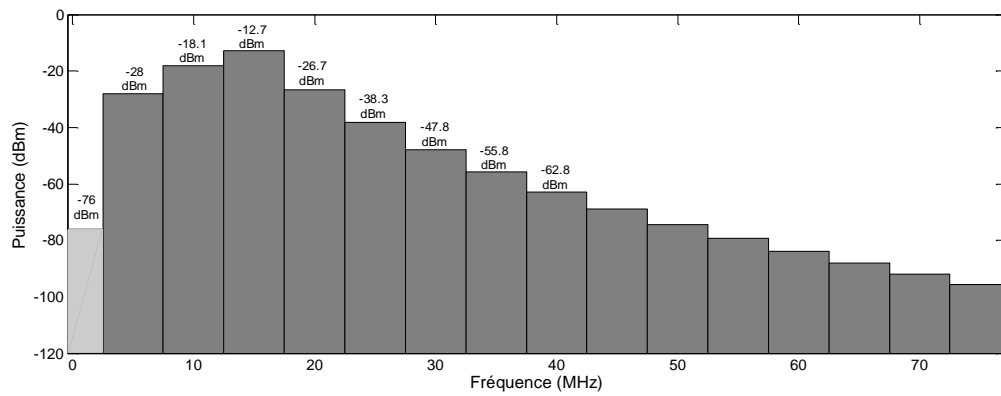
Figure 3.5 : Gabarit en atténuation du filtre AAF passe-bas Butterworth d'ordre 6.

Les profils des bloqueurs à la sortie du filtre AAF pour les standards E-GSM, UMTS et IEEE802.11a sont présentés respectivement dans les Figure 3.6 (a), Figure 3.6 (b) et Figure 3.6(c).

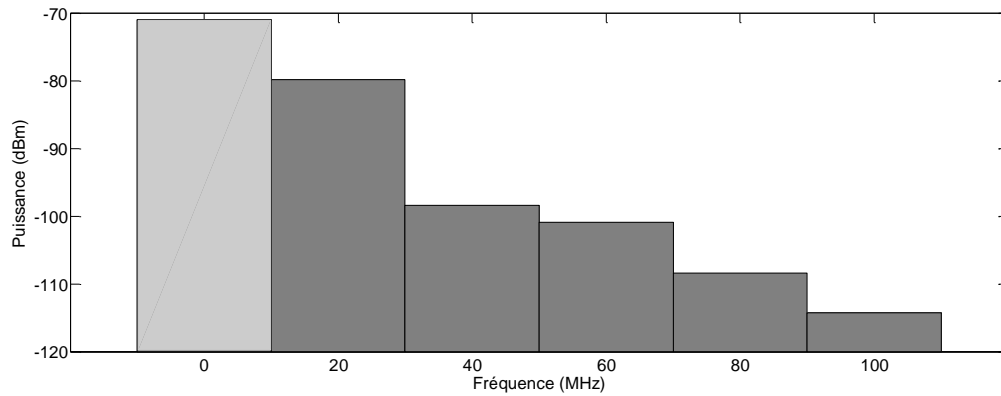
Ces profils sont nécessaires pour dimensionner les filtres de décimation de l'étage de reconstruction numérique du signal, que nous exposerons dans la section 3.5. En effet, les filtres de décimation doivent atténuer le maximum entre le bruit de quantification et les bloqueurs à la sortie du filtre AAF. Ces bruits risquent de se replier sur le signal utile après décimation. Cependant, avant d'envisager l'étage de reconstruction, il est nécessaire de dimensionner l'architecture FBD de l'ADC multistandard par rapport au nombre de branches, aux modulateurs (ordre et type) et à l' OSR pour assurer un SNR compatible avec les standards visés. Ce travail est présenté dans la section suivante.



(a)



(b)



(c)

Figure 3.6 : Profil des bloqueurs à la sortie du filtre AAF pour les standards (a) E-GSM, (b) UMTS et (c) IEEE802.11a.

3.4. Dimensionnement de l'architecture FBD dans le contexte radio multistandard

Dans la section précédente, nous avons présenté les résultats de dimensionnement du filtre AAF du récepteur SDR supportant le fonctionnement des standards E-GSM, UMTS et IEEE802.11a. Nous nous intéressons dans cette section au dimensionnement de l'ADC du récepteur multistandard, basé sur

une architecture FBD utilisant des modulateurs $\Sigma\Delta$ (ADC FBD $\Sigma\Delta$). Dans un premier temps, nous proposons un dimensionnement théorique de l'ADC FBD $\Sigma\Delta$ en se basant sur les abaques de SNR maximal théorique. Ensuite, nous utilisons une approche empirique, dans un environnement Matlab/Simulink, pour modifier le dimensionnement en vue de répondre aux dynamiques requises des différents standards supportés par le récepteur SDR.

3.4.1. Dimensionnement théorique de l'architecture FBD

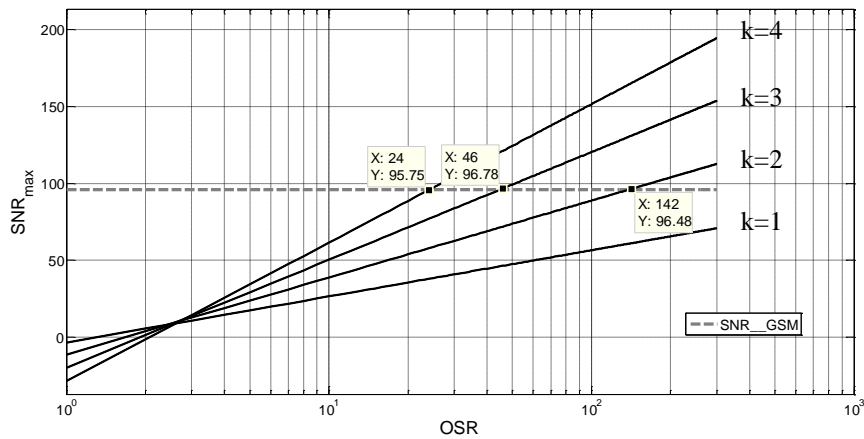
Après avoir présenté, dans le Tableau 3.3, les valeurs de la dynamique requise pour chaque standard, nous traçons les courbes du SNR maximal de conception, SNR_{max} , en fonction de l'OSR et de l'ordre des modulateurs $\Sigma\Delta$ passe-bas dont la formule est donnée par (3.3) où k désigne l'ordre du modulateur [66].

$$SNR_{max} = \frac{3(2k+1) OSR^{2k+1}}{2\pi^{2k}} \quad (3.3)$$

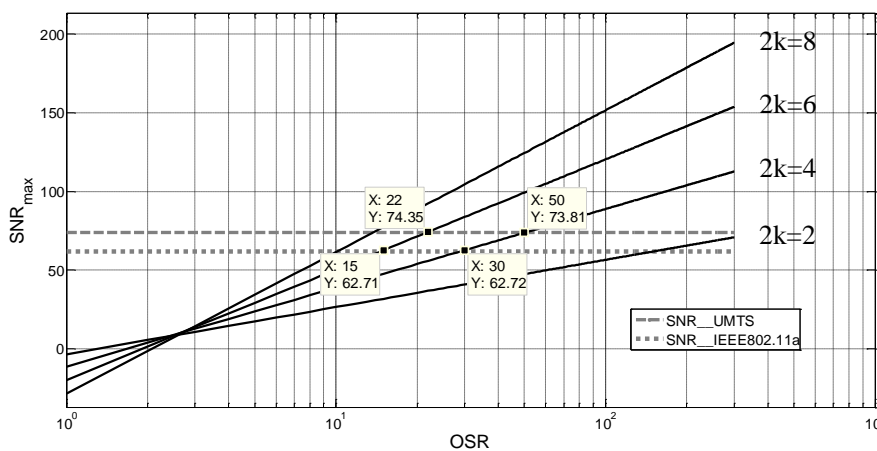
Les courbes du SNR maximal sont tracées pour des ordres de modulateurs allant de 1 à 4 et pour des OSR allant de 1 à 300 comme montré par la Figure 3.7 (a).

Ces courbes nous permettent de déterminer l'ordre du modulateur et l'OSR requis pour le standard E-GSM puisqu'il comportera un seul modulateur $\Sigma\Delta$ passe-bas. En effet, la bande du standard E-GSM est une bande étroite. Ce modulateur $\Sigma\Delta$ passe-bas sera aussi utilisé pour les autres standards. Par ailleurs, le dimensionnement des autres branches de l'architecture FBD se fera à partir des courbes de SNR maximal pour des modulateurs passe-bande. La formule du SNR maximal pour un modulateur $\Sigma\Delta$ passe-bande est la même que celle donnée par la relation (3.4) avec $2k$ l'ordre du modulateur $\Sigma\Delta$ passe-bande. En effet, k est le nombre d'intégrateurs pour le modulateur $\Sigma\Delta$ passe-bas et le nombre de résonateurs pour le modulateur $\Sigma\Delta$ passe-bande. Les courbes du SNR maximal en fonction de l'OSR et de l'ordre du modulateur $\Sigma\Delta$ passe-bande pour le dimensionnement des modulateurs dédiées au standards UMTS et IEEE802.11a sont présentées à la Figure 3.7 (b).

A partir de la Figure 3.7 (a), nous remarquons que trois solutions se présentent pour garantir une dynamique de 96 dB pour le standard E-GSM. Nous pouvons envisager l'utilisation soit d'un modulateur $\Sigma\Delta$ d'ordre 3 passe-bas fonctionnant avec un OSR égal à 46, soit d'un modulateur $\Sigma\Delta$ d'ordre 4 avec un OSR de 24, soit d'un modulateur $\Sigma\Delta$ d'ordre 2 avec un OSR égal à 140.



(a)



(b)

Figure 3.7 : SNR maximal en fonction de l'OSR et de l'ordre du modulateur $\Sigma\Delta$: (a) passe-bas ; (b) passe-bande.

Par ailleurs, la bande utile du standard E-GSM dans une architecture de réception low-IF est de 200 kHz. Cette bande étant étroite par rapport à celles des standards UMTS et IEEE802.11a, un modulateur passe-bas avec une telle bande serait un obstacle pour l'utilisation de la première branche de l'architecture FBD pour les trois standards. Nous proposons alors d'utiliser un modulateur passe-bas avec une bande supérieure à 500 kHz qui représente un cinquième de la moitié de l'espacement entre deux canaux UMTS. Nous en déduisons qu'un seul modulateur $\Sigma\Delta$ d'ordre 3 passe-bas fonctionnant à une fréquence d'échantillonnage égale à 55.2 MHz, pour un OSR de 46, avec une bande passante égale à 600 kHz est suffisant pour assurer largement la dynamique requise de 96 dB pour le E-GSM. Il est important de noter que dans une approche FBD, il pourrait être réutilisé par les autres standards. Cependant, le choix d'une fréquence d'échantillonnage à 55.2 MHz ajoute des contraintes plus sévères sur le dimensionnement du filtre anti-repliement. Par conséquent, nous envisageons une fréquence d'échantillonnage égale à 72 MHz,

pour un OSR de 60, et ceci dans le but d'utiliser l'AAF dimensionné précédemment et qui est d'ordre 6. Ce choix confirme d'ailleurs la solution de dimensionnement de l'AAF présentée dans le Tableau 3.4. Il faut remarquer qu'utiliser un seul et unique modulateur pour les standards UMTS et IEEE802.11a n'est pas possible. En effet, selon l'état de l'art effectué en Chapitre 1, il n'existe pas de modulateur $\Sigma\Delta$ de bande 8.3 MHz pour l'IEEE802.11a pouvant offrir une dynamique de 73.8 dB pour l'UMTS et 96 dB pour l'E-GSM.

En conséquence, à partir de la Figure 3.7 (b), il devient évident que pour le standard UMTS, nous avons besoin de mettre en place une architecture FBD composée de modulateurs $\Sigma\Delta$ d'ordre 6 passe-bande avec un OSR requis supérieur à 22. Nous passons alors pour ce standard à une architecture FBD composée de deux branches en parallèle. La première branche est composée du modulateur $\Sigma\Delta$ passe-bas utilisé pour l'E-GSM et la deuxième est la branche d'un modulateur $\Sigma\Delta$ passe-bande de bande 2 MHz opérant à une fréquence d'échantillonnage égale à 88 MHz. L'inconvénient est l'utilisation d'une fréquence d'échantillonnage relativement proche des fréquences d'échantillonnages maximales des modulateurs $\Sigma\Delta$ à temps discret. Nous proposons alors la solution de trois branches. La bande passante de la première branche est égale à 0.5 MHz avec un OSR de 60 et une fréquence d'échantillonnage de 60 MHz. Quant à la deuxième et troisième branche, la bande passante est choisie égale à 1 MHz, réalisant un OSR de 30 qui répond aux exigences données par la Figure 3.7 (b). La fréquence d'échantillonnage est commune aux trois branches et égale à 60 MHz. Cette architecture garantit la dynamique requise qui est de l'ordre de 73.8 dB. Elle permet également d'utiliser le modulateur $\Sigma\Delta$ d'ordre 3 passe-bas de l'architecture E-GSM dans la première branche de l'architecture UMTS.

Concernant le standard IEEE802.11a, une architecture composée de modulateurs $\Sigma\Delta$ d'ordre 6 passe-bande avec un OSR supérieur à 16 permet d'atteindre la dynamique requise qui est de 61.8 dB. Nous proposons alors une architecture FBD composée de 5 branches en parallèle permettant la réutilisation de la première branche de l'architecture GSM et de la seconde branche de l'architecture UMTS. L'architecture fonctionne à une fréquence d'échantillonnage égale à 80 MHz. La bande passante de la première branche est égale à 0.6667 MHz, réalisant un OSR égal à 60. La bande passante de la seconde branche est égale à 1.3333 MHz au lieu de 1 MHz pour l'architecture UMTS et l' OSR est alors égal à 30. Les trois dernières branches présentent une bande passante égale à 2.5 MHz dans chacune. L' OSR atteint est pris égal à 16 comme exigé par la Figure 3.7 (b). La totalité de la bande traitée est alors de 9.5 MHz qui se situe entre la moitié de la largeur du canal IEEE802.11a et la moitié de l'espacement entre deux canaux.

Le dimensionnement de l'architecture FBD de l'ADC dédié aux trois standards de communication E-GSM, UMTS et IEEE802.11a, supportés par le récepteur SDR, est décrit dans la Figure 3.8, où un compromis est réalisé entre :

- l'augmentation de la fréquence d'échantillonnage tout en gardant un fonctionnement à temps-discret des modulateurs $\Sigma\Delta$,
- la diminution du nombre total de branches pour contrôler la complexité de l'architecture,
- et l'augmentation de l'ordre des modulateurs $\Sigma\Delta$ tout en garantissant leur stabilité.

L'architecture E-GSM est composée d'une seule branche avec un modulateur $\Sigma\Delta$ passe-bas d'ordre 3. Cette branche est réutilisée dans l'architecture des deux autres standards. L'architecture UMTS est composée de trois branches en parallèle. La seconde branche de cette architecture est réutilisée dans l'architecture FBD dédiée au standard IEEE802.11a qui est à son tour composée de cinq branches en parallèle. La bande passante par branche ainsi que la fréquence d'échantillonnage, l'*OSR* et la dynamique requise sont mentionnés dans la Figure 3.8.

Les ordres des modulateurs $\Sigma\Delta$ passe-bande sont tous égaux à 6. De plus, la bande totale considérée pour chaque standard dans ce dimensionnement comporte une marge permettant de réduire les contraintes sur l'étage de sélection numérique du canal. Elle est égale à 0.4 MHz pour le standard E-GSM pour pouvoir réutiliser son architecture pour les autres standards. Les marges considérées pour les standards UMTS et IEEE802.11a sont respectivement de 0.58 MHz et de 1.2 MHz. Pour chaque standard, la somme de la marge et de la bande du canal doit rester inférieure ou égale à la moitié de l'espacement inter-canal, Ch_{sp} . Ce dimensionnement théorique doit être synthétisé en vue de vérifier ses performances, pour être sûr d'atteindre les spécifications requises par les différents standards. Ce travail de synthèse des modulateurs $\Sigma\Delta$ est effectuée dans l'environnement Matlab/Simulink et il est présenté dans la sous-section suivante.

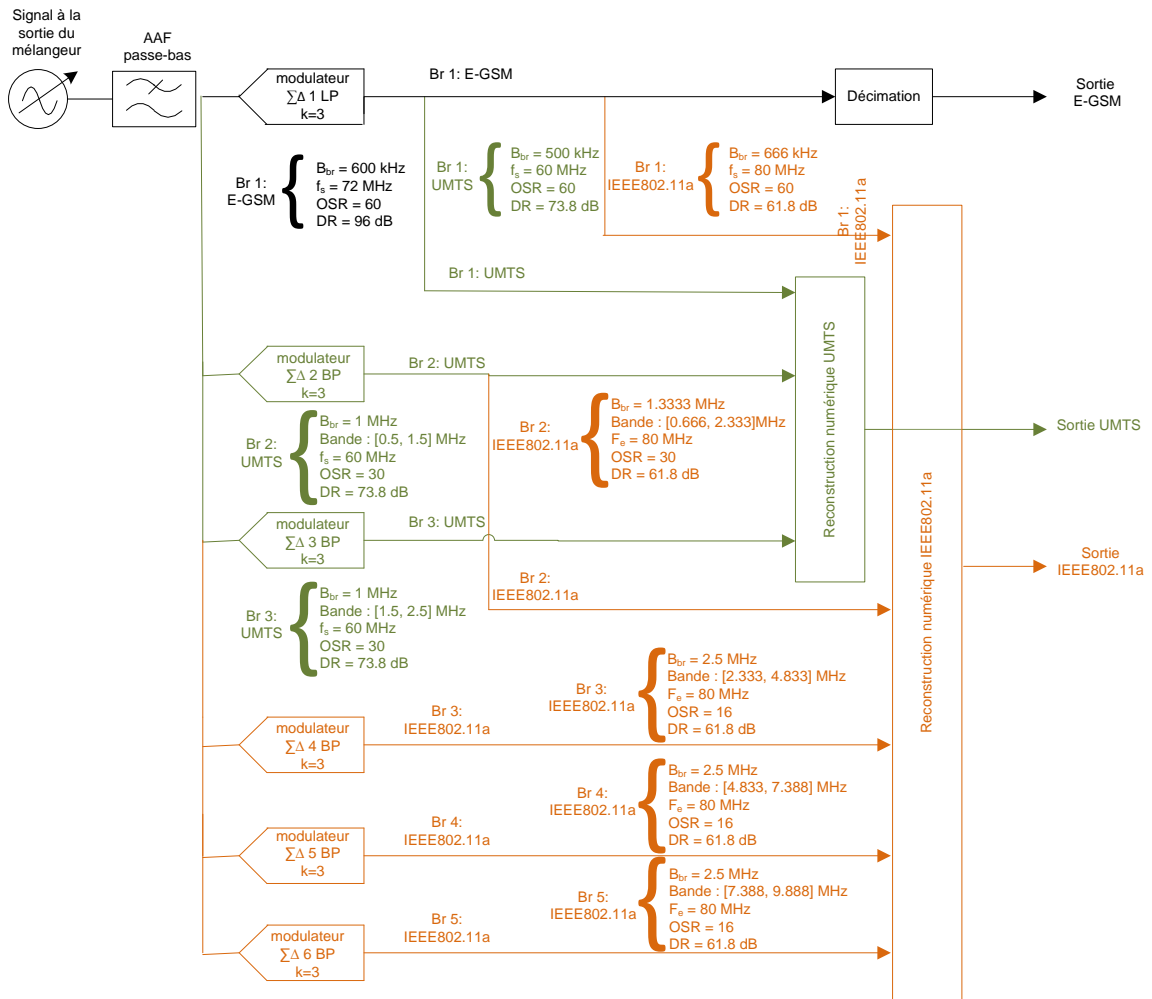


Figure 3.8 : Dimensionnement théorique des architectures FBD pour les standards GSM, UMTS et IEEE802.11a.

3.4.2. Dimensionnement de l'architecture FBD après synthèse des modulateurs

$\Sigma\Delta$

Nous synthétisons à l'aide de l'outil Matlab/Simulink les modulateurs $\Sigma\Delta$ d'ordre 3 passe-bas et d'ordre 6 passe-bande avec les spécifications déterminées à partir du dimensionnement donné par la Figure 3.8. En fait, les modulateurs $\Sigma\Delta$ sont synthétisés en approximant la fonction de transfert associée au bruit, NTF , des modulateurs par une approximation de Chebyshev type 2 [67]. Cette approximation est réalisée en utilisant la Toolbox « signal processing » de Matlab. Le filtre passe-haut associé à la fonction NTF noté $NTF(z)$ est un filtre d'ordre k , conçu en utilisant la fonction donnée par (3.4),

$$[N, D] = \text{Cheby2}(k, R_s, W_n, 'High') \quad (3.4)$$

où N et D dénotent respectivement, le numérateur et le dénominateur du filtre passe-haut avec W_n la fréquence de coupure normalisée et R_s l'atténuation minimale qu'il assure dans la bande de

réjection. Ensuite, à partir de la réalisation du filtre passe-haut associé à la NTF , la fonction de transfert du filtre de boucle $H(z)$ du modulateur $\Sigma\Delta$ est déduite en utilisant la relation (3.5), permettant la synthèse du filtre de boucle $H(z)$ à partir de la NTF .

$$NTF(z) = \frac{1}{1+H(z)} \quad (3.5)$$

La fonction de transfert de la STF est déduite en utilisant la relation (3.6).

$$STF(z) = \frac{H(z)}{1+H(z)} \quad (3.6)$$

Les réponses en fréquence de la STF et de la NTF du modulateur $\Sigma\Delta$ d'ordre 6 synthétisé pour la branche 2 de l'architecture FBD sont présentées dans la Figure 3.9.

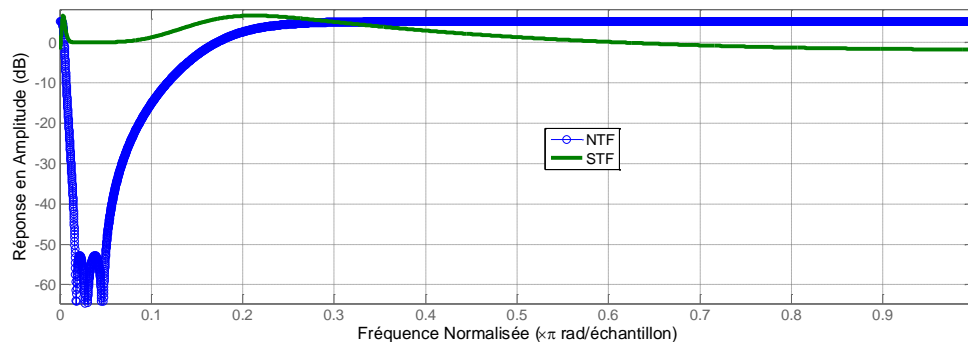


Figure 3.9 : Réponses en fréquence de la STF et de la NTF du modulateur $\Sigma\Delta$ synthétisé de la branche 2.

À partir du modèle Simulink de l'ADC complet issu de cette synthèse, nous validons cette étape en appliquant à l'entrée de ce modèle un signal sinusoïdal situé dans la bande de fréquence de la branche 2 de l'architecture FBD et d'amplitude d'entrée normalisée égale à 0.5 à l'entrée de ce modèle. Nous désignons par l'amplitude normalisée, l'amplitude du signal d'entrée divisée par la tension d'alimentation. Le spectre du signal de sortie du modulateur, fonctionnant à la fréquence d'échantillonnage de 60 MHz pour numériser des signaux UMTS, est présenté par la Figure 3.10. Il montre que le modulateur $\Sigma\Delta$ synthétisé selon le dimensionnement donné par la Figure 3.8 fonctionne en régime stable. Cependant, le SNR calculé pour ce spectre est égal à 66.7 dB ce qui est en dessous de la dynamique de l'ADC requise pour le standard UMTS qui est égale à 73.8 dB comme précisé dans le Tableau 3.3.

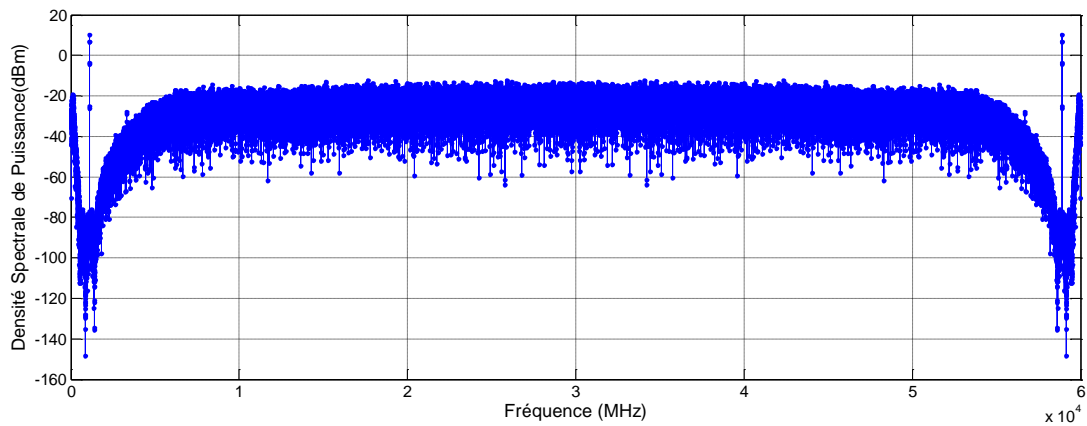


Figure 3.10 : Spectre du signal à la sortie du modulateur $\Sigma\Delta$ synthétisé pour la 2^{ème} branche UMTS de l'architecture FBD suivant le dimensionnement initial.

Nous remarquons alors que les *SNR* relevés sur les spectres des modulateurs synthétisés selon le dimensionnement présenté à la Figure 3.8 ne sont pas conformes avec la dynamique requise des standards UMTS et IEEE802.11a. Nous augmentons alors l'ordre des modulateurs $\Sigma\Delta$, les fréquences d'échantillonnage et/ou le nombre des branches utilisées tout en diminuant la bande passante par branche pour pouvoir atteindre les dynamiques requises. Ces modifications du dimensionnement initial, présenté par la Figure 3.8, sont vérifiées après la synthèse des modulateurs $\Sigma\Delta$, la simulation des modèles obtenus, la représentation spectrale et le calcul du *SNR* à la sortie des modulateurs de toutes les branches. L'exemple du spectre à la sortie du modulateur $\Sigma\Delta$ d'ordre 4 de la deuxième branche, fonctionnant à la fréquence d'échantillonnage désormais égale à 72 MHz pour numériser des signaux UMTS, est représenté à la Figure 3.11. Le signal d'entrée sinusoïdal appliqué à ce modulateur est d'amplitude normalisée égale à 0.5. Le *SNR* calculé pour ce spectre est égal à 85.16 dB ce qui répond à la dynamique requise de l'ADC pour le standard UMTS qui est de 73.8 dB.

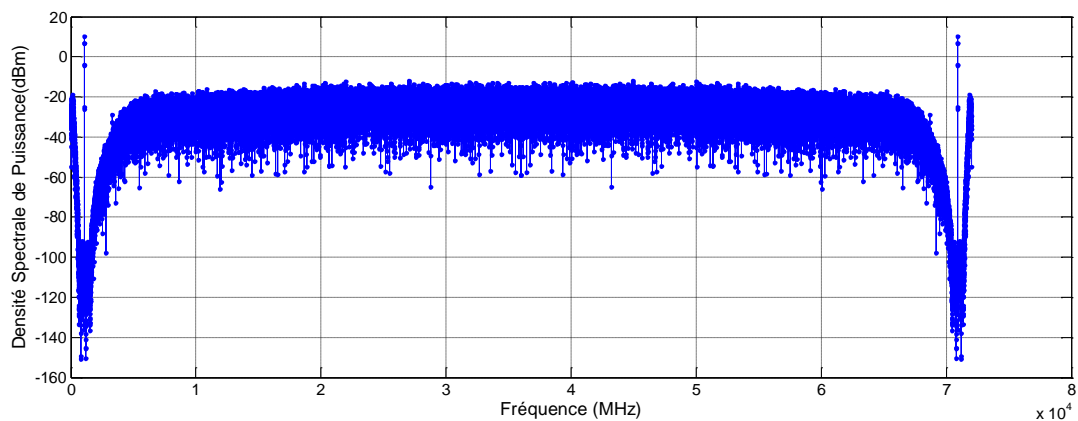


Figure 3.11 : Spectre du signal à la sortie du modulateur $\Sigma\Delta$ synthétisé pour la 2^{ème} branche UMTS de l'architecture FBD avec le nouveau dimensionnement.

Le Tableau 3.5 résume les résultats des nouveaux SNR , $SFDR$ et résolutions effectives mesurés pour les signaux à la sortie des modulateurs $\Sigma\Delta$ fonctionnant dans le cas de numérisation de signaux issus du standard IEEE802.11a [53]. Nous déduisons alors que les SNR retrouvés dépassent les dynamiques de 96 dB, 73.8 dB et 61.8 dB requises respectivement par l'E-GSM, l'UMTS et l'IEEE802.11a mais aussi valident les modèles modifiés des modulateurs $\Sigma\Delta$.

Tableau 3.5 : Performances des signaux à la sortie des modulateurs $\Sigma\Delta$ synthétisés avec le nouveau dimensionnement de l'architecture FBD.

	SNR (dB)	$SFDR$ (dB)	Résolution (bits)
Sortie du modulateur $\Sigma\Delta$ de la branche 1	101.45	150.21	16.56
Sortie du modulateur $\Sigma\Delta$ de la branche 2	82.18	131.78	13.36
Sortie du modulateur $\Sigma\Delta$ de la branche 3	81.73	133.01	13.28
Sortie du modulateur $\Sigma\Delta$ de la branche 4	65.9	119.39	10.65
Sortie du modulateur $\Sigma\Delta$ de la branche 5	64.92	73.93	10.49
Sortie du modulateur $\Sigma\Delta$ de la branche 6	63.92	112.69	10.32

Le nouveau dimensionnement obtenu après la synthèse est présenté par la Figure 3.12. En effet, le signal E-GSM est numérisé à l'aide d'un modulateur $\Sigma\Delta$ passe-bas d'ordre 4 fonctionnant sur une bande de 600 kHz et à une fréquence d'échantillonnage égale à 72 MHz réalisant un OSR égal à 60. Le signal UMTS est traité par trois branches en réutilisant le modulateur $\Sigma\Delta$ passe-bas d'ordre 4 du standard E-GSM et en l'associant aux deux autres modulateurs $\Sigma\Delta$ passe-bande d'ordre 8 de bande passante égale à 1 MHz et fonctionnant à une fréquence d'échantillonnage de 72 MHz. Ces trois modulateurs sont réutilisés pour l'IEEE802.11a avec trois autres modulateurs $\Sigma\Delta$ passe-bande d'ordre 8 de bande passante égale à 2 MHz et fonctionnant à une fréquence d'échantillonnage de 96 MHz. Le résumé de ce découpage fréquentiel est présenté par la Figure 3.13.

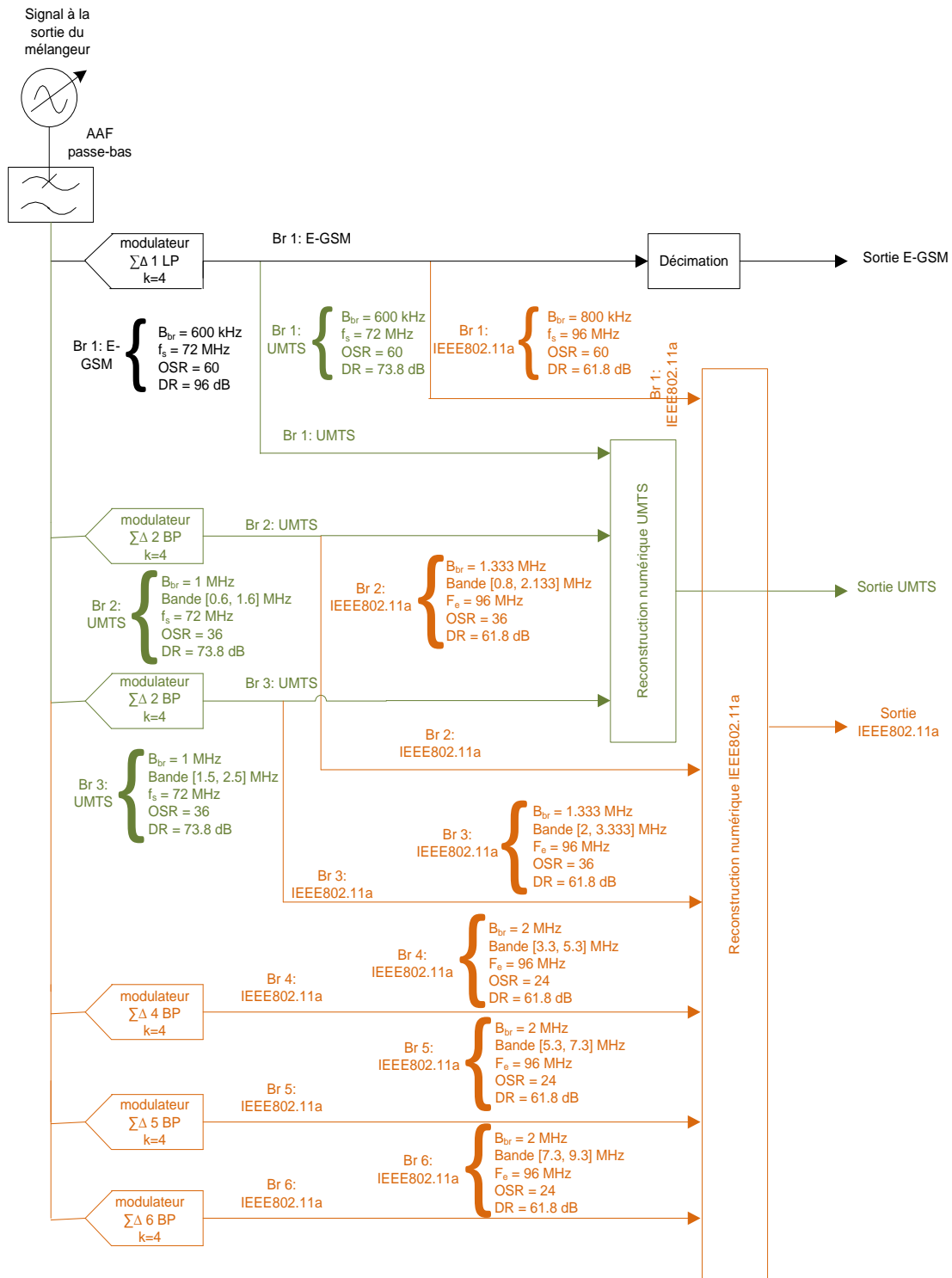


Figure 3.12 : Dimensionnement des architectures FBD pour les standards GSM, UMTS et IEEE802.11a après synthèse et test des performances des modulateurs $\Sigma\Delta$.

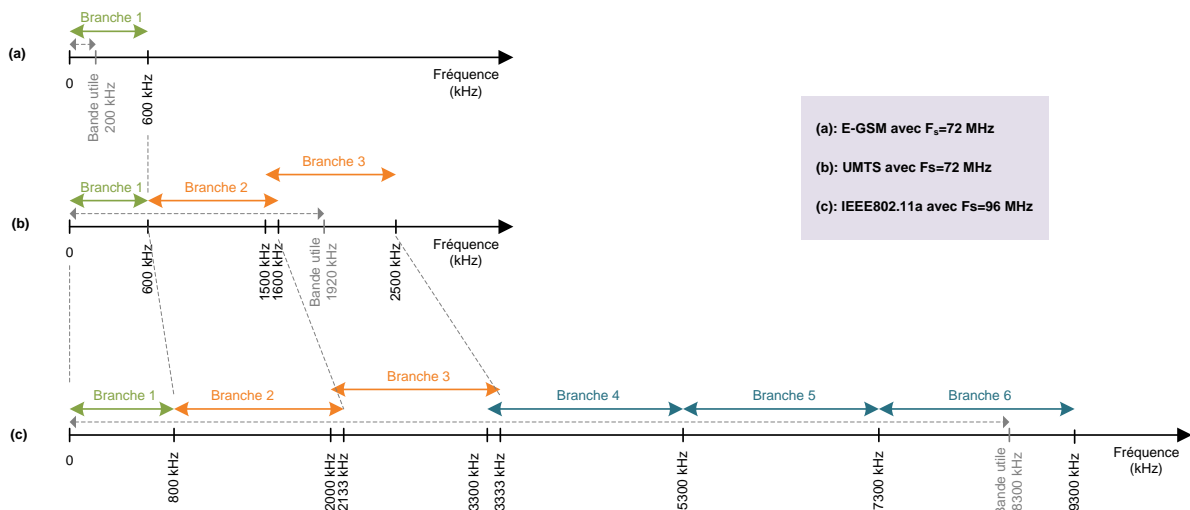


Figure 3.13 : Découpage fréquentiel des bandes passantes.

Le dimensionnement et la synthèse des modulateurs $\Sigma\Delta$ de l'architecture FBD pour l'ADC dans un récepteur radio multistandard ont été effectués et présentés dans cette section. Cependant, le fonctionnement en parallèle de cette architecture nécessite la mise en place d'un système de reconstruction numérique des sorties des modulateurs $\Sigma\Delta$, ne serait-ce que pour éliminer le bruit de quantification rejeté par les modulateurs, mais aussi pour combiner et former le signal de sortie globale de l'ADC basé sur une architecture FBD. Le dimensionnement de l'étage de reconstruction numérique est alors présenté dans la section suivante (section 3.5).

3.5. Dimensionnement de l'étage de reconstruction numérique pour le récepteur SDR multistandard

Tel qu'annoncé dans le Chapitre 2, nous nous intéressons à l'approche de reconstruction numérique avec démodulation pour dimensionner l'étage de reconstruction numérique de l'architecture FBD dimensionnée dans la section 3.4. L'intérêt de l'étage de reconstruction est de recombinaison des sorties des différentes branches en parallèle de l'architecture FBD pour former la sortie globale de l'ADC. Cet étage est composé d'une opération de démodulation, de filtres numériques, d'opérations de décimation et d'une opération de modulation. Nous pouvons distinguer trois types de filtres, à savoir les filtres de démodulation, de décimation et les filtres passe-bas de sélection de branche. L'architecture FBD fonctionnant pour numériser des signaux UMTS est prise comme cas d'étude pour présenter l'architecture de reconstruction. En effet, les signaux E-GSM sont numérisés en utilisant seulement la première branche activée de l'architecture FBD, ce cas d'étude ne peut pas être considéré puisqu'il ne fait pas intervenir plusieurs branches en parallèle. Pour le cas d'étude UMTS, les trois premières branches de l'architecture FBD sont activées et elles sont réutilisées pour la

numérisation des signaux IEEE802.11a où l'ensemble des 6 branches sont activées. Cependant, la dynamique requise pour le standard UMTS est plus élevée que la dynamique requise pour le standard IEEE802.11a. Par conséquent, le cas d'étude UMTS est alors considéré pour présenter l'architecture de reconstruction. Pour ce cas d'étude, les trois premières branches de l'architecture FBD fonctionnent à la fréquence d'échantillonnage de 72 MHz et avec des valeurs de bandes passantes par branche comme spécifiées dans le découpage fréquentiel montré par la Figure 3.13.

Un facteur de décimation global égal à 16 est considéré pour numériser les signaux UMTS avec une bande de Nyquist égale à 4.5 MHz. Cette bande de Nyquist est comprise entre la largeur bande du canal (B_c) et l'espacement entre les canaux (Ch_{sp}) du standard UMTS, comme mentionnés dans le Tableau 3.1. L'opération de décimation est toujours précédée par un filtre dit de décimation servant à atténuer les bloqueurs susceptibles de se replier sur le signal utile lors de l'opération de décimation. Pour illustrer ce travail, nous prenons comme exemple la décimation numérique dans la branche 2 de l'architecture FBD.

Partant de l'architecture classique de l'étage de reconstruction numérique du signal présentée dans [12], nous proposons une contribution illustrée par des modifications quant au choix de la position de la démodulation et de la combinaison de plusieurs filtres en un seul, avec pour seul objectif la réduction de la complexité de l'architecture de reconstruction tout en respectant les spécifications requises par les différents standards. Dans la première sous-section, nous commençons par présenter ces modifications, où nous optons pour une décimation sur deux étages afin de réduire la complexité puisque le facteur global de décimation est égal à 16. Ensuite, dans la seconde sous-section, nous proposons une discussion sur le dimensionnement des filtres de décimation pour les différentes combinaisons possibles de répartition des facteurs de décimation. Enfin, nous présentons les résultats du dimensionnement de tout l'étage de reconstruction pour le cas du standard UMTS.

3.5.1. Choix de la position de la démodulation dans l'architecture

Le principe du traitement numérique dans l'étage de reconstruction avec démodulation est présenté dans le Chapitre 2. La Figure 3.14 résume les opérations dans une branche utilisant un modulateur $\Sigma\Delta$ passe-bande dans le cas d'une reconstruction avec démodulation complexe et d'une décimation sur deux étages. En effet, la démodulation complexe consiste à multiplier le signal à la sortie de chacun des modulateurs $\Sigma\Delta$ par un signal discret exponentiel dont l'expression est donnée par la formule (3.7), où f_{cL} est la fréquence centrale de la $L^{ième}$ branche, T_s est la période d'échantillonnage égale à $1/F_s$ et n un entier positif [68].

$$m_L[n] = e^{-j2\pi f_{cL} n T_s} \quad (3.7)$$

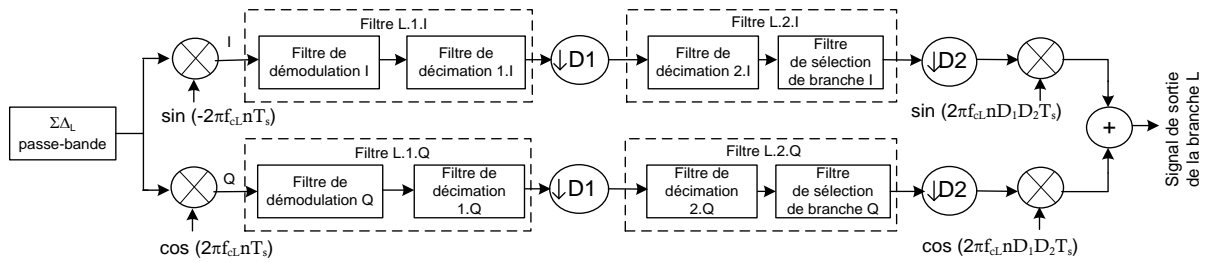


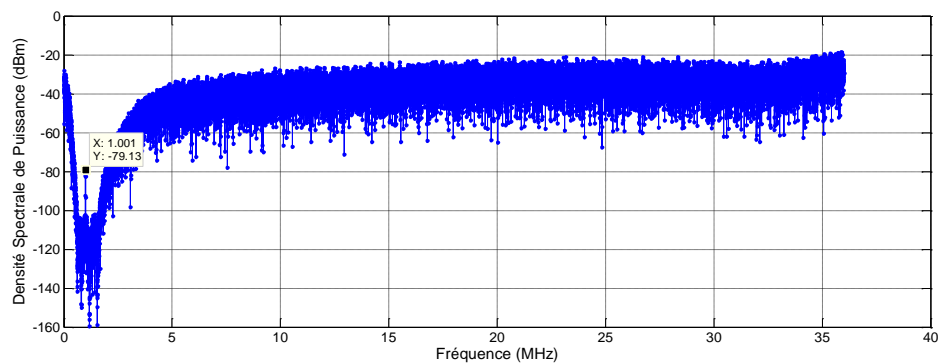
Figure 3.14 : Architecture d'une branche L , $2 \leq L \leq M$, de l'étage de reconstruction numérique avec l'opération de démodulation à la sortie du modulateur $\Sigma\Delta$.

Par ailleurs, pour pouvoir implémenter l'opération de démodulation complexe en utilisant l'environnement de simulation Matlab/Simulink et en vue d'une implémentation matérielle dans la suite de nos travaux, nous avons opté pour une multiplication par deux signaux sinusoïdaux en quadrature. Dans chaque branche à la suite de l'opération de démodulation, nous sommes en présence de deux voies I et Q comme montrées par la Figure 3.14. Cette approche nécessite la mise en place d'un filtre de démodulation à la sortie de la multiplication dans chaque voie pour éliminer les signaux non désirés correspondant aux composantes résultantes de la somme des fréquences amenées par la multiplication par un signal sinusoïdal. Dans notre cas d'étude, ce filtre fonctionne à la fréquence de sur-échantillonnage du modulateur $\Sigma\Delta$ et les signaux indésirables sont situés à de faibles fréquences. Ensuite, dans chacune des deux voies en quadrature I et Q, la décimation est effectuée sur deux étages. Chacun des deux étages est composé d'un filtre de décimation suivi d'une opération de décimation avec les facteurs $D1$ et $D2$ respectivement pour le premier et le second étage. Il est possible de combiner le filtre de démodulation et le filtre de décimation du premier étage de décimation formant le filtre L.1.I et le filtre L.1.Q, respectivement associés aux voies I et Q dans la $L^{ième}$ branche, comme illustré dans la Figure 3.14. Après passage par les opérations de démodulation et de décimation dans chacune des voies I et Q du signal à la sortie du $L^{ième}$ modulateur $\Sigma\Delta$, il est essentiel d'effectuer un filtrage du bruit de quantification en dehors de la bande utile de la branche L. Ce filtre de sélection de branche peut être déplacé avant l'opération de décimation ($\downarrow D2$) du second étage de décimation. Par conséquent, il est possible de le combiner avec le filtre de décimation du second étage formant le filtre L.2.I et le filtre L.2.Q, respectivement associés aux voies I et Q de la $L^{ième}$ branche, comme illustré dans la Figure 3.14. Ensuite, le signal dans les deux voies I et Q est modulé par deux signaux sinusoïdaux en quadrature en vue de ramener le signal autour de la fréquence centrale de la $L^{ième}$ branche (f_{cL}) dans la bande de Nyquist définie égale à $F_s/(D1.D2)$ avec $D1 \times D2 = OSR$. Le signal de sortie de la branche L est obtenu en sommant les sorties des voies I et Q.

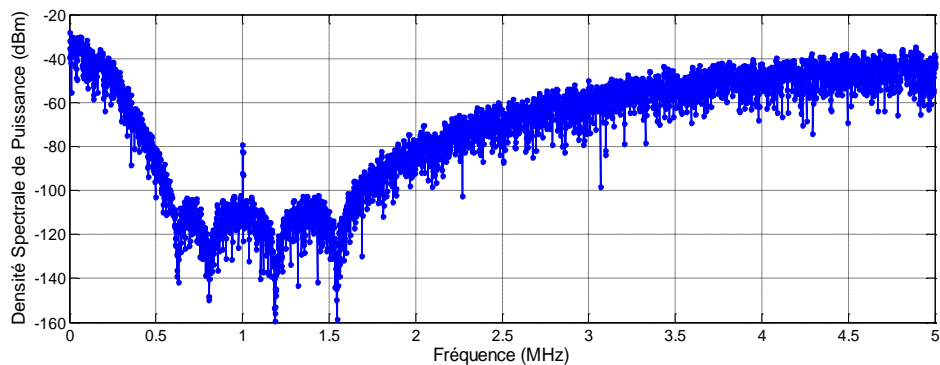
Nous nous intéressons dans la suite de cette sous-section au dimensionnement des filtres numériques de démodulation, de décimation et de sélection de branche. Les atténuations requises

par les filtres de l'étage de reconstruction numérique (A_{min}) sont calculées en utilisant l'équation (3.1). Cependant, les valeurs des paramètres utilisés dans cette équation sont modifiées suite au passage par l'étage analogique. En effet, le signal de test, S_t , devient égal à -114 dBm amplifié par 38 dB de gain analogique. Il est alors égal à -76 dBm. De plus, à la différence du filtre AAF dimensionné dans la section 3.3 où le filtre doit atténuer les bloqueurs susceptibles de se replier sur le signal utile après échantillonnage, les filtres numériques dimensionnés dans cette sous-section sont amenés à atténuer non seulement les bloqueurs atténués déjà par le filtre AAF mais aussi le bruit de quantification qui ne doit pas se replier sur le signal utile après sous-échantillonnage.

Par conséquent, nous substituons dans l'équation (3.1) le terme N_{bl} par la valeur maximale entre les niveaux des bloqueurs à la sortie du filtre AAF et le bruit de quantification en sortie du modulateur $\Sigma\Delta$ pour un signal d'entrée, S_t , égal à -76 dBm. Ce maximum est pris à la fréquence de réjection du filtre à dimensionner ou autour des multiples de la fréquence d'échantillonnage, y compris la fréquence nulle où le bruit de quantification peut atteindre des niveaux élevés, risquant ainsi de se replier sur le signal utile après échantillonnage. Le profil des bloqueurs UMTS à la sortie du filtre AAF est présenté dans la Figure 3.6 (b). Quant au spectre du signal à la sortie du modulateur $\Sigma\Delta$ de la 2^{ème} branche avec un signal d'entrée S_t égal à -76 dBm, il est présenté dans la Figure 3.15.



(a)



(b)

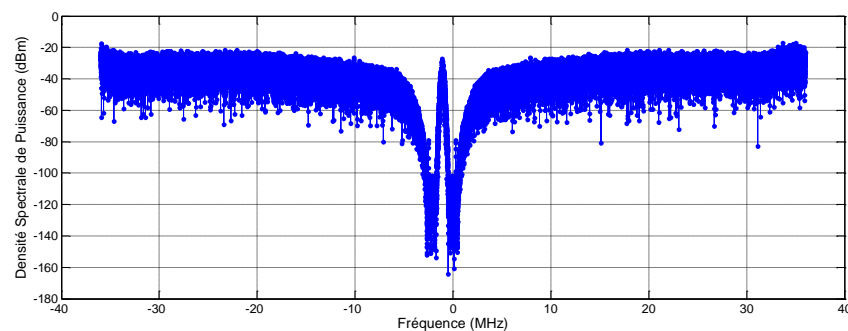
Figure 3.15 : (a) Spectre du signal à la sortie du modulateur $\Sigma\Delta$ de la 2^{ème} branche avec un signal d'entrée S_t ; (b) zoom dans la bande d'intérêt.

Le Tableau 3.6 résume les résultats de dimensionnement du filtre qui suit l'opération de démodulation présente dans les voie I et Q de la branche 2.

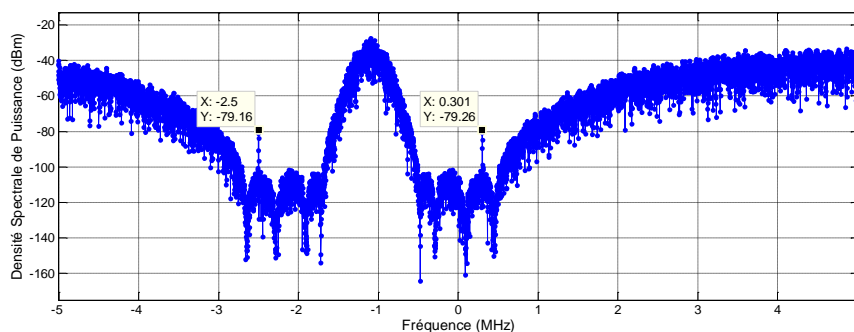
Tableau 3.6 : Dimensionnement du filtre de démodulation dans la branche 2.

	Filtre de démodulation
Fréquence de coupure (MHz)	0.5
Atténuation maximale dans la bande (dB)	0.1
Fréquence d'échantillonnage (MHz)	72
Fréquence de réjection (MHz)	1.7
Niveau du bruit ou du bloqueur à atténuer (dBm)	-28
Atténuation minimale (dB)	32.8
Ordre	114
nombre de multiplications par seconde ($\times 10^6$)	8208

Ce filtre de démodulation présenté dans la Figure 3.14 est identique pour les deux voies en quadrature. En fait, la démodulation dans la branche 2 ramène en bande de base le signal qui était dans la sous-bande [600 kHz, 1600 kHz]. Cependant, le signal est aussi retrouvé dans la bande [1700 kHz, 2700 kHz] après démodulation à la fréquence centrale 1100 kHz de la bande de la deuxième branche. Il est alors nécessaire de filtrer les bruits dans cette bande sachant qu'ils se replient également autour de la fréquence d'échantillonnage. La Figure 3.16 présente le spectre du signal de sortie du modulateur $\Sigma\Delta$ de la 2^{ème} branche après démodulation dans la bande $[-F_s/2, F_s/2]$.



(a)



(b)

Figure 3.16 : (a) Spectre du signal de sortie du modulateur $\Sigma\Delta$ de la 2^{ème} branche après démodulation avec un signal d'entrée S_i ; (b) zoom dans la bande.

Le spectre est obtenu en appliquant un signal d'entrée S_t d'amplitude égale à -76 dBm à la fréquence 1400 kHz. La démodulation ramène ce signal à la fréquence 300 kHz (1400 kHz – 1100 kHz), avec une composante indésirable qu'il faut filtrer à la fréquence 2500 kHz (1400 kHz + 1100 kHz) comme présenté par la Figure 3.16 (b). Nous nous basons sur ce spectre pour déterminer le niveau du bruit de quantification après démodulation, que le filtre de démodulation doit atténuer à partir de la fréquence de réjection égale à 1700 kHz. En plus du bruit de quantification, le filtre de démodulation doit atténuer les bloqueurs UMTS, sachant que la démodulation translate en fréquence ce profil comme présenté dans la Figure 3.17.

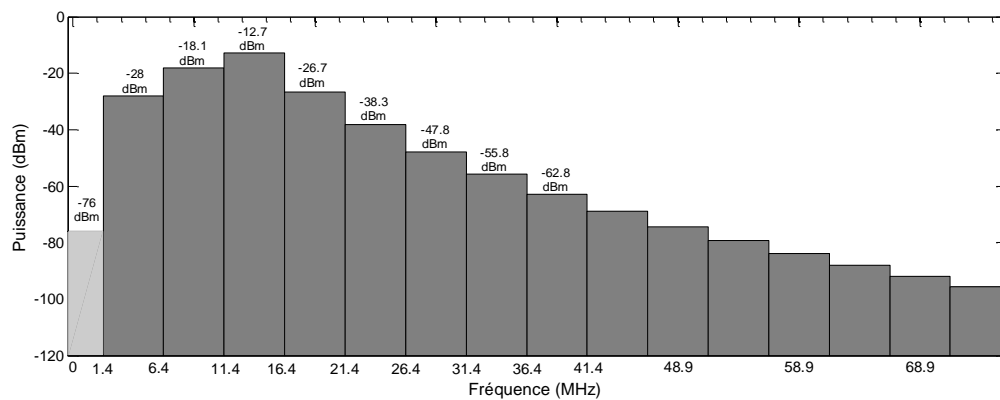


Figure 3.17 : Profil des bloqueurs UMTS après démodulation dans la branche 2 de l'architecture FBD.

Le bruit de quantification et le signal indésirable dû à la démodulation du signal à la sortie du modulateur $\Sigma\Delta$ de la branche 2 présentent des niveaux de bruit inférieurs à -40 dBm dans la bande [1700 kHz, 2700 kHz] comme montré par la Figure 3.16 (b). Cependant, le bloqueur dans la bande [1400 kHz, 6400 kHz] est à un niveau égal à -28 dBm. Ce bloqueur est dans la bande de réjection du filtre de démodulation, il présente donc un bruit plus contraignant que le bruit de quantification du modulateur $\Sigma\Delta$ et les signaux indésirables ramenés par la démodulation. Nous considérons alors, pour le dimensionnement du filtre de démodulation le niveau de bruit à atténuer, N_{bl} , correspondant au niveau du bloqueur égal à -28 dBm comme indiqué dans le Tableau 3.6.

D'après ce tableau, nous constatons que la complexité du filtre de démodulation est trop élevée quand la démodulation est placée juste après la sortie du modulateur $\Sigma\Delta$. En effet, l'ordre est égal à 114 pour un filtre à réponse impulsionnelle finie (FIR). Le filtre de démodulation requiert alors un nombre de multiplications par seconde, MPS , de 8208×10^6 comme montré par le Tableau 3.6 de dimensionnement. Par conséquent, nous modifions l'architecture de reconstruction numérique et nous plaçons la démodulation après le premier étage de décimation comme présenté dans la Figure 3.18. Par suite, nous réduisons la fréquence de fonctionnement du filtre. Cette modification permet

également de combiner ce filtre avec le filtre de décimation du second étage de décimation et le filtre passe-bas de sélection de branche formant alors un seul filtre FIR.

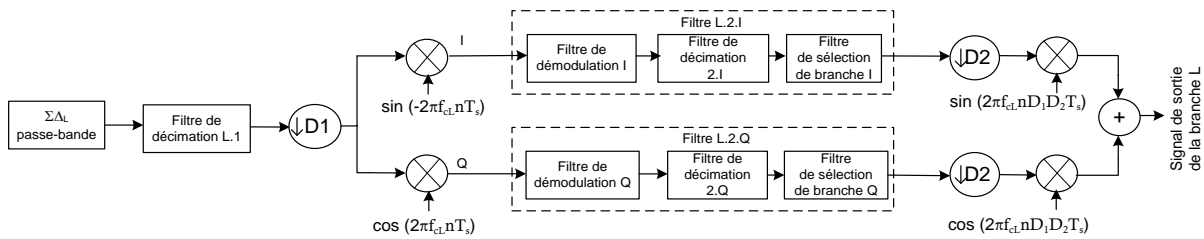


Figure 3.18 : Architecture d'une branche L , $2 \leq L \leq M$, de l'étage de reconstruction numérique avec l'opération de démodulation entre les deux étages de décimation.

3.5.2. Etude de la répartition des facteurs de décimation

Pour dimensionner l'étage de décimation dans notre cas d'étude du standard UMTS, nous comparons la complexité des différentes configurations possibles de décimation sur deux étages avec un facteur de décimation total égal à 16. Les Tableau 3.7, Tableau 3.8 et Tableau 3.9 résument les résultats de dimensionnement des filtres de décimation sur deux étages. Nous distinguons les trois possibilités suivantes (8x2), (4x4) et (2x8) pour les facteurs de décimation sur deux étages.

Tableau 3.7 : Dimensionnement des filtres pour la répartition (8x2) des facteurs de décimation.

	Filtre 2.1	Filtre 2.2.I et Filtre 2.2.Q
Fréquence de coupure (MHz)	1.6	0.3
Atténuation maximale dans la bande (dB)	0.1	0.1
Fréquence d'échantillonnage (MHz)	72	9
Fréquence de réjection (MHz)	7.4	0.7
Niveau du bruit ou du bloqueur à atténuer (dBm)	-18.1 dBm à 7.4 MHz -12.7 dBm à 16.4 MHz	-18.1 dBm à 0.7 MHz
Atténuation minimale (dB)	42.7 dB à 7.4 MHz 48.1 dB à 16.4 MHz	42.7 dB à 0.7 MHz
Ordre	27	49
Nombre de multiplications par seconde ($\times 10^6$)	1944	441
Nombre total de multiplications par seconde ($\times 10^6$)	2385	

Dans le Tableau 3.7, nous présentons le dimensionnement du premier filtre, noté Filtre 2.1, de la deuxième branche de l'architecture FBD. La fréquence de coupure du filtre est fixée à 1.6 MHz qui correspond à la limite supérieure de la branche 2. La nouvelle fréquence d'échantillonnage après la décimation par 8 est de 9 MHz, et donc la fréquence de réjection liée à la décimation est de 7.4 MHz. A cette fréquence, le niveau du bruit à atténuer par le filtre 2.1 est de -18.1 dBm correspondant au niveau du bloqueur à la sortie du filtre AAF présenté par la Figure 3.6 (b). Ce bloqueur est plus contraignant que le bruit de quantification à la sortie du modulateur $\Sigma\Delta$ dont le niveau est inférieur à -30 dBm comme montré par la Figure 3.15 (a). De plus, nous remarquons qu'autour de 18 MHz, le double de la fréquence d'échantillonnage après décimation par 8, il existe un bloqueur de niveau de

puissance égal à -12.7 dBm à atténuer à partir de la fréquence égale à 16.4 MHz. Pour le dimensionnement du Filtre 2.1, nous prenons les contraintes les plus sévères entre les deux niveaux de bruit à atténuer comme présenté par le Tableau 3.7 et nous obtenons un ordre égal à 27. Le nombre *MPS* est alors de 1944×10^6 .

Par ailleurs, le filtre de démodulation, le filtre du deuxième étage de décimation et le filtre de sélection de branche, situés entre la démodulation et le deuxième étage de décimation de l'architecture présentée par la Figure 3.18, sont combinés en un seul filtre noté Filtre 2.2.I pour la voie I de la branche 2 et Filtre 2.2.Q pour la voie Q de la branche 2. Les Filtre 2.2.I et le filtre 2.2.Q ont les mêmes spécifications et le même ordre. La fréquence de coupure de ces filtres est fixée à 0.5 MHz, soit la moitié de la bande de la branche 2. Pour le filtre de démodulation sa fréquence de réjection est égale à 1.7 MHz. Le niveau du bruit à atténuer à cette fréquence est égal à -28 dBm, correspondant au niveau du bloqueur à la sortie du filtre AAF après démodulation présenté par la Figure 3.17, comme précédemment expliqué dans le dimensionnement du filtre de démodulation dans la sous-section 3.5.1.

Quant au filtre du deuxième étage de décimation dans la répartition de décimation (8x2), sa fréquence de réjection liée à la deuxième décimation est égale à 4 MHz. Le niveau du bruit à atténuer par ce filtre de décimation à cette fréquence est égal à -28 dBm correspondant au niveau du bloqueur après démodulation présenté par la Figure 3.17. Ce bloqueur est plus contraignant que le bruit de quantification dont le niveau est inférieur à -34 dBm comme montré par la Figure 3.16 (b).

Concernant le filtre de sélection de branche, sa fréquence de coupure et sa fréquence de réjection sont respectivement fixées à 300 kHz et 700 kHz. En effet, les filtres de sélection de branche dans l'architecture FBD sont choisis de façon à ce qu'ils soient chevauchants entre les branches adjacentes avec la somme des filtres présentant une atténuation quasi égale à 0 dB dans toute la bande utile du canal, comme il sera illustré dans les Figure 3.20 et Figure 3.21.

Le filtre de sélection de branche de la branche 2 doit alors filtrer à partir de la fréquence de réjection égale à 700 kHz tous les bruits dans les bandes adjacentes. En effet, le bruit de quantification et les bloqueurs sont atténués à partir de 7.4 MHz de l'ordre de 42.7 dB par le Filtre 2.1 comme précisé dans le Tableau 3.7. Le niveau du bruit à atténuer par le filtre de sélection de branche est alors égal à -18.1 dBm correspondant au niveau du bloqueur après démodulation à la fréquence 6.4 MHz comme présenté dans la Figure 3.17. Ce niveau du bloqueur est alors considéré pour le dimensionnement des filtres 2.2.I et 2.2.Q car il constitue le niveau du bruit le plus contraignant.

La fréquence de réjection la plus contraignante considérée pour le dimensionnement de ces filtres est égale à 700 kHz comme indiqué dans le Tableau 3.7. L'ordre des Filtre 2.2.I et Filtre 2.2.Q est calculé en utilisant l'outil Matlab. Il est égal à 49 avec un nombre de *MPS* égal à 441×10^6 . Le nombre de multiplications totales par seconde pour la branche 2 avec une répartition de décimation (8x2) est alors égal à 2385×10^6 .

Tableau 3.8 : Dimensionnement des filtres pour la répartition (4x4) des facteurs de décimation.

	Filtre 2.1	Filtre 2.2.I et Filtre 2.2.Q
Fréquence de coupure (MHz)	1.6	0.3
Atténuation maximale dans la bande (dB)	0.1	0.1
Fréquence d'échantillonnage (MHz)	72	18
Fréquence de réjection (MHz)	16.4	0.7
Niveau du bruit ou du bloqueur à atténuer (dBm)	-12.7 dBm à 16.4 MHz	-12.7 dBm à 0.7 MHz
Atténuation minimale (dB)	48.1 dB à 16.4 MHz	48.1 dB à 0.7 MHz
Ordre	10	106
Nombre de multiplications par seconde ($\times 10^6$)	720	1908
Nombre total de multiplications par seconde ($\times 10^6$)	2628	

Par ailleurs, le Tableau 3.8 présente les résultats de dimensionnement des filtres de l'étage numérique pour la répartition des facteurs de décimation (4x4). La fréquence de coupure du filtre 2.1 présenté dans la Figure 3.18 est de 1.6 MHz, ce qui correspond à la limite supérieure de la branche 2. La nouvelle fréquence d'échantillonnage après un premier étage de décimation par 4 est de 18 MHz donc la fréquence de réjection liée à la décimation est de 16.4 MHz. A cette fréquence, le niveau du bruit à atténuer par le filtre 2.1 est de -12.7 dBm, correspondant au niveau du bloqueur avant démodulation donné dans la Figure 3.6 (b). Ce bloqueur est plus contraignant que le bruit de quantification du signal à la sortie du modulateur $\Sigma\Delta$ dont le niveau à cette fréquence de réjection ne dépasse pas -24 dBm comme montré dans la Figure 3.15 (a). Le filtre FIR 2.1 synthétisé en utilisant l'outil Matlab est obtenu avec un ordre 10, soit un nombre de *MPS* égal à 720×10^6 comme présenté par le Tableau 3.8.

Les filtres notés 2.2.I et 2.2.Q, respectivement pour les voies I et Q dans la Figure 3.18, sont composés pour chacun d'entre eux, par le filtre de démodulation, le filtre du deuxième étage de décimation et le filtre de sélection de branche. Ces filtres présentent les mêmes spécifications en termes de fréquence de réjection et de niveau du bruit à atténuer, comme expliqué précédemment dans le dimensionnement correspondant à la répartition des facteurs de décimation (8x2) résumé dans le Tableau 3.7. La fréquence de réjection pour ces filtres est alors considérée égale à 700 kHz pour des filtres de sélection de branche chevauchants. Quant au niveau du bruit à atténuer par ces filtres, il est égal à -12.7 dBm, correspondant au niveau du bloqueur après démodulation présenté dans la Figure 3.17 situé autour de la fréquence de 13.5 MHz, correspondant à $3 \times F_s/16$, où $F_s/16$

est la fréquence de Nyquist. Ce bloqueur est plus contraignant que le bruit de quantification dont le niveau est inférieur à -24 dBm comme montré par la Figure 3.16 (b). L'ordre du Filtre 2.2.I et du Filtre 2.2.Q est calculé en utilisant l'outil Matlab. Il est égal à 106 avec un nombre de *MPS* égal à 1908×10^6 . Le nombre total de multiplications par seconde pour la branche 2 avec une répartition de décimation (4x4) est alors égal à 2628×10^6 comme indiqué dans le Tableau 3.8.

Ensuite, la dernière configuration à étudier pour une répartition de décimation sur deux étages est la répartition (2x8). La fréquence de coupure du filtre 2.1 est toujours considérée égale à 1.6 MHz qui est la limite de la bande de la branche 2. La nouvelle fréquence d'échantillonnage après un premier étage de décimation par 2 est de 36 MHz, et donc la fréquence de réjection liée à la décimation est de 34.4 MHz. A cette fréquence, le niveau du bruit le plus contraignant que le filtre 2.1 doit atténuer est égal à -19 dBm, correspondant au bruit de quantification comme illustré dans la figure 3.15 (a). Le filtre 2.1 dimensionné avec ces spécifications en utilisant l'outil Matlab résulte en un filtre FIR d'ordre 3 avec un nombre de *MPS* égal à 216×10^6 comme indiqué dans le Tableau 3.9.

Tableau 3.9 : Dimensionnement des filtres pour la répartition (2x8) des facteurs de décimation.

	Filtre 2.1	Filtre 2.2.I et Filtre 2.2.Q
Fréquence de coupure (MHz)	1.6	0.3
Atténuation maximale dans la bande (dB)	0.1	0.1
Fréquence d'échantillonnage (MHz)	72	36
Fréquence de réjection (MHz)	34.4	0.7
Niveau du bruit ou du bloqueur à atténuer (dBm)	-19 dBm à 34.4 MHz	-19 dBm à 0.7 MHz
Atténuation minimale (dB)	41.1 dB à 34.4 MHz	41.1 dB à 0.7 MHz
Ordre	3	193
Nombre de multiplications par seconde ($\times 10^6$)	216	6948
Nombre total de multiplications par seconde ($\times 10^6$)	7164	

Les filtres 2.2.I et 2.2.Q sont identiques ; leurs fréquences de coupure et de réjection sont respectivement égales à 300 kHz et 700 kHz comme expliqué pour les autres répartitions de décimation. Quant au niveau du bruit le plus contraignant à atténuer par ces filtres, il est égal à -12.7 dBm correspondant au niveau du bloqueur après démodulation illustré dans la Figure 3.17 à la fréquence $3 \times F_s/16$. Ce bruit risque de se replier sur le signal utile après la décimation finale ramenant la fréquence de sous-échantillonnage finale à la bande de Nyquist. L'ordre des filtres 2.2.I et 2.2.Q est calculé en utilisant l'outil Matlab. Il est égal à 193 résultant en un nombre de *MPS* égal à 6948×10^6 comme indiqué dans le Tableau 3.9. Le nombre total de multiplications par seconde pour la branche 2 avec une répartition de décimation (2x8) est alors égal à 7146×10^6 .

La configuration de décimation par des facteurs de décimation successifs de 8 puis 2, présente la complexité la plus réduite parmi les autres configurations de décimation sur deux étages (4x4) et

(2x8). En effet, la configuration (8x2) requiert 2385×10^6 MPS comparé à un nombre égal à 2628×10^6 MPS pour la répartition (4x4) et 7164×10^6 MPS pour la répartition (2x8).

Nous choisissons alors une architecture de reconstruction numérique avec une démodulation placée entre les deux étages de décimation avec la configuration (8x2).

3.5.3. Résultats du dimensionnement de l'étage de reconstruction

Partant du principe général de la reconstruction numérique avec démodulation comme illustré dans la Figure 2.11 du Chapitre 2, des modifications ont été apportées pour maîtriser la complexité de son implémentation dans notre cas d'étude. Le résultat de l'étude des deux autres branches dédiées au standard UMTS est récapitulé dans le Tableau 3.10.

Tableau 3.10 : Résultat du dimensionnement des filtres de l'architecture de reconstruction de l'étude du cas UMTS.

	Filtre 1.1	Filtre 1.2	Filtre 2.1	Filtre 2.2.I Filtre 2.2.Q	Filtre 3.1	Filtre 3.2.I Filtre 3.2.Q
Ordre	21	49	27	49	42	49
Fréquence d'échantillonnage (MHz)	72	9	72	9	72	9
MPS ($\times 10^6$)	1512	441	1944	441	3024	441

Les trois branches utilisent deux étages de décimation avec des facteurs respectifs 8 et 2. Les filtres de la branche 1 sont notés Filtre 1.1 pour le filtre de la décimation par 8 et Filtre 1.2 pour le filtre de décimation par 2 et de sélection de branche.

Le modèle de l'étage de reconstruction numérique après l'étude effectuée dans cette section est présenté dans la Figure 3.19. Après démodulation, décimation et filtrage, les signaux dans les voies I et Q sont convertis en fréquence autour de la fréquence centrale de la bande par branche correspondante dans la bande de Nyquist. Cette conversion est assurée par l'opération de modulation réalisée par une multiplication par deux signaux en opposition de phase par rapport aux signaux utilisés pour la démodulation. Finalement, les signaux à la sortie des branches en parallèle sont additionnés pour former le signal UMTS de sortie.

A ce niveau, nous nous intéressons au fonctionnement global de l'architecture proposée. Il est d'une part intéressant de présenter les réponses en fréquence des filtres après modulation pour mesurer l'atténuation introduite au niveau des limites des bandes. D'autre part, nous nous intéressons à la représentation spectrale du signal à la sortie de l'architecture FBD et nous présentons quelques performances. Les réponses en fréquence en amplitude des filtres 2.2.I et 3.2.I après modulation dans la seconde et troisième branche, mais aussi du filtre 1.2 de la première branche est présentée dans la Figure 3.20.

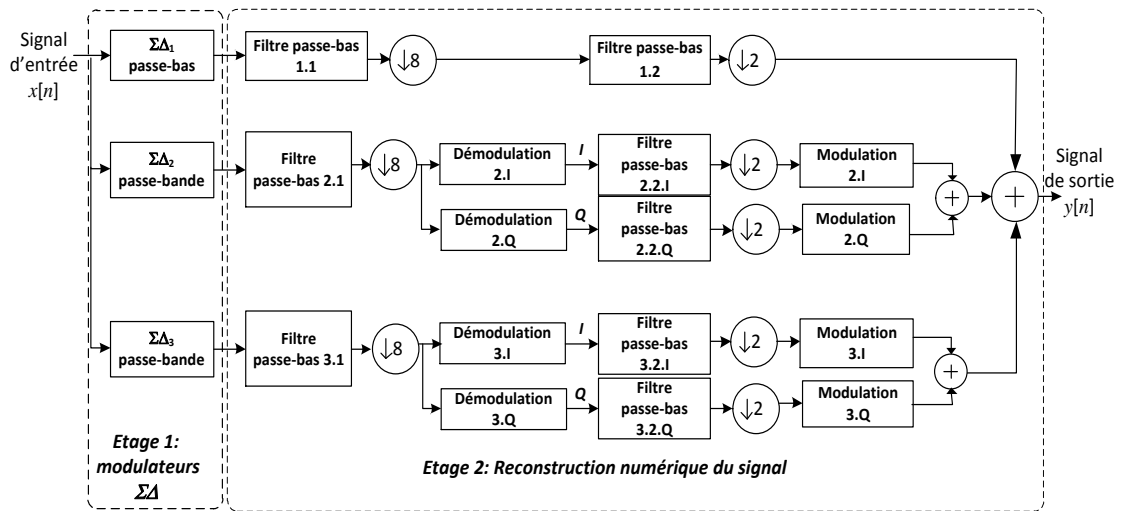


Figure 3.19 : Modèle de l'étage de reconstruction numérique dimensionné pour le cas d'étude UMTS.

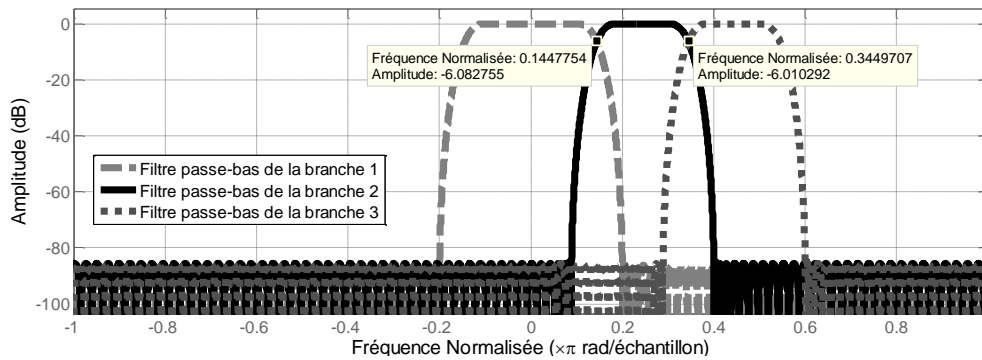


Figure 3.20 : Réponse fréquentielle en amplitude des filtres FIR passe-bas de l'étage de reconstruction numérique après modulation.

L'ordre de ces filtres a été augmenté pour atteindre une valeur de 82 afin de garantir le *SNR* requis sur la bande totale après synthèse sur Matlab de l'architecture dimensionnée. Les réponses fréquentielle de ces filtres sont chevauchantes et elles s'interceptent à un niveau autour de -6 dB aux fréquences limites entre les branches adjacentes. La réponse fréquentielle en amplitude de la somme de ces filtres FIR est présentée en Figure 3.21 (a). Au niveau des fréquences aux limites entre les bandes adjacentes, la réponse en amplitude présente des ondulations et des atténuations ne dépassant pas 2 dB comme montrés dans la Figure 3.21 (b). Les performances du système de reconstruction numérique ne sont alors pas affectées.

Par ailleurs, l'architecture FBD dimensionnée avec son étage de reconstruction est implémentée en utilisant l'outil Matlab/Simulink. Un signal multi-tons, composé de trois signaux sinusoïdaux d'amplitude normalisée égale à 0.45 est appliqué à l'entrée du modèle de l'architecture, où

l'amplitude normalisée désigne l'amplitude du signal d'entrée divisée par la tension d'alimentation. Les signaux sont à des fréquences fixes à 300 kHz, 800 kHz et 1900 kHz.

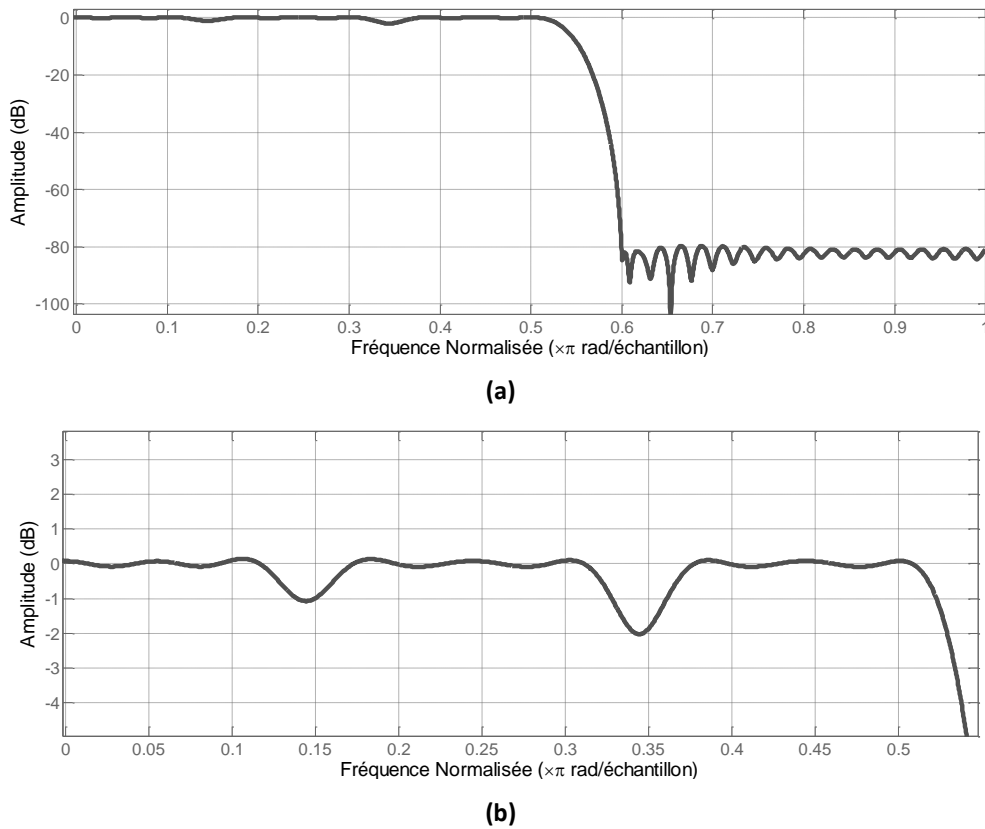


Figure 3.21 : (a) Réponse en amplitude de la somme des filtres passe bas FIR de l'étage de reconstruction numérique après modulation, (b), zoom dans la bande utile.

Le spectre du signal de sortie s'étalant sur la bande de Nyquist [0, 2.25 MHz] est présenté en Figure 3.22. Le *SNR* total calculée sur la bande utile de canal UMTS est égal à 74.63 dB correspondant à une résolution effective égale à 12.1 bits. La dynamique requise pour le standard UMTS qui est égale à 73.8 dB est ainsi assurée.

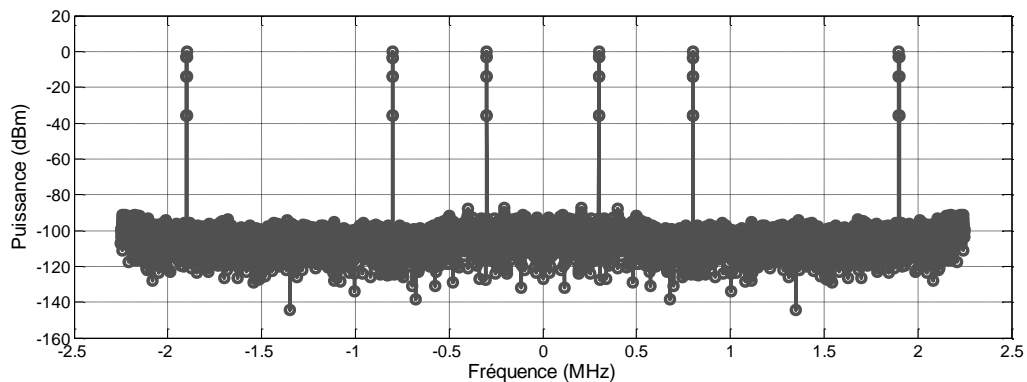


Figure 3.22 : Spectre du signal de sortie après reconstruction numérique.

Après avoir dimensionné l'étage de reconstruction numérique du signal pour le cas d'étude UMTS, le modèle de cet étage composé de trois branches en parallèle a été dressé. La réponse en amplitude des filtres numériques passe-bas chevauchant a été étudiée afin de montrer que la somme de ces filtres résulte en un filtre de réponse quasi égale à 0 dB sur toute la bande utile avec une atténuation ne dépassant pas 2 dB. Après avoir dimensionné l'architecture FBD de l'ADC multistandard avec son étage de reconstruction numérique, il est important d'étudier les erreurs de décalage de gain et de phase entre les branches en parallèle afin de proposer des méthodes de correction que nous introduisons dans l'étage numérique.

3.6. Correction des erreurs appliquées à la reconstruction numérique

La reconstruction numérique permet de construire le signal de sortie globale à partir des signaux à la sortie des branches en parallèle. Le signal de sortie reconstruit présente de bonnes performances en termes de dynamique atteinte. Cependant, l'architecture FBD présente des erreurs de gain et de phase susceptibles de dégrader la qualité du signal de sortie quant à ses performances spectrales. En fait, le gain de certains composants de cette architecture tels que les modulateurs et les filtres dans la reconstruction numérique n'est pas constant dans la bande de fonctionnement. De plus, les phases entre les bandes de fonctionnement des branches adjacentes ne sont pas accordées. Ces erreurs se répercutent sur le spectre du signal de sortie sous la forme d'ondulations. Elles doivent alors être corrigées dans l'étage de reconstruction numérique.

Dans ce qui suit, nous présentons les erreurs détectées et les corrections correspondantes. Nous citons alors le problème de stabilité des modulateurs et la correction à adopter. En effet, le problème de stabilité est corrigé en modifiant la réponse des *STFs* unitaires pour leur permettre de filtrer les signaux des branches adjacentes. De plus, le problème de discontinuité des phases des modulateurs $\Sigma\Delta$ et des filtres passe-bas entre les branches adjacentes est traité en implémentant des méthodes de raccordement des phases.

3.6.1. Correction du module de la STF du modulateur

Les résultats de synthèse de l'architecture FBD ont révélé des problèmes de limitation de la dynamique des signaux d'entrée ainsi que des problèmes de stabilité des modulateurs. La limitation de la dynamique des signaux d'entrée est due à la mise en place d'un filtre anti-repliement unique non programmable à l'entrée des branches en parallèle. Quant à l'instabilité des modulateurs $\Sigma\Delta$, elle est due aux problèmes d'interférence des signaux des branches adjacentes. Le plan de test comporte la détermination de l'amplitude maximale du signal d'entrée par branche garantissant la stabilité dans un premier lieu comme présentée dans les Tableau 3.11, Tableau 3.12 et Tableau 3.13.

Tableau 3.11 : Amplitude maximale Amp_1 d'un signal sinusoïdal à la fréquence fin_1 dans la bande de branche 1 pour garantir sa stabilité.

fin_1 (kHz)	0	0.1	100	200	300	400	500	600
Amp_1	0.46	0.46	0.47	0.49	0.51	0.51	0.53	0.55

Tableau 3.12 : Amplitude maximale Amp_2 d'un signal sinusoïdal à la fréquence fin_2 dans la bande de branche 2 pour garantir sa stabilité.

fin_2 (kHz)	600	700	800	900	1000	1100	1200	1300	1400	1500	1600
Amp_2	0.48	0.52	0.53	0.52	0.54	0.58	0.57	0.53	0.57	0.56	0.55

Tableau 3.13 : Amplitude maximale Amp_3 d'un signal sinusoïdal à la fréquence fin_3 dans la bande de branche 3 pour garantir sa stabilité.

fin_3 (kHz)	1500	1600	1700	1800	1900	2000	2100	2200	2300	2400	2500
Amp_3	0.56	0.54	0.53	0.55	0.55	0.54	0.53	0.53	0.55	0.56	0.55

Ensuite, la stabilité du modulateur dans chaque branche est testée avec des signaux perturbateurs présents dans les branches adjacentes. Nous atténuons l'amplitude au fur et à mesure, le but étant de déterminer les atténuations nécessaires à apporter aux signaux des branches adjacentes pour garantir la stabilité du modulateur en question. Quelques résultats de test de stabilité sont résumés dans le Tableau 3.14 dont les résultats sont obtenus pour une amplitude 10^{-2} d'un signal perturbateur. Pour que le modulateur soit stable, le signal dans la bande de la branche 2 doit avoir au maximum une amplitude égale à 0.48.

Tableau 3.14 : Test de la stabilité du modulateur de la branche 1 avec un signal de fréquence $fin_1 \in [0, 600$ kHz] et d'amplitude Amp_1 égale à 0.46 accompagné d'un signal perturbateur à la branche 2 de fréquence $fin_2 \in [600$ kHz, 1600 kHz] et d'amplitude Amp_2 égale à 10^{-2} .

fin_2 \ fin_1	600 kHz	700 kHz	800 kHz	900 kHz	1000 kHz	1100 kHz	1200 kHz	1300 kHz	1400 kHz	1500 kHz	1600 kHz
0 kHz	stable	stable	stable	stable	stable	instable	stable	stable	instable	stable	stable
0.1 kHz	stable	stable	Stable	stable	stable	instable	stable	stable	instable	stable	stable
50 kHz	stable	stable	Stable	stable	stable	instable	stable	stable	stable	stable	instable
100 kHz	stable	stable	Stable	stable	instable	stable	stable	stable	stable	instable	stable
200 kHz	stable	stable	Stable	stable	stable	stable	stable	stable	stable	stable	stable
300 kHz	stable	stable	Stable	stable	stable	stable	stable	stable	stable	stable	stable
400 kHz	stable	stable	Stable	stable	stable	stable	stable	stable	stable	stable	stable
500 kHz	stable	stable	Stable	stable	stable	stable	stable	stable	stable	stable	stable
600 kHz	stable	stable	Stable	stable	stable	stable	stable	stable	stable	stable	stable

Par la suite, pour remédier aux problèmes d'interférence et pour rétablir la dynamique des signaux d'entrée tout en garantissant la stabilité des modulateurs $\Sigma\Delta$, une solution de *STF* non unitaire est proposée. Cette solution repose sur la modification de la fonction de transfert associée au signal (*STF*) des modulateurs qui ne devient plus unitaire avec uniquement un retard temporel, mais plutôt capable de filtrer les signaux des branches adjacentes [53]. Les gabarits des *STFs* non-unitaires sont alors présentés respectivement dans les Figure 3.23, Figure 3.24 et Figure 3.25 pour les *STFs* des branches 1, 2 et 3. La fréquence f_{cL} désigne la fréquence de coupure du filtre de la $L^{i\text{ème}}$ branche. La fréquence f_{rL} désigne la fréquence de réjection dans la $L^{i\text{ème}}$ branche. Quant à Att_L , elle désigne l'atténuation dans la $L^{i\text{ème}}$ branche.

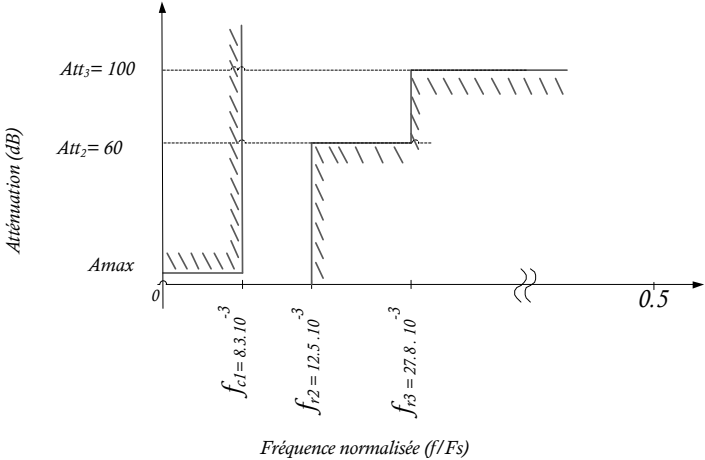


Figure 3.23 : Gabarit de la *STF* non-unitaire de la branche 1.

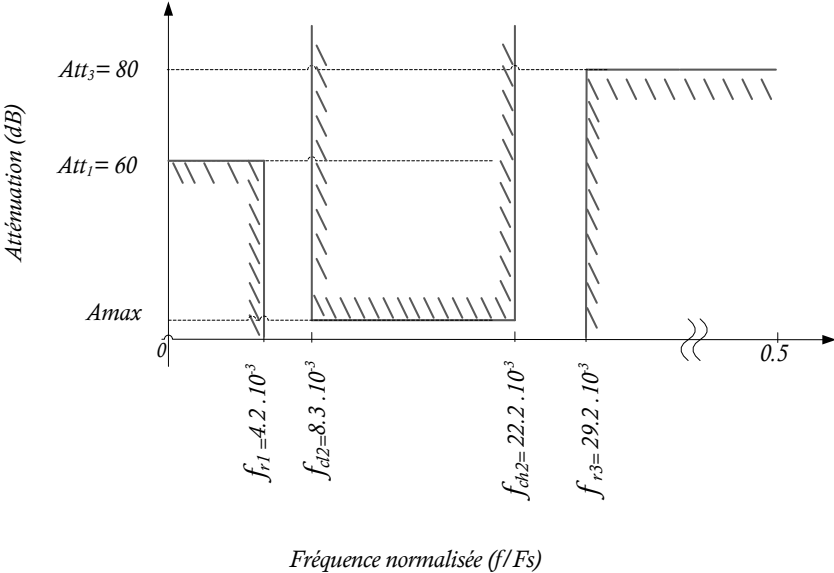


Figure 3.24 : Gabarit de la *STF* non-unitaire de la branche 2.

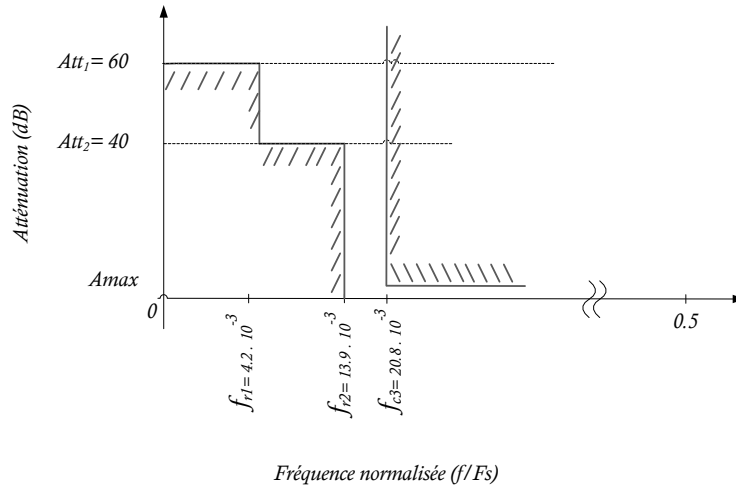


Figure 3.25 : Gabarit de la STF non-unitaire de la branche 3.

Cependant, la modification des *STFs* conduit à un module de cette fonction qui n'est plus plat dans la bande de fonctionnement du modulateur. Afin de corriger la réponse de la *STF*, nous utilisons un filtre de réponse fréquentielle que nous pouvons déterminer de sorte qu'elle soit de concavité symétrique à celle de la réponse *STF*. De cette manière, nous pouvons aplatir la réponse de la *STF* dans la bande de fonctionnement du modulateur.

3.6.2. Raccordement des phases des modulateurs $\Sigma\Delta$

Chaque modulateur $\Sigma\Delta$ présente une phase de sa *STF* linéaire dans sa bande de fonctionnement. Soient φ_A^L et φ_B^L les phases de la *STF* du $L^{\text{ième}}$ modulateur $\Sigma\Delta$ correspondant respectivement aux fréquences limites de sa bande de fonctionnement f_A^L et f_B^L . La limite fréquentielle supérieure f_B^L d'une branche correspond à la limite fréquentielle inférieure f_A^{L+1} de la branche suivante. Un signal situé à la fréquence f_B^L aura deux phases, φ_B^L et φ_A^{L+1} , selon son traitement par le modulateur L ou le modulateur $L+1$. Cependant, à la fréquence limite f_B^L entre deux bandes de branches adjacentes, les *STF* des deux modulateurs adjacents n'ont pas la même valeur de phase. Un raccordement de phase est alors nécessaire dans les zones de transition entre deux modulateurs adjacents L et $L+1$. Il se fait en multipliant la sortie du modulateur $L+1$ par $e^{-j\Delta\varphi}$ avec $\Delta\varphi$ le déphasage défini par (3.6).

$$\Delta\varphi = \varphi_A^{L+1} - \varphi_B^L \quad (3.6)$$

Le modulateur $L+1$ est ainsi raccordé au modulateur L qui à son tour doit être raccordé au modulateur $L-1$. En se basant sur ce principe de récursivité, le terme de correction pour le $L^{\text{ième}}$ modulateur est alors défini par l'équation (3.7).

$$C_3^L = \begin{cases} 1 & L = 1 \\ e^{-j\sum_{i=2}^L (\varphi_A^i - \varphi_B^{i-1})} & L \geq 2 \end{cases} \quad (3.7)$$

3.6.3. Raccordement de phase des filtres passe-bas

Le filtrage passe-bas effectué par les filtres 1.2 mais aussi L.2.I et L.2.Q dans la $L^{\text{ième}}$ branche dans les voies I et Q permet de rejeter le bruit de quantification en dehors de la bande utile par branche pour garantir une bonne dynamique du signal total après reconstruction. Le filtrage dans chaque branche pour L supérieur ou égal à 2 se fait en passe-bas puisque le signal associé a déjà été ramené en bande de base à l'aide d'une démodulation complexe et a été décimé. La modulation après filtrage qui est nécessaire pour ramener le signal de sortie de chaque branche dans sa bande initiale entraîne un déphasage introduit par les filtres passe-bas à la limite des bandes de fonctionnement comme montré dans la Figure 3.26. Un raccordement de phase semblable à celui effectué pour raccorder les phases des modulateurs est alors nécessaire pour raccorder les phases des filtres passe-bas.

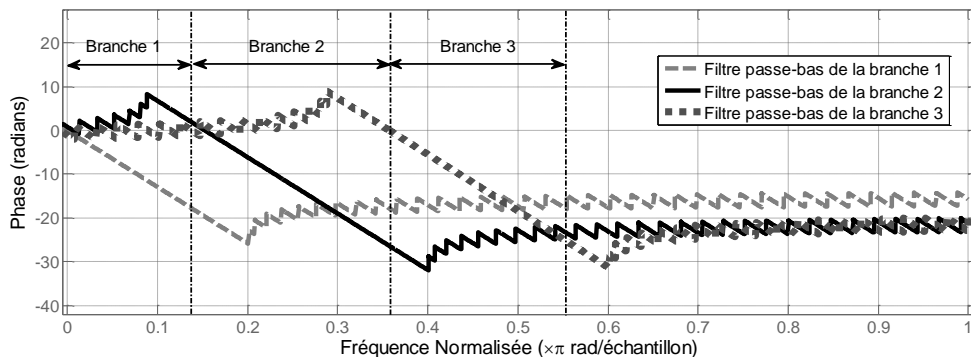


Figure 3.26 : Réponses en phase des filtres passe-bas de reconstruction.

3.7. Conclusion

Dans ce chapitre, le dimensionnement d'une architecture FBD pour un ADC dédié à un récepteur SDR multistandard supportant le fonctionnement des standards de radiocommunication E-GSM, UMTS et IEEE802.11a a été effectué. L'architecture en parallèle dimensionnée est programmable, et selon le standard sélectionné, seules les branches en question sont actives selon un découpage fréquentiel bien déterminé définissant la bande par branche ainsi que la fréquence d'échantillonnage par standard. L'architecture est évolutive car elle permet d'insérer dans le récepteur SDR la numérisation des signaux issus d'autres standards de radiocommunication dans de futurs travaux avec la possibilité de rajout de branches en parallèle s'il y a besoin. Ensuite, le fonctionnement en parallèle de l'architecture FBD ainsi que le découpage de la bande du signal utile globale en différentes sous-bandes traitée chacune par une des branches en parallèle, nécessite la mise en place d'un système de reconstruction numérique du signal permettant de recombinaison des sorties en parallèle pour former le signal de sortie global. Le dimensionnement de cet étage numérique avec une discussion du choix de l'emplacement de l'opération de démodulation et une comparaison entre les différentes

possibilités de décimation ont été présentés dans ce chapitre. Le fonctionnement en parallèle de l'ADC induit des erreurs de décalage de gain et de phase entre les voies en parallèle. Une méthode de correction de l'erreur de discontinuité des phases est alors présentée et implémentée pour les filtres de sélection de branche numériques à la fin de ce chapitre. Nous proposons dans le Chapitre 4 une présentation des résultats d'implémentation de l'architecture FBD dimensionnée, en virgule fixe à l'aide d'une co-simulation en utilisant l'environnement Matlab/Simulink/SysGen pour une cible FPGA de la famille XilinX.

Chapitre 4 : Implantation de la reconstruction numérique du signal de l'ADC parallèle multistandard

4.1. Introduction

L'objectif de ce chapitre est de proposer une implantation sur cible FPGA de l'étage de reconstruction. Pour ce faire, nous utilisons deux flots de conception basés sur l'utilisation du modèle Simulink de l'architecture. L'un utilise une bibliothèque associée à la cible en utilisant l'outil SysGen pour des cibles FPGA de la firme Xilinx [69]. L'autre utilise la suite d'outils HDL coder fournie par Mathworks afin de générer une description VHDL indépendante de la cible [70]. L'un des premiers avantages d'une modélisation Simulink est qu'elle est proche de l'architecture qui sera implantée puisque nous gardons une représentation temporelle du flux d'information. Néanmoins, cette seule représentation ne suffit pas puisqu'il faut passer d'une représentation en virgule flottante des données (bus d'information et coefficients) en une représentation à virgule fixe. Il existe de nombreux travaux permettant un travail analytique sur l'influence d'un raffinement en virgule fixe moyennant différentes méthodes [71-76]. Néanmoins, cet aspect n'est pas traité dans ces travaux de thèse où l'objectif premier est de fournir un prototype validant le principe d'une architecture FBD basée sur la modulation $\Sigma\Delta$ pour un récepteur multistandard. Nous procédons donc à une estimation empirique du nombre de bits nécessaires au codage de l'information en virgule fixe pour les deux flots de conception. Nous décrivons donc dans ce chapitre les deux principaux éléments de l'étage de reconstruction, à savoir les filtres FIR et les oscillateurs utilisés pour la transposition de fréquence. Puis, nous présentons les résultats de synthèse pour les deux flots appliqués sur une même cible FPGA VIRTEX 6 (XC6VLX240t-1ff1156).

4.2. Implantation avec le flot de conception basé sur la bibliothèque SysGen

L'étage de reconstruction numérique à base de démodulation de l'architecture FBD dimensionné dans le Chapitre 3 est implémenté en utilisant l'outil Matlab/SysGen. Le modèle SysGen de cette architecture utilisant la librairie Xilinx est présenté dans la Figure 4.1. Dans cette figure, seule la branche 2 de l'architecture est détaillée pour illustrer les différents blocs nécessaires et récurrents à la construction de cet étage. Dans la branche 1, le fonctionnement du modulateur $\Sigma\Delta$ et le traitement numérique associé est effectué en bande de base. Par conséquent, il n'y a pas d'opérations de démodulation et de modulation dans cette branche. La branche 3 est similaire à la branche 2, où seules les fréquences pour la modulation et démodulation changent. Cela n'a aucune incidence sur le choix de l'architecture utilisée pour la génération du signal à la sortie de l'oscillateur

car seules les valeurs des coefficients changent. Dans cette section, après la conception et l’implémentation des filtres et oscillateurs, nous présentons la validation du flot de synthèse SysGen.

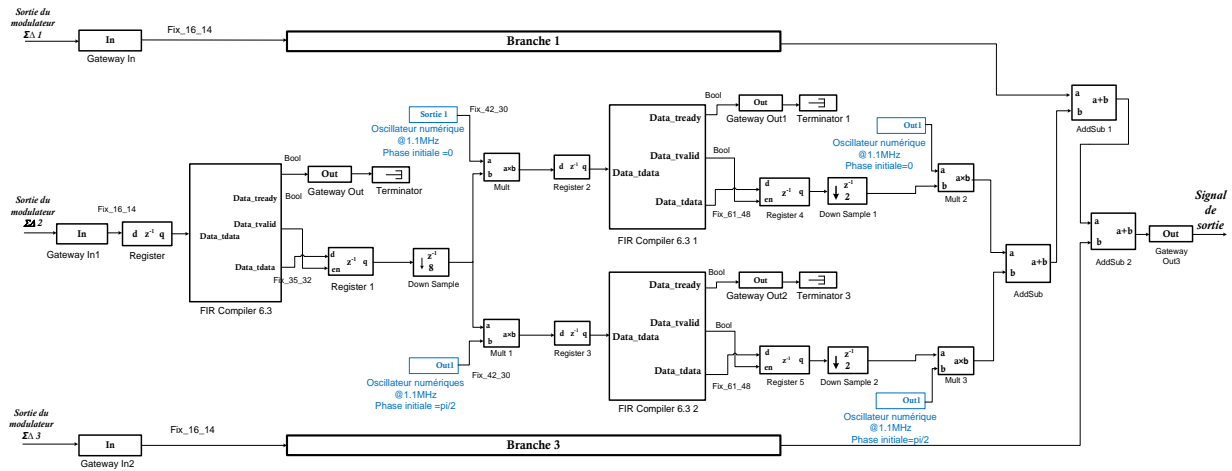


Figure 4.1 : Modèle SysGen de l’étage de reconstruction numérique du signal de l’ADC parallèle pour le cas d’étude UMTS.

4.2.1. Conception des filtres numériques

Dans l’architecture FBD proposée, les filtres ont à la fois un rôle de filtre à décimation des modulateurs $\Sigma\Delta$ et un rôle de recombinaison spectrale du signal utile. Généralement, les structures de filtres à décimation des modulateurs $\Sigma\Delta$ pour des OSR élevés sont basées sur plusieurs filtres en série afin d’éviter un filtre de longueur (ordre) trop importante [77-79]. Même s’il existe des structures de références basées sur l’utilisation de filtre en peigne [80-82], suivi de filtre demi-bande [83-85], nous faisons le choix de simples filtres FIR pour tous les filtres décimateurs puisque les spécifications de notre architecture ont permis une réduction de l’ordre des différents filtres (ordre maximal égal à 82) [86].

Quelque soit le flot de conception, les filtres FIR sont synthétisés à l’aide de l’outil FDATool de l’environnement Simulink. Cet outil permet la synthèse des coefficients d’un filtre selon un gabarit spécifié (Figure 4.2). Une fois les coefficients du filtre générés, il suffit d’utiliser l’élément FIR compiler de la bibliothèque SysGen. Lors de la génération en langage VHDL du filtre FIR à partir de SysGen, les coefficients sont associés à une représentation en virgule fixe donnée par l’utilisateur dans l’onglet “Implementation” (Figure 4.3). Nous avons aussi le choix des contraintes d’implantation où l’optimisation peut se faire soit par rapport à la surface, soit par rapport au chemin critique. L’objectif étant de produire un premier prototype sur FPGA, nous nous sommes focalisés sur une représentation en virgule fixe permettant la meilleure précision possible avec un codage des coefficients sur 16 bits et une représentation du flux d’information sur 35 bits, dans ce cas. Cette approche est appliquée à l’ensemble des filtres FIR de l’étage de reconstruction.

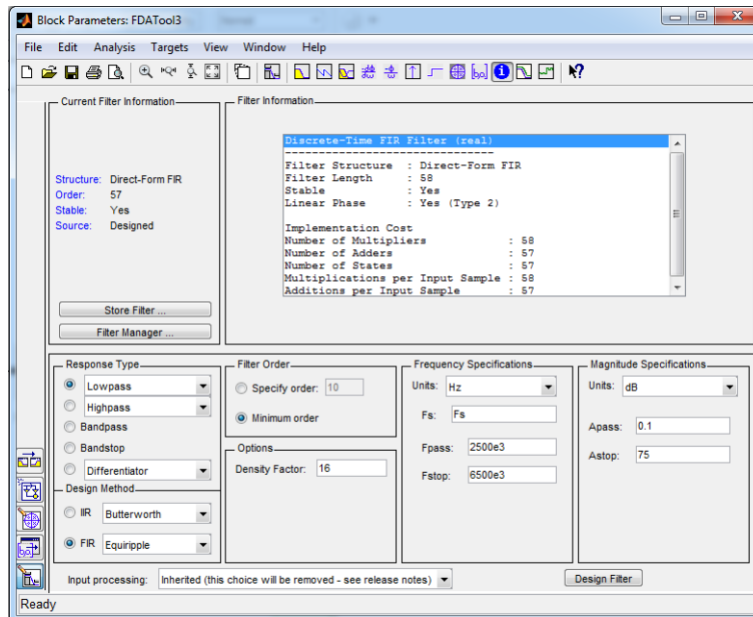


Figure 4.2 : Configuration et synthèse du filtre FIR avec l'outil FDATool.

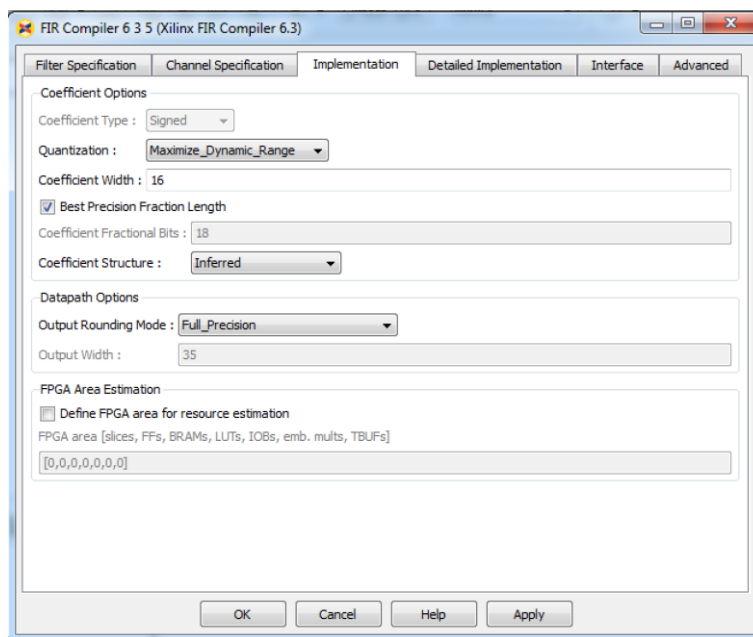


Figure 4.3 : Configuration pour l'implantation du filtre FIR à partir de la librairie SysGen.

L'examen de la description VHDL de ce filtre fournie par l'outil montre qu'il n'y a aucune information sur l'architecture du filtre puisque cette description utilise la librairie XilinxCoreLib, dans laquelle est spécifiée l'architecture du filtre. Pour palier à cette contrainte, il est préférable d'utiliser un autre flot de conception dit multi-cible, comme HDL coder de Mathworks. Ceci fera l'objet de la section 4.3. Cependant, dans la sous-section suivante, nous présentons les résultats de conception des oscillateurs utilisés dans l'architecture FBD proposée.

4.2.2. Conception des résonateurs numériques

Pour faciliter la transposition en fréquence des différentes bandes spectrales (modulation et démodulation), un oscillateur est nécessaire. Pour générer la forme d'onde, il est important de maîtriser ses spécifications. Ceci est possible par l'utilisation de résonateur numérique dont le principe est expliqué dans [87] et son utilisation pour générer une forme d'onde sinusoïdale est illustrée dans [88]. L'architecture de ce système bouclé, représentée dans la Figure 4.4, permet la génération d'une sinusoïde lorsque celui-ci entre en résonance.

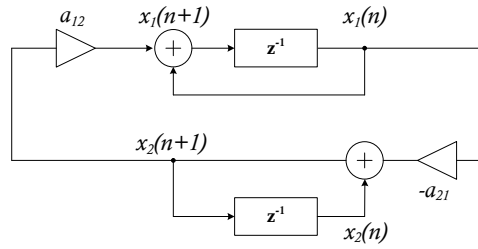


Figure 4.4 : Modèle du résonateur numérique conventionnel.

Naturellement, cela ne pourra se faire que dans des conditions particulières et la fréquence d'oscillation, l'amplitude et la phase du signal généré par cet oscillateur numérique sont donc conditionnés par le choix des valeurs des gains a_{12} et a_{21} , ainsi que par le choix des valeurs initiales des additionneurs $x_1(0)$ et $x_2(0)$. Les calculs des gains a_{12} et a_{21} sont effectués en utilisant l'équation (4.1) où ω_r est la fréquence angulaire du résonateur et $F_s = 1/T_s$ est la fréquence de fonctionnement du résonateur numérique [88].

$$\omega_r = 2\pi f_r = F_s \cos^{-1}(1 - 0.5a_{12}a_{21}) \quad (4.1)$$

L'amplitude A et la phase φ du résonateur numérique sont commandées par $x_1(0)$ et $x_2(0)$. Elles sont reliées par les relations (4.2) et (4.3) sachant que $\omega_r T_s = \cos^{-1}(1 - 0.5a_{12}a_{21})$ [76].

$$A = \frac{(1 - a_{12}a_{21})x_1(0) + a_{12}x_2(0)}{\sin(\omega_r T_s + \varphi)} \quad (4.2)$$

$$\varphi = \tan^{-1} \left[\frac{x_1(0)\sin(\omega_r T_s)}{(1 - a_{12}a_{21} - \cos(\omega_r T_s))x_1(0) + a_{12}x_2(0)} \right] \quad (4.3)$$

Les paramètres $x_1(0)$ et $x_2(0)$ sont alors calculés en utilisant les équations (4.4) et (4.5).

$$x_1(0) = A \sin(\varphi) \quad (4.4)$$

$$x_2(0) = \frac{1}{a_{12}} [A \sin(\omega_r T_s + \varphi) - (1 - a_{12}a_{21})x_1(0)] \quad (4.5)$$

Pour simplifier les calculs, nous fixons le coefficient a_{12} à 1. Le Tableau 4.1 donne les coefficients des différents oscillateurs pour la branche 2 et la branche 3 de l'architecture FBD pour notre cas d'étude, le standard UMTS.

Tableau 4.1 : Calcul de a_{21} , $x_1(0)$ et $x_2(0)$ des oscillateurs numériques de l'architecture FBD pour les différentes valeurs de A , φ , et f_r .

Branche 2	A	φ	f_r (MHz)	a_{21}	$x_1(0)$	$x_2(0)$
OSC 5	2	0	1.1	-0.5613203989341855	0.0	1.3893167409179945
OSC 6	2	$\pi/2$	1.1	-0.5613203989341855	2.0	0.56132039932269739
OSC 4	1	-0.8378	1.1	-1.9302010065949979	-0.74317290090290866	-0.04854471386481074
OSC 7	1	$\pi/2-0.8378$	1.1	-1.9302010065949979	0.66909942412436396	1.388468371030029
Branche 3	A	φ	f_r (MHz)	a_{21}	$x_1(0)$	$x_2(0)$
OSC 9	2	0	2	-1.652703644707799	0.0	1.969615506024416
OSC 10	2	$\pi/2$	2	-1.652703644707799	2.0	1.6527036446661389
OSC 8	1	-2.0944	2	-3.8793852415718169	-0.86602295497065007	-1.8508298575105506
OSC 11	1	$\pi/2-2.0944$	2	-3.8793852415718169	-0.50000424144591371	-0.67365724231191382

Ce tableau permet de montrer l'importance de la précision avec laquelle sont codés les coefficients. Ainsi, le gain a_{21} est quantifié sur 31 bits où 30 bits sont assignés à la partie fractionnaire. Cette précision est nécessaire pour atteindre les fréquences d'oscillation requises. Quant aux additionneurs et registres, ils sont codés sur 42 bits où 30 bits sont assignés à la partie fractionnaire afin d'éviter la saturation à la sortie de ces blocs. Le modèle des oscillateurs numériques avec dimensionnement des coefficients et flux d'information en virgule fixe est donné en Figure 4.5

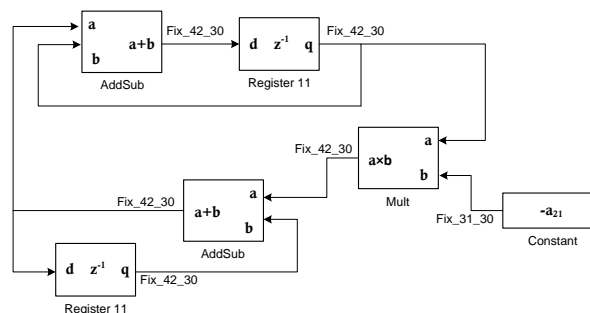


Figure 4.5 : Modèle SysGen du résonateur numérique implémenté.

4.2.3. Validation du flot de synthèse SysGen

Dans un premier temps, nous avons simulé le système avec reconstruction numérique en virgule fixe pour comparer le résultat en sortie avec celui obtenu en virgule flottante. En Figure 4.6, sont données les représentations spectrales du signal de sortie globale de l'architecture FBD avec une représentation en virgule flottante (Figure 4.6.a) et en virgule fixe (Figure 4.6.b). Nous constatons

alors une remontée du spectre pouvant s'expliquer par une déformation du gabarit des filtres liée à la quantification des coefficients.

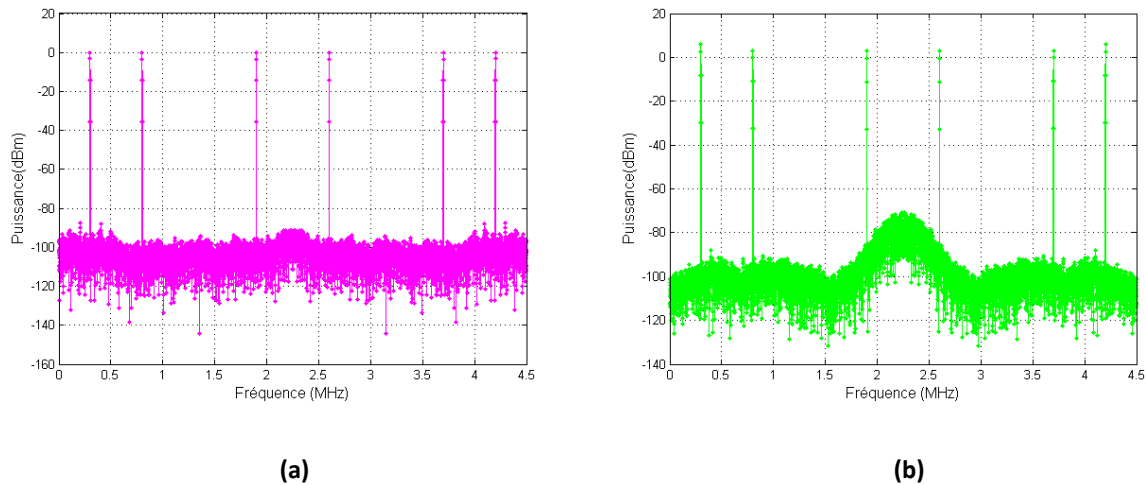


Figure 4.6 : Représentation spectrale du signal de sortie pour une représentation (a) en virgule flottante et (b) en virgule fixe.

Les placements et routage sur la cible VIRTEX6 considérée ont permis de faire une première évaluation des ressources nécessaires et du chemin critique. Le Tableau 4.2 résume l'ensemble des résultats des ressources utilisées.

Tableau 4.2 : Ressources utilisées pour la structure globale de l'étage de reconstruction sur une cible VIRTEX6 de Xilinx (XC6VLX240t-1ff1156).

	Ressources utilisées	Ressources disponibles	Ratio
Slice Registers	10274	301440	3 %
Slice LUTs	4540	150720	3 %
DSP48E1	219	768	28 %

Nous constatons l'utilisation importante de blocs DSP48E1 qui permettent une réalisation optimale des multiplieurs et accumulateurs puisqu'il s'agit d'éléments pré-câblés. Cet aspect est normal à la vue des algorithmes implantés : Filtres FIR et oscillateurs basés sur un résonateur d'ordre 2. Il est à noter que le chemin critique pour l'ensemble est de 17.15 ns, soit une fréquence de fonctionnement maximale de 58.282 MHz. Même si cette fréquence est inférieure à la fréquence requise maximale de 74 MHz de l'étage de reconstruction, il faut comprendre que cette fréquence est utilisée pour le premier étage de décimation et qu'ensuite, la fréquence de fonctionnement des autres étages est inférieure à 58.282 MHz. Nous avons alors examiné le chemin critique de chaque bloc et il est apparu que le plus long est celui associé au bloc de l'oscillateur (~17 ns) alors que le chemin critique le plus long pour les filtres est de 5 ns, soit une fréquence de fonctionnement maximale de 200 MHz environ. Les caractéristiques obtenues sont donc en parfait accord avec les spécifications requises

pour le bon fonctionnement du bloc de reconstruction numérique de notre architecture FBD.

4.3. Implantation avec le flot de conception basé sur les outils Mathworks

Afin de s'affranchir de la cible et pour une meilleure maîtrise du flot de conception, notamment vis-à-vis de la description VHDL générée, nous décidons d'utiliser le flot de conception proposé par Mathworks. Celui-ci est composé de l'outil HDL coder afin de générer une description VHDL aussi bien à partir d'un modèle Matlab que d'un modèle SIMULINK. Nous utilisons aussi l'outil HDL verifier pour la cosimulation entre Matlab (pour les blocs décrits en Simulink) et Modelsim (pour les blocs décrits en VHDL). Le principal intérêt est de pouvoir communiquer directement avec l'environnement de Matlab pour envoyer des signaux ou encore exploiter des résultats. Pour bien comprendre et voir les différents environnements mis en jeu, un schéma simplifié est proposée en Figure 4.7.

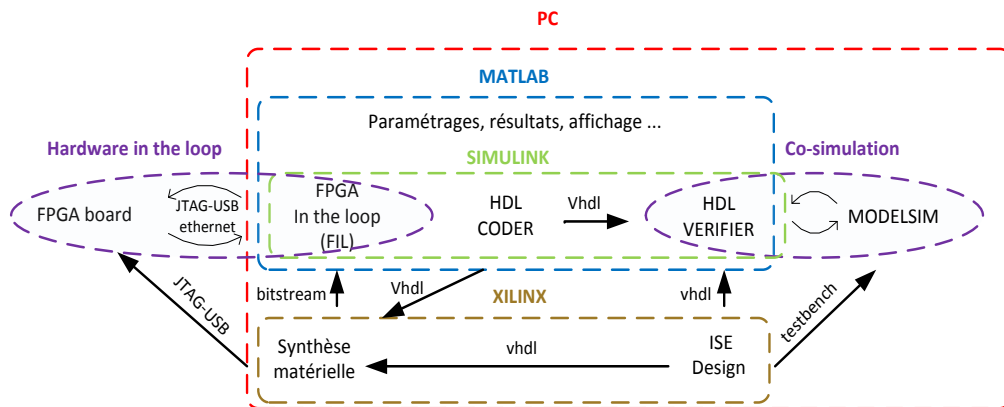


Figure 4.7 : Schéma de représentation des différents environnements de travail.

4.3.1. Description VHDL d'un filtre FIR

Nous présentons dans cette sous-section la description VHDL en virgule fixe du filtre FIR à décimation d'ordre 29, qui est généré par HDL coder en version simplifiée. Le filtre passe-bas qui nous sert d'illustration est celui situé sur la première branche de l'architecture FBD. Pour conserver une optimisation par surface, nous avons fait le choix d'une architecture cyclique. En faisant une lecture rapide du code VHDL nous intéressant, nous observons la description de l'entité, en parfait accord avec la description SIMULINK,

```
Entity FIR_29 is
  Generic (
    n: integer:=29; --ordre du filtre
    m: integer:=16); --nombre de bits nécessaire à l'entrée et à la sortie du filtre
  Port(
    RST      : IN STD_LOGIC;
    CLK      : IN STD_LOGIC;
    DATA_IN : IN STD_LOGIC_vector(m-1 downto 0);
    DATA_OUT: OUT STD_LOGIC_vector(m-1 downto 0));
End FIR_29;
et l'architecture :
```

```

Architecture RTL_GEN_FIR of FIR_29 is
  TYPE delay_pipeline_type is array (0 to n) of signed(m-1 downto 0);
  TYPE coefficients is array (0 to n) of signed(m-1 downto 0);

  SIGNAL i, j, k          : integer :=0;
  SIGNAL delay_pipeline   : delay_pipeline_type ;
  SIGNAL DATA_IN_STD    : signed(m-1 downto 0);
  SIGNAL DATA_OUT_STD   : signed(2*m-1 downto 0);
  SIGNAL sum_out         : signed(2*m-1 downto 0):= (others=>'0');

  CONSTANT coeff : coefficients := (
to_signed(integer(-0.0003931835469381082*2^15),m),
to_signed(integer(-0.00065039197480204285*2^15),m),
to_signed(integer(-0.00082690562002479253*2^15),m),
.....);

  BEGIN
  DATA_IN_STD <= signed(DATA_IN);

  Delay_Pipeline_process : PROCESS (RST, CLK)
    VARIABLE SUM      : signed(2*m-1 downto 0):= (others=>'0');
    VARIABLE MULT: signed(2*m-1 downto 0):= (others=>'0');
    BEGIN
    IF RST = '1' THEN
      for i in 0 to n loop
        for k in 0 to m-1 loop
          delay_pipeline(i)(k) <= '0';
        end loop;
      end loop;
    ELSIF CLK'event AND CLK = '1' THEN
      SUM := DATA_IN_STD * coeff(0);
      for i in 1 to n loop
        MULT:= delay_pipeline(i) * coeff(i);
        SUM := SUM + MULT;
      end loop;
      delay_pipeline(0)<= DATA_IN_STD;
      delay_pipeline (1 to n) <= delay_pipeline(0 to n-1);
    END IF;
    sum_out <=SUM;
  END PROCESS Delay_Pipeline_process;
  Output_Register_process : PROCESS (RST, CLK)
    BEGIN
    IF RST = '1' THEN
      DATA_OUT_STD <=(others=>'0');
    ELSIF CLK'event AND CLK = '1' THEN
      for j in 0 to 2*m-1 loop
        DATA_OUT_STD(j) <= sum_out(j);
      end loop;
    END IF;
  END PROCESS Output_Register_process;
  DATA_OUT(m-1 downto 0)<= std_logic_vector(DATA_OUT_STD(2*m-1 downto m));
  End RTL_GEN_FIR;

```

L'architecture proposée pour les filtres FIR se compose d'un multiplieur réel, d'un additionneur réel et d'un registre. A chaque cycle d'exécution, le multiplieur réel multiplie les données reçues et décalées i fois par un coefficient K_i avec $i = 0, 1, \dots, n$, où n représente l'ordre du filtre ($n=29$ dans ce cas). À l'issue de cette étape, la valeur calculée sera additionnée au résultat obtenu précédemment et déjà sauvegardé dans un registre. Enfin, la valeur sortante de l'additionneur est mémorisée dans le même registre R pour un nouveau processus. La même démarche est utilisée par la suite, pour la réalisation des autres filtres FIR d'ordre 39, 56 et 82 intégrant l'étape de reconstruction numériques.

Une fois cette étape franchie, et afin de valider la fonctionnalité du VHDL généré, nous utilisons l'environnement HDL verifier pour effectuer une co-simulation comme illustré en Figure 4.8.

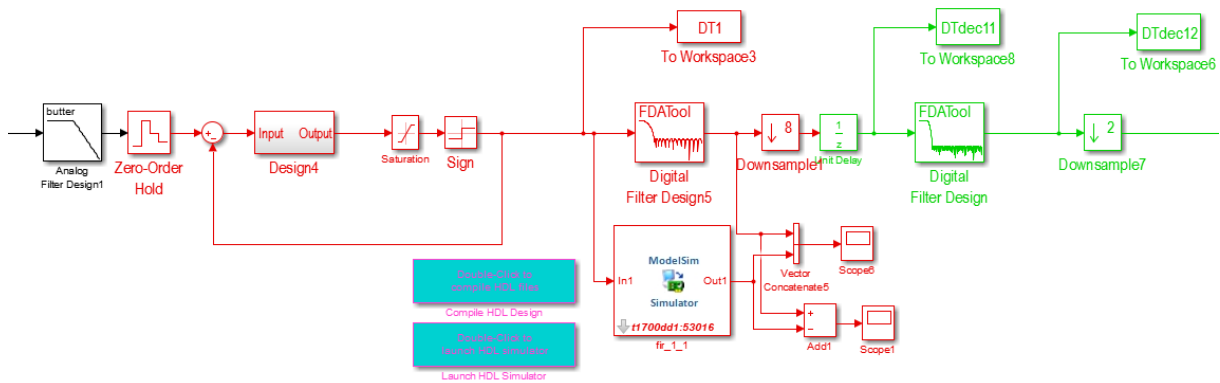


Figure 4.8 : Co-simulation d'un modèle pour comparer les résultats Simulink par rapport au résultat du solver Modelsim.

Il est intéressant de noter que les résultats de simulation des deux modèles (virgule flottante – Simulink et virgule fixe) sont disponibles sous un même environnement et nous pouvons comparer d'un point de vue temporel les deux courbes (Figure 4.9).

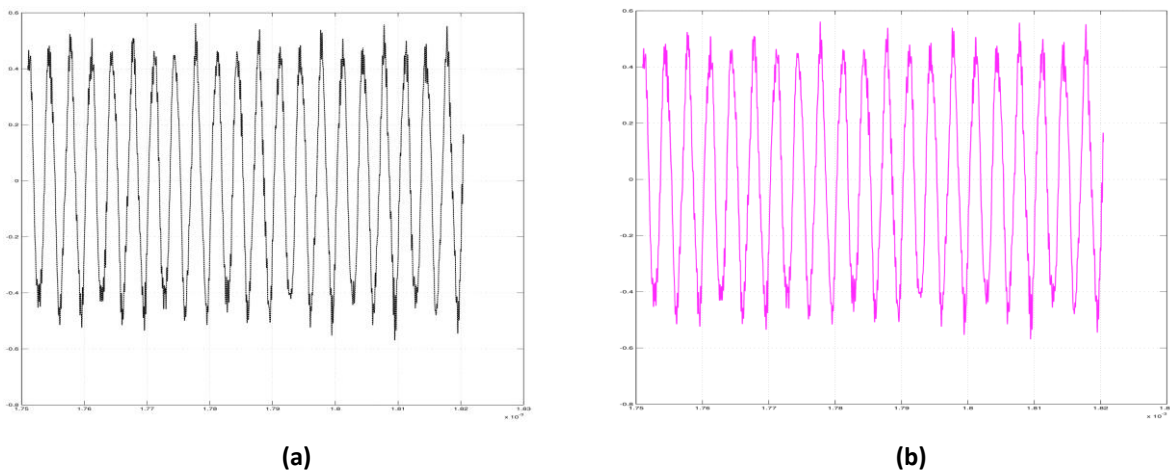


Figure 4.9 : Simulation temporelle de la représentation (a) en virgule flottante – Solver Simulink (a) et (b) en virgule fixe – VHDL – Solver Modelsim.

Lorsque nous superposons ces deux courbes, nous constatons une similitude des courbes et la seule différence concerne un léger décalage qu'il est aisé de corriger pour aligner l'ensemble des signaux lors de la reconstruction. Nous appliquons donc cette même méthodologie pour l'ensemble des filtres et validons nos choix architecturaux (Figure 4.10). Dans ce modèle, seuls les filtres sont décrits en VHDL et ils utilisent le solver Modelsim pour la simulation. Nous pouvons voir que les oscillateurs sont encore en format virgule flottante, ainsi que les opérateurs arithmétiques. L'intérêt de cette approche est qu'il sera possible d'évaluer l'erreur induite uniquement par le raffinement en virgule fixe des filtres.

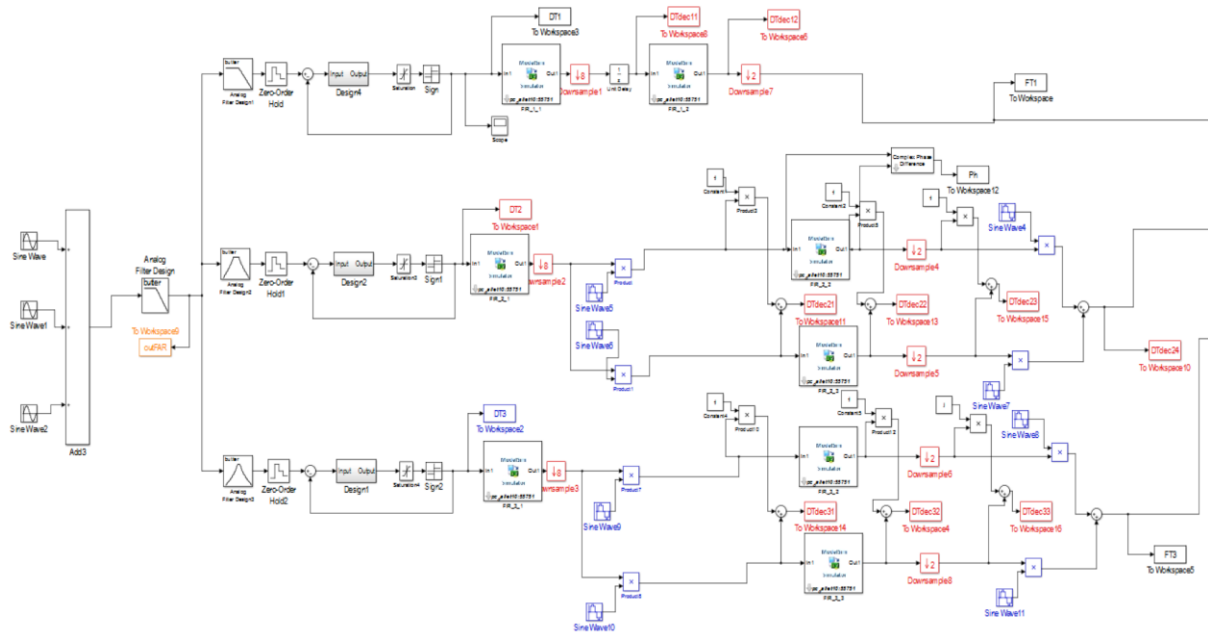


Figure 4.10 : Modèle avec l'ensemble des filtres décrits en virgule fixe (VHDL + ModelSim).

4.3.2. Description VHDL de l'oscillateur

En utilisant le même flot de conception, nous générons la description VHDL des oscillateurs utilisant une architecture basée sur un résonateur numérique d'ordre 2, puis nous évaluons ses performances par co-simulation à l'aide de l'outil HDL verifier.

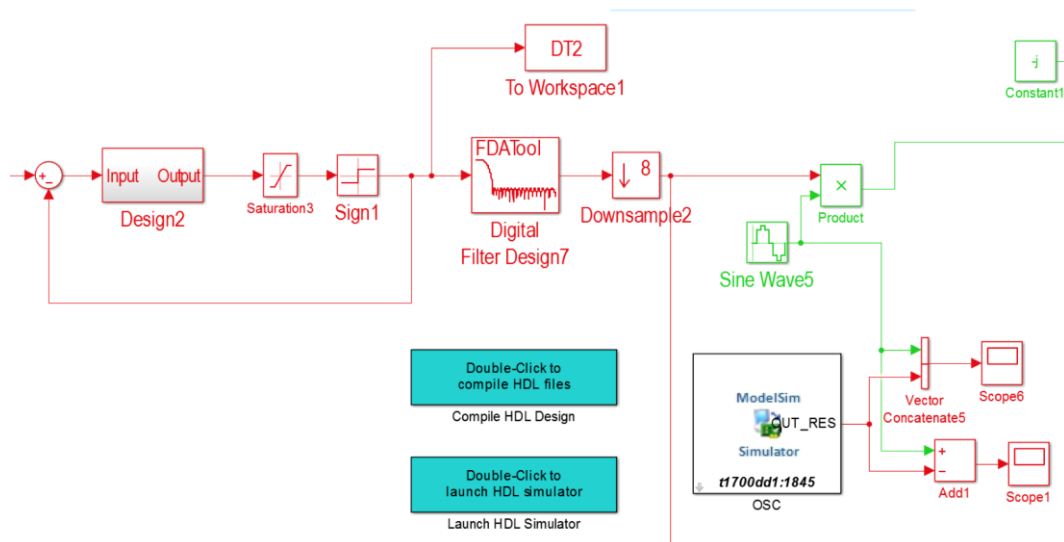


Figure 4.11 : Validation de l'oscillateur numérique.

La Figure 4.11 montre l'environnement de travail ayant permis la validation de l'oscillateur. Naturellement, chacun des oscillateurs est configuré à partir des données du tableau 4.1. Nous calculons une erreur inférieure à 10^{-5} entre le modèle à virgule flottante et le modèle à virgule fixe

(Figure 4.12), avec deux types d'erreur : une liée à la quantification des paramètres associés à l'amplitude de la forme d'onde (distribution de l'erreur) et l'autre liée à la quantification des paramètres associés à la phase (évolution linéaire de cette distribution).

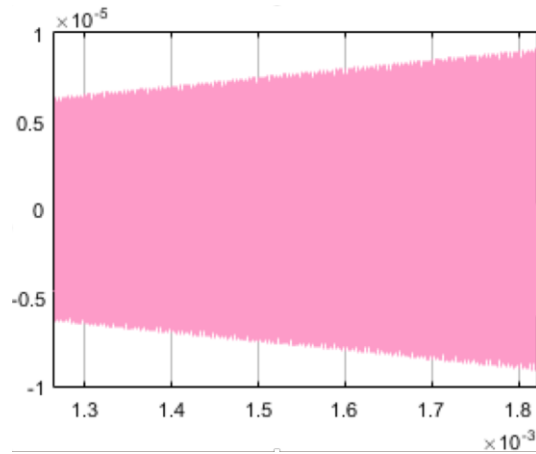


Figure 4.12 : Erreur absolue entre la représentation en virgule flottante et la représentation en virgule fixe de l'oscillateur.

4.3.3. Validation du modèle global

Après avoir décrit les décimateurs, de simples registres avec décimation, nous effectuons une comparaison de la structure complète vis à vis de sa représentation, virgule fixe et virgule flottante. Le modèle proposé est celui de la Figure 4.13

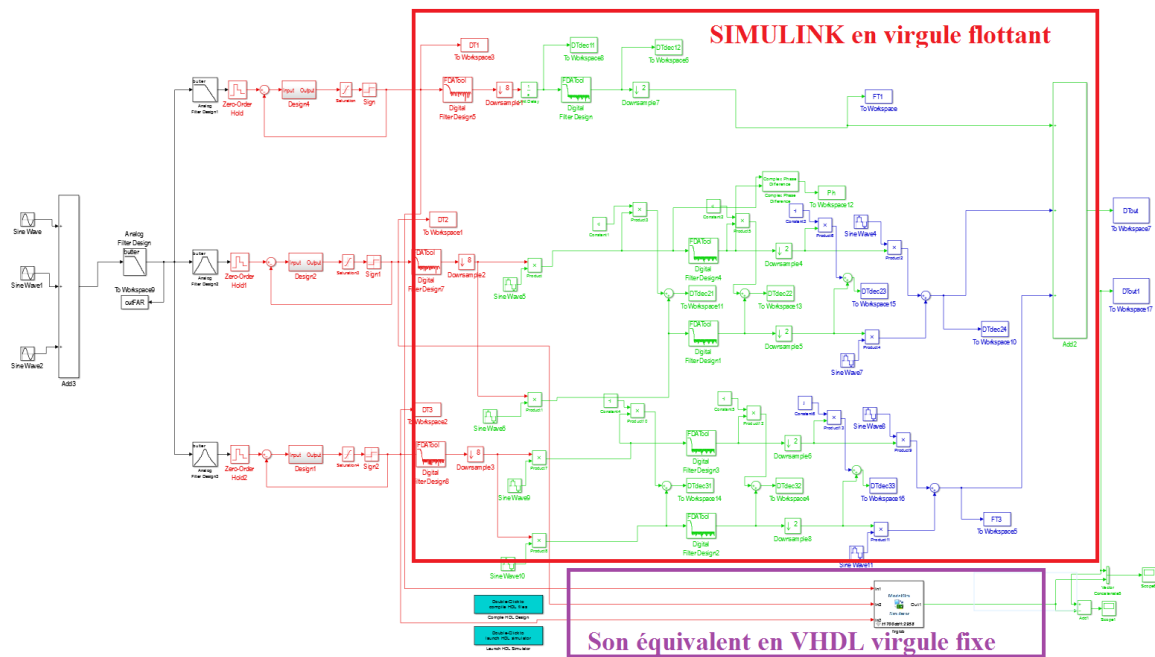


Figure 4.13 : Modèle de co-simulation de la structure globale.

Nous obtenons des résultats prometteurs avec un plancher de bruit beaucoup plus proche du modèle Simulink à virgule flottante. Néanmoins, nous constatons des raies, qui même si elles sont de faible niveau, peuvent être identifiées à un repliement spectral, confirmant ainsi la nécessité de travailler sur la réponse en fréquence de chaque filtre à décimation (Figure 4.14).

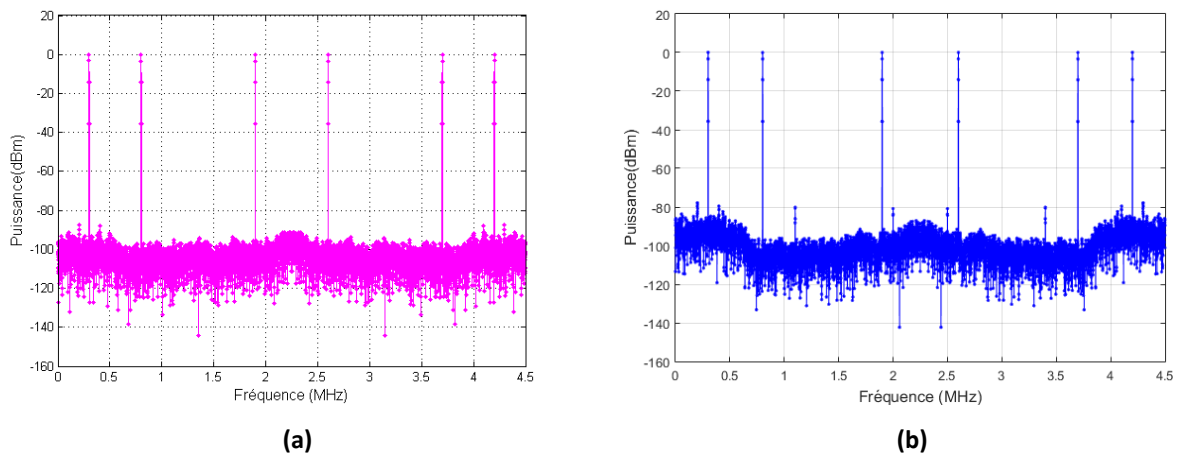


Figure 4.14 : Représentation spectrale du signal de sortie pour une représentation (a) en virgule flottant et (b) en virgule fixe.

Les placements et routage sur la cible VITEX6 considérée ont permis de faire une première évaluation des ressources nécessaires ainsi que du chemin critique. Le tableau suivant résume l'ensemble des résultats (Tableau 4.3).

Tableau 4.3 : Ressources utilisées pour la structure globale de l'étage de reconstruction (cible XILINX VIRTEX6 (XC6VLX240t-1ff1156)).

	Ressources utilisées	Ressources disponibles	Ratio
Slice Registers	11219	301440	3 %
Slice LUTs	4603	150720	3 %
DSP48E1	558	768	72 %

Les résultats obtenus sont sensiblement équivalents à ceux obtenus avec le flot de conception utilisant SysGen. Néanmoins, il y a une augmentation importante du nombre de DSP48, consommés principalement par les filtres FIR. De même, le chemin critique avec ce deuxième flot de conception est très grand (121.926 ns, soit 8.202MHz), mais il est associé au chemin critique des oscillateurs dont la fréquence de fonctionnement est faible.

4.4. Implantation de l'étage de reconstruction sur FPGA In the Loop

Pour pouvoir valider notre description VHDL en virgule fixe sur la cible FPGA, nous utilisons l'outil FPGA In the Loop (FIL). Notre but est d'implémenter le code VHDL, décrit précédemment, sur la cible

FPGA en utilisant l'interface Simulink. Pour ce faire, nous générons le bitstream du code VHDL synthétisable du système global. Ce fichier est implémenté sur la cible FPGA et ensuite illustré par un bloc FIL s'insérant dans le modèle SIMULINK. Il s'agit alors d'une co-simulation entre la partie software (modèle SIMULINK et solveur associé) et la partie hardware (cible FPGA) dans laquelle est implantée l'étage de reconstruction numérique (Figure 4.15).

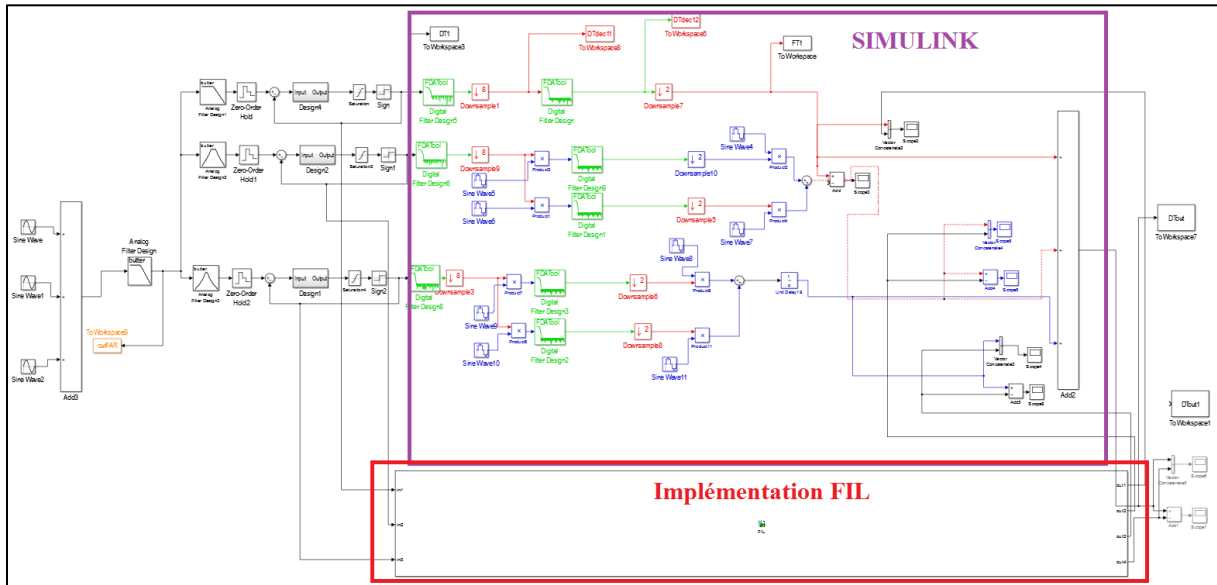


Figure 4.15 : Simulation du modèle global et implantation sur FPGA de l'étage de reconstruction.

Les résultats de la simulation de l'étage de reconstruction numérique du modèle Simulink en virgule flottante (signaux Simulink en noir) et son équivalent implémenté sur la cible FPGA (signaux en rose) sont représentés en Figure 4.16. Ces résultats sont comparés et affichés sur un même scope.

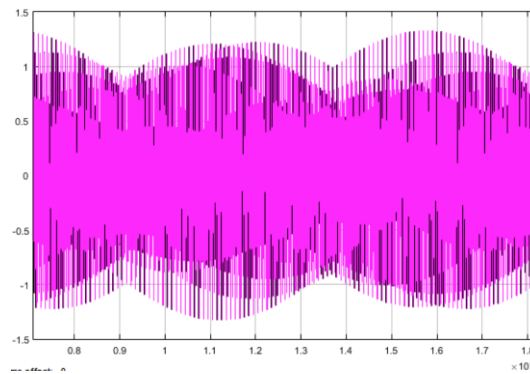


Figure 4.16 : Résultats de simulation du modèle global en (en noir) virgule flottante sous modèle SIMULINK et (en magenta) son équivalent implémenté sur la cible FPGA.

Nous constatons que les signaux sortant du modèle SIMULINK, représentés en noir, et ceux-ci sortant du bloc FIL, représentés en rose, sont quasiment identiques.

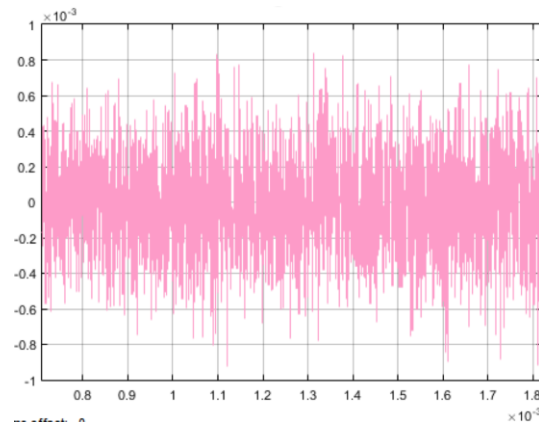


Figure 4.17 : Erreur relative entre les deux implantation (software et hardware).

La figure 4.17 donne l'erreur relative entre le modèle globale de l'architecture de l'étage de reconstruction numérique sur la cible FPGA à l'aide de FIL et le modèle à virgule flottante. Nous remarquons que l'erreur due au passage en virgule fixe pendant l'implémentation est autour de 1×10^{-3} . Enfin, pour tester l'étage de reconstruction numérique de l'architecture FBD de l'ADC en parallèle implémenté en utilisant l'outil FIL, un signal multi-ton composé de trois signaux sinusoïdaux est appliqué à l'entrée de l'architecture FBD. Les fréquences du signal d'entrée utilisé sont choisies égales à 300 kHz, 800 kHz, et 1900 kHz. Ces fréquences sont situées respectivement dans la première, la seconde et la troisième bande fréquentielle des branches de l'architecture FBD pour le cas d'étude UMTS.

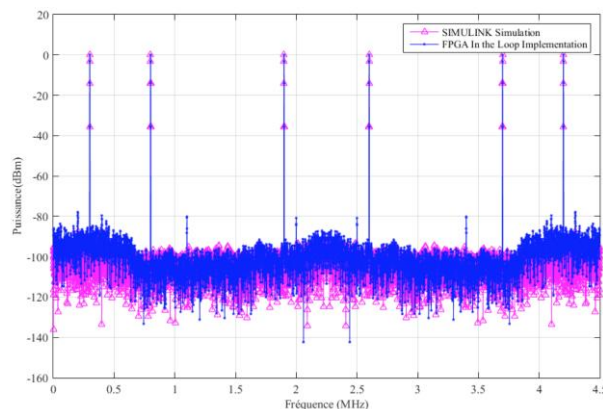


Figure 4.18 : Spectre du signal de sortie recombinaé de l'architecture FBD en utilisant la simulation Simulink et l'implémentation SysGen.

L'amplitude normalisée du signal d'entrée multi-ton est choisie égale à 0.45. Le spectre du signal de sortie reconstruit de l'architecture FBD de l'ADC implémenté en utilisant le logiciel Matlab/FIL est présenté par la Figure 4.18, où le spectre du signal obtenu par implémentation FIL est comparé au spectre du signal de sortie obtenu par simulation Sumulink. Le SNR retrouvé par simulation est égal

75.93 dB. Il est comparé à un SNR retrouvé égal à 74.42 dB par implémentation. La dynamique requise pour le cas d'étude UMTS égal à 73.8 dB est satisfaite dans les deux cas.

4.5. Conclusion

Dans ce chapitre, nous apportons notre contribution associée à l'implantation de l'étage de reconstruction numérique. Nous avons fait un travail d'adéquation algorithme-architecture à l'aide de deux flots de conception : l'un dépendant de la cible FPGA (SysGen pour Xilinx), l'autre indépendant de la cible choisie puisqu'il permet la génération d'une description VHDL standard pouvant être utilisée sur n'importe quelle cible. L'optimisation de l'architecture s'est effectuée selon la contrainte surface pour être sûr de pouvoir utiliser la cible à notre disposition. Cela s'est traduit par un rallongement du chemin critique, mais toujours dans les spécifications requises. Il sera intéressant de poursuivre ce travail de façon analytique en proposant une méthode pour optimiser le codage de la virgule fixe sur un nombre de bits plus faible et surtout d'envisager des architectures avec des chemins critiques plus courts.

Conclusion générale

Dans le contexte de la réception multistandard de type SDR, nos travaux de thèse de doctorat se sont focalisés sur la conversion analogique numérique des signaux radio moyennant une architecture parallèle à base de décomposition fréquentielle. Nous avons cherché à tirer profit des modulateurs $\Sigma\Delta$, connus par la grande dynamique qu'ils procurent, pour proposer une architecture parallèle permettant d'élargir la bande passante totale. L'ADC proposé permet de répondre aux fortes contraintes en termes de dynamique requise et de bande passante imposées par la réception SDR multistandard.

Dans le premier chapitre de ce manuscrit, le concept et les exigences de la radio logicielle multistandard sont exposés. Ensuite, un état de l'art des architectures de réception candidates pour un récepteur SDR supportant le fonctionnement des standards E-GSM, UMTS et IEEE802.11a est présenté. Une architecture de réception hybride homodyne/low-IF a été proposée suite à l'analyse de cet état de l'art. Nous nous sommes basés sur cette architecture de réception pour le dimensionnement de l'étage en bande de base. Ce chapitre a été clôturé par un état de l'art des ADCs $\Sigma\Delta$ dont l'intérêt, dans le contexte radio logicielle multistandard, a été explicité. Cet état de l'art révèle l'absence de convertisseur de type $\Sigma\Delta$ pouvant garantir des plages de dynamiques variables de 60 à 96 dB avec des signaux occupant des bandes passantes allant d'une bande étroite de 200 kHz à une large bande de 20 MHz. Nous avons alors proposé l'utilisation du parallélisme pour remédier à ce problème.

Le deuxième chapitre est consacré à l'étude des trois architectures importantes en parallèle à base de modulateurs $\Sigma\Delta$ à savoir ; l'architecture à entrelacement temporel (TI $\Sigma\Delta$, Time-Interleaved Sigma Delta), l'architecture à base de modulation de Hadamard ($\Pi\Sigma\Delta$, Parallel Sigma Delta), et l'architecture à base de décomposition fréquentielle (FBD, Frequency Band Decomposition). Nous avons dégagé de cette étude comparative le choix de l'architecture FBD. Cette architecture permet de répondre aux exigences de la conception d'un ADC intégrable, à large bande et à dynamique élevée. Ce choix est justifié par l'insensibilité de cette architecture aux erreurs de décalage de gain et de tension entre les voies parallèle par rapport aux deux autres architectures.

Le troisième chapitre est alors dédié à la discussion du dimensionnement de l'architecture FBD à base de modulateurs $\Sigma\Delta$ pour l'étage de numérisation du récepteur SDR multistandard. En effet, le principe de l'architecture FBD repose sur le découpage de la bande du canal du signal radio à numériser en plusieurs sous-bandes numérisées chacune par un ADC. La nouveauté dans cette architecture proposée est que le partage fréquentiel des sous-bandes est non-uniforme en plus de la

programmabilité de l'architecture. En effet, en fonction du standard sélectionné, seules les branches concernées sont activées selon un découpage fréquentiel définissant la bande par branche ainsi que la fréquence d'échantillonnage. Les branches activées pour la numérisation des signaux issus d'un standard peuvent être utilisées pour la numérisation des signaux issus d'un autre standard avec des sous-bandes de fonctionnement et une fréquence d'échantillonnage différentes. L'architecture est alors reconfigurable et évolutive car nous pouvons envisager dans le futur d'insérer dans le récepteur SDR la numérisation des signaux issus d'autres standards de radiocommunication avec un éventuel rajout de branches en parallèle en cas de besoin. L'architecture en parallèle requiert un traitement numérique pour reconstruire le signal de sortie globale à partir des signaux des sorties en parallèle. Le dimensionnement de cet étage a été discuté dans ce troisième chapitre en termes du choix de la position de la démodulation et du choix de la répartition des facteurs de décimation. Cet étage de reconstruction numérique permet également l'implémentation des méthodes de correction des erreurs de gain et de phase causées par le fonctionnement en parallèle.

Enfin, le quatrième chapitre a été consacré à l'implémentation de l'architecture FBD proposée en utilisant deux flots de conception. Le premier flot de conception, réalisant une co-simulation Matlab/Simulink/SysGen, dépend de la cible FPGA de la firme Xilinx et ne fournit pas de description VHDL modifiable. Le deuxième flot, moyennant l'outil HDL coder de Mathworks, permet une description VHDL standard indépendante de la cible. L'implémentation, les résultats de synthèse et l'analyse spectrale sont détaillés tout au long de ce quatrième chapitre. Nous avons alors réussi à optimiser et valider l'implémentation de notre architecture FBD sur une cible VIRTEX6 (XC6VLX240t-1ff1156) de la firme Xilinx en utilisant les ressources disponibles sur la cible, en satisfaisant les contraintes du chemin critique et en mesurant une dynamique de 74.42 dB satisfaisant la dynamique requise de 73.8 dB pour le cas d'étude du standard UMTS.

Il sera intéressant de poursuivre les travaux de cette thèse de doctorat par l'étude théorique de l'architecture FBD, d'optimiser les architectures des filtres utilisés dans l'étage de reconstruction et de proposer une étude analytique pour optimiser le codage de la virgule fixe sur un nombre de bits plus faible. Il faut aussi envisager l'implémentation des méthodes de correction puis s'intéresser à une architecture avec des chemins critiques plus courts.

Références

- [1] J. Mitola, "Software radios: survey, critical evaluation and future directions," *IEEE Aerospace and Electronic System Magazine*, vol.8, no.4, pp.25-36, avril 1993.
- [2] J. Mitola, "Technical challenges in the globalization of software radio," *IEEE Communications Magazine*, vol. 37, no. 2, pp. 84 – 89, février 1999.
- [3] M. Brandolini, P. Rossi, D. Manstretta, F. Svelto, "Toward multistandard mobile terminals-Fully integrated receivers requirements and architectures," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 3, pp. 1026-1037, mars 2005.
- [4] W.H.W. Tuttlebee, "Software-defined radio: facets of a developing technology," *IEEE Personal Communications*, vol. 6, 2, pp. 38-44, 1999.
- [5] A. Maalej, "Apport de l'échantillonnage aléatoire à temps quantifié pour le traitement en bande de base dans un contexte radio logicielle restreinte," Thèse de doctorat, Ecole Supérieure des Communications de Tunis (Sup'Com) et Ecole Nationale Supérieure des Télécommunications de Paris (TELECOM ParisTech), 2012.
- [6] GSM Technical Specification, "Radio Transmission and Reception (GSM 05.05)," *European Telecommunications Standards Institute*, 1996.
- [7] IEEE802.11a, "Telecommunications and information exchange between systems Local and metropolitan area networks--Specific requirements Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications," in *IEEE Std 802.11-2012 (Revision of IEEE Std 802.11-2007)*, pp.1-2793, mars 2012.
- [8] J. M. De la Rosa, "Sigma-delta modulators : tutorial overview, design guide, and state-of-the-art survey," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 58, pp. 1 – 21, janvier 2011.
- [9] J. M. De la Rosa, R. del Rio, *CMOS Sigma-Delta Converters Practical Design Guide*, IEEE PRESS, A John Wiley & Sons, Ltd., Publication, 2013.
- [10] W. Black, D. Hodges, "Time interleaved converter arrays," *IEEE Journal of Solid-State Circuits*, vol. 15, no. 6, pp. 1022–1029, décembre 1980.
- [11] I. Galton, H.T. Jensen, "Delta-sigma modulator based A/D conversion without oversampling," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 42, no. 12, pp. 773-784, décembre 1995.
- [12] P. Benabes, A. Beydoun, M. Javidan, "Frequency-band-decomposition converters using continuous-time $\Sigma\Delta$ A/D modulators," *IEEE North-East Workshop on Circuits and Systems and TAISA Conference*, juin 2009.
- [13] P. Benabes, P. Benabes, J. Oksman, "Extended frequency-band-decomposition sigma-delta A/D converter," *Analog Integrated Circuits and Signal Processing Journal*, vol. 61, no. 1, pp. 75-85, octobre 2009.
- [14] L. Noor, A. Anpalagan, "Direct conversion receiver for radio communication systems," *IEEE Potentials*, vol. 24, no. 5, pp. 32-35, décembre 2005.
- [15] D. Jakonis, K. Folkesson, J. Dabrowski, P. Eriksson, "A 2.4-GHz RF sampling receiver front-end in 0.18 μm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 6, pp. 1265-1277, juin 2005.
- [16] M. Ben-Romdhane, C. Rebai, A. Ghazel, P. Desgreys, P. Loumeau, "Nonuniformly controlled analog-to-digital converter for SDR multistandard radio receiver," *IEEE Transactions on Circuits and Systems II: Brief Papers*, vol. 58, no.12, pp. 862 – 866, décembre 2011.
- [17] J. Mitola, "The software radio architecture," *IEEE Communications Magazine*, vol. 33, no. 5, pp. 26 – 38, mai 1995.
- [18] B. E. Jonsson, "A survey of A/D-Converter Performance Evolution," *IEEE International Conference on Electronics, Circuits, and Systems*, pp. 766–769, décembre 2010.
- [19] K. Kivekas, A. Parissen, K.A.I. Halonen, "Characterisation of IIP2 and DC-offset in transconductance mixers," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 48, no. 11, pp. 1028-1038, novembre 2001.
- [20] N. Jouida, "Modulateur $\Sigma\Delta$ complexe passe-bande à temps-continu pour la réception multistandard," Thèse de doctorat, Université de Bordeaux 1 et SUP'COM, 2010.
- [21] Y.Xiaolong, "Wideband sigma-delta modulators," Phd Thesis, *KTH Information and Communication Technology*, Stockholm, Sweden, 2010.

- [22] R. Schreier, "An empirical study of high-order single-bit delta-sigma modulators," *IEEE Transactions Circuits and Systems II: Analog and Digital Signal Processing*, vol. 40, no. 8, pp. 461–466, août 1993.
- [23] R. W. Adams, R. Schreier, "Stability Theory in $\Sigma\Delta$ Modulators," in *Delta-Sigma Data Converters: Theory, Design and Simulation* (S. R. Norsworthy, R. Schreier, and G. C. Temes, Editors), chap. 4, IEEE Press, 1997.
- [24] R. Schreier and G. Temes "Understanding Delta-Sigma Data Converters," *Wiley-IEEE Press*, 2004.
- [25] S. A. Jantzi, W. M. Snelgrove, P. F. Ferguson, "A fourth-order bandpass sigma-delta modulator," *IEEE Journal Solid-State Circuits*, vol. 28, no. 3, pp. 282–291, mars 1993.
- [26] Wai Laing Lee, "A novel higher order interpolative modulator topology for high resolution oversampling A/D converters," *M.S. thesis, MIT*, Cambridge, MA, juin 1987.
- [27] R.T. Baird, T.S. Fiez, "Linearity enhancement of multibit $\Sigma\Delta$ A/D and D/A converters using data weighted averaging," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 42, no. 12, pp. 753–62, décembre 1995.
- [28] E. Avignon, "Contribution à la Conception d'un Modulateur Sigma-Delta Passe-Bande à Temps Continu pour la Conversion Directe de Signaux Radiofréquences", *Thèse de doctorat, Ecole Supérieure de l'Electricité, Paris (Supélec)*, 2008.
- [29] W. Kester, "Data Conversion Handbook," *Analog Devices*, ISBN: 978-0-7506-7841-4, 2005.
- [30] B. Nowacki, N. Paulino, J. Goes, "A 1.2 V 300 μ W Second-Order Switched-Capacitor $\Sigma\Delta$ Modulator Using Ultra Incomplete Settling with 73 dB SNDR and 300 kHz BW in 130 nm CMOS," *IEEE European Solid-State Circuits Conference*, pp. 271–274, septembre 2011.
- [31] F. Chen, S. Ramaswamy, B. Bakkaloglu, "A 1.5 V 1 mA 80 dB Passive $\Delta\Sigma$ ADC in 0.13 μ m Digital CMOS Process," *IEEE Solid-State Circuits Conference Digest of Technical Papers*, pp. 244–245, février 2003.
- [32] T. Burger, Q. Huang, "A 13.5-mW 185-MSample/s $\Delta\Sigma$ Modulator for UMTS/GSM Dual-Standard IF Reception," *IEEE Journal of Solid-State Circuits*, vol. 36, no.12, pp. 1868–1878, décembre 2001.
- [33] P. Rombouts, J. De Maeyer, L. Weyten, "A 250-kHz 94-dB Double-Sampling $\Sigma\Delta$ Modulation A/D Converter with a Modified Noise Transfer Function," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 10, pp. 1657–1662, octobre 2003.
- [34] N. Maghari, U.-K. Moon, "A Third-Order DT $\Delta\Sigma$ Modulator using Noise-Shaped Bi-Directional Single-Slope Quantizer," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 12, pp. 2882–2891, décembre 2011.
- [35] L. Liu, D.M. Li, L. Chen, Y. Ye, Z.H. Wang, "A 1-V 15-Bit Audio $\Delta\Sigma$ - ADC in 0.18 μ m CMOS," *IEEE Transactions on Circuits and Systems I — Regular Papers*, vol. 59, no. 5, pp. 915–925, mai 2012.
- [36] L. Liu, D.M. Li, L. Chen, C. Zhang, S. Wei, Z.H. Wang, "A 1V 350 μ W 92 dB SNDR 24 kHz $\Delta\Sigma$ Modulator in 0.18 μ m CMOS," *IEEE Asian Solid-State Circuits Conference*, p.1-4, novembre 2010.
- [37] F. Ying, F. Maloberti, "A mirror image free two-path bandpass $\Delta\Sigma$ modulator with 72 dB SNR and 86 dB SFDR," *IEEE Solid-State Circuits Conference Digest of Technical Papers*, pp. 84–85, février 2004.
- [38] T. Yamamoto, M. Kasahara, T. Matsuura, "A 63 mA 112/94 dB DR IF Bandpass $\Delta\Sigma$ Modulator With Direct Feed-Forward Compensation and Double Sampling," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 8, pp. 1783–1794, août 2008.
- [39] W.-T. Cheng, K.-P. Pun, C.-S. Choy, C.-F. Chan, "A 75dB Image Rejection IF-Input Quadrature Sampling SC $\Delta\Sigma$ Modulator," *IEEE European Solid-State Circuits Conference*, pp. 455–458, septembre 2005.
- [40] V. Srinivasan, V. Wang, P. Satarzadeh, B. Haroun, M. Corsi, "A 20 mW 61 dB SNDR (60MHz BW) 1 b 3rd-Order Continuous-Time Delta-Sigma Modulator Clocked at 6GHz in 45 nm CMOS," *IEEE Solid-State Circuits Conference Digest of Technical Papers*, pp. 158–159, février 2012.
- [41] Y.-C. Chang, W.-H. Chiu, C.-C. Lin, T.-H. Lin, "A 4MHz BW 69 dB SNDR Continuous-Time Delta-Sigma Modulator with Reduced Sensitivity to Clock Jitter," *IEEE Asian Solid-State Circuits Conference*, pp. 265–268, novembre 2011.
- [42] J.Kauffman, P.Witte, J.Becker, M.Ortmanns, "An 8.5 mW Continuous-Time $\Delta\Sigma$ Modulator with 25 MHz Bandwidth using Digital Background DAC Linearization to Achieve 63.5 dB SNDR and 81 dB SFDR," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 12, pp. 2869–2881, décembre 2011.
- [43] J. Harrison, M. Nesselroth, R. Mamuad, A. Behzad, A. Adams, S. Avery, "An LC Bandpass $\Delta\Sigma$ ADC with 70 dB SNDR Over 20MHz Bandwidth using CMOS DACs," *IEEE Solid-State Circuits Conference Digest of Technical Papers*, pp. 146–147, février 2012.

- [44] E. Martens, A. Bourdoux, A. Couvreur, R. Fasthuber, P. Van Wesemael, G. Van der Plas, J. Craninckx, J. Ryckaert, "RF-to-Baseband Digitization in 40 nm CMOS With RF Bandpass $\Delta\Sigma$ Modulator and Polyphase Decimation Filter," *IEEE Journal of Solid-State Circuits*, vol. 47, no. 4, pp. 990–1002, April 2012.
- [45] A. Eshraghi, T.S. Fiez, "A time-interleaved parallel $\Sigma\Delta$ A/D converter," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 50, no. 3, pp.118–129, mars 2003.
- [46] P. P. Vaidyanathan, "Multirate Systems and Filter Banks," *Eaglewood Cliffs, NJ: Prentice-Hall*, 1993.
- [47] A. Eshraghi, T. Fiez, "A comparative analysis of parallel delta–sigma ADC architectures", *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 51, no. 3, pp. 450 – 458, mars 2004.
- [48] A. Beydoun, P. Benabes, "Bandpass/wideband ADC architecture using parallel delta sigma modulators," *European Signal Processing Conference – EUSIPCO 2006*, pp. 1-4, septembre 2006.
- [49] A. Eshraghi, T. Fiez, "A comparison of three parallel $\Sigma\Delta$ A/D converters," *IEEE International Symposium on Circuits and Systems*, pp. 517–520, mai 1996.
- [50] A. Blad, H. Johansson, P. Lowenborg, "A general formulation of analog-to-digital converters using parallel sigma-delta modulators and modulation sequences", *IEEE Asia Pacific Conference on Circuits and Systems*, pp. 438-441, décembre 2006.
- [51] A. Beydoun, "Système de Numérisation Hautes Performances à Base de Modulateurs Sigma-Delta Passe-Bande," *Thèse de doctorat, Ecole Supérieure d'Electricité de Paris (SUPELEC)*, 2008.
- [52] UMTS, "User Equipment (UE) Radio Transmission and Reception (FDD), 3GPP TS 25.101, Version 6.19.0 Release 6," *European Telecommunications Standards Institute*, 2009.
- [53] R. Lahouli, M. Ben-Romdhane, C. Rebai, D. Dallet, "Towards flexible parallel sigma delta modulator for software defined receiver," *IEEE International Instrumentation and Measurement Technology Conference*, pp. 1041-1046, mai 2014.
- [54] V. Giannini, J. Craninckx, A. Baschiroto, "Baseband analog circuits for software defined radio," *Springer, Analog Circuits and Signal Processing*, ISBN 978-1-4020-6538-5, 2008.
- [55] J. Hu, H. Hei, Q. Liu, G. Liu, "CMOS 4th-order gm-c low-pass filter with wide tuning range in high frequency," *IEEE International Conference on ASIC*, pp. 277 – 279, octobre 2009.
- [56] T. Gao, W. Li, Y. Chen, N. Li, J. Ren, "A 5.5mW 80–400MHz Gm-C low pass filter with a unique auto-tuning system," *IEICE Electron. Express*, vol. 8, no. 13, pp. 1034 – 1039, 2011.
- [57] A. Nejdal, M. Tormanen, H. Sjöland, "A noise cancelling 0.7–3.8 GHz resistive feedback receiver front-end in 65 nm CMOS," *IEEE Radio Frequency Integrated Circuits Symposium – RFIC*, pp. 35 – 38, juin 2014.
- [58] A.M. El-Gabaly, C.E. Saavedra, "Wideband variable gain amplifier with noise cancellation," *Electronics Letters*, vol. 47, no. 2, pp. 116 – 118, janvier 2011.
- [59] H.D. Lee, K.A. Lee, S. Hong, "A Wideband CMOS Variable Gain Amplifier With an Exponential Gain Control," *IEEE Transactions on Microwave Theory and Techniques*, vol. 55, no. 6, pp. 1363 – 1373, juin 2007.
- [60] T.K.K. Tsang, K.-Y. Lin, M.N. El-Gamal, "Design Techniques of CMOS Ultra-Wide-Band Amplifiers for Multistandard Communications," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 55, no. 3, pp. 214 – 218, mars 2008.
- [61] S.U. Kang, J. Jang, I. Y. Oh, C. S. Park, "A 2.16 mW Low Power Digitally-Controlled Variable Gain Amplifier," *IEEE Microwave and Wireless Components Letters*, vol. 20, no. 3, pp. 172 – 174, mars 2010.
- [62] J. Cheng, F. Huang, Y. Gao, L. Wu, Y. Tian, "1GHz CMOS variable gain amplifier with 70dB linear-in-magnitude controlled gain range for UWB systems," *Asia-Pacific Conference on Communications*, pp. 195 – 198, octobre 2009.
- [63] H. Liu, X. Zhu, C.C. Boon, X. Yi, L. Kong, "A 71 dB 150 Variable-Gain Amplifier in 0.18 μm CMOS Technology," *IEEE Microwave and Wireless Components Letters*, vol.25, no. 5, pp. 334 - 336, mai 2015.
- [64] M. Ben-Romdhane, "Echantillonnage Non Uniforme appliqué à la Numérisation des Signaux Radio Multistandard," *Thèse de doctorat, Ecole Supérieure des Communication de Tunis, Sup'Com, et Ecole Nationale Supérieure des Télécommunications de Paris, TELECOM ParisTech*, 2009.
- [65] R. Lahouli, M. Ben-Romdhane, C. Rebai, D. Dallet, "Digital reconstruction stage of the FBD $\Sigma\Delta$ -based ADC architecture for multistandard receiver," *IMEKO TC4 and International Workshop on ADC Modelling and Testing*, pp. 355-360, septembre 2014.
- [66] J. Cherry, W. Snelgrove, "Continuous-Time Delta-Sigma Modulators for High-Speed A/D Conversion: Theory, Practice and Fundamental Performance Limits", *Kluwer Academic Publishers, Boston*, 2000.

- [67] N. Jouida, "Modulateur $\Sigma\Delta$ Complexe Passe-Bande a Temps-Continu pour la réception Multistandard", *Thèse de doctorat, École Supérieure des Communications de Tunis, Sup'Com, et Université Bordeaux 1*, 2010.
- [68] R. Lahouli, M. Ben-Romdhane, C. Rebai, D. Dallet, "Digital reconstruction stage of the FBD $\Sigma\Delta$ -based ADC architecture for multistandard receiver", *IMEKO TC4 and International Workshop on ADC Modelling and Testing, Research on Electric and Electronic Measurement for the Economic Upturn*, Benevento, Italy, septembre 2014.
- [69] Vivado Design Suite User Guide, "Model-Based DSP Design Using System Generator," *UG897 (v2015.3)*, Xilinx, septembre 2015.
- [70] Matlab & Simulink, "HDL Coder™ – Getting Started Guide", *The Mathworks, Inc.*, octobre 2015.
- [71] C. F. Fang, R. A. Rutenbar, T. Chen, "Fast, accurate static analysis for fixed-point finite-precision effects in DSP designs," *International Conference on Computer Aided Design*, pp. 275 – 282, novembre 2003.
- [72] G. A. Constantinides, P. Y. K. Cheung, W. Luk, "Wordlength optimization for linear digital signal processing," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 22, no. 10, pp. 1432 – 1442, octobre 2003.
- [73] G. Caffarena, C. Carreras, J. A. Lopez, A. Fernandez, "SQNR estimation of fixed-point DSP algorithms," *EURASIP Journal on Advances in Signal Processing*, vol. 2010, 2010.
- [74] K. N. Parashar, "System-level Approaches for Fixed-point Refinement of Signal Processing Algorithms," *Thèse de doctorat, Université de Rennes 1*, 2012.
- [75] A. B. Kinsman, N. Nicolici, "Automated range and precision bit-width allocation for iterative computations," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 30, no. 9, pp. 1265 – 1278, septembre 2011.
- [76] J. Chung, L. W. Kim, "Bit-width optimization by divide-and-conquer for fixed-point digital signal processing systems," *IEEE Transactions on Computers*, vol. 64, no. 11, pp. 3091 – 3101, novembre 2015.
- [77] R. E. Crochiere, L. R. Rabiner, "Interpolation and decimation of digital signals – a tutorial review," *Proceedings of the IEEE*, vol. 69, no. 3, pp. 300 – 331, mars 1981.
- [78] M. W. Coffey, "Optimizing multistage decimation and interpolation processing," *IEEE Signal Processing Letters*, vol. 10, no. 4, pp. 107 – 110, avril 2003.
- [79] M. W. Coffey, "Optimizing multistage decimation and interpolation processing – Part II," *IEEE Signal Processing Letters*, vol. 14, no. 1, pp. 24 – 26, janvier 2007.
- [80] G. Molina Salgado, G. J. Dolecek, J. M. de la Rosa "An overview of decimators structures for efficient sigma-delta converters: trends, design issues and practical solutions," *IEEE International Symposium on Circuits and Systems*, pp. 1592 – 1595, juin 2014.
- [81] Q. Liu, J. Gao, "On design of efficient COMB decimator with improved response for sigma-delta analog-to-digital converters," *International Congress on Image and Signal Processing*, pp. 1 – 5, octobre 2009.
- [82] M. Laddomada, "Generalized COMB decimation filters for $\Sigma\Delta$ A/D converters: analysis and design," *IEEE Transactions on Circuits and Systems II: Regular Papers*, vol. 54, no. 5, pp. 994 – 1005, mai 2007.
- [83] C. Lei, Z. Yuanfu, G. Deyuan, W. Wu, W. Zongmin, Z. Xiaofei, P. Heping, "A decimation filter design and implementation for oversampled sigma delta A/D converters," *IEEE International Workshop on VLSI Design and Video Technology*, pp. 55 – 58, mai 2005.
- [84] L. Li, X. Huang, Z. Yu, "A full custom half-band filter used for sigma-delta ADC," *International Conference on Anti-Counterfeiting Security and Identification in Communication*, pp. 116 – 119, juillet 2010.
- [85] J. Cao, Y. Liu, B. Jiang, X. Liu, "The design and implementation of sigma delta ADC digital decimation filter," *International Conference on Information Science and Cloud Computing Companion*, pp. 335 – 338, décembre 2013.
- [86] R. Lahouli, M. Ben-Romdhane, C. Rebai, D. Dallet "Mixed baseband architecture based on FBD $\Sigma\Delta$ -based ADC for multistandard receivers," *ACTA IMEKO*, vol. 4, no. 3, pp. 14 – 22, septembre 2015.
- [87] J. G. Proakis, D. G. Manolakis, "Digital Signal Processing, Principles, Algorithms, and Applications," *Prentice-Hall International, INC.*, Third Edition, chp. 4, pp. 340 – 343, 1996.
- [88] W.-B. Lin, B.-D. Liu, "Multitone signal generator using noise-shaping technique," *IEE Proceedings-Circuits, Devices and Systems*, vol. 151, no. 1, pp. 25 – 30, février 2004.