



**HAL**  
open science

## Onduleur à forte intégration utilisant des semi-conducteurs à grand gap

Guillaume Regnat

► **To cite this version:**

Guillaume Regnat. Onduleur à forte intégration utilisant des semi-conducteurs à grand gap. Energie électrique. Université Grenoble Alpes, 2016. Français. NNT : 2016GREAT050 . tel-01390518

**HAL Id: tel-01390518**

**<https://theses.hal.science/tel-01390518>**

Submitted on 2 Nov 2016

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

## THÈSE

Pour obtenir le grade de

### **DOCTEUR DE LA COMMUNAUTE UNIVERSITE GRENOBLE ALPES**

Spécialité : **Génie Electrique**

Arrêté ministériel : 7 août 2006

Présentée par

### **Guillaume REGNAT**

Thèse dirigée par **Jean-Paul FERRIEUX**  
codirigée par **Pierre-Olivier JEANNIN, David FREY, Stefan  
MOLLOV et Jeffrey Ewanchuk**

préparée au sein du **Laboratoire de Génie Electrique de  
Grenoble (G2Elab)**  
dans **l'École Doctorale Electronique, Electrotechnique,  
Automatique et Traitement du Signal**

## **Onduleur à forte intégration utilisant des semi-conducteurs à grand gap**

Thèse soutenue publiquement le **11 Juillet 2016**  
devant le jury composé de :

**M. Thierry MEYNARD**

Directeur de recherches, laboratoire LAPLACE, Toulouse, Président du jury

**M. Cyril BUTTAY**

Chargé de recherches, laboratoire Ampère, Lyon, Rapporteur

**M. Stéphane LEFEBVRE**

Professeur, laboratoire SATIE, Cachan, Rapporteur

**M. Jean-Paul FERRIEUX**

Professeur, laboratoire G2Elab, Grenoble, Membre

**M. Pierre-Olivier JEANNIN**

Maître de conférences, laboratoire G2Elab, Grenoble, Membre

**M. David FREY**

Maître de conférences, laboratoire G2Elab, Grenoble, Membre

**M. Stefan MOLLOV**

Ingénieur de recherche, MITSUBISHI ELECTRIC R&D Centre Europe, Rennes, Invité





*Je dis ce que je vois*

*Ce que je sais*

*Ce qui est vrai*

Paul Eluard

---





*A mes parents*

---



# Remerciements

---

## *Préface des remerciements*

*Dans un style qui lui est propre, Guillaume Régnat profite de cette page blanche pour proposer au lecteur un peu de douceur avant de le faire pénétrer dans cet univers si rugueux de l'électronique de puissance. Dans cet exercice il parvient à mettre des mots sur l'immense gratitude qu'il éprouve à l'égard de ses proches et de ses collègues. L'admiration qu'il porte pour ses pairs de l'électronique de puissance mais aussi la plénitude qui l'habite lorsqu'il est en présence de ses amis et sa famille en devient tangible. Cette page conviendra parfaitement à celui qui n'a pas pu se rendre à la soutenance de thèse et sera un complément pour celui qui a pu y assister.*

*Benjamin Pichancourt*

Les remerciements d'un manuscrit de thèse sont un exercice délicat. Comment être exhaustif au vu du nombre de personnes rencontrés et d'amitiés noués pendant ces trois années ?

Pour débiter tranquillement, je commencerai, comme il se doit, par la partie officielle. Je remercie en premier lieu M. Thierry Meynard, d'avoir présidé mon jury de thèse. Je remercie ensuite M. Cyril Buttay ainsi que M. Stéphane Lefebvre d'avoir rapporté mes travaux de thèse.

C'est avec une grande joie et un grand honneur que je remercie mes trois encadrants du G2ELAB. Jean-Paul Ferrieux, un grand nom de l'électronique de puissance en France mais toujours à l'écoute et disponible pour la moindre question. Merci pour ta confiance apportée lors de ces trois années. Le sujet de thèse manquait un peu de commutation douce mais j'espère bien creuser le sujet dans les années à venir. Je remercie également chaleureusement David Frey. La compatibilité électromagnétique m'était un sujet inconnu et je te remercie de m'avoir donné un éclairage sur cette partie obscure de l'électronique de puissance. Enfin, je remercie particulièrement Pierre-Olivier Jeannin. Cela fait maintenant près de 5 ans que nous collaborons au G2ELAB. Le projet PPSMPAB était une sacrée première expérience professionnelle pour ma part et je n'ai pas été déçu. Merci de m'avoir fait confiance en me proposant cette thèse par la suite. Je te remercie également de m'avoir introduit au monde du packaging d'électronique de puissance. Enfin, je n'oublie pas tout le personnel administratif et technique du laboratoire. Sans eux, rien ne fonctionnerait.

J'ai également de nombreuses personnes à remercier au sein de Mitsubishi Electric à Rennes. Tout d'abord, Stefan Mollov. Quelle énergie ! Quand tu as une idée en tête, rien ne peut t'arrêter. Merci pour ta confiance, toutes ces discussions et tes nombreux « Bullshit ». Je remercie avec une vive émotion Guillaume Lefèvre. Dans la grande lignée du Ferrieuxisme, tu serais un peu l'enfant sauvage. J'ai beaucoup admiré ta rigueur scientifique, ton engagement et ton envie perpétuel d'approfondir tes connaissances. J'espère bien que l'on puisse continuer à collaborer ensemble, quelques temps encore, sur ce vaste sujet qu'est l'électronique de puissance. Merci également à Jeffrey Ewanchuk. Le canadien naufragé à Rennes. Désolé si mon anglais était un peu trop teinté français. Enfin, merci à toute l'équipe électronique de puissance de MERCE (Roberto, Nicolas, Julio, Luc, et les autres que j'oublie...). Encore une fois, je remercie toute l'équipe administrative de MERCE. Je tiens également à m'excuser auprès du service informatique pour tous mes oublis de mot de passe. Pas simple de consulter ses mails...

J'en viens maintenant à tous les collègues du labo. La tâche n'est pas évidente. Je repense à la grande équipe EP du début : Ekaitz le basque fougueux, Gatien le poète coureur, Mounir le mécano de l'extrême, Johan le motard crooner, Geneviève la spéléologue sauvage, Mélissa la chanteuse langoureuse, Léonardo la tireuse brésilienne. Que de bons moments passés dans l'herbe grasse du campus de Saint Martin d'Hères ou autour d'une bière bien fraîche. Et que dire de tous les autres : Fabien, Farschid, Manue, Clémentine, Maximin, Clément, Diégo, Antoine, Wahid, Benoit, Alexis... J'ai une pensée émue pour chacun et chacune, qui est malheureusement difficile à mettre par écrit.

Je ne peux pas oublier non plus toute la Team Giéroise (ainsi que toutes les personnes passées tôt ou tard par le cagibi) : Simon, Lucas, Guillaume, Mimi, Victor, Poule-up, Sean Poule. Spéciale dédicace également à celui qui a introduit le football dans cet univers de

hippie : Benjamin a.k.a. Pich. J'inclus également dans la fine équipe le célèbre Hugo, navigateur de l'impossible, découvreur de houblon exotique et grilleur insatiable de saucisse à la plancha. Et enfin une pensée à notre père à tous, éternel mangeur de soupe et randonneur infatigable (même avec son quintal) : Pierre a.k.a. Le Père.

Trois années passées à la colloc Brossolette ne s'oublient pas non plus. Tant de monde sont passés par cette institution. Je pense notamment au millésime exceptionnel de couples d'amis formés pendant ces années : Loïc le physicien chauve avec Marion la jardinière, Camille la cavalière frisée avec Jé le grimpeur turbulent et bien d'autres...Une véritable auberge espagnole.

Cela me conduit naturellement à dédier ce mémoire à la personne avec qui je partage des moments inoubliables depuis maintenant quelques années. Tes yeux bleus insondables et ta frimousse blonde sont un bonheur quotidien.

Finalement, je veux terminer ces louanges en remerciant profondément toute ma famille. Merci à ma grande sœur pour être toujours aussi forte mais également toujours souriante. Peut-être es-tu la suivante pour une thèse en philosophie ? Je dédie particulièrement ce mémoire à mes parents. Je les remercie pour toute la confiance qu'ils m'ont apportée lors des différents choix que j'ai pu faire tout au long de mes études. Mais surtout, je les remercie pour l'éducation qu'ils m'ont donnée, empreinte d'humanisme et de générosité.



# Sommaire général

---

|  |           |
|--|-----------|
| <b>INTRODUCTION GENERALE</b> -----   | <b>13</b> |
| <b>CHAPITRE I</b> -----  | <b>17</b> |
| <b>I.1. Introduction</b> -----   | <b>19</b> |
| <b>I.2. Les semi-conducteurs à grand gap</b> -----                                     | <b>20</b> |
| I.2.1. Les matériaux à grand gap-----  | 20        |
| I.2.2. Les transistors commercialisés-----   | 22        |
| I.2.2.1. MOSFET SiC-----   | 23        |
| I.2.2.2. HEMT GaN-----   | 27        |
| <b>I.3. Influence des transistors à grand gap sur la cellule de commutation</b> -----  | <b>30</b> |
| I.3.1. Définition de la cellule de commutation et des éléments parasites associés----- | 30        |
| I.3.2. Description de la commutation MOS - MOS-----                                    | 32        |
| I.3.3. Analyse des limites de fonctionnement de la cellule de commutation-----         | 34        |
| I.3.3.1. La maille de puissance-----   | 34        |
| I.3.3.2. Le circuit de commande rapproché-----   | 37        |
| I.3.3.3. La compatibilité électro-magnétique (CEM)-----                                | 39        |
| I.3.3.4. Pertes et gestion thermique-----  | 42        |
| <b>I.4. Le packaging en électronique de puissance</b> -----                            | <b>44</b> |
| I.4.1. L'assemblage classique-----   | 44        |
| I.4.2. Le packaging des composants de faible puissance-----                            | 45        |
| I.4.3. Le packaging des modules de puissance-----                                      | 48        |
| I.4.3.1. Amélioration de l'assemblage classique-----                                   | 48        |
| I.4.3.1. Optimisation du routage-----  | 48        |
| I.4.3.1. Suppression des fils de bonding-----  | 49        |
| I.4.3.1. Connexion par busbar-----   | 51        |
| I.4.3.1. Intégration du condensateur de découplage-----                                | 51        |
| I.4.3.2. Le packaging 3D-----  | 51        |
| I.4.3.2. Module à refroidissement double face-----                                     | 52        |
| I.4.3.2. Module basé sur un procédé de fabrication de circuit imprimé-----             | 53        |
| <b>I.5. Conclusion</b> -----   | <b>56</b> |
| <b>CHAPITRE II</b> -----   | <b>57</b> |
| <b>II.1. Définition du projet</b> -----  | <b>61</b> |
| <b>II.2. Module de puissance 3D basé sur un procédé de fabrication PCB</b> -----       | <b>64</b> |
| II.2.1. Le concept « Power Chip On Chip »-----   | 64        |
| II.2.1.1. Une cellule de commutation en 3D-----  | 64        |
| II.2.1.2. Réalisations précédentes-----  | 65        |
| II.2.2. La technologie du circuit imprimé (PCB)-----                                   | 66        |



|                     |  |            |
|---------------------|--|------------|
| II.2.2.1.           | Les différents matériaux -----   | 66         |
| II.2.2.2.           | Le procédé de fabrication standard -----   | 68         |
| II.2.2.3.           | Avantages et inconvénients-----  | 69         |
| II.2.3.             | Module PCOC avec procédé de fabrication PCB-----                                       | 70         |
| <b>II.3.</b>        | <b>Analyse électrique du module-----</b>   | <b>74</b>  |
| II.3.1.             | Modélisation électromagnétique -----   | 74         |
| II.3.1.1.           | Présentation de la géométrie avec INCA3D -----   | 74         |
| II.3.1.2.           | Maille de commutation -----  | 76         |
| II.3.1.3.           | Circuit de grille -----  | 79         |
| II.3.1.3.           | Inductance propre -----  | 79         |
| II.3.1.3.           | Interaction puissance – commande -----   | 81         |
| II.3.2.             | Modélisation électrostatique -----   | 83         |
| II.3.2.1.           | Capacités inter-électrodes additionnelles du package -----                             | 83         |
| II.3.2.2.           | Capacités de mode commun -----   | 87         |
| II.3.3.             | Simulation SPICE -----   | 87         |
| II.3.3.1.           | Présentation du circuit -----  | 88         |
| II.3.3.2.           | Résultats de simulations-----  | 88         |
| II.3.3.3.           | Calcul du rendement de l'onduleur-----   | 92         |
| II.3.4.             | Conclusion partielle de l'analyse électrique du module -----                           | 94         |
| <b>II.4.</b>        | <b>Analyse thermique du module -----</b>   | <b>95</b>  |
| II.4.1.             | Contexte de l'étude -----  | 95         |
| II.4.2.             | Les systèmes de refroidissement -----  | 97         |
| II.4.2.1.           | Définition du coefficient d'échange convectif -----                                    | 97         |
| II.4.2.2.           | Réalisation et caractérisation d'un système de refroidissement à eau -----             | 98         |
| II.4.3.             | Influence thermique de l'isolation électrique -----                                    | 100        |
| II.4.3.1.           | Modèle thermique analytique-----   | 101        |
| II.4.3.2.           | Comparaison de différents isolants -----   | 103        |
| II.4.4.             | Interconnexion par micro-via -----   | 109        |
| II.4.4.1.           | Proposition d'un modèle thermique unidimensionnel-----                                 | 109        |
| II.4.4.2.           | Comparaison avec des solutions classiques d'attache de puce -----                      | 111        |
| II.4.4.3.           | Extension du modèle aux autres couches de via -----                                    | 112        |
| II.4.5.             | Simulation thermique 3D du module-----   | 114        |
| II.4.5.1.           | Présentation de la géométrie -----   | 114        |
| II.4.5.2.           | Analyse de la dissymétrie des pertes au niveau de la puce -----                        | 116        |
| II.4.5.3.           | Influence de la conductivité thermique de la couche diélectrique encapsulant les puces | 121        |
| II.4.5.4.           | Influence de l'épaisseur de la couche de cuivre externe-----                           | 122        |
| II.4.6.             | Conclusion partielle de l'analyse thermique du module -----                            | 124        |
| <b>II.5.</b>        | <b>Conclusion sur la conception du module de puissance 3D -----</b>                    | <b>126</b> |
| <b>CHAPITRE III</b> | <b>-----</b>   | <b>129</b> |
| <b>III.1.</b>       | <b>Introduction -----</b>  | <b>131</b> |
| <b>III.2.</b>       | <b>Aspects technologiques -----</b>  | <b>131</b> |

|               |  |            |
|---------------|--|------------|
| III.2.1.      | Métallisation des puces -----  | 131        |
| III.2.2.      | Choix du type de prepreg -----   | 136        |
| III.2.3.      | Mise en œuvre des puces-----   | 137        |
| III.2.4.      | Electrodéposition du cuivre -----  | 138        |
| <b>III.3.</b> | <b>Caractérisation du module de puissance-----</b>                         | <b>140</b> |
| III.3.1.      | Présentation des prototypes testés -----                                   | 140        |
| III.3.2.      | Caractérisation électrique statique d'un demi-module-----                  | 141        |
| III.3.2.1.    | Résistance à l'état passant et caractéristique en inverse-----             | 142        |
| III.3.2.2.    | Tenue en tension -----   | 145        |
| III.3.3.      | Caractérisation électrique dynamique d'une cellule de commutation 3D ----- | 147        |
| <b>III.4.</b> | <b>Comparaison module plan – module 3D -----</b>                           | <b>153</b> |
| III.4.1.      | Présentation du module plan -----  | 153        |
| III.4.2.      | Comparaison électrique dynamique -----                                     | 155        |
| III.4.3.      | Comparaison CEM-----   | 159        |
| III.4.3.1.    | Test à vide -----  | 161        |
| III.4.3.2.    | Conclusion partielle de l'étude CEM-----                                   | 164        |
| <b>III.5.</b> | <b>Conclusion de l'étude expérimentale -----</b>                           | <b>165</b> |
|               | <b>CONCLUSION GENERALE-----</b>  | <b>167</b> |
|               | <b>BIBLIOGRAPHIE-----</b>  | <b>173</b> |
|               | <b>ANNEXE 1 -----</b>  | <b>181</b> |
|               | <b>ANNEXE 2 -----</b>  | <b>189</b> |
|               | <b>ANNEXE 3 -----</b>  | <b>201</b> |



## Introduction générale

---



Les domaines d'application des convertisseurs d'électronique de puissance ne font que croître d'année en année. Du domaine des transports (avion plus électrique, véhicule hybride ou électrique), à l'informatique (ordinateurs portables, tablettes, alimentation sans interruption, datacenters) en passant par le domaine de l'énergie (solaire photovoltaïque, éolien, smart grid), l'électronique de puissance se généralise dans notre vie quotidienne.

Les systèmes de conversion de l'énergie électrique doivent non seulement être efficaces et fiables mais aussi plus compacts. L'optimisation globale d'un convertisseur requiert une approche multi-physique afin, d'une part, de modéliser les interactions des composants du système et, d'une autre part, de modéliser les phénomènes physiques présents au sein d'un seul composant.

Le cœur de l'électronique de puissance reste l'interrupteur. Il est constitué d'un matériau semi-conducteur comme le silicium ou de matériaux dits « à grand gap » tels que le carbure de silicium ou le nitrure de gallium. Ces deux dernières technologies connaissent un fort développement et visent à concurrencer la filière silicium. De nombreuses études soulèvent les avantages théoriques de ces nouvelles technologies qui pourraient mener à des gains conséquents au niveau de la compacité des convertisseurs, entre autres.

Malgré tout, il est encore bien difficile d'annoncer la fin de la filière silicium. En effet, les transistors à grand gap présentent de nombreuses difficultés de mise en œuvre au sein des convertisseurs qui proviennent des caractéristiques intrinsèques des composants (forte vitesse de commutation, importante densité de puissance) et de son interaction avec son environnement direct (boîtier ou package). En effet, les éléments parasites du package ne sont plus négligeables et limitent les performances de l'interrupteur. Il va donc falloir améliorer le package pour pouvoir faire fonctionner ces composants (et les futures générations potentiellement plus rapides) d'une manière optimale.

Les travaux présentés dans cette thèse sont donc centrés sur le développement d'un package innovant dédié aux composants à grand gap. Le packaging conventionnel repose sur l'utilisation d'un substrat céramique (DBC), qui assure l'isolation électrique ainsi qu'un bon comportement thermique, et l'utilisation des fils de « bonding », qui permettent le report des potentiels électriques de la puce sur le substrat. Cet assemblage est fondamentalement bidimensionnel.

Pour tendre vers un package n'ayant plus d'influence sur l'interrupteur de puissance, l'ajout d'un degré de liberté supplémentaire est intéressant. Le packaging 3D existe déjà mais reste basé sur l'utilisation de substrat DBC conventionnel. Dans cette thèse, une rupture technologique est proposée en utilisant un procédé de fabrication de circuit imprimé pour la réalisation d'un module de puissance en trois dimensions. Ce procédé de fabrication est développé industriellement depuis de nombreuses années assurant ainsi une maîtrise des coûts de production. Pourquoi ne pas l'appliquer dans le cadre d'un module de puissance ?

Dans la suite de ce mémoire, la conception d'un tel module de puissance à base de composants à grand gap est présentée. La cellule de commutation est agencée d'une manière originale, lui conférant d'excellentes propriétés électriques. Un module est réalisé avec des outils industriels puis caractérisé. Enfin, une étude comparative avec un module de conception conventionnel est menée et valide la démarche de conception.



## Chapitre I

---

### *Le défi du packaging des transistors à grand gap*



## Résumé

Les transistors à grand gap ont fait leur apparition sur le marché des semi-conducteurs d'électronique de puissance depuis maintenant une dizaine d'années. Deux types de technologies ont vu le jour ; la plus ancienne est basée sur le matériau Carbure de Silicium (SiC) tandis que la plus récente est basée sur le matériau Nitrure de Gallium (GaN). Les propriétés intrinsèques de ces matériaux à large bande interdite permettent une augmentation des performances des transistors de puissance en comparaison aux technologies basés sur le Silicium (Si). Dans le cas du carbure de silicium, les principaux fabricants commercialisent des transistors à effet de champ à grille isolée (MOSFET) à technologie verticale visant des applications haute tension et fort courant venant concurrencer directement les transistors bipolaires à grille isolée (IGBT) en silicium. Les transistors à base de nitrure de gallium sont principalement des transistors à effet de champ à hétérostructure (HEMT). Leur structure est horizontale limitant leur tenue en tension à 650V pour les transistors disponibles dans le commerce. L'application visée ici est la conversion d'énergie de faible puissance à haute fréquence venant concurrencer le MOSFET en silicium.

Ces nouvelles technologies de transistors impactent fortement la cellule de commutation. A cause de l'augmentation des vitesses de commutation, les éléments parasites du packaging deviennent prépondérants et limitent les performances des transistors à grand gap. L'assemblage classique des modules de puissance sur substrat céramique (Direct Bonded Copper, DBC) avec report des puces par brasure et interconnexion par câblage de fil (wire bonding) semble ne plus être adapté pour les transistors à grand gap. De nombreux travaux de recherche ont été menés pour améliorer cet assemblage. Cependant, le caractère planaire de l'assemblage contraint fortement le design du module. Une approche tridimensionnelle permet d'avoir d'avantage de degrés de liberté pour minimiser les éléments parasites. La technologie de circuit imprimé (PCB) est une voie novatrice pour intégrer des composants actifs dans un environnement tridimensionnel. Le procédé permet également une fabrication de masse pouvant ainsi réduire sensiblement les coûts.

## I.1.Introduction

Les interrupteurs pour l'électronique de puissance sont apparus dans les années 1950 aux Etats-Unis avec la première diode de puissance en 1952 par R.N. Hall [1] puis le thyristor en 1958 par R.P. Frenzel et F.W. Gutzwiller [2]. Depuis soixante ans, de nombreuses technologies d'interrupteurs ont émergé. Celles-ci sont basées sur le silicium comme matériau semi-conducteur. Le transistor à effet de champ à grille isolée (MOSFET) a été inventé en 1960 par D. Kahng et M.M. Atalla au Bell Labs [3]. Les premières structures de MOSFET sont de type latéral et il a fallu attendre les années 1970 pour voir l'apparition des MOSFET de puissance à structure verticale [4] telle que nous la connaissons actuellement. Le transistor bipolaire à grille isolée (IGBT) a été développé puis commercialisé dans les années 1980 [5]. Le transistor IGBT s'est imposé dans le domaine des moyennes tensions (600V à 6.5kV) alors que le transistor MOSFET reste cantonné aux applications de faible tension (inférieure à 600V). Dans les années 2000, l'introduction de la technologie « super jonction » par Infineon [6] a permis de repousser les limites du transistor MOSFET.

Parallèlement, le matériau carbure de silicium (SiC) a fait son apparition dans le domaine de l'électronique de puissance. Les diodes Schottky SiC sont les premiers composants à être commercialisés suivis par les premiers MOSFET SiC au début des années 2010 [7]. Les propriétés intrinsèques du SiC permettent d'améliorer les caractéristiques des diodes dans la gamme de tension 600V – 1700V comparativement aux diodes PIN en silicium de même calibre en tension [8]. De nombreuses comparaisons ont été réalisées entre MOSFET SiC et IGBT pour un calibre en tension de 1200V [9] [10] [11]. Les résultats de ces études mettent en avant la réduction des énergies de commutation des MOSFET SiC permettant ainsi de diminuer les pertes et d'augmenter le rendement des convertisseurs à commutation dure. Plus récemment, les transistors à base de Nitrure de Gallium (GaN) ont été commercialisés. Ils sont basés sur une hétérostructure s'apparentant à un comportement de transistor à effet de champ (HEMT ou HFET) [12]. Leur tenue en tension est aujourd'hui limitée à 650V.

D'un côté, la technologie des interrupteurs de puissance a grandement évolué depuis soixante ans. Cependant, il ne faut pas oublier qu'un transistor doit être connecté avec son environnement extérieur. Pour cela, le packaging ou encapsulation est indispensable au bon fonctionnement de l'interrupteur. L'évolution des techniques de packaging est à mettre en parallèle avec l'évolution des technologies des transistors de puissance. Dans un contexte d'augmentation de la densité de puissance, la taille des puces s'est considérablement réduite entraînant de nombreuses évolutions dans les techniques d'interconnexions [13]. Le câblage par « wire bonding » est aujourd'hui la norme pour la plupart des modules. Le type de substrat pour reporter la puce a aussi fait l'objet de nombreuses recherches. Les substrats à base de céramique (Direct Bonded Copper, DBC) sont largement utilisés grâce à leurs bonnes propriétés thermique et diélectrique [14]. Le report de la puce sur le substrat par brasure est aujourd'hui bien maîtrisé et de nouvelles techniques d'attache par frittage de poudre d'argent deviennent accessibles [15].

L'assemblage classique a été optimisé durant de longues années. Néanmoins, l'arrivée des transistors à grand gap remet en cause l'utilisation de ce procédé d'encapsulation. A cause de leur très grande vitesse de commutation et de leur faible taille, le packaging classique semble ne plus être adapté. En effet, il introduit de nombreux éléments parasites limitant les performances des transistors à grand gap. Ces éléments parasites viennent principalement de la technique d'interconnexion par wire bonding et du caractère

bidimensionnel de l'assemblage. Pour tirer pleinement profit de ces nouveaux composants, une approche tridimensionnelle du packaging peut être une solution.

## I.2. Les semi-conducteurs à grand gap

En physique du semi-conducteur, le gap ou bande interdite correspond à l'énergie entre la bande de valence et la bande de conduction. Pour qu'un électron passe de la bande de la valence à la bande de conduction, il faudra fournir l'énergie correspondant au gap. Dans le cas du silicium, la bande interdite est de 1.12eV à 300K [16]. Les semi-conducteurs à grand gap sont appelés ainsi du fait que leur bande interdite est supérieure à celle du silicium. Notons que plus le gap est grand et plus on tend vers un matériau isolant d'un point de vue électrique. Historiquement, le silicium s'est imposé comme le matériau semi-conducteur par excellence grâce à son faible coût et sa grande disponibilité. L'évolution des technologies d'interrupteurs en silicium a conduit à se rapprocher des limites théoriques du matériau. Une solution permettant d'améliorer les caractéristiques des transistors de puissance, autant en conduction qu'en commutation, peut venir du changement de matériau semi-conducteur.

### I.2.1. Les matériaux à grand gap

Les recherches sur les matériaux à grand gap ont permis de mettre en avant plusieurs matériaux particulièrement intéressants pour des applications en électronique de puissance : le carbure de silicium (SiC), le nitrure de gallium (GaN) et le diamant (C). Les propriétés de ces matériaux sont rappelées dans le tableau suivant [17] [18].

| Propriétés  | Si   | 4H-SiC | GaN                   | Diamant |
|---|------|--------|-----------------------|---------|
| Largeur de bande interdite :<br>$E_g$ (eV)                                | 1.12 | 3.26   | 3.39                  | 5.47    |
| Champ de claquage :<br>$E_c$ (MV/cm)                                      | 0.23 | 2.2    | 3.3                   | 5.6     |
| Mobilité des porteurs de charge :<br>$\mu_n$ (cm <sup>2</sup> /V.s)       | 1400 | 950    | 800/1700 <sup>1</sup> | 1800    |
| Constante diélectrique :<br>$\epsilon_r$                                  | 11.8 | 10     | 9                     | 5.5     |
| Vitesse de saturation des électrons :<br>$v_{sat}$ (10 <sup>7</sup> cm/s) | 1.0  | 2.0    | 2.5                   | 2.7     |
| Conductivité thermique :<br>$\lambda$ (W/cm.K)                            | 1.5  | 3.8    | 1.3/3 <sup>2</sup>    | 20      |
| <sup>1</sup> : Différence entre matériau GaN et hétérojonction GaN/AlGaN  |      |        |                       |         |
| <sup>2</sup> : Différence entre croissance GaN sur Si et GaN massif       |      |        |                       |         |

Tableau 1: Propriétés intrinsèques du silicium et des matériaux à grand gap

Comparativement au silicium, la largeur de bande interdite est trois fois plus élevée pour le carbure de silicium et le nitrure de gallium et cinq fois plus élevée pour le diamant. Cette propriété, associée à une très faible densité intrinsèque de porteurs, est intéressante pour le fonctionnement à haute température. En effet, avec l'augmentation de la température, les électrons de la bande de valence gagnent de l'énergie leur permettant, à partir d'une certaine limite, de passer dans la bande de conduction. Le matériau perd ainsi ses propriétés de semi-conducteur. Le dopage intentionnel n'étant plus prépondérant devant la génération thermique de porteurs. La limite de fonctionnement des composants silicium est autour de 175°C alors que dans le cas du carbure de silicium, un fonctionnement au-delà de 250°C est envisageable théoriquement [19].

Le champ de claquage ( $E_c$ ) est un paramètre déterminant des semi-conducteurs. Il est dix fois plus élevé dans le carbure de silicium ou le nitrure de gallium et vingt fois plus élevé dans le diamant par rapport au silicium. Pour mettre en évidence l'importance de ce paramètre, l'équation (1) représente une approximation de la résistance spécifique de la région de drift d'un MOSFET à structure verticale [20].

$$R_{sp} = \frac{4V_{br}^2}{\epsilon_0 \epsilon_r \mu_n E_c^3} \quad (1)$$

La résistance spécifique est fonction du carré de la tenue en tension ( $V_{br}$ ) et inversement proportionnelle au cube du champ de claquage. Pour un champ de claquage dix fois plus élevé, on a donc une résistance spécifique mille fois plus faible pour la même tenue en tension. Il est également possible d'interpréter ce résultat d'une manière empirique. Etant donné le plus grand champ de claquage, l'épaisseur de la zone de drift est inversement plus faible pour une même tension blocable. Parallèlement, le dopage peut être accru, réduisant la résistance de la zone de drift.

La vitesse de saturation des électrons est entre deux et trois fois plus élevée pour les matériaux à grand gap. Ce paramètre est en lien avec la vitesse de commutation des transistors, montrant une aptitude des transistors à grand gap à commuter plus vite que leurs homologues en silicium et ainsi réduire les pertes en commutation.

La conductivité thermique est également un élément clef pour le bon refroidissement d'un transistor de puissance. Elle est 2.5 fois plus élevée dans le cas du carbure de silicium et plus de 10 fois supérieure dans le cas du diamant en comparaison avec le silicium. Pour les transistors en nitrure de gallium, la conductivité thermique est équivalente à celle du silicium car la couche de GaN est réalisée par croissance épitaxiale généralement sur un substrat silicium.

Plusieurs figures de mérite ont été proposées par le passé. Celles-ci permettent de comparer les différents matériaux semi-conducteurs dans une optique d'interrupteur d'électronique de puissance. On peut citer le Johnson Factor of Merit (JFM), le Keyes Factor of Merit (KFM), le Baliga Factor of Merit (BFM) ainsi que le Baliga High Frequencies Factor of Merit (BHFFM) [20]. Elles ne seront pas développées dans ce manuscrit mais se retrouvent largement dans la littérature pour la comparaison des matériaux à grand gap.

A titre de comparaison, la résistance spécifique en fonction de la tenue en tension est représentée pour différents types d'interrupteurs en silicium, carbure de silicium et nitrure de gallium en Figure 1. Les limites théoriques de la résistance spécifique pour les composants unipolaires sont représentées pour les trois matériaux ainsi que la limite théorique des transistors IGBT en silicium proposé par Nakagawa [21].

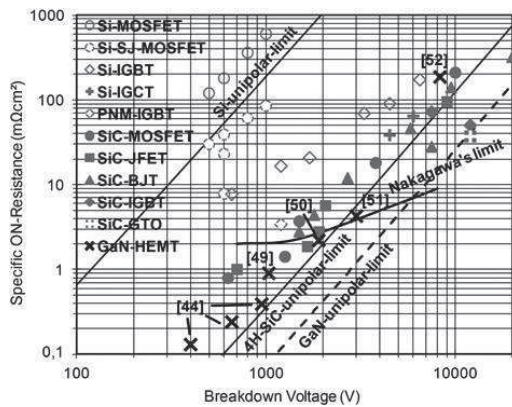


Figure 1: Résistance spécifique en fonction de la tenue en tension [21]

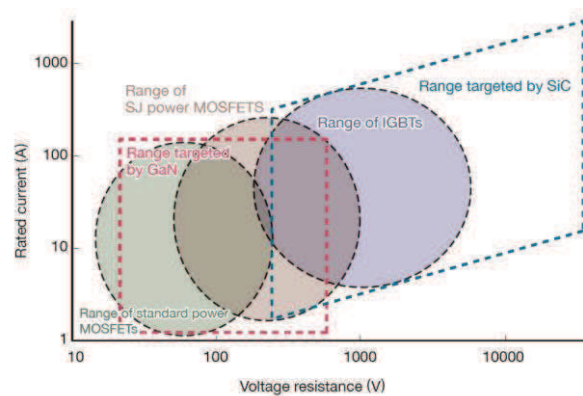


Figure 2: Perspective d'application des composants GaN et SiC [22]

Les composants à super jonction en silicium dépassent les limites des composants unipolaires classiques. Il existe encore une grande marge de progression pour les composants IGBT en silicium qui permettraient de venir concurrencer directement les MOSFET en carbure de silicium. Cependant, ce graphique ne prend pas en compte les aspects de perte en commutation où les composants unipolaires sont incontestablement meilleurs que les composants bipolaires. Dans le cas d'application à faible coût et à basse fréquence (<50kHz), le composant IGBT a encore un bel avenir devant lui. On peut aussi remarquer que les composants MOSFET SiC s'approchent d'avantage de la limite théorique en haute tension plutôt qu'en basse tension. Cela vient du fait qu'en haute tension la contribution majeure de la résistance à l'état passant vient de la résistance de drift et la résistance des contacts est négligeable. En basse tension la résistance des contacts contribue proportionnellement davantage à la résistance à l'état passant limitant ainsi celle-ci. Enfin, les composants en nitrure de gallium de type HEMT sont actuellement les plus prometteurs pour ce matériau. Ils restent encore éloignés de la limite théorique car moins mûrs technologiquement que les composants en carbure de silicium. Les composants en diamant ne sont pas représentés dans cette figure. En effet, ils sont encore au stade de la recherche fondamentale. Ce matériau est le semi-conducteur ultime mais de nombreux verrous technologiques doivent encore être levés avant la réalisation d'un composant proche d'un niveau industriel. On peut quand même citer les travaux de recherche de l'Institut Néel à Grenoble [23][24].

Les transistors à base de carbure de silicium et nitrure de gallium sont en fort développement dans l'industrie. Une tendance se dégage actuellement pour le champ d'application de ces deux matériaux [22]. D'après la Figure 2, les transistors GaN visent des applications en basse tension ( $\leq 600V$ ) venant concurrencer les MOSFET de puissance traditionnels ou à super jonction dans l'optique de la conversion de puissance à haute fréquence. Les composants SiC visent davantage la haute tension ( $\geq 1200V$ ) et la haute puissance en remplacement des composants IGBT en silicium.

### 1.2.2. Les transistors commercialisés

Les transistors à grand gap en GaN ou SiC sont aujourd'hui disponibles dans le commerce. Les transistors en carbure de silicium sont le plus souvent des MOSFET ou des JFET. Le tableau suivant indique les principaux fabricants ainsi que les caractéristiques de leurs transistors.



| Fabricant                  | Type de transistor  | Tenue en tension (V) | Calibre en courant (A) | Références |
|----------------------------|---------------------|----------------------|------------------------|------------|
| <b>Wolfspeed (CREE)</b>    | MOSFET              | 900, 1200, 1700      | 3 - 60                 | [25]       |
| <b>UnitedSiC inc.</b>      | JFET (Normally-On)  | 1200                 | 12 - 38                | [26]       |
| <b>Infineon</b>            | JFET (Normally-On)  | 1200                 | 26 - 35                | [27]       |
| <b>Genesic</b>             | JFET (Normally-Off) | 1200, 1700           | 3 - 160                | [28]       |
| <b>ST Microelectronics</b> | MOSFET              | 1200                 | 20 - 45                | [29]       |
| <b>Rohm</b>                | MOSFET              | 400, 650, 1200       | 10 - 40                | [30]       |
| <b>Microsemi</b>           | MOSFET              | 700, 1200            | 25 - 80                | [31]       |

Tableau 2: Principaux fabricants de composants SiC

Le MOSFET tend à s'imposer comme le composant de référence grâce sa facilité d'utilisation et la simplicité du circuit de commande rapprochée. Le calibre en tension le plus répandu est de 1200V, correspondant à celui des IGBT en silicium. Le but est ici clairement de proposer une solution de remplacement quasiment « pin-to-pin » vis-à-vis des systèmes utilisant des IGBT. On peut noter que le développement de MOSFET SiC avec un calibre en tension de 600V reste très limité. Le rapport du coût de fabrication sur le gain de performance espéré en comparaison aux technologies IGBT ou MOSFET à super jonction en silicium est peut-être trop élevé à l'heure actuelle.

Les transistors en nitrure de gallium sont de type HEMT (High Electron Mobility Transistor), également appelé HFET (Heterostructure Field Effect Transistor). Ces transistors sont apparus dans les applications de Radio Fréquence (RF) puis ont progressivement migré vers le domaine de l'électronique de puissance. La technologie est extrêmement récente et seulement quelques entreprises commercialisent aujourd'hui leurs transistors (Tableau 3).

| Fabricant          | Type de transistor                          | Tenue en tension (V) | Calibre en courant (A) | Références |
|--------------------|---|----------------------|------------------------|------------|
| <b>EPC</b>         | HEMT (Normally-Off)                         | 30 - 450             | 1 - 60                 | [32]       |
| <b>Transphorm</b>  | HEMT (Normally-On en configuration cascode) | 600                  | 9 - 34                 | [33]       |
| <b>GaN systems</b> | HEMT (Normally-Off)                         | 100, 650             | 7 - 90                 | [34]       |
| <b>Panasonic</b>   | HEMT (Normally-Off)                         | 600                  | 15                     | [35]       |

Tableau 3: Principaux fabricants de composants GaN

Les calibres en tension vont de 30V à 650V avec des calibres en courant variant de quelques ampères à près de 90A. La structure HEMT est par nature normalement fermée. Certains constructeurs ont travaillé sur l'augmentation de la tension de seuil ( $V_{th}$ ) pour les rendre plus facilement utilisables en électronique de puissance alors que d'autres préfèrent un agencement de type cascode [36].

Par la suite, les structures de MOSFET SiC et HEMT GaN vont être développés plus en détails. Les performances des transistors seront présentées ainsi que leurs limites actuelles.

### I.2.2.1. MOSFET SiC

La grande majorité des MOSFET SiC ont une structure verticale de type VDMOS (Vertical Diffused MOS) [37]. On voit également apparaître des structures verticales à tranchées

(Trench V-MOS) pour des composants à fort calibre en courant [38]. Un schéma de principe de la structure VDMOS est présenté en Figure 3 [39].

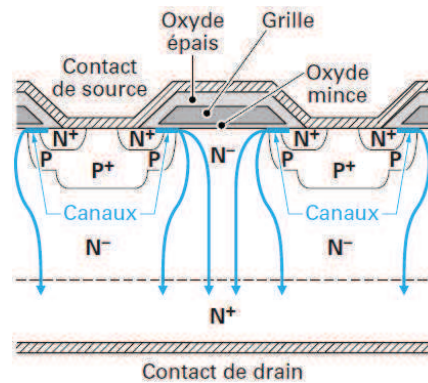


Figure 3: Schéma de principe de la structure VDMOS [39]

La structure est en tout point identique à celle des MOSFET en silicium. Les seuls changements interviennent dans les caractéristiques géométriques des cellules, les concentrations de dopants et l'oxyde de grille.

Le substrat N+ est composé du matériau 4H-SiC. Il est surmonté d'une couche réalisée par épitaxie et dont le dopage est ajusté pour la tenue en tension désirée. Les caissons P sont réalisés par implantation ionique. L'oxyde de grille ( $\text{SiO}_2$ ) est réalisé par oxydation du carbure de silicium avec ajout d'oxyde nitrique (NO) pour en améliorer les performances [40]. La grille est en poly-silicium surmonté d'un diélectrique de passivation et d'une métallisation en aluminium. Le contact de drain est une métallisation Nickel/Argent ou Nickel/Or.

- **Caractéristiques statiques**

Les caractéristiques statiques d'un MOSFET carbure de silicium correspondent à celles de MOSFET en silicium. Les données de fabricant d'un composant 1200V 30A [41] sont reprises dans les figures suivantes à 25°C (Figure 4) et 150°C (Figure 5).

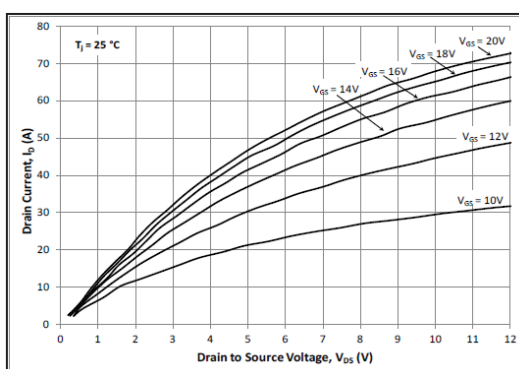


Figure 4: Caractéristiques statique d'un MOSFET SiC 1200V 30A à 25°C [41]

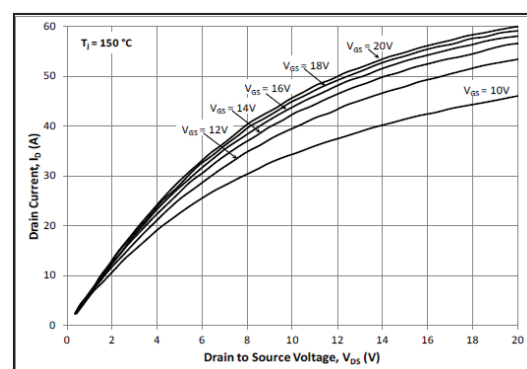


Figure 5: Caractéristiques statique d'un MOSFET SiC 1200V 30A à 150°C [41]

Une différence notable avec les composants silicium vient de la tension de grille recommandée pour conserver un bon état passant. Les constructeurs indiquent de polariser la grille avec une tension de +20V pour les MOSFET SiC alors qu'il ne faut appliquer que +10V pour les MOSFET en silicium ou +15V pour les IGBT en silicium. En effet, pour les MOSFET SiC, la mobilité des électrons dans le canal est réduite par rapport à un MOSFET

Si. Le phénomène est partiellement compensé en augmentant la charge de grille par une augmentation de sa tension. La résistance à l'état passant est sensible à la température. Cependant, on remarque une moins forte dépendance (tension de seuil  $V_{th}$ , résistance à l'état passant) des composants SiC vis-à-vis des composants Si [7].

Enfin, comme tout composant unipolaire, le MOSFET SiC a la possibilité de conduire le courant en inverse. Il possède également par construction une diode en inverse (appelé plus communément « diode body ») pouvant être utilisée comme diode antiparallèle. La tension de seuil de cette diode est plus élevée (entre 2V et 3V) que celle des composants Si, pouvant entraîner de grandes pertes dans les phases de roue libre. Les fabricants recommandent d'ajouter une diode Schottky SiC en antiparallèle afin d'améliorer les performances de la cellule de commutation. Les caractéristiques statiques de conduction en inverse et de la diode body à 150°C sont présentées en Figure 6 et Figure 7 pour un composant MOSFET SiC 1200V 30A.

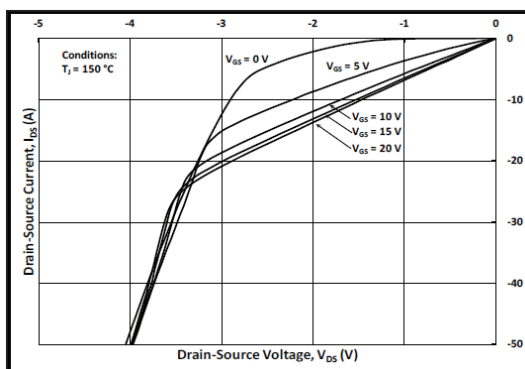


Figure 6: Caractéristiques statiques de conduction en inverse à 150°C [41]

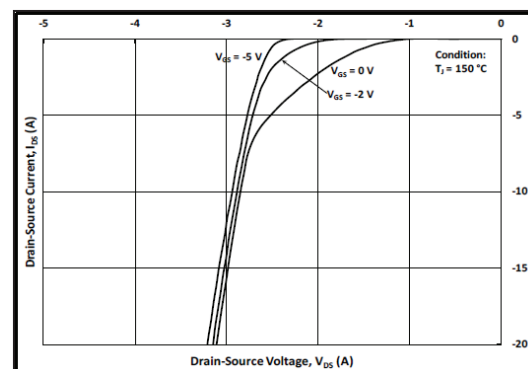


Figure 7: Caractéristiques statiques de la diode body à 150°C [41]

On remarque bien en Figure 6 la compétition entre la conduction en inverse et la conduction par la diode body. A partir d'un certain courant (entre 20A et 25A), la conduction par la diode body est privilégiée au détriment du canal du MOSFET à cause d'une plus faible chute de tension liée à un meilleur état passant.

- **Caractéristiques dynamiques**

Le comportement dynamique du MOSFET est lié aux capacités inter-électrodes entre grille et source ( $C_{gs}$ ), drain et source ( $C_{ds}$ ) et grille et drain ( $C_{gd}$ ). Ces capacités ne sont pas seulement un modèle équivalent mais existent réellement dans la structure de l'interrupteur. Elles sont représentées dans le schéma de la Figure 8. Les différentes phases de charge et de décharge de ces capacités lors de la fermeture ou de l'ouverture de l'interrupteur seront détaillées dans la prochaine partie traitant la cellule de commutation et ses éléments parasites. Les capacités  $C_{ds}$  et  $C_{gd}$  sont fortement non linéaires en fonction de la tension drain-source, ralentissant notamment la variation de tension drain-source lors des commutations. La capacité  $C_{gs}$  peut être considérée comme constante. Les constructeurs fournissent les caractéristiques de la capacité d'entrée ( $C_{iss}=C_{gs}+C_{gd}$ ), la capacité de sortie ( $C_{oss}=C_{ds}+C_{gd}$ ) et la capacité  $C_{gd}$  (également appelée  $C_{rss}$  ou capacité Miller) en fonction de la tension drain source. La Figure 9 montre les caractéristiques des capacités parasites pour un MOSFET SiC 1200V 30A.



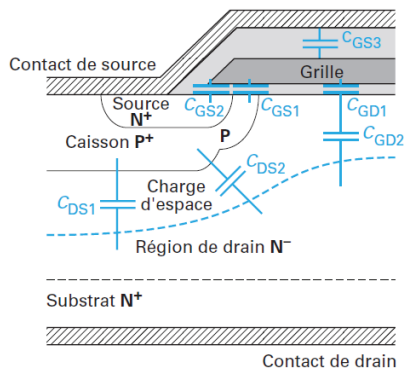


Figure 8: Capacités parasites d'un MOSFET [39]

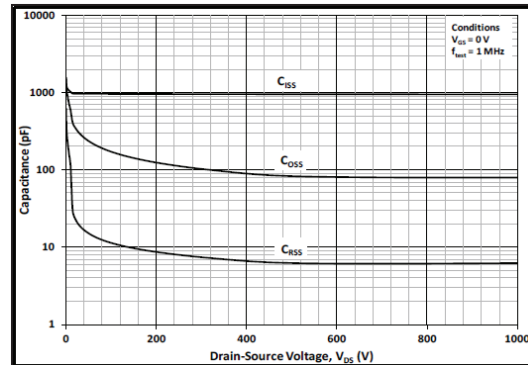


Figure 9: Capacités en fonction de la tension drain source d'un composant MOSFET SiC 1200V 30A [41]

Plus les valeurs des capacités du MOSFET seront faibles, plus les temps de charge et décharge seront courts et donc plus les commutations seront rapides. A contrario, ces faibles valeurs de capacités rendent le MOSFET plus sensible à son environnement extérieur comme les éléments parasites du packaging. A titre d'indication, le temps de montée et de descente de la tension drain-source pour le composant MOSFET SiC présenté ici est de 20ns et 19ns respectivement, sous 800V 20A à 25°C.

La diode body joue un rôle important dans le comportement dynamique du MOSFET. Lorsque celle-ci est sollicitée en commutation dure, elle est le siège du phénomène de recouvrement en inverse. Ce phénomène entraîne un pic de courant et une augmentation des pertes en commutation. Il est lié aux charges stockées dans la région N- de la diode body. En première approximation, cette charge dépend du courant transité par la diode et de la durée de vie des porteurs. Les caractéristiques du matériau SiC ainsi que le dopage associé dans la région concernée entraînent une faible durée de vie des porteurs pour les MOSFET SiC en comparaison aux composants Si donnant de bonnes caractéristiques en recouvrement [42]. L'utilisation d'une diode Schottky en antiparallèle, qui par définition ne possède pas de charges stockées, et d'un routage adéquat de la cellule de commutation permet de diminuer le phénomène de recouvrement.

Enfin, de nombreux travaux de recherche ont mis en évidence les bonnes caractéristiques en commutation des MOSFET SiC en comparaison avec les MOSFET Si et les IGBT Si [9] [10] [11].

- **Modèle électrique équivalent**

Le modèle électrique équivalent est celui classiquement utilisé pour le MOSFET. Les paramètres sont adaptés pour correspondre aux caractéristiques des MOSFET SiC. La littérature présente de nombreux modèles de type comportemental [43] de ces composants. Les modèles circuit de type SPICE sont disponibles sur la plupart des sites internet des fabricants.

- **Limitations actuelles et évolutions futures**

La principale limitation des composants SiC vient du matériau en lui-même. Le procédé de fabrication du carbure de silicium est beaucoup plus coûteux que celui du silicium car il demande une température plus élevée [18]. Pour le moment, la taille des wafer reste limitée à 6" (150mm). Une augmentation de cette taille permettra de réduire les coûts de fabrication des composants. Le procédé de croissance par épitaxie du SiC doit également être amélioré

en vue de diminuer la densité de défaut dans le cristal. Ce paramètre limite actuellement la taille des puces et donc leur calibre en courant.

Un point clef des performances du MOSFET et de sa fiabilité concerne l'oxyde de grille. Le procédé de croissance de l'oxyde ( $\text{SiO}_2$ ) a été modifié en ajoutant de l'oxyde nitrique (NO) permettant d'une part d'augmenter la mobilité du canal et de diminuer la variation de la tension de seuil ( $V_{th}$ ) avec le temps. Des travaux de recherche proposent d'utiliser d'autres matériaux à forte constante diélectrique (high-k) tels que l' $\text{Al}_2\text{O}_3$  [44].

D'un point de vue structurel, de nombreux travaux de recherche se concentrent sur le MOSFET à tranchée (Trench MOSFET) [38] [45]. Ses caractéristiques permettraient d'augmenter davantage la densité de courant. Enfin, on pourrait également imaginer l'apparition de MOSFET SiC à super jonction [46], repoussant ainsi les limites du matériau.

### I.2.2.2. HEMT GaN

Les transistors en nitride de gallium disponibles dans le commerce sont de type HEMT (High Electron Mobility Transistor) ou également appelés HFET (Heterojunction Field Effect Transistor). La structure est de type latéral. Le schéma de la structure HEMT est présenté en Figure 10. Les excellentes propriétés de ce transistor sont dues à la présence d'un gaz électronique 2D (2DEG) à l'interface entre la couche AlGaIn/GaN conférant une très grande mobilité aux électrons. Le gaz électronique 2D est créé par polarisation spontanée et piézoélectrique et par la forte discontinuité des bandes de conduction entre les matériaux GaN et AlGaIn [47].

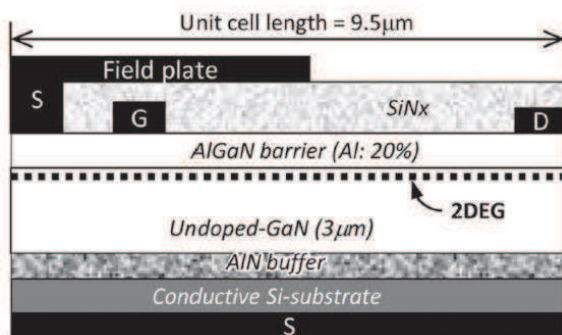


Figure 10 : Structure d'un composant HEMT GaN [48]

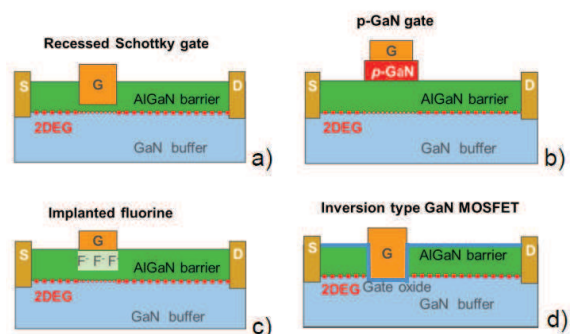


Figure 11: Concept de HEMT GaN normalement ouvert [49]

Le transistor HEMT étant un composant normalement fermé, plusieurs concepts ont été proposés et réalisés pour le rendre normalement ouvert [49]. L'augmentation de la tension de seuil à un niveau positif a tendance à diminuer la mobilité des électrons sous la grille et donc augmente la résistance à l'état passant [50]. Certains constructeurs proposent également un montage de type cascade.

Différents substrats peuvent être utilisés pour faire croître la couche de GaN par épitaxie : le carbure de silicium, le saphir ou le silicium. L'utilisation du silicium est aujourd'hui largement répandue grâce à son faible coût permettant d'être compétitif par rapport aux composants traditionnels en silicium.

- **Caractéristiques statiques**

Les caractéristiques statiques d'un transistor HEMT GaN sont comparables à tout composant unipolaire. Les données constructeur d'un composant HEMT GaN 650V 30A [51] à 25°C et 150°C sont présentées en Figure 12 et Figure 13.

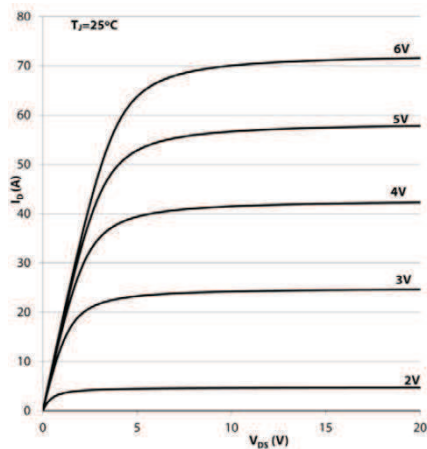


Figure 12: Caractéristiques statiques d'un composant GaN HEMT 650V 30A à 25°C [51]

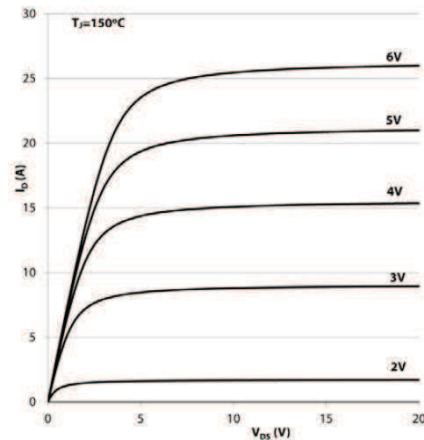


Figure 13: Caractéristiques statiques d'un composant GaN HEMT 650V 30A à 150°C [51]

La tension de commande de grille influence fortement l'état passant du transistor. Pour maintenir de bonnes caractéristiques, la tension grille source doit être maintenue proche de la limite de perçage de la grille. La faible marge de sécurité impose de soigner particulièrement la connexion entre le circuit de commande rapprochée et le composant de puissance afin d'éviter les surtensions [52]. Les caractéristiques statiques sont fortement influencées par la température. Dans cet exemple, la résistance à l'état passant passe de 55mΩ à 25°C à près de 140mΩ à 150°C pour une tension de grille de 6V.

La conduction en inverse est également possible avec les transistors HEMT. De plus, il n'existe pas de « diode body » par construction comme dans le cas des MOSFET mais un comportement similaire existe. Les caractéristiques en inverse d'un transistor HEMT GaN 650V 30A sont indiquées en Figure 14.

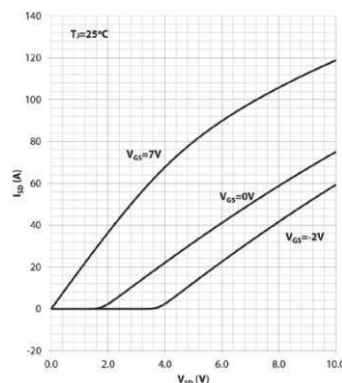


Figure 14: Caractéristique en inverse d'un transistor HEMT GaN 650V 30A à 25°C [51]

Lorsque la tension grille source est nulle, les capacités Cds et Cgd se retrouvent en parallèle (Capacité de sortie Coss). Dès lors qu'un courant négatif est imposé, il vient charger la capacité Coss jusqu'à atteindre la tension de seuil du composant (Vth). La structure de grille étant symétrique (le drain joue le rôle de source et inversement), le transistor devient donc passant [52]. La polarisation en négatif de la grille, pour éviter le phénomène de ré-enclenchement du transistor, conduit à accroître la tension de seuil en inverse du composant

augmentant sensiblement les pertes en conduction. Des techniques de commande rapprochée à trois niveaux de tension ont été proposées pour diminuer les pertes en conduction durant cette phase [53].

- **Caractéristiques dynamiques**

Les caractéristiques dynamiques des composants HEMT GaN peuvent aussi être associées à un modèle capacitif à trois éléments :  $C_{gs}$ ,  $C_{ds}$  et  $C_{gd}$ . Ces capacités sont présentes entre les différentes couches empilées au sein de la structure HEMT, comme montrées en Figure 15. Ces capacités sont fortement non linéaires, notamment  $C_{ds}$ . Une caractéristique en tension des capacités parasites d'un composant HEMT GaN 650V 30A est présentée en Figure 16.

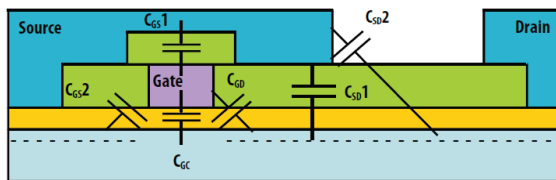


Figure 15: Capacités parasites d'une structure HEMT [54]

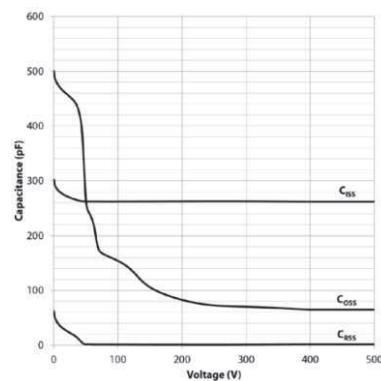


Figure 16: Capacités en fonction de la tension drain source d'un composant HEMT GaN 650V 30A [51]

On peut noter les très faibles valeurs de capacités avec seulement 2pF pour  $C_{rss}$ , 65pF pour  $C_{oss}$  et 260pF pour  $C_{iss}$  à une tension drain source de 400V. A calibre en tension et courant identique, elles sont nettement inférieures à celles des MOSFET Si ou MOSFET SiC laissant présager des temps de commutation très faibles. A titre d'indication, le temps de montée et de descente de la tension drain source pour le composant HEMT GaN présenté ici est de 3.7ns et 5.2ns respectivement, sous 400V 16A à 25°C.

Enfin, le phénomène de recouvrement inverse est inexistant dans les HEMT GaN à cause de l'absence de diode body et donc de charges stockées. Cela participe grandement aux faibles pertes par commutation des composants GaN HEMT en comparaison aux composants MOSFET Si.

- **Modèle électrique équivalent**

Des modèles électriques équivalent de type MOSFET ont été proposés dans la littérature [48]. La seule différence notable avec les modèles classiques vient de l'inexistence de la diode body et donc du phénomène de recouvrement inverse. Des modèles de circuit de type SPICE sont disponibles sur les sites internet des constructeurs.

- **Limitations actuelles et évolutions futures**

Comme dans le cas du carbure de silicium, la taille du wafer est aujourd'hui limitée. Elle devra encore augmenter pour réduire les coûts de fabrication. La croissance par épitaxie du nitrure de gallium sur substrat silicium engendre une grande densité de défauts à cause des différences de structure atomique entre le silicium et le nitrure de gallium. Ces défauts

réduisent les performances des transistors HEMT et doivent être diminués pour réaliser des puces à fort calibre en courant.

Le phénomène de résistance dynamique (« dynamic Ron » ou « current collapse ») correspond à la dégradation de l'état passant d'un transistor HEMT après avoir subi un stress en tension. Les électrons du gaz électronique 2D se retrouvent piégés à la surface de la couche d'AlGaIn et dans la couche tampon en GaN réduisant significativement la mobilité électronique [55]. Plusieurs solutions sont proposées dans la littérature pour limiter ce phénomène tel que l'ajout d'une couche de passivation à la surface du transistor et l'ajout d'une couche barrière sous l'interface GaN/AlGaIn permettant ainsi un meilleur confinement des électrons [56]. Une diminution de la tension maximale admissible est aujourd'hui réalisée pour maintenir de bonnes caractéristiques sur le long terme.

Grâce aux excellentes propriétés du transistor HEMT, et notamment du gaz électronique 2D, la structure principale ne devrait pas fondamentalement évoluer. Cependant, les aspects de fiabilité et de robustesse du composant doivent encore être prouvés.

### I.3. Influence des transistors à grand gap sur la cellule de commutation

Les transistors à grand gap (MOSFET SiC ou GaN HEMT) ont des caractéristiques remarquables autant en commutation qu'en conduction. Cependant, il est nécessaire de prendre en compte l'environnement de fonctionnement du transistor pour réellement évaluer les performances de ce dernier. Pour cela, le concept de cellule de commutation est introduit. Les éléments parasites constitutifs de la cellule sont présentés ainsi que leurs influences sur le fonctionnement des transistors à grand gap. Il sera alors possible de montrer les limites de ces nouveaux transistors et de définir les points clefs d'une bonne encapsulation.

#### I.3.1. Définition de la cellule de commutation et des éléments parasites associés

La cellule de commutation est traditionnellement représentée par un interrupteur, une diode, une source de courant et le condensateur de découplage associé. L'interrupteur est commandé périodiquement tandis que la diode permet les phases de roue libre. La Figure 17 montre cette configuration ainsi que les principaux éléments parasites venant jouer un rôle significatif lors de la commutation.

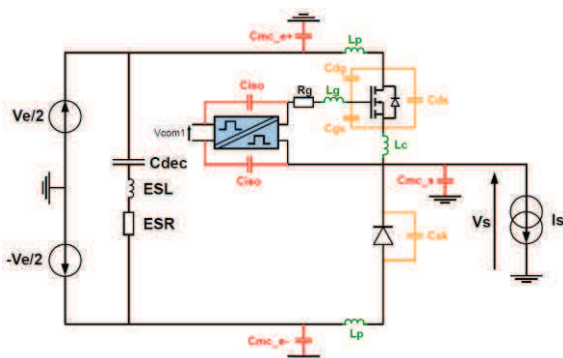


Figure 17: Cellule de commutation MOS-Diode

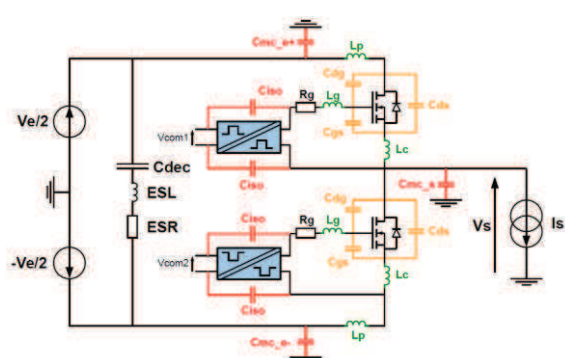


Figure 18: Cellule de commutation MOS-MOS



Par la suite, nous préférons utiliser le schéma de la Figure 18 représentant une cellule de commutation de type MOSFET – MOSFET. En effet, les MOSFET SiC ou HEMT GaN ont la possibilité de conduire en inverse et nous avons fait le choix de ne pas rajouter de diode en antiparallèle. Ce choix amène à prendre en compte le modèle électrique équivalent d'un MOSFET polarisé en inverse lors des phases de roue libre.

Les éléments parasites de la cellule de commutation peuvent être séparés en trois groupes distincts :

- **Les éléments inductifs et leurs couplages mutuels** (non indiqués sur le schéma)

Il s'agit de l'inductance de la maille de puissance  $L_p$ , de l'inductance grille  $L_g$ , de l'inductance commune de source  $L_c$  et de l'inductance série équivalente du condensateur de découplage ESL. Elles peuvent être responsables de surtension ;  $L_g$  sur la grille,  $L_p$ ,  $L_c$  et ESL entre drain et source. Cette surtension inductive implique de prendre une marge de sécurité entre la tension du bus continu et la tenue en tension de l'interrupteur. L'inductance commune de source couple la partie puissance et la partie commande conduisant à un ralentissement de la commutation et à des enclenchements intempestifs. Les couplages puissance commande peuvent venir également des inductances mutuelles entre le circuit de commande de grille et le circuit de puissance. Tous ces phénomènes contribuent à augmenter les pertes en commutation des interrupteurs.

- **Les éléments capacitifs liés au composant et à son packaging**

Il s'agit des capacités inter-électrodes d'un composant de type MOSFET :  $C_{gs}$ ,  $C_{gd}$  et  $C_{ds}$ . Elles font partie intrinsèquement du composant mais la technique d'encapsulation peut également en augmenter les valeurs. Ces capacités sont responsables de la dynamique des commutations. En augmenter les valeurs revient à ralentir la vitesse de commutation. La capacité  $C_{gd}$  ou capacité « Miller » est la plus critique car elle peut entraîner des perturbations sur le circuit de grille. Le comportement capacitif de l'encapsulation est alors d'autant plus critique que les valeurs des capacités intrinsèques du composant sont faibles, ce qui est le cas pour les composants à grand gap.

- **Les éléments capacitifs entraînant des perturbations de mode commun**

On distingue trois capacités de mode commun : la capacité entre le potentiel positif du bus continu et la terre ( $C_{mc\_e+}$ ), la capacité entre le potentiel négatif du bus continu et la terre ( $C_{mc\_e-}$ ) et la capacité entre la sortie et la terre ( $C_{mc\_s}$ ). Cette dernière est responsable de la création des courants de mode commun à cause des très fortes variations de la tension de sortie. Les courants générés se rebouclent par les capacités  $C_{mc\_e+}$  et  $C_{mc\_e-}$ . Les courants de mode commun viennent perturber les dispositifs électroniques dans l'environnement du convertisseur statique. Un filtre de mode commun, souvent lourd et volumineux, est toujours inséré en sortie et en entrée d'un convertisseur pour éviter de polluer le réseau électrique auquel il est connecté. Les capacités parasites entre primaire et secondaire ( $C_{iso}$ ) des circuits de commande rapprochées isolées sont aussi responsables de perturbations pouvant entraîner des commutations intempestives.

### I.3.2. Description de la commutation MOS - MOS

Pour mieux appréhender les effets de chaque élément parasite, une simulation électrique d'une cellule de commutation à base de MOSFET SiC est réalisée. Un modèle électrique de type SPICE du composant de puissance CPM2-1200-0080B, disponible sur le site internet du fabricant CREE, est utilisé. Cette simulation inclut les éléments inductifs parasites décrits dans la Figure 18. Nous détaillerons la phase de commutation à la fermeture et la phase de commutation à l'ouverture dans le cas où le transistor « High Side » (HS) contrôle la commutation (courant positif) et le transistor « Low Side » (LS) est en mode diode (courant négatif).

- **Commutation à la fermeture**

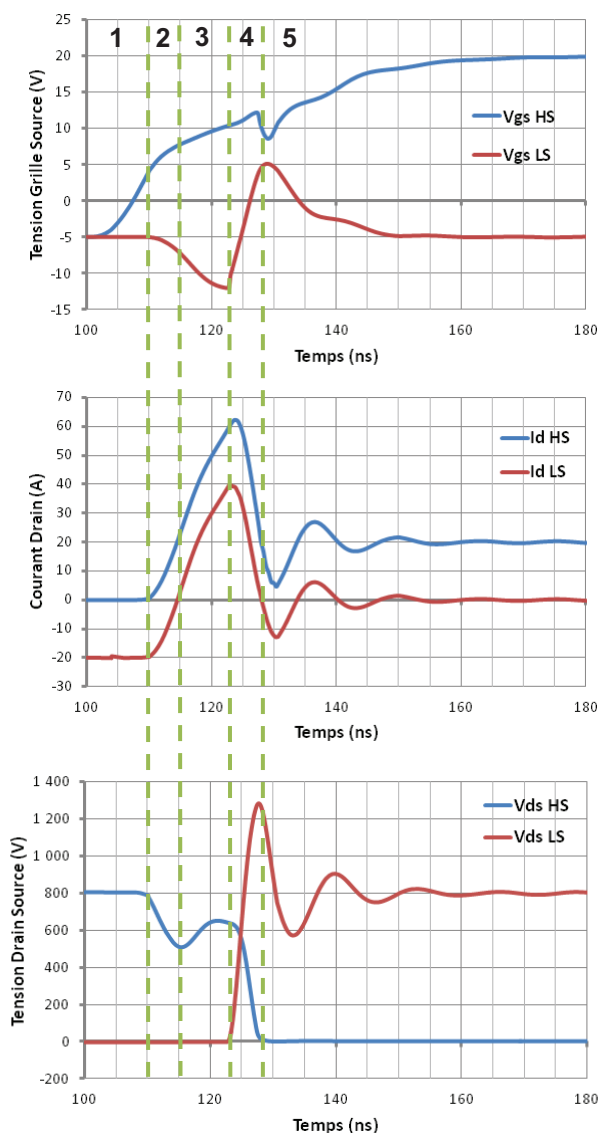


Figure 19: Formes d'ondes à la fermeture

Les fortes variations de tension conduisent à des perturbations sur Vgs HS et surtout Vgs LS à cause de la capacité Cgd. Les courants Id HS et Id LS retrouvent la valeur du courant de charge suivant la dynamique en courant de la diode, conduisant à une surtension inductive sur la tension Vds LS.

#### Phase 5 :

#### Phase 1 :

La tension Vgs du transistor HS croît jusqu'à atteindre la tension de seuil ( $V_{th}$ ) du composant. La tension suit une évolution typique d'un circuit RLC. Les autres grandeurs du système restent inchangées.

#### Phase 2 :

Une fois la tension de seuil atteinte, le courant de drain du transistor HS ( $I_d$  HS) commence à croître. Le courant du transistor LS suit un comportement complémentaire. Simultanément, la tension Vds HS subit une chute de tension inductive causée par l'inductance globale de la maille de commutation. On observe également une chute de tension inductive sur Vgs LS causée par l'inductance commune de source Lc.

#### Phase 3 :

Le courant Id HS atteint la valeur du courant de sortie mais continue à croître à cause du phénomène de recouvrement inverse de la « diode body » du MOSFET LS.

#### Phase 4 :

Une fois les charges totalement évacuées, la diode retrouve son pouvoir bloquant, entraînant l'évolution des tension Vds HS et Vds LS. La tension Vgs HS atteint le plateau Miller.

La tension  $V_{gs}$  HS croît jusqu'à atteindre la tension appliquée par la commande rapprochée. Les courants  $I_d$  HS et  $I_d$  LS s'établissent en régime statique avec plus ou moins d'oscillations dépendant de l'inductance globale de la maille de puissance et de la capacité  $C_{oss}$  du transistor LS. La tension  $V_{ds}$  HS s'annule tandis que la tension  $V_{ds}$  LS s'établit à la tension du bus continu avec un régime oscillatoire transitoire dépendant de l'inductance globale de la maille de puissance et de la capacité  $C_{oss}$  du transistor LS.

• **Commutation à l'ouverture**

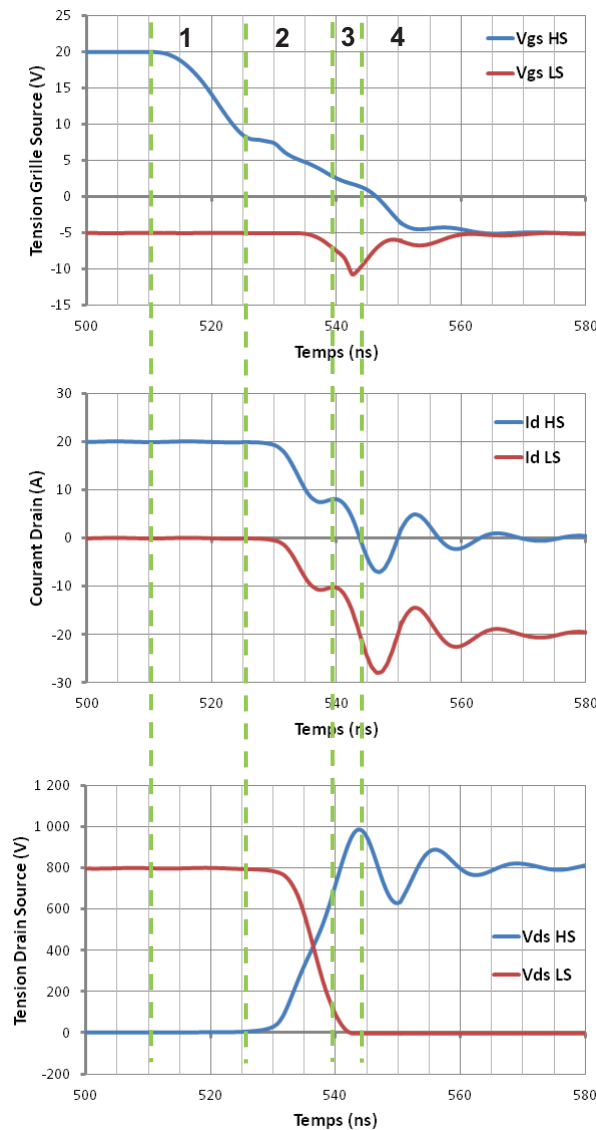


Figure 20: Forme d'onde à l'ouverture

• **Remarques**

Lors de la commutation à la fermeture d'un MOSFET SiC, le phénomène de recouvrement inverse est prépondérant. Dans cet exemple, il engendre la plus grande part des pertes en commutation. L'ajout d'une diode Schottky SiC en antiparallèle de chaque MOSFET ainsi qu'un routage adéquat permet de fortement diminuer ce phénomène. Cependant, cela conduit à doubler le nombre de puces et donc à accroître la complexité du module. Une optimisation des temps morts permet également de réduire les charges stockées.

Phase 1 :

La tension  $V_{gs}$  HS décroît jusqu'à atteindre le niveau imposé par la source de courant interne du MOSFET ( $V_{gs} \approx I_{ch}/g_m + V_{th}$ ). Il n'y a pour le moment aucune influence sur les tensions  $V_{ds}$  ou les courants  $I_d$ .

Phase 2 :

Il s'agit de la phase de commutation en tension. Le circuit de grille charge alors la capacité  $C_{gd}$  faisant évoluer la tension  $V_{ds}$  HS et simultanément  $V_{ds}$  LS. On observe une diminution rapide du courant  $I_d$  HS causée par la décharge de la capacité  $C_{oss}$  du transistor LS. La tension  $V_{gs}$  LS est perturbée par la forte variation de tension, par le biais de la capacité  $C_{gd}$  du transistor LS.

Phase 3 :

Lorsque la tension  $V_{gs}$  HS atteint la tension de seuil du transistor ( $V_{th}$ ), la commutation en courant commence. Cette phase se termine quand le courant  $I_d$  HS s'annule. La tension  $V_{gs}$  est ici perturbée par l'inductance commune de source et le fort  $di/dt$ . La tension  $V_{ds}$  HS subit également une surtension inductive.

Phase 4 :

La commutation se termine. La tension  $V_{gs}$  HS décroît jusqu'à la tension imposée par le circuit de commande rapprochée. Des oscillations apparaissent sur  $V_{ds}$  HS,  $I_d$  HS et  $I_d$  LS sous l'effet des éléments parasites.



Dans le cas d'un composant HEMT GaN, la phase de recouvrement inverse n'existe pas du fait de l'absence de charges stockées. Mis à part ce phénomène, les formes d'ondes sont similaires. Les variations des grandeurs électriques sont cependant plus rapides à cause des plus faibles capacités parasites.

### I.3.3. Analyse des limites de fonctionnement de la cellule de commutation

En se basant sur des formulations analytiques présentes dans la littérature, nous allons définir dans cette section les limites de fonctionnement de la cellule de commutation. Cela permettra de dégager les points clés d'une encapsulation adaptée pour les transistors à grand gap.

#### I.3.3.1. La maille de puissance

L'inductance de la maille de puissance est responsable de la chute de tension, dans le cas de la fermeture du transistor, et de la surtension, dans le cas de l'ouverture du transistor, pouvant entraîner la destruction du composant. La valeur de la surtension est liée à la vitesse de commutation en courant ( $di/dt$ ). Plusieurs formulations analytiques ont été proposées par [57] et [58] et sont présentées en (2), (3), (4) et (5). L'inductance commune de source joue également un rôle prépondérant dans la limitation de la vitesse de commutation en courant.

$$\text{Limite du câblage} \quad \frac{di}{dt_1} = \frac{E}{L_p} \quad (2)$$

$$\text{Limite de l'interrupteur} \quad \frac{di}{dt_2} = g_m \frac{V_{driver} - V_{th}}{R_g C_{gs}} \quad (3)$$

$$\text{Limite intermédiaire} \quad \frac{di}{dt_3} = \sqrt{\frac{2I_s(V_{driver} - V_{th})}{R_g C_{gd} L_p}} \quad (4)$$

$$\begin{aligned} \text{Limite intermédiaire avec} \\ \text{prise en compte de} \\ \text{l'inductance commune de} \\ \text{source} \end{aligned} \quad \begin{aligned} \frac{di}{dt_4} &= \frac{-b + \sqrt{\delta}}{2a} 2\sqrt{I_s} \\ a &= 2L_p, \quad b = \frac{2L_c \sqrt{I_s}}{R_g C_{gd}}, \quad c = -\frac{V_{driver} - V_{th}}{R_g C_{gd}} \\ \delta &= b^2 - 4ac \end{aligned} \quad (5)$$

Paramètres

$E$  : tension du bus continu,  $L_p$  : Inductance de la maille de commutation,  $g_m$  : transconductance du transistor,  $V_{driver}$  : tension de commande de grille,  $V_{th}$  : tension de seuil du transistor,  $R_g$  : résistance de grille,  $C_{gs}$  : capacité grille source,  $I_s$  : courant de sortie,  $C_{gd}$  : capacité grille drain,  $L_c$  : inductance commune de source

La première limite correspond au câblage de la cellule de commutation. Dans ce cas, l'inductance de la maille de puissance limite la variation de courant. La seconde limite correspond à la vitesse de variation du courant lorsque l'interrupteur est dans la phase de commutation en courant, en négligeant toutes les inductances parasites et en considérant seulement la charge de la capacité  $C_{gs}$ . La résistance de grille permet ici d'influencer la variation du courant. Les deux dernières limites ( $di/dt_3$  et  $di/dt_4$ ) considèrent la charge de la capacité  $C_{gd}$  par un courant constant. La formule (4) prend en compte seulement

l'inductance de la maille de puissance tandis que la formule (5) prend également en compte le rôle fondamental de l'inductance commune de source.

Ces équations sont appliquées avec les caractéristiques de deux types de transistors à grand gap : un MOSFET SiC 1200V 30A et un HEMT GaN 600V 30A. Les caractéristiques des transistors sont présentées dans le tableau suivant ainsi que les valeurs des paramètres utilisés dans les équations précédentes.

| Paramètres                                   | MOSFET SiC                      | HEMT GaN                   |
|--|---------------------------------|----------------------------|
| Tension claquage (V)                         | 1200                            | 600                        |
| Tension du bus continu E (V)                 | 800                             | 400                        |
| Courant de sortie Is (A)                     | 20                              | 20                         |
| Transconductance Gm @ 25°C (S)               | 16                              | 9                          |
| Résistance de grille interne (Ω)             | 4.6                             | 1.5                        |
| Résistance de grille externe (Ω)             | 2                               | 2                          |
| Tension de commande Vdriver (V)              | 20                              | 6                          |
| Tension de seuil Vth @ 25°C (V)              | 3                               | 1.6                        |
| Capacité grille source Cgs (pF)              | 943 (@ Vds=800V et Vgs=0V)      | 198 (@ Vds=400V et Vgs=0V) |
| Capacité grille drain Cgd (pF)               | 7 (@ Vds=800V et Vgs=0V)        | 2 (@ Vds=400V et Vgs=0V)   |
| Inductance de la maille de puissance Lp (nH) | 1 - 1000                        | 0.1 - 100                  |
| Inductance commune de source Lc (nH)         | Arbitrairement fixé à 10% de Lp |                            |

Tableau 4: Paramètres de composants SiC et GaN

Les vitesses de commutation sont tracées en fonction de l'inductance de la maille de puissance. L'inductance commune de source est arbitrairement fixée à 10% de l'inductance globale, dans le seul but de montrer la forte influence de cette dernière sur la vitesse de commutation. Les résistances de grille externes sont fixées à une valeur faible (2Ω) pour rester dans la plage de valeurs utilisées pour ces composants. Les vitesses de commutations du composant SiC et du composant GaN sont présentées en Figure 21 et Figure 22.

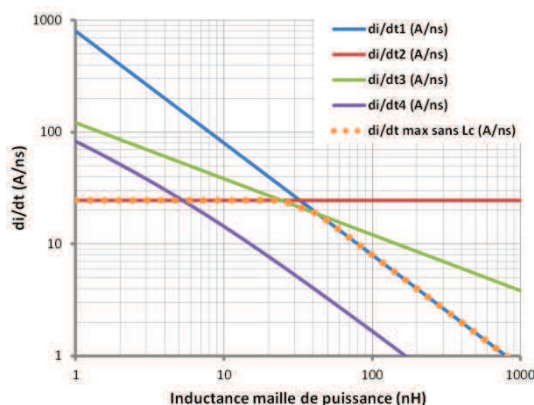


Figure 21: Vitesse de commutation en courant - MOSFET SiC

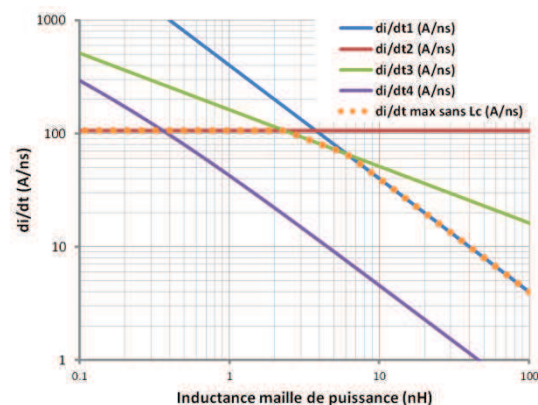


Figure 22: Vitesse de commutation en courant - HEMT GaN

La vitesse de commutation est limitée d'un côté par le transistor et sa résistance de grille (courbe rouge) et d'un autre côté par le câblage de la maille de puissance (courbe bleue). L'influence de la limite intermédiaire (courbe verte), ne prenant en compte que l'inductance

de la maille de puissance, est ici peu marquée à cause des faibles valeurs de capacité grille-drain. Sans prendre en compte l'inductance commune de source, on peut déterminer la vitesse maximale de variation du courant comme le minimum des trois dernières courbes (courbe point orange). Par contre, l'ajout de l'inductance commune de source vient réduire d'une manière significative la vitesse de variation du courant (courbe violette). Pour tirer pleinement parti de la forte vitesse de commutation, il est alors nécessaire de diminuer au maximum cette inductance. Pour cela, la connexion au potentiel de source de la commande rapprochée doit se faire d'une manière la plus indépendante possible du circuit de puissance. De nombreux fabricants proposent aujourd'hui des encapsulations avec une sortie appelée « Kelvin source » qui permet de s'affranchir de ce problème.

La vitesse maximale de commutation en courant est d'environ 25A/ns pour le MOSFET SiC et de 100A/ns pour le transistor GaN. Ces vitesses semblent excessives en réalité et ne sont pas atteintes en pratique. La littérature annonce par exemple une vitesse de commutation en courant de 3A/ns pour un MOSFET SiC [59]. Les différents éléments parasites du routage viennent d'autant plus limiter la vitesse de commutation. De plus, l'insertion de mesure de courant conduit inévitablement à augmenter l'impédance de maille et donc ramentir la commutation. De nombreuses études soulignent la difficulté de réaliser une mesure précise du courant lors des commutations pour les composants à grand gap. Le circuit de commande de grille est également un élément limitant car les concepteurs sont bien souvent obligés d'augmenter l'impédance de grille pour des questions de compatibilité électromagnétique.

En faisant l'hypothèse d'une inductance commune de source négligeable, il est possible d'obtenir une estimation de la surtension inductive en fonction seulement de l'inductance de la maille de puissance. Les Figure 23 et Figure 24 présentent ces résultats pour les composants précédemment cités. Dans le cas du MOSFET SiC, en autorisant une surtension entre 200V et 300V, l'inductance de la maille de puissance doit être inférieure à 10nH. Dans le cas du HEMT GaN, pour une surtension admissible de 100V, l'inductance de la maille de puissance doit être inférieure à 1nH.

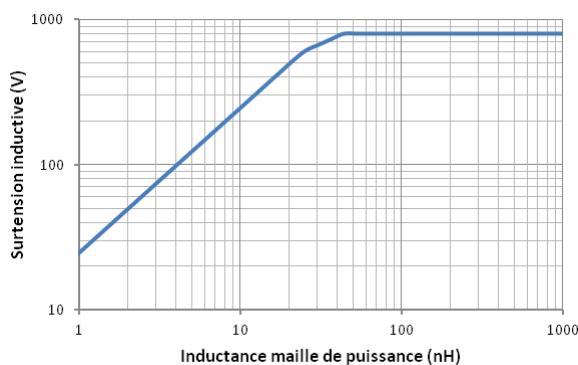


Figure 23: Estimation de la surtension - MOSFET SiC

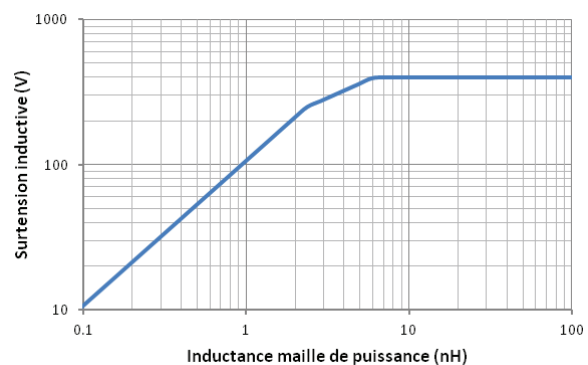


Figure 24: Estimation de la surtension - HEMT GaN

Les équations utilisées précédemment sont basées sur des hypothèses fortes et correspondent plutôt à un comportement asymptotique entraînant certainement une surestimation de la vitesse de commutation en courant et donc de la surtension inductive. Cependant, cette première approche simplifiée permet de donner un ordre de grandeur de l'inductance maximale admissible de la boucle de puissance dans le contexte des transistors à grand gap et sur l'importance de la maîtriser.

### I.3.3.2. Le circuit de commande rapproché

Le circuit de commande rapproché doit être particulièrement soigné pour les composants à grand gap. Trois points peuvent être soulevés : le premier concerne les surtensions sur la grille, le second concerne les perturbations induites par les forts  $dv/dt$  et le dernier concerne les caractéristiques de l'isolation de la commande vis-à-vis des courants de mode commun et des  $dv/dt$ .

- **Les surtensions sur la grille**

Lors de la charge du circuit de grille (Figure 25), l'inductance parasite  $L_g$  peut conduire à une surtension destructrice pour la grille du composant. Cet effet est particulièrement visible pour des composants à faible capacité  $C_{gs}$ . Les travaux de [52] ont mis en avant la sensibilité des composants GaN basse tension par rapport aux éléments parasites du circuit de grille.

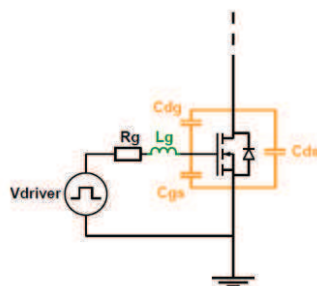


Figure 25: Charge du circuit de grille d'un MOSFET

$$V_{gs}(p) = \frac{V_{driver}}{p} \frac{1}{1 + R_g C_{gs} p + L_g C_{gs} p^2} \quad (6)$$

$$\text{Pour } m = \frac{R_g}{2} \sqrt{\frac{C_{gs}}{L_g}} < 1 \quad (7)$$

$$D = V_{driver} e^{\frac{-m\pi}{\sqrt{1-m^2}}}$$

Le circuit de grille est modélisé par un circuit RLC. La réponse à un échelon de tension de ce circuit donne l'équation (6) en variable de Laplace. Pour un régime pseudo-périodique ( $m < 1$ ), le dépassement est exprimé à partir de l'équation (7). Deux solutions sont envisageables pour éviter les surtensions destructrices. Augmenter la résistance de grille permet de diminuer l'amplitude des oscillations au détriment de la vitesse de commutation. Diminuer l'inductance  $L_g$  reste la meilleure solution. Le routage du circuit de grille doit être soigné. Si cela ne suffit pas, la solution ultime consiste en une intégration, monolithique ou hybride, du driver et du composant de puissance.

- **Les perturbations causées par le  $dv/dt$  et la capacité Miller**

L'interrupteur fonctionnant en inverse lors d'une commutation (par exemple l'interrupteur low side dans la Figure 19) subit une perturbation sur sa grille. La variation rapide de tension entre drain et source crée un courant parasite à travers la capacité  $C_{gd}$ . Il traverse le circuit de commande de grille créant ainsi une surtension entre grille et source. Celle-ci peut atteindre la tension de seuil du transistor entraînant un ré-enclenchement intempestif et donc un court-circuit du bus continu. Si la cellule de commutation fonctionne en onduleur, cet effet parasite se produira alternativement sur l'interrupteur high side et low side suivant le sens du courant de sortie. Ce phénomène est bien connu et déjà étudié dans la littérature dans le cas de MOSFET SiC et d'IGBT [60]. La Figure 26 présente le circuit électrique équivalent lors de la phase de perturbation. La fonction de transfert de la tension grille source  $V_{gs}(p)$  sur la perturbation  $dV_{ds}(p)$  est développée en (8).

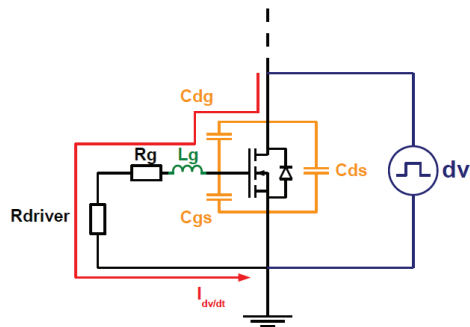


Figure 26: Circuit électrique équivalent du courant "Miller"

$$\frac{V_{gs}(p)}{dV_{ds}(p)} = \frac{p(R_{driver} + R_g)C_{gd} \left(1 + p \frac{L_g}{R_{driver} + R_g}\right)}{1 + p(R_{driver} + R_g)(C_{gs} + C_{gd}) \left(1 + p \frac{L_g}{R_{driver} + R_g}\right)} \quad (8)$$

$$\frac{V_{gs}(p)}{dV_{ds}(p)} \xrightarrow{p \rightarrow 0} p(R_{driver} + R_g)C_{gd} \quad (9)$$

$$\frac{V_{gs}(p)}{dV_{ds}(p)} \xrightarrow{p \rightarrow \infty} \frac{C_{gd}}{C_{gs} + C_{gd}} \quad (10)$$

Les limites de la fonction de transfert en basse et haute fréquence sont calculées en (9) et (10). En haute fréquence, l'amplitude de la perturbation dépend du rapport de la capacité Cgd sur la somme des capacités Cgs et Cgd. Augmenter artificiellement la capacité Cgs peut donc réduire la perturbation mais en contrepartie ralentit le composant. En basse fréquence l'amplitude de la perturbation dépend du produit de la capacité Cgd par la somme de la résistance de grille Rg et de la résistance interne du driver Rdriver. Les résistances du circuit de grille doivent donc être minimisées pour diminuer l'amplitude de la perturbation. Or, pour un circuit de commande de grille identique pour les deux interrupteurs de la cellule de commutation, diminuer l'impédance de grille augmente la vitesse de commutation. Il faut donc prévoir un circuit de grille permettant l'adaptation d'impédance seulement pendant la phase de perturbation. De nombreux circuits de commande de grille commercialisés proposent cette solution sous la dénomination de « Active miller clamp ». La Figure 27 montre un circuit de commande rapprochée pour IGBT incluant cette protection [61].

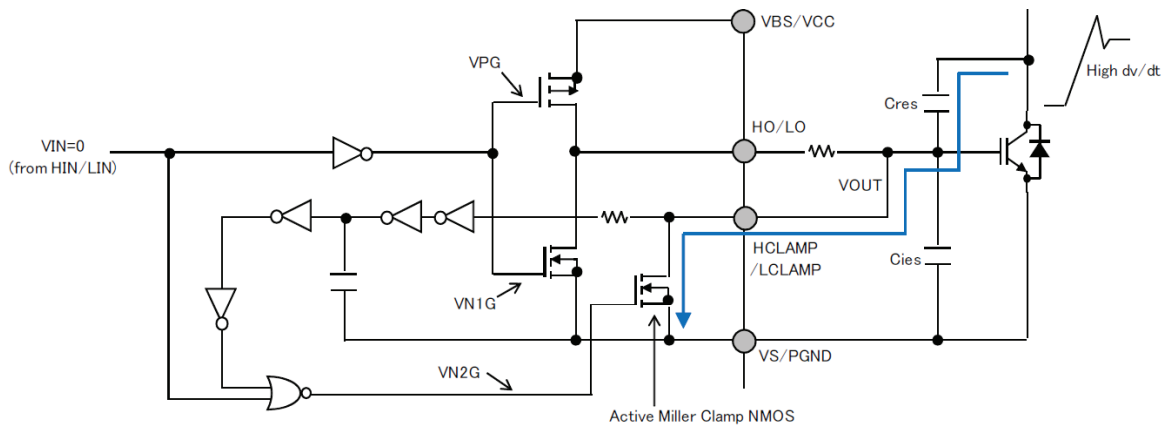


Figure 27: Commande rapprochée avec "Active Miller Clamp" proposé en [61]

Un MOSFET de type N est commandé avec un léger retard (circuit RC de délai) permettant de créer un chemin à basse impédance pour le courant perturbant. La résistance de grille peut librement être adaptée suivant les caractéristiques recherchées sans influencer l'amplitude des perturbations.

Une autre solution communément adoptée est d'utiliser une tension négative sur la grille du transistor pour s'assurer une marge de sécurité vis-à-vis des perturbations. Cela est préconisé dans le cas des MOSFET SiC. Cependant, il est nécessaire de rester vigilants aux perturbations générant des sous-tensions pouvant entraîner un perçage de l'oxyde de grille.

- **Problématique de l'isolation du circuit de commande rapprochée**

Une isolation électrique est souvent requise pour séparer la partie commande rapprochée de la partie commande éloignée. Elle est obligatoire dans le cas de la commande rapprochée du transistor high side. Les signaux de commande et l'alimentation de la commande doivent pouvoir être transmis d'une manière isolée. Nous ne développerons pas les différentes techniques existantes dans la littérature. Le lecteur pourra se reporter à l'article [62]. Cependant, deux points sont cruciaux dans le contexte des transistors à grand gap et de leur grande vitesse de commutation en tension.

Les capacités parasites d'isolation doivent être minimisées pour éviter toute propagation des courants de mode commun. Un filtre de mode commun peut être inséré sur la partie non isolée pour venir confiner les courants de mode commun sur la partie isolée de la commande rapprochée.

L'isolation dynamique ( $dV/dt$ ) des circuits d'isolation (optocoupleur, transformateur, level shifter...) doit être correctement choisie pour correspondre au niveau des transistors à grand gap.

### **I.3.3.3. La compatibilité électro-magnétique (CEM)**

Tout convertisseur statique génère des perturbations causées par les commutations des interrupteurs. Pour le bon fonctionnement des systèmes électroniques environnant le convertisseur, des normes fixant les limites des perturbations doivent être respectées. Cela entraîne l'ajout de filtres en entrée et sortie du convertisseur qui sont bien souvent coûteux et volumineux. Deux types de perturbations existent : le mode commun et le mode différentiel. Dans le cadre d'études CEM, la cellule de commutation est représentée par le schéma de la Figure 28 [63]. La source de courant le modélise les variations de courant ( $dI/dt$ ) tandis que la source de tension  $V_k$  modélise les variations de tension ( $dV/dt$ ). La source de courant est le générateur des perturbations en mode différentiel, qui se rebouclent par les connexions de puissance. Le condensateur de découplage  $C_e$  joue un rôle primordial dans la propagation du courant de mode différentiel. La source de tension est le générateur des perturbations en mode commun à travers l'impédance parasite de mode commun  $Z_{mc}$  et le plan de masse relié à la terre. Il s'agit, d'un point de vue pratique, de la capacité entre le point flottant de la cellule de commutation et le radiateur, relié à la terre pour des mesures de sécurité. Les câbles de connexion entre la sortie et la charge ainsi que la charge en elle-même interviennent dans la propagation des courants de mode commun. Les mesures des courants de mode commun  $I_{mc}$  et de mode différentiel  $I_{md}$  se font grâce à un Réseau Stabilisateur d'Impédance de Ligne (RSIL) assurant une impédance de mesure constante pour la gamme de fréquence de mesure selon la norme à respecter.



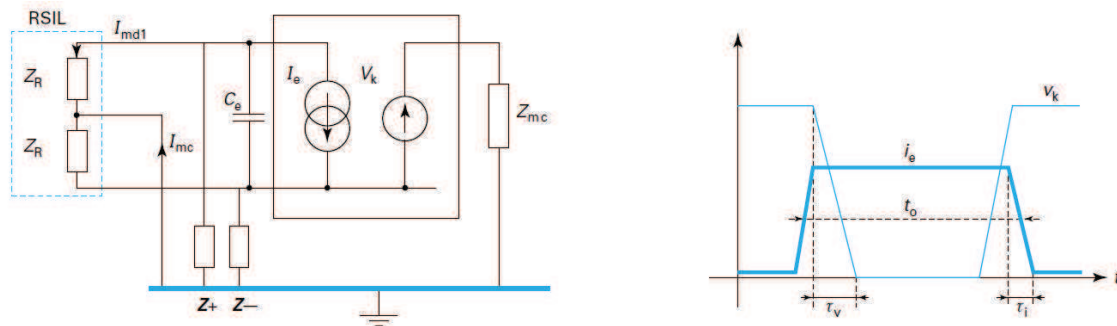


Figure 28: Schéma équivalent de la cellule de commutation et du RSIL [63]

Les éléments parasites de la cellule de commutation (inductance de câblage, capacités parasites des composants), la technologie des interrupteurs (MOSFET, IGBT) ainsi que le mode de commutation (dure, douce), influencent considérablement le spectre en fréquence des courants de mode commun ou de mode différentiel.

L'amplitude des harmoniques de la décomposition en série de Fourier d'un signal trapézoïdal d'amplitude A est donné par l'équation (11). Les paramètres sont la fréquence de découpage  $f_0$ , le rapport cyclique  $\alpha$  et le temps de montée ou de descente  $\tau$ . L'enveloppe du spectre en fréquence d'un tel signal est présentée en Figure 29 pour des paramètres arbitrairement choisis.

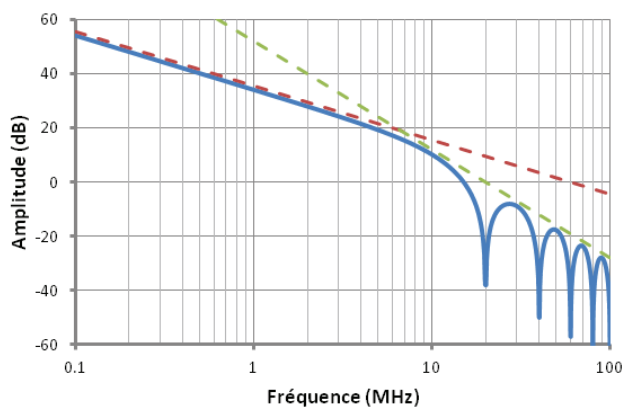


Figure 29 : Enveloppe du spectre d'un signal trapézoïdal –  
A=800,  $f_0=100\text{kHz}$ ,  $\alpha=0.5$ ,  $\tau=50\text{ns}$

$$A_n = 2A\alpha \frac{\sin(\pi n f_0 t_0)}{\pi n f_0 t_0} \frac{\sin(\pi n f_0 \tau)}{\pi n f_0 \tau} \quad (11)$$

Avec  $t_0 = \frac{\alpha}{f_0}$

L'amplitude des harmoniques décroît dans une première partie en  $1/f$  (-20dB/décade, courbe pointillé rouge) puis, au-delà d'une fréquence de coupure, décroît en  $1/f^2$  (-40dB/décade, courbe pointillé verte). La fréquence de coupure vaut  $\frac{1}{\pi\tau} \approx \frac{0.35}{\tau}$ . Elle est également appelée fréquence équivalente du front de commutation. La diminution du temps de montée aura donc tendance à augmenter les amplitudes des harmoniques en haute fréquence. L'augmentation de la fréquence de découpage décalera simplement le spectre en haute fréquence.

Les temps de montée et de descente de la tension drain source de différents composants sont indiqués dans le Tableau 5. Les valeurs sont extraites des données constructeur et ne correspondent qu'à un point de fonctionnement. Ces données doivent être appréhendées avec précaution et ne sont utiles que pour fixer des ordres de grandeurs entre les technologies de composants.

| Composants   | MOSFET SiC<br>1200V 30A<br>(C2M00801200)            | HEMT GaN<br>650V 30A<br>(GS66508P)                     | MOSFET Si<br>Superjonction<br>650V 30A<br>(IPB65R045C7)  | IGBT Si 600V<br>30A<br>(IRGS4620D)                    |
|--|---|--|--|---|
| Paramètres   | Vdd=800V,<br>Vgs=0/20V, Id=20A,<br>Rg=4.6Ω, Tj=25°C | Vdd=400V,<br>Vgs=0/6V,<br>Id=16A,<br>Rg=5Ω,<br>Tj=25°C | Vdd=400V,<br>Vgs=0/13V,<br>Id=24.9A, Rg=3.3Ω,<br>Tj=25°C | Vdd=400V,<br>Vge=0/15V,<br>Ic=12A, Rg=22Ω,<br>Tj=25°C |
| Temps de montée de la tension drain source (ns)    | 13.6  | 3.7  | 14   | 17  |
| Temps de descente de la tension drain source (ns)  | 18.4  | 5.2  | 7  | 24  |
| dV/dt équivalent du front le plus raide (V/ns)     | 58.8  | 108.1  | 57   | 23.5  |
| Fréquence équivalente du front le plus raide (MHz) | 23.4  | 86   | 45.5   | 18.7  |

Tableau 5: Temps de montée et de descente de composants SiC, GaN et Si

Dans la gamme de tension 600V, le composant GaN commute clairement beaucoup plus vite que ses homologues en silicium. Il est aussi impressionnant de noter les performances du MOSFET à superjonction qui semblent similaires au MOSFET SiC. Cependant, il ne faut pas oublier que le MOSFET SiC possède une tension de blocage deux fois plus élevée. On remarque que la vitesse de variation de la tension drain source (dV/dt) est plus de 2 fois plus grande pour le MOSFET à superjonction et le MOSFET SiC en comparaison avec l'IGBT et près de 4 fois plus grande pour le composant GaN. La capacité de mode commun devra donc être d'autant plus réduite pour éviter de produire davantage de courant de mode commun. En terme fréquentiel, pour la gamme de tension 600V, la fréquence équivalente du front de commutation est multipliée par 2 pour le composant à super jonction en comparaison à l'IGBT et multiplié par 4 dans le cas du GaN. Le filtrage des perturbations deviendra donc plus délicat.

La réduction des éléments parasites (notamment la capacité de mode commun) est fondamentale pour un fonctionnement optimal de la cellule de commutation dans son environnement. Cependant un aspect tout aussi critique concerne la symétrisation des éléments parasites. Le postulat de base de dimensionnement des filtres CEM est le découplage idéal entre le mode commun et le mode différentiel permettant ainsi de traiter les filtres de mode commun et de mode différentiel indépendamment [64]. Or, cette hypothèse n'est pas toujours validée. Une étude expérimentale menée en [65] présente les couplages entre mode commun et mode différentiel dans un module de puissance. Le schéma des éléments parasites dans la cellule de commutation est présenté en Figure 30.



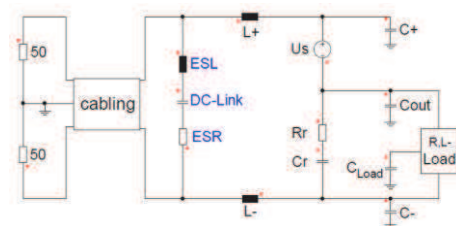


Figure 30: Schéma des éléments parasites dans la cellule de commutation d'un point de vue CEM [65]

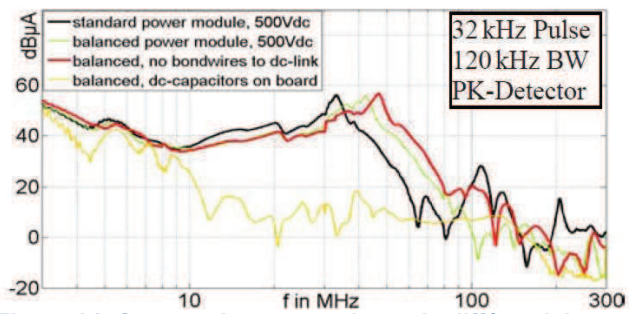


Figure 31: Spectre du courant de mode différentiel pour différents routage du module de puissance [65]

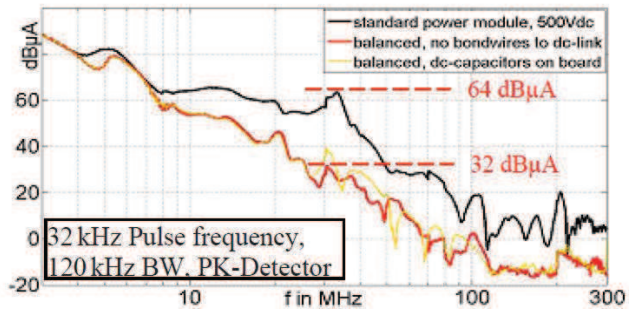


Figure 32: Spectre du courant de mode commun pour différents routage du module de puissance [65]

La Figure 31 représente le spectre du courant de mode différentiel pour quatre types de routage du même module. La courbe noire correspond au module standard (FS200R06KE3). Le second module est routé d'une manière équilibrée (courbe verte). Le troisième module est également routé d'une manière équilibrée mais en supprimant les fils de bonding sur la sortie et l'entrée (courbe rouge). Le dernier module est toujours routé d'une manière équilibrée et un condensateur de découplage est rajouté à l'intérieur (courbe jaune). Les résultats montrent que l'équilibrage n'influence quasiment pas le spectre du courant de mode différentiel sauf pour celui possédant le condensateur de découplage. L'effet de ce dernier est radical, permettant de confiner les courants de mode différentiel à l'intérieur du module. Le décalage en haute fréquence de la résonance des modules équilibrés sans condensateur de découplage vient d'une diminution des inductances parasites.

La Figure 32 montre le spectre du courant de mode commun pour trois types de module : standard, équilibré sans fil de bonding sur la sortie et l'entrée, équilibré avec condensateur de découplage. Les résultats montrent une réduction de près de 32dBµA au niveau du pic de résonance entre le module standard et les modules équilibrés. Le condensateur de découplage ne joue qu'un faible rôle dans ce cas.

D'un point de vue CEM, on veillera donc à diminuer les éléments parasites tout en garantissant une symétrie du circuit.

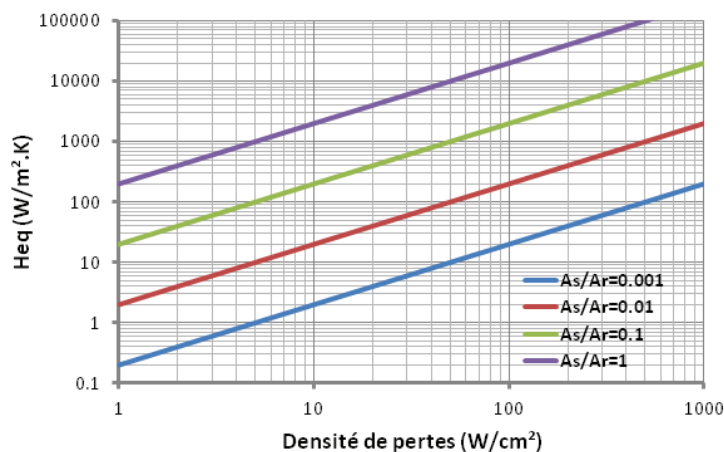
### 1.3.3.4. Pertes et gestion thermique

Les pertes au sein du semi-conducteur conduisent naturellement à une élévation de température. La température maximale de jonction varie en fonction du matériau utilisé : 150°C dans le cas du silicium, au-delà de 250°C dans le cas des matériaux à grand gap (SiC et GaN). Les différents matériaux utilisés pour l'encapsulation (soudure, isolant, boîtier, connectique) possèdent également une température maximale de fonctionnement. Un

système d'évacuation des pertes est nécessaire dans la grande majorité des cas pour assurer un bon fonctionnement de la cellule de commutation.

Les pertes générées dans les transistors de puissance sont de deux types : pertes par conduction et pertes par commutation. A point de fonctionnement fixé, de nombreuses études ont montré une réduction des pertes globales grâce à l'utilisation de composants à grand gap en comparaison aux composants silicium. Cette réduction vient essentiellement de la diminution des pertes par commutation grâce aux fortes vitesses de commutation. Cependant, l'impact sur le dimensionnement du système de refroidissement n'est pas aussi simple que cela. En effet, les puces GaN ou SiC ont des dimensions bien inférieures à leurs homologues en silicium à calibre en tension et courant identiques. La densité des pertes est alors bien plus élevée que dans le cas de puces en silicium.

En utilisant l'analogie électrique, l'échauffement d'un composant est égal au produit des pertes par la résistance thermique globale du système (12). En multipliant les deux termes de l'équation par le produit de la surface de la source de chaleur ( $A_s$ ) et de la surface de refroidissement ( $A_r$ ), il est possible de réarranger l'équation (12) en faisant apparaître la densité de perte ( $P/A_s$ ), un coefficient de convection équivalent ( $h_{eq}$ ) ainsi que le ratio de la surface de la puce divisée par la surface de refroidissement ( $A_s/A_r$ ) (13). Le coefficient de convection équivalent peut être interprété comme l'effort de refroidissement à fournir pour assurer un échauffement fixé.



$$\Delta T = P \cdot R_{th} \quad (12)$$

$$\frac{1}{h_{eq}} = R_{th} A_r = \frac{\Delta T}{\frac{P}{A_s} \cdot \frac{A_s}{A_r}} \quad (13)$$

Figure 33: Coefficient convectif équivalent en fonction de la densité de pertes pour  $\Delta T=50^\circ C$

L'équation (13) est tracée en Figure 33 pour différents rapport de surface  $A_s/A_r$  variant entre 0.001 et 1 et pour un échauffement arbitrairement fixé à  $50^\circ C$ . L'augmentation de la densité de pertes conduit à un effort de refroidissement supplémentaire qui sous-entend une résistance thermique d'encapsulation faible et un système de refroidissement performant. L'augmentation de la surface d'échange du refroidisseur (faible valeur du rapport  $A_s/A_r$ ) conduit à un effort plus faible de refroidissement au détriment d'une augmentation du volume global et donc d'une plus faible puissance volumique du convertisseur. L'augmentation de l'échauffement autorisée ( $\Delta T$ ), et donc l'augmentation de la température de fonctionnement du composant, semble une solution intéressante pour diminuer l'effort de refroidissement. Cependant, l'augmentation des pertes avec la température ainsi que la diminution du temps de vie du système ne doivent pas être sous-estimées. On voit alors apparaître un compromis entre le volume, le rendement et la fiabilité du système.

## I.4. Le packaging en électronique de puissance

Après avoir présenté les nouveaux composants actifs à base de SiC ou de GaN ainsi que leur limite dans la cellule de commutation, nous allons nous intéresser au packaging des transistors de puissance. Du fait de l'augmentation des performances des semi-conducteurs, ce domaine est aujourd'hui en pleine mutation, autant dans le cas des composants de faible puissance que dans le cas des modules de puissance. L'assemblage classique est exposé dans une première partie. Le packaging des composants de faible puissance est ensuite brièvement présenté avec notamment quelques encapsulations remarquables de composants à grand gap ou de composants basse tension. Enfin, le packaging des modules de puissance est particulièrement étudié. Un état de l'art est réalisé montrant les nombreuses évolutions du packaging des modules de puissance pour diminuer les éléments parasites ou améliorer le refroidissement. De nombreuses études convergent aujourd'hui vers un packaging en trois dimensions.

### I.4.1. L'assemblage classique

La puce semi-conductrice ne peut pas être utilisée telle quelle. Son packaging lui permet d'interagir avec son environnement en assurant le bon fonctionnement électrique, thermique et mécanique de la puce. Le schéma d'un composant discret et d'un module de puissance sont présentés en Figure 34 et Figure 35 respectivement [66]. Les composants discrets sont généralement utilisés dans le domaine des faibles puissances. Ils peuvent être de type traversant ou montés en surface (CMS). Les modules de puissance concernent davantage le domaine des moyennes et fortes puissances. Le module peut contenir un seul interrupteur comme une fonction d'électronique de puissance en entier : bras d'onduleur, onduleur triphasé, redresseur et onduleur, etc... Notons également l'existence de boîtiers « press pack » pour les interrupteurs de très forte puissance. Cette technologie ne sera pas traitée dans ces travaux.

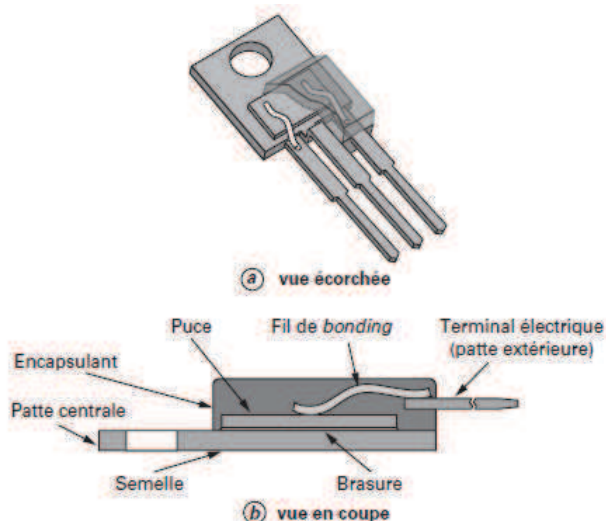


Figure 34 : Boîtier discret TO220 – Vue générale et coupe [66]

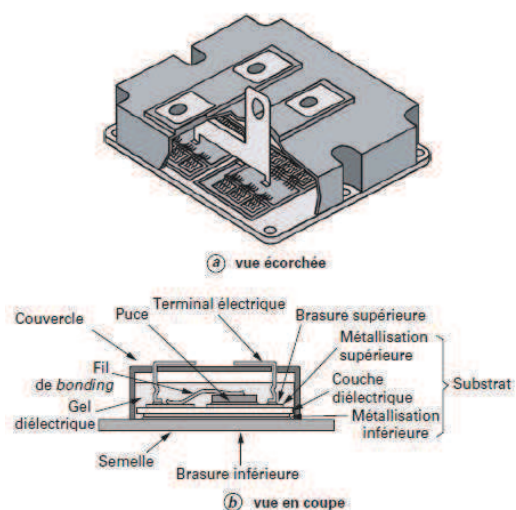


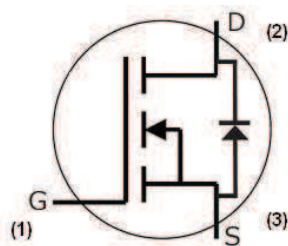
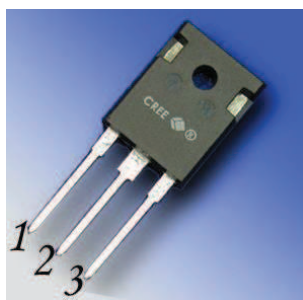
Figure 35 : Module de puissance sur substrat DBC – Vue générale et coupe [66]

Dans un assemblage classique, la puce est reportée par brasure sur un substrat. Ce dernier peut être de type isolé électriquement telle qu'une céramique DBC (Direct Bond Copper) ou non isolé électriquement en utilisant simplement une feuille de cuivre. Le substrat permet de connecter électriquement la face arrière de la puce grâce à la brasure tout en assurant une

bonne évacuation de la chaleur et une tenue mécanique de la puce. Dans le cas des modules de puissance, des pistes sont tracées pour relier différentes puces entre elles et réaliser ainsi le circuit électrique souhaité. Les fils de bonding permettent de connecter la face avant de la puce avec le reste du circuit qui peut être une autre puce ou un terminal électrique. Les terminaux électriques réalisent la connexion électrique avec l'environnement. Les composants discrets sont principalement montés sur des circuits imprimés (PCB) et leurs terminaux doivent donc être brasables ou soudables. L'interconnexion électrique des modules de puissance peut se faire par soudure ou contact pressé pour les terminaux de commande (circuit PCB de commande rapprochée), par serrage mécanique ou soudure pour les terminaux de puissance (bus bar, câbles). La tenue diélectrique est assurée par un gel diélectrique ou un polymère moulé. Enfin, un système de refroidissement est fixé sur la semelle des modules de puissance.

### 1.4.2. Le packaging des composants de faible puissance

L'utilisation des composants traversants ou montés en surface est largement répandue dans les convertisseurs de faible puissance à base de circuit imprimé permettant d'assembler d'une manière économique l'ensemble des composants actifs et passifs. Un MOSFET SiC en boîtier TO247 est présenté en Figure 36. Ce type de boîtier est couramment utilisé pour l'encapsulation de MOSFET ou d'IGBT.



$$L_D = 6nH$$

$$L_G = 15nH$$

$$L_S = 9nH$$

Figure 36: MOSFET SiC en boîtier TO247

Les constructeurs fournissent également des modèles SPICE de leurs composants où les inductances parasites sont prises en compte. Dans cet exemple de boîtier TO247, les inductances parasites valent 6nH pour l'inductance de drain, 15nH pour l'inductance de grille et 9nH pour l'inductance de source. Les fils de bonding ainsi que les pattes de connexion sont les responsables de ces fortes valeurs. Ce boîtier est utilisé dans le cas de MOSFET SiC afin de fournir une solution de remplacement immédiate pour l'IGBT malgré une perte évidente de performance notamment à cause de l'inductance commune de source.

Une évolution du boîtier TO247 est présentée en [67], où une quatrième patte est ajoutée afin de découpler le courant de puissance du courant de commande de grille permettant de diminuer sensiblement l'inductance commune de source. La Figure 38 montre une vue interne d'un boîtier TO247 à 4 pattes de sortie. La sortie source pour la commande de grille est notée KS pour « Kelvin Source ». Cependant les couplages par inductance mutuelle entre la source et la Kelvin source sont toujours présents. Cette solution est mise en œuvre pour des MOSFET à super jonction.



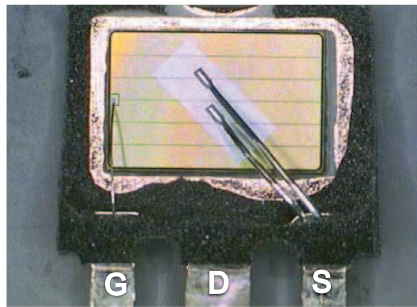


Figure 37: Vue interne d'un boîtier TO247 à 3 pattes de sortie [67]

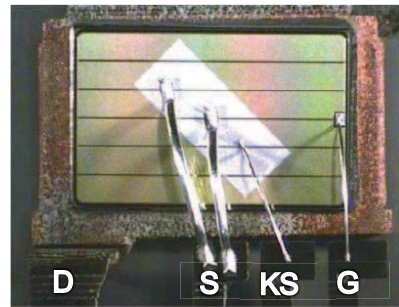


Figure 38: Vue interne d'un boîtier TO247 à 4 pattes de sortie [67]

Les composants CMS sont utilisés pour des puissances encore plus faibles. En effet, la dissipation thermique est souvent réalisée grâce au circuit imprimé où le composant est monté. La dimension des composants CMS s'est constamment réduite au cours du temps dans le but de réduire les éléments parasites et d'augmenter la densité de puissance. Un MOSFET SiC 900V est présenté en Figure 39 dans un packaging de type D2PAK avec sept pattes de sortie. Une sortie « Kelvin Source » est présente et l'augmentation du nombre de pattes de source permet de réduire l'inductance parasite totale. Ce packaging reste cependant dans la lignée de l'assemblage classique. Les fabricants de composants GaN ont changé radicalement d'approche. Pour le fabricant EPC, la puce est seulement passivée (CSP = Chip Scale Package) et les connexions électriques métallisées pour être montée en « flip-chip » (Figure 40). Il n'y a donc plus de package au sens strict du terme. Des difficultés peuvent être rencontrées lors du report de tels composants à cause du faible espacement entre chaque piste. Les éléments parasites viennent donc seulement du routage du circuit imprimé. De plus, ces composants sont utilisés en très faible tension ( $\leq 200V$ ), les contraintes d'isolation électrique sont donc réduites. Le fabricant GaN Systems a opté pour la technologie « embedded die » (Figure 41). La puce GaN est encapsulée dans un polyimide suivant un procédé de circuit imprimé. Les connexions électriques entre la puce et les pistes de cuivre sont faites par micro-vias. Cette encapsulation permet d'une part, d'assurer une bonne isolation électrique et d'autre part d'ajouter des feuilles de cuivre pour augmenter la surface d'échange thermique et la capacité en courant. Enfin, le report sur circuit imprimé est facilité grâce à l'augmentation de la taille globale. Le modèle SPICE d'un composant 650V 30A indique les inductances parasites suivantes : 0.2nH pour le drain, 0.2nH pour la source, 1nH pour la grille et 1nH pour la Kelvin source.



Figure 39: 900V MOSFET SiC en boîtier 7L D2PAK [68]

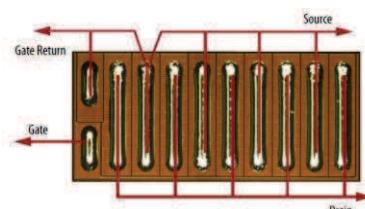


Figure 40: 40V HEMT GaN HEMT en boîtier LGA [69]

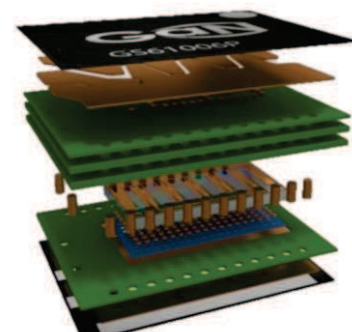


Figure 41: 650V HEMT GaN en technologie « embedded die » [70]

Dans le domaine des basses tensions ( $< 100V$ ), la tendance est à l'intégration hybride et/ou monolithique d'un système complet [71]. La dénomination anglo-saxonne pour ce genre de

packaging est « System In Package » (SIP). Une réalisation intéressante est présentée en Figure 42. Il s'agit d'une cellule de commutation réalisée à partir de MOSFET en silicium incluant également des organes de protection pour le circuit de grille. La tenue en tension des MOSFET est de 30V pour un courant de charge de 30A. L'application typique concerne la réalisation de convertisseur abaisseur non isolé avec une tension d'entrée de 12V et une tension de sortie de 1.3V. L'originalité du package vient de l'assemblage de la cellule de commutation où le MOSFET high side est superposé au MOSFET low side (Figure 43). De plus, pour la partie puissance, les fils de bonding sont remplacés par des feuilles de cuivre (clip). Cet assemblage permet ainsi de minimiser l'inductance parasite de la maille de commutation entraînant une diminution des surtensions sur les interrupteurs et augmente le rendement du système. Des éléments du circuit de grille sont également intégrés monolithiquement tel qu'un circuit de protection contre les ré-enclenchements du transistor low side dus aux fortes variations de tensions et à la capacité Cgd.

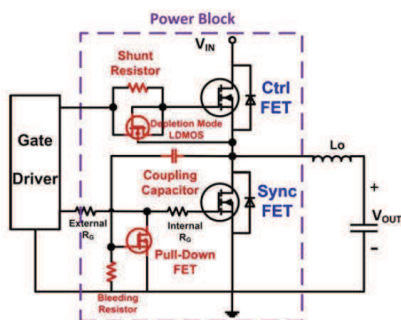


Figure 42: Power block - schéma de principe [71]

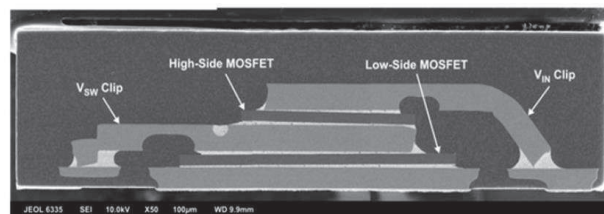


Figure 43: Power block - coupe métallographique [71]

On voit également apparaître l'intégration monolithique au sein des composants GaN. La structure latérale des composants HEMT se prête bien à ce type d'intégration. Le fabricant EPC commercialise une structure demi pont où les transistors high side et low side sont intégrés sur le même substrat (Figure 44, Figure 45 et Figure 46). Le boîtier est toujours de type LGA pour une dimension totale de 6mm par 2.3mm.

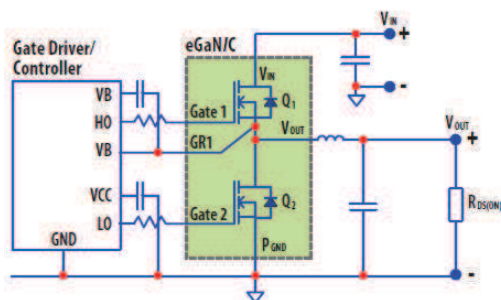


Figure 44: Schéma EPC GaN demi-pont [72]

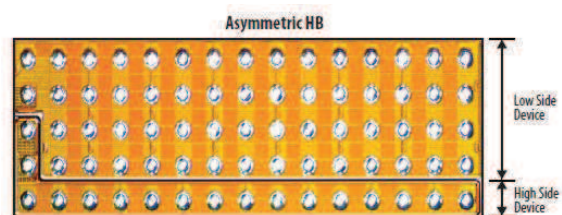


Figure 45: Vue de la connectique d'un composant EPC demi-pont [72]

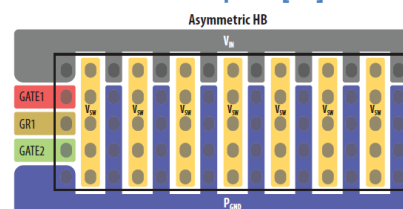


Figure 46: Schéma de la connectique d'un composant EPC demi-pont [72]

### **I.4.3. Le packaging des modules de puissance**

Dans le domaine des moyennes et fortes puissance, le module est la solution préférée. Il permet d'assembler d'une manière compacte un grand nombre de puces. Cette solution repose sur l'utilisation de substrat DBC (Direct Bond Copper) introduit dans les années 1970 [73]. Il permet la réalisation de piste en cuivre de forte épaisseur (jusqu'à 400 $\mu$ m) et assure une isolation électrique avec le système de refroidissement tout en garantissant une bonne évacuation de la chaleur grâce aux bonnes caractéristiques thermiques de la céramique. De plus, le coefficient d'expansion thermique d'un substrat DBC est proche de celui du silicium, permettant ainsi de réduire le stress thermo-mécanique. La nature planaire du substrat entraîne l'utilisation de fils de bonding pour connecter la face avant des puces avec le reste du circuit électrique. Enfin, des lyres de connexions sont indispensables pour connecter le module à son environnement. Il est important de noter la maturité technologique du procédé de fabrication des modules de puissance.

L'arrivée de composants à grande vitesse de commutation a permis de prendre conscience de l'importance des éléments parasites au sein des modules de puissance. De nombreux travaux portent sur l'optimisation de cet assemblage pour minimiser les inductances parasites, les couplages puissance-commande ou minimiser les capacités de mode commun. Cependant, la conception bidimensionnelle des modules de puissance entraîne nécessairement une limite au-delà de laquelle il ne sera plus possible de diminuer les éléments parasites. Pour aller plus loin, une conception tridimensionnelle semble nécessaire afin de tendre vers un packaging particulièrement adapté aux composants à grand gap.

#### **I.4.3.1. Amélioration de l'assemblage classique**

Plusieurs solutions ont été proposées dans la littérature pour optimiser l'assemblage classique. On retrouve beaucoup de modules dédiés aux puces en carbure de silicium. Quatre voies d'amélioration sont présentées : l'optimisation du routage, la suppression des fils de bonding, l'utilisation d'un bus bar directement à l'intérieur du module ou l'introduction du condensateur de découplage à l'intérieur du module.

##### **I.4.3.1. Optimisation du routage**

L'optimisation du routage consiste essentiellement à réduire la taille de la maille de commutation en rapprochant les puces (transistor et diode) le plus possible. Cependant, cela est en contradiction avec l'optimisation thermique d'un module qui tend à éloigner les puces les unes des autres pour éviter l'auto-échauffement. Une solution mise en œuvre par ABB [74] est de réaliser un module à capacité en courant restreinte mais d'assurer un bon routage pour venir en paralléliser plusieurs afin de distribuer le courant de puissance (Figure 47). L'inductance interne de ce type de module est estimée à 10nH.

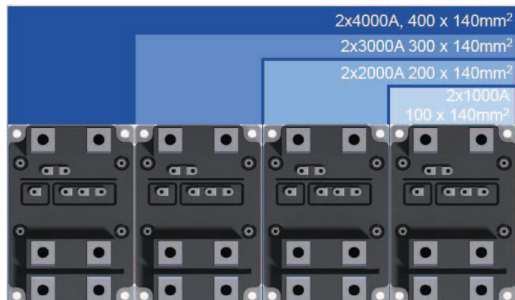


Figure 47: Module LinPak de ABB à base d'IGBT 1700V 1000A [74]

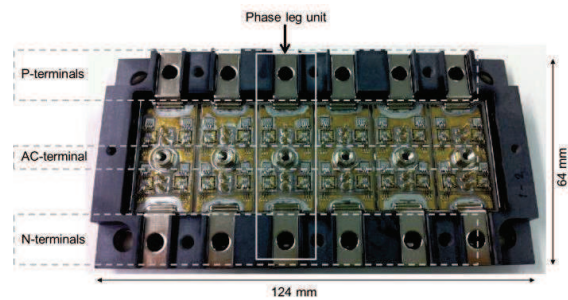


Figure 48: Module SiC 1200V 360A avec parallélisation de six bras [75]

Sur le même principe, un module à base de MOSFET SiC 1200V 360A est présenté en [75] (Figure 48). Le module a été conçu pour visser directement un condensateur de découplage film sur les terminaux plus et moins. L'inductance de la maille de commutation est estimée à 7.8nH en incluant l'inductance parasite du condensateur de découplage.

Une évolution du module précédent est présentée en Figure 49. Dans cet assemblage, les bras d'onduleurs sont disposés alternativement en opposition permettant ainsi de réduire le champ magnétique global et donc de diminuer l'inductance de la maille de commutation. Avec cette approche, les auteurs estiment l'inductance à seulement 3.8nH.

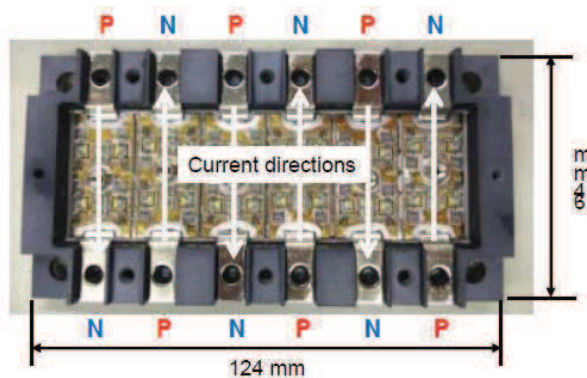


Figure 49: Module SiC 1200V 360A avec parallélisation opposée de six bras [76]

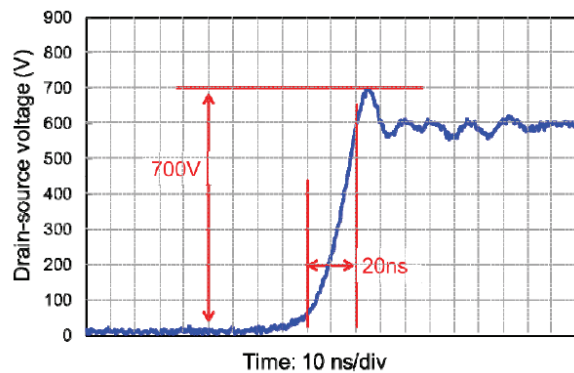


Figure 50: Tension drain source du module SiC avec parallélisation opposée de six bras [76]

La limite de la parallélisation vient du circuit de commande grille qui doit être parfaitement synchronisé pour assurer une commande identique sur toutes les puces. De plus, il existe une variation naturelle de la tension de seuil entre chaque puce pouvant entraîner un déséquilibre en courant lors des commutations.

### I.4.3.1. Suppression des fils de bonding

Les fils de bonding sont responsables d'une part non négligeable de l'inductance de la maille de commutation. De plus, ils peuvent être amenés à se désolidariser de la métallisation de la puce ou même se casser avec le vieillissement du module et les surintensités qui peuvent y transiter. Une alternative au fil de bonding est le ruban [13] qui permet une meilleure répartition du courant. Les rubans sont moins flexibles et imposent des restrictions de routage sur le module.

Une solution de remplacement originale a été développée par General Electric à partir de 1995 sous le nom de « Power Overlay Technology » [77]. Il s'agit d'un film en polyimide souple collé sur la face avant des puces d'un module. Des vias sont réalisés par perçage



laser puis une étape de métallisation permet de réaliser les pistes en cuivre ainsi que la connexion de face avant des puces. La face arrière des puces est brasée sur un DBC d'une manière classique. Un schéma de principe est montré en Figure 51 ainsi qu'une réalisation avec des composants SiC en Figure 52. Ce nouveau type d'interconnexion permet de gagner un degré de liberté supplémentaire pour le routage des modules de puissance et ainsi diminuer les éléments parasites.

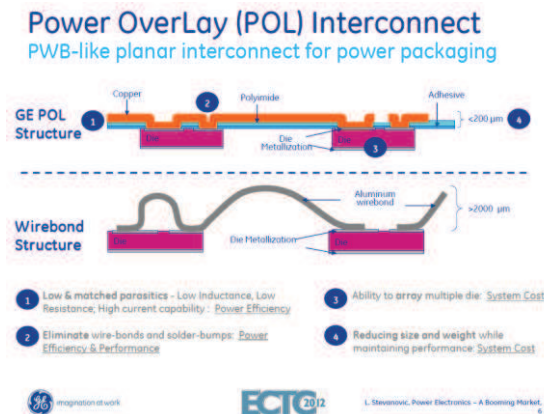


Figure 51: General Electric Power Overlay Technology [78]

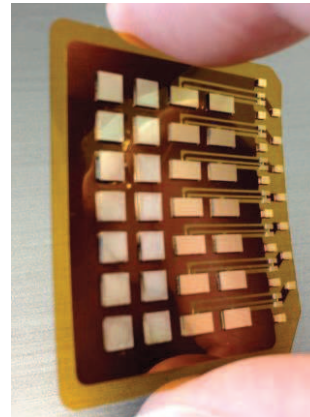


Figure 52: Power Overlay technology avec des puces SiC de General Electric [78]

Semikron développe également une solution similaire dénommée « SKIN » [79]. Un circuit imprimé flexible en double face permet de réaliser différentes pistes (puissance ou commande). La connexion électrique se fait par frittage sur les puces et sur le DBC (Figure 53). Le circuit double face augmente encore les possibilités de routage. Des simulations électromagnétiques ont été menées sur un module IGBT 650V 600A de dimension 59mm x 42mm (Figure 54). L'inductance de la maille de commutation est estimée à 16.25nH en incluant les lyres de connexion et seulement 1.4nH pour le module seul. Les lyres de connexion contribuent à près de 15nH dans l'inductance globale. Le problème de l'inductance est dès lors reporté sur la connectique externe.

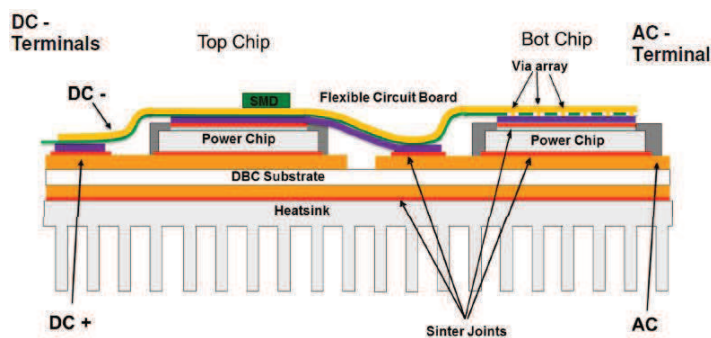


Figure 53: Semikron Skin Technology – Schéma de principe [79]

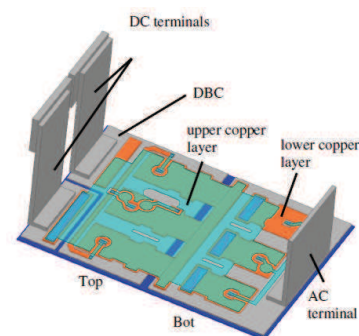


Figure 54: Module de puissance avec la technologie Skin [79]

Enfin, Fuji Electric développe un module à base de composants SiC sans fil de bonding basé sur l'utilisation d'un circuit imprimé [80]. Le schéma de principe et la réalisation sont présentés en Figure 55 et Figure 56. Le circuit imprimé est rigide et s'interconnecte avec les puces grâce à des plots en cuivre. Le tout est moulé dans une résine époxy. Le reste du module est de conception classique.

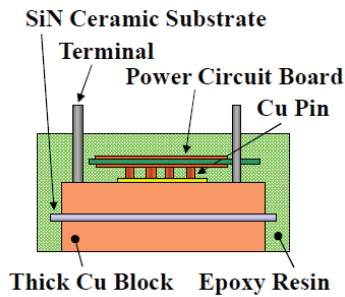


Figure 55: Module SiC Fuji Electric – Schéma de principe [80]

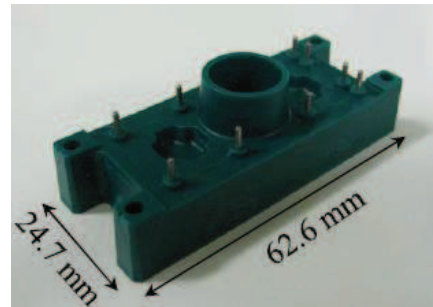


Figure 56: Module SiC Fuji Electric – Réalisation [80]

### I.4.3.1. Connexion par busbar

La connectique externe entraîne une grande part de l'inductance de la maille de commutation. Pour diminuer l'influence de la connectique, une approche de type busbar est une solution envisageable. Semikron inclut un busbar interne dans ses modules Skim (Figure 57). Infineon a aussi exploré une approche similaire où le busbar est vertical pour venir se connecter directement sur le DBC (Figure 58).

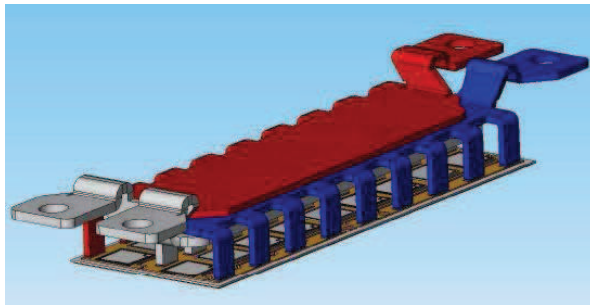


Figure 57 : Module IGBT Semikron Skim [81]

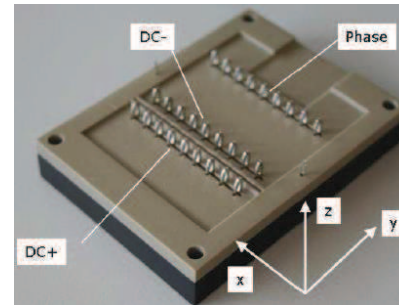


Figure 58: Module IGBT Infineon [82]

### I.4.3.1. Intégration du condensateur de découplage

L'intégration du condensateur de découplage au sein du module de puissance est une solution simple pour limiter la maille de commutation au module interne et ainsi éliminer les effets de la connectique. Cependant, cette solution est très rare dans les modules commercialisés. On peut noter la réalisation par Vincotech d'un module onduleur triphasé à base de composants SiC intégrant un condensateur céramique CMS de 47nF aux bornes de chaque bras [83].

### I.4.3.2. Le packaging 3D

Un module de puissance en trois dimensions autorise une plus grande liberté sur le routage de la cellule de commutation et une possibilité de refroidissement par une nouvelle face. Les connexions électriques de la puce par fil de bonding sont remplacées par d'autres méthodes tels que des poteaux, des bumps voire même une soudure directe sur un autre substrat [84]. Historiquement, la troisième dimension a d'abord été utilisée pour développer une nouvelle face de refroidissement puis, avec l'augmentation des vitesses de commutation des composants semi-conducteurs, la diminution des éléments parasites s'est avérée facilitée par cet assemblage. Enfin, on voit apparaître un intérêt croissant pour la technologie de réalisation des circuits imprimés (PCB) appliquée aux modules de puissance. Deux types de

modules peuvent être distingués : un module hybride avec comme base un substrat DBC ou un module entièrement PCB.

### I.4.3.2. Module à refroidissement double face

Le premier module à refroidissement double face reporté dans la littérature date de 2001 [85]. Le module est composé de deux IGBT 1600V 50A et quatre diodes dont la face arrière est brasée sur le DBC inférieur et la face avant est connectée au DBC supérieur par des bumps. Un refroidissement à eau par micro canaux est intégré dans chaque DBC pour éliminer les interfaces thermiques. Le module est présenté en Figure 59. Les avantages principaux de cet assemblage sont une augmentation de 76% de la puissance dissipée dans chaque puce en comparaison d'un refroidissement simple face ainsi qu'une augmentation de la durée de vie du module due à la diminution du stress thermo-mécanique.

Un second module double face et son assemblage au sein d'un onduleur triphasé est présenté en Figure 60 [86]. Dans ce module, deux IGBT 1200V 15A et deux diodes schottky SiC 1200V 15A sont assemblées entre deux DBC par deux étapes de soudure successives. L'inductance de la maille de commutation en incluant les lyres de puissance est estimée à 18nH. Un système de refroidissement direct à eau est mis en place. L'étude conjointe du module double face et du refroidissement direct à eau menée en [87] montre une réduction de 40% de la résistance thermique globale en comparaison à une solution traditionnelle.

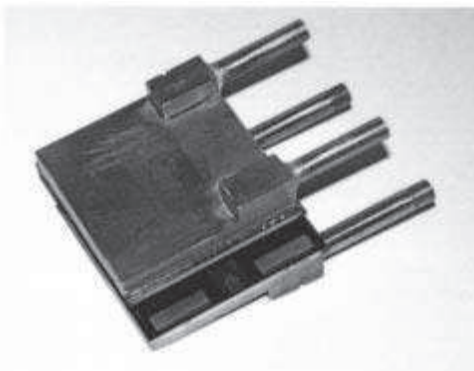


Figure 59: Module double face à refroidissement par micro canaux [85]

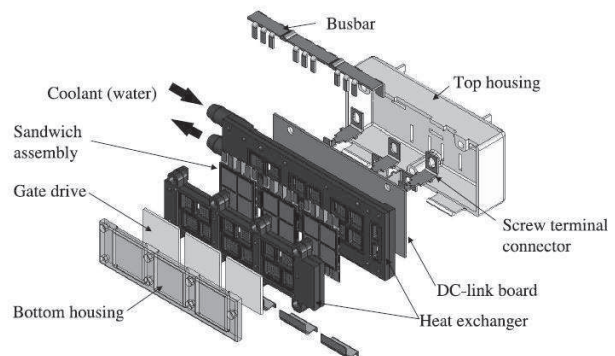


Figure 60: Module double face à refroidissement direct par jet [86]

Un module de conception similaire est présenté en Figure 61 [88]. Deux IGBT et diodes 600V 200A sont soudés entre deux DBC. L'auteur met en avant la difficulté de réalisation de l'assemblage (soudure, alignement, isolation électrique) mais aussi le gain en termes de réduction de la résistance thermique et la fiabilité du module.

Une évolution du module double face est présentée en Figure 62 [89]. La réalisation de ce module rentre dans le cadre d'un projet de thèse concernant la réalisation d'un onduleur MMC (Modular Multilevel Converter). Le module double face est constitué de quatre IGBT et quatre diodes 1700V 100A connectés par brasure en face arrière et bumps en face avant. Les simulations thermiques d'un tel assemblage montrent que seulement un quart des pertes sont évacuées par la face avec les bumps entraînant un déséquilibre en température entre le DBC supérieur et le DBC inférieur. Afin de symétriser la dissipation thermique, la moitié des puces est soudée sur le DBC supérieur tandis que l'autre moitié des puces est soudée sur le DBC inférieur. Les contraintes thermiques sont ainsi équilibrées entre les deux



DBC. L'inductance de la maille de commutation d'un tel module est estimée à 19.3nH avec la connectique et seulement 7.3nH pour le module seul.

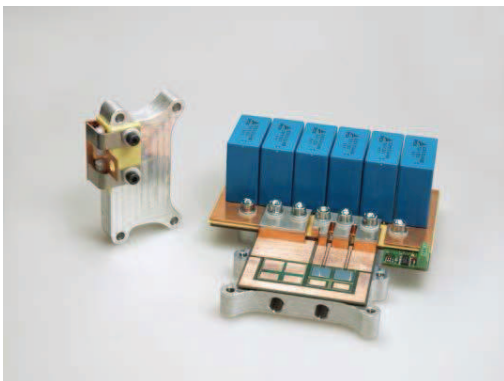


Figure 61: Module double face à refroidissement direct par jet [88]

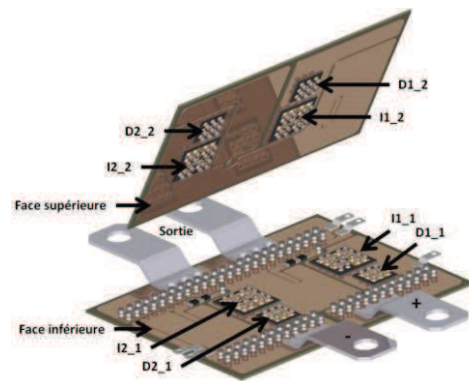


Figure 62: Module double face avec puces alternées [89]

Un dernier module double face est présenté en Figure 63 et son assemblage en onduleur triphasé en Figure 64 [90]. Chaque bras d'onduleur est composé de trois MOSFET SiC en parallèle pour une application à bus continu de 600V et courant de sortie de 150A. La diode body du MOSFET est utilisée comme diode de roue libre. La connectique du bus continu est de type bus bar. L'ensemble du module est moulé dans une résine. Le routage de la maille de commutation est accompli afin de créer un effet d'annulation de champs magnétiques pour diminuer l'inductance qui est estimée à 7.5nH, connectique incluse. De plus, la réduction des pertes par l'utilisation de MOSFET SiC ainsi que le refroidissement double face permet un refroidissement par air forcé tout en assurant une température de jonction inférieure à 200°C. La puissance volumique de l'onduleur triphasé prenant en compte le module de puissance, le refroidissement, le condensateur du bus continu et le circuit de commande rapproché, est estimée à près de 93kW/l.

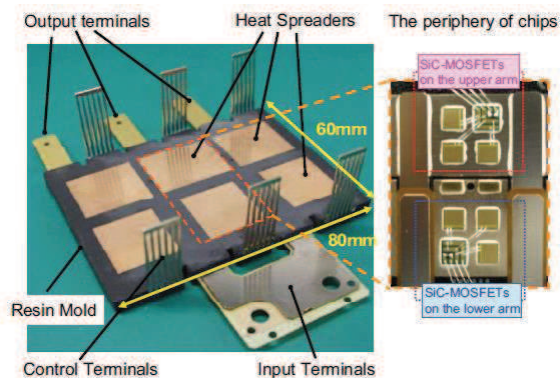


Figure 63: Module double face moulé d'un onduleur triphasé à base de MOSFET SiC [90]

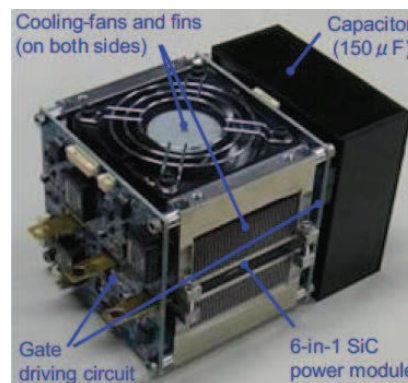


Figure 64: Onduleur triphasé 70kW basé sur le module double face [90]

### I.4.3.2. Module basé sur un procédé de fabrication de circuit imprimé

Le circuit imprimé est le substrat de base pour les composants discrets en électronique. Ses atouts sont sa grande flexibilité de routage en trois dimensions (multicouche, via), sa bonne précision et son faible coût de production. L'intégration de composants passifs ou actifs de faible puissance est aujourd'hui proposée par un grand nombre de fabricants. Il semble naturel de voir évoluer cette technologie vers l'électronique de puissance. Deux projets ont particulièrement retenu notre attention.

Le projet Very Fast Switching [91] [92] [93], mené par le Fraunhofer IZM, a pour but de développer un packaging adapté aux transistors à grand gap (SiC ou GaN). La solution proposée consiste à assembler classiquement une puce sur un substrat DBC par frittage d'argent puis de créer un circuit imprimé directement à la surface du DBC. Le circuit imprimé permet de connecter la puce grâce à des vias éliminant ainsi le recours aux fils de bonding ou bumps. L'isolation électrique est obtenue grâce à la résine epoxy FR4 classiquement utilisée dans la réalisation de circuits imprimés. La couche supérieure du module peut ainsi être mise à profit pour souder le condensateur de découplage et le circuit de commande rapproché. Une première réalisation avec des puces JFET SiC est présentée en Figure 65 et Figure 66. L'inductance de la maille de commutation, mesurée expérimentalement, est de 0.86nH incluant le capteur de courant dont la valeur d'inductance ajoutée est estimée à 0.35nH. L'inductance du package seul est donc seulement de 0.5nH. L'avantage du circuit imprimé est de pouvoir router les couches de puissance à la manière d'un busbar et d'ajouter un condensateur de découplage au plus proche.

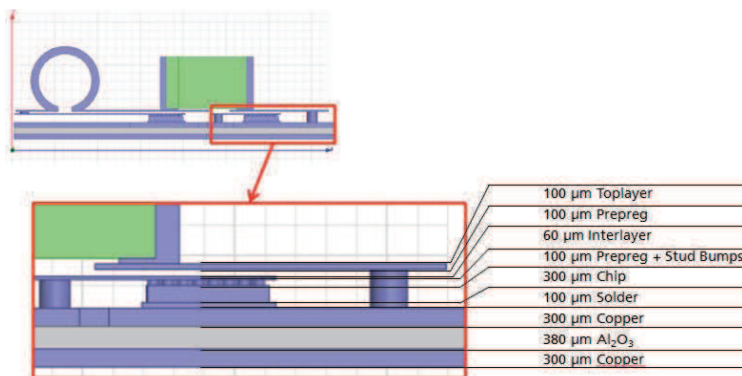


Figure 65: Couches interne du module Very Fast Switching [91]

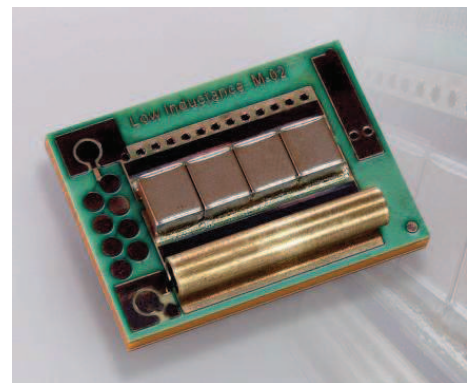


Figure 66: Vue globale du module Very Fast Switching [91]

Contrairement au module précédent basé sur un DBC, le module développé dans le projet HI-LEVEL est entièrement conçu en utilisant le procédé PCB [94] [95]. L'objectif du projet est de construire un module onduleur triphasé à base d'IGBT d'une puissance de 50kW pour une application automobile. Le procédé PCB est principalement choisi ici pour sa capacité de production de masse et donc de réduction des coûts. Le procédé de fabrication est présenté en Figure 67. Dans une première étape, la puce est frittée sur une feuille de cuivre épaisse (500µm) servant de diffuseur de chaleur (thermal spreader). L'isolation en face arrière est réalisée par une couche diélectrique compatible avec le procédé PCB. La puce est ensuite encapsulée par lamination d'une couche de FR4. Des vias sont créés par perçage laser puis bouchés par croissance électrolytique de cuivre. D'autres couches peuvent être rajoutées si besoin suivant le procédé classique. Le module final d'une épaisseur de 1.4mm est présenté en Figure 68. Les empreintes au centre du module permettent de souder les condensateurs de découplage au plus près de la cellule de commutation. Le refroidissement se fait comme dans un module traditionnel par la face arrière. L'inductance de la maille de commutation est estimée expérimentalement à une valeur de 2.8nH.

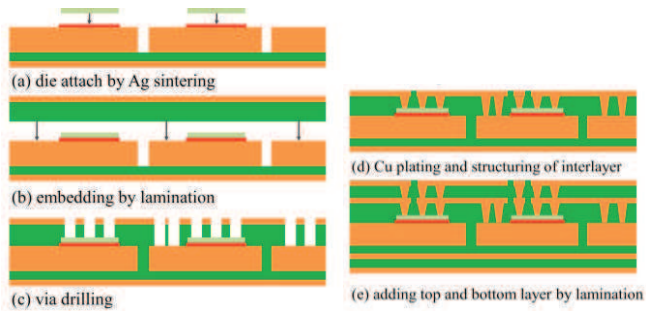


Figure 67 : Procédé de fabrication PCB du module HI-LEVEL [94]

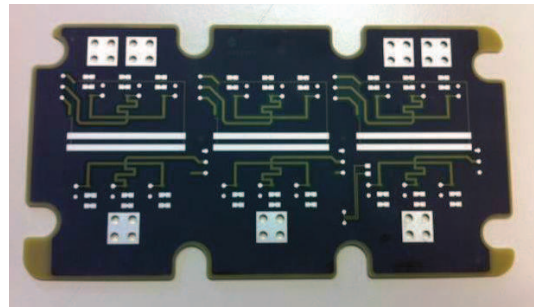


Figure 68 : Module onduleur triphasé IGBT 50kW du projet HI-LEVEL [94]

Les aspects de gestion thermique et de stress mécanique sont développés en [95]. La publication met en avant un comportement thermique similaire à une structure classique en DBC. Par contre, à cause de la forte épaisseur de la couche de cuivre sous la puce, le stress mécanique au sein de la puce est supérieur en comparaison à un assemblage classique.

## I.5.Conclusion

Les transistors à grand gap possèdent des caractéristiques en commutation remarquables. Dans une première partie, leur impact sur la cellule de commutation a été développé. Afin de tirer pleinement profit des composants à grand gap, leur packaging doit être particulièrement soigné. Des règles de conception peuvent être dégagées suite à cette analyse.

|   | Règle de conception   | Remarques   |
|---|---|---|
| 1 | <i>Minimisation de l'inductance de la maille de commutation</i>       | Une valeur d'inductance inférieure à 1nH est un objectif atteignable  |
| 2 | <i>Réduction des interactions puissance-commande</i>                  | L'inductance commune de source doit être éliminée en utilisant une connexion « Kelvin Source ». Le couplage entre le circuit de puissance et de commande rapprochée par mutuelle inductance doit être négligeable. Le packaging ne doit pas ajouter de capacité entre grille et drain (effet Miller). |
| 3 | <i>Minimisation de l'inductance du circuit de commande rapprochée</i> | L'inductance du circuit de grille devra être réduite au maximum, même si le circuit de commande rapprochée n'est pas disposé au plus proche des puces de puissance.   |
| 4 | <i>Suppression des fils de bonding</i>                                | Les fils de bonding sont responsables d'une part importante des défaillances des modules de puissance. Le module devra donc s'en affranchir afin d'augmenter sa fiabilité.  |
| 5 | <i>Réduction de l'impact CEM</i>                                      | La symétrisation des éléments parasites est nécessaire pour diminuer les couplages entre mode commun et mode différentiel. La capacité parasite de mode commun du point flottant doit être réduite au maximum.  |
| 6 | <i>Comportement thermique non dégradé</i>                             | L'optimisation électromagnétique du module ne doit pas se faire au détriment du comportement thermique du module.   |

Tableau 6: Règles de conception du module de puissance

Pour suivre ces règles de conception, le packaging 3D nous offre une flexibilité très intéressante. L'assemblage de type sandwich entre deux DBC a largement été traité dans la littérature. Des modules avec de bonnes caractéristiques électromagnétiques et thermiques peuvent être réalisés. Cependant, le procédé d'assemblage demande de nombreuses étapes complexes et coûteuses. Dans le cadre de cette thèse CIFRE en partenariat avec Mitsubishi Electric R&D Centre Europe (MERCE), les aspects d'industrialisation et de maîtrise des coûts sont importants. Les composants à grand gap sont aujourd'hui beaucoup plus chers que leurs homologues en silicium et il ne faudrait pas qu'un packaging 3D augmente d'avantage le coût global d'un module. Afin de répondre à cette problématique, le procédé de fabrication de circuit imprimé est une alternative très intéressante. Cette technologie sera donc développée dans ce projet pour la réalisation d'un module de puissance. De plus, une architecture originale de cellule de commutation développée au Laboratoire de Génie Electrique de Grenoble (G2Elab) sera mise en place, permettant de valider les règles de conception citées précédemment.

## Chapitre II

---

### *Conception du module de puissance 3D*



## Résumé

La conception d'un nouveau module de puissance basé sur une architecture 3D est développée dans ce chapitre. Le projet de thèse s'inscrit dans un contexte industriel avec comme objectif la réalisation d'un onduleur triphasé de quelques dizaines de kilowatts à forte densité de puissance en utilisant des semi-conducteurs à grand gap. Les MOSFET SiC ont été sélectionnés dans ce projet. D'après l'étude bibliographique menée précédemment, le packaging de ces nouveaux composants doit être amélioré pour parvenir à un fonctionnement optimal.

Le concept « Power Chip On Chip » développé au G2Elab consiste en une intégration de la cellule de commutation dans le busbar. Cette architecture possède de nombreux avantages pour réduire l'inductance de la maille de commutation et diminuer les perturbations électromagnétiques. Elle est alors mise en œuvre grâce à un procédé de fabrication de circuit imprimé. Ce procédé industriel permet une grande flexibilité de conception en trois dimensions et une maîtrise des coûts de fabrication. Un module de puissance est développé pour un bras d'onduleur avec quatre transistors en parallèle pour chaque interrupteur.

A partir des données géométriques du module, des simulations électriques et thermiques sont menées. Les résultats de l'analyse électromagnétique ont montré une inductance de maille de commutation inférieure à 1nH et un équilibrage en haute fréquence des impédances des quatre cellules de commutation. Le circuit de commande de grille est conçu avec beaucoup de précautions pour limiter l'inductance propre. Les couplages électromagnétiques entre puissance et commande sont quantifiés en simulation et sont jugés négligeables.

La structure en couche du module impose nécessairement d'accroître les capacités parasites du MOSFET SiC. Un modèle de condensateur plan est utilisé et s'adapte bien à la structure du module. Les résultats montrent une augmentation de la capacité Cds de 51% et la capacité Cgs de 5%. Le routage du circuit de grille permet d'éviter d'augmenter la capacité Cgd qui est la plus critique pour les perturbations causés par les forts dV/dt.

Des simulations SPICE sont réalisées en prenant en compte les éléments parasites du nouveau packaging. Les formes d'onde en tension et courant prouvent le bon fonctionnement électrique du module mais également mettent en avant le phénomène de recouvrement inverse important causé par le fort di/dt. Ce phénomène constitue la grande majorité des pertes en commutation du module. Malgré tout, le rendement global de l'onduleur triphasé estimé en simulation reste supérieur à l'objectif visé (>97%) pour une large gamme de fréquence de commutation (25kHz à 100kHz).

L'analyse thermique du module reprend tous les éléments critiques du refroidissement d'un module de puissance : système de refroidissement, influence thermique de l'isolation électrique, analyse thermique de l'accroche de la puce par micro via et enfin simulation 3D du module.

Un système de refroidissement adapté à la faible surface du module (30mm x 30mm) a été réalisé avec un coefficient d'échange de près de 10kW/m<sup>2</sup>.K.

Un modèle thermique analytique est développé afin de comparer plusieurs solutions d'isolations électriques. Les résultats prouvent que des nouveaux matériaux compatibles

avec le procédé PCB peuvent être utilisés avec des performances proches de l'alumine, utilisée dans les substrats DBC.

Un modèle thermique équivalent de la couche d'attache par micro-via est présenté. D'après la géométrie du module, une conductivité thermique équivalente de  $78\text{W/m.K}$  est atteinte. La résistance thermique de cette couche est moins bonne que les attaches classiques mais reste du même ordre de grandeur.

Enfin, des simulations thermiques 3D du module sont réalisées. La question de la modélisation thermique d'une puce soumise à un refroidissement par ses deux faces est soulevée. Deux cas limites sont ensuite pris en compte pour les simulations. Un premier résultat intéressant est l'action bénéfique de la couche centrale de cuivre qui permet d'épanouir la chaleur au milieu du module et crée ainsi un chemin alternatif pour l'évacuation de la chaleur. Les deux paramètres les plus influents pour améliorer le comportement thermique du module sont la conductivité thermique de la couche de prepreg où sont encapsulées les puces et les couches de cuivre épaisses. Cependant, les améliorations sont limitées par le procédé de fabrication des circuits imprimés.



## II.1. Définition du projet

Les travaux de cette thèse se déroulent en partenariat entre Mitsubishi Electric R&D Centre Europe et le G2Elab dans le cadre d'une convention CIFRE. Le but du projet est la réalisation d'un onduleur à forte puissance volumique en utilisant des composants à grand gap. Le périmètre de l'étude concerne particulièrement le module de puissance, le système de refroidissement, le circuit de commande rapproché et les condensateurs du bus continu. Un cahier des charges sommaire définit la base de l'étude :

- Onduleur triphasé
- Tension du bus continu : entre 600V et 800V
- Puissance : entre 25kW et 50kW
- Fréquence de découpage : supérieure à 20kHz
- Rendement du cœur de puissance: supérieur à 97%
- Utilisation de transistors à grand gap : MOSFET SiC ou HEMT GaN

D'après l'étude bibliographique précédente, la problématique du packaging des transistors à grand gap est un point critique pour utiliser de manière optimale ces nouveaux composants de puissance. Le cœur de cette thèse s'orientera donc vers le développement d'un packaging adapté. La technologie de réalisation retenue est le procédé de fabrication des circuits imprimés, offrant une grande flexibilité en trois dimensions ainsi qu'une maîtrise des coûts de production. Le procédé est aujourd'hui bien maîtrisé industriellement, permettant une production de masse.

Il a été décidé d'utiliser des MOSFET SiC pour la suite du projet car la technologie est davantage mature et l'approvisionnement de puces nues plus facile comparativement aux composants HEMT GaN. Ce choix influence la réalisation du module de puissance par la nature même de la puce. En effet, les MOSFET SiC sont des composants verticaux tandis que les HEMT GaN sont des composants horizontaux. Bien que le routage du module de puissance ne soit pas identique pour les deux types de composants, la technologie d'encapsulation par PCB peut être appliquée dans les deux cas. Les objectifs de ces travaux visent davantage à valider le procédé PCB pour la réalisation d'un module de puissance que de proposer un module universel pour tous les composants de puissance existants.

Le fabricant de MOSFET SiC CREE commercialise des puces nues d'une tenue en tension de 1200V pour un calibre en courant allant de 19A à 90A. Le tableau suivant récapitule les caractéristiques des puces nues.

| Composant       | Id @<br>25°C<br>(A) | Ron @<br>25°C<br>(mΩ) | Qg @<br>25°C<br>(nC) | Taille<br>(mm x<br>mm) | Epaisseur<br>(μm) | Ron spec<br>(mΩ.cm <sup>2</sup> ) | Ron.Qg<br>(mΩ.nC) |
|-----------------|---------------------|-----------------------|----------------------|------------------------|-------------------|-----------------------------------|-------------------|
| CPM2-1200-0160B | 19                  | 160                   | 34                   | 2.39 x<br>2.63         | 180 ± 40          | 10.06                             | 5444              |
| CPM2-1200-0080B | 36                  | 80                    | 62                   | 3.10 x<br>3.36         | 180 ± 40          | 8.33                              | 4960              |
| CPM2-1200-0040B | 60                  | 40                    | 115                  | 3.10 x<br>5.90         | 180 ± 40          | 7.32                              | 4600              |
| CPM2-1200-0025B | 90                  | 25                    | 161                  | 4.04 x<br>6.44         | 180 ± 40          | 6.5                               | 4025              |

Tableau 7: Caractéristiques des MOSFET SiC de CREE

Le modèle CPM2-1200-0080B est sélectionné dans la suite de ce projet. La dimension de cette puce est de seulement 3.10mm x 3.36mm pour 180µm d'épaisseur. Le calibre en courant indiqué est de 36A. Un agencement en parallèle de plusieurs puces sera réalisé pour atteindre le niveau de courant requis pour l'application visée. La parallélisation de puces est un point d'intérêt du sujet de thèse. La conception du module devra prendre en compte cet aspect afin d'assurer un bon équilibrage des courants lors des commutations.

Avec un calibre en tension de la puce de 1200V et une tension de bus continu entre 600V et 800V, une topologie classique d'onduleur deux niveaux est sélectionnée. Les topologies multiniveaux de type « Neutral Point Clamped » (NPC) ou « Flying Capacitor » (FC) auraient été particulièrement adaptées dans cette application pour des puces avec un calibre en tension de 600V tels que les HEMT GaN.

Afin de compléter les spécifications du projet, les courants de sortie et des interrupteurs sont calculés dans le cas d'un onduleur deux niveaux pour une modulation à largeur d'impulsion (MLI) vectorielle à partir des équations suivantes.

$$P_S = 3V_S I_S \cos(\varphi) \quad (14)$$

$$V_S = \frac{mE}{\sqrt{6}} \quad (15)$$

$$I_S = \frac{\sqrt{6}}{3} \frac{P}{m.E.\cos(\varphi)} \quad (16)$$

$$I_{MOS\ Dir}^{rms} = I_S \sqrt{2} \sqrt{\frac{1}{8} + \frac{m}{3\pi} \cos(\varphi)} \quad (17)$$

$$I_{MOS\ Inv}^{rms} = I_S \sqrt{2} \sqrt{\frac{1}{8} - \frac{m}{3\pi} \cos(\varphi)} \quad (18)$$

La puissance de sortie d'un onduleur triphasé est calculée avec l'équation (14). Le facteur de puissance  $\cos(\varphi)$  d'un moteur électrique est typiquement de l'ordre de 0.9. La valeur efficace de la tension phase neutre de sortie de l'onduleur triphasé avec une MLI vectorielle est donnée en équation (15). L'indice de modulation  $m$  est compris entre 0 et 1. La valeur efficace du courant de sortie d'une phase est donnée en (16). En supposant une puissance totale de 50kW, un indice de modulation de 0.9 et une tension de bus continu de 700V, la valeur du courant efficace d'une phase est de 72Arms. Il est possible de calculer les courants efficaces des interrupteurs d'un bras d'onduleur en direct et en inverse avec les équations (17) et (18). L'application numérique dans notre cas donne 47Arms pour la conduction en direct et 20Arms pour la conduction en inverse.

A partir des spécifications en courants et du type de puce sélectionné (MOSFET SiC 1200V 80mΩ), le nombre de puces à paralléliser pour un interrupteur est fixé à 4. Cela correspond à un courant pic de 25A par puce et un courant efficace maximal de 12Arms par puce (conduction directe). En toute rigueur, le nombre de puces en parallèle doit être déterminé à partir du calcul des pertes, de la gestion thermique associée et du rendement voulu pour l'application. Or, le calcul des pertes est dépendant des énergies de commutation qui elles-mêmes dépendent du type de packaging utilisé. Les informations du constructeur ne

donnent les énergies de commutation que pour un boîtier TO247. Nous avons donc décidé de fixer le nombre de puce à 4 et de calculer les énergies de commutation par simulation avec les éléments parasites du nouveau packaging développé dans ce projet. Le rendement de la structure sera analysé en fonction de la fréquence de commutation ( $>20\text{kHz}$ ) et de la puissance de sortie (entre  $25\text{kW}$  et  $50\text{kW}$ ) afin de déterminer les points de fonctionnement optimaux du module 3D dans une application d'onduleur triphasé.

Nous avons également fait le choix de ne pas rajouter de diodes Schottky SiC en anti-parallèle de chaque MOSFET. Nous verrons dans les simulations électriques d'une cellule de commutation (paragraphe II.3.3) que le phénomène de recouvrement est significatif avec le module développé dans ce projet. Cependant, dans une optique d'augmentation de densité de puissance, il est intéressant de supprimer la diode en anti-parallèle pour diminuer le nombre de composants.

Après cette première analyse, le cahier des charges du module de puissance est réduit aux éléments suivants :

- Construction d'un module monophasé : trois modules pourront être assemblés pour la réalisation d'un onduleur triphasé
- Topologie : deux niveaux (cellule de commutation)
- Utilisation des puces MOSFET SiC  $1200\text{V}$   $80\text{m}\Omega$  : CPM2-1200-0080B
- Quatre puces en parallèle
- Pas de diodes Schottky en anti-parallèle
- Tension du bus continu : entre  $600\text{V}$  et  $800\text{V}$
- Courant de sortie du module :  $72\text{Arms}$
- Courant d'entrée du module :  $25\text{Arms}$  ( $\eta=97\%$ ,  $E=700\text{V}$ ,  $P_S=50\text{kW}$ )

Les caractéristiques du module sont maintenant fixées, nous allons pouvoir nous attacher à décrire l'architecture 3D du nouveau package ainsi que le procédé de fabrication PCB.

## II.2. Module de puissance 3D basé sur un procédé de fabrication PCB

Le module de puissance est basé sur une architecture originale dénommée « Power Chip On Chip », initialement développée au G2Elab. Le concept est présenté dans la suite de cette partie ainsi que les premières réalisations. La technologie PCB est ensuite introduite avec une description des différents matériaux utilisés et du procédé de fabrication. Nous verrons alors les avantages de cette technologie pour la réalisation d'un module 3D. Enfin, les différentes étapes de fabrication du module développé dans ce projet sont présentées.

### II.2.1. Le concept « Power Chip On Chip »

Le concept est introduit en 2010 suite aux travaux de thèse d'Éric Vagnon [96]. Comme son nom l'indique, l'idée de base est de venir superposer deux puces l'une sur l'autre. D'un point de vue théorique, cette construction a de nombreux avantages.

#### II.2.1.1. Une cellule de commutation en 3D

Une cellule de commutation à base d'IGBT et de diode en configuration PCOC est présentée en Figure 69. Les interrupteurs sont superposés l'un sur l'autre, pris en sandwich entre les entrées de puissance (+DC et -DC). La cellule de commutation est donc à l'intérieur d'un véritable busbar. Grâce à cet agencement, la maille de commutation est réduite d'une manière significative diminuant ainsi l'inductance parasite interne du module. D'un point de vue électrostatique (Figure 70), le point flottant est confiné à l'intérieur du module, entre les pistes d'entrées de puissance, offrant ainsi un écran électrostatique entre le point milieu et la terre. La capacité parasite de mode commun interne du module est donc fortement réduite.

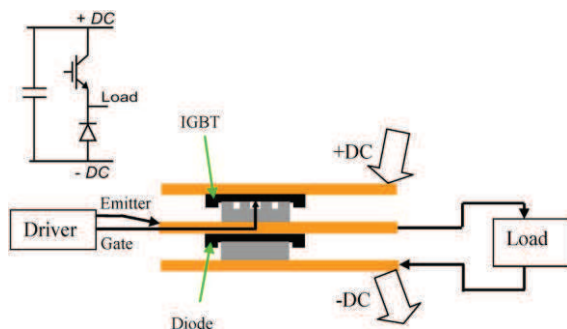


Figure 69: Cellule de commutation (IGBT + Diode) en configuration PCOC [97]

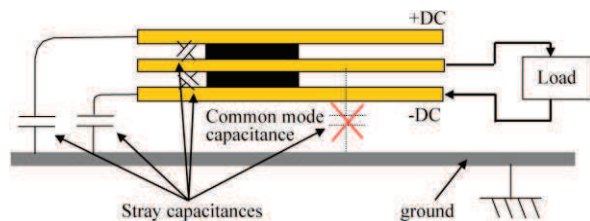


Figure 70: Réduction de la capacité parasite de mode commun [97]

L'analyse électrique de l'assemblage PCOC par simulation et mesures expérimentales a permis d'aboutir aux conclusions suivantes.

- **Comportement électromagnétique**

L'inductance de la maille de commutation est effectivement réduite si et seulement si le condensateur de découplage est inséré au plus proche afin de s'affranchir des connectiques. La valeur de l'inductance parasite dépend essentiellement de la distance entre les entrées de puissance et le point milieu (+DC et point milieu, -DC et point milieu) donc de l'épaisseur de la puce et des connexions électriques avec les plaques. Les couplages puissance - commande sont extrêmement faibles grâce au blindage de la grille. En effet, comme présentée en Figure 69, la piste de grille de l'IGBT est insérée dans la plaque du point milieu

correspondant à l'émetteur de l'IGBT. Le circuit de grille s'approche alors d'une connectique de type coaxial. L'assemblage PCOC a le comportement d'un blindage électromagnétique qui permet de confiner le champ électromagnétique à l'intérieur du module et donc de réduire son rayonnement.

- **Comportement électrostatique**

Des caractérisations expérimentales ont été menées entre un module plan et le module PCOC montrant une diminution importante de la capacité de mode commun [96].

- **Points bloquants**

La réalisation pratique d'un tel assemblage n'est pas facile. La face avant des puces est adaptée pour reporter des fils de bonding grâce à une métallisation en aluminium. Une soudure ou un contact pressé est difficilement réalisable avec cette finition et des étapes additionnelles de métallisation sont nécessaires. La tenue en tension des composants de puissance se fait grâce à des anneaux de garde. Cette technologie est appropriée pour un module planaire mais pas forcément adéquat pour un agencement 3D. Un matériau diélectrique doit également être inséré au sein du module pour assurer la tenue en tension souhaitée.

On peut également souligner deux autres points importants. D'un point de vue thermique, le refroidissement des puces du module se fait par la face avant pour la puce du haut et par la face arrière pour la puce du bas. Or, les puces actuelles ne sont pas conçues pour être refroidies par la face avant. Les deux puces n'auront donc peut-être pas la même température de jonction entraînant un vieillissement différent des deux puces. Enfin, le module PCOC est symétrique par nature, ce qui est très intéressant d'un point de vue CEM.

### **II.2.1.2.Réalisations précédentes**

Deux prototypes de module PCOC ont précédemment été réalisés au G2Elab. La première version consiste en un assemblage de type pressé d'un IGBT 600V 150A et d'une diode 600V 200A (Figure 71). La force de pressage est ajustée pour assurer un bon contact électrique entre tous les éléments. La seconde version du module PCOC inclut deux IGBT et deux diodes pour créer un bras d'onduleur. L'assemblage se compose de deux DBC pour les faces externes et d'un PCB pour la couche interne (Figure 72). Dans une première étape, les puces sont soudées sur les DBC. L'ensemble puce et DBC est ensuite assemblé au PCB avec une colle conductrice. Le détail des étapes de fabrication est donné en [98]. L'inductance de ce module est estimée approximativement à 1.5nH.



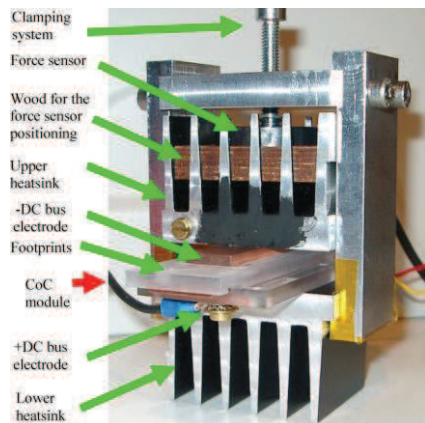


Figure 71: Première version du module PCOC en assemblage pressé [97]

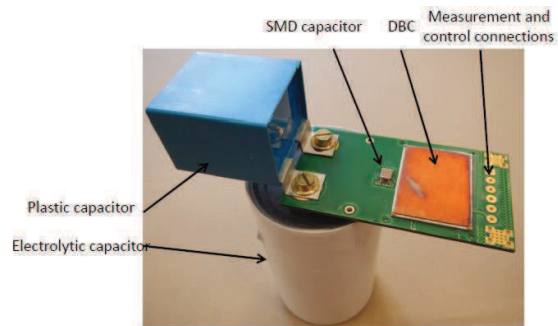


Figure 72: Seconde version du module PCOC avec un assemblage par soudure DBC/PCB/DBC [98]

Malgré la difficulté de réalisation pratique, le module PCOC présente de nombreux avantages et semble être une solution prometteuse pour l'encapsulation des composants à grand gap. La technologie PCB peut être une voie intéressante pour faciliter l'implémentation de ce module.

## II.2.2. La technologie du circuit imprimé (PCB)

L'invention du circuit imprimé date du début du XX<sup>ème</sup> siècle. De nombreux scientifiques européens et américains ont développé cette technologie. Cependant, le procédé industriel et la production de masse ne commence qu'à partir des années 60 [99]. Depuis plus de cinquante ans, la technique a grandement évolué permettant la réalisation de circuits jusqu'à une vingtaine de couches. Les industriels proposent aujourd'hui une grande variété de matériaux allant de la résine époxyde chargée en fibre de verre (FR4), au polyimide ou au téflon. Le circuit peut être rigide ou flexible. Le matériau conducteur électrique est le cuivre dont l'épaisseur varie de quelques micromètres à quelques centaines de micromètres. L'interconnexion entre chaque couche est possible grâce à des vias métallisés percés mécaniquement ou par laser. Traditionnellement, les composants électroniques sont soudés sur les faces externes du circuit. On voit apparaître également l'insertion de composants actifs ou passifs dans les couches internes du circuit.

### II.2.2.1. Les différents matériaux

Deux types de matériaux sont utilisés pour la fabrication des PCB : les conducteurs électriques et les diélectriques.

- **Les matériaux conducteurs électriques**

Le matériau conducteur électrique est du cuivre qui se présente sous une forme laminé (feuille de cuivre) ou est déposé par un procédé chimique ou électrolytique. L'épaisseur des feuilles de cuivre varie entre 9 $\mu$ m et 400 $\mu$ m. Les dépôts de cuivre permettent la réalisation des vias métallisés et d'augmenter l'épaisseur des pistes (recharge galvanique). Le dépôt électrolytique peut se faire sous courant continu, pour aplanir la surface de cuivre, ou sous courant pulsé afin de déposer une plus grande épaisseur et de diminuer le temps de dépôt.

Il existe également des résines époxydes chargées en particules d'argent qui assurent une bonne conduction électrique et par la même occasion une bonne conduction thermique

[100]. Ce type de matériau est principalement utilisé pour reporter un refroidisseur sur un circuit imprimé sans besoin d'isolation électrique.

- **Les matériaux diélectriques**

Le matériau diélectrique au sein du circuit imprimé permet d'isoler électriquement les différentes couches. De nombreux matériaux sont commercialisés afin de satisfaire les différentes applications des circuits électroniques. Leur structure est basée sur une résine époxyde chargée en fibre de verre avec différents additifs supplémentaires. Les épaisseurs standard varient de 50µm à 300µm. Le choix d'un matériau se fait selon trois critères : thermique, électrique et mécanique. A titre d'indication, une liste des matériaux diélectriques utilisés chez un fabricant de circuit imprimé est présentée en Figure 73.

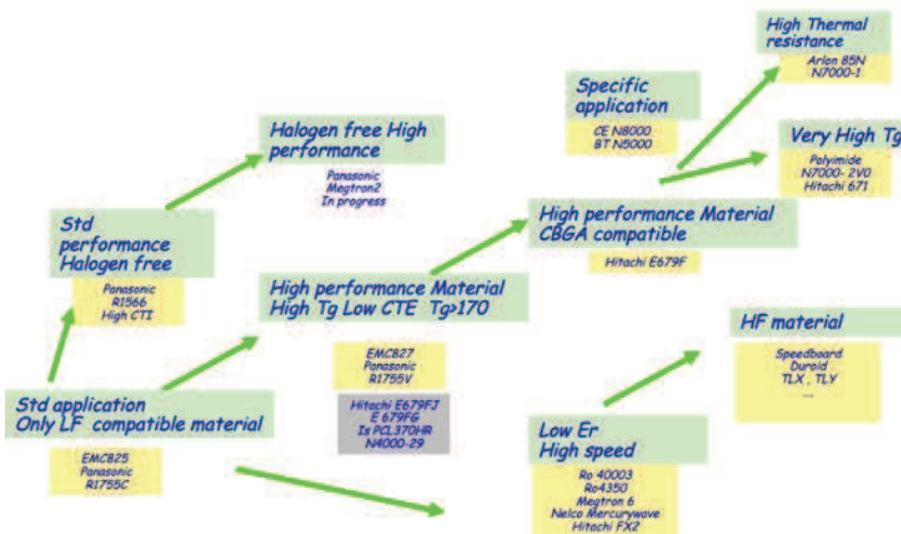


Figure 73: Matériaux diélectriques disponibles chez un fabricant de circuit imprimé (site internet ELVIA PCB)

D'un point de vue thermique, la température maximale de fonctionnement ainsi que la conductivité thermique sont les paramètres à prendre en compte. Le fabricant de matériau indique la température de transition vitreuse (Tg) qui correspond à un changement de propriété mécanique. La température de fonctionnement du circuit doit être inférieure à cette valeur. Les matériaux standards (FR4) ont un Tg entre 110°C et 130°C. Pour un fonctionnement à plus haute température les matériaux dits « Haut Tg » (High Tg) ont un Tg supérieur à 170°C tandis que les résines à base de polyimide ont un Tg autour de 250°C. La conductivité thermique est en général faible, allant de 0.3W/m.K pour les matériaux standards (FR4) [101], jusqu'à 5W/m.K pour un matériau avancé [102]. Pour comparaison, le cuivre a une conductivité thermique à 25°C de près de 400W/m.K. Il est important de noter que les matériaux de type FR4 ont un comportement thermique anisotropique. Les valeurs de conductivité thermique données ici sont suivant l'axe z. Les valeurs dans le plan x-y sont en général un peu supérieures.

Les caractéristiques électriques importantes du matériau sont le champ de claquage (Ec), la permittivité relative ( $\epsilon_r$ ) et le facteur de dissipation ( $\tan\delta$ ). Le champ de claquage du matériau classique FR4 est supérieur à 20kV/mm. La permittivité relative du matériau doit être la plus proche possible de 1 pour diminuer les capacités parasites du circuit. Les circuits imprimés pour une application en haute fréquence (plusieurs GHz) mettent en œuvre des matériaux spécifiques à très faible permittivité. Pour un diélectrique de type FR4 standard, la

permittivité relative est comprise entre 4 et 5. Enfin, le facteur de dissipation caractérise les pertes diélectriques. Plus le facteur de dissipation est faible, plus les pertes sont faibles.

La fiabilité de l'assemblage multicouche dépend des caractéristiques mécaniques du matériau diélectrique et notamment du coefficient d'expansion thermique (CTE). Ce dernier doit être proche de celui du cuivre afin que les deux matériaux réagissent de la même manière aux contraintes thermomécaniques et ainsi limiter les risques de délamination.

- **Dénomination des couches**

Le fabricant de PCB travaille avec trois types de format : les laminés, les préimprégnés (prepreg) et les feuilles de cuivre. Le laminé est un assemblage de diélectrique et de feuille de cuivre sur une ou deux faces. Le cuivre et le diélectrique sont laminés ensemble donc solidaires. Le préimprégné ou prepreg correspond à une couche de résine époxyde seule (diélectrique ou conductrice). Il permettra d'assembler des laminés ou des feuilles de cuivre ensemble par une étape de stratification supplémentaire.

### II.2.2.2. Le procédé de fabrication standard

Le procédé de fabrication d'un circuit multicouche est brièvement développé dans cette partie en prenant pour exemple, un assemblage 4 couches standard de la société PCB Pool. Le tableau suivant récapitule le type de couches utilisé et les épaisseurs correspondantes.

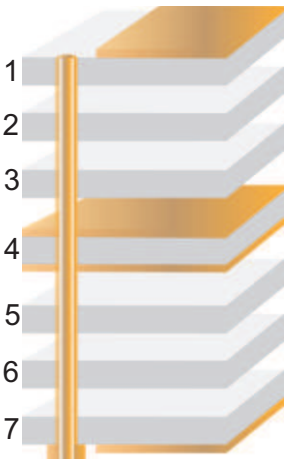
|   | Numéro de couche | Type               | Epaisseur (µm)                          |
|---|------------------|--------------------|---|
|  | 1                | Laminé simple face | 180 (35µm Cu + 145µm isolant)           |
|   | 2                | Prepreg            | 100                                     |
|   | 3                | Prepreg            | 100                                     |
|   | 4                | Laminé double face | 710 (35µm Cu + 640µm isolant + 35µm Cu) |
|   | 5                | Prepreg            | 100                                     |
|   | 6                | Prepreg            | 100                                     |
|   | 7                | Laminé simple face | 180 (145µm isolant + 35µm Cu)           |

Tableau 8 : caractéristiques d'un circuit imprimé à quatre couches de PCB Pool

La fabrication débute toujours par le centre du circuit. Le cœur du circuit est un laminé double face à 35µm de cuivre. Les pistes du circuit sont tracées grâce à un procédé de photogravure. Un film photosensible est appliqué en surface puis insolé au travers d'un masque afin de ne garder que le cuivre des pistes après gravure chimique. Le film photosensible est ensuite enlevé. Les surfaces de cuivre sont alors oxydées (oxyde brun) pour améliorer l'accroche des couches internes puis les couches supérieures sont ajoutées. Pour solidariser l'ensemble des couches (laminés et prepreg), une étape de stratification est nécessaire sous température et pression contrôlés. Dans le cas d'une prepreg standard de type FR4, la stratification se fait à 185°C sous une pression entre 2MPa et 2.9MPa pendant 90 minutes. Un exemple de cycle de cuisson pour une prepreg standard est présenté en Figure 74.

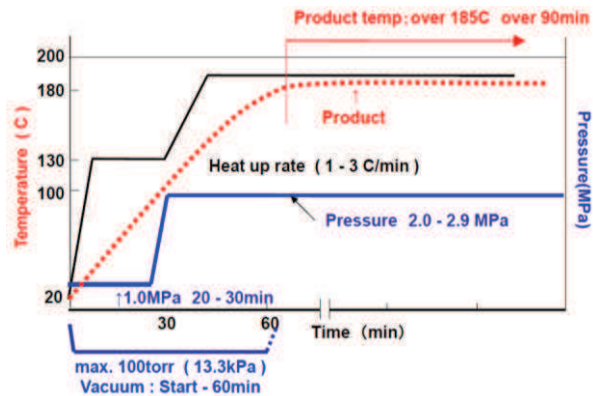


Figure 74: Cycle de cuisson de prepreg HiperV R-1650V de Panasonic

Après stratification, les trous sont réalisés par perçage. Dans cet exemple, seul des trous traversants sont possibles. Afin d'interconnecter électriquement les couches internes par le via, une étape de métallisation est nécessaire. Une couche de cuivre est déposée chimiquement dans un premier temps puis la couche est augmentée par croissance électrolytique dans un second temps. Cette recharge galvanique augmente aussi l'épaisseur des couches de cuivre externes (pour atteindre les 35 $\mu$ m d'épaisseur). Les couches de cuivre externes sont ensuite gravées par le même procédé de photogravure. Un vernis est appliqué sur le cuivre pour le protéger et une métallisation supplémentaire peut être faite sur les plages d'accueil des composants pour assurer une bonne soudure.

Le procédé de perçage des vias mérite une attention particulière. Deux techniques sont disponibles : le perçage mécanique ou le perçage laser. Le perçage laser permet la réalisation de micro-vias dont le diamètre est généralement compris entre 100 $\mu$ m et 200 $\mu$ m et qui sont totalement remplis de cuivre par recharge galvanique. Ce procédé est très intéressant dans le cas où une forte densité d'interconnexion est nécessaire. Le rapport entre l'épaisseur de la couche à percer et le diamètre du trou est compris entre 0.5 et 0.85. Le micro-via est donc seulement possible sur une épaisseur de couche diélectrique d'une centaine de micromètres. Deux types de laser permettent la réalisation des trous : laser UV ou laser CO<sub>2</sub>. Le laser UV perce à la fois le cuivre et le diélectrique tandis que le laser CO<sub>2</sub> ne s'attaque qu'au diélectrique. Les deux technologies sont combinées pour un perçage adéquat.

### II.2.2.3. Avantages et inconvénients

Le procédé de fabrication des circuits imprimés a de nombreux avantages pour une application en électronique de puissance. D'une part, il permet la réalisation de circuits en trois dimensions avec un grand nombre de couches. D'autre part, la précision du procédé est bien adaptée aux dimensions des puces d'électronique de puissance. Les couches de diélectrique peuvent être très minces, jusqu'à 50 $\mu$ m, les distances entre pistes différentes sont réduites à près de 100 $\mu$ m et le perçage laser autorise des vias de 100 $\mu$ m à 200 $\mu$ m de diamètre. Enfin, le procédé est bien maîtrisé industriellement. On peut noter quelques bémols dans le cas d'une application pour un module de puissance. Les épaisseurs de cuivre sont limitées à 400 $\mu$ m dans un procédé standard, ce qui peut être limitant d'un point de vue thermique. La conductivité thermique des résines diélectriques est faible en comparaison des céramiques mais leur épaisseur est plus faible également. Le procédé





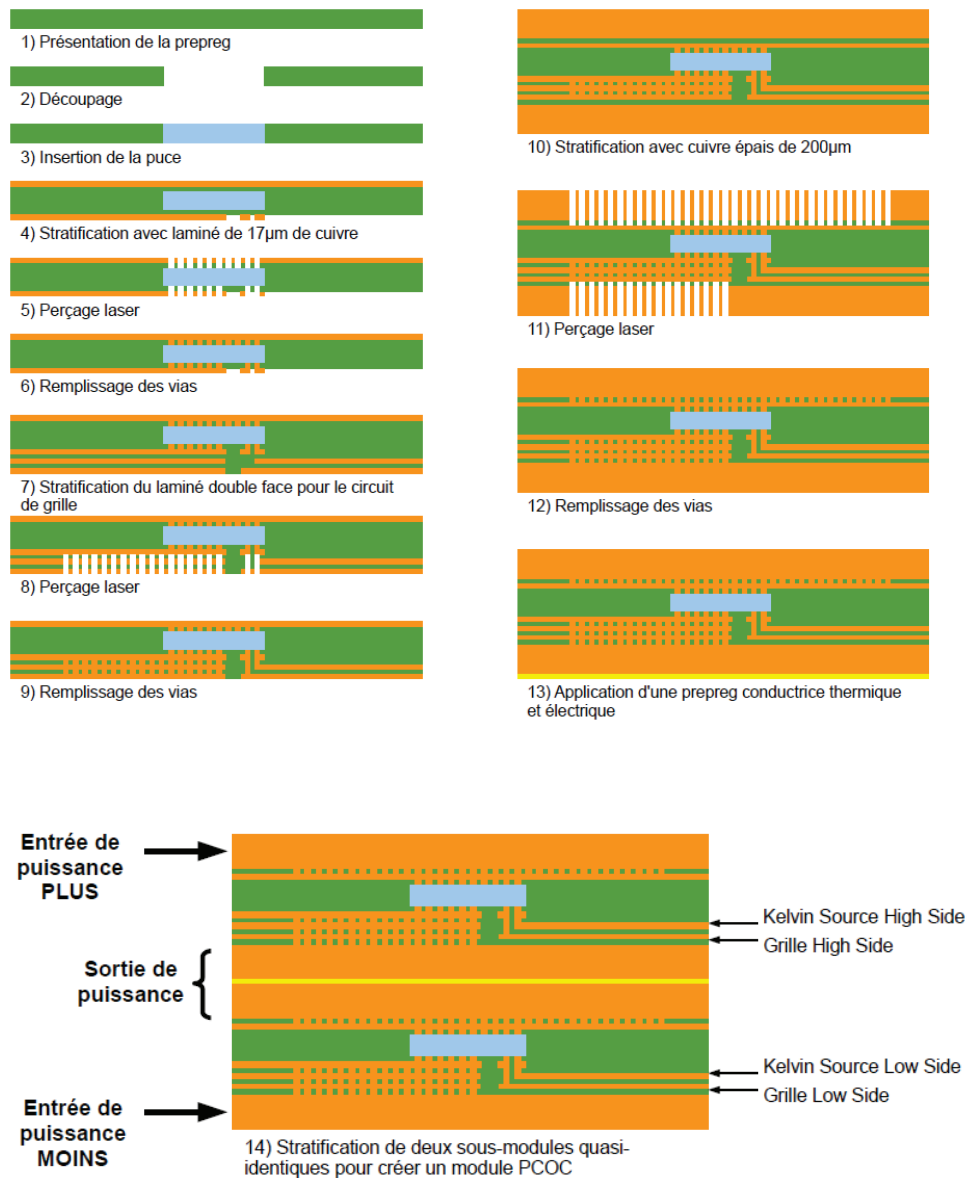


Figure 77: Procédé de fabrication simplifié d'un module PCOC

- **Etapes 1, 2 et 3**

Une couche de prepreg est découpée à la dimension de la puce puis cette dernière est insérée à l'intérieur.

- **Etape 4**

Deux laminés simple face sont ensuite reportés de chaque côté de la couche où est insérée la puce afin de l'enterrer complètement.

- **Etape 5**

Le laminé est percé par laser de chaque côté sur les plots de drain, source et grille.

- **Etape 6**

Les vias sont remplis par recharge électrolytique de cuivre. La puce est donc maintenant interconnectée aux plans de cuivre supérieur et inférieur. La suite du procédé est celle classiquement utilisé pour les circuits imprimés multicouches.

- **Etape 7**

Un laminé double face est stratifié en face arrière de la puce pour réaliser le circuit de grille. Le laminé double face utilisé pour le routage du circuit de grille permet de superposer les pistes grille et kelvin source l'une sur l'autre afin de limiter l'inductance parasite et d'éviter le couplage capacitif entre grille et drain. Le tout assure une reprise de connexion externe pour le circuit de commande rapprochée.

- **Etapes 8 et 9**

Les étapes de perçage laser et remplissage de cuivre pour le circuit de grille (grille et Kelvin source) et la source sont effectuées.

- **Etapes 10, 11 et 12**

Les couches de cuivre épais pour le drain et la source sont stratifiées, percées et remplies de cuivre.

- **Etape 13**

Une prepreg conductrice thermique et électrique est appliquée sur la face inférieure du demi-module.

- **Etape 14**

Enfin, une dernière étape de stratification permet d'assembler deux demi-modules quasi-identiques pour former un assemblage PCOC. La couche supérieure du module complet correspond à l'entrée de puissance positive, le centre du module correspond à la sortie de puissance et la couche inférieure correspond à l'entrée de puissance négative.

La fabrication du module ne requiert aucune étape de soudure ou de brasure grâce notamment à l'interconnexion de la puce par micro-via. La construction d'un sous-module est symétrique ; la couche de la puce et le laminé du circuit de grille ont une épaisseur similaire et le tout est pris en sandwich entre deux couches de cuivre épais. D'un point de vue mécanique, l'assemblage symétrique évite le gauchissement du module par annulation des contraintes mécaniques. Le module complet est l'addition de deux sous-modules avec le même procédé de fabrication ce qui permet de limiter le coût de fabrication.

Une vue 3D du module complet avec ses condensateurs de découplage est présentée en Figure 78. L'échelle n'est pas respectée dans cette vue. Le schéma électrique associé au module complet est présenté en Figure 79. Comme exposé précédemment, le module complet est l'assemblage de deux sous-modules qui incluent chacun quatre puces MOSFET SiC en parallèle. On retrouve donc quatre cellules de commutation associées en parallèle. Sans prendre en compte la connectique, le module a une forme parallélépipédique de surface 30mm x 30mm et de 2mm d'épaisseur. Les cellules de commutation sont disposées d'une manière symétrique (chaque carré dans la Figure 78 représente l'emplacement d'une



cellule de commutation). Avec cet agencement, on retrouve deux cellules de commutation, dites « amont », directement en face des entrées de puissances tandis que deux cellules de commutation, dites « aval », sont en retrait des entrées de puissance. Des condensateurs de découplage céramiques de type CMS sont rajoutés sur le bord du module afin de symétriser au maximum la maille de commutation de chaque cellule.

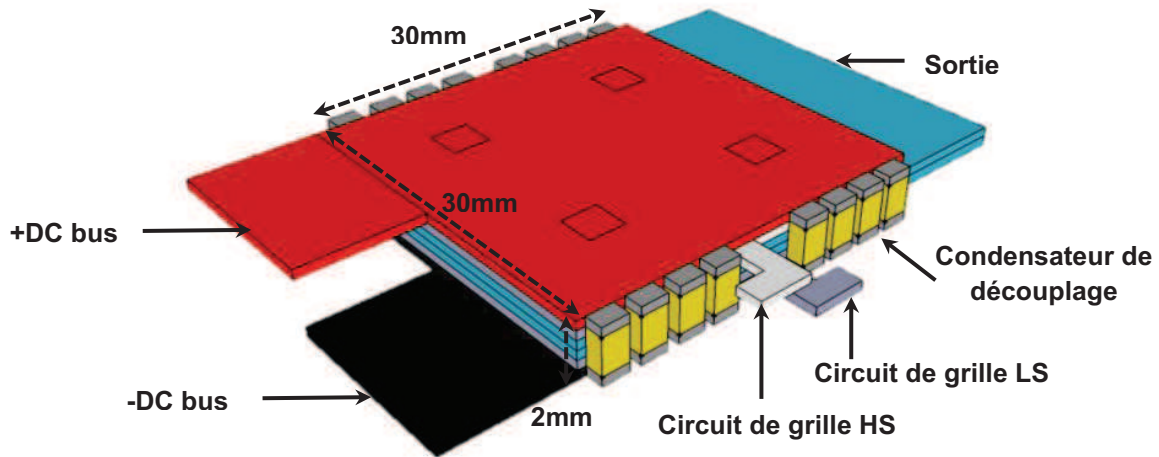


Figure 78: Vue 3D du module complet avec les condensateurs de découplage sur la tranche

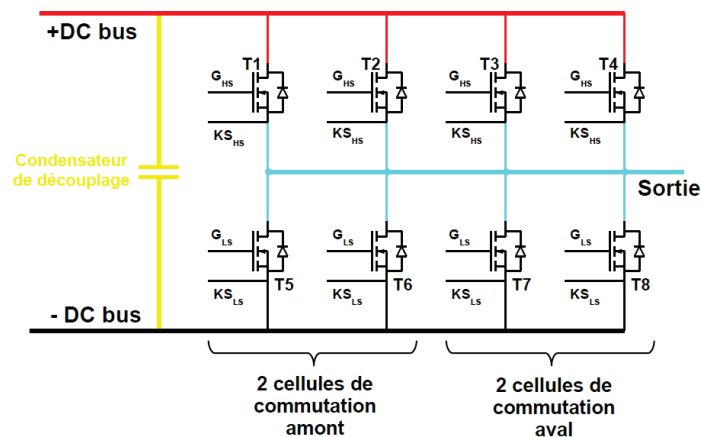


Figure 79: Schéma électrique du module complet

La surface du module a été choisie de manière arbitraire et ne correspond pas à une optimisation électrothermique. Le but premier de ces travaux est de valider le procédé de fabrication tout en analysant le comportement électrique et thermique d'un tel module. Dans la suite de ce chapitre, les différentes analyses menées en simulation conduisent à des éléments d'optimisation. On retrouvera le compromis entre optimisation thermique, qui vise à augmenter la surface d'échange thermique et à éloigner les puces les unes des autres, et optimisation électrique qui vise à réduire les dimensions du module pour diminuer l'impédance parasite de la maille de commutation.

## **II.3.Analyse électrique du module**

L'analyse électrique du module se divise en trois parties. Les simulations électromagnétiques vont nous permettre d'extraire les impédances de la maille de commutation, du circuit de grille et les interactions entre les deux circuits. Les puces du module étant enterrées dans un diélectrique, le module va nécessairement augmenter les capacités inter-électrodes. Celles-ci vont être évaluées d'une manière analytique. Enfin, à partir des éléments précédents, des simulations de type circuit de la cellule de commutation vont être menées avec le modèle SPICE du MOSFET SiC. Ces dernières nous permettront de valider le comportement électrique et d'évaluer les performances du module.

### **II.3.1.Modélisation électromagnétique**

La modélisation électromagnétique du module se base sur l'utilisation du logiciel INCA3D qui permet d'extraire l'impédance d'un circuit (résistance, inductance propre et mutuelle inductance) à partir d'une résolution de type PEEC (Partial Element Equivalent Circuit). Le logiciel est initialement conçu pour analyser le câblage des modules d'électronique de puissance. Les équations résolues par le logiciel sont présentées en [103]. La modélisation électromagnétique d'un busbar ou d'un module IGBT est aujourd'hui bien maîtrisée. Cette approche est très intéressante pour l'optimisation de module planar comme dans les travaux réalisés en [104].

#### **II.3.1.1.Présentation de la géométrie avec INCA3D**

La géométrie à concevoir doit être définie en fonction des objectifs de la simulation. Dans notre cas, le but est de déterminer l'impédance de la maille de chaque cellule de commutation, l'impédance du circuit de grille et des interactions entre les boucles de puissance et commande. Pour extraire le circuit électrique équivalent (R, L et M) avec INCA3D, des sondes sont placées aux bornes des conducteurs. Prenons l'exemple d'une cellule de commutation (Figure 80). Deux types de modélisation sont possibles. La première consiste en une représentation physique du câblage de la cellule de commutation. L'impédance de chaque piste du circuit est évaluée ainsi que les mutuelles entre chaque piste. Ce modèle représente exactement le circuit mais son coût en termes de calcul est très lourd car le nombre de mutuelles à évaluer croît en  $n(n-1)/2$  avec  $n$  le nombre de pistes du circuit. Le second type de représentation est nommé « Entrée / Sortie ». Dans ce modèle, on ne considère que les bornes du système. Par exemple, dans le cas d'une cellule de commutation et des circuits de grille associés, trois éléments seulement sont nécessaires (Figure 81). Les interrupteurs sont remplacés par un court-circuit entre le drain et la source pour la cellule de commutation et entre la grille et la Kelvin source pour les circuits de grille. La représentation « Entrée / Sortie » est adoptée dans la suite de ces travaux.

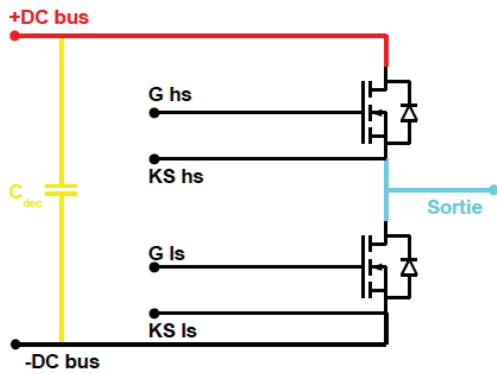


Figure 80: Cellule de commutation à modéliser

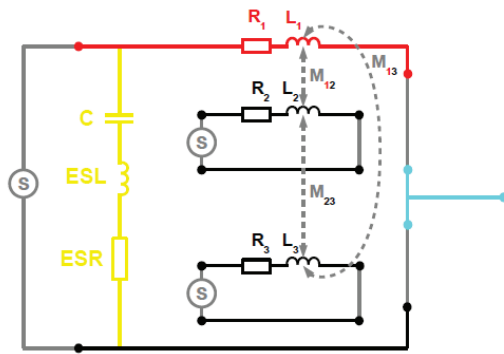


Figure 81: Modélisation « Entrée / Sortie » de la cellule de commutation avec INCA3D

Il est également important de prendre en compte le modèle électrique équivalent du condensateur de découplage (C, ESR et ESL). Ce dernier est rajouté dans la géométrie avec INCA3D. Etant donnée l'épaisseur totale du module (2mm), des condensateurs CMS en boîtier 0805 sont utilisés. Le fabricant KEMET propose des condensateurs de 1kV de tenue en tension pour une valeur de capacité de 4.7nF (KEMET Arcshield 0805 1kV X7R). A partir d'une mesure au pont d'impédance l'ESR d'un condensateur est évaluée à 93mΩ et l'ESL à 226pH. Il est possible d'en paralléliser jusqu'à 6 pour chaque cellule de commutation offrant ainsi les caractéristiques suivantes : C=28nF, ESR=15.5mΩ, ESL=37.7pH.

La géométrie du module complet est présentée en Figure 82. Elle est composée de trois plans (conducteurs bidirectionnels) : DC+ (rouge), DC- (noir) et sortie (turquoise), des circuits de grille high side et low side (en transparence entre les plaques), du circuit équivalent des condensateurs de découplage (jaune) et de l'emplacement ponctuel des puces (points rouges). Les points sont reliés par une connexion équipotentielle avec les plans. Les dimensions sont identiques à celle du prototype (30mm x 30mm). L'épaisseur des plaques DC+ et DC- est de 210μm tandis que la plaque de sortie a une épaisseur de 420μm. L'espacement entre la plaque du centre et les plaques externes est de 664μm. Nous pouvons distinguer deux types de cellule de commutation. Les deux cellules de commutation les plus proches des entrées de puissance (DC+ et DC-) sont nommées « amont » tandis que les deux cellules les plus éloignées sont nommées « aval ».

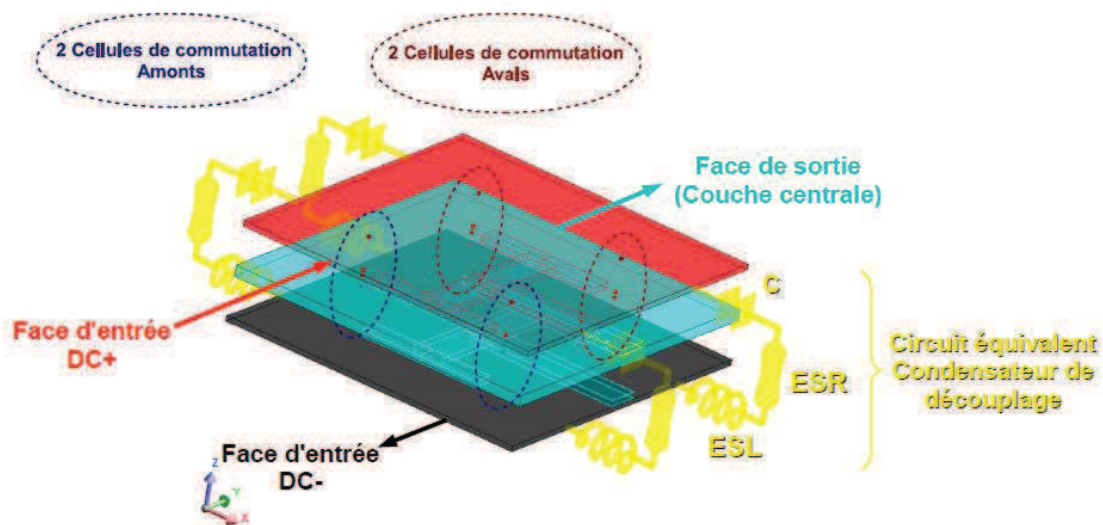


Figure 82: Modèle INCA3D du module

Le routage du circuit de grille et son modèle associé sont présentés en Figure 83 et Figure 84. Le circuit a une forme symétrique pour assurer la synchronisation des signaux de commande. Les pistes de Grille et de Kelvin Source sont routées sur deux couches superposées, espacées de 100µm. La largeur des pistes est de 2mm au plus fin et 3mm au plus large.

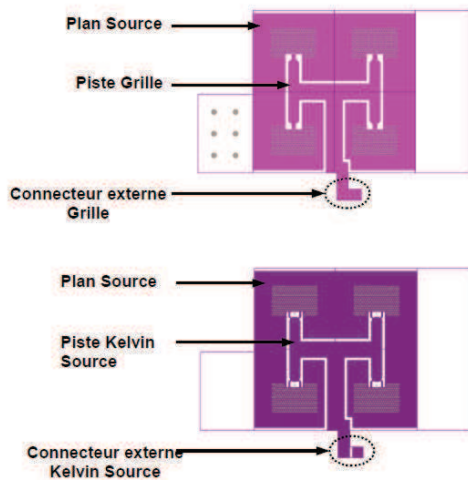


Figure 83: Routage du circuit de grille

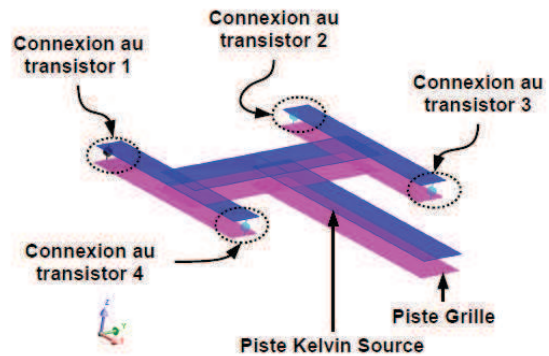


Figure 84: Modèle INCA3D du circuit de grille

### II.3.1.2. Maille de commutation

Les impédances d'une cellule de commutation amont et d'une cellule de commutation aval sont calculées successivement avec une fréquence variant de 1MHz à 1GHz (Figure 85). On peut distinguer trois phases. En basse fréquence (<10MHz), les impédances amont et aval sont déséquilibrées. La phase étant de 90°, le comportement est inductif. L'inductance équivalente est de 0.7nH pour la maille de puissance amont et de 1.5nH pour la maille de puissance aval. Entre 10MHz et 90MHz, une phase de résonance apparaît entre l'inductance basse fréquence et les condensateurs de découplage. La fréquence de résonance calculée analytiquement ( $F_r = \frac{1}{2\pi\sqrt{LC}}$ ) est de 12MHz pour la maille de puissance aval (L=1.5nH, C=4x28nF=112nF) et 18MHz pour la maille de puissance amont (L=0.7nH, C=4x28nF=112nF), ce qui correspond bien au premier pic de la simulation. Au-delà de 90MHz, les impédances amont et aval s'équilibrent avec une inductance équivalente de 0.25nH (phase égale à 90° au-delà de 90MHz). Ce comportement étonnant peut s'expliquer d'une manière empirique à l'aide de la Figure 86. En basse fréquence, les boucles de commutation amont et aval sont définies à partir des bornes d'entrée de puissance du module (DC+ et DC-) entraînant ainsi un déséquilibre entre les cellules amont et aval. En haute fréquence, les boucles de commutation sont définies à partir des bornes des condensateurs de découplage. Les chemins sont donc identiques pour toutes les cellules de commutation. Une augmentation de la valeur des condensateurs de découplage décale la résonance en basse fréquence et donc équilibre les impédances à des fréquences plus basses.



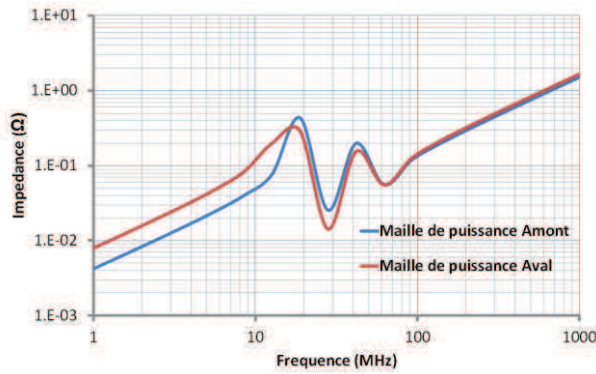


Figure 85: Impédance simulée des mailles de commutation amont et aval

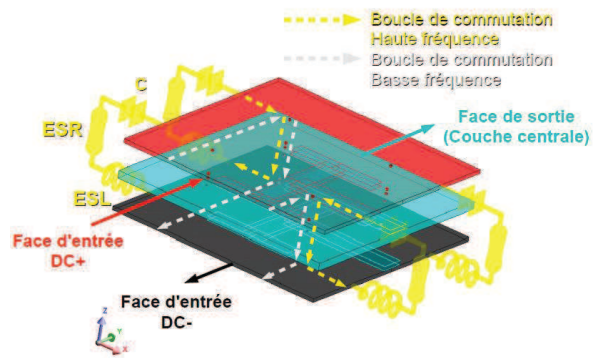


Figure 86: Boucle de commutation haute fréquence et basse fréquence

Pour une équi-répartition du courant lors des commutations, la fréquence équivalente du front de commutation doit se situer au-delà de 90MHz. Avec un courant de forme trapézoïdale, la fréquence équivalente du front de commutation est donnée par l'équation  $F_{eq} \approx \frac{0.35}{T_m}$  avec  $T_m$  le temps de montée. Les interrupteurs doivent alors commuter le courant en moins de 3.9ns, ce qui semble cohérent avec les performances des MOSFET SiC sélectionnés.

Afin de valider les simulations INCA3D, un dispositif de mesure expérimental, représentant la maille de commutation du module d'une manière simplifiée, a été réalisé. Ce dispositif est présenté en Figure 87. Il s'agit d'un circuit imprimé double face de dimensions identiques au module final (30mm x 30mm x 2mm). Des condensateurs de découplage sont soudés sur la tranche du circuit. Seulement quatre condensateurs en parallèle sont utilisés pour chaque cellule de commutation (au lieu de 6 en simulation), soit 75nF au lieu de 112nF pour la valeur globale de capacité de découplage. Un court-circuit entre la face avant et la face arrière du circuit représente la cellule de commutation. Des connecteurs de mesure sont disposés sur les deux faces restantes afin de pouvoir mesurer une cellule de commutation amont ou aval en renversant simplement le circuit. Le pont d'impédance Agilent 4294A est utilisé pour mesurer l'impédance du dispositif entre 1MHz et 110MHz (Figure 88).

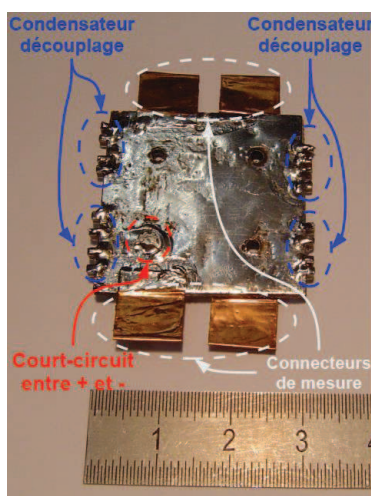


Figure 87: Prototypage de validation expérimentale

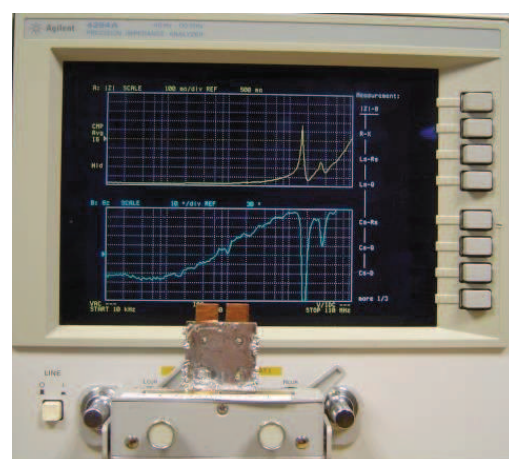


Figure 88: Mesure au pont d'impédance Agilent 4294A

La comparaison entre le dispositif expérimental et la simulation pour une cellule de commutation amont et aval est présentée en Figure 89 et Figure 90. Dans les deux cas, on retrouve une bonne concordance des impédances en basse fréquence et haute fréquence.

On retrouve bien une inductance équivalente de l'ordre de 0.25nH en haute fréquence pour les deux types de cellule de commutation. Bien que la valeur globale de condensateur de découplage ne soit pas identique, on retrouve bien la phase de résonance entre 10MHz et 70MHz ainsi qu'une première zone en basse fréquence similaire (<10MHz). La simulation est donc validée.

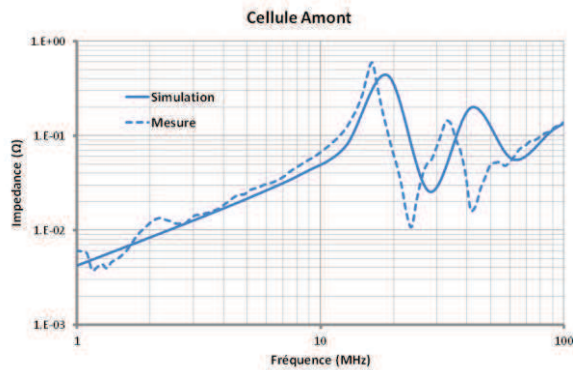


Figure 89: Comparaison entre simulation et mesure pour la cellule de commutation amont

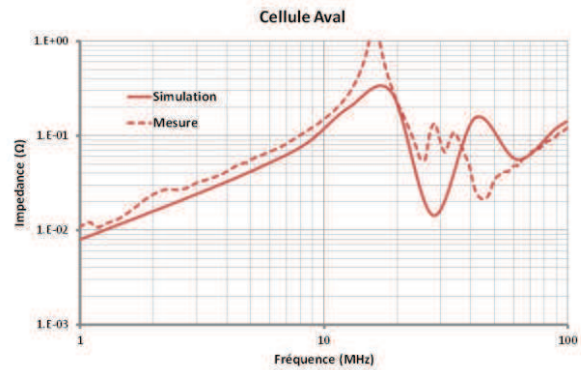


Figure 90: Comparaison entre simulation et mesure pour la cellule de commutation aval

Un modèle électrique de type circuit est proposé en Figure 91 pour modéliser le comportement de l'impédance de la cellule de commutation en fonction de la fréquence. Il est constitué de trois inductances ( $L_1$ ,  $L_2$ ,  $L_3$ ) et d'un condensateur ( $C_{dec}$ ). L'impédance du circuit dans le domaine de Laplace est calculée en (19). En haute fréquence, l'impédance du condensateur tend vers zéro, le circuit devient donc simplement  $L_1$  en parallèle avec  $L_3$ . En basse fréquence, l'impédance du condensateur tend vers l'infini, le circuit devient donc  $L_1$  et  $L_2$  en parallèle avec  $L_3$ . A partir de ces constatations, on peut exprimer  $L_1$ ,  $L_2$  et  $L_3$  en fonction de la valeur de l'inductance équivalente en basse fréquence et en haute fréquence, estimée par les simulations précédentes. Les relations sont données en (20), (21) et (22). Le condensateur  $C_{dec}$  correspond à la valeur totale du condensateur de découplage du module.

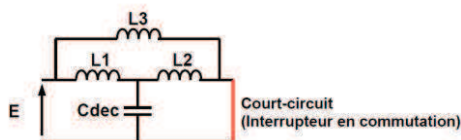


Figure 91: Modèle comportemental de l'impédance de la maille de commutation

$$Z_{com} = \frac{p \cdot L_3(L_1 + L_2) + p^3 \cdot L_1 L_2 L_3 C_{dec}}{L_1 + L_2 + L_3 + p^2(L_1 L_2 C_{dec} + L_2 L_3 C_{dec})} \quad (19)$$

$$L_1 = \frac{2L_{HF}L_{BF}}{2L_{BF} - L_{HF}} \quad (20)$$

$$L_2 = L_3 - L_1 \quad (21)$$

$$L_3 = 2L_{BF} \quad (22)$$

L'impédance du modèle en fonction de la fréquence est tracée en Figure 92 avec les caractéristiques d'une cellule amont et d'une cellule aval. Le comportement est identique à celui observé précédemment. La phase de résonance est bien observable entre 10MHz et 70MHz. Cependant, elle est plus simpliste que celle réellement observée expérimentalement avec plusieurs pics de résonance.

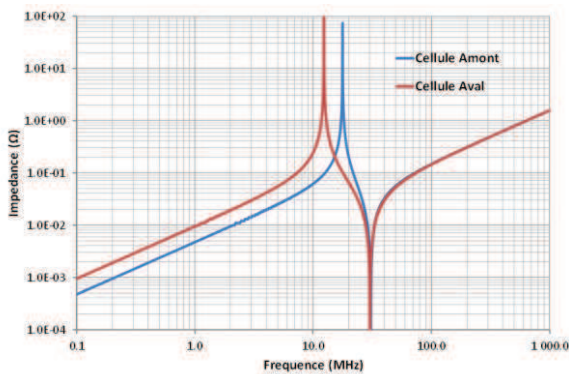


Figure 92: Impédance des cellules de commutation amont et aval avec le modèle comportemental

Cellule Amont :

$$L_{BF} = 0.75nH$$

$$L_{HF} = 0.25nH$$

$$C_{dec} = 112nF$$

Cellule Aval :

$$L_{BF} = 1.5nH$$

$$L_{HF} = 0.25nH$$

$$C_{dec} = 112nF$$

Le modèle de type circuit est qualifié de comportemental car les éléments n'ont pas de sens physique. Il sera néanmoins facilement implémentable dans un simulateur SPICE pour vérifier le bon comportement électrique d'une cellule de commutation.

### II.3.1.3.Circuit de grille

Le circuit de grille doit être conçu avec une grande précaution pour assurer le bon fonctionnement du module de puissance. Il doit assurer la synchronisation des signaux de commande de grille sur les quatre puces en parallèle. Pour cela, un routage symétrique est proposé (Figure 83 et Figure 84). Le circuit doit également assurer une faible inductance et minimiser les interactions électromagnétiques avec le circuit de puissance. Ces deux points sont étudiés dans la suite de ce paragraphe.

### II.3.1.3.Inductance propre

Le circuit de grille est constitué de deux pistes superposées ; une piste connectée à la Grille et l'autre à la Kelvin Source. Cet agencement doit permettre de réduire l'inductance de la boucle. Dans un premier temps, nous allons analyser l'influence des paramètres géométriques que nous pouvons moduler pour dans la conception du circuit de grille. Il s'agit de l'espacement entre les deux pistes, qui correspond à l'épaisseur de diélectrique du laminé double faces, et de la largeur des pistes. Une simulation INCA3D est menée pour ce type de géométrie avec une longueur de piste de 1cm (Figure 93). La largeur des pistes varie entre 0.5mm et 4mm. L'espacement entre les deux pistes est de 50µm, 75µm et 100µm. Les résultats sont présentés en Figure 94.

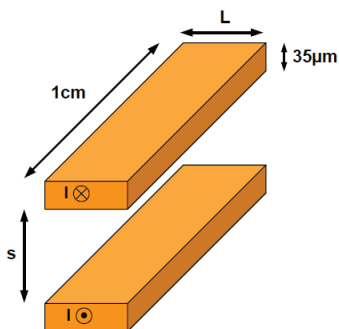


Figure 93: Simulation INCA3D pour analyser l'influence des paramètres géométriques

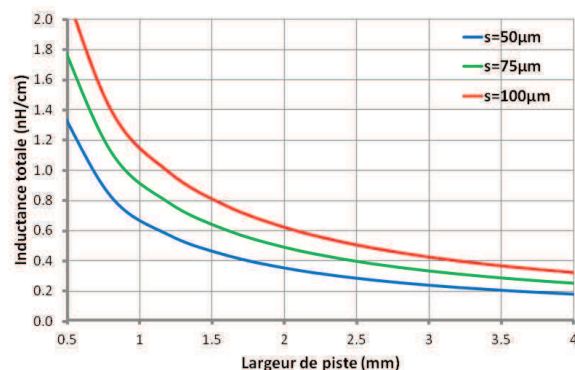


Figure 94: Inductance totale (nH/cm) en fonction de la largeur de piste (L) pour trois valeurs d'espacement (s)



Avec un espacement de  $100\mu\text{m}$ , l'inductance du circuit est de près de  $2\text{nH/cm}$  pour une largeur de piste de  $0.5\text{mm}$  et décroît jusqu'à  $0.3\text{nH/cm}$  pour une piste de  $4\text{mm}$  de large. La décroissance de l'inductance est rapide jusqu'à une largeur de piste de  $2\text{mm}$  puis devient plus lente par la suite. La réduction de l'espacement entre les pistes réduit l'inductance totale d'une manière quasi-linéaire. D'un point de vue physique, augmenter la largeur des pistes ou diminuer l'espacement revient à augmenter la mutuelle inductance entre les deux pistes, s'opposant aux inductances propres de chaque piste. Pour la conception du circuit de grille, un circuit laminé standard de  $100\mu\text{m}$  d'épaisseur de diélectrique est sélectionné. La largeur des pistes est fixée entre  $2\text{mm}$  et  $3\text{mm}$  assurant ainsi une inductance linéique entre  $0.6\text{nH/cm}$  et  $0.4\text{nH/cm}$ .

Le routage du circuit de grille, avec les largeurs de piste correspondantes, est présenté en Figure 95. L'espacement entre les pistes est de  $100\mu\text{m}$  et l'épaisseur des pistes est de  $35\mu\text{m}$ . Le modèle INCA3D associé est présenté en Figure 97. La connexion externe avec le circuit de commande rapprochée est négligée. Le calcul de l'inductance propre du circuit est réalisé pour chaque transistor indépendamment les uns des autres (boucle grise de la Figure 97). La Figure 96 présente le résultat du calcul de l'impédance en fonction de la fréquence. A partir de cette courbe et en s'assurant d'une phase de  $90^\circ$  en haute fréquence ( $>10\text{MHz}$ ), l'inductance équivalente du circuit de grille est estimée à  $1.2\text{nH}$ . Cette valeur est remarquablement faible au regard de la longueur de la boucle ; de près de  $30\text{mm}$ . On peut remarquer qu'en reprenant les valeurs d'inductance linéiques calculées précédemment et les longueurs de piste associées à leur largeur ( $2.25\text{cm}$  de piste de largeur  $3\text{mm}$  et  $0.75\text{cm}$  de piste de largeur  $2\text{mm}$ ), l'inductance de la boucle est égale à  $1.35\text{nH}$ , ce qui s'approche bien du résultat de la simulation globale ( $1.2\text{nH}$ ). Cependant, étant donné que la connectique de sortie est négligée, l'inductance est sous-estimée. Une valeur globale entre  $2\text{nH}$  et  $3\text{nH}$  semble plus réaliste pour une telle connectique.

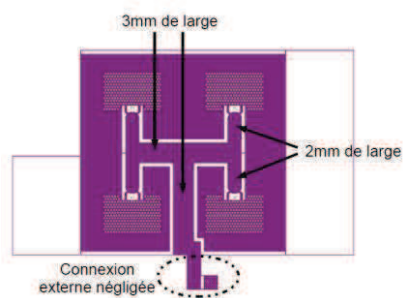


Figure 95: Routage du circuit de grille

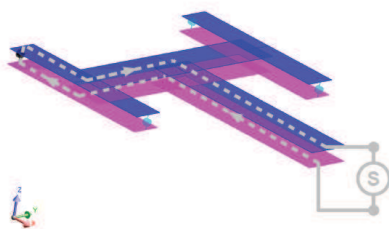


Figure 97: Modèle INCA3D pour le calcul d'un circuit de grille

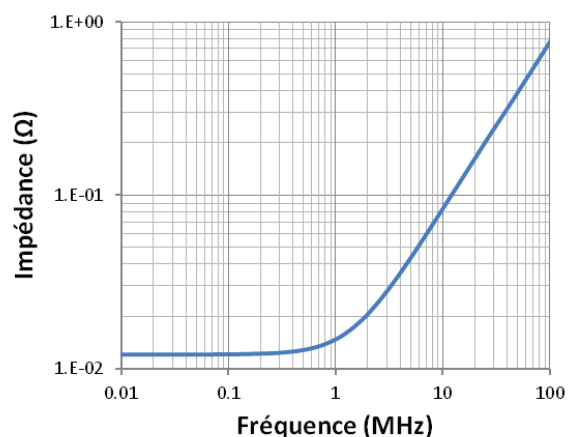
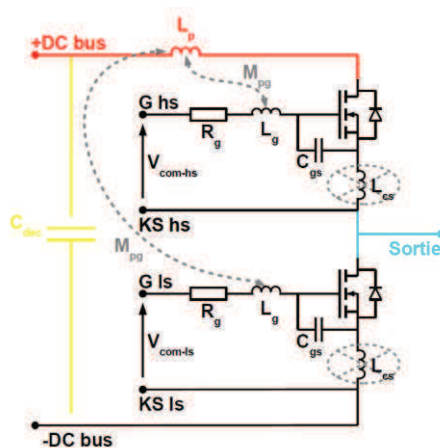


Figure 96: Impédance du circuit de grille en fonction de la fréquence

### II.3.1.3. Interaction puissance – commande

La Figure 98 schématise les couplages électromagnétiques entre le circuit de grille et le circuit de puissance. D'une manière générale, l'équation de la tension de commande de grille ( $V_{com}$ ) est développée en (23). On distingue alors deux termes liant la puissance et la commande : l'inductance commune de source ( $L_{cs}$ ) et la mutuelle inductance entre le circuit de grille et de puissance ( $M_{pg}$ ). L'utilisation d'une reprise de source (Kelvin Source) au plus proche de la puce permet de s'affranchir de l'inductance commune de source. Le couplage puissance – commande provient donc seulement de la mutuelle  $M_{pg}$ . Afin de quantifier le couplage entre les deux circuits, le coefficient de couplage  $K_{pg}$  est introduit en (24). Dans le cas d'un transformateur, le concepteur cherchera à obtenir un coefficient de couplage le plus proche de 1. Un faible niveau d'interaction puissance-commande impose de minimiser cette valeur, idéalement de l'annuler.



$$V_{com} = R_g I_g + L_g \frac{di_g}{dt} + M_{pg} \frac{di_p}{dt} + V_{C_{gs}} + L_{cs} \frac{d(i_g + i_p)}{dt} \quad (23)$$

$$K_{pg} = \frac{M_{pg}}{\sqrt{L_p L_g}} \quad (24)$$

Figure 98: Schéma des couplages électromagnétiques entre le circuit de puissance et de grille

Le modèle INCA3D développé précédemment va nous permettre de calculer la mutuelle entre les deux boucles. Pour des raisons de simplification et étant donnée la nature symétrique du module, le calcul du couplage n'a été réalisé que pour deux cellules de commutation (une amont et une aval) et le circuit de grille high side. De plus, le calcul des couplages est réalisé successivement pour chaque boucle. Pour comprendre plus facilement, les figures suivantes présentent les quatre configurations évaluées dans le cas d'une cellule de commutation amont (quatre autres configurations sont aussi nécessaires pour la cellule de commutation aval).

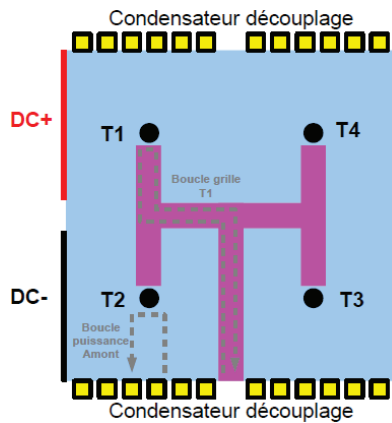


Figure 99: Configuration 1

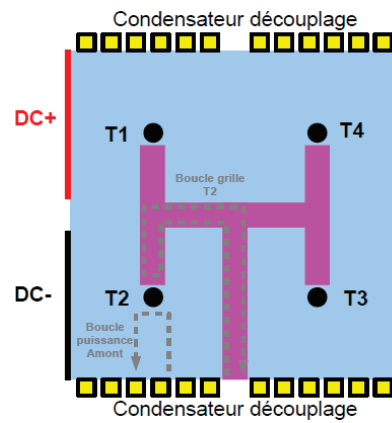


Figure 100: Configuration 2

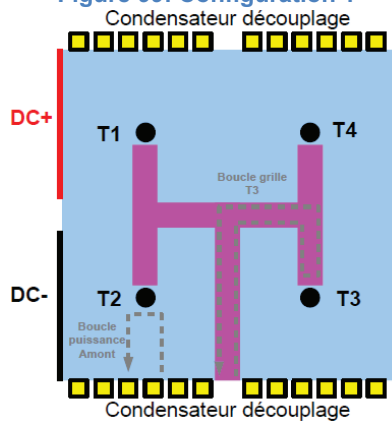


Figure 101: Configuration 3

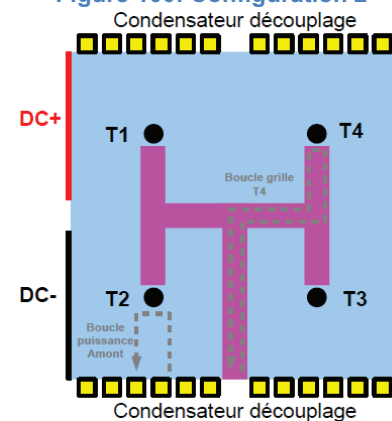


Figure 102: Configuration 4

Les résultats des simulations sont présentés dans le Tableau 9 pour une cellule de commutation amont et dans le Tableau 10 pour une cellule de commutation aval. La fréquence de simulation est choisie égale à 300MHz afin de se situer dans la zone fréquentielle des fronts de commutation. Pour tous les cas étudiés, le coefficient de couplage est toujours inférieur à 2%, prouvant ainsi la bonne immunité du circuit de grille aux perturbations électromagnétiques. Une simple application numérique permet aussi de se rendre compte du faible couplage. En prenant la plus grande valeur de la mutuelle  $M_{pg}$  ( $\approx 10\text{pH}$ ) et en supposant une vitesse de variation du courant élevée, de l'ordre de  $10\text{A/ns}$ , on obtient seulement  $0.1\text{V}$  de tension perturbatrice sur la grille.

Cellule de commutation amont (F=300MHz)

| Configuration | 1    | 2    | 3    | 4    |
|---------------|------|------|------|------|
| Mpg (pH)      | 7.61 | 1.46 | 0.69 | 1.03 |
| Lp (nH)       | 0.23 | 0.23 | 0.23 | 0.23 |
| Lg (nH)       | 1.19 | 1.19 | 1.19 | 1.19 |
| Kpg (%)       | 1.45 | 0.28 | 0.13 | 0.20 |

Tableau 9: Couplage puissance - commande pour une cellule de commutation amont

Cellule de commutation aval (F=300MHz)

| Configuration | 1    | 2    | 3      | 4    |
|---------------|------|------|--------|------|
| Mpg (pH)      | 9.13 | 9.06 | 0.04   | 1.34 |
| Lp (nH)       | 0.25 | 0.25 | 0.25   | 0.25 |
| Lg (nH)       | 1.19 | 1.19 | 1.19   | 1.19 |
| Kpg (%)       | 1.67 | 1.66 | 0.0073 | 0.25 |

Tableau 10: Couplage puissance - commande pour une cellule de commutation aval

La bonne immunité du circuit de grille s'explique par sa géométrie qui n'offre qu'une très faible surface commune au flux magnétique généré par le circuit de puissance. En effet, l'épaisseur entre la piste de Grille et celle de Kelvin Source est de seulement 100µm. La surface correspondante à la boucle du circuit de grille est alors de 3mm<sup>2</sup>. Pour la suite des travaux, les circuits de grille et de puissance seront considérés comme parfaitement découplés.

### II.3.2.Modélisation électrostatique

Après avoir étudié les phénomènes électromagnétiques du module 3D, il est intéressant de se pencher sur son comportement électrostatique. Le module a une géométrie avec des plans en regard, ce qui laisse penser que le packaging tend à ajouter une capacité parasite en parallèle avec les capacités parasites du MOSFET. À partir de ce constat, l'équation du condensateur plan (25) est utilisée pour calculer les capacités additionnelles du package et les capacités de mode commun.

$$C = \frac{\epsilon_0 \epsilon_r S}{d} \quad (25)$$

Les paramètres de l'équation sont la permittivité du vide  $\epsilon_0$ , la permittivité relative du matériau diélectrique  $\epsilon_r$ , la surface en regard S et la distance entre les deux électrodes d. Cette équation s'applique lorsque la distance inter-électrode est très inférieure à la longueur et la largeur des électrodes, les effets de bord étant négligés. Nous nous approchons de ce cas simple avec la géométrie du module.

#### II.3.2.1.Capacités inter-électrodes additionnelles du package

Les capacités inter-électrodes correspondent aux capacités entre drain et source (C<sub>ds</sub>), entre grille et source (C<sub>gs</sub>) et entre grille et drain (C<sub>gd</sub>). Le matériau diélectrique utilisé comme prepreg et laminé est le R-1755V de la société Panasonic, caractérisé par une permittivité relative de 4,7 à une fréquence de 1MHz et de 4,4 à une fréquence de 1GHz. La permittivité est considérée comme constante avec la fréquence dans la suite de ce paragraphe.

- **Capacité C<sub>ds</sub>**

La puce MOSFET SiC est incluse dans une première couche diélectrique de 150µm d'épaisseur (prepreg centrale), puis encapsulée de chaque côté par une couche diélectrique de 50µm d'épaisseur (prepreg externe) suivi d'un plan de cuivre de 44µm d'épaisseur. Le schéma de la Figure 103 récapitule les différentes couches. Les plans de cuivre supérieur et inférieur sont respectivement connectés au drain et à la source du MOSFET par micro via.

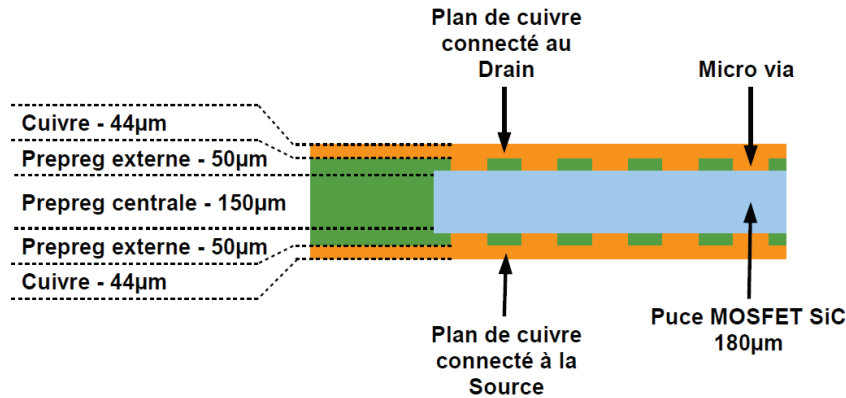


Figure 103: Schéma de l'encapsulation d'une puce et des épaisseurs correspondantes

Nous considérons alors un condensateur plan de 250µm de distance inter-électrode avec la permittivité relative du matériau R-1755V cité précédemment. La surface du condensateur plan est celle du module entier soit 900mm<sup>2</sup> (30mm x 30mm). L'application numérique nous donne une valeur de capacité Cds de 150pF. En rapportant cette valeur au nombre de puces en parallèle, on arrive à une valeur de capacité drain supplémentaire de 37.5pF par puce. Les données constructeur de la puce MOSFET SiC nous indiquent une valeur de Cds de 73.5pF à 1000V. Le packaging augmentera donc Cds de 51%, ce qui tendra à ralentir les commutations et augmenter l'énergie électrostatique.

- **Capacité  $C_{gs}$**

Le circuit de grille est composé d'un laminé double face avec une piste reliée à la grille et une piste de reprise de source (Kelvin Source) superposées. L'ensemble est pris en sandwich entre des plans de cuivre connectés au potentiel de source du MOSFET. Le schéma de la Figure 104 présente les différentes couches et leurs épaisseurs successives. Par soucis de clarté, les micro-vias qui permettent d'interconnecter les différents plans entre eux ne sont pas représentés.

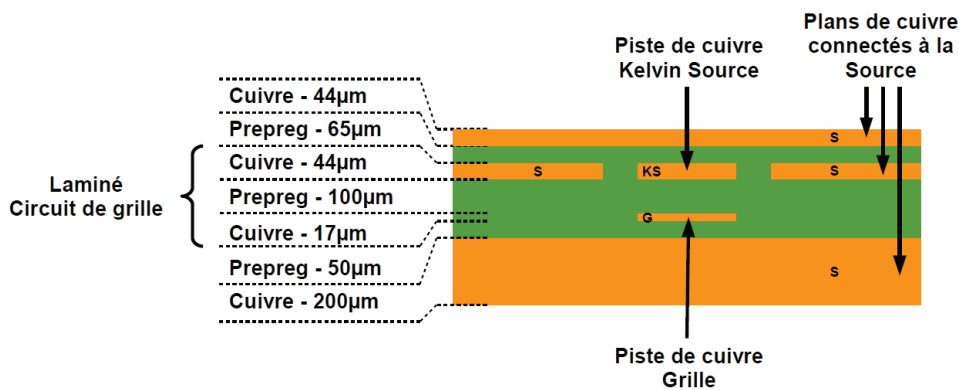


Figure 104: Coupe schématique du circuit de grille

La piste Kelvin Source est au même potentiel électrique que la Source. De plus, l'espacement entre la piste Kelvin Source et le reste du plan source de la même couche est faible. La géométrie du circuit de grille se rapproche grandement d'une configuration de type « stripline », comme présenté en Figure 105. De nombreuses formulations sont proposées

dans la littérature pour évaluer l'impédance linéique de ce type de configuration [105]. Il est alors naturel de se poser la question de la validité d'un modèle simple de type condensateur plan pour calculer la capacité parasite de ce type de circuit.

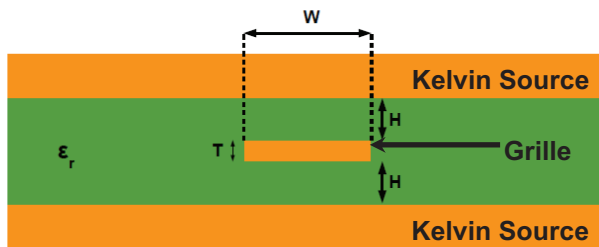


Figure 105: Configuration de piste « stripline »

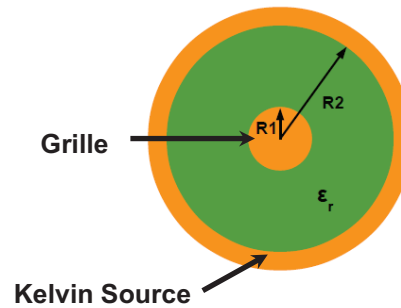


Figure 106: Configuration de câble coaxial

La formule (26) est extraite de la documentation IPC « Design Guidelines for Electronic Packaging Utilizing High-Speed Techniques » [105]. La capacité linéique est calculée en fonction des paramètres géométriques  $W$  (largeur de piste),  $T$  (épaisseur de piste) et  $H$  (espacement des plans de masse). Cette équation est donnée pour un domaine de validité précis ( $W/H < 2$  et  $T/H < 0.25$ ), qui correspond bien aux contraintes des circuits imprimés pour application à haute fréquence. On remarque que lorsque  $W/H > 3$  (en négligeant  $T/H$ ), la valeur de capacité linéique s'annule et devient négative. Dans notre cas, avec une largeur  $W$  de piste de 2mm au minimum et un espacement  $H$  de 100µm, le rapport  $W/H$  vaut 20. Nous ne pouvons donc plus appliquer l'équation (26) dans notre configuration. On peut également noter que la forme de cette équation s'approche de la capacité d'un fil coaxial (Figure 106) présenté en équation (27). A partir de cette constatation, il est possible de réaliser des transformations paramétriques pour adapter la géométrie « stripline » en une géométrie coaxiale. En conservant l'espacement  $H$  et la surface de la piste centrale, une nouvelle équation est proposée en (28). Cette équation a le mérite d'éliminer tout coefficient empirique et d'étendre le domaine d'étude. Enfin, l'équation (29) est celle d'un condensateur plan en considérant les surfaces supérieure et inférieure de la piste de grille en regard avec un plan de masse. Cette dernière équation est la limite asymptotique du cas « stripline » lorsque  $W/H$  tend vers l'infini.

$$C_{strip} = \frac{2\pi\epsilon_0\epsilon_r}{\ln\left(\frac{3.81}{0.8\frac{W}{H} + \frac{T}{H}}\right)} \quad (26)$$

Valide pour  $W/H < 2$  et  $T/H < 0.25$

$$C_{coax} = \frac{2\pi\epsilon_0\epsilon_r}{\ln\left(\frac{R_2}{R_1}\right)} \quad (27)$$

$$C_{strip\ adapté} = \frac{2\pi\epsilon_0\epsilon_r}{\ln\left(1 + \frac{\pi}{\frac{W}{H} + \frac{T}{H}}\right)} \quad (28)$$

Avec  $R_2 - R_1 = H$  et  $2\pi R_1 = 2(W + H)$

$$C_{plan} = 2\epsilon_0\epsilon_r \frac{W}{H} \quad (29)$$

Les équations (26), (28) et (29) peuvent maintenant être comparées en fonction de W/H pour plusieurs valeurs de T/H (0.01, 0.1 et 1). Les résultats sont présentés en Figure 107.

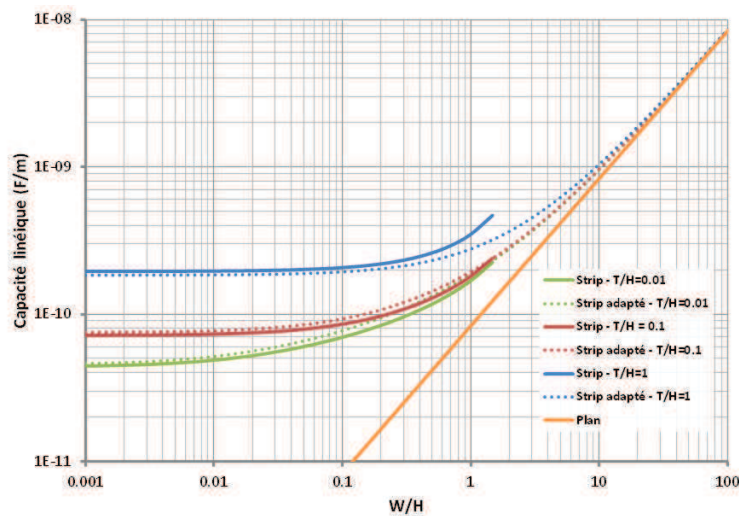


Figure 107: Comparaison des modèles stripline, stripline adapté et plan

Dans le domaine de validité du modèle stripline, le modèle stripline adapté offre une bonne cohérence des résultats avec près de 6% de différence. Lorsque W/H est supérieur à 10, le modèle stripline adapté concorde également avec le modèle plan. Ainsi, dans les configurations géométriques du circuit de grille du module 3D, le modèle simple du condensateur plan s'applique avec une très bonne approximation.

La capacité grille source  $C_{gs}$  est la somme de la capacité plan de la face supérieure de la piste (espacement de 100µm) et de la capacité plan de la face inférieure (espacement de 50µm), pour une surface totale de 150mm<sup>2</sup>. Le calcul conduit à une capacité grille source additionnelle de 187pF pour le module total, soit près de 47pF additionnel relativement à chaque MOSFET. Les données constructeur du MOSFET SiC indiquent une capacité  $C_{gs}$  de 943pF à  $V_{ds}=1000V$ . Le packaging augmentera donc  $C_{gs}$  de seulement 5%.

- **Capacité  $C_{gd}$**

La géométrie du circuit de grille s'approche d'une géométrie coaxiale, créant ainsi un écran électrostatique. Le packaging n'augmentera donc pas la capacité  $C_{gd}$  du MOSFET SiC. C'est un point fort de cet assemblage, qui n'amplifie pas les perturbations sur le circuit de grille dues aux fortes vitesses de variation de tension.



### II.3.2.2. Capacités de mode commun

Les capacités de mode commun sont liées au système de refroidissement du module de puissance. Le refroidisseur est généralement relié à la terre par mesure de sécurité et isolé des potentiels électriques du circuit de puissance par un matériau diélectrique. Le schéma de la Figure 108 présente de manière simplifiée l'agencement du système de refroidissement dans le cas d'un module de type PCOC.

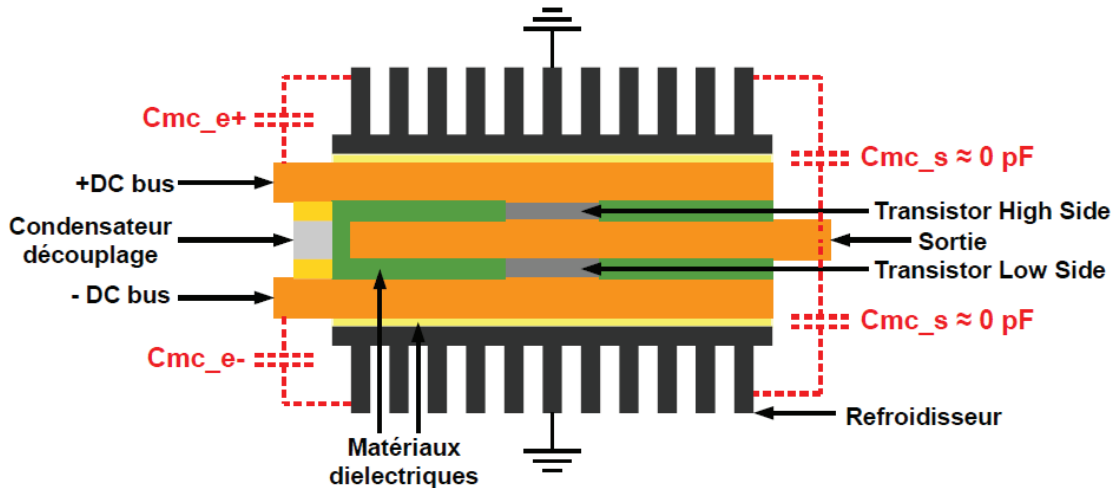


Figure 108: Agencement du système de refroidissement du module PCOC

Les capacités de mode commun du module se réduisent aux capacités entre le potentiel positif du bus continu et la terre ( $C_{mc\_e+}$ ) et le potentiel négatif du bus continu et la terre ( $C_{mc\_e-}$ ). D'après la géométrie du module, un modèle de type condensateur plan s'applique donc parfaitement. Dans la conception du module, l'isolation électrique n'a pas été prise en compte. La valeur de capacité dépendra donc du choix de matériau diélectrique. Si on suppose un procédé de fabrication entièrement PCB, une prepreg à forte conductivité thermique pourrait être employée pour isoler électriquement le module. En se basant sur les données de la prepreg E-Cool Sheet de Panasonic (conductivité thermique de 3.2W/m.K, épaisseur de 50 $\mu$ m, permittivité relative de 7 et tenue en tension de 7kV), et d'une surface externe de module de 900mm<sup>2</sup> (30mm x 30mm), la valeur de capacité est égale à 1.1nF. Ces capacités permettent de reboucler les courants de mode commun et jouent donc le rôle de filtre CEM.

Le point milieu étant contenu au centre du module, sa capacité de mode commun ( $C_{mc\_s}$ ) est masquée par un écran électrostatique. La capacité de mode commun du point milieu est donc théoriquement fortement réduite. Sa valeur dépendra seulement de la connectique du module et notamment du type d'interconnexion entre la sortie du module et sa charge.

### II.3.3. Simulation SPICE

Des simulations électriques d'une cellule de commutation sont conduites grâce au modèle SPICE de la puce MOSFET SiC (CPM2-1200-0080B), disponible sur le site internet du constructeur, et des éléments parasites calculés précédemment. La simulation doit nous permettre de valider le bon fonctionnement du module et de donner une estimation des énergies de commutation. Nous nous appuyerons sur le modèle électrique d'impédance

d'une maille de commutation développé précédemment qui reste valide seulement dans le cas de la commutation.

### II.3.3.1. Présentation du circuit

Le schéma électrique simulé avec le logiciel LTSPICE est présenté en Figure 109. On retrouve le modèle de la maille de commutation (L1, L2, L3 et Cdec), la capacité Cds induite par le packaging sur chaque transistor (Cds1 et Cds2) et le modèle du circuit de grille (Cg1, Lg1, Cg2 et Cg3, Lg2, Cg4). Les ordres de commande des transistors sont réalisés par un générateur de tension générant une tension entre +20V et -5V avec des temps de montée et de descente de 10ns. Le temps mort est fixé à 80ns. Une résistance de grille de 2Ω est ajoutée. La charge est une source de courant idéale. Dans le schéma suivant, la tension d'entrée est fixée à 800V avec un courant de charge de 20A. Le sens du courant dans la charge implique un fonctionnement en direct du MOSFET high side et en inverse du MOSFET low side. Le modèle de l'impédance de la maille est celui d'une cellule de commutation aval. Le modèle SPICE des MOSFET est dépendant de la température, qui sera arbitrairement fixée à 25°C (source de tension V3 et V4). En effet, la température n'a que très peu d'influence sur les commutations.

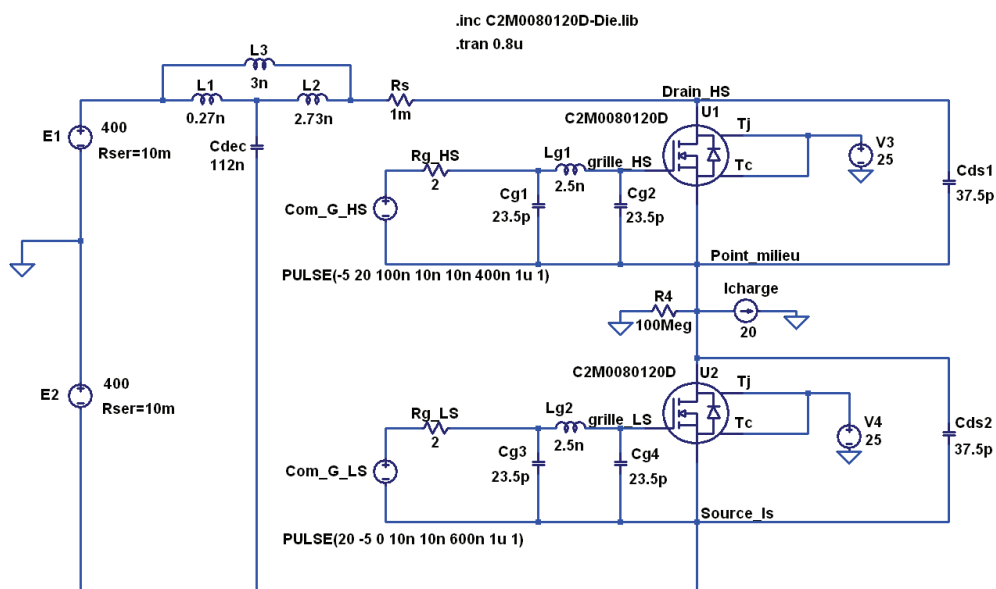


Figure 109: Circuit électrique SPICE

### II.3.3.2. Résultats de simulations

- Formes d'ondes

Les formes d'ondes caractéristiques suivantes sont tracées pour le transistor high side et le transistor low side lors des commutations à la fermeture et à l'ouverture : courant de drain (Figure 110, Figure 111), Tension drain source (Figure 112, Figure 113), tension grille source (Figure 114, Figure 115).

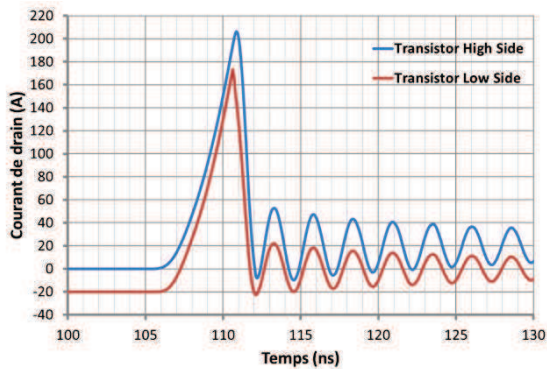


Figure 110: Courant de drain - fermeture

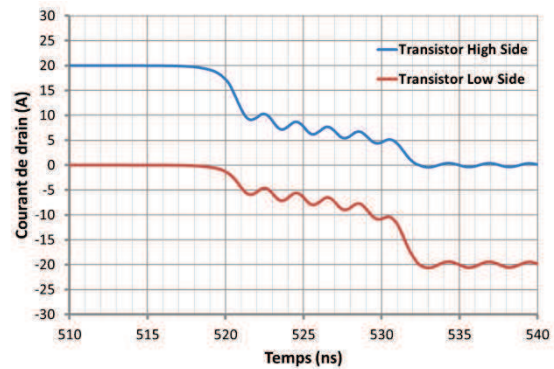


Figure 111: Courant de drain - ouverture

Le courant de drain à la fermeture du MOSFET high side (Figure 110) a une valeur pic 20 fois supérieure au courant de charge (200A pic pour 20A de charge). Ce phénomène est causé par le recouvrement en inverse de la diode body du transistor low side et du fort  $di/dt$ . La vitesse de variation du courant de drain, quand le courant de charge est atteint, est approximé à 28A/ns et augmente encore pendant le phénomène de recouvrement pour atteindre 67A/ns juste avant le pic de recouvrement. L'inductance parasite du packaging ne limite pas la vitesse de variation du courant. Malgré les faibles charges stockées de la diode body du MOSFET SiC, la très grande vitesse de variation du courant va créer un grand pic de recouvrement en inverse. On peut alors se questionner sur l'influence du recouvrement sur l'énergie de commutation et sur l'intégrité de la puce pour un si grand pic de courant.

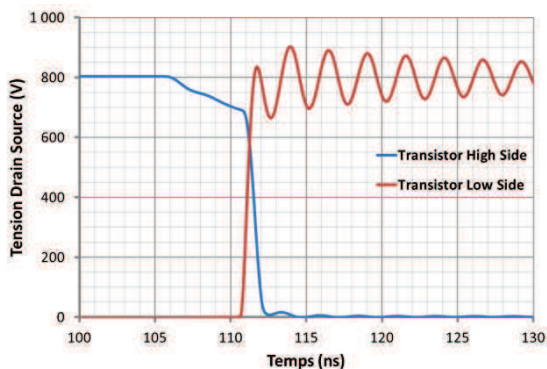


Figure 112: Tension drain source - fermeture

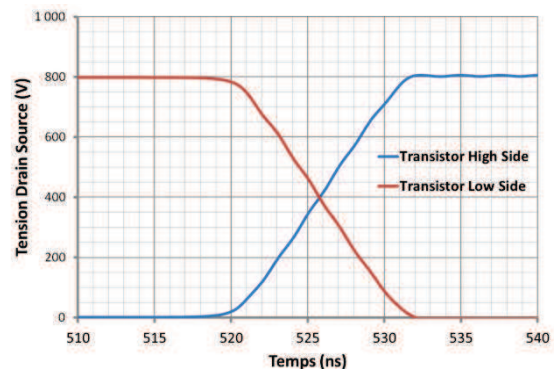


Figure 113: tension drain source - ouverture

La tension drain source du MOSFET high side à la fermeture (Figure 112) a une sous-tension inductive de 100V tandis que la tension drain source du MOSFET low side subit des oscillations d'une fréquence de 390MHz causées par l'inductance parasite basse fréquence et la capacité  $C_{oss}$  ( $L=1.5nH$ ,  $C_{oss}=111pF$ ). Lors de l'ouverture, les tensions drain source ne subissent quasiment aucune surtension ni oscillations. En effet, la vitesse de variation du courant est beaucoup plus faible dans ce cas.

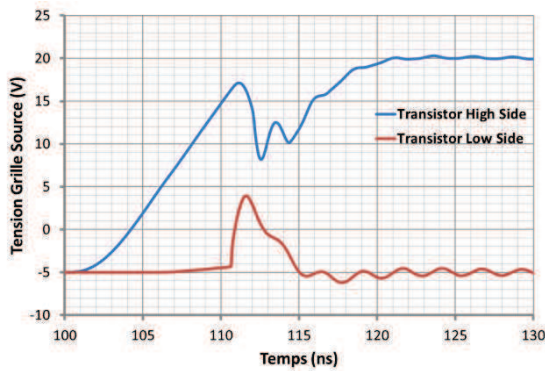


Figure 114: Tension grille source - fermeture

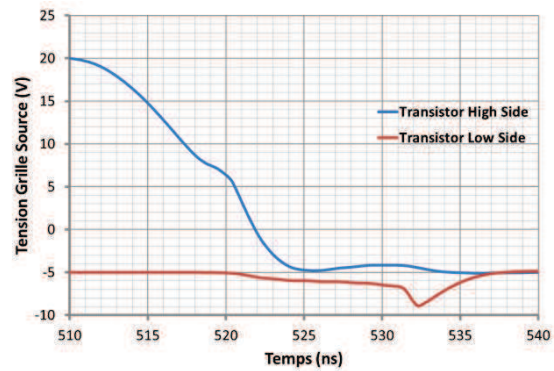


Figure 115: Tension grille source - ouverture

Au niveau des tensions grille source, on peut noter la perturbation capacitive sur le circuit du transistor low side, qui atteint près de 4V. La tension de seuil est dépassée mais le transistor ne s'enclenche pas. On peut supposer que le temps de la perturbation est trop faible pour venir charger la grille du transistor low side.

Afin de valider l'hypothèse du recouvrement inverse dominant lors de la fermeture du MOSFET high side, une simulation est réalisée en remplaçant le MOSFET low side par un modèle SPICE d'une diode schottky SiC 1200V 10A (CSD10120D). Le courant de drain à la fermeture et à l'ouverture dans le cas d'une cellule de commutation MOS-MOS et MOS-Diode est présenté en Figure 116 et Figure 117. L'effet de la diode Schottky SiC est radical, le courant pic à la fermeture passe de 200A dans le cas d'une cellule MOS-MOS à 60A dans le cas d'une cellule MOS-Diode. Les oscillations sont également diminuées. A l'ouverture, les formes d'onde sont similaires, avec une légère augmentation des oscillations dans le cas de la cellule MOS-Diode. On peut supposer une forte diminution de l'énergie de commutation à la fermeture dans le cas de la cellule MOS-Diode.

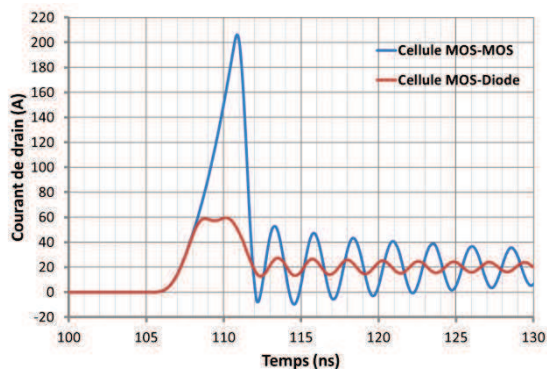


Figure 116: Courant de drain à la fermeture - influence d'une diode schottky SiC

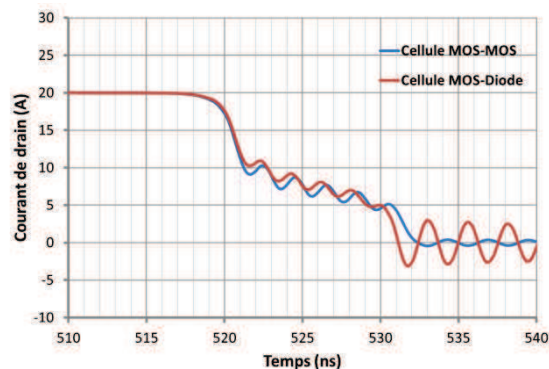


Figure 117: Courant de drain à l'ouverture - influence d'une diode schottky SiC

- **Energie de commutation**

Les énergies de commutation à la fermeture ( $E_{on}$ ) et à l'ouverture ( $E_{off}$ ) sont calculées par simulation dans le cas d'une cellule de commutation MOS-MOS et d'une cellule de commutation MOS-Diode. Les simulations SPICE reprennent le schéma de la Figure 109 avec une tension du bus continu de 800V et une résistance de grille de 2.5Ω. Le courant de charge varie entre 5A et 40A. Les résultats sont présentés en Figure 118.



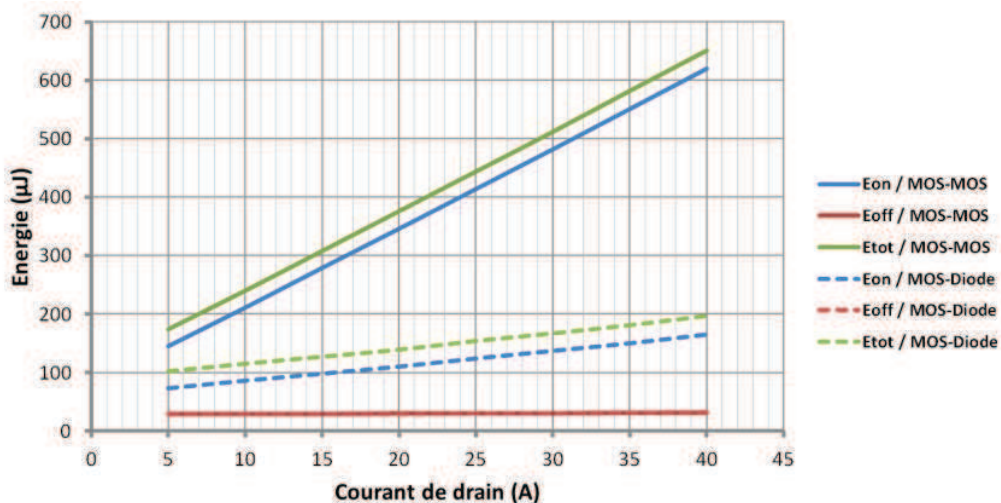


Figure 118: Comparaison des énergies de commutation ( $E_{on}$ ,  $E_{off}$  et  $E_{tot}$ ) entre une cellule MOS-MOS et une cellule MOS-Diode

L'influence de la diode Schottky sur l'énergie de commutation à la fermeture ( $E_{on}$ ) est évidente. L'énergie augmente linéairement de  $75\mu\text{J}$  pour un courant de 5A à  $150\mu\text{J}$  pour un courant de 40A dans le cas de la cellule MOS-Diode alors que dans le cas de la cellule MOS-Diode, l'énergie augmente linéairement de  $150\mu\text{J}$  pour un courant de 5A à  $625\mu\text{J}$  pour un courant de 40A. L'énergie de commutation à l'ouverture reste constante et identique pour les deux configurations avec une valeur de  $30\mu\text{J}$ . L'utilisation d'une diode Schottky SiC permet donc de réduire les pertes par commutation d'un facteur compris entre 1.5 et 3 dans le cas du module PCOC en PCB. La variation des énergies est linéaire en fonction du courant car l'influence de l'inductance de la maille de puissance est négligeable ( $L \cdot I^2$ ).

Il est maintenant intéressant de comparer l'énergie de commutation totale du module PCOC PCB avec deux types de packaging ; une solution discrète et une solution en module, avec la même puce MOSFET SiC. La solution discrète est une cellule de commutation MOS-Diode composé d'un boîtier TO247 pour le MOSFET SiC (C2M0080120D) et un boîtier TO247 pour la diode Schottky SiC (C4D10120D). L'énergie de commutation en fonction du courant est extraite de la datasheet du MOSFET avec une tension de 800V, une résistance de grille de  $2.5\Omega$  et une température de  $25^\circ\text{C}$ . La comparaison des énergies de commutation en fonction du courant de drain pour la solution discrète est présentée en Figure 119. Jusqu'à un courant de 20A, le module PCB avec une cellule MOS-MOS a la plus grande énergie de commutation. Au-delà de 20A, la solution discrète a la plus grande énergie. Le module PCB avec une cellule MOS-Diode reste la meilleure solution.

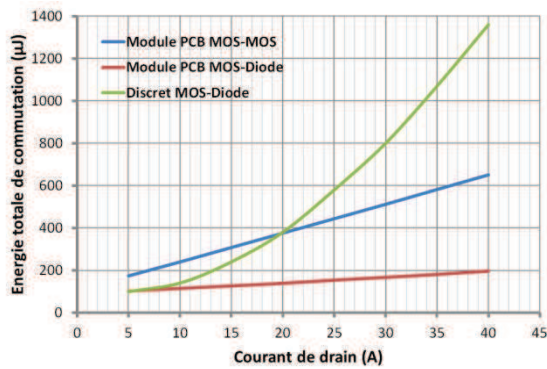


Figure 119: Energie totale de commutation - comparaison entre module PCB et solution discrète

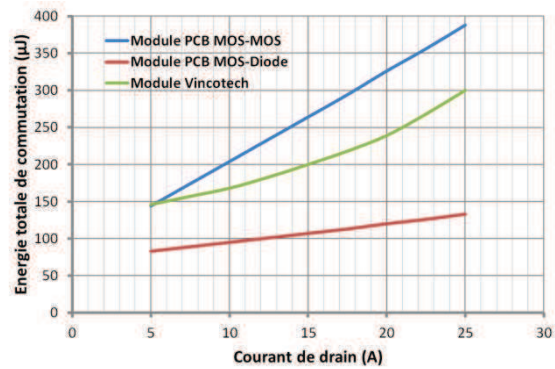


Figure 120: Energie totale de commutation - comparaison entre module PCB et module Vincotech

La solution en module classique est un module de type onduleur triphasé de la société Vincotech (10-PZ126PA080ME-M909F18Y), qui assemble pour chaque cellule de commutation une puce MOSFET SiC 1200V 80mΩ (CPM212000080B) avec une diode Schottky SiC 1200V 16A. Le module inclut également des condensateurs de découplage aux bornes de chaque cellule. La comparaison des énergies de commutation est effectuée en Figure 120 avec les caractéristiques de la datasheet Vincotech ( $V_{bus}=700V$ ,  $R_g=4\Omega$ ,  $T_j=25^\circ C$ ). Le module PCB avec une cellule MOS-MOS a la plus grande énergie de commutation sur toute la gamme de courant, suivi par le module Vincotech. Encore une fois, la configuration MOS-Diode du module PCB permet d'obtenir les meilleures performances avec un gain de 58% sur l'énergie de commutation à 25A.

La cellule de commutation MOS-Diode peut être envisagée dans des applications à grande fréquence de découpage tandis qu'une cellule MOS-MOS est acceptable pour des applications à faible fréquence de découpage (<100kHz) et forte puissance volumique (deux fois moins de composants). Malgré les meilleures performances en commutation de la cellule MOS-Diode, nous avons également privilégié la cellule MOS-MOS pour une réalisation technologique plus facile. L'extraction de l'énergie de commutation va maintenant nous permettre de calculer les pertes de l'onduleur triphasé.

### II.3.3.3. Calcul du rendement de l'onduleur

Le calcul des pertes est basé sur les formes d'onde d'un onduleur triphasé à deux niveaux. L'énergie de commutation est extraite par simulation SPICE avec une tension de bus continu de 800V et une résistance de grille de 1Ω. L'indice de modulation est fixé à 0.9 avec un facteur de puissance de 0.9. La variation de la résistance à l'état passant du MOSFET SiC avec la température est prise en compte dans le calcul des pertes. La température de jonction est fixée à 100°C. Quatre puces MOSFET SiC en parallèle pour chaque bras sont bien considérées pour le calcul du rendement total de l'onduleur. Le détail des équations est disponible en annexe 1. Nous pouvons alors présenter les courbes de rendement de l'onduleur en fonction de la puissance apparente (Figure 121) ainsi que les pertes par puce en fonction de la puissance apparente (Figure 122). La fréquence de découpage est également un paramètre variant entre 25kHz et 100kHz pour les deux graphiques.

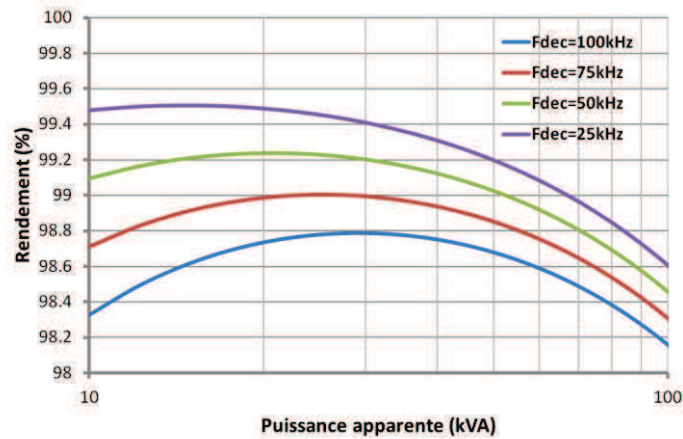


Figure 121: Rendement de l'onduleur en fonction de la puissance apparente et de la fréquence de découpage

Avec une fréquence de découpage de 25kHz, le rendement de l'onduleur triphasé varie de 99.5% à 98.6% pour une puissance variant de 10kVA à 100kVA. L'augmentation de la fréquence diminue le rendement de la structure. Pour une fréquence de découpage de 100kHz, le rendement varie de 98.3% pour 10kVA à 98.% pour 100kVA avec un pic de 98.8% à 30kVA. L'optimum de rendement correspond à l'égalité entre perte par commutation et perte par conduction. L'objectif de rendement supérieur à 97% est bien rempli pour une gamme de puissance allant de 10kVA à 100kVA. De plus, l'augmentation de la fréquence de découpage de 25kHz à 100kHz ne dégrade pas excessivement le rendement. Pour des raisons thermiques, il est important de connaître les pertes moyennes au sein de chaque puce. Elles sont représentées en fonction de la puissance apparente et de la fréquence de découpage en Figure 122.

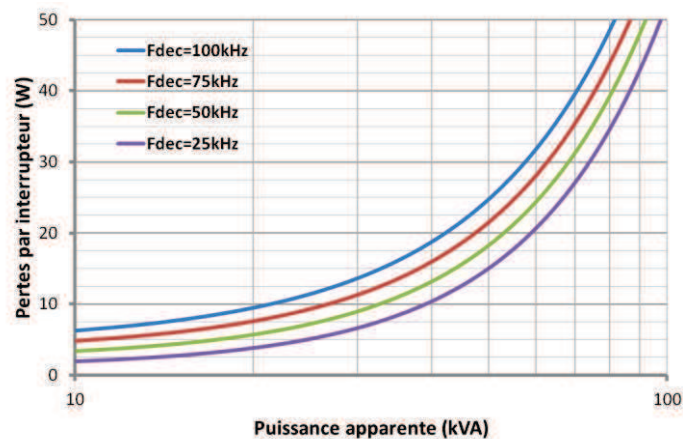


Figure 122: Pertes par interrupteur en fonction de la puissance apparente et de la fréquence de découpage

Dans la gamme de puissance d'intérêt (25kVA – 50kVA), les pertes par puce varient de 5W à 15W pour une fréquence de 25kHz et de 12W à 25W pour une fréquence de 100kHz. Afin d'assurer le bon fonctionnement du module, la température de jonction des puces doit rester inférieure à 150°C et la température des couches diélectriques inférieure à 125°C. Le refroidissement du module doit donc être évalué. Le comportement thermique du module et son système de refroidissement associé va ainsi fixer la limite maximale des pertes du module.



### **II.3.4. Conclusion partielle de l'analyse électrique du module**

L'analyse électrique du module de puissance 3D basé sur le concept « Power Chip On Chip » avec un procédé de fabrication PCB nous permet de conclure sur les éléments suivants.

D'un point de vue électromagnétique, l'inductance de la maille de commutation du module est estimée à 0.25nH en haute fréquence avec un parfait équilibrage des impédances entre les quatre cellules de commutation. La géométrie du circuit de grille permet d'obtenir une faible inductance (entre 2nH et 3nH) et une symétrie des ordres de commande pour chaque transistor. Les interactions électromagnétiques puissance / commande sont évaluées comme négligeables en simulation.

Le packaging à base de matériau diélectrique de type FR4 augmente les capacités parasites entre drain et source de 51% et les capacités parasites entre grille et source de 5%. Le routage du circuit de grille évite d'augmenter la capacité entre grille et drain.

Les simulations SPICE d'une cellule de commutation ont permis de mettre en évidence l'importance du phénomène de recouvrement inverse de la diode body du MOSFET SiC dans l'environnement électrique du module. Ce dernier est responsable de la plus grande part des pertes par commutation. Les surtensions entre drain et source de chaque composant de la cellule de commutation sont faibles en regard des fortes vitesses de commutation en courant.

Enfin, le rendement de l'onduleur triphasé avec le nouveau packaging est conforme aux objectifs fixés dans le cahier des charges avec des valeurs comprises entre 98% et 99% pour une gamme de puissance allant de 10kVA à 100kVA et une fréquence de découpage entre 25kHz et 100kHz.

## II.4. Analyse thermique du module

### II.4.1. Contexte de l'étude

Le module de puissance permet non seulement l'interconnexion électrique mais également assure le transfert des pertes des puces semi-conductrices vers le système de refroidissement. Dans le cas d'un module de puissance standard (Figure 123), les puces sont brasées sur un substrat céramique isolé (Direct Bonded Copper, DBC) qui est reporté sur un système de refroidissement par le biais d'un matériau d'interface thermique. La couche de céramique du substrat DBC a un rôle d'isolation électrique tout en autorisant un bon comportement thermique grâce à ses caractéristiques physiques. A partir d'une analogie électrique, un modèle thermique en régime statique du module de puissance peut être construit (Figure 124). La loi d'Ohm « thermique » relie une différence de température à la puissance dissipée au travers d'une résistance thermique. Pour un module de puissance, on distingue trois types de résistances thermiques : la résistance thermique de la puce ( $R_{\text{puce}}$ ), la résistance thermique du package ( $R_{\text{package}}$ ) et la résistance thermique du système de refroidissement ( $R_{\text{radiateur}}$ ).

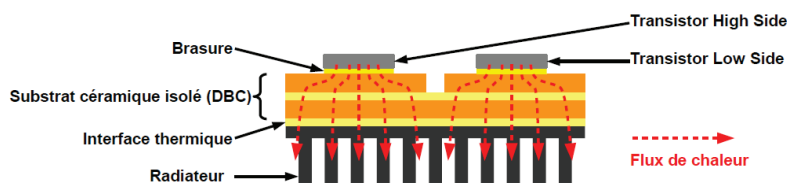


Figure 123: Epanouissement de la chaleur au sein d'un module plan

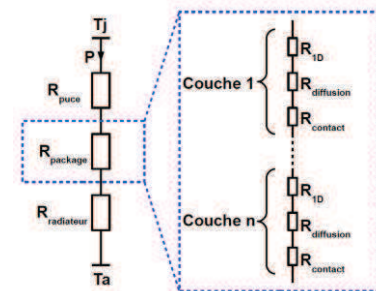


Figure 124: Modèle thermique statique d'un module de puissance (analogie électrique)

La résistance thermique de la puce dépend essentiellement du matériau semi-conducteur. Etant donnée la faible épaisseur des puces (centaine de micro-mètre) et la bonne conductivité thermique des matériaux semi-conducteurs ( $\lambda_{\text{Si}}=148\text{W/m.K}$ ,  $\lambda_{\text{SiC}}=360\text{W/m.K}$  à  $490\text{W/m.K}$ ), la résistance thermique d'une puce semi-conductrice est faible devant les deux autres résistances du module de puissance.

La résistance thermique du package inclut toutes les couches entre la puce et le radiateur. Dans le cas d'un module standard, on retrouvera successivement la brasure, le DBC et le matériau d'interface thermique. Chaque couche peut être modélisée par une résistance thermique composée d'une résistance unidimensionnelle, d'une résistance de diffusion (« spreading resistance » en anglais) et d'une résistance de contact avec la couche suivante, comme détaillé en Figure 124. Nous nous intéresserons aux résistances 1D et de diffusion en négligeant la résistance de contact.

Enfin, le système de refroidissement est chargé d'évacuer les pertes du module. Sa résistance thermique varie en fonction de la technologie et dépend du choix du concepteur du convertisseur. Le dimensionnement du système de refroidissement est lié à la température maximale de fonctionnement des puces, limitée à  $175^\circ\text{C}$  dans le cas des interrupteurs en silicium. Les transistors à grand gap peuvent théoriquement fonctionner à des températures supérieures et de nombreuses recherches tendent à développer des

modules à haute température. Dans le cadre de ce projet, les composants MOSFET SiC ont une température maximale de fonctionnement de 150°C. De plus, les matériaux diélectriques utilisés pour la conception du module ne dépassent pas les 125°C.

Le concepteur d'un module cherchera donc à diminuer au maximum la résistance thermique du package afin de diminuer les contraintes sur le dimensionnement du système de refroidissement.

La structure du module 3D PCOC est radicalement différente d'un module standard. Un système de refroidissement est nécessaire sur les deux faces (Figure 125). Le transfert de la chaleur ne s'effectue plus dans une direction particulière mais dans deux dimensions. La couche de cuivre centrale peut être assimilée à un drain thermique pouvant potentiellement créer un nouveau chemin pour le flux thermique. Les deux puces sont superposées, ce qui entraîne inévitablement un phénomène d'auto-échauffement du fait du cuivre intermédiaire qui agit comme un court-circuit thermique entre les interrupteurs high side et low side. L'attache des puces par micro-via doit également prouver un bon comportement thermique. Le matériau diélectrique FR4 a une conductivité thermique bien inférieure aux céramiques, ce qui peut laisser présager un mauvais comportement thermique de l'ensemble du module en première approche.

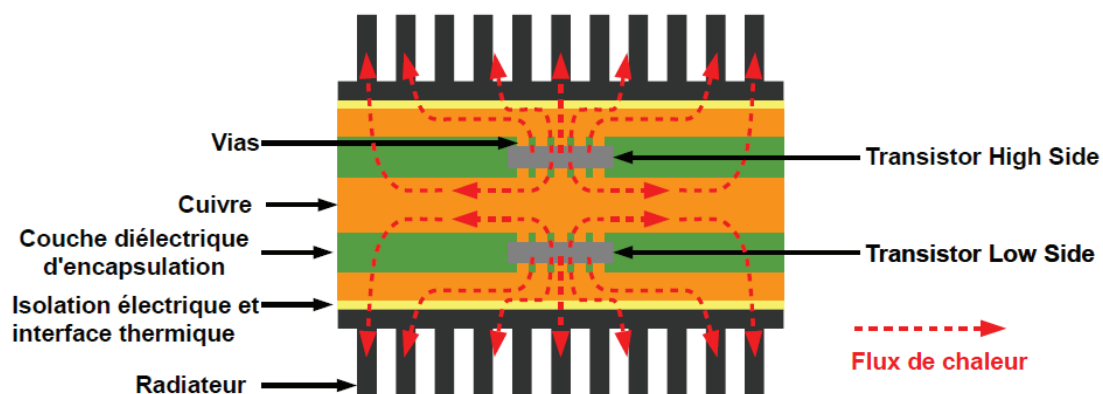


Figure 125: Epanouissement de la chaleur au sein du module 3D PCOC

Une démarche est proposée afin d'analyser thermiquement le module 3D. Le but est de partir du système de refroidissement et de remonter progressivement vers la puce pour finir par une simulation 3D globale du système. Pour cela, nous étudierons successivement les points suivants qui nous permettront de répondre à plusieurs questions :

- **Le système de refroidissement**  
Est-on capable de réaliser un refroidissement efficace pour un module de faible dimension ?
- **Isolation électrique**  
Quelle est la performance thermique des matériaux isolant électrique utilisables dans un procédé de fabrication PCB ?
- **Attache de la puce par micro-via**  
Les micro-vias permettent-ils une bonne évacuation de la chaleur générée au sein de la puce ?
- **Simulation 3D du module complet**  
Quelle est la performance thermique de l'ensemble du module ?

Cette analyse met en avant les paramètres d'optimisation thermique du module dans un contexte de fabrication PCB.

## II.4.2. Les systèmes de refroidissement

Le système de refroidissement est un élément incontournable des convertisseurs d'électronique de puissance et représente une part importante du volume total. Le principe de base d'un système de refroidissement est d'extraire les calories grâce à un fluide caloporteur par le phénomène physique de convection. Deux fluides sont majoritairement utilisés : l'air et l'eau. D'autres fluides peuvent être utilisés, notamment pour des considérations de rigidité diélectrique.

On distingue trois sous-ensembles de refroidissement : la convection naturelle, la convection forcée et le changement de phase. Le phénomène de convection naturelle correspond à une mise en mouvement du fluide caloporteur grâce à sa variation de densité avec la température suivant le sens de la gravité (Figure 126). En convection forcée, le fluide est mis en mouvement par un système mécanique externe (ventilateur ou pompe). L'écoulement peut se faire parallèlement à la surface à refroidir (Figure 127) ou perpendiculairement sous forme de jet (Figure 128) [106] [107]. Dans ces trois types d'écoulement, la géométrie du système peut être optimisée afin d'intensifier les échanges thermiques. On citera l'exemple des ailettes qui se retrouvent sous différentes formes et dont les paramètres géométriques influencent les échanges thermiques.

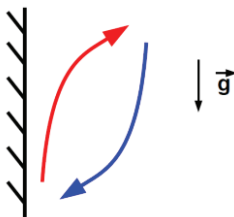


Figure 126: Convection naturelle sur plaque verticale

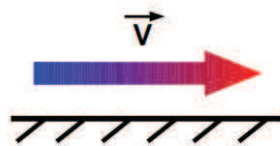


Figure 127: Convection forcée avec écoulement parallèle du fluide

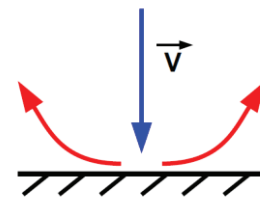


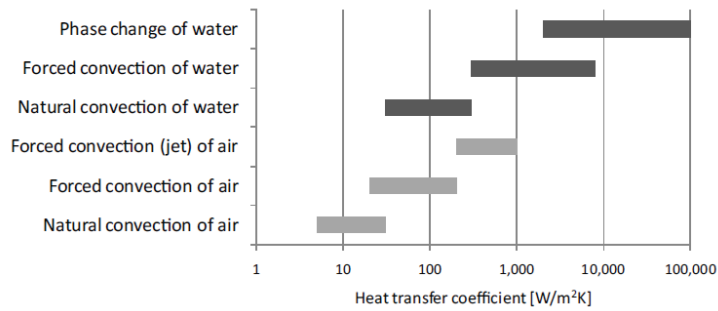
Figure 128: Convection forcée avec écoulement perpendiculaire du fluide

Enfin, le dernier type de refroidissement utilise un changement de phase du fluide comme dans le cas du caloduc ou du thermosiphon. Cette technique permet de transférer les pertes vers un échangeur qui peut être déporté afin de satisfaire les contraintes mécaniques du convertisseur ou de diffuser de manière optimale le flux thermique.

L'intensité du transfert thermique des différentes solutions de refroidissement se caractérise par le coefficient d'échange convectif  $h$ .

### II.4.2.1. Définition du coefficient d'échange convectif

La résistance thermique d'un système de refroidissement peut se mettre sous la forme de l'équation (30) avec  $h$  le coefficient d'échange convectif (en  $W/m^2.K$ ) et  $S$  la surface d'échange. Le coefficient d'échange thermique convectif nous permet donc de comparer les différents types de refroidissement en s'affranchissant de la géométrie du système. Une estimation de  $h$  pour différents types de refroidissement est présentée en Figure 129 [108]. La convection naturelle avec de l'air se caractérise par un coefficient  $h$  autour de  $10W/m^2.K$  tandis que les systèmes à changement de phase peuvent atteindre près de  $100kW/m^2.K$ .



$$R_{th} = \frac{1}{h \cdot S} \quad (30)$$

Figure 129: Estimation du coefficient d'échange convectif pour différents types de refroidissement [108]

Dans une optique d'intégration en électronique de puissance, les densités de pertes augmentent toujours plus et les surfaces d'échange diminuent. Un système de refroidissement à fort coefficient h semble donc inévitable.

Au sein de ce projet, la surface d'échange du module est de seulement 900mm<sup>2</sup> (30mm x 30mm) pour des pertes de 100W au maximum par face (25W par puce à 50kVA et 100kHz, voir Figure 122). En supposant un échauffement maximal du module de 70°C, la résistance thermique d'un radiateur doit être inférieure à 0.7°C/W soit un coefficient d'échange h supérieure à 1600W/m<sup>2</sup>.K. Pour cela, nous avons opté pour un refroidissement à convection forcée à eau adapté aux dimensions du module de puissance.

### II.4.2.2. Réalisation et caractérisation d'un système de refroidissement à eau

Le bloc de refroidissement à eau réalisé au G2E Lab est présenté en Figure 130 et Figure 131. Il s'agit d'une plaque à eau en aluminium de dimension 30mm x 30mm x 12mm. A cause des limites mécanique de l'outillage, seulement trois ailettes de 3 mm d'épaisseur et espacées de 6mm ont été usinées.

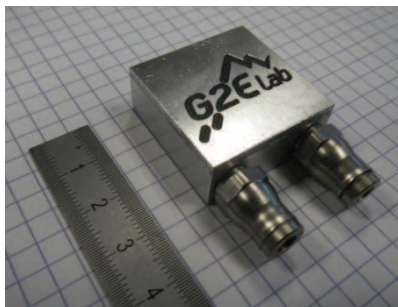


Figure 130: Bloc à eau de refroidissement

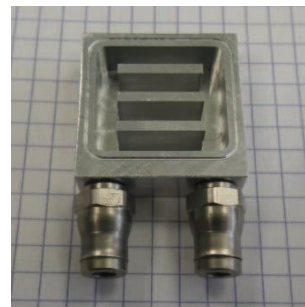


Figure 131: Vue de l'intérieur du bloc à eau

Le dispositif expérimental de caractérisation est présenté en Figure 132. Une résistance chauffante de 100Ω est utilisée comme source de chaleur. Elle est surmontée d'une plaque de cuivre de surface 30mm x 30mm et de 3mm d'épaisseur où sont insérés trois thermocouples pour la mesure de la température moyenne de la semelle. La plaque à eau se situe au-dessus. Le système complet est maintenu mécaniquement ensemble grâce à une pince de serrage. Une fine couche de graisse thermique est déposée sur les interfaces (RS 707-4736, 5W/m.K). La surface de la résistance chauffante étant plus grande que la surface du refroidisseur, une mousse isolante est rajoutée sur les bords. La plaque à eau est reliée à un circuit d'eau permettant de faire varier le débit et de mesurer la température de



l'eau en entrée et en sortie du refroidisseur. La puissance électrique dissipée dans la résistance chauffante est fixée à 80W dans cet essai.

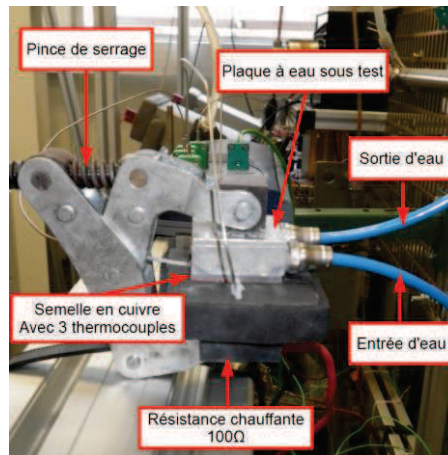


Figure 132: Dispositif expérimental de caractérisation

L'équation de bilan de masse, présentée en (31), nous donne la puissance effectivement extraite par l'eau. La résistance thermique moyenne de l'assemblage refroidisseur et graisse thermique est calculée grâce à l'équation (32). Le coefficient d'échange convectif  $h$  est ensuite calculé à partir de l'équation (30) en prenant une surface d'échange de  $900\text{mm}^2$ . Les résultats expérimentaux sont présentés en Figure 133.

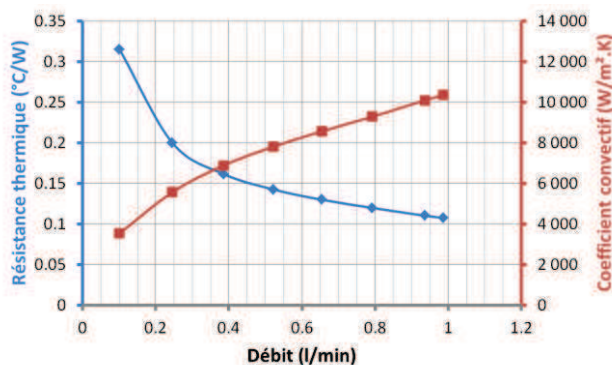


Figure 133: Résistance thermique et coefficient convectif de la plaque à eau en fonction du débit

$$P_{ex} = \dot{m}C_p(T_s - T_e)$$

Avec  $\dot{m}$  : débit massique (kg/s),  $C_p$  : capacité calorifique massique de l'eau à  $25^\circ\text{C}$  ( $4185\text{J/kg.K}$ ),  $T_s$  : température de sortie de l'eau (K),  $T_e$  : température d'entrée de l'eau (K)

$$R_{th} = \frac{\overline{T_{semelle}} - \overline{T_{eau}}}{P_{ex}} \quad (32)$$

Avec  $\overline{T_{semelle}}$  : température moyenne de la semelle (K),  $\overline{T_{eau}}$  : température moyenne de l'eau (K)

Avec un débit d'eau compris entre  $0.4\text{l/min}$  et  $1\text{l/min}$ , la résistance thermique est comprise entre  $0.16^\circ\text{C/W}$  et  $0.1^\circ\text{C/W}$  soit un coefficient convectif compris entre  $7\text{kW/m}^2.\text{K}$  et  $10\text{kW/m}^2.\text{K}$ . Sans réaliser d'optimisation géométrique de la plaque à eau, le coefficient d'échange thermique est déjà très élevé et suffit largement pour l'application visée. De plus, la graisse thermique augmente la résistance thermique de l'ensemble du refroidissement. En supposant une épaisseur entre  $0.1\text{mm}$  et  $0.5\text{mm}$ , la résistance thermique de la graisse thermique est évaluée entre  $0.02^\circ\text{C/W}$  et  $0.1^\circ\text{C/W}$  pour la surface considérée. Cette dernière représente alors une part non négligeable de la résistance thermique globale calculée expérimentalement et vient limiter les performances du système de refroidissement.

Des solutions de refroidissement à eau pour de faibles surfaces existent dans le commerce, notamment pour le refroidissement des micro-processeurs. Un exemple de plaque à eau de surface de refroidissement  $25\text{mm} \times 25\text{mm}$  est illustré en Figure 134. Des ailettes de  $0.5\text{mm}$  d'épaisseurs, espacées de  $0.5\text{mm}$  sont usinées dans l'aluminium. La résistance thermique



est estimée à  $0.065^{\circ}\text{C}/\text{W}$  à un débit d'eau de 1l/min et  $0.047^{\circ}\text{C}/\text{W}$  à un débit d'eau de 5l/min (Figure 135), ce qui correspond à un coefficient d'échange compris entre  $25\text{kW}/\text{m}^2.\text{K}$  et  $34\text{kW}/\text{m}^2.\text{K}$ . Une optimisation des ailettes permet alors d'augmenter le coefficient d'échange d'un facteur 3 à 4 en comparaison de notre solution de refroidissement.



Figure 134: Plaque eau pour refroidissement de micro-processeur (Koolance PLT-UN25F)[109]

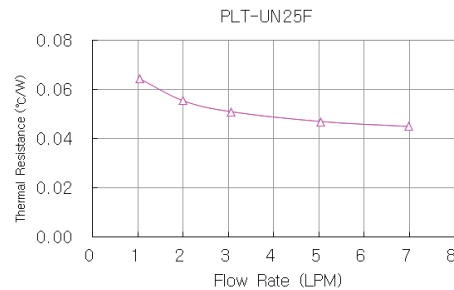


Figure 135: Résistance thermique en fonction du débit d'eau (Koolance PLT-UN25F) [109]

Dans la suite de l'étude thermique du module 3D PCOC en technologie PCB, le système de refroidissement sera modélisé seulement par un coefficient d'échange  $h$ . Il sera considéré comme variable entre  $100\text{W}/\text{m}^2.\text{K}$  et  $100\text{kW}/\text{m}^2.\text{K}$  afin de comprendre l'influence du système de refroidissement sur la conduction thermique du module.

### II.4.3. Influence thermique de l'isolation électrique

Une isolation électrique est requise la plupart du temps entre le module de puissance et son radiateur. Dans le cas d'un module plan en technologie DBC, la céramique entre les deux couches de métal joue ce rôle. D'après le second principe de la thermodynamique la chaleur se diffuse d'un corps chaud à un corps plus froid [110]. Cependant, les différences de conductivité thermique et les épaisseurs des couches successives vont influencer l'épanouissement de la chaleur entre la source chaude ( $Q$ ) et la source froide (convection  $h$  à une température fixée  $T_a$ ) comme illustré en Figure 136.

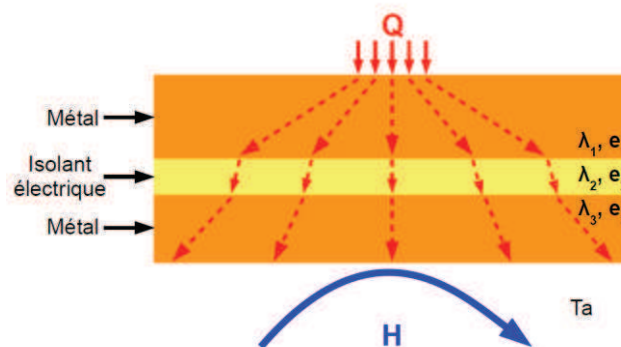


Figure 136: Schéma de principe de transfert de la chaleur dans un module d'électronique de puissance

Dans un procédé de fabrication PCB, des matériaux diélectriques à forte conductivité thermique sont disponibles. Il est alors intéressant de comparer ces matériaux avec ceux classiquement utilisés en électronique de puissance. Dans les paragraphes suivants, nous nous intéresserons à un cas scolaire afin de tirer des tendances. Pour cela, un modèle thermique analytique d'un assemblage à trois couches est présenté.

### II.4.3.1. Modèle thermique analytique

La comparaison des matériaux diélectriques est conduite en considérant une architecture de module de puissance à trois couches. Le but est de déterminer la résistance thermique de l'assemblage en prenant en compte le phénomène de diffusion en fonction des paramètres géométriques et physiques du module. Pour cela, nous utiliserons le modèle développé en [111], qui est un prolongement des travaux de Yovanovitch et Muzychka sur la modélisation de la résistance thermique de diffusion dans une couche [112] ou deux couches [113] [114]. Ces travaux s'appuient sur un développement en série de Fourier des solutions de l'équation de la chaleur avec des conditions aux limites particulières.

Une puce, modélisée par une source de chaleur uniforme  $q$ , est placée sur un substrat à trois couches, possédant des épaisseurs  $t_i$  et des conductivités thermiques  $k_i$  différentes (Figure 137). La face inférieure du module est le lieu d'échange convectif avec l'environnement extérieur à température  $T_0$ . Les surfaces latérales et supérieures du module (excepté la surface de la puce) sont considérées comme adiabatiques.

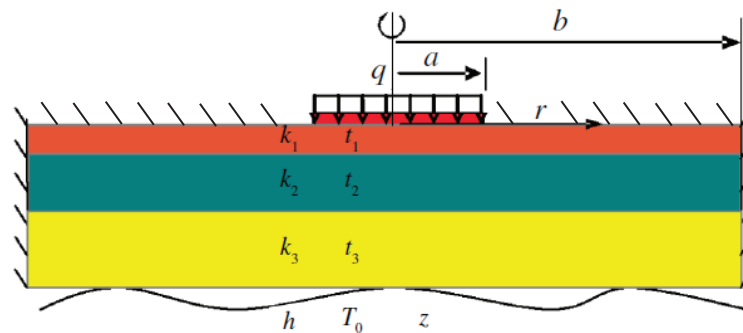


Figure 137: Modèle du substrat à trois couches pour le calcul de la résistance thermique [111]

Nous chercherons donc à résoudre l'équation de la chaleur ou équation de Fourier en régime permanent dans toutes les couches du module pour un système isotrope. L'équation de Fourier en coordonnées cartésiennes est présentée en (33).

$$\Delta T = \frac{\partial^2 T}{\partial x^2} + \frac{\partial^2 T}{\partial y^2} + \frac{\partial^2 T}{\partial z^2} = 0 \quad (33)$$

Les solutions de cette équation ne sont pas évidentes et il est plus aisé de travailler en coordonnées cylindriques pour réduire le nombre de variables à 2. En considérant une puce de forme carrée et un substrat de forme carré, la géométrie du problème peut être transformée en problème cylindrique en conservant le volume du système, i.e.  $a = \sqrt{\frac{A_p}{\pi}}$  et  $b = \sqrt{\frac{A_m}{\pi}}$  avec  $A_p$  la surface de la puce et  $A_m$  la surface du module. Cette équivalence reste valide pour une puce de forme rectangulaire mais sera d'autant plus juste que la forme de la puce tend vers un carré [114]. L'équation de Fourier à résoudre est présentée en (34).

$$\Delta T = \frac{\partial^2 T}{\partial r^2} + \frac{1}{r} \frac{\partial T}{\partial r} + \frac{\partial^2 T}{\partial z^2} = 0 \quad (34)$$

A partir de la méthode de séparation des variables, et d'une condition aux limites, la solution générale de la distribution de température au sein de la couche  $i$  est présentée en (35). La température est sous forme adimensionnelle (voir Annexe 2).

$$T_i^* = C_{i1} + C_{i2}z^* + \sum_{n=1}^{\infty} [(A_{in}sh(\lambda_n z^*) + B_{in}ch(\lambda_n z^*)) \cdot J_0(\lambda_n r^*)] \quad (35)$$

Avec  $z^* = \frac{z}{b}$ ,  $r^* = \frac{r}{b}$ ,  $J_0$  : fonction de Bessel de première espèce d'ordre 0 et  $\lambda_n$  : les racines nièmes de l'équation transcendante  $J_1(\lambda_n) = 0$ , calculable facilement à partir de l'approximation modifiée de Stokes

Les coefficients  $C_{i1}$ ,  $C_{i2}$ ,  $A_{in}$  et  $B_{in}$  sont calculés grâce aux conditions aux limites. On peut remarquer que les deux premiers termes de cette solution sont liés uniquement à  $z$  (phénomène unidimensionnel de transfert de chaleur) tandis que la somme infinie est liée à  $z$  mais également à  $r$ , traduisant l'effet de diffusion de la chaleur dans l'axe du plan des couches.

La résistance thermique est alors calculée à partir de l'équation (36).

$$R_{th} = \frac{\overline{T_{source}} - T_0}{Q} \quad (36)$$

Avec  $\overline{T_{source}}$  la température moyenne de la source de chaleur,  $T_0$  la température externe et  $Q$  la puissance dissipée par la source

Après de nombreux développements mathématiques, la résistance thermique totale de l'assemblage se met sous la forme de la somme d'une résistance thermique unidimensionnelle ( $R_{1D}$ ) et de la résistance thermique de diffusion ( $R_{diff}$ ).

$$R_{th} = R_{1D} + R_{diff} \quad (37)$$

$$R_{1D} = \frac{t_1}{k_1 \pi b^2} + \frac{t_2}{k_2 \pi b^2} + \frac{t_3}{k_3 \pi b^2} + \frac{1}{h \pi b^2} \quad (38)$$

Avec  $t_i$  épaisseur de la couche  $i$ ,  $k_i$  conductivité thermique de la couche  $i$

$$R_{diff} = \frac{4}{\pi \epsilon k_1 a} \sum_{n=1}^{\infty} \left[ \frac{-J_1^2(\lambda_n \epsilon)}{\lambda_n^3 J_0^2(\lambda_n)} f_n(k_{12}, k_{23}, d_1, d_2, d_3, Bi, \lambda_n) \right] \quad (39)$$

Avec  $\epsilon = \frac{a}{b}$ ,  $k_{ij} = \frac{k_i}{k_j}$ ,  $d_1 = \frac{t_1}{b}$ ,  $d_2 = \frac{t_1+t_2}{b}$ ,  $d_3 = \frac{t_1+t_2+t_3}{b}$ , Nombre de Biot :  $Bi = \frac{h \cdot b}{k_3}$

La résistance thermique 1D développée en équation (38) est la somme des résistances 1D de chaque couche et de la résistance thermique de convection du système de refroidissement, en supposant que le flux est parfaitement épanoui.

La résistance thermique de diffusion développée en équation (39) est sous forme d'une somme infinie incluant les fonctions de Bessel de première espèce d'ordre 0 et 1 ( $J_0$  et  $J_1$ ) et une fonction rationnelle  $f_n$  mettant en jeu des rapports géométriques et le nombre de Biot. La formulation exacte et le développement des calculs sont présentés en annexe 2.

Afin de valider le modèle analytique, une comparaison avec une simulation numérique thermique en trois dimensions est réalisée pour une géométrie de module plan à l'aide du logiciel FLUX3D. La géométrie simulée est un substrat à trois couches de type DBC avec les caractéristiques suivantes ; une couche de cuivre de 300 $\mu$ m d'épaisseur et de conductivité

thermique  $400\text{W/m.K}$ , une couche d'alumine ( $\text{Al}_2\text{O}_3$ ), de  $500\mu\text{m}$  d'épaisseur et de conductivité thermique  $24\text{W/m.K}$ , une couche de cuivre de  $300\mu\text{m}$  d'épaisseur et de conductivité thermique  $400\text{W/m.K}$ . Cet assemblage correspond à un substrat DBC standard. La conductivité thermique des trois couches est considérée isotrope et constante avec la température. Le module a une dimension de  $50\text{mm}$  par  $50\text{mm}$  avec, en son centre, une puce de dimension  $1\text{cm}$  par  $1\text{cm}$ . La puce est une source de chaleur uniforme de  $50\text{W}$ . Un coefficient de convection variable entre  $100\text{W/m}^2.\text{K}$  et  $100\text{kW/m}^2.\text{K}$  est appliqué sur la face inférieure du module avec une température ambiante de  $50^\circ\text{C}$ . Les autres faces externes du module sont adiabatiques. Etant donnée la symétrie de la géométrie, un quart seulement du module est construit. Un tracé des iso-valeurs de la température du module plan pour  $h=1200\text{W/m}^2.\text{K}$  est présenté en Figure 138. La résistance thermique totale est calculée suivant la formule (36) permettant une comparaison entre le modèle analytique et la simulation numérique avec le coefficient d'échange variable (Figure 139).

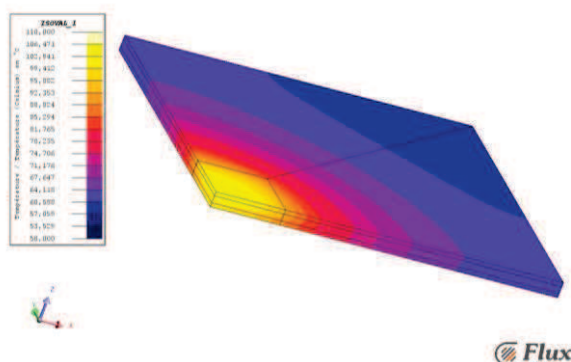


Figure 138: Résultat de simulation FLUX 3D montrant les iso-valeurs de la température du module plan pour  $h=1200\text{W/m}^2.\text{K}$

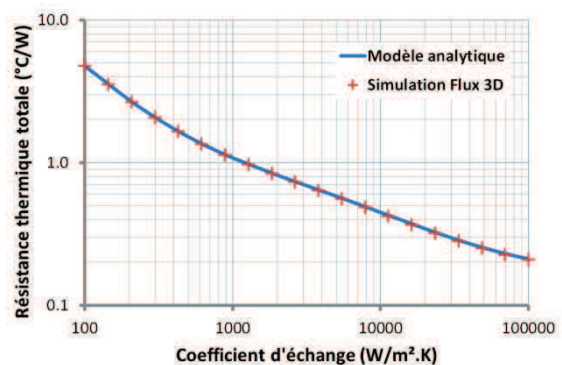


Figure 139: Comparaison formule analytique et simulation numérique de la résistance thermique totale pour un coefficient d'échange variable

Le résultat des modèles analytique et numérique sont très proches avec une erreur inférieure à 2% sur toute la plage de variation de  $h$ . Les résultats présentés en [111] montrent aussi une excellente concordance du module analytique et numérique pour les variations des paramètres géométriques.

L'avantage principal de ce modèle analytique est la rapidité de calcul (quasi-instantané) avec une feuille de calcul standard en comparaison du modèle numérique. Nous allons alors l'utiliser pour comparer différents matériaux isolants électriques dans une structure de module plan.

### II.4.3.2. Comparaison de différents isolants

Les matériaux utilisés dans le procédé de fabrication PCB sont à base de résine époxyde chargée en fibre de verre. Leurs propriétés thermiques sont médiocres en comparaison des céramiques. Cependant, on voit apparaître sur le marché de nouveaux matériaux compatibles avec le procédé PCB et offrant une conductivité thermique supérieure sans sacrifier les performances diélectriques. Nous allons alors comparer un nouveau matériau avec les céramiques classiquement utilisées pour la réalisation des substrats DBC.

Nous avons fait le choix de comparer les matériaux avec les dimensions du module développé dans ce projet, comme illustré en Figure 140. La symétrie du module nous permet de ne traiter qu'un seul quart du module soit un carré de  $15\text{mm} \times 15\text{mm}$  avec une puce de

3mm x 3mm. L'épaisseur des couches de cuivre correspond à celle d'un DBC standard. Dans cette comparaison, la conductivité thermique du cuivre est isotrope et constante de valeur 400W/m.K. L'épaisseur de la couche isolante dépendra du type de matériau comparé.

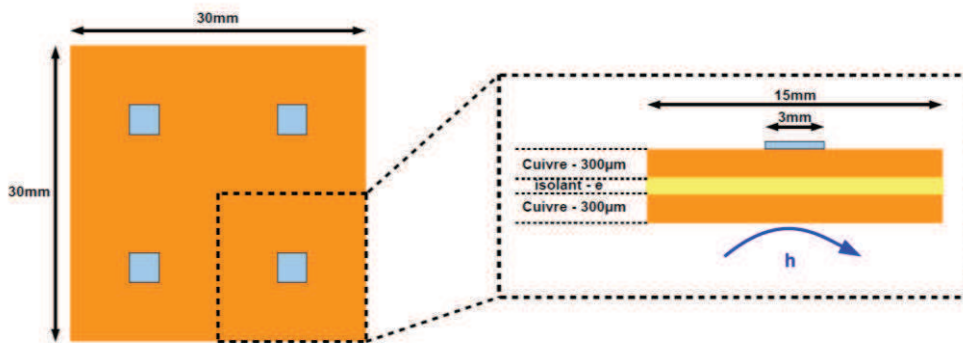


Figure 140: Géométrie pour la comparaison des matériaux isolants

Enfin, un matériau innovant sera présenté en marge de l'étude. Il s'agit de la feuille de graphène (Pyrolytic Graphite Sheet) qui peut présenter des avantages significatifs pour la gestion thermique d'un module de puissance.

- **Comparaison céramique / résine époxyde à haute conductivité thermique**

Trois types de céramiques sont classiquement employés dans la réalisation des substrats DBC ; l'alumine ( $Al_2O_3$ ), le nitrure de silicium ( $Si_3N_4$ ) et le nitrure d'aluminium (AlN). Les céramiques offrent une grande conductivité thermique associée à un champ de claquage élevé. Ces matériaux ne sont malheureusement pas envisageables dans un procédé de fabrication PCB. Les fabricants de matériaux compatibles avec le procédé de fabrication PCB proposent des résines époxydes à forte conductivité thermique et forte capacité d'isolation tel que le matériau ECOOL-CV2079 proposé par la société Panasonic. Une conductivité thermique de 5W/m.K est annoncée pour une épaisseur de 100µm et un champ de claquage supérieur à 46kV/mm. Le Tableau 11 récapitule les propriétés thermiques et électriques des matériaux cités précédemment. Elles sont extraites des fiches techniques du fabricant de DBC Curamik [115] [116] et du fabricant Panasonic [102].

| Type           | Dénomination | Conductivité thermique (W/m.K) | Champ de claquage (kV/mm) | Epaisseur standard (µm) | Permittivité relative (@ 1MHz) |
|----------------|--------------|--------------------------------|---------------------------|-------------------------|--------------------------------|
| Céramique      | $Al_2O_3$    | 24                             | >20                       | 320                     | 9.8                            |
| Céramique      | $Si_3N_4$    | 90                             | >20                       | 320                     | 8                              |
| Céramique      | AlN          | 170                            | >20                       | 320                     | 9                              |
| Résine époxyde | ECOOL-CV2079 | 5                              | >46                       | 100                     | 8.3                            |

Tableau 11: Propriétés thermique et électriques des couches isolantes sélectionnées

La conductivité thermique des céramiques est entre cinq et trente-quatre fois supérieure à celle de la résine époxyde. Cependant, l'épaisseur de la résine époxyde est trois fois plus faible que celle des céramiques. D'un point de vue diélectrique, le champ de claquage de la résine est deux fois plus grand que celui des céramiques tout en gardant une permittivité relative proche de celle des céramiques.

La comparaison thermique des quatre matériaux est présentée en Figure 141. La résistance thermique en fonction du coefficient d'échange est tracée pour les quatre matériaux précédents suivant la géométrie présentée en Figure 140 et les propriétés physiques et géométriques (épaisseurs) du Tableau 11.

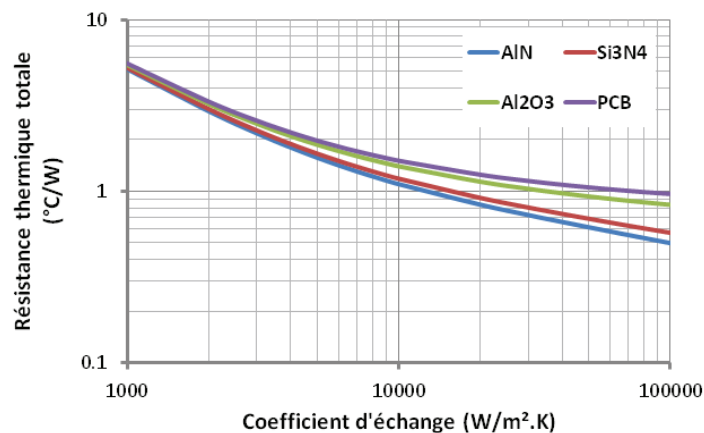


Figure 141: Comparaison de la résistance thermique en fonction du coefficient d'échange des quatre isolants sélectionnés

Pour les faibles valeurs de coefficient d'échange ( $h < 5000 \text{ W/m}^2 \cdot \text{K}$ ), les quatre assemblages ont une résistance thermique similaire. En effet, dans cette zone, la résistance thermique de convection ( $1/hS$ ) domine à cause de la faible surface du module ( $225 \text{ mm}^2$ ). Pour de plus grandes valeurs de coefficient d'échange, deux groupes se distinguent : les assemblages à base d'AlN et de  $\text{Si}_3\text{N}_4$  ont les meilleures performances thermiques tandis que les assemblages à base d' $\text{Al}_2\text{O}_3$  et de résine époxyde ont les moins bonnes. Il est remarquable de constater que la résistance thermique de l'assemblage à base de résine époxyde est très proche de celle avec la céramique  $\text{Al}_2\text{O}_3$ , autour de  $1.5^\circ\text{C/W}$  pour  $h = 10 \text{ kW/m}^2 \cdot \text{K}$ . Ce résultat nous conforte dans le choix d'une isolation électrique compatible avec le procédé de fabrication PCB et assurant un transfert de chaleur similaire à une céramique alumine.

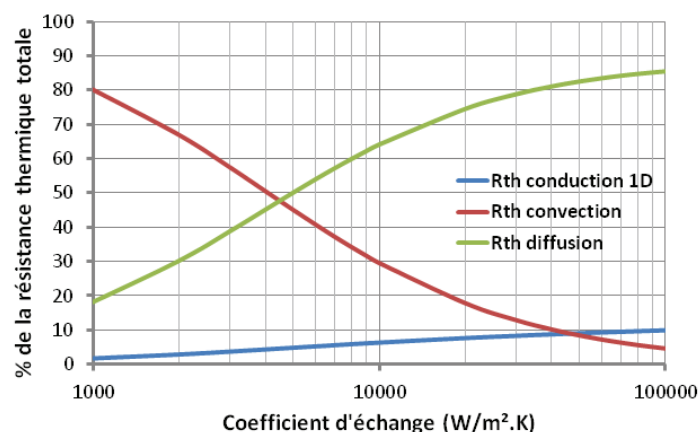


Figure 142: Proportion des résistances thermiques de conduction 1D, convection et diffusion pour l'isolant de type PCB

Pour aller plus loin dans l'analyse, il est intéressant de visualiser la proportion de chaque résistance thermique ( $R_{th}$  conduction 1D,  $R_{th}$  convection et  $R_{th}$  diffusion) par rapport à la résistance thermique totale. La Figure 142 présente ce résultat pour l'isolant résine époxyde en fonction du coefficient d'échange. Comme évoqué précédemment, la résistance



thermique de convection est prépondérante pour de faibles valeurs de coefficient d'échange et représente entre 80% et 50% de la résistance thermique totale pour  $h < 4000 \text{W/m}^2 \cdot \text{K}$ . Au-delà, la résistance thermique de diffusion est majoritaire. La résistance thermique de conduction 1D est toujours inférieure à 10% de la résistance thermique totale. On peut noter que sur toute la plage de variation du coefficient d'échange, la résistance thermique de diffusion représente entre 20% et 85% de la résistance thermique totale.

La réduction de la résistance thermique de diffusion est la voie la plus efficace pour diminuer la résistance thermique totale de l'assemblage, à transfert convectif fixé. L'augmentation de l'épaisseur de la couche de cuivre la plus proche de la source de chaleur permet de favoriser l'épanouissement de la chaleur avant la couche isolante. A partir de la formule analytique, il est facile de tracer l'évolution de la résistance thermique en fonction de l'épaisseur de la première couche de cuivre. Les résultats sont présentés en Figure 143 avec une épaisseur de cuivre variant de 0.1mm à 3mm et un coefficient d'échange fixé à  $10 \text{kW/m}^2 \cdot \text{K}$ .

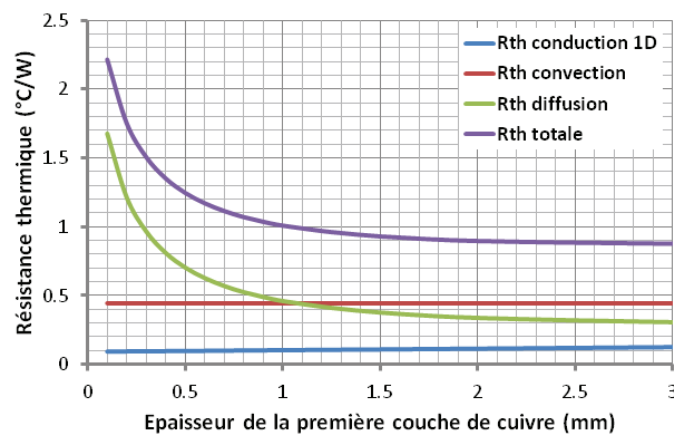


Figure 143: Influence de l'augmentation de la première couche de cuivre sur la résistance thermique pour l'isolant de type PCB

La résistance thermique totale passe de  $2.2^\circ\text{C/W}$  avec 0.1mm de cuivre à  $0.9^\circ\text{C/W}$  avec 2mm de cuivre, soit une réduction de 59%. Cependant, il n'est pas très intéressant d'augmenter massivement l'épaisseur de cuivre. On observe un effet de saturation au-delà de 1.5mm de cuivre, le flux étant épanoui dans la première couche. Dans ce cas, une épaisseur de 1mm apparaît comme un bon compromis.

Il faut également se poser la question de la réalisation technologique dans le cadre du procédé de fabrication PCB. Le procédé standard de fabrication implique une épaisseur maximum des couches de cuivre de  $400\mu\text{m}$ . Il faudra alors développer la technologie pour augmenter l'épaisseur maximale admissible.

On peut également se tourner vers de nouveaux matériaux comme la feuille de graphène, afin d'optimiser l'étalement de la chaleur au sein du module de puissance.

- **Matériau innovant : Pyrolytic Graphite Sheet (PGS)**

La feuille de graphène (Figure 144) est disponible depuis peu sur le marché des matériaux d'interface thermique. Elle est composée d'un agencement d'atomes de carbone sous forme de nid d'abeille (Figure 145) qui lui confère des propriétés thermiques exceptionnelles. Ce matériau a une conductivité thermique orthotrope avec une valeur selon l'axe z de seulement

15W/m.K et une valeur dans l'axe du plan allant jusqu'à 1500W/m.K pour une épaisseur de graphène de 25µm [117].



Figure 144: Feuille de graphène PGS

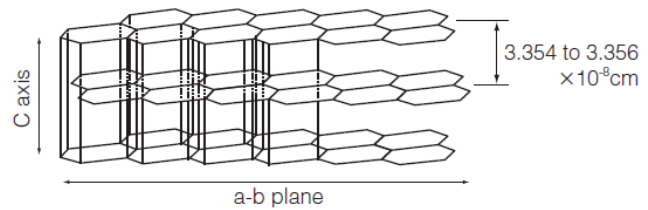


Figure 145: Structure interne PGS

Le fabricant Panasonic propose une feuille de graphène de 25µm d'épaisseur en combinaison avec une couche adhésive isolante acrylique de 18µm d'épaisseur pour une tenue en tension de 2kV. On peut alors imaginer un assemblage cuivre/graphène/isolant afin de favoriser l'étalement de la chaleur au sein du module de puissance (Figure 146). La conductivité thermique de la couche acrylique isolante est extrapolée à partir de la documentation technique d'un adhésif acrylique isolant de 12µm d'épaisseur [118].

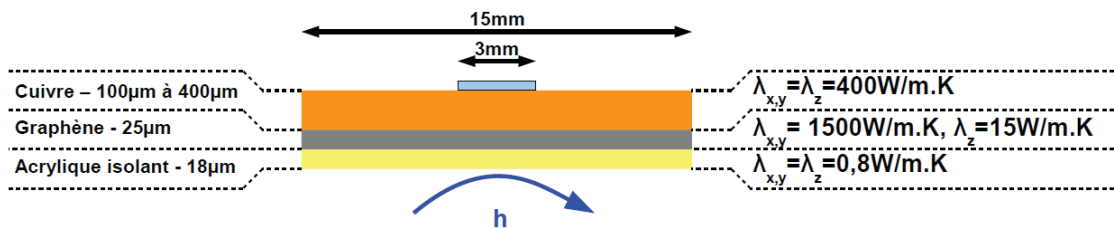


Figure 146: Nouvel assemblage avec feuille de graphène

Nous allons maintenant calculer la résistance thermique de cet assemblage à trois couches. Or, la formule analytique utilisée précédemment est développée pour des matériaux isotropes. Nous reprendrons, encore une fois, les travaux de Muzychka et Yovanovich présenté en [119] afin de transformer un système orthotrope en un système isotrope.

L'équation de Fourier d'un système orthotrope en coordonnées cylindriques est présentée en équation (40). A partir d'un changement de variable, il est possible de mettre l'équation sous forme d'un système isotrope comme présenté en (41). Finalement, le système orthotrope revient à un système isotrope en considérant une conductivité équivalente  $k_{eq}$  et une épaisseur équivalente  $t_{eq}$  présenté en (42).

$$k_r \left( \frac{\partial^2 T}{\partial r^2} + \frac{1}{r} \frac{\partial T}{\partial r} \right) + k_z \frac{\partial^2 T}{\partial z^2} = 0 \quad (40)$$

$$\frac{\partial^2 T}{\partial r^2} + \frac{1}{r} \frac{\partial T}{\partial r} + \frac{\partial^2 T}{\partial \xi^2} = 0$$

$$\text{avec } \xi = \frac{z}{\sqrt{\frac{k_z}{k_r}}} \quad (41)$$

$$k_{eq} = \sqrt{k_r k_z} \text{ et } t_{eq} = \frac{t}{\sqrt{\frac{k_z}{k_r}}} \quad (42)$$

A partir de ce changement de variable, il est possible d'appliquer le modèle thermique d'un substrat à trois couches à un système orthotrope.

L'assemblage présenté en Figure 146 est comparé avec un assemblage cuivre/isolant/cuivre en reprenant les caractéristiques de l'isolant à base de résine époxyde. Les épaisseurs des deux couches de cuivre sont fixées identiques. La comparaison est réalisée en fonction du coefficient d'échange et pour deux épaisseurs de cuivre : 100 $\mu$ m et 400 $\mu$ m, correspondant à des épaisseurs potentiellement atteignables par le procédé de fabrication PCB. Les résultats sont présentés en Figure 147. Pour une épaisseur de 100 $\mu$ m de cuivre, la résistance thermique de l'assemblage PGS est légèrement plus faible que l'assemblage PCB avec un gain compris entre 4% et 15%. En augmentant l'épaisseur de la couche de cuivre à 400 $\mu$ m, les deux assemblages ont une résistance thermique similaire.

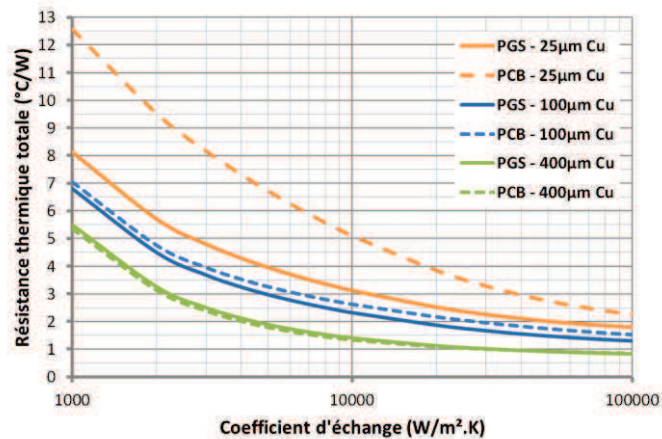


Figure 147: Comparaison de l'assemblage PGS et de l'assemblage PCB

En première analyse, l'utilisation d'une feuille PGS pour améliorer l'épanouissement de la chaleur semble concluant seulement pour une faible épaisseur de cuivre. En effet, en comparaison d'un assemblage PCB classique, les épaisseurs de cuivre de 100 $\mu$ m à 400 $\mu$ m permettent un épanouissement de la chaleur aussi efficace que la feuille PGS. En se reportant à l'équation (42), la conductivité équivalente isotrope de la feuille PGS sélectionnée est de 150W/m.K pour une épaisseur équivalente de 250 $\mu$ m. On constate alors qu'une épaisseur identique de cuivre aura de meilleurs performances. Pour des systèmes utilisant des épaisseurs de cuivre plus faible (quelques micro-mètres à quelques dizaines de micro-mètres), le comportement thermique est amélioré grâce à la feuille PGS. Un avantage de la feuille PGS est sa très faible densité, seulement 2.1g/cm<sup>3</sup> contre 9g/cm<sup>3</sup> pour le cuivre. Cela convient particulièrement pour les systèmes portables où le poids est un facteur limitant. De plus, il n'a pas été question de la qualité de l'interface entre la feuille de PGS et la couche de cuivre. Il est probable qu'une résistance thermique de contact vienne limiter les performances de la feuille PGS.

## II.4.4. Interconnexion par micro-via

L'originalité du module développé dans ce projet consiste à interconnecter la puce avec son package grâce aux micro-vias, éliminant ainsi toute soudure, brasure ou frittage. Les micro-vias sont nécessaires pour la connexion électrique mais également assurent la conduction de la chaleur de la puce jusqu'au refroidisseur. Il est alors légitime de se questionner sur l'efficacité de cette solution d'un point de vue thermique.

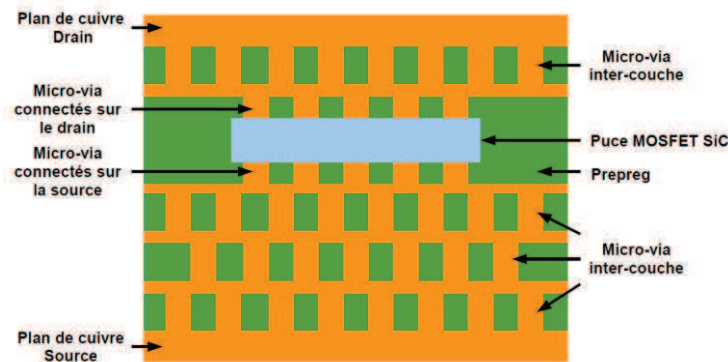


Figure 148: Schéma des couches de micro-vias assurant la connexion électrique et thermique d'un demi-module

La Figure 148 illustre les différentes couches de via au sein d'un demi-module. On peut distinguer deux types de vias ; les vias connectés sur la puce et ceux permettant la connexion entre deux couches successives. A partir de la face drain de la puce, deux couches de vias sont nécessaires pour parvenir au plan de cuivre supérieur. Du côté source de la puce, quatre couches de vias sont nécessaires pour parvenir au plan de cuivre inférieur. En effet, le circuit de grille, de format double couche, doit être traversé. On peut noter que d'une couche à l'autre, les vias sont alternés. Cela est dû aux contraintes de fabrication qui imposent cet arrangement.

Un modèle thermique est développé pour les micro-vias connectés sur la puce. Il est ensuite appliqué aux autres couches de vias.

### II.4.4.1. Proposition d'un modèle thermique unidimensionnel

La puce est enterrée dans une couche diélectrique (prepreg) à faible conductivité thermique (de l'ordre de  $0.25^{\circ}\text{C/W}$  pour le FR4). Des vias remplis de cuivre sont connectés sur les faces drain et source de la puce. Etant donnée la forte conductivité du cuivre ( $400\text{W/m.K}$ ) en comparaison de la couche diélectrique, le flux thermique se concentrera donc dans les vias. L'hypothèse de conduction de la chaleur uni-dimensionnelle se justifie donc pleinement. On peut donc modéliser cette couche de via par deux résistances thermiques 1D en parallèle (Figure 149): une résistance thermique pour les vias et une résistance thermique pour la couche de prepreg entourant les vias. Le calcul des résistances thermiques est réalisé suivant les paramètres géométriques présentés en Figure 150. Les vias ont un diamètre  $d$  et un entraxe  $p$ . La surface considérée est un carré de largeur  $L$  possédant un nombre de vias noté  $N_{\text{via}}$ . L'épaisseur de la couche est notée  $e$ .

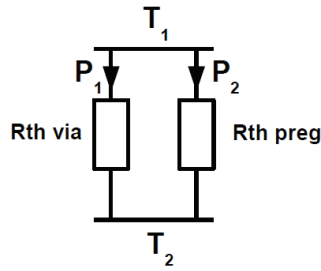


Figure 149: Modèle thermique 1D

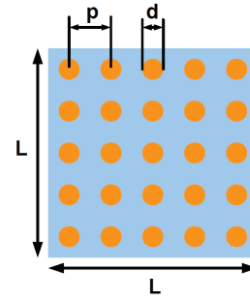


Figure 150: Paramètres géométriques d'une couche de via

Les résistances thermiques des vias et de la prepreg sont présentées dans les équations (44) et (45) respectivement.

$$R_{th-via} = \frac{e}{\lambda_{via} S_{via}} \text{ avec } S_{via} = N_{via} \cdot \pi \frac{d^2}{4} \quad (43)$$

$$R_{th-preg} = \frac{e}{\lambda_{preg} S_{preg}} \text{ avec } S_{preg} = S_{tot} - S_{via} = N_{via} \cdot p^2 - N_{via} \cdot \pi \frac{d^2}{4} \quad (44)$$

Le calcul de la résistance thermique totale notée Rth est simplement la mise en parallèle des deux résistances précédentes. L'équation est présentée en (45).

$$R_{th} = \frac{R_{th-via} \cdot R_{th-preg}}{R_{th-via} + R_{th-preg}} = \frac{e}{S_{tot} \lambda_{preg} \left( 1 + \frac{S_{via}}{S_{tot}} \left( \frac{\lambda_{via}}{\lambda_{preg}} - 1 \right) \right)} \quad (45)$$

L'équation (45) est sous la forme classique d'une résistance thermique 1D d'épaisseur  $e$  et de surface totale  $S_{tot}$ . On peut alors considérer une conductivité thermique équivalente qui ne dépend que des conductivités thermiques des vias et de la prepreg et des paramètres géométriques des vias, comme présenté en (46).

$$\lambda_{eq} = \lambda_{preg} \left( 1 + \frac{S_{via}}{S_{tot}} \left( \frac{\lambda_{via}}{\lambda_{preg}} - 1 \right) \right) = \lambda_{preg} \left( 1 + \frac{\pi}{4} \left( \frac{d}{p} \right)^2 \left( \frac{\lambda_{via}}{\lambda_{preg}} - 1 \right) \right) \quad (46)$$

Cette forme permet une analyse commode du comportement thermique de la couche de via en fonction de ses paramètres physiques et géométriques. La conductivité équivalente est tracée en fonction du rapport  $d/p$  pour deux conductivités thermiques associées à la couche de prepreg (Figure 151).

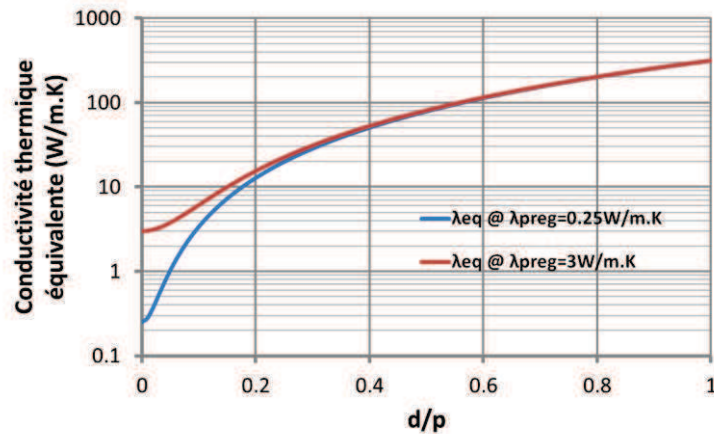


Figure 151: Conductivité thermique équivalente en fonction du rapport d/p

Pour un rapport d/p tendant vers 0, la conductivité thermique équivalente tend vers celle de la prepreg et inversement, tend vers celle du cuivre avec un rapport d/p élevé. A partir d'un rapport d/p de 0.3, la conductivité équivalente pour les deux types de prepreg est identique. Il n'y a donc pas grand intérêt à utiliser une prepreg à forte conductivité thermique dès que la densité de via est grande. Le rapport d/p est une contrainte du fabricant de PCB. Pour un circuit à haute densité d'interconnexion, le rapport d/p varie entre 0.5 et 0.6, correspondant à une conductivité thermique équivalente entre 75W/m.K et 108W/m.K.

#### II.4.4.2. Comparaison avec des solutions classiques d'attache de puce

Il est intéressant de comparer la solution d'interconnexion par micro-via avec les solutions classiques d'attache de puce telles que l'eutectique Or-Etain (Au80Sn20) et le frittage par nanoparticules d'argent. Ces deux types d'attache sont recommandés pour des applications à haute température avec une température maximale de fonctionnement de 250°C pour Au80Sn20 et 500°C pour le frittage de nanoparticules d'argent [120]. La conductivité thermique de l'eutectique Au80Sn20 est estimée à 58W/m.K et 240W/m.K pour le frittage de nanoparticules d'argent [120]. La conductivité thermique de l'attache par micro-via se situe donc entre les deux solutions proposées précédemment. Il faut également considérer l'épaisseur de la couche pour une meilleure comparaison. Le procédé de frittage de nanoparticules d'argent décrit en [121] est utilisé pour une couche de 50µm. Le procédé développé par la société Vishay [122] permet la déposition de couche fine de soudure Or-Etain de 6µm. Dans le cas d'interconnexion par via, l'épaisseur dépend de la couche de prepreg. Une épaisseur de 50µm est considérée pour cette couche.

Le Tableau 12 récapitule les différents paramètres cités précédemment et présente la résistance thermique spécifique ainsi que la résistance thermique associée à une puce de 9mm<sup>2</sup> pour les trois types d'attache.



| Type d'attache                   | Conductivité thermique (W/m.K) | Épaisseur typique (µm) | Résistance thermique spécifique (K.m <sup>2</sup> /W) | Résistance thermique pour une puce de 9mm <sup>2</sup> (K/W) |
|----------------------------------|--------------------------------|------------------------|---|--|
| Frittage nano particule d'argent | 240                            | 50                     | 208.10 <sup>-9</sup>                                  | 0.023  |
| Eutectique Au80Sn20              | 58                             | 6                      | 103.10 <sup>-9</sup>                                  | 0.011  |
| Via (d/p=0.6)                    | 108                            | 50                     | 463.10 <sup>-9</sup>                                  | 0.051  |

Tableau 12: Comparaison thermique de différentes solutions d'attache de puce

Grâce à sa très faible épaisseur, l'eutectique Au80Sn20 possède la plus faible résistance thermique spécifique, suivi par le frittage d'argent et les vias. L'eutectique offre ainsi une résistance thermique deux fois plus faible par rapport au frittage d'argent et cinq fois plus faible par rapport aux vias. La valeur de résistance thermique des vias est malgré tout suffisamment faible pour convenir à notre application.

### II.4.4.3. Extension du modèle aux autres couches de via

Dans le cas des micro-vias inter-couches (Figure 148), l'hypothèse de conduction thermique unidimensionnelle n'est plus justifiée totalement. Les couches de cuivre vont inévitablement entraîner un épanouissement de la chaleur suivant l'axe du plan. Cependant, ces couches de cuivre ont une épaisseur relativement faible, de quelques dizaines de micromètres. On peut alors faire l'hypothèse que le phénomène d'étalement reste négligeable devant la conduction 1D.

Pour valider cette hypothèse, une étude en simulation numérique 3D est menée. Nous considérons la géométrie de la Figure 152 qui consiste en un empilement de trois couches d'épaisseur identique. La couche centrale est traversée de vias en cuivre dont le diamètre et le nombre peut varier. L'entraxe noté  $p$  est fixé à 0.6. La variation du diamètre permet de faire varier le rapport  $d/p$ . Le nombre de vias permet de faire varier la largeur de via notée  $L_{via}$ . La source de chaleur est un carré de 3mm par 3mm au centre d'une surface de 15mm par 15mm. L'épaisseur de cuivre est fixée à 100µm, correspondant à l'épaisseur maximale possible des couches internes de cuivre du module.

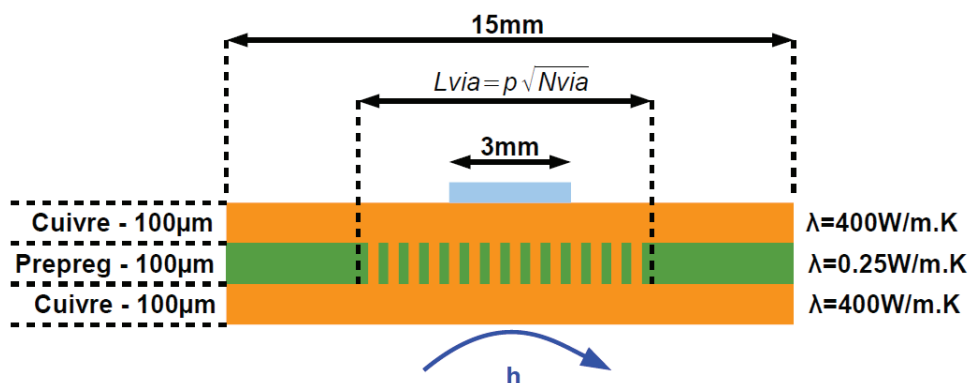


Figure 152: Géométrie considérée pour l'étude

Trois géométries exactes sont réalisées : 25 vias (Figure 153), 81 vias (Figure 154) et 169 vias (Figure 155). Elles correspondent à une largeur équivalente de la couche de via de 3mm, 5.4mm et 7.8mm respectivement. Il est ainsi possible d'étudier l'influence de la surface

de via sur la résistance thermique de conduction. La géométrie dite équivalente correspond à une zone de via de largeur  $L_{via}$  avec une conductivité thermique équivalente isotrope calculée à partir de l'équation (46).

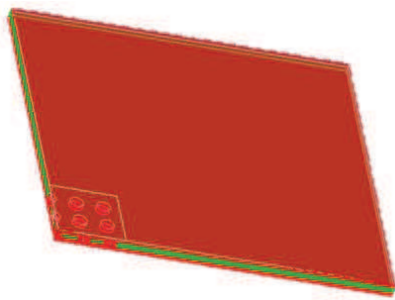


Figure 153: Géométrie simulée à 25 vias (un quart du système)

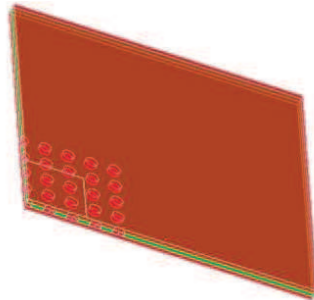


Figure 154: Géométrie simulée à 81 vias (un quart du système)

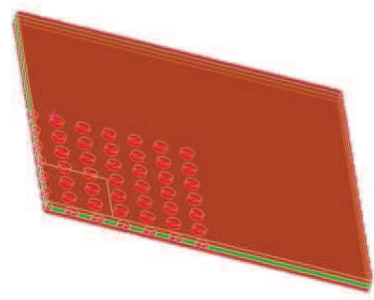


Figure 155: Géométrie simulée à 169 vias (un quart du système)

Les géométries exactes et équivalentes sont comparées en termes de résistance thermique de conduction. Les résultats de simulation sont présentés en Figure 156 et Figure 158 pour un coefficient d'échange de  $1\text{kW/m}^2.\text{K}$  et  $10\text{kW/m}^2.\text{K}$  respectivement. La résistance thermique de conduction est tracée en fonction du rapport  $d/p$ . L'erreur relative entre les deux géométries est présentée en Figure 157 et Figure 159.

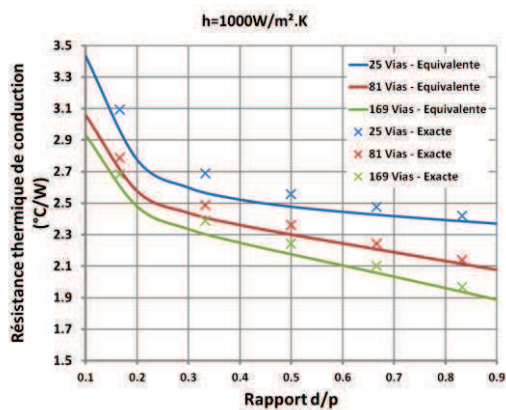


Figure 156: Comparaison entre géométrie équivalente et exacte pour  $h=1000\text{W/m}^2.\text{K}$

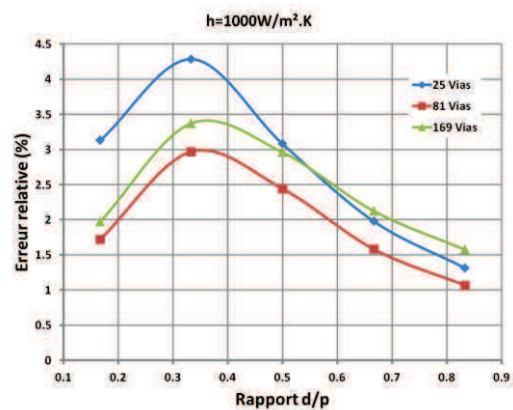


Figure 157: Erreur relative entre géométrie équivalente et exacte pour  $h=1000\text{W/m}^2.\text{K}$

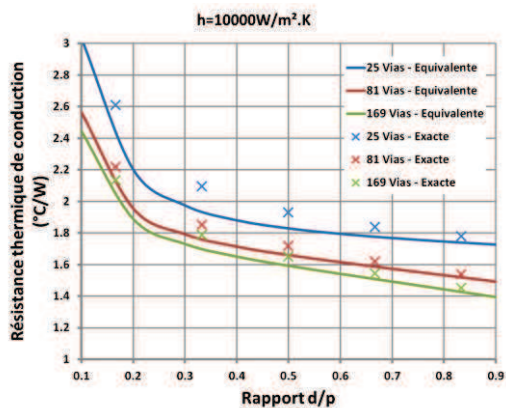


Figure 158: Comparaison entre géométrie équivalente et exacte pour  $h=10000\text{W/m}^2.\text{K}$

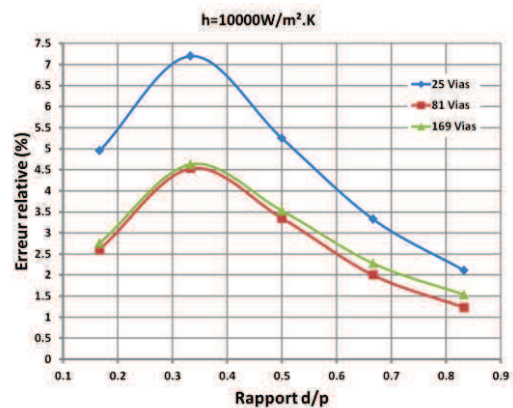


Figure 159: Erreur relative entre géométrie équivalente et exacte pour  $h=10000\text{W/m}^2.\text{K}$

L'erreur relative de résistance thermique entre le modèle exact et le modèle équivalent varie en fonction du nombre de vias, du rapport  $d/p$  et du coefficient d'échange.

Pour un coefficient de  $1\text{kW/m}^2\cdot\text{K}$ , l'erreur maximale est de seulement 4.3% pour 25 vias et un rapport  $d/p$  de 0.33. L'erreur diminue en augmentant le rapport  $d/p$  jusqu'à être inférieure à 1.5% pour les trois nombres de vias. Cela semble logique car la géométrie tend vers une couche de cuivre plein.

Avec un coefficient d'échange de  $10\text{kW/m}^2\cdot\text{K}$ , l'erreur relative augmente en comparaison avec un coefficient d'échange de  $1\text{kW/m}^2\cdot\text{K}$ . Elle est maximale pour 25 vias et un rapport de 0.33 avec une valeur de 7.2%. L'augmentation du nombre de vias diminue l'erreur relative.

On peut conclure de cette étude que le modèle équivalent s'applique avec une erreur acceptable ( $<5\%$ ) pour un rapport  $d/p$  supérieur à 0.5 et une largeur de via supérieure à la largeur de la source de chaleur. Ces conditions sont remplies dans le cas du module de puissance développé dans ce projet. Nous pourrions alors utiliser une conduction équivalente pour modéliser les couches de via internes du module. Cette équivalence facilite grandement le maillage et la résolution des simulations numériques en trois dimensions.

## II.4.5.Simulation thermique 3D du module

Après avoir analysé thermiquement plusieurs points critiques d'un module de puissance basé sur le procédé de fabrication PCB, une simulation thermique 3D est conduite pour le module complet développé dans ce projet. La géométrie simulée est présentée ainsi que les simplifications apportées pour une résolution efficace. Trois points sont analysés par la suite :

- L'influence de la dissymétrie des pertes au niveau de la puce
- L'influence de la conductivité thermique de la couche diélectrique d'encapsulation de la puce
- L'influence de l'épaisseur des couches de cuivre externes

Ces points nous permettront de dégager les axes d'optimisation thermique du module en prenant en compte les limitations du procédé de fabrication.

### II.4.5.1.Présentation de la géométrie

Le module à simuler thermiquement est illustré en Figure 161. Il est nécessaire de réduire la géométrie suivant les symétries du système pour faciliter la résolution du problème et limiter les temps de calcul.

Le module est constitué de quatre cellules de commutation équitablement réparties en surface. Nous considérons que les pertes sont identiques pour chaque cellule de commutation. Les surfaces supérieures et inférieures du module sont les surfaces d'échanges thermiques avec le système de refroidissement. La tranche du module est supposée adiabatique. Cette hypothèse se justifie par la faible surface de la tranche du module, le faible coefficient d'échange par convection naturelle dans l'air et la faible conductivité thermique des couches de prepreg. On peut donc réduire la géométrie à seulement une cellule de commutation dont les surfaces latérales sont toutes adiabatiques.

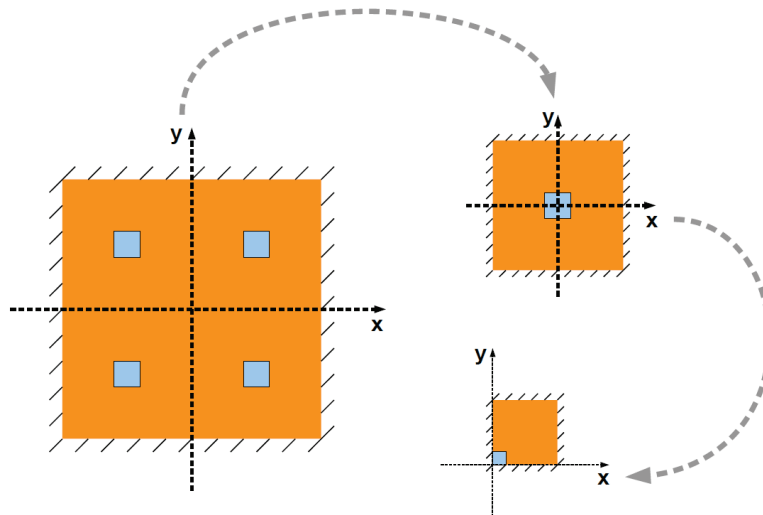


Figure 160: Réduction de géométrie suivant le plan (x0y)

La cellule de commutation a une forme carrée et la géométrie peut donc encore se réduire à un quart du volume d'une cellule de commutation, comme présenté en Figure 160. Finalement, la géométrie à simuler est présentée en Figure 162.

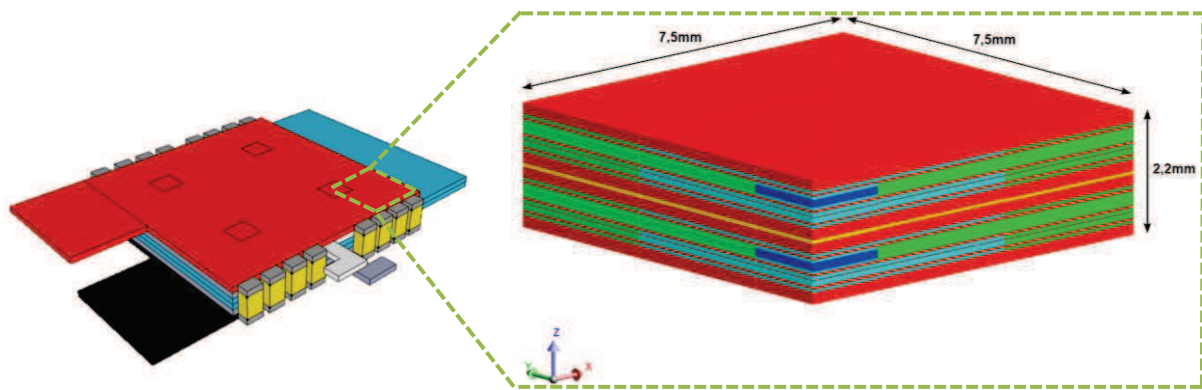


Figure 161: Vue 3D du module

Figure 162: Réduction de géométrie pour la simulation 3D

La géométrie est un empilement de couches alternant cuivre, prepreg et zone de vias. Les puces sont représentées par un parallélépipède rectangle avec la conductivité thermique du 4H-SiC. Les zones de vias sont des régions de conductivité thermique équivalente avec un rapport  $d/p$  des vias fixé à 0.5, comme présenté dans la partie II.4.4.3. La couche centrale du module (en jaune sur la Figure 162) est une couche de prepreg conductrice électrique et thermique. Cette résine époxyde est chargée en particules d'argent, ce qui lui confère de bonnes caractéristiques électriques et thermiques [100].

On peut noter sur la Figure 162 que les différentes couches sont découpées en parallélépipèdes rectangles. Cela permet de mettre en place un maillage hexaédrique particulièrement efficace dans le cas de géométries de forme parallélépipédique. Le gain en temps de calcul est significatif en comparaison au maillage tétraédrique classique.

Une vue en coupe de la géométrie simulée est présentée en Figure 163. Les différentes couches sont décrites avec les épaisseurs correspondantes. La couche isolante électrique entre les surfaces supérieures et inférieures et le système de refroidissement n'est pas prise en compte. On supposera que le coefficient d'échange  $h$  englobe également l'influence

thermique de l'isolation électrique. Les épaisseurs et largeurs correspondent au premier prototype développé dans ce projet.

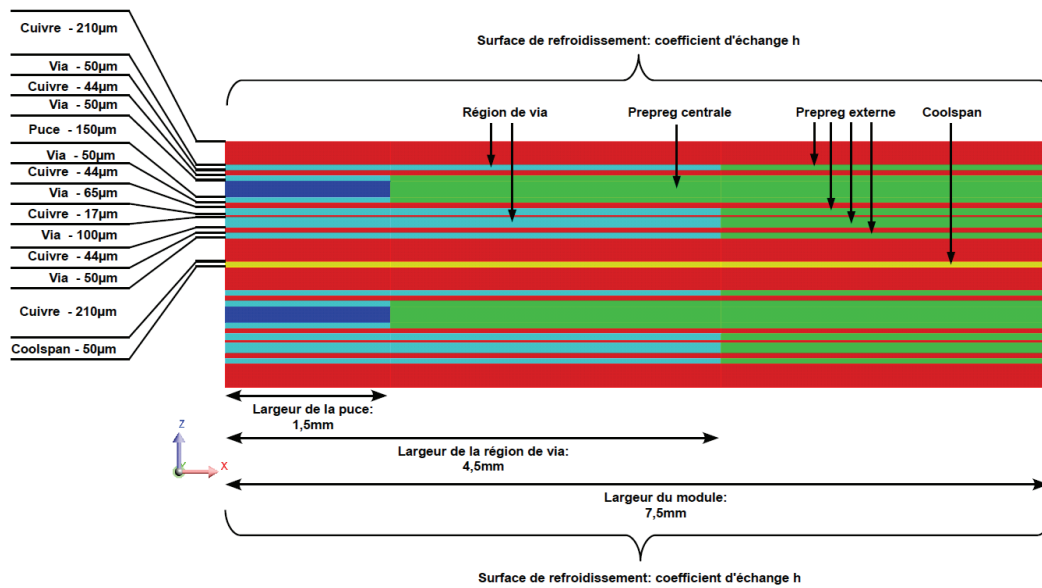


Figure 163: Epaisseurs des différentes couches de la géométrie simulée

A chaque couche est associée une conductivité thermique isotrope constante (Tableau 13). L'influence de la température n'est pas prise en compte et les valeurs sont celles à 25°C.

| Couche        | Conductivité thermique @ 25°C |
|---------------|-------------------------------|
| Cuivre        | 400                           |
| Prepreg       | 0.25                          |
| Région de via | 75                            |
| Coolspan      | 6                             |

Tableau 13: Conductivité thermique des couches pour la simulation

La géométrie étant désormais décrite, nous allons pouvoir analyser le comportement thermique du module. Il est important de noter que seul le régime statique est considéré. La température ambiante dans toutes les simulations qui suivent est fixée à 50°C.

### II.4.5.2. Analyse de la dissymétrie des pertes au niveau de la puce

Les pertes dissipées dans la puce peuvent s'évacuer par la face arrière (drain) ou la face avant (source). Pour la puce du transistor high side (puce du haut en Figure 163), la face drain est connectée au plus proche de la surface d'échange supérieure alors que la face source est connectée au plan de cuivre du centre du module. Les connexions sont inversées pour la puce du transistor low side (puce du bas en Figure 163) avec le drain connecté au plan de cuivre du centre et la source à la surface d'échange inférieure. Ainsi, il est probable que les deux puces ne fonctionnent pas à la même température, entraînant un vieillissement différent des deux puces.

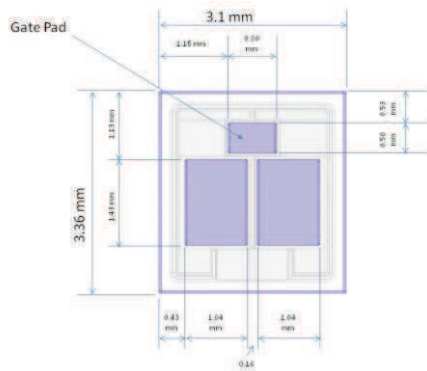


Figure 164: Dimension de la puce MOSFET SiC

$$S_{\text{drain}} = 3.1 \text{ mm} \times 3.36 \text{ mm} = 10.42 \text{ mm}^2$$

$$S_{\text{source}} = 2 \times 1.43 \text{ mm} \times 1.04 \text{ mm} = 2.97 \text{ mm}^2$$

De plus, d'après les dimensions des pads de la puce sélectionnée (Figure 164), la surface drain est 3.5 fois plus grande que la surface source. La même densité de via est utilisée de chaque côté pour interconnecter la puce avec les plans de cuivre. On peut donc pressentir une asymétrie dans la répartition du flux thermique du fait des ratios de surface.

Pour étudier ce phénomène avec la géométrie présentée précédemment, nous considérons des pertes surfaciques différentes entre la face drain et la face source de la puce. Le ratio des pertes surfaciques entre les deux faces est considéré comme variable entre 0.5 (pertes surfaciques identiques entre drain et source) et 0.9 (90% de pertes surfaciques côté drain, 10% de pertes surfaciques côté source).

Deux cas de figure sont développés par la suite. Le premier cas d'étude consiste à modéliser la puce avec la conductivité thermique du carbure de silicium ( $370 \text{ W/m.K}$ ). Le second cas d'étude fait l'hypothèse d'une puce non conductrice de la chaleur ( $10^{-6} \text{ W/m.K}$ ) afin de se placer dans un cas limite où aucun flux thermique ne traverse la puce. Cela permettra de qualifier seulement le packaging. Les pertes sont fixées à  $10 \text{ W}$  par puce et correspond à un fonctionnement de l'onduleur triphasé à  $30 \text{ kVA}$  avec une fréquence de découpage de  $50 \text{ kHz}$  (Figure 122).

- **Cas idéal : puce en carbure de silicium**

On s'intéressera aux températures moyennes de la puce high side (HS), la puce low side (LS), la couche centrale (preg coolspan), des surfaces d'échanges supérieure et inférieure. Deux coefficients d'échanges sont appliqués :  $1 \text{ kW/m}^2.\text{K}$  et  $10 \text{ kW/m}^2.\text{K}$ , conformément aux performances du refroidisseur à eau développé en II.4.2.2. Les résultats des simulations sont présentés en Figure 165 et Figure 166.



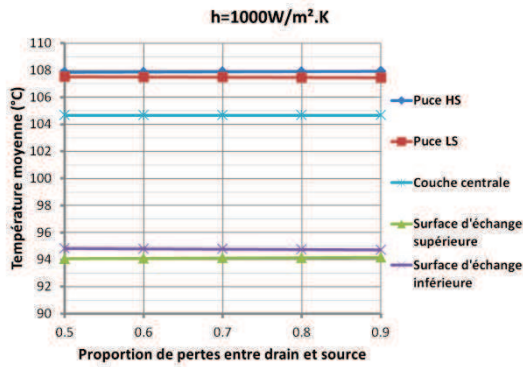


Figure 165: Températures moyennes en fonction de la proportion des pertes pour  $h=1000\text{W/m}^2.\text{K}$

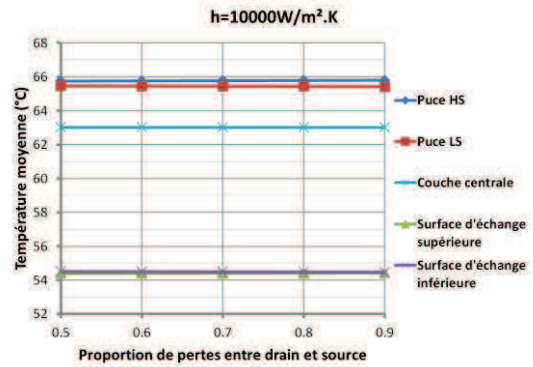


Figure 166: Températures moyennes en fonction de la proportion des pertes pour  $h=10000\text{W/m}^2.\text{K}$

Pour les deux coefficients d'échange, la température moyenne des puces HS et LS ne varie quasiment pas avec la proportion de pertes. De plus, la différence de température entre la puce HS et LS est inférieure à  $0.5^\circ\text{C}$  pour les deux cas. Le carbure de silicium étant un très bon conducteur thermique, la puce permet le transfert de chaleur de la face source à la face drain. Une dissymétrie de pertes n'a donc que très peu d'influence.

On peut aussi s'intéresser au flux thermique traversant les surfaces d'échanges supérieure et inférieure (Figure 167 et Figure 168). Là encore, les deux flux sont équilibrés, avec une différence de seulement 1,3% au maximum. L'augmentation de la dissymétrie des pertes a tendance à rééquilibrer les flux thermiques.

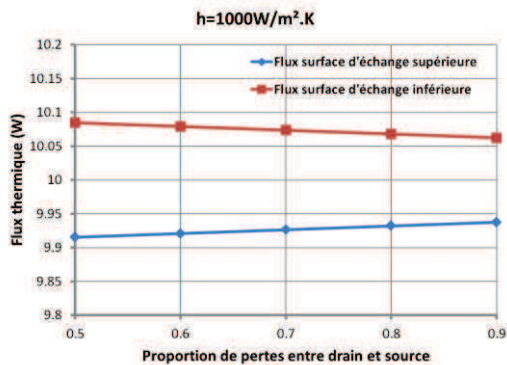


Figure 167: Flux thermique échangé en face supérieure et inférieure pour  $h=1000\text{W/m}^2.\text{K}$

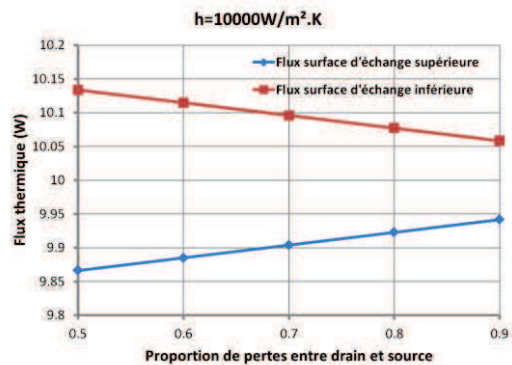


Figure 168: Flux thermique échangé en face supérieure et inférieure pour  $h=10000\text{W/m}^2.\text{K}$

Enfin, une vue en coupe du module illustrant les iso-valeurs de température est présentée en Figure 169. Le plan de cuivre central composé de deux couches de  $210\mu\text{m}$  de cuivre et d'une couche de prepreg COOLSPAN de  $50\mu\text{m}$  a un rôle de drain thermique. Il permet donc d'épanouir la chaleur au centre du module et augmente ainsi la surface d'échange. Il y a donc clairement un autre chemin de transfert thermique grâce à cette structure.

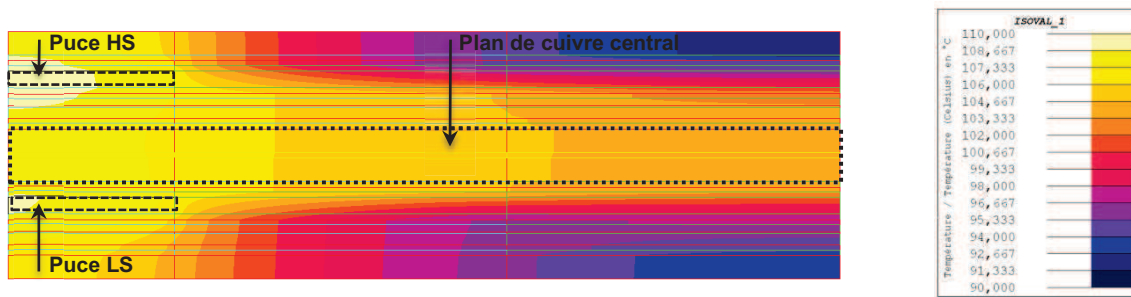


Figure 169: Vue en coupe des iso-valeurs en températures pour une proportion des pertes de 0.5 et  $h=1000W/m^2.K$  dans le cas idéal

Nous allons maintenant nous intéresser au cas d'une puce non conductrice de la chaleur.

- **Cas limite : puce non conductrice de la chaleur**

Dans cette partie, la conductivité thermique de la puce est extrêmement faible ( $10^{-6}W/m.K$ ) et des pertes surfaciques sont appliquées côté drain et source de la puce. Ce cas d'étude n'a pas de réalité physique mais va nous permettre de qualifier le comportement du module seul, sans prendre en compte la conduction de la chaleur à travers la puce. Il s'agit donc d'un cas limite où les températures moyennes sont surestimées.

Les mêmes paramètres sont évalués ; température moyenne, flux de chaleur et température, en fonction de la proportion de pertes entre drain et source et pour deux coefficients d'échange. Les températures moyennes sont présentées en Figure 170 Figure 171.

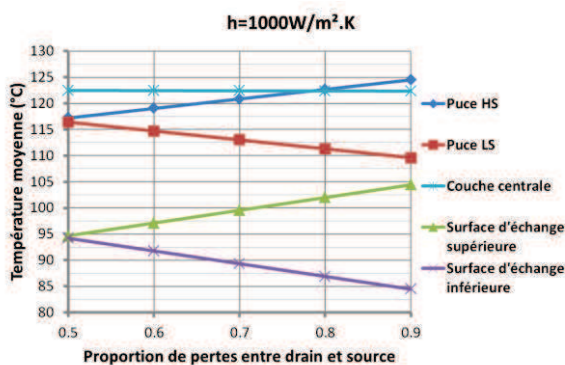


Figure 170: Températures moyennes en fonction de la proportion des pertes pour  $h=1000W/m^2.K$

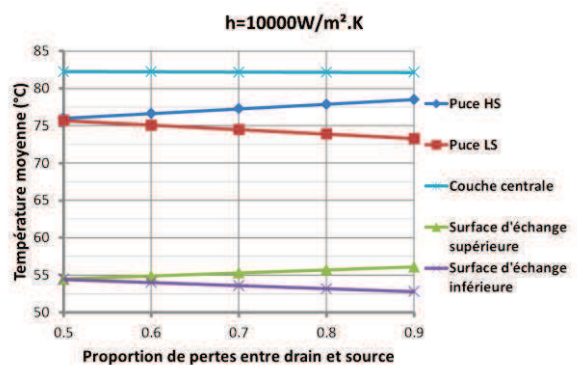


Figure 171: Températures moyennes en fonction de la proportion des pertes pour  $h=10000W/m^2.K$

Contrairement à l'étude précédente, les températures moyennes des puces HS et LS évoluent avec la proportion des pertes entre drain et source. Cela valide bien l'hypothèse de conduction de chaleur à travers la puce. De plus, pour des pertes équilibrées (proportion de 0.5), les températures moyennes des puces sont supérieures de  $10^{\circ}C$  en comparaison au cas précédent. Les puces semi-conductrices ont donc un rôle majeur dans le transfert thermique pour ce type de module contrairement aux modules classiques plan où la face avant (source) ne participe quasiment pas aux échanges thermiques.

Pour un coefficient d'échange de  $1kW/m^2.K$ , l'écart de température entre la puce HS et la puce LS varie de  $0,8^{\circ}C$  avec une distribution de perte équilibrée à  $14,9^{\circ}C$  pour 90% de pertes sur la face drain. Pour un coefficient d'échange de  $10kW/m^2.K$ , l'écart de température diminue entre la puce HS et la puce LS, qui varie de  $0,3^{\circ}C$  avec une distribution de perte équilibrée à  $5,3^{\circ}C$  pour 90% de pertes sur la face drain. L'augmentation du coefficient

d'échange est bénéfique pour limiter la différence de température entre les deux puces. Dans le pire des cas, i.e  $h=1\text{kW/m}^2.\text{K}$  et 90% de pertes sur la face drain, l'écart de température à l'équilibre ne représente que 6,4% de la température à l'équilibre. On peut donc avancer que l'architecture de ce module a tendance à limiter les déséquilibres en température des puces.

En observant les flux thermiques échangés en Figure 172 et Figure 173, le déséquilibre au niveau des puces se répercute sur les flux échangés. Le système de refroidissement de la surface supérieure est plus sollicité que celui de la face inférieure et ce phénomène empire avec l'augmentation du coefficient d'échange. Avec  $h=10\text{kW/m}^2.\text{K}$  et 90% de pertes sur la face drain, le flux thermique échangé par la face supérieure représente 68.5% du flux thermique total (20W). Il faudra donc veiller à prendre en compte ce phénomène pour dimensionner correctement le système de refroidissement.

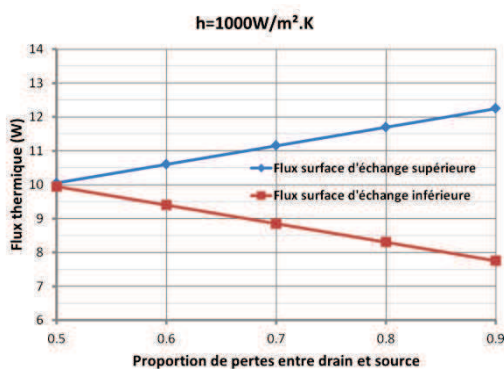


Figure 172: Flux thermique échangé en face supérieure et inférieure pour  $h=1000\text{W/m}^2.\text{K}$

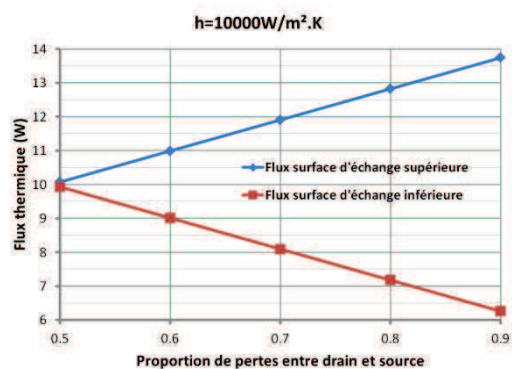


Figure 173: Flux thermique échangé en face supérieure et inférieure pour  $h=10000\text{W/m}^2.\text{K}$

Enfin, une vue en coupe du module illustrant les iso-valeurs de température est présentée en Figure 174 avec une proportion de 0.5 et un coefficient d'échange de  $1\text{kW/m}^2.\text{K}$  pour le cas limite. En comparant cette figure avec la coupe de la Figure 169, on s'aperçoit de l'importance du flux thermique traversant les puces. La température maximale est aussi supérieure de  $30^\circ\text{C}$ . Le rôle de la couche centrale en cuivre est par contre plus important dans cet exemple.

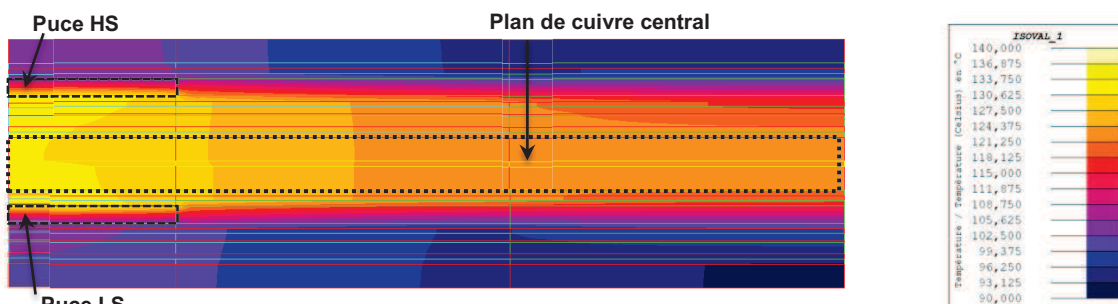


Figure 174: Vue en coupe des iso-valeurs en températures pour une proportion des pertes de 0.5 et  $h=1000\text{W/m}^2.\text{K}$  dans le cas limite

- Proposition d'un modèle thermique équivalent

Suite aux résultats des simulations réalisées précédemment, un modèle thermique équivalent est proposé en Figure 175. Au sein de chaque demi-module, la puce est modélisée par une résistance thermique entre drain et source ( $R_{\text{puce}}$ ) et par deux sources de courant qui correspondent aux pertes face drain ( $\alpha P$ ) et aux pertes face source ( $(1-\alpha)P$ ) avec

$\alpha$  la proportion de pertes entre drain et source, comprise entre 0,5 et 1. Le cas idéal est représenté lorsque  $R_{puce}$  tend vers 0. Tandis que le cas limite est représenté lorsque  $R_{puce}$  tend vers l'infini.

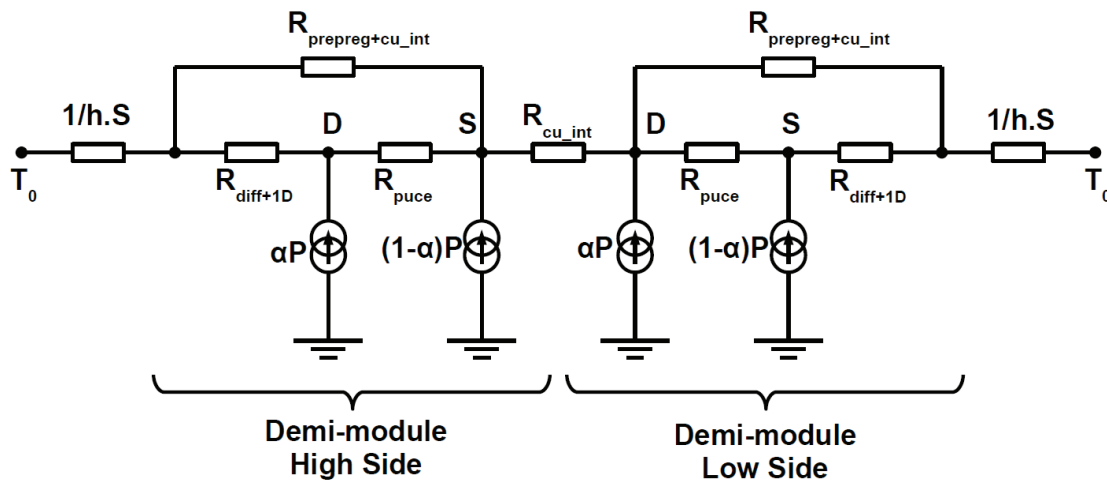


Figure 175: Modèle thermique équivalent

Le flux thermique traversant la prépeg centrale est modélisé par la résistance  $R_{prepeg+cu\_int}$ , qui prend également en compte l'épanouissement de la chaleur dans la couche de cuivre centrale. Cette résistance peut donc permettre d'équilibrer les températures entre les puces high side et low side. Dans ce modèle, l'épaisseur des couches de cuivre internes et externes impactent les résistances thermiques  $R_{diff+1D}$  et  $R_{prepeg+cu\_int}$ .

Dans les prochaines simulations, l'influence de deux paramètres sont étudiés ; la conductivité thermique de la couche de prépeg centrale et l'épaisseur des couches de cuivre. L'objectif visé est de diminuer la température moyenne des puces et limiter la différence de température entre la puce high side et low side. Les deux cas (idéal et limite) sont utilisés pour fournir une fourchette de gain. La proportion des pertes est fixée à 0,7 pour la face drain et 0,3 pour la face source, ce qui correspond au ratio des surfaces de la puce utilisée dans ce projet.

### II.4.5.3. Influence de la conductivité thermique de la couche diélectrique encapsulant les puces

Une part du flux thermique s'épanouit dans la couche de cuivre du centre du module puis traverse la couche de prépeg centrale vers la surface d'échange (Figure 176). On peut donc jouer sur la conductivité thermique de cette couche pour améliorer le transfert thermique. Plusieurs simulations numériques sont conduites en faisant varier la conductivité de la couche prépeg centrale de 0,25W/m.K (prépeg standard) à 10W/m.K. On peut trouver dans le commerce des prépeg pour l'encapsulation jusqu'à 2W/m.K [123]. La valeur extrême de 10W/m.K est choisie pour analyser l'influence d'une forte conductivité thermique, même si il n'existe pas pour le moment de matériaux avec une telle conductivité thermique.

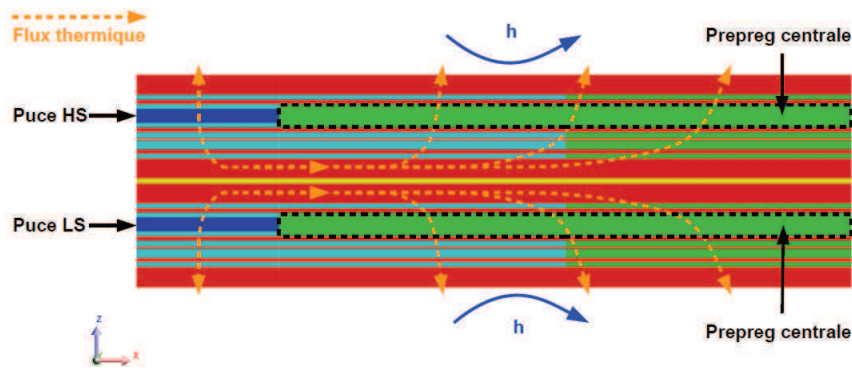


Figure 176: Chemin du flux thermique au sein du module de puissance

La température moyenne des puces high side et low side est tracée en fonction de la conductivité thermique pour deux coefficients d'échange et pour les cas idéal et limite en Figure 177 et Figure 178.

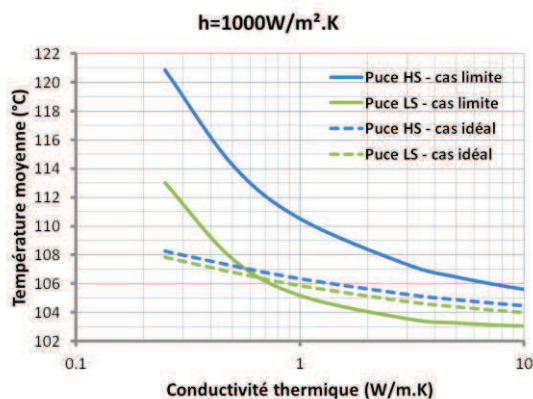


Figure 177: Influence de la conductivité thermique sur la température moyenne des puces pour  $h=1000W/m^2.K$

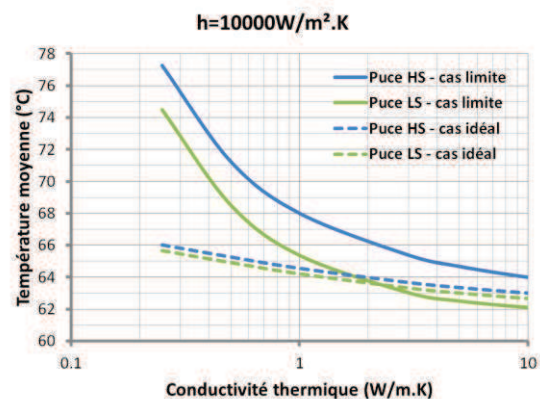


Figure 178: Influence de la conductivité thermique sur la température moyenne des puces pour  $h=10000W/m^2.K$

Pour les deux coefficients d'échange, la température moyenne des puces décroît avec l'augmentation de la conductivité thermique de la couche de prepreg central. Dans le cas limite, passer de  $0.25W/m.K$  à  $2W/m.K$  permet de diminuer la température de près de  $10^{\circ}C$  sur les deux puces. Le gain en température est ensuite plus limité entre  $2W/m.K$  et  $10W/m.K$ . La différence de température entre les puces high side et low side diminue également avec l'augmentation de la conductivité thermique, notamment pour le faible coefficient d'échange. Cependant, le cas idéal ne présente qu'une diminution de la température de l'ordre de  $2^{\circ}C$  entre  $0.25W/m.K$  et  $2W/m.K$ .

L'utilisation d'une prepreg à forte conductivité thermique nous permet donc de diminuer la température moyenne des puces entre  $2^{\circ}C$  et  $10^{\circ}C$  dans le cas du module développé dans ce projet.

#### II.4.5.4. Influence de l'épaisseur de la couche de cuivre externe

Les couches de cuivre externes de chaque demi-module ont un rôle électrique pour l'interconnexion du module avec l'environnement mais également ont un rôle thermique important. Augmenter l'épaisseur de ces couches permettra un meilleur épanouissement de la chaleur et donc de réduire la résistance thermique du module. La construction d'un demi-module impose une épaisseur de cuivre identique sur les couches externes afin d'éviter le



gauchissement du module dû aux contraintes mécaniques. Deux demi-modules sont assemblés ensemble pour construire le module complet. On se retrouve alors avec la couche centrale du module (point milieu) deux fois plus épaisse que les couches de cuivre en regard des refroidisseurs.

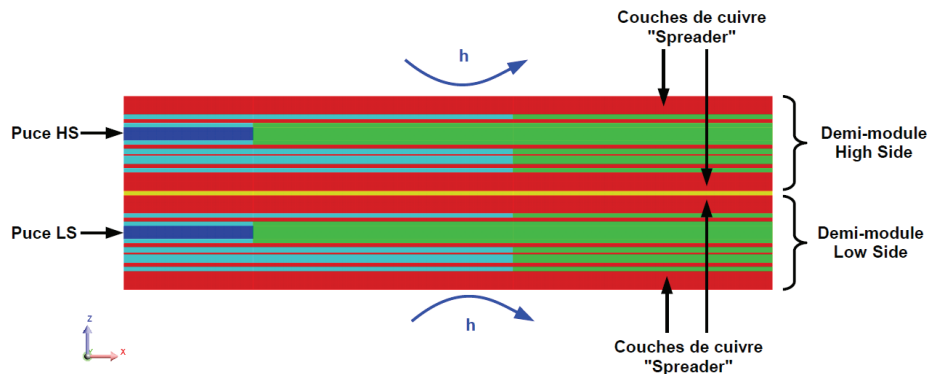


Figure 179: Couches de cuivre favorisant l'épanouissement de la chaleur (spreader)

Nous allons étudier l'influence de l'épaisseur de cuivre sur la température moyenne des puces pour une variation comprise entre 100µm et 2mm. Comme dans les études précédentes, deux coefficients d'échanges sont pris en compte pour le cas limite et le cas idéal. Les résultats de simulation sont présentés en Figure 180 et Figure 181.

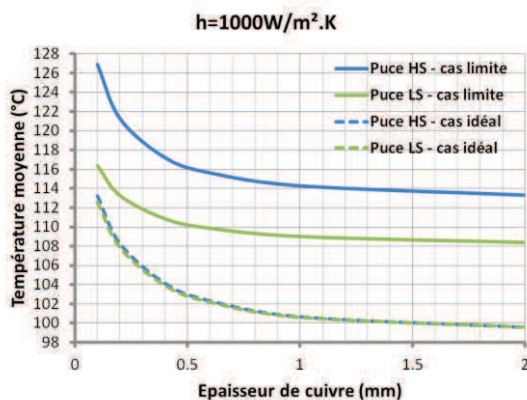


Figure 180: Température moyenne des puces en fonction de l'épaisseur de cuivre pour  $h=1000W/m^2.K$

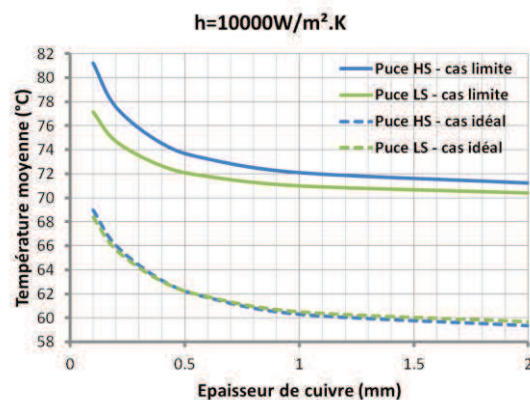


Figure 181: Température moyenne des puces en fonction de l'épaisseur de cuivre pour  $h=10000W/m^2.K$

Augmenter l'épaisseur de cuivre de 100µm à 1mm permet une réduction de la température moyenne de la puce high side de 11°C avec  $h=1kW/m^2.K$  et 9°C avec  $h=10kW/m^2.K$  dans le cas limite. Dans le cas idéal, la réduction de température est comprise entre 13°C avec  $h=1kW/m^2.K$  et 9°C avec  $h=10kW/m^2.K$ . Il est important de noter que le gain en température est similaire pour les deux cas étudiés. On peut aussi voir qu'augmenter à outrance l'épaisseur de cuivre n'apporte plus de gain significatif.

L'augmentation de la couche de cuivre est un paramètre important pour l'amélioration du comportement thermique du module. Cependant, l'épaisseur est limitée par les contraintes du procédé de fabrication standard qui limite à 400µm l'épaisseur maximale de cuivre. Malgré tout, une épaisseur de 400µm semble un bon compromis d'après les figures précédentes. Si une épaisseur supérieure est souhaitée, on peut imaginer réaliser des assemblages cuivre / preg / cuivre comme celui réalisé au centre du module.



## II.4.6. Conclusion partielle de l'analyse thermique du module

Le procédé de fabrication PCB met en œuvre des matériaux à faible conductivité thermique qui, en première approche, laissent suggérer un mauvais comportement thermique. L'analyse précédente nous a permis d'évaluer cette technologie pour un module à forte densité de puissance.

Le refroidissement d'un module de faible surface n'est pas évident, surtout pour une application d'électronique de puissance où les pertes sont importantes. Un refroidissement à eau en convection forcée a été réalisé puis caractérisé prouvant la faisabilité technique et l'efficacité de cette solution. Un coefficient d'échange entre  $7\text{kW/m}^2\cdot\text{K}$  et  $10\text{kW/m}^2\cdot\text{K}$  a été obtenu sans optimisation préalable. De nombreux refroidisseurs à eau de faible dimension existent dans le commerce pour des applications à faible coût (micro-processeur). La diminution de la surface d'échange et la densification des pertes ne conduit donc pas forcément à une augmentation du coût du refroidissement.

L'isolation électrique entre le module de puissance et le refroidisseur est un point critique d'un point de vue thermique. La céramique des substrats DBC offre simultanément une bonne isolation électrique et une bonne conduction thermique. Dans le cadre d'un procédé de fabrication PCB, de nouveaux matériaux isolants électriques apparaissent sur le marché avec une plus grande conductivité thermique que les matériaux conventionnels (FR4). Une comparaison thermique de ces deux types d'isolation a été menée grâce à un modèle analytique à trois couches. L'isolation électrique des matériaux utilisés par un procédé PCB a un comportement thermique proche de celui d'une céramique alumine ( $\text{Al}_2\text{O}_3$ ), prouvant alors la compatibilité du procédé PCB pour une application de module de puissance. L'importance de la couche de cuivre précédant l'isolation électrique a été mise en avant sur la résistance thermique globale. Pour un fort coefficient d'échange thermique, la résistance thermique d'étalement de la chaleur est prépondérante.

Le matériau graphène a également été étudié en modifiant le modèle analytique à trois couches afin d'accroître l'étalement de la chaleur avant l'isolation électrique. Les résultats ont été peu concluants avec une utilité significative de ce matériau seulement pour de très faibles épaisseurs de cuivre.

L'originalité de l'assemblage 3D repose aussi sur l'attache de la puce par micro-via. Une conductivité thermique équivalente a été proposée pour les couches de vias du module. La comparaison de cette solution avec les attaches classiques montre un moins bon comportement thermique mais qui reste acceptable.

Enfin une simulation thermique 3D du module a été conduite. Elle a permis de mettre en avant la difficulté de modélisation d'une puce de puissance verticale pour un refroidissement suivant les deux faces. Il serait nécessaire de réaliser de nouvelles études pour modéliser thermiquement la puce en détails. Cependant, en se basant sur deux cas limites, les simulations ont permis de définir des paramètres d'optimisation du module. Tout d'abord, la configuration 3D du module présente un drain thermique en son centre qui offre un nouveau chemin d'évacuation du flux. La couche de prepreg encapsulant les puces peut être vue comme un pont thermique. Il est alors intéressant d'en augmenter la conductivité thermique pour diminuer la résistance thermique du module. Utiliser une prepreg avancée de  $2\text{W/m}\cdot\text{K}$  au lieu de  $0.25\text{W/m}\cdot\text{K}$  permettrait de gagner entre  $2^\circ\text{C}$  et  $10^\circ\text{C}$  sur la température moyenne

des puces. L'épaisseur des couches de cuivre est l'élément clef pour un bon épanouissement de la chaleur. Avec une épaisseur limite de 400 $\mu\text{m}$ , autorisée théoriquement par le procédé de fabrication PCB, le comportement thermique est parfaitement acceptable. A titre de comparaison, l'épaisseur standard de cuivre sur un DBC est de 300 $\mu\text{m}$ .

Etant donné les difficultés de modélisation de la puce et la non-prise en compte de l'isolation électrique dans les simulations 3D, il n'a pas été avancé de chiffres pour la résistance thermique du package. Cependant, dans les cas d'un coefficient d'échange égale au système de refroidissement réalisé dans ce projet (10kW/m<sup>2</sup>.K) et avec des pertes correspondant à un point de fonctionnement souhaité (10W), tous les résultats des simulations nous indiquent une température inférieure à 125°C, température limite de fonctionnement des preregs sélectionnées pour la réalisation d'un prototype. Le comportement thermique du module est donc satisfaisant.

## II.5. Conclusion sur la conception du module de puissance 3D

La conception d'un nouveau module de puissance basé sur le concept « Power Chip On Chip » avec un procédé de fabrication PCB a été présenté dans ce chapitre. La démarche de conception est partie de l'analyse électrique du module suivie d'une détermination des pertes de la structure par simulation et enfin une validation du comportement thermique.

Le cœur de l'étude est le développement d'un packaging peu inductif pour la maille de commutation et le circuit de grille mais également la limitation des perturbations électromagnétique et des interactions entre le circuit de puissance et de commande. En effet, il s'agit, à l'heure actuelle, de la plus forte contrainte pour l'utilisation optimale des composants à grand gap. L'architecture tridimensionnelle « Power Chip On Chip » présentée par le G2Elab offre de nombreux avantages dans ce domaine et offre encore de belles perspectives de recherche dans l'avenir.

La problématique du procédé de fabrication des circuits imprimés a été intégrée au maximum dans la démarche de conception (épaisseurs limites, matériaux, perçage, etc...) afin de rester dans un cadre industriel de production. Pour cela, la définition de la géométrie du module de puissance s'est faite en collaboration avec le fabricant de circuit imprimé ELVIA. Le savoir-faire industriel a été primordial pour ne pas partir sur des solutions irréalisables. Toutefois, cette solution d'intégration offre une très grande flexibilité pour la réalisation de module de puissance en trois dimensions.

La gestion thermique du module a été soigneusement étudiée. De nombreux préjugés existent encore quant à la bonne faculté des circuits imprimés à évacuer la chaleur. Or, avec les récents développements en matière de procédé (micro-via) ou de matériaux (prepreg à forte conductivité thermique), le comportement thermique d'un module de puissance à base de circuit imprimé tend vers celui des substrats céramiques. De plus, l'agencement 3D du module combiné au procédé de fabrication PCB permet un refroidissement qualifié de 2,5D, à mi-chemin entre un refroidissement classique 2D et un refroidissement double face 3D.

Une approche multi-physique a été mise en œuvre, combinant électromagnétique, électrostatique, simulations électrique et thermique. La mécanique n'a pas été abordée dans ce projet et mériterait une étude à part entière pour qualifier la fiabilité d'un tel module. De nombreuses questions subsistent sur le comportement mécanique entre la puce semi-conductrice et les micro-vias. Cependant, la conception du module et notamment le choix des couches a été fait pour minimiser au maximum les contraintes mécaniques. La règle de base de conception d'un circuit imprimé est la symétrisation des couches pour contrebalancer au maximum les efforts entre différents matériaux.

La géométrie du module a requis l'utilisation de logiciels pour la simulation en trois-dimensions (électromagnétique et thermique). Cela complexifie quelque peu l'étude mais également la compréhension des phénomènes physiques. Le développement de modèles analytiques reste absolument utile pour garder le sens physique du problème. Pour ce module, un modèle électromagnétique et thermique, fonction des paramètres géométriques, serait un véritable plus pour une optimisation globale.

L'optimisation électro-thermique d'un module de puissance est un sujet difficile. Classiquement, augmenter la surface d'une maille de commutation est bénéfique au refroidissement mais dégrade le comportement électromagnétique. L'architecture 3D

présentée dans cette thèse est de type busbar, rendant l'augmentation de la surface de refroidissement moins critique. En effet, l'épaisseur est le paramètre le plus influent sur l'inductance de la maille de commutation. De plus, l'épanouissement de la chaleur au sein du module (refroidissement 2,5D) offre un nouveau chemin de propagation. Le problème électro-thermique tend donc à se découpler grâce à cette architecture.

Le prochain chapitre s'attachera à décrire les différents prototypes réalisés au cours de la thèse. Comme dans tout nouveau procédé, il a fallu faire face à des problèmes technologiques et modifier certains paramètres pour parvenir à une réalisation pratique viable. Le procédé de fabrication d'un circuit imprimé n'est pas aussi simple que ce que peut imaginer un utilisateur final comme un concepteur de circuit d'électronique de puissance.



## Chapitre III

---

### *Etude expérimentale du module de puissance 3D*



## Résumé

Ce chapitre présente les différents résultats expérimentaux du module 3D.

Les aspects technologiques relatifs au procédé de fabrication PCB sont étudiés. De nombreuses coupes métallographiques sont réalisées et mettent en avant la dégradation des métallisations traditionnelles en aluminium suite au procédé de réalisation des microvias. L'épaisseur des couches en cuivre externe est aussi un point clef important pour la bonne gestion thermique du module. Cette épaisseur a dû être limitée à  $70\mu\text{m}$  afin de respecter une bonne planéité.

Des modules ont pu être fabriqués et testés électriquement. Les résultats des caractérisations statiques mettent en avant la bonne connexion de la puce avec le module mais avec une dégradation de l'état passant et de la tenue en tension. Une cellule de commutation 3D a été assemblée puis son fonctionnement validé par un test à double impulsion. L'observation de la tension de sortie prouve un très bon comportement électrique sans surtensions ni oscillations.

Un module plan de fabrication standard a également été fabriqué avec les mêmes puces MOSFET SiC et la même configuration. Le routage du module a été soigné et des condensateurs de découplage sont insérés au plus proche de chaque cellule de commutation. L'inductance de la maille de commutation globale est estimée à  $2\text{nH}$  pour le module plan alors qu'il n'a pas été possible de l'estimer pour le module 3D, laissant suggérer une inductance parasite inférieure à  $2\text{nH}$ .

Enfin, les deux types de modules sont comparés d'un point de vue CEM. Le spectre de la tension de mode commun prouve le meilleur comportement du module 3D dans la gamme  $150\text{kHz}$  à  $30\text{MHz}$ .

### **III.1.Introduction**

Le chapitre précédent était consacré à la conception du module de puissance à partir d'études théoriques et de simulations. Nous allons maintenant nous intéresser aux différentes réalisations pratiques développées dans ce projet.

Le module a été fabriqué en collaboration avec le premier fabricant de circuit imprimé français qui dispose de moyens industriels conséquents ainsi que d'une solide expérience dans le procédé de fabrication des circuits imprimés.

Dans un premier temps, différents aspects technologiques de la fabrication du module 3D sont présentés. L'encapsulation de puces au sein d'un circuit imprimé sort clairement du standard de fabrication et le procédé doit être adapté.

Par la suite, des modules sont caractérisés électriquement et thermiquement. La caractérisation statique des modules permet de valider la connexion électrique ainsi que la tenue en tension du module. Une comparaison avec une puce SiC identique en boîtier TO247 est réalisée. Le module est également caractérisé en commutation dans un circuit à double impulsion.

La troisième partie est consacrée à comparer le module 3D avec un module standard plan à base de substrat DBC. La conception du module plan a été soignée afin d'obtenir un module faiblement inductif avec une bonne symétrisation des capacités de mode commun. Des mesures de courant de mode commun sont réalisées afin de comparer d'un point de vue CEM le module 3D avec le module plan.

### **III.2.Aspects technologiques**

La fabrication d'un module de puissance avec un procédé de fabrication de circuit imprimé soulève plusieurs problématiques technologiques. Au sein de ce projet, plusieurs prototypes ont été réalisés avant d'obtenir un prototype fonctionnel. Plusieurs points critiques sont présentés dans la suite de cette partie.

#### **III.2.1.Métallisation des puces**

L'interconnexion électrique de la puce avec le module se fait grâce à des micro-vias remplis de cuivre par croissance électrolytique. La métallisation des puces doit donc être compatible avec ce procédé. Les MOSFET SiC sélectionnés possèdent les métallisations suivantes :

- Face avant (pad de grille et source) : 4 $\mu$ m en Aluminium
- Face arrière (pad de drain) : 800nm de Nickel suivi de 600nm d'Argent

La métallisation en aluminium de la face avant est adaptée pour l'interconnexion par fil de bonding en aluminium tandis que la métallisation de la face arrière permet une soudure avec différents alliages. Une métallisation en cuivre sur chaque face serait idéale pour le module développé dans ce projet. Malheureusement, il n'est pas possible de choisir la métallisation lors de la commande de puce nue et seules les métallisations classiques sont disponibles. Dans un premier temps, nous avons donc rajouté une métallisation en cuivre au-dessus des métallisations existantes.

En s'inspirant des travaux réalisés en [124], nous avons déposé par pulvérisation cathodique 200nm de chrome suivi de 1 $\mu$ m de cuivre. La couche de chrome est utilisée comme couche d'accroche grâce à sa grande adhérence.

Un masque est requis pour éviter de court-circuiter le plot de grille avec le plot de source. De plus, une grande précision est exigée car les deux plots sont espacés de seulement 100 $\mu$ m (Figure 182). Le masque mécanique présenté en Figure 183 a été réalisé par la société DB product. Il se compose d'un support et d'un masque en inox de 100 $\mu$ m d'épaisseur gravé au laser.

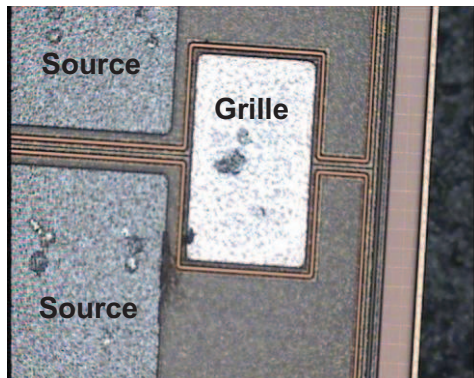


Figure 182: Vue au microscope de la face avant de la puce SiC CPM2-1200-0080B

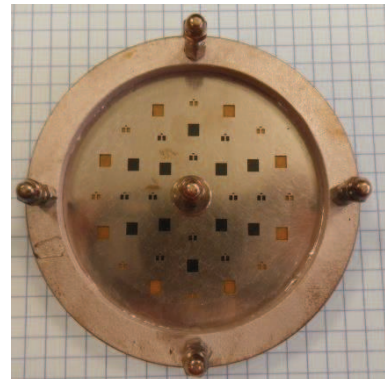


Figure 183: Masque mécanique pour le procédé de pulvérisation cathodique

Après la métallisation, les puces sont inspectées au microscope optique. Certaines puces présentent des défauts d'alignement de la métallisation à cause du masque (Figure 184). D'autres ont une métallisation correcte (Figure 185). Sur un total de 36 puces (capacité du masque), seules 16 puces sont métallisées correctement à cause de défauts d'alignement.

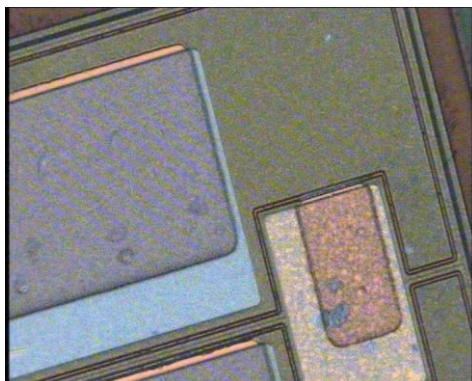


Figure 184 : Défaut d'alignement du masque

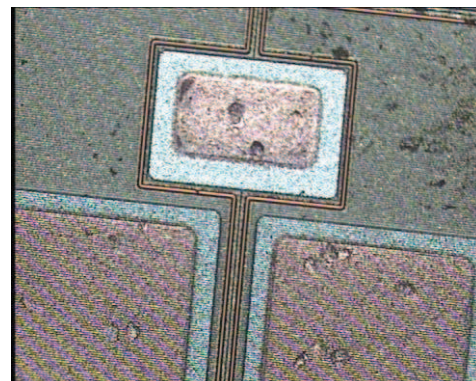


Figure 185 : Métallisation correcte

Ces puces ont été envoyées au fabricant de PCB pour faire des tests d'insertion, de perçage laser et de remplissage des micro-vias par électrodéposition. Nous aurions pu faire des caractérisations statiques électriques sous pointes afin de valider le fonctionnement électrique des puces. Cependant, nous n'avons pas voulu dégrader la métallisation avec les pointes.

Les puces sont insérées dans une prepreg puis le perçage laser est réalisé de chaque côté. Le laser de type CO<sub>2</sub> est adapté pour percer la couche de prepreg en s'arrêtant sur la couche de métal. Le remplissage de cuivre des micro-vias se déroule en deux étapes successives. La première, dénommée « copper flash » permet de déposer entre 5 $\mu$ m et 10 $\mu$ m de cuivre sur toutes les surfaces exposées. Il s'agit de l'étape permettant de métalliser

les parois des micro-vias. Par la suite, le procédé d'électrodéposition vient remplir les micro-vias jusqu'à les combler. Chaque étape de déposition de cuivre est précédée d'une phase de nettoyage chimique par acide afin de désoxyder la couche sous-jacente.

Les images présentées en Figure 186 et Figure 187 montrent une coupe métallographique suite à l'insertion d'une puce après la phase de « copper flash » sur la face avant (métallisation Aluminium – Chrome – Cuivre). La couche de cuivre est homogène sur toute la surface et la métallisation ne semble pas affectée par le perçage laser.

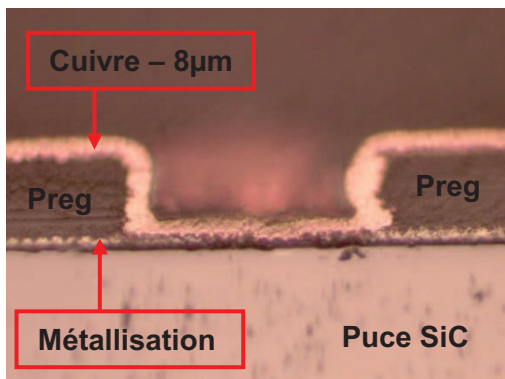


Figure 186 : Micro-via après l'étape de « copper flash » sur la face avant de la puce

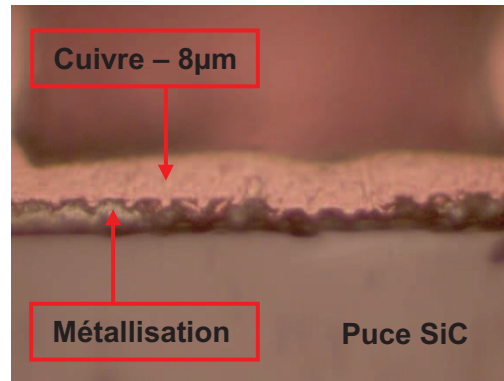


Figure 187 : zoom sur le fond du micro-via après l'étape de « copper flash » sur la face avant de la puce

Des coupes métallographiques ont été également réalisées suite à l'électrodéposition du cuivre pour combler les micro-vias. Elles sont présentées en Figure 188 et Figure 189 où les micro-vias sont rattachés à la face arrière des puces. Le remplissage du micro-via est réalisé correctement sans fissures. On observe un creux au niveau du micro-via d'une profondeur estimée à 30µm. Ce phénomène est lié au procédé d'électrodéposition. En zoomant sur l'interface micro-via / puce, aucun défaut n'est détecté et la métallisation de la puce n'est pas dégradée.

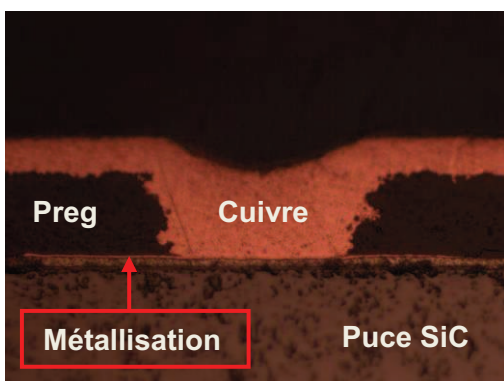


Figure 188 : Micro-via rempli sur la face arrière de la puce

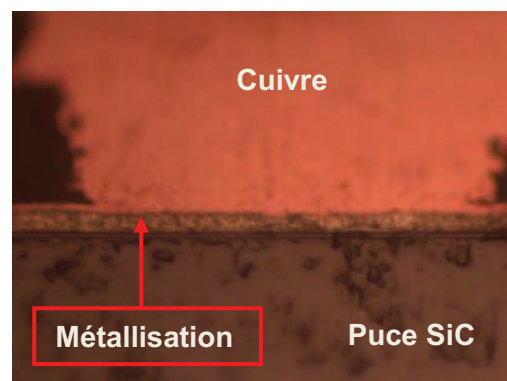


Figure 189 : zoom sur l'interface puce – micro-via en face arrière de la puce

Le premier essai d'insertion de puce métallisée avec une couche de chrome et de cuivre sont concluants à partir des résultats des coupes métallographiques. Cependant, plusieurs problèmes ont été soulevés au sujet de la métallisation par pulvérisation cathodique réalisée au G2Elab :

- Masque : le masque mécanique n'est pas assez précis pour métalliser un grand nombre de puces (beaucoup trop de pertes)



- Désoxydation des puces : le bâti de déposition ne peut pas réaliser de désoxydation des surfaces par nettoyage plasma argon. Les métallisations ne sont donc pas propres pour un dépôt correct.
- Rupture du vide : Entre le dépôt de chrome et de cuivre, le vide de la machine de déposition est cassé afin de changer de cible. Cela conduit à diminuer l'accroche du cuivre sur le chrome. En effet, un phénomène d'adsorption d'eau se produit à la surface du chrome. Certaines métallisations s'enlevaient avec un simple souffle d'air.
- Vitesse de déposition : La vitesse de déposition avec la machine de pulvérisation cathodique est de 30nm/min pour le cuivre et de 27nm/min pour le chrome. Lors de dépôts de plusieurs centaines de nanomètres la machine doit également subir des phases de refroidissement. Le dépôt de 1µm de cuivre s'effectue en 2h au lieu de 40min selon la vitesse de déposition.

Il serait plus avantageux d'effectuer l'étape de métallisation à l'échelle du wafer par photolithographie. Malheureusement, nous n'avons pas pu avoir accès à un wafer non découpé. De plus, les composants de puissance avec une métallisation en cuivre ne sont pas commercialisés à l'heure actuelle. Nous avons donc été confrontés davantage à un problème d'approvisionnement qu'à un problème technologique.

Suite à ces premiers tests, nous avons voulu essayer l'insertion de puces sans métallisations additionnels. Il est intéressant de voir comment réagissent les métallisations traditionnelles avec le procédé de perçage laser et d'électrodéposition de cuivre. Après l'insertion de la puce, le perçage laser et le remplissage des micro-vias par électrodéposition, des coupes métallographiques sont réalisés au niveau du pad de grille (Figure 190), du pad de source (Figure 191) et du pad de drain (Figure 192).

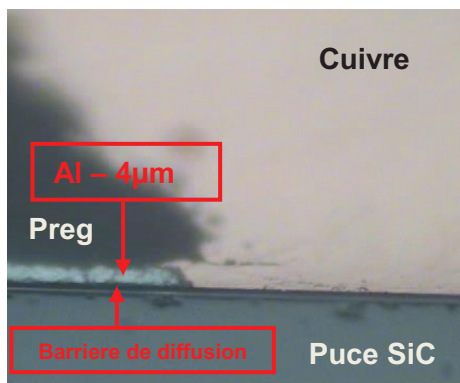


Figure 190: Micro-via sur pad de grille avec une puce nue

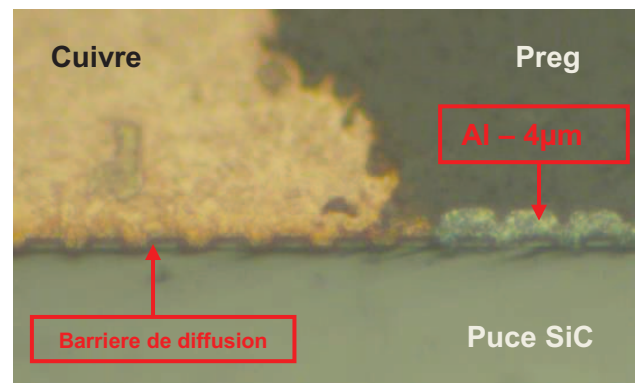


Figure 191: Micro-via sur pad de source avec une puce nue

Sur la face avant des puces (pad de grille ou pad de source), la métallisation de 4µm en aluminium disparaît totalement au profit du cuivre électrodéposé. On peut supposer que le perçage laser CO<sub>2</sub> suivi du nettoyage chimique suffit à enlever les 4µm d'aluminium. Le cœur de la puce en carbure de silicium ne semble pas détérioré. Le cuivre électrodéposé s'arrête sur une couche plus sombre qui doit être une couche barrière de diffusion. Les barrières de diffusion classiquement utilisées pour les composants de puissance sont à base de titane (Ti) ou d'alliage de titane (TiN, TiW) avec une épaisseur moyenne d'une centaine de nanomètres. Aucune information n'est disponible sur la couche barrière de diffusion utilisée dans les puces SiC sélectionnées dans ce projet. Nous pouvons également nous questionner sur le contact électrique du micro-via sur la puce même si l'observation des coupes métallographiques ne semble pas indiquer de problème à ce niveau.

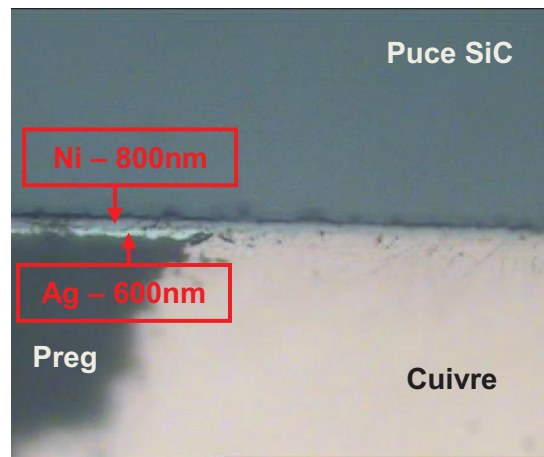


Figure 192: Micro-via sur pad de drain avec une puce nue

Sur la face arrière des puces, la situation est différente. La métallisation de 600nm en argent disparaît et le cuivre repose sur la couche de nickel sous-jacente. Aucun défaut n'est détecté dans le cœur de la puce en carbure de silicium. Le nickel est un métal bien plus dur que l'argent ou l'aluminium, ce qui pourrait expliquer la bonne protection qu'il confère sur la face arrière de la puce. De la même manière, la couche de chrome utilisée dans la métallisation supplémentaire au premier test (Figure 187) a certainement permis de protéger la métallisation en aluminium. Au niveau de l'interface cuivre – nickel présenté en Figure 192, la question de la qualité du contact électrique peut également être soulevée.

Nous pouvons conclure de cette étude que les métallisations traditionnelles ne sont pas adaptées pour l'interconnexion par micro-via développé dans ce projet. Une métallisation en cuivre à l'échelle du wafer serait idéale mais n'est pas encore disponible de manière industrielle. Le rajout d'une métallisation supplémentaire en cuivre comme présenté précédemment reste une solution dans le cadre de développement de prototypes. Cependant, les moyens à disposition ne nous ont pas permis de métalliser un grand nombre de puces correctement. Nous avons donc décidé de continuer à travailler avec des puces sans métallisations additionnelles. Nous montrerons dans le paragraphe 3 que des modules fonctionnels ont été quand même obtenus.

- **Remarques et perspectives**

La métallisation en cuivre de la face avant des composants de puissance fait l'objet d'études dans le cadre de l'interconnexion par fil de bonding en cuivre [125] [126]. Les résultats mettent en avant l'augmentation de la capacité en courant de la puce ainsi qu'une augmentation de la fiabilité et de la température de fonctionnement. Un exemple de procédé de métallisation cuivre est présenté en Figure 193. La couche barrière de diffusion et la couche de cuivre précurseur sont réalisées par pulvérisation cathodique puis une couche de 23 $\mu$ m de cuivre est formée par électrodéposition. Le choix de la couche barrière de diffusion est particulièrement critique pour la bonne accroche de la couche de cuivre épaisse.



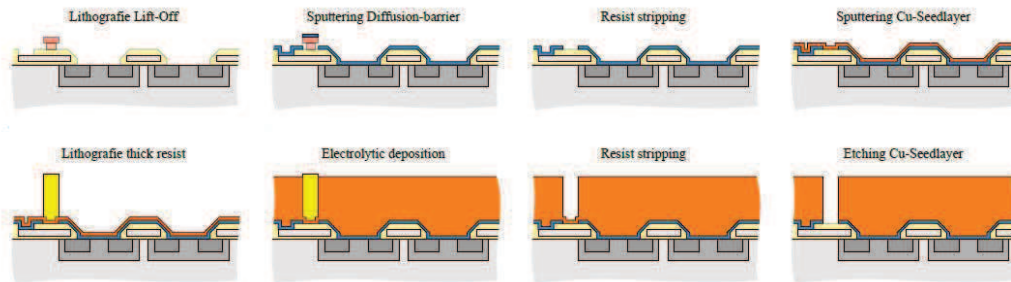


Figure 193: Procédé de métallisation en cuivre développé en [126]

D'autres études proposent une finition Nickel Paladium Or (Electroless Nickel Electroless Paladium Immersion Gold) par un procédé chimique (electroless) pour l'interconnexion par fil de bonding en cuivre aussi bien sur une métallisation cuivre [127] que sur une métallisation aluminium [128]. Cette dernière étude présente des résultats très intéressants et pourrait être appliquée dans notre cas. De plus, le procédé electroless ne requiert aucun masque. Des coupes métallographiques correspondantes à la finition ENEPIG sont présentées en Figure 194 et Figure 195.



Figure 194: Fil de bonding en cuivre avec finition ENEPIG [128]

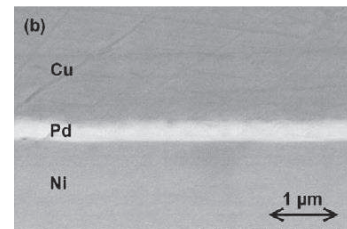


Figure 195: zoom sur l'interface cuivre - finition ENEPIG [128]

### III.2.2.Choix du type de prepreg

Plusieurs types de prepreg peuvent être utilisés pour la réalisation de circuits imprimés. On distingue principalement deux familles : les prepregs standards et les prepregs « low-flow » ou faible flux. Lors du procédé de lamination, le circuit imprimé est soumis à une pression et cuit à une température donnée. La résine contenue dans la prepreg se liquéfie permettant de combler les aspérités aux interfaces et d'éviter la formation de bulles d'air. Le surplus de résine coule vers le bord du circuit et s'échappe à l'extérieur en formant des « perles » de résine qui sont enlevées par la suite. La résine de type « low-flow » a une composition différente qui permet de limiter ce phénomène.

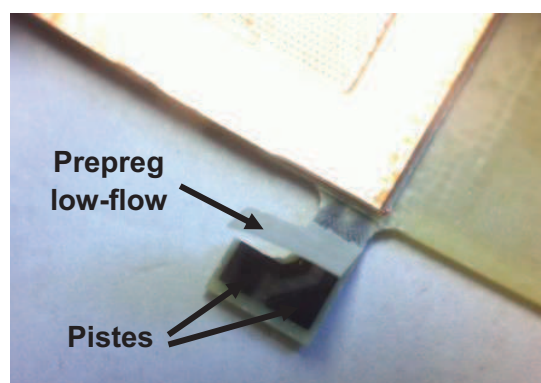


Figure 196: Connectique de mesure avec prepreg "low-flow"

Ce type de prepreg est utilisé par exemple pour coller un dissipateur ou pour la réalisation de circuit avec des cavités. Il est également utilisé pour sortir des connectiques externes plus facilement (Figure 196).

Une prepreg low-flow a été utilisé, dans un premier temps, pour l'encapsulation de la puce et pour ressortir les pistes de grille et kelvin source sur une connectique externe. Lors des premiers essais, de nombreux demi-modules avaient un court-circuit entre grille et source, rendant leur utilisation impossible. Des coupes métallographiques ont été réalisées sur les échantillons défectueux mettant en avant la présence de bulles d'air et de particules de cuivre (Figure 197 et Figure 198) notamment entre le pad de grille et source sur la puce.

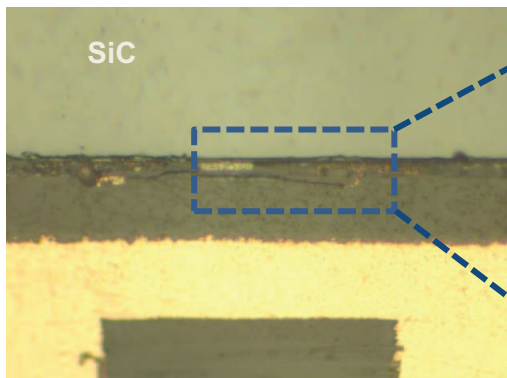


Figure 197: Défaut d'encapsulation de puce avec prepreg low-flow

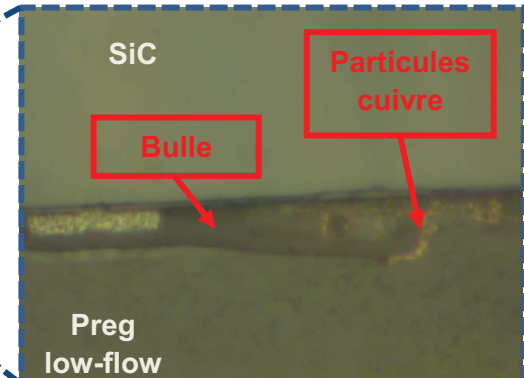


Figure 198: Particules de cuivre dans les bulles d'air avec une prepreg low-flow

Dans une seconde version du prototype, la prepreg low-flow a été remplacée par une prepreg standard avec succès. Aucun court-circuit entre grille et source ne subsistait sur l'ensemble des échantillons. Cependant, la reprise de contact sur les connectiques s'avère plus difficile et requiert de fraiser précautionneusement pour ne pas arracher les pistes sous-jacentes.

La résolution de ce problème reposa essentiellement sur l'expérience du fabricant de circuit imprimé qui maîtrise parfaitement les différentes étapes de réalisation du circuit.

### III.2.3.Mise en œuvre des puces

La mise en place des puces dans la première couche de prepreg est une étape importante du procédé de fabrication. Comme présenté en Figure 199, la couche de prepreg est découpée aux dimensions de la puce puis celle-ci est insérée à la main.

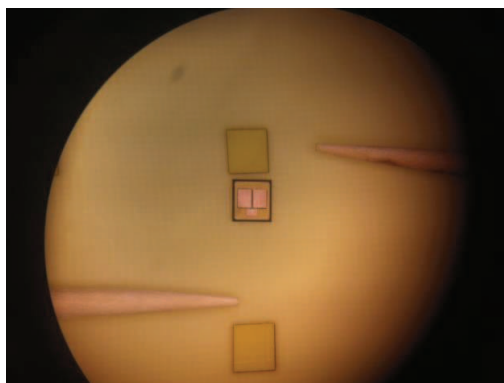


Figure 199: Insertion d'une puce dans la première couche de prepreg

Lors de la caractérisation électrique, certains prototypes avaient un courant de fuite très élevé entre drain et source ou un court-circuit franc entre drain et source. Des coupes métallographiques ont été réalisées sur les modules défectueux et ont révélé des fissures verticales (Figure 200 et Figure 201).

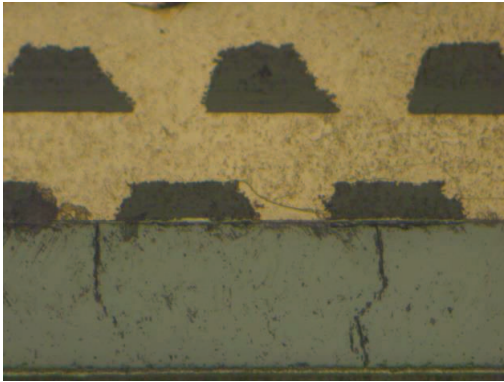


Figure 200: Fissure verticale entre drain et source

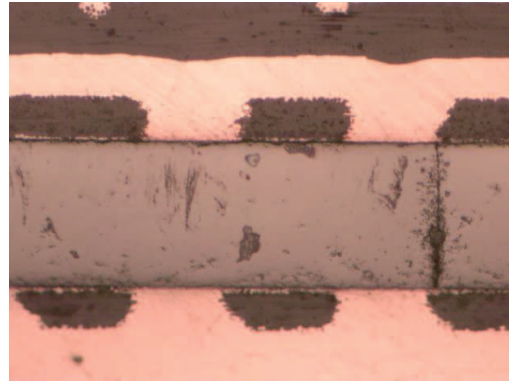


Figure 201: Fissure verticale entre drain et source

Il est probable que ces fissures soient causées par une mauvaise insertion de la puce dans la cavité suivi du procédé de lamination qui applique une pression de 15MPa. On retrouve également ces défauts en [129] où des puces IGBT sont accrochées sur une plaque de cuivre par frittage d'argent puis encapsulées dans une prepreg suivant le procédé PCB. La mise en place de la puce avec un défaut de planéité suivi du procédé de frittage serait à l'origine des fissures. De plus, le fabricant de PCB nous a fait remarquer de légères différences de dimension entre les puces nues. Par la suite du projet, la dimension des cavités a été légèrement augmentée pour éviter ce problème.

L'insertion de puce à la main est possiblement une source de défauts et l'utilisation d'une machine de placement automatique des composants (pick and place) est vivement recommandée pour le développement de futurs prototypes.

### III.2.4. Electrodeposition du cuivre

Lors de la réalisation de circuits imprimés l'électrodeposition du cuivre est utilisée pour métalliser les vias du circuit. Dans le cas des micro-vias, le cuivre électro-déposé permet de combler totalement la cavité. Au sein du module de puissance des micro-vias de 150 $\mu\text{m}$  de diamètre avec un entraxe de 250 $\mu\text{m}$  sont réalisés. Des images de deux zones de micro-vias du module sont présentées en Figure 202 et Figure 203. Dans les deux figures, les micro-vias sont parfaitement comblés de cuivre. Sur la Figure 202, on peut remarquer un léger renforcement de cuivre de quelques dizaines de micromètres. Ce phénomène est lié au procédé d'électrodeposition en lui-même. Ce phénomène n'apparaît quasiment plus en Figure 203 car la couche de cuivre électro-déposée est plus épaisse (70 $\mu\text{m}$ ).

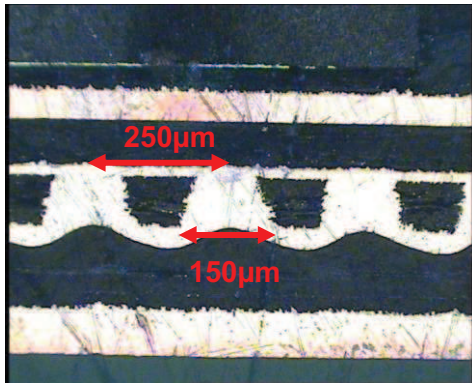


Figure 202: micro-via rempli de cuivre avec une surface ondulée

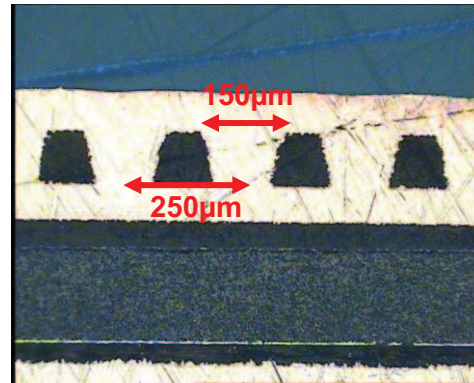


Figure 203: micro-via rempli de cuivre avec une surface plane

Cette technique a été retenue pour combler les micro-vias débouchant sur la couche de cuivre externe du circuit. La couche de cuivre externe correspond aux connectiques de puissance (DC+, DC- et AC). De plus son épaisseur et sa planéité sont deux éléments critiques pour la gestion thermique du module (voir chapitre 2 partie 4). Son épaisseur est fixée à 210µm pour la réalisation du premier prototype. La Figure 204 montre la face supérieure (DC+) d'un demi-module. Le cuivre épais est ouvert en quatre zones où débouchent les micro-vias qui interconnectent électriquement les quatre puces en parallèle. Ces ouvertures doivent être comblées par électrodéposition de cuivre afin de parvenir à une surface plane de cuivre. Un zoom sur une ouverture du cuivre épais est présenté en Figure 205.

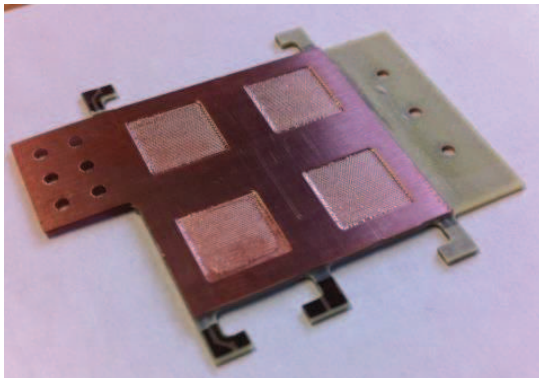


Figure 204: prototype avec couche de cuivre externe de 210µm d'épaisseur et ouverture sur les zones de micro-via

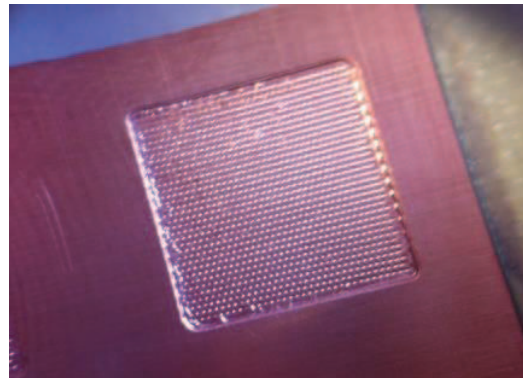


Figure 205: zoom sur les ouvertures de la couche externe de cuivre de 210µm d'épaisseur

Le procédé d'électrodéposition utilisé par l'industriel n'a pas permis de combler les ouvertures d'une manière homogène. En effet, le procédé est particulièrement optimisé pour combler les micro-vias mais n'est pas adapté pour combler une si grande cavité. De plus, la vitesse de déposition de cuivre est de l'ordre d'une dizaine de micromètre par heure, ce qui impose de passer les modules plusieurs fois de suite dans les bains d'électrodéposition. Cela s'est avéré long et compliqué dès lors que la fabrication est réalisée sur une ligne de production de circuit imprimé à fort volume.

Afin d'obtenir un module viable, nous avons décidé de diminuer l'épaisseur de cuivre externe à 70µm. Avec cette modification, les micro-vias débouchent sur une première couche de cuivre de 35µm puis sont comblés. Une couche de 35µm de cuivre est déposée par la suite afin d'obtenir une surface plane de 70µm d'épaisseur totale. Le temps de déposition avec ce



procédé est de 3 heures. Cette solution nous permet de réaliser des modules fonctionnels mais dégrade fortement le comportement thermique.

La réalisation de couche de cuivre épaisse est un enjeu majeur pour une application en électronique de puissance. Des travaux devront être menés afin d'augmenter la rapidité et l'efficacité du procédé de croissance électrolytique du cuivre.

### III.3.Caractérisation du module de puissance

#### III.3.1.Présentation des prototypes testés

Suite aux ajustements du procédé de fabrication, des demi-modules supérieurs (Figure 206) ont été réalisés puis caractérisés. Une photographie d'un prototype est présentée en Figure 207. L'épaisseur de la couche de cuivre externe est réduite à  $75\mu\text{m}$  avec une surface plane. Quatre puces MOSFET SiC sont insérées en parallèle dans chaque demi-module. Les puces n'ont pas subi de métallisations additionnelles. Ces prototypes sont utilisés pour les caractérisations électriques statiques.

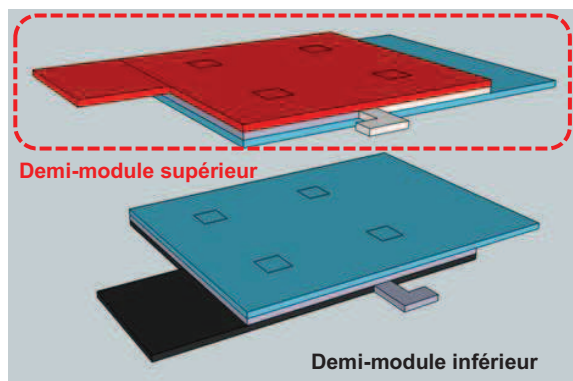


Figure 206: vue 3D du demi-module supérieur et inférieur

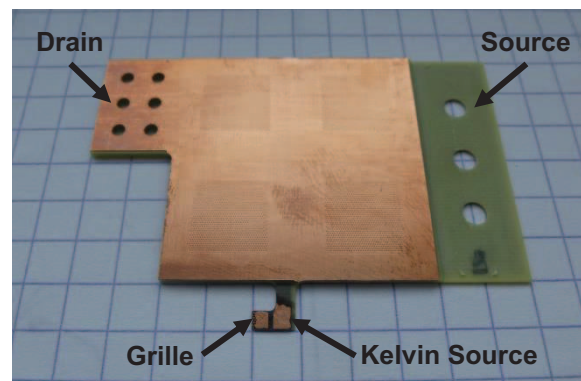


Figure 207: photographie du demi-module supérieur

Le module complet consiste à assembler un demi-module supérieur avec un demi-module inférieur puis de souder des condensateurs de découpage (KEMET Arcshield 1kV 0805 4,7nF) sur la tranche. Lors de la rédaction du manuscrit de thèse, les modules complets étaient encore en fabrication. Nous avons donc assemblé deux demi-modules supérieurs en les collant avec une colle conductrice chargée en particule d'argent (EPOTEK EK2000) afin de pouvoir faire des tests en commutation. Avec ce module de test, les circuits de grille du transistor high side et du transistor low side ne se retrouvent plus du même côté. Cela complique l'interconnexion avec le circuit de commande rapprochée et augmente significativement l'inductance propre du circuit de grille low side.

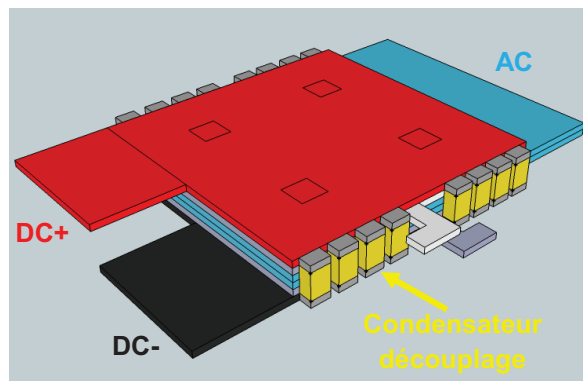


Figure 208: vue 3D du module complet avec les condensateurs de découplage sur la tranche

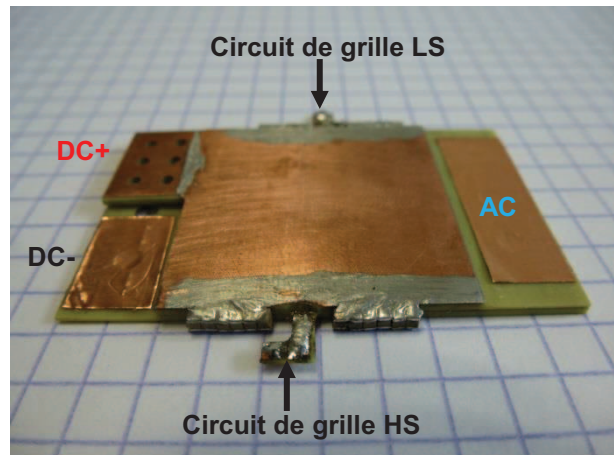


Figure 209: Photographie du module 3D assemblé à partir de 2 demi-modules supérieurs

Le résultat de l'assemblage est présenté en Figure 209 . Les connectiques ne sont plus adaptées et ont dû être travaillé avec du scotch cuivre afin de pouvoir s'interconnecter correctement avec le circuit de test externe. Malgré cette déconvenue, le concept Power Chip On Chip a pu être validé expérimentalement. Pour les tests CEM, les refroidisseurs à eau développés au G2Elab sont montés sur chaque face (Figure 210) et sont maintenus pressés au module grâce à une pince.

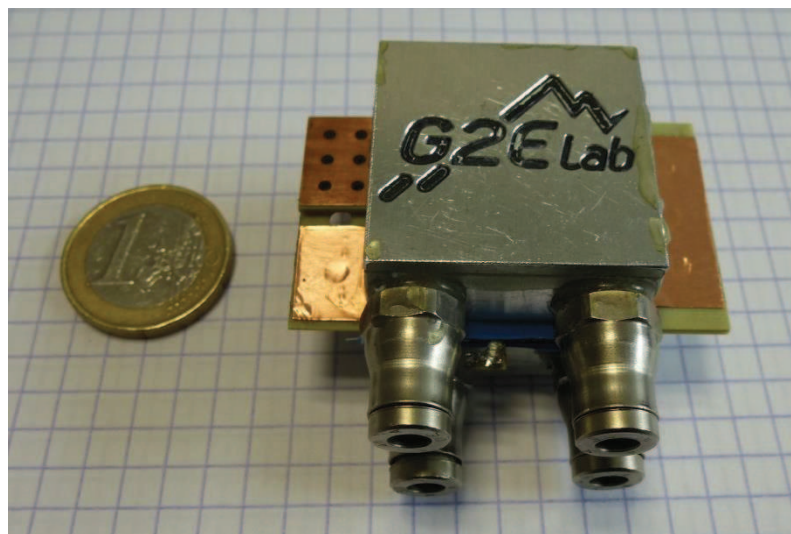


Figure 210: Module 3D monté avec ses refroidisseurs et l'isolant électrique (couche bleue)

Un matériau isolant d'interface thermique est inséré entre le module et le refroidisseur (couche bleue). Il s'agit du matériau SIL-PAD 1500ST du fabricant Bergquist. Ce matériau d'interface thermique a une tension de claquage de 3kV, une épaisseur de 0.203mm, une conductivité thermique de 1,8W/m.K et une permittivité relative de 6,1 à 1kHz.

### III.3.2. Caractérisation électrique statique d'un demi-module

Six échantillons de demi-modules supérieurs ont pu être testés. Le Tableau 14 présente la nomenclature des échantillons ainsi que le résultat du test de continuité avec un Ohm-mètre.



| Panneau | Module | Test Ohm-mètre<br>Grille Source | Test Ohm-mètre<br>Drain Source |
|---------|--------|---------------------------------|--------------------------------|
| 1       | M5     | OK                              | Court-Circuit                  |
| 1       | M7     | OK                              | OK                             |
| 1       | M10    | OK                              | OK                             |
| 2       | M5     | OK                              | OK                             |
| 2       | M7     | OK                              | OK                             |
| 2       | M10    | OK                              | OK                             |

Tableau 14: Prototypes de demi-modules caractérisés

Les demi-modules ont été fabriqués sur deux panneaux différents (panneau 1 et panneau 2). La nomenclature (M5, M7, M10) correspond à l'emplacement de l'échantillon dans le panneau. Le test de continuité a révélé le module M5 du panneau 1 comme non fonctionnel avec un court-circuit entre drain et source. Tous les autres échantillons ont pu être caractérisés.

Les sections qui suivent présentent les caractéristiques électriques statiques en direct et en inverse, ainsi que la tenue en tension des échantillons. Pour tous les tests, un MOSFET SiC en boîtier TO247 (C2M0080120D), possédant la même puce, est caractérisé afin de comparer les résultats avec le demi-module PCB. Cependant, le demi-module possède quatre puces SiC MOSFET en parallèle. Pour comparer convenablement les deux types de packaging, les caractéristiques du boîtier TO247 sont présentées comme la parallélisation idéale de quatre boîtiers TO247. Tous les échantillons sont caractérisés grâce au traceur B15 de Agilent. Les mesures sont effectuées en mode quatre pointes.

### III.3.2.1. Résistance à l'état passant et caractéristique en inverse

La caractéristique en direct avec une tension grille source de 20V des échantillons est tracée en Figure 211 jusqu'à un courant de 50A. A partir de ce graphique, la résistance à l'état passant en fonction du courant de drain est présentée en Figure 212. Les courbes en traits pleins correspondent aux échantillons de demi-modules tandis que la courbe orange pointillée, noté « 4xTO247 », indique la caractéristique idéale de 4 MOSFET SiC en parallèle en boîtier TO247.

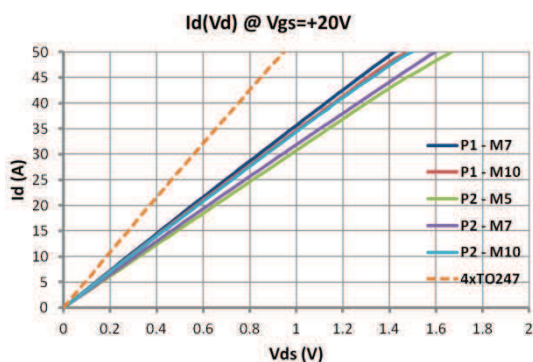


Figure 211: Caractéristiques  $I_d(V_d)$  en direct pour  $V_{gs}=+20V$  à  $25^\circ C$

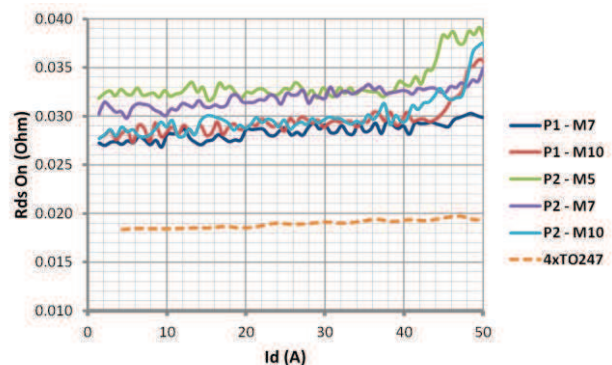


Figure 212: Résistance à l'état passant ( $R_{ds\ On}$ ) à  $25^\circ C$

On remarque immédiatement que les caractéristiques sont moins bonnes que celles attendues. Les demi-modules possèdent une résistance à l'état passant comprise entre 27mΩ et 33mΩ pour un courant de drain allant jusqu'à 40A. La résistance à l'état passant idéale de quatre boîtiers TO247 en parallèle se situe entre 19mΩ et 20mΩ, ce qui

correspond bien aux données du constructeur ( $80\text{m}\Omega/4$ ). L'augmentation de résistance à l'état passant du demi-module PCB atteint donc près de  $10\text{m}\Omega$ , soit une augmentation de 50% en valeur relative. Au-delà de 40A, on remarque un début d'augmentation significative de résistance à l'état passant qui peut être lié à un début de saturation.

Dans un second temps, nous nous sommes intéressés aux caractéristiques en inverse. Les caractéristiques en inverse avec une tension grille source de  $-5\text{V}$  sont tracées en Figure 213 jusqu'à un courant de  $-50\text{A}$ . La résistance équivalente  $R_0$  de la diode body dans la zone quasi-linéaire ( $-20\text{A}$  ;  $-50\text{A}$ ) est tracée en Figure 214.

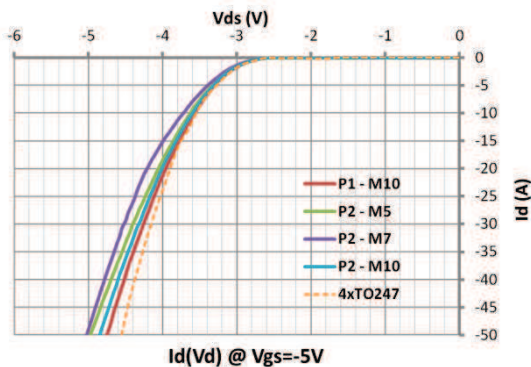


Figure 213: Caractéristiques  $I_d(V_d)$  en inverse pour  $V_{gs}=-5\text{V}$  à  $25^\circ\text{C}$

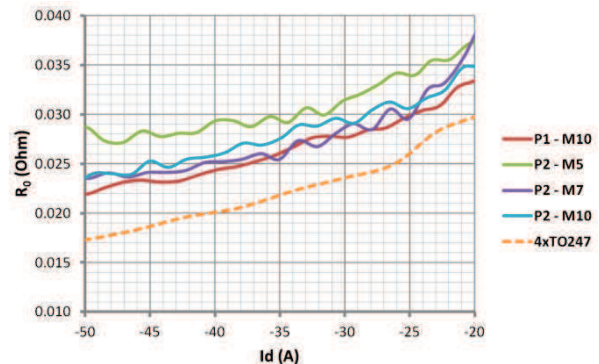


Figure 214: Résistance de la diode body dans la zone quasi-linéaire ( $R_0$ ) à  $25^\circ\text{C}$

La résistance équivalente de la diode body des demi-modules PCB est supérieure à celle du cas idéal. Elle est, en moyenne, de  $25\text{m}\Omega$  à  $-50\text{A}$  et  $35\text{m}\Omega$  à  $-20\text{A}$ . Dans le cas idéal, la résistance équivalente varie de  $17\text{m}\Omega$  à  $-50\text{A}$  jusqu'à  $30\text{m}\Omega$  à  $-20\text{A}$ . L'augmentation de résistance équivalente est de 47% à  $-50\text{A}$  et 17% à  $-20\text{A}$ .

Dans tous les échantillons étudiés, le comportement en direct ou en inverse est dégradé avec une augmentation de près de 50% des résistances électriques de conduction. Cependant, on peut souligner le comportement homogène entre les différents échantillons testés. Cela nous indique un procédé de fabrication reproductible. Nous pouvons nous interroger sur les causes de cette augmentation de résistance électrique. Plusieurs points peuvent être soulevés.

- **Mauvaise connexion d'une ou plusieurs puces**

L'augmentation de résistance peut venir d'une mauvaise connexion du circuit de grille sur une ou plusieurs puces. Afin de vérifier cette hypothèse, un circuit de test est proposé en Figure 215. La grille du demi-module est polarisée avec une tension de grille de  $7\text{V}$  et une impulsion de courant de  $6\text{A}$  est appliquée entre drain et source pendant quelques secondes. Une caméra thermique est utilisée pour visualiser les points chauds à la surface du demi-module.

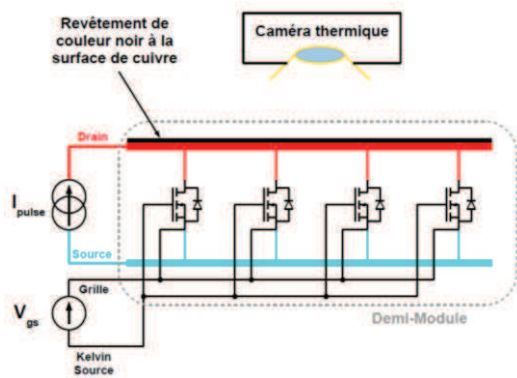


Figure 215: Circuit de test

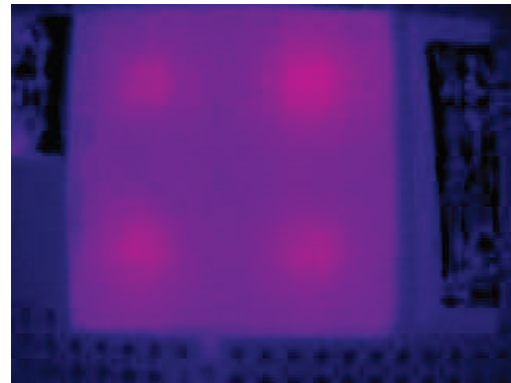


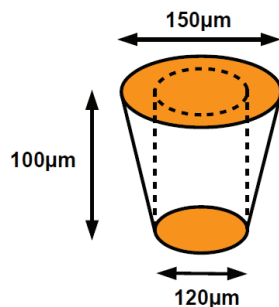
Figure 216: Visualisation des points chauds à la verticale des puces (échelle de température non disponible)

Le résultat sur le module M10 du panneau 1 est présenté en Figure 216. L'image de la caméra thermique montre clairement quatre points chauds. Les quatre puces sont donc bien connectées entre grille – source et drain – source.

- **Résistance additionnelle de l'encapsulation**

L'augmentation des résistances de conduction peut venir du packaging en lui-même. Deux paramètres semblent critiques : les micro-vias et la couche de cuivre externe de 75µm.

Les micro-vias ont une forme conique avec les dimensions présentées en Figure 217. Le calcul de sa résistance électrique est effectué grâce à l'équation (47) en considérant le cylindre inscrit dans le cône.



$$R_{DC} = \rho_{CU} \frac{l}{S} \quad (47)$$

Avec  $\rho_{CU}$  : résistivité du cuivre,  $l$  : longueur du conducteur,  $S$  : section du conducteur

Figure 217: dimension d'un micro-via

En prenant une résistivité électrique du cuivre de  $17 \cdot 10^{-9} \Omega \cdot m$ , la résistance électrique d'un micro-via vaut  $150 \mu\Omega$ . L'encapsulation proposée parallélise un très grand nombre de micro-vias, diminuant d'autant plus la résistance électrique. L'augmentation de résistance électrique ne peut donc pas être causée par les micro-vias.

L'épaisseur de la couche externe de cuivre a été diminuée à 75µm pour des raisons technologiques liées à l'électrodéposition du cuivre. Le calcul de la résistance électrique additionnelle liée à cette couche ne peut plus être réalisé par un simple modèle unidimensionnel comme dans le cas d'un micro-via. Le logiciel INCA3D est utilisé pour modéliser un demi-module et calculer la résistance additionnelle liée aux couches de cuivre externes de 75µm. Quatre résistances de 80mΩ sont ajoutées en parallèle à l'emplacement

des puces pour modéliser les transistors à l'état passant (Figure 218). La résistance totale est calculée pour différentes épaisseurs de cuivre variant de 50 $\mu$ m à 500 $\mu$ m (Figure 219).

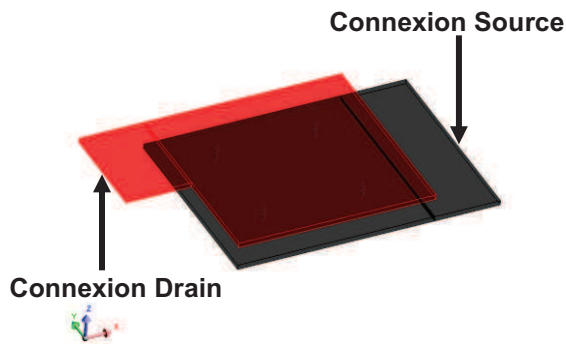


Figure 218: Modèle résistif INCA3D du demi-module

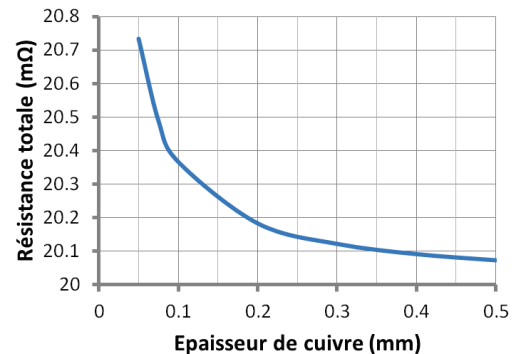


Figure 219: Résistance totale en fonction de l'épaisseur de cuivre

Avec 75 $\mu$ m de cuivre, la résistance à l'état passant du demi-module simulé est de seulement 20.5m $\Omega$ , soit une augmentation de 0.5m $\Omega$  provoqué par les couches de cuivres externes. Le packaging n'est donc pas responsable de l'augmentation de résistance à l'état passant.

- **Métallisation des puces**

La métallisation des puces peut également jouer un rôle important dans l'augmentation de la résistance à l'état passant. Etant donnés les résultats de coupes présentés dans le paragraphe III.2.1 pour les puces nues, il est possible qu'une résistance de contact entre le micro-via et la puce existe. Aussi, vu la dégradation de la couche d'aluminium sur la grille et la source, la puce peut être également dégradée en elle-même.

En perspective, il serait nécessaire de réaliser de nouveaux tests d'encapsulation avec des puces métallisés en cuivre ou en ENEPIG. Cela permettrait de valider l'hypothèse de dégradation des métallisations classiques mais également de réaliser une comparaison entre de types de nouvelles métallisations. La métallisation ENEPIG peut être une alternative intéressante au cuivre.

### III.3.2.2. Tenue en tension

La caractéristique de tenue en tension des demi-modules est testée avec le traceur de caractéristiques B15 de Agilent. Le courant de fuite du drain est tracé en fonction de la tension drain source pour une tension grille source nulle. De la même manière que dans la partie précédente, une comparaison est réalisée avec un MOSFET SiC en boîtier TO247, testé dans les mêmes conditions. Le courant de fuite mesuré est multiplié par quatre pour s'approcher du cas du demi-module. La documentation technique de la puce MOSFET SiC (CPM2-1200-0080B) indique un courant de fuite de drain typique de 1 $\mu$ A et maximal de 100 $\mu$ A pour une tension drain source de 1200V et une tension grille source nulle.

Les résultats de caractérisation des demi-modules sont présentés en Figure 220. La limite maximale du courant de fuite est fixée à 100 $\mu$ A et une tension maximale de test de 1000V. La caractéristique idéale issue de la mesure du boîtier TO247 est présentée en Figure 221.

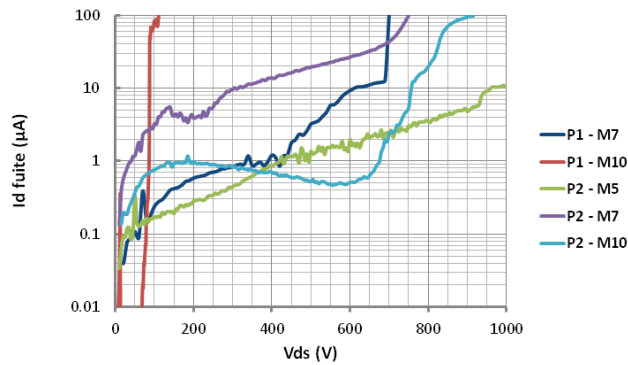


Figure 220: Tenue en tension des demi-modules

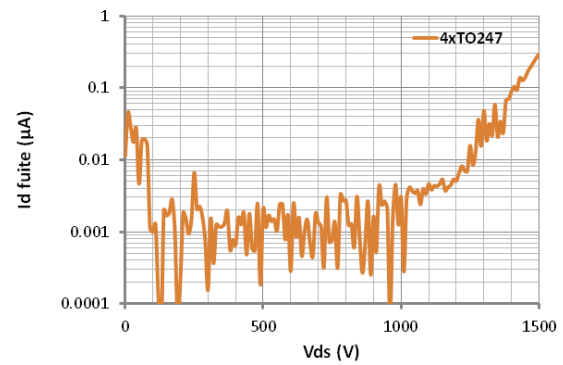


Figure 221: Tenue en tension d'une puce en boîtier TO247

Les demi-modules ont une grande disparité de courant de fuite en fonction de la tension. En prenant la valeur maximale de  $100\mu\text{A}$  comme limite pour la tenue en tension, le module P1-M10 a une tension de claquage de  $100\text{V}$  tandis que les quatre autres dépassent les  $600\text{V}$ . On peut noter l'excellent comportement du demi-module P2-M5 qui dépasse le kilovolt. En comparaison avec le cas idéal présenté en Figure 221, les courants de fuite des demi-modules sont plus de  $1000$  fois plus importants. Dans le cas idéal, le courant de fuite est de quelques nano-ampères jusqu'à une tension de  $1200\text{V}$  puis commence à augmenter rapidement au-delà. Il est surprenant de constater la marge prise par le constructeur dans les données techniques du transistor ( $1\mu\text{A}$  typique à  $1200\text{V}$ ).

Les résultats du test de tenue en tension mettent en avant un comportement médiocre des demi-modules avec de fortes différences entre chaque module. L'objectif de tension de claquage de  $1200\text{V}$  est loin d'être obtenu.

Le courant de fuite des demi-modules peut être causé, en partie, par la prepreg dans laquelle sont insérées les puces. A partir de la résistivité volumique indiquée par le constructeur, le courant de fuite est estimé pour une tension de  $600\text{V}$ . Les paramètres du calcul sont présentés dans le Tableau 15.

|   |                                   |
|---|-----------------------------------|
| <b>Résistivité volumique (<math>\text{M}\Omega\cdot\text{cm}</math>)</b>    | <b><math>1\cdot 10^9</math></b>   |
| <b>Epaisseur de tenue en tension (<math>\mu\text{m}</math>)</b>             | <b>280</b>                        |
| <b>Surface de tenue en tension (<math>\text{mm}^2</math>)</b>               | <b>900</b>                        |
| <b>Résistance équivalent (<math>\text{M}\Omega</math>)</b>                  | <b><math>3,1\cdot 10^6</math></b> |
| <b>Courant de fuite à <math>600\text{V}</math> (<math>\text{pA}</math>)</b> | <b>194</b>                        |

Tableau 15: Calcul du courant de fuite causé par la prepreg R-1755V selon les dimensions du demi-module

Le courant de fuite induit par la prepreg à  $600\text{V}$  est de l'ordre de  $200\text{pA}$ , ce qui largement négligeable par rapport aux courants de fuite mesurés. La couche de prepreg encapsulant les puces n'est donc pas responsable du fort courant de fuite en elle-même. Cependant, la présence d'un défaut de fabrication, telle qu'une bulle d'air, peut dégrader fortement la tenue en tension de la couche de diélectrique.

Encore une fois, il est probable que les puces aient été dégradées par le perçage laser et le procédé de réalisation des micro-vias. Des défauts peuvent être créés au niveau des protections périphériques de tenue en tension de la puce (anneau de garde). Des fissures verticales, comme observés précédemment, peuvent également être à l'origine du problème.



De nouveaux tests avec des puces possédant une métallisation adaptée seraient indispensables pour valider la tenue en tension d'un tel module.

Dans la suite des tests, les demi-modules P2 – M5 et P2 – M10 ont été sélectionnés grâce à leur faible courant de fuite. Ils sont assemblés pour créer une cellule de commutation en 3D. Des tests électriques en régime dynamique sont réalisés avec une tension de bus DC maximale de 400V.

### III.3.3. Caractérisation électrique dynamique d'une cellule de commutation 3D

La caractérisation dynamique de la cellule de commutation 3D est réalisée grâce au circuit présenté en Figure 222. Le module 3D est testé selon le principe de double impulsion avec une charge inductive. La première impulsion fait croître le courant linéairement dans l'inductance jusqu'au niveau souhaité puis une seconde impulsion permet de visualiser une commutation à l'ouverture ou à la fermeture à courant quasi-constant.

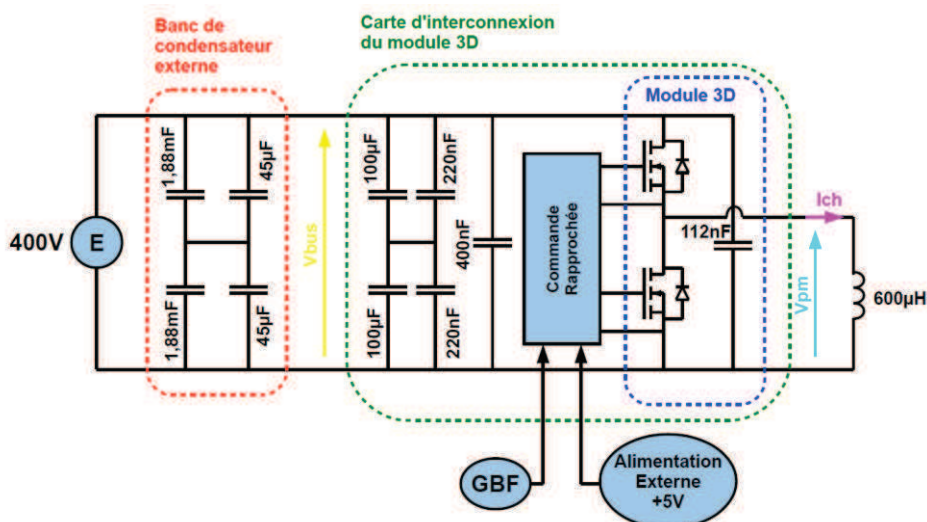


Figure 222: Schéma électrique du montage à double impulsion

Le module 3D avec ses condensateurs de découplage ( $112nF$  au total) est inséré dans une carte d'interconnexion. Celle-ci possède un bus capacitif monté avec un point milieu qui est composé de  $100\mu F$  de condensateur électrolytique  $450V$  et  $220nF$  de condensateur céramique  $600V$ . De plus,  $400nF$  de condensateurs céramiques  $1kV$  sont rajoutés entre  $+V_{bus}$  et  $-V_{bus}$ . Une carte de commande rapprochée génère les tensions grille – source entre  $+20V$  et  $-5V$  pour les interrupteurs high side et low side. Une résistance de grille de  $1,95\Omega$  (deux résistances  $3,9\Omega$  en parallèle, tolérance de  $1\%$ ) est utilisée. Le temps mort est fixé à  $400ns$ . Un banc de condensateur externe monté également avec un point milieu est rajouté entre la source de tension  $E$  et la carte d'interconnexion. Il est composé de  $1,88mF$  de condensateur électrolytique  $400V$  et  $45\mu F$  de condensateur film  $800V$ . La charge inductive est une inductance de  $600\mu H$ .

Le montage expérimental est présenté en Figure 223. Le module 3D est difficilement visible sur la photographie car il est pris en sandwich entre ses deux refroidisseurs à eau puis clampé mécaniquement grâce à une pince. Les condensateurs du bus capacitif de la carte d'interconnexion se situent sur la face arrière de la carte et ne sont donc pas visible sur cette image.



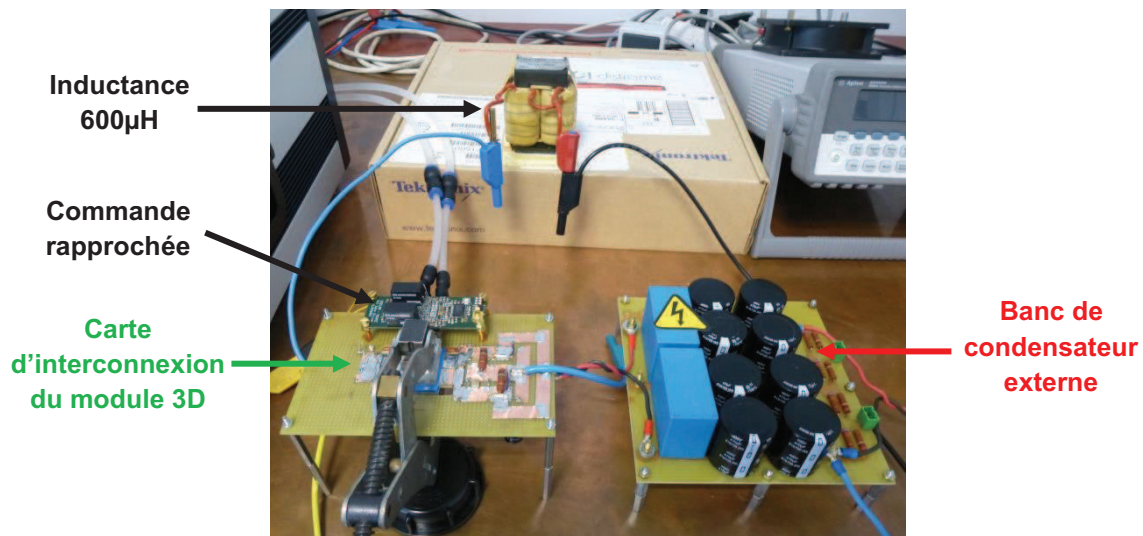


Figure 223: banc expérimental de caractérisation à double impulsion du module 3D

Dans les différents oscillogrammes qui suivent, nous nous sommes intéressés à la tension du bus continu ( $V_{bus}$  en jaune), à la tension du point milieu de sortie ( $V_{pm}$  en turquoise) et au courant de charge traversant l'inductance ( $I_{ch}$  en violet). Aucun capteur de courant n'a pu être inséré dans la cellule de commutation 3D étant donné son degré d'intégration. L'oscilloscope Tektonix MSO5204 avec une bande passante de 2GHz est utilisé. En basse tension (100V) les mesures de tension sont effectuées avec des sondes TPP1000 de tension maximale 300V et de bande passante 1GHz. En haute tension (400V), seule la tension du point milieu de sortie est mesurée grâce à la sonde TPP0850 de tension maximale 1000V et de bande passante 800MHz. La mesure du courant de charge est réalisée grâce à la sonde T CPA300 en mode DC avec un rapport 10A/V qui possède une bande passante de 100MHz.

Deux essais à double impulsion sont menés : le premier avec une tension de bus de 100V et un courant de charge de 10A, le second avec une tension de bus de 400V et un courant de charge de 20A.

- **Test à 100V 10A**

Le test à 100V doit nous permettre de visualiser davantage d'oscillations sur la tension du point milieu de sortie grâce à la résonance entre la capacité  $C_{oss}$  de l'interrupteur low side et l'inductance de la maille de commutation. En effet, la capacité  $C_{oss}$  est fortement non linéaire en fonction de la tension drain source. Dans notre cas, en s'appuyant sur les données du constructeur et de l'estimation de la capacité additionnelle du module, la valeur de  $C_{oss}$  pour une tension de 100V est de 883pF ( $C_{ds-package} + 4 \times C_{oss@100V} = 150pF + 4 \times 183.3pF$ ). A partir de la fréquence des oscillations et du circuit LC équivalent, nous pouvons en déduire une estimation de l'inductance de la maille de commutation.

Une vue générale du test à double impulsion est présenté en Figure 224. Les références des formes d'onde ( $V_{bus}$ ,  $V_{pm}$  et  $I_{ch}$ ) sont décalées pour faciliter la visualisation. Les deux évènements intéressants sont le front descendant et le front montant de la tension  $V_{pm}$  lorsque le courant de charge est atteint. Il s'agit respectivement de la fermeture et de l'ouverture de l'interrupteur low side qui fonctionne en mode redressement synchrone.

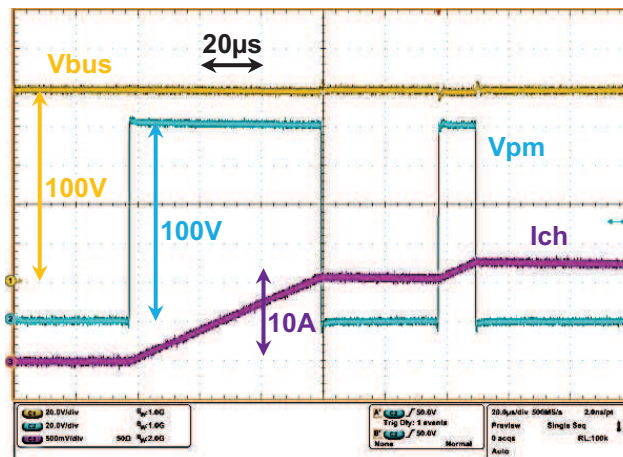


Figure 224: Vue générale de la caractérisation dynamique à 100V - 10A

Les figures suivantes présentent des zooms sur les commutations à l'ouverture (Figure 225) et à la fermeture (Figure 226).

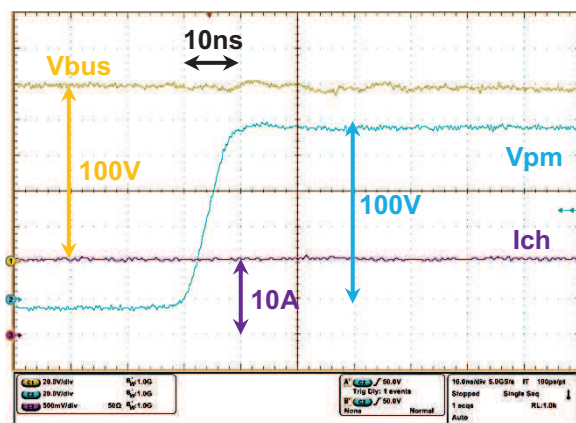


Figure 225: zoom sur le front montant de la tension du point milieu

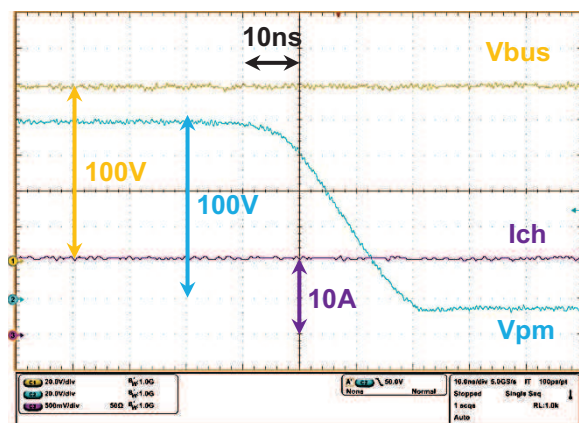


Figure 226: zoom sur le front descendant de la tension du pont milieu

A l'ouverture, aucune surtension ni oscillation n'est visible. Le temps de montée est de 10ns pour atteindre 100V. Malgré le fonctionnement à basse tension, il est impossible de déterminer l'inductance de la maille de commutation. Nous verrons dans le paragraphe III.4.2 que cette méthode est applicable à un module plan. A la fermeture, aucune oscillation n'est également visible. Le temps de descente est de 30ns pour 100V.

- **Test à 400V 20A**

Un nouveau test est réalisé sous une tension de bus continu de 400V avec un courant de charge fixé à 20A. Nous n'avons pas souhaité monter à une tension plus élevée pour éviter de dégrader la cellule de commutation 3D. Une vue générale du test à double impulsion est présenté en Figure 227. La tension de sortie du point milieu ( $V_{pm}$ ) est seulement représentée car nous ne disposons pas d'une deuxième sonde de mesure en haute tension.

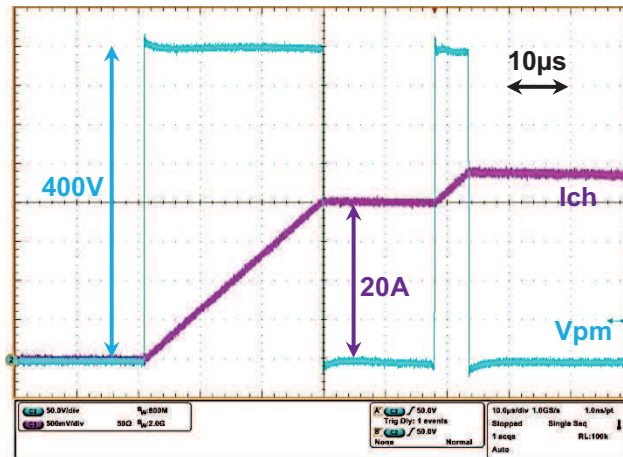


Figure 227: vue générale de la caractérisation dynamique à 400V – 20A du module 3D

Les figures suivantes présentent des zooms sur les commutations à l'ouverture (Figure 228) et à la fermeture (Figure 229).

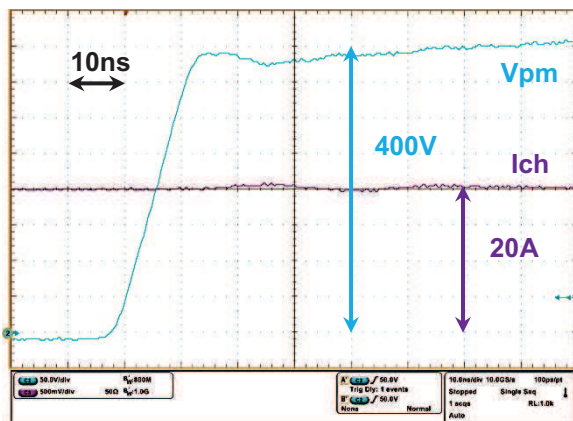


Figure 228: zoom sur le front montant de la tension du point milieu

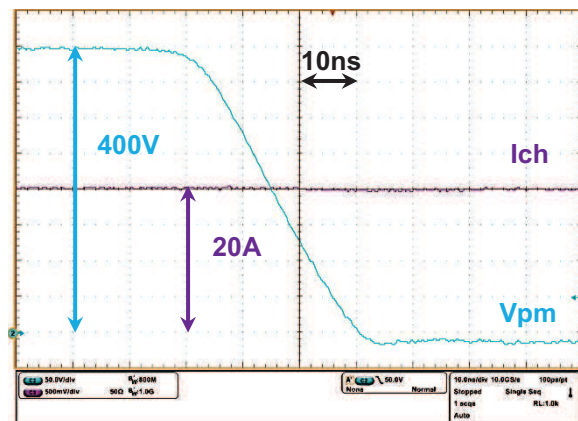


Figure 229: zoom sur le front descendant de la tension du point milieu

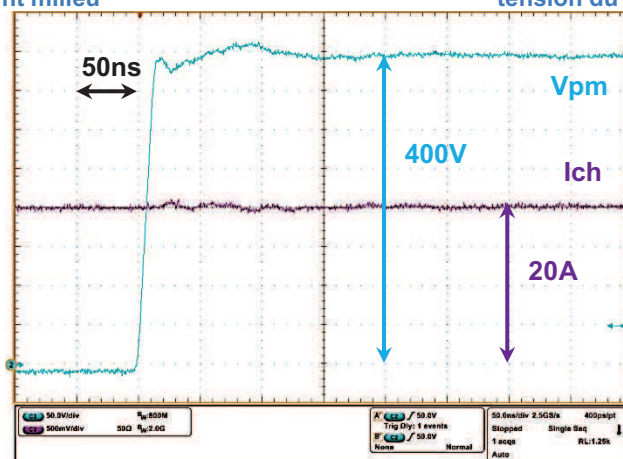


Figure 230: Oscillation basse fréquence lors du front montant de la tension du point milieu

A l'ouverture, aucune surtension n'est visible. Le temps de montée est de 15ns pour 400V soit une variation de tension de près de 27V/ns. On aperçoit un léger creux de tension juste après le front de montée. En réduisant l'échelle (Figure 230), une pseudo-oscillation semble visible et entraîne une légère surtension quelques dizaines de nanosecondes après le front de tension. Ce phénomène est difficilement explicable et pourrait être causé par une

résonance avec le bus capacitif. A la fermeture (Figure 229), aucune oscillation n'est visible. Le temps de descente est de 30ns pour 400V.

- **Remarque sur le circuit de commande rapproché**

Le circuit de commande rapproché est crucial pour obtenir une commutation rapide. Dans ce projet, un circuit classique est réalisé permettant de commander une cellule de commutation de MOSFET SiC avec une tension grille source entre +20V et -5V. La carte de commande rapprochée est présentée en Figure 231. Le schéma électrique complet du circuit de commande rapproché est disponible en Annexe 3.

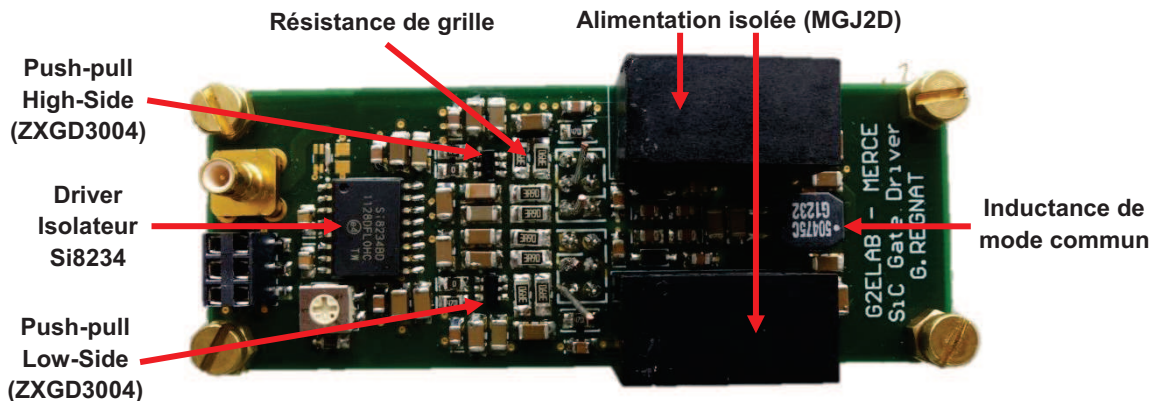


Figure 231: Commande rapprochée classique pour MOSFET SiC

L'oscillogramme de la Figure 232 montre les deux signaux de grille (Vgs High Side et Vgs Low Side) avec le temps mort de 400ns. Le circuit de commande rapproché est monté sur le module plan, présenté dans le prochain paragraphe, qui possède la même charge de grille que le module 3D (4nF).

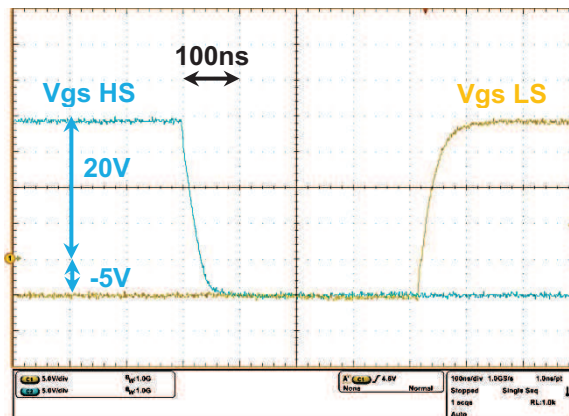


Figure 232: Tension grille source high side (bleu) et low side (jaune)

En zoomant sur les transitions de Vgs High Side, le temps de montée s'établit à 60ns (Figure 233) et le temps de descente à 60ns (Figure 234). Ces temps de transition paraissent longs et on peut se questionner de leurs influences sur les variations de tension drain source.



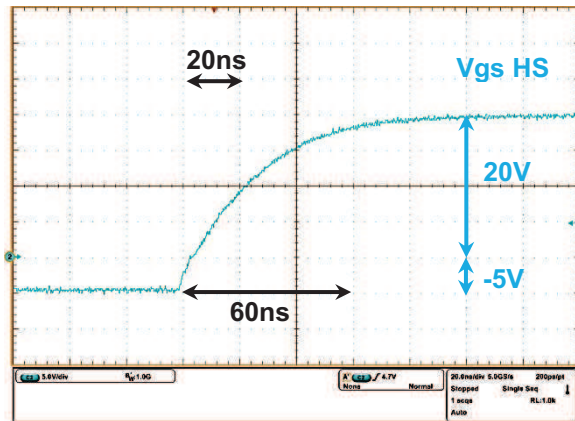


Figure 233: Front montant de la tension de grille high side

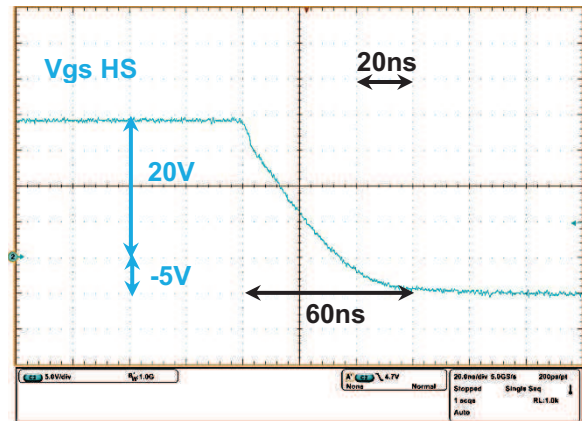
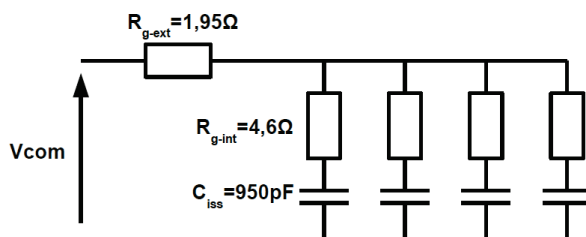


Figure 234: front descendant de la tension de grille high side

Le modèle équivalent simplifié d'un circuit de grille est présenté en Figure 235. La commande rapprochée possède une résistance de grille notée  $R_{g-ext}$ . Le module de puissance a quatre MOSFET SiC en parallèle qui possèdent chacun une résistance de grille interne notée  $R_{g-int}$  de  $4,6\Omega$ . La résistance interne de l'étage push-pull de la commande rapprochée est négligée. Le temps de montée peut alors être calculé simplement par l'équation (48). Avec une résistance de grille externe de  $1,95\Omega$ , le temps de transition est de  $59ns$ . Cela correspond bien avec les mesures effectuées précédemment. En diminuant la résistance de grille externe à  $0\Omega$ , le temps de transition n'est plus que de  $22ns$ .



$$t_r \approx t_f \approx 5\tau = 5 \left( R_{g-ext} + \frac{R_{g-int}}{4} \right) (4C_{iss}) \quad (48)$$

Figure 235: Modèle équivalent simplifié du circuit de grille

Avec la résistance de grille externe de  $1,95\Omega$ , le temps de transition est multiplié par 3 par rapport au cas la plus rapide. Cependant, étant donnée la connexion entre le circuit de commande rapprochée et le module de puissance, nous avons préféré augmenter la résistance de grille externe à  $1,95\Omega$  afin de ralentir légèrement la commutation et ainsi éviter les surtensions sur la grille.

- **Conclusion partielle de l'étude dynamique de la cellule de commutation 3D**

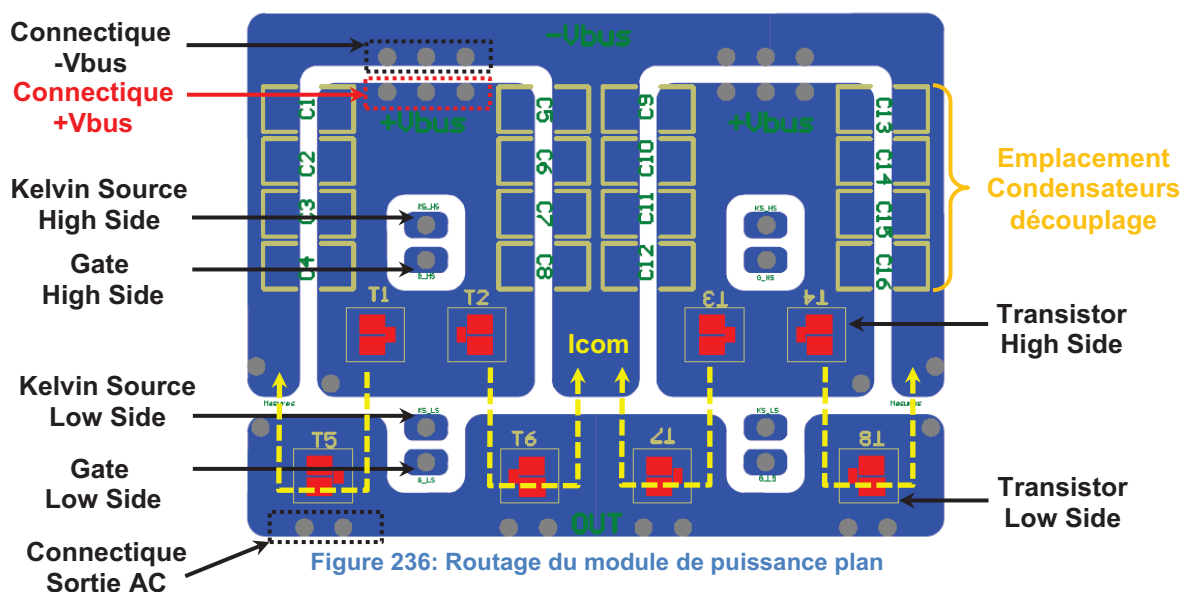
L'étude dynamique du module 3D nous a montré un très bon comportement de la cellule de commutation sans surtensions ni oscillations observables sur la tension de sortie du point milieu. Il est impossible d'estimer l'inductance de la maille de commutation à partir des formes d'onde précédentes. Pour aller plus loin, nous allons maintenant comparer la cellule de commutation 3D avec un module plan de fabrication plus standard.

### III.4.Comparaison module plan – module 3D

Une comparaison avec un module plan de construction standard s'avère intéressante pour qualifier les performances du module 3D avec un procédé PCB. La construction du module 3D permet d'enfouir le point milieu flottant entre les plans positif et négatif du bus continu. La capacité de mode commun du point milieu interne du module est donc théoriquement fortement réduite. Le but de cette partie est de présenter une comparaison des deux modules d'un point de vue CEM et ainsi de valider expérimentalement un des intérêts du concept Power Chip On Chip.

#### III.4.1.Présentation du module plan

Le module plan est basé sur un substrat DBC en nitrure d'aluminium (AlN). L'épaisseur de la couche de cuivre est de 200 $\mu$ m et celle de la couche d'AlN est de 1mm. Les mêmes puces MOSFET SiC sont utilisées que dans le module 3D. Le module comporte également quatre cellules de commutation en parallèle. Le routage du module a été particulièrement soigné pour obtenir de bonnes performances électriques. Il est présenté en Figure 236.



Les condensateurs de découplage sont soudés directement dans le module de puissance, au plus proche des quatre cellules de commutation. Les cellules de commutation (cellule 1 : T1-T5, cellule 2 : T2-T6, cellule 3 : T3-T7, cellule 4 : T4-T8) sont disposées de manière symétriques avec un espacement minimum qui respecte les règles de conception des substrats DBC en AlN. Les flèches jaunes en pointillés correspondent au chemin du courant lors des commutations (noté Icom). On peut remarquer que les chemins sont alternés d'une cellule de commutation à l'autre. Des connecteurs spécifiques sont dédiés à la grille et à une kelvin source. Deux circuits de grille existent pour les transistors high side (respectivement low side) ; un premier pour T1 et T2 (respectivement T5 et T6), un second pour T3 et T4 (respectivement T7 et T8). Ils sont connectés ensemble au circuit de commande rapproché grâce à une carte d'interconnexion de puissance. Le même type de connectique est utilisé pour le circuit de puissance. Les pins de connexion +Vbus et -Vbus sont disposés face à



face, à la manière d'un bus bar. Des fils de bonding en aluminium de 150 $\mu$ m de diamètre sont utilisés pour l'interconnexion de la face avant des puces.

Les plans +Vbus et -Vbus ont été créés en égalisant au maximum les deux surfaces afin d'obtenir une valeur de capacité parasite proche. Le but étant d'éviter des couplages entre mode différentiel et mode commun. Le Tableau 16 présente une estimation des capacités parasites de mode commun du module plan en considérant une épaisseur de céramique de 1mm, une permittivité relative de l'AlN de 9 (à 1MHz) et en utilisant un modèle de condensateur plan.

| Plan  | Surface (mm <sup>2</sup> ) | Capacité parasite de mode commun (pF) |
|-------|----------------------------|---------------------------------------|
| -Vbus | 329                        | 26,2                                  |
| +Vbus | 400,5                      | 31,2                                  |
| OUT   | 239,5                      | 19,1                                  |

Tableau 16: Estimation des capacités parasites de mode commun du module plan

La réalisation et l'assemblage du module plan ont été confiés à la société Deep Concept qui utilise les outils de la plate-forme technologique PRIMES à Tarbes. Le module possède cinq condensateurs de découplage de 4,7nF en parallèle sur chaque cellule de commutation, soit un total de 94nF pour le module (Figure 237). Cette configuration est similaire au module 3D qui possède 112nF de condensateur de découplage. La dimension du DBC est de 35mm x 45mm. Il est soudé sur une semelle en cuivre de 3mm d'épaisseur de dimension 55mm x 80mm. Un gel diélectrique est ajouté à l'aide d'un moule collé sur la semelle de cuivre.

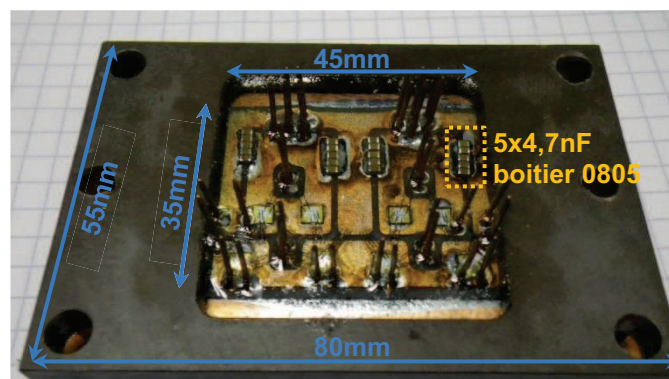


Figure 237: Module plan avec condensateur de découplage de 94nF (20x4,7nF)

Le module de puissance plan est assemblé sur un refroidisseur à air forcé de résistance thermique 0.4°C/W (LAM510024 de Fischer Elektronik). Une carte d'interconnexion de puissance permet de connecter les différents pins de puissance et de commande avec la carte de commande rapprochée et un bus capacitif de même conception que celui présenté pour le module 3D. La Figure 238 présente l'assemblage de tous les éléments. Bien évidemment, la même carte de commande rapprochée est utilisée avec une résistance de grille de 1,95 $\Omega$ .

Il est important de noter que ce module plan est particulièrement optimisé d'un point de vue CEM. Les pistes de cuivre du DBC sont réduites au maximum, ce qui n'est pas optimal pour l'épanouissement de la chaleur et la fiabilité du module. Un module standard de facture industrielle aurait nécessairement de plus grandes capacités de mode commun.

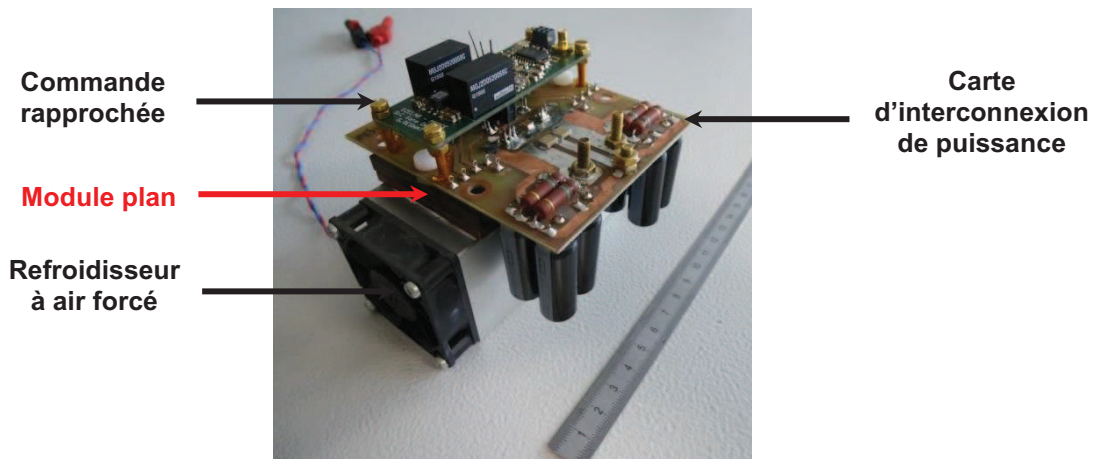


Figure 238: Assemblage du module plan avec le refroidisseur à air forcé et le circuit de commande rapproché

Après avoir présenté le module de puissance plan, des caractérisations électriques dynamiques sont conduites afin d'être comparées avec celles du module de puissance 3D.

### III.4.2.Comparaison électrique dynamique

Le même circuit de caractérisation à double impulsion est utilisé (Figure 239). Il est composé du module plan, avec 94nF de condensateur de découplage, monté sur son refroidisseur et connecté au circuit de commande rapproché et à sa carte d'interconnexion de puissance. Le même banc de condensateur externe ainsi que la même inductance de sortie sont utilisés.

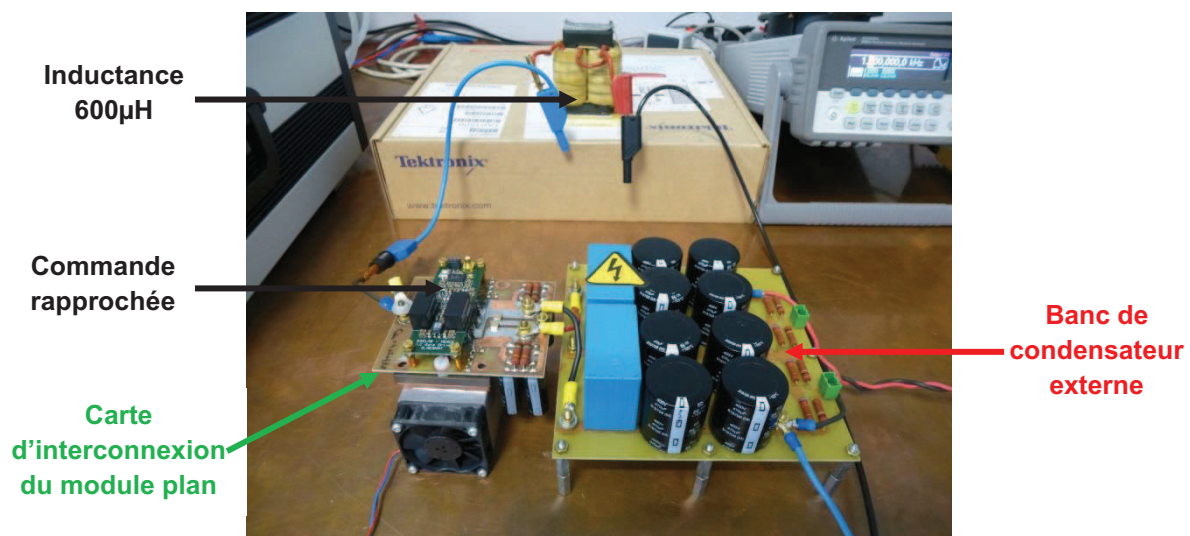


Figure 239: Banc expérimental de caractérisation électrique dynamique du module plan

Un premier test sous 100V 10A est mené afin d'estimer l'inductance parasite de la maille de commutation. Le second test sous 400V 20A permet de comparer les deux technologies de modules. Les mêmes tensions et courant sont mesurés avec les sondes décrites précédemment.

- **Test à 100V 10A**

Une vue générale de la caractérisation dynamique à 100V 10A pour le module plan est présentée en Figure 240. Les courbes tracées correspondent à la tension du bus continu ( $V_{bus}$  en jaune), la tension du point milieu de sortie ( $V_{pm}$  en turquoise) et le courant de

charge (I<sub>ch</sub> en violet). Aucune surtension notable n'est visible sur la tension de sortie du point milieu.

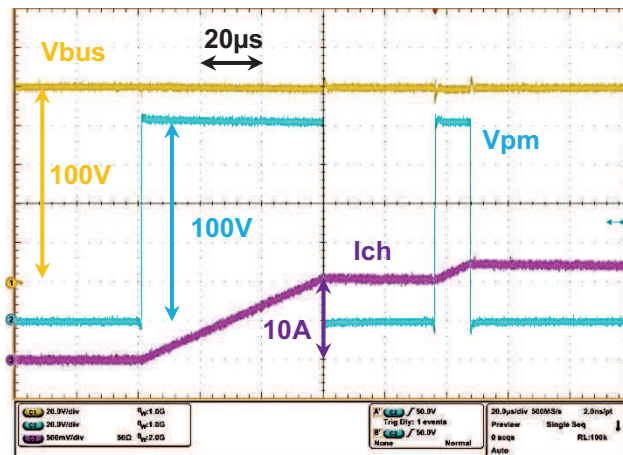


Figure 240: Vue générale de la caractérisation dynamique à 100V 10A

Des agrandissements sont présentés au niveau du front montant (Figure 241) et du front descendant (Figure 242) de la tension du point milieu de sortie. Des oscillations sont observables à la fermeture du MOSFET low side. A partir de la Figure 243, la fréquence des oscillations est estimée à 130MHz.

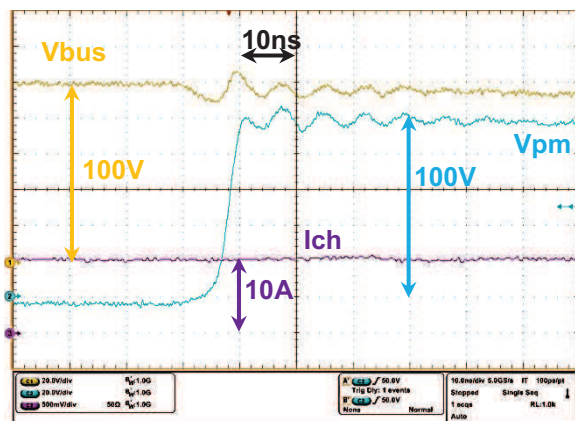


Figure 241: Zoom sur le front montant de la tension du point milieu

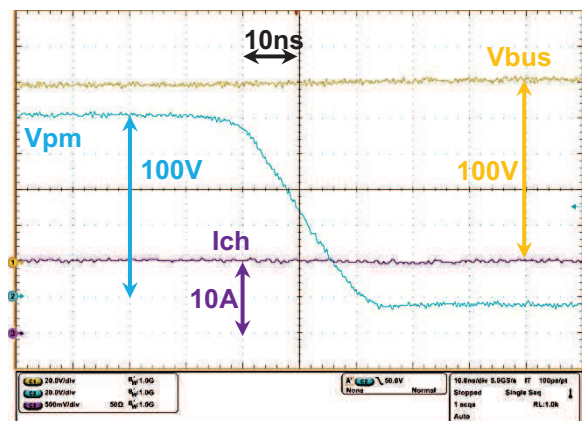


Figure 242: Zoom sur le front descendant de la tension du point milieu

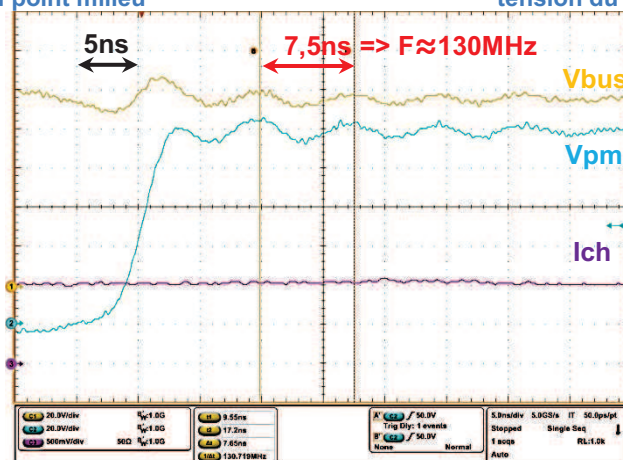


Figure 243: Estimation de la fréquence des oscillations

Les oscillations sont créées par la résonance entre l'inductance de la maille de commutation et la capacité C<sub>oss</sub> des interrupteurs low side. La capacité C<sub>oss</sub> à 100V des quatre

composants en parallèle est estimée à 732pF (4x183pF) grâce aux données techniques du MOSFET SiC (Figure 244).

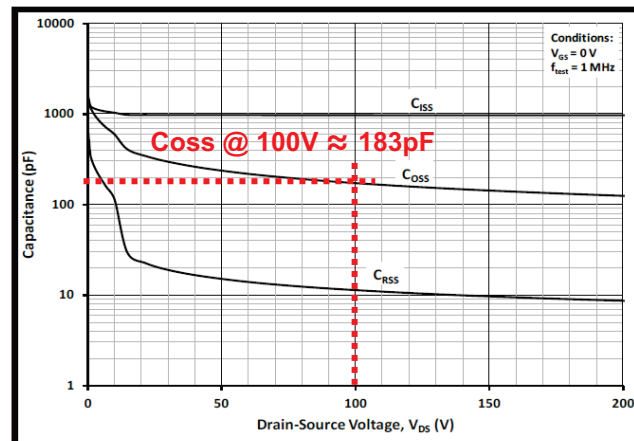


Figure 244: Variation des capacités avec la tension drain-source du MOSFET SiC CPM2-1200-0080B

A partir de l'équation de la fréquence de résonance d'un circuit LC série et de la fréquence des oscillations (130MHz), l'inductance de la maille de commutation est égale à 2nH.

Le module plan est donc très peu inductif grâce notamment à l'intégration des condensateurs de découplage au plus proche de la maille de commutation. On peut également noter que paralléliser plusieurs cellules de commutation permet de diminuer l'inductance globale du module car les inductances de chaque cellule de commutation se retrouvent en parallèle. Dans notre cas, nous disposons de quatre cellules de commutation, ce qui conduit à une inductance pour une cellule de commutation de 8nH.

- **Test à 400V 20A**

Une caractérisation dynamique à double impulsion est réalisée avec le module plan sous une tension de bus continu de 400V et un courant de charge de 20A. Une vue générale est présentée en Figure 245.

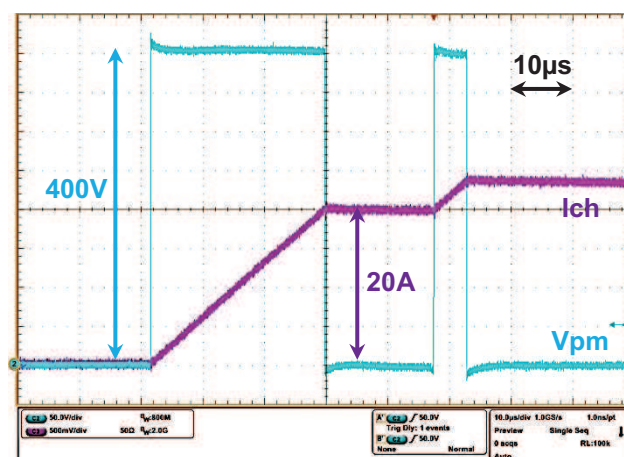


Figure 245: Vue générale de la caractérisation dynamique à 400V – 20A du module plan

Des agrandissements au niveau du front montant et du front descendant de la tension du point milieu de sortie sont réalisés en Figure 246 et Figure 247.



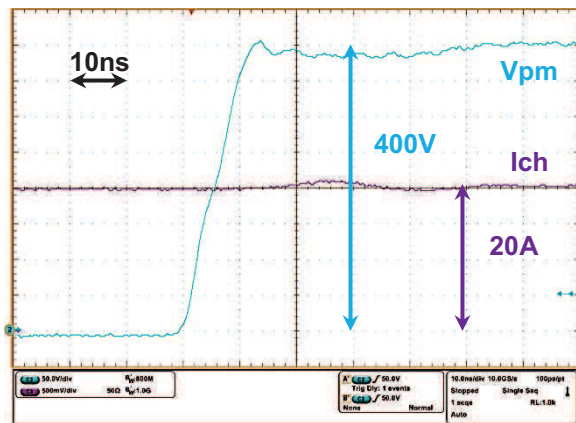


Figure 246: Zoom sur le front montant de la tension du point milieu

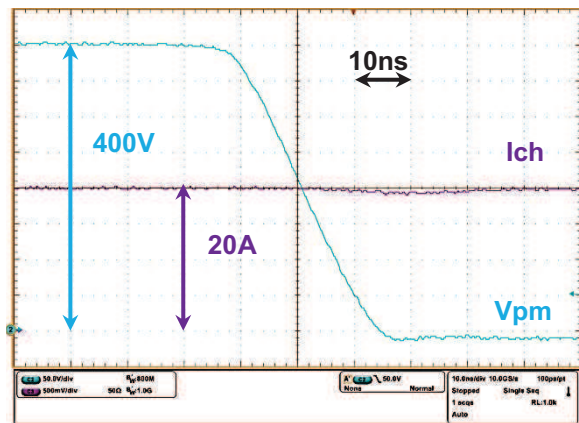


Figure 247: Zoom sur le front descendant de la tension du point milieu

La tension du point milieu est très propre, sans oscillations significatives. La surtension au niveau du front montant est quasi inexistante. On retrouve le même phénomène de creux de tension que dans le cas du module 3D.

Une comparaison du front montant de la tension du point milieu de sortie pour le module plan et le module 3D est présentée en Figure 248. Le niveau de déclenchement de l'oscilloscope est réglé à 50V pour les deux courbes, ce qui explique le croisement des deux courbes à ce niveau.

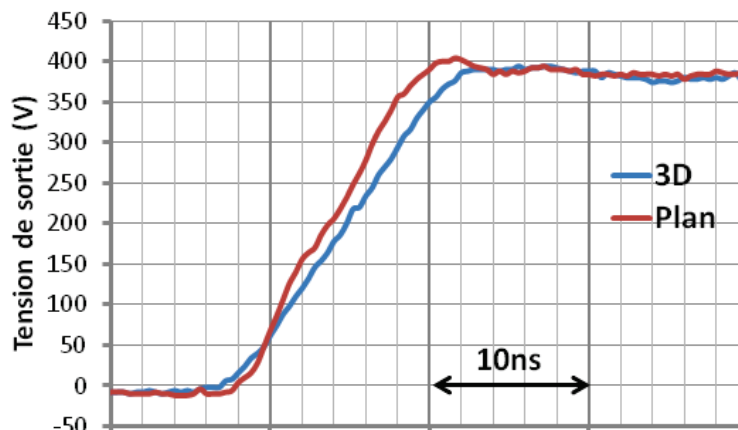


Figure 248: Comparaison du front montant de la tension du point milieu de sortie pour le module 3D (courbe bleue) et le module plan (courbe rouge)

Le temps de montée de la tension de sortie du module plan est de 12ns tandis que dans le cas du module 3D, il est de 14ns. Les variations de tension sont donc de 33V/ns pour le module plan et 29V/ns pour le module 3D. Le module 3D est légèrement plus lent que le module plan. Ce phénomène peut être lié au comportement davantage capacitif du module 3D.

- **Conclusion partielle de la comparaison électrique dynamique**

La caractérisation électrique dynamique a mis en avant le très bon comportement électrique des deux types de module. Nous n'avons pu observer seulement la tension du point milieu de sortie car il était impossible d'insérer un capteur de courant au sein de la cellule de commutation. Pour le module 3D et le module plan, la surtension inductive est extrêmement réduite. Il a été possible d'estimer l'inductance de la maille de commutation dans le cas du

module plan avec une valeur de 2nH. Cela n'a pas été possible dans le cas du module 3D car aucune oscillation n'est visible même à faible tension de bus continu. Cependant, on peut conjecturer une inductance de la maille de commutation inférieure à 2nH.

Grâce à un routage soigné et à l'intégration des condensateurs de découplage, un module plan peut être peu inductif et donc bien adapté pour des composants rapides comme les MOSFET SiC. Le module 3D a prouvé son comportement peu inductif mais il faudrait travailler sur les techniques de mesure pour estimer l'inductance de la maille de commutation. On peut regretter de ne pas avoir réalisé des tests à tension plus élevée (limite de courant de fuite du module 3D) et à résistance de grille nulle (problème d'interconnexion du circuit de commande rapproché du module 3D). Le développement futur d'un prototype avec une meilleure intégration mécanique et possédant des puces adaptées (métallisation en cuivre) devrait permettre de valider le module 3D à tension élevée (800V) et à vitesse maximale.

Nous allons maintenant pouvoir caractériser les deux modules d'un point de vue CEM. En effet, un des intérêts du module PCOC est la réduction de la capacité de mode commun du point flottant de la cellule de commutation et donc la diminution des courants de mode commun.

### III.4.3.Comparaison CEM

Un module d'électronique de puissance génère des perturbations électromagnétiques au travers des capacités parasites de mode commun. Les capacités parasites sont réalisées physiquement entre les pistes du module, un matériau diélectrique (généralement la céramique du DBC) et le refroidisseur relié à la terre. Le schéma de la Figure 249 présente l'emplacement des capacités de mode commun au sein d'une cellule de commutation. La capacité  $C_s$ , entre le point milieu de sortie et la terre, génère des courants de mode commun dues aux fortes variations de tension de sortie. Les capacités  $C_+$  et  $C_-$  sont moins critiques car les potentiels +DC bus et -DC bus sont relativement stables grâce aux condensateurs du bus continu. Les capacités  $C_+$  et  $C_-$  peuvent être considérées comme partie intégrante d'un filtre de mode commun car ils permettent de reboucler une partie des courants parasites générés par la capacité  $C_s$ .

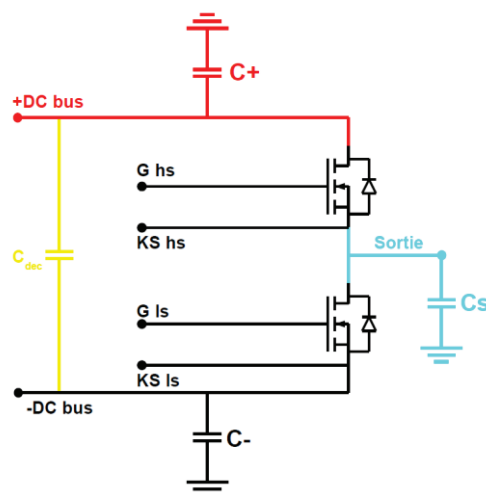


Figure 249: Capacités parasites de mode commun d'un module de puissance



A partir des caractéristiques géométriques des modules et des caractéristiques des matériaux diélectriques employés, il est possible d'estimer théoriquement la valeur des capacités parasites. La formule de capacité d'un condensateur plan est utilisée. La comparaison est effectuée dans le Tableau 17 pour le module plan et le module 3D.

|                               | Module Plan | Module 3D     |
|-------------------------------|-------------|---------------|
| Type de diélectrique          | AlN         | SILPAD 1500ST |
| Permittivité relative (1MHz)  | 9           | 6,1           |
| Epaisseur (mm)                | 1           | 0,203         |
| Surface C+ (mm <sup>2</sup> ) | 400,5       | 900           |
| Capacité C+ (pF)              | <b>31,9</b> | <b>239</b>    |
| Surface C- (mm <sup>2</sup> ) | 329         | 900           |
| Capacité C- (pF)              | <b>26,2</b> | <b>239</b>    |
| Surface Cs (mm)               | 239,5       | 0             |
| Capacité Cs (pF)              | <b>19,1</b> | <b>0</b>      |

Tableau 17: Comparaison des valeurs de capacités de mode commun des modules plan et 3D

La capacité Cs du module plan est de seulement 19pF. En effet, la piste du point milieu de sortie est sensiblement réduite et une céramique de 1mm d'épaisseur est utilisée. Les DBC à base de céramique Al<sub>2</sub>O<sub>3</sub> ont une épaisseur standard plus faible (0.38mm ou 0.63mm) avec une permittivité relative plus élevée (9.8 @ 1MHz), ce qui aurait tendance à augmenter les capacités parasites. Le module 3D a une capacité Cs théoriquement nulle grâce à l'écran électrostatique créé par le plan +DC bus et -DC bus. La capacité Cs ne peut donc venir que de la connectique externe au module.

Les capacités C+ et C- sont de l'ordre de 30pF pour le module plan et près de 8 fois plus grande pour le module 3D. En effet, la surface mise en jeu avec le module 3D correspond à une face entière de module (30mm x 30mm) et l'épaisseur du matériau diélectrique est réduite (0.2mm au lieu de 1mm). Le module 3D a donc un avantage supplémentaire pour reboucler une proportion plus importante des courants de mode commun.

Pour valider expérimentalement l'avantage CEM du module 3D par rapport au module plan, nous allons réaliser un test à vide. Cette expérience nous permettra de mesurer le spectre du courant de mode commun du module seul, en nous affranchissant de l'influence de la charge. La gamme de fréquence qui nous intéresse est de 150kHz à 30MHz et correspond aux perturbations électromagnétiques conduites conformément aux normes en vigueur (CISPR11 ou EN55011).

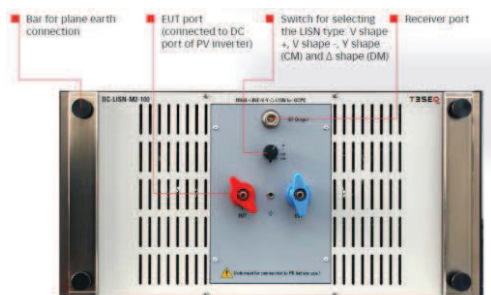


Figure 250: Vue de la face avant du RSIL DC-LISN-M2-100

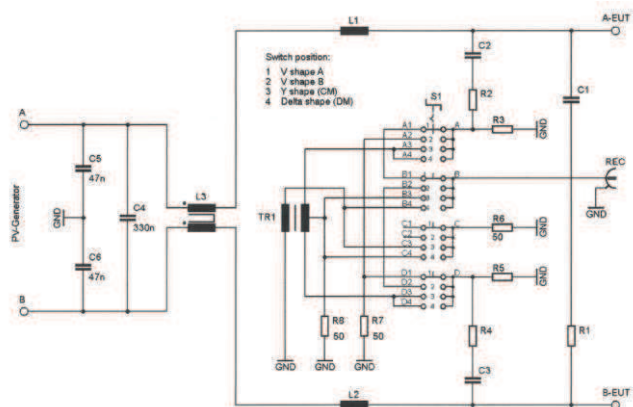


Figure 251: Schéma électrique du RSIL DC-LISN-M2-100

Le courant de mode commun est mesuré avec un Réseau Stabilisateur d'Impédance de Ligne (RSIL), qui permet d'isoler le montage sous tests des perturbations extérieures. Il s'agit du modèle DC-LISN-M2-100 de la société Teseq. Une image de l'appareil et le schéma électrique sont présentés en Figure 250 et Figure 251. Les valeurs des éléments ne sont pas indiquées par le constructeur mais sont choisies pour obtenir une impédance de mode différentiel et de mode commun fixes dans la gamme de fréquence choisie.

Le RSIL est conçu pour mesurer des perturbations sur un bus continu dans la gamme de fréquence 150kHz - 30MHz. Son impédance de mode différentiel est de 100Ω (Figure 252) tandis que son impédance de mode commun est de 150Ω (Figure 253).

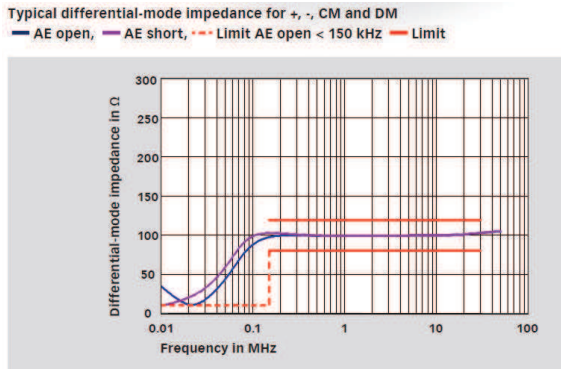


Figure 252: Impédance de mode différentiel du RSIL DC-LISN-M2-100

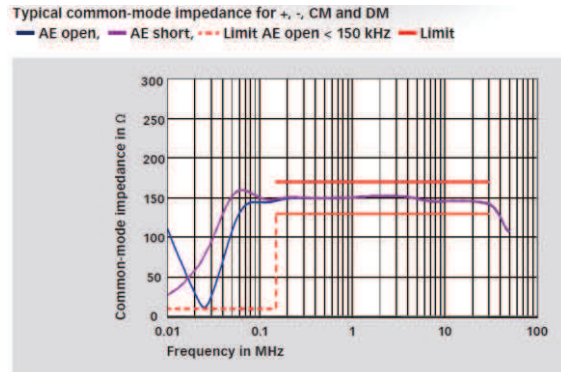


Figure 253: Impédance de mode commun du RSIL DC-LISN-M2-100

La sortie de mesure du RSIL est connectée à l'analyseur de spectre HP8560A qui assure une mesure entre 50Hz et 2.9GHz.

### III.4.3.1. Test à vide

Les deux modules sont comparés avec un test à vide. Deux résistances de 62kΩ connectent le point +Vbus au point milieu de sortie et le point -Vbus au point milieu de sortie. Le schéma électrique de principe du test est présenté en Figure 254.

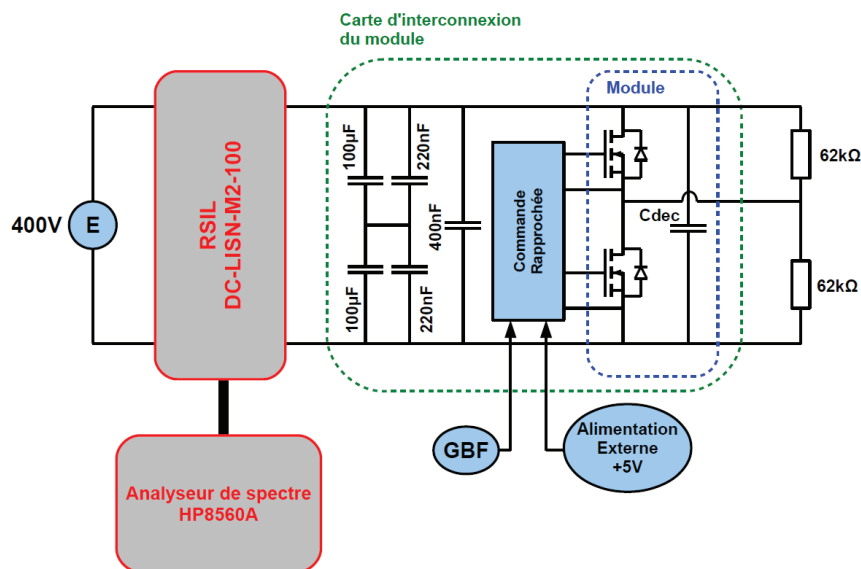


Figure 254: schéma électrique du test CEM à vide

Les deux modules sont testés sous la même configuration avec le même circuit de commande rapproché. L'interconnexion entre le RSIL et le module est réalisé par des câbles identiques. Le rapport cyclique de la commande est fixé à 0.5. La fréquence de commutation est fixée à 70kHz.

La tension de sortie est monitorée dans un premier temps pour mesurer les temps de montée et descente des deux modules. Les oscillogrammes du module 3D sont présentés en Figure 255 et Figure 256. Les oscillogrammes du module plan sont présentés en Figure 257 et Figure 258. Pour les deux modules, les temps de montée et descente sont identiques et valent 15ns.

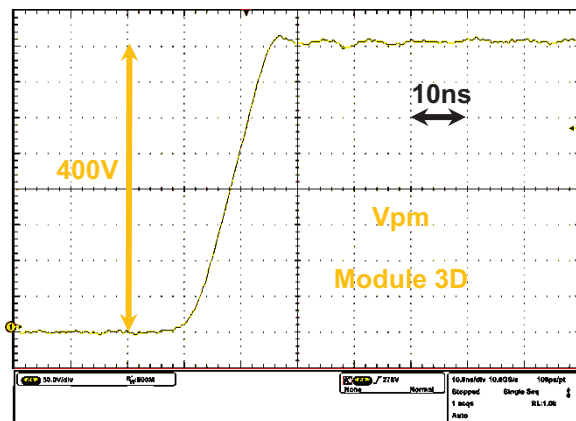


Figure 255: Front montant de la tension de sortie du point milieu du module 3D lors du test à vide

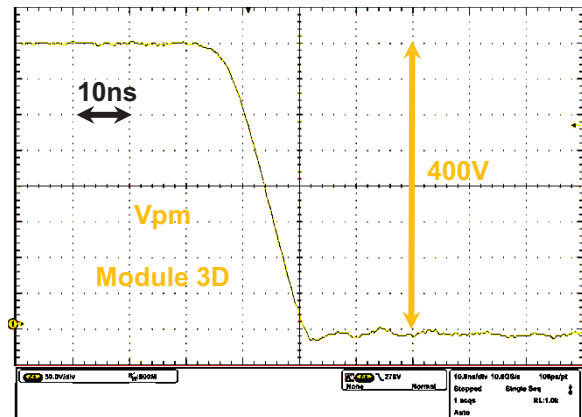


Figure 256: Front descendant de la tension de sortie du point milieu du module 3D lors du test à vide

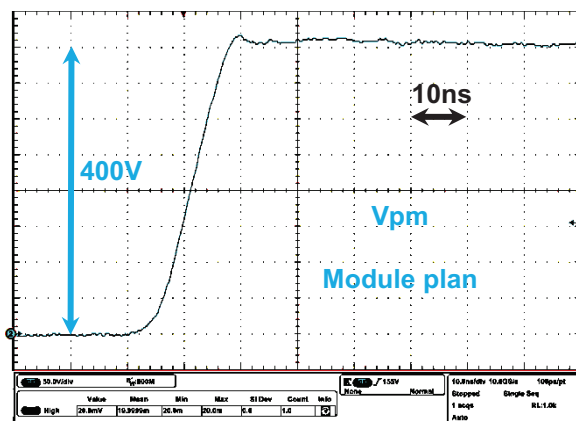


Figure 257: Front montant de la tension de sortie du point milieu du module plan lors du test à vide

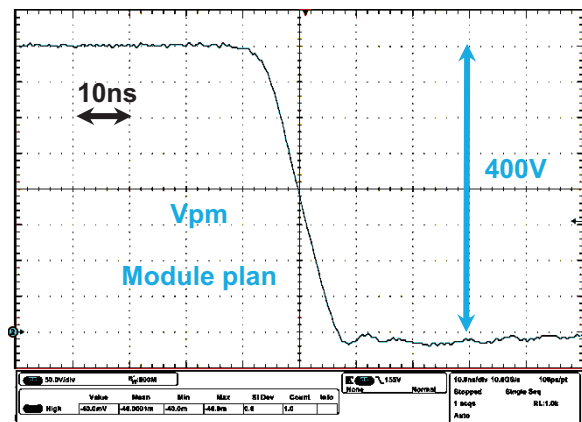


Figure 258: Front descendant de la tension de sortie du point milieu du module plan lors du test à vide

Après avoir retiré la sonde de tension, le spectre de la tension de mode commun est mesuré grâce au RSIL et à l'analyseur de spectre. La comparaison des spectres de mode commun des deux modules est présentée en Figure 259.

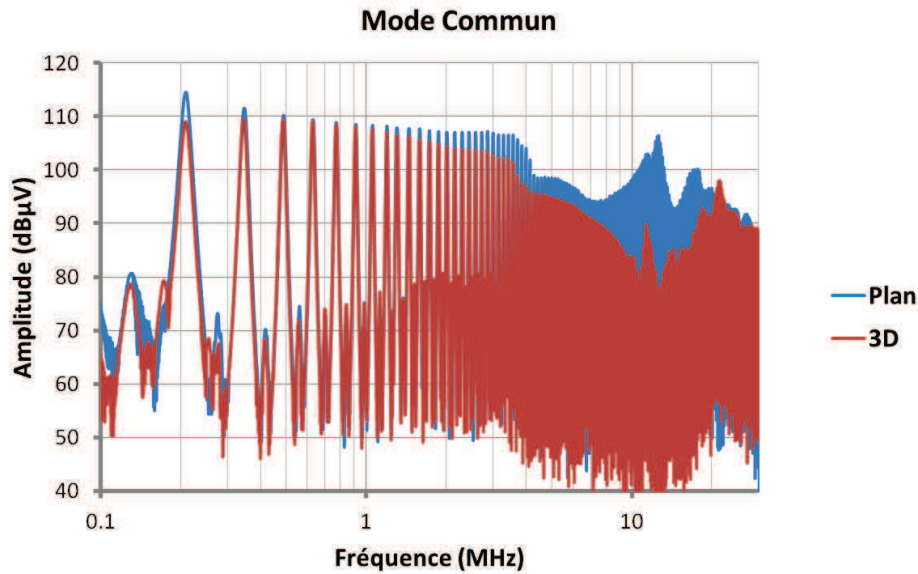


Figure 259: Comparaison des spectres de mode commun des modules 3D et plan à vide

Pour plus de clarté, l'enveloppe de chacun des spectres est tracée en Figure 260. Les deux courbes sont ensuite soustraites et la différence d'amplitude entre les deux modules est présentée en Figure 261.

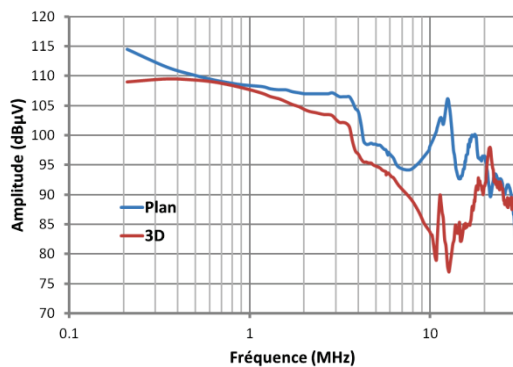


Figure 260: Enveloppe des spectres de mode commun du module 3D et du module plan

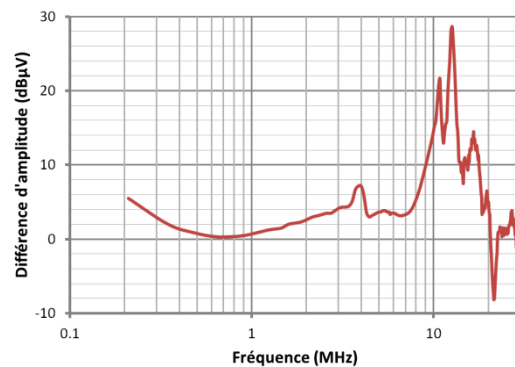


Figure 261: Différence d'amplitude entre le module plan et le module 3D

En basse fréquence, de 150kHz à 1MHz, les amplitudes des harmoniques des deux modules sont similaires, excepté pour l'harmonique 3 (210kHz), qui correspond également au premier harmonique dans la plage de la norme CEM des perturbations conduites (150kHz – 30MHz), dont l'amplitude est réduite de 6dB pour le module 3D. On peut souligner qu'une réduction de 6dB conduit à une réduction d'un facteur 2 du niveau des perturbations. Entre 1MHz et 20MHz, le module 3D permet de gagner entre 5dB et jusqu'à 15dB au niveau d'une résonance à 12MHz. Au-delà de 20MHz, les spectres de deux modules se rejoignent. Il est probable qu'en haute fréquence, l'influence des éléments parasites du montage (câbles, carte d'interconnexion) devient prépondérante et masque le comportement du module en lui-même.

L'assemblage de type PCOC permet donc bien de réduire l'impact CEM en mode commun d'un module de puissance.

### **III.4.3.2. Conclusion partielle de l'étude CEM**

Cette première étude CEM d'un module 3D basé sur le concept PCOC valide bien la réduction du mode commun par rapport à un module plan. La configuration du module 3D présenté ici permet non seulement de confiner le point flottant au cœur du module mais également d'augmenter les capacités C+ et C- qui permettent ainsi de recycler les perturbations à l'intérieure du module.

Il serait intéressant de mener de nouvelles études CEM avec un système complet (onduleur et charge) afin de quantifier l'influence de la charge sur le spectre. On peut remarquer que la capacité parasite du point flottant du module plan est réduite (seulement 20pF) grâce à l'utilisation d'une céramique épaisse. Il est possible que la charge et surtout les câbles de connexion soient une plus grande source de perturbation que le module en lui-même.

### III.5. Conclusion de l'étude expérimentale

L'étude expérimentale du module de puissance a été conduite en partant du procédé de fabrication PCB jusqu'à la caractérisation électrique du module 3D. Une comparaison électrique et CEM avec un module plan de construction classique a également été menée.

Le procédé d'encapsulation d'une puce au sein d'un circuit imprimé sort du procédé de fabrication classique. Avec quelques adaptations, des puces nues peuvent être intégrées. Les résultats des différentes coupes métallographiques ont montré la limite des métallisations classiques utilisés pour les puces d'électronique de puissance. Notamment, la métallisation en aluminium n'est plus adaptée au processus de création de micro-via en cuivre. Une métallisation des deux faces entièrement en cuivre semble préférable. On peut également noter que la face arrière des puces métallisées en Nickel semble bien résister au procédé et une métallisation Nickel-Palladium pourrait être une alternative aux métallisations en cuivre. De futurs travaux sont nécessaires afin de valider la métallisation la plus adaptée. Un autre facteur limitant du procédé PCB pour une application en électronique de puissance est l'épaisseur des couches de cuivre. Nous avons été limité à une épaisseur maximale de 70 $\mu$ m. Le procédé d'électrodéposition de cuivre doit également être développé afin d'augmenter les vitesses de déposition et assurer une planéité satisfaisante pour une application industrielle. Une épaisseur de 400 $\mu$ m à 500 $\mu$ m serait un bon compromis pour la gestion thermique du module.

Un demi-module à base de MOSFET SiC avec des métallisations classiques a été fabriqué puis caractérisé électriquement. La caractérisation statique a prouvé l'interconnexion des puces avec le module mais avec une dégradation de la résistance à l'état passant du module. Cette dégradation est attribuée à une résistance de contact additionnelle à l'interface entre la puce et les micro-vias. Cependant, il est important de noter que tous les modules testés ont le même comportement, ce qui est un bon point pour le procédé de fabrication. La tenue en tension des modules a également été testée. Le courant de fuite des modules a sensiblement augmenté et certains modules ont une tension de claquage largement inférieure aux limites des puces utilisées. Encore une fois, la dégradation des métallisations est mise en cause. Il est également possible que la puce soit dégradée en elle-même.

Un module 3D a été assemblé en collant deux demi-modules ensemble. Cette solution est provisoire, en attendant la réalisation du module complet final, mais nous a permis de valider électriquement la cellule de commutation 3D. La caractérisation dynamique en double pulse sous une tension de bus de 400V et un courant de charge de 20A a montré l'excellent comportement du module. Aucune surtension ni oscillation n'ont été observées. Le module est donc très faiblement inductif, conformément aux simulations électromagnétiques menées dans le chapitre 2. Cependant, aucune mesure n'a pu être réalisée pour extraire la valeur de l'inductance de la maille de commutation.

Une comparaison avec un module plan de conception classique a été réalisée. Le module possède les mêmes puces MOSFET SiC. Son routage a été particulièrement soigné et des condensateurs de découplage ont été soudés au plus proche des cellules de commutation. Les résultats du test en double pulse ont montré un excellent comportement électrique. Un test en basse tension a permis d'estimer l'inductance de la maille de commutation à seulement 2nH. Il est donc possible de réaliser d'excellents modules à partir d'un



assemblage classique. Cependant, les aspects de gestion thermiques et fiabilité du module plan n'ont pas été développés et mériteraient une étude spécifique afin de mettre en avant le compromis CEM / thermique / fiabilité des assemblages à base de substrat DBC.

Enfin, les modules 3D et plan ont été comparés d'un point de vue CEM. Le spectre de la tension de mode commun a été mesuré et montre le meilleur comportement du module 3D par rapport au module plan. Cela est dû à la réduction significative de la capacité parasite du point milieu capacitif conjugué à l'augmentation des capacités parasites du bus continu avec la terre. Cependant de nouveaux tests CEM seraient nécessaires sur un système complet couplé avec une charge. En effet, il est probable que la charge et notamment les câbles de connexion aient plus d'influence que le module en lui-même. Dans le but d'une optimisation CEM globale, il serait donc nécessaire d'inclure la charge et son inter-connectique.

Les perspectives de recherche sont nombreuses. Déjà, il est nécessaire de valider le prototype du module 3D complet où les deux demi-modules sont assemblés directement par le procédé PCB. Ensuite, il est important de repenser l'intégration mécanique du module 3D avec le refroidisseur, le circuit de commande rapproché ainsi que les condensateurs du bus continu. Le but est de réaliser un système complet fortement intégré et de le comparer avec un système traditionnel.

L'intégration mécanique du module 3D avec les circuits auxiliaires permettra certainement de repousser encore plus loin la limite de densité de puissance des systèmes d'électronique de puissance.

## Conclusion générale

---



L'étude bibliographique a mis en avant l'effort de recherche significatif pour le développement de nouveaux packages des composants de puissance. La tendance actuelle est à la suppression des fils de bonding et la réalisation d'assemblages 3D. Le procédé de fabrication PCB pour les modules de puissance se développe rapidement et répond bien à la problématique.

L'objectif de ces travaux de thèse était la conception d'une cellule de commutation, brique générique pour de nombreuses topologies d'électronique de puissance et plus particulièrement l'onduleur triphasé, base de l'étude du projet. La technologie PCB est mise en œuvre avec des puces MOSFET SiC de calibre en tension 1200V. Ces interrupteurs ont été sélectionnés grâce à leur maturité technologique en comparaison aux composants HEMT GaN. La nature verticale des puces MOSFET SiC influence fortement le package à développer.

Le cœur du cahier des charges du nouveau module de puissance repose sur l'optimisation du comportement électromagnétique. Le package doit donc être faiblement inductif, avec une réduction des interactions puissance-commande ainsi qu'une réduction des perturbations de mode commun. L'architecture « Power Chip On Chip », véritable cellule de commutation en 3D a été sélectionnée car elle répond parfaitement aux besoins du projet. De plus, le procédé PCB permet la réalisation industrielle d'un package 3D d'une manière relativement aisée. Les soudures et fils de bonding sont éliminés et remplacés par une interconnexion par micro-via en cuivre. Les matériaux diélectriques sont la base du procédé PCB et évite l'utilisation de gel diélectrique.

La démarche de conception développée dans ce manuscrit repose sur la description géométrique d'un premier prototype puis la simulation et modélisation électrique pour terminer par la simulation thermique du module. Les points clefs de l'analyse sont détaillés ci-dessous :

**1) Simulation électromagnétique et modélisation électrostatique :**

Les résultats de simulations électromagnétiques ont prouvé le caractère faiblement inductif du module ( $<1\text{nH}$ ). Une modélisation électrostatique est également réalisée car l'assemblage 3D augmente nécessairement les capacités parasites. L'ensemble des résultats a permis de réaliser un modèle électrique d'une cellule de commutation du module 3D.

**2) Simulation électrique de la cellule de commutation :**

Un modèle SPICE du composant de puissance, fourni par le constructeur, est utilisé pour simuler la cellule de commutation. Les résultats mettent en avant le bon comportement électrique de la cellule mais aussi le phénomène important de recouvrement inverse de la diode body du MOSFET SiC, conjugué au package faiblement inductif. En effet, notre choix a été de ne pas rajouter de diode Schottky en anti-parallèle afin de diminuer le nombre de composants. La réduction du phénomène de recouvrement inverse est à travailler par la suite soit avec un nouveau module implémentant des diodes Schottky ou en optimisant les temps morts. A partir des résultats de simulation, les pertes du système sont extraites et nous fournissent une base pour l'étude thermique. De plus, le rendement théorique de l'onduleur avec l'architecture sélectionnée est bien conforme au cahier des charges ( $\eta > 97\%$ ).

### 3) Simulation thermique :

Une première étude comparative a été réalisée sur l'impact thermique d'une isolation électrique (entre le système de refroidissement et le module) compatible avec le procédé PCB. De nouveaux matériaux à fortes conductivité thermique (5W/m.K) existent et possèdent des performances thermiques similaires à une céramique alumine. Une simulation 3D du module de puissance a été réalisée. Les résultats mettent en avant l'influence notoire de la couche centrale de cuivre qui joue alors le rôle de drain thermique. Les paramètres importants pour une optimisation thermique du module sont les épaisseurs de cuivre externes ainsi que la conductivité thermique de la couche de prepreg qui encapsule les puces. Les simulations ont également souligné le besoin d'affiner la modélisation thermique de la puce dans le cadre d'une évacuation des pertes par ses deux faces. Finalement, les résultats de simulation prouvent que le comportement thermique d'un module PCB est compatible pour une application en électronique de puissance.

Un prototype a été fabriqué de manière industrielle puis plusieurs tests ont été menés pour valider la conception.

Plusieurs aspects technologiques ont été soulevés dont notamment la métallisation des puces. Les coupes métallographiques ont révélé des dégradations importantes, notamment sur la face en aluminium, et de nouvelles métallisations adaptées sont nécessaires. Le choix des couches de prepreg ainsi que les étapes de lamination sont critiques car il existe un risque de formation de bulle d'air, d'infiltration de particules de cuivre ou même de fissuration des puces. Les épaisseurs de cuivre externes ont dû être réduites (70 $\mu$ m au lieu de 200 $\mu$ m) car le procédé d'électrodéposition de cuivre n'est plus adapté pour de grandes épaisseurs.

Un prototype fonctionnel a pu être caractérisé. Le module est implémenté avec des puces MOSFET SiC possédant des métallisations classiques. Les résultats des caractérisations statiques prouvent que l'interconnexion par micro-via fonctionne mais la résistance à l'état passant a subi une augmentation. De plus, les courants de fuite en fonction de la tension drain-source ont fortement augmenté. La dégradation de la métallisation est mise en cause et de nouveaux tests avec des puces possédant de nouvelles métallisations sont nécessaires pour valider définitivement le procédé de fabrication. Un banc de caractérisation dynamique a permis de tester le prototype en commutation sous tension réduite (400V pour un composant 1200V). Les formes d'ondes expérimentales sont extrêmement propres et permettent de valider le concept 3D du module.

Pour aller plus loin, une comparaison avec un module plan de conception conventionnel a été réalisée. Le module plan possède les mêmes puces et le routage a été particulièrement soigné. Une étude CEM a été conduite et met en avant la réduction significative des perturbations de mode commun du module 3D par rapport au module plan. Le gain est certainement encore plus important pour un module industriel standard.

Ces travaux ouvrent de nombreuses perspectives au niveau de la technologie de fabrication, de l'intégration hybride en électronique de puissance jusqu'à l'optimisation complet du système.

**1) Technologie de fabrication :**

Une étude détaillée conjointe des métallisations de la puce et du procédé de fabrication PCB est nécessaire afin d'en déduire le type de métallisation le plus adapté. Une métallisation en cuivre semble évidente mais n'est pas encore disponible sur le marché. Une métallisation de type ENEPIG (Electroless Nickel Electroless Palladium Immersion Gold) peut être une alternative intéressante soit directement à l'échelle du wafer ou même au-dessus de métallisations classiques afin de pouvoir utiliser n'importe quelle puce. Une étude de la tenue en tension des composants de puissance dans ce nouvel environnement diélectrique est également indispensable. Les protections périphériques classiques (anneaux de garde) sont-elles encore bien adaptées aux architectures 3D ? Le besoin de couche en cuivre épaisse est un point clef pour la montée en puissance des modules de puissance en technologie PCB. Enfin, les problèmes thermomécaniques et de fiabilité n'ont pas été abordés dans ces travaux et requièrent une attention particulière.

**2) Intégration hybride :**

Les possibilités d'intégration hybride avec un substrat PCB sont immenses. L'intégration du circuit de commande rapprochée dans le module de puissance PCB est une évolution intéressante. Cependant, il faut être vigilant à la gestion thermique de l'ensemble des composants. De la même manière, les composants passifs pourraient être intégrés au sein du module de puissance. En premier lieu, on peut penser aux condensateurs de découplage, qui, dans cette thèse, ont été soudés sur la tranche du module. Il est aussi intéressant d'utiliser des matériaux à forte constante diélectrique ou des matériaux magnétiques, compatibles avec le procédé PCB, afin de réaliser des composants passifs.

**3) Système :**

La réalisation d'un convertisseur complet implique une intégration mécanique de tous les organes (système de refroidissement, passifs, commande rapprochée commande éloignée). L'assemblage du module 3D et des composants externes doit donc être également réfléchi en 3D et semble a priori plus complexe qu'un assemblage conventionnel à base de module plan. L'optimisation d'un système d'un point de vue CEM doit être réfléchi en incluant la charge et sa connectique associée. Il est également nécessaire de développer des modules de puissance PCB adaptés aux composants horizontaux tels que les HEMT GaN. Etant donné la précision atteignable par le procédé PCB ainsi que sa flexibilité, ce procédé semble prometteur pour les composants GaN.

Le procédé de fabrication des circuits imprimés est prometteur pour l'intégration des systèmes d'électronique de puissance. Avec les dernières avancées dans ce domaine, on peut davantage voir le circuit imprimé comme une matrice solide possédant des propriétés physiques variables. Le substrat ne joue plus seulement le rôle d'interconnexion électrique ou de drain thermique mais devient un véritable composant.





## Bibliographie

---

- [1] "Power Rectifiers and Transistors," *Proc. IRE*, vol. 40, no. 11, pp. 1512–1518, Nov. 1952.
- [2] R. P. Frenzel and F. W. Gutzwiller, "Solid-State Thyatron Switches Kilowatts," *Electronics*, vol. 31, pp. 52–55, Mar. 1958.
- [3] K. Dawon and B. T. L. Inc, "Electric field controlled semiconductor device," US3102230 A, 31-May-1960.
- [4] M. S. Adler, K. W. Owyang, B. Jayant Baliga, and R. A. Kokosa, "The evolution of power device technology," *IEEE Trans. Electron Devices*, vol. 31, no. 11, pp. 1570–1591, Nov. 1984.
- [5] B. J. Baliga, M. S. Adler, P. V. Gray, R. P. Love, and N. Zommer, "The insulated gate rectifier (IGR): A new power switching device," in *Electron Devices Meeting, 1982 International*, 1982, vol. 28, pp. 264–267.
- [6] H. Kapels, "Superjunction MOS devices - From device development towards system optimization," in *13th European Conference on Power Electronics and Applications, 2009. EPE '09*, 2009, pp. 1–7.
- [7] L. D. Stevanovic, K. S. Matocha, P. A. Losee, J. S. Glaser, J. J. Nasadoski, and S. D. Arthur, "Recent advances in silicon carbide MOSFET power devices," in *2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2010, pp. 401–407.
- [8] A. Elasser, M. H. Kheraluwala, M. Ghezzi, R. L. Steigerwald, N. A. Evers, J. Kretchmer, and T. P. Chow, "A comparative evaluation of new silicon carbide diodes and state-of-the-art silicon diodes for power electronic applications," *IEEE Trans. Ind. Appl.*, vol. 39, no. 4, pp. 915–921, Jul. 2003.
- [9] T. Zhao, J. Wang, A. Q. Huang, and A. Agarwal, "Comparisons of SiC MOSFET and Si IGBT Based Motor Drive Systems," in *Conference Record of the 2007 IEEE Industry Applications Conference, 2007. 42nd IAS Annual Meeting*, 2007, pp. 331–335.
- [10] J. Rabkowski and T. Platek, "Comparison of the power losses in 1700V Si IGBT and SiC MOSFET modules including reverse conduction," in *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, 2015, pp. 1–10.
- [11] G. Wang, F. Wang, G. Magai, Y. Lei, A. Huang, and M. Das, "Performance comparison of 1200V 100A SiC MOSFET and 1200V 100A silicon IGBT," in *2013 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2013, pp. 3230–3234.
- [12] I. Omura, W. Saito, T. Domon, and K. Tsuda, "Gallium Nitride power HEMT for high switching frequency power electronics," in *International Workshop on Physics of Semiconductor Devices, 2007. IWPSD 2007*, 2007, pp. 781–786.
- [13] L. Menager, C. Martin, B. Allard, and V. Bley, "Industrial and lab-scale power module technologies: A review," in *IECON 2006 - 32nd Annual Conference on IEEE Industrial Electronics*, 2006, pp. 2426–2431.
- [14] J. Schulz-Harder, "Advantages and new development of direct bonded copper substrates," *Microelectron. Reliab.*, vol. 43, no. 3, pp. 359–365, Mar. 2003.
- [15] J. G. Bai, J. N. Calata, and G.-Q. Lu, "Processing and Characterization of Nanosilver Pastes for Die-Attaching SiC Devices," *IEEE Trans. Electron. Packag. Manuf.*, vol. 30, no. 4, pp. 241–245, Oct. 2007.
- [16] W. M. Haynes, *CRC Handbook of Chemistry and Physics, 96th Edition*. CRC Press, 2015.
- [17] N. Kaminski and O. Hilt, "SiC and GaN Devices - Competition or Coexistence?," in *2012 7th International Conference on Integrated Power Electronics Systems (CIPS)*, 2012, pp. 1–11.
- [18] F. Nallet, "SiC pour l'électronique de puissance du futur," *Tech. Ing.*, vol. RE3, 2002.
- [19] Tournier, "Composants de puissance en SiC - Applications," *Tech. Ing.*, vol. D3122, 2007.
- [20] B. J. Baliga, "Power semiconductor device figure of merit for high-frequency applications," *IEEE Electron Device Lett.*, vol. 10, no. 10, pp. 455–457, Oct. 1989.
- [21] N. Kaminski and O. Hilt, "SiC and GaN devices - wide bandgap is not all the same," *IET Circuits Devices Syst.*, vol. 8, no. 3, pp. 227–236, May 2014.

- [22] Rohm Semiconductor, "NE Handbook series - Power Devices." Oct-2012.
- [23] G. Chicot, A. Maréchal, R. Motte, P. Muret, E. Gheeraert, and J. Pernot, "Metal oxide semiconductor structure using oxygen-terminated diamond," *Appl. Phys. Lett.*, vol. 102, no. 24, p. 242108, Jun. 2013.
- [24] A. Maréchal, N. Rouger, J.-C. Crébier, J. Pernot, S. Koizumi, T. Teraji, and E. Gheeraert, "Model implementation towards the prediction of J(V) characteristics in diamond bipolar device simulations," *Diam. Relat. Mater.*, vol. 43, pp. 34–42, Mar. 2014.
- [25] "Wolfspeed SiC MOSFETs." [Online]. Available: <http://www.wolfspeed.com/Power/Products/MOSFETs>. [Accessed: 17-Nov-2015].
- [26] "USCi - Products & Services: SiC Transistor." [Online]. Available: [http://www.unitedsic.com/products\\_jfet-bjt.shtml](http://www.unitedsic.com/products_jfet-bjt.shtml). [Accessed: 17-Nov-2015].
- [27] "Products - Infineon Technologies." [Online]. Available: <http://www.infineon.com/cms/en/product/power/sicarbide-sic/cool-sic-tm-sic-jfet/channel.html?channel=db3a3043372d5cc801377a322ac7554c>. [Accessed: 17-Nov-2015].
- [28] "SiC Junction Transistors," *GeneSiC Semiconductor, Inc.* [Online]. Available: <http://www.genesicsemi.com/commercial-sic/sic-junction-transistors/>. [Accessed: 17-Nov-2015].
- [29] "SiC MOSFETs - STMicroelectronics." [Online]. Available: [http://www.st.com/web/en/catalog/sense\\_power/FM100/CL2062/SC1704?sc=sicmos](http://www.st.com/web/en/catalog/sense_power/FM100/CL2062/SC1704?sc=sicmos). [Accessed: 17-Nov-2015].
- [30] "SiC MOSFET | ROHM Product Search Results." [Online]. Available: <http://www.rohm.com/web/in/search/parametric/-/search/SiC%20MOSFET>. [Accessed: 17-Nov-2015].
- [31] "SiC MOSFET | Microsemi." [Online]. Available: <http://www.microsemi.com/product-directory/mosfet/3539-sic-mosfet#selection-table>. [Accessed: 17-Nov-2015].
- [32] "EPC Enhancement Mode Gallium Nitride (eGaN) FETs - Buy Now." [Online]. Available: <http://epc-co.com/epc/Products/eGaN/FETs.aspx>. [Accessed: 24-Nov-2015].
- [33] "Products | Transphorm USA, Inc." [Online]. Available: <http://www.transphormusa.com/products>. [Accessed: 24-Nov-2015].
- [34] "GaN Systems." [Online]. Available: <http://www.gansystems.com/products.php>. [Accessed: 24-Nov-2015].
- [35] "GaN Power Devices | Power Devices | Products | Semiconductors | Panasonic Global." [Online]. Available: <http://www.semicon.panasonic.co.jp/en/products/powerics/ganpower/>. [Accessed: 24-Nov-2015].
- [36] X. Huang, Z. Liu, Q. Li, and F. C. Lee, "Evaluation and Application of 600 V GaN HEMT in Cascode Structure," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2453–2461, May 2014.
- [37] J. A. Cooper, M. R. Melloch, R. Singh, A. Agarwal, and J. W. Palmour, "Status and prospects for SiC power MOSFETs," *Electron Devices IEEE Trans. On*, vol. 49, no. 4, pp. 658–664, Apr. 2002.
- [38] T. Nakamura, Y. Nakano, M. Aketa, R. Nakamura, S. Mitani, H. Sakairi, and Y. Yokotsuji, "High performance SiC trench devices with ultra-low ron," presented at the Electron Devices Meeting (IEDM), 2011 IEEE International, 2011, p. 26.5.1-26.5.3.
- [39] P. LETURCQ, "Semi-conducteurs de puissance unipolaires et mixtes (partie 2)," *Tech. Ing.*, vol. d3109, 2002.
- [40] J. Millan, P. Godignon, X. Perpina, A. Perez-Tomas, and J. Rebollo, "A Survey of Wide Bandgap Power Semiconductor Devices," *Power Electron. IEEE Trans. On*, vol. 29, no. 5, pp. 2155–2163, May 2014.
- [41] CREE, "Datasheet - CPM2-1200-0080B." 2015.
- [42] Z. Wang, J. Ouyang, J. Zhang, X. Wu, and K. Sheng, "Analysis on reverse recovery characteristic of SiC MOSFET intrinsic diode," presented at the Energy Conversion Congress and Exposition (ECCE), 2014 IEEE, 2014, pp. 2832–2837.

- [43] Z. Chen, D. Boroyevich, R. Burgos, and F. Wang, "Characterization and modeling of 1.2 kv, 20 A SiC MOSFETs," presented at the Energy Conversion Congress and Exposition, 2009. ECCE 2009. IEEE, 2009, pp. 1480–1487.
- [44] N. G. Wright, N. Poolamai, K. Vassilevski, A. B. Horsfall, and C. M. Johnson, "Benefits of High-k Dielectrics in 4H-SiC Trench MOSFETs," *Mater. Sci. Forum*, vol. 457–460, pp. 1433–1436, Jun. 2004.
- [45] K. Uchida, Y. Saitoh, T. Hiyoshi, T. Masuda, K. Wada, H. Tamaso, T. Hatayama, K. Hiratsuka, T. Tsuno, M. Furumai, and Y. Mikamura, "The optimised design and characterization of 1200 V / 2.0 mOhm; cm<sup>2</sup> 4H-SiC V-groove trench MOSFETs," presented at the Power Semiconductor Devices & IC's (ISPSD), 2015 IEEE 27th International Symposium on, 2015, pp. 85–88.
- [46] R. Kosugi, Y. Sakuma, K. Kojima, S. Itoh, A. Nagata, T. Yatsuo, Y. Tanaka, and H. Okumura, "First experimental demonstration of SiC super-junction (SJ) structure by multi-epitaxial growth method," presented at the Power Semiconductor Devices & IC's (ISPSD), 2014 IEEE 26th International Symposium on, 2014, pp. 346–349.
- [47] A. Scavennec and S. Delage, "Transistors et circuits intégrés à hétérostructures (III-V)," *Tech. Ing.*, vol. E2450, 2011.
- [48] A. Nakajima, K. Takao, and H. Ohashi, "GaN Power Transistor Modeling for High-Speed Converter Circuit Design," *Electron Devices IEEE Trans. On*, vol. 60, no. 2, pp. 646–652, Feb. 2013.
- [49] J. Würf and O. Hilt, "Power Electronic Devices based on GaN: Advantages and Perspectives," presented at the International Conference and Exhibition on Automotive Power Electronics, Paris, 2013.
- [50] I. Hwang, J. Oh, H. S. Choi, J. Kim, H. Choi, J. Kim, S. Chong, J. Shin, and U.-I. Chung, "Source-Connected p-GaN Gate HEMTs for Increased Threshold Voltage," *Electron Device Lett. IEEE*, vol. 34, no. 5, pp. 605–607, May 2013.
- [51] Gan Systems, "Datasheet - GS66508P." 2015.
- [52] J. Delaine, "Alimentation haute fréquence à base de composants de puissance en Nitrure de Gallium," phdthesis, Université de Grenoble, 2014.
- [53] X. Ren, D. Reusch, S. Ji, Z. Zhang, M. Mu, and F. C. Lee, "Three-level driving method for GaN power transistor in synchronous buck converter," presented at the Energy Conversion Congress and Exposition (ECCE), 2012 IEEE, 2012, pp. 2949–2953.
- [54] R. Beach, A. Babakhani, and R. Strittmatter, "AN005 - Circuit Simulation Using EPC Device Models." Efficient Power Conversion Corporation, 2011.
- [55] G. Meneghesso, G. Verzellesi, F. Danesin, F. Rampazzo, F. Zanoni, A. Tazzoli, M. Meneghini, and E. Zanoni, "Reliability of GaN High-Electron-Mobility Transistors: State of the Art and Perspectives," *Device Mater. Reliab. IEEE Trans. On*, vol. 8, no. 2, pp. 332–343, Jun. 2008.
- [56] O. Hilt, E. Bahat-Treidel, E. Cho, S. Singwald, and J. Würfl, "Impact of buffer composition on the dynamic on-state resistance of high-voltage AlGaN/GaN HFETs," presented at the Power Semiconductor Devices and ICs (ISPSD), 2012 24th International Symposium on, 2012, pp. 345–348.
- [57] F. Merienne, "Influence de l'interaction puissance-commande sur le fonctionnement des convertisseurs d'électronique de puissance: Simulation fine - Recherches des règles de conception," phdthesis, Institut National Polytechnique de Grenoble - INPG, Grenoble, 1996.
- [58] P.-O. Jeannin, "Le transistor MOSFET en Commutation : Application aux Associations Série et Parallèle de Composants à grille isolée.," phdthesis, Institut National Polytechnique de Grenoble - INPG, Grenoble, 2001.
- [59] "Very High Speed Double-Pulse Tester | Center for Power Electronics Systems | Virginia Tech." [Online]. Available: <http://www.cpes.vt.edu/public/showcase/dpt.php>. [Accessed: 25-Nov-2015].
- [60] S. Jahdi, O. Alatise, J. Ortiz-Gonzalez, P. Gammon, L. Ran, and P. Mawby, "Investigation of parasitic turn-ON in silicon IGBT and Silicon Carbide MOSFET devices: A technology evaluation," presented at the Power Electronics and Applications (EPE'15 ECCE-Europe), 2015 17th European Conference on, 2015, pp. 1–8.
- [61] MITSUBISHI ELECTRIC, "Datasheet - M81748FP - 1200V High Voltage Half bridge Driver." 2015.

- [62] S. Lefebvre and B. Multon, "MOSFET et IGBT: circuits de commande," *Tech. Ing.*, vol. D3233, 2003.
- [63] F. Costa and G. Rojat, "CEM en électronique de puissance - Source de perturbations, couplages, SEM," *Tech. Ing.*, vol. D3290, 1999.
- [64] B. B. Toure, "Modélisation haute-fréquence des variateurs de vitesse pour avions : contribution au dimensionnement et à l'optimisation de filtres CEM," phdthesis, Université de Grenoble, 2012.
- [65] A. Domurat-Linde and E. Hoene, "Analysis and Reduction of Radiated EMI of Power Modules," presented at the Integrated Power Electronics Systems (CIPS), 2012 7th International Conference on, 2012, pp. 1–6.
- [66] C. Buttay, "Modules et boîtiers de puissance (packaging)," *Tech. Ing.*, vol. D3116, 2010.
- [67] ST Microelectronic, "AN4407: Advantage of the use of an added driver source lead in discrete Power MOSFETs." 2015.
- [68] CREE, "Datasheet - C3M0065090J - 900V 35A SiC MOSFET." 2015.
- [69] EPC Co, "Datasheet -EPC2015 - 40V 33A GaN HEMT." 2013.
- [70] "GaN Systems." [Online]. Available: [http://www.gansystems.com/ganpx\\_packaging\\_new.php](http://www.gansystems.com/ganpx_packaging_new.php). [Accessed: 25-Nov-2015].
- [71] B. Yang, J. Wang, S. Xu, J. Korec, and Z. J. Shen, "Advanced Low-Voltage Power MOSFET Technology for Power Supply in Package Applications," *Power Electron. IEEE Trans. On*, vol. 28, no. 9, pp. 4202–4215, Sep. 2013.
- [72] EPC Co, "AN018: GaN Integration for Higher DC-DC Efficiency and Power Density." 2015.
- [73] J. F. Burgess, "The Direct Bonding of Metals to Ceramics by the Gas-Metal Eutectic Method," *J. Electrochem. Soc.*, vol. 122, no. 5, p. 688, 1975.
- [74] R. Schnell, S. Hartmann, D. Truessel, F. Fischer, A. Baschnagel, and M. Rahimo, "LinPak, a new low inductive phase-leg IGBT module with easy paralleling for high power density converter designs," presented at the PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management; Proceedings of, 2015, pp. 1–8.
- [75] K. Takao, T. Shinohe, T. Yamamoto, K. Hasegawa, and M. Ishida, "1200 V-360 A SiC Power Module with Phase Leg Clustering Concept for Low Parasitic Inductance and High Speed Switching," presented at the Integrated Power Systems (CIPS), 2014 8th International Conference on, 2014, pp. 1–7.
- [76] K. Takao and S. Kyogoku, "Ultra low inductance power module for fast switching SiC power devices," presented at the International Symposium on Power Semiconductor Devices and IC's (ISPSD), 2015, pp. 313–316.
- [77] R. Fisher, R. Fillion, J. Burgess, and W. Hennessy, "High frequency, low cost, power packaging using thin film power overlay technology," presented at the Applied Power Electronics Conference and Exposition, 1995. APEC &#039;95. Conference Proceedings 1995., Tenth Annual, 1995, pp. 12–17 vol.1.
- [78] L. Stevanovic, "Packaging Challenges and solutions for Silicon Carbide Power electronics," presented at the ECTC Panel Session: Power Electronics - A Booming Market, San Diego (USA), May-2012.
- [79] P. Beckedahl, M. Spang, and O. Tamm, "Breakthrough into the third dimension - Sintered multi layer flex for ultra low inductance power modules," presented at the Integrated Power Systems (CIPS), 2014 8th International Conference on, 2014, pp. 1–5.
- [80] N. Nashida, Y. Hinata, M. Horio, R. Yamada, and Y. Ikeda, "All-SiC power module for photovoltaic Power Conditioner System," presented at the International Symposium on Power Semiconductor Devices and IC's (ISPSD), 2014, pp. 342–345.
- [81] Semikron, "Electrical and thermal optimization of an automotive power module family | PowerGuru - Power Electronics Information Portal," *Power Guru*, Oct-2007. .
- [82] G. Borghoff, "Implementation of low inductive strip line concept for symmetric switching in a new high power module," presented at the International Exhibition and Conference for Power



- Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM), Nuremberg, 2013.
- [83] Vincotech, "Datasheet - flow3xPHASE-SiC 10-PZ126PA080ME." 2014.
- [84] J. N. Calata, J. G. Bai, X. Liu, S. Wen, and G.-Q. Lu, "Three-Dimensional Packaging for Power Semiconductor Devices and Modules," *Adv. Packag. IEEE Trans. On*, vol. 28, no. 3, pp. 404–412, Aug. 2005.
- [85] C. Gillot, C. Schaeffer, C. Massit, and L. Meysenc, "Double-sided cooling for high power IGBT modules using flip chip technology," *Compon. Packag. Technol. IEEE Trans. On*, vol. 24, no. 4, pp. 698–704, Dec. 2001.
- [86] C. M. Johnson, C. Buttay, S. J. Rashid, F. Udrea, G. A. J. Amaratunga, P. Ireland, and R. K. Malhan, "Compact Double-Side Liquid-Impingement-Cooled Integrated Power Electronic Module," in *19th International Symposium on Power Semiconductor Devices and IC's, 2007. ISPSD '07, 2007*, pp. 53–56.
- [87] C. Buttay, J. Rashid, C. M. Johnson, P. Ireland, F. Udrea, G. Amaratunga, and R. K. Malhan, "High performance cooling system for automotive inverters," presented at the Power Electronics and Applications, 2007 European Conference on, 2007, pp. 1–9.
- [88] M. Schneider-Ramelow, T. Baumann, and E. Hoene, "Design and assembly of power semiconductors with double-sided water cooling," presented at the Integrated Power Systems (CIPS), 2008 5th International Conference on, 2008, pp. 1–7.
- [89] C. M. Wu, "Etude prospective de la topologie MMC et du packaging 3D pour la réalisation d'un variateur de vitesse en moyenne tension," Grenoble Alpes, G2ELAB, 2015.
- [90] H. Ishino, T. Watanabe, K. Sugiura, and K. Tsuruta, "6-in-1 Silicon carbide power module for high performance of power electronics systems," presented at the Power Semiconductor Devices and ICs (ISPSD), 2014 IEEE 26th International Symposium on, 2014, pp. 446–449.
- [91] E. Hoene, A. Ostmann, B. T. Lai, C. Marczok, A. Müsing, and J. W. Kolar, "Ultra-low-Inductance Power Module for fast Switching Semiconductors," presented at the PCIM Europe Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy management, Nuremberg, 2013.
- [92] E. Hoene, A. Ostmann, and C. Marczok, "Packaging Very Fast Switching Semiconductors," presented at the Integrated Power Systems (CIPS), 2014 8th International Conference on, 2014, pp. 1–7.
- [93] G. Feix, E. Hoene, O. Zeiter, and K. Pedersen, "Embedded Very Fast Switching Module for SiC Power MOSFETs," presented at the PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management; Proceedings of, 2015, pp. 1–7.
- [94] C. Neeb, J. Teichrib, D. Doncker, R. W. L. Boettcher, and A. Ostmann, "A 50 kW IGBT power module for automotive applications with extremely low DC-link inductance," presented at the Power Electronics and Applications (EPE&#039;14-ECCE Europe), 2014 16th European Conference on, 2014, pp. 1–10.
- [95] C. Neeb, L. Boettcher, M. Conrad, D. Doncker, and R. W., "Innovative and Reliable Power Modules: A Future Trend and Evolution of Technologies," *Ind. Electron. Mag. IEEE*, vol. 8, no. 3, pp. 6–16, Sep. 2014.
- [96] E. Vagnon, "Solutions innovantes pour le packaging de convertisseurs statiques polyphasés," phdthesis, Institut National Polytechnique de Grenoble - INPG, 2010.
- [97] E. Vagnon, P.-O. Jeannin, J.-C. Crébier, and Y. Avenas, "A Bus-Bar-Like Power Module Based on Three-Dimensional Power-Chip-on-Chip Hybrid Integration," *Ind. Appl. IEEE Trans. On*, vol. 46, no. 5, pp. 2046–2055, Oct. 2010.
- [98] J.-L. Marchesini, P.-O. Jeannin, Y. Avenas, D. Oliveira, L. Ruffeil, C. Buttay, and R. Riva, "Realization and characterization of an IGBT module based on the power chip-on-chip 3D concept," presented at the Energy Conversion Congress and Exposition (ECCE), 2014 IEEE, 2014, pp. 4691–4695.



- [99] IPC - Association Connecting Electronics Industries, "From vacuum tubes to nanotubes: An amazing half century - The emergence of electronic circuit technology 1957 - 2007." Michael L. Martel, Jan-2007.
- [100]Rogers Corporation, "Datasheet - COOLSPAN TECA - Thermally and Electrically Conductive Adhesive." 2015.
- [101]K. Azar and J. E. Graebner, "Experimental determination of thermal conductivity of printed wiring boards," presented at the Semiconductor Thermal Measurement and Management Symposium, 1996. SEMI-THERM XII. Proceedings., Twelfth Annual IEEE, 1996, pp. 169–182.
- [102]Panasonic, "Datasheet - EcoCoolSheet." 2015.
- [103]M. Besacier, "Adaptation de la méthode PEEC à la représentation électrique des structures de l'électronique de puissance," phdthesis, Institut National Polytechnique de Grenoble - INPG, 2001.
- [104]C. Martin, "Vers une méthodologie de conception des interconnexions pour les dispositifs de l'électronique de puissance," phdthesis, Université Joseph-Fourier - Grenoble I, 2005.
- [105]IPC - Association Connecting Electronics Industries, "IPC-D-317A - Design Guidelines for Electronic Packaging Utilizing High-Speed Techniques." Jan-1995.
- [106]A. Pavlova and M. Amitay, "Electronic Cooling Using Synthetic Jet Impingement," *J. Heat Transf.*, vol. 128, no. 9, pp. 897–907, Sep. 2006.
- [107]K. Gould, S. Q. Cai, C. Neft, and A. Bhunia, "Liquid Jet Impingement Cooling of a Silicon Carbide Power Conversion Module for Vehicle Applications," *IEEE Trans. Power Electron.*, vol. 30, no. 6, pp. 2975–2984, Jun. 2015.
- [108]W. W. Wits, "Integrated cooling concepts for printed circuit boards," info:eu-repo/semantics/doctoralThesis, University of Twente, Enschede, 2008.
- [109]Koolance, "PLT-UN25F Cold Plate, 25mm x 25mm (0.98in x 0.98in)." [Online]. Available: <http://koolance.com/cold-plate-25mm-plt-un25f>. [Accessed: 08-Feb-2016].
- [110]S. Carnot, *Réflexions sur la puissance motrice du feu et sur les machines propres à développer cette puissance*. Gauthier-Villars, 1824.
- [111]D. Guan, M. März, and J. Liang, "Analytical Solution of Thermal Spreading Resistance in Power Electronics," *Compon. Packag. Manuf. Technol. IEEE Trans. On*, vol. 2, no. 2, pp. 278–285, Feb. 2012.
- [112]M. YOVANOVICH, C. TIEN, and G. SCHNEIDER, "General solution of constriction resistance within a compound disk," in *17th Aerospace Sciences Meeting*, 1979.
- [113]M. M. Yovanovich, Y. S. Muzychka, and J. R. Culham, "Spreading Resistance of Isoflux Rectangles and Strips on Compound Flux Channels," *J. Thermophys. Heat Transf.*, vol. 13, no. 4, pp. 495–500, 1999.
- [114]Y. S. Muzychka, M. M. Yovanovich, and J. R. Culham, "Thermal Spreading Resistances In Rectangular Flux Channels - Part I - Geometric Equivalences," presented at the 36th AIAA Thermophysics Conference, Orlando, Florida, 2003.
- [115]Curamik, "Curamik Ceramic Substrates - DBC Technology - Design Rules Version 13." 2015.
- [116]Curamik, "Curamik Ceramic Substrates - AMB Technology - Design Rules Version 04." 2015.
- [117]Panasonic, "PGS Graphite Sheets - Type EYG - Datasheet." 2008.
- [118]Kunze, "LEDPAD - Double-sided adhesive, thermally conductive acrylic film KU-SFG - Datasheet." 2013.
- [119]Y. S. Muzychka, M. M. Yovanovich, and J. R. Culham, "Thermal Spreading Resistance in Compound and Orthotropic Systems," *J. Thermophys. Heat Transf.*, vol. 18, no. 1, pp. 45–51, 2004.
- [120]V. R. Manikam and K. Y. Cheong, "Die Attach Materials for High Temperature Applications: A Review," *Compon. Packag. Manuf. Technol. IEEE Trans. On*, vol. 1, no. 4, pp. 457–478, Apr. 2011.
- [121]C. Buttay, A. Masson, J. Li, M. C. Johnson, M. Lazar, C. Raynaud, and H. Morel, "Die Attach of Power Devices Using Silver Sintering - Bonding Process Optimization and Characterization," in *High Temperature Electronics Network (HiTEN)*, Oxford, United Kingdom, 2011, pp. 1–7.

- [122] Vishay, "Laser Diode Substrate Mounts - AuSn Series - Thin Film Patterned Substrates With Deposited Gold/Tin Pads." 2012.
- [123] ARLON, "92ML - Thermally Conductive Multilayerable Epoxy Laminate And Prepreg - Datasheet." 2011.
- [124] L. Ménager, Q. H. Luan, V. H. N'Guyen, B. Allard, V. Bley, C. Martin, T. Lebey, P. Castelan, Z. Khatir, B. Schlegel, and T. Vaday, "Etude de l'Elaboration d'Interconnexions Electrodeposées en Electronique de Puissance," in *MGE'2008*, Toulouse, France, 2008, p. on CD-78-81/215.
- [125] Stegner, Auer, and Ciliox, "Next generation 1700V IGBT and emitter controlled diode with .XT technology," presented at the PCIM Europe 2014, Nuremberg, 2014, pp. 190–197.
- [126] T. Behrens, "Novel copper metallization on silicon carbide electronic devices enabling increased packaging lifetime and higher junction-temperatures," presented at the Power Electronics and Applications (EPE), 2013 15th European Conference on, 2013, pp. 1–10.
- [127] W. Robl, M. Melzl, B. Weidgans, R. Hofmann, and M. Stecher, "Last Metal Copper Metallization for Power Devices," *IEEE Trans. Semicond. Manuf.*, vol. 21, no. 3, pp. 358–362, Aug. 2008.
- [128] H. Clauberg, P. Backus, and B. Chylak, "Nickel–palladium bond pads for copper wire bonding," *Microelectron. Reliab.*, vol. 51, no. 1, pp. 75–80, Jan. 2011.
- [129] R. Randoll, M. Asef, W. Wondrak, L. Böttcher, and A. Schletz, "Characteristics and aging of PCB embedded power electronics," *Microelectron. Reliab.*, vol. 55, no. 9–10, pp. 1634–1639, Aug. 2015.



## Annexe 1

---

### *Calcul analytique des pertes d'un onduleur deux niveaux triphasé*



## 1. Introduction

Le calcul des pertes de l'onduleur reprend la démarche du document interne au G2Elab « Calcul de pertes au sein d'onduleurs MLI » réalisé par J.P. Ferrieux. L'influence de la température sur la résistance des interrupteurs est prise en compte. On considérera  $N_p$  transistors en parallèles d'une manière idéale. Enfin, l'influence des phases de temps mort est également prise en compte.

## 2. Caractéristiques de l'onduleur triphasé

Les paramètres caractéristiques de l'onduleur sont les suivants :

- Puissance apparente de sortie :  $S$  (VA)
- Facteur de puissance ou  $\cos\varphi$ : FP ou  $\cos\varphi$  (égal à 0.9 dans le cas général)
- Indice de modulation :  $r$  (varie de 0 à 1)
- Tension du bus continu :  $V_{bus}$  (V)
- Fréquence du fondamental :  $F_0$  (Hz)
- Fréquence de commutation :  $F_{com}$  (Hz)
- Temps morts :  $DT$  (s)
- Topologie : deux niveaux
- Commande : MLI sinusoïdale

A partir de ces données, nous pouvons calculer la tension efficace de la tension phase neutre de sortie. Elle dépend du type de modulation employée : MLI sinusoïdale intersective (49) ou MLI sinusoïdale vectorielle (50). Le détail des calculs ainsi que le développement d'un algorithme de MLI vectorielle est présenté en détails dans le document « Commande vectorielle des machines asynchrones et synchrones » de l'INSA de Lyon.

$$V_s^{rms} = \frac{r V_{bus}}{2\sqrt{2}} \quad (49)$$

$$V_s^{rms} = \frac{r V_{bus}}{\sqrt{6}} \quad (50)$$

L'intérêt majeur de la MLI vectorielle est d'augmenter la tension de sortie maximale d'un rapport  $\frac{2}{\sqrt{3}}$  par rapport à une MLI intersective.

Le calcul du courant efficace de sortie d'une phase de l'onduleur se calcul simplement avec (51).

$$I_s^{rms} = \frac{S}{3 V_s^{rms}} \quad (51)$$

Les grandeurs étant sinusoïdales, les valeurs pics se calculent en multipliant par  $\sqrt{2}$  les valeurs efficaces.

Pour le calcul des courants moyens et efficaces des courants traversant les interrupteurs, nous aurons besoin de la valeur pic du courant de sortie d'une phase de l'onduleur.



### 3. Caractéristiques du MOSFET SiC CPM2-1200-0080B

Un bras d'onduleur est composé de deux MOSFET SiC sans diode antiparallèle. La diode « body » du MOSFET est utilisé pendant les phases de temps mort. Un modèle classique de MOSFET est appliqué avec une résistance à l'état passant  $R_{ds-on}$  (identique en inverse) et les caractéristiques de la diode body (résistance  $R_d$  et tension de seuil  $V_d$ ). Les résistances sont influencées par la température selon une loi linéaire. L'énergie totale de commutation est extraite des simulations SPICE.

- **Résistance à l'état passant**

La variation de  $R_{ds-on}$  avec la température de jonction est présentée en (52).

$$R_{ds-on}(T_j) = R_0 [1 + a(T_j - T_{ref})] \quad (52)$$

Pour le MOSFET sélectionné,  $R_0=80\text{m}\Omega$ ,  $a=6.036.10^{-3}\Omega/\text{C}$  et  $T_{ref}=25^\circ\text{C}$ .

- **Diode body**

Le modèle de la diode body est une tension de seuil  $V_d$  avec une résistance  $R_d$ . On ne considèrera seulement la variation en température de la résistance selon le modèle décrit en (52). Pour le MOSFET sélectionné,  $V_d=2.6\text{V}$ ,  $R_{0\text{-diode}}=44\text{m}\Omega$ ,  $a_{\text{diode}}=-3,45.10^{-3}\Omega/\text{C}$  et  $T_{ref}=25^\circ\text{C}$ . La variation en température de la tension de seuil n'a pas été prise en compte car, dans le cas du MOSFET SiC sélectionnée, elle est extrêmement réduite (seulement  $2.7\text{V}$  à  $T_j=150^\circ\text{C}$ ).

- **Energie de commutation**

L'énergie de commutation totale prend en compte l'énergie à l'ouverture et à la fermeture du MOSFET. Dans notre cas, il s'agit d'une commutation MOSFET – MOSFET sans diode schottky en antiparallèle. L'énergie de recouvrement de la diode body du MOSFET est prise en compte dans l'énergie de commutation à la fermeture. L'énergie de commutation varie en fonction du courant commuté et de la tension de bus. Le modèle présenté en (53) est utilisé dans le calcul des pertes.

$$E_{tot}(I, V) = (A.I^2 + B.I + C) \left( \frac{V}{V_{ref}} \right)^\alpha \quad (53)$$

L'énergie de commutation est extraite des simulations SPICE présentés dans le chapitre 2. Les paramètres sont les suivants :  $A=2,22.10^{-8}\text{J/A}^2$ ,  $B=1,37.10^{-5}\text{J/A}$ ,  $C=8,01.10^{-5}\text{J}$ ,  $V_{ref}=800\text{V}$ ,  $\alpha=1$ .

### 4. Calcul des courants moyens et efficaces des interrupteurs d'un onduleur deux niveaux

Les courants moyens et efficaces des interrupteurs sont calculés en prenant en compte le temps mort noté DT. Le schéma de la Figure 262 permet de faire le lien entre les temps morts et le rapport cyclique de l'onduleur sur une période de découpage. On considèrera une

modulation sinusoïdale. La différence avec une modulation vectorielle est considérée comme négligeable.

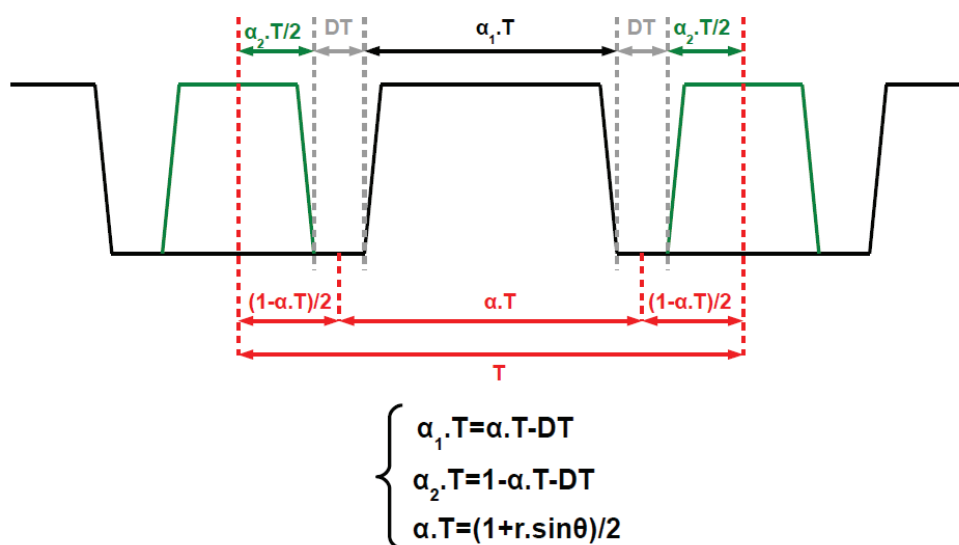


Figure 262: Prise en compte des temps morts pour le calcul des courants moyens et efficaces

Dès lors, il est possible de calculer les courants moyens et efficaces dans un MOSFET selon la phase de conduction. La conduction directe correspond à un courant positif avec le transistor passant. La conduction en inverse correspond à un courant négatif avec le transistor passant. La conduction de la diode body correspond à un courant négatif avec le transistor bloqué.

- **Conduction directe**

$$I_{direct-rms}^2 = \frac{1}{2\pi} \int_{\varphi}^{\varphi+\pi} \left( \frac{1 + r \cdot \sin\theta}{2} - \frac{DT}{T_{com}} \right) (I_s^{rms} \sqrt{2})^2 \sin^2(\theta - \varphi) d\theta$$

$$I_{direct-rms} = I_s^{rms} \sqrt{2} \sqrt{\frac{1}{8} \left( 1 - \frac{2DT}{T_{com}} \right) + \frac{r}{3\pi} \cos\varphi}$$
(54)

$$I_{direct-avg} = \frac{1}{2\pi} \int_{\varphi}^{\varphi+\pi} \left( \frac{1 + r \cdot \sin\theta}{2} - \frac{DT}{T_{com}} \right) (I_s^{rms} \sqrt{2}) \sin(\theta - \varphi) d\theta$$

$$I_{direct-avg} = \frac{I_s^{rms} \sqrt{2}}{2\pi} \left( 1 - \frac{2DT}{T_{com}} + r \frac{\pi}{4} \cos\varphi \right)$$
(55)

- **Conduction inverse**

$$I_{inverse-rms}^2 = \frac{1}{2\pi} \int_{\varphi}^{\varphi+\pi} \left( 1 - \frac{1 + r \cdot \sin\theta}{2} - \frac{DT}{T_{com}} \right) (I_s^{rms} \sqrt{2})^2 \sin^2(\theta - \varphi) d\theta$$

$$I_{inverse-rms} = I_s^{rms} \sqrt{2} \sqrt{\frac{1}{8} \left( 1 - \frac{2DT}{T_{com}} \right) - \frac{r}{3\pi} \cos\varphi}$$
(56)

$$I_{inverse-avg} = \frac{1}{2\pi} \int_{\varphi}^{\varphi+\pi} \left(1 - \frac{1+r \cdot \sin\theta}{2} - \frac{DT}{T_{com}}\right) (I_s^{rms}\sqrt{2}) \sin(\theta - \varphi) d\theta$$

$$I_{inverse-avg} = \frac{I_s^{rms}\sqrt{2}}{2\pi} \left(1 - \frac{2DT}{T_{com}} - r \frac{\pi}{4} \cos\varphi\right) \quad (57)$$

- **Conduction de la diode body**

$$I_{body-rms}^2 = \frac{1}{2\pi} \int_{\varphi}^{\varphi+\pi} \left(\frac{2DT}{T_{com}}\right) (I_s^{rms}\sqrt{2})^2 \sin^2(\theta - \varphi) d\theta$$

$$I_{body-rms} = I_s^{rms}\sqrt{2} \sqrt{\frac{DT}{2T_{com}}} \quad (58)$$

$$I_{body-avg} = \frac{1}{2\pi} \int_{\varphi}^{\varphi+\pi} \left(\frac{2DT}{T_{com}}\right) (I_s^{rms}\sqrt{2}) \sin(\theta - \varphi) d\theta$$

$$I_{body-avg} = I_s^{rms}\sqrt{2} \frac{2DT}{\pi T_{com}} \quad (59)$$

## 5. Calcul des pertes de l'onduleur deux niveaux triphasé

Les pertes se répartissent en deux parties : pertes en conduction et pertes en commutation. On introduit le nombre  $N_p$  qui correspond au nombre de transistors en parallèle.

- **Pertes en conduction**

On retrouve dans cette partie les trois modes de conduction décrit précédemment : directe (60), inverse (61) et diode body (62). Les pertes en conduction totale sont la somme des trois modes (63).

$$P_{conduction-directe} = \frac{R_{ds-on}(T_j)}{N_p} I_{direct-rms}^2 \quad (60)$$

$$P_{conduction-inverse} = \frac{R_{ds-on}(T_j)}{N_p} I_{inverse-rms}^2 \quad (61)$$

$$P_{conduction-body} = V_d I_{body-avg} + \frac{R_{body}(T_j)}{N_p} I_{body-rms}^2 \quad (62)$$

$$P_{conduction-totale} = P_{conduction-directe} + P_{conduction-inverse} + P_{conduction-body} \quad (63)$$

- **Pertes en commutation**

Les pertes en commutation pour un interrupteur sont calculés en intégrant l'énergie de commutation, dépendant du courant, sur une demi-période du fondamental (64).

$$P_{commutation} = \frac{1}{2\pi} \int_{\varphi}^{\varphi+\pi} N_p \cdot E_{tot}(I, V) \cdot F_{com} d\theta$$

$$= N_p \cdot F_{com} \left( \frac{A}{4} \left( \frac{I_s^{rms}\sqrt{2}}{N_p} \right)^2 + \frac{B}{\pi} \left( \frac{I_s^{rms}\sqrt{2}}{N_p} \right) + \frac{C}{2} \right) \left( \frac{V}{V_{ref}} \right)^\alpha \quad (64)$$

- **Pertes d'un bras d'onduleur**

Le fonctionnement d'un onduleur est symétrique, il y a donc théoriquement les mêmes pertes dans l'interrupteur high side que low side. Les pertes d'un bras d'onduleur se calculent donc simplement avec (65).

$$P_{bras} = 2(P_{commutation} + P_{conduction-totale}) \quad (65)$$

- **Rendement de l'onduleur triphasé**

Le rendement de l'onduleur triphasé se calcule avec l'équation (66).

$$\eta = \frac{S.FP}{S.FP + 3P_{bras}} \quad (66)$$



## Annexe 2

---

*Calcul analytique de la résistance thermique de diffusion à partir de l'équation de Fourier pour un substrat à trois couches*





## 1. Introduction

La géométrie du problème est rappelée en Figure 263. On considère un substrat de forme parallélépipédique de longueur  $x_1$  et largeur  $y_1$  possédant trois couches d'épaisseurs respectives  $t_1$ ,  $t_2$ ,  $t_3$  et de conductivité thermique  $k_1$ ,  $k_2$ ,  $k_3$ . Une source de chaleur, dispensant un flux de chaleur uniforme  $q$  ( $W/m^2$ ), est située à la surface de la première couche et centrée par rapport au substrat. Elle est également de forme parallélépipédique de longueur  $x_2$  et largeur  $y_2$ . La face arrière du substrat (face inférieure de la troisième couche) est le lieu d'échange convectif, représenté par un coefficient d'échange convectif  $h$ , avec le milieu ambiant de température  $T_0$ . Toutes les autres surfaces sont considérées comme adiabatiques.

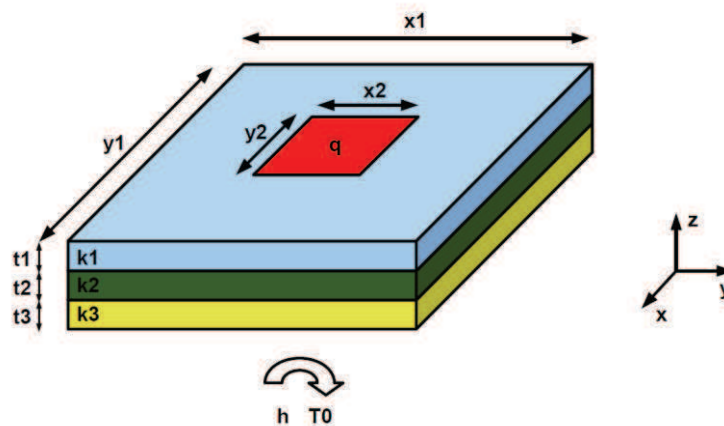


Figure 263: Problème thermique considéré

Nous cherchons donc à résoudre l'équation de Fourier, présenté en (67), afin de déterminer la température dans chacune des couches du substrat. Pour simplifier le problème, nous considérons le régime permanent. L'équation différentielle à résoudre est présentée en (68) dans le système de coordonnées cartésien. Il s'agit de l'équation de Laplace.

$$\Delta T = \frac{\rho c}{k} \frac{\partial T}{\partial t} \quad (67)$$

Avec  $T$  : température,  $t$  : temps,  $\rho$  : masse volumique,  $c$  : capacité calorifique,  $k$  : conductivité thermique

$$\Delta T = \frac{\partial^2 T}{\partial x^2} + \frac{\partial^2 T}{\partial y^2} + \frac{\partial^2 T}{\partial z^2} = 0 \quad (68)$$

La résolution de l'équation de Laplace, pour la géométrie particulière de la Figure 263, présentée dans cette annexe, s'appuie sur les articles suivants :

- "Analytical Solution of Thermal Spreading Resistance in Power Electronics", Guan, März, Liang, IEEE Transactions on components, packaging and manufacturing technology, vol. 2, no. 2, February 2012.
- "Thermal Spreading Resistances in Rectangular Flux Channels – Part I – Geometric Equivalences", Muzychka, Yovanovich, Culham, 36<sup>th</sup> AIAA Thermophysics Conference, Orlando, June 2003.
- "General Solution of Constriction Resistance Within a Compound Disk", Yovanovich, Tien, Schneider, 17<sup>th</sup> Aerospace Science Meeting, New Orleans, January 1979.

- “Transmission de l’énergie Thermique – Conduction”, Degiovanni, be8200, Techniques de l’ingénieur, 1999.

## 2. Hypothèses simplificatrices et conditions aux limites

Pour simplifier le problème, la géométrie est adaptée à un système cylindrique (Figure 265). Nous considérons alors un substrat (module de puissance) de rayon  $b$  et une source de chaleur (puce) de rayon  $a$ .

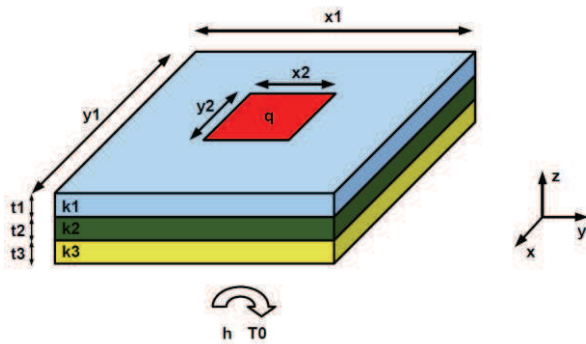


Figure 264: Géométrie réelle

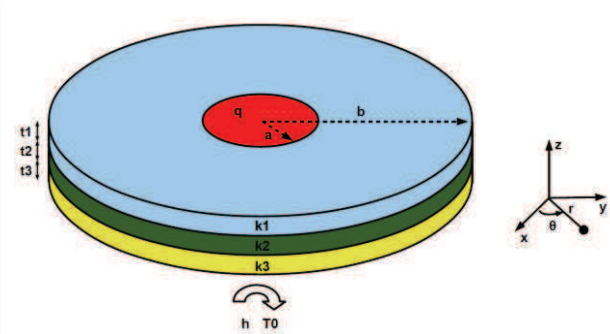


Figure 265: Géométrie adaptée en coordonnées cylindriques

Le volume du système est conservé. Le rayon équivalent  $b$  du module s'exprime avec (69). Le rayon équivalent  $a$  de la puce s'exprime avec (70).

$$A_{module} = x_1 y_1 = \pi b^2 \Leftrightarrow b = \sqrt{\frac{A_{module}}{\pi}} \quad (69)$$

$$A_{puce} = x_2 y_2 = \pi a^2 \Leftrightarrow a = \sqrt{\frac{A_{puce}}{\pi}} \quad (70)$$

Le système possède alors une symétrie de révolution selon l'axe  $z$ . Le système se réduit encore une fois et nous pouvons considérer le schéma de la Figure 266.

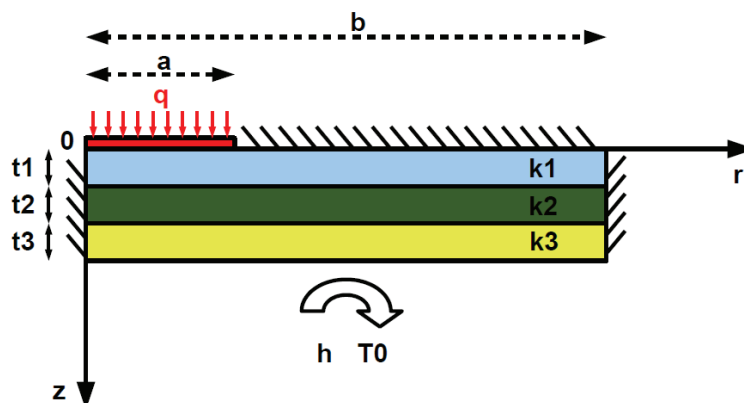


Figure 266: Réduction de géométrie du problème

Finalement, l'équation différentielle à résoudre dans chacune des couches  $i$  ( $i=1,2,3$ ) se retrouve réduite à (71).

$$\frac{\partial^2 T_i}{\partial r^2} + \frac{1}{r} \frac{\partial T_i}{\partial r} + \frac{\partial^2 T_i}{\partial z^2} = 0 \quad (71)$$

Nous pouvons maintenant énoncer les conditions aux limites et de continuité pour chaque couche.

- **Couche 1 :**

$$\text{Pour } z=0 \text{ et } 0 \leq r \leq a : -k_1 \frac{\partial T_1}{\partial z} = q \quad (72)$$

$$\text{Pour } 0 \leq z \leq t_1 \text{ et } r=0 : \frac{\partial T_1}{\partial r} = 0 \quad (73)$$

$$\text{Pour } z=0 \text{ et } a < r \leq b : \frac{\partial T_1}{\partial z} = 0 \quad (74)$$

$$\text{Pour } 0 \leq z \leq t_1 \text{ et } r=b : \frac{\partial T_1}{\partial r} = 0 \quad (75)$$

- **Couche 2 :**

$$\text{Pour } t_1 < z \leq t_1 + t_2 \text{ et } r=0 : \frac{\partial T_2}{\partial r} = 0 \quad (76)$$

$$\text{Pour } t_1 < z \leq t_1 + t_2 \text{ et } r=b : \frac{\partial T_2}{\partial r} = 0 \quad (77)$$

- **Couche 3 :**

$$\text{Pour } t_1 + t_2 < z \leq t_1 + t_2 + t_3 \text{ et } r=0 : \frac{\partial T_3}{\partial r} = 0 \quad (78)$$

$$\text{Pour } t_1 + t_2 < z \leq t_1 + t_2 + t_3 \text{ et } r=b : \frac{\partial T_3}{\partial r} = 0 \quad (79)$$

$$\text{Pour } z=t_1 + t_2 + t_3 \text{ et } 0 \leq r \leq b : -k_3 \frac{\partial T_3}{\partial z} = h(T_3 - T_0) \quad (80)$$

- **Continuité entre la couche 1 et la couche 2 :**

$$\text{Pour } z=t_1 \text{ et } 0 \leq r \leq b : T_1 = T_2 \text{ et } k_1 \frac{\partial T_1}{\partial z} = k_2 \frac{\partial T_2}{\partial z} \quad (81)$$

- **Continuité entre la couche 2 et la couche 3 :**

$$\text{Pour } z=t_1 + t_2 \text{ et } 0 \leq r \leq b : T_2 = T_3 \text{ et } k_2 \frac{\partial T_2}{\partial z} = k_3 \frac{\partial T_3}{\partial z} \quad (82)$$

La résolution de l'équation (71) est facilitée si les variables du système sont adimensionnelles. On effectue alors le changement de variable suivant.

$$T_i^* = \frac{T_i - T_0}{\Delta T_0} ; i = 1,2,3 \quad (83)$$

Avec  $\Delta T_0$  une différence de température de référence quelconque qui n'aura aucune influence sur la suite des calculs

$$r^* = \frac{r}{b} \quad (84)$$

$$z^* = \frac{z}{b} \quad (85)$$

Finalement, l'équation différentielle sous forme adimensionnelle est décrite en (86).

$$\frac{\partial^2 T_i^*}{\partial r^{*2}} + \frac{1}{r^*} \frac{\partial T_i^*}{\partial r^*} + \frac{\partial^2 T_i^*}{\partial z^{*2}} = 0 ; i = 1,2,3 \quad (86)$$

Les conditions aux limites et de continuité s'écrivent maintenant de la manière suivante.

- **Couche 1 :**

$$\text{Pour } z^*=0 \text{ et } 0 \leq r^* \leq \varepsilon : -k_1 \frac{\partial T_1^*}{\partial z^*} = \frac{q \cdot b}{\Delta T_0} \quad (87)$$

$$\text{Pour } 0 \leq z^* \leq d_1 \text{ et } r^*=0 : \frac{\partial T_1^*}{\partial r^*} = 0 \quad (88)$$

$$\text{Pour } z^*=0 \text{ et } \varepsilon < r^* \leq 1 : \frac{\partial T_1^*}{\partial z^*} = 0 \quad (89)$$

$$\text{Pour } 0 \leq z^* \leq d_1 \text{ et } r^*=1 : \frac{\partial T_1^*}{\partial r^*} = 0 \quad (90)$$

- **Couche 2 :**

$$\text{Pour } d_1 < z^* \leq d_2 \text{ et } r^*=0 : \frac{\partial T_2^*}{\partial r^*} = 0 \quad (91)$$

$$\text{Pour } d_1 < z^* \leq d_2 \text{ et } r^*=1 : \frac{\partial T_2^*}{\partial r^*} = 0 \quad (92)$$

- **Couche 3 :**

$$\text{Pour } d_2 < z^* \leq d_3 \text{ et } r^*=0 : \frac{\partial T_3^*}{\partial r^*} = 0 \quad (93)$$

$$\text{Pour } d_2 < z^* \leq d_3 \text{ et } r^*=1 : \frac{\partial T_3^*}{\partial r^*} = 0 \quad (94)$$

$$\text{Pour } z=d_3 \text{ et } 0 \leq r^* \leq 1 : \frac{\partial T_3^*}{\partial z^*} = -Bi \cdot T_3^* \quad (95)$$

- **Continuité entre la couche 1 et la couche 2 :**

$$\text{Pour } z^*=d_1 \text{ et } 0 \leq r^* \leq 1 : T_1^* = T_2^* \text{ et } k_{12} \frac{\partial T_1^*}{\partial z^*} = \frac{\partial T_2^*}{\partial z^*} \quad (96)$$

• **Continuité entre la couche 2 et la couche 3 :**

$$\text{Pour } z^*=d_2 \text{ et } 0 \leq r^* \leq 1 : T_2^* = T_3^* \text{ et } k_{23} \frac{\partial T_2^*}{\partial z^*} = \frac{\partial T_3^*}{\partial z^*} \quad (97)$$

Les nouvelles constantes adimensionnelles sont définies comme il suit :

$$\varepsilon = \frac{a}{b} ; d_1 = \frac{t_1}{b} ; d_2 = \frac{t_1 + t_2}{b} ; d_3 = \frac{t_1 + t_2 + t_3}{b} ; Bi = \frac{b \cdot h}{k_3} \text{ (Nombre de Biot)} ; \quad (98)$$

$$k_{12} = \frac{k_1}{k_2} ; k_{23} = \frac{k_2}{k_3}$$

### 3. Résolution de l'équation différentielle

L'équation (86) peut être résolue par la méthode de séparation des variables. La solution générale valable dans chaque couche  $i$  est donnée en (99).

$$T_i^* = (C_1^i + C_2^i \cdot z^*) (C_3^i + C_4^i \cdot \ln(r^*)) + \sum_{n=1}^{\infty} [A_n^i \cdot sh(\lambda_n z^*) + B_n^i \cdot ch(\lambda_n z^*)] [E_n^i \cdot J_0(\lambda_n r^*) + F_n^i \cdot Y_0(\lambda_n r^*)] \quad (99)$$

Les coefficients  $C_1^i, C_2^i, C_3^i, C_4^i, A_n^i, B_n^i, E_n^i, F_n^i$  sont calculés grâce à l'application des conditions aux limites. La fonction  $J_0$  est la fonction de Bessel de première espèce d'ordre 0. La fonction  $Y_0$  est la fonction de Bessel de deuxième espèce d'ordre 0. L'application des conditions aux limites (88)(91)(93) permet de réduire la solution générale à (100).

$$T_i^* = C_1^i + C_2^i \cdot z^* + \sum_{n=1}^{\infty} [A_n^i \cdot sh(\lambda_n z^*) + B_n^i \cdot ch(\lambda_n z^*)] \cdot J_0(\lambda_n r^*) \quad (100)$$

L'application des conditions aux limites (90)(92)(94) nous donne la relation suivante :

$$\sum_{n=1}^{\infty} -[A_n^i \cdot sh(\lambda_n z^*) + B_n^i \cdot ch(\lambda_n z^*)] \cdot J_1(\lambda_n) = 0 \Leftrightarrow J_1(\lambda_n) = 0 \quad (101)$$

Le coefficient  $\lambda_n$  correspond aux racines  $n$ -ièmes de l'équation transcendante  $J_1(\lambda_n) = 0$ . Elles peuvent être facilement calculées avec l'approximation modifiée de Stokes en (102).

$$\lambda_n \approx \frac{\beta_n}{4} \left( 1 - \frac{6}{\beta_n^2} + \frac{6}{\beta_n^4} - \frac{4516}{5\beta_n^6} + \frac{3902418}{70\beta_n^8} \right) \quad (102)$$

L'application de la condition (95) sur la couche 3 nous donne les relations entre les coefficients  $C_1^3, C_2^3$  et  $A_n^3, B_n^3$ .



$$C_2^3 = -\frac{Bi}{1 + Bi \cdot d_3} C_1^3 \quad (103)$$

$$B_n^3 = -A_n^3 \frac{\lambda_n \cdot ch(\lambda_n \cdot d_3) + Bi \cdot sh(\lambda_n \cdot d_3)}{\lambda_n \cdot sh(\lambda_n \cdot d_3) + Bi \cdot ch(\lambda_n \cdot d_3)} \quad (104)$$

On applique maintenant la condition de continuité de température et de flux entre les couches 1 et 2 (96)(97) puis entre les couches 2 et 3 (97). Le système d'équation pour les coefficients  $C_1^1, C_2^1, C_1^2, C_2^2, C_1^3, C_2^3$  est donné en (105).

$$\begin{cases} C_1^2 + C_2^2 d_2 = C_1^3 + C_2^3 d_2 \\ k_{23} \cdot C_2^2 = C_2^3 \\ C_1^1 + C_2^1 d_1 = C_1^2 + C_2^2 d_1 \\ k_{12} \cdot C_2^1 = C_2^2 \end{cases} \quad (105)$$

En rajoutant l'équation (103) au système (105), il est possible d'exprimer  $C_1^1$  en fonction de  $C_2^1$ .

$$C_1^1 = C_2^1 \left[ d_1(k_{12} - 1) + d_2 k_{12}(k_{23} - 1) - k_{12} k_{23} \frac{1 + Bi \cdot d_3}{Bi} \right] \quad (106)$$

Le système d'équation pour les coefficients  $A_n^1, B_n^1, A_n^2, B_n^2, A_n^3, B_n^3$  est donné en

$$\begin{cases} A_n^2 \cdot sh(\lambda_n \cdot d_2) + B_n^2 \cdot ch(\lambda_n \cdot d_2) = A_n^3 \cdot sh(\lambda_n \cdot d_2) + B_n^3 \cdot ch(\lambda_n \cdot d_2) \\ k_{23} [A_n^2 \cdot ch(\lambda_n \cdot d_2) + B_n^2 \cdot sh(\lambda_n \cdot d_2)] = A_n^3 \cdot ch(\lambda_n \cdot d_2) + B_n^3 \cdot sh(\lambda_n \cdot d_2) \\ A_n^1 \cdot sh(\lambda_n \cdot d_1) + B_n^1 \cdot ch(\lambda_n \cdot d_1) = A_n^2 \cdot sh(\lambda_n \cdot d_1) + B_n^2 \cdot ch(\lambda_n \cdot d_1) \\ k_{12} [A_n^1 \cdot ch(\lambda_n \cdot d_1) + B_n^1 \cdot sh(\lambda_n \cdot d_1)] = A_n^2 \cdot ch(\lambda_n \cdot d_1) + B_n^2 \cdot sh(\lambda_n \cdot d_1) \end{cases} \quad (107)$$

En ajoutant l'équation (104) au système (107), il est possible d'exprimer  $B_n^1$  en fonction de  $A_n^1$ .

$$B_n^1 = A_n^1 \frac{\psi_{12} \varphi_{23} - \delta_{12} \psi_{23} + \Phi_n (\psi_{12} \psi_{23} - \delta_{12} \delta_{23})}{\varphi_{12} \varphi_{23} - \psi_{12} \psi_{23} + \Phi_n (\varphi_{12} \psi_{23} - \psi_{12} \delta_{23})} = A_n^1 \cdot f_n$$

$$\text{Avec : } \begin{cases} \delta_{ij} = \frac{1}{k_{ij}} sh^2(\lambda_n d_i) - ch^2(\lambda_n d_i) \\ \varphi_{ij} = \frac{1}{k_{ij}} ch^2(\lambda_n d_i) - sh^2(\lambda_n d_i) \\ \psi_{ij} = ch(\lambda_n d_i) \cdot sh(\lambda_n d_i) \left(1 - \frac{1}{k_{ij}}\right) \\ \Phi_n = \frac{\lambda_n \cdot ch(\lambda_n \cdot d_3) + Bi \cdot sh(\lambda_n \cdot d_3)}{\lambda_n \cdot sh(\lambda_n \cdot d_3) + Bi \cdot ch(\lambda_n \cdot d_3)} \end{cases} \quad (108)$$

La température dans la première couche s'écrit alors de la manière suivante :

$$T_1^* = C_2^1 \left[ d_1(k_{12} - 1) + d_2 k_{12}(k_{23} - 1) - k_{12} k_{23} \frac{1 + Bi \cdot d_3}{Bi} + z^* \right] + \sum_{n=1}^{\infty} A_n^1 [sh(\lambda_n z^*) + f_n \cdot ch(\lambda_n z^*)] \cdot J_0(\lambda_n r^*) \quad (109)$$

On applique maintenant les deux dernières conditions aux limites en  $z^*=0$  (87)(89).

$$C_2^1 + \sum_{n=1}^{\infty} A_n^1 \cdot \lambda_n \cdot J_0(\lambda_n r^*) = -\frac{q \cdot b}{k_1 \Delta T_0} \text{ pour } 0 \leq r^* \leq \varepsilon \quad (110)$$

$$C_2^1 + \sum_{n=1}^{\infty} A_n^1 \cdot \lambda_n \cdot J_0(\lambda_n r^*) = 0 \text{ pour } \varepsilon < r^* \leq 1 \quad (111)$$

Le coefficient  $C_2^1$  est calculé en multipliant (110) par  $r^* dr^*$  puis en intégrant en notant que :

$$\int_0^{\lambda_n} \lambda_n \cdot r^* \cdot J_0(\lambda_n \cdot r^*) \cdot d(\lambda_n \cdot r^*) = \lambda_n \cdot J_1(\lambda_n) = 0 \quad (112)$$

On obtient finalement :

$$C_2^1 = -\frac{q \cdot b}{k_1 \Delta T_0} \quad (113)$$

Le coefficient  $A_n^1$  est calculé en multipliant (111) par  $r^* J_0(\lambda_m \cdot r^*) dr^*$  puis en intégrant en notant que :

$$\int_0^1 r^* \cdot J_0(\lambda_n \cdot r^*) \cdot J_0(\lambda_m \cdot r^*) d(r^*) = \begin{cases} 0 & \text{si } \lambda_m \neq \lambda_n \\ \frac{1}{2} [J_0^2(\lambda_n) + J_1^2(\lambda_n)] & \text{si } \lambda_m = \lambda_n \end{cases} \quad (114)$$

On obtient finalement :

$$A_n^1 = -\frac{2\varepsilon J_1(\lambda_n \varepsilon)}{\lambda_n^2 J_0^2(\lambda_n)} \frac{q \cdot b}{k_1 \Delta T_0} \quad (115)$$

La température dans la couche 1 s'écrit donc de la manière suivante :

$$T_1^* = \left( -\frac{q \cdot b}{k_1 \Delta T_0} \right) \left[ d_1(k_{12} - 1) + d_2 k_{12}(k_{23} - 1) - k_{12} k_{23} \frac{1 + Bi \cdot d_3}{Bi} + z^* \right] + \sum_{n=1}^{\infty} \left( -\frac{2\varepsilon J_1(\lambda_n \varepsilon)}{\lambda_n^2 J_0^2(\lambda_n)} \frac{q \cdot b}{k_1 \Delta T_0} \right) [sh(\lambda_n z^*) + f_n \cdot ch(\lambda_n z^*)] \cdot J_0(\lambda_n r^*) \quad (116)$$

#### 4. Calcul de la résistance thermique de diffusion

Le calcul de la résistance thermique totale du module est présenté en (117).  $\overline{T_{source}}$  correspond à la valeur moyenne de la température de la source de chaleur et  $Q$  est le flux de chaleur total (en W).

$$R_T = \frac{\overline{T_{source}} - T_0}{Q} \quad (117)$$

Avec  $Q = q \cdot \pi \cdot a^2$

Avec quelques modifications, elle peut s'exprimer de la manière suivante :

$$R_T = \frac{\Delta T_0 \overline{T_{source}^*}}{q \cdot \pi \cdot a^2} \quad (118)$$

On définit maintenant une résistance thermique adimensionnelle à partir des équations (119) et (120).

$$\Delta T_0 = \frac{q \cdot b}{k_1} \quad (119)$$

$$R_T^* = k_1 \cdot a \cdot R_T \quad (120)$$

On obtient finalement l'équation suivante :

$$R_T^* = \frac{1}{\pi \varepsilon} \overline{T_{source}^*} = \frac{1}{\pi \varepsilon} \overline{T_1^*(r, z = 0)} \quad (121)$$

On peut maintenant calculer la valeur moyenne de la température de la source de chaleur.

$$\begin{aligned} \overline{T_{source}^*} &= \overline{T_1^*(r, z = 0)} = \frac{1}{\pi \varepsilon^2} \int_0^\varepsilon T_1^*(r, z = 0) \\ &= \frac{q \cdot b}{k_1 \Delta T_0} \left[ k_{12} k_{23} \frac{1 + Bi \cdot d_3}{Bi} - d_1 (k_{12} - 1) - d_2 k_{12} (k_{23} - 1) \right. \\ &\quad \left. + \sum_{n=1}^{\infty} \left( -\frac{4 \cdot J_1^2(\lambda_n \varepsilon)}{\lambda_n^3 J_0^2(\lambda_n)} \right) \cdot f_n \right] \end{aligned} \quad (122)$$

Finalement, la résistance thermique adimensionnelle totale s'écrit de la manière suivante :

$$R_T^* = \frac{1}{\pi \varepsilon} \left[ k_{12} k_{23} \frac{1 + Bi \cdot d_3}{Bi} - d_1 (k_{12} - 1) - d_2 k_{12} (k_{23} - 1) + \sum_{n=1}^{\infty} \left( -\frac{4 \cdot J_1^2(\lambda_n \varepsilon)}{\lambda_n^3 J_0^2(\lambda_n)} \right) \cdot f_n \right] \quad (123)$$

La résistance thermique totale est la somme de la résistance thermique 1D et de la résistance thermique de diffusion.

$$R_T^* = R_{1D}^* + R_{diff}^* \quad (124)$$

Finalement, la résistance thermique de diffusion en forme adimensionnelle ou dimensionnelle est donnée en (125).

$$R_{diff}^* = R_{diff} \cdot k_1 \cdot a = -\frac{4}{\pi \varepsilon} \sum_{n=1}^{\infty} \frac{J_1^2(\lambda_n \varepsilon)}{\lambda_n^3 J_0^2(\lambda_n)} \cdot f_n \quad (125)$$

Ou également :

$$R_{diff} = -\frac{4}{\pi \cdot \varepsilon \cdot k_1 \cdot a} \sum_{n=1}^{\infty} \frac{J_1^2(\lambda_n \varepsilon)}{\lambda_n^3 J_0^2(\lambda_n)} \cdot \frac{\psi_{12} \varphi_{23} - \delta_{12} \psi_{23} + \Phi_n (\psi_{12} \psi_{23} - \delta_{12} \delta_{23})}{\varphi_{12} \varphi_{23} - \psi_{12} \psi_{23} + \Phi_n (\varphi_{12} \psi_{23} - \psi_{12} \delta_{23})}$$

$$\text{Avec : } \begin{cases} \delta_{ij} = \frac{1}{k_{ij}} sh^2(\lambda_n d_i) - ch^2(\lambda_n d_i) \\ \varphi_{ij} = \frac{1}{k_{ij}} ch^2(\lambda_n d_i) - sh^2(\lambda_n d_i) \\ \psi_{ij} = ch(\lambda_n d_i) \cdot sh(\lambda_n d_i) \left(1 - \frac{1}{k_{ij}}\right) \\ \Phi_n = \frac{\lambda_n \cdot ch(\lambda_n \cdot d_3) + Bi \cdot sh(\lambda_n \cdot d_3)}{\lambda_n \cdot sh(\lambda_n \cdot d_3) + Bi \cdot ch(\lambda_n \cdot d_3)} \end{cases} \quad (126)$$



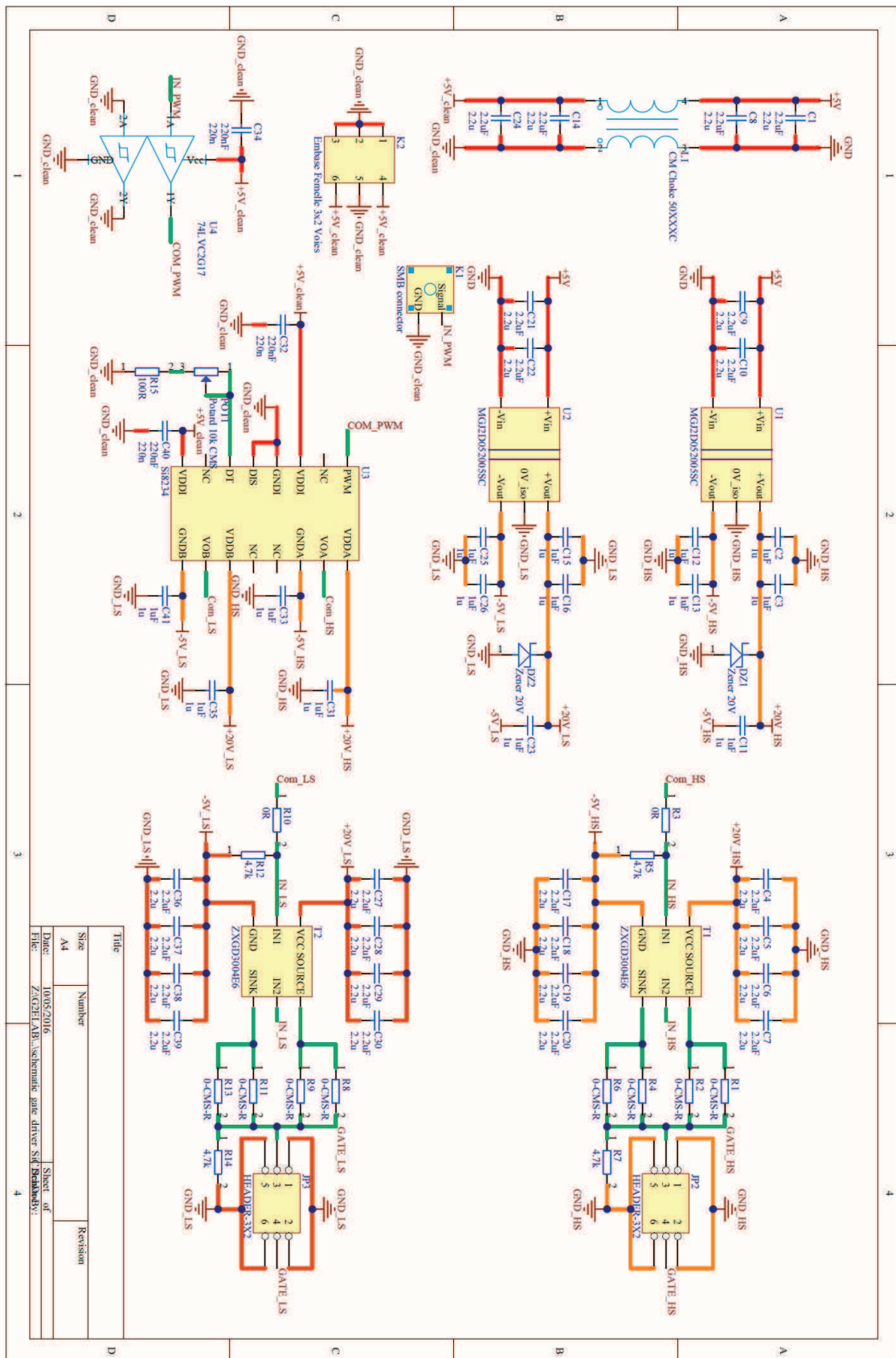
## Annexe 3

---

### *Schéma électrique du circuit de commande rapprochée*







---

# Onduleur à forte intégration utilisant des semi-conducteurs à grand gap

**Résumé :** Les composants semi-conducteurs à base de matériaux à grand gap (SiC et GaN) présentent des caractéristiques intéressantes pour la réalisation de convertisseurs d'électronique de puissance toujours plus intégrés. Cependant, le packaging des composants traditionnels en silicium ne semble plus adapté pour ces nouveaux composants et apparaît même comme un facteur limitant. Le développement d'un packaging adapté aux caractéristiques des composants à grand gap est alors nécessaire. Les travaux développés dans cette thèse proposent un nouveau packaging tridimensionnel basé sur un procédé de fabrication de circuit imprimé. L'architecture du module est basé sur le concept « Power Chip On Chip » dont le principe de base permet de réduire les perturbations électromagnétiques. Le procédé de fabrication des circuits imprimés offre une grande flexibilité pour le routage en trois dimensions et permet de s'affranchir de l'interconnexion par fil de bonding entre le package et la puce. La démarche de conception du module s'appuie sur une approche multi-physique afin de qualifier le comportement électromagnétique et thermique du module puis de proposer des voies d'optimisation. Un prototype d'un module implémentant quatre cellules de commutation en parallèle, à base de MOSFET SiC, a été produit avec des moyens de production industriels. Les différents tests réalisés valident l'approche retenue dans ce projet mais soulignent également les aspects technologiques à approfondir pour la réalisation d'un module de puissance industriel.

**Mots clefs :** Electronique de puissance, Module, Packaging 3D, Circuit imprimé, MOSFET SiC, Compatibilité électromagnétique.

## High density inverter using wide-band-gap semiconductors

**Abstract :** Wide-band-gap (WBG) semiconductors (SiC and GaN) offer interesting characteristics to realize high density power electronics converters. Conventional packaging used for silicon devices is no more adapted for these new components. Development of dedicated packaging for WBG devices is absolutely required. This PhD thesis presents a new 3D package based on Printed Circuit Board (PCB) industrial process. The module architecture is based on "Power Chip On Chip" concept which allows reducing electromagnetic disturbances. PCB fabrication process offers high design flexibility in three dimensions and allows removing wire bonding to interconnect power dies and package. The power module design process is built on multi-physics design tools in the aim to quantify electromagnetic and thermal behavior of the module. Furthermore, several optimization parameters are highlighted. A power module prototype, with four commutation cells in parallel based on SiC MOSFET, has been produced thanks to industrial facilities. Tests realized on new power module confirm the validity of the concept but furthermore highlight critical technological parameters to realize an industrial power module.

**Keywords:** Power electronics, Module, 3D packaging, Printed Circuit Board, SiC MOSFET, Electromagnetic compatibility.

---