



HAL
open science

Conception et exploitation d'un banc d'auto-caractérisation pour la prévision de la fiabilité des circuits numériques programmables

Mohammad Naouss

► **To cite this version:**

Mohammad Naouss. Conception et exploitation d'un banc d'auto-caractérisation pour la prévision de la fiabilité des circuits numériques programmables. Autre. Université de Bordeaux, 2016. Français. NNT : 2016BORD0159 . tel-01412351

HAL Id: tel-01412351

<https://theses.hal.science/tel-01412351>

Submitted on 8 Dec 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

PRÉSENTÉE À

L'UNIVERSITÉ DE BORDEAUX

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUES et DE
L'INGÉNIEUR

par **Mohammad NAOUSS**

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : ÉLECTRONIQUE

**Conception et exploitation d'un banc d'auto-caractérisation
pour la prévision de la fiabilité des circuits numériques
programmables**

Date de soutenance : 20 Octobre 2016

Devant la commission d'examen composée de :

Alain BRAVAIX	Professeur, ISEN Toulon	Rapporteur
Bertrand GRANADO	Professeur, Université Pierre et Marie Curie	Rapporteur
François MARC	Maitre de Conférence, Université de Bordeaux	Directeur de thèse
Cristell MANEUX	Professeur, Université de Bordeaux	Examinatrice
Christophe JEGO	Professeur, Bordeaux INP	Examinateur
Jean-Claude CLEMENT	Lab Manager, Thales Research & Technology	Examinateur

A Mes Très Chers Parents ...

*Que Dieu tout puissant vous garde et vous procure santé, bonheur et longue vie pour que vous demeuriez le
flambeau illuminant le chemin de vos enfants.*

A mon cher grand-père ...

*Aucune dédicace ne saurait exprimer tout ce que je ressens pour vous. Je vous remercie pour tout le soutien
exemplaire et l'amour exceptionnel que vous me portez depuis mon enfance et j'espère que votre bénédiction
m'accompagnera toujours*

« La science sans religion est boiteuse, la religion sans science est aveugle »

Albert Einstein, 1879-1955

Remerciements

“ La thèse de doctorat représente un travail s’inscrivant dans la durée, et pour cette raison, constitue le fil conducteur d’une tranche de vie de son auteur, parfois au crépuscule de la candeur étudiante, et souvent à l’aube de la maturité scientifique. De nombreuses personnes se retrouvent ainsi de manière fortuite ou non, pour le pire ou le meilleur, entre le doctorant et son doctorat. Ce sont certaines de ces personnes que j’aimerais mettre en avant dans ces remerciements [1]. ”

J’adresse mes plus vifs remerciements à Monsieur Alain BRAVAIX, Professeur à l’ISEN de Toulon et Monsieur Bretand GRANADO, Professeur à l’Université Pierre et Marie Curie à Paris pour avoir accepté d’être rapporteur de cette thèse et pour leur lecture critique et attentive de ce manuscrit.

Ma reconnaissance et mes remerciements les plus sincères vont à François MARC en tant que mon directeur de thèse, pour la confiance qu’il m’a accordée en acceptant d’encadrer ce travail doctoral, pour ses multiples conseils et pour toutes les heures qu’il a consacrées à diriger cette recherche. J’aimerais également lui dire à quel point j’ai apprécié sa grande disponibilité et son respect sans faille des délais serrés de relecture des documents que je lui ai adressés. Enfin, j’ai été extrêmement sensible à ses qualités humaines d’écoute et de compréhension tout au long de ce travail doctoral.

Je remercie tous les membres et ex-membres de l’équipe MODEL le climat sympathique dans lequel ils m’ont permis de travailler. Les nombreuses discussions que j’ai pu avoir avec chacun m’ont beaucoup apporté.

J’adresse toute ma gratitude à tous mes ami(e)s et à toutes les personnes qui m’ont aidé dans la réalisation de ce travail. Je remercie Madame Isabelle FAVRE et Monsieur Jean-Yves DELE-TAGE pour m’avoir permis de travailler dans d’aussi bonnes conditions.

Enfin, les mots les plus simples étant les plus forts, j’adresse toute mon affection à ma famille, et en particulier à ma maman qui m’a fait comprendre que la vie n’est pas faite que de problèmes qu’on pourrait résoudre grâce à des formules mathématiques et des algorithmes. Malgré mon éloignement depuis cinq ans, leur intelligence, leur confiance, leur tendresse, leur amour me portent et me guident tous les jours. Merci pour avoir fait de moi ce que je suis aujourd’hui. Est-ce un bon endroit pour dire ce genre de choses ? Je n’en connais en tous cas pas de mauvais. Je vous aime.

Table des matières

Remerciement	iii
1 Introduction et motivations	1
1.1 Les défis de la fiabilité	1
1.2 L'importance des FPGAs	2
1.3 Problématiques, objectifs et plan de ce travail	3
2 Etat de l'art	5
2.1 Field-programmable gate array	5
2.1.1 Technologies de mémoire	6
2.1.2 Cellules de configuration	8
2.1.3 Architectures de tables de correspondances	9
2.2 Les mécanismes de dégradation de la technologie VLSI	12
2.2.1 Bias Temperature Instability	13
2.2.2 Hot Carrier Injection	15
2.2.3 Time Dependent Dielectric Breakdown	17
2.2.4 Electromigration	18
2.2.5 Tendances et analyses	19
2.3 Détection et analyse des défauts et de la dégradation du FPGA	19
2.3.1 Étude de la dégradation du FPGA par simulations	19
2.3.2 Analyse des résultats expérimentaux	24
2.4 Conclusion	29

3	Architecture du banc de test	31
3.1	Méthodes existantes	32
3.1.1	Méthode de l'oscillateur en anneau (RO : Ring Oscillator)	32
3.1.2	Méthode de balayage de fréquence	34
3.2	Architecture Proposée	34
3.2.1	Cahier de charge	34
3.2.2	Structure de l'architecture implémentée sur FPGA	35
3.2.3	Architecture de circuit sous test	36
3.2.4	Architecture circuit de mesure (MC : Measured Circuit)	39
3.2.5	Fonctionnement de l'architecture matérielle du banc de test	41
3.2.6	Système de surveillance "Smart Monitoring System"	42
3.2.7	Structure de Communication	44
3.2.8	Fonctionnement global du banc de test	45
3.3	Mesure et compensation de la température	46
3.3.1	Température externe	47
3.3.2	Température interne	48
3.4	Réalisation des cartes de test	48
3.5	Conclusion	49
4	Manipulations et modèles empiriques du vieillissement	51
4.1	Conditions des vieillissements	51
4.1.1	Facteurs extérieurs de vieillissement	51
4.1.2	Facteurs intérieurs de vieillissement	53
4.1.3	Synthèse	53
4.2	Dégradation des LUTs et des interconnexions	54
4.2.1	Contrainte dynamique	54
4.2.2	Contraintes statique et dynamique	55
4.3	Caractérisation des vieillissements des LUTs dans un FPGA	58

4.3.1	Configuration de test	58
4.3.2	Influence du rapport cyclique	60
4.3.3	Modélisation semi-empirique du NBTI	63
4.3.4	Influence de la fréquence	67
4.4	Modélisation NBTI + HCI	71
4.5	Electromigration ou TDDB	71
4.6	Conclusion	72
5	Modélisation du vieillissement	75
5.1	Méthode	75
5.2	Polarisations et commutations des portes de transfert	76
5.3	Les contraintes appliquées sur les transistors de la LUT	78
5.3.1	États de stress	78
5.3.2	Les effets du rapport cyclique	79
5.4	Analyse temporelle de la LUT	80
5.4.1	Mode inverseur	81
5.4.2	Mode buffer	83
5.4.3	Mode statique	85
5.5	Simulations	85
5.5.1	Les effets temporels des transistors vieillis dus au BTI	86
5.5.2	Effets du rapport cyclique de l'entrée de la LUT	88
5.5.3	Les effets temporels des transistors vieillis dus aux HCI	93
5.6	Modélisations	95
5.6.1	NBTI	95
5.6.2	HCI	98
5.7	Conclusion	100
6	Conclusion	103
6.1	La fiabilité des FPGA	103

6.2 Publications	104
6.3 Perspectives	104

Bibliography	105
---------------------	------------

Liste des tableaux

2.1	Différents cas de vieillissement accéléré	27
4.1	mécanisme de défaillance en fonction des facteurs de vieillissement	54
4.2	Les types de contraintes et ses influences	57
4.3	La dégradation des LUTs sous différentes conditions de vieillissement	60
5.1	Tension aux bornes de transistors en différents modes de configurations de LUT	79
5.2	La sortie OUT de la LUT dépend de ses deux entrées et de la configuration logique	86

Table des figures

2.1	Structure de principe d'un FPGA	6
2.2	Cellule d'une mémoire statique et flash	7
2.3	Cellules de configuration	8
2.4	Connexion direct au niveau d'un LAB	9
2.5	Structure générale d'une LUT à deux entrées	10
2.6	Structure de LUT de deux entrées basée sur les portes logiques	10
2.7	Structure de LUT de deux entrées basée sur les <i>PT</i>	11
2.8	Structure de LUT de deux entrées basée sur les portes de transfert	12
2.9	Illustration du mécanisme de défaillance NBTI	14
2.10	variation de la tension de seuil du au NBTI	14
2.11	Illustration du mécanisme de défaillance PBTI	15
2.12	Illustration de mécanismes de défaillance HCI et TDDB	16
2.13	dégradation du transistor à cause de HCI	20
2.14	Différentes structures de commutation de routage	21
2.15	Architecture d'une 2-LUT, montrant les désignations de transistors	22
2.16	Effet du NBTI sur le temps en montée et en descente d'une 2-LUT	22
2.17	Architecture d'un multiplexeur dans une LUT	23
2.18	Conception du circuit sous test	23
2.19	Mesure la dégradation sous différents modes de stress	25
2.20	Architectures de circuits sous test	26
2.21	Résultats de mesure après un vieillissement accéléré	27
2.22	Changement des fréquences de RO après le vieillissement	28
2.23	Changement des fréquences de RO avec le vieillissement T + V	28
3.1	Méthode d'analyse Électro-Magnétique	33

3.2	Méthode de balayage de fréquence	34
3.3	Les principaux circuits implémentés au véhicule de test.	35
3.4	Structure d'un oscillateur en anneau d'un rapport cyclique variable	37
3.5	Chronogramme représentant les signaux de l'oscillateur	37
3.6	Comparaison entre le rapport cyclique mesuré, calculé et simulé	38
3.7	Architecture du circuit sous test	39
3.8	Architecture du circuit de mesure	40
3.9	Diagramme de temps des signaux de circuit de mesure	40
3.10	Temps en montée et descente du signal produit par un CUT qui contient 4 LUTs et une LUT de contrôle.	41
3.11	Structure globale du banc de test	45
3.12	Organigramme de communication entre PC et FPGA	46
3.13	La compensation de la fréquence par rapport à la température	47
3.14	Capteur de mesure de la température et sa calibration	48
4.1	La moyenne du temps de propagation après 1300 h	55
4.2	L'extrapolation de la dégradation du temps de propagation en fonction de la fréquence après 1300 h de stress	56
4.3	La dégradation du temps de propagation a) en descente et b) en montée sous contraintes statiques	57
4.4	La dégradation du temps de propagation en descente en fonction du temps de stress et du type de la contrainte	58
4.5	Histogrammes des valeurs initiales du temps de propagation a) en descente et b) en montée de CUTs	59
4.6	La dégradation de temps de propagation a) en montée et b) en descente des CUTs sous contrainte LF	61
4.7	La dégradation avec les barres des erreurs du temps en montée et en descente de CUTs après 3000 h de stress	62
4.8	Schéma d'un buffer basé sur deux inverseurs CMOS	62
4.9	Relation entre la dégradations de temps des circuits sous contrainte DC0, DC1 en fonction du temps de stress	64

4.10	Relation entre la dégradation de temps des circuits sous contrainte DC0 et ceux-ci sous contraintes DC1	65
4.11	Modèles semi-empiriques de vieillissement dus au NBTI comparant aux résultats expérimentaux	66
4.12	La dégradation de temps de propagation a) en descente et b) en montée des CUTs sous contrainte HF	68
4.13	La différence de dégradation du temps de propagation en descente entre un stress à haute fréquence et en très basse fréquence pour toute les valeurs du rapport cyclique	69
4.14	La dégradation du retard en raison du HCI avec l'exposant de la loi de puissance (n)	70
4.15	La dégradation du retard en raison du HCI pour deux fréquences de stress en fonction du nombre de cycles	70
4.16	La dégradation du temps en descente due aux NBTI + HCI et les réponses du modèle	72
5.1	diagramme de la méthode de fiabilité des LUT.	76
5.2	La porte de transfert CMOS	77
5.3	Rapport cyclique des transistors et des nœuds de la LUT à deux entrées	80
5.4	La schématique du deuxième étage du circuit LUT configuré comme inverseur	82
5.5	Le diagramme du temps de passage d'un signal de <i>IN1</i> vers <i>OUT</i> d'un LUT qui fonctionne comme inverseur	82
5.6	LUT configuré comme buffer	84
5.7	Le diagramme du temps de passage d'un signal de <i>IN1</i> vers <i>OUT</i> d'un LUT fonctionne comme buffer.	84
5.8	Impact du transistor vieilli sur le temps de la LUT configurée comme buffer	87
5.9	Impact du transistor vieilli sur le temps de la LUT configurée comme un inverseur	89
5.10	Impact du transistor vieilli sur le temps en descente de la LUT de <i>IN0</i> vers <i>OUT</i>	90
5.11	Structure 1-input LUT utilisée pour la simulation	90
5.12	Le comportement de commutation transitoire de la 1-LUT configurée comme inverseur sous DC0 stress	92

5.13 Le comportement de commutation transitoire de la 1-LUT configurée comme buffer sous DC0 stress	92
5.14 Les effets de transistors vieillis à cause du HCI sur la dégradation du temps en descente de la LUT.	94
5.15 Modèle et résultats expérimentaux de la dégradation du temps de propagation a) en descente et b) en montée, avec différentes valeurs du rapport cyclique (0% to 100%)	99

Chapitre 1

Introduction et motivations

1.1 Les défis de la fiabilité

Les Circuits Intégrés (CIs) sont utilisés dans une variété d'applications différentes. Il y a quelques applications spéciales pour lesquelles la fiabilité est particulièrement difficile. Tout d'abord, il y a les applications dans lesquelles l'environnement soumet les circuits intégrés à des contraintes beaucoup plus grandes que dans les applications de bureau ou des utilisations typiques. Par exemple, l'automobile, les applications militaires et aérospatiales soumettent les CIs aux températures extrêmes et aux vibrations. En outre, les applications spatiales ont également un environnement de rayonnement plus sévère. Deuxièmement, il existe des applications importantes (par exemple, l'électronique embarquée, ou les systèmes de sécurité) pour lesquelles les conséquences d'un échec d'un CI sont beaucoup plus grandes que dans les applications ordinaires. En général, un CI à une échelle réduite est moins «robuste», ce qui rend plus difficile de répondre aux exigences de fiabilité de ces applications spéciales.

Avec les besoins de faible taux de panne, nous sommes intéressés à la distribution des premiers instants de panne. Il y a eu une augmentation de la variabilité des processus avec la réduction d'échelle. En même temps, la taille d'un défaut critique décroît avec la réduction de l'échelle. Ces tendances vont se traduire par une augmentation de la dispersion de la tension de seuil des transistors donc des temps de propagation, des distributions de défaillance et, par conséquent, un temps décroissant du premier panne [2].

Les progrès de la lithographie optique ont permis la fabrication de structures sur puce avec une résolution plus élevée.

En général, l'évolution de la technologie a trois objectifs principaux :

- 1) réduire les temps de propagation de la porte, ce qui entraîne une augmentation des fréquences de fonctionnement,
- 2) augmenter la densité de transistors et
- 3) réduire la consommation d'énergie par transition, grâce à une réduction de la tension d'alimentation et de la tension de seuil.

Le premier défi de la fiabilité à court terme concerne les mécanismes de défaillance associés au

transistor MOS. Le panne peut être causé soit par claquage diélectrique de grille ou bien par changement de la tension de seuil au-delà des limites acceptables.

Nous devons développer des outils logiciels d'ingénierie de la fiabilité qui peuvent gérer l'augmentation de la variabilité des propriétés physiques des transistors, et mettre en œuvre l'analyse des données statistiques rigoureuses pour quantifier les incertitudes dans les projections de fiabilité.

Un moyen efficace pour répondre aux exigences est d'avoir une intégration complète de la fiabilité (built-in-reliability) et des solutions de conception pour fiabilité (design-for-reliability) disponibles au début du développement de chaque nouvelle génération de technologie [2].

Les FPGAs, en vertu de certaines de leurs caractéristiques, sont dans une position favorable pour relever ces défis c'est le sujet de cette thèse.

1.2 L'importance des FPGAs

La technologie Field-Programmable Gate Array (FPGA se traduit en français par circuits logiques programmables) continue de gagner du terrain : selon les prévisions, le marché mondial du FPGA devrait passer à 3,5 milliards d'ici 2019. Depuis leur invention par *Xilinx* en 1984, les FPGAs sont partis d'un simple rôle d' "interfaçage d'appoint" pour arriver à véritablement remplacer les circuits intégrés à application spécifique (ASIC : Application Specific Integrated Circuits) et les processeurs personnalisés dans des applications de contrôle et de traitement de signaux.

Les FPGAs sont des dispositifs à semi-conducteurs qui sont organisés autour d'une matrice de blocs logiques configurables (CLB : Configurable Logic Block) connectés via des interconnexions programmables. Un FPGA peut être reprogrammé selon les besoins des applications ou des fonctionnalités souhaitées après la fabrication. Cette caractéristique distingue les FPGAs des ASICs, qui sont fabriqués sur mesure pour des tâches de conceptions spécifiques. Des FPGAs programmables une seule fois (OTP : One Time Programmable) sont disponibles. Les types les plus utilisés sont à base de mémoire vive statique (SRAM : Static Random Access Memory) qui peuvent être reprogrammées selon l'évolution de la conception.

Parce qu'ils exécutent la logique dans le matériel et sont reprogrammables, les FPGAs gagnent en popularité pour leur rapidité et flexibilité. Lorsque ce dispositif est programmé, les portes sont correctement configurées et reliées les unes aux autres d'une manière qui permet d'obtenir une mise en œuvre matérielle de l'application. Des systèmes de contrôle à base d'un FPGA peuvent appliquer la logique de verrouillage critique et être conçus pour empêcher les modifications et la lecture de la configuration par un utilisateur.

Face à des préoccupations croissantes concernant le temps de mise sur le marché, la technologie FPGA représente une solution souple offrant des capacités de prototypage rapide. Ainsi, vous

pouvez tester une idée ou un concept, puis le vérifier sur du matériel sans avoir à passer par le long processus de fabrication d'un ASIC personnalisé [3].

L'augmentation des demandes sur le circuit configurable rapide et de faible consommation, encourage les constructeurs des FPGAs à bénéficier de la technologie à l'échelle nanométrique. Dernièrement, les FPGAs industriels par exemple Starix 10 utilisent la technologie 14 nm avec la technologie tri-gate [4]. Et les grands fondeurs des FPGAs commerciaux utilisent la dernière technologie High-k / métal de 28 nm [5].

Bien que ces technologies de FPGAs améliorent les performances et réduisent la consommation d'énergie [6] [7], elles sont accompagnées de plusieurs problèmes de fiabilité.

Le vieillissement du transistor est un des problèmes les plus importants de la fiabilité de cette technologie nanométrique. Les effets du vieillissement peuvent être résumés le plus souvent par une variation de la tension de seuil du transistor, ce qui provoque une variation des temps de propagations de la porte.

Pour ces raisons, les défis face à la réduction de l'échelle des CMOS (Complementary Metal Oxide Semiconductor) concernent les FPGAs.

1.3 Problématiques, objectifs et plan de ce travail

Minimiser les coûts est un élément clé du processus de fabrication de semi-conducteurs. La caractérisation ne fait pas exception, bien que les améliorations de l'efficacité au cours des 15 dernières années ont réduit le coût de la caractérisation à moins de 1% des revenus des CI [8]. Les principaux facteurs responsables de l'augmentation des performances nécessitent des réductions des coûts et du temps pour caractériser un composant, couplés à des augmentations de parallélisme et de test accéléré.

À l'avenir, plusieurs tendances vont contrebalancer l'efficacité des équipements et provoquer des augmentations de coûts :

- L'augmentation du nombre de transistors intégrés sur une seule puce va augmenter la quantité de données externes qui doivent être fournies au dispositif en cours de test (DUT : Device Under Test). L'effet global sera un temps de test plus long et un banc de test plus complexe. Cette question sera résolue principalement avec un parallélisme accru et des tests intégrés.
- La puce multi-couche ajoutera une exigence de test au niveau système car il manque l'accès à une couche individuelle. Sans conception appropriée pour améliorer le test (DFT : Design For Test), ce type de test peut prendre beaucoup plus longtemps que le test structurel classique. Cela impose également de conduire sur la plaquette (wafer) les processus de test plus exhaustifs qui coutent cher afin d'améliorer le rendement de la puce multi-couche.

L'un des objectifs de ce travail est de réaliser un banc d'auto-caractérisation à faible coût. Ce banc pourra être implémenté sur n'importe quelle technologie de circuits intégrés numériques, afin de mesurer les évolutions - en fonction du temps et des conditions d'utilisation - des paramètres fonctionnels des portes de cette technologie nanoélectronique. Nous avons développé une approche expérimentale à faible coût dans le but de caractériser la dégradation d'un FPGA commercial moderne. Ce travail est décrit dans le chapitre 3.

Le défi des modèles de mécanismes de dégradation est qu'ils sont très dépendants des paramètres du procédé et très difficiles à relier aux propriétés des technologies de production. Dans le chapitre 4, plusieurs manipulations avec différentes tensions d'alimentation, températures et architectures de circuits sous tests seront mises en place, afin d'avoir des résultats sous différentes conditions de test. Les résultats mettent en évidence les mécanismes présents dans la technologie et fournissent des informations importantes pour le développement d'un modèle de vieillissement de chaque mécanisme de défaillance en fonction des conditions de stress et d'opérations.

Pour mieux comprendre la dégradation des FPGAs, nous avons développé une stratégie de modélisation, décrite au chapitre 5. Une étude théorique des mécanismes de dégradation appliqués aux tables de correspondance (LUT : Look-Up Tables) au niveau du transistor est réalisée et validée par des simulations. Le but ici, est d'appliquer cette étude pour améliorer les modèles de dégradation qui sont basés sur des résultats expérimentaux et de les passer au niveau des transistors. Deux mécanismes de dégradation sont modélisés, montrant chacun des caractéristiques distinctes.

Chapitre 2

Etat de l'art

La fiabilité est la probabilité d'une entité à accomplir une fonction requise pendant un intervalle de temps donné, dans des conditions données. L'entité peut être un composant, un système, un réseau ou même un logiciel. La fonction requise, nécessaire pour la fourniture d'un service donné, doit être spécifiée dans un cahier des charges définissant les tolérances acceptables. Les conditions d'emploi sont liées à l'environnement climatique, mécanique, chimique et/ou électrique. La fiabilité devient un critère de conception important lorsque la technologie CMOS est à l'échelle Deep SubMicron (DSM) ou même nanométrique [9], [10].

Ce chapitre constitue un état de l'art des approches développées qui sont pertinentes pour la fiabilité des FPGAs.

Il commence donc par une brève description des différentes parties d'un FPGA : les technologies des mémoires utilisées, les blocs logiques programmables et les trois architectures existantes des tables de correspondance (LUT : Look-Up Table). Ce chapitre décrit ensuite les principaux mécanismes de défaillance de la technologie nanométrique. Pour cela, une analyse de la fiabilité passe par la compréhension des modes de défaillance des circuits logiques et la modélisation des mécanismes de vieillissement qui en découlent. Des études théoriques et des travaux effectués sur les phénomènes et les mécanismes spécifiques qui présentent des risques sur les fonctionnements des circuits VLSI seront expliqués dans la deuxième section de ce chapitre. Les travaux existants sur la fiabilité des FPGAs seront introduits dans la dernière section. Deux catégories de ces travaux : 1) des analyses basées sur des simulations en utilisant les modèles des transistors qui sont fournis par ces fondeurs, 2) des analyses des données expérimentales en utilisant des méthodes pour détecter et analyser la dégradation dans les circuits logiques programmables et spécifiquement les FPGAs.

2.1 Field-programmable gate array

Comme cela est illustré schématiquement sur la figure 2.1, un FPGA se compose d'un ensemble de blocs logiques configurables de différents types, incluant la logique combinatoire,

la mémoire et d'autres blocs fonctionnels. Ces blocs sont entourés d'un tissu d'acheminement programmable qui leur permet d'être interconnectés de façon configurable. La matrice des interconnexions est entourée de blocs configurables d'entrée/sortie, qui relient la puce au monde extérieur.

Le but des blocs logiques configurables est de réaliser une fonction complexe avec le minimum de surface et le plus rapidement possible. La configuration du circuit est faite grâce à des cellules mémoires de configuration (CRAM : Configuration Random Access Memory). Ces cellules mémoires vont alors activer les différents transistors pour accomplir la fonction désirée. Une partie des performances et des caractéristiques du FPGA est déterminée par le choix de ces cellules mémoires. Les blocs logiques sont aussi assemblés entre eux grâce à un vaste réseau d'interconnexions configurables. Le réseau doit être assez complexe pour garantir d'utiliser le minimum de surface pour implémenter n'importe quel fonction et il ne doit pas utiliser une surface trop grande afin de limiter la consommation et garder la rapidité.

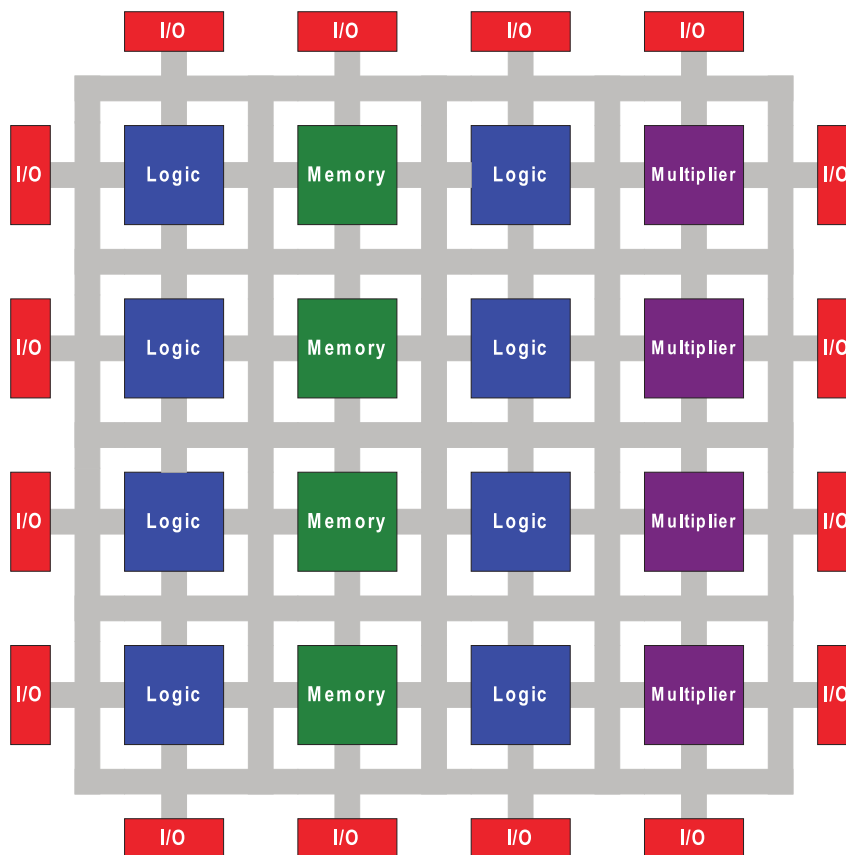


FIGURE 2.1 – Structure de principe d'un FPGA

2.1.1 Technologies de mémoire

Les FPGAs sont des circuits configurés en fonction de l'état des cellules mémoires. Il existe différentes catégories de FPGAs en fonction de la technologie de la mémoire de configuration. Pour cela, il est important de connaître les caractéristiques de ces mémoires pour comprendre les

caractéristiques finales d'un FPGA. Deux types de mémoires sont principalement utilisés dans les FPGAs modernes : les SRAM et les FLASH EEPROM (Electrically-Erasable Programmable Read-Only Memory). Les deux paragraphes suivants décrivent donc ces mémoires.

Mémoire statique SRAM

La technologie de programmation SRAM est devenue l'approche dominante pour les FPGAs. Elle est notamment utilisée dans les FPGAs des grands fondeurs *Xilinx*, *Altera* et *Lattice*.

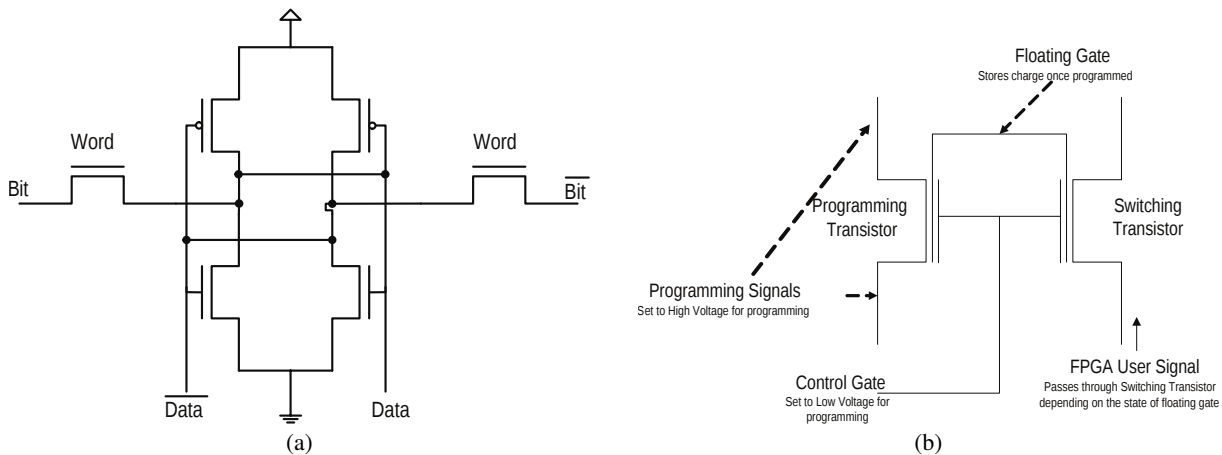


FIGURE 2.2 – Cellule d'une mémoire a) statique b) flash

La cellule SRAM nécessite 6 transistors, comme illustré sur la figure 2.2a, ce qui est une taille élevée comparée aux autres technologies de mémoire. Mais l'utilisation de la technologie CMOS standard permet à cette technologie de bénéficier de l'intégration accrue, et par conséquent, de vitesses plus élevées et de faible consommation. La cellule SRAM a également l'avantage de pouvoir être lue et écrite un nombre infini de fois et d'être facilement et rapidement modifiable.

La majorité des cellules SRAM servent à stocker les données contenues dans les tables de correspondance LUT qui sont généralement utilisées dans les FPGA à base de SRAM pour implémenter des fonctions logiques.

La volatilité de la cellule SRAM nécessite l'utilisation de dispositifs externes pour stocker en permanence les données de configuration lorsque le FPGA est mis hors tension. Ces périphériques flash ou EEPROM externes s'ajoutent au coût d'un FPGA à base de SRAM [11], [12].

Mémoire Flash

La mémoire FLASH est une autre technologie de mémoire utilisée principalement dans les FPGAs de chez *Actel*. La cellule est composée d'un seul transistor pour la programmation et d'un transistor utilisé comme interrupteur, ce qui signifie qu'elle nécessite moins de surface que la cellule SRAM. L'utilisation généralisée de cellules de mémoire flash pour les puces de

mémoire non volatile assure que les processus de fabrication flash bénéficieront d'une diminution constante des géométries. La figure 2.2b illustre l'approche à base de flash utilisé dans des dispositifs ProASIC d'Actel [13]. L'inconvénient de cette technologie est que les FPGAs à base de flash ne peuvent pas être configurés/reprogrammés un nombre infini de fois (de 500 à 1000 fois [13] pour les FPGAs Flash de chez *Actel*). L'avantage est que ce circuit garde sa configuration, donc sa fonction, lorsque l'alimentation est coupée.

2.1.2 Cellules de configuration

Bloc logique configurable

Ces blocs (CLB : Configurable Logic Block) contiennent la logique du FPGA. Dans l'architecture grande-échelle utilisée aujourd'hui par tous les vendeurs des FPGAs, ces CLB contiennent assez de logique pour créer une petite machine d'état. Chaque bloc contient de la RAM pour la création de fonctions logiques combinatoires arbitraires, également connu sous le nom des tables de correspondances (LUT) [14]. Il contient également des bascules pour les éléments de stockage synchronisés, avec des multiplexeurs afin d'acheminer la logique dans le bloc depuis les entrées ou vers ces sorties, comme illustré sur la figure 2.3a. Les multiplexeurs permettent également de sélectionner la polarité.

Les CLBs ont été inventés par David Wayne Page et Lu Verne Peterson en 1985 et 1986, et définis dans leurs brevets [15, 16].

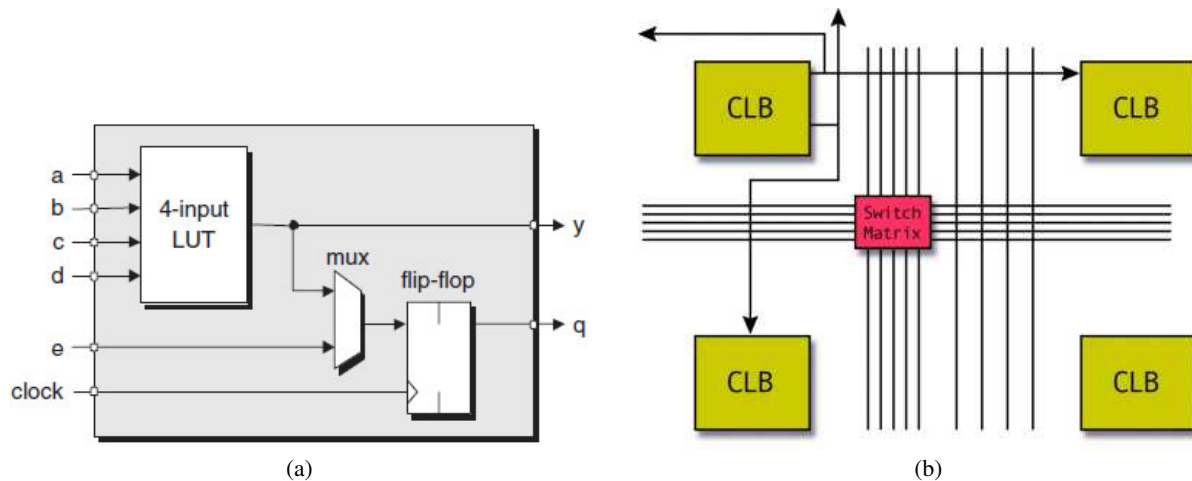


FIGURE 2.3 – a) Structure de base d'un bloc logique configurable b) Structure générale des cellules de configuration

Bloc de réseaux logique

Un bloc de réseaux logiques (LAB : Logic Array Block) contient 16 Elements Logiques (LE pour Altera) ou bien blocs logiques configurables (CLB pour Xilinx). Les LE/CLB de même

LAB communiquent entre eux en utilisant un réseau d'interconnexion local.

Les LABs peuvent être interconnectés grâce à un réseau d'interconnexions longue distance, et ils ont un accès direct aux éléments adjacents dans la structure du FPGA (Fig. 2.4)

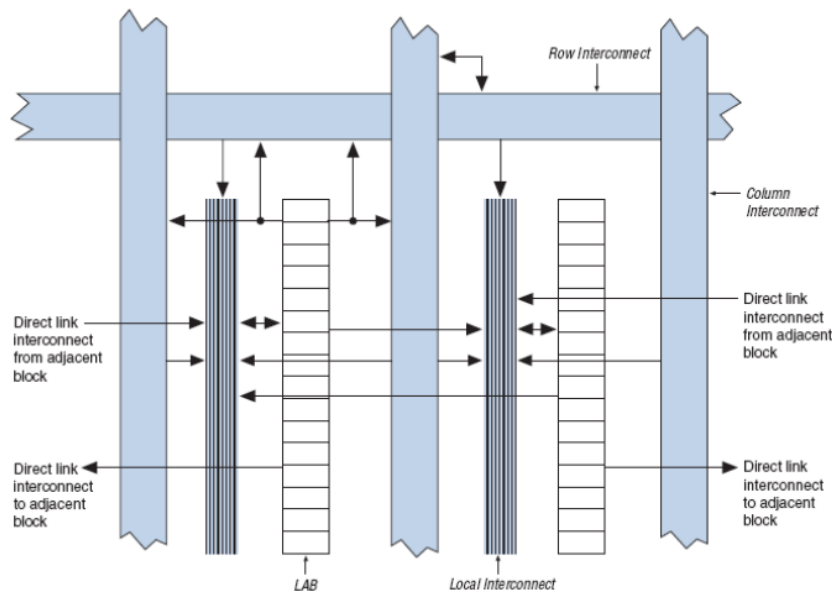


FIGURE 2.4 – Connexion direct au niveau d'un LAB

Interconnexion programmable

Les blocs logiques élémentaires sont reliés entre eux grâce à un réseau d'interconnexions complexe. Ce réseau est configurable, c'est-à-dire, il doit activer un transistor qui fonctionne comme un interrupteur pour relier une ligne de métal à une autre.

Il existe des longues lignes qui peuvent être utilisées pour connecter des CLB critiques qui sont physiquement éloignés les uns des autres sur la puce sans provoquer beaucoup de retard.

Il existe également des lignes courtes qui sont utilisées pour connecter les CLB individuels qui sont situés physiquement à proximité les uns des autres, comme illustré sur la figure 2.3b. Des transistors sont utilisés pour activer ou désactiver les connexions entre les différentes lignes. Il y a aussi plusieurs matrices de connexions programmables dans un FPGA pour relier ces lignes longues et courtes ensemble.

2.1.3 Architectures de tables de correspondances

Un élément clé de la souplesse de configuration des FPGAs est la LUT. Une grande partie de la logique d'un CLB est implémentée à l'aide de quantités réduites des mémoires vives RAM sous forme de LUTs. Une LUT comporte plusieurs entrées (k entrées) et une sortie. Elle permet

de réaliser n'importe quelle fonction logique à k entrées et une sortie. Elle est constituée d'un bloc de RAMs de 2^k bits, qui est indexé par ces entrées. Pour une LUT de deux entrées comme

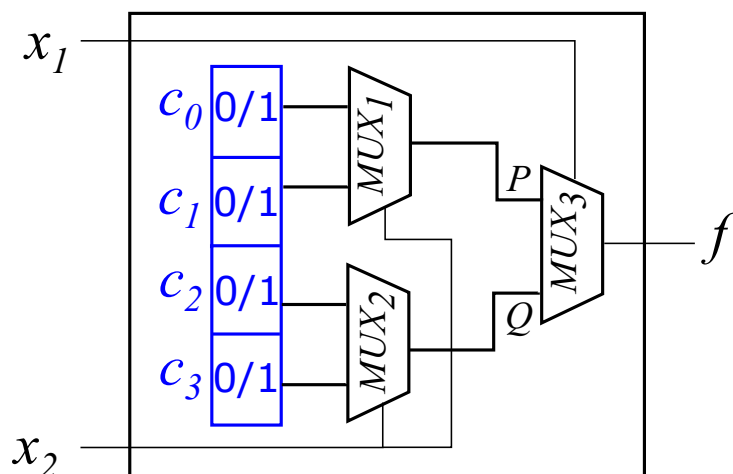


FIGURE 2.5 – Structure générale d'une LUT à deux entrées utilisant 3 multiplexeurs ($2 \rightarrow 1$) et 4 bits de configurations (C) qui sont stockés dans la mémoire SRAM.

celle illustrée sur la figure 2.5, les deux entrées x_1 et x_2 permettent de choisir laquelle des configurations de la mémoire vive (SRAM en FPGA) se transmet à la sortie f . Par conséquent, la sortie dépend de ces deux entrées par une équation logique selon la table de vérité qui est stockée dans la mémoire SRAM. On trouve trois structures principales de LUT qui sont décrites dans [17] et [18], et dans la suite de cette section.

Structure basée sur des portes logiques

La structure d'une LUT la plus simple est basée sur des portes logiques traditionnelles CMOS. Cette structure consiste en :

- Deux entrées (In0 et In1), correspondant aux x_1, x_2 dans la figure 2.5.
- Quatre bits de configuration ($C0 \rightarrow C3$) étant des sorties de SRAM.
- Trois multiplexeurs à deux entrées.

Chaque multiplexeur est formé de deux portes logiques AND, une porte inverseur NOT et une porte logique OR, comme montré dans la figure 2.6. L'utilisation d'un grand nombre de transistors (42 transistors) est le principal inconvénient de cette structure. De plus, elle est lente car le chemin de passage d'un bit de l'entrée vers la sortie est long.

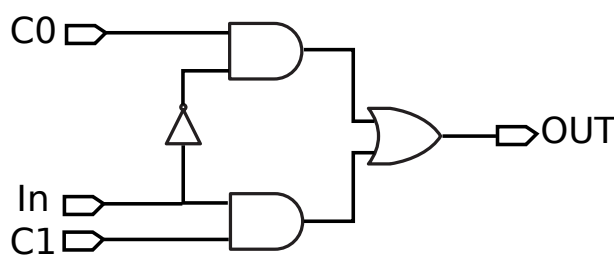


FIGURE 2.6 – Structure de LUT de deux entrées basée sur les portes logiques

Structure basée sur les transistors utilisés comme des commutateurs

La seconde structure est basée sur des transistors NMOS utilisés comme des commutateurs (PT : Pass Transistor) afin de transmettre l'état d'une configuration vers la sortie d'une LUT. Elle est formée d'un petit nombre de transistors (25 transistors), ce qui provoque une faible consommation d'énergie et moins de place pour l'implémenter.

Cette structure consiste en (voir figure 2.7) :

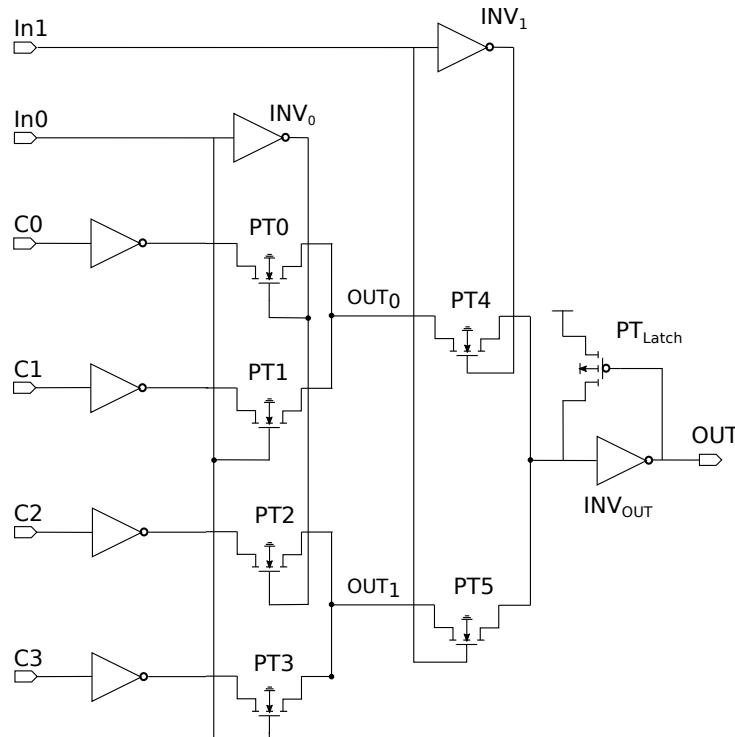


FIGURE 2.7 – Structure de LUT de deux entrées basée sur les *PT*

- Deux entrées (In0 et In1).
- Quatre bits de configurations ($C0 \rightarrow C3$) qui sont les sorties de la mémoire SRAM.
- Six *PT*s de type NMOS formant un multiplexeur.
- une demi-basculé constituée d'un inverseur et d'un transistor PMOS, qui maintient le niveau haut de l'entrée de l'inverseur.

Dans cette structure, les transistors *PT* sont des transistors NMOS. Ils sont plus petits que les PMOS, et donc ils prennent moins de place. Cependant, les transistors NMOS présentent une bonne transmission des niveaux bas (0 logique) mais une mauvaise transmission des niveaux hauts (1 logique). Pour cela, une demi-basculé est nécessaire afin d'améliorer le niveau haut de la sortie logique. Mais elle ne suffit pas à compenser cette dissymétrie. Pour cette raison cette structure n'est pas très recommandée.

Structure basée sur les portes de transfert

La structure d'une LUT basée sur des portes de transfert (TG : Transmission Gate) est conçue pour fonctionner efficacement aux deux niveaux de tension, au détriment d'un plus grand nombre

de transistors [19].

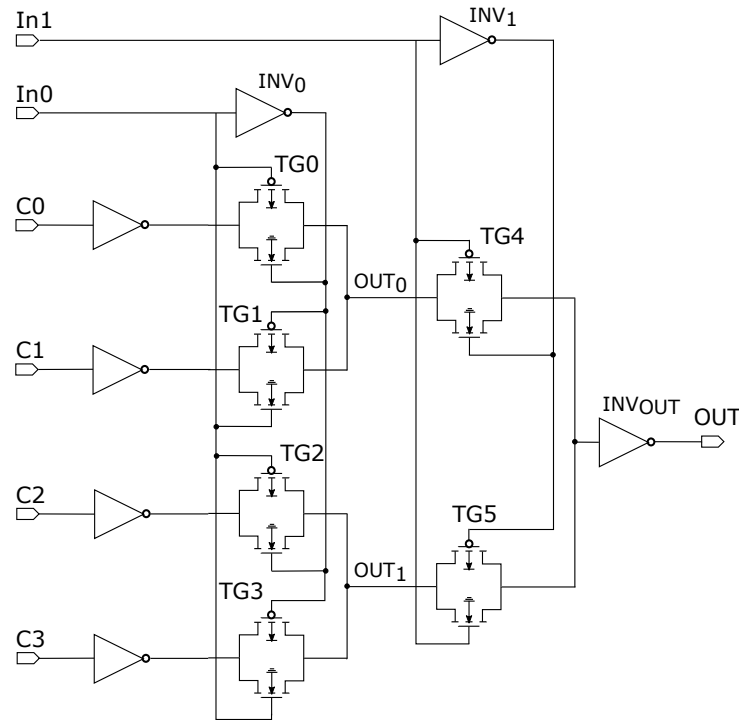


FIGURE 2.8 – Structure de LUT de deux entrées basée sur les portes de transfert

Cette structure consiste en (Fig. 2.8) :

- Deux entrées (In0 et In1).
- Quatre bits de configurations ($C0 \rightarrow C3$).
- Six TG (Deux transistors NMOS et PMOS placés en parallèle) formant un multiplexeur.
- Un inverseur sur la sortie de la LUT.

L'intérêt de cette structure est qu'elle traite symétriquement les niveaux hauts et les niveaux bas.

Nous étudierons en détail dans le chapitre 5 du manuscrit les différents cas de configurations et les conditions de stress associés de la structure basée sur les portes de transferts.

2.2 Les mécanismes de dégradation de la technologie VLSI

La recherche sur les facteurs de risque dans des circuits VLSI est importante pour ce travail tant que les FPGAs ont tendance à suivre la technologie des procédés de pointe. La littérature dans ce domaine peut nous informer des risques les plus critiques pour atténuer et fournir des informations vitales sur la façon dont ils se comportent.

Une réduction drastique des dimensions de la technologie et des process CMOS pose de sérieux problèmes sur la fiabilité au cours de la durée de vie du circuit intégré. Celle-ci n'est pas seulement affectée par les variations des paramètres de process à la fabrication, mais également par les effets de vieillissement [20]. La dégradation des paramètres des transistors au cours de

la durée de vie d'un système est en train de devenir une menace importante à la fiabilité du système. Ces types de défauts incluent le NBTI/PBTI, HCI, TDDB et l'électromigration.

2.2.1 Bias Temperature Instability

Le vieillissement d'un transistor dû à une instabilité en température en polarisation (BTI : Bias Temperature Instability) est considéré comme l'un des problèmes les plus importants de la fiabilité à l'échelle nano-métrique [21]. Il se compose en deux phénomènes qui sont :

1. L'instabilité en température en polarisation négative (NBTI) affecte les transistors PMOS lorsqu'une polarisation négative est appliquée à la grille, c'est à dire, lorsque la grille est mise à la masse (GND) et qu'une polarisation positive (V_{DD}) est appliquée à la source et au drain du transistor.
2. L'instabilité en température en polarisation positive (PBTI) affecte les transistors NMOS lorsqu'une polarisation positive est appliquée à la grille, c'est à dire, lorsque la grille est reliée à V_{DD} et la source et le drain sont mis à la masse (GND).

Ces deux phénomènes accroissent la tension de seuil (V_{th}) des transistors au cours du temps. Une augmentation de V_{th} réduit la marge de tension ($V_{DD} - V_{th}$) pour le NMOS et ($V_{DD} + V_{th}$) pour le PMOS, ce qui dégrade le temps de propagation des portes [22], [23].

Negative Temperature Instability

Le principal effet induit par le NBTI est une variation de la tension de seuil de fonctionnement des PMOSFETs qui entraîne une diminution de leur courant de drain. Les composants CMOS fortement intégrés ont tendance à produire toujours plus de chaleur en cours de fonctionnement dynamique, ce qui favorise le NBTI.

Les dégradations causées par les phénomènes du NBTI touchent en premier lieu la grille des transistors PMOS. Les deux grandeurs électriques impactées sont la tension et le courant de drain en saturation. En général, un NBTI est identifié par un certain écart entre la tension de seuil nominale et celle mesurée après stress.

L'application d'une tension de grille relativement élevée, par rapport aux conditions normales de fonctionnement, s'est donc imposée comme un facteur d'accélération couramment utilisé pour faciliter la mesure du NBTI.

L'augmentation de V_{th} est attribuée à l'apparition de pièges à l'interface du diélectrique de grille ou dans le diélectrique de grille. En particulier, les liaisons Si-H rompues à l'interface du diélectrique de grille génèrent des pièges de charges positives pour les trous dans la couche d'inversion comme le montre la figure 2.9.a [24]. Pendant la phase de récupération (Recovery) qui a lieu lorsque $V_{GS} = V_{GD} = 0$, les liaisons rompues Si-H à l'interface diélectrique de grille sont partiellement rétablies, ce qui réduit la valeur absolue de V_{th} du transistor (Fig. 2.9.b).

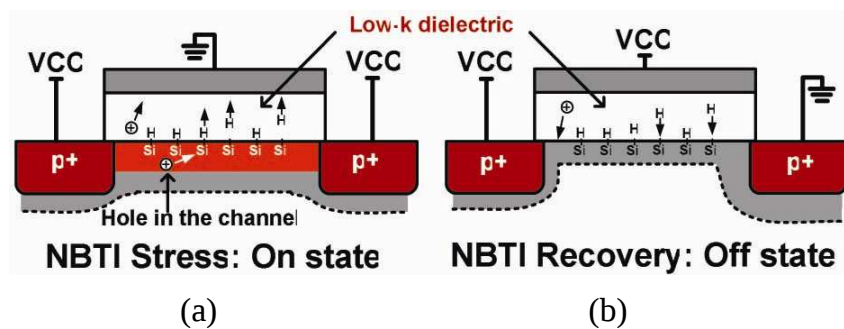


FIGURE 2.9 – Illustration du mécanisme de défaillance NBTI a) phase du stress b) phase de la récupération [24].

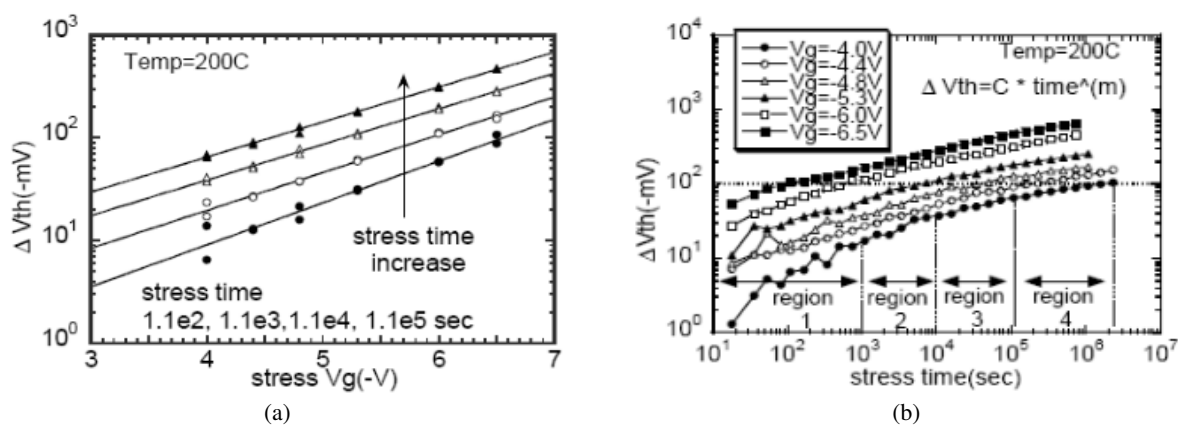


FIGURE 2.10 – Variation de la tension de seuil en fonction a) de la tension de grille b) du temps de stress [25].

La figure 2.10 montre que la variation de la tension de seuil est croissante avec la valeur absolue de la tension de grille ainsi qu'avec le temps de stress.

La variation de la tension de seuil V_{th} est correctement ajustée par la forme suivante [26, 27] :

$$\Delta V_{th} = C \times \exp(\beta V_{gs}) \times \exp\left(-\frac{E_a}{kT}\right) \times t^n \quad (2.1)$$

où V_{GS} est la tension grille source pendant le stress ;

T la température ;

et t le temps de stress. L'exposant n de la loi de puissance est typiquement $\frac{1}{4}$ ou bien $\frac{1}{6}$ selon la technologie utilisée, et reflète la saturation du processus avec le temps. Le facteur d'accélération de la tension de grille est exponentiel et la loi d'Arrhenius décrit la relation à la température. E_a est l'énergie d'activation, β et C sont des paramètres d'ajustement.

Positive Temperature Instability

Le PBTI est similaire au NBTI. Ses principaux effets sont une variation de la tension de seuil du fonctionnement des NMOSFET et une dégradation de leur courant de drain. Deux paramètres permettent d'accélérer ce processus : la température et les conditions de polarisation liées au

champ électrique.

Contrairement au NBTI, le PBTI n'est pas critique dans les diélectriques de dioxyde de silicium ou il a été peu observé. Cependant, sa contribution au vieillissement devient aussi importante [28], [29], car les diélectriques high-k ont commencé à être utilisés à partir du nœud de la technologie 32 nm.

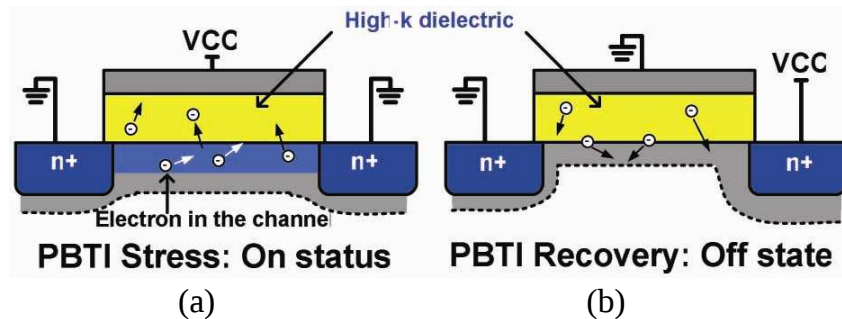


FIGURE 2.11 – Illustration du mécanisme de défaillance PBTI a) phase du stress b) phase de la récupération [24].

La Figure 2.11 explique la dégradation et la récupération de V_{th} du NMOS. Contrairement au NBTI, le mécanisme de vieillissement PBTI n'a pas encore été pleinement compris depuis les utilisations des diélectriques high-k. Même si divers modèles ont été proposés pour expliquer son effet en technologie high-k, aucun modèle n'est entièrement validé par les chercheurs [30].

2.2.2 Hot Carrier Injection

L'injection de porteurs chauds (HCI) est également basée sur une accumulation de défauts dans la région de l'interface diélectrique de grille-canal. Ici, les défauts d'interface sont causés par des porteurs de charge dans le canal, dont certains ont une énergie suffisante pour surmonter la barrière de potentiel du diélectrique de grille et sont accélérés par le champ de grille (figure 2.12a). Alors, les collisions se produisent avec les ions dans la région de l'interface et les défauts sont créés [31]. Comme le NBTI, le HCI dégrade progressivement les performances des transistors en raison de la charge permanente qu'elle génère dans le diélectrique. Cela augmente la tension de seuil et réduit la mobilité du canal, ce qui entraîne une diminution du courant de drain et donc une augmentation du temps de propagation de la porte.

Les deux mécanismes induits par les porteurs chauds sont : 1) l'injection de charges dans l'oxyde et 2) la création de pièges à l'interface.

Comme le BTI, l'augmentation de la tension d'alimentation peut accélérer la dégradation due au HCI. Par contre, la dégradation est réduite à haute température [32].

Les dégâts sur le transistor, en termes de pièges d'interface ΔN_{it} produits, peuvent être liés au champ électrique au niveau du drain [33] :

$$\Delta N_{it}(t) = C \left[\frac{I_D}{W} \exp\left(-\frac{E_{it,e}}{q\lambda_e\Phi}\right) \right]^n \quad (2.2)$$

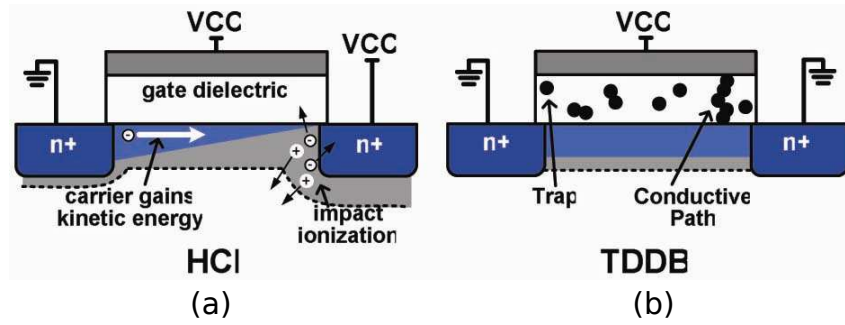


FIGURE 2.12 – Illustration de mécanismes de défaillance a) HCI b) TDDB.

où W est la largeur du canal, $E_{it,e}$ est l'énergie critique de la génération du piège, q est la charge élémentaire et λ_e le libre parcours moyen des électrons chauds. C est un paramètre d'ajustement.

La mobilité et la variation de la tension de seuil sont calculées selon les expressions suivantes [34] :

$$\mu = \frac{\mu_0}{1 + \alpha \Delta N_{it}} \quad (2.3)$$

$$\Delta V_{th} = \frac{q}{C_{ox}} \Delta N_{it} \quad (2.4)$$

où $\alpha = 2.4 \cdot 10^{-12} \text{ cm}^2$ d'après [35].

Selon [36], la dégradation des paramètres du transistor en raison du HCI peut être modélisée comme :

$$\Delta P = C \left(\frac{I_{sub}}{W} \right)^\alpha t^\beta \quad (2.5)$$

où $\frac{I_{sub}}{W}$ est le courant de substrat normalisé et α, β , et C sont des constantes liées à la technologie.

La sensibilité des composants aux effets des porteurs chauds varie avec la température, mais contrairement à de nombreux autres types de dégradation ce n'est pas en augmentant la température que l'on aggrave la situation. L'augmentation de température a plutôt pour effet de limiter les dégâts dus aux porteurs chauds. Cette observation est expliquée par les arguments suivants :

- Le nombre de porteurs chauds est réduit aux hautes températures car la longueur de saturation de leur vitesse est elle-même réduite.
- Le libre parcours moyen des porteurs majoritaires est aussi réduit.
- Le processus d'ionisation par impact est d'autant moins efficace que la température est haute.

Cependant, s'il y a de grandes variations de température, il faut inclure les effets d'accélération de la température dans les modèles de la durée de vie due au HCI [37]. La combinaison de l'effet de la température et (2.5) produit un modèle plus complet de la durée de vie du HCI :

$$t_f = A_{HCI} \left(\frac{I_{sub}}{W} \right)^{-n} \exp \left(\frac{E_{aHCI}}{kT} \right) \quad (2.6)$$

où E_{aHCI} est l'énergie d'activation apparente (peut être positive ou négative en fonction de la technologie du dispositif), W est la largeur de la porte, k est la constante de Boltzmann

($k = 8,62 \times 10^{-5} eV/K$), T est la température en kelvin, n est une constante dépendante de la technologie, et A_{HCI} est le pré-facteur du modèle.

2.2.3 Time Dependent Dielectric Breakdown

Le TDDB se produit lorsque la tension aux bornes de l'empilement de grille crée des pièges à l'intérieur du diélectrique [38]. Les pièges peuvent former un chemin conducteur à travers le diélectrique de grille, phénomène connu sous le nom de claquage de l'oxyde (figure 2.12b).

Les effets principaux du TDDB sur les performances électriques des MOSFETs sont un accroissement du courant de grille et une dégradation du contrôle du courant de drain par la tension de grille. Le TDDB a aussi un effet sur d'autres éléments dans lesquels des diélectriques sont polarisés, tels que les condensateurs ou plus généralement au niveau des interconnexions.

Deux paramètres permettent d'accélérer ce processus : la température et les conditions de polarisation liées au stress électrique. Là encore les deux variables d'accélération sont couplées, l'utilisation d'une forte température pouvant autoriser celle d'un faible champ électrique ou inversement.

L'obtention d'une durée de vie requiert de tester plusieurs échantillons, car le TDDB a une nature fortement aléatoire. Il est admis dans ce domaine que la statistique du TDDB peut être formalisée à l'aide d'une loi de *Weibull*, dont la probabilité de défaillance est donnée par [34] :

$$F(t) = 1 - \exp\left(-\frac{t}{\tau}\right)^\beta \quad (2.7)$$

τ est un temps caractéristique correspondant au temps nécessaire pour que 63% des échantillons testés subissent un TDDB et β est le paramètre de forme qui représente la tendance du taux de défaillance. Dans le but de représenter cette loi, elle est souvent exprimée de la façon suivante :

$$\ln(-\ln(1 - F(t_{BD}))) = \beta \ln\left(\frac{t_{BD}}{\tau}\right) \quad (2.8)$$

La cible principale étant le diélectrique de grille, ce sont les paramètres électriques qui lui sont associés qui sont utilisés. Les accélérations se font donc en contrôlant la tension appliquée sur la grille, donc la tension d'alimentation sur les circuits CMOS.

Les différents modèles de la durée de vie dépendant des paramètres d'accélération s'expriment de la façon suivante :

$$t_{BD} = Af(E)g(T) \quad (2.9)$$

Avec :

$$f(E) = \begin{cases} e^{(-\gamma E)} \\ \text{ou} \\ e^{(-\frac{\sigma}{E})} \end{cases} \quad (2.10)$$

Et

$$g(E) = \begin{cases} e^{\left(\frac{E_a}{kT}\right)} \\ \text{ou} \\ e^{\left(\frac{a(V)}{T} + \frac{b(V)}{T^2}\right)} \end{cases} \quad (2.11)$$

2.2.4 Electromigration

L'électromigration est un mécanisme d'usure intervenant dans les pistes de métallisations ou connexions de circuits intégrés, dû au déplacement de matière sous l'effet du courant électrique qui les traverse. C'est un phénomène d'auto-diffusion des atomes du métal en présence d'un champ électrique et d'un courant. Lorsque qu'un courant traverse le métal, deux forces extérieures s'exercent sur les atomes :

- La force électrostatique engendrée par le champ électrique ;
- l'interaction « mécanique » avec les électrons du courant.

Initialement, le résultat est une augmentation de la résistance des pistes qui peut aller jusqu'au circuit-ouvert. Dans d'autres cas des court-circuits entre pistes proches peuvent survenir [39].

Pour l'électromigration, il existe un seul modèle de prévision de la durée de vie couramment accepté. Ce modèle, proposé par J.R Black dès 1969 [40], est toujours considéré comme valable, en dépit de l'évolution des technologies. Il donne le temps moyen entre pannes (MTTF : Mean Time To Failure) des pistes en fonction de deux paramètres liés à l'utilisation : la température (absolue) T et la densité de courant dans la piste J :

$$MTTF = A j^{-n} e^{\frac{E_a}{kT}} \quad (2.12)$$

où A , n et E_a sont des paramètres dépendant de la technologie obtenus par l'expérience. k est la constante de Boltzmann. E_a est l'énergie d'activation, équivalente à celle de la loi d'Arrhenius.

La principale limite à la loi de Black est le changement de mécanisme lorsque l'on change de gamme de température ou de densité de courant.

L'estimation de la durée de vie liée à l'électromigration s'appuie largement sur des analyses statistiques des instants de défaillances dans des conditions diverses de vieillissement accéléré. L'évaluation de la fiabilité est donc effectuée à travers des tests statistiques construits sur deux niveaux :

- Des lots de composants identiques sont soumis chacun à un jeu de contrainte propre. Pour chaque lot, les informations statistiques sont extraites (MTTF, MTBF, fonction de défaillance...)
- Les résultats des différents lots sont synthétisés pour extraire les paramètres n et E_a de la loi de Black pour la technologie considérée.

Il est nécessaire d'effectuer ces vieillissements dans des conditions de forte accélération. Ces conditions associent fréquemment très hautes températures et fortes densités de courant.

2.2.5 Tendances et analyses

Une caractéristique commune à tous les mécanismes présentés ici, est qu'ils s'aggravent au fur et à mesure de l'augmentation de densité d'intégration. Certains des plus grands facteurs qui expliquent cette situation sont :

- une plus grande complexité du circuit présente plusieurs points de défaillance,
- les dispositifs de petites tailles sont plus fortement affectés par des particules énergétiques et par la variabilité fondamentale aléatoire,
- fils et canaux plus fins conduisent à une densité de courant plus élevée, et
- les nouveaux matériaux et processus ont un comportement de vieillissement inconnu.

Par conséquent, les quatre mécanismes de vieillissement présentés ici (BTI, HCI, TDDDB et électromigration) sont susceptibles de devenir plus importants. Bien que de nombreuses recherches ont identifié, caractérisé et proposé des modèles pour ces mécanismes, les conséquences au niveau supérieur sur les structures de circuit, telles que celles qui constituent un FPGA à l'échelle du transistor ont pu être étudiées.

2.3 Détection et analyse des défauts et de la dégradation du FPGA

Deux approches ont été développées jusqu'à présent pour évaluer la fiabilité au niveau des FPGAs. Tout d'abord, des méthodes fondées sur des simulations ont utilisé des modèles de vieillissement fournis par les fondeurs du transistor et peuvent être appliqués à l'architecture du circuit étudié.

En second lieu, des méthodes sont basées sur des analyses de mesure du circuit fonctionnant aux conditions de stress contrôlés. Les résultats de ces méthodes varient selon que le circuit sous test est implémenté sur un wafer ou sur un dispositif commercial.

2.3.1 Étude de la dégradation du FPGA par simulations

La simulation désigne l'exécution d'un programme informatique sur un ordinateur en vue de simuler un phénomène physique réel et complexe. Les chercheurs dans la domaine de fiabilité ont profité de ces méthodes. La simulation de la fiabilité repose sur la mise en œuvre de modèles théoriques et d'autres modèles fournis par les fondeurs de transistor, issues de mesures effectuées sur les transistors.

Les simulations sont rapides et elles permettent d'éviter le coût de véhicules de test.

Ressources de routage

Un ensemble de circuits de références (benchmarks) a été développé par *Microelectronics Center of North Carolina* (MCNC). Un modèle du transistor de BSIM4 [41] a été utilisé dans cette étude. Ces circuits sont virtuellement implémentés sur un FPGA Xilinx dans le but de les tester dans [42]. Les activités de commutation et les probabilités de transition de chacun des nœuds ont été obtenus à l'aide des informations du placement et le routage fournies par le fichier Xilinx Development Language (XDL).

La dégradation due au HCI a été simulée en utilisant le modèle de dégradation du [43]. La figure 2.13a illustre la dégradation de la tension de seuil due au HCI au cours du temps pour un transistor NMOS obtenu à partir de simulations, lorsqu'il y a un flux de courant continu à travers le dispositif pour les paramètres de la technologie de 70 nm. La tension de seuil augmente 0.3 V sur une période de 300 heures, ensuite elle sature. Cependant V_{th} approche V_{gs} . La corrélation de l'âge réel d'un transistor est obtenue à l'aide du courant de substrat qui passe à travers le transistor à chaque fois qu'il commute.

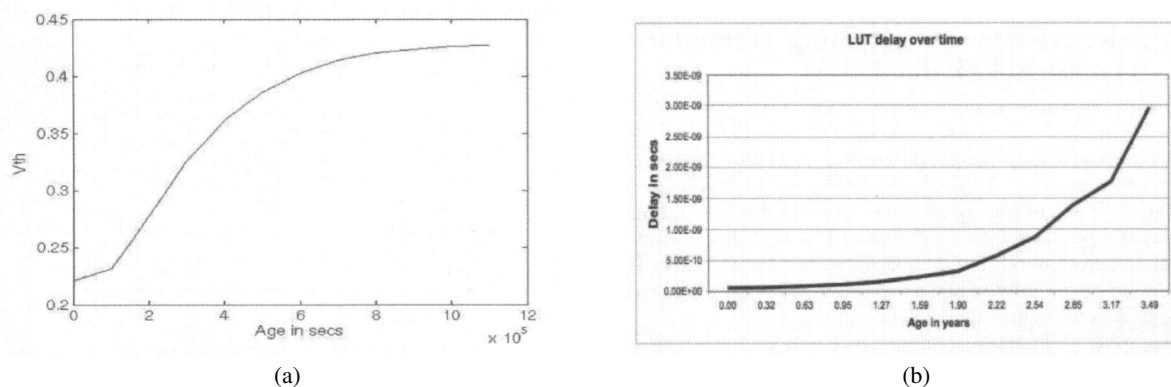


FIGURE 2.13 – a) Tension de seuil d'un transistor b) la dégradation du temps de propagation d'une LUT [42].

L'architecture des ressources de routage supposée dans ce travail est celle d'un FPGA Xilinx. Elle est constituée de multiplexeurs à base de transistors de passage (PT : Pass Transistor). La dégradation de ces multiplexeurs dépend de l'activité de commutation maximum de leurs transistors. L'impact sur les performances de la LUT par rapport au temps, lorsque ses entrées sont commutées avec un rapport cyclique unique de 0.5, est démontré dans la figure 2.13b.

Srinivasan a amélioré ce travail dans [44]. Il a fait une analyse d'impact de deux types d'erreurs matérielles différentes sur FPGA (Interconnexions et LUT). En plus, il a ajouté une étude de la dégradation des performances des FPGA au cours du temps à cause de NBTI.

Une autre étude plus détaillée sur l'effet du vieillissement du transistor due au NBTI et PBTI, sur les ressources de routage programmables FPGA a été faite dans [45]. Des simulations HS-PICE sont effectuées, en utilisant des bibliothèques Predictive Technology Model (PTM) [46] de technologie de 32 nm pour obtenir les temps de commutations de routage frais et vieillis. Le modèle de vieillissement [22] a été utilisé pour représenter l'effet BTI comme un changement

de la tension de seuil du transistor (V_{th}).

Quatre circuits de base du commutateur de routage ont été simulés (figure 2.14) :

- PT-keeper : consiste en un transistor de passage (NMOS) contrôlé par une cellule SRAM et une demi-bascule ;
- TS-buffer : comme pour PT-keeper, un buffer à trois états (tri-state) est constitué d'un transistor de passage contrôlé par une cellule SRAM et un buffer ;
- TG : une porte de transfert est constituée d'une structure parallèle de deux transistors NMOS et PMOS qui sont contrôlés par une cellule SRAM ;
- MUX : Le commutateur de routage à base de multiplexeur est constitué d'un multiplexeur n-entrée et un buffer à trois états.

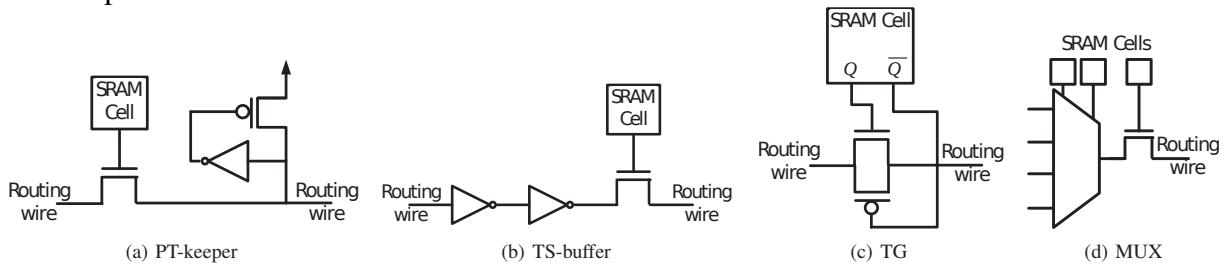


FIGURE 2.14 – Différentes structures de commutation de routage [45].

Les effets de différents paramètres, tels que la longueur de fil, le routage en cascade, la sortance, la probabilité de signal et la tension d'alimentation sur le vieillissement des ressources de routage sont étudiés. L'auteur a trouvé que les structures fondées sur le transistor NMOS sont les meilleures pour les technologies sensibles seulement au NBTI tandis que la structure à base de porte de transfert est la meilleure lorsque les deux mécanismes NBTI et PBTI sont importants.

Bloc logique

Deux méthodes sont proposées dans [47] pour atténuer le vieillissement induit par BTI dans les LUT, l'atténuation est réalisée par la manipulation de la configuration des LUTs utilisées et les probabilités de leurs signaux entrées (SP : Signal Probability), tout en conservant la fonctionnalité de la conception.

La première architecture de la LUT complète et détaillée a été présentée par [17]. La conception d'une LUT de deux entrées utilisée pour les simulations dans cette étude est illustrée sur la figure 2.15. Les grandes LUTs sont généralement construites à partir 2-LUT en cascade. Une 2-LUT basée sur PT est étudiée pour la simplicité.

Les simulations ont été effectuées en utilisant le simulateur de Spectre du circuit et des modèles du MOSFET de 45 nm qui sont réalisés par le groupe NIMO à l'Arizona State University [48]. Les impacts des trois mécanismes de dégradation les plus importants (TDDB, HCI et NBTI) ont été examinés dans ce travail.

L'auteur a étudié la sensibilité de chaque transistor aux mécanismes de vieillissement HCI et TDDB pour plusieurs scénarios d'utilisation. En outre, l'effet du NBTI sur le temps de propagation total du 2-LUT est illustré sur la figure 2.16.

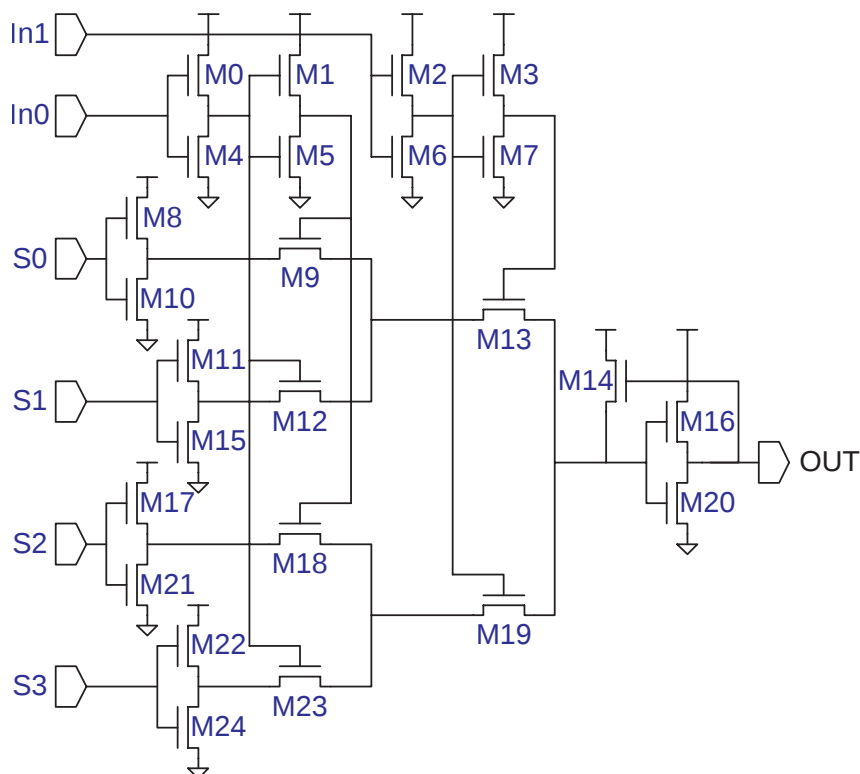


FIGURE 2.15 – Architecture d'une LUT de deux entrées utilisées pour les simulations, montrant les désignations de transistors [17].

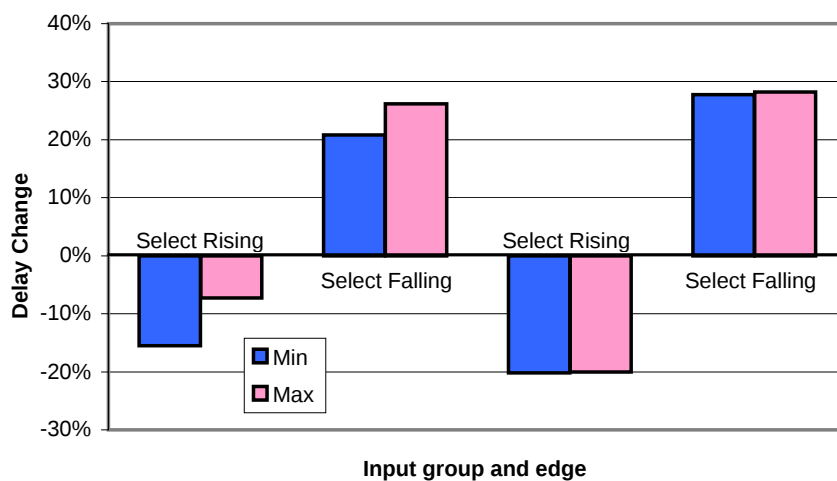


FIGURE 2.16 – La dégradation du temps en montée et en descente d'un 2-LUT due au NBTI. Les histogrammes de gauche montrent le temps de l'entrée IN1 vers la sortie et ceux de droite illustrent le temps de IN0 vers la sortie [17].

La distinction des fronts montants et descendants a été faite dans cette étude. La figure 2.16 montre la dégradation minimale et maximale du temps de propagation pour quatre groupes de chemins de signaux à cause du mécanisme de vieillissement NBTI. Les retards simulés à partir du front montant d'entrée montrent une réduction cohérente et ceux mesurés à partir des fronts descendants de l'entrée sont augmentés. La différence est due au fait que seuls les transistors PMOS sont affectés par le NBTI, et le décalage de la tension de seuil rend les transistors dégradés plus rapides pour éteindre (v_{out} est au niveau haut et V_{in} est au niveau bas) et plus lents pour

allumer ($v_{in} = v_{out} = 0$).

Atténuation du NBTI

Une méthode d'atténuation du vieillissement induit par NBTI dans la LUT a été proposée dans [49] : un oscillateur en anneau formé d'une chaîne de LUTs configurées comme des inverseurs et implémentées dans un seul LAB, utilisant le modèle de multiplexeur de la figure 2.17 comme la base de la conception d'un LUT [50].

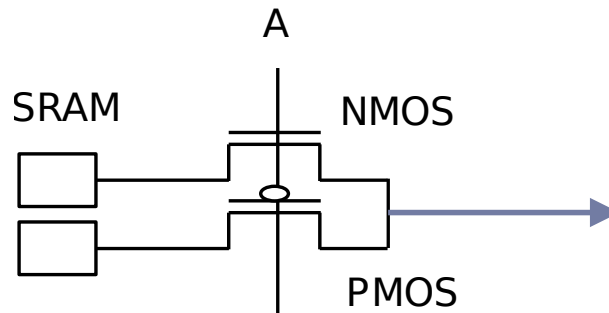


FIGURE 2.17 – Architecture d'un multiplexeur dans une LUT [50].

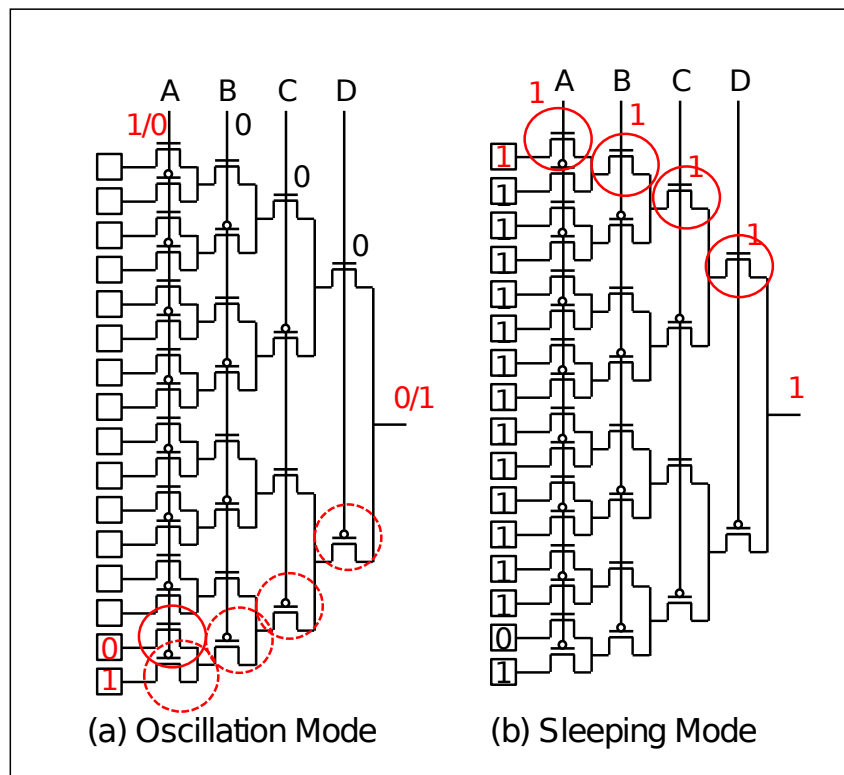


FIGURE 2.18 – Conception du circuit sous test [49].

La figure 2.18 montre un exemple de conception d'une LUT avec cette structure de base, où les entrées B, C et D sont affectées différemment dans chaque mode. Les cercles de la figure mettent en évidence les sélecteurs qui sont activés. Les valeurs des entrées (B, C, D) sont fixées

à (0, 0, 0) dans un mode d'oscillation (figure 2.18a). D'autre part, les valeurs des entrées (B, C, D) sont fixées à (1, 1, 1) dans un mode veille (figure 2.18b). La première valeur de SRAM activée dans un mode veille est réglée sur 1. Comme on le voit sur la figure 2.18, tous les transistors PMOS dans la trajectoire d'oscillation sont mis à 1 et ne commutent pas. Par conséquent, leur dégradation sera réduite.

Cela entraîne que la structure est en mesure de réduire la dégradation induite par NBTI dans des oscillateurs en anneau en posant les transistors PMOS de LUT en état bloqué lorsque l'oscillateur ne fonctionne pas.

Une méthode d'atténuation du vieillissement due au NBTI sur une architecture spécifique d'une LUT à été proposée. Nous ne sommes pas convaincus avec cette méthode à cause des raisons suivantes :

- L'architecture proposée de la LUT n'existe pas réellement.
- La méthode est appliquée qu'en mode veille, donc pour des applications spécifiques.
- La méthode compense le NBTI et accélère le PBTI, qui pour les technologies récentes (comme high-k et FinFET) est devenu important comme le NBTI.

Synthèse

Les travaux présentés dans cette section montrent les simulations des effets induits par les deux phénomènes de vieillissement NBTI et PBTI sur les différentes architectures de la source de routage d'un FPGA. Ils illustrent aussi les influences des TDDB et HCI sur chaque transistor de la LUT à deux entrées.

Ces travaux nous montrent que les trois mécanismes de vieillissement des transistors (NBTI, HCI et TDDB) influent fortement sur le temps de propagation des circuits implémentés sur un FPGA.

D'autre part, les limitations sur les caractéristiques et les dimensions des transistors éloignent les résultats obtenus de la réalité. De plus, les architectures réelles des LUTs ou bien des ressources de routages sont inconnues des chercheurs. Ceci pose une question : est-ce que ces simulations sont réalistes ?

2.3.2 Analyse des résultats expérimentaux

Un modèle ayant été « imaginé », il faut le « valider », c'est-à-dire vérifier par une « simulation » que d'une part on retrouve bien, par le modèle, les résultats des observations dont on est parti pour l'imaginer, et que d'autre part le modèle permet de prédire les résultats des expériences non encore faites (rôle « prédictif » du modèle). Nous avons décrit dans la section précédente des travaux effectués sur les vieillissements des FPGAs qui sont basés sur des simulations. D'autres méthodes existantes sont basées sur des analyses de résultats expérimentaux. Elles sont examinées dans la suite de ce chapitre.

Stott est le premier qui a expérimenté les vieillissements d'un FPGA [51]. Pour faire son étude, il a implémenté une chaîne de 9 LUTs configurées en buffers sur un FPGA d'ALTERA de la famille *Cyclone II*. Une technique de mesure nommée *Méthode de balayage de fréquence* est détaillée dans 3.1.2 et développée par [52]. Cette méthode a été utilisée pour faire mesurer le temps de propagation du signal de l'entrée vers la sortie du circuit sous test. Ensuite l'auteur convertit ces résultats vers les fréquences comme illustré dans la figure 2.19.

La tension d'alimentation a été augmentée de 1.2 V à 2.2 V, soit 1 V au dessus de la tension nominale, et le circuit a été chauffé à 150°C, afin d'accélérer la dégradation du circuit sous test. Quatre conditions de stress électrique ont été appliquées à l'entrée du circuit :

- DC0 : état statique 0 ;
- DC1 : état statique 1 ;
- 1 Hz : fréquence de 1 Hz et ayant un rapport cyclique de 50% ;
- 300 MHz : fréquence de 300 MHz et ayant un rapport cyclique de 50%.

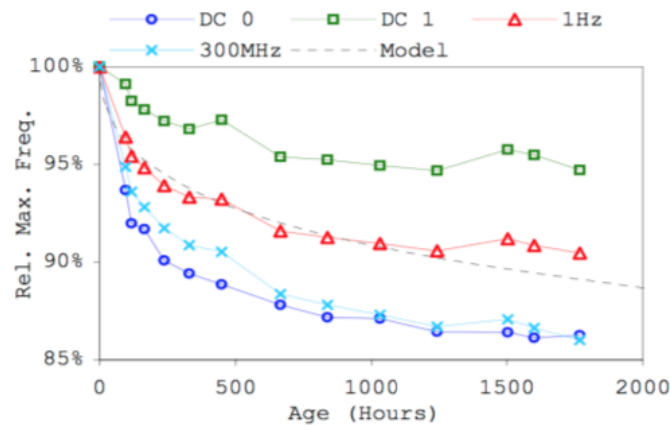


FIGURE 2.19 – Mesure de la dégradation sous différents modes de stress [51].

La figure 2.19 montre les résultats de tests pour différents types des contraintes appliquées sur un FPGA de la technologie de 90 nm au cours du temps de test (Age) jusqu'à 200 heures.

Les pires modes des contraintes sont DC0 et 300 MHz. On observe une grande différence entre la dégradation due au DC0 et celle due au DC1. Ceci est dû à l'effet du NBTI.

Les modes 1 Hz et 300 MHz ont été tous les deux testés avec un rapport cyclique de 50%. Parce que la fréquence est la seule différence entre les deux signaux de stress, la différence de dégradation entre ces deux modes est due au HCI. En effet, comme nous l'avons mentionné dans la section 2.2.2, HCI est relié directement au courant, donc à la fréquence du stress pour les circuits CMOS.

Les interconnexions du FPGA ont été testées sous les mêmes conditions de stress dans [53]. Des résultats similaires à l'étude précédente ont été trouvés dans cette étude.

En 2014, Amouri [54] a mesuré le vieillissement des LUTs utilisant d'autres conditions de stress, notamment le rapport cyclique. Quatre circuits de test ont été proposés qui fonctionnent sous différentes conditions de stress au niveau de la fréquence et du rapport entre le mode stress/-fonctionnement (SP : Signal Probability), comme montré dans la figure 2.20. Par exemple, SP

est égale 10%. Ceci signifie que le circuit fonctionne 10% de la période et il est sous contrainte statique les 90% restant ($En = 0$). Par conséquent, la sortie de la porte logique ET est au niveau bas le temps de stress est plus de la moitié du temps d'oscillation, donc $90\% + 5\% = 95\%$.

Comme les travaux précédents, les mêmes conditions d'accélération sont utilisées mais avec des facteurs différents. La tension du cœur du FPGA a été augmentée jusqu'à 1.8 V, (0.6 V au dessus de la tension nominale), et les circuits sous test ont été chauffés à 80°C, afin d'accélérer le vieillissement de ces circuits. Cela signifie que le facteur d'accélération en température de cette manipulation est moindre que celui de la manipulation précédente.

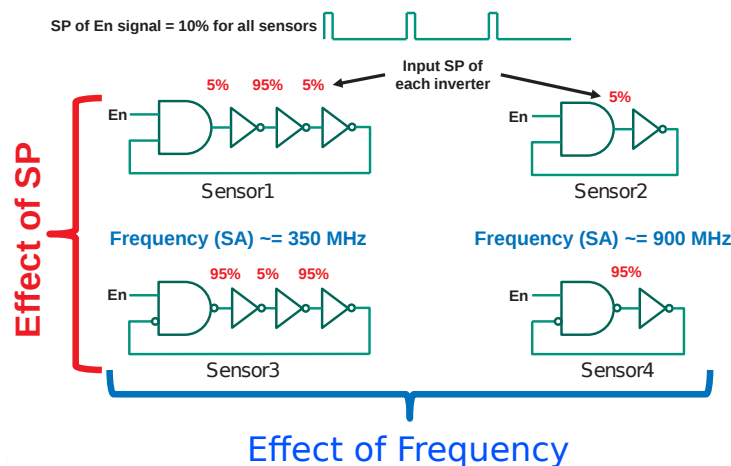


FIGURE 2.20 – Circuits de test avec différentes fréquences de fonctionnement et rapports stress/-fonctionnement [54].

Les quatre circuits sont implémentés sur un FPGA Xilinx de la famille *Spartan 6*, avec une technologie de 45 nm[55].

Les circuits sont mis sous les conditions de stress (électrique et environnemental) pendant les premiers 7 jours de test, suivi par un jour de repos (hors tension), ensuite 6 jours sous la tension et la température nominales.

La figure 2.21 montre les résultats obtenus par mesure. On observe que le circuit *S1* se dégrade légèrement plus que le circuit *S3*. De la même façon, le circuit de test *S2* se dégrade plus que le *S4*. Cela montre que le rapport cyclique moyen influe significativement sur la dégradation. En outre, on observe que la récupération a été plus rapide pour *S1* que pour *S3* et pour *S2* que pour *S4*. Cela montre que celle qui dégrade rapidement se récupère rapidement.

Afin d'étudier l'effet de la fréquence sur la dégradation, on compare les résultats du *S1* à ceux du *S2*, on observe que le circuit *S2* se dégrade plus rapidement que le circuit *S1* à cause de la fréquence due au HCI.

Une analyse plus détaillée a été réalisée par Maiti dans [56]. C'est une suite de son ancienne étude qui est faite en 2011 [57]. Plusieurs FPGAs ont été testés sous différentes valeurs de la tension de cœur et de la température (détaillé au tableau 2.1) pour extraire les effets des conditions d'accélération sur le vieillissement des fonctions physiques non-clonables (PUF :

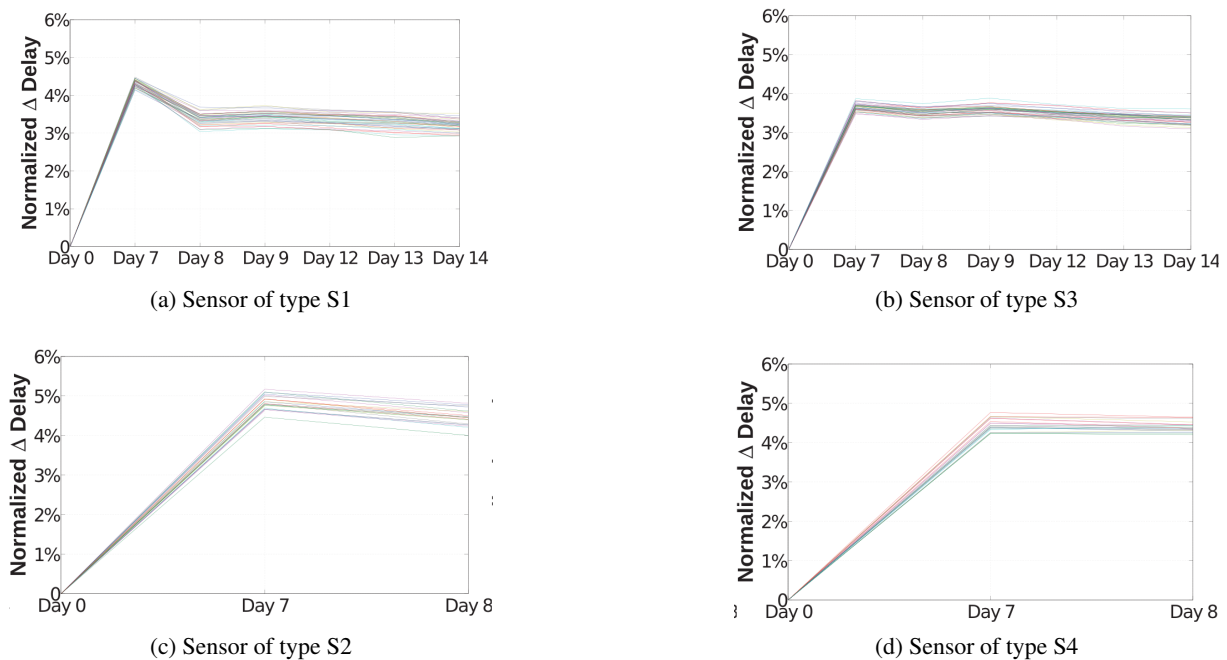


FIGURE 2.21 – Résultats de mesure des différents circuits tests après un vieillissement accéléré [54].

Physical Unclonable Function). Les circuits sous test sont des oscillateurs en anneaux formés à partir des PUF, et ils ont été implémentés sur un FPGA de la famille *Spartan 3* fabriqué par Xilinx.

	Room temp	70°C	80°C
1.2 volt	FPGA1	FPGA2	FPGA2
1.5 volt	FPGA3	FPGA4	-
1.8 volt	FPGA3	-	FPGA4
2.0 volt	FPGA3	-	FPGA4

TABLE 2.1 – Différents cas de vieillissement accéléré

La Figure 2.22 montre le changement de la fréquence sous différentes conditions de contrainte en deux points différents du vieillissement : $t = 200$ h et $t = 400$ h. On observe que la dégradation due à l'augmentation de la température est faible comparée à celles des deux autres cas (augmentation de la tension d'alimentation sans et avec augmentation de la température).

La figure 2.23 montre la variation des fréquences de 512 oscillateurs en anneaux pour le stress $T+V$. La durée totale du vieillissement était 1100 h dont trois intervalles de récupération lorsque les puces ont été tenues à l'écart du stress. On observe une augmentation de la fréquence, bien que petite, à la fin de la période de récupération. Cela implique que les contraintes V et T induisent des modifications temporaires en plus des changements permanents.

On a également observé que le taux de variation de la fréquence est significativement plus élevé au cours de la première partie de la période de vieillissement que par la suite.

Pour finir, une analyse de la dégradation du temps de propagation induite par NBTI dans les

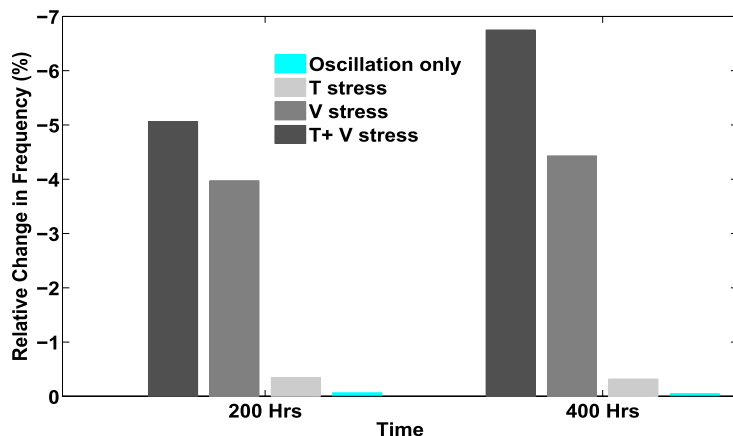


FIGURE 2.22 – Impact de l'augmentation de la température et de la tension d'alimentation sur la dégradation de la fréquence [56].

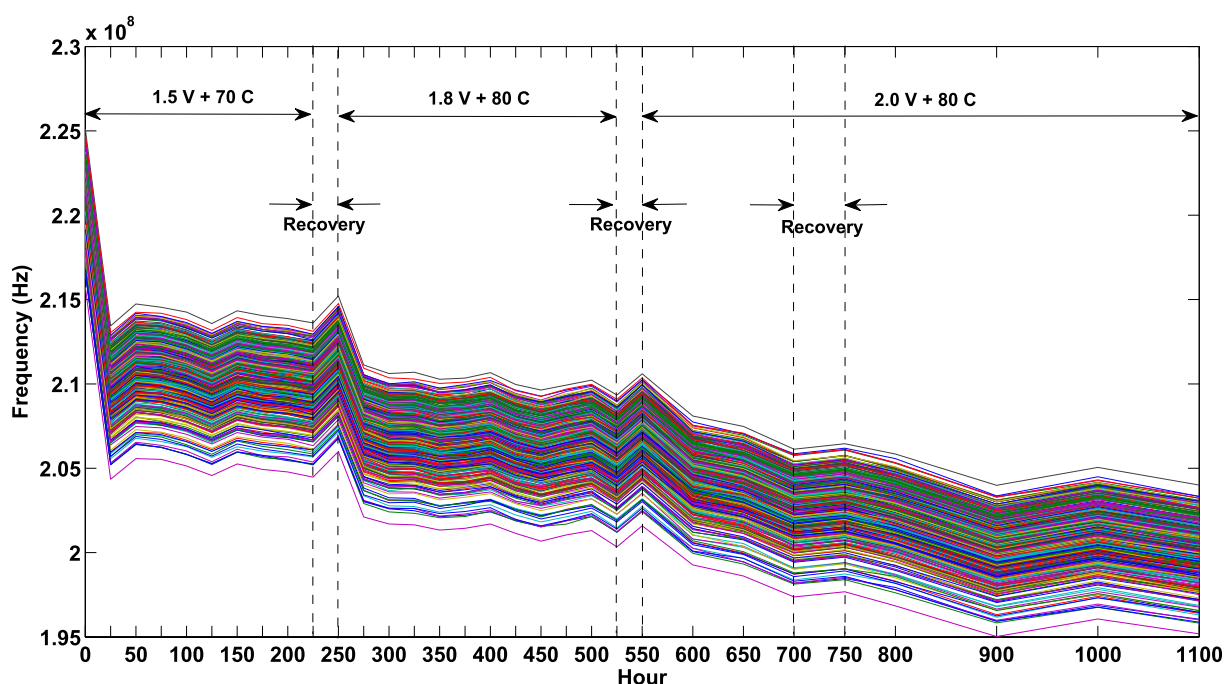


FIGURE 2.23 – Variation de fréquence des oscillateurs en anneau avec le vieillissement sous contrainte de $T + V$ [56].

commutateurs de routage de FPGA a été présentée dans [58]. Deux méthodologies de conception ont été proposées pour compenser la dégradation NBTI en optimisant l'état des structures de routage de FPGA.

Synthèse

Différentes architectures de circuits de test (Buffer, Inverter, PUF) ont été testées sous plusieurs conditions de stress internes comme la fréquence et le rapport cyclique du signal d'entrée et d'autres externes comme la température et la tension d'alimentation du cœur du FPGA. De ces études on peut remarquer les points suivants :

- La dégradation du temps de commutation des interconnexions a été mesurée sous dif-

férentes conditions de stress. Les dégradations sont affectées fortement par le rapport cyclique du signal d'entrée, ainsi que par sa fréquence de commutation.

- Les entrées de rapport cyclique proche de zéro entraînent plus de dégradation que celles proches de 1, pour une technologie étudiée.
- Les dégradations des temps de propagation, en montée et en descente sont différentes et peuvent être de sens opposées.

Les travaux existants ont tous testé des circuits simplifiés comme les oscillateurs en anneaux. Ils ne sont pas implémentés sur des applications réelles plus complexes qui ne permettent pas de valider les analyses des résultats obtenues.

Les résultats observés sont analysés et reliés aux mécanismes de vieillissements, mais aucun modèle des dégradations du dispositif au cours de temps et en fonction de conditions de stress n'est proposé.

2.4 Conclusion

Après la recherche qui a été faite sur l'état de l'art de la fiabilité des FPGAs, notamment sur les mécanismes des vieillissements, les analyses des résultats expérimentaux et simulés de vieillissements des FPGAs, il apparaît que certains travaux complémentaires sont nécessaires. Tout d'abord, il faut faire une étude théorique des conditions de stress au niveau de chaque transistor des LUTs par rapport aux signaux des entrées. A partir de cette étude, un modèle de la dégradation du FPGA par chaque phénomène de vieillissement (BTI, HCI et TDDB) en fonction des conditions de stress (la fréquence et le rapport cyclique du signal d'entrée), des conditions d'accélération (la température et la tension d'alimentation) et de la durée du test peut être construit sur la base des résultats expérimentaux. Dans le but de prévoir la durée de vie du FPGA, des modèles au niveau transistor de chaque mécanisme de vieillissement sont nécessaires. En couplant les études théoriques, les simulations et les analyses des résultats expérimentaux des tests sous différentes conditions d'utilisation, ces modèles seront produits.

Nous essayerons de répondre à ces exigences dans la suite de ce manuscrit. D'abord, nous proposerons une architecture du banc de test d'auto-caractérisation à faible coût. Ensuite, nous effectuerons plusieurs tests sous différentes conditions d'utilisations, et nous proposerons deux modèles semi-empiriques de vieillissement dus aux NBTI et HCI. Pour aller plus loin, nous étudierons l'architecture interne de la LUT dans le but d'améliorer nos modèles en prenant en compte l'architecture interne supposée de la LUT et l'effet de chaque transistors sur le temps de propagation.

Chapitre 3

Architecture du banc de test

La caractérisation de la fiabilité des circuits intégrés numériques pour la modélisation est une opération coûteuse. Son coût est dû à la nécessité d'une longue durée de test, de nombreux véhicules de test et l'utilisation d'équipements de test coûteux pour les mesures à l'échelle de temps de la pico-seconde. Par conséquent, avec la réduction d'échelle de fabrication des technologies CMOS, le développement d'une méthodologie de test qui réduit les coûts de test et avec un gain de temps sans sacrifier la qualité de la caractérisation des circuits intégrés numériques est critique et très difficile.

Le principal avantage du développement d'un banc de test à faible coût est de permettre de caractériser la fiabilité du dispositif électronique sans avoir un grand budget, et par la même occasion, d'augmenter le nombre de circuits testés pour obtenir des statistiques plus précises.

Lors des tests de vieillissement, il faudra être en mesure d'évaluer le vieillissement des structures internes à partir de mesures externes. Les seules grandeurs analogiques associées à des effets progressifs internes qui puissent être mesurées à l'extérieur du circuit intégré sont :

- la consommation électrique,
- les temps de propagation.

La consommation électrique est mesurable à tout instant sur les bornes d'alimentation du circuit. Cependant, l'effet d'une dérive paramétrique est moyenné sur l'ensemble des transistors du circuit. Une dérive de quelques transistors est donc masquée par la consommation du reste du circuit.

Les temps de propagation des LUTs restent les meilleurs candidats pour une mesure externe des dérives paramétriques, car ils peuvent fournir des informations sur la dérive d'un nombre réduit de transistors. De plus, ils constituent la fonction critique vis à vis de retards de propagation puisqu'un trop grand retard peut entraîner le dysfonctionnement du circuit si le signal atteint la bascule après le front d'horloge.

Les temps de propagation peuvent être mesurés par une mesure externe sur les bornes fonctionnelles. Cela nécessite des équipements qui peuvent fonctionner à l'échelle de temps de la

pico-seconde et qui sont donc extrêmement chers. Ainsi, tenant compte la capacité de ces équipements, ils ne sont pas capables de mesurer en parallèle un large nombre de circuits sous test (moins de 10 circuits), ni de caractériser plusieurs dispositifs sous test en même temps.

L'étude de l'état de l'art montre que le vieillissement des circuits se manifeste premièrement par une modification des temps de propagation. Cela est la base pour définir l'architecture du circuit sous test comme étant ceux où la dégradation des temps de propagation peut être aisément mesurée. En conséquence, les architectures candidates qui semblent les plus pertinentes mettent en œuvre une chaîne de logique combinatoire.

Un bref descriptif sur les méthodes existantes de mesure de la dégradation sur puce est décrit au début de ce chapitre, suivi d'une description détaillée des différentes étapes de développement de notre architecture de test et de son exploitation.

3.1 Méthodes existantes

La dégradation du FPGA due aux phénomènes de vieillissement a été abordée dans plusieurs travaux de recherche. Le paragraphe suivant traite les méthodes existantes de mesure de la dégradation du temps de propagation (delay).

3.1.1 Méthode de l'oscillateur en anneau (RO : Ring Oscillator)

La méthode la plus utilisée pour mesurer le temps de propagation d'un circuit dans un FPGA est la méthode de l'oscillateur en anneau. Elle consiste à implémenter des oscillateurs en anneaux (chaînes d'inverseurs) et à observer leurs fréquences dans les différentes conditions d'utilisations. Il existe trois approches pour exploiter cette méthode.

Mesure externe

L'approche la plus facile à mettre en place est de relier les sorties des oscillateurs en anneau aux sorties du FPGA, afin de les brancher aux entrées des équipements de mesure qui sont capables de mesurer leurs fréquences et leurs rapports cycliques avec une haute précision (*V93000 SoC / Smart Scale* par exemple [59]). Cela nécessite des équipements qui peuvent fonctionner à l'échelle de temps de la pico-seconde mais qui sont limités par le nombre de mesures en parallèle.

Sonde électromagnétique

Dans la littérature, une autre méthode de mesure basée sur l'analyse d'émanations électromagnétiques a été proposée par *Bruguier* dans [60]. La surveillance se fait par la configuration du FPGA avec l'activation à chaque fois d'un seul circuit sous test puis par la mesure de sa fréquence en utilisant l'analyse électromagnétique (EM). Ce processus est répété pour chaque emplacement possible de chaque type de circuit sous test sur le FPGA. De cette façon, une cartographie de fréquence pour le FPGA est construite (figure 3.1).

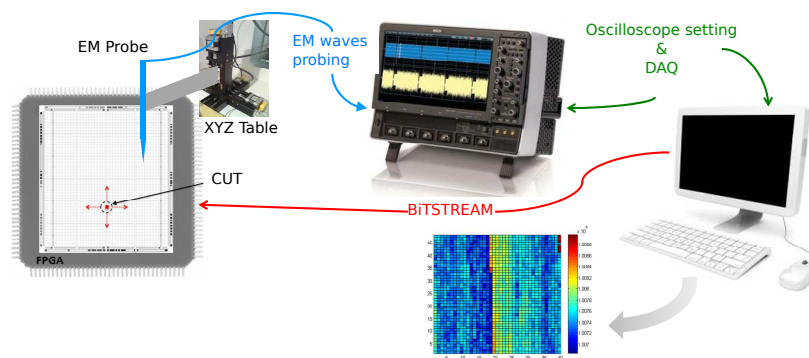


FIGURE 3.1 – Méthode d'analyse Électro-Magnétique

Dans cette approche, aucun sous-système de mesure n'est nécessaire. Elle mesure la fréquence avec une grande précision. Malgré tous ces avantages, cette approche utilise des équipements d'acquisition extrêmement chers (i.e. un oscilloscope de très haute précision et un pc puissant capable de traiter les données). De plus, elle n'effectue que la mesure d'un seul circuit sous test à la fois. Pour finir, il est impossible de séparer les fronts montants et descendants.

Compteur interne

Le but de cette approche de mesure est d'utiliser les ressources du FPGA afin d'implémenter un circuit de mesure. Ce circuit est constitué d'un compteur asynchrone de N bits qui compte les fronts montants du signal produit par un oscillateur en anneau pendant une durée prédéfinie par une horloge externe. Ensuite la valeur mesurée est enregistrée dans un registre de N bits [61].

Cette approche n'occupe pas beaucoup de ressources disponibles, ce qui permet d'implémenter plusieurs circuits afin de faire plusieurs mesures en parallèle et réduire le temps de mesure. Par contre, les structures proposées ne distinguent pas les fronts montants et descendants du circuit sous test.

3.1.2 Méthode de balayage de fréquence

L'idée consiste à utiliser les ressources du FPGA pour créer un circuit de test intégré (BIST : Built In Self Test), qui offre des résultats précis avec le minimum possible de ressources utilisées. En effet, la flexibilité des générateurs d'horloge interne des FPGAs modernes, combinée avec un simple détecteur d'erreur (EDC : Error Detection Circuit, ou circuit de détection d'erreurs) peuvent être utilisés pour estimer de manière précise les délais des chemins aux FPGAs.

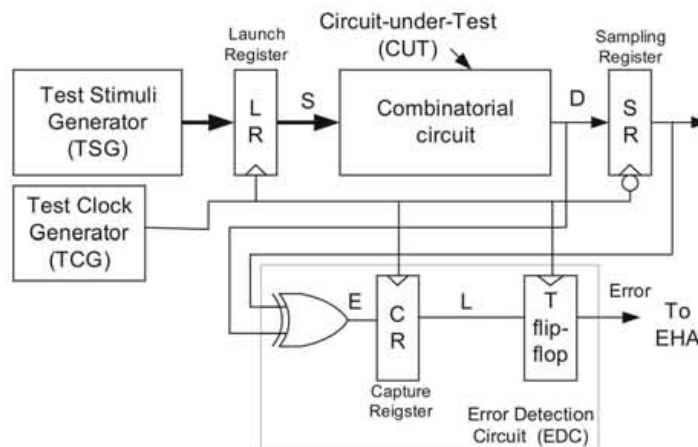


FIGURE 3.2 – Méthode de balayage de fréquence

La Figure 3.2 montre un exemple de circuit [62]. Le circuit sous test, (CUT : Circuit Under Test), est placé entre deux registres cadencés avec des horloges en opposition de phase. On commence à augmenter la fréquence de fonctionnement d'horloge jusqu'à une certaine fréquence où l'EDC commence à détecter des erreurs. Si l'EDC détecte des erreurs de front montant, la fréquence de seuil est la fréquence de fonctionnement du circuit sous test. A partir de cette valeur on déduit le temps de propagation en montée. Ensuite on change la fréquence puisque la circuit détecte des erreurs des front descendants afin de calculer le temps de propagation en descente. Il est à noter que le pas avec lequel la fréquence change définit la précision de la mesure.

3.2 Architecture Proposée

3.2.1 Cahier de charge

Notre architecture a pour objectif principal de caractériser des circuits numériques en haute précision et à faible coût. Une caractérisation d'un grand nombre de circuits (quelque centaines) en même temps, qui sont implémentés sur un seul dispositif est nécessaire pour réduire la durée et le prix de test. Afin d'atteindre cet objectif, il est nécessaire d'intégrer plusieurs circuits de mesure qui peuvent travailler en haute fréquence et de mesurer les paramètres de temps en haute précision. La mesure du temps de propagation est importante, mais il est aussi important

de séparer le temps de propagation en montée et en descente afin de distinguer les mécanismes responsables de la dégradation des circuits testés.

En outre, une communication en basse fréquence entre le dispositif sous test et le système de surveillance permet d'utiliser des conducteurs basiques et moins chers. Pour finir, la mise en place de plusieurs dispositifs sous test afin de les caractériser en parallèle et sous différentes conditions environnementales en particulier la température et la tension d'alimentation doivent être simples. Ce dernier point entraîne le besoin de développer un système de surveillance qui peut gérer plusieurs FPGA en même temps.

3.2.2 Structure de l'architecture implémentée sur FPGA

Nous avons développé un banc d'essai à faible coût implémenté sur un FPGA afin de caractériser la fiabilité des circuits intégrés numériques. Il est constitué de trois parties (Figure 3.3) :

1. un banc de test implémenté sur un FPGA est illustré dans la figure 3.3. Il est formé principalement :
 - de nombreux circuits de vieillissement sous test (CUT), qui occupent la majorité des portes logiques disponibles dans un FPGA,
 - des circuits de mesure qui permettent d'évaluer la fréquence (f_m) et le rapport cyclique (α_m) du circuit sous test (CUT),
 - un gestionnaire de temps,
 - un circuit de contrôle global et de traitement des informations,
 - un circuit de communication (*UART : Universal asynchronous receiver/transmitter*).
2. un micro-contrôleur de type *Arduino Due* externe pour la mesure des conditions extérieures de test et la communication multi-FPGA.
3. Un logiciel de surveillance est mis en œuvre sur un PC hôte.

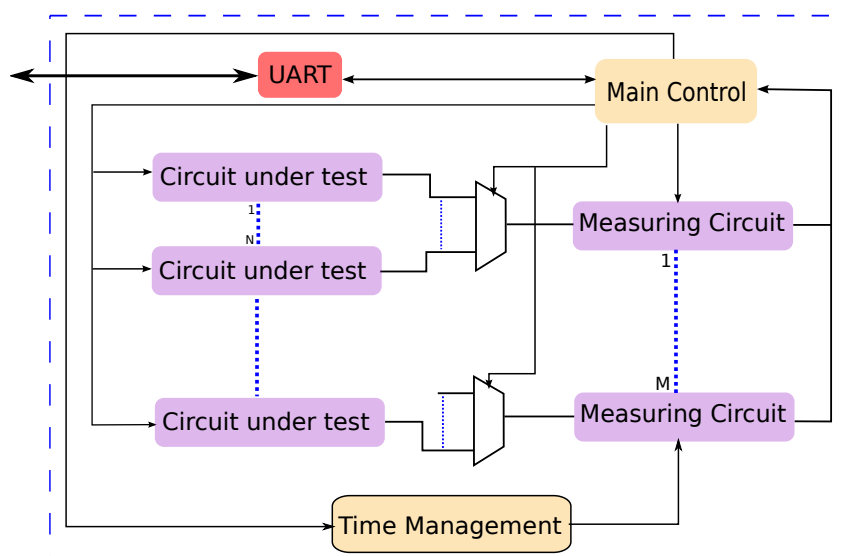


FIGURE 3.3 – Les principaux circuits implémentés au véhicule de test.

Le banc d'essai proposé a été mis en œuvre sur un FPGA fondé par Altera Corporation de la famille Cyclone III utilisant une technologie de 65nm et contenant 10320 LUT [63].

Nous détaillons dans la suite de cette section les différentes parties de notre architecture, en commençant par les circuits sous test et en finissant par le fonctionnement global.

3.2.3 Architecture de circuit sous test

L'approche du circuit de test prend en compte le fait que le vieillissement du circuit est fortement influencé par les états des entrées. Puisque le temps de propagation est le seul paramètre pouvant être mesuré de l'extérieur, nous allons évaluer la dérive de dégradation du transistor en mesurant ce paramètre sous différents régimes de stress électrique avec la même configuration. Cela permet la comparaison de leurs dégradations respectives.

Les plupart des travaux existant utilisent des oscillateurs en anneaux qui sont formés de portes inverseur CMOS. Les entrées de ces circuits n'ont qu'un seul rapport cyclique est de 50%. Comme nous avons mentionné au début de cette section, le vieillissement des ressources de FPGA est fortement impacté par l'entrée du chaque bloc. Dans la suite de cette section, nous décrivons trois architectures de circuit de test.

Architecture à auto-contraintes

Cette architecture s'applique à elle-même un signal de stress, ce qui signifie qu'elle est à la base d'oscillateur en anneau qui oscille tout le temps de test.

La première architecture utilisée est l'architecture usuelle de l'oscillateur en anneau constituée d'une chaîne d'inverseur bouclée sur elle-même. Son temps de propagation est la somme du temps de propagation de chaque inverseur. Pour ce circuit, il est impossible de séparer le temps de propagation en montée de celui en descente. En outre, le rapport cyclique de fonctionnement/stress est de valeur fixe de 50%.

Cette architecture a été utilisée dans la première manipulation de cette thèse.

Une deuxième architecture du circuit de test est basée sur des portes inverseurs CMOS classiques. Le but de cette architecture est de varier le rapport cyclique des oscillateurs en anneau sans utilisation d'aucun signal d'externe.

La figure 3.4 représente le circuit numérique de l'architecture proposée. Le chronogramme des signaux est représenté dans la figure 3.5. Cette architecture est composée de deux circuits : A où le nombre de portes est N_A et B qui est constitué de N_B portes. Le rôle du circuit A est de produire le niveau haut du signal de sortie. Pendant ce temps, le circuit B décale l'inverse du signal produit par le circuit A , donc le niveau bas. Les deux signaux Y et Z sont respectivement les sorties des circuits A et B . Supposant que τ est le temps de propagation d'une porte inverseur ou NAND. Ces deux signaux sont deux entrées d'une porte logique NAND. Son rôle est de

produire un signal avec un niveau haut qui dure $(A + 1)\tau$ et un niveau bas qui dure $B\tau$. Par conséquent, la période du signal produite par cette architecture est égale : $(A + 1 + B)\tau = N\tau$.

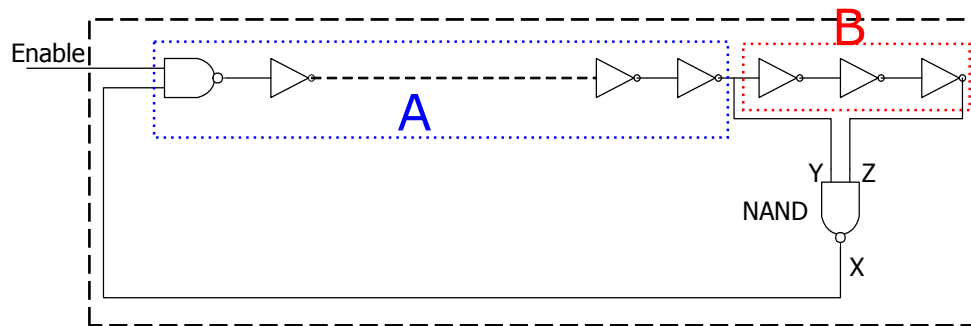


FIGURE 3.4 – Structure d'un oscillateur en anneau d'un rapport cyclique variable

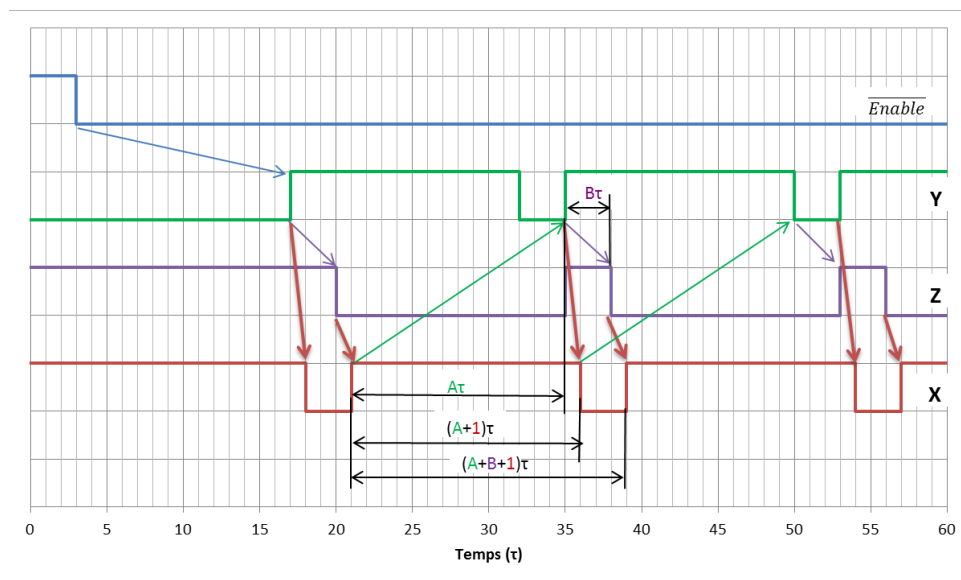


FIGURE 3.5 – Chronogramme représentant les signaux de l'oscillateur

Le rapport cyclique α_{RO} et la fréquence f_{RO} de cette architecture sont écrits selon les formules suivantes :

$$\alpha_{RO} = \frac{A + 1}{A + B + 1} = \frac{A + 1}{N} \quad (3.1)$$

$$f_{RO} = \frac{1}{2N \times \tau} \quad (3.2)$$

Pour assurer le fonctionnement de cette architecture, il faut que le nombre des inverseurs du circuit A (N_A) soit impair et celui de B (N_B) soit pair.

Nous avons simulé l'architecture pour différentes valeurs de A et pour deux valeurs de N : 21 et 31, en utilisant le logiciel ISE de Xilinx.

La figure 3.6 représente la variation du rapport cyclique en fonction de A . Elle nous montre que la variation du rapport cyclique est entre 0.5 et 0.94. Les trois courbes sont proches. Pour un rapport cyclique de plus de 0.8, la différence entre la courbe mesurée et les autres est due

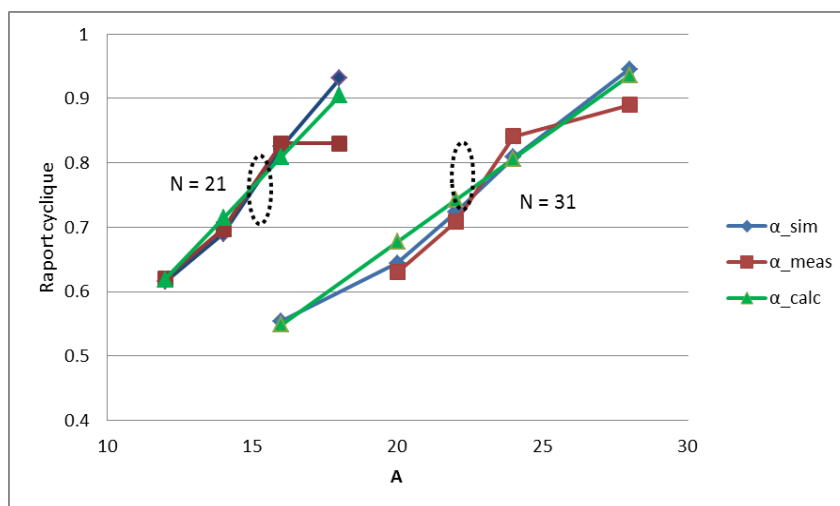


FIGURE 3.6 – Comparaison entre le rapport cyclique mesuré, calculé et simulé

à la résolution de l'oscilloscope et aux parasites surtout sur les oscillateurs de haute fréquence ($f \simeq 70MHz$).

Cette architecture n'a finalement pas été réalisée pendant les tests. En effet les conditions de stress générés par les oscillateurs en anneaux sont dispersés et peu stables, en particulier en présence de dégradation. L'utilisation de ces conditions de stress rend plus difficile l'interprétation.

Architecture à générateur externe de contraintes

Le FPGA avec lequel nous avons implémenté notre banc de test contient deux boucles à verrouillage de phase (PLL : Phase Locked Loop) intégrées. Dans la troisième architecture, les circuits sous test CUT se composent d'une chaîne de N LUTs qui peuvent être configurées comme Buffers, Inverseurs ou bien d'autres fonctions logiques, et d'un multiplexeur de deux vers 1 (voir Fig. 3.7a). Ce multiplexeur est constitué d'une LUT à trois entrées (LUT_{Sel}) configurée en tant que fonction logique suivante :

$$OUT_{Sel} = \overline{Mode + IN_{Sel}} + Mode.Stress \quad (3.3)$$

Les CUTs occupent la plus grande partie du composant (environ 80% du FPGA). Chaque CUT dispose de deux entrées : mode et stress.

Dans cette architecture, le signal d'entrée stress est un signal interne dans un FPGA, qui peut être statique (un niveau logique bas 0 ou bien haut 1) afin de caractériser les mécanismes de défaillance BTI. Il peut également être connecté à un signal généré par une PLL interne configurable, pour appliquer une contrainte dynamique avec plusieurs valeurs de fréquences (f_{stress}) et de rapports cycliques (α_{stress}). La PLL est synchronisée sur un signal d'horloge externe.

Les CUTs ont deux modes de fonctionnement : contrainte et mesure.

Pendant le mode de contrainte ($Mode = 1$) représenté dans la figure 3.7c, qui prend la plu-

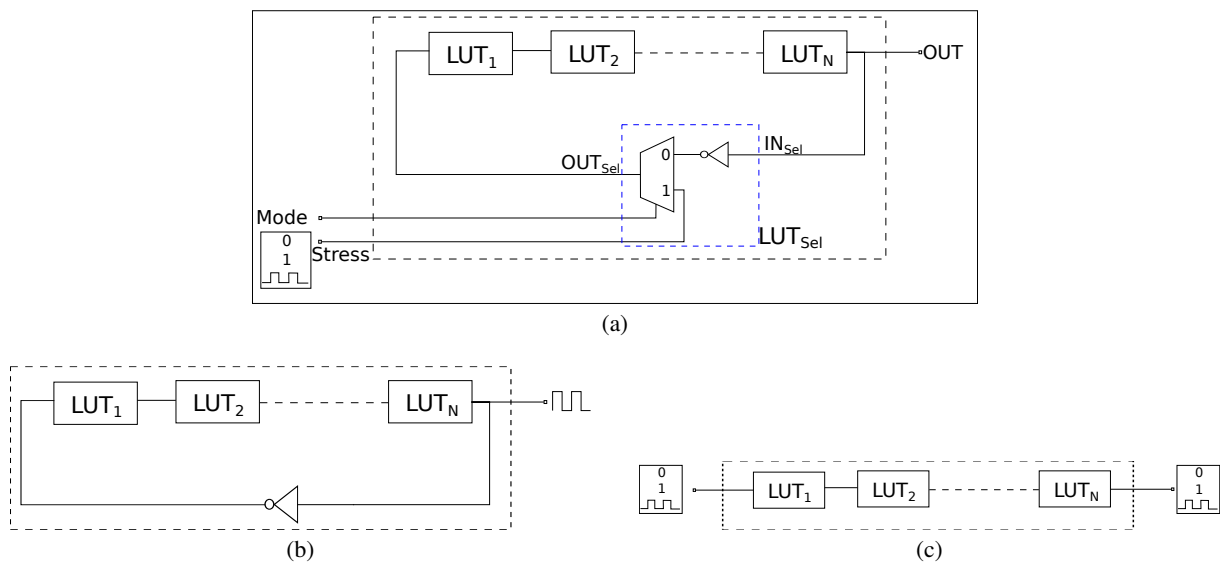


FIGURE 3.7 – a) Architecture du circuit sous test (CUT), b) en mode mesure, c) en mode stress

part du temps de la manipulation, les entrées des LUTs sous test prennent l'état d'un signal de contrainte électrique, et les paramètres de temps ne peuvent pas être mesurés. De ce fait, les LUTs fonctionnent aux fréquences et rapports cycliques imposés par un composant intégré et indépendant.

Au cours de la mesure (Mode = 0), le CUT fonctionne comme un oscillateur en anneau (Fig. 3.7b) et le signal de sortie est envoyé au circuit de mesure afin de mesurer la somme des temps de propagation des LUTs et la moyenne de leurs rapports cycliques.

3.2.4 Architecture circuit de mesure (MC : Measured Circuit)

Vu que la technologie est nanométrique, et le FPGA est une boîte fermée. L'accès au transistor pour mesurer sa tension et son courant est pratiquement impossible. Par conséquent, le seul paramètre qui peut être mesuré de l'extérieur est le temps de propagation de la LUT. Pour ces raisons, un circuit de mesure est développé afin de mesurer la fréquence de l'oscillateur en anneau en utilisant un compteur à q bits asynchrone commandé par un générateur de mesure de temps de référence. La valeur mesurée est ensuite enregistrée dans un registre de N bits.

Afin de répondre à notre cahier des charges mentionné dans la section 3.2.1, nous avons mis en place un circuit de mesure du rapport cyclique à haute résolution pour séparer les temps de propagation en montée et en descente. Deux compteurs asynchrones de K bits sont mis en œuvre. Leurs signaux d'horloge sont des sorties de haute fréquence de la PLL interne (voir Fig.3.8). Le premier compteur est activé par un signal de référence avec une précision de durée proche de $25 \cdot 10^{-6}$. Le second compteur est activé par le même signal, mais le comptage est autorisé (*Enable*) seulement quand le signal à mesurer est au haut niveau. Lorsque le premier compteur a compté $2^K - 1$ impulsions, il déclenche l'enregistrement de la valeur du second compteur. Le circuit de mesure est capable de mesurer la fréquence du signal et son rapport

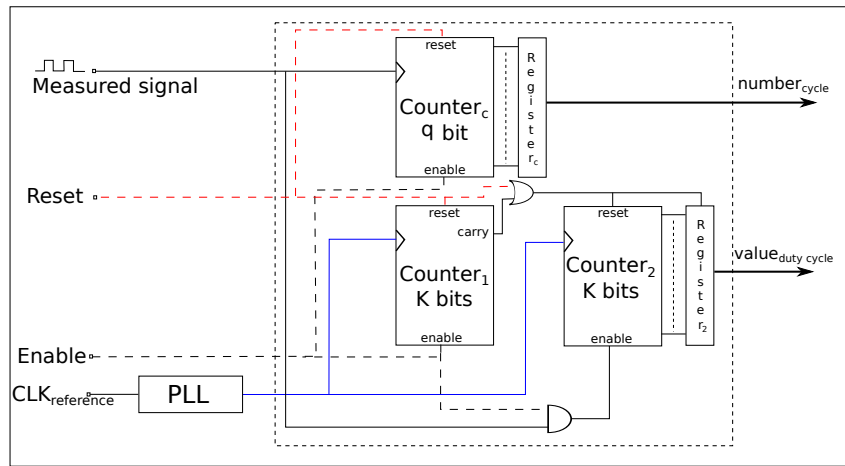


FIGURE 3.8 – Architecture du circuit de mesure

cyclique. Le fonctionnement du circuit de mesure est détaillé dans la figure 3.9.

Le rapport cyclique α_m et la fréquence f_m du signal mesuré sont calculés selon les expressions suivantes :

$$f_m = \frac{number_{cycle}}{t_{Enable}} \tag{3.4}$$

$$\alpha_m = \frac{value_{Duty\ cycle}}{2^k - 1} \tag{3.5}$$

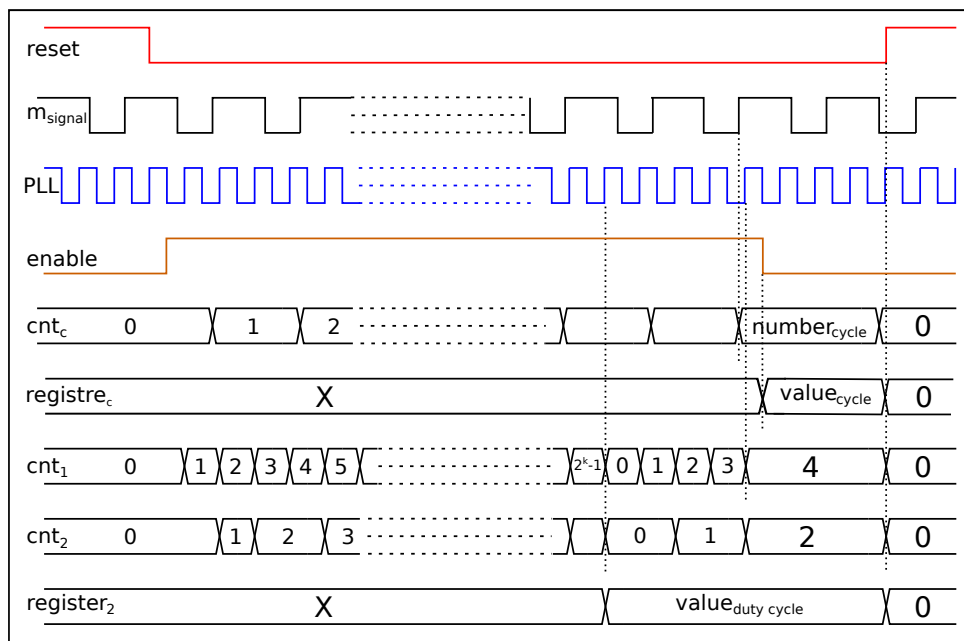


FIGURE 3.9 – Diagramme de temps des signaux de circuit de mesure

Le temps de passage d'un signal de niveau haut est la somme des temps de propagations en montée des LUT. Cette explication est illustrée dans la figure 3.10. Le temps de propagation en

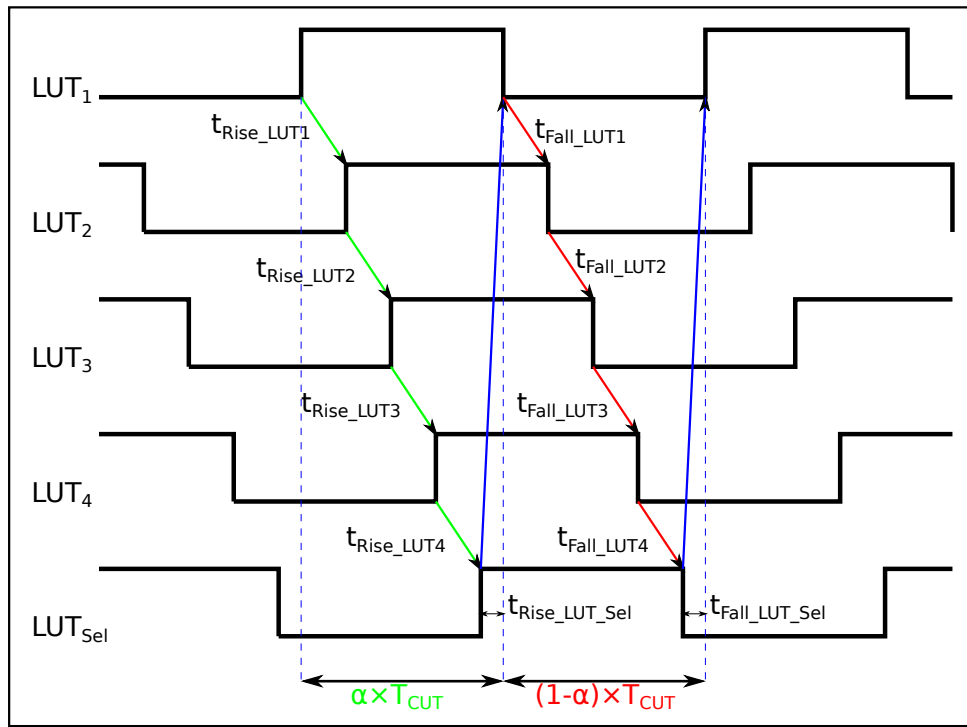


FIGURE 3.10 – Temps en montée et descente du signal produit par un CUT qui contient 4 LUTs et une LUT de contrôle.

montée moyen est calculé selon l'équation suivante :

$$t_{Rise\ time} = \frac{\alpha_m}{f_m \times (N + 1)} \quad (3.6)$$

Concernant le temps de propagation en descente, son explication est similaire à celle du temps en montée, il est calculé :

$$t_{Fall\ time} = \frac{1 - \alpha_m}{f_m \times (N + 1)} \quad (3.7)$$

où $N + 1$ est nombre de LUT constituant un CUT.

3.2.5 Fonctionnement de l'architecture matérielle du banc de test

L'architecture du banc de test est principalement composée de $L \times M$ circuits de test reliés par des multiplexeurs aux M circuits de mesure afin de mesurer leurs temps de propagation et leurs rapports cycliques. Ces deux types de circuits sont commandés par un circuit global de commande. Ce dernier commande aussi un circuit de gestion de temps et d'autres circuits comme vu à la figure 3.3.

Ce banc de test reçoit les informations depuis un système de surveillance SMS (Smart Monitoring System) utilisant un circuit de communication série (*UART*) implémenté sur un véhicule de test. D'abord, le SMS envoie un ordre d'initialisation du véhicule de test afin de démarrer une manipulations. Le circuit de contrôle principale traite ce message et met les CUTs sous conditions de contraintes électriques (0, 1, *PLL*). Afin d'appliquer les conditions de vieillissement, la

carte reçoit un message contenant les adresses des circuits de mesure à démarrer et celui des circuits sous test à mesurer. Ces circuits fonctionnent en mode mesure pendant une durée pré-définie et contrôlée par le circuit de gestion de temps, puis ils reviennent en mode contrainte. Enfin, le circuit de contrôle envoie via l'*UART* les résultats obtenus.

Le temps du mode mesure de chaque CUT est plutôt négligeable par rapport au temps de stress (à peu près 2 secondes sur 600).

3.2.6 Système de surveillance "Smart Monitoring System"

Nous avons développé une interface utilisateur sous forme de lignes de commande (Terminal sous linux). Son rôle principal est de poser indépendamment les conditions de chaque véhicule de test, le second rôle est de permettre à l'utilisateur de changer, modifier les contraintes et de vérifier les mesures en reliant le signal du CUT à vérifier à une broche d'un FPGA afin de mesurer les paramètres utilisant des équipements de mesure externes tel qu'un oscilloscope.

D'autre part, nous avons mis en place un fichier de description de chaque véhicule de test afin d'archiver toutes les commandes concernant chaque FPGA pour faciliter la phase de traitement de données.

Ce logiciel est capable de fonctionner en "multi-thread", un pour l'utilisateur et un thread pour la communication avec les véhicules de test groupés par un seul port de communication. De plus, il permet d'acquérir des données de plusieurs FPGAs en temps réel.

Algorithme 1 explique la démarche de notre logiciel. Principalement ce logiciel est constitué de trois parties :

CONFIG : L'utilisateur définit le port de communication qui va communiquer avec un groupe de véhicules de test, puis il sélectionne le véhicule à tester. Ainsi, le système charge les informations concernant le véhicule de test et la manipulation.

USER INTERFACE : Cette interface permet à l'utilisateur de changer en temps réel les contraintes électriques sur un ou plusieurs circuits de test donnés. De plus, l'utilisateur peut vérifier les résultats mesurés par des circuits de mesures intégrés dans le FPGA utilisant la fonction *external_check_measure* :

Afin d'activer cette option, l'utilisateur doit choisir le véhicule de test et le circuit sous test sous forme matriciel (ligne \times colonne). Notre banc de test est capable de vérifier le fonctionnement des circuits de mesure (*measure_mode*) et les signaux des contraintes appliqués (*stress_mode*).

DAQ : L'acquisition des données se fait en mode permanent et périodique. Le logiciel envoie un message au FPGA ordonnant le changement du mode de CUT, de *stress* vers *measure*, et le numéro de la ligne de CUTs commandés. Puis il attend un retour de la part du FPGA concernant la mesure. Si le retour est positif, il récupère les données afin de les traiter et de les enregistrer ou bien il affiche des alertes si besoin. Si le retour est négatif ou en l'absence de retour après un certain temps d'attente, il affiche une erreur de mesure en spécifiant l'identité du FPGA et l'adresse du CUT. Cette fonction est répétée jusqu'à la fin de la phase de mesure.

Algorithm 1 Smart Monitoring System operations

```

1: function CONFIG( )
2:   select port_ID
3:   select FPGA_ID
4:   FPGA_parameters ← component parameters file
5:   test_parameters ← test parameters file
6:   loop
7:     if FPGA_ID is Selected then
8:       create results_ID
9:   function THREAD(user)
10:    function external_check_measure( )
11:      select FPGA_ID
12:      send CUT_ID (row × column)
13:      select mode (measure or stress)
14:      insert duration_check
15:      send begin_external_check
16:      wait duration_check
17:      send end_external_check
18:    function THREAD_ID(monitor)
19:      initialize FPGA_ID
20:      send PLL_start
21:      wait(100 ms)
22:      while not measure is finished do
23:        send measure_start
24:        wait(time_of_measure)
25:        if measure_ready is true then
26:          send data_request
27:          receive data
28:          if number_octet_data is valid then
29:            process data
30:            results_ID ← data
31:          else
32:            print ("Warning : incomplete message !")
33:          goto send_start_measure
34:        else
35:          print ("Warning : no measure available !")
36:          goto send_start_measure

```

3.2.7 Structure de Communication

Comme nous l'avons mentionné dans la section 3.2.2, le banc de test est capable de gérer plusieurs FPGAs en parallèle. Plusieurs solutions possibles permettent de faire la communication entre les cartes et le PC comme l'*Ethernet*, le *PCI Express* et l'*UART*.

Ethernet est le bus de communication le plus connu. Il est rapide, facile à mettre en œuvre et il est capable de fonctionner avec des distances relativement longues. Mais, le seul inconvénient est les ressources du FPGA : il a besoin de presque 2200 LUT pour être implémenté. Cette valeur représente 22% de la ressource disponible dans le FPGA utilisé dans cette thèse.

Concernant le *PCI Express*, c'est une solution très performante. Par contre elle a besoin de plus de 50% de la ressource disponible dans le FPGA.

Pour les raisons ci-dessus, nous avons choisi dans ce cas la communication série *UART* pour les raisons suivantes :

- Elle est performante et facile à mettre en œuvre.
- La communication a lieu en basse fréquence, donc elle utilise une connectique simplifiée et moins coûteuse.
- Le circuit implémenté sur le FPGA pour la communication ne prend que 207 LUTs, ce qui représente 2% de LUTs disponibles dans notre FPGA.
- Elle est facile à modifier pour être capable de communiquer avec plus d'une carte, en mettant en haute impédance les circuits non sollicités sur le fil de transmission de données du FPGA vers le PC.

L'utilisation d'un Arduino Due [64] comme un routeur entre le PC et les véhicules de test est un choix de rapport prix/flexibilité comparé à un PIC-microcontrôleur ou un FPGA avec un large nombre d'entrées/sorties numériques et analogiques avec une résolution de 12 bits et 4 *UART* intégrées et prédéfinies.

Comme mentionné dans la section 1.3, l'un des objectifs de cette thèse est de caractériser les dispositifs sous différentes conditions environnementales (Tension de cœur et température). Pour atteindre cet objectif, des tests de multi-cartes de même configuration sont mis en place en ajoutant un signal logique nommé *Chipselect* entre chaque carte et l'Arduino. Son rôle est d'activer et désactiver la communication avec un FPGA sélectionné. Cette méthode nous permet d'adresser les cartes sans modifier les configurations internes. Cela garantit d'avoir tous les FPGAs configurés identiquement.

Le message communiquant entre le logiciel de surveillance et les cartes à tester est composé de (voir figure 3.14) :

- *header* : contenant l'adresse du véhicule de test codée sur un octet (8 bits). Le routeur traite ce mot puis il active le *Chipselect* concerné.
- *Instruction* : un mot codé sur 8 bits, identifie l'action du message.

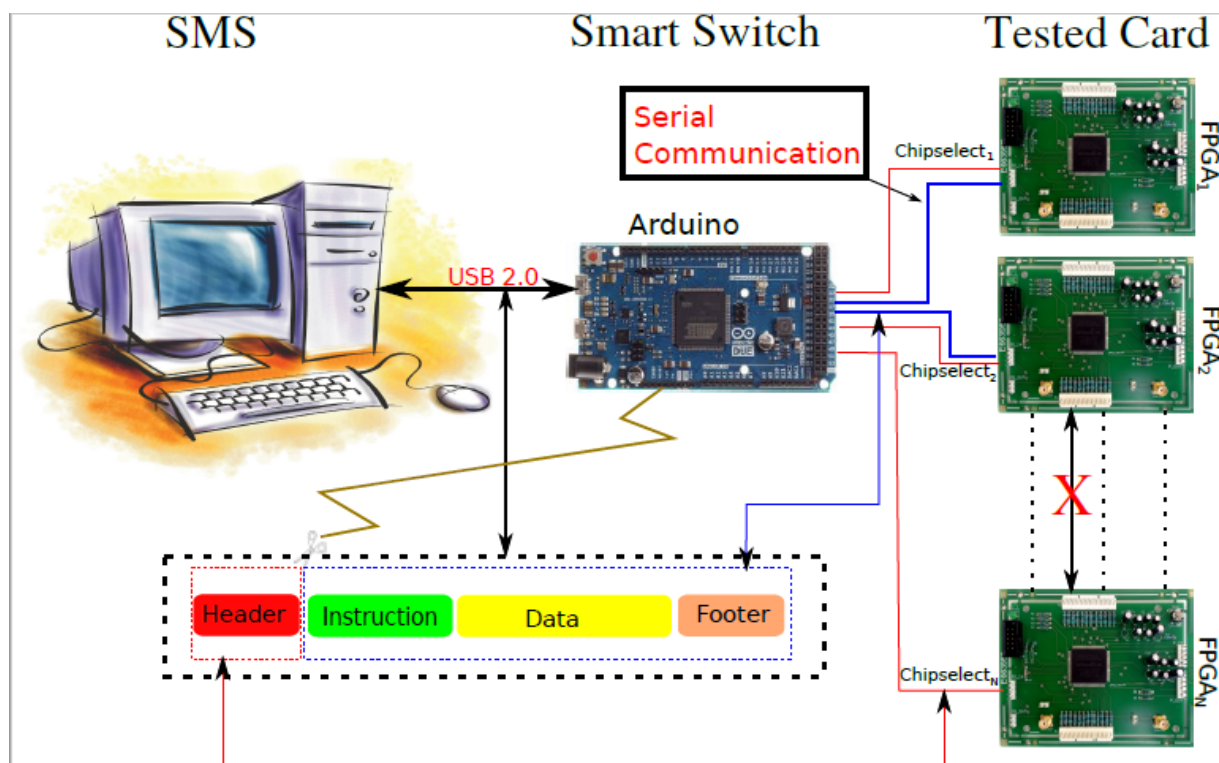


FIGURE 3.11 – Structure globale de notre banc de test avec une description du rôle de l'Arduino qui traite le message par composition.

- *Body* : contenant les informations transmises. La taille de ces informations change selon les instructions.
- *Footer* : un mot représentant la fin de message.

3.2.8 Fonctionnement global du banc de test

Nous avons expliqué les différentes parties de notre architecture du banc de test, mais comment fonctionne-il ?

La figure 3.12 montre les passages des commandes et des réponses entre le véhicule de test et le PC hôte à travers un routeur Arduino.

D'abord, le logiciel de surveillance envoie une instruction *Start Test*. Le rôle de cette instruction est d'initialiser tous les CUTs (activation des contraintes statiques si nécessaire) et de remettre à zéro les circuits de mesure. Une instruction *Start PLL* est envoyée au véhicule de test afin de démarrer les deux PLLs existantes dans le FPGA. En conséquent, tous les CUTs sont sous les conditions des contraintes. De plus, *Start PLL* annonce le démarrage de test. A partir de ce moment, une première mesure est faite à t_0 . Une commande de mesure est envoyée en définissant les CUTs à mesurer.

D'autre part le gestionnaire de temps a démarré en même temps que les CUTs sélectionnés voient leurs états changer de mode *Stress* à mode *mesure*. En outre, les circuits de mesures sont activés. Cette tâche dure une période de mesure fixée à la configuration.

Lorsque la période de mesure est terminée, les CUTs sélectionnés reviennent en mode *Stress*,

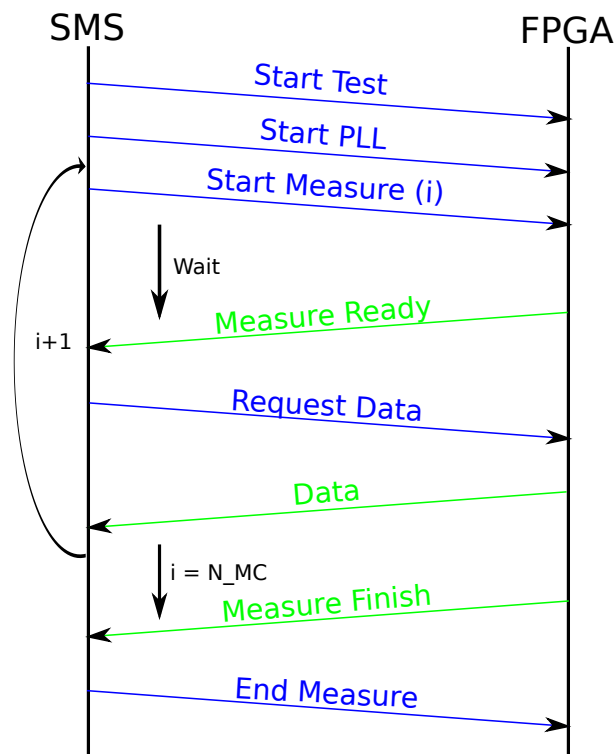


FIGURE 3.12 – Organigramme des messages transmis entre le logiciel de surveillance et le véhicule de test pendant l’auto-caractérisation.

et les résultats obtenus sont enregistrés dans des registres. Le véhicule de test notifie au logiciel de surveillance que les mesures ont été faites en utilisant l’instruction *Measure Ready*.

Le logiciel SMS prend en compte les résultats disponibles d’un véhicule de test avec son adresse. Selon sa disponibilité, le SMS demande les données disponibles (*Request Data*) au niveau du FPGA. Ce dernier envoie les données en mode continu.

La mesure du premier bloc de CUTs à été faite, le SMS demande au véhicule de test de lancer la mesure du deuxième bloc et ainsi de suite jusqu’à la fin de la phase mesure. Le FPGA informe le SMS que toutes les mesures ont été faites. A ce moment, le SMS demande la remise à zéro de tous les circuits concernant la phase de mesure.

3.3 Mesure et compensation de la température

La fréquence d’oscillation d’un oscillateur en anneau basé sur des transistors MOS est influencée par la température de fonctionnement. En conséquence les résultats des manipulations qui seront expliqués dans les deux prochains chapitres sont influencés par la température de l’environnement du test ainsi que par la température de la carte sous test.

Pour éliminer les perturbations reliées à la température, on la mesure et les résultats des mesures sont compensés par ces valeurs.

3.3.1 Température externe

Dans les premières manipulations, un thermomètre à résistance métallique a été mis en place juste à côté de la carte afin de mesurer la température de l'environnement le plus proche de la carte. La tension aux bornes de cette résistance placée dans un pont diviseur a été mesurée en utilisant le convertisseur analogique numérique intégré dans la carte Arduino de résolution de 12 bits. La résistance électrique augmente linéairement avec la température, ceci sur une grande plage de température suivant la loi :

$$R(T) = R_0 [1 + \alpha (T - 273.15)] \quad (3.8)$$

où T est la température exprimée en kelvin, α est le coefficient de température du métal ($\alpha = 0.0393 \text{ K}^{-1}$) et R_0 est la résistance à 273.15 K.

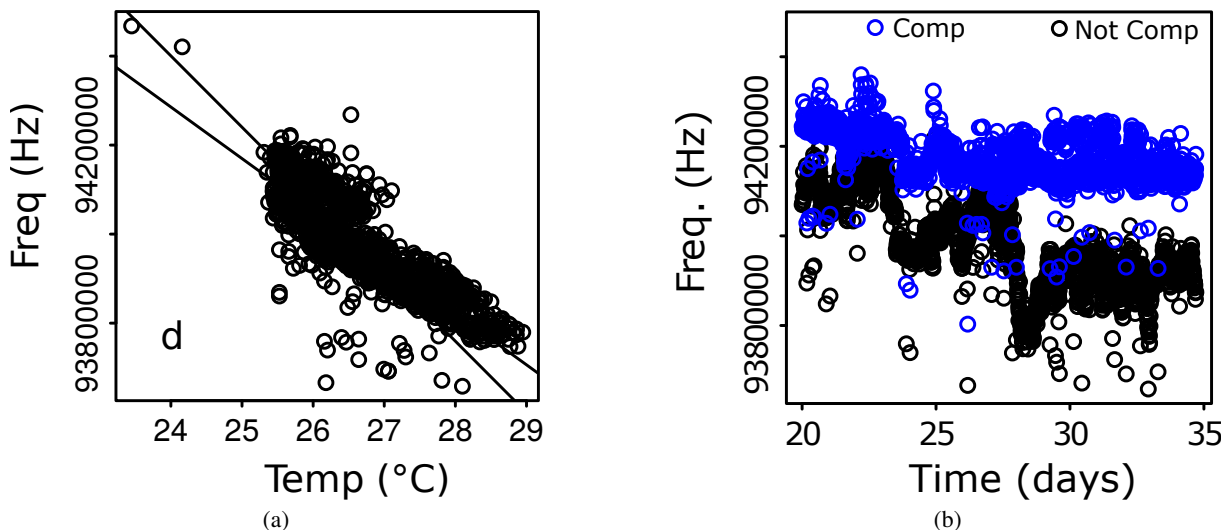


FIGURE 3.13 – La compensation de la fréquence par rapport à la température a) coefficient de la compensation. b) La comparaison entre les résultats compensés et les résultats bruts.

En appliquant cette méthode, la température ambiante est bien mesurée, mais la température au cœur du FPGA est seulement estimée. Nous avons observé des fluctuations dans les fréquences mesurées. En même temps, la tension d'alimentation de la carte est stable. Par contre, nous avons aussi observé des fluctuations dans les températures mesurées. Ces fluctuations sont de quelques degrés $\pm 2 \text{ K}$ et relativement rapides (sur quelques heures). Afin d'extraire la relation entre la variation des fréquences et la température, nous avons tracé la fréquence en fonction de la température pour chaque CUT comme illustré dans la figure 3.13a. Les courbes montrent une forte corrélation linéaire dont on extrait le coefficient C_T afin de compenser les résultats pour les ramener à une température de référence T_{ref} selon l'équation (voir figure 3.13b).

$$f_{comp} = f_{brut} - C_T \times (T - T_{ref}) \quad (3.9)$$

3.3.2 Température interne

Dans la suite de cette thèse, nous avons décidé d'améliorer la méthode de mesure de température pour la mesurer au niveau du cœur du FPGA. Nous avons développé une méthode simple et efficace permettant de mesurer la température à l'intérieur du FPGA juste à côté des branches entrées/sorties.

Une des sorties de la carte de test est reliée à une résistance tirage d'une entrée inutilisée du FPGA, en utilisant les options de configuration fournies par le logiciel. Une autre résistance R_{ext} a été branchée entre cette sortie et la masse de la carte. La résistance $R_{pull-up}$ change avec la variation de la température¹ de la carte ce qui cause une variation de la tension aux bornes de la résistance R_{ext} . Cette dernière est mesurée par une entrée analogique d'Arduino avec une résolution de 12 bits.

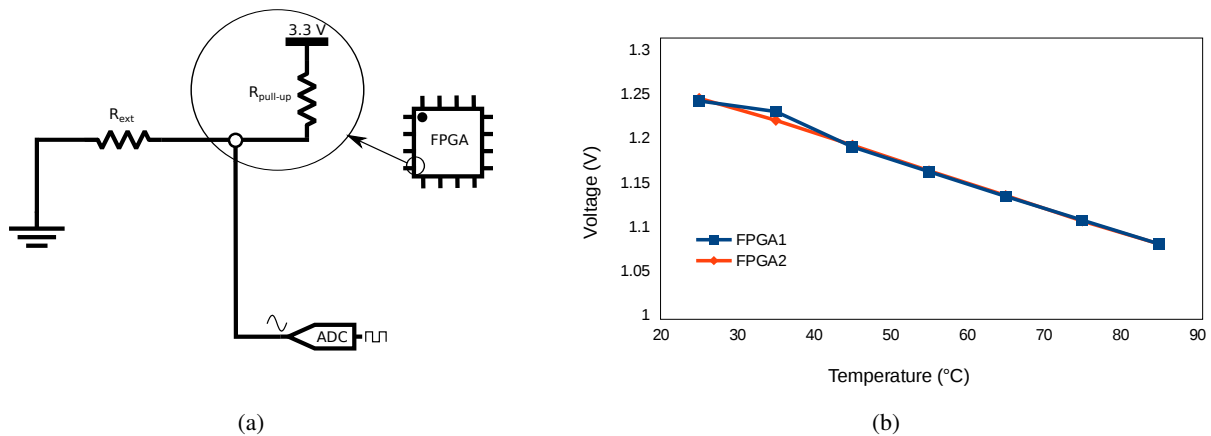


FIGURE 3.14 – a) Capteur de mesure de la température au cœur du FPGA. b) La variation de la tension en fonction de la température du FPGA.

La résistance montée sur le circuit imprimé R_{ext} est de $10\text{ k}\Omega$, tant que la résistance de la sortie du FPGA ($R_{pull-up}$) est de valeur entre 7 et $41\text{ k}\Omega$ ¹ [65]. La variation de la tension mesurée par l'entrée analogique d'Arduino en fonction de la température mesurée quand le FPGA est en mode désactivé est illustré dans la figure 3.14b. Elle montre que la résistance $R_{pull-up}$ varie linéairement en fonction de la température. Ceci nous permet de calculer la température à partir de la mesure de tension.

3.4 Réalisation des cartes de test

Un des paramètres des accélérations du vieillissement est l'augmentation de la tension d'alimentation. Les cartes de développement basées sur des FPGAs ont des régulateurs de tension intégrés sur la carte. Pour changer la tension, il faut déconnecter ces régulateurs et faire des

1. Minimum condition : -40°C ;
 Typical condition : 25°C ;
 Maximum condition : 125°C ; which $V_{CCIO} = 3.3\text{ V}$ refers to the input voltage at the I/O pin.

connexions directes à des alimentations externes. La température est un paramètre d'accélération de vieillissement aussi, et les régulateurs de tension sont influencés par les changements de la température du fonctionnement.

Pour ces deux raisons, nous avons conçu et réalisé le circuit imprimé (PCB : Printed Circuit Board) qui contient un FPGA avec des connecteurs et des quelques composants nécessaires pour qu'il fonctionne. Le circuit imprimé a été réalisé par une entreprise spécialisée. L'assemblage des composants a été effectué au laboratoire, y compris l'assemblage du FPGA de boîtier de type QFP (Quad Flat Package) de 144 broches.

Malgré tous les avantages de ces travaux, ils nécessitent du temps. En outre, la réalisation peut devenir impossible à faire dans notre laboratoire pour les technologies récentes surtout si le type de boîtier n'est pas du QFP.

3.5 Conclusion

Dans ce chapitre, nous avons présenté l'architecture de test que nous avons développée à faible coût permettant de caractériser la fiabilité du circuit intégré numérique. Elle est applicable sur les différentes technologies existantes. La nouvelle approche permet de caractériser jusqu'à 32 véhicules de test en parallèle et de les surveiller en temps réel à l'aide d'un logiciel de surveillance, afin de tester divers circuits dans des conditions environnementales différentes, en fréquence et rapport cyclique sur chaque FPGA, et en tension et en température sur plusieurs FPGAs.

Chaque véhicule de test est capable d'implémenter un grand nombre de CUTs pour appliquer plusieurs types des contraintes qui sont générées localement. De plus, le circuit de mesure permet de mesurer séparément les temps de propagation des fronts montants et descendants des sorties des oscillateurs en anneau. Cette séparation permettra d'identifier les effets de chaque mécanisme de vieillissement sur le front montant et descendant, afin de modéliser ces effets en fonctions de plusieurs paramètres comme la température, le rapport cyclique et la fréquence pendant le vieillissement.

Dans la suite de ce manuscrit, nous décrirons l'exploitation de cette architecture du banc de test pour la mesure du vieillissement de FPGA et la modélisation de plusieurs mécanismes de défaillance.

Le travail présenté dans ce chapitre a été présenté dans une conférence internationale *European Symposium on Reliability of Electron Devices, Failure Physics and Analysis* en septembre 2015. Puis il a été publié dans le journal international *microelectronics reliability* en 2015 [66].

Chapitre 4

Manipulations et modèles empiriques du vieillissement

Dans les tests de vieillissement, il est possible de mesurer la dégradation au fil du temps, soit en continu soit à des points spécifiques du temps. Dans la plupart des tests de fiabilité, les mesures de dégradation, peuvent avoir des avantages pratiques importants : 1) les mesures de dégradation peuvent, en particulier dans les applications où peu ou pas de défaillances sont attendues, fournir beaucoup plus d'informations de fiabilité qu'il n'en serait disponible à partir de données traditionnelles du temps de panne (failure-time), 2) l'observation en continu du processus de dégradation peut permettre la modélisation du mécanisme de défaillance, fournissant des estimations de fiabilité plus crédibles et précises.

Le travail présenté dans ce chapitre constitue une base importante pour la modélisation de la dégradation dans le but de prédire l'évolution du vieillissement d'un composant.

Nous avons développé un banc d'auto-caractérisation à faible coût présenté dans le chapitre précédent. Dans ce chapitre, nous utilisons ce banc pour faire des tests de la fiabilité du FPGA. Nous décrirons les conditions de stress et les facteurs d'accélération utilisés pour caractériser la fiabilité du circuit intégré numérique. Ensuite, nous analyserons les résultats expérimentaux pour étudier l'effet du vieillissement sur les LUTs de FPGA. Enfin, un modèle semi-empirique de mécanisme de vieillissement NBTI et un autre pour les HCI seront proposés à la fin de ce chapitre.

4.1 Conditions des vieillissements

4.1.1 Facteurs extérieurs de vieillissement

Les technologies actuelles dans des conditions normales d'exploitation ne se dégradent pas assez rapidement pour permettre l'expérimentation pratique. Cependant, les mécanismes de

dégradation considérés sont fortement influencés par la température et la tension d'alimentation, ce qui fournit un moyen d'accélérer le processus de vieillissement. Aussi, des tests accélérés sont couramment utilisés pour obtenir des informations de test de fiabilité plus rapidement.

Cependant, quand on réduit la durée de vie, il faut faire attention que ce test ne fasse pas apparaître de nouveaux mécanismes de dégradation et que la contribution des mécanismes de dégradation existants restent comparables dans les deux cas.

En outre, l'évaluation d'une condition d'accélération du stress basée sur un mécanisme de fiabilité dominant améliore considérablement la compréhension de la dégradation de la durée de vie.

Température

Selon le *JEDEC* [67], l'accélération par la température peut être utilisée avec de nombreux mécanismes de défaillances physiques. Ces mécanismes sont souvent décrits par la loi *Arrhenius* :

$$A_T = \exp \left[\left(\frac{E_{aa}}{K} \right) \left(\frac{1}{T_{op}} - \frac{1}{T_{stress}} \right) \right] \quad (4.1)$$

où A_T est le facteur d'accélération due à la température ;

E_{aa} est l'énergie d'activation apparente (eV) ;

k est la constante de Boltzmann ($8,62 \times 10^{-5} eV/K$) ;

T_{op} est la température nominale de la fonctionnement (298 K) ;

et T_{stress} est la température du stress.

L'équation d'*Arrhenius* décrit l'accélération thermique des réactions physiques et chimiques uniquement. Son application à la durée de vie n'est pas reliée simplement à la physique. Aussi Le terme «énergie d'activation» n'est pas applicable pour décrire l'accélération thermique du temps de défaillance. D'où la nécessité d'utiliser le terme «énergie d'activation apparente».

Une énergie d'activation apparente doit être associée à un mécanisme de vieillissement spécifique, et au paramètre mesuré qui possède sa propre activation thermique en absence de défauts.

Pour les mécanismes de vieillissements BTI et TDDB l'énergie activation apparente a une valeur positive. Au contraire, E_{aa} du HCI pour le NMOS est entre -0.2 et 0.4 eV, tandis que pour le PMOS elle est entre -0.1 et -0.2 eV. Ici, une diminution de la température peut accélérer le vieillissement causé par HCI.

Tension

L'augmentation de la tension (ou du champ électrique) accélère le vieillissement des transistors. Plus précisément, l'augmentation de la tension entre la grille et la source du transistor ($|V_{gs}|$) va accélérer le BTI [34]. Le TDDB dépend du champ dans la grille [68] et le HCI dépend

du courant substrat I_{sub} qui est relié à la tension drain-source ($|V_{ds}|$) [69]. De fortes augmentations de tensions ne peuvent pas être utilisées parce que le circuit intégré ne fonctionnera pas correctement : les mesures de fiabilité doivent être faites aux tensions extrêmes autorisées.

Le facteur d'accélération due à la tension d'alimentation est calculé selon les mécanismes par une des expressions suivantes :

$$A_V = \exp \left[-\gamma (V_{op} - V_{stress}) \right] \quad (4.2)$$

où A_V est le facteur d'accélération due à des variations de la tension d'alimentation ;

γ est le facteur exponentiel de la tension ;

V_{op} est la tension nominale du fonctionnement (1.2 V pour une technologie de 65 nm) ;

et V_{stress} est la tension du stress.

4.1.2 Facteurs intérieurs de vieillissement

Le stress qui provoque un vieillissement dépend non seulement des facteurs environnementaux tels que la température et la tension d'alimentation, mais aussi sur la façon dont le FPGA est utilisé. Dans ce travail, nous nous sommes focalisés sur les moyens de configuration et d'utilisation du FPGAs dans le but de modéliser les dégradations en fonction des paramètres internes (fonctionnels).

Les facteurs internes de la dégradation qui ont été pris en compte sont :

Fréquence : La dégradation due au HCI et à l'électromigration est liée au courant circulant à travers d'un transistor. Sur un circuit numérique CMOS, elle est donc liée à la fréquence de commutation.

Rapport cyclique : Cette métrique de base est essentielle pour les mécanismes de dégradation qui sont activés par une tension de grille statique (TDDDB et NBTI) : le rapport cyclique va influencer sur le temps réel de stress et la période de recovery.

Configuration : Ceci est une considération critique, car elle est la source de la flexibilité dans un FPGA, et potentiellement, la configuration est une méthode importante pour compenser les dégradations.

4.1.3 Synthèse

Ces facteurs de vieillissement nous permettent de distinguer les mécanismes de défaillance comme illustrés dans le tableau 4.1. Ce tableau montre quels sont les facteurs d'accélération et les contraintes appliquées sur le circuit pour identifier un mécanisme spécifique. Par exemple, pour identifier les effets du HCI, une augmentation de la tension est nécessaire, car elle augmente le courant qui circule dans le canal. En plus, une diminution de la température réduit les

effets des autres mécanismes sans influencer sur les porteurs chauds. Et le troisième facteur est la fréquence qui est le facteur le plus important pour produire des HCI.

Mécanisme	Tension	Température	Fréquence	Rapport cyclique
BTI	élevées	élevées	faible	important
HCI	élevées	faible	élevées	–
TDDDB	élevées	élevées	faible	important
Electromigration	moyenne	très élevées	élevées	–

TABLE 4.1 – mécanisme de défaillance en fonction des facteurs de vieillissement

On observe que les facteurs de vieillissement pour identifier le BTI et TDDDB sont similaires. La distinction se fait alors par une étude statistique. Le BTI dérive avec le temps de stress de façon similaire pour un lot de circuits. Le TDDDB arrive à un instant et sur un ou quelques circuits du lot.

4.2 Dégradation des LUTs et des interconnexions

Dans cette section, nous décrivons les deux premières manipulations effectuées sous deux conditions de stress différentes. Le but de ces tests de la fiabilité est de mesurer la dégradation du circuit de test qui est implémenté sur différents LAB qui contiennent 16 blocs logiques (CLB) connectés entre eux avec des interconnexions courtes. Les LAB sont connectés entre eux et avec les autres dispositifs en utilisant les interconnexions longues, qui produisent un temps additionnel pour transmettre un signal. Ceci implique que les temps de propagations mesurés sont les temps des LUTs auxquels s'ajoutent ceux des interconnexions.

Les architectures de test de ces manipulations ont été implémentées sur un FPGA d'ALTERA de la famille Cyclone III.

4.2.1 Contrainte dynamique

Notre première manipulation a consisté à tester 128 CUTs, contenant chacun entre 11 et 71 LUTs. Cette manipulation avait pour objectif une validation des circuits de mesure et l'évolution des dégradations dans les conditions normales d'utilisations. Dans cette architecture, les CUTs sont configurés en oscillateurs en anneaux pendant les deux mode de fonctionnement : stress et mesure. Ils oscillent aux différentes valeurs de fréquences. Les contraintes de ces circuits sont donc les signaux produits par eux mêmes. Donc, le seul facteur de stress intérieur est la fréquence avec un rapport cyclique unique égale à 50%. Le test est effectué sous tension d'alimentation nominale de 1.2 V et à la température ambiante autour de 279 K. Ces CUTs sont alors testés sans facteur d'accélération de vieillissement externe.

La figure 4.1 montre sur l'axe Y les moyennes de la dégradation du temps de propagation par LUT des circuits (LUT plus les ressources de routage) vieillissés sous contraintes aux différentes valeurs de fréquences pendant 1300 h. L'axe de l'abscisse montre les temps de propagation initiaux.

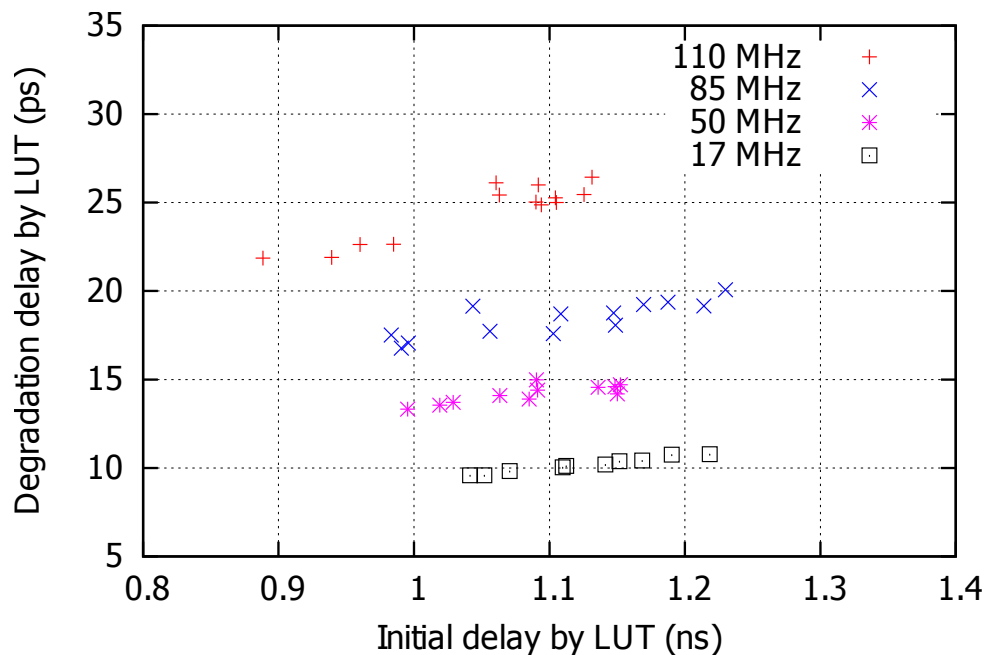


FIGURE 4.1 – La moyenne du temps de propagation après 1300 h

Les mesures confirment l'existence d'une dégradation, et la capacité du banc de test à la mesurer.

Les retards dans les circuits produisant un signal de fréquence 110 MHz sont dégradés d'environ 25 ps (2.3%), plus que ceux de fréquence de 85 MHz 18 ps, plus que ceux de 50 MHz et 17 MHz qui ont des faibles dégradations.

Le BTI et le TDDDB ne peuvent pas être responsables de cette variation des dégradations entre les circuits, parce que les signaux de stress sont tous de même rapport cyclique de 50%. Mais ils peuvent créer une dégradation. L'extrapolation à une fréquence nulle (Fig. 4.2) donne un retard dû ces mécanismes de 7 ps (0.7%). Ainsi, le mécanisme responsable de la variation de la dégradation du circuit est probablement HCI dans les transistors ou l'électro-migration dans les lignes connectées aux sources et drains des transistors, car ce test a montré que les circuits subissant une haute fréquence sont dégradés plus rapidement que ceux stressés à basse fréquence.

4.2.2 Contraintes statique et dynamique

L'objectif de la deuxième manipulation était d'étudier les influences des contraintes statiques sur les temps de propagation des circuits de test, et aussi, de connaître les effets de changement du rapport cyclique des contraintes.

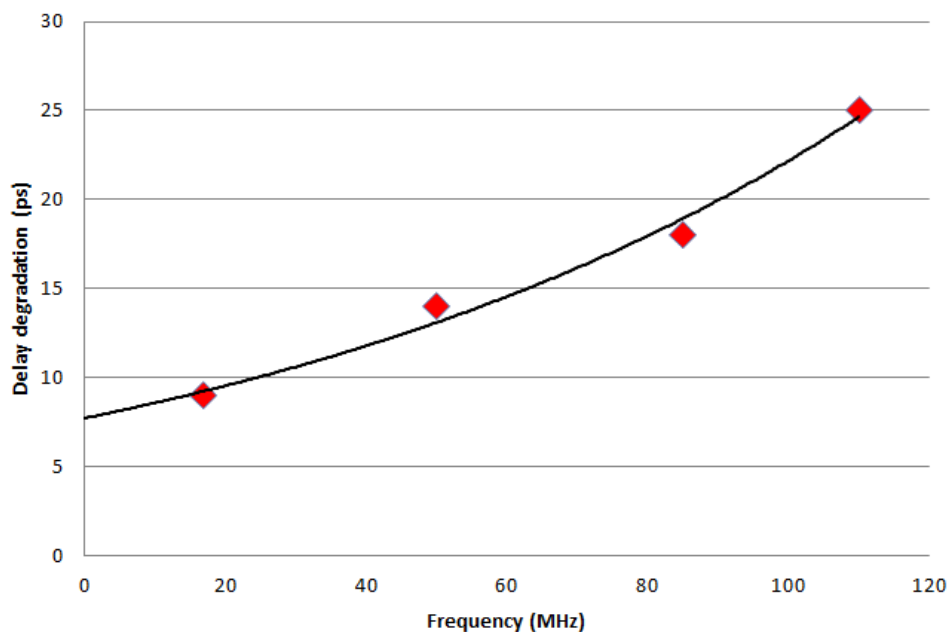


FIGURE 4.2 – L’extrapolation de la dégradation du temps de propagation en fonction de la fréquence après 1300 h de stress

Dans cette manipulation, nous avons augmenté la tension d’alimentation du FPGA à 1.8 V (le FPGA est de même type qu’à la première manipulation), soit 50% au-dessus de la tension nominale pour accélérer le vieillissement de CUTs, et à la température ambiante pendant 360 heures.

En outre, nous avons mesuré la température autour de la carte de test utilisant la première méthode décrite dans la section 3.3. Grâce à cela, une compensation de la température a été appliquée sur les résultats de mesure afin de réduire les erreurs dues aux effets de fluctuations de température sur la fréquence d’oscillation.

De plus, nous avons mesuré le rapport cyclique d’oscillation (α_m) de chaque CUT en utilisant le circuit développé dans le chapitre précédent pour calculer leurs temps de propagation moyens en montée et en descente en utilisant les expressions (3.6) et (3.7).

Tous les circuits de test sont de même taille. Ils contiennent chacun 10 LUTs configurées comme des buffers et une LUT de contrôle. La valeur de N est alors 10.

Les circuits subissent différents régimes de contraintes électriques qui sont détaillées dans les sections suivantes.

Contrainte statique

Nous avons appliqué un signal continu de stress de niveau bas (DC0) sur l’entrée de 48 CUTs, et de niveau haut (DC1) sur 48 autres CUTs pour éliminer les effets dus au HCI (pas de fréquence) et détecter la dégradation due au BTI à une température ambiante.

Les dégradations des temps de propagation en montée et en descente des CUTs sont illustrées

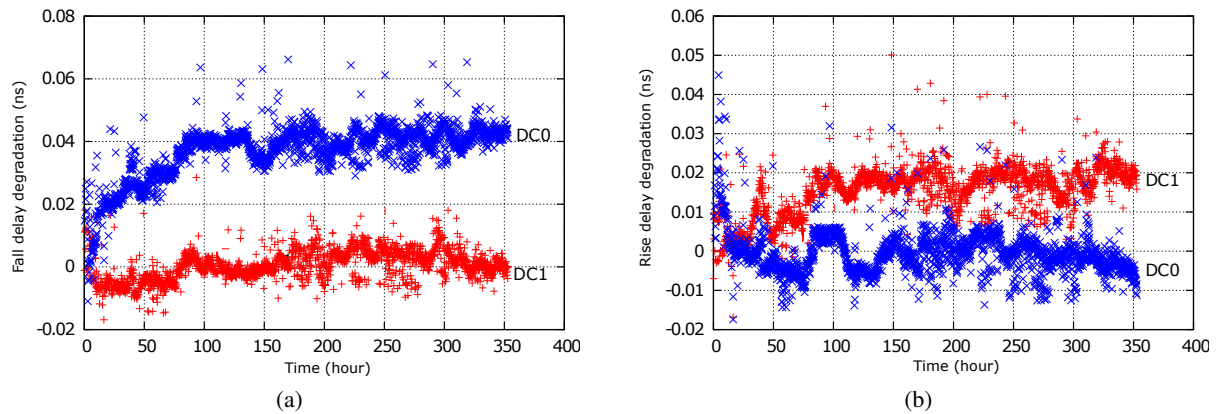


FIGURE 4.3 – La dégradation du temps de propagation a) en descente et b) en montée sous contraintes statiques

sur les figures 4.3a et 4.3b. La dégradation du temps de propagation en descente des CUTs sous contrainte DC0 est d'environ 47 ps et de 2 ps pour ceux de DC1. Symétriquement, la dégradation du temps de propagation en montée est de 20 ps sous contrainte DC1, et -2 ps sous contrainte DC0.

Ces mesures montrent que la contrainte DC0 a fortement affecté le temps en montée, et le temps de propagation en descente est affecté moyennement par DC1. Ceci signifie que DC0 est la pire contrainte statique sur cette technologie du FPGA.

Contrainte dynamique avec un rapport cyclique variable

En plus des stress statiques, nous avons appliqué deux fréquences de stress ($LF = 25$ Hz et $HF = 300$ MHz) et deux rapports cycliques (10% et 90%) comme détaillé dans le tableau 4.2. Chacun des signaux de stress a été appliqué sur 24 CUTs, donc au total 96 CUTs ont été testés.

Conditions			Observe effects			
Stress	f	α	HCI	BTI	Δt_{fall}	Δt_{rise}
DC1	0	1	Faible	Faible	0 ps	20 ps
DC0	0	0	Faible	Fort	45 ps	-2 ps
HF90	300 MHz	0.9	Fort	Faible	35 ps	40 ps
HF10	300 MHz	0.1	Fort	Fort	55 ps	30 ps
LF90	25 Hz	0.9	Faible	Faible	5 ps	12 ps
LF10	25 Hz	0.1	Faible	Fort	25 ps	2 ps

TABLE 4.2 – Les types de contraintes et ses influences

La figure 4.4 montre que la dégradation du temps de propagation en descente en raison de HF10 est supérieure à HF90 de 20 ps, le rapport cyclique proche de zéro affectant plus le temps en descente due au NBTI. La même influence est observée entre LF10 et LF90.

Si l'on compare les deux signaux ayant le même rapport cyclique (LF10 avec HF10 ou bien

LF90 avec HF90), nous remarquons que les CUTs sous un signal de contrainte de haute fréquence sont dégradés plus rapidement que ceux qui sont sous une basse fréquence. La différence est égal à 30 ps entre les deux. Cela peut être expliqué par l'influence HCI aux conditions de stress à haute fréquence. Le même effet de la fréquence est observé sur le temps en montée.

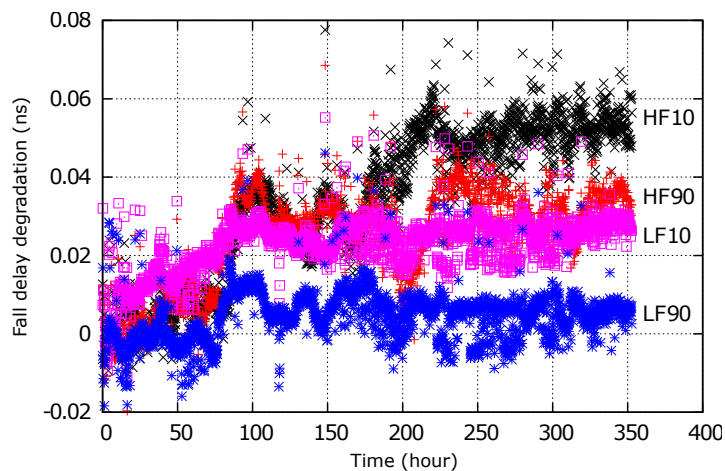


FIGURE 4.4 – La dégradation du temps de propagation en descente en fonction du temps de stress et du type de la contrainte

4.3 Caractérisation des vieillissements des LUTs dans un FPGA

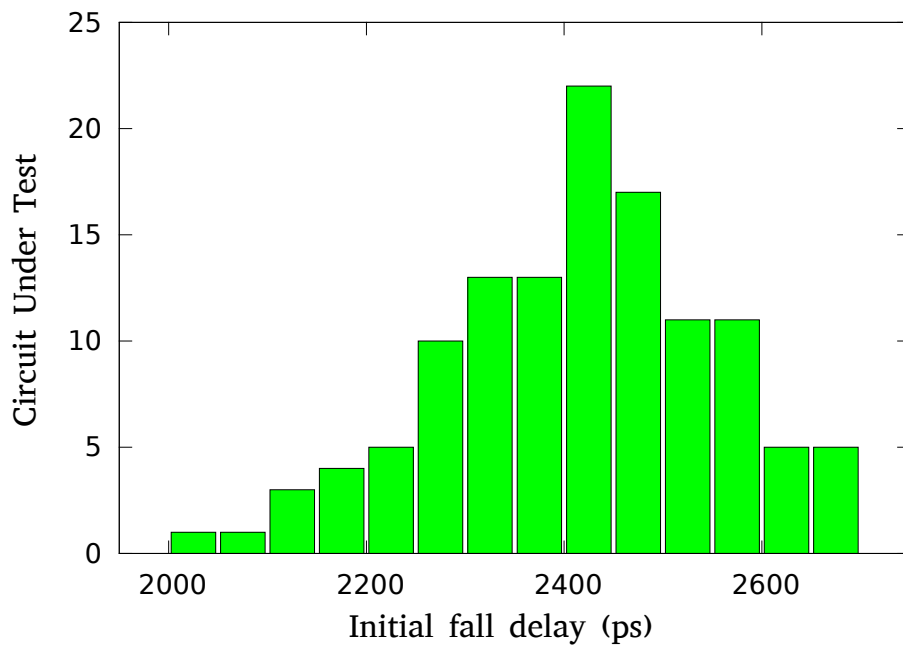
4.3.1 Configuration de test

L'objectif de ces mesures est de caractériser l'effet du rapport cyclique et de la fréquence sur la dégradation de temps de la LUT dans le but de déterminer les mécanismes responsables de ce vieillissement.

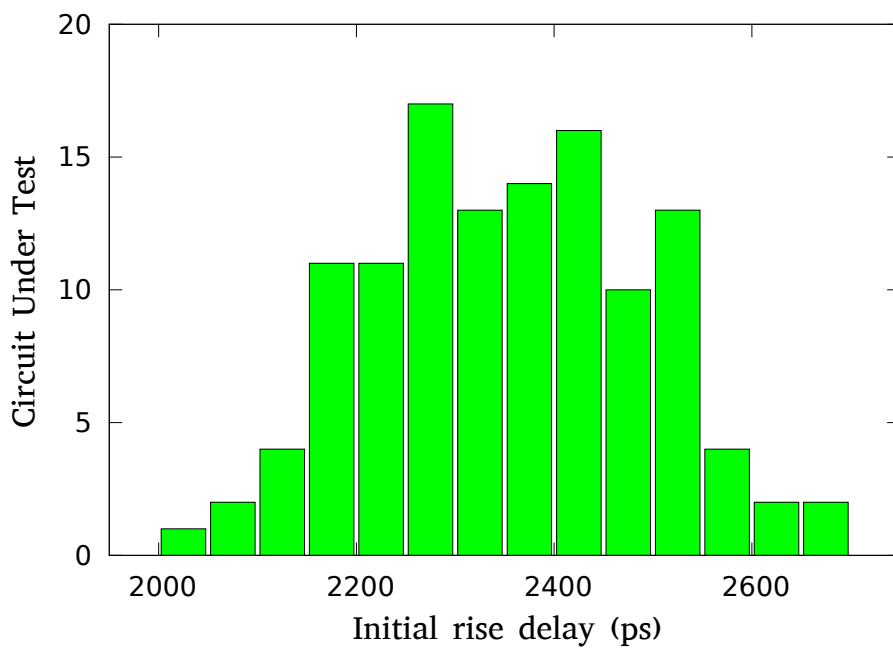
Contrairement aux deux premiers tests, dans ce travail, les CUTs ont été implémentés dans un seul LAB, avec une durée de test plus longue, afin d'avoir des résultats plus précis. Le banc d'essai a été mis en œuvre à nouveau sur un circuit Altera Cyclone III 65nm. Les mesures ont été effectuées sous une tension d'alimentation de 1.8 V pour accélérer le vieillissement des composants, à environ 316 K pour la température de jonction pendant 3000 heures.

Nous avons testé 120 circuits, chacun contenant 9 LUTs configurées comme des buffers. Des signaux de trois fréquences ($LF = 25$ Hz, $MF = 100$ MHz et $HF = 402$ MHz), chacune des fréquences ayant des valeurs de rapports cycliques de 10% à 90% avec un pas de 20%, ont été appliquées en tant que vecteurs de stress. Deux autres signaux statiques $DC0$ et $DC1$ ont été appliqués sur d'autres lots de circuits. Ainsi, 15 types de stress différents ont été appliqués sur 120 CUTs, soit un lot de 8 CUTs par contrainte comme illustré dans le tableau 4.3.

Comme décrit dans le chapitre précédent, les temps de propagations en montée et en descente sont mesurés toutes les 10 minutes en utilisant un système de surveillance en temps réel.



(a)



(b)

FIGURE 4.5 – Histogrammes des valeurs initiales du temps de propagation a) en descente et b) en montée de CUTs

Les valeurs initiales (à t_0) des temps de propagation en montée et en descente de CUTs sont représentées dans la figure 4.5. Elles étaient respectivement d'environ 2.4 ns et 2.35 ns avec une dispersion d'environ 10 %, grâce à la mise en œuvre de chaque CUT dans un seul LAB.

Les temps de propagation moyens des LUTs est le temps du CUT divisé par le nombre de LUT N :

$$\Delta t_{fall/rise\ LUT} = \frac{\Delta t_{fall/rise\ CUT}}{N} \quad (4.3)$$

Les temps de propagation en montée et descente d'une LUT sont respectivement 266 ps et 260 ps.

$f \backslash \alpha$	0 Hz		25 Hz		100 MHz		402 MHz	
	Δt_{Fall}	Δt_{Rise}	Δt_{Fall}	Δt_{Rise}	Δt_{Fall}	Δt_{Rise}	Δt_{Fall}	Δt_{Rise}
0%	58.7 ps	-26.2 ps						
10%			53.33 ps	-18.5 ps	58.28 ps	-11.24 ps	77.4 ps	-3.38 ps
30%			32.25 ps	-7.5 ps			61.7 ps	8.85 ps
50%			17.7 ps	6.25 ps	32.78 ps	11.07 ps	43 ps	18.14 ps
70%			6.14 ps	19.75 ps			25.57 ps	33.85 ps
90%			-14 ps	36.85 ps	-5.5 ps	46.14 ps	9.4 ps	51.07 ps
100%	-20.5 ps	44.57 ps						

TABLE 4.3 – La dégradation des LUTs sous différentes conditions de vieillissement

Si on compare ces résultats et les résultats du premier test (figure 4.1), on voit que les LUTs de ce test sont 4 fois plus rapides que ceux du premier test. Cette différence a deux raisons : 1) l'augmentation de la tension d'alimentation de 50% va doubler la vitesse de passage d'un signal. 2) Les placements dans un seul LAB ont éliminé le retard produit par les interconnexions des fils longs.

4.3.2 Influence du rapport cyclique

Résultats expérimentaux

La figure 4.6 illustre la dégradation des temps de propagations en montée et descente pour les contraintes de très basses fréquences (25 Hz) en fonction du rapport cyclique des vecteurs de stress et de la durée du test. Le temps de descente est dégradé lorsque le rapport cyclique du signal de contrainte est inférieur à 70% ($\alpha \leq 70\%$), tandis qu'il est amélioré lorsque le rapport cyclique est plus de 70% ($\alpha \geq 70\%$) (Fig. 4.6a). Ainsi, le temps en descente d'une LUT se dégrade quand α est proche de 1 et s'améliore lorsque α proche de 0.

Inversement, le temps de propagation en montée de la LUT est amélioré (Fig. 4.6b) lorsque le rapport cyclique du signal d'entrée est inférieure à 30%, et se dégrade quand $\alpha \geq 50\%$. Par conséquent, le temps en montée se dégrade plus quand le rapport cyclique du vecteur d'entrée est proche de 1, et s'améliore faiblement quand il est proche de 0.

Interprétation

Avant le nœud de la technologie 45 nm, les MOSFETs ont été fabriqués en utilisant un diélectrique de grille d'oxynitride de silicium (SiON). Pour les diélectriques de grille SiON, le NBTI est une préoccupation importante pour la fiabilité des transistors PMOS. A partir du nœud 45 nm, l'utilisation de diélectriques de grille à forte permittivité (*High-K*) et une électrode en grille métallique (HKMG) ont introduit un mécanisme de dégradation de type PBTI (tension v_{gs} positive) pour les transistors NMOS [70].

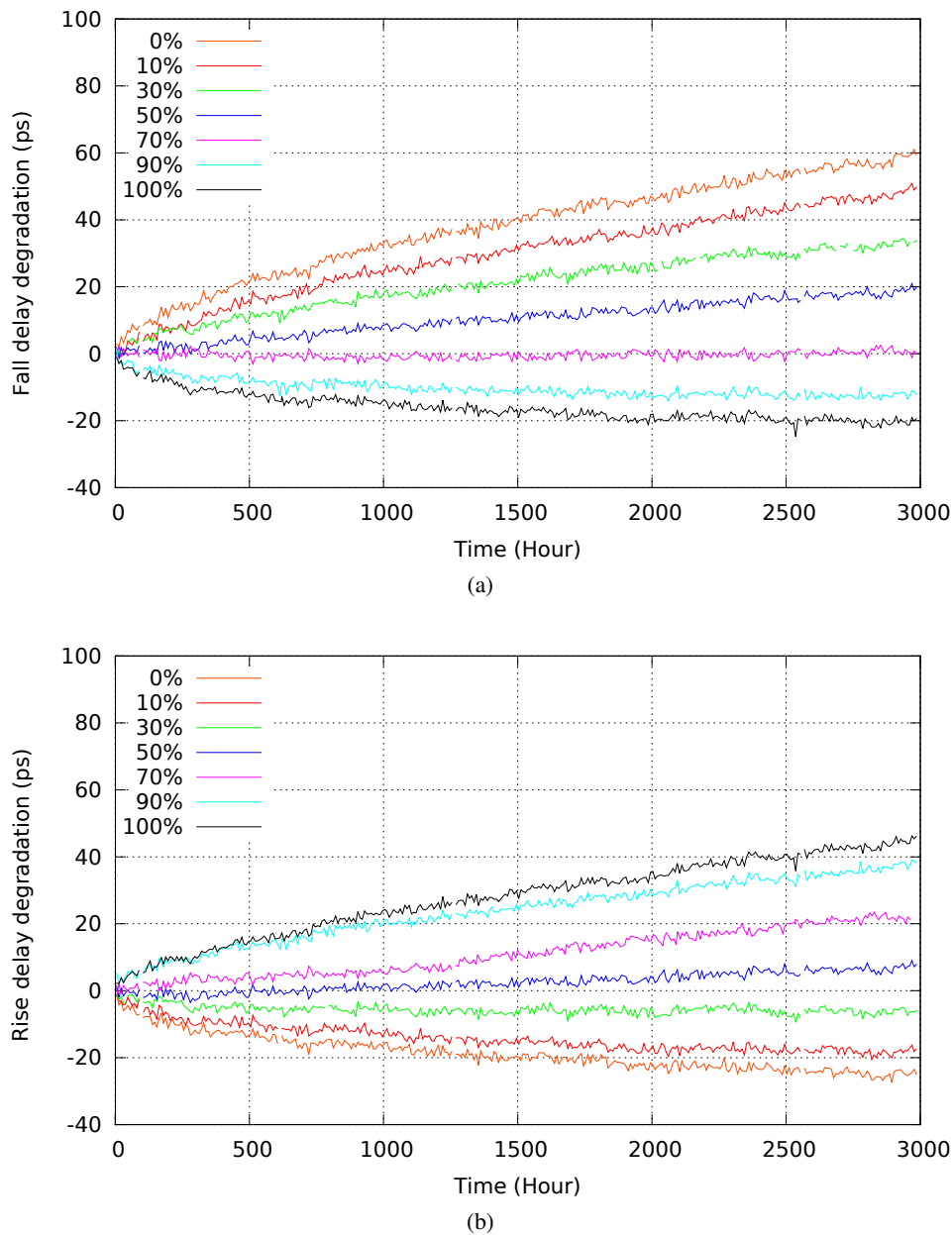


FIGURE 4.6 – La dégradation de temps de propagation a) en montée et b) en descente des CUTs sous contrainte de faible fréquence ($f_{stress} = 25$ Hz), avec des différentes valeurs du rapport cyclique (0% à 100%).

Les FPGAs de nos tests sont de technologie 65 nm [63]. Pour ces raisons, le mécanisme de vieillissement PBTI ne peut être responsable de la dégradation des temps de CUTs.

Le HCI et l'électromigration sont liés au courant circulant à travers un transistor, donc ils dépendent de la fréquence de commutation. Quand la fréquence des vecteurs de stress est très faible ($f_{stress} = 25$ Hz), très peu de courant circule dans les transistors des circuits testés. Par conséquent, HCI et l'électromigration ne sont pas les responsables de ces dégradations.

Le TDDB n'a pas été identifié comme un effet actif dans ces expériences, car aucune défaillance dure de cellule de test individuelle n'a été observée, et les niveaux de dégradation de temps sont très reproductibles à travers les nombreuses cellules de tests (voir les barres d'erreur dans la figure 4.7). Par conséquent, la dégradation est due à l'influence du mécanisme de vieillissement

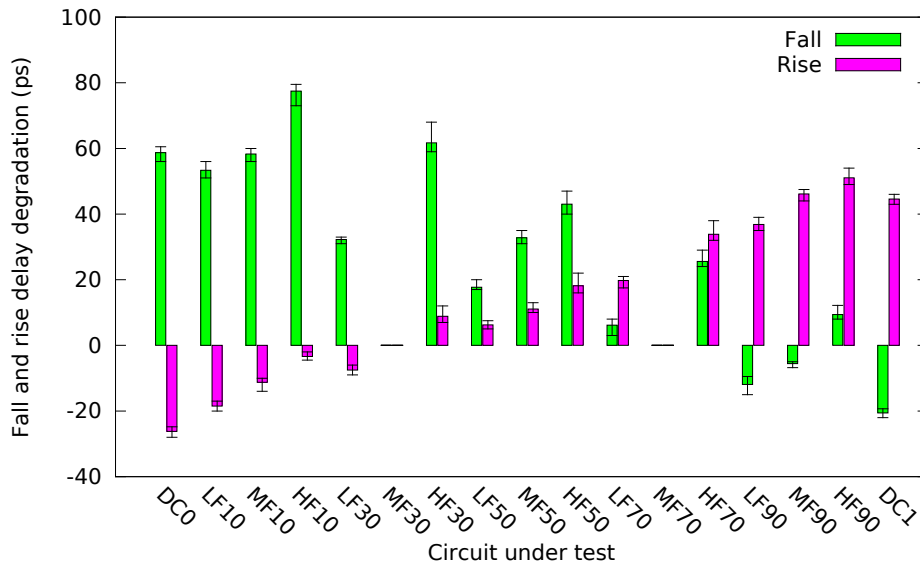


FIGURE 4.7 – La dégradation avec les barres des erreurs du temps en montée et en descente des CUTs après 3000 h de stress par différentes fréquences ($LF = 25$ Hz, $MF = 100$ MHz et $HF = 402$ MHz) et différentes valeurs du rapport cyclique α . $DC0$ et $DC1$ sont des signaux de stress statiques avec état de niveau bas et haut respectivement.

NBTI sur les transistors PMOS observée en stress de 25 Hz de la LUT.

La relation entre le rapport cyclique et le temps de propagation en montée et en descente peut être expliquée comme illustrée dans la figure 4.8, en considérant une architecture classique de porte CMOS. La porte de transfert de l'architecture réelle de LUTs n'est pas considérée ici. Elle sera prise en compte dans le chapitre suivant.

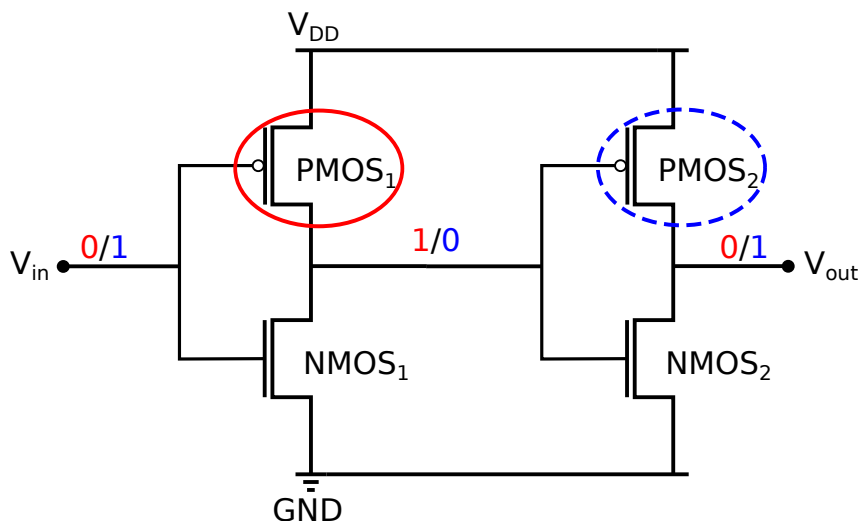


FIGURE 4.8 – Schéma de deux circuits inverseurs CMOS qui forment une structure générale du buffer que nous avons utilisée dans nos résultats expérimentaux. Les cercles rouges avec ligne continue représentent le PMOS dégradé lorsqu'une contrainte $DC0$ est appliquée à V_{in} . Ceux en bleus avec une ligne discontinue représentent le PMOS dégradé lorsque le stress $DC1$ est appliqué à V_{in} .

Lors d'une entrée de bas niveau $V_{in} = 0$, le $NMOS_1$ est bloqué et le $PMOS_1$ est passant en

connectant la sortie du premier inverseur à V_{dd} . Le $PMOS_2$ est bloqué et le $NMOS_2$ est passant, connectant la sortie à la masse. Dans cette condition $V_{GS\ PMOS_1} = -V_{dd}$. Ainsi, le stress NBTI a son impact sur le transistor $PMOS_1$ uniquement. Par conséquent, sa tension de seuil augmente. Par contre, les autres transistors ne sont pas vieillis par le NBTI.

Le passage de l'entrée au niveau haut bloque le $PMOS_1$ et le $NMOS_2$, et rend passant les transistors $NMOS_1$ et $PMOS_2$. Comme le $PMOS_1$ a une plus faible (plus négative) tension de seuil V_{th} , il est bloqué plus rapidement. Il en résulte une montée plus rapide de ce buffer.

La commutation du buffer à une entrée de niveau bas est différente de celle du niveau haut. Ici, le $PMOS_1$ est passant. La vitesse de commutation dépend de la marge de tension de grille $|V_{GS} - V_{th}|$. Le NBTI a dégradé le transistor $PMOS_1$ qui a donc une faible marge de tension et il est rendu passant plus lentement. Il en résulte un temps en descente lent pour ce buffer.

Dans le cas contraire, lorsqu'une entrée de haut niveau $V_{in} = 1$ est appliquée, le stress NBTI a son impact sur le transistor $PMOS_2$, ce qui provoque une descente plus rapide et une montée plus lente de ce circuit. Par conséquent, le temps de propagation en descente est dégradé lorsque le rapport cyclique de l'entrée V_{in} est proche de 0 et amélioré lorsque celui-ci est proche de 1. Pour le temps de propagation en montée, la relation est complètement inversée.

4.3.3 Modélisation semi-empirique du NBTI

Dans la section 4.3.2, nous avons présenté les résultats expérimentaux en fonction du rapport cyclique du signal de stress et le temps de test. Dans cette section, nous proposons un modèle semi-empirique de la dégradation due au mécanisme de vieillissement NBTI basé sur les résultats expérimentaux.

La dégradation de la tension de seuil due au NBTI du transistor PMOS est généralement modélisée comme suit [27] :

$$\Delta V_{th\ PMOS} = a \times (\beta \times T)^m \quad (4.4)$$

où β est le rapport cyclique du transistor, T est la durée du test, donc, $\beta \times T$ est le temps de conduction cumulé du transistor.

Si on trace en échelle logarithmique la dégradation du temps de propagation en descente sous contrainte DC0 et DC1 en fonction du temps, on observe que l'exposant en temps n'est pas le même pour DC0 et DC1 comme illustré dans la figure 4.9a. Ces exposants sont 0.6 pour DC0 et 0.3 pour DC1. En traçant l'un en fonction de l'autre, nous observons sur la figure 4.10a que la dégradation du temps en descente sous contrainte DC0 est proportionnelle au carré de celui sous le stress DC1.

$$\Delta t_{fall\ DC0}(T) = z \times (\Delta t_{fall\ DC1}(T))^2 \quad (4.5)$$

avec $z = 1.7\ ps^{-1}$.

Par conséquent, les transistors dont le rapport cyclique (β) est égal à $1 - \alpha$ affectent le temps

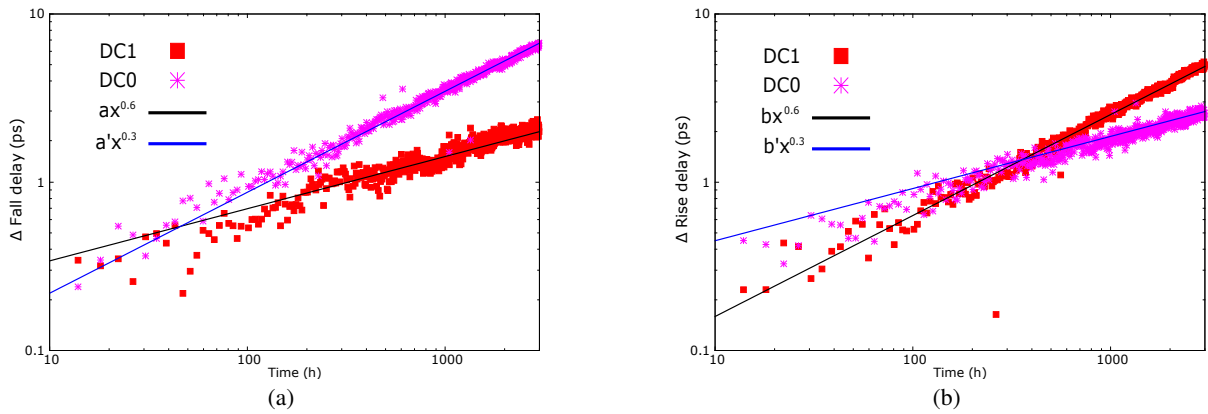


FIGURE 4.9 – Relation en échelle logarithmique entre la dégradation des temps a) en descente et b) en montée de LUTs stressées par deux signaux statiques DC0 et DC1 et le temps de stress. La dégradation du retard est proportionnelle à la loi de puissance. Concernant le temps en descente : $a = 0.055$ et $a' = 0.167$, pour le temps en montée : $b = 0.22$ et $b' = 0.04$.

en descente proportionnellement au carré des transistors dont le rapport cyclique égal à α . Cela signifie que la dégradation du temps en descente sous contrainte de DC0 est proportionnelle au carré de la dégradation de la tension du seuil du transistor.

$$\Delta t_{fall\ DC0} \propto (\Delta V_{th})^2 \quad (4.6)$$

En outre, d'autres transistors sont indépendants du rapport cyclique telles que les entrées non utilisées et les bits de configuration de SRAM. Ils affectent le temps de la LUT. Par conséquent, la dégradation de temps de propagation en descente d'une table de correspondance en fonction du rapport cyclique, de la durée du signal de stress et de l'effet des transistors indépendants du rapport cyclique est modélisée selon l'expression suivante :

$$\Delta t_{fall} = h(\alpha T, (1 - \alpha)T, T) = h_1(\alpha T) + h_2((1 - \alpha)T) + h_3(T) \quad (4.7)$$

En couplant les contributions des trois groupes de transistors, et la relation dans les équations (4.4) et (4.5). Nous extrayons l'expression suivante :

$$\Delta t_{fall} = A \times ((1 - \alpha) \times T)^{2m} + B \times (\alpha \times T)^m + K_f \times T^m \quad (4.8)$$

où m est un facteur dépendant de la technologie du procédé,

A est le coefficient de contrainte $\beta = 1 - \alpha$ sur le temps de propagation en descente,

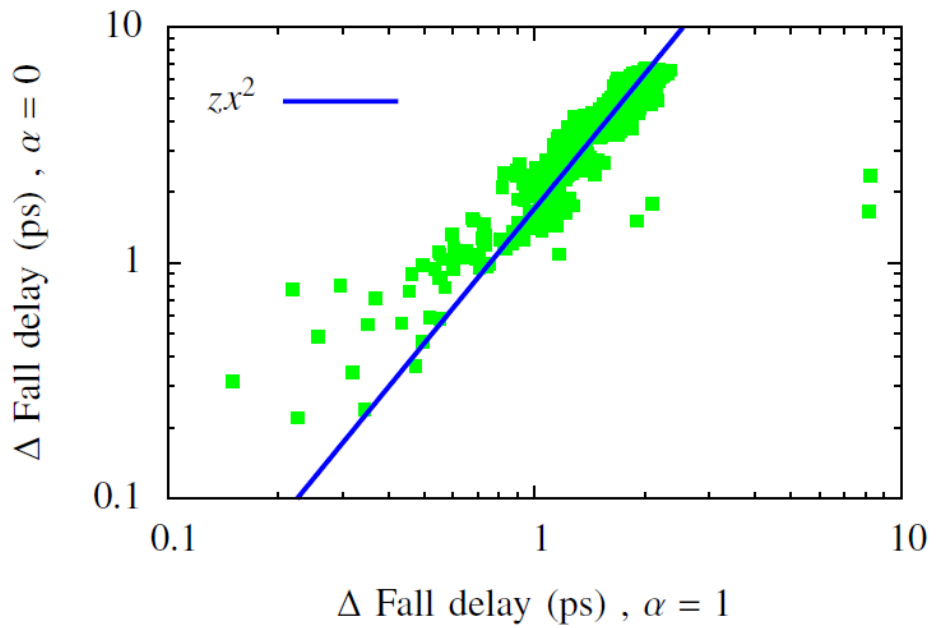
B est le coefficient de contrainte $\beta = \alpha$,

K_f est le facteur d'effet des transistors à contraintes constantes.

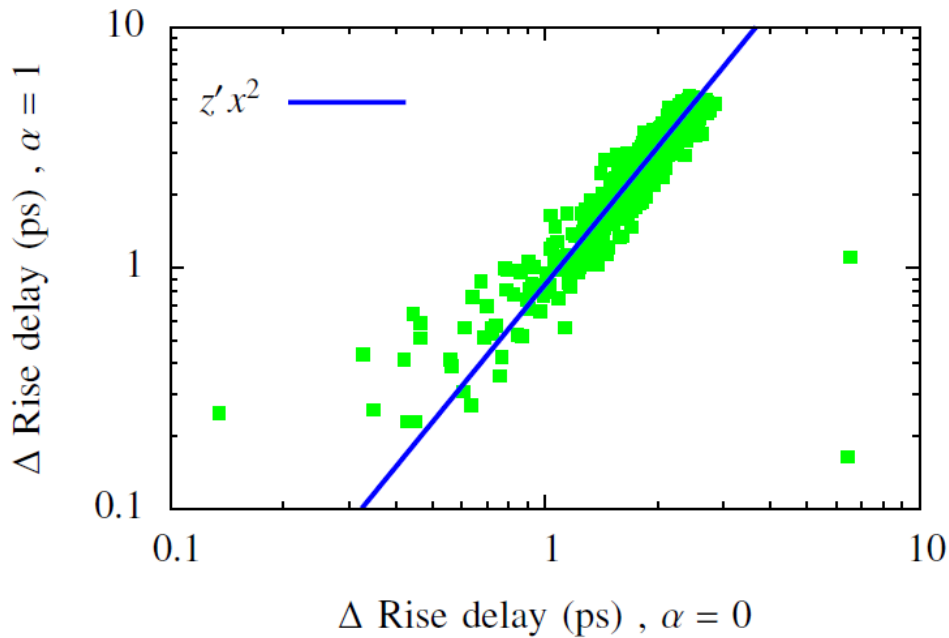
Sur la base de nos résultats expérimentaux nous extrayons les paramètres de cette expression :

$m = 0.3$, $A = 0.0492 \text{ ps/h}^{2m}$, $B = -0.1902 \text{ ps/h}^m$, et $K_f = 0.02 \text{ ps/h}^m$.

Symétriquement, la dégradation de temps de propagation en montée sous contrainte DC1 est proportionnelle au carré de l'un sous contrainte DC0 (Fig. 4.10b), comme expliqué dans l'ex-



(a)



(b)

FIGURE 4.10 – Relation en échelle logarithmique entre a) la dégradation du temps en descente des LUTs stressées par le signal statique DC0 est représentée sur l'axe de l'ordonnée y et celui des LUTs stressées par DC1 sur l'axe de l'abscisse x . b) La dégradation du temps en montée des LUTs stressées par un signal statique DC1 dépend de ceux-ci sous le stress DC0. Les deux courbes sont comparées à la loi de puissance de x^2 .

pression suivante :

$$\Delta t_{rise\ DC1}(T) = z' \times (\Delta t_{rise\ DC0}(T))^2 \quad (4.9)$$

avec $z' = 0.85\ \text{ps}^{-1}$.

Ainsi, la dégradation du temps en montée est calculé en utilisant l'expression suivante :

$$\Delta t_{rise} = g((1 - \alpha)T, \alpha T, T) = h_1(\alpha T) + h_2((1 - \alpha)T) + h_3(T) \quad (4.10)$$

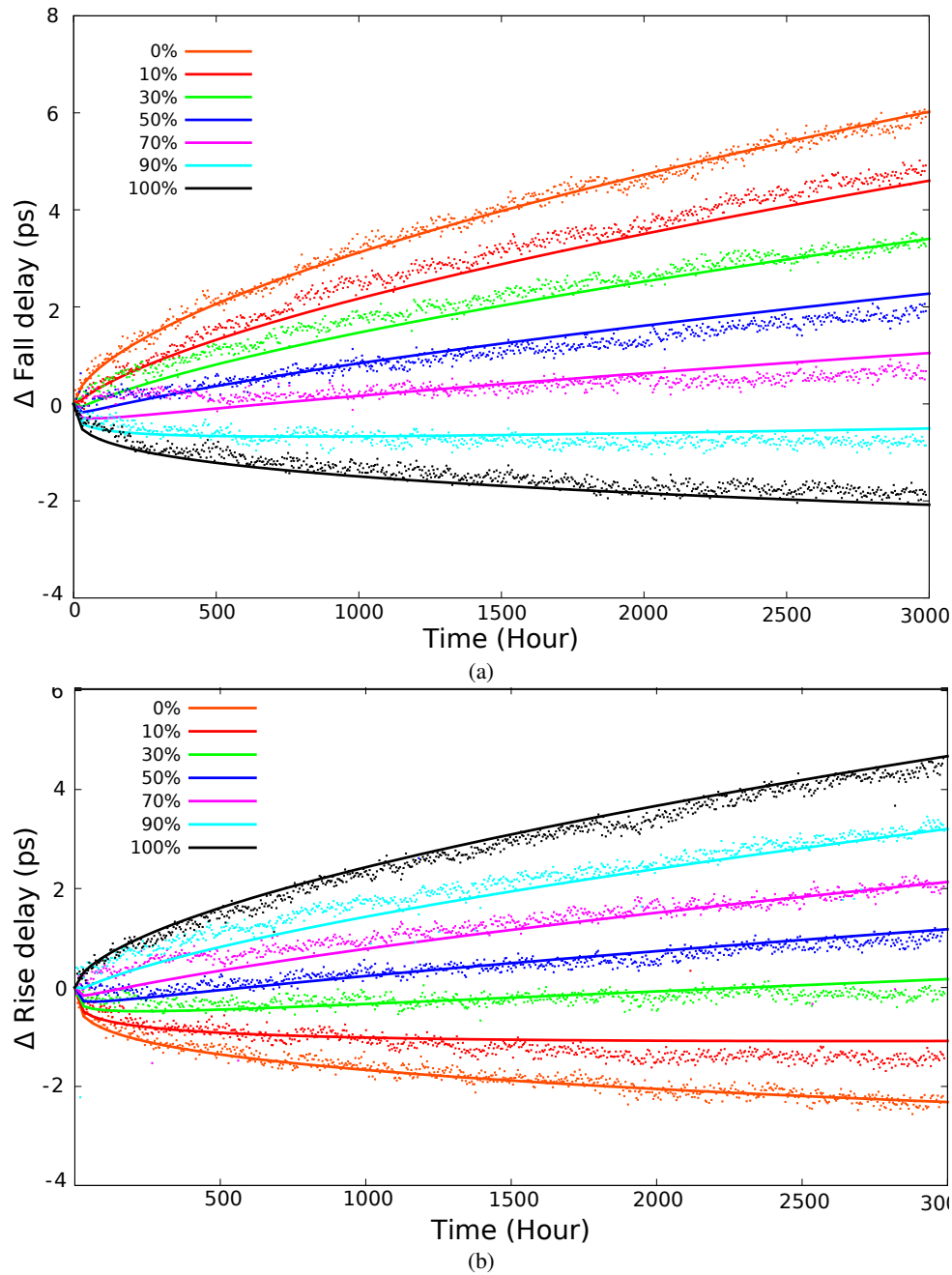


FIGURE 4.11 – Modèles semi-empiriques comparant aux résultats expérimentaux a) la dégradation du temps en descente et b) en montée avec différentes valeurs des rapports cycliques.

En se basant sur les contributions des trois groupes de transistors, et la relation dans l'équation (4.9), nous obtenons l'expression suivante :

$$\Delta t_{rise} = C \times (\alpha \times T)^{2m} + D \times ((1 - \alpha) \times T)^m + K_r \times T^m \quad (4.11)$$

où C est le coefficient du temps de propagation en montée des transistors qui ont un rapport d'activité $\beta = \alpha$,

D est le coefficient pour ceux qui ont un rapport d'activité $\beta = 1 - \alpha$,

K_r est le facteur d'effet de transistors qui ont des contraintes constantes.

Sur la base de nos résultats expérimentaux nous extrayons les paramètres de l'expression :

$$C = 0.03787 \text{ ps/h}^{2m} ; D = -0.2146 \text{ ps/h}^m ; K_r = 0.05 \text{ ps/h}^m.$$

La figure 4.11 montre nos modèles semi-empiriques de la dégradation du fonctionnement temporel de la LUT en raison du mécanisme de vieillissement NBTI. Ces modèles sont proches des résultats expérimentaux en particulier sur les courbes de rapport cyclique à proximité de zéro, un et lorsque le retard est fortement dégradé. Dans les figures 4.11a et 4.11b la réponse des modèles de vieillissement est moins cohérente par rapport aux résultats expérimentaux pour les courbes ayant un rapport cyclique de 70% et 90%.

4.3.4 Influence de la fréquence

Comme mentionné dans la section sur la configuration du test, nous avons utilisé une température moyenne parce que le mécanisme HCI est négativement corrélé avec la température et que la mobilité des porteurs diminue quand la température augmente [71].

Dans cette section, nous analysons les résultats expérimentaux dans le but de fonder un modèle de la dégradation des LUTs dans un FPGA commercial en fonction du temps et de la fréquence d'utilisation. Le mécanisme de vieillissement impliqué dans ce modèle est donc HCI.

Analyse des résultats expérimentaux

La figure 4.7 et le tableau 4.3 montrent les dégradations de retard mesurées pour les CUTs sollicitées par des signaux à différentes valeurs de fréquences et de rapports cycliques. Ils montrent que les contraintes de haute fréquence HF augmentent la dégradation des temps de propagation en montée et en descente respectivement d'environ 14 ps et 20 ps pour tous les rapports cycliques de stress. Ces chiffres montrent aussi que le signal de stress HF affecte plus le temps en descente que le temps en montée.

Le HCI est lié au courant circulant à travers un transistor. Dans le circuit CMOS, il y n'a de courant que pendant la commutation. L'effet du HCI dépend donc de la fréquence de commutation.

Comme nous l'avons mentionné dans la section 4.3.2, la dégradation de CUTs stressés par le signal *LF* est due au mécanisme de vieillissement NBTI qui est sensible au rapport cyclique mais ne l'est pas à la fréquence du signal d'entrée. Par conséquent, nous avons utilisé les résultats de CUTs sous contraintes LF comme la référence de notre mesure pour déterminer l'effet du mécanisme de vieillissement HCI. En soustrayant la dégradation due à des contraintes ayant les mêmes rapports cycliques, mais différentes fréquences (*Fig. 4.12 – Fig. 4.6*), nous pouvons extraire la dégradation due à l'effet de la contrainte en fréquence seulement, donc au HCI. Cette différence des dégradations due à la fréquence de signal d'entrée est illustrée dans la figure 4.13. Cette figure montre que les circuits de même fréquence sont dégradés au même rythme. Ceci implique que les dégradations dues à la fréquence sont indépendants du rapport cyclique du signal de contrainte. Par conséquent, il n'y a aucune relation entre le mécanisme HCI et le rapport cyclique du signal d'entrée du LUT.

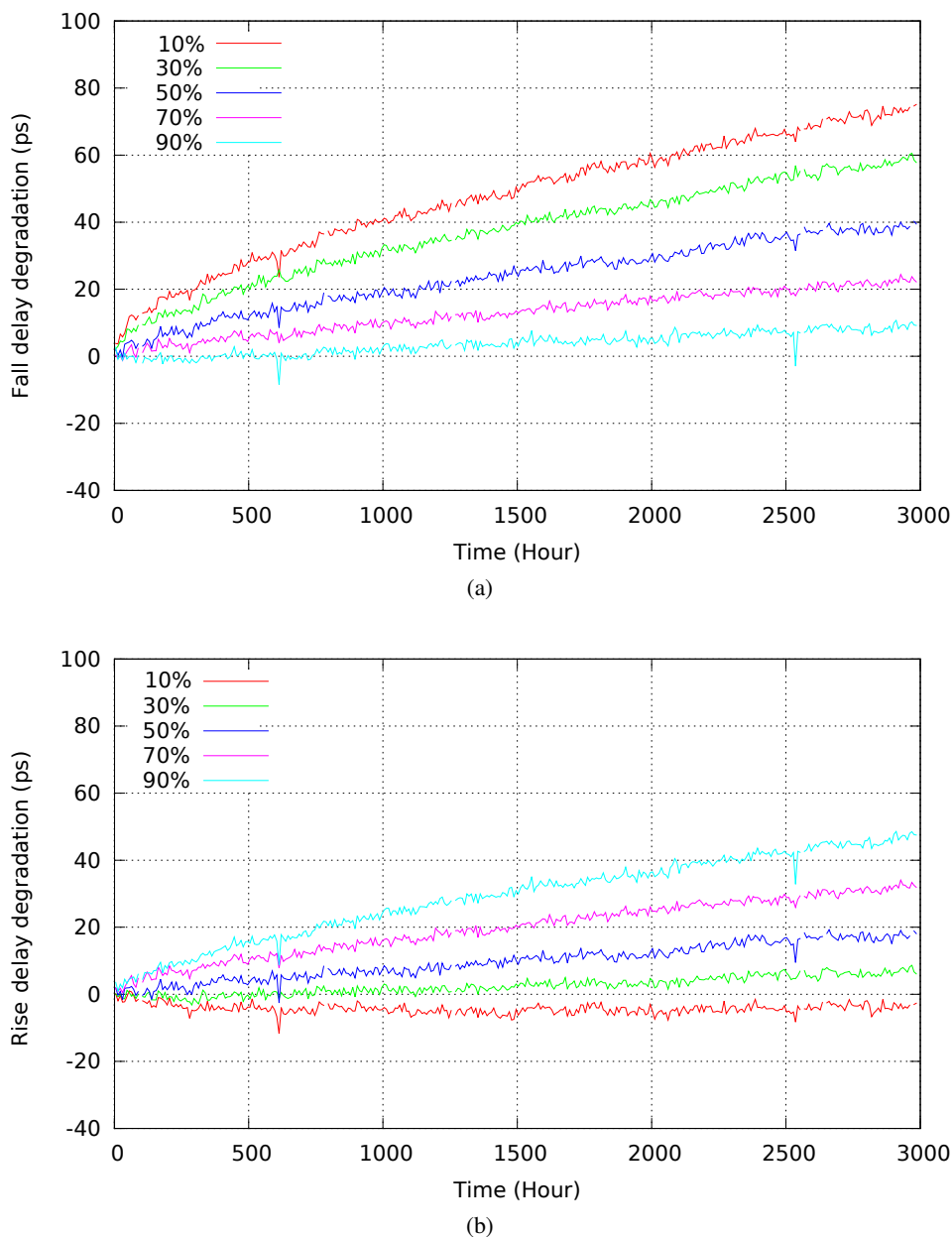


FIGURE 4.12 – La dégradation de temps de propagation a) en descente et b) en montée des CUTs sous contrainte de haute fréquence ($f_{stress} = 402$ MHz), avec des différentes valeurs du rapport cyclique (10% à 90%).

La figure 4.14 représente en échelle logarithmique la dégradation HCI mesurée du temps de propagation en montée et en descente des CUTs effectués sous des contraintes de haute fréquence HF et de moyenne fréquence MF, en fonction du temps de stress dans une échelle logarithmique.

Sur la base de ces courbes, nous avons réalisé l'ajustement du modèle de la dégradation due au HCI pour la technologie de 65 nm en fonction de la fréquence de commutation de l'entrée de la LUT et le temps de vieillissement en utilisant l'expression de la loi de puissance :

$$\Delta t_{fall/rise} = A \times T^n \quad (4.12)$$

Selon nos résultats, l'exposant de la loi de puissance n égale à 0.60 et 0.50 pour la dégradation

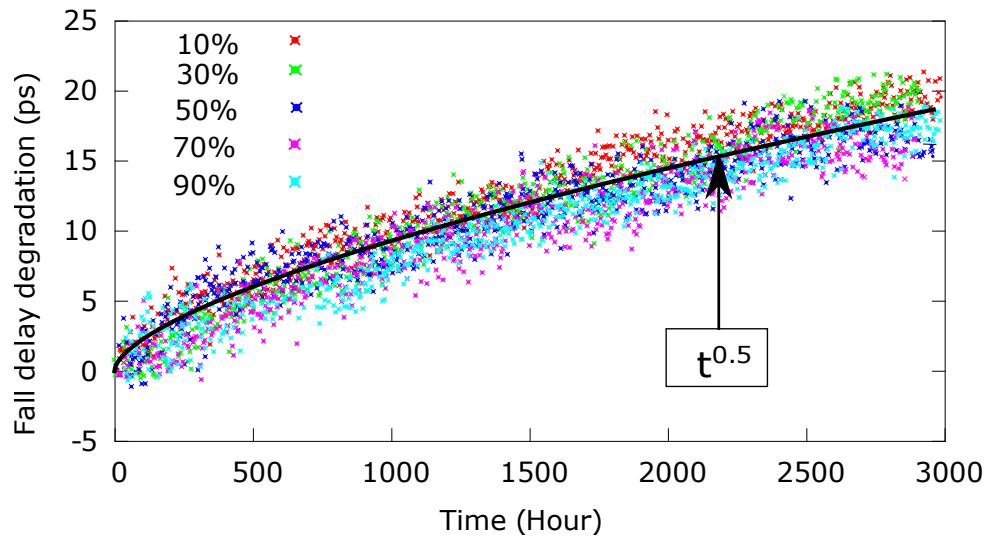


FIGURE 4.13 – La différence de dégradation du temps de propagation en descente entre un stress à haute fréquence et en très basse fréquence pour toutes les valeurs du rapport cyclique. Elle montre que le mécanisme de vieillissement par HCI est indépendant du rapport cyclique du signal appliqué sur l'entrée de LUT.

du temps en descente de CUTs stressés respectivement par des signaux MF et HF, comme montré dans la figure 4.14a. Nous avons également observé sur la figure 4.14b que l'exposant n est égal à 0.57 et 0.48 pour la dégradation du temps de propagation en montée de CUTs stressés respectivement par MF et HF.

Ces valeurs sont très proches des valeurs données dans [71] pour la même technologie (65 nm) : 0.44 pour une contrainte de fréquence de 470 MHz et 0.67 pour celle 120 MHz.

Modélisation semi-empirique

Dans un circuit numérique, pour la tension et la température données, les effets HCI sont généralement considérés comme dépendants uniquement du nombre de cycles de commutations. Par conséquent, nous proposons un modèle de dégradation de retard en raison du HCI en fonction du nombre de cycles qui est égal à la fréquence de contrainte multipliée par le temps de test ($f \times T$). Pour cette raison, nous traçons la dégradation du temps de propagation en montée et en descente due au HCI en fonction du nombre de cycles dans les figures 4.15a et 4.15b, pour les deux fréquences.

Nous observons dans ces figures que la dégradation du retard suit approximativement une loi de puissance unique pour les deux fréquences de stress.

Le modèle approprié de la dégradation du temps en descente est donc déterminé en utilisant l'expression suivante :

$$\Delta t_{Fall} = X \times (f \times T)^q \quad (4.13)$$

En nous basant sur nos résultats expérimentaux, nous extrayons :

$$X = 4.6 \times 10^{-9} \text{ et } q = 0.6$$

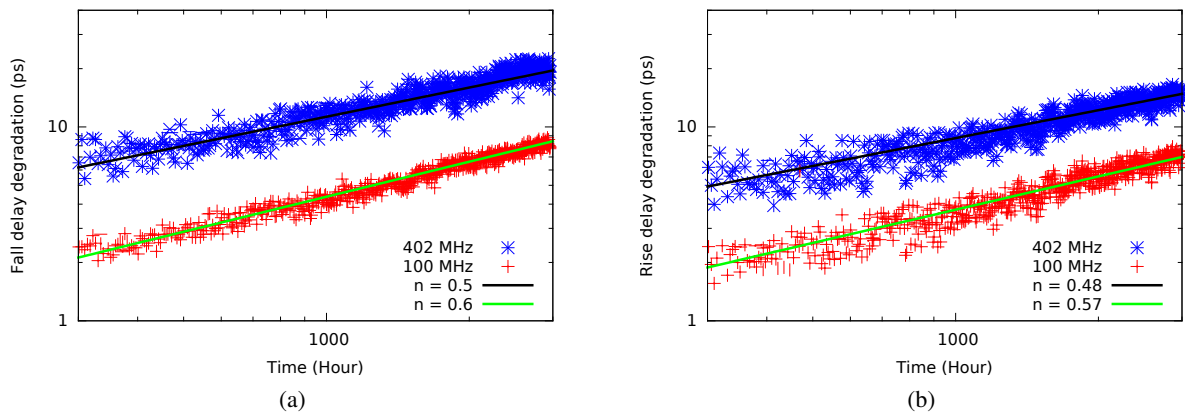


FIGURE 4.14 – La dégradation mesurée du temps a) en descente et b) en montée en raison du HCI pour deux fréquences de stress, avec l'exposant de la loi de puissance (n). La décroissance de l'exposant n avec l'augmentation de la fréquence du stress est attribuée à une saturation rapide de la dégradation à cause de la fréquence.

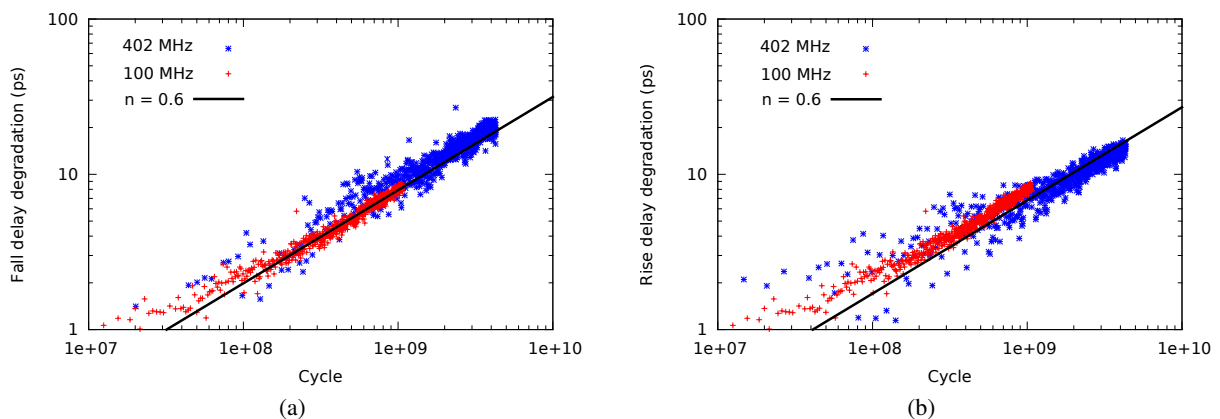


FIGURE 4.15 – La dégradation mesurée du temps a) en descente et b) en montée en raison du HCI pour deux fréquences de stress en fonction du nombre de cycles. Le nombre de cycle est calculé en multipliant la fréquence de la contrainte et la durée de vieillissement. La différence entre le modèle de la loi de puissance (la ligne) et les mesures (les points) est nettement plus faible que le bruit de mesure.

Concernant la dégradation du temps de propagation en montée, nous la modélisons dans la forme suivante :

$$\Delta t_{Rise} = Y \times (f \times T)^{q'} \quad (4.14)$$

où

$$Y = 3.45 \times 10^{-9} \text{ et } q' = 0.6$$

Ce modèle, s'il est assez grossier permet de modéliser la dégradation par HCI pour n'importe quelle fréquence. Les écarts observés par rapport au modèle à fréquence unique restent inférieurs aux erreurs de mesures.

4.4 Modélisation NBTI + HCI

Dans nos tests nous n'avons observé et donc modélisé que le NBTI et le HCI. Nous avons modélisé individuellement la dégradation des temps de propagations due aux NBTI et HCI. Comme nous avons extrait le modèle NBTI sur les mesures en basse fréquence (*LF*) et le modèle HCI sur les différences entre *HF* et *LF*, la dégradation due aux deux mécanismes de vieillissement est la somme de la dégradation de chacun de ces mécanismes.

La dégradation de temps de propagation grâce au (NBTI + HCI) est donc modélisée selon l'expression suivante :

$$\Delta t_{Fall/Rise (NBTI + HCI)} = \Delta t_{Fall/Rise (NBTI)} + \Delta t_{Fall/Rise (HCI)} \quad (4.15)$$

La dégradation du temps de propagation en descente en fonction du temps, du rapport cyclique et de la fréquence de l'entrée, est modélisée par :

$$\Delta t_{Fall (NBTI + HCI)} = A \times ((1 - \alpha) \times T)^{2m} + B \times (\alpha \times T)^m + K_f \times T^m + X \times (f \times T)^q \quad (4.16)$$

Concernant la dégradation du temps en montée, elle est modélisée sous la forme suivante :

$$\Delta t_{Rise (NBTI + HCI)} = C \times (\alpha \times T)^{2m} + D \times ((1 - \alpha) \times T)^m + K_r \times T^m + Y \times (f \times T)^{q'} \quad (4.17)$$

La figure 4.16 compare la dégradation du temps de propagation en descente des LUTs effectuées sous stress de *HF* avec les courbes obtenues par notre modèle de l'équation (4.16). On vérifie aisément un bon accord entre la mesure et le modèle NBTI+HCI pour les rapports cycliques entre 70 et 90% et moins cohérent pour les autres.

4.5 Electromigration ou TDDB

Comme nous l'avons décrit dans le chapitre de l'état de l'art, pour les mécanismes NBTI et HCI, le temps de propagation dérive progressivement. Au contraire, il dérive soudainement

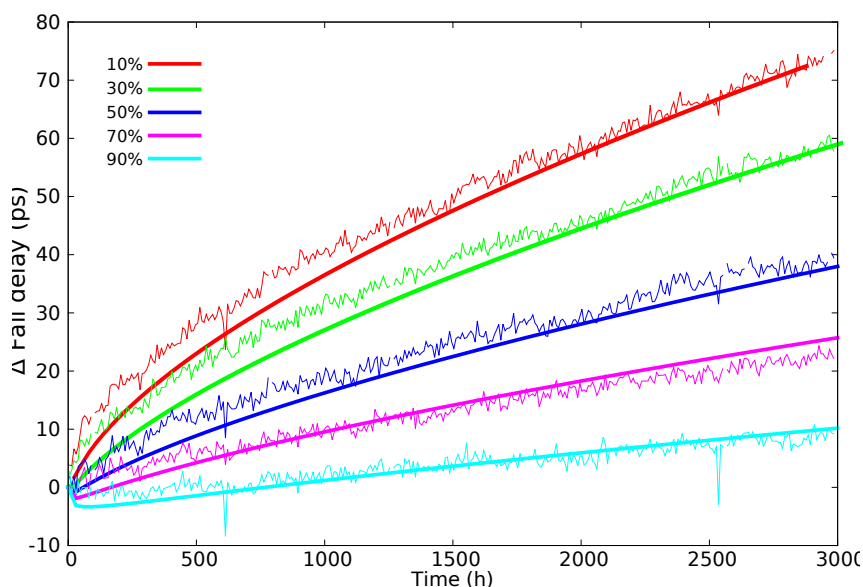


FIGURE 4.16 – La dégradation du temps en descente de la LUT effectuée sous contrainte de HF et différentes valeurs du rapport cyclique en comparant avec le modèle de la dégradation due aux (NBTI + HCI).

et rapidement pour le mécanisme de vieillissement TDDB et l'électromigration. En outre, ces deux mécanismes affectent seulement une partie des circuits sous test.

Les résultats expérimentaux montrent que les dégradations sont progressives avec le temps de stress (Figures 4.6a, 4.6b, 4.12a et 4.12b). En plus, la figure 4.7 montre que les niveaux de dégradation de temps sont très reproductibles à travers les nombreuses cellules de test. Ainsi, nous confirmons qu'il n'y a pas aucun effet des mécanismes de vieillissement TDDB ou bien électromigration dans ces tests.

4.6 Conclusion

Dans ce chapitre, nous avons présenté les 3 premières campagnes de tests réalisés pendant la thèse, avec le banc de test que nous avons développé, sur des FPGA de la famille Cyclone III. Les résultats expérimentaux montrent que le rapport cyclique du signal d'entrée de la LUT affecte fortement le mécanisme de vieillissement NBTI. Le rapport cyclique proche de zéro peut dégrader fortement le temps en descente et d'améliorer faiblement le temps de propagation en montée. Cependant, celui près de 1 peut dégrader modérément le temps en montée et améliorer faiblement le temps en descente. Cela signifie que un stress proche de zéro ou 1 peut dissymétriser le temps de propagation d'une LUT. Nous avons donc montré qu'un bon modèle pour la prédiction des effets du vieillissement sur le retard de la LUT doit distinguer la dégradation du temps en montée et en descente.

Un tel modèle a été mis au point dans ce travail. Ce modèle peut prédire la dégradation de retard de la LUT en raison du NBTI en fonction du rapport cyclique du signal d'entrée et du temps de test, séparément pour le temps de propagation en montée et en descente.

D'autre part, nous avons vérifié que le mécanisme de vieillissement HCI dépend essentiellement du nombre de commutations du signal d'entrée. Pour la technologie étudiée, ce mécanisme affecte le temps en descente plus que le temps en montée. En plus, ce mécanisme est indépendant du rapport cyclique du vecteur de contrainte. Un modèle de dégradation du retard a été proposé dans ce chapitre en fonction de la fréquence de commutation et du temps de vieillissement.

Enfin, un modèle complet intégrant le NBTI et le HCI, prenant en compte le rapport cyclique et la fréquence du signal d'entrée est proposé et validé par la mesure.

La modélisation de la dégradation due au NBTI a été présentée dans une conférence internationale *The International Conference on Field-Programmable Logic and Applications (FPL)* en août 2016 [72]. En outre, les résultats expérimentaux et le modèle de la dégradation des LUTs due au HCI ont été présentés dans une conférence internationale *the 27th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF)* en septembre 2016 [73]. Ensuite, ce travail a été publié dans un journal international *Microelectronics Reliability*.

Chapitre 5

Modélisation du vieillissement

La dégradation due au NBTI ou au HCI diffère selon l'application. Il est important d'étudier comment ces mécanismes affectent les performances du circuit en considérant l'effet de l'application. Dans le chapitre précédent, nous avons analysé des résultats expérimentaux, et proposé des modèles empiriques de vieillissement des FPGAs à cause des deux mécanismes de défaillance HCI et NBTI. Ces analyses ont été menées et les modèles ont été construits indépendamment de l'architecture interne du FPGA.

Dans ce chapitre, nous étudions un modèle de dégradation de temps de propagation des LUTs de FPGA en raison des mécanismes de vieillissement HCI et NBTI selon les vecteurs d'entrées afin d'améliorer les modèles proposés par la prise en compte de l'architecture interne de la LUT.

Ce chapitre est organisé comme suit.

Une description détaillée d'une LUT à base de portes de transfert sera présentée d'abord pour extraire le chemin critique du temps de propagation de la LUT et le stress en fonction des conditions de fonctionnement. Ensuite, nous décrirons notre démarche de simulation pour évaluer l'effet de chaque transistor vieilli à cause du BTI et HCI sur le temps de propagation de la LUT, en montrant également les résultats de simulations de vieillissement de la LUT d'une seule entrée.

Pour finir ce chapitre, nous proposerons un modèle de comportement de la dégradation de temps de propagation de la LUT en raison du NBTI et un autre modèle également dû au HCI.

5.1 Méthode

Le processus de modélisation de la dégradation des LUTs est illustré en figure 5.1. Ce processus est construit sur la base de l'analyse du chemin critique du signal en fonction de la configuration et du temps de propagation en montée et en descente. Des simulations transitoires sont utilisées pour valider notre analyse et pour extraire l'effet de chaque transistor vieilli sur le temps de

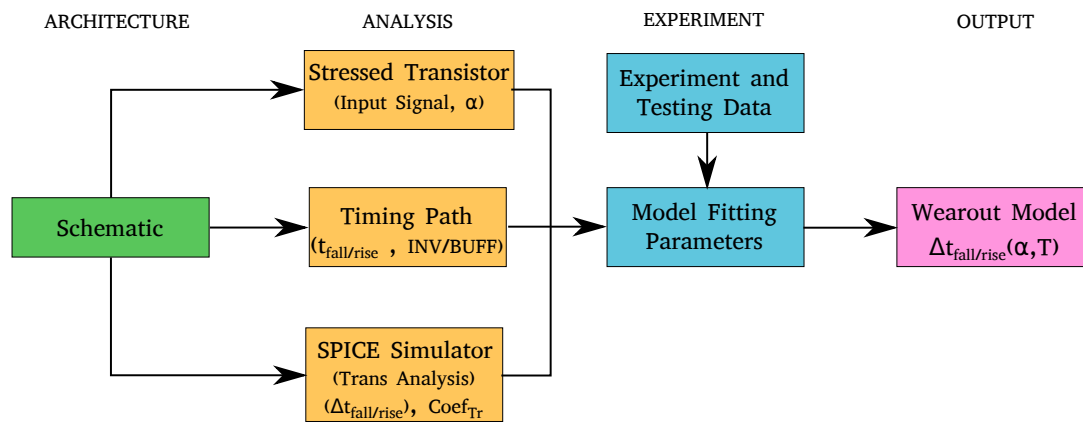


FIGURE 5.1 – diagramme de la méthode de fiabilité des LUT.

propagation du chemin. L'étape la plus importante de cette méthode est le test de vieillissement à partir duquel sont extraits les paramètres du modèle. Deux modèles des mécanismes de défaillance ont été développés par cette méthode : NBTI et HCI.

Dans la section 2.1.3 du chapitre de l'état de l'art, nous avons décrit les trois différentes structures des LUT. Comme mentionné au début de ce manuscrit nous sommes intéressés à l'architecture la plus probable de LUT de deux entrées, qui est basée sur les portes de transfert. Cette architecture est illustrée dans la figure 2.8 dans le chapitre 2. Dans la suite de ce manuscrit nous expliquerons les commutations de la porte de transfert afin de bien comprendre le fonctionnement de la LUT.

5.2 Polarisation et commutations des portes de transfert

Cette section explique la commutation de la porte de transfert en fonction des conditions de fonctionnement, afin de déterminer quels transistors sont responsables de transmettre le signal de l'entrée vers la sortie d'une LUT. Cette explication nous permettra d'identifier le chemin critique de passage d'un signal de l'entrée vers la sortie.

Une porte de transmission CMOS est représentée sur la figure 5.2. C'est une combinaison en parallèle de transistors NMOS et PMOS, avec des tensions de grilles complémentaires. Elle permet au signal d'entrée d'être transmis à la sortie sans atténuation de la tension [74]. Le substrat NMOS est connecté au potentiel le plus négatif du circuit et le substrat PMOS est connecté au potentiel le plus positif (en général, à la masse et V_{DD} , respectivement).

Pour un circuit logique, la porte de transmission fonctionne sur une plage de tension de zéro-à- V_{DD} .

Si les tensions de l'entrée et de la sortie de la porte de transfert sont initialement de même état ($V_I = V_O$), la porte de transfert commute mais il n'y a pas de changement d'état du signal qui la traverse, donc il n'y a pas de courant qui circule à travers les transistors de la porte de transfert. C'est un état statique du fonctionnement.

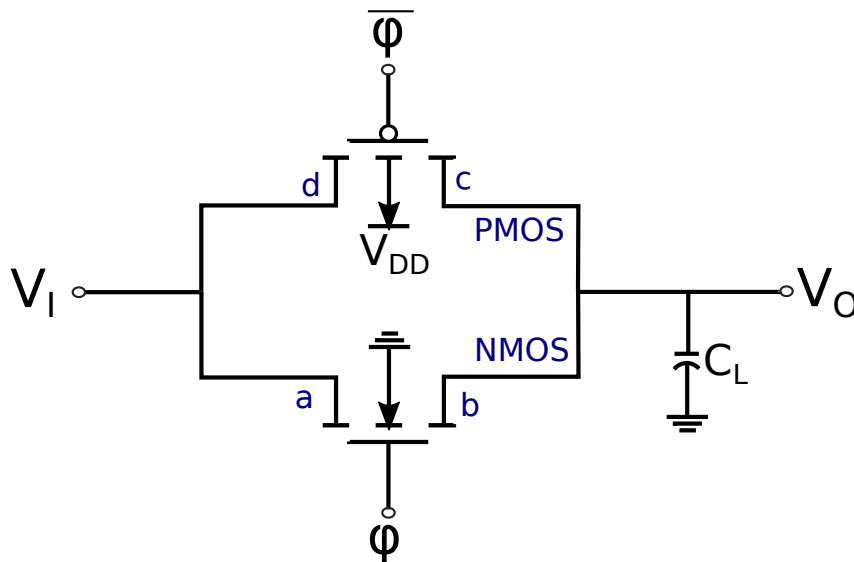


FIGURE 5.2 – La porte de transfert CMOS

Si les tensions de commande sont $\varphi = 0$ et $\bar{\varphi} = V_{DD}$, alors les deux transistors NMOS et PMOS sont bloqués et la sortie est isolée de l'entrée. Dans cet état, le circuit est essentiellement un interrupteur ouvert.

Quand le niveau d'entrée est en haut, $\varphi = V_{DD}$, $\bar{\varphi} = 0$, $V_I = V_{DD}$, et la tension de la sortie V_O est initialement zéro. Pour le transistor NMOS, la borne a agit comme le drain et la borne b agit comme la source, alors que pour le transistor PMOS, la borne c agit comme le drain et la borne d agit comme la source.

La tension grille-source du transistor NMOS est :

$$V_{GSN} = V_{GaN} = \varphi - V_O = V_{DD} - V_O \quad (5.1)$$

et celle de PMOS est :

$$V_{GSP} = V_{GdP} = \bar{\varphi} - V_I = 0 - V_{DD} = -V_{DD} \quad (5.2)$$

Cela signifie que la capacité de charge C_L continue de charger à travers le transistor PMOS jusqu'à ce que les tensions de sortie et d'entrée soient égales, où dans ce cas, $V_O = V_I = V_{DD}$.

Considérons ce qui se passe si $\varphi = V_{DD}$, $\bar{\varphi} = 0$, $V_I = 0$, et initialement la tension de la sortie est au niveau haut $V_O = V_{DD}$. La borne a du transistor NMOS agit comme la source et b agit comme le drain, alors que pour le transistor PMOS, les bornes c et d agissent successivement comme source et drain.

Dans ce cas, la tension grille-source du transistor NMOS est :

$$V_{GSN} = V_{GaN} = \varphi - V_I = V_{DD} - 0 = V_{DD} \quad (5.3)$$

et celle du PMOS est :

$$V_{GSP} = V_{GcP} = \bar{\varphi} - V_O = 0 - V_O = -V_O \quad (5.4)$$

Le transistor PMOS se bloque. Cependant, comme $V_{GSN} = V_{DD}$, le transistor NMOS continue à conduire et le condensateur C_L se décharge complètement à zéro.

Cette étude montre que le signal de niveau bas se transmet à travers le transistor NMOS de la porte de transfert. Cependant, celui de haut niveau se transmet à travers le transistor PMOS de la porte.

5.3 Les contraintes appliquées sur les transistors de la LUT

5.3.1 États de stress

Cette section décrit les différents états de stress en fonction des signaux d'entrées et des bits de configurations de SRAM. Ceci permet de déterminer les contraintes (N/PBTI) qui sont appliquées sur le transistor, afin de prévoir quels transistors vont vieillir en fonction des signaux d'entrées. Pour le BTI, chaque transistor peut être stressé ou non, en fonction des tensions appliquées sur ses bornes. Pour les signaux logiques, un petit nombre de conditions différentes sont possibles.

Pour le PMOS, le NBTI se produit lorsque le champ électrique à travers l'oxyde de grille est important. Dans l'inverseur, il se produit uniquement lorsque la tension d'entrée est au niveau bas ce qui provoque une différence de potentiel entre la grille et la source du transistor PMOS, ($V_{in} = 0, V_{GS} = -V_{DD}$), donc lorsque le PMOS est en mode passant.

Dans la porte de transfert, la situation est plus complexe car la tension de source peut être différente de la tension de bulk. Pour le PMOS, la tension de bulk V_B est toujours égale à V_{DD} .

Si le potentiel de grille est en niveau bas, la tension grille-bulk V_{GB} égale $-V_{DD}$, alors que le canal du conducteur existe et son potentiel est proche de V_S . De sorte que la tension aux bornes de l'oxyde de grille se trouve près de V_{GS} , donc le NBTI se produit si la tension de source est proche de V_{DD} .

Si V_G est près de V_{DD} , la tension de grille-bulk est zéro et le canal n'existe pas donc la tension à travers l'oxyde est $V_{GB} = 0$: il n'y a pas de NBTI, même si V_{GS} ou V_{GD} sont près de V_{DD} .

En résumé, le NBTI est produit lorsque le transistor PMOS de la porte de transfert transmet un signal de niveau bas.

Concernant le NMOS, le PBTI se produit dans l'inverseur CMOS uniquement si la tension d'entrée est au niveau haut, donc lorsque le transistor NMOS est en mode passant. Au niveau de la porte de transfert, comme le PBTI, le NBTI est produit lorsque un signal de niveau haut est transmis à travers de transistor PMOS de la porte de transfert.

Pour faciliter les analyses, nous avons fixé $IN0$ sur le niveau bas ($IN0 = 0$), ce qui entraîne que TG0 et TG2 sont passantes, et TG1 et TG3 sont bloquées. Aussi, les états des sorties du premier

C0	C2	IN1	INV ₁				TG5				TG4				INV _{OUT}				OUT	
			NMOS		PMOS		NMOS		PMOS		NMOS		PMOS		NMOS		PMOS			
			V _{GD}	V _{GS}	V _{GD}	V _{GS}	V _{Ga}	V _{Gb}	V _{Gc}	V _{Gd}	V _{Ga}	V _{Gb}	V _{Gc}	V _{Gd}	V _{GD}	V _{GS}	V _{GD}	V _{GS}		
0	0	0	-V _{DD}	0	-V _{DD}	-V _{DD}	-V _{DD}	-V _{DD}	-V _{DD}	0	0	0	0	-V _{DD}	-V _{DD}	V _{DD}	V _{DD}	V _{DD}	0	0
0	0	1	V _{DD}	V _{DD}	V _{DD}	0	0	0	0	-V _{DD}	-V _{DD}	-V _{DD}	-V _{DD}	0	0	V _{DD}	V _{DD}	V _{DD}	0	0
0	1	0	-V _{DD}	0	-V _{DD}	-V _{DD}	0	-V _{DD}	0	V _{DD}	0	0	-V _{DD}	-V _{DD}	V _{DD}	V _{DD}	V _{DD}	0	0	0
0	1	1	V _{DD}	V _{DD}	V _{DD}	0	V _{DD}	V _{DD}	0	0	-V _{DD}	0	V _{DD}	0	-V _{DD}	0	-V _{DD}	-V _{DD}	1	1
1	0	0	-V _{DD}	0	-V _{DD}	-V _{DD}	-V _{DD}	0	V _{DD}	0	V _{DD}	V _{DD}	0	0	-V _{DD}	0	-V _{DD}	-V _{DD}	1	1
1	0	1	V _{DD}	V _{DD}	V _{DD}	0	0	0	0	-V _{DD}	-V _{DD}	0	-V _{DD}	0	V _{DD}	V _{DD}	V _{DD}	0	0	0
1	1	0	-V _{DD}	0	-V _{DD}	-V _{DD}	0	0	V _{DD}	V _{DD}	V _{DD}	V _{DD}	0	0	-V _{DD}	0	-V _{DD}	-V _{DD}	1	1
1	1	1	V _{DD}	V _{DD}	V _{DD}	0	V _{DD}	V _{DD}	0	0	0	0	V _{DD}	V _{DD}	-V _{DD}	0	-V _{DD}	-V _{DD}	1	1

TABLE 5.1 – Tension aux bornes de transistors en différents modes de configurations de LUT

étage de multiplexeur sont fixés comme suit : $OUT_0 = \overline{C0}$ et $OUT_1 = \overline{C2}$. Par conséquent, la sortie OUT dépend de l'entrée $IN1$ et de deux bits de configurations $C0$ et $C2$.

Le cas $IN0 = 1$ peut facilement être déduit en remplaçant $C0$ par $C1$ et $C2$ par $C3$. L'étude des portes $TG0$ et $TG3$ s'obtient de façon identique en remplaçant $(INV1, TG5, TG4)$ par $(INV0, TG0...3)$.

Le tableau 5.1 illustre les différents cas des états de portes : INV_1 , $TG4$, $TG5$ et INV_{OUT} , qui sont commandés par $IN1$. Il montre les tensions au niveau grille-bornes ($V_{G(a...d)}$) qui représentent la tension Grille-Source (V_{GS}) et celle Grille-Drain (V_{GD}) de leurs transistors NMOS et PMOS. En outre, il indique aussi quel mécanisme de vieillissement est appliqué par chacune de ces différentes configurations. La couleur orange représente le NBTI, tandis que la jaune représente le PBTI. En outre, les valeurs écrites en caractères gras représentent les transistors qui sont passants.

Les mêmes informations sont également données dans les figures 5.4 et 5.6 pour une LUT d'une seule entrée.

On remarque dans ce tableau que contrairement aux inverseurs où au moins un des transistors est en situation de stress à tout instant, pour les portes de transfert il n'y a que deux configurations parmi huit où le transistor est en situation de stress.

5.3.2 Les effets du rapport cyclique

Le rapport cyclique peut être défini comme le pourcentage d'une période où l'état reste au niveau haut.

La variation de la fréquence de commutation ne peut pas affecter la dégradation BTI, puisque le BTI est relativement indépendant de la fréquence. Par contre, le rapport cyclique du signal d'entrée a une influence sur la dégradation BTI, car il modifie le temps relatif où un transistor N/PMOS reste dans l'état de stress ou dans l'état de récupération [75].

Pour cette raison, une étude détaillée du rapport cyclique de la contrainte appliquée sur chaque transistor est présentée dans la figure 5.3. Le rapport cyclique de la sortie OUT est calculé, en supposant que les états IN1 et IN0 sont statistiquement indépendants.

Sur la base de cette étude, nous pouvons facilement évaluer le vieillissement de chaque transistor pour des signaux des entrées données.

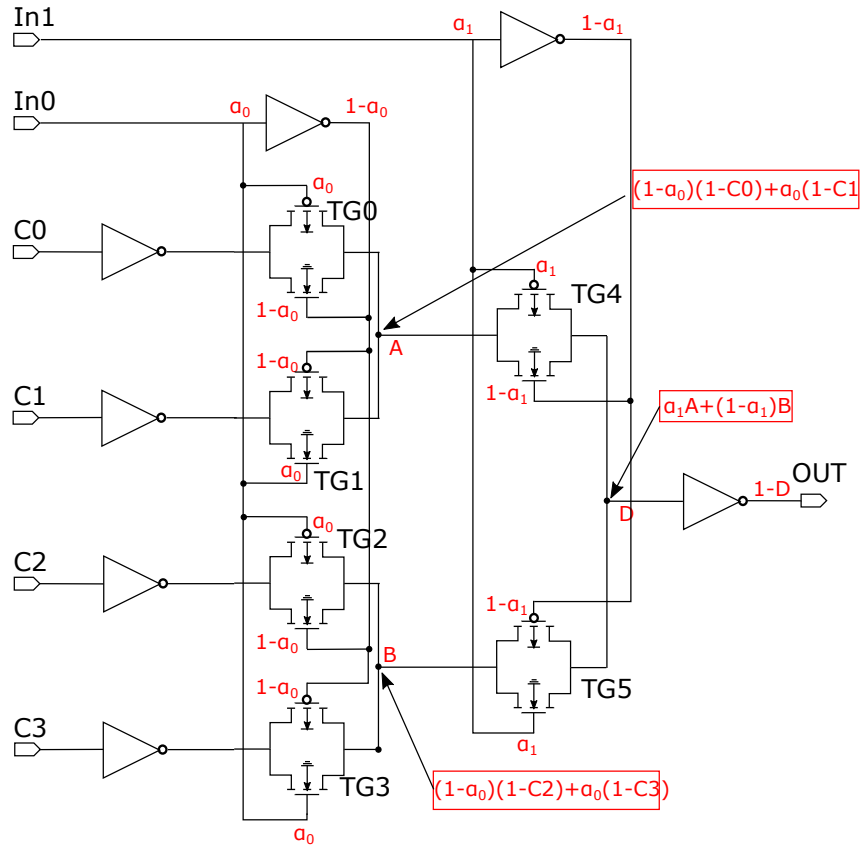


FIGURE 5.3 – Rapport cyclique des transistors et des nœuds de la LUT à deux entrées

Le rapport cyclique indiqué sur la figure 5.3 est le rapport cyclique du signal. En fait, il faut bien faire attention que le rapport cyclique du signal propagé et le rapport cyclique de stress ne sont pas similaires. Comme nous avons mentionné au début de cette section, pour avoir une situation de stress pour un transistor il faut qu'il soit en mode passant et qu'il transmette le signal convenable (1 pour PMOS et 0 pour NMOS). Donc, concernant les portes de transfert, le rapport cyclique de stress est relié à l'état des bits de configurations pour le premier étage de la LUT, et les deux nœuds A et B pour la deuxième étage. Le rapport cyclique de stress est détaillé dans la figure 5.3.

5.4 Analyse temporelle de la LUT

L'objectif de cette partie du manuscrit est d'étudier les influences sur le temps de propagation de différents cas de fonctionnement des transistors de la LUT basée sur des portes de transferts,

afin de bien déterminer le chemin critique et le temps de passage d'un changement d'état de l'entrée jusqu'à la sortie OUT.

Hypothèse : Selon la section précédente 5.2, nous identifions que le transistor NMOS transmet le signal du niveau bas (logique 0) et le PMOS transmet celui de haut niveau (logique 1). Par conséquent, les temps de commutation d'une porte de transmission sont calculés en utilisant les expressions suivantes :

$$t_{On\ TG} = \begin{cases} t_{On\ NMOS} & \text{if } C_i = 1 \\ t_{On\ PMOS} & \text{if } C_i = 0 \end{cases} \quad (1)$$

$$t_{Off\ TG} = \begin{cases} t_{Off\ NMOS} & \text{if } C_i = 1 \\ t_{Off\ PMOS} & \text{if } C_i = 0 \end{cases} \quad (2)$$

où,

t_{On} est le temps de mise en conduction d'un transistor.

t_{Off} est le temps de blocage d'un transistor.

Comme nous l'avons mentionné dans la section 5.3, la première entrée a été fixée au niveau bas, $IN0 = 0$. Par conséquent, ce LUT dispose de deux modes de fonctionnement : Inverseur ou Buffer. Nous décrivons dans la suite de ce chapitre une analyse temporelle détaillée de chaque cas de configuration.

5.4.1 Mode inverseur

Le bit de configuration $C0$ est fixé à un niveau haut et $C2$ à un niveau bas ($C0 = 1$ et $C2 = 0$) pour que la LUT fonctionne en mode inverseur.

Le circuit du deuxième étage de la LUT sur la base de TG configurée comme un inverseur est illustré dans la figure 5.4. Les cercles continus rouges représentent les transistors qui sont responsables d'un passage d'une entrée de niveau bas vers la sortie qui prend le niveau haut. Les mêmes transistors qui sont dans des conditions de stress pour $IN1 = 0$ sont identifiés par des flèches rouges. Les transistors qui sont responsables de transmettre une entrée de niveau haut vers la sortie sont représentés par des cercles discontinus bleus. Les flèches bleues représentent des transistors dans des conditions de stress pour $IN1 = 1$.

Quand l'entrée a une valeur zéro ($IN1 = 0$), la porte supérieure TG4 (Fig.5.4) est activée quand la valeur 0 est appliquée sur la grille du transistor PMOS de TG4 et la valeur 1 est appliquée sur la grille de son transistor NMOS à travers de la porte d'inverseur INV1. Par conséquent, OUT_0 va se propager à l'entrée de INV_{OUT} à travers du transistor NMOS de TG4 selon l'équation (1). Ensuite, il continue vers la sortie en activant le PMOS de INV_{OUT} , ce qui donne un état de niveau haut sur la sortie ($OUT = \overline{IN1} = C0 = 1$).

Pendant ce mode de fonctionnement, comme indiqué dans la figure 5.5, le temps pour trans-

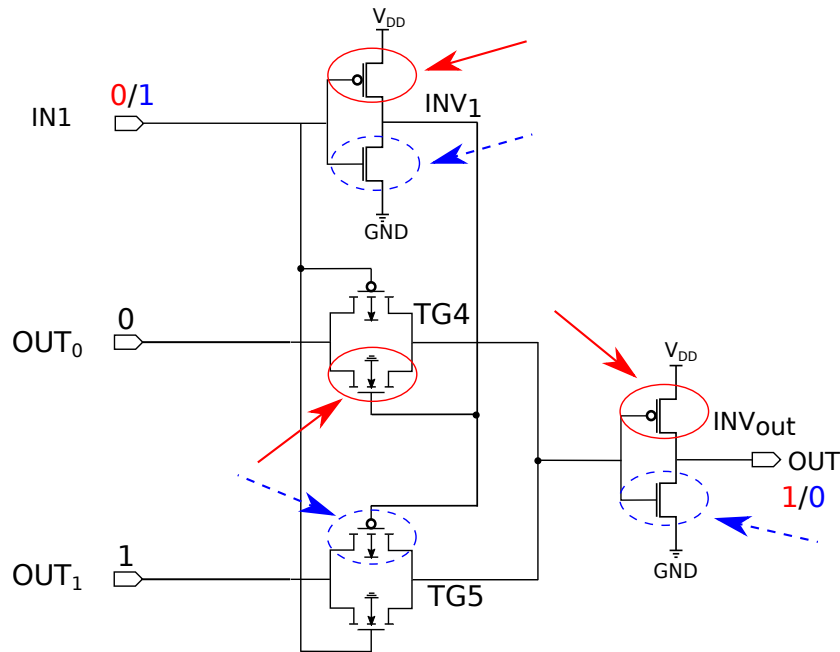


FIGURE 5.4 – La schématique du deuxième étage du circuit LUT configuré comme inverseur

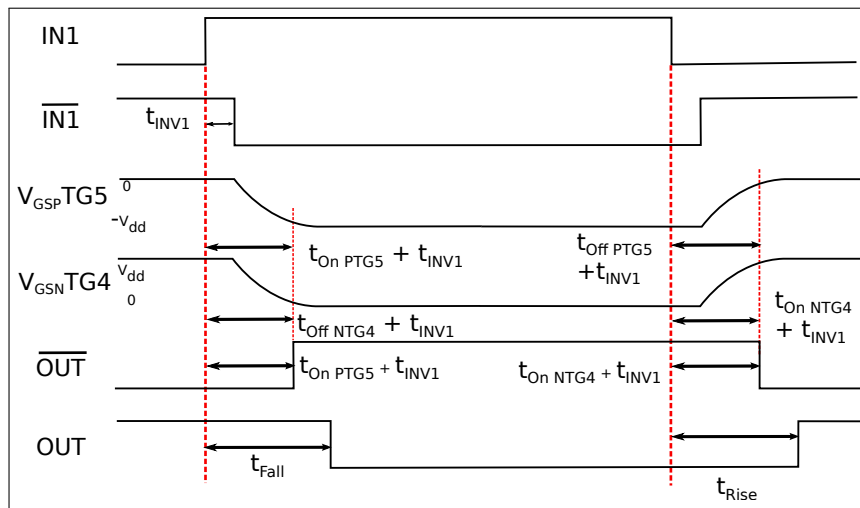


FIGURE 5.5 – Le diagramme du temps de passage d'un signal de $IN1$ vers OUT d'un LUT qui fonctionne comme inverseur

mettre un signal de niveau bas de $IN1$ à OUT , est calculé en utilisant l'expression suivante :

$$t_{Fall\ LUT_INV} = t_{On\ PMOS\ INV1} + t_{On\ NMOS\ TG4} + t_{On\ PMOS\ INV_OUT} \quad (5.5)$$

Lorsqu'un niveau haut est appliqué sur l'entrée (Fig.5.4), la porte inférieure TG5 s'ouvre quand la tension V_{DD} est appliquée sur la grille du transistor NMOS de TG5, et la masse est appliquée sur la grille de son transistor PMOS à travers la porte inverseur $INV1$. Par conséquent, OUT_1 va se propager à l'entrée de INV_{OUT} à travers du dispositif PMOS de TG5, puis à la sortie en utilisant le NMOS de l'inverseur INV_{OUT} . Ceci applique un niveau bas sur la sortie ($OUT = \overline{IN1} = C2 = 0$). Ce chemin est représenté sous forme de cercles bleus discontinus dans la figure 5.4.

Le temps pour transmettre un niveau haut de $IN1$ à OUT est calculé par l'équation suivante :

$$t_{Rise\ LUT_INV} = t_{On\ NMOS\ INV1} + t_{On\ PMOS\ TG5} + t_{On\ NMOS\ INV_OUT} \quad (5.6)$$

5.4.2 Mode buffer

Pour qu'une LUT fonctionne en mode buffer, les bits de configurations $C0$ et $C2$ sont définis comme ($C0 = 0$ et $C2 = 1$) (Fig. 5.6).

La figure 5.6 représente une LUT configurée en tant que buffer. Les cercles continus rouges représentent les transistors de commutation du chemin critique de temps de propagation en descente, et les flèches de mêmes couleurs représentent les transistors qui sont en situation de stress pour $IN1 = 0$. Tandis que les transistors de commutation du chemin critique de temps de propagation en montée sont représentés par des cercles discontinus bleus. Les flèches bleues représentent des transistors qui sont sous contraintes pour $IN1 = 1$.

L'entrée $IN1$ est initialement à un niveau bas, la porte de transfert $TG5$ est en mode blocage et $TG4$ est en mode passant. $TG4$ transmet le signal de OUT_0 , à travers son transistor PMOS selon l'équation (1), vers l'entrée de l'inverseur INV_{OUT} . Ce signal commute le NMOS de l'inverseur INV_{OUT} , ce qui inverse l'état du signal (Fig.5.7).

Par conséquent, la sortie de la LUT obtient le même état que $C0$ et $IN1$, ($OUT = IN1 = C0 = 0$).

Ce chemin permet de calculer le temps de passage d'un signal de niveau bas de l'entrée à la sortie de la table de conversion configurée comme un buffer par l'équation suivante :

$$t_{Fall\ LUT_BUFF} = t_{On\ PMOS\ TG4} + t_{On\ NMOS\ INV_OUT} \quad (5.7)$$

Lorsque l'entrée $IN1$ est en niveau haut, la porte de transfert $TG4$ devient bloquée après le temps de blocage de son transistor PMOS selon (2), ($t_{off\ PMOS\ TG4}$). $TG5$ devient passant, ainsi, le signal arrive au nœud OUT_1 , transmis via le transistor $NMOS_{TG5}$. Ensuite, ce signal commute le transistor PMOS de INV_{OUT} qui transmet un niveau haut à la sortie de la LUT ($OUT = IN1 = C2 = 1$).

Nous obtenons l'équation qui calcule le temps pour transmettre un signal de haut niveau par une LUT configurée comme un buffer :

$$t_{Rise\ LUT_BUFF} = t_{On\ NMOS\ TG5} + t_{On\ PMOS\ INV_OUT} \quad (5.8)$$

On remarque que pour le buffer, le temps de commutation $t_{on\ INV}$ n'intervient pas. D'autre part, dans les deux modes, il semble que d'autres transistors se dégradent peu importe si la valeur d'entrée est 1 ou 0 (comme les inverseurs des bits de configurations).

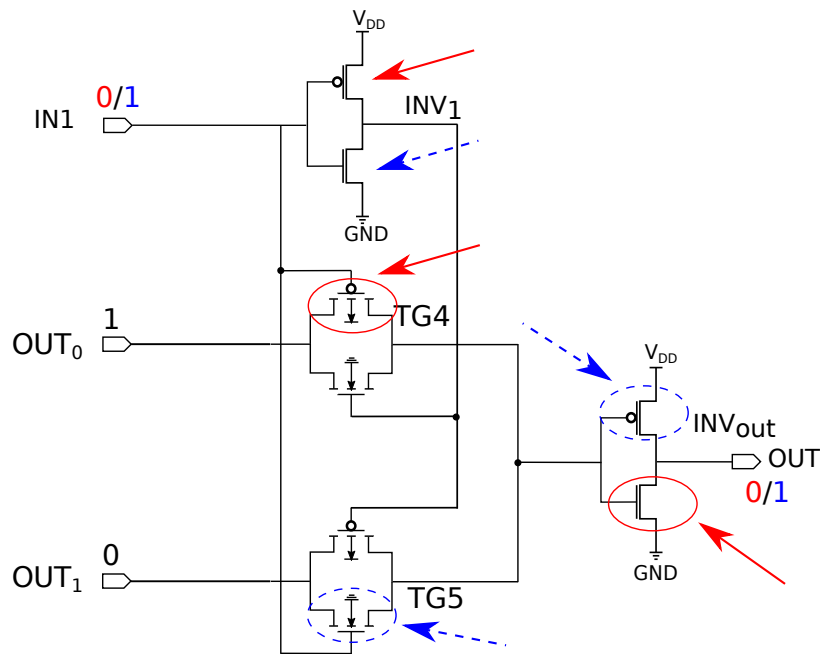
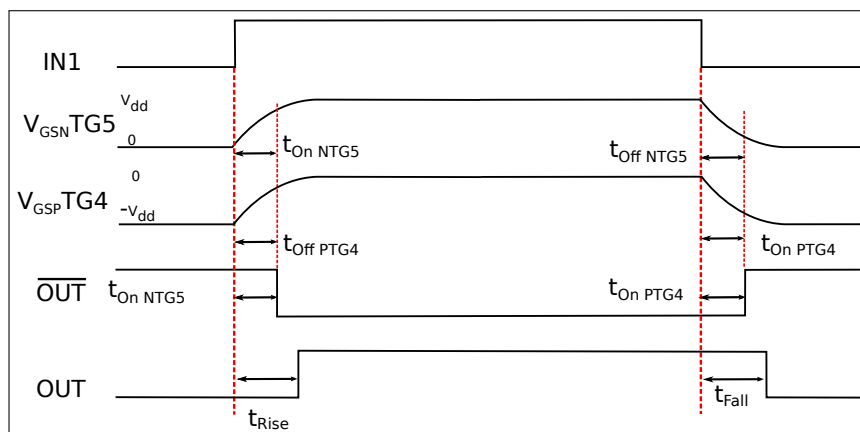


FIGURE 5.6 – LUT configuré comme buffer

FIGURE 5.7 – Le diagramme du temps de passage d'un signal de $IN1$ vers OUT d'un LUT fonctionne comme buffer.

Lorsque $IN0 = 1$, le temps du chemin reste le même. Cependant, les modes de fonctionnement dépendent des bits de configurations $C1$ et $C3$ au lieu de $C0$ et $C2$.

Concernant le temps de passage de l'autre entrée $IN0$ vers la sortie OUT , ce chemin critique et ses conditions de stress sont déterminés de la même manière que $IN1$ à OUT . Dans ce cas, un retard supplémentaire t_0 est produit par les capacités des transistors de TG4 ou TG5. En fait, les deux portes de transferts TG4 et TG5 ne commutent pas car leurs tensions de grilles ne changent pas. Mais le signal qui les traverse commute selon la commutation des portes précédentes, ce qui provoque un changement de la tension aux bornes de la capacité de ces portes. Cette capacité se charge et se décharge à cause du changement de la tension à ses bornes, ce qui produit un retard de passage d'un signal.

5.4.3 Mode statique

La sortie d'une LUT est l'image d'un bit de configuration SRAM correspondant. Lorsque les deux bits de configuration de SRAM ($C0$ et $C2$) sont de même niveau logique, la sortie devient statique et toujours de même niveau pour n'importe quel niveau de l'entrée $IN0$. Donc il n'y a pas de temps de propagation dans ce cas de configuration. De plus l'algorithme de synthèse de l'architecture du FPGA va relier dans ce cas la sortie de la LUT directement au niveau correspondant (VDD si 1 et GND si 0) sans prendre en compte l'état de l'entrée $IN1$. Pour ces raisons, il n'y a pas d'intérêt à étudier ce cas de fonctionnement.

5.5 Simulations

Une table de conversion est constituée de plusieurs transistors sous forme de portes de transferts et d'inverseurs. Dans la section précédente, nous avons déterminé le chemin critique pour transmettre un signal de l'entrée vers la sortie de la LUT, en fonction de configurations possibles.

Concernant la fiabilité de la LUT, il est important de savoir l'impact du vieillissement de chaque transistor de la LUT sur son temps de propagation. Au niveau du FPGA, la mesure de ces influences est impossible, car il n'y a aucun moyen pour vieillir un transistor unique. La simulation est donc la seule solution applicable à ce jour.

Dans un premier temps, des simulations transitoires sont utilisées pour illustrer l'effet de chaque transistor sur le temps de propagation de la LUT, en changeant les paramètres du modèle de transistor tel que la tension de seuil (V_{th}) et la mobilité μ . Un code a été développé sous python afin d'automatiser les lancements répétitifs des simulations nécessaires à chaque fois que l'on change un paramètre de transistor. Les simulations ont été effectuées avec le simulateur *NgSpice*. Le modèle de transistor est du type BSIM4 de la technologie de 65 nm [41] dans ces simulations. Le circuit que nous avons utilisé pour la simulation est une table de conversion de 2-entrées basée sur des portes de transfert illustré dans la figure 2.8.

L'architecture de la LUT dans un FPGA est strictement confidentielle, donc la taille et les caractéristiques réelles des transistors sont indisponibles. Pour ces raisons, nous supposons que tous les transistors de même type sont identiques. Les NMOS et les PMOS sont dimensionnés pour respecter la symétrie temporelle de la LUT.

Dans un premier temps et afin de simplifier les simulations, nous commençons par simuler la différence du temps entre l'entrée $IN1$ et la sortie OUT de la LUT, pour différentes configurations logiques possibles en changeant les paramètres d'un transistor à chaque simulation. Pour cette raison, l'entrée $IN0$ a été fixée comme indiqué dans le tableau 5.2 et $IN1$ commute. A partir de ces simulations, nous extrayons le temps de propagation en montée $t_{Rise} (IN1 \rightarrow OUT)$ et en descente $t_{Fall} (IN1 \rightarrow OUT)$ de la LUT.

$OUT = f(IN0, IN1)$	$IN0$	$OUT = g(IN1)$
XOR	0	Buffer
	1	Inverter
\overline{XOR}	0	Inverter
	1	Buffer

TABLE 5.2 – La sortie OUT de la LUT dépend de ses deux entrées et de la configuration logique

5.5.1 Les effets temporels des transistors vieillis dus au BTI

Conditions de simulations

Le but de cette simulation est d'étudier les effets de chaque transistor sur le temps de propagation de la LUT en fonction des conditions d'utilisations. La sévérité de la dégradation due au BTI est quantifiée par l'augmentation de la tension de seuil. Afin de représenter les vieillissements des transistors dus au NBTI et PBTI, dans ce travail, nous avons changé la tension de seuil des transistors NMOS et PMOS d'environ 100 mV ($\Delta V_{th} = 100$ mV).

Mode Buffer

Tout d'abord, nous avons analysé les effets des transistors sur le temps de passage d'un signal de l'entrée vers la sortie de la LUT, sans changer l'état du signal (en mode buffer).

Les résultats de simulations des effets des transistors vieillis sur le temps de propagation de la LUT sont illustrés dans la figure 5.8. L'impact de la variation de la tension de seuil (V_{th}) de 100 mV de chaque transistor sur le temps en descente est illustré dans la figure 5.8a. Cette figure montre que le PMOS de TG4 et le NMOS de INV_{OUT} affectent fortement la dégradation de temps en descente. Selon la section 5.4.2 les transistors indiqués sont responsables de transmettre un niveau bas de l'entrée $IN1$ vers la sortie et ils sont aussi sous les conditions des contraintes DC0.

Toutefois, le temps en descente est amélioré (moins de retard) lorsque la tension de seuil du PMOS de INV_{OUT} est augmentée (plus négative). Une explication détaillée de ce phénomène sera décrite dans la section suivante.

En ce qui concerne le temps en montée de la LUT, les résultats de simulation montrent que les NMOS de TG5 et PMOS de INV_{OUT} dégradent fortement le temps en montée de la LUT. Néanmoins, il s'améliore lorsque la V_{th} du NMOS de INV_{OUT} est augmentée comme illustré dans la figure 5.8b.

Les résultats de ces simulations indiquent que l'effet de la dégradation est nettement uniforme à travers les différentes configurations de circuits de test (AND , OR , XOR et \overline{XOR}). En outre, ils ont confirmé que les chemins critiques du temps en descente et en montée sont ressemblants à notre description détaillée dans la section 5.4.2.

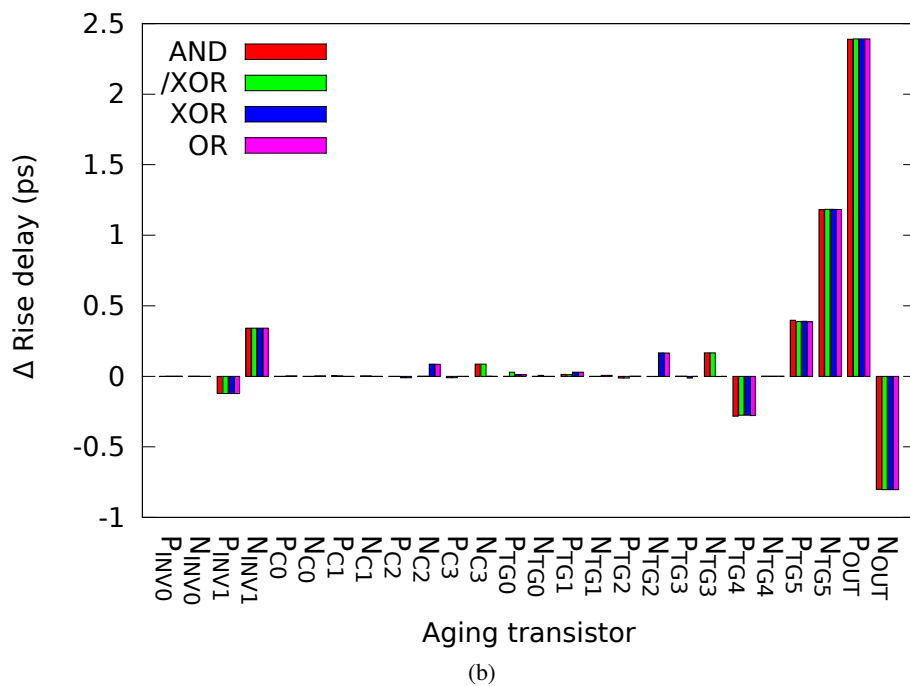
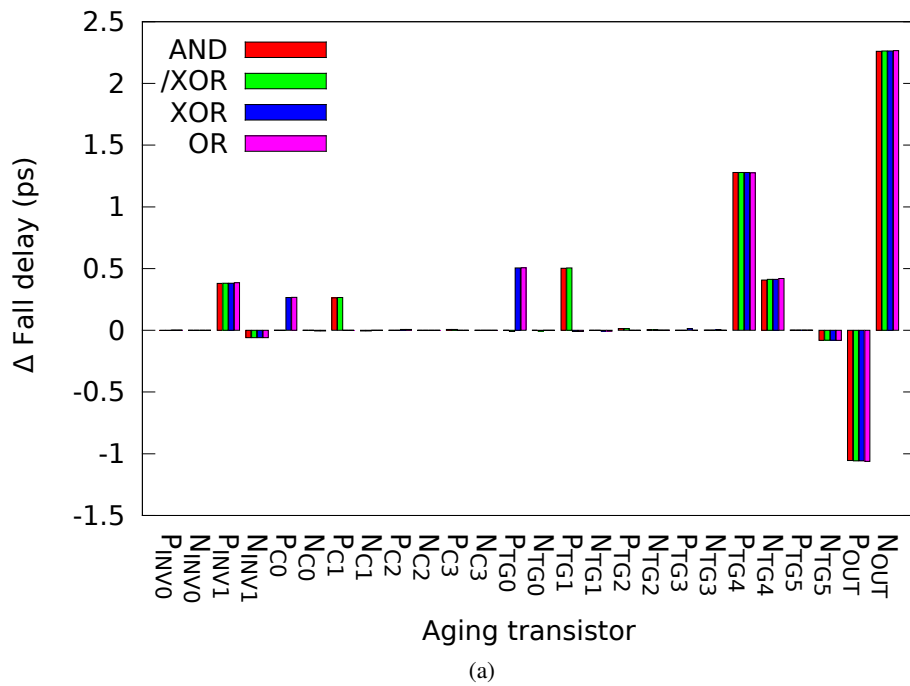


FIGURE 5.8 – Impact du transistor vieilli sur la dégradation du temps a) en descente et b) en montée de la LUT configurée comme des fonctions logiques AND , \overline{XOR} , XOR et OR et exploitée en mode buffer.

Mode Inverseur

Dans une deuxième série de simulations, nous avons simulé le temps de $IN1 \rightarrow OUT$ de la LUT fonctionnant en mode inverseur. Nous éliminons les configurations logiques *AND* et *OR* parce que ces deux configurations ne peuvent pas fonctionner en mode inverseur.

La figure 5.9a montre que le temps en descente est influencé par les NMOS de $INV1$, INV_{OUT} et les PMOS de TG5. De l'autre côté les PMOS de $INV1$, INV_{OUT} et le NMOS de TG4 affectent le temps en montée comme montré dans la figure 5.9b.

On observe que l'impact de $INV1$ est plus important dans ce mode de fonctionnement car les signaux qui sont appliqués sur les grilles des transistors de portes de transfert TG4 et TG5 responsables de transmettre le signal, sont arrivés à travers l'inverseur $INV1$. Ces résultats ont confirmé nos analyses de temps de chemin critique détaillées dans la section 5.4.1.

De la même façon nous avons étudié la simulation de l'influence des transistors à la première entrée $IN0$ avec les mêmes conditions d'opérations. Nous avons obtenu les mêmes résultats que $IN1$ avec une influence supplémentaire pour les transistors au premier étage de la LUT ($INV0$, $TG0...3$). Par exemple, si on compare la dégradation de temps en descente de $IN0 \rightarrow OUT$ et $IN1 \rightarrow OUT$ d'une LUT configurée comme un buffer, on trouve que les transistors PMOS des portes de transfert TG0 et TG2 augmentent le temps de propagation en descente d'environ 1.5 ps (Fig 5.10).

En outre, ces simulations montrent que les transistors de l'inverseur de la sortie de la LUT affectent plus son temps de propagation en raison du débit du courant à travers ces transistors.

5.5.2 Effets du rapport cyclique de l'entrée de la LUT

Pour faciliter l'explication de la dégradation du temps de propagation au niveau de circuit complexe comme une table de conversation de 4 ou 6 entrées dans un FPGA, nous analysons dans cette section la dégradation de la LUT d'une seule entrée basée sur la porte de transfert CMOS (voir Fig. 5.11). Une LUT de n entrées est constituée sur la base de la LUT d'une seule entrée. Une 2-LUT est formée de trois 1-LUT, une 4-LUT est formée de quinze 1-LUT. Une LUT de n entrées est formée de $2^n - 1$ 1-LUT.

Mode Inverseur

Comme indiqué dans la section 5.4.1 les bits de configurations sont configurés comme suit : $C0 = 1$ et $C1 = 0$.

Lorsque V_{in} est à l'état haut (DC1 stress), la tension entre la grille et le substrat du transistor NMOS de l'inverseur INV_{in} est d'environ V_{DD} . Le transistor est donc passant. Le V_{GS} du PMOS de l'autre côté est proche de zéro et le transistor est en mode blocage. Ensuite, TG0 est bloquée



FIGURE 5.9 – Impact du transistor vieilli sur la dégradation du temps a) en descente et b) en montée de la LUT configurée comme des fonctions logiques \overline{XOR} , XOR fonctionnement en mode inverseur.

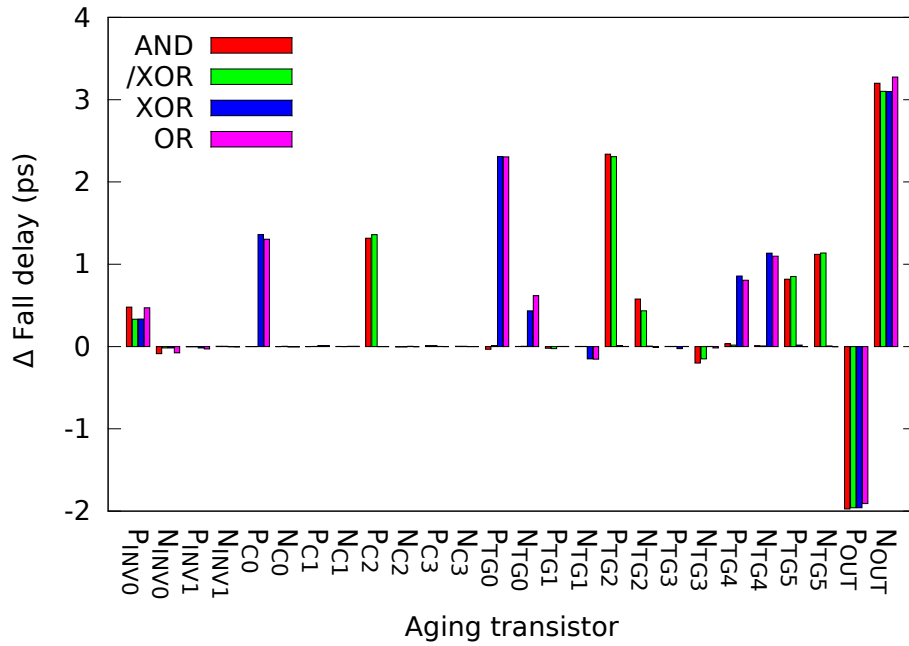


FIGURE 5.10 – Impact du transistor vieilli sur la dégradation du temps en descente de IN_0 vers OUT de la LUT configurée comme des fonctions logiques AND , \overline{XOR} , XOR et OR et fonctionnement en mode buffer.

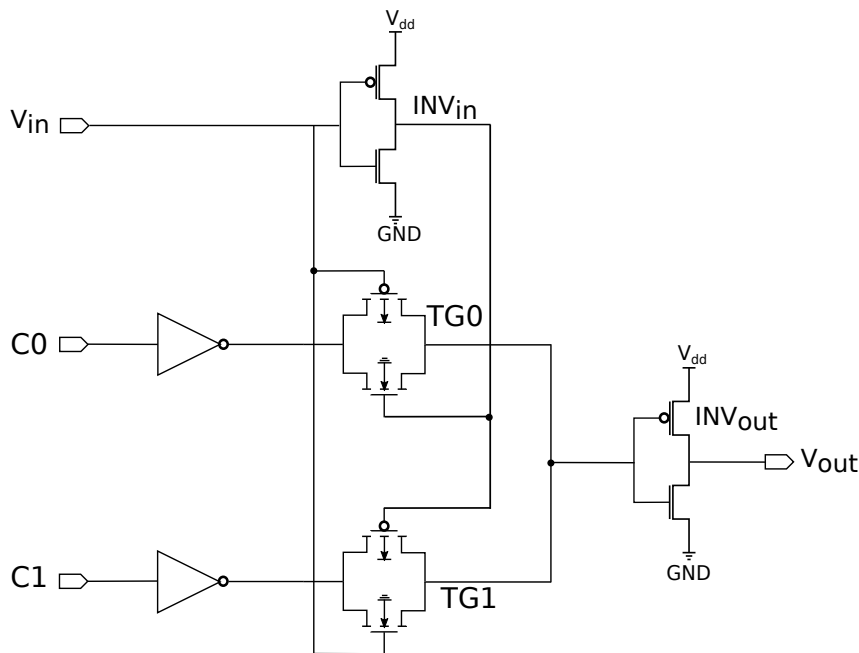


FIGURE 5.11 – Structure 1-input LUT utilisée pour la simulation

et $TG1$ est passante. Ainsi, l'inverse du signal $C1$ se propagera à l'entrée de l'inverseur INV_{out} à travers le PMOS de la porte de transfert $TG1$. Ceci provoque une commutation du transistor NMOS de INV_{out} . Par conséquent, la tension de sortie V_{out} est à la masse, Donc la sortie devient un niveau bas.

Dans cette condition $V_{GS\ PMOS\ TG1} = -V_{DD}$. Ainsi, le transistor $PMOS_{TG1}$ est sous les conditions de stress NBTI. Cela cause un changement de la tension de seuil (plus négative) du transistor.

Lorsqu'un niveau bas est appliqué sur l'entrée de la LUT, la porte de transfert TG1 est hors tension, ce qui signifie que les transistors $PMOS_{TG1}$, NMOS de INV_{in} et NMOS INV_{out} sont en mode blocage. Par contre les deux transistors de TG0, le PMOS de INV_{in} et le PMOS de INV_{out} sont passants.

La vitesse de commutation dépend de la marge de tension de grille ($|V_{GS} - V_{th}|$). Dans ce cas, le mécanisme de vieillissement NBTI dégrade le transistor $PMOS_{TG1}$, qui a une marge de tension de grille réduite, donc il coupe le signal plus vite. Cette étude montre pourquoi le temps de propagation en descente en sortie d'une LUT configurée en inverseur est amélioré (plus rapide).

La fonctionnement d'une entrée en état haut est différent de celui en état bas. Ici, le transistor $PMOS_{TG1}$ est passant. Le NBTI est produit par le transistor $PMOS_{TG1}$, qui a une marge de tension de grille réduite, ce qui provoque une commutation plus lente du transistor. Le résultat de ce phénomène est un temps de propagation en montée de la sortie de la LUT plus lent.

Concernant le cas contraire, lorsque l'entrée à l'état bas (DC0 stress) est appliquée, le mécanisme NBTI a impacté les transistors PMOS de INV_{in} et INV_{out} . Ces deux transistors sont responsables de transmettre une entrée du niveau bas vers la sortie. En outre, ils sont aussi complémentaires des transistors responsables de transmettre un signal de niveau haut. L'effet du NBTI dans ce cas est donc d'améliorer le temps de propagation en montée et dégrader celui en descente comme montré dans la figures 5.12a et 5.12b.

Par conséquent, le temps de propagation en descente se dégrade lorsque le rapport cyclique de l'entrée V_{in} est proche de 1. Par contre, il s'améliore quand le rapport cyclique est proche de 0. Pour le temps de propagation en montée, la relation est complètement inversée. La marge de tension de grille réduite rend la mise en conduction du transistor plus lente.

Mode Buffer

Sur la base de la section 5.4.2, nous configurons les bits de configurations comme suit : $C0 = 0$ et $C1 = 1$.

Lorsqu'un signal de stress DC0 est appliqué sur l'entrée, la tension grille-source du transistor PMOS de l'inverseur INV_{in} est $V_{GS} = -V_{DD}$. Comme mentionné dans la section 5.4.2, l'inverseur INV_{in} n'affecte pas le chemin critique du signal lorsque la LUT est configurée comme buffer. Donc, il n'y a aucun impact du transistor vieilli sur les temps de propagation. De la même façon, un stress NBTI a impacté le transistor $PMOS_{TG0}$. Cela signifie que ce transistor a une tension de seuil inférieure (plus négative).

Le passage de l'entrée au haut niveau bloque les transistors $PMOS_{TG0}$, PMOS de INV_{in} et NMOS INV_{out} . Par contre, les transistors de la porte TG1, le NMOS de INV_{in} et le PMOS de INV_{out} deviennent passants. Le NBTI affecte les transistors $PMOS_{TG0}$ et le PMOS de INV_{in} . Aussi ces transistors vieillis sont bloqués rapidement. Le $PMOS_{TG0}$ est un des transistors res-

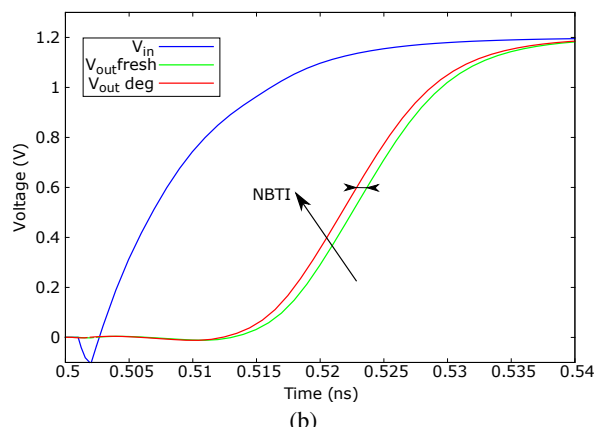
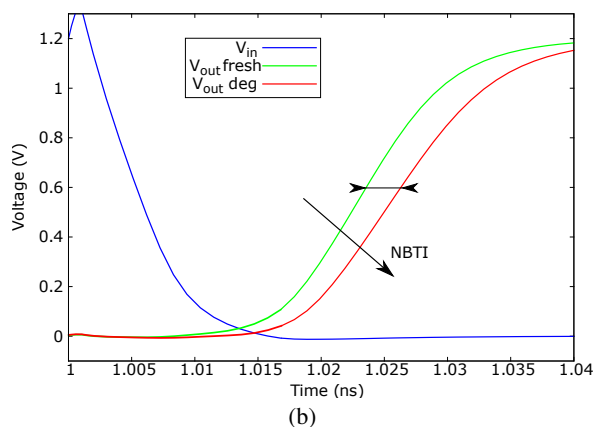
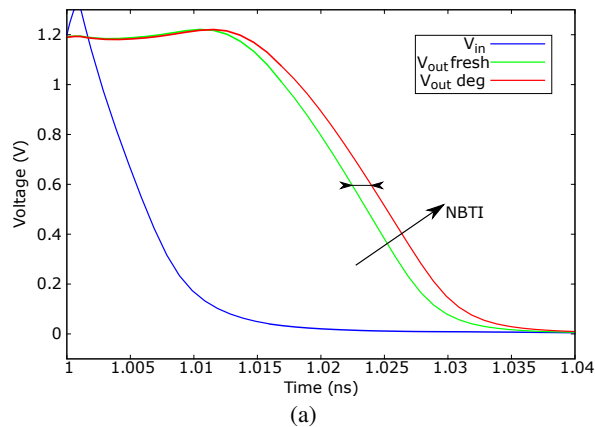
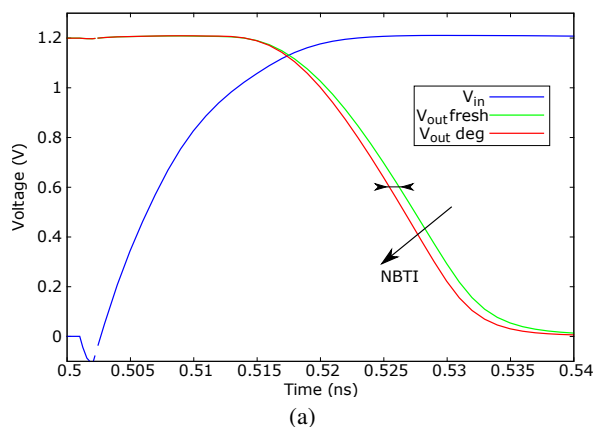


FIGURE 5.12 – Le comportement de commutation transitoire de la LUT d’une seule entrée configurée comme inverseur sous une contrainte DC0. a) Le comportement de switching-off². Le circuit dégradé surpasse le circuit frais. b) Le comportement de switching-on³. Le circuit dégradé a besoin de plus de temps pour atteindre $V_{out} = V_{haut}$.

FIGURE 5.13 – Le comportement de commutation transitoire de la LUT d’une seule entrée configurée comme buffer sous une contrainte DC0. a) Le comportement de switching-off². Le circuit dégradé a besoin de plus de temps pour atteindre $V_{out} = V_{haut}$. b) Le comportement de switching-on³. Le circuit dégradé surpasse le circuit frais.

possibles de transmettre un signal de niveau bas de l’entrée vers la sortie de la LUT. Le temps de propagation en montée est donc plus rapide comme montré dans la figure 5.13b.

Quand un front descendant est appliqué sur l’entrée, le transistor $PMOS_{TGO}$ est bloqué. Ce transistor est sous conditions de stress NBTI, donc il a une marge de tension de grille réduite et sa commutation est plus lente. Il en résulte un ralentissement du temps de propagation en descente (fig.5.13a). Concernant le cas où une contrainte de DC1 est appliquée sur l’entrée V_{in} de la LUT, le NBTI a lieu dans le transistor PMOS de INV_{out} , ce qui provoque un temps de propagation en descente plus rapide et un temps en montée plus lent qu’une LUT exploitée comme buffer.

Cette étude nous explique en détail la relation entre le rapport cyclique du signal de stress appliqué sur l’entrée et la dégradation des temps de propagation en descente et en montée en fonction des configurations logiques de la LUT.

2. switching-off : passage de la sortie (*OUT*) de l’état haut en bas

3. switching-on : passage de la sortie (*OUT*) de l’état bas en haut

Dans les deux modes de fonctionnement de la LUT (inverseur et buffer), lorsque le bit de configuration C_i est au niveau bas. Le PMOS de l'inverseur INV_C lié à l'entrée de configuration est en condition de stress NBTI. Ce phénomène affecte faiblement le temps de propagation de la LUT indépendamment de l'état de son signal d'entrée (voir figures 5.8 et 5.9).

5.5.3 Les effets temporels des transistors vieilliss dus aux HCI

Comme pour le BTI, nous avons analysé les effets des vieillissements de chaque transistor sur le temps de propagation de la LUT pour différentes configurations.

Conditions de simulations

Concernant le vieillissement dû au HCI, comme la charge piégée dans la région d'interface des transistors augmente, la tension de seuil V_{th} augmente et la mobilité du canal μ diminue, ce qui entraîne une augmentation du temps de propagation de la porte. Ces changements de paramètres sont calculés selon les equations (2.3) et (2.4) du chapitre de l'état de l'art.

De ces deux expressions mentionnées ci-dessus, on détermine la relation entre la variation de la mobilité μ et la dégradation de la tension de seuil ΔV_{th} en utilisant la formule :

$$\Delta V_{th} = f\left(\frac{\mu_0}{\mu}\right) = \frac{q}{\alpha C_{ox}} \left(\frac{\mu_0}{\mu} - 1\right) \quad (5.9)$$

où $\alpha = 2.4 \cdot 10^{-12} \text{ cm}^2$ d'après [35].

Pendant les simulations, la mobilité des transistors NMOS et PMOS a été changée de 10%, ($\frac{\mu_0}{\mu} = 1.1$), ce qui provoque un décalage de la tension de seuil des transistors NMOS et PMOS de 3.58 mV et de -3.77 mV afin d'extraire l'influence de chacun des transistors sur le temps de propagation de la LUT.

Analyses des simulations

Dans ce paragraphe, nous expliquons le chemin critique pour transmettre un signal de l'entrée vers la sortie d'une LUT de deux entrées. Cette LUT est exploitée comme une fonction logique *XOR*.

D'abord, pour simplifier l'étude, nous étudions l'effet induit par le mécanisme de vieillissement HCI sur le temps de propagation d'un signal de $IN1 \rightarrow OUT$. Pour cela, l'entrée $IN0$ a été fixée comme indiqué dans le tableau 5.2.

Dans ce cas, l'entrée $IN1$ commute à haute fréquence, ce qui signifie que le courant à travers les transistors NMOS et PMOS de INV_1 change rapidement. Ceci produit un mécanisme HCI sur ces deux transistors. Le HCI n'apparaît pas simultanément sur les 2 transistors d'une même

porte de transfert. Le transistor PMOS est sous conditions de stress HCI lorsqu'un front montant le traverse. Pour le transistor NMOS, il faut qu'un front descendant le traverse.

Dans le cas de l'architecture présentée dans la figure 5.6 (dans les conditions du buffer $out_0 = 1$ et $out_1 = 0$), le PMOS de TG4 subit du HCI quand un front descendant est appliqué sur l'entrée IN1 (TG4 devient passant). Pour le front montant de IN1, c'est le NMOS de TG5 qui subit le HCI. Dans les conditions Inverseur, ce sont les transistors NMOS de TG4 et PMOS de TG5 qui subissent le stress HCI.

Si out_0 et out_1 sont de même niveau, il n'y a pas de commutation de la sortie, donc pas de courant donc pas de HCI dans les portes de transferts et dans l'inverseur de la sortie INV_{OUT} . Le stress HCI est appliqué aussi sur les deux transistors des inverseurs de la sortie INV_{OUT} et de l'entrée INV_1 .

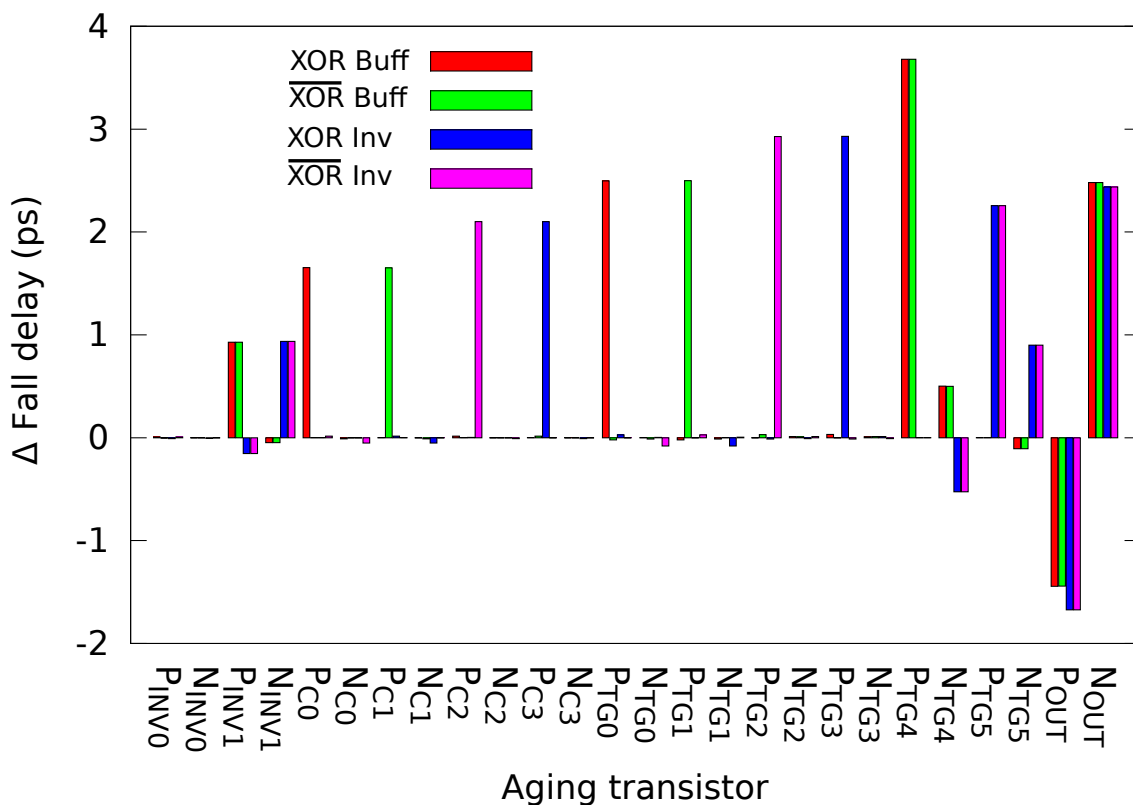


FIGURE 5.14 – Les effets de transistors vieillis à cause du HCI sur la dégradation du temps en descente de la LUT.

Les dégradations de temps de propagation de la LUT dues aux variations des paramètres de transistor V_{th} et μ en différentes configurations sont illustrées dans la figure 5.14. Compte tenu de la configuration de *XOR BUFF*, ce graphique montre que le PMOS de TG4 et le NMOS de INV_{OUT} affectent fortement la dégradation du temps de propagation en descente. Toutefois, cette grandeur est améliorée lorsque le transistor PMOS de INV_{OUT} vieilli - a une mobilité plus faible μ , ce qui provoque une tension de seuil inférieure (plus négative).

Les résultats obtenus par ces simulations montrent que les transistors qui affectent de manière significative le temps sont ceux qui ont émis le signal.

Comme pour le BTI, ces simulations identifient deux types de transistors en fonction de ces influences sur les temps de propagation lorsqu'ils sont vieillissent : 1) des transistors qui dégradent le temps de propagation, 2) quelques uns qui améliorent le temps de propagation selon la configuration de la LUT.

Ces identifications dépendent directement de quels transistors sont responsables de transmettre un signal de l'entrée vers la sortie de la LUT, et lesquels sont responsables de bloquer ce signal.

5.6 Modélisations

Jusqu'à ici, nous avons étudié théoriquement et en simulations les grandeurs temporelles de la LUT et les effets des mécanismes de vieillissement (BTI, HCI) sur les temps de propagation de la LUT. En outre, nous avons mesuré expérimentalement ces dégradations et nous avons distingué les dégradations dues à chaque mécanisme. Dans la suite de ce chapitre, nous essayerons de faire un lien entre les études théoriques, simulées et les résultats expérimentaux afin de modéliser les dégradations au niveau transistor en prenant en compte l'architecture interne de la LUT.

Le chemin critique du temps de propagation dépend de la configuration de la LUT et des entrées (en état statique ou bien en commutation). Dans cette étude, nous configurons la LUT comme XOR-logique : la première entrée est fixée à zéro logique, $IN0 = 0$, et la deuxième entrée $IN1$ est commutée. Cette configuration nous permet de mesurer le temps de propagation d'un signal de l'entrée $IN1$ à la sortie OUT de la LUT exploitée comme buffer.

5.6.1 NBTI

Comme mentionné dans le chapitre précédent et le chapitre 3, nous avons testé des circuits de la technologie de processus de 65 nm, de sorte que la dégradation due au mécanisme PBTI qui affecte les transistors NMOS est négligeable comparée à celle due au mécanisme NBTI qui affecte les transistors PMOS. Pour cette raison, nous n'étudierons dans ce travail que la dégradation due au transistor PMOS.

Selon l'expression (5.8), le chemin critique du temps de propagation en montée est constitué de trois groupes :

- Groupe 1 : les transistors PMOS en mode passant (transmettent le signal de haut niveau) : TG5 et INV_OUT.

Les deux transistors ont la même dégradation de la tension de seuil ΔV_{th} , parce qu'ils sont identiques et ils ont le même signal de stress.

- Groupe 2 : les transistors PMOS en mode bloqué (coupent le signal de haut niveau) : TG4 et INV1.

Les deux transistors ont la même dégradation de la tension de seuil $\Delta V'_{th}$.

- Groupe 3 : les transistors PMOS qui sont indépendants de l'état de l'entrée, donc du rapport cyclique (α), et selon la configuration de la LUT : INV0 et TG2.

La relation entre la dégradation de la tension de seuil et la dégradation du temps de propagation du transistor n'est pas linéaire. Dans ce travail, nous proposons que cette relation soit exprimée comme un développement limité de second ordre :

$$\Delta t_{rise/transistor} = k1 \times \Delta V_{th} + k2 \times \Delta V_{th}^2 \quad (5.10)$$

Comme nous avons mentionné dans la section 5.4.2, le chemin critique pour changer l'état d'un signal du niveau bas vers haut est un mélange de transistors qui sont responsables de la coupure du signal et d'autres responsables de transmettre ce signal au niveau haut. Il y a d'autres transistors qui ne sont pas liés aux entrées de la LUT, mais ils affectent le temps de propagation de la LUT indirectement à cause du changement de leurs résistances et du débit de courant passant quand ils ont vieilli.

Donc, la dégradation du temps de propagation en montée de *IN1* vers *OUT* de la LUT est un complément de ces trois groupes de transistors. Cette dégradation est calculée selon l'expression suivante :

$$\begin{aligned} \Delta t_{rise} = & (k1_{TG5} + k1_{OUT})\Delta V_{th} + (k2_{TG5} + k2_{OUT})\Delta V_{th}^2 \\ & + (k1_{TG4} + k1_{INV1})\Delta V'_{th} + (k2_{TG4} + k2_{INV1})\Delta V'^2_{th} + K_r \end{aligned} \quad (5.11)$$

où k_r est un paramètre représentant l'effet des transistors du groupe 3 sur le temps de propagation en montée de la LUT.

La dégradation de la tension de seuil ΔV_{th} due au mécanisme NBTI du transistor PMOS du groupe 1 est calculée selon l'expression suivante [27] :

$$\Delta V_{th} = s \times (\beta_1 T)^n \quad (5.12)$$

où β_1 est le rapport cyclique des transistors (représente le temps de conduction du transistor sur une période), T est la durée du test, donc, $\beta_1 \times T$ est le temps de conduction cumulée du transistor.

Les transistors du groupe 1 sont sous les conditions des contraintes. Ils sont aussi responsables de transmettre un signal de niveau haut. Ceci implique que le paramètre β_1 est égale à α dans ce cas.

D'autre part, la tension de seuil des transistors du groupe 2 est calculée comme suit :

$$\Delta V'_{th} = r \times (\beta_2 T)^n \quad (5.13)$$

Les transistors du groupe 2 sont des compléments du groupe 1. Donc le rapport cyclique d'activation de ce groupe de transistors est le complément de celui du groupe 1 ($\beta_2 = 1 - \alpha$).

L'effet des transistors du groupe 3 est modélisé par :

$$K_r = X \times T^n \quad (5.14)$$

Symétriquement, selon l'expression (5.7), le chemin critique du temps de propagation en descente est également constitué de trois groupes :

- Groupe 1 : les transistors PMOS en mode passant (transmission du signal de haut niveau) : TG4 et INV1.
- Groupe 2 : les transistors PMOS en mode bloqué (coupure du signal de haut niveau) : TG5 et INV_OUT.
- Groupe 3 : les transistors PMOS indépendants de l'état de l'entrée, donc du rapport cyclique (α), et selon la configuration de la LUT : INV0, TG0 et INV_C0.

Nous avons aussi proposé un développement limité du second ordre pour modéliser la relation entre la tension de seuil dégradée et la dégradation du temps du propagation du transistor :

$$\Delta t_{fall/transistor} = q1 \times \Delta V_{th} + q2 \times \Delta V_{th}^2 \quad (5.15)$$

Ensuite, la dégradation du temps de propagation en descente de l'entrée *IN1* à la sortie *OUT* est calculée selon l'expression suivante :

$$\begin{aligned} \Delta t_{fall} = & (q1_{TG5} + q1_{OUT})\Delta V_{th} + (q2_{TG5} + q2_{OUT})\Delta V_{th}^2 \\ & + (q1_{TG4} + q1_{INV1})\Delta V'_{th} + (q2_{TG4} + q2_{INV1})\Delta V'^2_{th} + K_f \end{aligned} \quad (5.16)$$

Comme pour le temps de propagation en montée, l'effet des transistors de groupe 3 est modélisé par :

$$K_f = Y \times T^n \quad (5.17)$$

Nous avons combiné la dégradation de temps de propagation en montée et en descente qui sont dépendants de ΔV_{th} et $\Delta V'_{th}$ sous forme matricielle :

$$\begin{bmatrix} \Delta t_{rise} \\ \Delta t_{fall} \end{bmatrix} = \begin{bmatrix} e & f & K_r & a & b \\ g & h & K_f & c & d \end{bmatrix} \times \begin{bmatrix} \Delta V_{th} \\ \Delta V_{th}^2 \\ 1 \\ \Delta V'_{th} \\ \Delta V'^2_{th} \end{bmatrix} \quad (5.18)$$

L'expression globale dépend du rapport cyclique, de la durée de test. Le facteur de l'effet de chaque groupe de transistor est illustrée sous forme matricielle suivante :

$$\begin{bmatrix} \Delta t_{rise} \\ \Delta t_{fall} \end{bmatrix} = \begin{bmatrix} E & F & X & A & B \\ G & H & Y & C & D \end{bmatrix} \times \begin{bmatrix} (\alpha T)^n \\ (\alpha T)^{2n} \\ T^n \\ ((1 - \alpha)T)^n \\ ((1 - \alpha)T)^{2n} \end{bmatrix} \quad (5.19)$$

où

$$A = r \times (k1_{TG4} + k1_{INV1})$$

$$B = r^2 \times (k2_{TG4} + k2_{INV1})$$

$$C = r \times (q1_{TG4} + q1_{INV1})$$

$$D = r^2 \times (q2_{TG4} + q2_{INV1})$$

$$E = s \times (k1_{TG5} + k1_{OUT})$$

$$F = s^2 \times (k2_{TG5} + k2_{OUT})$$

$$G = s \times (q1_{TG5} + q1_{OUT})$$

$$H = s^2 \times (q2_{TG5} + q2_{OUT})$$

Maintenant, nous avons un modèle global de la dégradation de temps de dégradation en montée et en descente due au NBTI. Ce modèle permet de calculer le vieillissement de chaque groupe de transistors (1, 2 et 3) en fonction du rapport cyclique du vecteur d'entrée et la durée du test. Sur la base de nos résultats expérimentaux du test accéléré en tension, nous extrayons la valeur numérique de chaque paramètre du modèle :

$$n = 0.28874$$

$$A = -0.099\ 659\ 8\ \text{ps/h}^n$$

$$B = -0.018\ 905\ 5\ \text{ps/h}^{2n}$$

$$X = 0.028\ 688\ 2\ \text{ps/h}^n$$

$$E = -0.080\ 594\ 8\ \text{ps/h}^n$$

$$F = 0.050\ 494\ 4\ \text{ps/h}^{2n}$$

$$C = -0.097\ 640\ 1\ \text{ps/h}^n$$

$$D = 0.062\ 963\ 1\ \text{ps/h}^{2n}$$

$$Y = 0.068\ 365\ 2\ \text{ps/h}^n$$

$$G = -0.099\ 185\ \text{ps/h}^n$$

$$H = -0.018\ 489\ 2\ \text{ps/h}^{2n}$$

Le facteur n est très proche de celui de la littérature qui est d'environ 0,25. Les deux facteurs D et F sont positifs selon l'étude qui est faite dans la section 5.5.2.

Les figures 5.15 montrent que notre modèle de la dégradation des temps de propagation de la LUT en raison du mécanisme de vieillissement NBTI est proche des résultats expérimentaux en particulier sur les courbes de rapport cyclique proche de zéro pour le temps en descente et à proximité de 1 pour le temps en montée. Ce modèle est moins cohérent par rapport aux résultats expérimentaux lorsque le rapport cyclique est égale à 1 pour le temps en descente (Fig. 5.15a). Pour le temps en montée, c'est pour la courbe de vieillissement ayant un rapport cyclique égal à 0 (Fig.5.15b).

5.6.2 HCI

Comme mentionné dans le chapitre précédent, les LUTs de CUT sont configurées comme buffers, de sorte que le temps de propagation est lié au deuxième étage de la LUT (TG4 et TG5) et

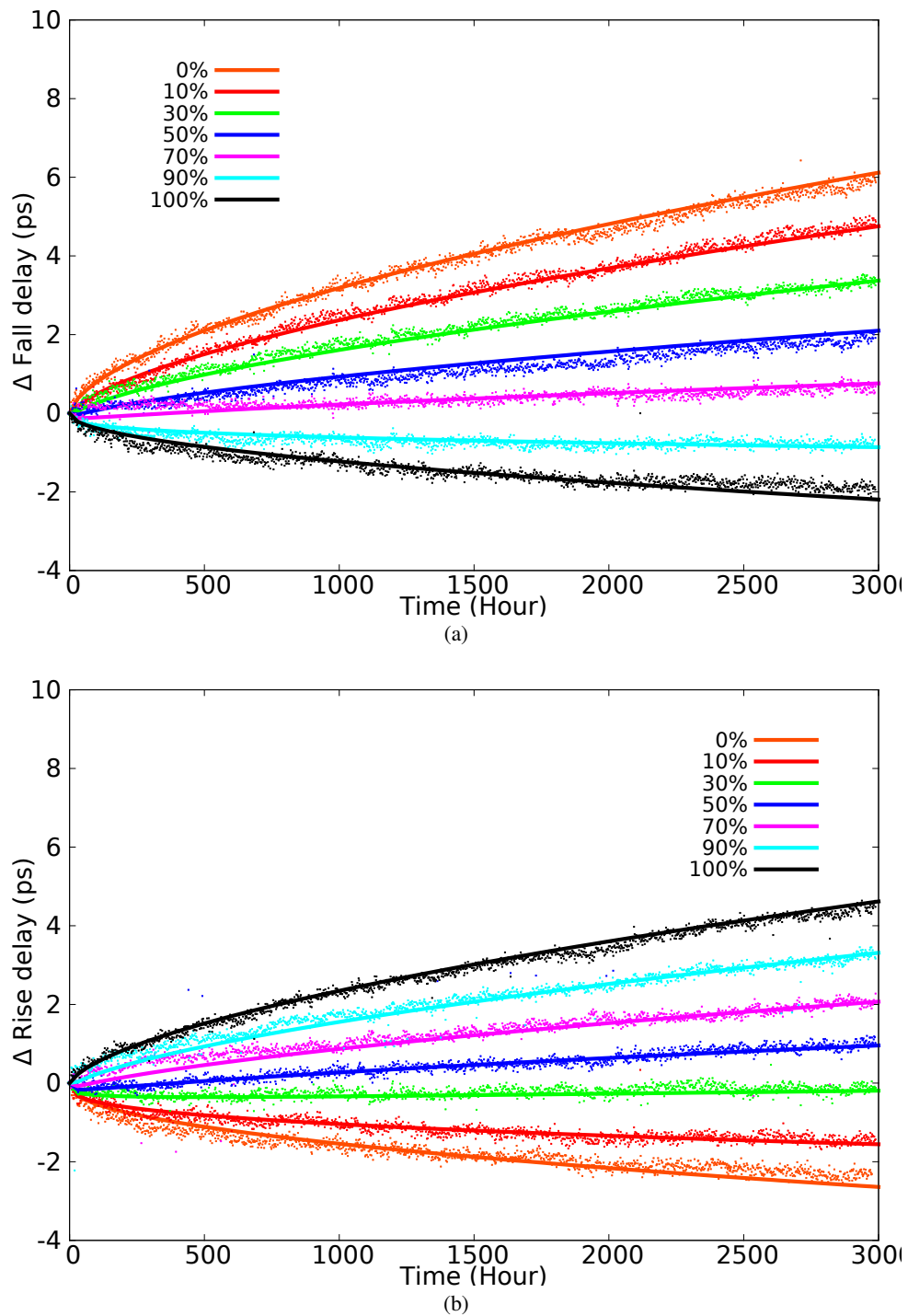


FIGURE 5.15 – Modèle et résultats expérimentaux de la dégradation du temps de propagation a) en descente et b) en montée, avec différentes valeurs du rapport cyclique (0% to 100%)

à l'inverseur de sa sortie INV_{OUT} .

Les transistors PMOS de TG4 et NMOS de INV_{OUT} sont responsables de transmettre un temps de propagation en descente. Sur la base de cette explication, nous pouvons relier les dégradations obtenues par des simulations et des mesures expérimentales en utilisant l'expression suivante :

$$\Delta t_{fall} = \Delta t_{(PMOS\ TG4)} + \Delta t_{(NMOS\ INV_{OUT})} \quad (5.20)$$

où $\Delta t_{(X)}$ est le retard produit par le transistor X .

Comme nous avons montré dans le chapitre précédent, la dégradation due au HCI est reliée au temps de stress sous forme de la loi de puissance. De ce point, nous décrivons :

$$\Delta t_{fall} = C \times \Delta P_{(PMOS\ TG4)} \times T^n + D \times \Delta P_{(NMOS\ INV_{OUT})} \times T^m \quad (5.21)$$

où ΔP est la variation des paramètres des transistors tels que la mobilité μ et la tension de seuil V_{th} .

Pour la dégradation du temps de propagation en montée, les transistors concernés sont le NMOS de TG5 et le PMOS de INV_{OUT} . Ainsi, la forme générale de la dégradation de ce temps en raison du mécanisme de vieillissement HCI est :

$$\Delta t_{rise} = C' \times \Delta P_{(NMOS\ TG5)} \times T^{n'} + D' \times \Delta P_{(PMOS\ INV_{OUT})} \times T^{m'} \quad (5.22)$$

Malheureusement, les contraintes HCI ne sont pas identiques sur le PMOS de TG4 et celui de INV_{OUT} , car la première est une porte de transmission et l'autre est un inverseur. La même situation se produit pour la NMOS de TG5 et INV_{OUT} .

Par conséquent, on ne peut pas séparer la variation des paramètres des transistors dégradés, sur la base des mesures.

5.7 Conclusion

Une étude détaillée de la structure de LUT à 2 entrées sur la base de la porte de transfert a été présentée dans ce chapitre. La structure analysée est basée sur des brevets de fondeurs de FPGAs (Xilinx et Altera).

L'architecture de la LUT dans le FPGA est strictement confidentielle et nous n'avons pas pu y accéder. Dans notre étude, nous avons proposé une des deux architectures qui sont brevetées par les deux plus gros fondeurs des FPGAs au monde. Malgré les informations disponibles sur l'architecture, la taille et les caractéristiques réelles pour les transistors sont indisponibles. Pour ces raisons, nos modèles sont limités au niveau d'une LUT et nous ne pouvons pas calculer la dégradation de la tension de seuil de chaque transistor.

Dans ce travail, nous avons fait une analyse temporelle du chemin critique de passage d'un

signal de l'entrée vers la sortie de la LUT en différentes configurations en tenant compte des conditions de contraintes (mécanismes de défaillance NBTI et PBTI) de chaque transistor. Cette étude est suivie par des simulations de l'influence de chaque transistor vieilli (NBTI, PBTI ou HCI) sur la fonctionnement temporel de la LUT en différentes configurations, afin d'utiliser ces coefficients dans le modèle de la fiabilité du FPGA.

Sur la base des analyses précédentes et des résultats expérimentaux de manipulation pour 3000 h, nous avons proposé un modèle de dégradation du temps de propagation de la LUT dans les FPGAs à cause du NBTI en fonction du rapport cyclique du signal d'entrée et la durée de l'essai. Ce modèle, cohérent avec l'étude théorique, a un bon accord avec les mesures expérimentales.

Un autre modèle de la dégradation due aux HCI a été proposé dans ce chapitre. Ce modèle est fondé sur les résultats expérimentaux. Contrairement au NBTI, la séparation des effets des transistors n'est pas faite car il manque l'architecture réelle de la LUT contenant les caractéristiques des transistors.

L'importance de cette étude est l'extraction des paramètres de ces modèles à partir des données des mesures expérimentales et des tests des composants dégradés. Les modèles sont validés pour une large série de conditions électriques de fonctionnement.

Ces modèles peuvent être utilisés pour prévoir la dégradation d'un circuit complexe implémenté sur un FPGA, et en particulier le risque des violations du temps dues au vieillissement NBTI [76]. La méthodologie de fiabilité présentée dans ce travail, fournit un moyen pour les projections de fiabilité et de prédiction de comportement pour les technologies les plus avancées de transistors CMOS.

Chapitre 6

Conclusion

6.1 La fiabilité des FPGA

L'ensemble des travaux de cette thèse s'inscrit dans le cadre d'une démarche globale visant la caractérisation des circuits numériques intégrés, la compréhension des mécanismes de défaillance et la prédiction de la durée de vie des transistors CMOS dans les LUTs des FPGAs.

Dans le chapitre 3, une architecture du banc de test à faible coût permettant de caractériser la fiabilité du circuit intégré numérique a été développée. Elle est applicable sur les différentes technologies de circuits numériques configurables existants. En utilisant cette approche, une caractérisation de centaines de circuits sous différentes conditions électriques de stress est applicable sur un seul dispositif. En outre, elle permet de tester plusieurs dispositifs en parallèle et en temps réel sous différents facteurs d'accélération de test. Dans cette thèse, la première architecture des oscillateurs en anneaux de rapport cyclique différente de 50% sans utilisation des signaux externes a été proposée.

Plusieurs manipulations ont été décrites dans le chapitre 4. Une séparation entre les mécanismes de défaillances a été faite. Nous avons proposé les premiers modèles semi-empiriques de vieillissement des LUT dû aux NBTI et HCI en fonctions des conditions d'utilisations (la fréquence, le rapport cyclique et la durée de test). Ces modèles ne sont pas basés sur des simulations ou des modèles de vieillissement de transistors fournis par les fondeurs. Ils sont basés sur des résultats expérimentaux traités et analysés.

Une étude détaillée de l'architecture interne de la LUT a été décrite dans le chapitre 5. Dans cette étude, les transistors responsables de transmettre un signal en fonction de l'entrée et de la configuration de la LUT ont été identifiés. En outre, nous avons étudié les polarisations de ces transistors afin de déterminer les conditions de vieillissement. Ces études ont été validées par des simulations. Des modèles de vieillissement tenant en compte l'architecture interne de la LUT ont été proposés dans le cadre de cette thèse.

Comme mentionné dans la série de publications associées, cette thèse décrit un certain nombre de contributions originales dans le domaine de la fiabilité de la technologie nanométrique.

6.2 Publications

Une grande partie du travail décrit dans cette thèse a été publiée. Cette section décrit brièvement les publications pertinentes.

Le développement de banc de test à faible coût a été présenté dans la conférence internationale *European Symposium on Reliability of Electron Devices, Failure Physics and Analysis* en septembre 2015 [66]. Puis il a été publié dans le journal international *Microelectronics Reliability* en 2015. Ce papier explique les étapes de développement du banc de test d'auto-caractérisation à faible coût et montre quelques résultats obtenus.

Le premier modèle de dégradation des LUTs à cause des porteurs chauds est présenté en septembre 2016 dans la conférence *European Symposium on Reliability of Electron Devices, Failure Physics and Analysis* [73]. Ce papier montre un modèle de dégradation en fonction du temps de test et de la fréquence appliquée sur les entrées des CUTs.

Les caractéristiques et la modélisation des dégradations à cause du BTI en fonction du rapport cyclique du signal de contrainte et du temps de test sont présentées dans la conférence du rang A *International Conference of Field Programmable Logic and Applications* en août 2016 [72].

Enfin, une revue sur les simulations et la modélisation des dégradations reliées au NBTI a été soumise à un journal international en mai 2016. Elle détaille une étude théorique des phénomènes de vieillissement au niveau des transistors de LUT en fonction des contraintes et des configurations. Un modèle de vieillissement pour le NBTI au niveau transistor a été présenté dans ce papier.

6.3 Perspectives

Un test est en cours pour intégrer la température dans nos modèles de vieillissement. Dans ce test nous utilisons deux FPGAs configurés identiquement. Ils sont alimentés par 1.8 V afin d'accélérer le vieillissement et fonctionnent sous deux températures différentes (les températures des enceintes sont 340 K et 278 K).

Un test sur des technologies plus avancées (28 nm par exemple) sera très important. Comme nous avons mentionné dans cette thèse, le PBTI sera significatif avec une technologie de moins de 45 nm. Une telle étude est en préparation dans le cadre du projet PISTIS (DGA, Thales, MBDA...). Les expérimentations qui auront lieu sur les FPGA en technologie 28 nm s'appuieront en partie sur l'architecture du banc de test proposée dans cette thèse.

A moyen terme, il est prévu de prendre en compte les modèles de vieillissement en relation avec la dispersion statistique afin de prédire le temps de première erreur et aussi de connaître l'origine des causes de cette erreur et son impact sur le fonctionnement d'un circuit numérique complexe.

Enfin, les modèles développés dans cette thèse sont une donnée d'entrée utile pour les recherches sur le contrôle du vieillissement du FPGA.

Bibliographie

- [1] Morgan David. [available online]. <https://parenthese.hypotheses.org/1127>.
- [2] ITRS. International Technology Roadmap for Semiconductors, 2013.
- [3] Mike Thompson. Fpgas accelerate time to market for industrial designs. *EE Times*, 2004.
- [4] The Breakthrough Advantage for FPGAs with Tri-Gate Technology. In *White Paper*. Altera Corporation, 2013.
- [5] Introducing innovations at 28 nm to move beyond moores law. In *White Paper*. Altera Corporation, 2010.
- [6] Altera Corporation. Reducing Total System Cost with Low-Power 28-nm FPGAs. in *Altera White Paper*, 2012.
- [7] M. Klein J. Hussein and M. Hart. Lowering Power at 28 nm with Xilinx 7 Series FPGAs. in *Xilinx White Paper*, Feb. 2012.
- [8] ITRS. International Technology Roadmap for Semiconductors, 2014.
- [9] Michael Haselman and Scott Hauck. The future of integrated circuits : A survey of nanoelectronics. *Proceedings of the IEEE*, 98(1) :11–38, 2010.
- [10] Michael Nicolaidis. Design for soft error mitigation. *IEEE Transactions on Device and Materials Reliability*, 5(3) :405–418, 2005.
- [11] Altera corporation. Stratix II device handbook SII5V1-3.1. in *Altera White Paper*, July 2005.
- [12] Xilinx. Spartan-3AN FPGA family data sheet, DS557, [available online]. <http://direct.xilinx.com/bvdocs/publications/ds557.pdf>, February 2007.
- [13] Actel Corporation. ProASIC3 flash family FPGAs, [available online]. http://www.actel.com/documents/PA3_DS.pdf, Octobre 2005.
- [14] Altera corporation. Logic Elements and Logic Array Blocks in the Cyclone III Device Family [available online]. www.altera.com, 2015.
- [15] Google Patent Search. Re-programmable PLA. Retrieved February 5, 2009.
- [16] Google Patent Search. Dynamic data re-programmable PLA. Retrieved February 5, 2009.
- [17] Edward Stott, Pete Sedcole, and Peter YK Cheung. Modelling degradation in FPGA lookup tables. In *Field-Programmable Technology, 2009. FPT 2009. International Conference on*, pages 443–446. IEEE, 2009.

- [18] Saman Kiamehr, Abdulazim Amouri, and Mehdi B Tahoori. Investigation of NBTI and PBTI induced aging in different LUT implementations. In *Field-Programmable Technology (FPT), 2011 International Conference on*, pages 1–8. IEEE, 2011.
- [19] Tao Pi and Patrick J Crotty. FPGA lookup table with transmission gate structure for reliable low-voltage operation, December 23 2003. US Patent 6,667,635.
- [20] M Alam, K Kang, BC Paul, and K Roy. Reliability-and process-variation aware design of vlsi circuits. In *2007 14th International Symposium on the Physical and Failure Analysis of Integrated Circuits*. IEEE, 2007.
- [21] Siddarth Krishnan, Vijay Narayanan, Eduard Cartier, Dimitris Ioannou, Kai Zhao, Takashi Ando, Unoh Kwon, Barry Linder, James Stathis, Michael Chudzik, et al. Bias temperature instability in High- κ /metal gate transistors-Gate stack scaling trends. In *Reliability Physics Symposium (IRPS), 2012 IEEE International*, pages 5A–1. IEEE, 2012.
- [22] Sarvesh Bhardwaj, Wenping Wang, Rakesh Vattikonda, Yu Cao, and Sarma Vrudhula. Predictive modeling of the NBTI effect for reliable design. In *Custom Integrated Circuits Conference, 2006. CICC'06. IEEE*, pages 189–192. IEEE, 2006.
- [23] Kyung Ki Kim, Wei Wang, and Ken Choi. On-chip aging sensor circuits for reliable nano-meter MOSFET digital circuits. *Circuits and Systems II : Express Briefs, IEEE Transactions on*, 57(10) :798–802, 2010.
- [24] Tibor Grasser and Ben Kaczer. Evidence that two tightly coupled mechanisms are responsible for negative bias temperature instability in oxynitride MOSFETs. *Electron Devices, IEEE Transactions on*, 56(5) :1056–1062, 2009.
- [25] H Aono, E Murakami, K Okuyama, A Nishida, M Minami, Y Ooji, and K Kubota. Modeling of NBTI degradation and its impact on electric field dependence of the lifetime. In *Reliability Physics Symposium Proceedings, 2004. 42nd Annual. 2004 IEEE International*, pages 23–27. IEEE, 2004.
- [26] Srimi Chakravarthi, AT Krishnan, Vijay Reddy, CF Machala, and Sridhar Krishnan. A comprehensive framework for predictive modeling of negative bias temperature instability. In *Reliability Physics Symposium Proceedings, 2004. 42nd Annual. 2004 IEEE International*, pages 273–282. IEEE, 2004.
- [27] Wenping Wang, Shengqi Yang, Sarvesh Bhardwaj, Sarma Vrudhula, Frank Liu, and Yu Cao. The impact of NBTI effect on combinational circuit : modeling, simulation, and analysis. *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, 18(2) :173–183, 2010.
- [28] Sufi Zafar, Arvind Kumar, Evgeni Gusev, and E Cartier. Threshold voltage instabilities in high- κ gate dielectric stacks. *Device and Materials Reliability, IEEE Transactions on*, 5(1) :45–64, 2005.
- [29] S Zafar, YH Kim, V Narayanan, C Cabral Jr, V Paruchuri, B Doris, J Stathis, A Callegari, and M Chudzik. A comparative study of NBTI and PBTI (charge trapping) in SiO₂/HfO₂ stacks with FUSI, TiN, Re gates. In *VLSI Technology, 2006. Digest of Technical Papers. 2006 Symposium on*, pages 23–25. IEEE, 2006.

- [30] Tony Tae-Hyoung Kim and Zhi Hui Kong. Impact analysis of NBTI/PBTI on sram V min and design techniques for improved sram V min. *JSTS : Journal of Semiconductor Technology and Science*, 13(2) :87–97, 2013.
- [31] Chenming Hu, Simon C Tam, Fu-Chieh Hsu, Ping-Keung Ko, Tung-Yi Chan, and Kyle W Terrill. Hot-electron-induced MOSFET degradation—Model, monitor, and improvement. *Electron Devices, IEEE Transactions on*, 32(2) :375–385, 1985.
- [32] A Bravaix, D Goguenheim, N Revil, E Vincent, M Varrot, and P Mortini. Analysis of high temperature effects on performances and hot-carrier degradation in DC/AC stressed 0.35 μm n-MOSFETs. *Microelectronics Reliability*, 39(1) :35–44, 1999.
- [33] Guido Groeseneken, Robin Degraeve, Tanya Nigam, HE Maes, et al. Hot carrier degradation and time-dependent dielectric breakdown in oxides. *Microelectronic Engineering*, 49(1) :27–40, 1999.
- [34] Xiaojun Li, Jin Qin, and Joseph B Bernstein. Compact modeling of MOSFET wearout mechanisms for circuit-reliability simulation. *Device and Materials Reliability, IEEE Transactions on*, 8(1) :98–121, 2008.
- [35] Nam Hwang and Leonard Forbes. Hot-carrier induced series resistance enhancement model (HISREM) of nMOSFET's for circuit simulations and reliability projections. *Microelectronics Reliability*, 35(2) :225–239, 1995.
- [36] W-J Hsu, Bing J Sheu, Sudhir M Gowda, and C-G Hwang. Advanced integrated-circuit reliability simulation including dynamic stress effects. *IEEE journal of solid-state circuits*, 27(3) :247–257, 1992.
- [37] JEDEC Solid State Technology Association et al. Failure mechanisms and models for semiconductor devices. *JEDEC Publication JEP122-B*, 2003.
- [38] Anand T Krishnan and Paul E Nicollian. Analytic extension of the cell-based oxide breakdown model to full percolation and its implications. In *2007 IEEE International Reliability Physics Symposium Proceedings. 45th Annual*, 2007.
- [39] PJ Clarke, AK Ray, and CA Hogarth. Electromigration—a tutorial introduction†. *International Journal of Electronics Theoretical and Experimental*, 69(3) :333–338, 1990.
- [40] James R Black. Electromigration failure modes in aluminum metallization for semiconductor devices. *Proceedings of the IEEE*, 57(9) :1587–1594, 1969.
- [41] Predictive technology model (PTM). [available online], <http://ptm.asu.edu>. 2006.
- [42] Suresh Srinivasan, Prasanth Mangalagiri, Yuan Xie, Narayanan Vijaykrishnan, and Karthik Sarpatwari. FLAW : FPGA lifetime awareness. In *Proceedings of the 43rd annual Design Automation Conference*, pages 630–635. ACM, 2006.
- [43] Yuh-Sheng Jean and Ching-Yuan Wu. The threshold-voltage model of MOSFET devices with localized interface charge. *IEEE Transactions on Electron Devices*, 44(3) :441–447, 1997.

- [44] Suresh Srinivasan, Ramakrishnan Krishnan, Prasanth Mangalagiri, Yuan Xie, Vijaykrishnan Narayanan, Mary Jane Irwin, and Karthik Sarpatwari. Toward increasing FPGA lifetime. *Dependable and Secure Computing, IEEE Transactions on*, 5(2) :115–127, 2008.
- [45] Abdulazim Amouri, Saman Kiamehr, and Mehdi Tahoori. Investigation of aging effects in different implementations and structures of programmable routing resources of FPGAs. In *Field-Programmable Technology (FPT), 2012 International Conference on*, pages 215–219. IEEE, 2012.
- [46] Predictive technology model (PTM). [available online], <http://ptm.asu.edu>. 2009.
- [47] Parthasarathy Rao, Abdulazim Amouri, Saman Kiamehr, and Mehdi B Tahoori. Altering lut configuration for wear-out mitigation of FPGA-mapped designs. In *Field Programmable Logic and Applications (FPL), 2013 23rd International Conference on*, pages 1–8. IEEE, 2013.
- [48] Wei Zhao and Yu Cao. New generation of predictive technology model for sub-45 nm early design exploration. *Electron Devices, IEEE Transactions on*, 53(11) :2816–2823, 2006.
- [49] Yasuo Sato, Masafumi Monden, Yousuke Miyake, and Seiji Kajihara. Reduction of NBTI-Induced Degradation on Ring Oscillators in FPGA. In *Dependable Computing (PRDC), 2014 IEEE 20th Pacific Rim International Symposium on*, pages 59–67. IEEE, 2014.
- [50] Fernanda Gusmao de Lima Kastensmidt, Gustavo Neuberger, Renato Fernandes Hentschke, Luigi Carro, and Ricardo Reis. Designing fault-tolerant techniques for SRAM-based FPGAs. *IEEE Design & Test of Computers*, (6) :552–562, 2004.
- [51] Edward A Stott, Justin SJ Wong, Pete Sedcole, and Peter YK Cheung. Degradation in FPGAs : measurement and modelling. In *Proceedings of the 18th annual ACM/SIGDA international symposium on Field programmable gate arrays*, pages 229–238. ACM, 2010.
- [52] Justin SJ Wong, Pete Sedcole, and Peter YK Cheung. A transition probability based delay measurement method for arbitrary circuits on FPGAs. In *ICECE Technology, 2008. FPT 2008. International Conference on*, pages 105–112. IEEE, 2008.
- [53] Edward Stott, Justin SJ Wong, and Peter YK Cheung. Degradation analysis and mitigation in FPGAs. In *Field Programmable Logic and Applications (FPL), 2010 International Conference on*, pages 428–433. IEEE, 2010.
- [54] Abdulazim Amouri, Florent Bruguier, Saman Kiamehr, Pascal Benoit, Lionel Torres, and Mehdi Tahoori. Aging effects in FPGAs : an experimental analysis. In *Field Programmable Logic and Applications (FPL), 2014 24th International Conference on*, pages 1–4. IEEE, 2014.
- [55] Xilinx. Product Specification. *Spartan-6 Family Overview*, October 2011.
- [56] Ananda Maiti and Patrick Schaumont. The impact of aging on a physical unclonable function. *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, 22(9) :1854–1864, 2014.

- [57] Abhranil Maiti, Logan McDougall, and Patrick Schaumont. The impact of aging on an fpga-based physical unclonable function. In *Field Programmable Logic and Applications (FPL), 2011 International Conference on*, pages 151–156. IEEE, 2011.
- [58] Michitarou Yabuuchi and Kazutoshi Kobayashi. NBTI-Induced Delay Degradation Analysis of FPGA Routing Structures. *IPSI Transactions on System LSI Design Methodology*, 5(0) :143–149, 2012.
- [59] ADVANSAT. BV93000 SoC / Smart Scale [available online]. www.advantest.com.
- [60] Florent Bruguier, Pascal Benoit, Philippe Maurine, and Lionel Torres. A new process characterization method for fpgas based on electromagnetic analysis. In *Field Programmable Logic and Applications (FPL), 2011 International Conference on*, pages 20–23. IEEE, 2011.
- [61] Pete Sedcole and Peter YK Cheung. Within-die delay variability in 90nm FPGAs and beyond. In *2006 IEEE International Conference on Field Programmable Technology*, pages 97–104. IEEE, 2006.
- [62] Justin SJ Wong, Pete Sedcole, and Peter YK Cheung. Self-characterization of combinatorial circuit delays in FPGAs. In *Field-Programmable Technology, 2007. ICFPT 2007. International Conference on*, pages 17–23. IEEE, 2007.
- [63] Altera corporation. Achieving Low Power in 65-nm Cyclone III FPGAs in White Paper [available online]. https://www.altera.com/en_US/pdfs/literature/wp/wp-01016.pdf, April 2007.
- [64] Arduino Due Board. [Available Online] <https://www.arduino.cc/en/Main/ArduinoBoardDue>.
- [65] Altera corporation. Cyclone III Device Handbook, Volume 2 [available online]. https://www.altera.com/en_US/pdfs/literature/hb/cyc3/cyc3_ciii5v2.pdf, July 2012.
- [66] M Naouss and F Marc. Design and implementation of a low cost test bench to assess the reliability of FPGA. *Microelectronics Reliability*, 55(9) :1341–1345, 2015.
- [67] JEDEC Solid State Technology Association et al. Failure mechanisms and models for semiconductor devices. *JEDEC Publication JEP122-E*, 2012.
- [68] JR Lloyd, E Liniger, and TM Shaw. Simple model for time-dependent dielectric breakdown in inter-and intra-level low-k dielectrics. *Journal of applied physics*, 98(8) :084109, 2005.
- [69] Esteve Amat, Thomas Kauerauf, Robin Degraeve, An De Keersgieter, Rosana Rodriguez, Montserrat Nafria, Xavier Aymerich, and Guido Groeseneken. Channel Hot-Carrier Degradation in Short-Channel Transistors With High-/Metal Gate Stacks. *IEEE Transactions on Device and Materials Reliability*, 9(3) :425–430, 2009.
- [70] Moonju Cho, Marc Aoulaiche, Robin Degraeve, Ben Kaczer, Jacopo Franco, Thomas Kauerauf, Philippe Roussel, Lars Å Ragnarsson, Joshua Tseng, Thomas Y Hoffmann, et al. Positive and negative bias temperature instability on sub-nanometer EOT high-K MOSFETs. In *Reliability Physics Symposium (IRPS), 2010 IEEE International*, pages 1095–1098. IEEE, 2010.

- [71] John Keane, Tae-hyoung Kim, Xiaofei Wang, and Chris H Kim. On-chip reliability monitors for measuring circuit degradation. *Microelectronics Reliability*, 50(8) :1039–1053, 2010.
- [72] Mohammad Naouss and François Marc. Modelling delay degradation due to NBTI in FPGA Look-Up Tables. In *the 26th International Conference on Field Programmable Logic and Applications (FPL)*. IEEE, 2016.
- [73] Mohammad Naouss and François Marc. FPGA LUT delay degradation due to HCI : Experiment and simulation results. In *the 27th European Symposium Reliability of Electron Devices, Failure Physics and Analysis (ESREF)*, 2016.
- [74] Neil HE Weste and Kamran Eshraghian. *Principles of CMOS VLSI design*, volume 2. Addison-Wesley Reading, MA, 1993.
- [75] Rakesh Vattikonda, Wenping Wang, and Yu Cao. Modeling and minimization of PMOS NBTI effect for robust nanometer design. In *Proceedings of the 43rd annual Design Automation Conference*, pages 1047–1052. ACM, 2006.
- [76] Olivier Heron, Clement Bertolini, Chiara Sandionigi, Nicolas Ventroux, and Francois Marc. On the Simulation of HCI-Induced Variations of IC Timings at High Level. *Journal of Electronic Testing*, 29(2) :127–141, 2013.

Abréviations

ADC	Analogue to digital converter
ASIC	Application-specific integrated circuit
BTI	Bias Temperature Instability
CLB	Configurable logic block
CUT	Circuit Under Test
DFT	Design For Test
DSM	Deep SubMicron
DUT	Device Under Test
EDC	Error Detection Circuit
FPGA	Field-programmable gate array
HCI	Hot Carrier Injection
HF	High Frequency
IC	Integrated Circuit
ITRS	International Technology Roadmap for Semiconductors
LAB	Logic Array Block
LE	Logic Element
LF	Low Frequency
LUT	Look-Up Tables
MF	Moderate Frequency
MOS	Metal–Oxide–Semiconductor
MUX	Multiplexer
NBTI	Negative Bias Temperature Instability
OTP	One Time Programmable

PBTI	Positive Bias Temperature Instability
PC	Personal Computer
PCB	Printed Circuit Board
PLL	Phase Locked Loop
PT	Pass Transistor
PTM	Predictive Technology Model
PUF	Physical Unclonable Function
QFP	Quad Flat Package
RO	Ring Oscillator
SMS	Smart Monitoring System
SP	Signal Probability
SPI	Serial Peripheral Interface
SRAM	Static Random Access Memory
TDDDB	Time Dependent Dielectric Breakdown
TG	Transmission Gate
UART	Universal Asynchronous Receiver Transmitter
USB	Universal Serial Bus
VLSI	Very-Large-Scale Integration
XDL	Xilinx Development Language

Titre : Conception et exploitation d'un banc d'auto-caractérisation pour la prévision de la fiabilité des circuits numériques programmables

Résumé : Les circuits logiques programmables (FPGA) bénéficient des technologies les plus avancées de nœuds CMOS, afin de répondre aux demandes croissantes de haute performance et de faible puissance des circuits intégrés numériques. Cela les rend sensibles aux différents mécanismes de dégradations à l'échelle nanométrique. Dans cette thèse, nous nous concentrons sur le vieillissement des tables de correspondances (LUT) sur FPGA. L'utilisation de la dernière technologie d'échelle réduite et la flexibilité de l'architecture du FPGA, permettent de développer un nouveau banc de test à faible coût pour évaluer la fiabilité en fonction de conditions d'utilisations. Ce banc de test peut être implémenté sur plusieurs véhicules de tests et suivis en temps réel par un logiciel de surveillance développé pendant cette thèse. Nous avons caractérisé la dégradation de temps de propagation de la LUT en fonction du rapport cyclique et la fréquence des vecteurs de stress. Nous avons identifié également que le rapport cyclique affecte fortement le temps en descente et modérément le temps en montée de la LUT en raison du mécanisme de vieillissement NBTI, tandis que HCI affecte à la fois les deux temps de propagation. En outre, deux modèles semi-empiriques de la dégradation du temps de propagation de la LUT en raison de NBTI et HCI sont proposés dans ce travail. D'autre part, nous avons analysé l'influence de la tension de seuil et la mobilité du transistor sur la dégradation de temps de propagation de la LUT en utilisant le modèle de simulation du transistor. Enfin, un modèle de dégradation de la LUT prenant en compte l'architecture supposée de la LUT est proposé. Ce travail est idéal pour modéliser la dégradation des FPGA au niveau des portes.

Mots-clés : Fiabilité, NBTI, HCI, CMOS, FPGA, Simulation, Modélisation, VLSI, Transistor, Vieillissement, Caractérisation

Title : Design and operation of an auto-characterization test bench for predicting the reliability of programmable digital circuits.

Abstract : Field-Programmable Gate Arrays (FPGAs) benefit from the most advanced CMOS technology nodes, in order to meet the increasing demands of high performance and low power digital integrated circuits. This makes them sensible to various aging mechanisms at nano-scale. In this thesis we focus on aging degradation of the Look-Up Table (LUT) on FPGAs. Benefits from the latest downscaling technology and the flexibility of the FPGAs architecture, allow to develop a new low cost test bench to assess reliability depending on the operation condition. This test bench can be implemented on up to 32 FPGAs and monitored in real time by a supervisory software we developed in this work. We have characterized the delay degradation of LUT depending on the duty cycle and the frequency of stress vectors. We have identified also that the duty cycle affects strongly the fall and moderately the rise delay of LUT due to the NBTI aging mechanism, while HCI affects both delays. Furthermore, two semiempirical models of the degradation of LUT timing due to NBTI and HCI are proposed in this work. Moreover, we analyzed the influence of threshold voltage and the mobility of transistor on the timing degradation of LUT using the simulation model of transistor. Finally a model of degradation of LUT taking into account the supposed LUT architecture has been proposed. This work is ideal to model the degradation of FPGA at gate level.

Keywords : Reliability, NBTI, HCI, CMOS, FPGA, Simulation, Modeling, VLSI, Transistor, Aging, Characterization

Unité de recherche

Laboratoire de l'Intégration du Matériau au Système, Talence, France