



HAL
open science

Contribution à l'analyse de la susceptibilité électromagnétique des composants : Caractérisation et modélisation des étages d'entrée des circuits intégrés numériques

Ibrahim Kane

► **To cite this version:**

Ibrahim Kane. Contribution à l'analyse de la susceptibilité électromagnétique des composants : Caractérisation et modélisation des étages d'entrée des circuits intégrés numériques. Traitement du signal et de l'image [eess.SP]. Université de Limoges, 2016. Français. NNT : 2016LIMO0119 . tel-01445737

HAL Id: tel-01445737

<https://theses.hal.science/tel-01445737v1>

Submitted on 25 Jan 2017

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université de Limoges

**École Doctorale Sciences et Ingénierie pour l'Information,
Mathématiques (ED 521)**

XLIM

Thèse pour obtenir le grade de
Docteur de l'Université de Limoges
Électronique des Hautes Fréquences, Photonique et Systèmes

Présentée et soutenue par
IBRAHIM KANE

Le 21 décembre 2016

**Contribution à l'analyse de la susceptibilité électromagnétique des
composants : Caractérisation et modélisation des étages d'entrée
des circuits intégrés numériques**

Thèse dirigée par Alain REINEIX et François TORRÈS

JURY :

Président du jury

M. Bruno BARELAUD, Professeur, XLIM, Université de Limoges

Rapporteurs

Mme Geneviève DUCHAMP, Professeur, IMS, Université de Bordeaux

M. Fabien NDAGIJIMANA, Professeur, IMEP-LAHC, Université Grenoble-Alpes

Examineurs

M. Patrick HOFFMANN, Ingénieur, CEA/DAM Gramat

M. Alain REINEIX, Directeur de Recherche, XLIM, Université de Limoges

M. François TORRÈS, Chargé de Recherche, XLIM, Université de Limoges



A la mémoire de ma grand-mère : Mariam,

A la mémoire de mes oncles : Mamadou et Omar,

A ma famille,

Remerciements

Ces travaux, financés par la région Limousin, ont été réalisés au sein de l'équipe CEM et Diffraction de l'axe de recherche Systèmes RF de l'institut de recherche XLIM à l'Université de Limoges.

J'exprime mes remerciements à M. Alain Reineix, Directeur de Recherche CNRS à XLIM et directeur de cette thèse, pour m'avoir accueilli dans son équipe. Je le remercie tout particulièrement pour m'avoir proposé de postuler à ce sujet de thèse et pour la confiance qu'il a accordée à mon travail.

J'adresse mes sincères remerciements à M. Bruno Barelaud, Professeur à l'Université de Limoges, qui me fait l'honneur de présider le jury, ainsi qu'à Mme Geneviève Duchamp, Professeur à l'Université de Bordeaux et M. Fabien Ndagijimana, Professeur à l'Université Grenoble-Alpes pour avoir accepté la responsabilité de juger ce travail en qualité de rapporteurs. Enfin je voudrais remercier également M. Patrick Hoffman, ingénieur au CEA/DMA de Gramat, pour avoir accepté d'examiner ce travail et de participer à ce jury.

Je tiens à remercier particulièrement M. François Torrès, Chargé de Recherche CNRS à XLIM et co-encadrant de ma thèse, pour sa participation très active dans les travaux de recherche que nous avons menés conjointement, pour ses explications toujours pertinentes et constructives, pour avoir su m'écouter dans les périodes de doute, et enfin pour sa patience concernant les multiples corrections qu'il a apportées à ce manuscrit.

Mes remerciements vont aussi à Mlle Nadine Aymard, secrétaire de l'axe de recherche Systèmes RF, pour sa gentillesse, sa disponibilité et sa redoutable efficacité dans les tâches administratives.

Un grand merci à toutes les personnes que j'ai pu rencontrer à XLIM durant ses trois années de thèse, notamment les permanents et les non-permanents de l'équipe CEM et Diffraction et je pense particulièrement à Omar, Christophe, Guillaume, Nicolas (Mr Bui, je suis d'accord avec vous mais ...), Tareq (Mister Bish), Abdelghafour, Clovis, Ayoub, Paul, Nicolas, Jorge, Luiz, Anoumou,... Je tiens tout de même à faire une spéciale dédicace à la communauté mauritanienne de Limoges pour leur support.

Enfin je souhaite remercier mes parents et mes sœurs pour leur soutien moral et leur participation à la réussite de mon parcours d'étudiant.

SOMMAIRE

SOMMAIRE	7
Liste des Figures.....	9
Liste des Tableaux.....	12
INTRODUCTION GENERALE.....	13
1 Introduction et présentation de l'étude	15
1.1 Introduction	15
1.2 Contexte.....	16
1.3 Menace.....	18
1.4 Couplage avec les composants	20
1.5 Effets des agressions sur les composants	21
1.6 Circuits intégrés numériques	24
1.6.1 Le transistor MOSFET	25
1.6.1.1 Structure	25
1.6.1.2 Fonctionnement.....	26
1.6.2 L'inverseur CMOS	27
1.6.2.1 Comportement statique	28
1.6.2.2 Comportement dynamique.....	32
1.7 Etat de l'art sur la modélisation des effets des agressions EM sur les composants numériques.....	34
1.8 Conclusion.....	36
2 Mise en place de la plateforme d'expérimentation.....	39
2.1 Introduction	39
2.2 Circuits testés.....	40
2.3 Circuits imprimés (PCB)	42
2.4 Banc de mesure et procédure de caractérisation.....	43
2.4.1 Présentation du banc de mesure	43
2.4.2 Source de perturbation	45
2.4.3 Déconvolution simple dans le domaine temporel [50] [51].....	47
2.4.4 Déconvolution simple dans le domaine fréquentiel [52] [50] [53].....	49
2.4.5 Déconvolution temporelle par moindres carrés [51].....	51
2.4.6 Modélisation de l'amplificateur RF par un filtre passe-haut avec gain	52
2.5 Perturbations utilisées.....	53
2.6 Conclusion.....	57
3 Résultats expérimentaux	59
3.1 Introduction	59
3.2 Résultats de mesure	59
3.2.1 Liste des composants.....	59
3.2.2 Impédances d'entrée des inverseurs.....	61
3.2.2.1 Broche d'entrée des inverseurs.....	61
3.2.2.2 Broche d'alimentation des inverseurs.....	65
3.2.3 Caractéristiques de transfert des inverseurs	66
3.2.4 Comportements INBAND et OUTBAND des inverseurs.....	68
3.2.4.1 Fréquence maximale de fonctionnement	69
3.2.4.2 Comportements typiques et particuliers, et phénomènes à modéliser	72
3.3 Conclusion.....	78

4	Modélisation des composants	81
4.1	Introduction	81
4.2	Modèles existants	82
4.2.1	Le modèle IBIS (Input/Output Buffer Information Specification) [55].....	82
4.2.2	Le modèle SPICE (Simulation program with Integrated Circuit Emphasis) [56]	83
4.3	Versions préliminaires du modèle comportemental	85
4.3.1	Première version.....	85
4.3.2	Deuxième version du modèle.....	93
4.4	Version finale du modèle comportemental.....	105
4.4.1	Réduction des paramètres du modèle SPICE des transistors MOS	105
4.4.2	Homogénéisation des dimensions de transistors.....	109
4.4.3	Détermination des paramètres du modèle comportemental	124
4.5	Synthèse des résultats et des modèles.....	125
4.6	Conclusion.....	127
	CONCLUSION GENERALE	129
	Bibliographie.....	131
5	ANNEXES	137
5.1	Annexe 1 : Caractéristiques de transfert des inverseurs	137
5.2	Annexe 2 : Modèle SPICE du 74HC04 de NXP	142
5.3	Annexe 3 : Paramètres technologiques L_g et t_{ox} selon les fabricants.....	147

Liste des Figures

Figure 1-1 : Exemple de signal perturbateur en bande étroite (forme d'onde temporelle et spectre) [9]	19
Figure 1-2 : Exemple de signal perturbateur large et ultra-large bande (forme d'onde temporelle et spectre) [9]	19
Figure 1-3 : Les deux classes principales de couplage d'une agression EM [10]	21
Figure 1-4 : Chemin de couplage d'un signal perturbateur sur un système électronique [1]	21
Figure 1-5 : Effets destructifs du composant en fonction du niveau de puissance [13].	23
Figure 1-6 : Exemple de destructions sur un transistor [10].	23
Figure 1-7 : exemples de portes logiques en technologie DL, RTL et DTL	24
Figure 1-8 : Porte logique NAND en technologie TTL standard	25
Figure 1-9 : Symboles des transistors NMOS et PMOS - Structure d'un transistor NMOS [71]	26
Figure 1-10 : Caractéristique de transfert d'un transistor NMOS	27
Figure 1-11 : caractéristique de transfert d'un transistor PMOS	27
Figure 1-12 : Symbole et structure électrique d'un inverseur CMOS	28
Figure 1-13 : Structure physique d'un inverseur CMOS	28
Figure 1-14 : Caractéristiques de transfert des transistors NMOS et PMOS	29
Figure 1-15 : Caractéristique de transfert d'un inverseur CMOS ($V_{CC}=3V$)	29
Figure 1-16 : Schéma équivalent (du point de vue de la sortie) de l'inverseur avec ses éléments parasites	32
Figure 1-17 : Définition des temps de transition	33
Figure 1-18 : Définition des temps de propagation sur des signaux logiques d'entrée et de sortie d'un inverseur	34
Figure 2-1 : Les différents boîtiers des inverseurs sélectionnés	42
Figure 2-2 : Exemples de circuits imprimés (PCBs) pour des boîtiers DIP-14, TSSOP-14 et SOT-353	43
Figure 2-3 : Schéma synoptique du banc de caractérisation	44
Figure 2-4 : Circuit utilisé pour le deskew	44
Figure 2-5 : Photo du banc de caractérisation	45
Figure 2-6 : Réponse de l'amplificateur RF à une impulsion carrée	46
Figure 2-7 : Signaux d'entrée et sortie retardés utilisés pour la déconvolution temporelle	48
Figure 2-8 : Réponse impulsionnelle obtenue par déconvolution temporelle	48
Figure 2-9 : Module du spectre des signaux d'entrée et de sortie	49
Figure 2-10 : Module de la fonction de transfert de l'amplificateur RF estimée dans le domaine fréquentiel	49
Figure 2-11 : Module de la fonction de transfert filtrée de l'amplificateur RF	50
Figure 2-12 : Fonction de transfert de l'amplificateur RF (S21)	51
Figure 2-13 : Comparaison des réponses de l'amplificateur RF et du filtre passe haut	52
Figure 2-14 : Modèle de l'amplificateur RF par filtre passe haut avec du gain	53
Figure 2-15 : Signaux d'entrée et de sortie du filtre passe-haut avec pré-correction	53
Figure 2-16 : Signal perturbateur N° 1 (Sinusoïde modulée par une impulsion)	54
Figure 2-17 : Influence de la fréquence sur le point de basculement	55
Figure 2-18 : Signal perturbateur N° 2 : variation de l'amplitude crête	56
Figure 2-19 : Signal perturbateur N° 3 : variation du niveau "bas"	56
Figure 2-20 : Signal perturbateur N° 4	57
Figure 3-1 : Comparaison entre les modules de Ze (broche d'entrée) du CD74HC04E en fonction de l'alimentation	61
Figure 3-2 : Comparaison entre les modules de Ze (broche d'entrée) du CD74HC04E en fonction des configurations d'alimentation	62
Figure 3-3 : Partie représentant les effets du boîtier du modèle IBIS d'une entrée	63
Figure 3-4 : Comparaison de Ze entre mesure et simulation (Module)	63
Figure 3-5 : Comparaison entre les Ze (broche d'entrée) du fabricant NXP pour différentes familles technologiques	64
Figure 3-6 : Comparaison entre les Ze de la broche d'entrée de la famille AHC pour différents fabricants	64
Figure 3-7 : Ze (broche d'alimentation) d'un inverseur de famille HC, conçu par TEXAS et en boîtier DIP	65
Figure 3-8 : Ze (broche d'alimentation) de l'inverseur défectueux de famille AHC, conçu par ST en boîtier SOT	65
Figure 3-9 : Types de signaux d'entrée et de sortie pour le calcul du VTC de l'inverseur	66
Figure 3-10 : Comparaison des VTC de la famille HC (Tension d'alimentation $V_{CC} = 3V$)	67
Figure 3-11 : Comparaison des VTC de circuits TEXAS INSTRUMENTS ($V_{CC} = 3V$)	67
Figure 3-12 : VTC de la famille HC à la fréquence du signal d'entrée de 100kHz ($V_{CC}=3V$)	68

Liste des Figures

Figure 3-13 : Signaux d'entrée et sortie de l'inverseur CD74HC04E à la fréquence de 80MHz.....	69
Figure 3-14 : Réponses des inverseurs de la famille HC à la fréquence de 170MHz	71
Figure 3-15 : Signal perturbateur n°2 (variation du niveau haut)	72
Figure 3-16 : Signal perturbateur n°3 (variation du niveau bas).....	73
Figure 3-17 : Signal perturbateur n°4 (modulation d'amplitude niveau haut).....	73
Figure 3-18 : Comportement classique d'un inverseur face au signal perturbateur N°3 à la fréquence de 60MHz	74
Figure 3-19 : Comportement classique d'un inverseur face au signal perturbateur N°3 à la fréquence de 170MHz	74
Figure 3-20 : Comportement de l'inverseur 74HC04N face au signal perturbateur N°3 à 100MHz.....	75
Figure 3-21 : Comportement de l'inverseur 74HC04N face au signal perturbateur N°3 à 100MHz (suite).....	75
Figure 3-22 : Comportement typique d'un inverseur face au signal perturbateur N°4 (INBAND).....	76
Figure 3-23 : Comportement typique d'un inverseur face au signal perturbateur N°4 (alentours de Fmax).....	76
Figure 3-24 : Comportement typique d'un inverseur face au signal perturbateur N°4 (OUTBAND).....	77
Figure 3-25 : Comportement de l'inverseur CD74AC04E face au signal perturbateur N°1 à 270MHz.....	77
Figure 3-26 : Effets des variations brusques sur la réponse de l'inverseur.....	78
Figure 4-1 : Structure du modèle IBIS d'une entrée.....	83
Figure 4-2 : Modèle SPICE d'inverseur CMOS de la famille HC de NXP® (74HC04).....	84
Figure 4-3 : Structure de l'étage de sortie du modèle SPICE de NXP® (74HC04).....	84
Figure 4-4 : Réponses du modèle d'inverseurs HC pour différents boîtiers et aux fréquences de 60MHz	86
Figure 4-5 : Réponses du modèle d'inverseurs HC pour différents boîtiers et aux fréquences de 1.5GHz.....	86
Figure 4-6 : Réponses du modèle d'inverseurs HC pour différents boîtiers et aux fréquences de 2GHz.....	87
Figure 4-7 : Réponses du modèle d'inverseurs HC pour différents boîtiers et aux fréquences de 4GHz.....	87
Figure 4-8 : Schéma de simulation pour la mesure de la tension de sortie des différents étages	88
Figure 4-9 : Réponses à la sortie des différents étages de l'inverseur CMOS à 100MHz	88
Figure 4-10 : Réponses à la sortie des différents étages de l'inverseur CMOS à 200MHz	88
Figure 4-11 : Réponses à la sortie des différents étages de l'inverseur CMOS à 300MHz	89
Figure 4-12 : Réponses à la sortie des différents étages de l'inverseur CMOS à 350MHz	89
Figure 4-13 : Réponses à la sortie des différents étages de l'inverseur CMOS à 400MHz	89
Figure 4-14 : Réponses à la sortie des différents étages de l'inverseur CMOS à 500MHz	90
Figure 4-15 : Réponses à la sortie des différents étages de l'inverseur CMOS à 1GHz.....	90
Figure 4-16 : Comparaison entre mesure et simulations à la fréquence de 60MHz (famille HC)	91
Figure 4-17 : comparaison entre mesure et simulations à la fréquence de 90MHz.....	91
Figure 4-18 : comparaison entre mesure et simulations à la fréquence de 100MHz.....	92
Figure 4-19 : comparaison entre mesure et simulations à la fréquence de 170MHz.....	92
Figure 4-20 : comparaison entre mesure et simulations à la fréquence de 1GHz	92
Figure 4-21 : Comparaison de modèles sans protections ESD et sans boîtier à 100MHz.....	93
Figure 4-22 : Comparaison de modèles sans protections ESD et sans boîtier à 200MHz.....	93
Figure 4-23 : Comparaison de modèles sans protections ESD et sans boîtier à 300MHz.....	94
Figure 4-24 : Comparaison de modèles sans protections ESD et sans boîtier à 350MHz.....	94
Figure 4-25 : Comparaison de modèles sans protections ESD et sans boîtier à 500MHz.....	94
Figure 4-26 : Comparaison de modèles sans protections ESD et sans boîtier à 1GHz	95
Figure 4-27 : Comparaison de modèles sans protections ESD et sans boîtier à 2GHz	95
Figure 4-28 : Comparaison de modèles sans protections ESD et sans boîtier à 4GHz	95
Figure 4-29 : Réponses du premier étage de l'inverseur CMOS à la fréquence de 100MHz	96
Figure 4-30 : Réponses du premier étage de l'inverseur CMOS à la fréquence de 200MHz	96
Figure 4-31 : Réponses du premier étage de l'inverseur CMOS à la fréquence de 250MHz	97
Figure 4-32 : Réponses du premier étage de l'inverseur CMOS à la fréquence de 300MHz	97
Figure 4-33 : Réponses du premier étage de l'inverseur CMOS à la fréquence de 350MHz	97
Figure 4-34 : Réponses du premier étage de l'inverseur CMOS à la fréquence de 400MHz	98
Figure 4-35 : Réponses du premier étage de l'inverseur CMOS à la fréquence de 500MHz	98
Figure 4-36 : Réponses du premier étage de l'inverseur CMOS à la fréquence de 1GHz.....	98
Figure 4-37 : Schéma du filtre passe-bas RC	99
Figure 4-38 : Réponse du filtre Passe-bas à la fréquence de 100MHz.....	99
Figure 4-39 : Réponse du filtre Passe-bas à la fréquence de 400MHz.....	99
Figure 4-40 : Réponse du filtre Passe-bas à la fréquence de 1GHz	100

Figure 4-41 : Symbole et structure de la macro de Switch RC	101
Figure 4-42 : Seconde version du modèle comportemental d'un inverseur CMOS	102
Figure 4-43 : comparaison entre mesure et simulations à la fréquence de 60MHz.....	103
Figure 4-44 : comparaison entre mesure et simulations à la fréquence de 80MHz.....	103
Figure 4-45 : comparaison entre mesure et simulations à la fréquence de 90MHz.....	103
Figure 4-46 : comparaison entre mesure et simulations à la fréquence de 100MHz.....	104
Figure 4-47 : comparaison entre mesure et simulations à la fréquence de 170MHz.....	104
Figure 4-48 : comparaison entre mesure et simulations à la fréquence de 1GHz	104
Figure 4-49 : Modèle de l'étage d'entrée suivi d'une macro Trigger de Schmitt	105
Figure 4-50 : Mesure vs simulation à 60MHz pour le signal perturbateur N°1 (74HC04 de TI).....	111
Figure 4-51 : Mesure vs simulation à 80MHz pour le signal perturbateur N°1 (74HC04 de TI).....	111
Figure 4-52 : Mesure vs simulation à 90MHz pour le signal perturbateur N°1 (74HC04 de TI).....	112
Figure 4-53 : Mesure vs simulation à 100MHz pour le signal perturbateur N°1 (74HC04 de TI).....	112
Figure 4-54 : Mesure vs simulation à 170MHz pour le signal perturbateur N°1 (74HC04 de TI).....	112
Figure 4-55 : Mesure vs simulation à 1GHz pour le signal perturbateur N°1 (74HC04 de TI)	113
Figure 4-56 : Mesure vs simulation pour le signal perturbateur N°3 à 60MHz (74HC04 de TI).....	113
Figure 4-57 : Mesure vs simulation pour le signal perturbateur N°3 à 80MHz (74HC04 de TI).....	113
Figure 4-58 : Mesure vs simulation pour le signal perturbateur N°3 à 90MHz (74HC04 de TI).....	114
Figure 4-59 : Mesure vs simulation pour le signal perturbateur N°3 à 100MHz (74HC04 de TI).....	114
Figure 4-60 : Mesure vs simulation pour le signal perturbateur N°3 à 125MHz (74HC04 de TI).....	114
Figure 4-61 : Mesure vs simulation pour le signal perturbateur N°3 à 400MHz (74HC04 de TI).....	115
Figure 4-62 : Mesure vs simulation pour le signal perturbateur N°4 à 400MHz modulé à 2MHz (74HC04 de TI)	115
Figure 4-63 : Mesure vs simulation pour le signal perturbateur N°4 à 320MHz modulé à 4MHz (74HC04 de TI)	115
Figure 4-64 : Mesure vs simulation pour le signal perturbateur N°4 à 125MHz modulé à 4MHz (74HC04 de TI)	116
Figure 4-65 : Mesure vs simulation pour le signal N°4 à 62.5MHz modulé à 2MHz (74HC04 de TI)	116
Figure 4-66 : Mesure vs simulation pour le signal N°4 à 31.25MHz modulé à 2MHz (74HC04 / TI).....	116
Figure 4-67 : Mesure vs simulation à 100MHz pour le signal perturbateur N°1 (74AC04 de TI).....	117
Figure 4-68 : Mesure vs simulation à 190MHz pour le signal perturbateur N°1 (74AC04 de TI).....	117
Figure 4-69 : Mesure vs simulation à 270MHz pour le signal perturbateur N°1 (74AC04 de TI).....	118
Figure 4-70 : Mesure vs simulation à 320MHz pour le signal perturbateur N°1 (74AC04 de TI).....	118
Figure 4-71 : Mesure vs simulation à 1GHz pour le signal perturbateur N°1 (74AC04 de TI)	118
Figure 4-72 : Mesure vs simulation pour le signal perturbateur N°3 à 60MHz (74AC04 de TI).....	119
Figure 4-73 : Mesure vs simulation pour le signal perturbateur N°3 à 60MHz (suite) (74AC04 / TI).....	119
Figure 4-74 : Mesure vs simulation pour le signal perturbateur N°3 à 170MHz (74AC04 de TI).....	119
Figure 4-75 : Mesure vs simulation pour le signal perturbateur N°3 à 270MHz (74AC04 de TI).....	120
Figure 4-76 : Mesure vs simulation pour le signal perturbateur N°3 à 400MHz (74AC04 de TI).....	120
Figure 4-77 : Mesure vs simulation pour le signal perturbateur N°1 à 60MHz (74HC04 de NXP)	121
Figure 4-78 : Mesure vs simulation pour le signal perturbateur N°1 à 80MHz (74HC04 de NXP)	121
Figure 4-79 : Mesure vs simulation pour le signal perturbateur N°1 à 90MHz (74HC04 de NXP)	121
Figure 4-80 : Mesure vs simulation pour le signal perturbateur N°1 à 170MHz (74HC04 de NXP)	122
Figure 4-81 : Mesure vs simulation pour le signal perturbateur N°1 à 1GHz (74HC04 de NXP).....	122
Figure 4-82 : Mesure vs simulation pour le signal perturbateur N°3 à 60MHz (74HC04 de NXP)	122
Figure 4-83 : Mesure vs simulation pour le signal perturbateur N°3 à 90MHz (74HC04 de NXP)	123
Figure 4-84 : Mesure vs simulation pour le signal N°3 à 90MHz (suite) (74HC04 de NXP).....	123
Figure 4-85 : Mesure vs simulation pour le signal perturbateur N°3 à 160MHz (74HC04 de NXP)	123
Figure 4-86 : Mesure vs simulation pour le signal perturbateur N°3 à 500MHz (74HC04 de NXP)	124

Liste des Tableaux

Tableau 1-1 : Évolution attendue des différents paramètres technologiques selon l'ITRS [7]	17
Tableau 1-2 : Classification des IEMI en fonction de la bande passante.....	18
Tableau 2-1 : Spécifications de l'AWG 801	45
Tableau 2-2 : Spécifications de l'ampli RF	45
Tableau 3-1: Liste des différents inverseurs à caractériser	60
Tableau 3-2 : Fréquence maximale de fonctionnement des inverseurs	70
Tableau 3-3 : Etat définitif des inverseurs dans la zone OUTBAND	72
Tableau 4-1: Tableau récapitulatif des valeurs de paramètres de différentes familles technologiques.....	110
Tableau 4-2: Synthèse des résultats et des modèles.....	126

INTRODUCTION GENERALE

L'évolution de la technologie des semi-conducteurs a mené à la miniaturisation des transistors dans le but d'augmenter la densité d'intégration ainsi que la rapidité, tout en réduisant la puissance dissipée. Bien que ces améliorations soient économiquement intéressantes, elles rendent cependant les circuits intégrés de plus en plus vulnérable aux agressions électromagnétiques, qu'elles soient intentionnelles ou non. Le but de cette étude d'évaluer l'impact de ces perturbations nocives sur des composants numériques. Plus particulièrement, les étages d'entrée de ces composants numériques sont les premiers à être touchés par ces perturbations et leur comportement influera sur le statut final du circuit face à ces agressions. Ainsi, la présente étude propose de développer un modèle comportemental générique des étages d'entrée de ces composants numériques.

Cette étude fait suite à une thèse [1] sur la caractérisation et la modélisation des éléments de protection des circuits numériques. Durant cette thèse, des modèles de ces circuits de protection ont été extraites à partir de résultats expérimentaux. La présente étude s'inscrit dans la continuité de ces travaux, et s'intéresse aux éléments en aval de ces circuits de protection, à savoir les étages d'entrée de ces composants numériques.

Dans le premier chapitre, nous introduirons notre étude en définissant d'abord le contexte dans lequel elle s'inscrit. Nous y expliciterons les différents types d'agressions électromagnétiques intentionnelles ou non, capables de perturber les circuits intégrés. Nous discuterons ensuite de l'influence de la miniaturisation des composants et son effet sur la susceptibilité électromagnétique, et nous expliciterons la menace à la quelle sont soumis les circuits intégrés en classifiant les sources de perturbations intentionnelles et en fournissant quelques exemples de leurs formes d'onde. Puis nous nous intéresserons aux types de couplages entre ces signaux perturbateurs et les circuits intégrés avant de citer quelques effets observés lors d'une agression électromagnétique de haute puissance sur des composants numériques, exposés dans des études précédentes. Nous finirons par présenter la structure et le fonctionnement du transistor MOSFET et de l'inverseur CMOS sur lequel nous allons concentrer nos efforts. Nous clôturerons ce chapitre par un état de l'art des modélisations des effets des agressions électromagnétiques sur les composants numériques, en insistant sur les modèles de simulation qui ont pu être utilisés dans ces travaux antérieurs.

Le deuxième chapitre sera consacré à la mise en place d'une plateforme d'expérimentation avec laquelle nous évaluerons les comportements des composants sous test face aux agressions électromagnétiques. Nous commencerons par justifier le choix des composants et définir leur intégration sur des circuits imprimés. Puis les différents équipements de test seront présentés, ainsi que les problèmes qu'engendre leur association pour la génération de signaux perturbateurs. Nous proposerons également les différentes solutions adoptées et leurs résultats. Nous définirons enfin les formes d'ondes que nous utiliserons pour caractériser le comportement de ces composants, ainsi que leurs paramètres.

Nous utiliserons cette plateforme d'expérimentation dans le troisième chapitre afin d'effectuer des mesures expérimentales. Après avoir présenté la liste des divers inverseurs qui seront caractérisés, nous évaluerons dans un premier temps les impédances d'entrée des ports d'entrée et d'alimentation de quelques-uns de ces circuits et les comparerons par fabricant et par famille technologique. Ensuite, de même que pour les impédances d'entrées, nous comparerons les caractéristiques de transfert des inverseurs par fabricant et par famille

technologique. Enfin, nous nous intéresserons aux comportements de ces inverseurs face aux signaux perturbateurs définis dans le précédent chapitre. Des tableaux de comparaison entre familles technologique et fabricant, des fréquences maximales de fonctionnement et des comportements hors-bande seront donnés. Ce chapitre sera clôturé par des exemples de comportements et phénomènes atypiques dont nous devons tenir compte lors de la phase de modélisation.

Dans le dernier chapitre, un modèle comportemental des inverseurs CMOS, capable de reproduire les mesures expérimentales du chapitre précédent, sera développé. Après avoir introduit les critères de modélisation et les attentes vis-à-vis du modèle à développer, les différents types de modèles fournis par les fabricants seront présentés. A partir de ceux-ci, un choix sera effectué pour constituer la base de notre phase de modélisation. Puis les caractéristiques et les limitations de ce modèle seront explorées. Par la suite, diverses améliorations, notamment une représentation simple des étages d'entrée, seront apportées à ce modèle, et d'autres simplifications seront ajoutées afin de diminuer le nombre de paramètres nécessaires. Enfin, ce chapitre sera clôturé par une synthèse des résultats et des modèles des inverseurs CMOS classés par fabricant ou par famille technologique.

En guise de conclusion, nous récapitulerons les travaux que nous avons menés par rapport aux attentes, et nous présenterons les perspectives de cette étude.

1 Introduction et présentation de l'étude

1.1 Introduction

Un système, un équipement ou appareil est compatible, au niveau électromagnétique, avec son environnement [2] s'il :

- n'introduit pas de perturbations électromagnétiques sur les systèmes voisins :
- n'est pas susceptible au bruit ambiant de l'environnement : (susceptibilité),
- ne s'auto-perturbe pas.

Les perturbations électromagnétiques se propagent soit en mode conduit à travers les câbles, via les tensions et courants parasites qu'elles y induisent, soit par couplage direct de champs électromagnétiques au niveau des sous-systèmes. De plus, ces perturbations peuvent être de deux natures différentes. La première catégorie concerne les perturbations harmoniques (ou répétitives) générées par le fonctionnement normal des systèmes électriques et électroniques tels que les antennes de communication. Concernant ce dernier exemple, des bandes de fréquence sont allouées à chaque application ou technologie afin d'éviter des perturbations réciproques. Cependant, d'innombrables exemples de perturbations électromagnétiques ont été observés à travers le monde [3]. Un des pires cas de ces perturbations électromagnétiques harmoniques rencontrés dans le passé est celui du porte-avions américain *USS Forrestal* [4] : en 1967, lors de son décollage, un avion militaire a largué une roquette accidentellement sur le réservoir d'un autre avion, engendrant une série d'exposition et d'incendie tuant 134 officiers. Des investigations ont montré par la suite que l'accident a été causé par un RADAR du porte-avion, induisant des tensions sur le câblage des roquettes.

Quant à la seconde catégorie, elle concerne des perturbations transitoires qui ne se produisent que durant un instant bref et qui généralement se caractérisent par des impulsions d'amplitude très élevée. Cette seconde catégorie peut survenir naturellement, comme la foudre ou les décharges électrostatiques, ou de manière intentionnelle, comme les microondes de forte puissance. Dans cette étude, nous nous intéresserons plus particulièrement à ces perturbations transitoires et intentionnelles. Les objectifs recherchés par l'utilisation de ces perturbations sont multiples. D'une part, elles peuvent servir d'arme de défense afin de perturber voire détruire un système électrique nuisible (par exemple un drone survolant un site sensible). D'autre part, elles peuvent être utilisées dans un but terroriste ou criminel. La possibilité de prédire les réactions des composants face à ces agressions permettrait dans le premier cas d'élaborer des armes plus efficaces, et dans l'autre cas de dimensionner des mesures de protection adaptées.

Dans la suite de ce chapitre, nous commencerons donc par fixer plus précisément notre contexte d'étude. Nous définirons également quelques termes relatifs aux perturbations électromagnétiques. Ensuite, nous discuterons de la menace à laquelle les composants électroniques sont soumis. Nous détaillerons dans cette section les différents types de sources de perturbation électromagnétique intentionnelle ainsi que de la liaison entre ceux-ci et les composants. Puis, nous listerons quelques dysfonctionnements observés dans des études de susceptibilité électromagnétique des systèmes électriques ou électroniques. Cette section sera suivie par une étude détaillée des circuits numériques. La structure et le fonctionnement d'un transistor MOSFET et d'un inverseur CMOS sont explicités. Enfin, nous clôturerons ce chapitre par une section sur l'état de l'art des modélisations de fonctions logiques soumises à

une agression électromagnétique. Cette section s'achèvera par la présentation de nos attentes et des travaux que nous réaliserons durant cette étude.

1.2 Contexte

Depuis qu'ils existent, les circuits intégrés ont toujours été soumis à des perturbations électromagnétiques de différente nature et provenant de diverses sources. En particulier, les sources de perturbation transitoires dans lesquelles les champs électriques ou magnétiques atteignent des pics d'amplitude intenses sont regroupées sous le nom de HPEM (pour High Power Electromagnetic) [4]. Parmi ces perturbations, la foudre tient une place importante puisqu'aux alentours du point d'impact, un champ électromagnétique intense et bref est émis [5]. Tout comme les décharges électrostatiques (ESD pour ElectroStatic Discharge) [6], qui représentent également une des principales sources d'agression électromagnétique pour les circuits intégrés. La prise en compte de cette dernière est importante car sa survenue est relativement fréquente (par exemple le contact entre la main ou le corps avec un composant), et ses effets sur les circuits intégrés sont conséquents. L'incorporation totale ou partielle, jusqu'à présent, de circuits de protection contre les ESD sur toutes les broches des circuits intégrés témoigne du sérieux de la prise en compte de cette perturbation électromagnétique. Une autre source importante d'agression est le champ électromagnétique généré à la suite d'une explosion nucléaire Haute Altitude (HEMP pour High-altitude Electromagnetic Pulse) [6]. A cette liste des sources d'agressions, il est possible d'ajouter tous les signaux issus de fonctionnement normal de structures électroniques tels que les RADARS ou les signaux de télécommunications, capables d'interagir avec ceux des circuits intégrés. Il est tout de même utile même de préciser que ces dernières appartiennent aux sources de perturbation d'origine fréquentielle. Tous ces types d'interférence font partie de la catégorie de source de perturbation naturelle ou non-intentionnelle [6]. Cependant, il existe également des sources de perturbation d'origine intentionnelle. Celles-ci sont regroupées sous le terme IEMI (pour Intentional Electromagnetic Interference). La définition précise de cette source de perturbation a été fournie en 1999 lors d'un congrès CEM à Zurich : le terme IEMI désigne « *toute génération intentionnelle et malveillante d'une énergie électromagnétique, introduisant du bruit ou des signaux dans les systèmes électriques et électroniques afin de les perturber, brouiller ou détruire dans un but terroriste ou criminel* » [4]. Ces sources de perturbations ont donné lieu à des numéros spéciaux dans des revues scientifiques, et surtout à l'établissement de normes spécifiques pour les équipements et systèmes commerciaux.

L'évolution actuelle et l'omniprésence des technologies sans fil augmente mécaniquement le nombre de sources potentielles de perturbations non intentionnelles, mais rend également plus probable l'émergence de nouvelles sources de perturbations intentionnelles, et ce pour plusieurs raisons. Tout d'abord, ces innombrables équipements sans fil représentent des cibles potentielles « faciles », et le pouvoir de nuisance obtenu en les mettant hors service est considérable. Par ailleurs, l'accès relativement aisé aux technologies permettant la génération de ces perturbations augmente les risques de voir de tels dispositifs émerger. Et enfin et surtout, la sensibilité des circuits intégrés actuels et à venir est de plus en plus grande.

Cette augmentation de la susceptibilité des circuits intégrés provient pour la plus grande part de la miniaturisation de ces derniers. En effet, bien que cette miniaturisation possède les avantages liés à la vitesse, la réduction de la consommation et à la densité d'intégration, elle s'accompagne également de réduction des paramètres électriques tels que la tension

d'alimentation et les seuils de commutation (davantage d'informations sur ces paramètres seront disponibles à la fin de ce chapitre). En conséquence, les niveaux d'immunité des circuits intégrés aux bruits et aux perturbations deviennent de plus en plus faibles, et les évolutions à venir, qui tendent à encore miniaturiser les dispositifs, ne vont pas améliorer ce point. Le tableau ci-dessous, tiré d'un rapport de l'ITRS [7] de 2013 (International Technology Roadmap for Semiconductors) et proposant une feuille de route sur les tendances industrielles d'intégration des circuits, résume les évolutions attendues des principaux paramètres technologiques, lesquels seront explicités plus avant dans ce rapport.

Tableau 1-1 : Évolution attendue des différents paramètres technologiques selon l'ITRS [7]

Année de production	2015	2016	2017	2018	2019	2020
Longueur de grille (nm)	17	15,3	14	12,8	11,7	10,6
Épaisseur oxyde (nm)	0,76	0,72	0,68	0,63	0,58	0,54
Tension d'alimentation (V)	0,8	0,77	0,75	0,73	0,71	0,68

Le travail de thèse présenté dans ce mémoire concerne donc l'étude du comportement des circuits intégrés numériques, et plus particulièrement de leurs étages d'entrée, face à des perturbations intentionnelles. Le choix de cet axe d'étude a été fait en raison de trois critères principaux:

- Si les mécanismes de dysfonctionnement des composants face à des perturbations non intentionnelles naturelles ou artificielles font l'objet de très nombreuses études, les travaux portant sur les problèmes engendrés par les perturbations intentionnelles sont plus rares, et laissent encore de nombreuses zones d'ombre.
- Le domaine des circuits numérique a été préféré du fait de sa prééminence écrasante dans les dispositifs électroniques actuels : la majorité de ces équipements réalise des fonctions numériques (calcul, décodage, cryptage, communications, etc.) et ce même pour les appareils grand public.
- Les étages d'entrée de ces circuits sont les premiers à subir l'effet d'une perturbation, et la façon dont ils réagissent conditionne le traitement numérique qui sera fait derrière. Nous avons donc considéré que du point de vue de la susceptibilité, on pouvait scinder ces circuits complexes en deux parties: d'une part les étages d'entrée, qui subissent, mettent en forme et/ou absorbent les perturbations, et d'autre part le cœur logique (logic core) qui va traiter les signaux provenant des étages d'entrée. En supposant qu'il s'agisse de signaux non destinés à détruire, mais plutôt à faire dysfonctionner, les perturbations seront donc vues par le cœur logique comme des signaux logiques « normaux » et traités en tant que tels. Il est donc primordial de savoir comment les premiers étages vont réagir et générer un signal logique erroné.

Plus encore, ces étages d'entrée sont, dans leur énorme majorité, constitués de fonctions « tampon » (buffer en anglais) destinées à mettre en forme le signal d'entrée, et réalisées au moyen d'inverseurs logiques. Ces inverseurs sont une des briques de base de l'électronique numérique, aussi nous sommes nous focalisés sur ces éléments pour étudier leur comportement face à des agressions calibrées. Le but est d'en faire émerger des tendances en fonction des différentes technologies utilisées, et de créer des modèles de ces inverseurs qui soient suffisamment génériques pour être compatibles avec la majorité des technologies existantes. Ces modèles se doivent d'être différents des modèles classiques du fait qu'ils

devront pouvoir modéliser le comportement du composant à la fois dans son domaine de fonctionnement normal (In-Band), mais aussi au-delà de ce domaine (Out-Band). Et leur généralité signifie qu'avec un nombre restreint de paramètres, ces modèles devront être en mesure de représenter un large éventail de familles technologiques. De cette façon, il devrait être possible de modéliser simplement le comportement de ces étages, pour ensuite traiter leur signal de sortie au moyen des fonctions logiques internes au composant complexe.

Nous allons donc commencer par présenter les différentes perturbations intentionnelles susceptibles d'être vues par ces étages d'entrée, et nous verrons ensuite quels peuvent être les différents effets de ces perturbations sur les composants.

1.3 Menace

Les sources de perturbations intentionnelles peuvent se propager vers les circuits intégrés de manière rayonnée ou par conduction. Cependant, le rayonnement de ces types d'ondes requiert des antennes spécifiques et l'énergie électromagnétique générée décroît rapidement avec la distance parcourue. En conséquence, de grandes amplitudes sont nécessaires pour des cibles mobiles (comme par exemple dans le cas d'un drone).

Bien que leurs formes d'ondes et les amplitudes soient strictement confidentielles (on peut parler de quelques 100MW de puissance crête pour des sources bande étroite), certaines études [8] classent ces sources de perturbations intentionnelles en deux catégories fondamentales, en fonction de la bande passante du signal d'agression : la perturbation en bande étroite, où la puissance maximale est concentrée autour d'une seule fréquence et la perturbation large bande, où l'énergie électromagnétique est répartie sur différentes fréquences bien définies. [8] traite des signaux d'agressions compris entre 200MHz et 5GHz tout en rappelant que d'autres sources de perturbations en dehors de cette bande de fréquence sont également capables de causer des dysfonctionnements. La définition de ces catégories se fait en spécifiant la bande passante à -3dB. A partir de ces valeurs, le ratio de bande (b_R) est défini par :

$$b_R = \frac{f_H}{f_L}$$

Où f_H et f_L sont les limites supérieure et inférieure de la bande passante respectivement.

Le tableau suivant donne les valeurs du ratio de bande permettant de distinguer des sous-catégories des sources de perturbations.

Tableau 1-2 : Classification des IEMI en fonction de la bande passante

Type de bande	Ratio de bande (b_R)
Bande étroite ou ' <i>hypoband</i> '	$b_R < 1.01$
Bande modérée ou ' <i>mesoband</i> '	$1.01 < b_R \leq 3$
Bande Ultra modérée ou ' <i>sub-hyperband</i> '	$3 < b_R \leq 10$
Bande très large ou ' <i>hyperband</i> '	$b_R \geq 10$

La thèse [9] fournit également quelques exemples de signaux perturbateurs en bande étroite et en large bande ainsi que leurs spectres, illustrés aux figures suivantes où, pour des raisons de confidentialité, les niveaux d'amplitude des champs ne sont pas indiqués.

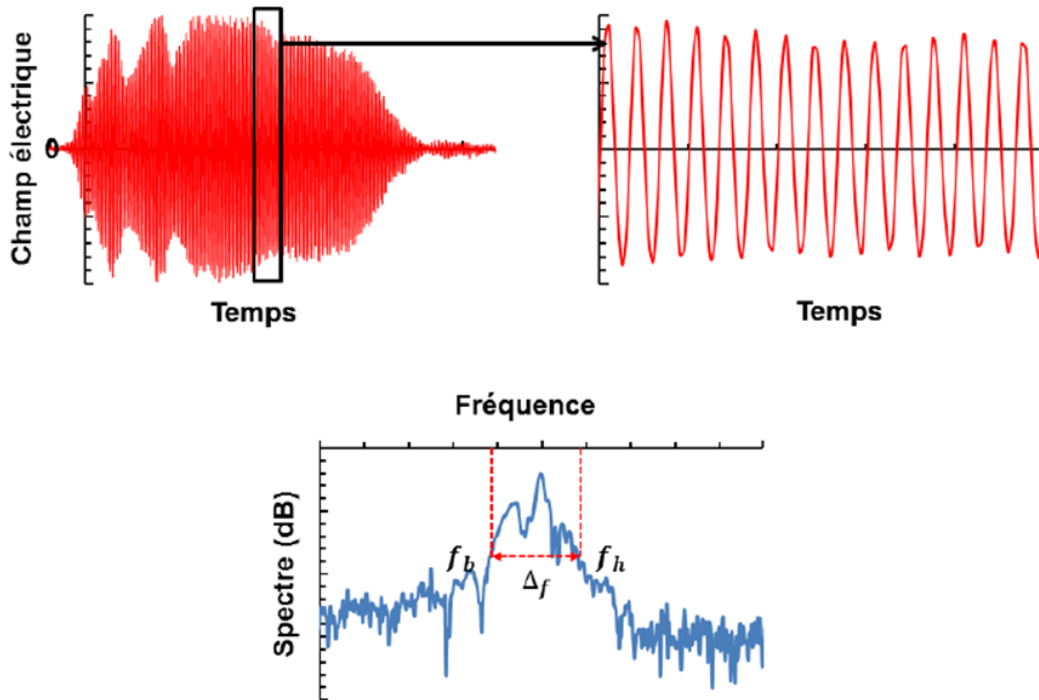


Figure 1-1 : Exemple de signal perturbateur en bande étroite (forme d'onde temporelle et spectre) [9]

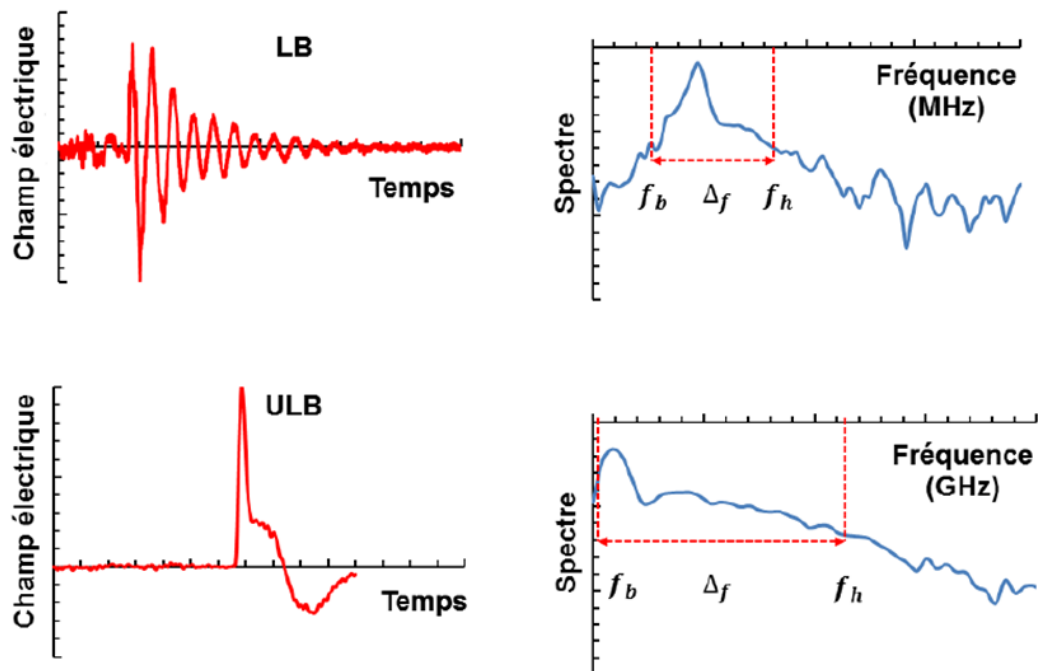


Figure 1-2 : Exemple de signal perturbateur large et ultra-large bande (forme d'onde temporelle et spectre) [9]

Il ne s'agit là que de quelques exemples, et les laboratoires – militaires pour la plupart – améliorent chaque jour l'efficacité de ces sources. En particulier en cherchant à les rendre plus « intelligentes » : en jouant sur les formes d'onde, les périodes de répétition, les fréquences d'agression, les nombre d'impulsions, etc., il n'est pas interdit de penser que les mécanismes non linéaires au sein des composants puissent déclencher des

dysfonctionnements qui ne surviendraient pas pour une agression moins sophistiquée, et ce pour une puissance d'émission plus réduite.

1.4 Couplage avec les composants

Un système électronique quelconque n'est jamais totalement isolé du monde extérieur : même s'il est implanté dans une enceinte blindée, il faut le faire communiquer, l'alimenter, le ventiler, le maintenir, le refroidir, etc. Cela suppose donc antennes, câbles, fils, ou ouvertures, qui sont autant de chemins possibles par lesquels peut pénétrer une perturbation. On classe généralement ces chemins de couplage en deux familles, résumés sur les figures suivantes [10] [1]:

- **Le couplage « Front Door », ou direct** : Les ondes EM (y compris l'agression) se couple sur le système via les antennes d'émission/réception [1] [10]. Evidemment, tous les systèmes destinés à assurer des liaisons sans fils (téléphones, systèmes Bluetooth ou Wi-Fi, etc.) sont les plus sensibles à ce type de couplage. Il va sans dire que l'efficacité de l'agression est d'autant plus grande que sa fréquence coïncide avec la bande de fonctionnement du système ciblé. Comme par définition un tel système se doit de communiquer, il est d'autant plus difficile de se protéger contre ce genre d'agression.
- **Le couplage « Back Door », ou indirect** : Contrairement au premier, il s'agit d'un couplage de l'agression via les dispositifs non-destinés à capter des ondes électromagnétiques : câbles d'alimentation, pistes de circuit imprimé, ouvertures (trappes ou aérations), joints, etc. Le courant ou la tension induits sur les câbles ou les pistes vont s'ajouter aux signaux normaux et parvenir jusqu'aux broches d'entrée des circuits et éventuellement causer des dysfonctionnements.

Dans ce dernier cas (couplage indirect), les dimensions des pistes, cavités ou câbles peuvent constituer un facteur aggravant : si les longueurs d'onde de l'agression qui parviennent à pénétrer les systèmes sont du même ordre de grandeur, des résonances peuvent apparaître, qui « améliorent » l'efficacité de l'agression. Du point de vue de l'agresseur, cela signifie que préférer une large bande avec une amplitude moindre peut s'avérer plus efficace que la force brute (haute puissance et bande étroite).

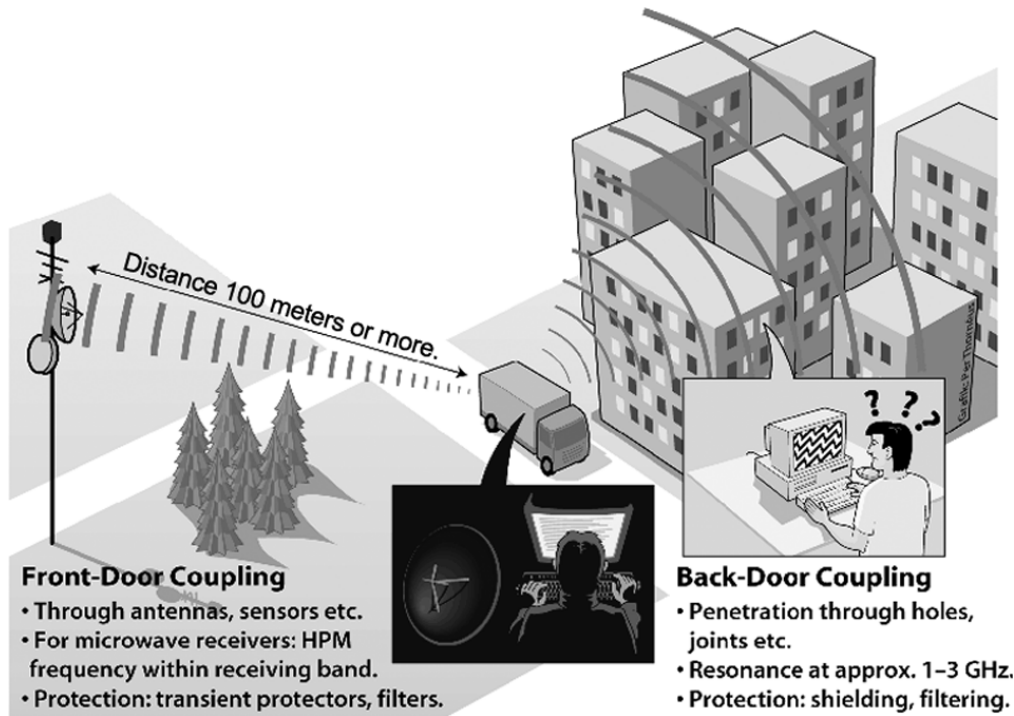


Figure 1-3 : Les deux classes principales de couplage d'une agression EM [10]

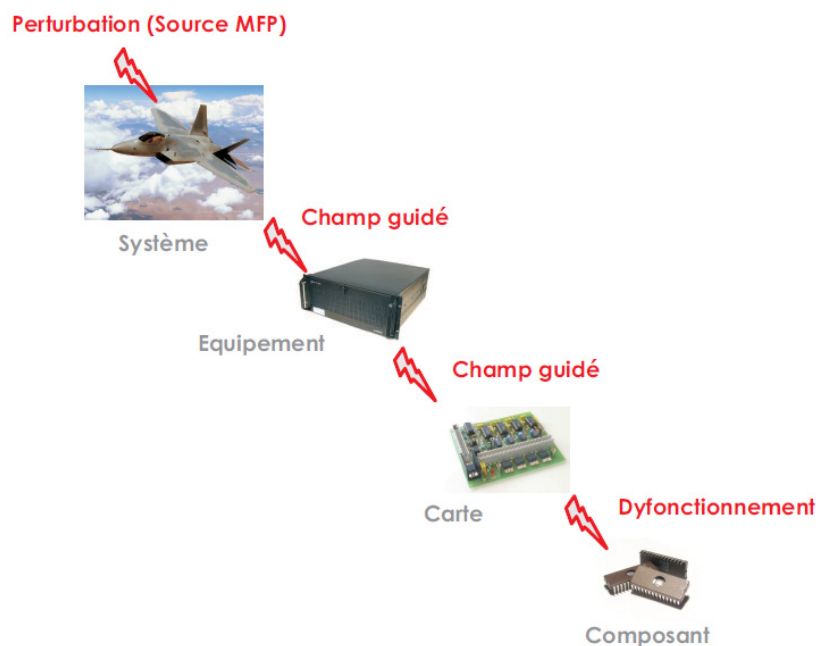


Figure 1-4 : Chemin de couplage d'un signal perturbateur sur un système électronique [1]

1.5 Effets des agressions sur les composants

Tous les composants numériques commercialisés possèdent au moins un circuit de protection total ou partiel contre les décharges électrostatiques. Les signaux d'amplitude supérieure à la tension d'alimentation ou inférieure au potentiel de masse sont automatiquement déviés du cœur du composant numérique. Cependant, les formes d'onde ou les taux de répétition des signaux perturbateurs se trouvant dans la gamme d'amplitude permise peuvent engendrer des perturbations conséquentes [10]. Par ailleurs, la susceptibilité électromagnétique d'un circuit

intégré peut être définie par les conditions d'apparition d'un dysfonctionnement du composant causé par une perturbation électromagnétique externe. Ainsi, plusieurs types de dysfonctionnement peuvent apparaître en fonction de la perturbation, de la sensibilité du composant et des dégâts observés [10] [11] :

- Dysfonctionnement temporaire : c'est le plus commun, et il est souvent dû à un signal superposé aux niveaux logiques, causé par exemple par une détection d'enveloppe d'une source de perturbation, ou par l'apparition d'un pic transitoire extérieur au signal normal. Il n'intervient que durant l'application de la perturbation et en l'absence de celui-ci, le fonctionnement normal du composant est retrouvé.
- Dysfonctionnement permanent : dans ce cas, le défaut causé par la perturbation est observé même en absence de celle-ci. Un Reset ou Redémarrage manuel est nécessaire.
- Dysfonctionnement irréversible : cet état est rencontré lorsqu'une perturbation de niveau assez élevé est appliquée au composant. Cette agression crée des dégâts internes et une réparation ou un remplacement est obligatoire.
- Destruction totale : cet état est semblable au précédent et il est causé par un excès d'énergie dans le composant. Cet excès crée des effets thermiques ou électriques qui se manifestent par des dégâts visibles.

Dans notre cas d'étude, seuls les deux premiers types de dysfonctionnements sont envisageables. En effet, nous ne disposons pas de source de perturbation IEMI et nous traitons avec des niveaux de tensions logiques. De plus, ces dysfonctionnements peuvent être causés par des perturbations de faible amplitude telles que les sources radiofréquences (RF). Dans ce cas, il est important de rappeler que, comme précité plus haut, les circuits de protection éliminent théoriquement toute amplitude du signal d'entrée supérieure à la tension d'alimentation. Un historique d'études a été effectué [12] sur une large gamme de composants logiques et analogiques et leur comportements face à certaines perturbations de type RF. Ces études sont généralement expérimentales et les niveaux de puissances d'entrée pour lesquelles la sortie se comporte étrangement sont relevés.

Concernant les deux derniers types de perturbations, ils sont rencontrés particulièrement lors d'une perturbation de forte puissance telle que les HPEM. Ainsi, les effets de ces sources de perturbations ont été étudiés sur de nombreux systèmes électroniques : des composants logiques et analogiques simples aux infrastructures en passant par les moyens de transport civils et militaires [13], et il en ressort que les effets des IEMI sur la majorité des composants et systèmes électroniques proviennent souvent de leurs fonctions élémentaires.

Dans [13], une étude complète, évaluant les divers effets des circuits numériques a été réalisée (porte logique, microcontrôleurs, PC et réseau de connectivité). Différentes comparaisons de chacun des composants sont faites en fonction de la technologie, de l'architecture, etc. D'abord pour des portes logiques CMOS, le principal effet de dysfonctionnement permanent, pour des paramètres du signal perturbateur définis, est le latch-up – ou blocage. Ce dernier est le résultat de l'activation d'un thyristor parasite au niveau du substrat, rendant le composant logique inopérant, et un Reset est nécessaire pour un retour de fonctionnement normal. Des destructions totales ont été également observées, et une analyse microscopique, en décapsulant le circuit intégré, a montré les effets illustrés à la Figure 1-5. Nous y observons, en fonction de la puissance de l'IEMI, des destructions au niveau des éléments actifs internes

(diode et transistor), puis au niveau des pistes métalliques reliant les composants de la puce, et enfin au niveau des fils de bonding connectant la puce au monde extérieur. Des effets similaires sont observés dans l'étude [10], comme l'illustre la Figure 1-6. Dans cette dernière étude, davantage d'informations sont données sur les paramètres des IEMI permettant de créer ces effets. Nous rappelons encore une fois que l'ensemble des études sont expérimentales.

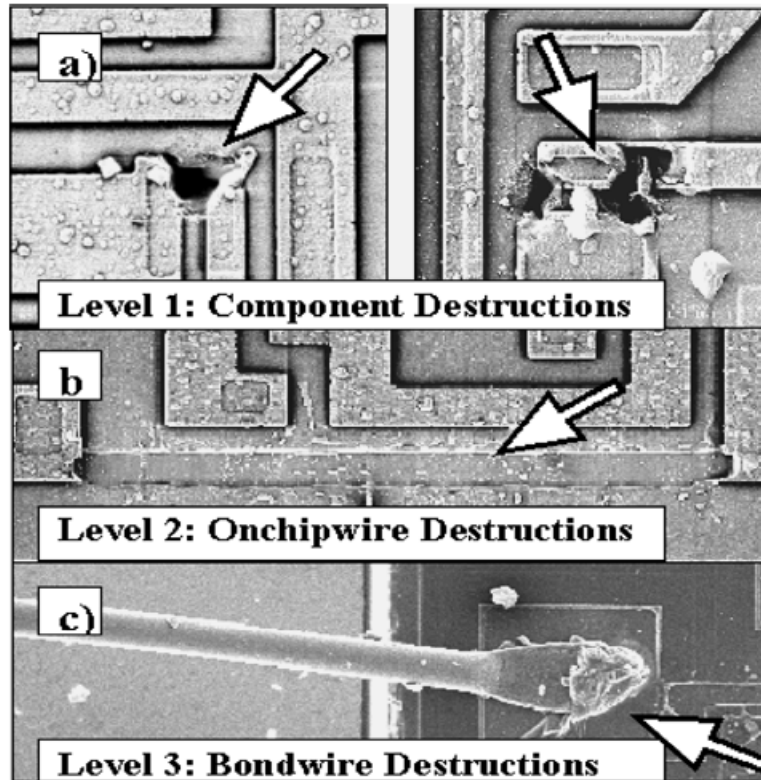


Figure 1-5 : Effets destructifs du composant en fonction du niveau de puissance [13].

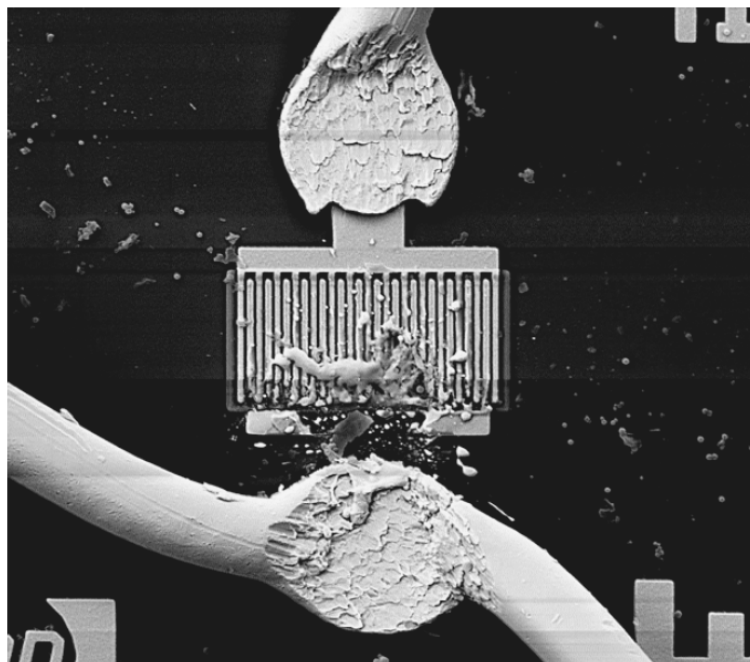


Figure 1-6 : Exemple de destructions sur un transistor [10].

L'étude [14] apporte une contribution intéressante en évaluant l'effet des protections ESD sur les sources IEMI : des détections d'enveloppe ont été observées et elles sont dues au redressement de l'agression par de ces protections. Cependant, il est à noter que celles-ci sont à base de transistors MOS. L'étude a été bien détaillée puisqu'un inverseur a été conçu physiquement, avec ses protections, comme démonstrateur. Enfin, l'étude [15] donne quelques informations sur les effets des IEMI sur des systèmes de gestion de la circulation des trains. Comme mentionné précédemment, c'est au niveau des amplificateurs à faible bruit (LNA pour Low Noise Amplifier) que des effets remarquables sont susceptibles d'apparaître. Ainsi, la majorité des effets ont pour origine les fonctions de base telles que les portes logiques ou les étages d'entrée des circuits analogiques.

1.6 Circuits intégrés numériques

L'évolution de la technologie, depuis la création des circuits intégrés numériques, a conduit à la conception d'une large variété de familles logiques, avec un avantage spécifique à chaque composant [16] [17]. En effet, plusieurs technologies se sont succédées, à commencer par les familles DL, RTL et DTL dont des exemples de fonctions logiques sont illustrés à la Figure 1-7. La famille logique DL (Diode Logic) n'est basée que sur des diodes et des résistances et elle ne fut jamais disponible en circuit intégré. Par contre, les familles logiques RTL (Resistance Transistor Logic), à base de résistances et de transistors bipolaires, et DTL (Diodes Transistor Logic), à base de diodes, de résistances et de transistors bipolaires, furent les premières de la technologie bipolaire. Cependant, les délais de propagation conséquents qu'ils introduisaient ont conduit à leur remplacement par la technologie TTL (Transistor-Transistor Logic), basée sur des transistors bipolaires, des jonctions PN et des résistances diffusées, comme le montre la Figure 1-8. Avec cette technologie, les circuits intégrés logiques se sont diversifiés par la création de la série 74 caractérisée par sa gamme de températures de fonctionnement située entre 0 et 70°C, contrairement à la série militaire 54 (où un fonctionnement normal du composant est garanti entre -25 et +125°C). Cette technologie a été longuement utilisée comme le confirment les versions ou améliorations symbolisées par les différentes familles technologiques (*L*, *H*, *LS*, *S*, *ALS*, *AS* et *F*). Chacune de ces familles technologiques a été conçue en privilégiant certaines caractéristiques telles que la vitesse ou la faible consommation en puissance, qui représentent les principaux critères de la conception de circuits intégrés numériques. La famille logique bipolaire la plus rapide a été développée par ON Semiconductor (ex *MOTOROLA*) sous le nom d'ECL (Emitter-coupled logic ou logique à émetteur couplé). Contrairement aux autres familles logiques utilisant le mode Tension, la technologie ECL opère en mode courant. En outre, étant de technologie bipolaire, son principal inconvénient réside dans sa consommation élevée.

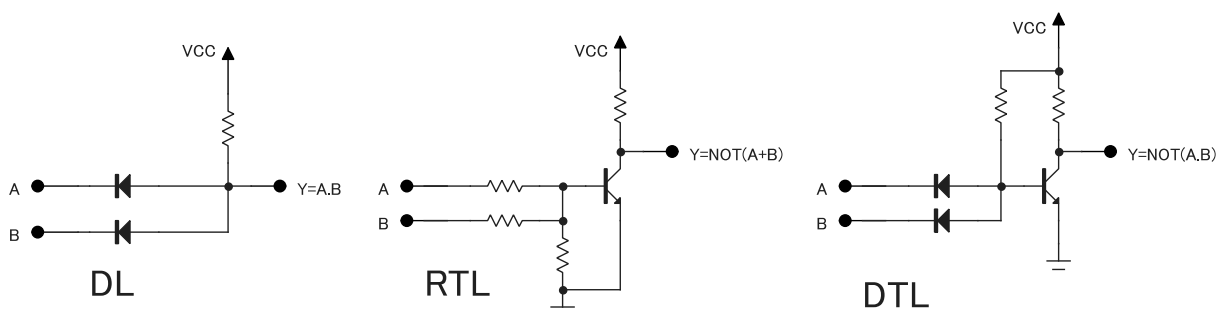


Figure 1-7 : exemples de portes logiques en technologie DL, RTL et DTL

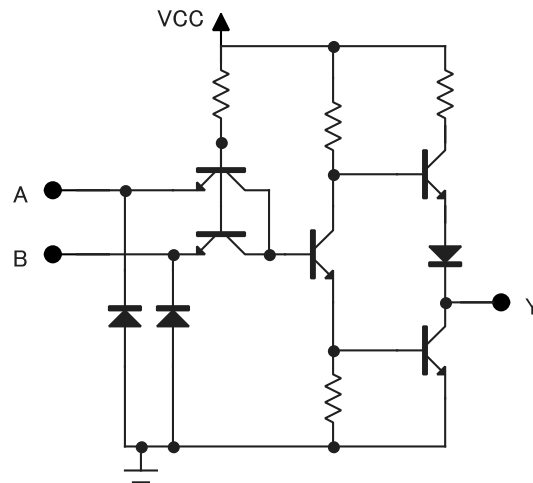


Figure 1-8 : Porte logique NAND en technologie TTL standard

Mais la puissance consommée par les circuits logiques a été réduite de manière spectaculaire avec l'apparition de la technologie MOS (Metal-Oxide Semiconductor) et des transistors à effet de champ MOSFET. De nos jours, cette technologie reste la plus répandue dans la conception de circuits intégrés analogiques et numériques. Elle se compose de plusieurs familles logiques telles que la famille logique originelle NMOS (à base de transistors MOSFET de type N), la famille logique PMOS (à base de transistors MOSFET de type P) et la famille CMOS (pour Complementary Metal-Oxide Semiconductor), à base de transistors MOSFET complémentaires, de types N et P. Par opposition à la famille logique PMOS, la famille logique NMOS présente une plus grande densité d'intégration. Cette densité est également la plus élevée par comparaison à toute autre famille logique. Néanmoins, la consommation en puissance de cette famille logique NMOS est son principal inconvénient par rapport à la famille logique CMOS [16]. En conséquence, elle est remplacée cette dernière, caractérisée par sa faible consommation en puissance. Dans la suite de cette section, nous présenterons la structure et le fonctionnement de cette technologie. Il existe également une technologie couplant les avantages des technologies CMOS et bipolaires, connue sous le nom de BiCMOS.

1.6.1 Le transistor MOSFET

1.6.1.1 Structure

Le transistor MOSFET est un transistor à effet de champ, et sa première démonstration de fonctionnement a été faite dans les années 1960 par Kahng et Attala [18] [19]. Il existe en deux polarisations opposées : le transistor NMOS et PMOS. Les symboles de ces deux transistors sont donnés à la Figure 1-9 sur laquelle sont représentées leurs différentes interfaces (Grille, Source, Drain et Substrat). La Figure 1-9 montre également la structure physique d'un transistor NMOS. Elle est constituée d'un substrat de type P sur lequel deux régions, distantes de la longueur L , sont fortement dopées N (Drain et Source), et possèdent donc un grand nombre d'électrons libres. Une Grille (en Aluminium en général) est déposée sur ce substrat, entre le Drain et la Source, au travers d'une fine couche d'oxyde de silicium (SiO_2). La structure d'un transistor PMOS est semblable à celle du NMOS avec des dopages de polarité opposée pour le substrat, le Drain et la Source.

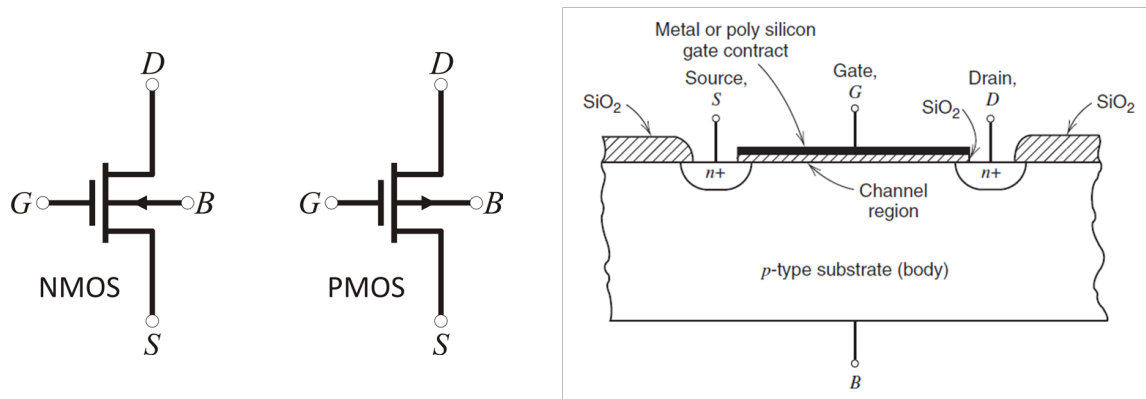


Figure 1-9 : Symboles des transistors NMOS et PMOS - Structure d'un transistor NMOS [72]

1.6.1.2 Fonctionnement

Le fonctionnement réel d'un transistor MOSFET est extrêmement complexe, aussi n'entrons nous pas dans les détails pour l'instant, et nous décrivons seulement les principes de base, qui sont relativement simples à appréhender. L'idée générale consiste à créer un canal de conduction reliant la Source au Drain, les caractéristiques de ce canal étant modulables par une commande externe. La génération de ce canal se fait en appliquant une tension positive V_{GS} (pour le transistor NMOS) entre la source et la grille, le drain étant relié à une tension positive par rapport à la source (V_{DS}). Dès que le champ électrique créé dans le substrat par la tension de grille est suffisant, les porteurs surnuméraires (électrons) présents dans la source sont attirés vers la grille, puis le drain, créant ainsi un canal de conduction entre la source et le drain. Un courant électrique I_{DS} peut alors traverser le canal, et sa valeur est contrôlable par les deux tensions V_{GS} et V_{DS} (en général, pour le transistor NMOS, la source est connectée à la masse). Ainsi, le fonctionnement du transistor NMOS se divise en trois régimes : le régime bloqué où le courant est nul (V_{GS} est inférieure au seuil de conduction V_{THN}), le régime linéaire ou ohmique pendant lequel I_{DS} dépend de V_{GS} et de V_{DS} (V_{GS} et V_{GD} sont supérieures à V_{THN}) et le régime de saturation, pour lequel le courant varie avec V_{GS} (V_{GS} est supérieure à V_{THN} mais V_{GD} est inférieure à V_{THN}). L'expression du courant I_{DS} dans ces trois régimes de fonctionnement, en fonction des tensions V_{GS} et V_{DS} et des dimensions physiques et géométriques du transistor NMOS, est donnée ci-dessous :

$$I_{DS}(V_{DS}, V_{GS}) = \begin{cases} 0, & V_{GS} \leq V_T \\ KP_N \frac{W}{L_{eff}} (V_{GS} - V_T - \frac{V_{DS}}{2}) V_{DS} (1 + \lambda V_{DS}), & V_{GS} > V_T \text{ et } V_{DS} < (V_{GS} - V_T) \\ \frac{KP_N}{2} \frac{W}{L_{eff}} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}), & V_{GS} > V_T \text{ et } V_{DS} > (V_{GS} - V_T) \end{cases} \quad (1.1)$$

Avec KP_N la transconductance, W et L_{eff} la largeur et la longueur du canal de conduction, V_T la tension de seuil du transistor. L'introduction du terme λ dans les équations de I_{DS} permet de représenter la modulation de la longueur du canal en régime de saturation. Autrement dit, dans les conditions de ce régime de fonctionnement, le canal est pincé au niveau du Drain et cette modification est due à la tension V_{DS} . Les figures suivantes montrent l'évolution des caractéristiques de transfert (I_{DS} en fonction de V_{DS} et V_{GS}) pour des transistors NMOS et PMOS de dimensions identiques ($W = L = 10\mu\text{m}$, $KP_N = 120\mu\text{A/V}^2$, $KP_P = 30\mu\text{A/V}^2$ et $|V_T| = 0.4\text{V}$). Ces courbes ont été obtenues à l'aide de simulations SPICE.

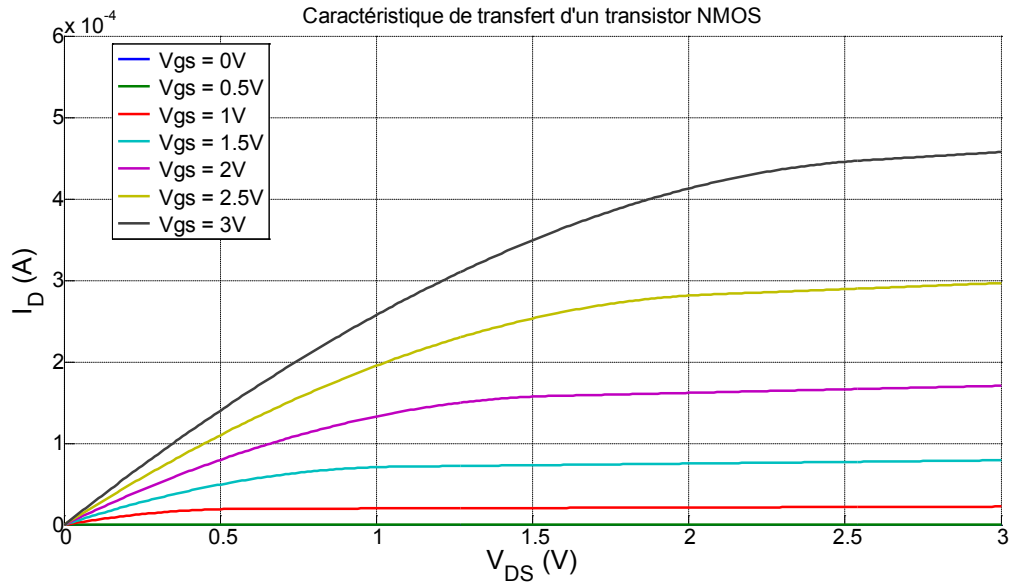


Figure 1-10 : Caractéristique de transfert d'un transistor NMOS

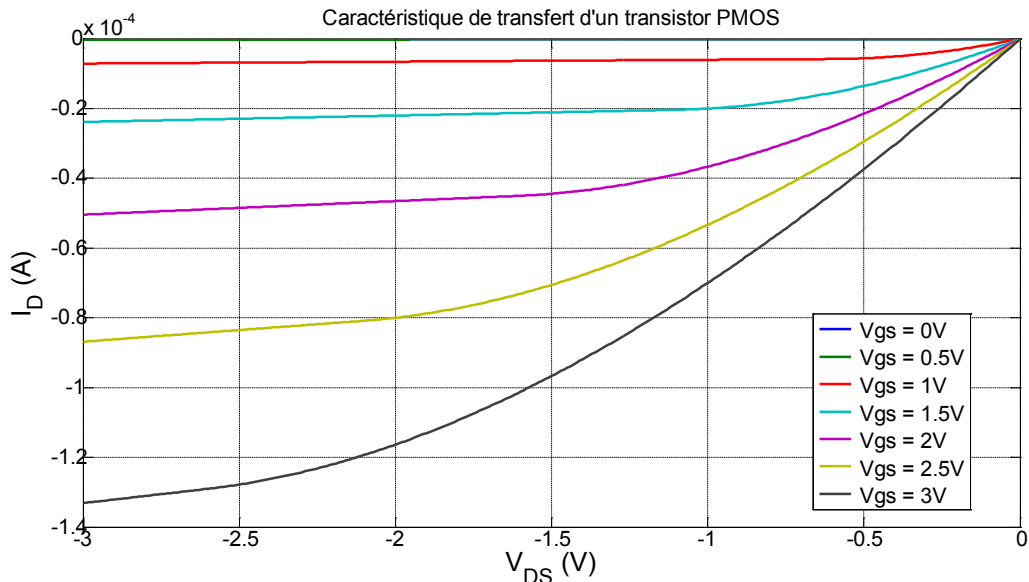


Figure 1-11 : caractéristique de transfert d'un transistor PMOS

Pour les deux transistors de même taille mais de type opposé, nous remarquons un rapport supérieur à trois entre les valeurs de ces deux courants. En effet, le courant du transistor PMOS est dû aux trous (porteurs majoritaires), et leur mobilité est un tiers plus petite que celle des électrons (porteurs majoritaires dans un transistor NMOS).

1.6.2 L'inverseur CMOS

La fonction inversion (ou non) est une des briques de base de l'électronique numérique. Elle consiste à transformer un niveau logique en son opposé (haut en bas ou bas en haut). Son symbole et sa structure électrique sont représentés à la Figure 1-12. Pour la technologie CMOS, l'inverseur est constitué de deux transistors MOSFET de polarité opposée (NMOS et PMOS). La Figure 1-13 illustre sa structure physique où nous pouvons observer l'intégration

des deux transistors sur un même substrat. Quant à son fonctionnement, il peut s'expliquer par l'étude des comportements statiques et dynamiques [20] [21] [22].

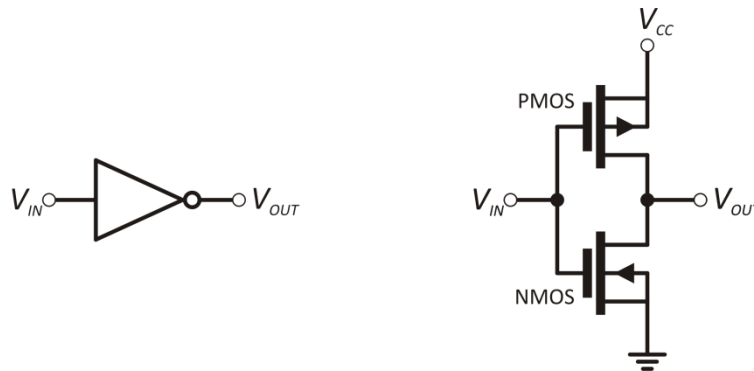


Figure 1-12 : Symbole et structure électrique d'un inverseur CMOS

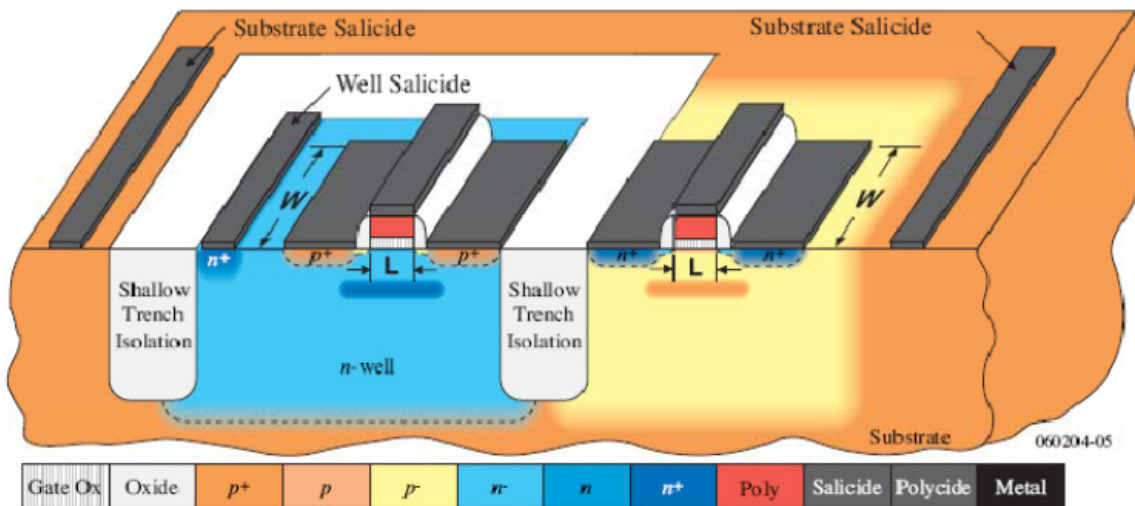


Figure 1-13 : Structure physique d'un inverseur CMOS [23]

1.6.2.1 Comportement statique

Au niveau statique (ou DC), l'inverseur CMOS est représenté par sa caractéristique de transfert (*VTC* pour *Voltage Transfert Characteristic*), illustrée à la Figure 1-15. Cette courbe est généralement obtenue en injectant un signal triangulaire à l'entrée de l'inverseur CMOS (voir Chapitre III). Cette caractéristique peut être obtenue également à l'aide de la caractéristique de chacun des transistors NMOS et PMOS, illustrée à la Figure 1-10 et la Figure 1-11. Pour cela, les courbes du courant I_{DS} du transistor PMOS doivent être inversées puis décalés de V_{CC} (la tension d'alimentation) Le résultat de ce traitement est représenté sur la Figure 1-14. Dans cette figure, à chaque valeur de V_{GS} , l'intersection entre les courbes des deux transistors permet de définir la valeur de la tension V_{DS} correspondante. Ainsi, nous pouvons reconstituer la caractéristique de transfert (ou fonction de transfert) de l'inverseur CMOS de la Figure 1-15. Il est à noter que, contrairement à la Figure 1-10 et à la Figure 1-11, les niveaux de courant I_{DS} des deux transistors sont du même ordre. En effet, le rapport de niveaux mentionné dans la section précédente a été corrigé en modifiant les dimensions du transistor *PMOS*. Davantage d'informations sur cette modification seront données plus loin, ainsi qu'au Chapitre IV.

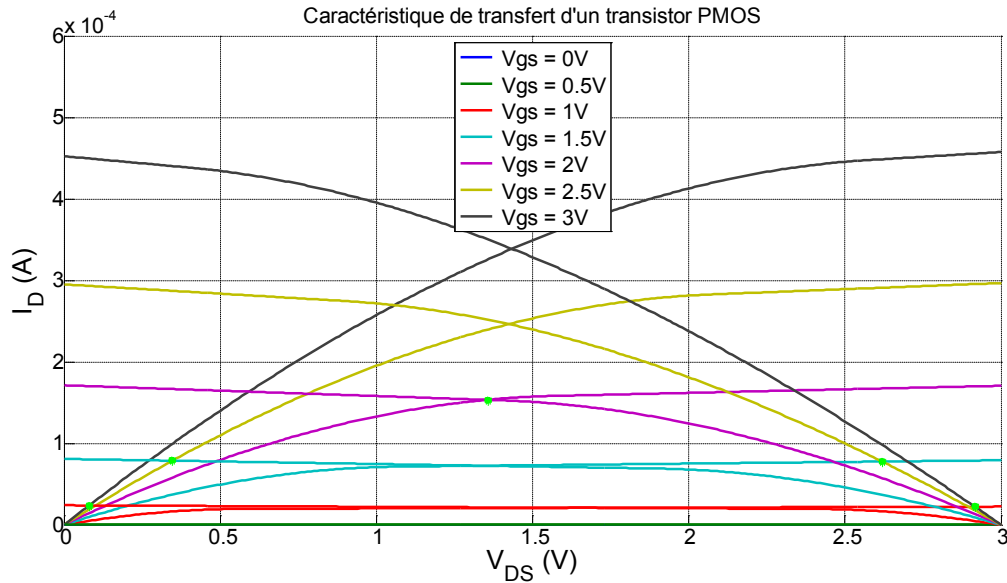
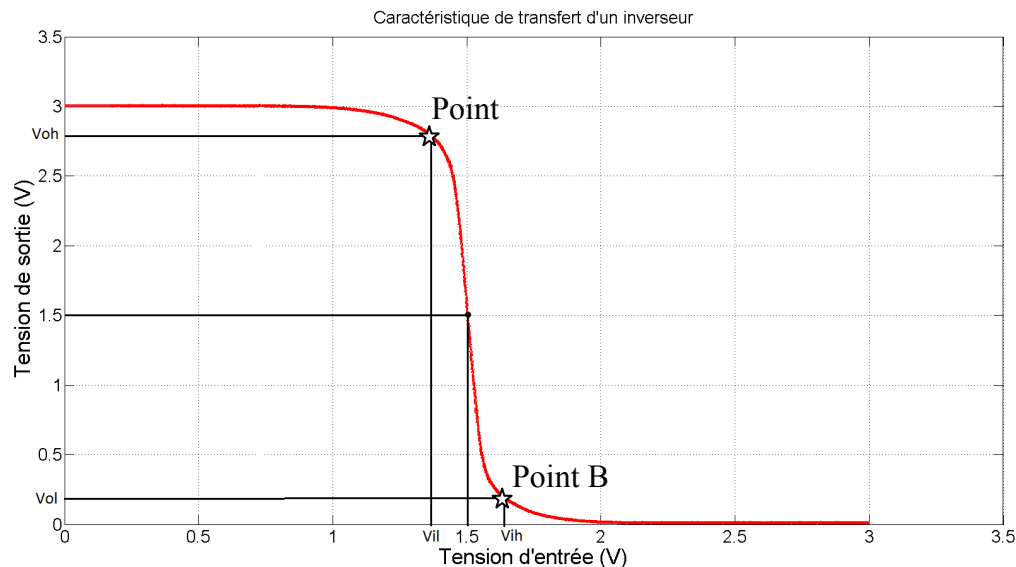


Figure 1-14 : Caractéristiques de transfert des transistors NMOS et PMOS

Figure 1-15 : Caractéristique de transfert d'un inverseur CMOS ($V_{CC}=3V$)

A l'aide de cette caractéristique, nous pouvons définir les différentes étapes de son fonctionnement statique :

- Lorsque la tension d'entrée (V_{IN}) est inférieure à la tension de seuil du transistor NMOS (V_{THN}), celui-ci est bloqué et le transistor PMOS est en mode saturé (il conduit). Dans ce cas, la tension d'alimentation est reliée à la sortie de l'inverseur par le transistor PMOS en régime de saturation. Autrement dit, la tension de sortie de l'inverseur (V_{OUT}) est au niveau logique HAUT proche de la tension d'alimentation V_{CC} .
- Lorsque V_{IN} est supérieure V_{THN} et inférieure à la tension de seuil du transistor PMOS ($V_{CC} + V_{THP}$), V_{OUT} est dans un état indéterminé. L'augmentation progressive de V_{IN} provoque des changements de régime de fonctionnement des deux transistors. Le transistor NMOS passe du régime de saturation au régime linéaire tandis que le

transistor PMOS passe du régime linéaire au régime saturation. Il existe cependant un point de fonctionnement où les transistors sont tous deux en régime de saturation. Ce point, appelé point de basculement correspond à la condition où V_{IN} est égale à V_{OUT} . L'évaluation de ce point sera donnée par la suite. Dans cet état intermédiaire, les deux transistors conduisent en même temps et la puissance consommée est maximale.

- Lorsque V_{IN} est supérieure à $V_{CC} - V_{THP}$, le transistor NMOS reste en régime saturation et le transistor PMOS devient bloqué. Dans ce cas, la sortie est reliée à la masse par le transistor NMOS. V_{OUT} est niveau logique BAS, proche zéro.

Cette caractéristique de transfert aide également à définir les seuils logiques de l'inverseur CMOS. Parmi ces seuils, nous pouvons citer :

- Le seuil d'entrée définissant le niveau logique BAS (V_{IL} , pour INPUT LOW) : ce niveau de seuil désigne la limite maximale de la tension d'entrée pour laquelle l'état logique d'entrée est au niveau BAS. Elle peut être évaluée expérimentalement à partir de la caractéristique de transfert et elle correspond à l'abscisse du point où celle-ci possède une pente de -1 (Point A sur la Figure 1-15) tout en ayant une tension sortie de l'inverseur CMOS proche de la tension d'alimentation V_{CC} . Sa valeur idéale est de $V_{CC}/2$ mais nous pouvons remarquer que sur cette figure, V_{IL} est légèrement inférieure à cette valeur. Pour la technologie CMOS, V_{IL} est typiquement égale au tiers de V_{CC} .
- Le seuil d'entrée définissant le niveau logique HAUT (V_{IH} pour INPUT HIGH) : ce niveau de seuil désigne la limite minimale de la tension d'entrée pour laquelle l'état logique d'entrée est au niveau HAUT. De la même manière que V_{IL} , elle peut être également déterminée à partir de la caractéristique de transfert et correspond à l'abscisse du point où la pente de celle-ci est de -1 (Point B sur la Figure 1-15) avec une tension de sortie de l'inverseur CMOS proche de la masse. Nous observons également sur cette figure que V_{IH} est légèrement supérieure à sa valeur idéale ($V_{CC}/2$). Pour la technologie CMOS, V_{IH} est typiquement égale à $0.7*V_{CC}$.
- Le seuil de sortie définissant le niveau logique BAS (V_{OL} pour OUTPUT LOW) : ce niveau de seuil désigne la limite maximale de la tension de sortie à partir de laquelle l'état de la sortie de l'inverseur CMOS est au niveau BAS. Elle peut être également évaluée à partir de la caractéristique de transfert et correspond à l'ordonnée du point B de la Figure 1-15. Sa valeur idéale est celle de la masse. Cependant cette figure montre que sa valeur réelle peut être légèrement supérieure à la masse. En général, pour les inverseurs CMOS, V_{OL} est fixée à 100mV.
- Le seuil de sortie définissant le niveau logique HAUT (V_{OH} pour OUTPUT HIGH) : ce niveau de seuil désigne la limite minimale de la tension de sortie à partir de laquelle l'état de la sortie de l'inverseur CMOS est au niveau HAUT. Elle peut être également évaluée à partir de la caractéristique de transfert et correspond à l'ordonnée du point A (sur la Figure 1-15). Sa valeur idéale est celle de l'alimentation V_{CC} . Cependant cette figure montre que sa valeur réelle peut être légèrement inférieure à V_{CC} . En général, pour les inverseurs CMOS, V_{OH} est fixée à $V_{CC} - 0.1V$.

En complément à ces différents seuils de tension, il existe également des paramètres identiques spécifiant les niveaux de courant aux états binaires. Cependant, dans cette étude, nous nous limiterons à la seule définition de ces seuils de tension. Afin d'assurer la compatibilité entre la sortie et l'entrée des composants de chaque technologie, les seuils de la

sortie doivent être toujours liés aux seuils de l'entrée ($V_{OL} < V_{IL}$ et $V_{OH} > V_{IH}$). De plus, ces paramètres sont liés entre eux par les marges de bruit dont les valeurs idéales sont de $V_{CC}/2$.

- La marge de bruit HAUT (NM_H pour NOISE MARGIN HIGH) est égale à la différence entre V_{OH} et V_{IH} ($NM_H = V_{OH} - V_{IH}$).
- La marge de bruit BAS (NM_L pour NOISE MARGIN LOW) est égale à la différence entre V_{IL} et V_{OL} ($NM_L = V_{IL} - V_{OL}$).

Finalement, cette caractéristique de transfert de l'inverseur CMOS définit un paramètre des plus importants, à savoir le point de basculement précité plus haut. Ce point correspond à la condition où V_{IN} est égale V_{OUT} et dans ce cas, les deux transistors sont en régime de saturation. A cette condition, les courants traversant les deux transistors sont égaux. L'évaluation de chacun des courants donne I_{DSN} pour le NMOS et I_{DSP} pour le PMOS :

$$I_{DSN} = \frac{\beta_N}{2} (V_{IN} - V_{THN})^2 = I_{DSP} = \frac{\beta_P}{2} (V_{CC} - V_{IN} - |V_{THP}|)^2 \quad (1.2)$$

A partir de cette équation, nous pouvons déterminer l'abscisse du point de basculement par :

$$V_{IN} = \frac{V_{CC} - |V_{THP}| + \sqrt{\frac{\beta_N}{\beta_P} V_{THN}}}{1 + \sqrt{\frac{\beta_N}{\beta_P}}} = V_{SP} \quad (1.3)$$

Avec $\beta_N = KP_N \left(\frac{W}{L}\right)_N$ et $\beta_P = KP_P \left(\frac{W}{L}\right)_P$ où KP_N et KP_P sont, respectivement, les transconductances des transistors NMOS et PMOS et W_N, W_P, L_N, L_P sont respectivement les largeurs et longueurs du canal de conduction de chaque transistor.

$KP = U_0 C'_{OX} = U_0 \varepsilon_{OX} / t_{OX}$, où U_0 est la mobilité des porteurs de charge (électrons pour le NMOS et trous pour le PMOS) et ε_{OX} et t_{OX} sont respectivement la permittivité et l'épaisseur de l'oxyde de grille des transistors. C'_{OX} est appelée la capacité surfacique d'oxyde et est identique pour tous les transistors de la même technologie.

L'opposition de polarité entre les transistors provient du type de canal de conduction et des porteurs de charges dans chaque transistor. Pour le NMOS, les porteurs de charges sont les électrons et la valeur typique de leur mobilité (U_{0N}), pour des transistors de grandes dimensions, est de $700 \text{ cm}^2/(\text{V.s})$. Quant au transistor PMOS, les porteurs de charges sont les trous et la valeur de leur mobilité (U_{0P}) correspond typiquement au tiers ou au quart de celle du NMOS. Cette différence de mobilité implique une condition sur les transconductances respectives des transistors NMOS et PMOS, à savoir que $KP_N = 3KP_P$.

V_{THN} et V_{THP} sont, respectivement, les tensions seuils de conduction des transistors NMOS et PMOS. Elles ont généralement la même valeur mais V_{THP} est négatif. En conséquence, l'équilibre de basculement de l'inverseur CMOS ($V_{SP} = V_{CC}/2$) est obtenu pour :

$$\sqrt{\frac{\beta_N}{\beta_P}} = 1 \rightarrow KP_N \left(\frac{W}{L}\right)_N = KP_P \left(\frac{W}{L}\right)_P \quad (1.4)$$

En général, la longueur de grille L des transistors est identique et elle fixée par la technologie. Ainsi, cet équilibre de basculement de l'inverseur est obtenu pour $W_P = 3W_N$. Il apparaît donc

que pour obtenir une commutation symétrique des transistors autour de $V_{CC}/2$, il faut que la largeur du transistor PMOS soit le triple de celle du transistor NMOS.

Après ce rapide aperçu du fonctionnement statique de l'inverseur CMOS, nous allons nous intéresser à son fonctionnement dynamique.

1.6.2.2 Comportement dynamique

Le comportement dynamique de l'inverseur est tout d'abord caractérisé par la forme de son signal de sortie lorsqu'il commute, et dépend principalement des temps de montée et de descente des signaux de sortie. Ces quantités sont principalement dictées par les différents éléments résistifs et capacitifs – qu'ils soient parasites ou non – présents dans le circuit de l'inverseur.

En ne se préoccupant que du circuit de sortie, et en tenant compte des éléments parasites qui y sont associés, on peut représenter l'inverseur par le schéma de la Figure 1-16 [24]. On y retrouve la structure habituelle (cf. Figure 1-9) à laquelle sont ajoutés :

- deux résistances R_P et R_N , qui sont les résistances intrinsèques de source des transistors PMOS et NMOS respectivement,
- Deux capacités C_{Dp} et C_{Dn} , qui sont les capacités intrinsèques de Drain des transistors N et P,
- Une capacité C_L , dite capacité de charge, et qui représente les capacités d'entrée des étages suivants auxquels est connecté l'inverseur.

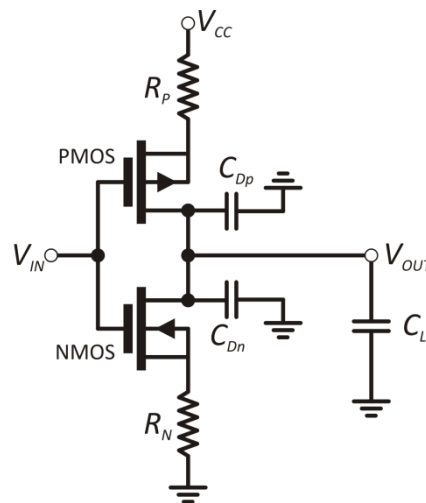


Figure 1-16 : Schéma équivalent (du point de vue de la sortie) de l'inverseur avec ses éléments parasites

La capacité de sortie totale est donc : $C_{OUT} = C_L + C_{Dp} + C_{Dn}$ (Nous reviendrons plus en détail sur ces résistances et capacités intrinsèques dans le chapitre IV. Leur présence ici permet de mieux schématiser le comportement dynamique de l'inverseur).

Lorsque la sortie de l'inverseur passe du niveau bas au niveau haut, on peut considérer que tout se passe comme si le transistor NMOS n'existait pas (pour rappel, il est bloqué) et le transistor PMOS relie la sortie à V_{CC} via la résistance R_P . La capacité de sortie C_{OUT} se charge donc via la résistance R_P , menant à une constante de temps $\tau_r = R_P C_{OUT}$. Le temps de montée du signal de sortie (de 10% à 90%) est donc :

$$t_r = 2.2 \tau_r = 2.2 R_P C_{OUT} \quad (1.5)$$

De la même façon, le temps de descente (fall time) de la sortie peut être approximé par la décharge de la capacité C_{OUT} au travers de la résistance R_N , ce qui finalement mène à la valeur de ce temps de descente :

$$t_f = 2.2 \tau_f = 2.2 R_N C_{OUT} \quad (1.6)$$

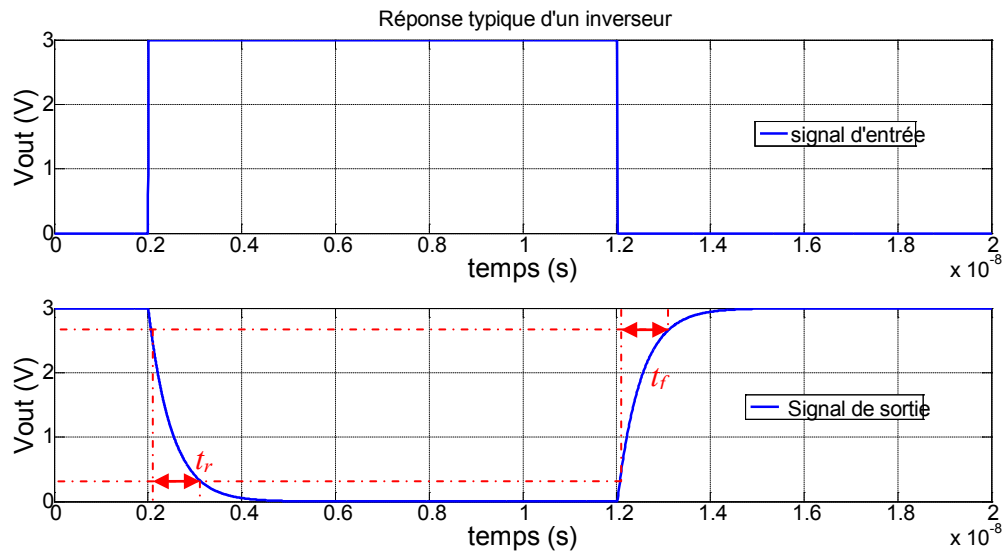


Figure 1-17 : Définition des temps de transition

On voit ici qu'en première approximation, les temps de montée et de descente des signaux en sortie de l'inverseur sont non seulement tributaires des caractéristiques intrinsèques de l'inverseur, mais également de la charge capacitive de sortie C_L , ce qui rend leur quantification assez imprécise. Néanmoins, on considère généralement que les sorties des circuits sont chargés par des capacités représentatives d'une moyenne de trois entrées en parallèle, et la valeur de C_L adoptée par la majorité des fabricants est de 50pF pour les technologies les plus anciennes, et de 15pF pour les plus récentes.

L'imprécision que l'on peut avoir sur les temps de montée et de descente rend difficile l'estimation de la fréquence maximale de fonctionnement d'un inverseur ou d'une porte seule. En effet, cette fréquence, ou plus exactement la période minimale de fonctionnement, correspond au temps minimum nécessaire à l'inverseur pour faire un cycle bas/haut et haut/bas complet, soit la somme des temps de montée et de descente. On définit donc la fréquence maximale de fonctionnement comme :

$$f_{max} = 1/(t_r + t_f), \quad (1.7)$$

et cette valeur dépend donc de la capacité de charge du composant. Ceci explique pourquoi les fabricants ne donnent généralement pas cette fréquence dans le cas d'une simple porte.

C'est également pour cette raison que nous estimerons expérimentalement les fréquences maximales de fonctionnement des inverseurs que nous allons mesurer. Les mesures étant effectuées dans des conditions de charge identiques, cela permettra d'établir une base de comparaison.

Une autre caractéristique dynamique des inverseurs est leur temps de propagation, ou en d'autres termes le temps que met l'inverseur à transporter une information de son entrée à sa sortie. Mais là encore, ces temps dépendent de la charge de l'inverseur et de la tension d'alimentation. Elles peuvent être évaluées expérimentalement à partir des signaux logiques d'entrée et de sortie de l'inverseur CMOS, comme le montre la Figure 1-18. Le temps de propagation de l'inverseur (TP) est la moyenne de ces deux valeurs suivantes évaluées à $V_{IN} = V_{OUT} = V_{CC}/2$:

- le temps de propagation lorsque la tension de sortie passe du niveau logique HAUT vers le niveau logique BAS (TP_{HL}).
- le temps de propagation lorsque la tension de sortie passe du niveau logique BAS vers le niveau logique HAUT (TP_{LH}).

$$T_P = \frac{TP_{HL} + TP_{LH}}{2} \quad (1.8)$$

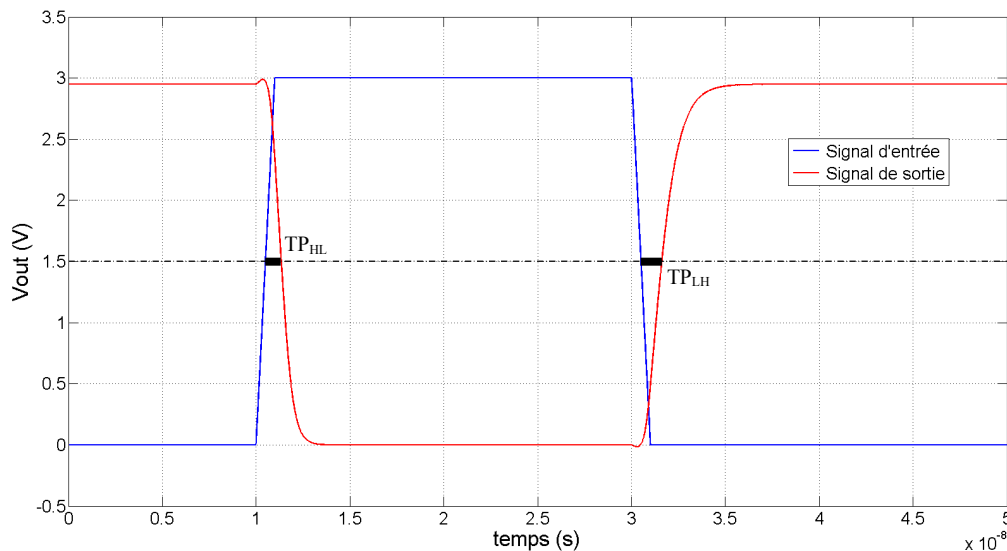


Figure 1-18 : Définition des temps de propagation sur des signaux logiques d'entrée et de sortie d'un inverseur

Après cette présentation succincte du fonctionnement dynamique de l'inverseur CMOS, nous allons dresser un état de l'art des travaux de modélisation des effets des IEMI sur les circuits, en nous focalisant plus particulièrement sur les inverseurs et les modèles qui en ont été développés ou qui sont utilisés.

1.7 Etat de l'art sur la modélisation des effets des agressions EM sur les composants numériques

Les premières études sur la modélisation du comportement des semi-conducteurs en général face à des agressions électromagnétiques datent du milieu des années 1970. Elles font état des dysfonctionnements constatés expérimentalement, et proposent des analyses théoriques souvent pointues et argumentées pour expliquer les phénomènes. Richardson [25] semble être l'un des premiers à vouloir analyser les phénomènes dus à l'interaction d'une agression microonde sur des composants actifs. Par exemple, en 1979, il analyse le déplacement du point de polarisation des transistors bipolaires dû au redressement d'une onde RF par ces transistors [26] [27], et fournit un modèle mathématique permettant de rendre compte de ce

comportement. La même année, il effectue le même type d'analyse, mais au sujet des transistors à effet de champ [28]. Bien qu'à cette époque les simulateurs circuit type SPICE soient des outils peu répandus, il existe cependant quelques travaux qui visent à modéliser ces effets de manière numérique, comme Whalen [29], qui, en 1979, utilise un modèle SPICE modifié de transistor bipolaire pour étudier le comportement de portes logiques en technologie TTL face à des interférences RF. Reste que dans la plus grande majorité des cas, les modèles proposés sont surtout analytiques et basés sur la physique du semi-conducteur.

Dans les années 1980, la technologie MOS est en plein essor. Des premiers travaux mettent expérimentalement en évidence des dysfonctionnements de cette technologie quand elle est soumise à des agressions. Par exemple, Roach [30] montre qu'il est possible de modifier, voire de bloquer des mémoires NMOS avec des perturbations ciblées. Sur le plan de la modélisation du comportement des étages MOS face aux agressions EM, des travaux commencent à être publiés vers le milieu de la décennie. En 1984, l'un des premiers [31] [32] utilise des modèles SPICE de transistors MOSFET pour étudier des étages d'entrée/sortie de circuits intégrés à logique NMOS (et pas encore CMOS) soumis à des EMI (Electromagnetic Interferences). Il y met en évidence des comportements de blocage (latch-up) et de modification du temps de propagation.

A la fin des années 1980, une fois la technologie CMOS bien implantée, les études de susceptibilité se font plus nombreuses. Mais elles se concentrent surtout sur trois phénomènes particuliers : l'influence des agressions sur les délais de propagation [33], le rôle des protections ESD [34], et l'upset et le latch-up des circuits [35] [36]. Dans tous ces cas, ce sont les expérimentations qui sont privilégiées par rapport aux modélisations, même si des tentatives sont faites dans ces travaux : [36] utilise les modèles SPICE fournis par les fabricants avec de bons résultats.

Les études publiées à partir de cette période et qui se rapportent plus particulièrement aux étages d'entrée et aux inverseurs CMOS se focalisent quasiment toutes [37] [38] [39] [40] [41] [42] sur le phénomène de latch-up. Kye-chong [38] montre par exemple expérimentalement que les agressions impulsionnelles peuvent provoquer un latch-up dans un inverseur plus facilement qu'une agression monofréquence, mais aucune simulation n'est proposée pour montrer que les modèles peuvent rendre compte de ce comportement. Jie [39] [40] s'empare de ce problème et montre que ces phénomènes peuvent être modélisés, mais en utilisant des modèles au niveau électronique du semi-conducteur (équations des porteurs), tout comme Xinhai [41]. Des modèles de niveau d'abstraction plus élevés, comme SPICE, ne sont pas proposés, ni même évoqués. Cependant, Wang [42] propose étude comparative expérimentale/théorique sur le latch-up d'inverseurs CMOS, la partie simulation étant effectuée à partir des modèles SPICE cryptés fournis par les fabricants. Il apparaît que les modèles utilisés sont imparfaits et ne peuvent pas toujours rendre compte des phénomènes observés.

Dans un travail assez proche de ce que nous nous proposons de faire, Firestone [43] a effectué une étude expérimentale et théorique de référence sur le comportement d'inverseurs classiques du commerce face à des agressions HPM. Les résultats qu'il a obtenus sur le plan expérimental montrent toute une palette de réactions de ces composants, principalement des redressements et détections d'enveloppe par les diodes de protection ESD, ou des latch-ups. En ce qui concerne la phase de simulation, il a – dans l'esprit de ce que nous comptons le

faire – essayé de paramétrer les modèles SPICE des MOSFETS des inverseurs à partir des données qu'il a trouvées dans les datasheets des différents fabricants et par recoupement avec des données de process d'un fondeur. Les résultats donnés par ces modèles « maison » sont plus qu'honorables, mais présentent quelques limites et lacunes. Cependant, Firestone ne s'est pas focalisé sur ces modèles de MOSFET des inverseurs, mais plutôt sur les protections ESD des inverseurs. En effet, étant donné le fort niveau d'agression qu'il utilisait la plupart du temps, ces protections étaient activées et il lui est apparu que leur rôle était prépondérant dans les réponses obtenues.

Par la suite, son travail a été repris par Holloway [14], et s'est vraiment concentré sur le rôle des protections ESD dans le cas d'agression HPM haut niveau. Cependant, comme les protections « mettent en forme » le signal arrivant sur l'inverseur, il était nécessaire de disposer d'un modèle d'inverseur absolument fonctionnel. Pour cela, Holloway a mis au point son propre modèle d'inverseur, et fait réaliser le circuit intégré (incluant protection ESD et inverseur) par un fondeur, lequel lui a fourni des modèles SPICE exhaustifs de haut niveau (BSIM3 pour les MOSFETs) pour chaque élément du circuit.

Il ressort de cet état de l'art que la modélisation des inverseurs CMOS que nous pouvons espérer utiliser ou développer dans cette étude est tributaire des relations que nous avons avec les fondeurs. Dans le cas le plus favorable, toutes les informations sont accessibles, et il est envisageable d'utiliser des modèles au niveau électronique du semi-conducteur [39] [40] [41] ou des modèles SPICE très performants [14]. Dans le cas contraire – et notre cas donc – il nous reste à nous rabattre vers les modèles donnés par les fabricants [42] pour les utiliser comme base à partir de laquelle développer des modélisations plus performantes, en utilisant les bribes d'informations données par les fabricants [43].

Mais en tout état de cause, il n'existe pas à ce jour de modèle générique des inverseurs CMOS, simple et de haut niveau d'abstraction, qui puisse être paramétré en fonction de la technologie ou du fabricant, et qui soit performant à la fois dans le domaine fonctionnel du composant ainsi qu'au-delà de sa bande de fonctionnement normal. C'est vers ce type de modèle que nous souhaitons aller dans cette étude, et la démarche de modélisation sera complètement explicitée au chapitre IV.

1.8 Conclusion

Dans ce premier chapitre, notre sujet d'étude a été introduit et présenté. D'abord, nous nous sommes intéressés au contexte d'étude en citant les différentes sources de perturbations coupables d'agressions électromagnétiques sur les circuits intégrés. Puis, l'influence de la miniaturisation a été abordée en spécifiant ses avantages pour le marché des semi-conducteurs et ses inconvénients à propos de la détérioration de la susceptibilité. Ensuite, la menace à laquelle les circuits intégrés sont soumis a été détaillée en donnant quelques exemples de sources de perturbations intentionnelles. Puis, le cheminement de l'agression de sa source au circuit intégré a été étudié en citant les différents types de couplage, et quelques effets rencontrés dans des études précédentes sur la vulnérabilité des circuits numériques face aux agressions de haute puissance ont été présentés. A ce stade, nous nous sommes focalisés sur le composant de base de cette étude en définissant le transistor MOS et l'inverseur CMOS. La structure et le fonctionnement de chaque circuit ont été expliqués. Enfin, un état de l'art sur les modélisations des effets des agressions électromagnétiques sur les composants numériques, et en particulier des inverseurs, a été dressé.

Dans le chapitre suivant, nous présenterons notre banc d'expérimentation pour l'étude des comportements des inverseurs face aux agressions électromagnétiques intentionnelles. Les circuits, appareils de mesure et problèmes rencontrés y seront détaillés.

2 Mise en place de la plateforme d'expérimentation

2.1 Introduction

Depuis des décennies, plusieurs études [12] [25], [27], [28] [29], [32], ont été menées sur la susceptibilité des composants électroniques face à des agressions électromagnétiques intentionnelles ou non. La majorité d'entre elles, à but militaire ou civil, consistait à injecter des niveaux de perturbation très élevés et à quantifier les effets observés. Les résultats obtenus ont conduit au cours de ces dernières années à des améliorations qui ont permis de renforcer la protection des systèmes tout en se dirigeant vers une miniaturisation de plus en plus accrue. Cependant, malgré ces perfectionnements, les composants restent toujours vulnérables à des sources de perturbations particulières qui peuvent être produites en rayonné ou en conduit.

On distingue deux méthodes principales de caractérisation. Dans le premier cas, le composant entier est soumis à un champ électromagnétique et la puissance rayonnée se répartit sur l'ensemble de ses broches d'Entrée/Sortie. Cette répartition rend la procédure de test imprécise car le niveau de puissance injecté à chaque port et les effets de celui-ci restent inconnus. Par contre, lorsque l'objectif recherché est la destruction fonctionnelle ou le dysfonctionnement définitif du composant, cette méthode de perturbation est suffisante. L'intérêt de son utilisation est qu'en réalité, cette situation est la plus probable notamment lorsque la victime est distante et qu'elle n'a aucune liaison commune avec le système agresseur (comme par exemple dans le cas d'un drone). Pour cette configuration, des environnements de tests normalisés, tels que les chambres réverbérantes (*CR*), anéchoïques (*CA*) ou les cellules *TEM*, sont utilisés. Cependant, ces environnements possèdent plusieurs inconvénients, notamment leur limitation en fréquence, et de plus, pour les *CR* et *CA*, la nécessité d'utiliser des antennes différentes en fonction des bandes de fréquences et de puissants amplificateurs [6].

Dans le second cas, l'injection conduite, la perturbation est directement injectée sur les composants à tester. Cela permet entre autres de cibler une broche précise du composant, tout en connaissant au mieux les caractéristiques de l'agression incidente. Cette injection peut se faire par connexion directe sur le circuit via un condensateur, par exemple, comme dans la méthode DPI (Direct Power Injection) [44], soit via une pince d'injection de courant placée sur un câble, comme pour la méthode BCI (Bulk Current Injection) [45]. Ces deux méthodes travaillent dans le domaine harmonique, et en ce qui concerne le domaine temporel, peu de méthodes normalisées existent, hormis pour les décharges électrostatiques [46]. Au vu du type de dysfonctionnement recherché, aux fréquences de travail et à la précision à apporter à notre étude, nous avons préféré la perturbation des composants par agression conduite transitoire.

Dans cette partie, nous expliciterons donc toutes les conditions nécessaires à la mise en place d'une plateforme d'expérimentation et de caractérisation dans le domaine temporel. Cette dernière sera utilisée dans le chapitre suivant pour observer et analyser la vulnérabilité des composants face aux agressions électromagnétiques. Nous commencerons par une définition du cœur de la plateforme d'expérimentation, à savoir les composants électroniques. Le choix de ces derniers sera justifié ainsi que leurs caractéristiques et leur intégration sur des *PCB* (Printed Circuit Boards ou Circuits Imprimés). Nous décrirons ensuite le banc de mesure et ses différents équipements constitutifs. Cette section soulignera également les problèmes engendrés par l'association de ces appareils de mesure et les approches appliquées pour leur

résolution. Finalement, nous nous intéresserons aux formes d'ondes capables de perturber le fonctionnement du composant. De plus, une présentation claire de chaque type de perturbation sera faite en insistant sur l'influence des divers paramètres et de leurs valeurs.

2.2 Circuits testés

Des composants numériques, tels que les mémoires ou les fonctions logiques, aux composants analogiques, tels que les amplificateurs et les convertisseurs, la littérature propose une large variété d'études de la susceptibilité des composants électroniques [12]. Puisque notre sujet fait référence à une étude précédente sur les circuits de protection des composants numériques [1], il nous a semblé plus logique et judicieux de continuer de nous intéresser à cette catégorie de composants. De plus, de nos jours, les composants numériques sont les plus répandus et la structure de leurs étages d'entrée est de plus en plus uniforme. Par opposition, l'étude de la susceptibilité des composants analogiques reste aussi importante car ils sont présents dans de nombreux systèmes électroniques et leurs architectures sont de plus en plus susceptibles aux perturbations. Cette susceptibilité des composants analogiques, accentuée en général par l'absence d'étages d'entrée, continuera certainement de faire l'objet d'investigations sur l'analyse de la susceptibilité des composants électroniques.

Dans l'énorme majorité des composants numériques, le premier étage que rencontre un signal d'entrée est un inverseur. Le but de cet étage est principalement une fonction de mise en forme : adaptation des niveaux, mise en forme, limitation des transitoires, etc., ce qu'on regroupe généralement sous le terme de "tampon" (buffer en anglais). L'inverseur est une brique de base des technologies numériques dont il représente la fonction la plus simple et sa structure est parfaitement connue et étudiée. Ainsi l'étude de ces inverseurs représente le moyen le plus simple pour modéliser les comportements des étages d'entrées face aux agressions électromagnétiques. De plus, ce choix est dicté par le fait qu'il est difficile, voire impossible, de trouver des composants numériques proposant un accès direct (de manière isolée) à leur étage d'entrée.

Nous avons donc choisi de nous concentrer sur cette fonction et nous nous sommes procuré des inverseurs logiques du commerce et, de manière à avoir une vue d'ensemble dans cette étude, de fabricant et de technologies différents. Les inverseurs choisis sont les descendants du vénérable *SN7404*, circuit intégré en technologie *TTL* (Transistor-Transistor Logic) de Texas Instruments, comprenant six inverseurs dans un même boîtier. Nous nous sommes cependant limités à la technologie *CMOS* aux dépens du bipolaire et du *BiCMOS*, car c'est la plus simple à mettre en œuvre et de loin la plus répandue dans les systèmes électroniques. Par ailleurs, la limitation d'amplitude due à l'amplificateur RF fait que seuls les inverseurs susceptibles de fonctionner sous une tension d'alimentation inférieure ou égale à 3V seront testés. Parmi ceux-ci nous avons choisi les familles suivantes :

- *74HC04* (*HC* pour *High-speed CMOS*) : c'est l'une des plus anciennes famille de la technologie *CMOS*. Elle a été créée pour remplacer une série de la technologie *TTL* tout en améliorant la consommation de puissance et l'immunité au bruit grâce à sa sortie "*rail-to-rail*". Sa gamme de tension d'alimentation (V_{CC}) est de 2 à 6V et son temps de propagation (T_{PD}) typique est d'environ 7ns (à $V_{CC}=5V$ et $C_{LOAD}=15pF$).
- *74AC04* (*AC* pour *Advanced CMOS*) : de la même manière, cette famille a été conçue pour remplacer une autre série de la technologie *TTL* (plus rapide que la famille *HC*) en gardant la même vitesse et en améliorant la consommation. V_{CC} est dans la gamme

2 à 6V et son temps de propagation maximal est d'environ 4.5ns (à $V_{CC}=3V$ et $C_{LOAD}=50pF$).

- **74AHC04 (AHC pour *Advanced High-speed CMOS*)** : c'est une version améliorée de la famille HC (trois fois plus rapide et une consommation plus faible). V_{CC} peut varier entre 2 et 5.5V et son temps de propagation typique est d'environ 5ns (à $V_{CC}=3.3V$ et $C_{LOAD}=15pF$).
- **74LVC04 (LVC pour *Low Voltage CMOS*)** : Initialement, pour que les trois familles précédentes fonctionnent en 3.3V, il suffisait de réduire la tension d'alimentation. Cependant, cette manœuvre aboutissait à forte augmentation du temps de propagation (lenteur). Donc la catégorie "*Low voltage*", à laquelle appartiennent aussi les deux prochaines familles, a été conçue spécifiquement pour des applications à faible tension et en gardant une vitesse acceptable. Sa gamme de tension d'alimentation (V_{CC}) est de 1.65 à 3.6V (5V pour les *tiny* : 1 porte) et son temps de propagation maximal est d'environ 2.5ns (à $V_{CC}=3V$ et $C_{LOAD}=50pF$).
- **74LV04 (LV pour *Low Voltage CMOS*)** : c'est une version "*low cost*" de la famille LVC. Elle est conçue pour être utilisée dans le cas où la vitesse n'est pas le principal paramètre du cahier de charges d'un designer. Elle peut être considérée comme une version "*low voltage*" de la famille HC. V_{CC} doit être entre 2 à 5.5V et son temps de propagation maximal est d'environ 5ns (à $V_{CC}=3V$ et $C_{LOAD}=15pF$).
- **74ALVC04 (ALVC pour *Advanced Low Voltage CMOS*)** : c'est une version améliorée (plus rapide) de la famille LVC. V_{CC} doit être compris entre 1.65 à 3.6V et son temps de propagation maximal est d'environ 2.8ns (à $V_{CC}=3V$ et $C_{LOAD}=50pF$).
- **74AUP04 (AUP pour *Advanced Ultra Low Power CMOS*)** : cette famille présente une faible puissance de dissipation statique et dynamique. V_{CC} est compris entre 0.9V et 3.6V et son temps de propagation est d'environ 3ns (à $V_{CC}=3V$ et $C_{LOAD}=15pF$).
- **74AUC04 (AUC pour *Advanced Ultra Low Voltage CMOS*)** : cette famille est conçue pour fonctionner à $V_{CC}=1.8V$. Cependant la gamme de tension d'alimentation est comprise entre 0.9V à 3.6V. Son temps de propagation est d'environ 1.5ns (à $V_{CC}=3V$ et $C_{LOAD}=30pF$).

De manière à avoir une vue d'ensemble dans cette étude, nous avons fait en sorte que, pour une famille technologique donnée, nous puissions dans la mesure du possible avoir à notre disposition des composants provenant des principaux fabricants : Fairchild Semiconductors, NXP, Texas Instruments, Harris (acquis par Texas), ON Semiconductors, Diodes Inc. et ST Microelectronics..

Par ailleurs, les inverseurs que nous nous sommes procurés se présentent sous différentes encapsulations. D'une part, certains inverseurs sont regroupés sous forme de six portes individuelles et intégrées sur la même puce de silicium, dans le même boîtier. En général, ils se composent de quatorze broches : deux représentent l'alimentation et la masse communes aux différentes portes et les douze autres forment l'entrée et la sortie de chaque inverseur. D'une part, afin d'économiser de l'espace (coûteux pour le fabricant), certains inverseurs se présentent sous forme de porte individuelle à l'intérieur d'un boîtier minuscule "*Little logic*" ou "*Tiny logic*". La Figure 2-1 représente les différents types de boîtiers et leurs tailles. Afin de déduire l'influence des différents boîtiers sur le comportement des inverseurs face aux agressions, une comparaison sera effectuée entre des circuits identiques sous différents boîtiers.

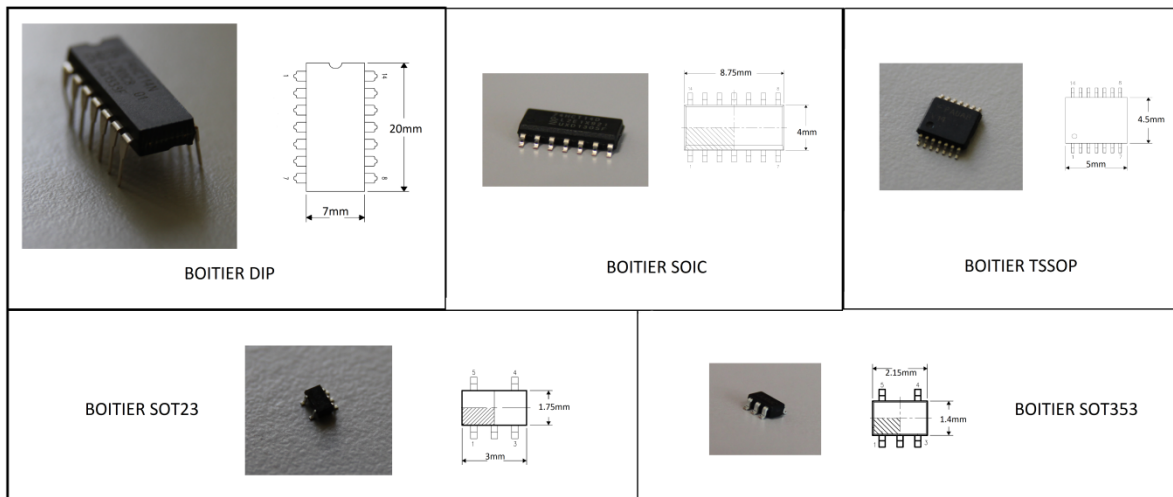


Figure 2-1 : Les différents boîtiers des inverseurs sélectionnés

2.3 Circuits imprimés (PCB)

Après le choix des circuits et la connaissance de leur taille (en fonction des boîtiers), des *PCB* (*Printed Circuit Board*), sur lesquels ils seront soudés, ont été fabriqués. Comme le montre la Figure 2-2, ces plaquettes incorporent les pistes des différents signaux, les composants passifs, et les différentes interfaces permettant de relier les inverseurs aux équipements de mesures. Afin de maîtriser au mieux les conditions de mesure, la conception des PCB doit répondre à des contraintes CEM pour limiter l'apparition d'effets parasites susceptibles de dégrader la qualité de nos signaux. Parmi celles ci, on peut citer la minimisation de la longueur des connexions, la suppression de boucles de masse, etc. Concernant les boîtiers intégrant six portes indépendantes, puisque la tension d'alimentation est commune, il a fallu isoler les inverseurs inutilisés en connectant leurs entrées à la masse afin d'éviter toute perturbation sur la porte testée [47].

Afin d'adapter le générateur de signaux à l'inverseur, une résistance de 50Ω montée en surface a été placée à l'entrée de tous les inverseurs mesurés. De plus, pour éviter la perturbation de la tension d'alimentation par des signaux parasites, une capacité de découplage de 100nF a été insérée entre la broche d'alimentation et la masse.

L'interface entre les appareils de mesure et le PCB s'est faite à l'aide de connecteurs SMA. Leur choix, contrairement aux BNC, est lié à leur haute fréquence d'utilisation (18GHz). Quant à l'acquisition de données par l'oscilloscope, des embases prévues dans la conception des PCB permettent de connecter les sondes de mesure au plus près du circuit, et ainsi de minimiser les délais de propagation entre les broches du circuit testé et les points de mesure, ainsi que les inductances parasites, paramètres qui pourraient entacher la mesure.

Les sorties des inverseurs, y compris celui qui est sous test, sont laissés en « en l'air » et ne seront chargées que par la sonde de mesure de l'oscilloscope.

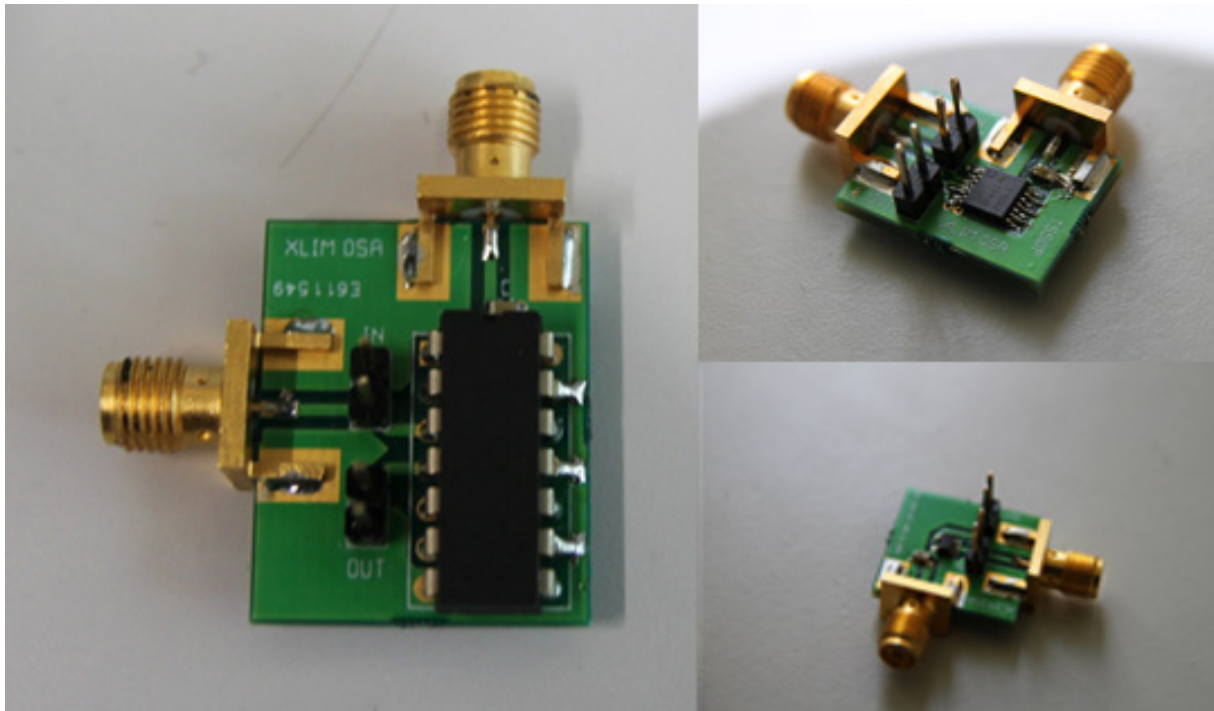


Figure 2-2 : Exemples de circuits imprimés (PCBs) pour des boîtiers DIP-14, TSSOP-14 et SOT-353.

2.4 Banc de mesure et procédure de caractérisation

2.4.1 Présentation du banc de mesure

Comme précédemment mentionné, l'injection sera effectuée dans le domaine temporel afin de relever les phénomènes transitoires produits par les composants. Autrement dit, le composant sera soumis, en entrée, à un signal dont le niveau et la forme particulière sont bien définis tout en observant sa réaction au niveau de sa sortie. Pour cela, nous avons mis en place un banc de caractérisation schématisé en Figure 2-3. Il est constitué d'une source de perturbation formée par un générateur de signaux arbitraires (*AWG* pour *Arbitrary Waveform Generator*) suivi d'un amplificateur RF, du composant (*IST* pour *Inverseur Sous Test*) et d'un système d'observation et d'acquisition de signaux (oscilloscope). La conception de ce banc de caractérisation a nécessité une attention particulière, notamment vis-à-vis de l'introduction de phénomènes parasites liés aux équipements et susceptibles d'altérer les résultats de mesure. Dans la suite de cette section, nous reviendrons en détail sur la génération de la source de perturbation. Quant au système d'acquisition de signaux, il se compose d'un oscilloscope *DPO7354* de *TEKTRONIX®* [48]. Sa bande passante est de 3.5GHz, comme les sondes actives *TAP3500* dont il est équipé, nous permettant ainsi de relever précisément les grandeurs de mesure (tensions d'entrée et de sortie du composant). L'acquisition des signaux sur l'oscilloscope est synchronisée (trigger) par un signal impulsionnel additionnel issu de l'AWG et généré au début de chaque onde de test. Les signaux d'agressions, bien que transitoires seront répétitifs avec une période assez longue (de l'ordre d'une milliseconde) pour permettre un moyennage sur plusieurs acquisitions de signal, de manière à augmenter la dynamique de mesure et minimiser le niveau de bruit.

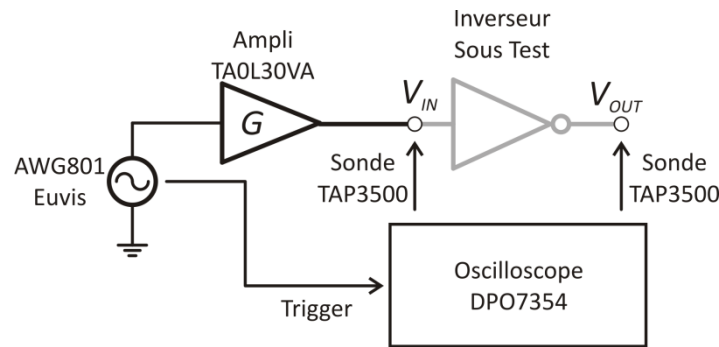


Figure 2-3 : Schéma synoptique du banc de caractérisation

Puisque les signaux temporels sont à relever, une attention particulière a été portée à la calibration préliminaire aux mesures. Tout d'abord, il est nécessaire d'effectuer une autocalibration de l'oscilloscope après qu'il ait atteint sa température de fonctionnement normal. Cette procédure permet d'égaliser en interne les temps de trajet des signaux sur les différentes voies (Signal Path Compensation).

Chaque sonde de mesure a ensuite été calibrée à l'aide de sources internes à l'oscilloscope, et enfin, nous avons ajusté le décalage temporel entre les deux voies de mesure (deskew) à l'aide d'un petit circuit illustré à la Figure 2-4. Ce circuit est composé simplement d'une terminaison 50Ω et de deux connecteurs pour les sondes de mesure. La même tension est mesurée en même point par les deux sondes, permettant ainsi d'évaluer un décalage temporel existant entre deux voies de mesure. Dans notre cas, un décalage de l'ordre de 100ps entre les signaux de ces deux sondes a été compensé au niveau de l'oscilloscope.

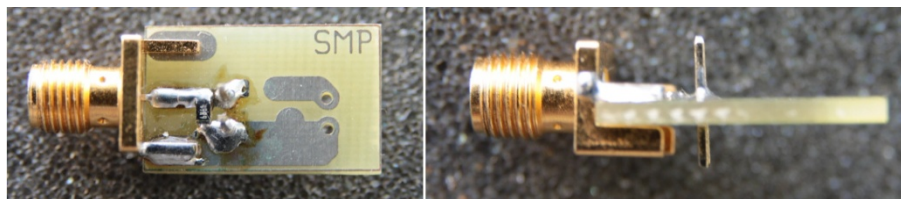


Figure 2-4 : Circuit utilisé pour le deskew

Ces étapes de calibrage, du choix du déclenchement et de la synchronisation des signaux temporels acquis par l'oscilloscope sont primordiales afin d'éviter toute insertion de délai supplémentaire aux temps de propagation. En effet, comme nous le verrons dans la prochaine section, les différentes méthodes de traitement appliquées aux signaux temporels ne tolèrent aucune erreur, notamment celles causées par les appareils d'acquisition.

L'impédance d'entrée des sondes est schématiquement représentée par la mise en parallèle d'une capacité (C_{SONDE}) et d'une résistance (R_{SONDE}). Ces éléments correspondent à la capacité et la résistance d'entrée données directement par *TEKTRONIX*® [48], avec des valeurs de $R_{SONDE} = 40k\Omega$ et $C_{SONDE} = 0.8pF$. La sortie de l'inverseur sera donc uniquement chargée par ce circuit haute impédance qui, du fait de la capacité minimale de la sonde, devrait permettre à l'inverseur de fonctionner à des fréquences les plus hautes possibles.

Nous nous sommes proposés de vérifier ces valeurs en effectuant des mesures d'impédances d'entrées des inverseurs (Chapitre III) avec et sans ces sondes. Le résultat de ces mesures a permis de confirmer ces valeurs typiques, qui seront ensuite prises en compte dans les

mesures et les simulations à venir. Une photo de ce banc de caractérisation complet est donnée à la Figure 2-5.

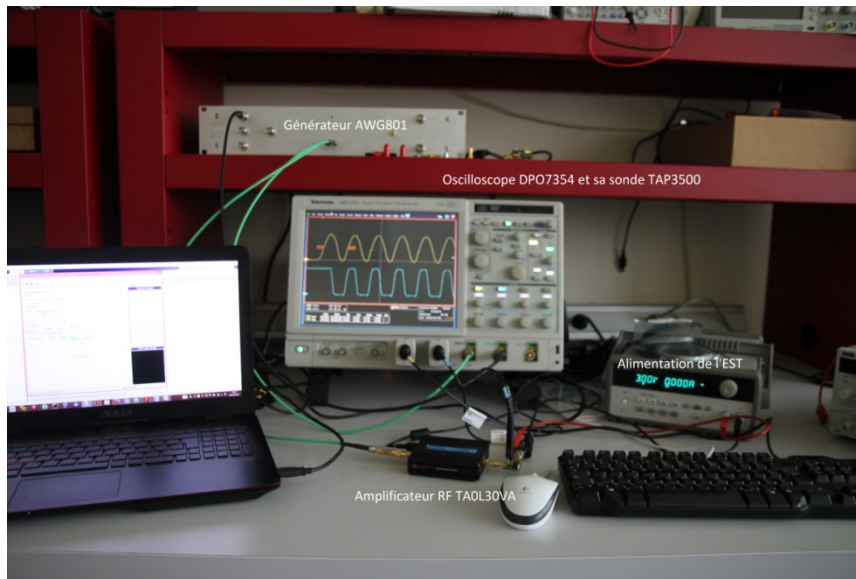


Figure 2-5 : Photo du banc de caractérisation

2.4.2 Source de perturbation

Dans la majorité des études sur la susceptibilité des composants électroniques dans le domaine temporel, la source de perturbation est réalisée en associant, à l'aide d'un té de polarisation, un générateur de tension continue ou de signaux logiques avec un autre fournissant les perturbations. Dans notre cas nous remplaçons cette combinaison par un *AWG* qui a l'avantage de proposer plus de souplesse sur la forme du signal généré. Nous utilisons le module *AWG801* conçu par *EUVIS®* [49] dont les spécifications sont représentées au Tableau 2-1. Il est équipé d'une horloge interne de 4GHz permettant de fournir un mot de 11bits à chaque front soit un taux d'échantillonnage de 8Géchantillons par seconde. De plus, sa mémoire est capable de stocker 8Mmots de 11bits correspondant à un signal d'une durée maximale d'environ 1ms. Cependant, l'absence d'amplificateur interne rend sa tension de sortie assez faible. Pour pallier ce problème, nous avons utilisé un amplificateur RF *TA0L30VA* de Centellax [50] dont les caractéristiques sont données au Tableau 2-2.

Tableau 2-1 : Spécifications de l'AWG 801

AWG801	
Résolution	11 bits
Taux d'échantillonnage	8 Gsps
Tension de sortie	0 - 600 mV
Impédance de sortie	50 Ω

Tableau 2-2 : Spécifications de l'ampli RF

TA0L30VA (ou N4985A KEYSIGHT)	
Bande passante	100 kHz - 30 GHz
Gain	30 dB
Psat	22 dBm
Impédance de sortie	50 Ω

L'amplificateur est inverseur et possède une très grande bande passante, et son gain permet d'espérer une amplitude crête de sortie de plus de 3V, mais sans pouvoir atteindre les 5V des technologies numériques les plus classiques. Ceci explique le choix que nous avons fait d'utiliser une tension d'alimentation de 3V pour les circuits que nous testerons.

La combinaison de ces deux équipements rend notre étude plus complexe car elle ajoute d'autres difficultés sur la génération de la source de perturbation. En effet, la principale difficulté que nous avons eu à gérer est liée à la non linéarité de la réponse impulsionnelle de l'amplificateur RF qui entraîne une déformation des signaux, comme illustré à la Figure 2-6. Par souci de précision, la période d'échantillonnage de ces signaux est fixée à 125ps (soit la période d'échantillonnage de l'AWG) et le signal en sortie de l'ampli RF a une durée supérieure à 5 μ s avant de revenir à zéro: la réponse transitoire de l'amplificateur est extrêmement longue, et nous nous retrouvons donc avec des séquences de plus de 40.000 points temporels. Nous observons sur la Figure 2-6 des déformations très marquées sur la tension de sortie de l'amplificateur RF. L'utilisation de ce type de signal rendrait imprécise notre étude et les effets observés seraient difficiles à interpréter. Ainsi, une correction de ces déformations doit être apportée en évaluant la réponse impulsionnelle de l'amplificateur RF. En d'autres termes, le problème consiste à trouver une forme de signal, en sortie de l'AWG, capable de compenser ces déformations pour retrouver le signal réellement désiré en sortie de l'amplificateur. Cette compensation s'effectuera par la caractérisation du système en évaluant sa réponse impulsionnelle.

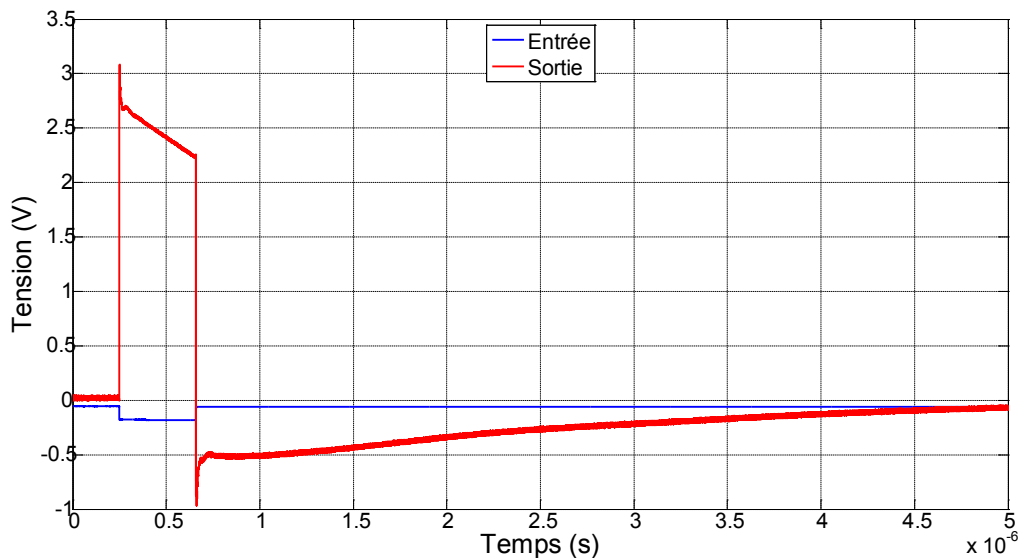


Figure 2-6 : Réponse de l'amplificateur RF à une impulsion carrée

Une première approche a consisté à utiliser des méthodes de déconvolution, dont le principe est d'inverser le produit de convolution d'un système linéaire, à partir des signaux temporels d'entrée et de sortie de l'amplificateur RF (comme ceux de la Figure 2-6). Ces méthodes seront explicitées dans la suite de cette section. Une fois que la réponse impulsionnelle (ou la fonction de transfert) de l'amplificateur RF est trouvée, il faudra effectuer une nouvelle opération de déconvolution pour déterminer le signal d'entrée à injecter à l'amplificateur, fonction du signal de sortie désiré

2.4.3 Déconvolution simple dans le domaine temporel [51] [52]

L'équation de convolution d'un système linéaire s'écrit :

$$y(t) = x(t) * h(t) = h(t) * x(t) \stackrel{\text{def}}{=} \int_{-\infty}^{+\infty} x(\tau) \cdot h(t - \tau) d\tau = \int_{-\infty}^{+\infty} h(\tau) \cdot x(t - \tau) d\tau \quad (2.1)$$

Où $h(t)$, $x(t)$ et $y(t)$ sont respectivement la réponse impulsionnelle, les signaux d'entrée et de sortie du système.

Pour un système discret dont les signaux d'entrée et de sortie sont sous forme de séquence (avec une période d'échantillonnage ΔT), l'équation de convolution devient – à un instant $t=n\Delta T$:

$$y(n\Delta T) = \sum_{m=-\infty}^{+\infty} h(m\Delta T) \cdot x(n\Delta T - m\Delta T) \Delta T \quad (2.2)$$

En d'autres termes,

$$y(n) = \Delta T \cdot \sum_{m=-\infty}^{+\infty} h(m) \cdot x(n - m) \quad (2.3)$$

En général, on omet le terme ΔT , et pour des signaux causaux et finis, la forme standard de la convolution discrète est :

$$y(n) = \sum_{m=0}^n h(m) \cdot x(n - m) \quad (2.4)$$

En développant cette sommation, il advient,

$$\begin{aligned} y(0) &= h(0) \cdot x(0) \\ y(1) &= h(0) \cdot x(1) + h(1) \cdot x(0) \\ y(2) &= h(0) \cdot x(2) + h(1) \cdot x(1) + h(2) \cdot x(0) \\ &\vdots \end{aligned} \quad (2.5)$$

A partir de ce système d'équations, la réponse impulsionnelle est obtenue par :

$$\begin{aligned} h(0) \cdot x(0) &= y(0) \\ h(1) \cdot x(0) &= y(1) - h(0) \cdot x(1) \\ h(2) \cdot x(0) &= y(2) - h(0) \cdot x(2) + h(1) \cdot x(1) \\ &\vdots \end{aligned} \quad (2.6)$$

Donc l'équation générale déterminant la réponse impulsionnelle par déconvolution s'écrit :

$$h(n) = \frac{y(n) - \sum_{m=1}^n h(m) \cdot x(n - m)}{x(0)} \quad (2.7)$$

Cette méthode est simple mais elle présente l'inconvénient de dépendre fortement de la première valeur du signal d'entrée $x(0)$. Lorsque cette valeur est faible le résultat de cette déconvolution diverge. Dans notre cas, le signal d'entrée commence par des valeurs nulles (Figure 2-6). Afin d'éviter cette divergence, nous supprimons les valeurs nulles du début en retardant les signaux temporels, comme illustré à la Figure 2-7.

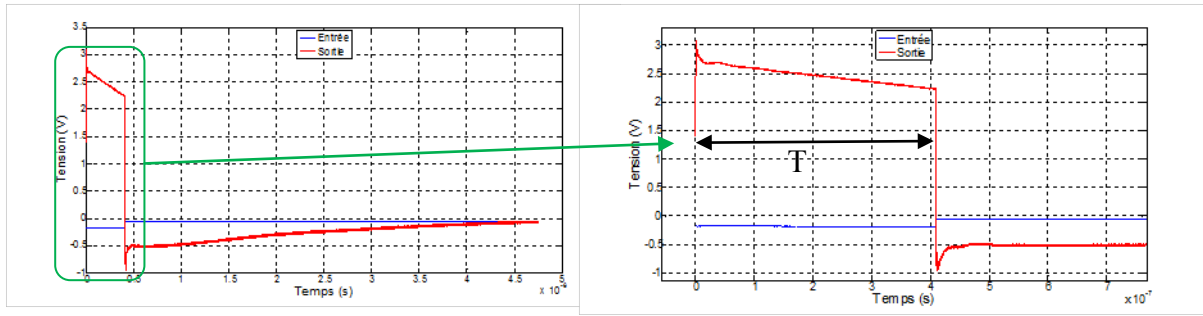


Figure 2-7 : Signaux d'entrée et sortie retardés utilisés pour la déconvolution temporelle

Puisque ces signaux ne sont pas complets, leur utilisation dans la déconvolution aboutit à un manque d'information sur la réponse impulsionnelle. Le résultat obtenu est typique de celui présenté à la Figure 2-8. Nous y observons de petites variations d'amplitudes périodiques. Cette période correspond à la largeur d'impulsion des signaux temporels. Le résultat présente également un niveau de bruit qui peut être réduit par un moyennage (ou lissage) préalable des signaux temporels. Malheureusement, ces opérations supplémentaires aboutissent à une modification de la réponse impulsionnelle, et donc, une imprécision dans la génération des signaux. En somme, la forte dépendance de la réponse impulsionnelle aux paramètres des signaux d'entrée et de sortie (formes, temps de transition, niveau de bruit) rend caduque l'utilisation de cette méthode de déconvolution. Ce résultat est justifié par le manque de paramètres dans la définition du système, à savoir, dans l'équation de convolution, le fait de négliger des termes supplémentaires liés à sa non linéarité. Pour améliorer cette opération de déconvolution, nous optons pour une méthode à changement de domaine dont nous expliciterons la technique au paragraphe suivant.

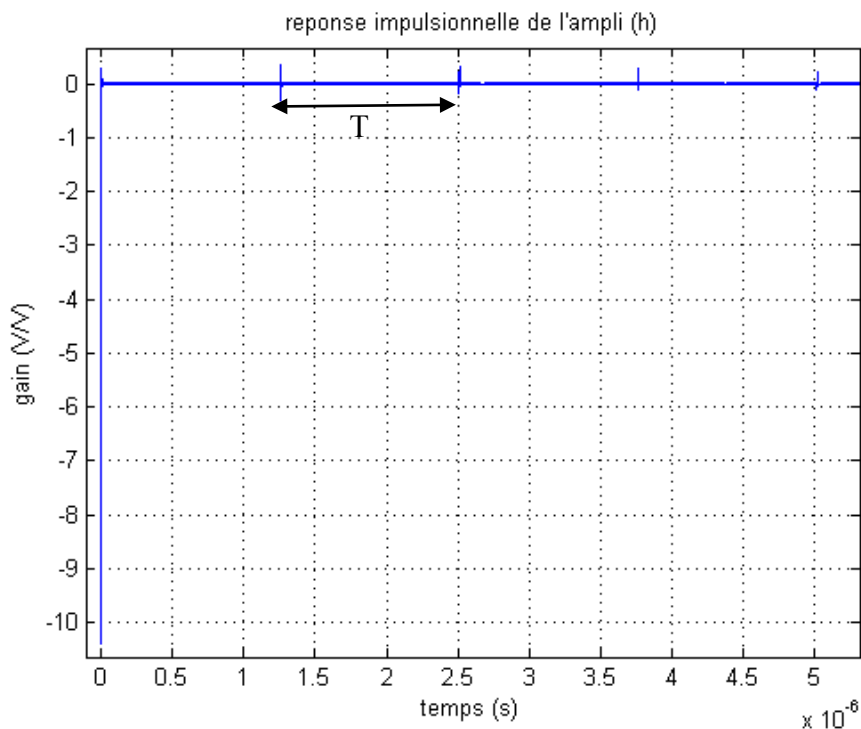


Figure 2-8 : Réponse impulsionnelle obtenue par déconvolution temporelle

2.4.4 Déconvolution simple dans le domaine fréquentiel [53] [51] [54]

Le changement de domaine par Transformée de Fourier ou Laplace pour effectuer une déconvolution est avantageux puisque le produit de convolution dans le domaine temporel se transforme en une simple multiplication. Dans le cas du domaine fréquentiel la fonction de transfert du système est obtenue directement par :

$$y(t) = x(t) * h(t) \xrightarrow{DFT} Y(f) = X(f) \cdot H(f) \Rightarrow H(f) = \frac{Y(f)}{X(f)} \xrightarrow{\text{discret}} H(n) = \frac{Y(n)}{X(n)} \quad (2.8)$$

Avec $Y(f) = TF(y(t))$, $X(f) = TF(x(t))$ et $H(f) = TF(h(t))$

$$Y(n) = TFD(y(n)), X(n) = TFD(x(n)) \text{ et } H(n) = TFD(h(n))$$

La Figure 2-9 montre la transformée de Fourier Discrète des signaux temporels de la Figure 2-6 et le résultat du calcul de la fonction de transfert de l'amplificateur sur la Figure 2-10.

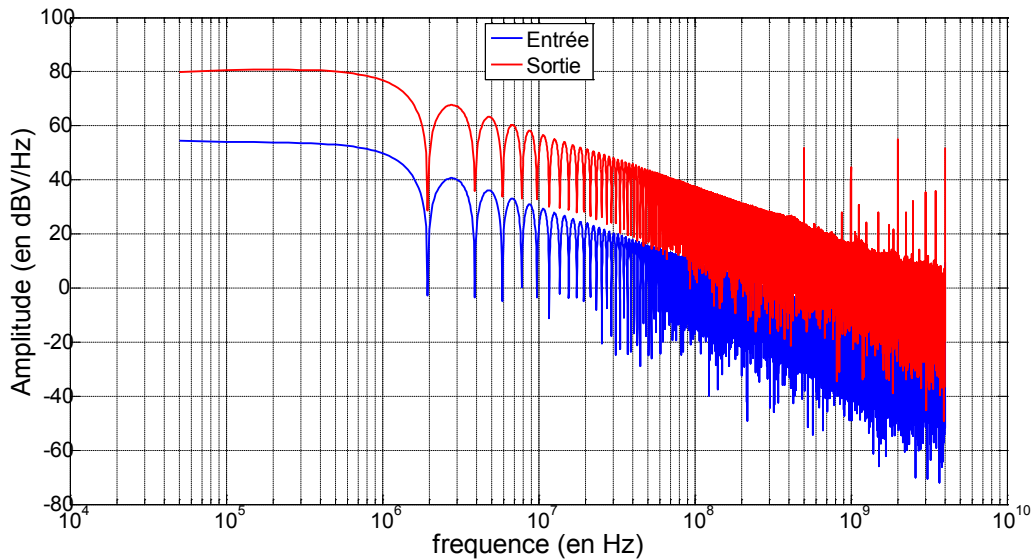


Figure 2-9 : Module du spectre des signaux d'entrée et de sortie

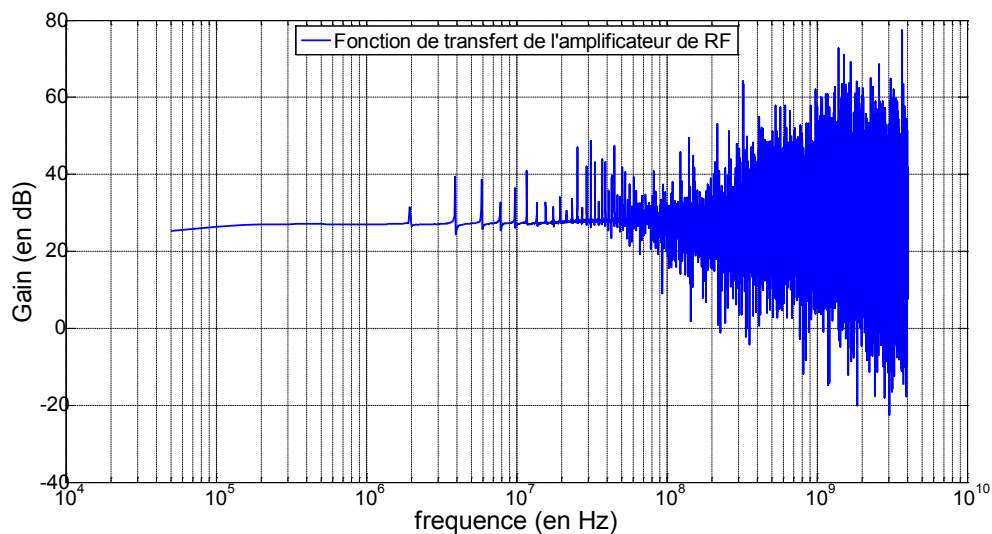


Figure 2-10 : Module de la fonction de transfert de l'amplificateur RF estimée dans le domaine fréquentiel

Pour une bonne représentation de l'amplificateur RF, c'est à dire la prise en compte de tous les effets transitoires, la bande de fréquence sur laquelle s'effectue la transformée de Fourier doit être assez grande. Par contre, nous observons sur la Figure 2-10 que la fonction de transfert est entachée d'une erreur numérique liée au rapport des spectres des signaux temporels et qui engendre, du fait de valeur très faibles du spectre de $x(t)$ en haute fréquence, un niveau de bruit élevé. De plus, les fréquences à partir desquelles cette erreur apparaît dépendent du type des signaux temporels. Dans le cas de signaux temporels de type impulsionnel, comme ceux de la Figure 2-6, la fréquence d'apparition de l'erreur est inverse de la largeur d'impulsion (c'est à dire la durée que met l'impulsion à l'état haut). Pour augmenter cette fréquence, des impulsions plus courtes doivent être utilisées. Par contre, avec ces types d'impulsions, certaines déformations des signaux temporels sont omises et cette perte d'information sur l'amplificateur RF ne fournit pas de signaux perturbateurs acceptables. Ainsi, un bon choix du type de signaux utilisés est primordial dans une opération de déconvolution. Face à ce paradoxe, nous avons décidé de maintenir notre type de signaux temporels et d'agir directement sur la fonction de transfert quitte à perdre des informations sur la caractéristique de l'amplificateur RF. Afin de diminuer l'influence de cette erreur numérique, nous appliquons un filtrage passe-bas (dont il existe différents types) sur la fonction de transfert, comme l'illustre la Figure 2-11.

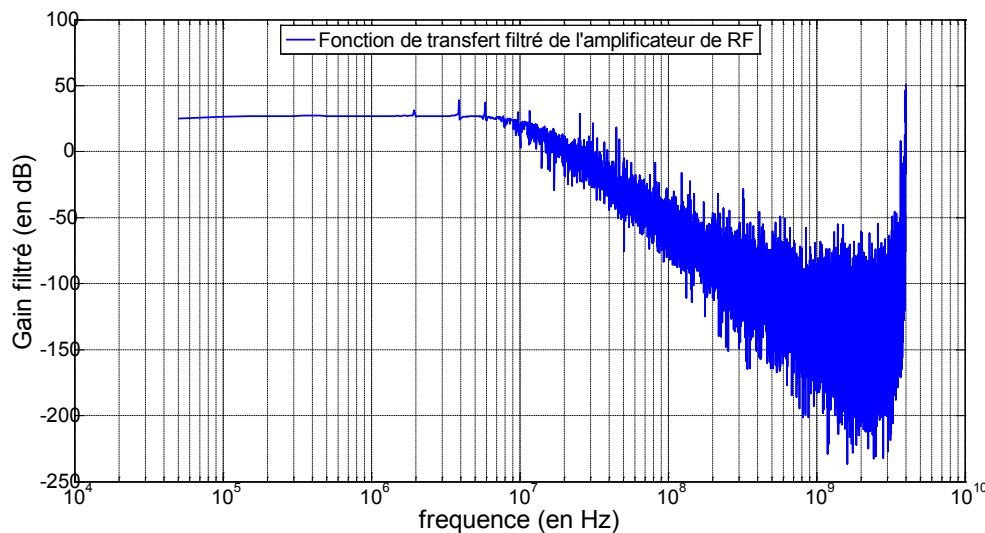


Figure 2-11 : Module de la fonction de transfert filtrée de l'amplificateur RF

Nous observons sur cette dernière que la bande passante de l'amplificateur RF se trouve modifiée à partir de 100MHz. En conséquence, l'absence d'informations aux fréquences plus hautes (due au filtrage) fait que les effets transitoires rapides de l'amplificateur RF (overshoot, faible undershoot, petites oscillations, ...) ne sont plus présents sur ce signal perturbateur. Pour résumer, la méthode de déconvolution dans le domaine fréquentiel est avantageuse par rapport à celle du domaine temporel car elle permet d'obtenir un résultat mais son utilisation résulte à une perte de précision provoquée par les conversions entre domaine qui introduisent des erreurs numériques.

Une autre approche a consisté à déterminer directement la fonction de transfert de l'amplificateur RF avec un analyseur de réseau vectoriel (*VNA* pour *Vector Network Analyzer*) comme le montre la Figure 2-12. Le modèle de *VNA* utilisé est un ZVB4 conçu par ROHDE&SCHWARZ® et ayant une bande passante de 4GHz. Puis le signal d'entrée de

l'amplificateur est évalué par déconvolution fréquentielle. Le résultat obtenu a un faible niveau de bruit mais certains effets transitoires (petites oscillations) persistent toujours. Pour éviter les problèmes liés au changement de domaine, nous reprenons les séquences de signaux temporels et la réponse impulsionnelle est évaluée par une technique des moindres carrés.

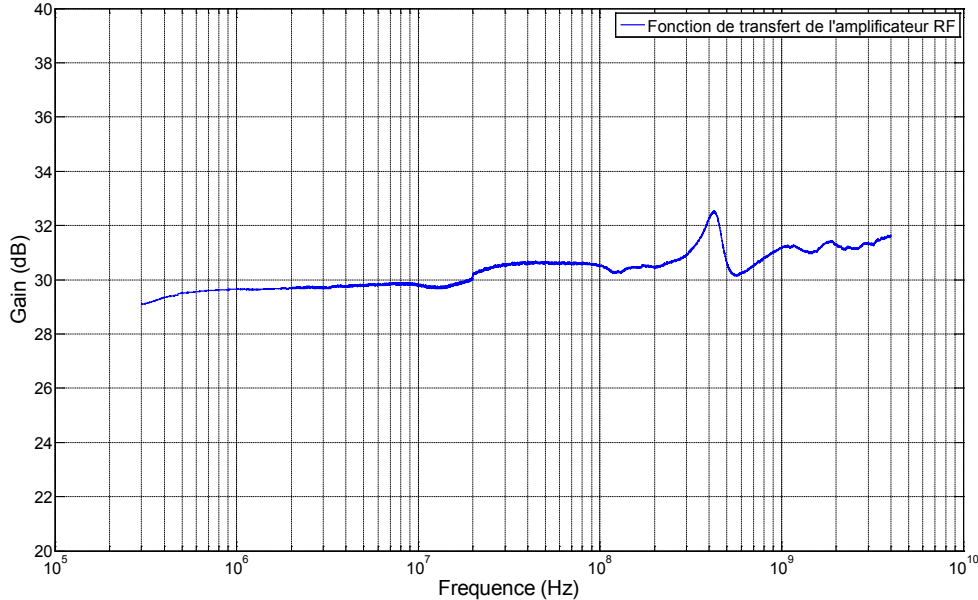


Figure 2-12 : Fonction de transfert de l'amplificateur RF (S21)

2.4.5 Déconvolution temporelle par moindres carrés [52]

Cette méthode est semblable à la technique de déconvolution temporelle classique, mais l'équation de convolution est traduite sous forme matricielle. Lorsque les signaux d'entrée et de la réponse impulsionnelle ont une taille de N échantillons, l'équation de convolution s'écrit :

$$\begin{bmatrix} x(0) & 0 & \dots & 0 \\ x(1) & x(0) & & \vdots \\ \vdots & x(1) & & 0 \\ x(N-1) & \vdots & \dots & x(0) \\ 0 & x(N-1) & \dots & x(1) \\ \vdots & 0 & & \vdots \\ 0 & \vdots & & \vdots \\ 0 & 0 & \dots & x(N-1) \end{bmatrix} \cdot \begin{bmatrix} h_e(0) \\ h_e(1) \\ \vdots \\ h_e(N-1) \end{bmatrix} = \begin{bmatrix} y_e(0) \\ y_e(1) \\ \vdots \\ y_e(N-1) \\ \vdots \\ y_e(2N-1) \end{bmatrix} \quad (2.9)$$

Où $h_e(t)$ est la réponse impulsionnelle estimée (légèrement différente de $h(t)$, la solution idéale) et $y_e(t)$ le résultat de convolution de $h_e(t)$ avec le signal d'entrée $x(t)$.

Ce système peut s'écrire aussi :

$$AX = B \text{ avec } A_{i,j} = \begin{cases} 0 & ; i < j \\ 0 & ; i - j \geq N \\ x(i - j) & ; \text{ailleurs} \end{cases} \quad (2.10)$$

$$X_i = h_e(i - 1): \text{estimation de } h$$

$$B_i = y_e(i - 1): \text{estimation de } y$$

La solution exacte est obtenue lorsque y_e est égal à y , autrement dit en minimisant l'erreur entre ces deux résultats. Cette erreur se définit par :

$$E = \text{erreur} = \sum_{n=0}^{2N-2} [y(n) - y_e(n)]^2 \quad (2.11)$$

Cette erreur est minimisée lorsque sa dérivée est nulle. Ces développements aboutissent au système suivant :

$$RX = G \text{ où } R = A^T A \text{ et } G = A^T B \quad (2.12)$$

R représente la matrice d'auto-corrélation du signal d'entrée et G est la matrice d'inter-corrélation des signaux d'entrée et de sortie.

Cette technique est plus facile et précise que les méthodes précédentes mais elle nécessite énormément de ressources pour sa mise en œuvre. En effet, comme nous l'avons mentionné plus tôt, les critères de précision et de prise en compte de toutes les déformations du signal induisent respectivement le choix du pas d'échantillonnage le plus petit (125ps) et d'une durée de signal importante (> 40 k points). Donc les variables et les matrices constituées par ces données ont des tailles conséquentes et nous nous sommes rapidement retrouvés confrontés à une limite de capacité mémoire durant l'opération d'inversion de matrices, ce qui rend finalement cette technique peu efficace étant donnée la multiplicité des signaux d'entrée que nous avons utilisés.

2.4.6 Modélisation de l'amplificateur RF par un filtre passe-haut avec gain

A la suite de l'échec de ces méthodes de déconvolution pour évaluer la réponse impulsionnelle de l'amplificateur RF, une autre alternative a consisté à modéliser celui-ci par un filtre passe-haut simple (la limite fréquentielle basse de l'amplificateur est de 100kHz) constitué d'éléments passifs (résistance $R = 50 \Omega$ et capacité C) et à gain fixe (correspondant à celui de l'amplificateur RF). Le choix et l'ajustement de la valeur du condensateur se sont faits en comparant la réponse du filtre à celle de l'amplificateur RF comme le montre la Figure 2-13.

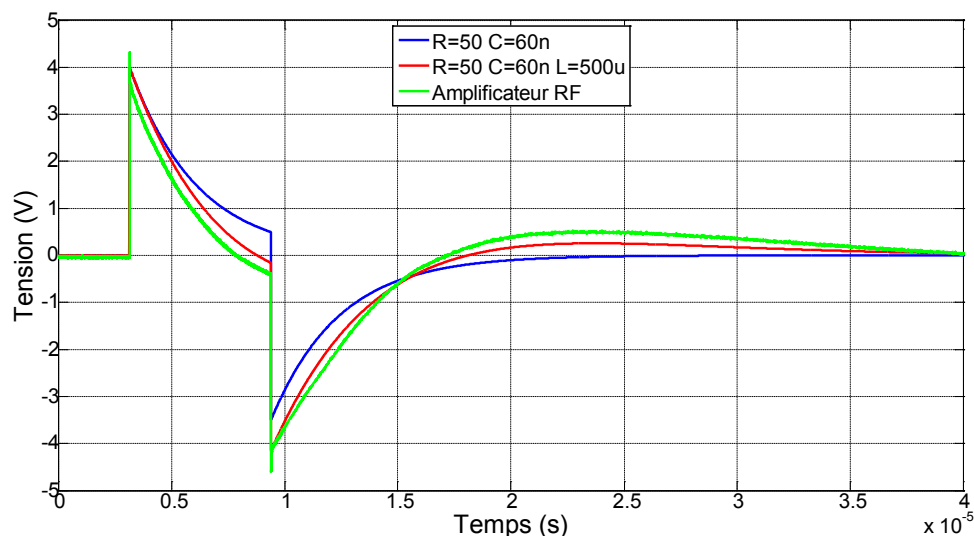


Figure 2-13 : Comparaison des réponses de l'amplificateur RF et du filtre passe haut

Nous remarquons que la réponse symétrique du filtre est différente de celle de l'amplificateur. Cette différence est réduite en ajoutant une inductance au filtre passe-haut comme le montre la Figure 2-14. De cette manière, la réponse impulsionnelle de l'amplificateur RF est obtenue analytiquement en évaluant la fonction de transfert du filtre.

$$H_{RLC} = \frac{G}{1 - \frac{1}{LC\omega^2} - \frac{j}{RC\omega}} \quad (2.13)$$

La réponse de l'amplificateur étant exprimée sous une forme analytique, il ne reste plus qu'à définir le signal souhaité, en sortie de l'amplificateur RF, et d'y appliquer la correction. La Figure 2-15 illustre les signaux d'entrée et de sortie du filtre passe-haut. La première remarque concerne la polarité et le gain existants entre ces deux signaux. Ces différences traduisent l'amplification et la fonction inversion de l'amplificateur RF. Puis, nous observons qu'au niveau du signal d'entrée, l'amplitude de l'impulsion est légèrement modifiée afin de compenser les déformations de l'amplificateur. Ainsi, cette solution sera utilisée pour la génération de tous les signaux perturbateurs de différentes formes d'onde.

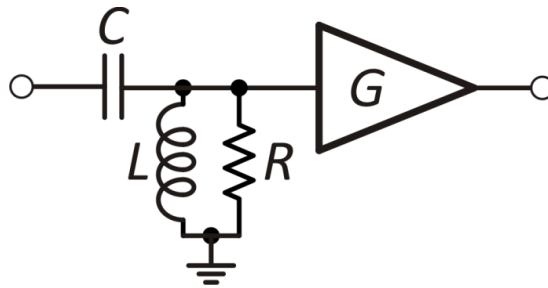


Figure 2-14 : Modèle de l'amplificateur RF par filtre passe haut avec du gain

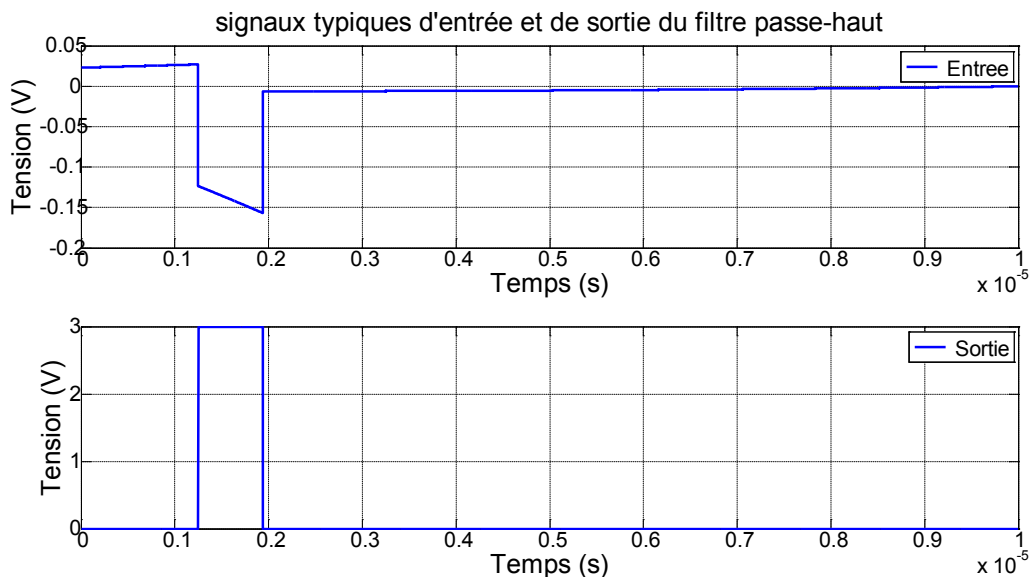


Figure 2-15 : Signaux d'entrée et de sortie du filtre passe-haut avec pré-correction

2.5 Perturbations utilisées

Cette thèse fait suite à une étude [1] caractérisant les éléments de protection des composants numériques. Ces protections, situées sur tous les ports d'entrée et de sortie, ont pour but de détecter et de dévier toute tension supérieure à la tension d'alimentation ou inférieure à la

tension de référence (masse). En pratique, elles sont surtout utiles pour protéger les circuits des décharges électrostatiques. En conséquence, la partie fonctionnelle du composant reste protégée de toute éventuelle surtension ou perturbation d'amplitude élevée qui risque de provoquer sa destruction. Par ailleurs, lorsqu'une source de perturbation a un niveau de tension situé dans la bande d'amplitude permise, sa forme et ses variations peuvent générer des dysfonctionnements du composant. Dès lors que les éléments de protection sont inactifs, ce signal perturbateur est directement amené aux buffers d'entrées dont le comportement affectera la vulnérabilité du composant entier. Dans la suite de cette partie nous discuterons des différents types de signaux que nous avons utilisés pour cette étude et auxquels seront soumis les étages d'entrées. Bien que capables de perturber intentionnellement la bonne opération du composant, ces signaux ont été principalement définis pour établir des limites de fonctionnement (fréquence, amplitude, etc.) et observer les mécanismes transitoires qui peuvent conduire à des dysfonctionnements des circuits.

Les composants présentent des limites de fonctionnement spécifiées par chaque fabricant. La plus importante limite est la fréquence maximale à partir de laquelle le bon fonctionnement est altéré. En d'autres termes, le spectre des composants est divisé en zone '*INBAND*', où le bon fonctionnement est assuré, et en zone '*OUTBAND*', où le composant est supposé être inopérant. Pour confirmer les données fournies par le fabricant, nous avons défini un premier type de signal perturbateur permettant de connaître la vitesse maximale des composants. Ce type de signal est illustré à la Figure 2-16.

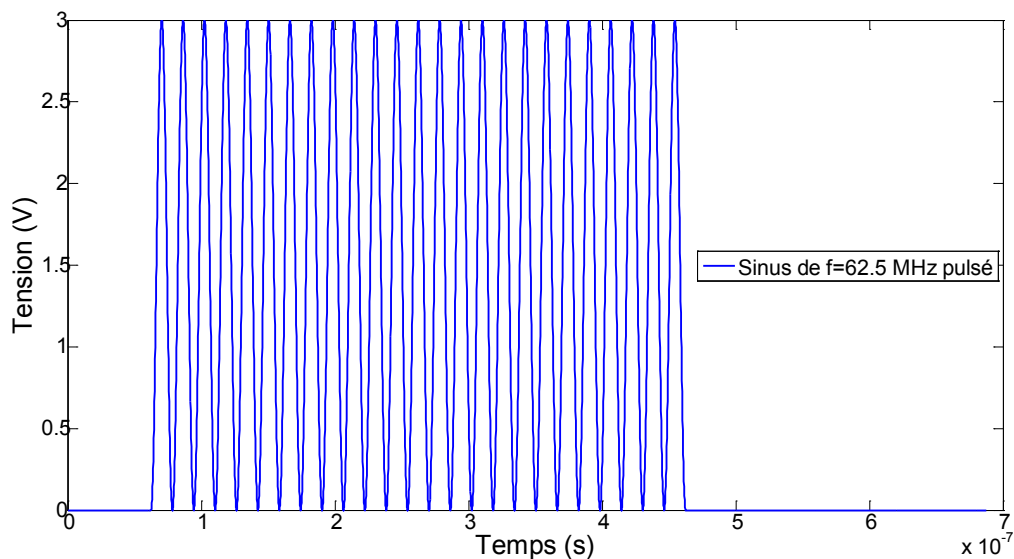


Figure 2-16 : Signal perturbateur N° 1 (Sinusoïde modulée par une impulsion)

Il est constitué simplement d'une sinusoïde continue modulée par une impulsion. Le choix de cette modulation, par opposition à un signal continu, permet d'observer le comportement transitoire du composant, et en particulier les mécanismes d'établissement et d'extinction du régime entretenu, ainsi que l'influence des différents paramètres de la modulation (largeur d'impulsion, durée du signal,...). En appliquant ce type de signal pour différentes fréquences de sinusoïdes, le comportement du composant dans toutes les zones de fonctionnement sera analysé et les mécanismes mis en jeu dans les étages d'entrées seront explicités.

Comme nous l'avons exposé au premier chapitre, les inverseurs logiques constituant les tampons (buffers) d'entrée peuvent être caractérisés par leur fonction de transfert (*VTC* pour

Voltage Transfer Characteristic) qui relie le signal d'entrée au signal de sortie de l'inverseur. A partir de cette caractéristique, le seuil de tension d'entrée pour lequel un basculement de la tension de sortie a lieu, est relevé. En statique, cette *VTC* est unique et elle présente, pour certains inverseurs, des seuils de basculement différents et fonction de leur état précédent (phénomène d'hystérésis). Ce décalage entre les seuils de basculement permet de prémunir l'inverseur contre les instabilités de la tension de sortie provoquées par le bruit lorsque le signal d'entrée est proche de sa tension de basculement. Lors du fonctionnement dynamique de l'inverseur, ces seuils de basculement haut/bas et bas/haut sont de plus en plus différents. Cette différence traduit l'influence des variations temporelles de la tension d'entrée sur ces points de basculement. La Figure 2-17 illustre ces modifications de seuils de basculement pour un inverseur soumis à des signaux d'entrée de différentes fréquences.

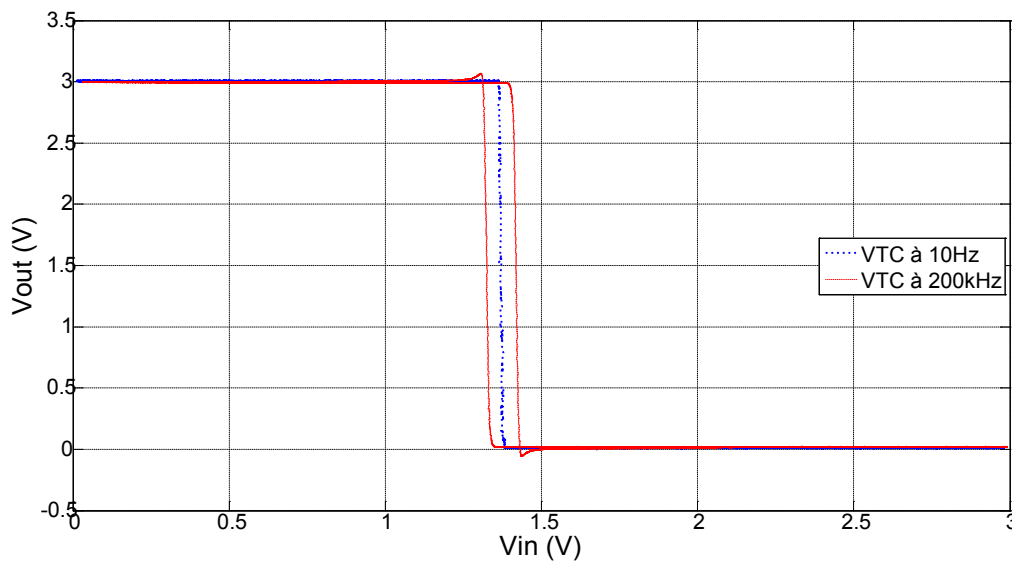


Figure 2-17 : Influence de la fréquence sur le point de basculement

A partir de cette caractéristique, nous définissons un second type de signal perturbateur en utilisant la sinusoïde modulée par une impulsion de la Figure 2-16. Puis, nous y incorporons des variations d'amplitude de sorte à mettre en évidence le phénomène de changement des points de basculement. De plus, pour évaluer l'influence de l'état précédent du composant sur ces points de basculements, la variation de l'amplitude est effectuée de deux manières différentes comme le montrent la Figure 2-18 et la Figure 2-19. Pour chaque fréquence, l'influence des paramètres de la modulation d'impulsion, tel que la durée de l'impulsion, sera étudiée afin de prendre en compte l'existence de temps d'établissement à la sortie de l'inverseur. En effet, certains inverseurs peuvent présenter, à l'application d'un signal d'entrée, une courte durée sans aucune réaction avant de basculer par la suite. De tels temps d'établissement sont généralement liés à des accumulations de charges.

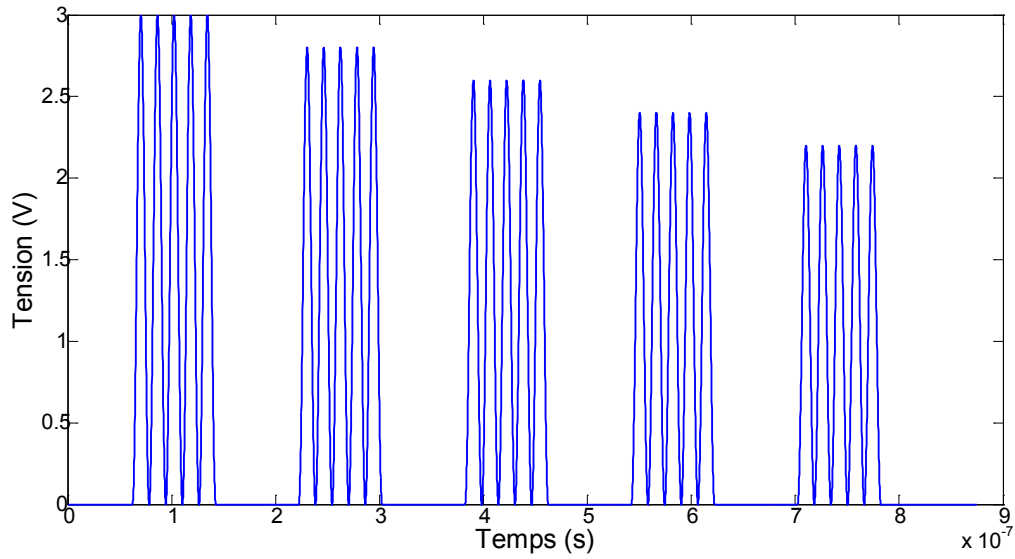


Figure 2-18 : Signal perturbateur N° 2 : variation de l'amplitude crête

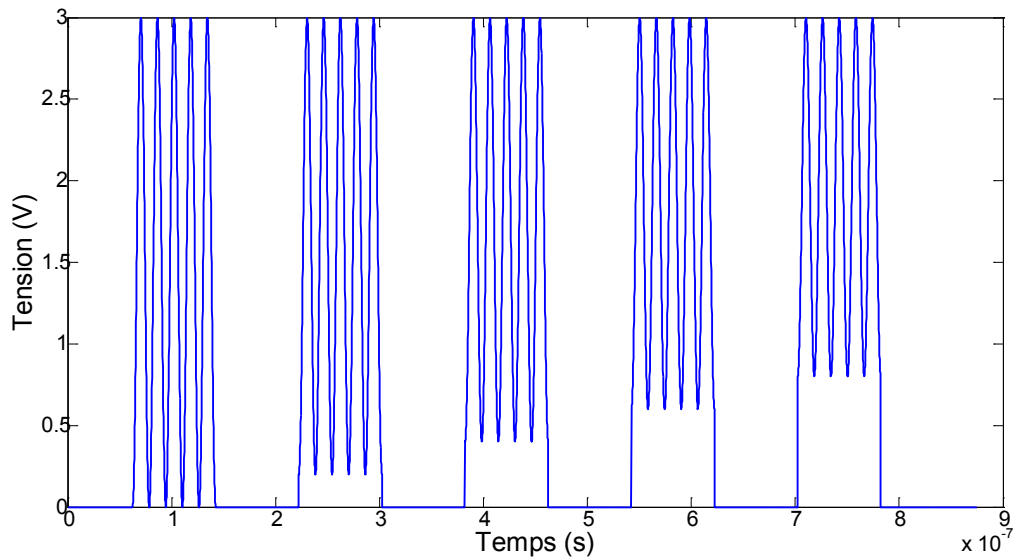


Figure 2-19 : Signal perturbateur N° 3 : variation du niveau "bas"

Finalement, afin de combiner les deux premiers types de perturbations précédents, des sinusoïdes modulées en amplitude, comme le montre la Figure 2-20, seront appliquées aux composants. Ces signaux pourront aussi servir d'applications et de vérifications aux modèles que nous développerons au chapitre IV.

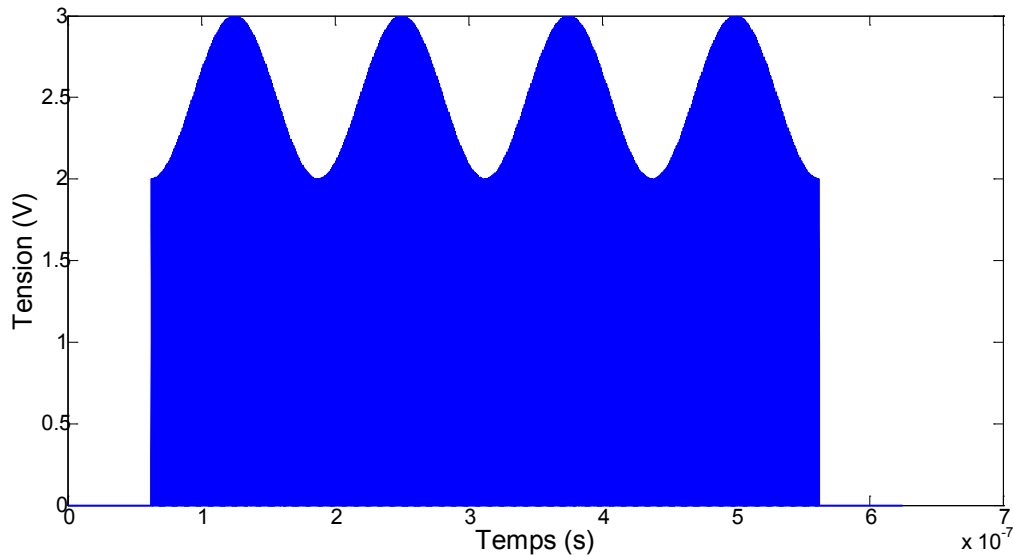


Figure 2-20 : Signal perturbateur N° 4

2.6 Conclusion

Dans ce chapitre, nous avons décrit le banc de mesure que nous allons utiliser. Ce dernier va permettre d'effectuer des mesures expérimentales dans le domaine temporel sur des circuits intégrés afin d'observer leur comportement face à des agressions électromagnétiques. Nous avons commencé par définir et expliquer le choix des inverseurs. De plus, différentes informations concernant les circuits imprimés et le système d'acquisition de ces mesures ont également été fournies. L'association d'un générateur et d'un amplificateur afin de générer un signal perturbateur d'un niveau suffisant et de la forme temporelle voulue a mis en lumière des problèmes liés à la réponse de l'amplificateur utilisé. Différentes méthodes de résolution de ce problème par déconvolution ont été présentées et une solution acceptable a été adoptée. Finalement, nous avons présenté les signaux perturbateurs qui vont être appliqués aux inverseurs. Les caractéristiques de chaque type de signal ont été explicitées, ainsi que leurs effets attendus lors de la phase de mesure.

La plateforme d'expérimentation va donc être utilisée afin d'observer les comportements des inverseurs face aux différents signaux perturbateurs définis. D'autres expérimentations telles que les impédances d'entrées de différentes broches des inverseurs ou les caractéristiques de transfert seront également faites, et la présentation de tous ces résultats sera faite dans le chapitre suivant.

3 Résultats expérimentaux

3.1 Introduction

La plateforme d'expérimentation définie au chapitre précédent sera mise en service dans cette section pour observer les comportements des inverseurs face aux signaux perturbateurs. D'abord nous commencerons cette phase de caractérisation par la détermination des impédances d'entrée de certains ports des inverseurs. Ces mesures seront étendues à différentes valeurs et combinaisons des signaux d'entrée et d'alimentation. A chaque changement de variable, une comparaison par famille technologique et par fabricant sera effectuée. En conséquence, des résultats typiques et particuliers seront illustrés. Ensuite, nous nous orienterons vers une évaluation de la caractéristique statique des inverseurs. De la même manière que les impédances d'entrée, une analyse des résultats et une comparaison entre les inverseurs seront faites. Enfin, nous nous focaliserons sur les comportements des inverseurs face aux différents signaux perturbateurs définis dans le chapitre précédent. Un tableau récapitulatif des fréquences maximales de fonctionnement, classé par famille technologique et par fabricants, sera explicité. En conséquence, les comportements INBAND et OUTBAND des inverseurs permettront de remarquer les différences de structure entre les fabricants d'une même famille technologique. Ces résultats seront complétés par l'application des autres signaux perturbateurs et l'illustration des comportements particuliers qui en résultent.

3.2 Résultats de mesure

3.2.1 Liste des composants

Une première étape de cette phase d'expérimentation a consisté à choisir les inverseurs avec lesquels les mesures seront effectuées. Conformément à la liste de familles technologiques CMOS donnée dans le chapitre précédent, nous nous sommes procurés tous les inverseurs disponibles dans le commerce en prenant la précaution, pour chaque fabricant, de diversifier les choix. Autrement dit, la liste des inverseurs comprend, pour chaque famille technologique et chaque fabricant, des variantes d'inverseurs (Bufférisés ou non) dans différents types de boîtiers. Il est important de rappeler que les inverseurs se trouvent soit par sextuplés dans des boîtiers de dimensions plus grandes (DIP, SOIC et TSSOP), soit par porte unique dans des boîtiers de type SOT (SOT23 ou SOT353). Le choix de cette large gamme est dicté également par le critère générique du modèle que nous entendons développer au chapitre suivant. Cette liste d'inverseurs CMOS est donnée dans le Tableau 3-1. Cela représente un nombre assez conséquent de circuits à mesurer, et les diverses expérimentations développées dans les prochaines sections ne seront pas appliquées automatiquement à tous ces inverseurs. En effet, il faut rappeler que l'objectif à terme est de déduire des comportements et des caractéristiques générales en fonction des familles technologiques ou des fabricants.

Tableau 3-1: Liste des différents inverseurs à caractériser

Famille	Référence	Boîtier	Remarque	Fabricant
HC	CD74HC04E	DIP		Harris (TI)
	CD74HC04M	SOIC		
	SN74HC04N	DIP		Texas Instruments
	SN74HC04D	SOIC		
	SN74HC04PW	TSSOP		
	SN74HCU04N	DIP	Non bufférisé	
	SN74HCU04D	SOIC	Non bufférisé	
	74HC04N	DIP		NXP
	74HC1G04GW	SOT353	Mono Porte	
	MC74HC04AN	DIP		On Semiconductors
AC	CD74AC04E	DIP		Harris (TI)
	CD74AC04M	SOIC		
	SN74AC04N	DIP		Texas Instruments
	SN74AC04D	SOIC		
	74AC04SC	SOIC		Fairchild
	74AC04MTC	TSSOP		
AHC	SN74AHC04N	DIP		Texas Instruments
	SN74AHC04D	SOIC		
	SN74AHC04PW	TSSOP		
	SN74AHC1G04DCKR	SOT353	Mono Porte	
	74VHC04M	SOIC		Fairchild
	NC7S04P	SOT353	Mono Porte	
	74AHC1G04GW	SOT353	Mono Porte	NXP
	MC74VHC1G04DTT	SOT23	Mono Porte	On Semiconductors
	74AHC1G04W5	SOT23	Mono Porte	Diodes Inc
	74AHC1G04SE	SOT353	Mono Porte	
	74V1G04CTR	SOT353	Mono Porte	ST Micro
	74V1G04STR	SOT23	Mono Porte	
LVC	SN74LVC04AD	SOIC		Texas Instruments
	SN74LVC04ADB	SSOP		
	SN74LVC04APW	TSSOP		
	SN74AHC1G04DCKR	SOT353	Mono Porte	
	SN74AHC1G04DBVR	SOT23	Mono Porte	
	74LCX04M	SOIC		
	74LCX04MTC	TSSOP		
	NC7S04P	SOT353	Mono Porte	
	NC7S04M	SOT23	Mono Porte	
	74LVC1G04GW	SOT353	Mono Porte	NXP
	74LVC1G04W5	SOT23	Mono Porte	Diodes Inc.
	74AHC1G04SE	SOT353	Mono Porte	
	74LX1G04CTR	SOT353	Mono Porte	ST Micro
	74LX1G04STR	SOT23	Mono Porte	
LV	SN74LV04AD	SOIC		Texas Instruments
	SN74LV04APW	TSSOP		
	74LV04D	SOIC		NXP
AUP	SN74AUP1G04DBVT	SOT23	Mono Porte	Texas Instruments
	SN74AUP1G04DCKT	SOT353	Mono Porte	
	NC7SP04P		Mono Porte	Fairchild
ALVC	SN74ALVC04PW	SOIC		Texas Instruments
AUC	NC7SV04P	SOT353	Mono Porte	Fairchild
	NC7SV14P	SOT353	Mono Porte/Trigger de Schmitt	

3.2.2 Impédances d'entrée des inverseurs

L'évaluation de l'impédance d'entrée (Z_e) de certains ports des inverseurs constitue le premier type de caractérisation réalisé. Les ports concernés sont celui de l'alimentation et l'entrée de l'inverseur car ce sont les seuls à être accessibles, au niveau du PCB, avec des interfaces et des connecteurs adéquats. Ces mesures ont été réalisées à l'aide de l'analyseur de réseau vectoriel ZVB4 conçu par Rohde & Schwarz® et décrit au chapitre précédent. De plus, elles sont évaluées avant l'insertion de la capacité de découplage de 100nF au niveau de la broche de l'alimentation et de la résistance d'adaptation d'impédance de 50Ω au niveau de l'entrée de l'inverseur. Ces conditions permettent d'éviter toute corruption des résultats de mesure due aux effets de ces éléments passifs. L'évaluation des impédances d'entrée de ces ports permet d'abord de se conformer aux résultats de certaines études précédentes réalisées sur la vulnérabilité et la modélisation de circuits logiques [43] [55]. Puis, elle explicite des informations sur la structure de l'inverseur, notamment, la présence ou non d'une partie des éléments de protection. De plus, par comparaison avec les courbes typiques des impédances d'entrées, une défaillance, due au processus d'intégration sur PCB ou du composant lui même, peut être détectée avant d'entamer des mesures plus poussées avec les signaux perturbateurs définis dans le chapitre précédent. Ces valeurs d'impédances d'entrées permettent également d'observer l'influence des effets des boîtiers et d'en extraire des modèles de ces derniers.

3.2.2.1 Broche d'entrée des inverseurs

Dans un premier temps, nous nous intéressons à l'entrée des inverseurs en évaluant leur impédance d'entrée. Nous commençons d'abord par déduire l'influence de la tension d'alimentation sur cette impédance d'entrée. La Figure 3-1 montre l'évolution fréquentielle de cette impédance pour l'inverseur de la famille technologique HC, fabriqué par TEXAS INSTRUMENTS selon la technologie HARRIS, et encapsulé dans un boîtier de type DIP (CD74HC04E).

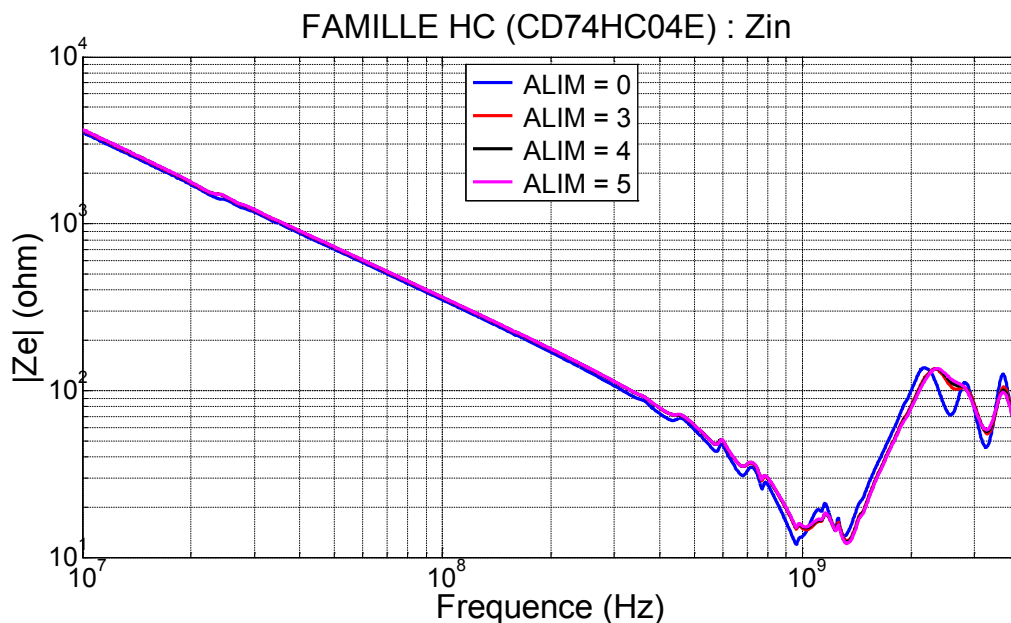


Figure 3-1 : Comparaison entre les modules de Z_e (broche d'entrée) du CD74HC04E en fonction de l'alimentation

Nous y observons des comportements identiques dans le cas d'une alimentation positive. Ces comportements sont légèrement différents du cas d'une absence d'alimentation (ALIM = 0, reliée à la masse), notamment au delà du GHz où des variations supplémentaires sont

observées. Au cours de toutes nos mesures, nous avons pu observer que cette évolution fréquentielle de l'impédance du port d'entrée en fonction de l'alimentation possède une allure identique quels que soient les inverseurs. Cependant de faibles décalages du niveau entre les familles technologiques sont à noter.

Par la suite, nous continuons nos investigations sur la broche d'entrée des inverseurs en observant l'évolution fréquentielle de cette impédance d'entrée en fonction des différentes combinaisons des états de l'entrée et de l'alimentation :

- cas 1 : Alimentation = 0V (Broche d'alimentation à la masse) et entrée = 0V.
- cas 2 : Alimentation = 0V (Broche d'alimentation à la masse) et entrée = 3V.
- cas 3 : Alimentation = 3V et entrée = 0V
- cas 4 : Alimentation = 3V et entrée = 3V

Généralement, pour la majorité des inverseurs, le premier et le troisième cas aboutissent à des résultats identiques. Cette ressemblance est également valable pour le deuxième et le quatrième cas. Nous avons constaté que pour la majorité des inverseurs, les quatre cas résultent en une même allure de l'évolution fréquentielle des impédances d'entrée, avec des niveaux légèrement différents. Cependant, pour le cas 2, certains inverseurs, notamment de la famille HC et AC, présentent une allure particulière comme le montre la Figure 3-2. Cette variation est due à la présence des éléments de protection entre l'entrée et l'alimentation. En effet lorsque la tension d'entrée est supérieure à celle de l'alimentation, le circuit de protection ESD est activé et la mesure de l'impédance d'entrée est influencée par cet élément. Ainsi, bien qu'inactive dans nos conditions d'étude, nous pouvons tout de même déduire la présence ou non d'un circuit de protection entre les broches d'entrée et d'alimentation de l'inverseur à partir de cette mesure d'impédance.

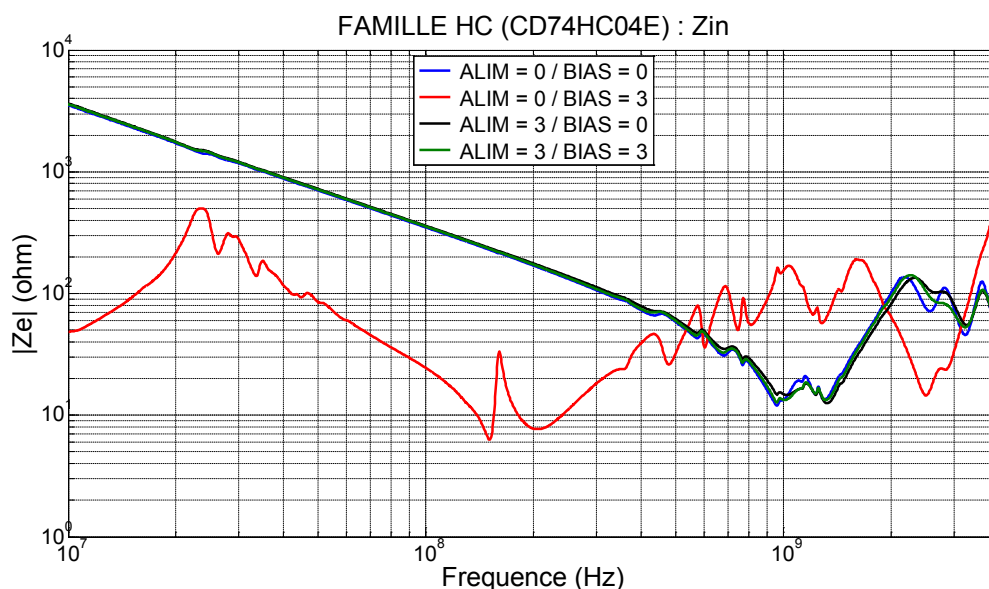


Figure 3-2 : Comparaison entre les modules de Ze (broche d'entrée) du CD74HC04E en fonction des configurations d'alimentation

Une des plus importantes remarques à propos des figures précédentes tient à la décroissance linéaire du module de l'impédance d'entrée aux fréquences inférieures au GHz. Cet état traduit une dominance du comportement capacitif du port d'entrée des inverseurs. La valeur de cette

capacité, évaluée à partir des coordonnées d'un point sur cette pente (pour le précédent composant, $C = 4.4\text{pF}$), représente les effets capacitifs du boîtier additionnés à ceux de la puce et des différentes connexions entre l'analyseur de spectre et la puce (pistes du PCB, connexion entre broches et puces, etc.). Nous observons également sur ces figures une résonance aux fréquences proches du GHz. Cette dernière résulte de l'association des effets parasites capacitifs et inductifs du boîtier. Ce comportement du port d'entrée de l'inverseur peut être simulé grâce aux données du modèle IBIS disponible pour la quasi-totalité des inverseurs. Dans ce modèle, le boîtier est schématiquement représenté par des éléments passifs comme le montre la Figure 3-3. La capacité C_{COMP} représente l'ensemble de ces effets capacitifs, définis plus haut, entre la broche et la puce, et les éléments C_{PKG} , L_{PKG} et R_{PKG} modélisent les éléments parasites du boîtier. Le résultat de simulation avec ce circuit, en spécifiant des valeurs données par le modèle IBIS (ici $C_{PKG} = 3\text{pF}$, $L_{PKG} = 15\text{nH}$, $R_{PKG} = 10\Omega$ et $C_{COMP} = 1.5\text{pF}$), est comparé sur la Figure 3-4 avec celui de la mesure pour un inverseur de la famille technologique HC, conçu par TEXAS INSTRUMENTS et en boîtier SOIC. Nous observons sur celle-ci une bonne ressemblance de l'allure de l'évolution fréquentielle de l'impédance d'entrée.

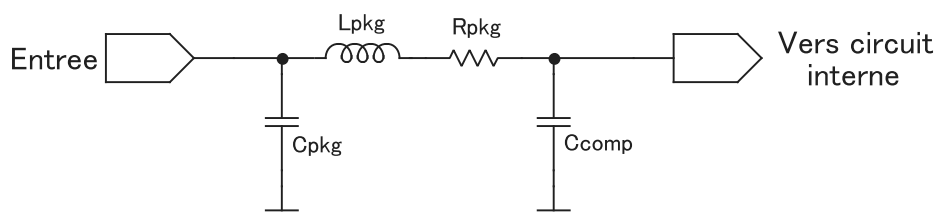


Figure 3-3 : Partie représentant les effets du boîtier du modèle IBIS d'une entrée

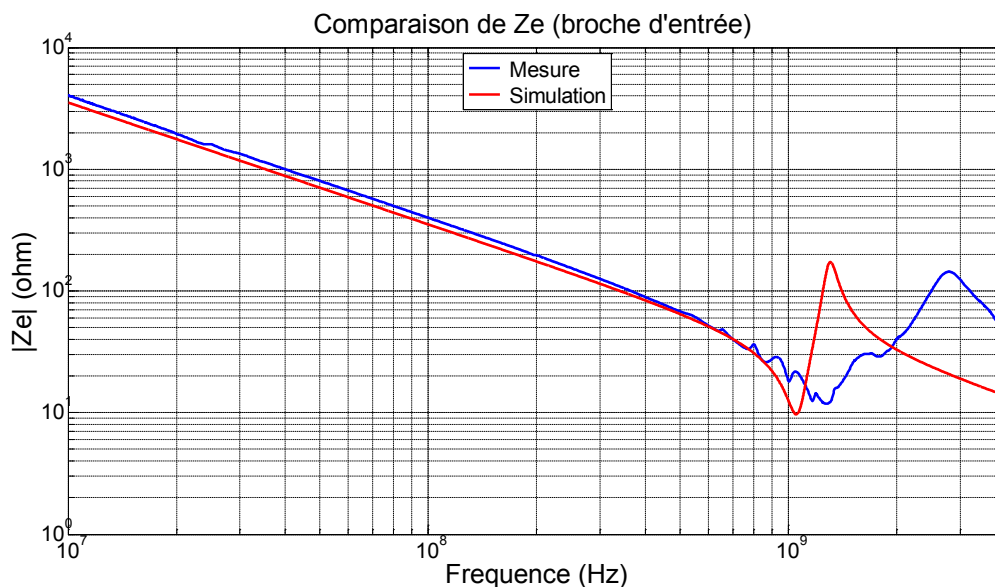


Figure 3-4 : Comparaison de Ze entre mesure et simulation (Module)

Les figures suivantes présentent quelques exemples comparatifs des impédances d'entrées des ports d'entrées en fonction de la famille technologique ou du fabricant. La Figure 3-5 compare les impédances d'entrées des inverseurs du fabricant NXP. Nous y observons que, malgré une différence de famille technologique ou de boîtier, les allures des courbes restent tout de même

semblables. Cette ressemblance est également retrouvée à la Figure 3-6, où des inverseurs de même famille technologique (AHC) mais de différents fabricants et boîtiers sont comparés.

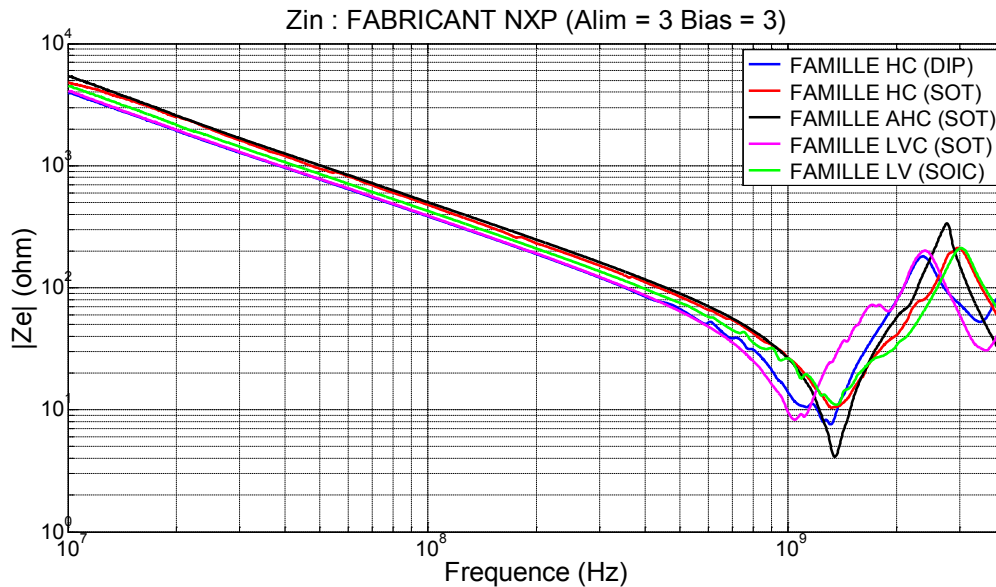


Figure 3-5 : Comparaison entre les Ze (broche d'entrée) du fabricant NXP pour différentes familles technologiques

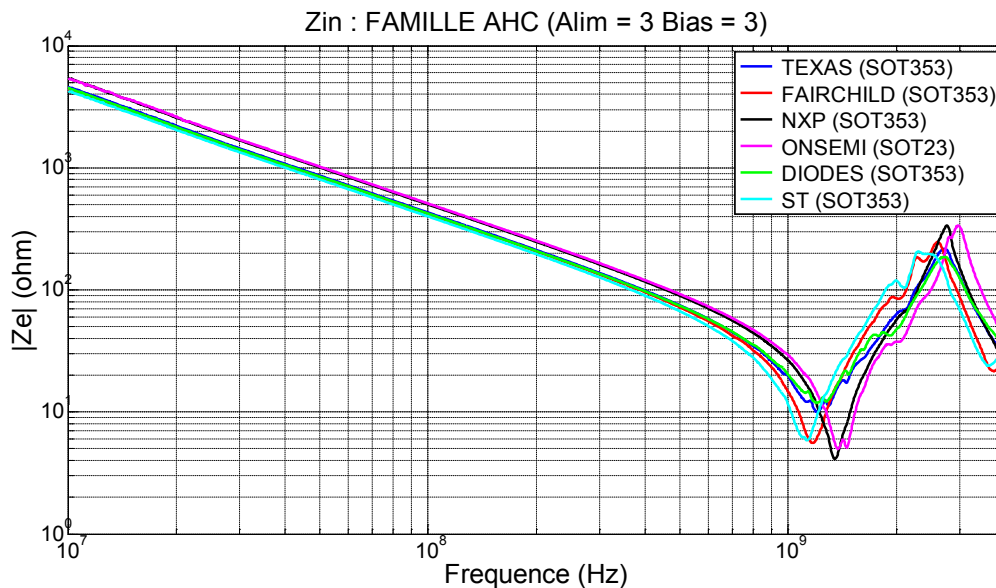


Figure 3-6 : Comparaison entre les Ze de la broche d'entrée de la famille AHC pour différents fabricants

La ressemblance des courbes montre que ce sont principalement les éléments parasites (inductance, capacité et résistance) des boîtiers et des interconnexions qui interviennent sur les impédances. La technologie encapsulée dans ces boîtiers ne semble jouer ici qu'un rôle mineur (Figure 3-5) : à boîtier identique, les différences reposent sur la capacité d'entrée des inverseurs, et celle-ci ne varie pas énormément d'une technologie à une autre, pas suffisamment en tout cas pour modifier complètement le comportement de l'impédance d'entrée.

3.2.2.2 Broche d'alimentation des inverseurs

Dans un second temps, nous évaluons l'impédance d'entrée de la broche d'alimentation dans le cas où la tension d'alimentation est nulle ou à trois volts, comme l'illustre la Figure 3-7 pour l'inverseur de la famille technologique HC, fabriqué par TEXAS INSTRUMENTS et encapsulé dans un boîtier de type DIP (CD74HC04E).

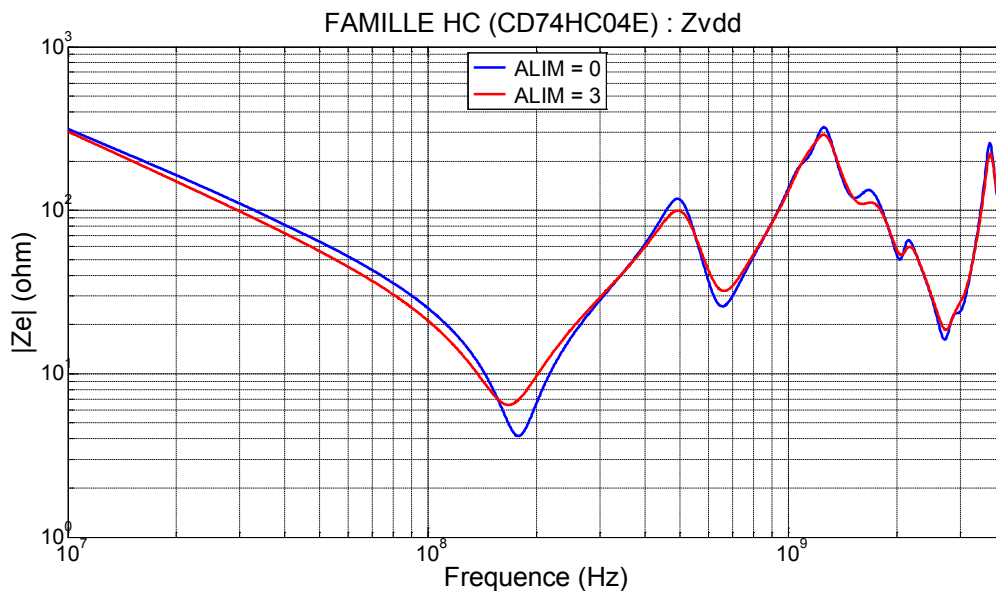


Figure 3-7 : Z_e (broche d'alimentation) d'un inverseur de famille HC, conçu par TEXAS et en boîtier DIP

Par contre, lorsque le circuit est défectueux, on retrouve un comportement similaire à celui mesuré pour une broche d'entrée, comme l'illustre la Figure 3-8, et on peut noter que le comportement est absolument le même que le circuit soit alimenté ou non.

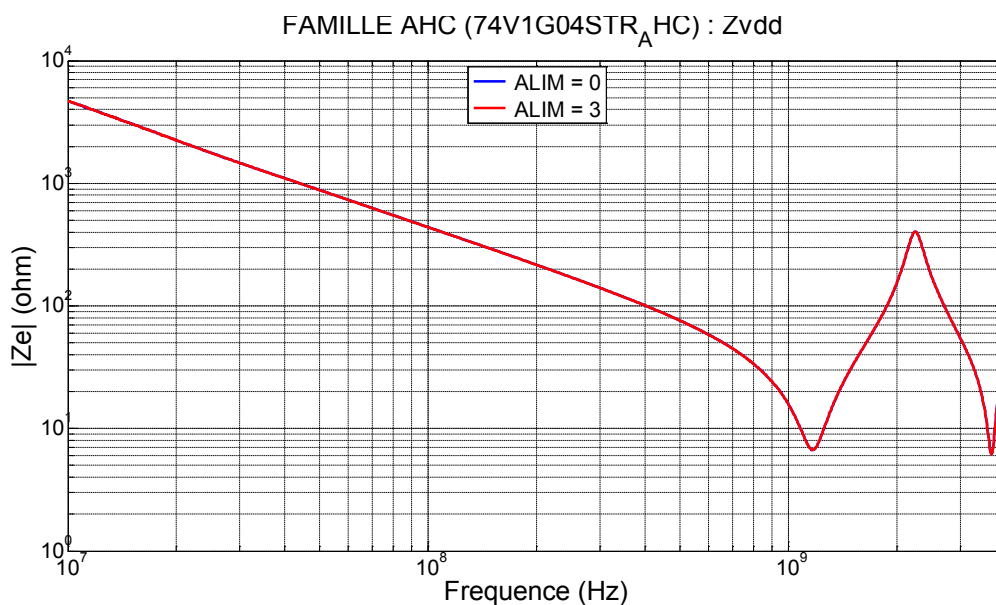


Figure 3-8 : Z_e (broche d'alimentation) de l'inverseur défectueux de famille AHC, conçu par ST en boîtier SOT

Les mesures ont été faites sur un grand nombre de circuits de technologie et fabricants différents sans que des écarts notables aient pu être remarqués sur l'impédance d'entrée de la broche d'alimentation. Les différences mineures remarquées ne permettent pas de tirer une règle précise quant à l'influence de la famille technologique ou du fabricant.

3.2.3 Caractéristiques de transfert des inverseurs

Dans cette section, nous nous intéressons à la fonction de transfert, ou caractéristique statique, (*VTC* pour Voltage Transfer Characteristic) des inverseurs. Cette grandeur est évaluée à partir des signaux d'entrée typiques de la Figure 3-9 : un signal triangulaire de fréquence basse (10Hz) est injecté à l'entrée de l'inverseur, et on observe le signal de sortie de manière à déterminer le seuil de basculement des inverseurs à la fois lors d'une transition haut/bas et bas/haut. Les résultats obtenus sont également comparés entre les inverseurs de différentes familles technologiques et pour différents fabricants. La Figure 3-10 compare les caractéristiques des inverseurs, pour une fréquence du signal d'entrée de 10Hz, d'une même famille technologique HC et dans le même type de boîtier DIP, mais pour différents fabricants. Nous y observons une ressemblance globale de la caractéristique de transfert de ces inverseurs, mais l'information principale ici est que pour une même famille technologique, les seuils de basculement varient selon le fabricant, et sont différents de la valeur théorique initiale ($V_{CC}/2$, avec $V_{CC}=3V$). Ces courbes montrent aussi que les basculements d'état sont très rapides et en conséquence la puissance consommée est réduite. Nous remarquons également que les niveaux de seuil de basculement sont fixes quelque soit l'état précédent des inverseurs, et donc l'absence d'hystérésis. Finalement, la Figure 3-10 illustre l'importance d'utiliser des cascades d'inverseurs (bufférisés ou à plusieurs étages). En effet, la courbe de couleur verte représente le cas d'un inverseur non bufférisé et, nous y observons une lenteur de basculement : cette évolution induit une augmentation de la consommation de puissance dynamique des inverseurs durant les phases de transition, ainsi qu'expliqué au chapitre I.

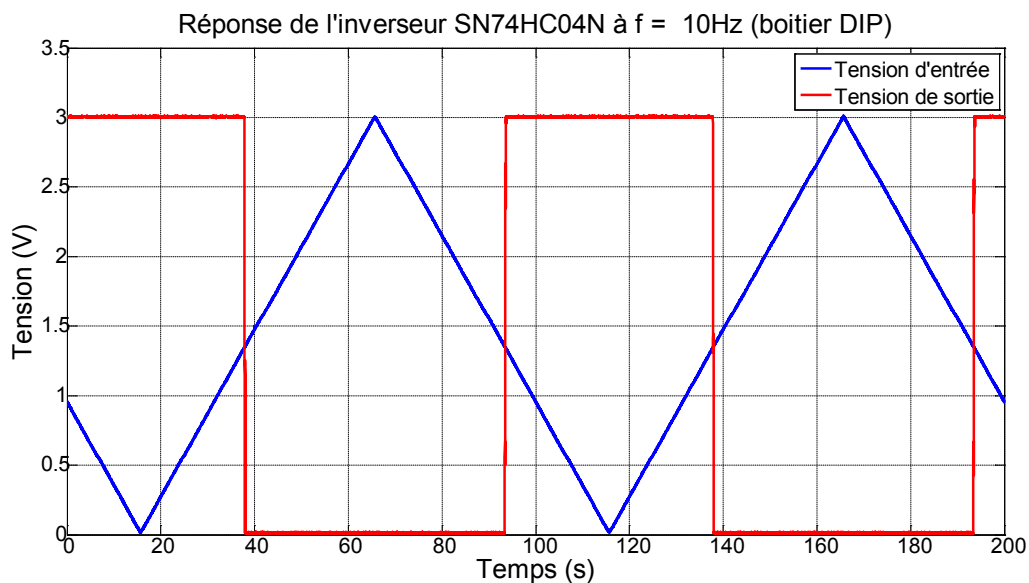
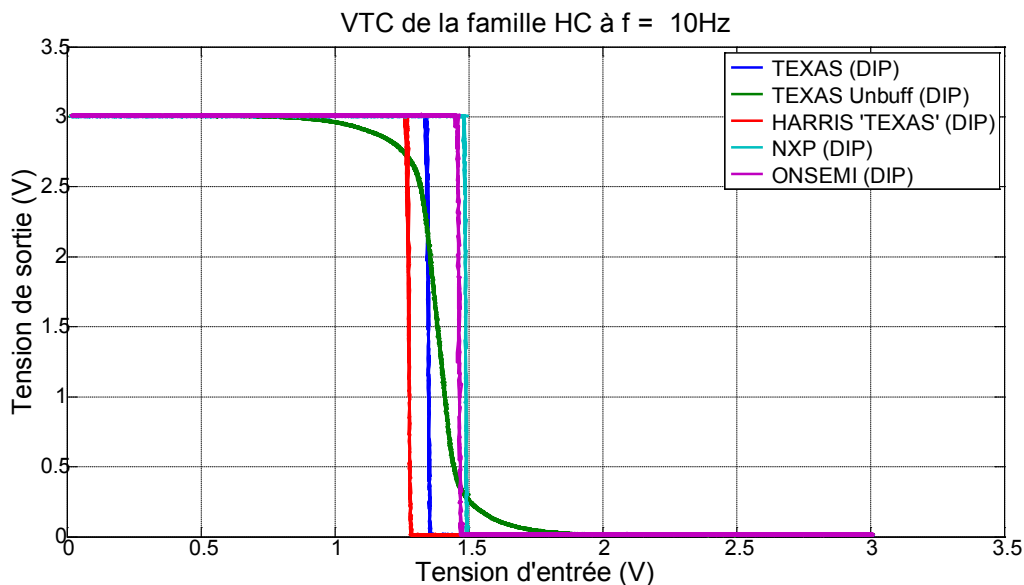
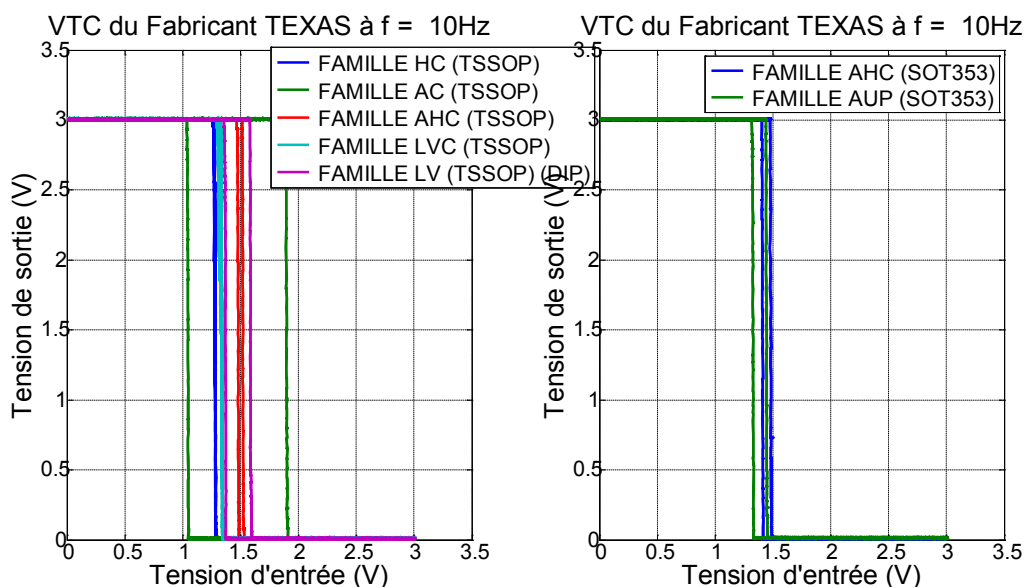


Figure 3-9 : Types de signaux d'entrée et de sortie pour le calcul du VTC de l'inverseur


 Figure 3-10 : Comparaison des VTC de la famille HC (Tension d'alimentation $V_{CC} = 3V$)

La même comparaison de caractéristique de transfert d'inverseurs a été effectuée pour les autres familles technologiques : AC, AHC, LVC, LV et AUP et les résultats sont donnés en **Annexe 1**. Dans tous ces résultats, et bien que les inverseurs soient différents de triggers de Schmitt, nous observons tout de même des différences entre niveaux de seuil de basculement selon les familles et les fabricants, ainsi que des seuils fonction de l'état précédent (hystérésis). Nous observons en particulier, pour les familles technologiques AHC, LVC et LV, qu'au sein d'une même famille, les caractéristiques de transfert varient énormément en fonction des différents fabricants.


 Figure 3-11 : Comparaison des VTC de circuits TEXAS INSTRUMENTS ($V_{CC} = 3V$)

Si l'on compare les caractéristiques de transfert des inverseurs par fabricant, comme le montre la Figure 3-11, pour TEXAS INSTRUMENTS (les résultats pour les autres fabricants sont donnés en **Annexe 1**), nous y remarquons qu'à l'exception de ON SEMICONDUCTORS, les inverseurs de tous les autres fabricants présentent une hystérésis pour une majorité de familles technologiques.

L'influence de la fréquence du signal d'entrée sur la caractéristique de transfert des inverseurs est mise en évidence en l'évaluant pour une fréquence de 100kHz, comme l'illustre la Figure 3-12. En effet, dans le cas général, le seuil de basculement des inverseurs dépend également de la pente du signal d'entrée (dV/dt), et cela peut conduire à la naissance ou l'augmentation de l'hystérésis déjà notée à une fréquence très basse. Et effectivement, nous remarquons l'apparition de l'hystérésis pour les inverseurs de différents fabricants. Par contre, la valeur de l'hystérésis est différente selon le fabricant.

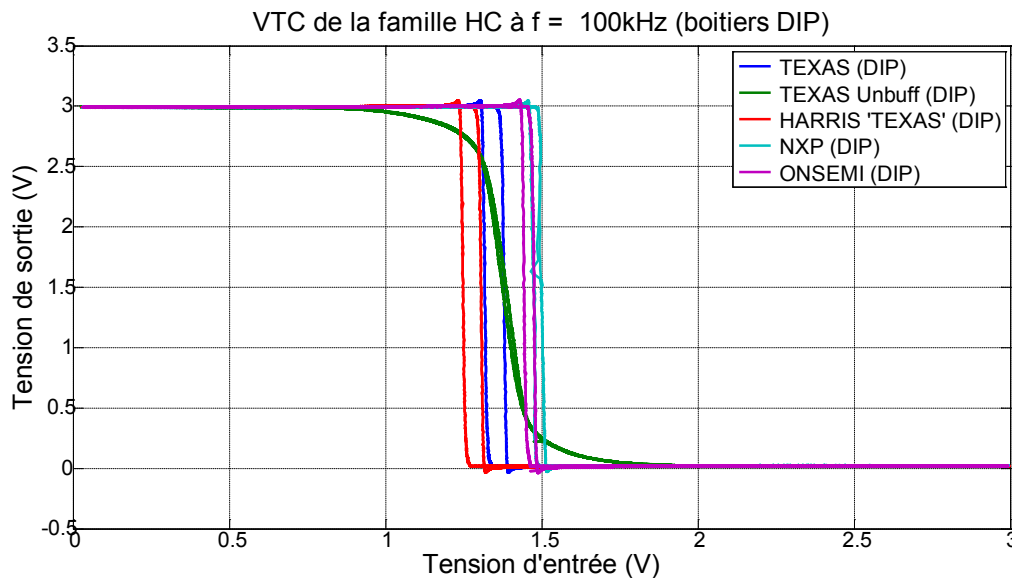


Figure 3-12 : VTC de la famille HC à la fréquence du signal d'entrée de 100kHz ($V_{CC}=3V$)

Il ressort de ces premières mesures que le comportement d'inverseurs donnés pour équivalents et interchangeable (au sein d'une même famille) est loin d'être identique. Les solutions technologiques adoptées par les fabricants pour répondre au cahier des charges d'une famille logique, bien que proches, sont bien entendu différentes. Outre le fait que cela complique a priori une approche générique pour la modélisation, cela laisse augurer des comportements dynamiques tout aussi différents, en particulier en ce qui concerne le domaine fréquentiel OUTBAND.

3.2.4 Comportements INBAND et OUTBAND des inverseurs

Dans cette partie, nous allons présenter et effectuer une première analyse des résultats de mesure lorsque les différents inverseurs choisis sont attaqués par les signaux de mesure définis au chapitre II. Dans la suite de cette section et pour chaque type de signal perturbateur, les données ne seront présentées que pour des cas où des comportements particuliers ou spéciaux des inverseurs sont observés. En conséquence, nous ne présentons que des résultats de mesure à certaines fréquences, notamment celles pour lesquelles des changements d'état ont lieu. De plus, certains inverseurs présentent des réponses instables et leur extraction à l'oscilloscope par moyennage temporel conduit à des courbes étranges, tel qu'un basculement très court suivi d'un changement d'état stable : dans ce cas particulier, cela se produit quand le signal d'entrée est proche des niveaux de seuil de basculement ou d'une fréquence maximale. Mais dans tous les cas, pour analyser le comportement *INBAND* et *OUTBAND* des inverseurs, il est primordial de définir les niveaux de seuils ou les limites à partir desquels le bon fonctionnement est altéré.

3.2.4.1 Fréquence maximale de fonctionnement

De manière générale, la fréquence de fonctionnement maximale pour un circuit logique d'une des grandes familles classiques est généralement donnée si le circuit intégré possède des fonctions séquentielles (bascule, compteur, etc.). Par contre, ce renseignement est inexistant – dans la quasi-totalité des cas – lorsqu'il s'agit de portes logiques simples. Dans ce cas, comme expliqué dans le premier chapitre, il faut procéder par déduction, à partir des temps de montée donnés dans les Datasheets, pour arriver à définir cette fréquence. De plus, comme nous l'avons vu au premier chapitre, les temps de montée dépendent de la tension d'alimentation et de la charge connectée (capacité de charge). Dans notre cas, seule la sonde de l'oscilloscope constitue la charge de l'inverseur, avec une capacité de 0,8pF, et il serait hasardeux de vouloir extrapoler les temps de montée donnés pour une capacité de charge de 15pF ou 50pF par les fabricants, avec une tension d'alimentation (3V), rarement prise en compte dans les datasheets. Mais cette faible capacité de charge permet de s'assurer que les fréquences maximales de fonctionnement observées sont dues au fonctionnement interne de l'inverseur et non au circuit qui l'entourne.

Par conséquent, la fréquence maximale de fonctionnement des inverseurs, telle que nous la définirons pour cette approche expérimentale, correspond à la fréquence du signal perturbateur N°1 (cf. Chapitre II) à partir de laquelle l'amplitude de la réponse de l'inverseur ne respecte plus les seuils de sortie logiques ($V_{OL}^{MAX} = 0.1V$ et $V_{OH}^{MIN} = V_{CC} - 0.1V$ pour la technologie CMOS). Ces niveaux de seuil de tension typiques sont généralement donnés dans les Datasheets et varient d'une technologie à une autre. Puisque le signal perturbateur est produit avec un amplificateur RF non linéaire (voir chapitre II), il est à noter également que de légères variations sont susceptibles d'apparaître. La Figure 3-13 illustre un exemple de réponse de l'inverseur de la famille technologique HC, conçu par TEXAS INSTRUMENTS et dans un boîtier DIP (CD74HC04E) pour un signal perturbateur N°1 à la fréquence de 80MHz.

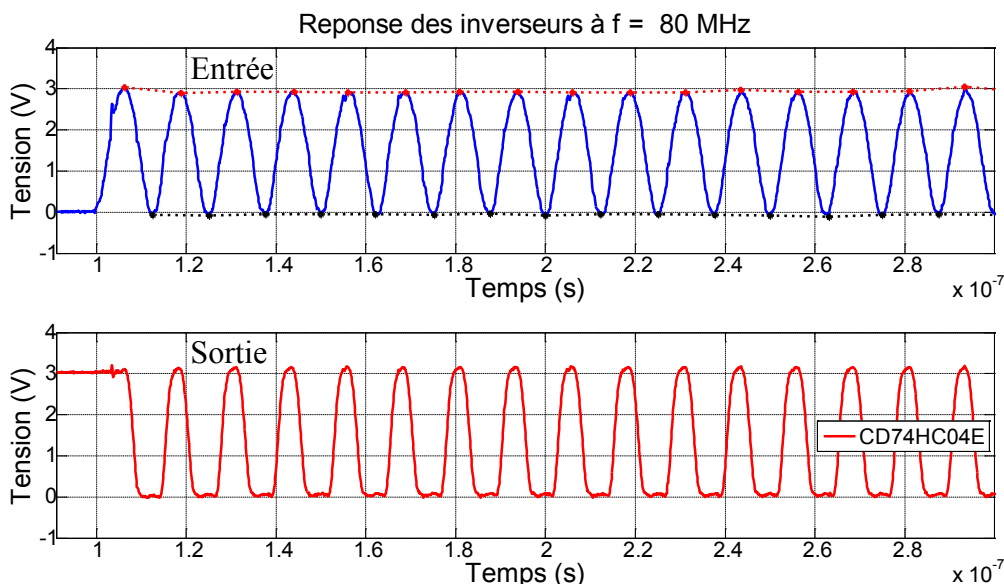


Figure 3-13 : Signaux d'entrée et sortie de l'inverseur CD74HC04E à la fréquence de 80MHz

Nous y observons que l'amplitude crête de ce signal reste dans la gamme permise pour des niveaux logiques d'entrée de l'inverseur, à savoir, $V_{IH}^{MIN} = .7*V_{CC}$ et $V_{IL}^{MAX} = .3*V_{CC}$ pour la technologie CMOS. Ces seuils logiques font également partie des données statiques

disponibles dans les Datasheets des inverseurs. Ainsi, quels que soient les défauts des signaux d'entrées, ces derniers restent tout de même valables au niveau logique avec une amplitude suffisante pour définir les deux états.

Le tableau suivant résume la fréquence maximale de tous les inverseurs par famille technologique et par fabricant. Nous remarquons d'abord que le type de boîtier n'a aucune influence du moment que le nombre de portes est identique. Nous retrouvons également des gammes de fréquence assez communes à chaque famille technologique bien que des exceptions existent pour chacune d'elles. Il est important de rappeler que les mesures n'ont été effectuées qu'à des fréquences discrètes, et que par conséquent, la valeur réelle de la fréquence maximale peut être légèrement différente.

Tableau 3-2 : Fréquence maximale de fonctionnement des inverseurs

Famille	Inverseur	F _{MAX}	Famille	Inverseur	F _{MAX}	
HC	CD74HC04E (M)	100 MHz	AHC	SN74AHC04N (D,PW)	270 MHz	
	SN74HC04N (D, PW)	100 MHz		SN74AHC1G04DCK	270 MHz	
	74HC04N	80 MHz		74VHC04M	190 MHz	
	74HC1G04GW	100 MHz		NC7S04P	170 MHz	
	MC74HC04AN	90 MHz		74AHC1G04GW	270 MHz	
AC	CD74AC04E (M)	170 MHz		MC74VHC1G04DTT	115 MHz	
	SN74AC04D (PW)	110 MHz		74AHC1G04W5 (SE)	320 MHz	
	74AC04SC (MTC)	230 MHz		74V1G04CTR	320 MHz	
LVC	SN74LVC04AD (PW, DB)	320 MHz		LV	SN74LV04AD (PW)	130 MHz
	SN74LVC1G04DBV	320 MHz			74LV04D	145 MHz
	74LCX04M	180 MHz	AUP	SN74AUP1G04DBV (DCK)	190 MHz	
	NC7SZ04P	500 MHz		NC7SP04P	190 MHz	
	74LVC1G04GW	320 MHz	ALVC	SN74ALVC04PW	> 1 GHz	
	74LVC1G04W5	400 MHz	AUC	NC7SV04P (14P)	> 1 GHz	

Dans le cas idéal, il serait nécessaire d'effectuer les mesures sur plusieurs échantillons de chaque inverseur pour obtenir une bonne reproductibilité des mesures. Compte tenu du nombre d'inverseurs en notre possession, cet exercice requerrait davantage de temps, bien qu'il ait été réalisé, dans le cas d'inverseurs potentiellement défectueux : c'est le cas de l'inverseur de la famille AC conçu par TEXAS INSTRUMENTS et dans un boîtier DIP (SN74AC04N). Pour ce dernier, les impédances d'entrée de ses différentes broches ne présentaient aucune anomalie. Cependant, bien que la fréquence maximale de fonctionnement soit identique à celle des inverseurs de la même gamme (même famille, même fabricant et boîtiers différents), il se remet à fonctionner pour des fréquences supérieures. Par la suite, nous n'avons pas représenté les limites de cet inverseur sur les différents tableaux récapitulatifs.

Dans cette étude de susceptibilité, nous nous intéressons également au comportement au delà de la fréquence maximale de fonctionnement (zone *OUTBAND*). Dès que la fréquence maximale est dépassée, les inverseurs adoptent des états définitifs différents en sortie, comme l'illustre la Figure 3-14 qui représente une comparaison, au delà de la fréquence maximale ($f = 170\text{MHz}$), d'inverseurs de la même famille technologique *HC* et dans des mêmes boîtiers mais de fabricants différents. Nous observons que, concernant la première catégorie (celle de l'inverseur NXP), l'inverseur garde son état précédent et ne réagit pas au signal d'entrée. Ce comportement est attendu puisque la vitesse de variation du signal d'entrée empêche l'inverseur d'avoir un fonctionnement normal. Concernant la seconde catégorie (inverseurs

TEXAS), l'inverseur réagit à l'enveloppe du signal et bascule après un court instant d'inactivité. Ce changement d'état au delà de la fréquence maximale de fonctionnement rappelle le comportement d'un détecteur d'enveloppe classique (jonction PN et filtre passe bas). Dans la troisième catégorie (inverseur ONSEMI), à laquelle appartient la majorité des inverseurs de toutes les familles technologiques, la tension de sortie de l'inverseur reste dans un état indéterminé (variations entre les états haut et bas) avant de stabiliser à un niveau logique stable bas. Les conséquences de ces comportements seront traitées dans la prochaine section.

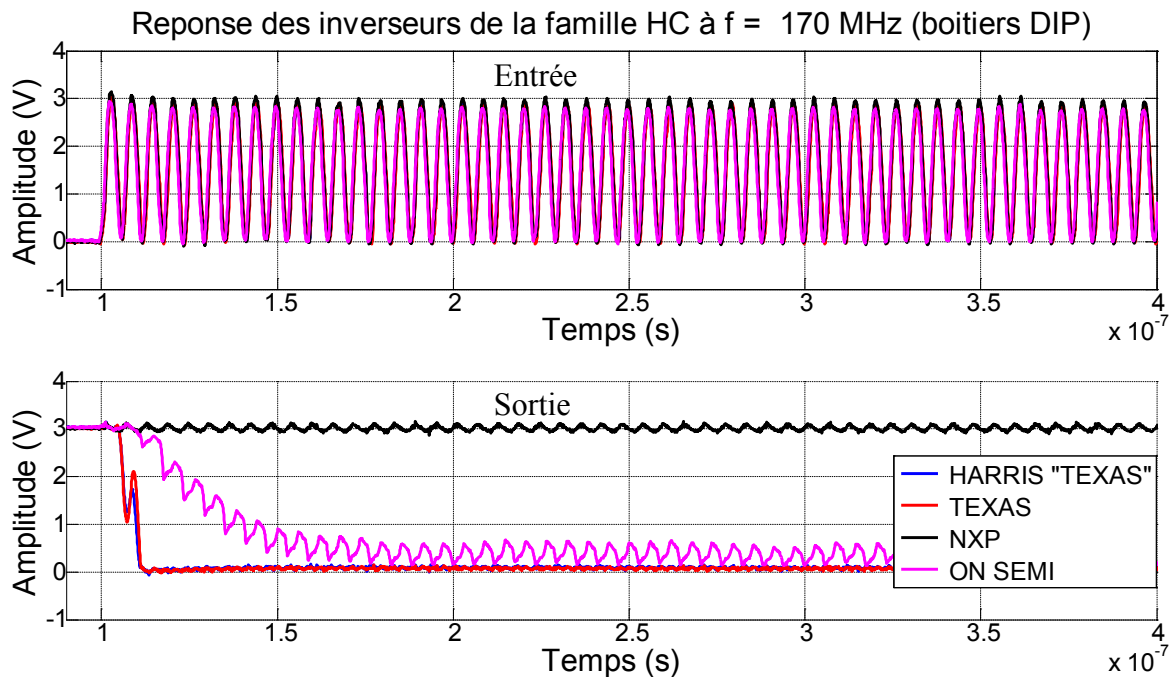


Figure 3-14 : Réponses des inverseurs de la famille HC à la fréquence de 170MHz

Le tableau suivant (Tableau 3-3) récapitule l'état définitif, après le comportement indéterminé dans le cas de la troisième catégorie, des inverseurs en zone *OUTBAND*. Sachant qu'à $t=0$, le signal d'entrée est au niveau bas, et le signal de sortie donc au niveau haut, nous avons noté l'état final selon ce qui est illustré sur la Figure 3-14 : Le niveau « HAUT » correspond à un comportement similaire à celui de l'inverseur de NXP (courbe noire) et l'état BAS à celui de l'inverseur TEXAS INSTRUMENTS ou HARRIS.

On note que la très grande majorité des inverseurs de toutes les familles logiques finissent par se stabiliser au niveau « BAS », hormis de très rares exceptions :

- Le 74HC04N de NXP (boîtier DIP)
- Le 74LCX04M de Fairchild (Boîtier SOIC)
- Le MC74VHC1G04DTT de On Semi (Mono Porte en boîtier SOT23)
- Le SN74AUP1G04DBV de Texas Instruments (Mono Porte en boîtier SOT23)
- Le NC7SP04P de Fairchild (Mono Porte en boîtier SOT23)

On peut noter qu'a priori, il n'y a pas de point commun sur ces exceptions qui permette d'en tirer une conclusion générale : les boîtiers, fabricants et famille logique sont tous différents.

Tableau 3-3 : Etat définitif des inverseurs dans la zone OUTBAND

Famille	Inverseur	Etat	Famille	Inverseur	Etat
HC	CD74HC04E (M)	Bas	AHC	SN74AHC04N (D,PW)	Bas
	SN74HC04N (D, PW)	Bas		SN74AHC1G04DCK	Bas
	74HC04N	Haut		74VHC04M	Bas
	74HC1G04GW	Bas		NC7S04P	Bas
	MC74HC04AN	Bas		74AHC1G04GW	Bas
AC	CD74AC04E (M)	Bas		MC74VHC1G04DTT	Haut
	SN74AC04D (PW)	Bas		74AHC1G04W5 (SE)	Bas
	74AC04SC (MTC)	Bas		74V1G04CTR	Bas
LVC	SN74LVC04AD (PW, DB)	Bas		LV	SN74LV04AD (PW)
	SN74LVC1G04DBV	Bas	74LV04D		Bas
	74LCX04M	Haut	AUP	SN74AUP1G04DBV (DCK)	Haut
	NC7SZ04P	Bas		NC7SP04P	Haut
	74LVC1G04GW	Bas	ALVC	SN74ALVC04PW	> 1 GHz
	74LVC1G04W5	Bas	AUC	NC7SV04P (14P)	> 1 GHz

3.2.4.2 Comportements typiques et particuliers, et phénomènes à modéliser

Nous avons ainsi mesuré une multitude de signaux, et nous ne pouvons les présenter exhaustivement ici. Mais dans cette dernière section, nous détaillerons les comportements généraux ainsi que quelques comportements particuliers observés à l'application de tous les signaux perturbateurs. Ces comportements typiques et particuliers sont intéressants car ils doivent tous être reproduits, dans le chapitre suivant, par le modèle comportemental et générique des inverseurs. Nous classerons ces comportements par type de signal perturbateur. Pour mémoire, ces derniers sont rappelés sur les figures suivantes :

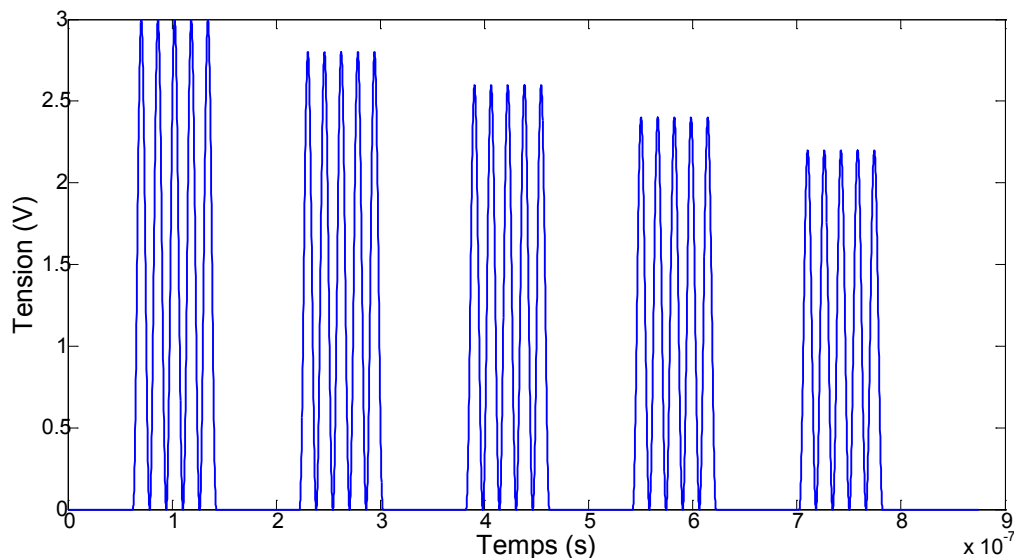


Figure 3-15 : Signal perturbateur n°2 (variation du niveau haut)

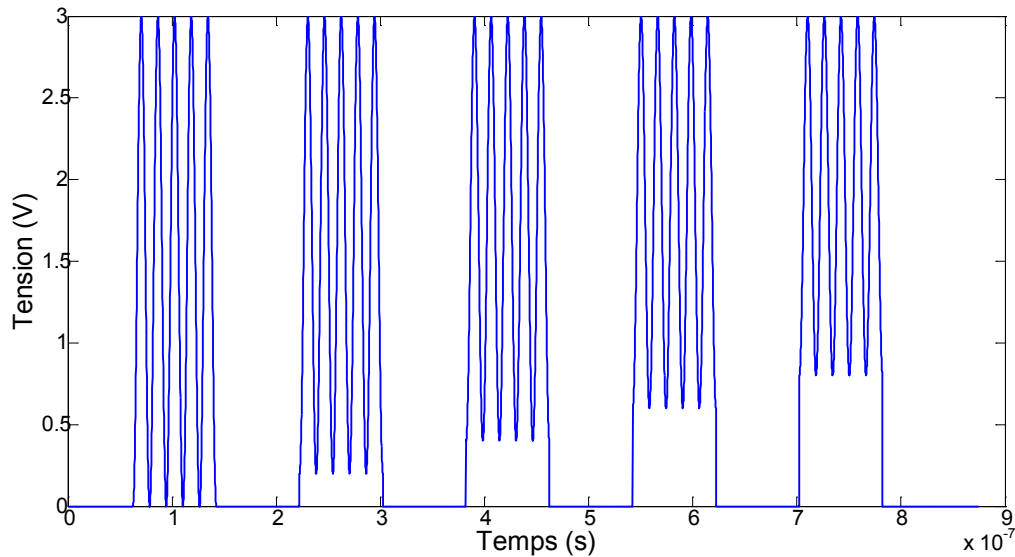


Figure 3-16 : Signal perturbateur n°3 (variation du niveau bas)

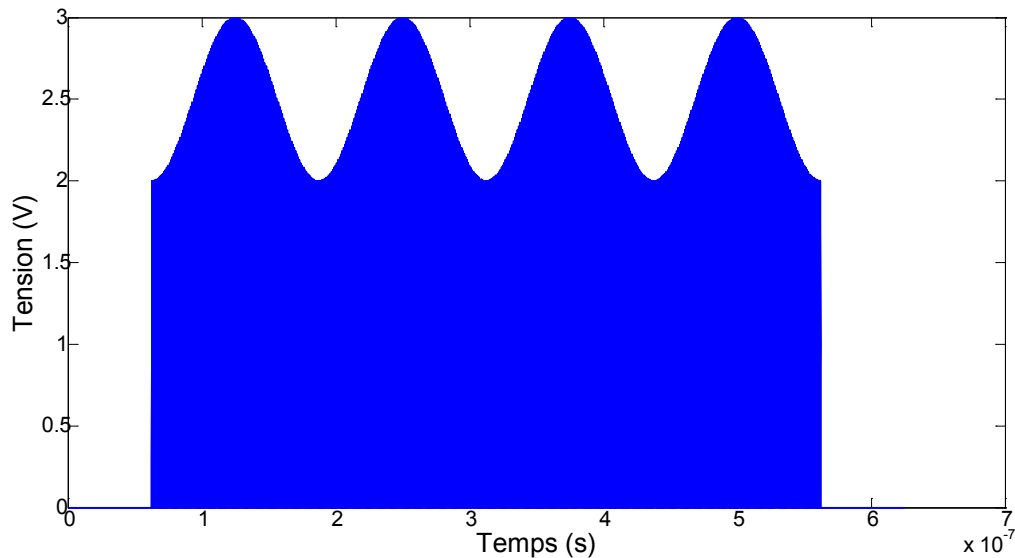


Figure 3-17 : Signal perturbateur n°4 (modulation d'amplitude niveau haut)

Pour les signaux perturbateurs n°2 et n°3 (variation du niveau), on observe généralement le comportement donné à la Figure 3-18 et à la Figure 3-19, à savoir qu'au fur et à mesure que le niveau se rapproche du seuil de commutation (à $V_{cc}/2$ en théorie – représenté en pointillé sur le graphe du signal d'entrée), l'inverseur finit par ne plus réagir. Le seuil de commutation dépendant à la fois du fabricant (pour une famille donnée) et de la fréquence du signal, on peut constater que le non déclenchement survient plus tôt si la fréquence du signal à l'intérieur des impulsions augmente, toutes choses égales par ailleurs (Figure 3-19)

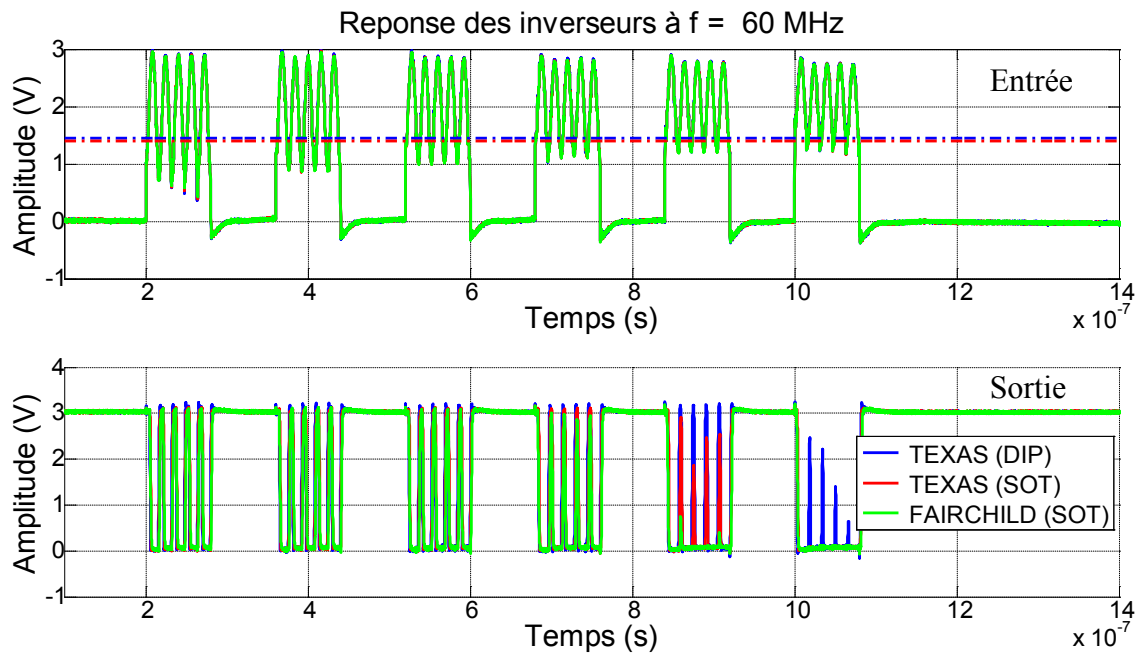


Figure 3-18 : Comportement classique d'un inverseur face au signal perturbateur N°3 à la fréquence de 60MHz

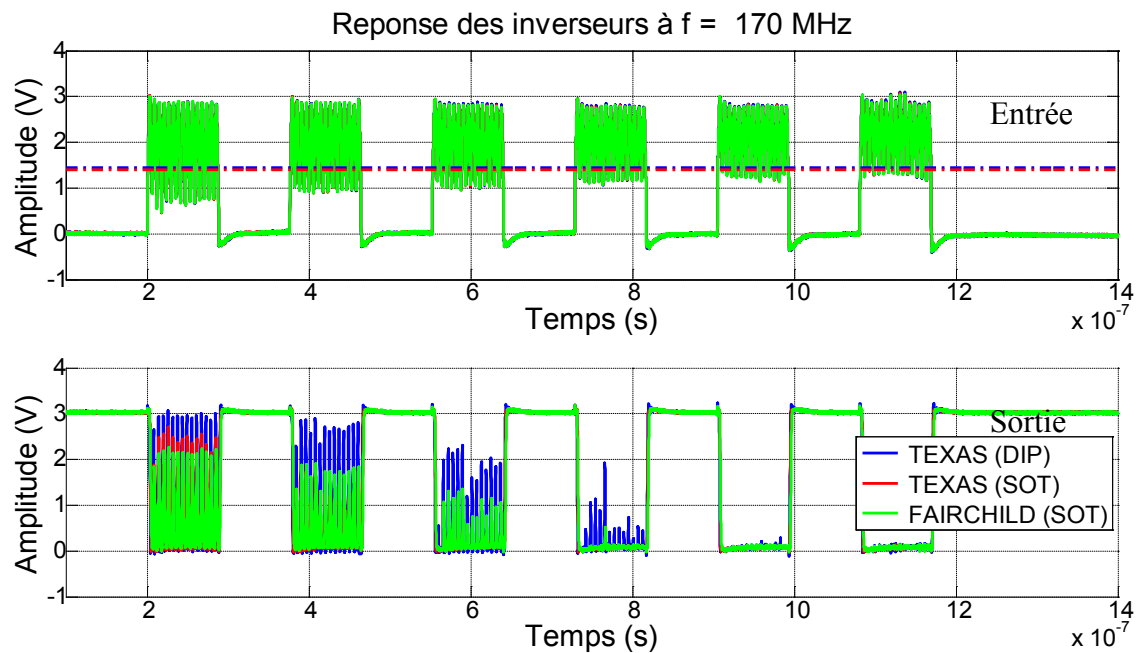


Figure 3-19 : Comportement classique d'un inverseur face au signal perturbateur N°3 à la fréquence de 170MHz

Cependant, pour ce signal de perturbateur N°3 (variation du niveau bas), un comportement particulier est observé pour plusieurs inverseurs de diverses familles technologiques et divers fabricants. Aux fréquences légèrement supérieures à la fréquence maximale de fonctionnement, la modification de l'amplitude crête du niveau bas permet d'obtenir un fonctionnement normal. Autrement dit, en réduisant l'amplitude crête à crête en augmentant le niveau bas, il est possible d'obtenir un fonctionnement normal au delà de la fréquence maximale. La Figure 3-20 montre la réponse d'un inverseur de la famille HC, conçu par NXP et dans un boîtier DIP, excité par un signal perturbateur N°3 à la fréquence de 100MHz. Nous y observons qu'à cette fréquence, pour une amplitude crête de valeur V_{CC} , l'inverseur reste à son état précédent. Par contre, lorsque nous continuons à réduire l'amplitude crête, comme

l'illustre la Figure 3-21, nous arrivons à une amplitude où le signal de sortie répond parfaitement au signal d'entrée : l'inverseur fonctionne à nouveau pour une fréquence supérieure à sa fréquence maximale. Ce phénomène est rencontré dans de nombreux inverseurs indépendamment de la famille technologique et du fabricant.

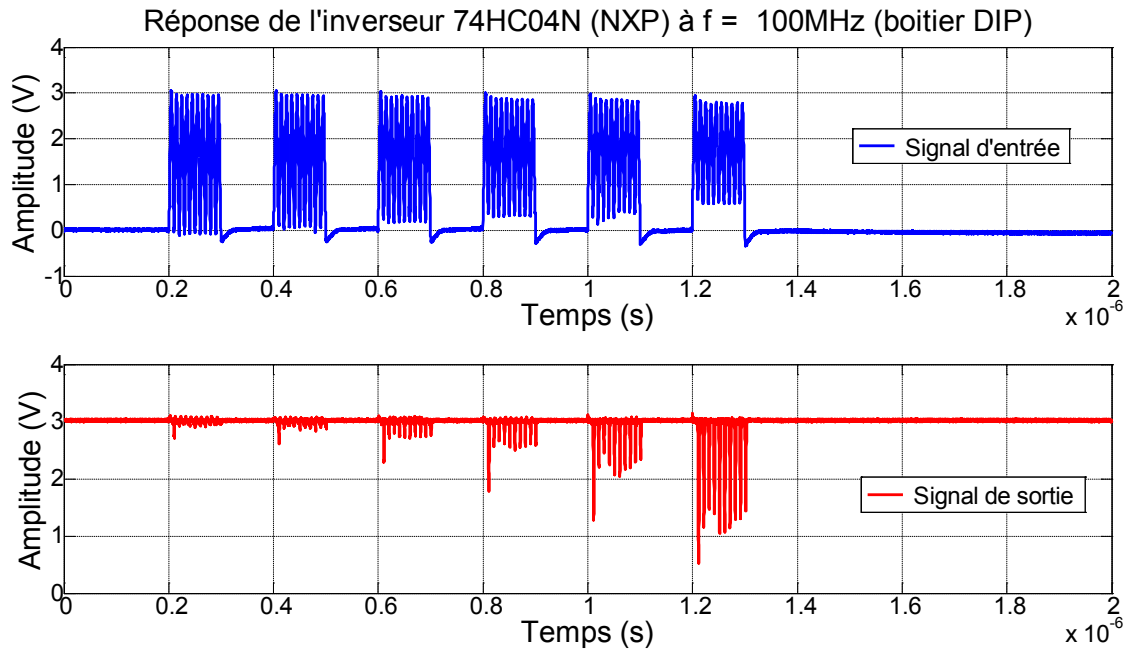


Figure 3-20 : Comportement de l'inverseur 74HC04N face au signal perturbateur N°3 à 100MHz

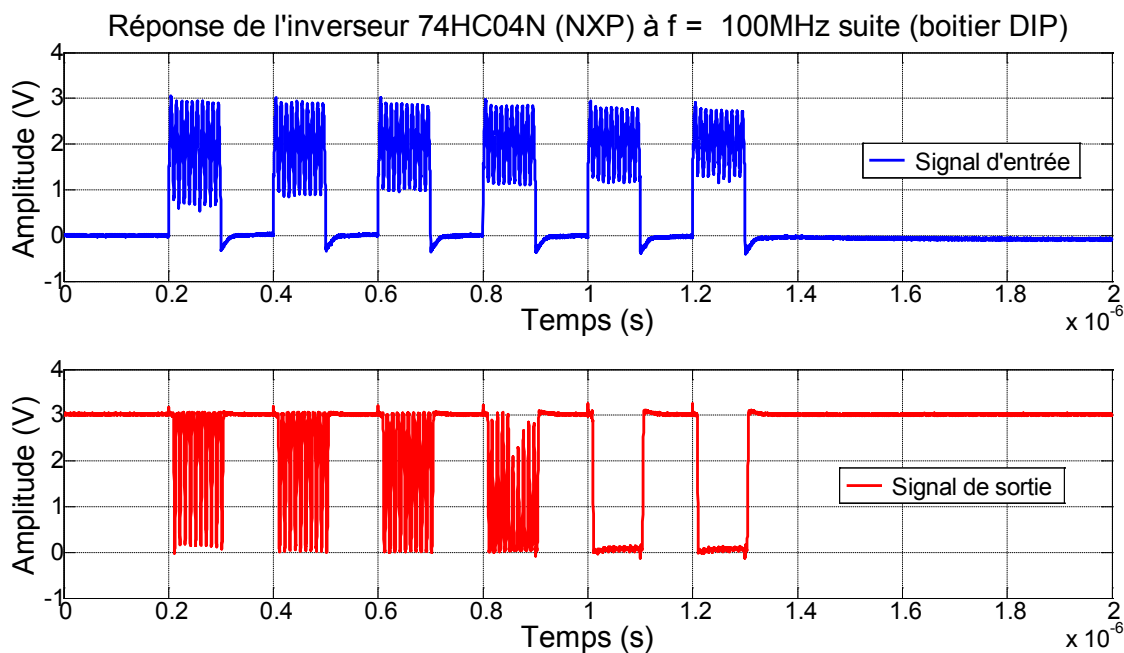


Figure 3-21 : Comportement de l'inverseur 74HC04N face au signal perturbateur N°3 à 100MHz (suite)

Pour le signal perturbateur n°4 (modulation de l'amplitude crête du signal), le comportement typique que nous avons observé est donné sur les figures suivantes. En basse fréquence, si l'amplitude crête du signal ne passe pas sous le seuil de commutation, l'inverseur fonctionne normalement (Figure 3-22). Pour des fréquences de porteuse proches de la fréquence maximale, la sensibilité du seuil de commutation dynamique joue un grand rôle, et la

commutation ou non de la sortie dépend à la fois de la fréquence (du dV/dt plus exactement), de l'amplitude, et du fabricant. Enfin, au-delà de la fréquence maximale, on obtient les signaux présentés Figure 3-24, sur lesquels on peut observer une sorte de détection d'enveloppe, cette dernière étant grossièrement semblable à la sinusoïde de modulation qui aurait traversé l'inverseur.

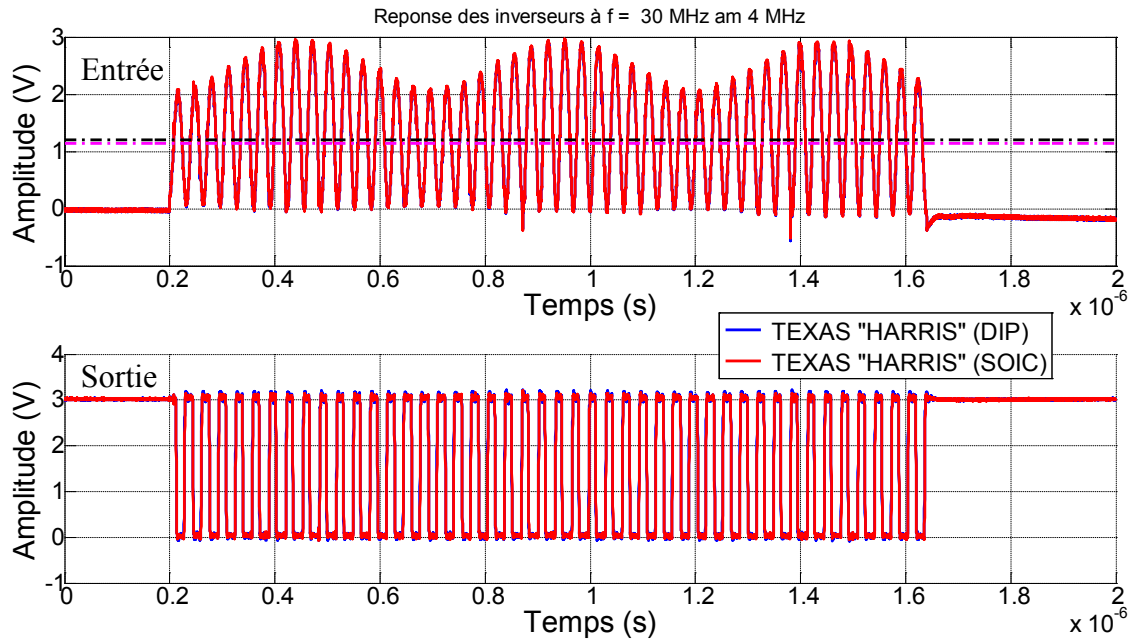


Figure 3-22 : Comportement typique d'un inverseur face au signal perturbateur N°4 (INBAND)

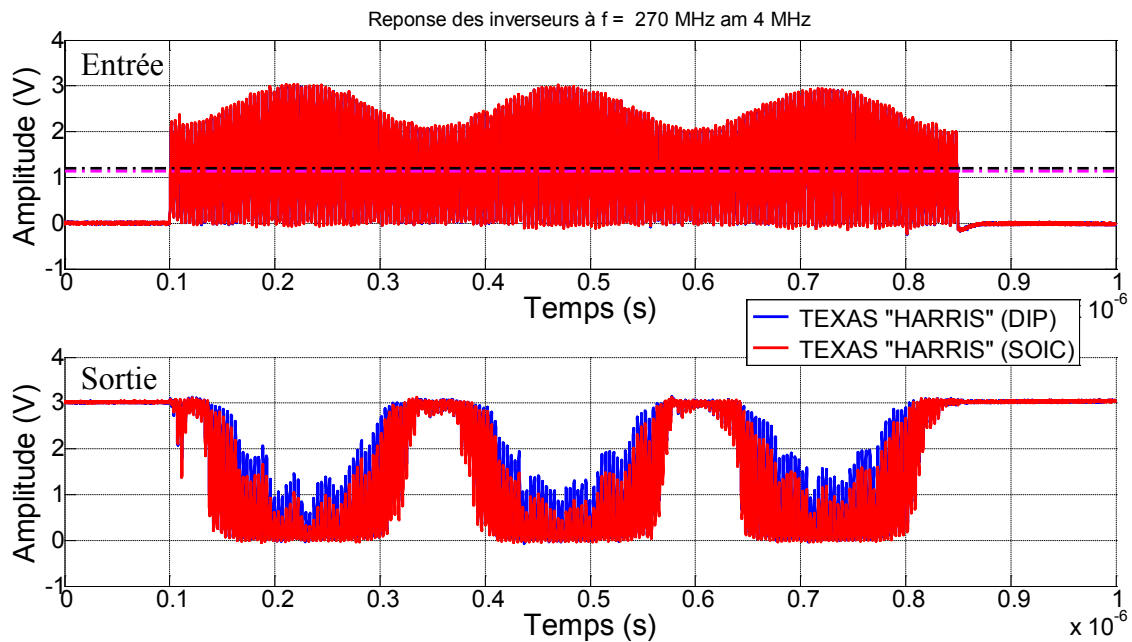


Figure 3-23 : Comportement typique d'un inverseur face au signal perturbateur N°4 (alentours de Fmax)

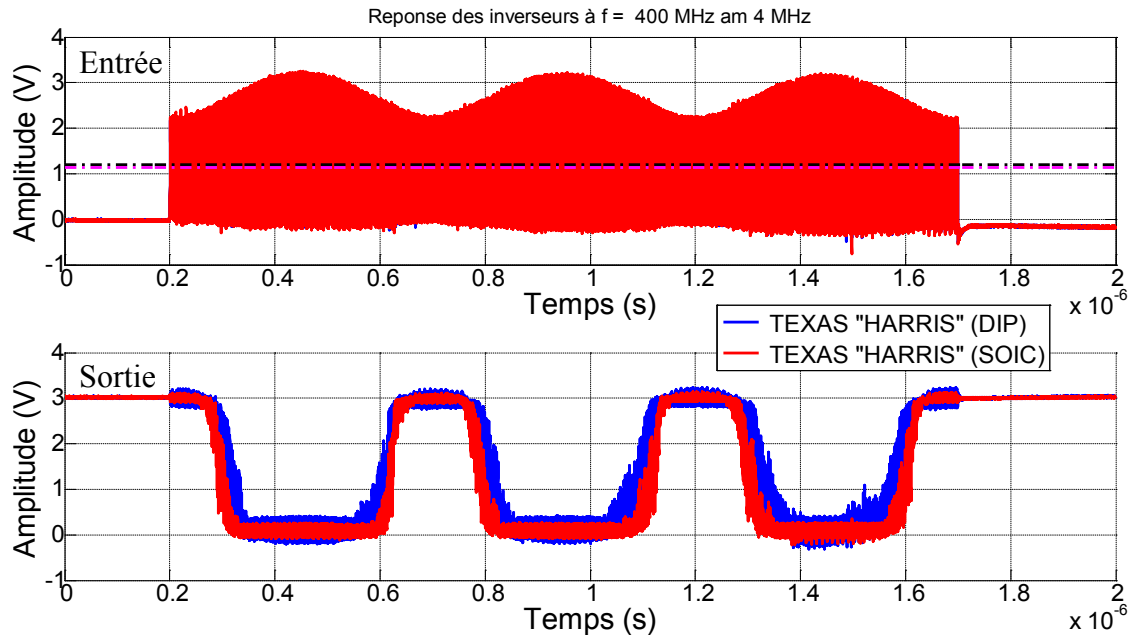


Figure 3-24 : Comportement typique d'un inverseur face au signal perturbateur N°4 (OUTBAND)

Enfin, un autre comportement particulier a été constaté pour l'inverseur de la famille AC, conçu par TEXAS INSTRUMENTS et pour différents boîtiers (DIP ou SOIC). Le signal de sortie résultant de l'application d'un signal perturbateur N°1 à la fréquence de 270MHz est illustré à la Figure 3-25. Nous observons sur le signal de sortie une modulation d'amplitude à la fréquence environnent 30MHz. Après investigation du signal d'entrée, nous avons détecté, au seuil inférieur (au niveau bas), une variation similaire à la même fréquence, comme le montre la Figure 3-25. Ce phénomène montre la sensibilité de certains inverseurs à ces petites imperfections du signal d'entrée. Ces dernières sont reliées au comportement du générateur (AWG) et l'amplificateur RF, ce qui se traduit par de petites fluctuations aléatoires du signal en sortie de l'amplificateur. Lorsque l'inverseur travaille en limite de bande de fonctionnement, ces variations sont alors reflétées à sa sortie par des tentatives de changement d'état plus ou moins importantes et qui suivent les variations du niveau bas en entrée.

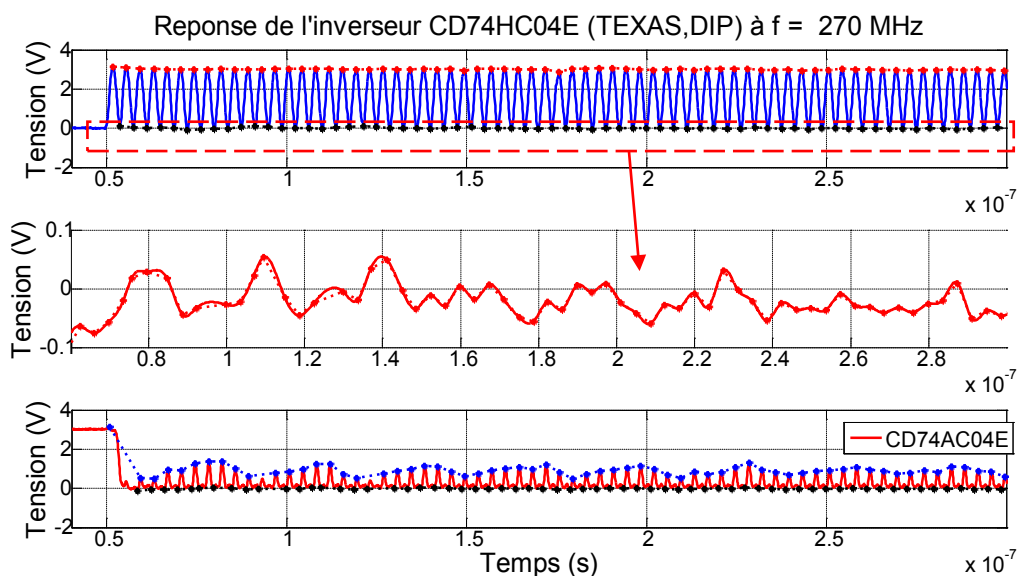


Figure 3-25 : Comportement de l'inverseur CD74AC04E face au signal perturbateur N°1 à 270MHz

Par ailleurs, cette sensibilité du signal de sortie aux fluctuations aléatoires de l'amplitude crête du signal d'entrée reste valable en permanence et permet d'expliquer certains comportements que nous avons observés. Il suffit en effet que l'amplitude du signal d'entrée varie de la sorte à proximité du seuil de commutation (ou parfois bien au delà) pour que l'inverseur réagisse juste à cet endroit et crée une transition isolée dans le signal de sortie (Figure suivante à $t = 13.5\mu\text{s}$) par exemple. Certains autres exemples de comportements particuliers seront donnés au chapitre suivant pour la confirmation du modèle comportemental et générique des inverseurs CMOS.

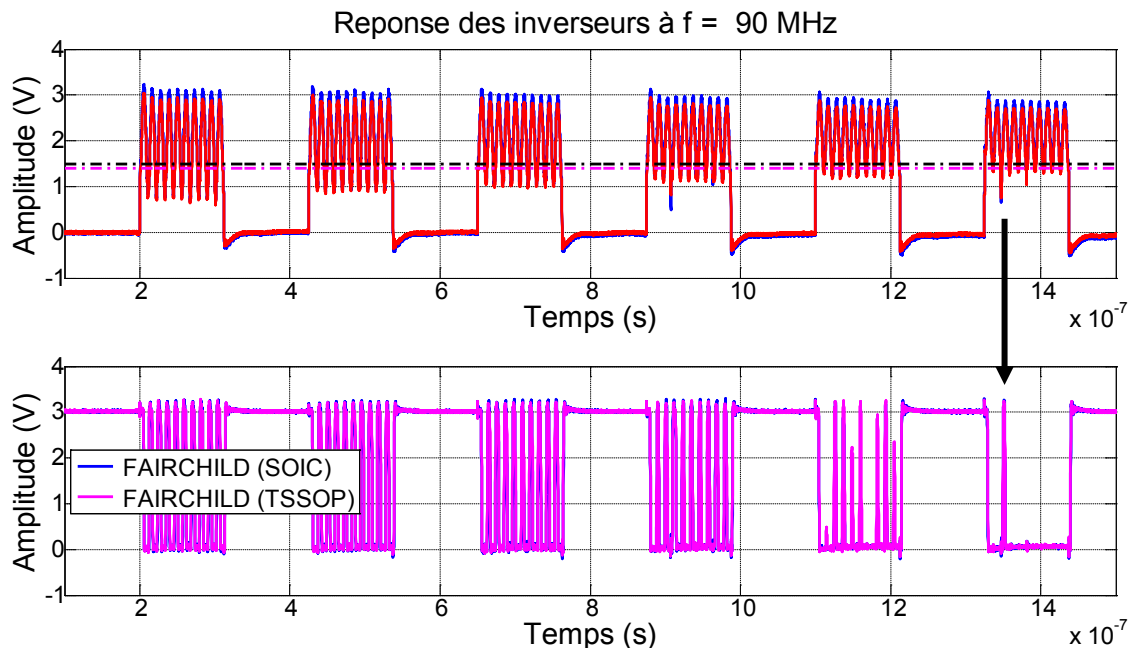


Figure 3-26 : Effets des variations brusques sur la réponse de l'inverseur

3.3 Conclusion

Dans ce chapitre, nous avons présenté divers résultats expérimentaux des inverseurs. Nous avons commencé avec les impédances d'entrées des broches d'alimentation et d'entrée des inverseurs. Ces résultats préliminaires nous ont permis d'expliciter le comportement capacitif des ports d'entrée des inverseurs et la présence d'éléments de protection entre ces deux ports des inverseurs. Nous avons déduit de cette première expérimentation des valeurs d'impédances d'entrée quasiment identiques pour tous les inverseurs sans distinction de famille technologique ou de fabricant. En conséquence, une des perspectives de cette expérimentation serait d'étendre le domaine fréquentiel d'étude afin d'observer l'influence des boîtiers sur les mesures.

Ensuite, nous nous sommes penchés sur les caractéristiques de transfert des inverseurs. Une comparaison entre différents inverseurs a d'abord permis de déduire l'importance, pour une commutation franche, d'une cascade d'inverseurs par rapport aux inverseurs seuls non bufférisés. L'analyse a également permis d'observer des caractéristiques de transfert globalement semblables pour tous les inverseurs avec présence de phénomènes d'hystérésis. Les petites différences observées reflètent les choix technologiques faits par les fabricants et, si elles n'ont que peu d'effet aux fréquences normales de fonctionnement, on peut supposer

qu'il en ira tout différemment aux alentours de la fréquence maximale de fonctionnement, et au-delà (zone *OUTBAND*).

Enfin, nous avons appliqué les signaux perturbateurs, définis au chapitre précédent, aux inverseurs. Les résultats de ces mesures ont conduit à établir les fréquences maximales de fonctionnement de chaque inverseur et son comportement dans la zone *OUTBAND*. Puis, nous avons présenté quelques comportements particuliers que nous tenterons de reproduire avec le modèle comportemental générique du chapitre suivant.

Cette phase de notre étude a nécessité une durée conséquente au vu du nombre d'inverseurs et des signaux appliqués. Par ailleurs, des perspectives pourront être apportées. Les mesures temporelles pourront être étendues à une tension d'alimentation de 5V afin d'inclure les inverseurs CMOS compatibles avec la technologie TTL (famille HCT). De plus, d'autres types de composants tels que des inverseurs plus anciens, des triggers de Schmitt ou des bascules pourraient compléter la base de données. D'autres types de signaux perturbateurs plus complexes et représentatifs d'agressions électromagnétiques typiques pourront être définis et appliqués aux inverseurs.

4 Modélisation des composants

4.1 Introduction

Les premières étapes du flot de conception d'un composant électronique sont l'établissement d'un cahier des charges et la définition de son architecture. Puis elles sont suivies par la phase de modélisation où la structure du composant est traduite sous forme de code de simulation, à l'aide d'outils numériques, afin de prévoir son comportement et ses limites. Ces outils numériques utilisent des modèles de plus en plus complexes car ils incorporent une grande quantité de paramètres prenant en compte tous les parasites liés à l'association des différentes briques du composant. Dès que le modèle global du composant est dimensionné de manière à répondre au cahier de charges, il passe par des étapes de réalisation physique avant d'être testé et vérifié vis-à-vis des attentes. Cependant, la fabrication physique est toujours accompagnée d'incertitudes et d'imprécision qui peuvent être à l'origine de comportements inattendus dans des conditions particulières. En effet, dans ces zones d'opération, le modèle ne permet plus de prédire exactement le comportement du composant. En général, le fabricant fait en sorte que le fonctionnement du composant soit garanti sous des conditions d'alimentation et de température spécifiques.

Les composants numériques ont, dans la grande majorité des situations, à leur entrée un ou deux étages "tampon", constitués d'inverseur *CMOS*. Le dysfonctionnement de ces étages de remise en forme des signaux d'entrée peut conduire à des dégâts importants tels que des "*RESET*" permanents et donc l'étude de leur comportement face à des agressions est de plus en plus nécessaire. Le but recherché dans cette section est de concevoir un modèle de ces étages d'entrée, à partir de résultats expérimentaux du chapitre précédent. La structure de ces étages d'entrée évoluant avec la technologie impose au modèle d'adopter un caractère générique afin d'être applicable à une grande majorité de composants électroniques numériques. Puisque l'accès à l'architecture interne des composants est toujours difficile, voire impossible, la tendance est d'apposer à ces modèles une représentation simple de la fonction principale du composant telle qu'une équation logique simple ou un modèle comportemental (à l'aide du langage *VHDL* par exemple).

L'analyse des résultats expérimentaux du chapitre précédent a permis de mettre en évidence les comportements typiques des inverseurs face à des signaux représentatifs d'agressions électromagnétiques intentionnelles. Afin de prévoir ces comportements en amont et d'évaluer les failles et les limites de ce type de composants, la définition d'un modèle de simulation de ces inverseurs est nécessaire. La modélisation simple des composants a toujours été faite, mais toujours du point de vue fonctionnel, à savoir que les modèles conçus n'étaient destinés qu'à la zone *INBAND*. Dans notre cas, le modèle développé doit être applicable en zones *INBAND* et *OUTBAND*. Dans ce chapitre, nous commencerons par rappeler les différents types de modèles d'inverseurs existants et fournis par les fabricants de circuits logiques. Puis, il en découlera un choix représentatif qui constituera notre base de modélisation comportementale. De plus, les limites et les comportements de ce modèle seront évalués et une comparaison sera effectuée entre ces résultats de simulation et ceux issus de mesures expérimentales. En conséquence, la relation entre ces limites de fonctionnement et certains paramètres du modèle sera établie. Ensuite, diverses améliorations seront apportées au modèle primaire tout en privilégiant un formalisme simple et générique. Ces améliorations mèneront à plusieurs versions, en fonction de la simplicité du modèle. Les paramètres de chacune des

versions du modèle devront être choisis de manière à correspondre aux résultats de mesure. Enfin, une version finale du modèle comportemental des inverseurs *CMOS* sera proposée. Puis, nous clôturerons ce chapitre par une synthèse des résultats et des modèles en fonction des spécificités des inverseurs *CMOS* (fabricants, familles technologiques).

4.2 Modèles existants

Les premières informations sur la constitution d'un composant numérique proviennent naturellement des Datasheets et de sa nomenclature. Il est ainsi possible d'obtenir des renseignements sur sa technologie, sa famille logique, son encapsulation et, dans le cas d'un inverseur *CMOS*, le nombre d'étage dont il se compose : par exemple, pour un inverseur *CMOS*, un suffixe "U" à la suite du nom de famille signifie qu'il n'est pas bufférisé, et ne contient en tout et pour tout qu'un seul étage inverseur. A l'inverse, un inverseur classique – et donc bufférisé – contient au minimum trois étages inverseurs en cascade: un premier inverseur assure la fonction de tampon (buffer), le deuxième assure la fonction logique elle-même (inversion), et le troisième assure la sortance (fan out - la tenue en courant en cas de connexions multiples à d'autres circuits). Ces trois inverseurs cascades sont d'ailleurs souvent représentés sur les Datasheets comme schéma équivalent de l'inverseur *CMOS*.

Par contre, toutes ces données ne remplacent pas celles issues des modèles qui seraient utilisables pour des simulations du niveau circuit. Une des premières activités a donc consisté à répertorier, pour tous les fabricants, les divers modèles représentatifs des inverseurs qui pouvaient être disponibles. Cette recherche a finalement débouché sur les deux modèles explicités ci-dessous :

4.2.1 Le modèle IBIS (Input/Output Buffer Information Specification) [56]

C'est le modèle le plus répandu pour les composants numériques. Il décrit le comportement analogique des périphériques d'entrée et de sortie du composant tout en restant discret sur sa structure interne, et il permet donc aux fabricants de préserver leur propriété intellectuelle. La Figure 4-1 montre la topologie typique de ce modèle comportemental pour une broche d'entrée du composant. Nous y observons les éléments suivants :

- un circuit de protection activé si la tension d'entrée dépasse la tension d'alimentation V_{CC} (*POWER CLAMP*);
- un circuit de protection activé si la tension d'entrée est inférieure au potentiel de masse GND (*GROUND CLAMP*);
- les effets parasites liés au boîtier représentés par des éléments passifs (R_{PKG} , L_{PKG} et C_{PKG}) et
- un condensateur C_{COMP} qui représente tous les effets capacitifs liés à la puce elle-même (parasites des transistors, interconnexion métallique entre les transistors, etc.) à l'exception de ceux du boîtier.

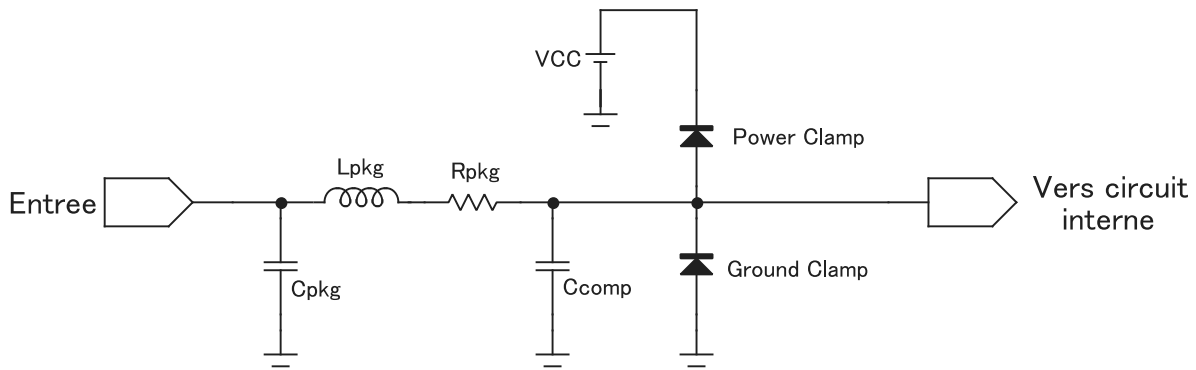


Figure 4-1 : Structure du modèle IBIS d'une entrée

Les données du modèle *IBIS* sont fournies sous forme de texte ASCII avec les valeurs limites des éléments passifs et des tableaux répertoriant les comportements des éléments actifs. Cependant, contrairement aux ports de sortie, le modèle *IBIS* des ports d'entrée ne fournit aucune information sur les buffers d'entrée. Donc, notre objectif de caractérisation des étages d'entrée des composants rend le modèle *IBIS* inapproprié dans notre étude présente. Cependant, il existe un autre type de modèle, mais il est rarement fourni par les fabricants.

4.2.2 Le modèle SPICE (Simulation program with Integrated Circuit Emphasis) [57]

C'est un modèle dont la base est issue généralement de la phase de modélisation du flot de conception de composant électronique car il explicite tous les détails de chaque bloc constitutif du composant (transistors, éléments passifs, etc.). En conséquence, si ce type de modèle est courant pour les composants discrets tels que les diodes, les transistors, ou les éléments passifs, il est extrêmement rare que les fabricants fournissent ce type de modèle pour les composants intégrés numériques, car il dévoile l'architecture interne et les processus utilisés pour fabriquer le circuit. Dans le cas de nos inverseurs, nous avons quand même réussi à trouver quelques modèles *SPICE* chez le fabricant NXP® [58] [59] [60] et ce pour seulement quelques familles technologiques matures *HC*, *LV* et *LVC* dont des exemples sont donnés en **Annexe 2**.

Il s'agit précisément d'un modèle *SPICE* incluant toutes les composantes de l'inverseur, à savoir, les éléments de protection, les éléments représentant l'influence des boîtiers et les différents paramètres caractérisant chacun des transistors *NMOS* et *PMOS* constituant l'inverseur, comme l'illustre la Figure 4-2. Les chiffres en regard de chaque transistor donnent la largeur (W) et la longueur (L) de grille. Le 3^e étage de ce modèle est en réalité défini par trois inverseurs *CMOS* reliés en parallèle de sorte à minimiser les dimensions globales du circuit, comme le montre la Figure 4-3. Ce modèle est de type complexe de niveau transistor, contrairement aux modèles comportementaux et aux macro-modèles d'évaluation de l'immunité de composants [61]. Un modèle *SPICE* est de plus en plus précis lorsque le nombre de paramètres, avec lesquels sont définis les transistors, est élevé. Dans les modèles NXP® que nous avons trouvés, chaque transistor est décrit par un modèle *SPICE* de transistor *MOS* de niveau 3 (*Level3*), et est caractérisé par plus de 20 paramètres. Cependant, il présente des lacunes et des imprécisions par rapport au modèle utilisé par le fabricant lors de la conception du composant, puisqu'il n'est fourni qu'à titre accessoire pour les ingénieurs afin de concevoir un système électronique plus complexe : la préoccupation de ceux-ci étant

seulement que le modèle soit fiable et que son comportement soit acceptable dans la zone de fonctionnement définie par la Datasheet.

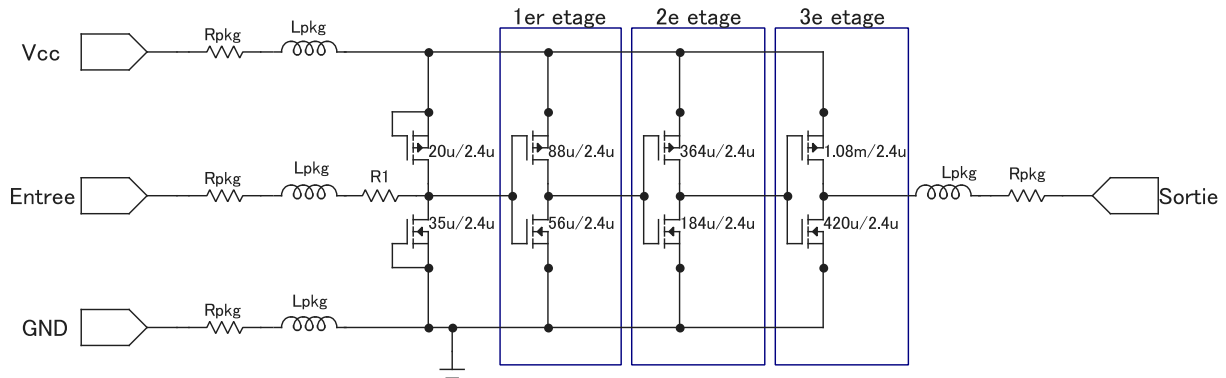


Figure 4-2 : Modèle SPICE d'inverseur CMOS de la famille HC de NXP® (74HC04)

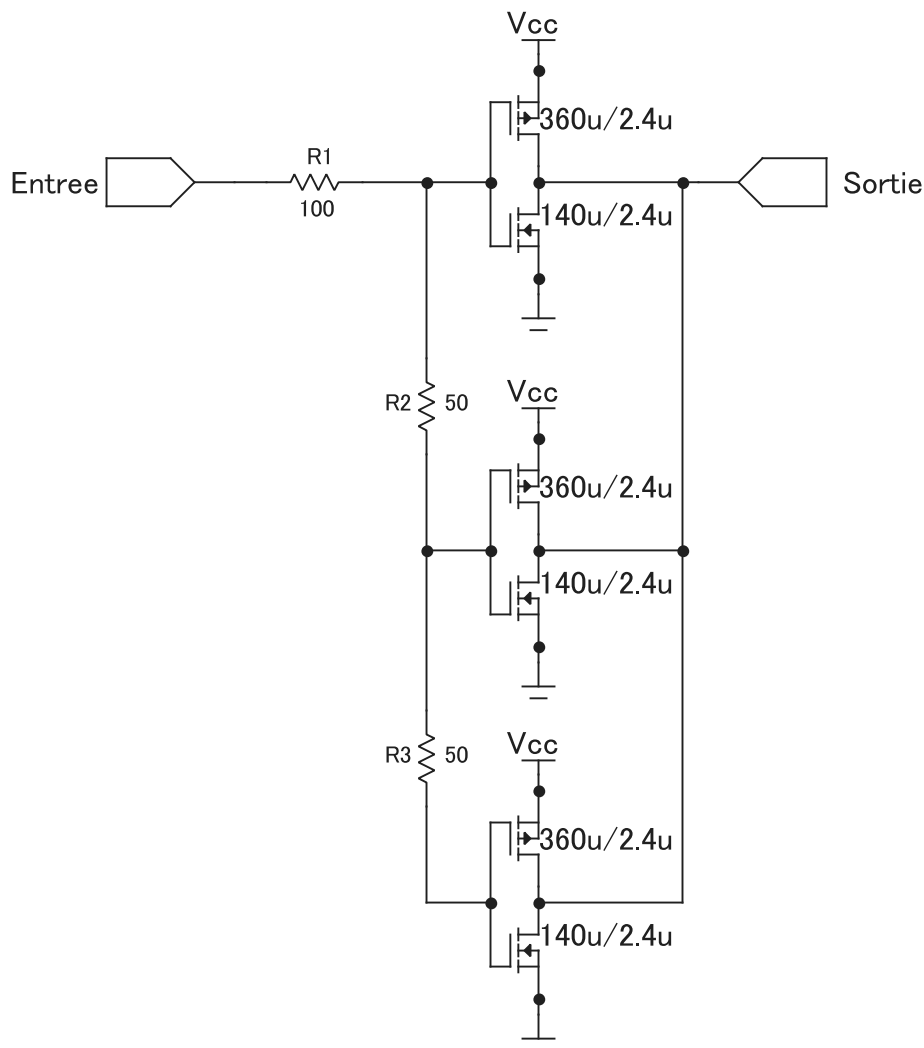


Figure 4-3 : Structure de l'étage de sortie du modèle SPICE de NXP® (74HC04)

Cependant, l'examen de la topologie de ce modèle permet malgré tout de valider l'architecture à trois étages des inverseurs indiquée dans certaines Datasheets : les trois étages y sont clairement différenciés, avec des paramètres de transistor spécifiques.

La structure du modèle *NXP* de la famille technologique *LV* est identique à celle de la famille *HC*, à l'exception du processus (c'est à dire, les dimensions minimales de longueur de grille de transistor et les paramètres qui s'y rattachent). Quant à celle de la famille technologique *LVC*, en plus de l'exception précitée, la structure est légèrement différente. Nous avons donc décidé d'utiliser ce modèle *SPICE* d'inverseur *CMOS*, de famille technologique *HC* et fournit par *NXP*® comme base pour notre phase de modélisation. Dans la suite de cette section, nous allons présenter différentes améliorations apportées à ce modèle *SPICE* sous forme de versions du modèle comportemental d'inverseur *CMOS*.

4.3 Versions préliminaires du modèle comportemental

4.3.1 Première version

L'accessibilité au modèle *SPICE* d'inverseurs *CMOS* de *NXP*® confirme donc la topologie classique que nous avons pressentie, et explicite d'avantage leur architecture. Dans le détail, ces modèles se présentent sous forme de différents sous-circuits à assembler. Dans le modèle de la famille technologique *HC*, le premier sous-circuit inclut les éléments de protection de type *ggNMOS* et *gcPMOS* (pour Gate-Gounded *NMOS* et Gate_Coupled *PMOS*, où les grilles des transistors sont reliés aux sources : la masse pour le *NMOS* et V_{CC} pour le *PMOS*) et l'étage d'entrée. Le second et le troisième contiennent les deux étages suivants (inversion elle-même et sortie). Chaque étage inverseur est formé par une paire de transistors *NMOS* et *PMOS* (Figure 4-2), avec une longueur de grille de transistor fixée pour chaque famille technologique (*HC*, *LV*, et *LVC*). Les tailles des transistors de chaque étage sont liées à celles de l'étage suivant par un facteur constant (trois dans ce cas). Ce dimensionnement est une règle de conception afin que l'étage de sortie soit de dimensions plus grandes de manière à avoir une grande capacité en courant, ou fan-out (nombre limite de portes à connecter en sortie du composant). En général, un choix pertinent du nombre d'étages et du facteur multiplicatif entre ces étages permet, en comparaison avec une structure composée d'un seul étage, de minimiser le temps de propagation de l'inverseur [20].

Le modèle précité se présente aussi en différentes versions représentant les cas extrêmes liés à la fabrication. Ces cas, appelés "*PROCESS*", interviennent par des variations très caractérisées des paramètres des modèles. Il existe les *PROCESS* "*SLOW*", "*FAST*" par opposition au *PROCESS* "*NOMINAL*". Après avoir implanté ces modèles dans notre simulateur *SPICE MicroCap* [62], une première simulation a consisté à comparer ces trois versions du modèle *NXP*® de la famille *HC*. Elle a permis de relever un changement de la fréquence maximale de fonctionnement avec une différence de 100MHz de plus ou de moins respectivement pour les versions "*FAST*" et "*SLOW*" par rapport à la version "*NOMINAL*" (de l'ordre de 320MHz). Il est à noter que pour ces simulations, comme toutes celles à venir, la sortie du troisième étage est chargée par le schéma équivalent de la sonde d'oscilloscope (0.8pF//40kΩ).

Le modèle propose aussi plusieurs représentations des boîtiers par des sous-circuits à base d'éléments passifs (Resistances et Inductances). Une seconde simulation a permis de comparer ces boîtiers et d'évaluer leur influence sur le fonctionnement de l'inverseur *CMOS*. Pour chaque boîtier, nous appliquons une source typique du signal perturbateur N°1 (voir chapitre II). Les résultats de simulation sont illustrés aux figures suivantes. Nous remarquons que l'influence des modèles de boîtiers se manifeste par des oscillations (ou résonances d'amplitude croissante avec la fréquence) sur l'état stable du signal de sortie. Ces résultats

montrent également que les modèles de boîtiers ont peu d'influence sur le comportement de l'inverseur jusqu'aux alentours de la fréquence de 1.5GHz pour les "DIP" et 2.5GHz pour les boîtiers "SOIC". Nous déduisons ainsi de ces résultats de simulations que le modèle d'inverseur de NXP® ne présente pas trop de complexité car les effets parasites liés aux transistors sont négligés, contrairement aux résultats de mesure où des oscillations typiques apparaissent à des fréquences bien inférieures (aux alentours de 500MHz).

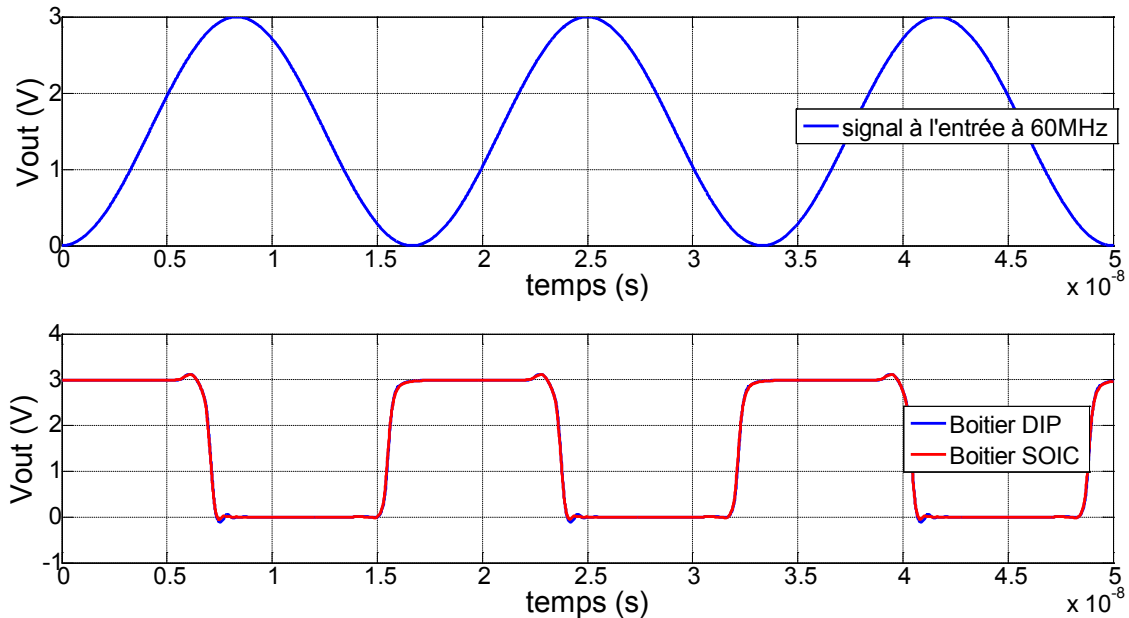


Figure 4-4 : Réponses du modèle d'inverseurs HC pour différents boîtiers et aux fréquences de 60MHz

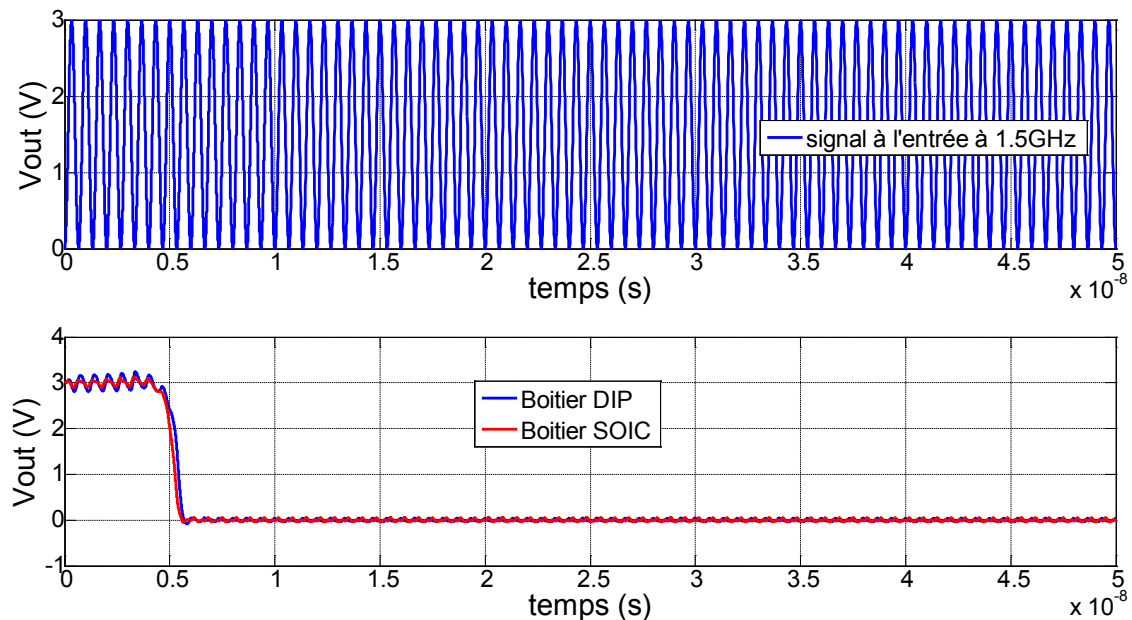


Figure 4-5 : Réponses du modèle d'inverseurs HC pour différents boîtiers et aux fréquences de 1.5GHz

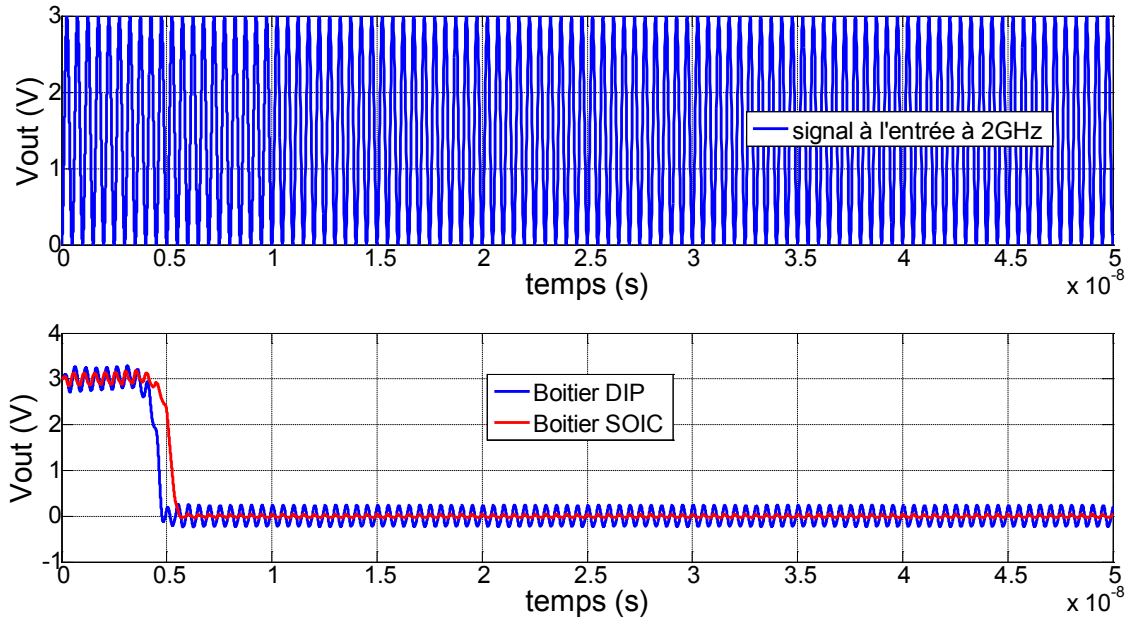


Figure 4-6 : Réponses du modèle d'inverseurs HC pour différents boîtiers et aux fréquences de 2GHz

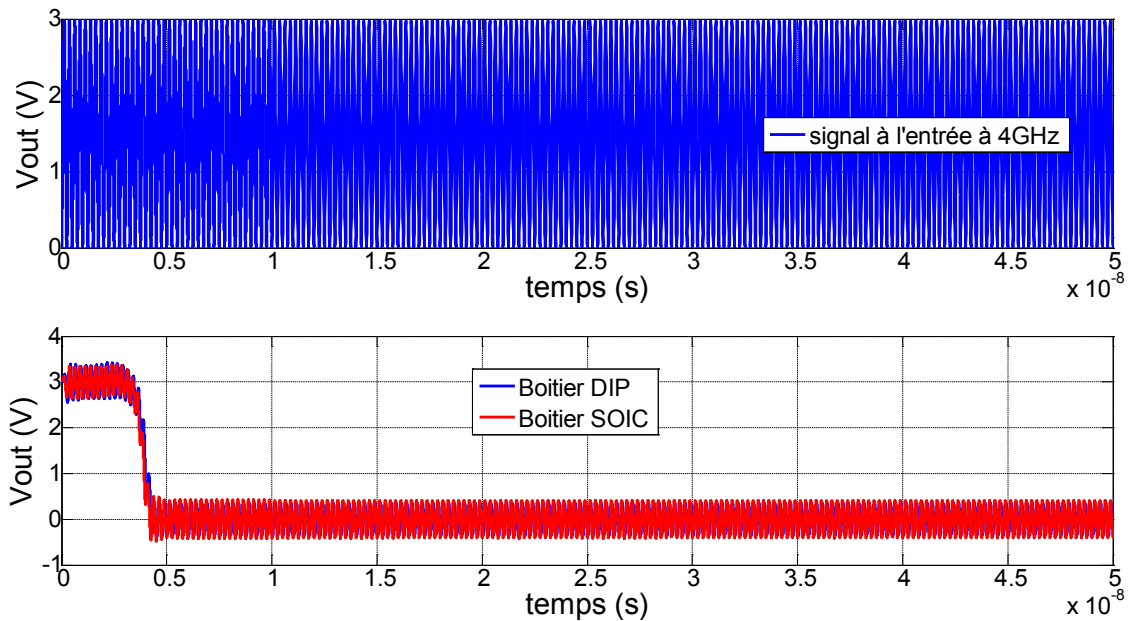


Figure 4-7 : Réponses du modèle d'inverseurs HC pour différents boîtiers et aux fréquences de 4GHz

Cette simulation a permis aussi d'observer le comportement du modèle de la famille *HC* à des fréquences supérieures à sa limite de fonctionnement : la tension de sortie finit par se figer sur l'état bas après une courte durée d'inactivité (temps d'établissement). Cet état définitif est semblable au comportement des inverseurs des autres fabricants de la famille technologique *HC* (*TEXAS INSTRUMENTS*® et *ONSEMICONDUCTORS*®), par contre il est différent de celui de l'inverseur *NXP*® qu'il est sensé représenter (cf. Figure 3-14 au chapitre 3). De plus, comme nous l'avons précisé plus haut, la fréquence maximale de fonctionnement du modèle (320MHz), est bien au delà de celle mesurée pour toute la famille *HC*, soit environ 100MHz. Puisque le modèle donne accès à tous les paramètres et à toutes les dimensions de ses

éléments constitutifs, nous avons relevé l'étage responsable de cette limitation en fréquence par une comparaison des tensions de sortie des trois étages illustrée aux figures suivantes. La Figure 4-8 montre une représentation schématique de cette simulation.

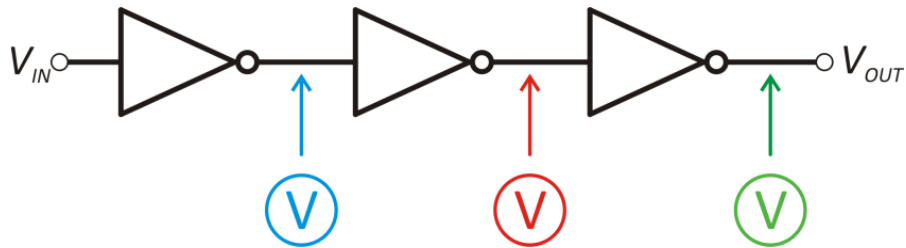


Figure 4-8 : Schéma de simulation pour la mesure de la tension de sortie des différents étages

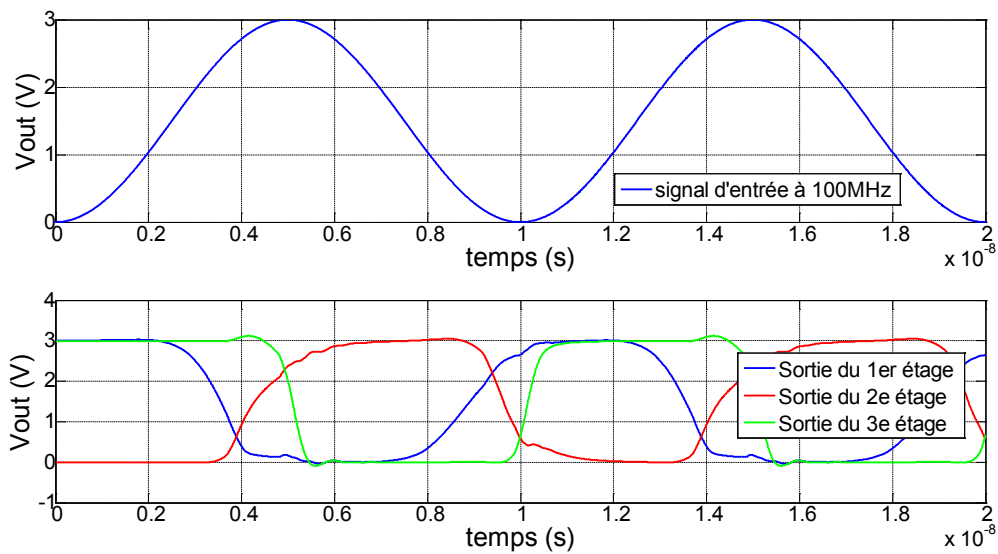


Figure 4-9 : Réponses à la sortie des différents étages de l'inverseur CMOS à 100MHz

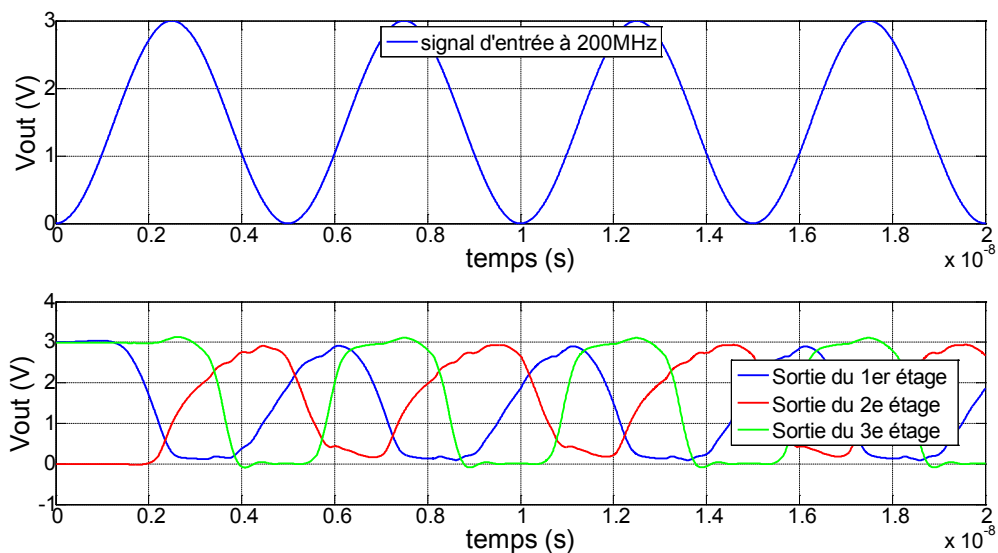


Figure 4-10 : Réponses à la sortie des différents étages de l'inverseur CMOS à 200MHz

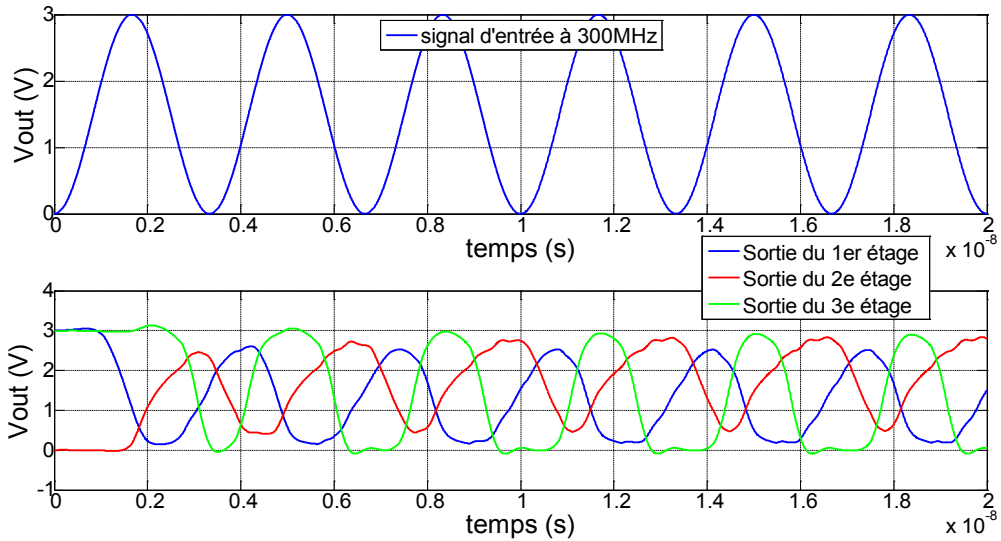


Figure 4-11 : Réponses à la sortie des différents étages de l'inverseur CMOS à 300MHz

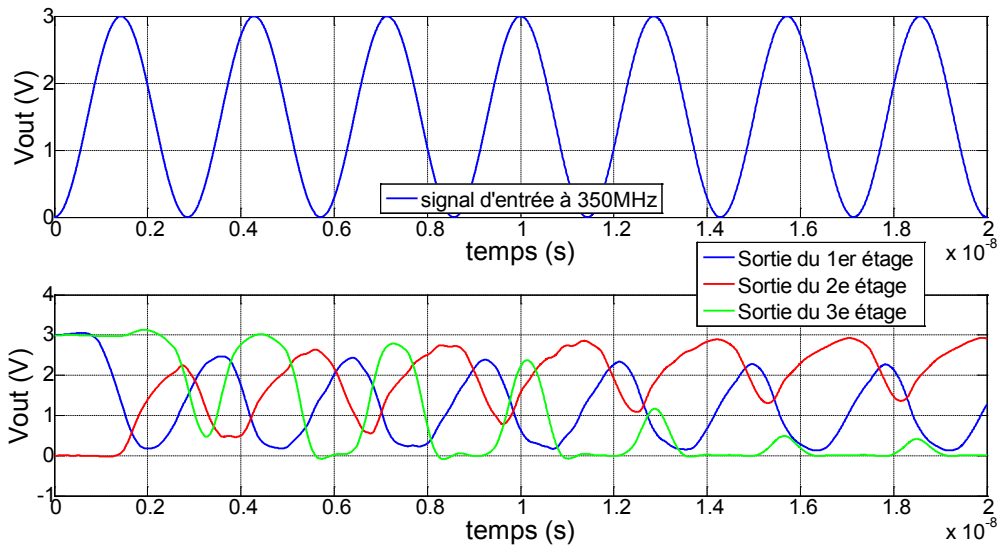


Figure 4-12 : Réponses à la sortie des différents étages de l'inverseur CMOS à 350MHz

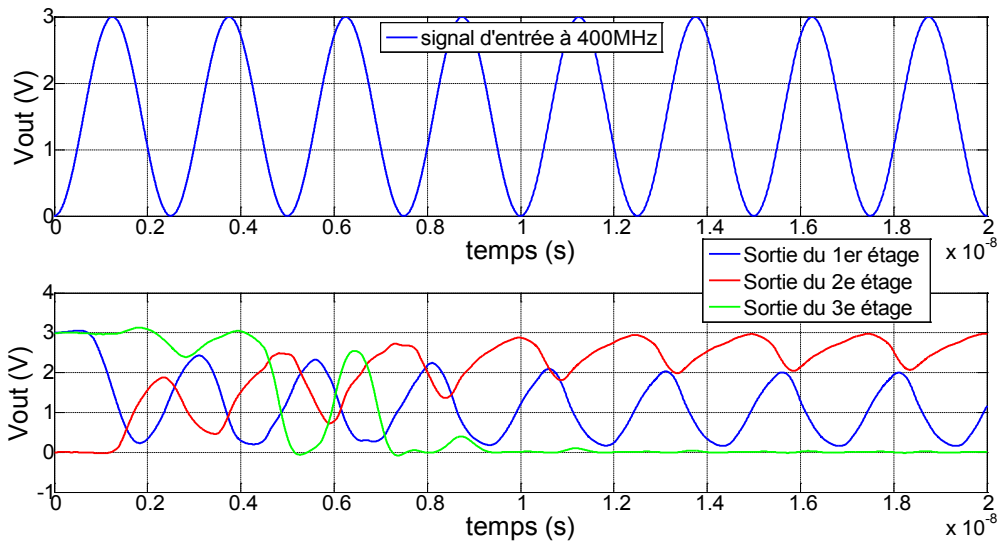


Figure 4-13 : Réponses à la sortie des différents étages de l'inverseur CMOS à 400MHz

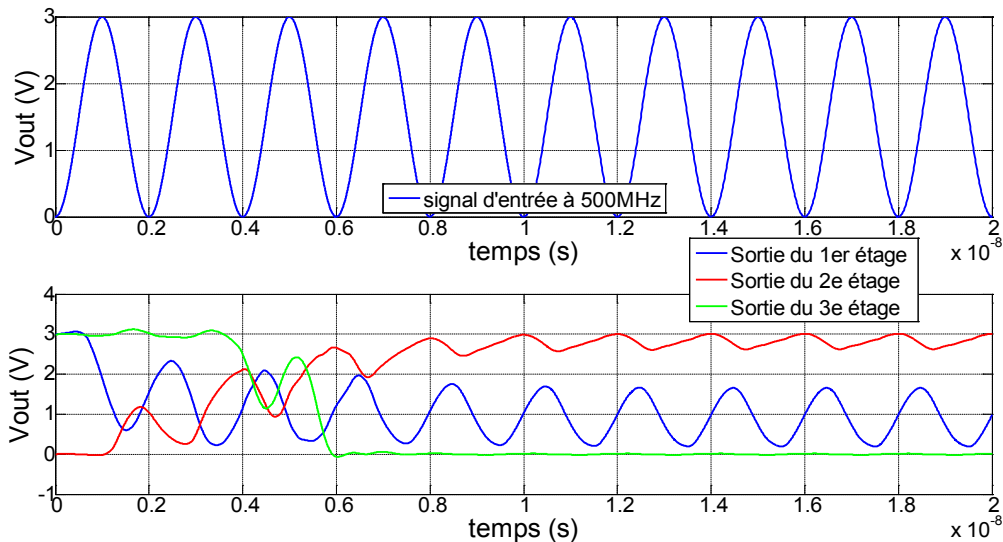


Figure 4-14 : Réponses à la sortie des différents étages de l'inverseur CMOS à 500MHz

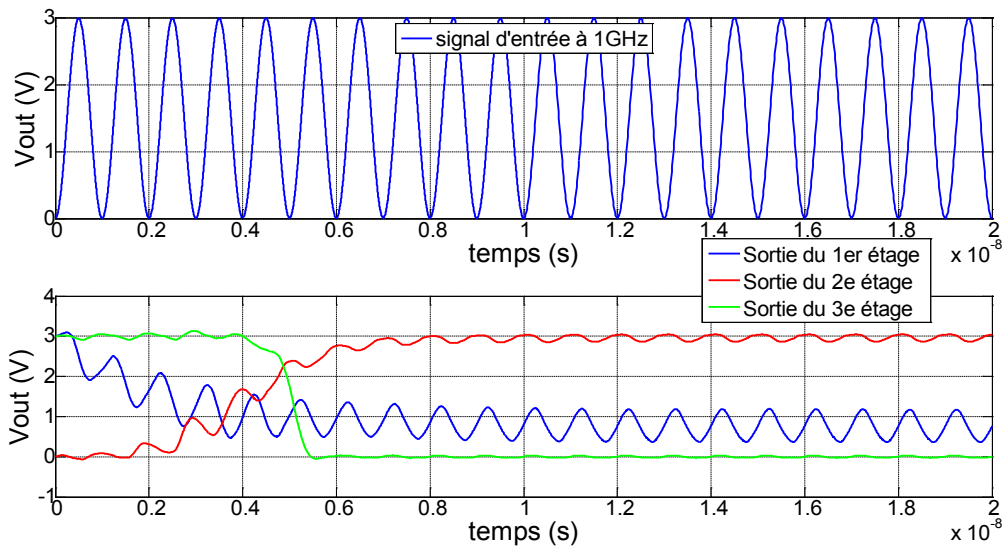


Figure 4-15 : Réponses à la sortie des différents étages de l'inverseur CMOS à 1GHz

Ces résultats confirment que l'étage d'entrée, étant de dimensions plus petites (en ce qui concerne les tailles de transistor), est le plus lent et qu'à une certaine fréquence, sa tension de sortie diminue car elle n'arrive pas à suivre le rythme de la tension d'entrée, et ne parvient pas à dépasser le seuil de basculement du second étage.

Nous avons donc commencé par modifier certaines caractéristiques de cet étage d'entrée afin de diminuer la fréquence maximale de fonctionnement du modèle de l'inverseur *CMOS* fourni par *NXP*® afin de nous rapprocher de ce que nous avons constaté expérimentalement (100MHz environ). Une division par quatre des largeurs de grille des transistors *NMOS* et *PMOS* dont se compose le premier inverseur, en conservant le rapport de dimensions entre les deux types de transistors, permet de ramener cette fréquence maximale à 110MHz. Cependant, il est à noter que cette modification déséquilibre les rapports entre les dimensions des transistors des différents étages de l'inverseur *CMOS*.

L'ensemble de ces interventions définit une première version du modèle d'inverseur ayant comme paramètre principal : les dimensions de l'étage d'entrée permettant d'ajuster la fréquence maximale de fonctionnement. Il est tout de même important de préciser que les

comportements illustrés aux figures précédentes restent du même ordre après cette modification du modèle et que seule la fréquence maximale de fonctionnement passe de 320MHz à 110MHz. Les comparaisons entre les mesures effectuées sur des composants de la même famille technologique *HC* et en boîtier *DIP* et les résultats de simulation avec cette première version du modèle d'inverseur *CMOS* sont illustrées aux figures suivantes. Nous remarquons d'abord sur ces comparaisons que les fréquences maximales sont bien semblables mais les niveaux de commutation diffèrent. Nous rappelons également que, comme mentionné au chapitre III, sur les résultats de mesure, l'inverseur du fabricant *NXP*® présente un comportement *OUTBAND* particulier par rapport à celui des autres fabricants (non commutation). A contrario, le modèle représentant l'inverseur de *NXP*® suit dans cette zone la tendance des inverseurs des autres fabricants. Par contre, ce modèle n'est pas fiable car il ne correspond pas assez aux résultats de mesure et il doit être amélioré et simplifié. De plus, l'intérêt d'apporter ces modifications est motivé par le nombre conséquent de variables qu'il contient (à savoir les paramètres définissant les modèles de transistors, la structure des éléments de protection qui varie entre les composants, l'influence du boîtier, etc.).

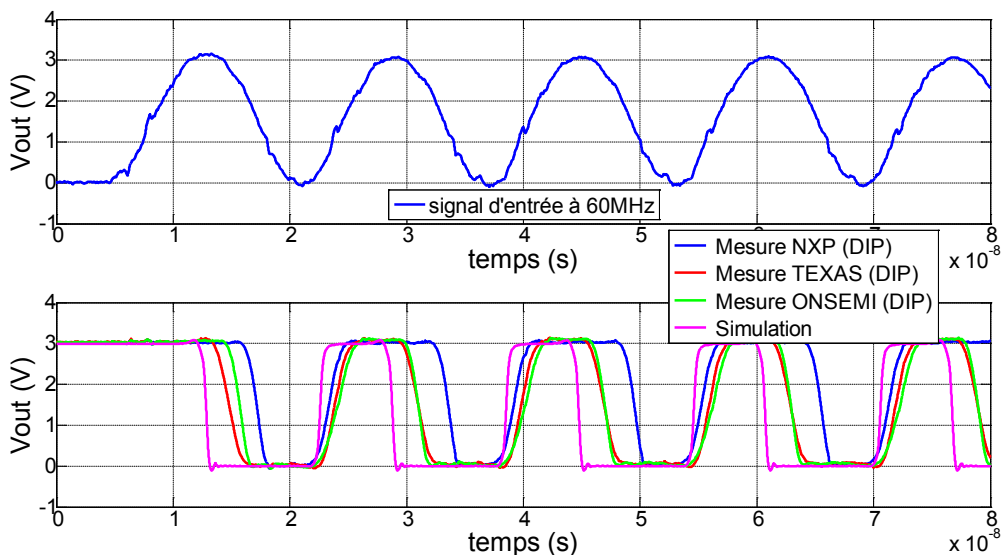


Figure 4-16 : Comparaison entre mesure et simulations à la fréquence de 60MHz (famille HC)

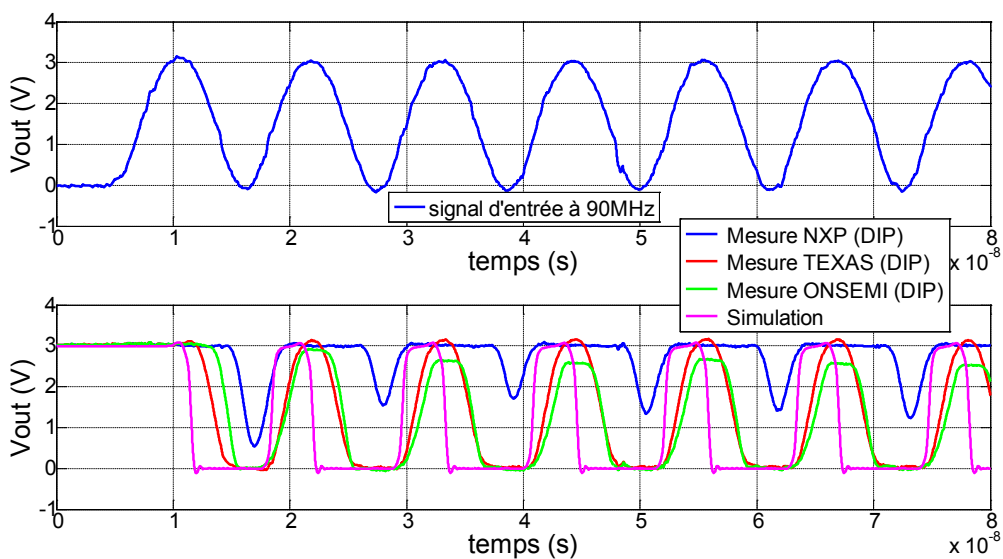


Figure 4-17 : comparaison entre mesure et simulations à la fréquence de 90MHz

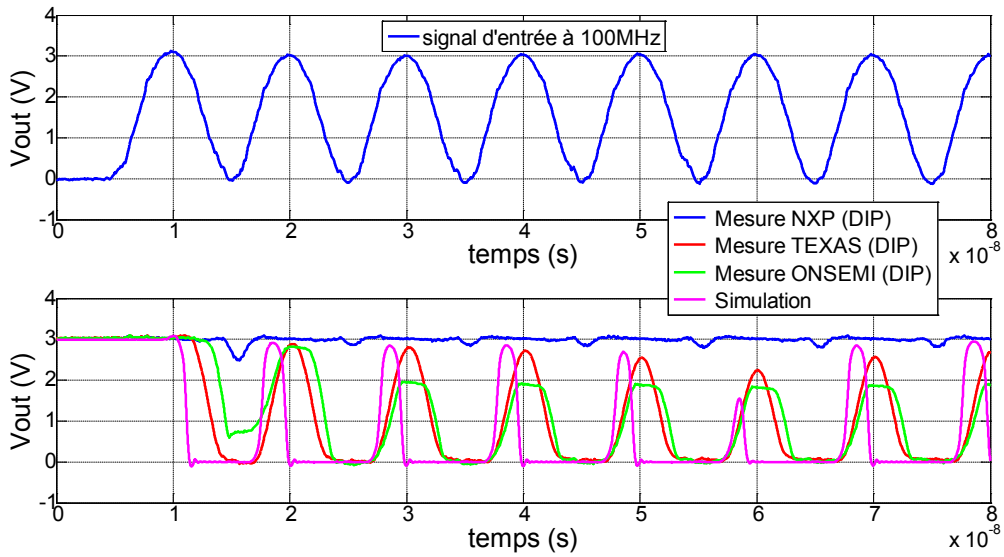


Figure 4-18 : comparaison entre mesure et simulations à la fréquence de 100MHz

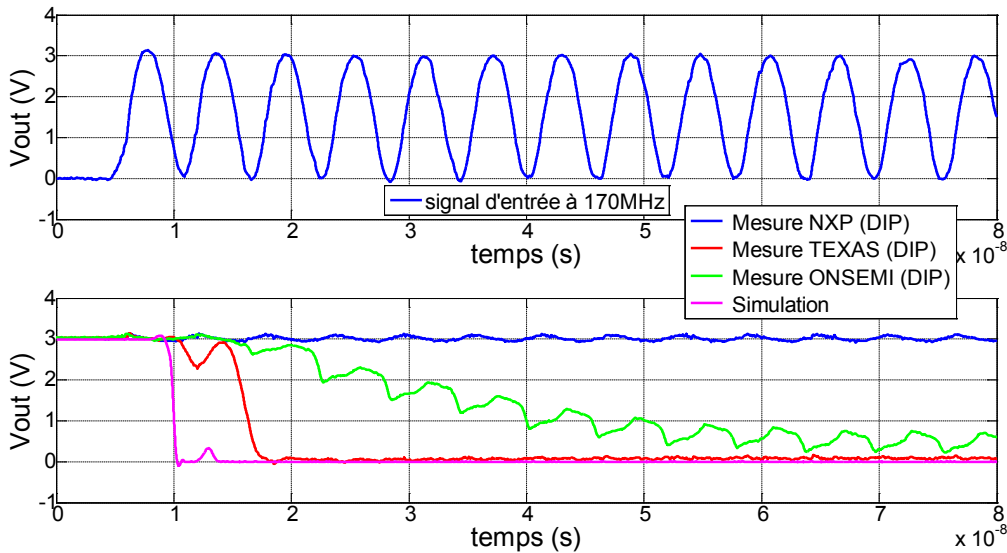


Figure 4-19 : comparaison entre mesure et simulations à la fréquence de 170MHz

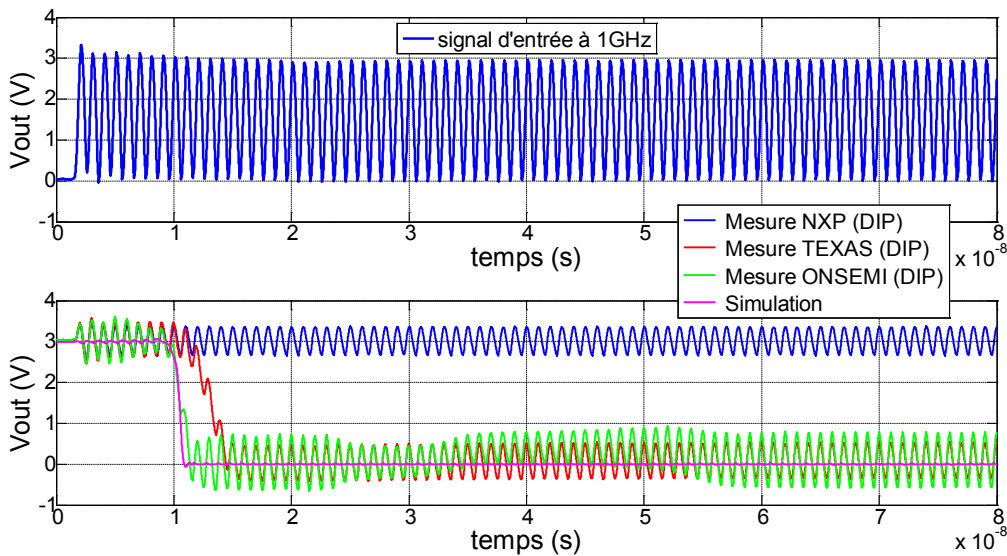


Figure 4-20 : comparaison entre mesure et simulations à la fréquence de 1GHz

4.3.2 Deuxième version du modèle

Une des premières simplifications du modèle d'inverseur précédent a consisté à éliminer les sous-circuits représentatifs du boîtier, car leurs effets n'interviennent qu'à partir de fréquences bien supérieures. Puis, il en a été de même pour les éléments de protection car ils sont supposés être transparents dans nos conditions d'étude (voir chapitre II). La série de figures suivante montre que ces deux composantes du modèle ont tout de même une influence non négligeable, notamment à partir de la fréquence de 2GHz (Figure 4-27 et Figure 4-28), sur lesquelles on peut observer que les éléments de boîtier sont responsables de la superposition d'une part du signal RF sur le signal de sortie. Les inductances de boîtier en particulier, peuvent entraîner des résonances parasites qui affectent les signaux. De plus, bien qu'inactifs, les éléments de protection présentent des capacités parasites qui peuvent modifier les comportements observés. Cependant, ces phénomènes n'interviennent pas dans les bandes de fréquences qui nous intéressent pour l'instant, ou ont des influences tout à fait mineures.

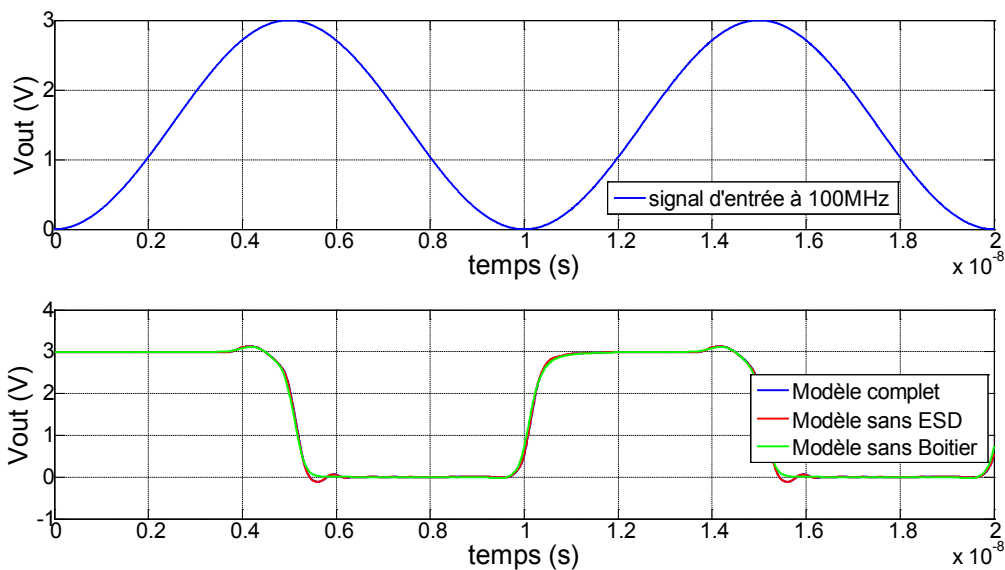


Figure 4-21 : Comparaison de modèles sans protections ESD et sans boîtier à 100MHz

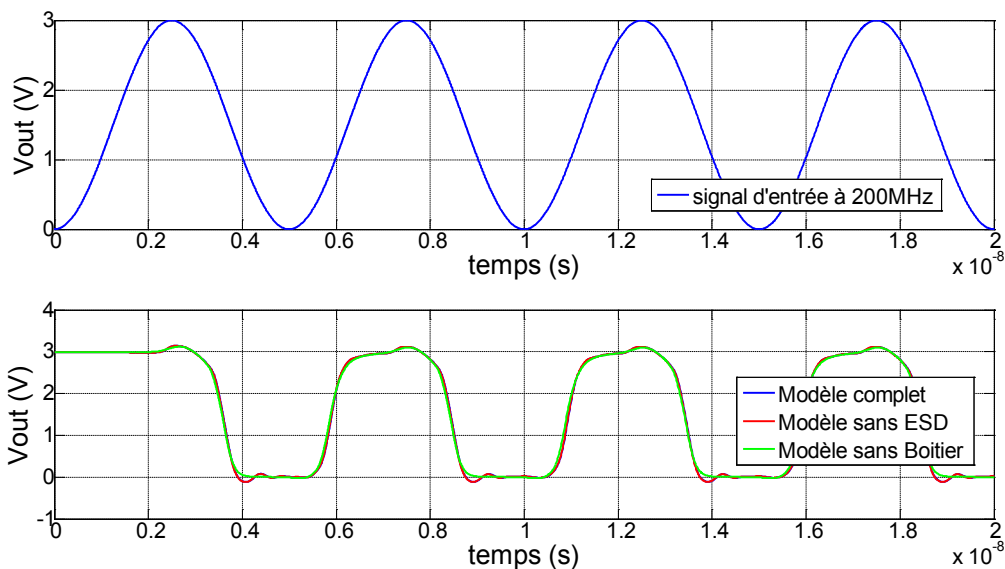


Figure 4-22 : Comparaison de modèles sans protections ESD et sans boîtier à 200MHz

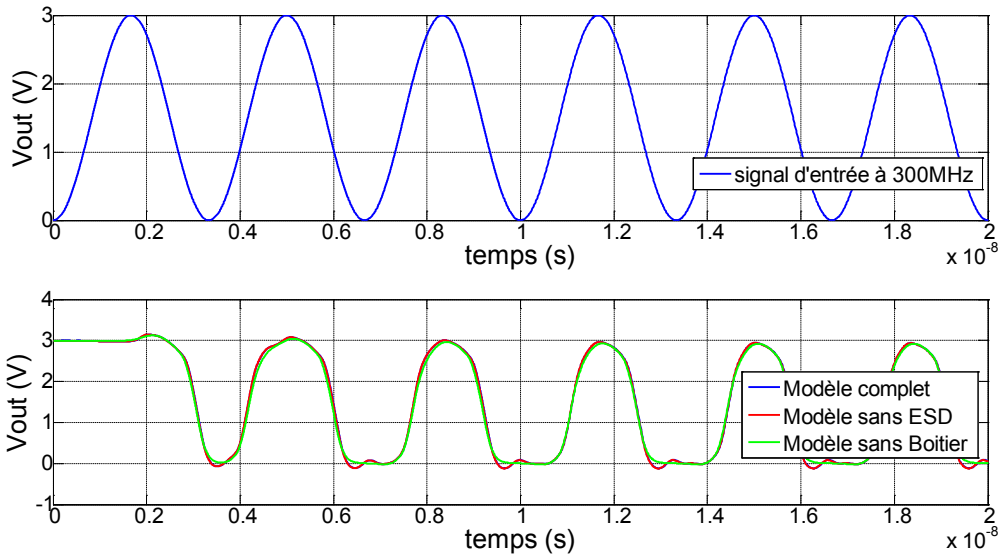


Figure 4-23 : Comparaison de modèles sans protections ESD et sans boîtier à 300MHz

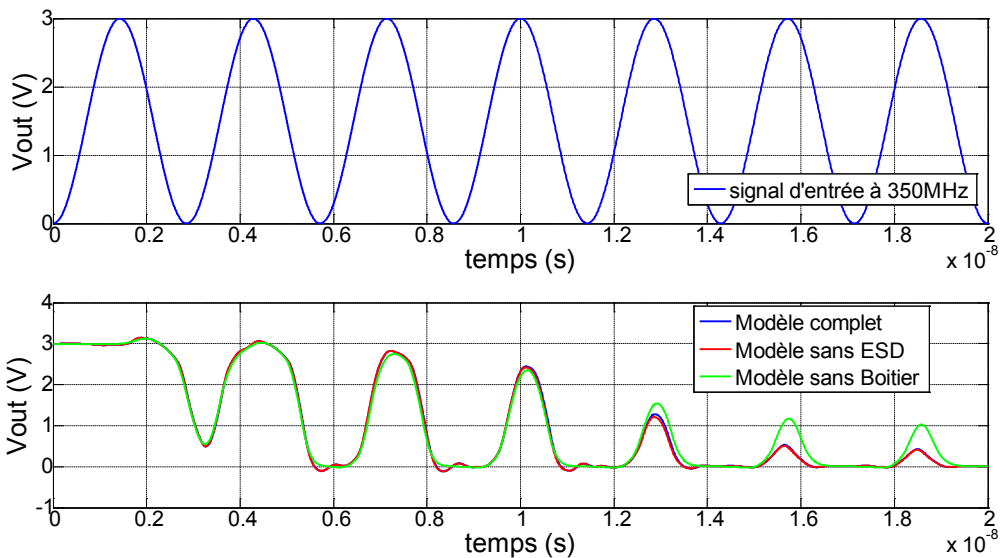


Figure 4-24 : Comparaison de modèles sans protections ESD et sans boîtier à 350MHz

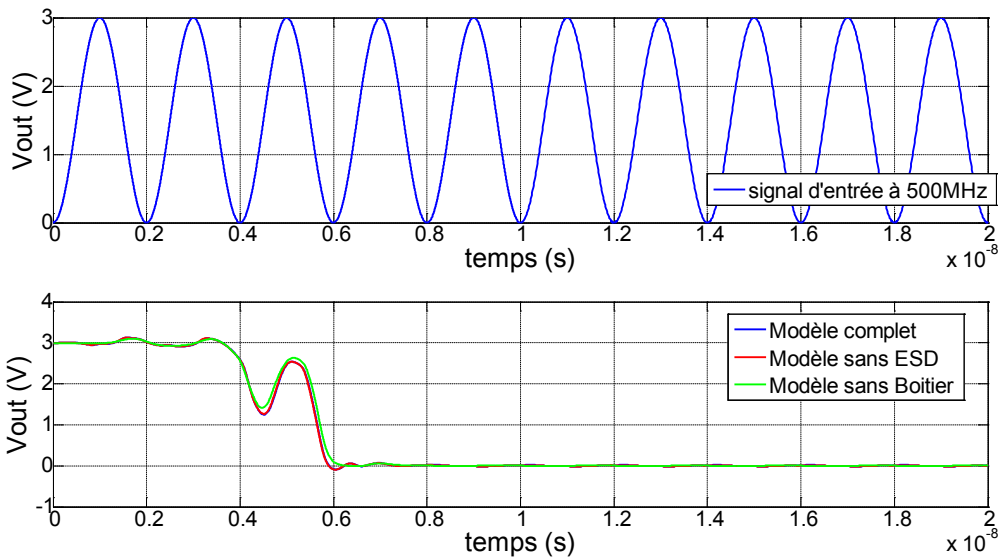


Figure 4-25 : Comparaison de modèles sans protections ESD et sans boîtier à 500MHz

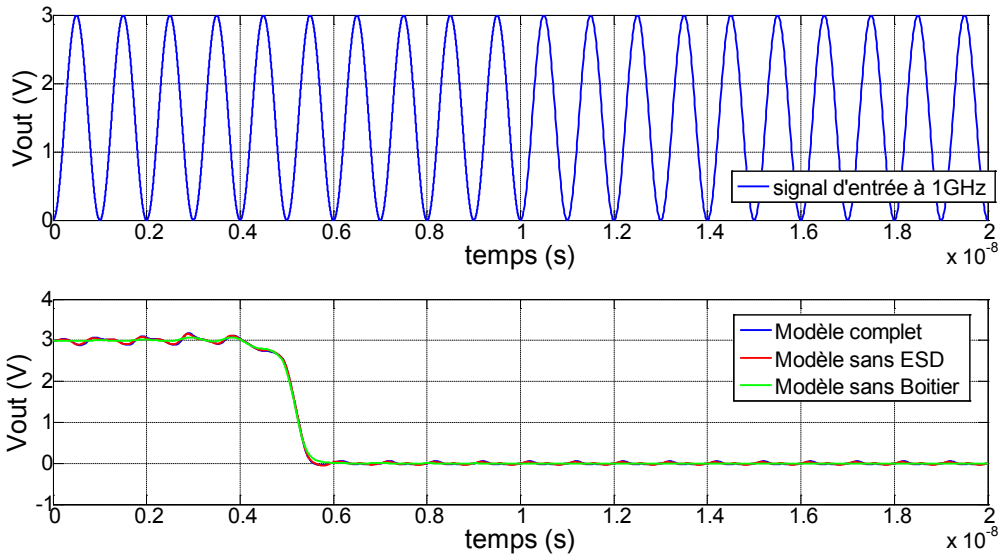


Figure 4-26 : Comparaison de modèles sans protections ESD et sans boîtier à 1GHz

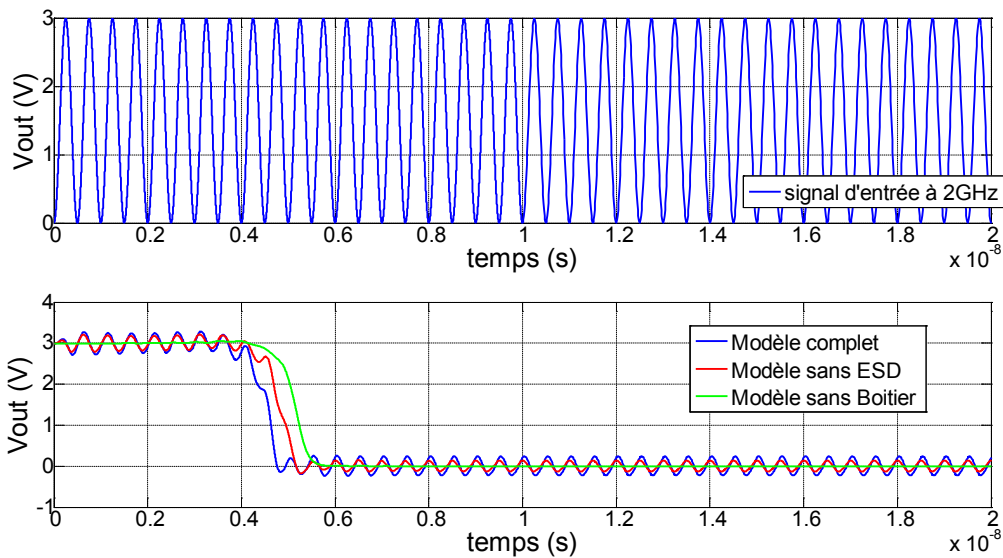


Figure 4-27 : Comparaison de modèles sans protections ESD et sans boîtier à 2GHz

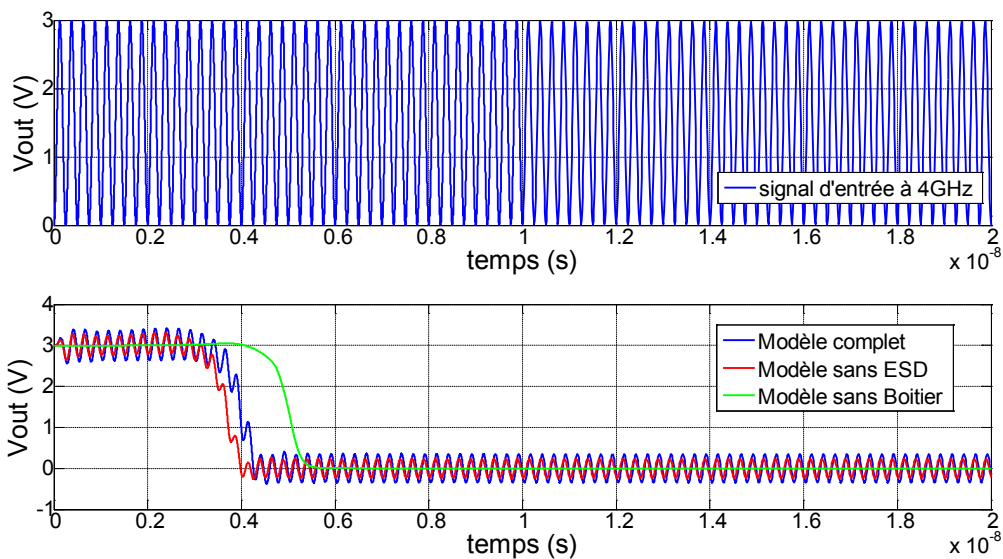


Figure 4-28 : Comparaison de modèles sans protections ESD et sans boîtier à 4GHz

Après ces mesures de simplification du modèle d'inverseur, nous nous sommes plus particulièrement intéressés au signal de sortie du premier inverseur (l'étage d'entrée) pour différentes fréquences, comme le représente la série de figures suivante. Comme précédemment exposé, nous observons sur celles-ci que la tension de sortie diminue lorsque la fréquence augmente car elle n'arrive pas à suivre le rythme de la tension d'entrée, et aux alentours de la fréquence maximale (Figure 4-33), elle parvient à peine à dépasser le seuil de basculement du second étage, et le composant cesse de fonctionner normalement.

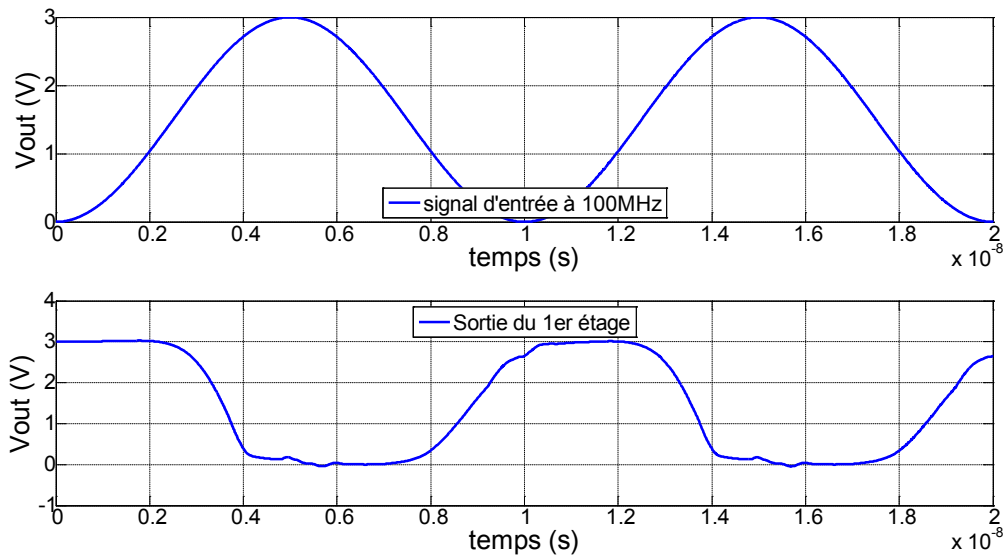


Figure 4-29 : Réponses du premier étage de l'inverseur CMOS à la fréquence de 100MHz

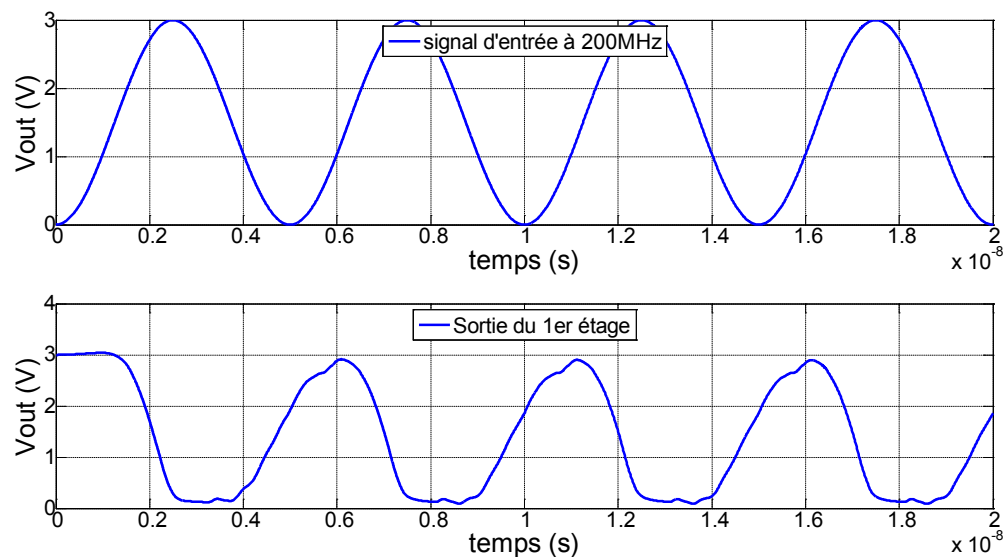


Figure 4-30 : Réponses du premier étage de l'inverseur CMOS à la fréquence de 200MHz

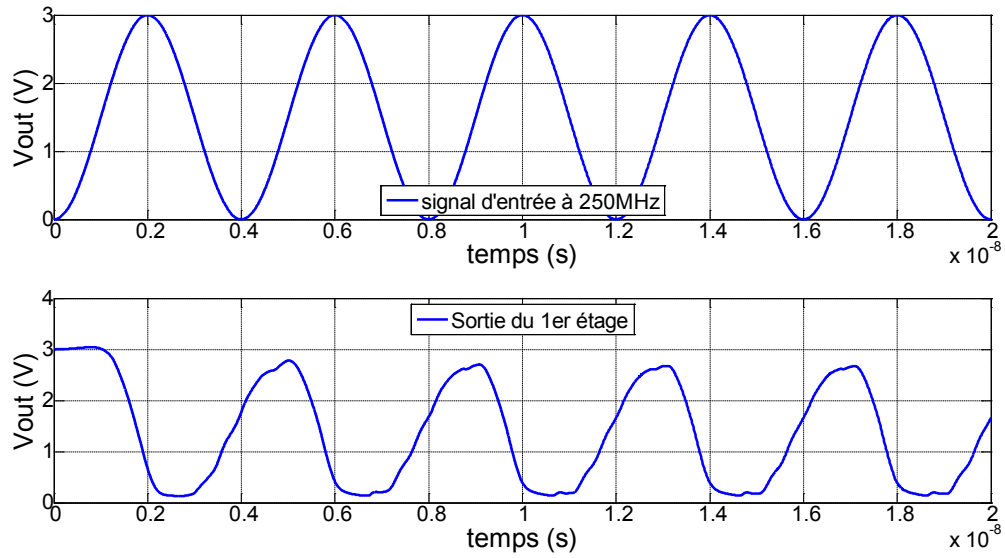


Figure 4-31 : Réponses du premier étage de l'inverseur CMOS à la fréquence de 250MHz

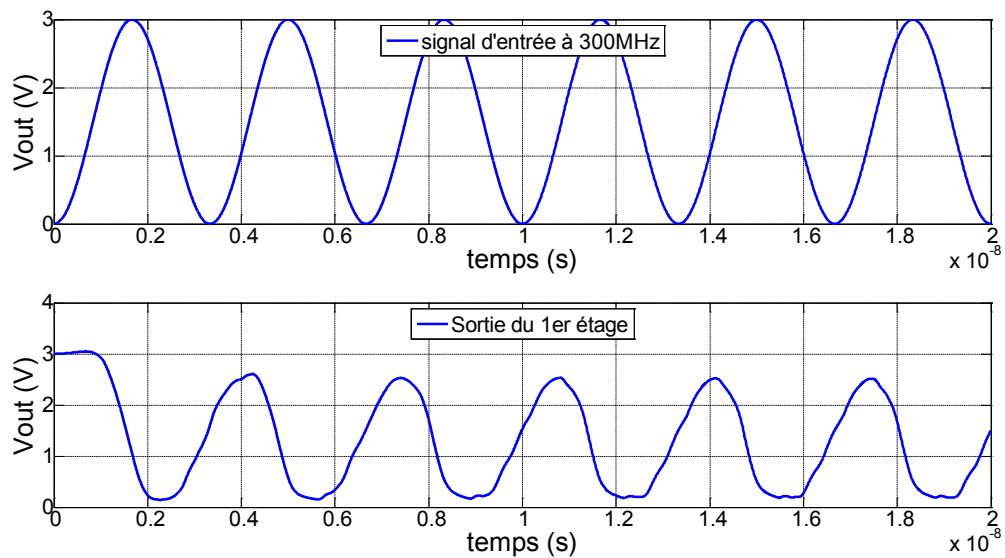


Figure 4-32 : Réponses du premier étage de l'inverseur CMOS à la fréquence de 300MHz

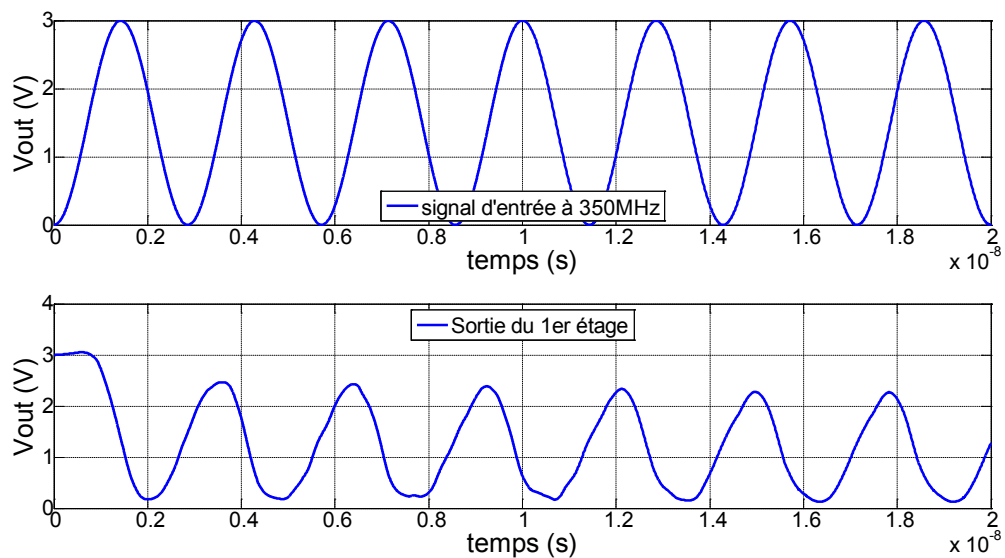


Figure 4-33 : Réponses du premier étage de l'inverseur CMOS à la fréquence de 350MHz

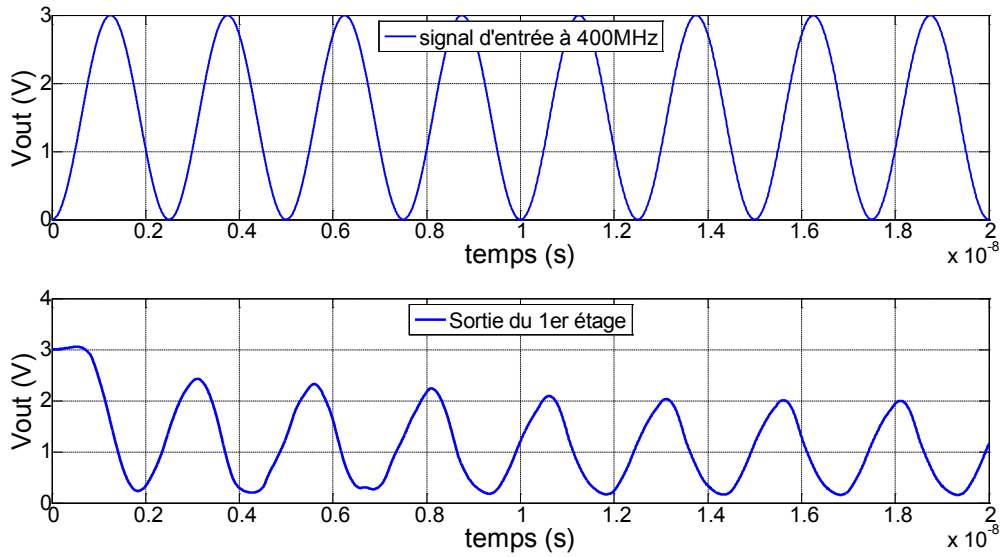


Figure 4-34 : Réponses du premier étage de l'inverseur CMOS à la fréquence de 400MHz

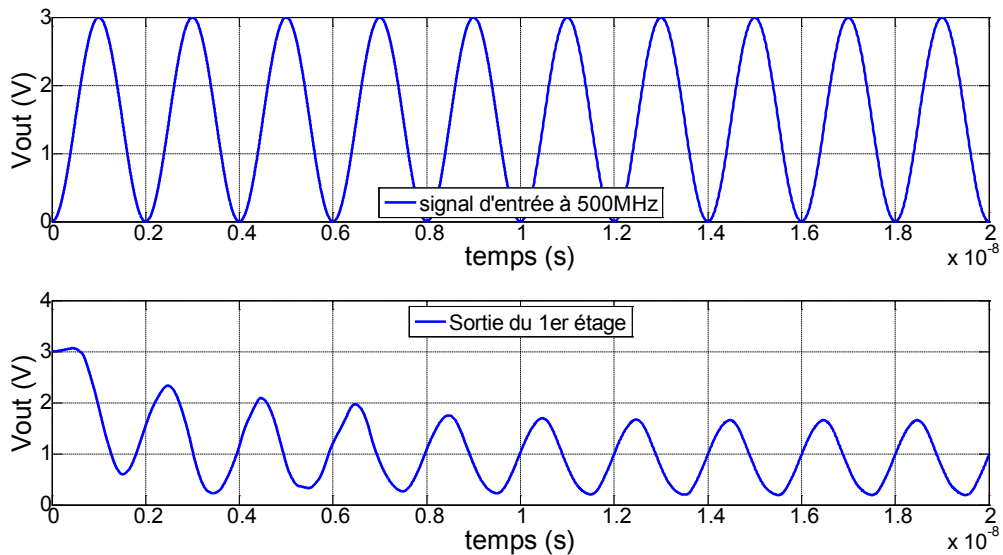


Figure 4-35 : Réponses du premier étage de l'inverseur CMOS à la fréquence de 500MHz

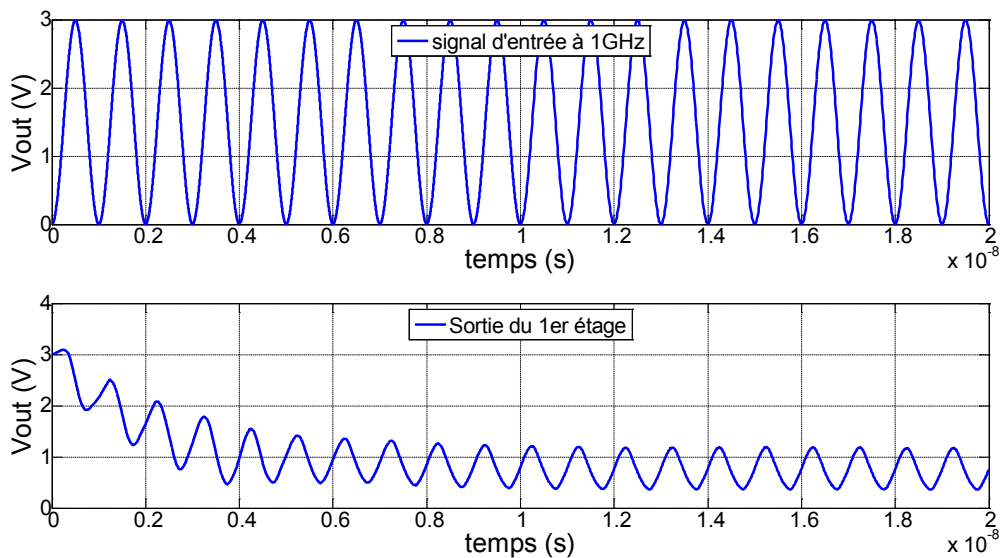


Figure 4-36 : Réponses du premier étage de l'inverseur CMOS à la fréquence de 1GHz

Ce comportement s'apparente clairement à celui d'un filtre passe-bas de type RC (résistance et condensateur), illustré à la Figure 4-37, et les signaux temporels observés confirment cette topologie : les charges et décharges de la capacité à travers la résistance se font en un temps donné ($\tau = R \cdot C$) qu'on peut assimiler - aux fréquences basses - au temps de montée et de descente du signal en sortie du premier inverseur. A partir d'une certaine fréquence (fréquence de coupure $f_C = 1/RC$), les charges et décharges du condensateur ne sont plus complètes et, du fait du déséquilibre des constantes de temps entre les transitions haut/bas et bas/haut, l'amplitude crête à crête du signal diminue, jusqu'à passer sous le seuil de basculement de l'étage suivant. Ces comportements sont illustrés sur les figures suivantes pour un filtre passe bas ($R=500\Omega$ et $C=1pF$).

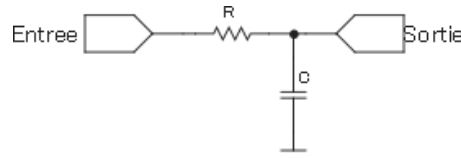
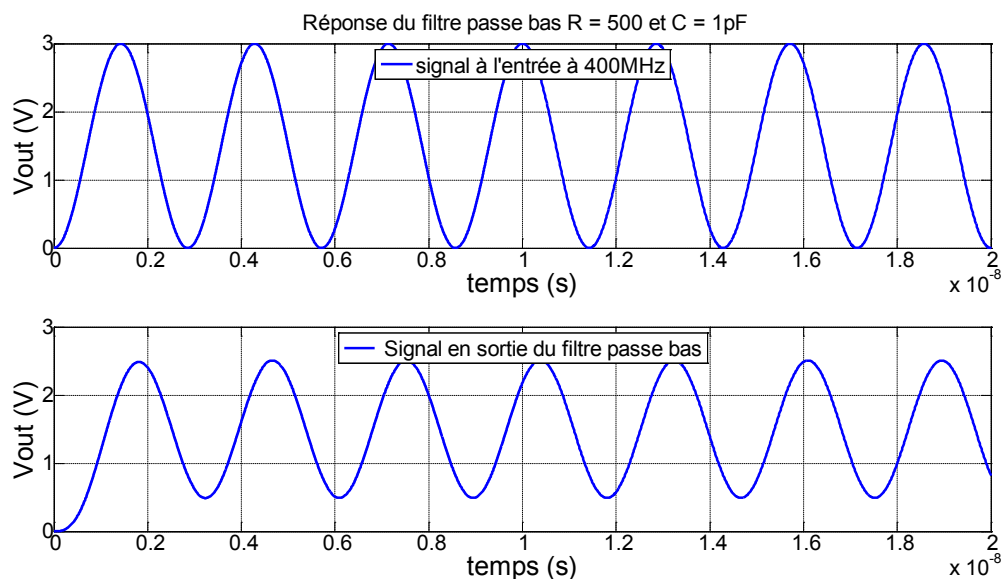
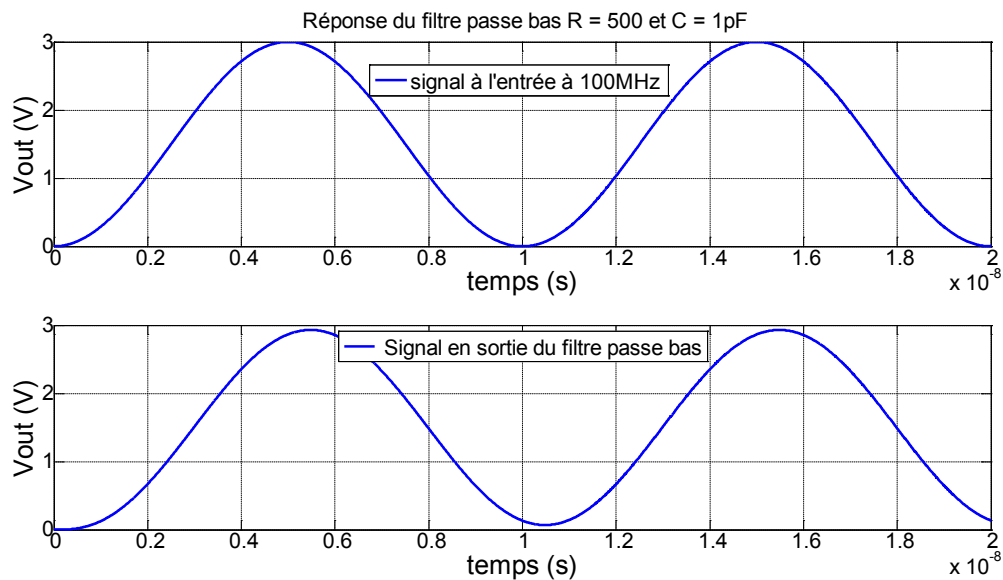


Figure 4-37 : Schéma du filtre passe-bas RC



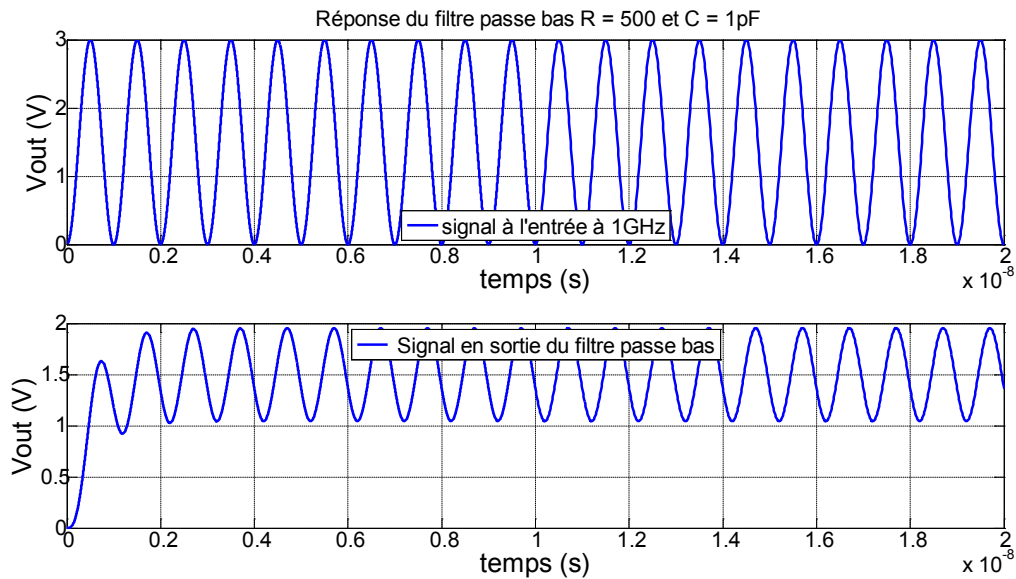


Figure 4-40 : Réponse du filtre Passe-bas à la fréquence de 1GHz

Nous avons donc décidé de reproduire le fonctionnement de ce premier étage en le remplaçant par un circuit RC . Mais, compte-tenu d'une part que les temps de montée et de descente sont généralement différents, et que d'autre part un simple circuit RC n'assure pas la fonction d'inversion du premier étage, nous avons utilisé une fonction comportementale de *SPICE* : il s'agit d'un interrupteur (Switch) suivi d'un condensateur, assemblé sous une macro, comme le montre la Figure 4-41.

Le Switch, commandé en tension, est caractérisé par des résistances équivalentes qui sont fonction de son état (bloqué ou passant) et des tensions de basculement. D'une part, lorsque la tension d'entrée (ou la tension de contrôle V_{SW}) est à l'état haut, le Switch devient une résistance R_{ON} au travers de laquelle se charge le condensateur de la même manière que le transistor $PMOS$ de l'inverseur $CMOS$ présente à l'état passant une résistance R_{DSON} . Et d'autre part, lorsque V_{SW} est à l'état bas, le Switch devient une résistance R_{OFF} par laquelle s'effectue la décharge du condensateur, par équivalence avec le transistor $NMOS$ de l'inverseur $CMOS$. De plus, les transitions entre états du Switch peuvent se produire de diverses manières (brute, douce ou par une fonction définie) [63], et surtout, l'utilisation de deux résistances différentes pour la charge et la décharge du condensateur permet de rendre compte des temps de montée et de descente qui sont inégaux de par les différences de rapidité qui existent entre le transistor $NMOS$ et $PMOS$ d'un même inverseur $CMOS$. En fonction du type de basculement choisi, les deux modes de fonctionnement du Switch sont explicités ci-dessous [63]:

- Mode de transition douce : lorsque la tension de contrôle (ou la tension d'entrée V_{IN}) est supérieure à V_{ON} ou inférieure à V_{OFF} , le Switch se transforme en R_{ON} ou R_{OFF} , respectivement. Lorsque V_{IN} est entre ces deux niveaux de seuil, le basculement de R_{ON} à R_{OFF} , ou inversement, s'effectue suivant V_{IN} avec l'équation suivante :

$$R_{SW} = \exp\left(L_M + \frac{3 * L_R * (V_C - V_M)}{2 * V_D} - \frac{2 * L_R (V_C - V_M)^3}{V_D^3}\right) \quad (4.1)$$

Où V_C est la tension de contrôle et

$$L_M = \ln \left((R_{ON} * R_{OFF})^{\frac{1}{2}} \right) \quad (4.2)$$

$$L_R = \ln \left(\frac{R_{ON}}{R_{OFF}} \right) \quad (4.3)$$

$$V_M = \frac{V_{ON} + V_{OFF}}{2} \quad (4.4)$$

$$V_D = V_{ON} - V_{OFF} \quad (4.5)$$

- **Mode de transition avec Hystérésis** : contrairement au mode précédent, la transition se déroule de manière brute. Lorsque V_{IN} est supérieure à $V_T + V_H$ ou inférieure à $V_T - V_H$, le Switch se transforme en R_{ON} ou R_{OFF} , respectivement. Lorsque V_{IN} est entre ces deux niveaux, le Switch garde sa valeur courante.

Par ailleurs, le Switch n'inverse pas le signal d'entrée comme le réalise l'étage d'entrée de l'inverseur CMOS : un retournement du signal ($V_{CC} - V_{SIGNAL}$) en sortie ou à l'entrée de celui-ci est nécessaire pour une bonne corrélation des résultats de simulation avec ceux issus de mesure. Dans ce cas, le retournement du signal de l'étage d'entrée a lieu à l'entrée du Switch afin d'éviter tout déphasage dans la zone *OUTBAND*. Cette opération est réalisée en insérant, à l'entrée de la macro de la Figure 4-41, une résistance de grande valeur suivie d'un générateur de tension commandé par la tension d'entrée.

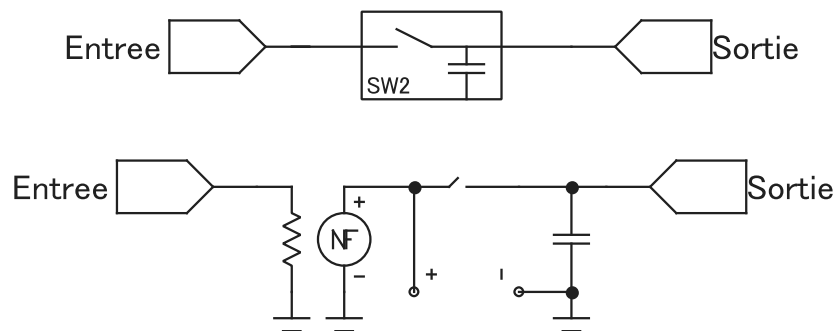


Figure 4-41 : Symbole et structure de la macro de Switch RC

En partant de la fréquence maximale de fonctionnement que nous avons observée, la constante de temps du réseau RC a alors pu être fixée ($\tau = 1/f_{max} = RC$). Des valeurs de capacité et de résistances ont été choisies en respectant cette constante de temps, et des simulations ont été effectuées en comparant la tension de sortie du modèle d'inverseur constitué avec le Switch avec celle issue de la mesure expérimentale à différentes fréquences. Différentes combinaisons ont été testées mais la plupart d'entre elles n'est valable que pour certaines gammes de fréquences, et dysfonctionne totalement ailleurs. Le résultat de simulation de cette deuxième version du modèle est illustré en couleur rouge sur la série de figures suivante, avec des valeurs de 36.5pF pour le condensateur et pour le Switch : R_{ON} , R_{OFF} , V_{ON} et V_{OFF} respectivement à 245Ω, 195Ω, 3V et 0V (modèle de l'inverseur de la famille *HC* de Texas Instruments). Les valeurs des éléments passifs peuvent être modifiées à la seule condition de préserver les constantes de temps ($\tau=RC$) en charge et en décharge. Quant aux basculements du Switch, nous avons choisi un mode transition avec hystérésis de manière à réduire l'influence du type de signal sur son fonctionnement. Bien que les résultats de simulation finissent, au bout d'un certain temps, par se synchroniser aux résultats de

mesure, nous avons remarqué tout de même sur ces derniers que dans la zone *OUTBAND*, et à partir de 500MHz, des oscillations semblables à celles liées au modèle de boîtier apparaissent sur l'état stable de sortie (par exemple, résultats de mesure sur la Figure 4-20).

Puisque l'influence des boîtiers n'intervient qu'à des fréquences bien supérieures (sur les résultats de mesure), ces signaux peuvent être imputés à un couplage parasite entre l'entrée et la sortie de l'inverseur *CMOS* causée par des capacités parasites des transistors et du boîtier, et qui fait qu'une partie du signal RF en entrée se retrouve en sortie du circuit. Dans cette deuxième version du modèle d'inverseur *CMOS*, ce phénomène est représenté par un condensateur reliant l'entrée et la sortie, notée C_p ou C_{bypass} sur la Figure 4-42, représentant la seconde version du modèle comportemental de l'inverseur *CMOS*.

La valeur de C_p , proportionnelle à l'amplitude des oscillations, est choisie par rapport à la mesure et varie de 0.1pF à 1pF ($C_p = 1\text{pF}$ pour les courbes de couleur verte dans les figures suivantes). L'introduction de cet élément requiert, dans certains cas, un léger réajustement des valeurs du modèle *RC* de l'étage d'entrée. Puisque les résultats de mesure ne dépassent pas 1GHz (à cause de la limitation du générateur de signaux), il est difficile d'évaluer l'influence de cet élément sur le modèle à des fréquences supérieures (comme une augmentation d'amplitude des oscillations causé par la superposition avec les effets des boîtiers, par exemple). La seconde remarque, à propos de cette comparaison de résultats, concerne leur désaccord aux premiers instants de chaque courbe. Ce dernier est dû à l'état initial du modèle de l'inverseur. Pour pallier ce problème, nous avons donné une charge initiale (notée CI sur les courbes suivantes) au condensateur du Switch (avec une tension de 0,8V) et les résultats sont illustrés par les courbes de couleur magenta sur les figures suivantes.

On peut y voir que second modèle commence à donner des résultats plus qu'honorables, et l'ajout de C_{bypass} permet de bien représenter certains comportements *OUTBAND*. Cependant, la solution des conditions de charge initiale est limitée puisqu'elle impose un état bas initial au modèle, contrairement aux résultats de mesure.

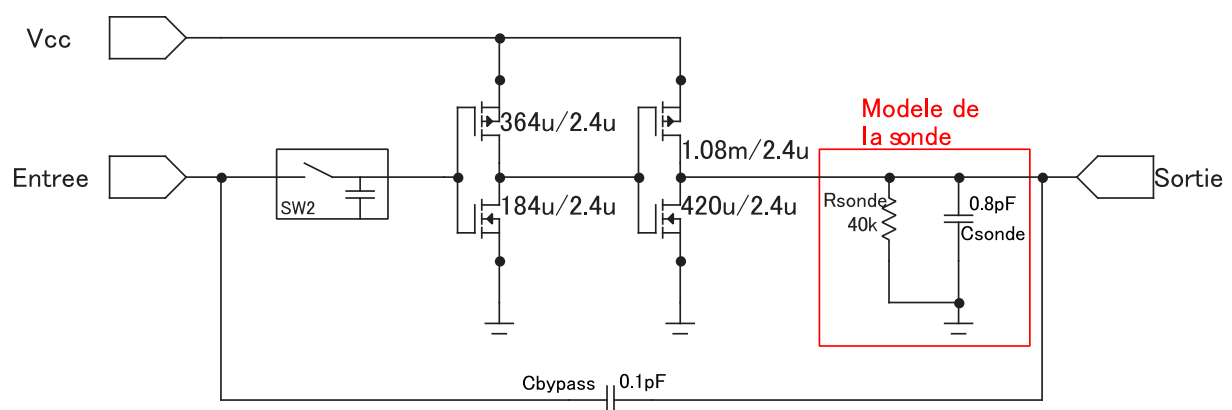


Figure 4-42 : Seconde version du modèle comportemental d'un inverseur CMOS

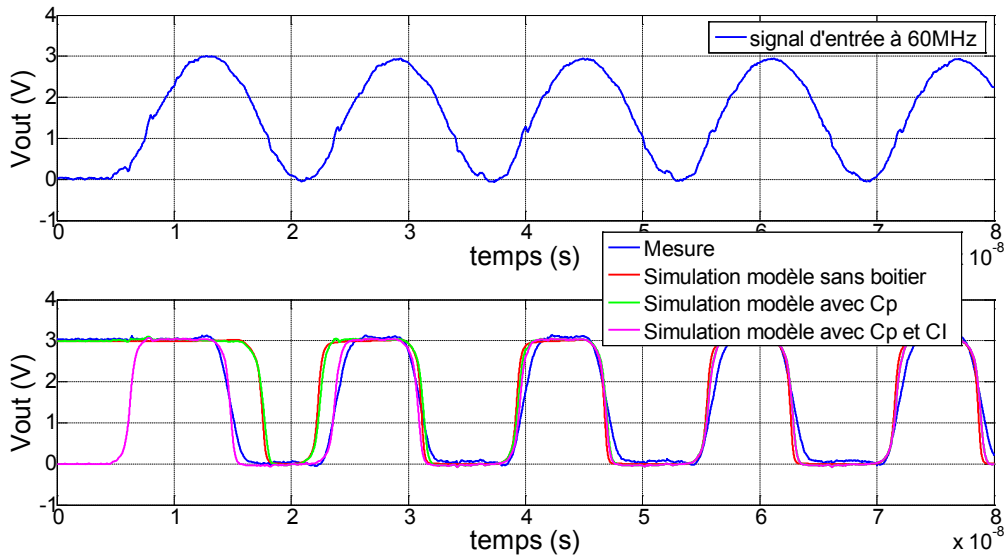


Figure 4-43 : comparaison entre mesure et simulations à la fréquence de 60MHz

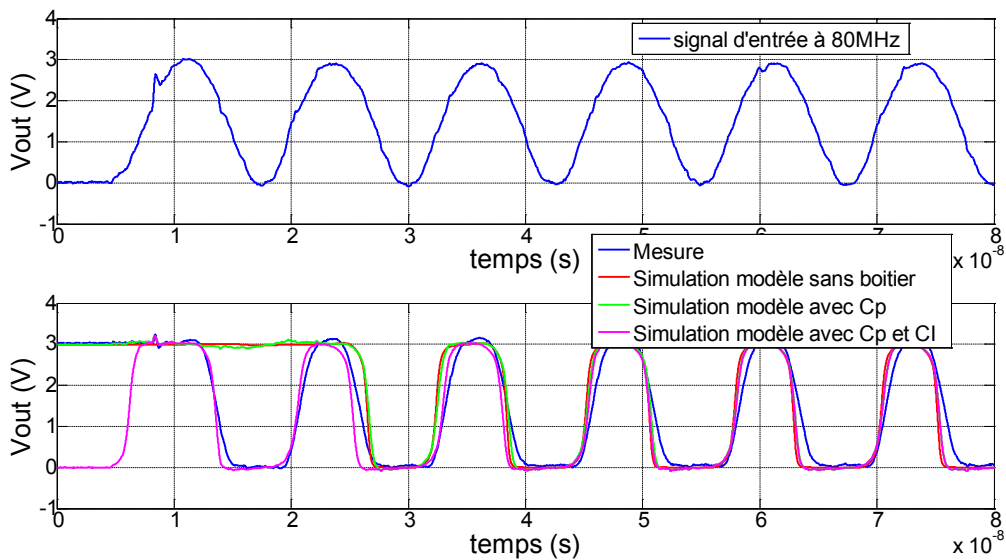


Figure 4-44 : comparaison entre mesure et simulations à la fréquence de 80MHz

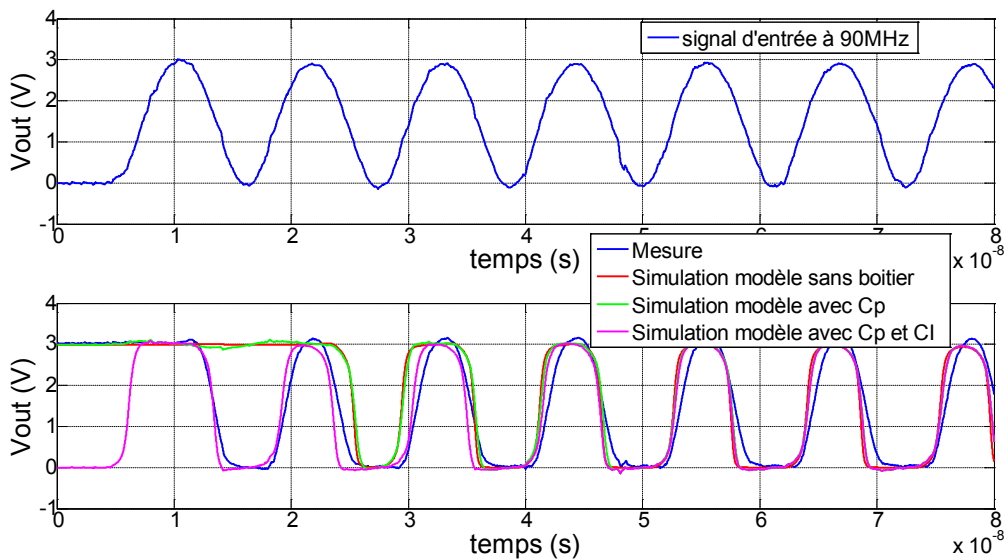


Figure 4-45 : comparaison entre mesure et simulations à la fréquence de 90MHz

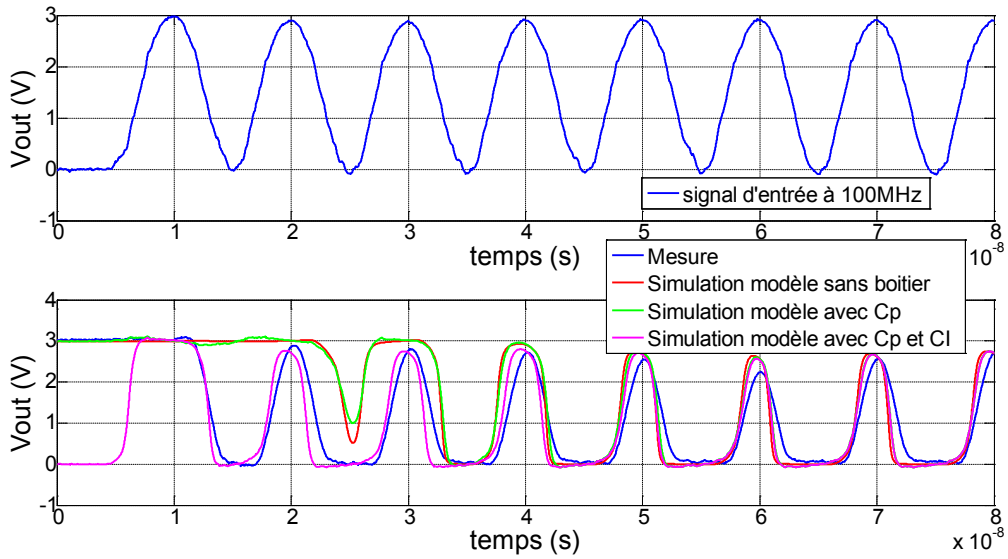


Figure 4-46 : comparaison entre mesure et simulations à la fréquence de 100MHz

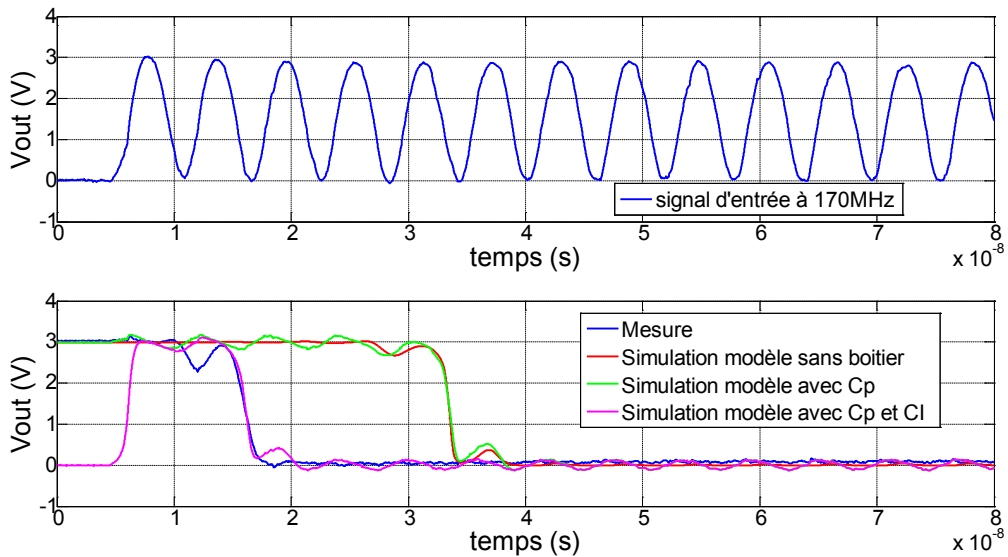


Figure 4-47 : comparaison entre mesure et simulations à la fréquence de 170MHz

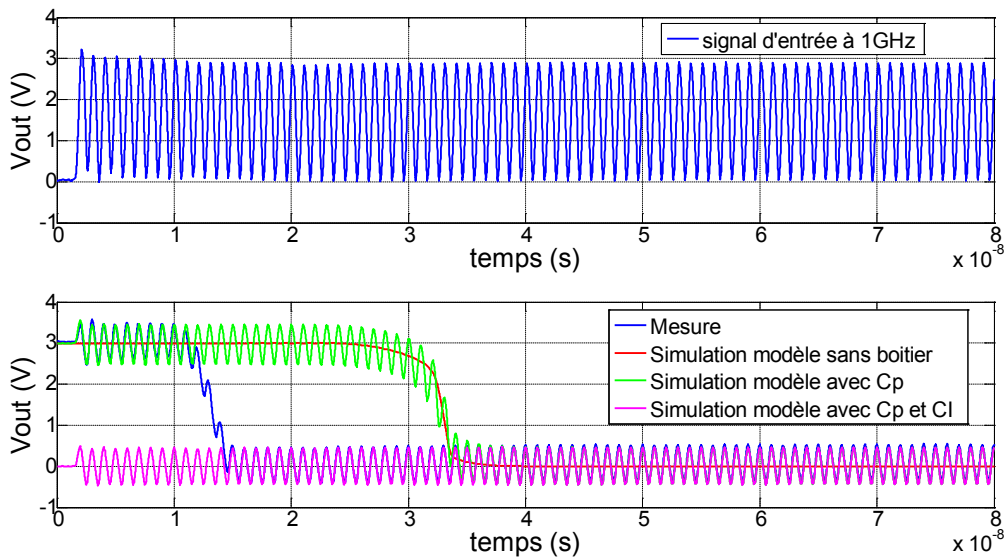


Figure 4-48 : comparaison entre mesure et simulations à la fréquence de 1GHz

En résumé, la deuxième version de notre modèle comportemental (Figure 4-42) est composée d'un étage d'entrée (Switch et condensateur) suivi des deux étages d'inversions du modèle initial de NXP®. Chacun de ces étages est composé d'un inverseur *CMOS* dont les transistors constitutifs sont représentés par une vingtaine de paramètres. Cette version est générique, et pour chaque famille technologique, différentes valeurs des paramètres de l'étage d'entrée ont été déterminés. Par contre, les dimensions des transistors des étages d'inversion et de sortie, notamment la longueur de grille L , correspondent à la famille technologique HC et sont différentes de celles des autres familles logiques conçues en privilégiant divers critères tels qu'une faible tension d'alimentation, une faible consommation en puissance ou une amélioration au niveau de la rapidité. Dans la suite de cette section, nous concevrons la version finale de notre modèle en nous focalisant sur la partie fonctionnelle.

4.4 Version finale du modèle comportemental

La première approche d'amélioration du précédent modèle a été de remplacer les étages d'inversion et de sortie par un trigger de Schmitt idéal, tout en conservant le premier étage à base de Switch RC, comme l'illustre la Figure 4-49. Après avoir ajusté les paramètres du trigger de Schmitt, à savoir les seuils de basculement et les niveaux en sortie, les résultats obtenus montraient sans surprise des transitions abruptes de la tension de sortie du modèle global, autrement dit, les phénomènes dynamiques et les limites de fonctionnement des étages d'inversion étaient omis dans cette représentation fonctionnelle, nous conduisant à abandonner ce modèle. Néanmoins, dans le cas de composants numériques plus complexes, cette solution de remplacement de la partie fonctionnelle par des équations logiques pourra être envisagée avec plus de précision et d'intérêt.

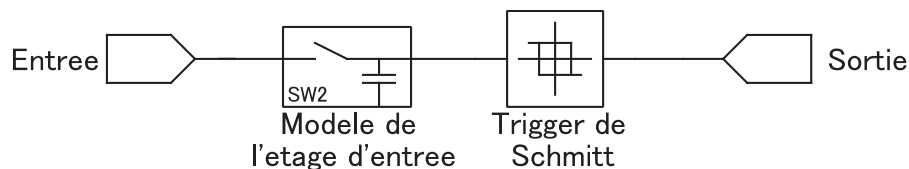


Figure 4-49 : Modèle de l'étage d'entrée suivi d'une macro Trigger de Schmitt

A présent, des améliorations seront apportées à la version précédente du modèle comportemental de l'inverseur *CMOS*. Ces améliorations consistent principalement à simplifier les deux étages suivants. Celle-ci se réalisera d'abord par une diminution des paramètres du modèle de chaque transistor, puis par une homogénéisation de leurs dimensions dans le but de minimiser le nombre de paramètres du modèle comportemental final.

4.4.1 Réduction des paramètres du modèle SPICE des transistors MOS

Avant de minimiser les paramètres du modèle SPICE de chaque transistor, une définition des caractéristiques du modèle de transistor MOS est primordiale. La première version (premier niveau) de ce modèle SPICE de transistor MOS, appelée "Level1", est la plus ancienne et est basée sur les caractéristiques statiques explicitant le comportement du courant I_{DS} en fonction des potentiels des terminaux du transistor (V_G , V_D , V_S et V_B) [64] [65] [66]. Pour un transistor NMOS, ces équations statiques s'écrivent :

$$I_{DS} = \begin{cases} 0, & V_{GS} \leq V_T \\ KP_N \frac{W}{L_{eff}} (V_{GS} - V_T - \frac{V_{DS}}{2}) V_{DS} (1 + \lambda V_{DS}), & V_{GS} > V_T \text{ et } V_{DS} < (V_{GS} - V_T) \\ \frac{KP_N}{2} \frac{W}{L_{eff}} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}), & V_{GS} > V_T \text{ et } V_{DS} > (V_{GS} - V_T) \end{cases} \quad (4.6)$$

Avec :

- I_{DS} : Courant Drain-Source
- V_{GS} : Tension Grille-Source
- V_{DS} : Tension Drain-Source
- V_T : Tension de seuil
- W : Largeur de Grille
- L_{eff} : Longueur effective de canal
- KP_N, λ : Paramètres SPICE

Comme exposé au premier chapitre, ces équations définissent les trois zones de fonctionnement du transistor MOS (bloquée, linéaire et saturation) en fonction des tensions V_{GS} et V_{DS} . Cependant, elles ne sont applicables que pour des transistors à larges dimensions en supposant que la mobilité surfacique (U_0) des porteurs dans le canal de conduction est constante. De plus, dans l'évaluation de ces équations, d'autres paramètres géométriques, physiques et technologiques interviennent. Cette première version du modèle SPICE des transistors possède les paramètres suivants :

- **paramètres physiques** (liés au PROCESS). Ces paramètres sont souvent omis car ils sont indirectement remplacés par les paramètres électriques :
 - la mobilité surfacique des porteurs U_0 ,
 - l'épaisseur de l'oxyde de grille T_{OX} ,
 - la concentration de dopant du substrat N_{SUB} .
- **paramètres électriques** :
 - la tension de seuil avant polarisation V_{T0} ,
 - le paramètre caractérisant les effets du substrat $GAMMA$,
 - le potentiel de surface PHI ,
 - la transconductance intrinsèque KP (égale à $U_0 * C_{OX}$),
 - le paramètre LAMBDA (λ) représentant l'effet de la modulation de la longueur du canal de conduction en saturation.

Les paramètres V_{T0} , $GAMMA$ et PHI interviennent dans le calcul de la tension de seuil réelle V_{TH} ,

- **paramètres liés aux jonctions PN** :
 - les résistances d'accès à la Source et au Drain (R_D et R_S),
 - la densité de courant J_S (pour le calcul du courant de fuite dans les jonctions),
 - la diffusion latérale L_D .

En complément de ces données, les modèles comportent également des paramètres géométriques tels que la longueur et la largeur du canal de conduction (L et W) et l'aire et le périmètre du drain et de la source (A_D et A_S , P_D et P_S). Les équations précédentes permettent d'évaluer le point de fonctionnement d'un circuit (*DC BIAS POINT*) lors d'une simulation

statique, autrement dit, le courant I_{DS} est calculé pour des tensions V_{GS} et V_{DS} fixes (invariant temporellement).

Une seconde version du modèle de transistor *MOS*, appelée "*Level2*", a été développée pour tenir compte des effets du second ordre des transistors à faibles dimensions. Ces effets se traduisent sur la tension de seuil V_{TH} par la modification légère de sa valeur et une redéfinition plus complète de certains paramètres statiques précédents, notamment *GAMMA*. La miniaturisation des transistors a aussi des effets sur la mobilité surfacique des porteurs (U_0 assumée constante pour "*Level1*"). En conséquence, dans la version "*Level2*" du modèle, la mobilité n'est plus constante et sa variation est signifiée par l'ajout de nouveaux paramètres (U_{EXP} , U_{CRIT} , U_{TRA} et V_{MAX}). De plus, les limitations des zones de fonctionnement sont modifiées puisque que le transistor, à faibles dimensions, peut entrer dans la zone de saturation avant le pincement du canal de conduction, par saturation de la vélocité des porteurs. Enfin, les effets de second ordre des transistors modifient la première condition des équations ci-dessus, puisque, lorsque la tension Grille-Source V_{GS} est inférieure à la tension de seuil V_{TH} , le courant n'est pas totalement nul : il existe une zone dite de faible inversion où le courant Drain-Source I_{DS} varie de manière exponentielle avec les potentiels des différents terminaux. En résumé, tous ces effets de second ordre modifient les expressions des caractéristiques statiques des transistors, rendant le "*Level2*" du modèle *SPICE* assez complexe du point de vue calcul et surtout au niveau de l'expression de la mobilité surfacique des porteurs. De plus, cette version cause souvent des problèmes de convergence [66].

Une troisième version du modèle *SPICE* de transistors *MOS* a consisté à corriger les inconvénients des précédentes en utilisant des paramètres empiriques (non physiques) : c'est le "*Level3*" ou modèle semi-empirique. Dans cette version, la définition de l'expression de la mobilité surfacique est rendue plus légère par l'utilisation d'une constante empirique (*THETA*). D'autres paramètres empiriques sont également employés pour ajuster d'autres caractéristiques statiques du transistor (*ETA*, *DELTA* et *KAPPA*).

Il existe par ailleurs une autre version du modèle *SPICE* appelée *BSIM*. Elle représente le "*Level4*" du modèle *SPICE* et nécessite beaucoup plus de paramètres statiques. Ce type de modèle (en version améliorée) est majoritairement utilisé pour la conception de composants. Bien qu'en général la richesse d'un modèle *SPICE* de transistor soit fixée par sa complexité et son nombre de paramètres conséquent, nous ne nous contenterons que des trois premières versions (*Level1*, *Level2* et *Level3*). De plus, cette décision est appuyée par le fait que les modèles d'inverseur *CMOS* fournis par *NXP*® sont du type "*Level3*" et qu'une réduction du nombre de paramètres, voire une rétrogradation de "*Level*", est souhaitée.

Les paramètres des modèles présentés jusqu'ici concernent principalement les caractéristiques statiques (relation courant-tension) des transistors. Pour effectuer des simulations transitoires, le modèle possède aussi des paramètres dynamiques ou "*Large Signal*" qui font intervenir capacités non linéaires, représentant le comportement réactif entre les différents terminaux du transistor. Les différentes versions du modèle *SPICE* de transistor *MOS* (*Level1*, *Level2* et *Level3*) ont la particularité d'avoir les mêmes paramètres dynamiques explicités ci-dessus. Ces condensateurs sont liés soit à la grille du transistor (et leurs expressions font intervenir la capacité d'oxyde C_{OX}), soit aux jonctions *PN* (formées par les zones de drain ou de source avec le substrat "*BULK*"). Le courant total, dans une simulation transitoire, est la somme du courant statique et de celui des condensateurs. Les condensateurs liés à la grille sont : C_{GS}

(entre la grille et la source), C_{GD} (entre la grille et le drain) et C_{GB} (entre la grille et le substrat) sans oublier ceux de faible valeur représentant le chevauchement physique des différents terminaux ("*OVERLAP*" : C_{GS0} , C_{GD0} et C_{GB0}). Les équations déterminant les valeurs de ces capacités en fonction de la zone de fonctionnement sont [65] :

En zone de forte inversion *Linéaire* où $V_{GS} > V_{TH} + V_{DS}$

$$\begin{cases} C_{GB} = C_{GB0}L_{eff} \\ C_{GS} = C_{OX} \left\{ 1 - \left[\frac{V_{GS} - V_{DS} - V_{TH}}{2(V_{GS} - V_{TH}) - V_{DS}} \right]^2 \right\} + C_{GS0}W \\ C_{GD} = C_{OX} \left\{ 1 - \left[\frac{V_{GS} - V_{TH}}{2(V_{GS} - V_{TH}) - V_{DS}} \right]^2 \right\} + C_{GD0}W \end{cases} \quad (4.7)$$

En zone forte inversion *Saturation* où $V_{TH} < V_{GS} < V_{TH} + V_{DS}$

$$\begin{cases} C_{GB} = C_{GB0}L_{eff} \\ C_{GS} = \frac{2}{3}C_{OX} + C_{GS0}W \\ C_{GD} = C_{GD0}W \end{cases} \quad (4.8)$$

En zone de faible inversion *Accumulation* où $V_{GS} < V_{TH} - PHI$

$$\begin{cases} C_{GB} = C_{OX} + C_{GB0}L_{eff} \\ C_{GS} = C_{GS0}W \\ C_{GD} = C_{GD0}W \end{cases} \quad (4.9)$$

En zone de faible inversion *Déplétion* où $V_{TH} - PHI < V_{GS} < V_{TH}$

$$\begin{cases} C_{GB} = C_{OX} \frac{V_{TH} - V_{GS}}{2\phi_p} + C_{GB0}L_{eff} \\ C_{GS} = \frac{2}{3}C_{OX} \left(\frac{V_{TH} - V_{GS}}{2\phi_p} + 1 \right) + C_{GS0}W \\ C_{GD} = C_{GD0}W \end{cases} \quad (4.10)$$

Avec $C_{OX} = C'_{OX} * WL_{eff}$ et $2\phi_p = \text{paramètre PHI}$

Quant aux capacités parasites liées aux jonctions PN, elles ont des valeurs dépendant de la polarisation du substrat. Ainsi les paramètres dynamiques sont complétés par des capacités par unité de surface et unité de périmètre (C_J et C_{JSW}), des coefficients définissant la forme de la jonction (M_J et M_{JSW}) et potentiel de jonction du substrat (PB ou ϕ_{bi}). Les valeurs de ces capacités parasites sont évaluées à l'aide des équations suivantes :

$$C_{BS} = \frac{C_J A_S}{\left(1 - \frac{V_{BS}}{\phi_{bi}}\right)^{M_J}} + \frac{C_{JSW} P_S}{\left(1 - \frac{V_{BS}}{\phi_{bi}}\right)^{M_{JSW}}} \quad (4.11)$$

$$C_{BD} = \frac{C_J A_D}{\left(1 - \frac{V_{BD}}{\phi_{bi}}\right)^{M_J}} + \frac{C_{JSW} P_D}{\left(1 - \frac{V_{BD}}{\phi_{bi}}\right)^{M_{JSW}}} \quad (4.12)$$

Le modèle *SPICE* de transistor *MOS* défini dans le modèle d'inverseur de *NXP*® est de "Level3" et contient plus de 20 paramètres ($LEVEL$, KP , V_{TO} , T_{OX} , N_{SUB} , $GAMMA$, PHI , V_{MAX} , R_S , R_D , X_J , L_D , $DELTA$, $THETA$, ETA , $KAPPA$, W , L , A_D , A_S , P_D et P_S). Dans ce modèle, la présence des paramètres liés aux géométries du Drain et de la Source active les capacités parasites des jonctions PN, définies précédemment. Par contre, l'absence des capacités C_{GS0} , C_{GD0} et C_{GB0} dans le modèle de *NXP*® nous impose de choisir des valeurs nulles, par défaut.

D'abord, nous avons évalué l'influence des valeurs de l'aire et du périmètre du drain et de la source (A_D , A_S , P_D et P_S) sur le modèle global en comparant les résultats en leur présence et en leur absence. Leur faible impact a conduit à leur suppression conduisant à négliger les effets capacitifs parasites liés aux jonctions PN au niveau du Drain et de la Source. En conséquence, les seuls paramètres dynamiques restant sont ceux liés à l'oxyde de grille (C_{GS} , C_{GD} et C_{GB}) et leur valeur, en général très faible, n'a aucune influence aux fréquences d'étude qui nous intéressent. De plus, il est important de noter que l'absence des capacités parasites fait que les limitations fréquentielles de l'inverseur CMOS sont entièrement prises en charge par le Switch et sa capacité de charge (correspondant à la capacité d'entrée du second étage d'inversion).

Puis, nous nous sommes intéressés à la version du modèle *SPICE* de transistor *MOS* et à l'influence de chacun de ses paramètres. La comparaison entre les différentes versions du modèle *SPICE* des transistors a permis de constater une ressemblance entre le "level1" et le "level3". Cette comparaison n'est pas si juste puisque nous n'avons modifié que le paramètre $LEVEL$ et, comme précisé plus haut, chaque version du modèle *SPICE* interprète de manière différente les paramètres. Cette comparaison a tout de même permis à rétrograder la version du modèle *SPICE* des transistors en éliminant cinq paramètres liés au "level3" ($KAPPA$, ETA , $THETA$, $DELTA$ et V_{MAX}). Une dernière intervention a consisté à observer l'influence des paramètres restants. Il s'est avéré que la variation des paramètres $GAMMA$, PHI et $NSUB$ n'a aucun effet significatif sur le résultat de simulation. Ceci est dû au fait que ces paramètres sont supplantés par les paramètres électriques KP et V_{TO} quand ils sont définis [57]. Nous rappelons également que les valeurs des résistances d'accès à la Source et du Drain de chaque transistor sont identiques. Par contre, les résistances intrinsèques du *PMOS* sont doubles de ceux du *NMOS*. Cette spécificité a été conservée du modèle originel de *NXP*®.

Ainsi, le modèle *SPICE* des transistors finalement obtenu est un modèle de niveau 1 (*Level1*) qui ne comporte que six paramètres, à savoir les dimensions du canal de conduction L et W , l'épaisseur de l'oxyde de grille T_{OX} , la transconductance intrinsèque KP , la tension de seuil V_{TO} et les résistances identiques d'accès au drain et à la source R_D et R_S . Différentes valeurs de ces paramètres pourront être choisies de manière à respecter les caractéristiques des diverses familles technologiques. Encore une fois, le fait de négliger implicitement tous les paramètres ayant trait aux capacités intrinsèques des transistors – et donc une limitation fréquentielle du fonctionnement des inverseurs constitués de tels transistors – vient du fait que nous avons pris le parti de faire dépendre toutes ces limitations du premier étage à base de Switch RC.

4.4.2 Homogénéisation des dimensions de transistors

Tout d'abord, il paraît raisonnable de faire l'hypothèse que la longueur du canal de conduction L et l'épaisseur de l'oxyde de grille T_{OX} sont du même ordre de grandeur pour chaque famille technologique. En effet, même si ces paramètres ne semblent pas accessibles au premier

abord, des recherches et des recoupements parmi toute la littérature disponible auprès des fabricants de circuits logiques *CMOS* a permis de relever des valeurs approximatives de la longueur du canal de conduction L et l'épaisseur de l'oxyde T_{OX} pour chaque famille technologique, et on s'aperçoit sans surprise que ces valeurs ne diffèrent pas beaucoup entre les différents fondateurs, pour une même famille technologique. Le tableau suivant récapitule ces données [67] [68] [69] [70] (une version complète est donnée en **Annexe 3**):

Tableau 4-1: Tableau récapitulatif des valeurs de paramètres de différentes familles technologiques

Famille	HC		AC		AHC		LV		LVC		ALVC	
Paramètres	L	T_{OX}	L	T_{OX}	L	T_{OX}	L	T_{OX}	L	t_{ox}	L	T_{OX}
Valeurs	3μ	20n	1.5μ	20n	1μ	20n	2μ	20n	0.8μ	15n	0.8μ	15n

Cette hypothèse étant posée, l'homogénéisation des dimensions des transistors de chacun des deux derniers étages inverseurs peut s'effectuer par des modifications légères de la largeur W de chaque transistor.

Tout d'abord, dans chaque étage, le rapport des largeurs de canal de conduction W entre les transistors *PMOS* et *NMOS* est fixé à 2.5 afin d'équilibrer le point de basculement de l'inverseur *CMOS* (voir section Chapitre I). En conséquence, la transconductance intrinsèque K_P du *PMOS* est divisée par le même facteur [71]. Ce facteur représente l'inégalité de la mobilité surfacique des électrons (pour le transistor *NMOS*) et des trous (pour le transistor *PMOS*) et il varie typiquement de 2 à 3. Nous avons décidé de fixer ce facteur à 2.5 pour tous les modèles d'inverseur. Ensuite, concernant le dimensionnement de chacun des deux étages, nous conservons un rapport de trois entre les dimensions des transistors des deux étages inverseurs du modèle originel de *NXP*® : les dimensions des transistors de l'inverseur de sortie sont le triple de celles du deuxième inverseur. Dans le modèle d'inverseur fourni par *NXP*®, ce rapport est légèrement différent de cette valeur, mais une homogénéisation permet de définir les largeurs W de tous les transistors en fonction d'une seule valeur en le multipliant par des facteurs entiers. Autrement dit, nous définissons d'abord la largeur W_N du transistor *NMOS* du second étage puis, pour le transistor *PMOS*, nous fixons sa largeur à $W_P = 2.5 * W_N$. De la même manière, pour l'étage de sortie, $W_N^{OUT} = 3 * W_N$ et $W_P^{OUT} = 3 * 2.5 * W_N$. Cette légère modification des largeurs W de chacun des quatre transistors simplifie le modèle final de l'inverseur puisqu'un seul paramètre commun à tous les transistors en remplace quatre autres.

Finalement, le modèle comportemental définitif se compose d'un étage d'entrée à cinq paramètres (Switch *RC*), suivi de deux étages inverseurs composés de quatre transistors *MOS* représentés chacun par un modèle *SPICE* de "level1" à six paramètres. Ce modèle comportemental est générique puisque pour chaque famille technologique, il ne suffit que de modifier les paramètres du modèle *SPICE* des transistors et d'ajuster les valeurs des paramètres de l'étage d'entrée. Bien qu'il ne représente aucune relation physique avec un quelconque inverseur, il reste cependant pratique dans la modélisation comportementale des inverseurs.

Contrairement aux modèles préliminaires, le modèle comportemental définitif doit être valide pour tous les types de signaux perturbateurs définis au deuxième chapitre. De ce fait, plusieurs modifications des valeurs des différents paramètres ont été effectuées afin d'aboutir à des résultats acceptables et identiques pour tous ces signaux perturbateurs. En effet,

l'ajustement des paramètres du modèle peut être fait au cas par cas de manière à obtenir des réponses parfaitement identiques en simulation et en mesure pour un type de signal perturbateur donné. Mais les valeurs de paramètres pour un type de perturbation peuvent conduire à des comportements moins fidèles à la mesure pour un autre type de perturbation. Un compromis doit donc être trouvé entre ces différentes valeurs des paramètres afin d'aboutir à un modèle unique. La structure de ce modèle rend le critère de précision largement tolérable au vu des recouvrements et des modifications successifs des valeurs de paramètres. La synthèse de ces paramètres est exposée dans le Tableau 4-2, sur lequel nous reviendrons à la fin de ce chapitre.

Les figures suivantes montrent des exemples de résultats obtenus pour le modèle comportemental définitif de l'inverseur CMOS de la famille HC de *TEXAS INSTRUMENTS*®. Nous y observons des résultats de simulation en excellent accord avec ceux issus de mesures expérimentales, et ce quelque soit la forme et la fréquence du signal d'entrée.

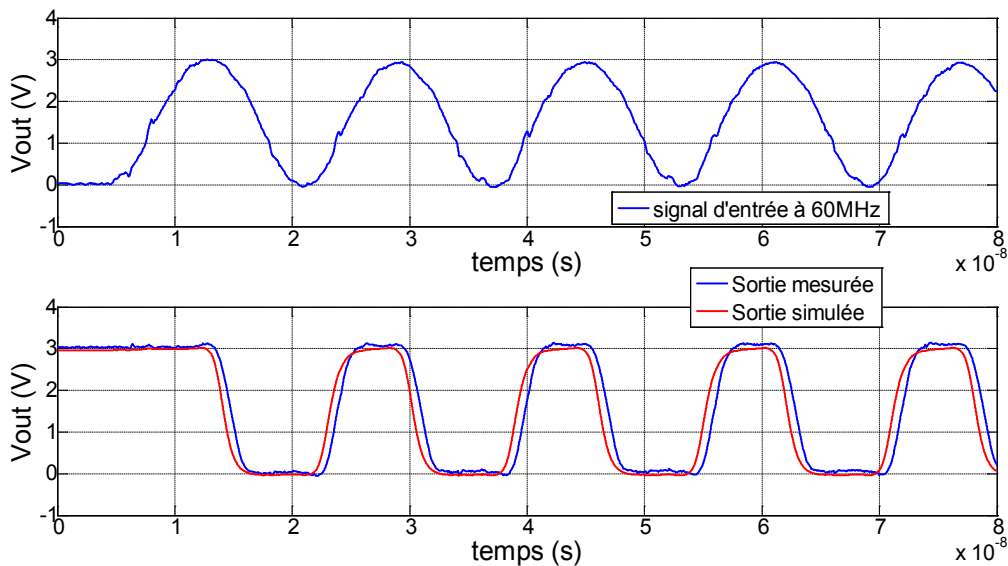


Figure 4-50 : Mesure vs simulation à 60MHz pour le signal perturbateur N°1 (74HC04 de TI)

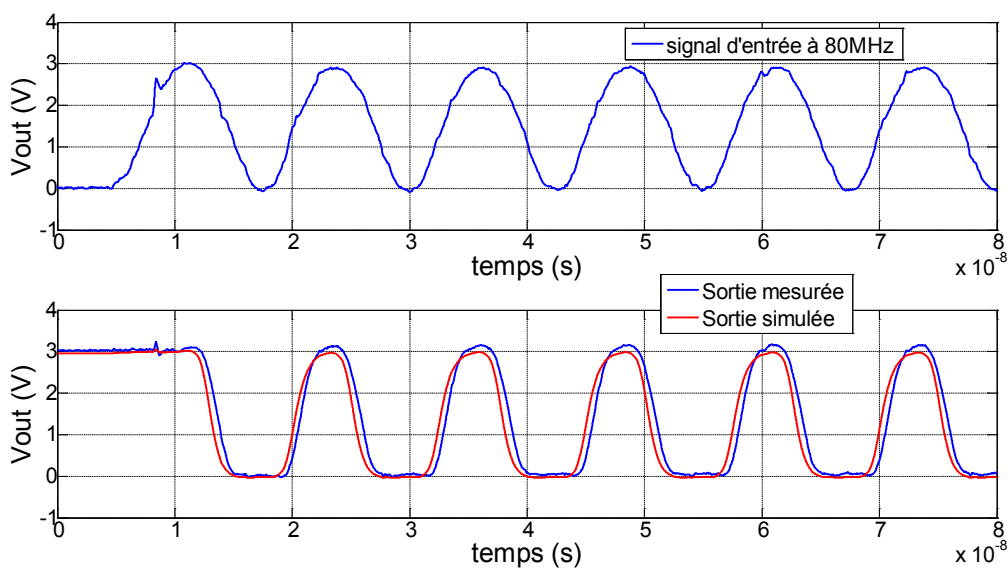


Figure 4-51 : Mesure vs simulation à 80MHz pour le signal perturbateur N°1 (74HC04 de TI)

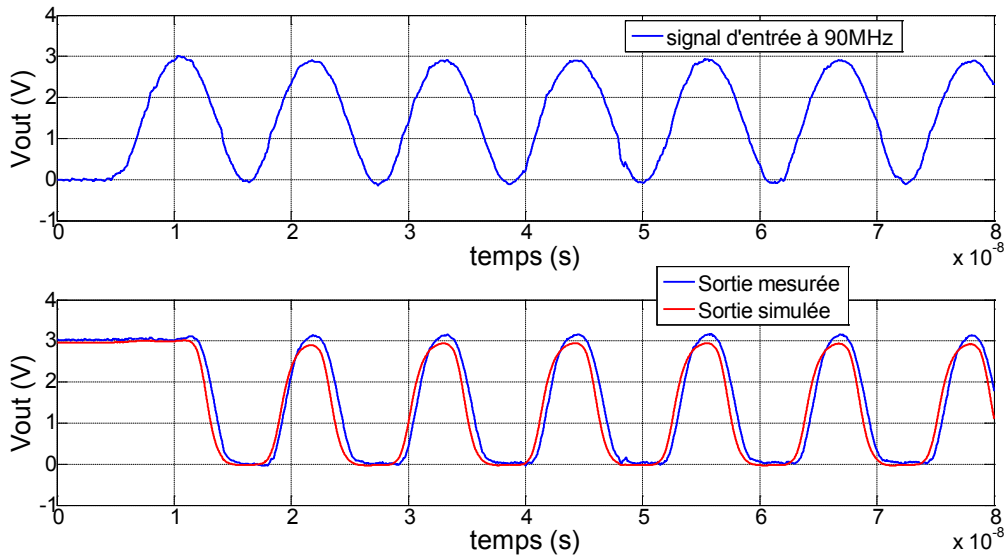


Figure 4-52 : Mesure vs simulation à 90MHz pour le signal perturbateur N°1 (74HC04 de TI)

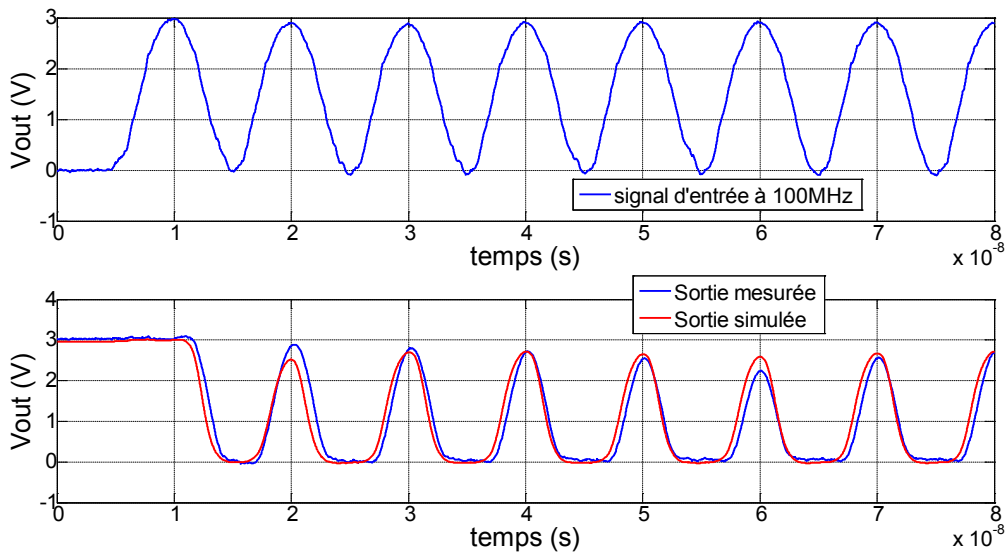


Figure 4-53 : Mesure vs simulation à 100MHz pour le signal perturbateur N°1 (74HC04 de TI)

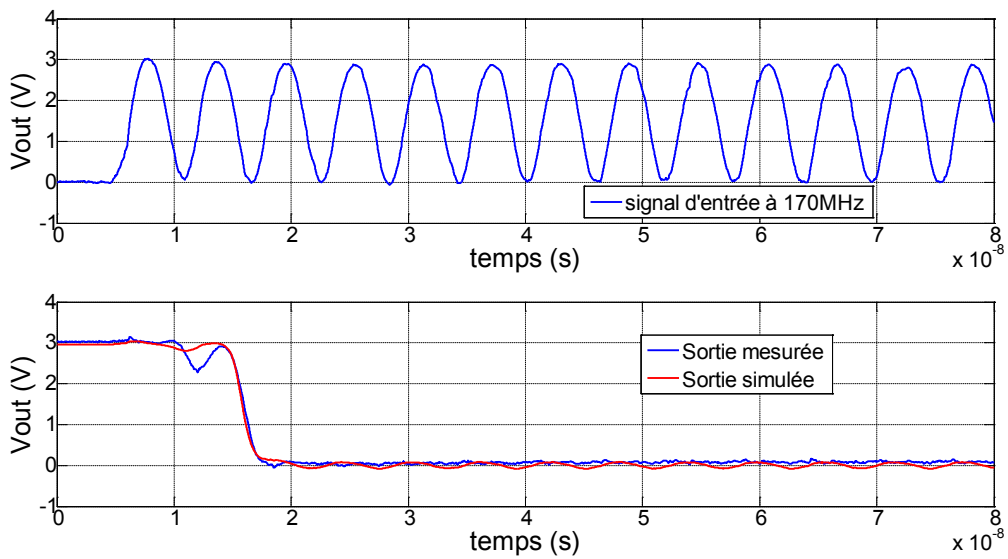


Figure 4-54 : Mesure vs simulation à 170MHz pour le signal perturbateur N°1 (74HC04 de TI)

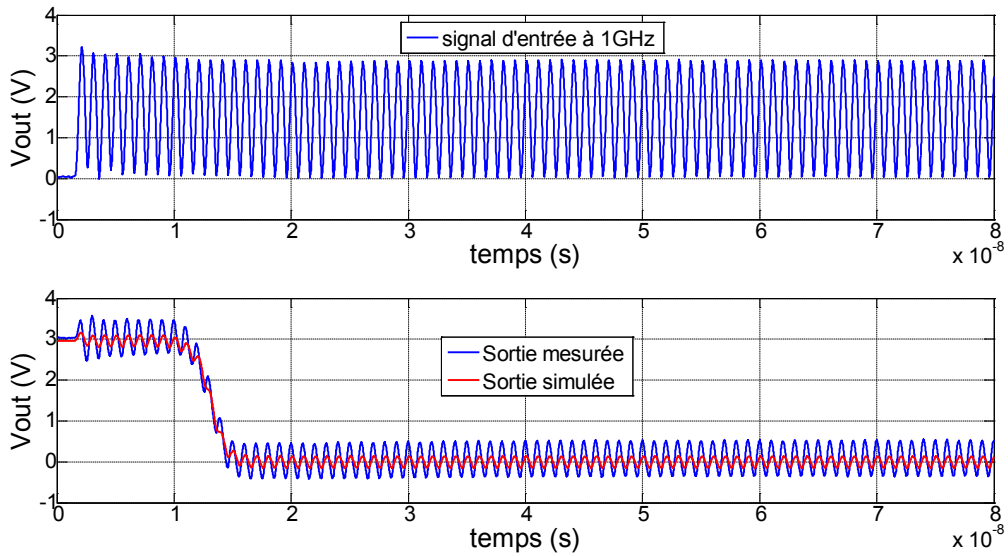


Figure 4-55 : Mesure vs simulation à 1GHz pour le signal perturbateur N°1 (74HC04 de TI)

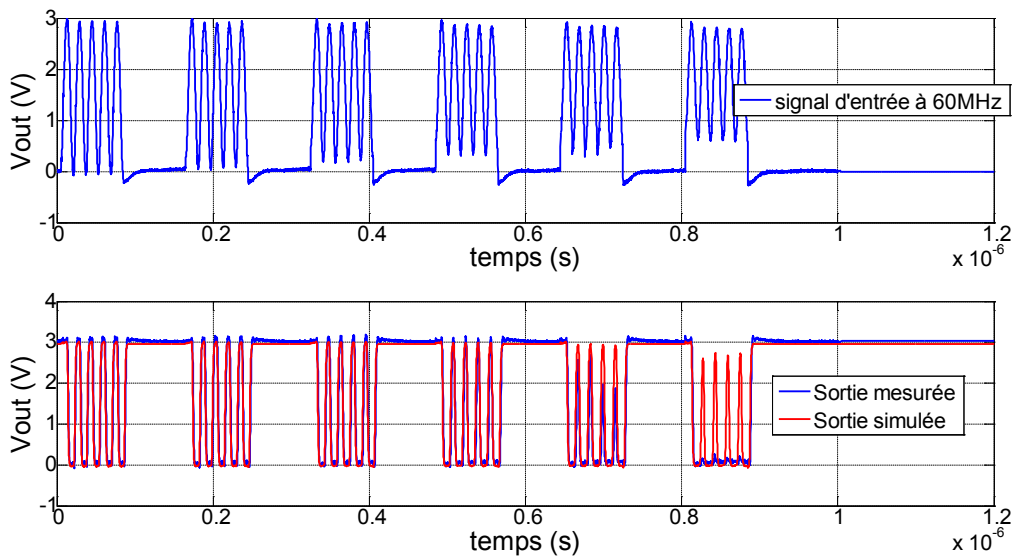


Figure 4-56 : Mesure vs simulation pour le signal perturbateur N°3 à 60MHz (74HC04 de TI)

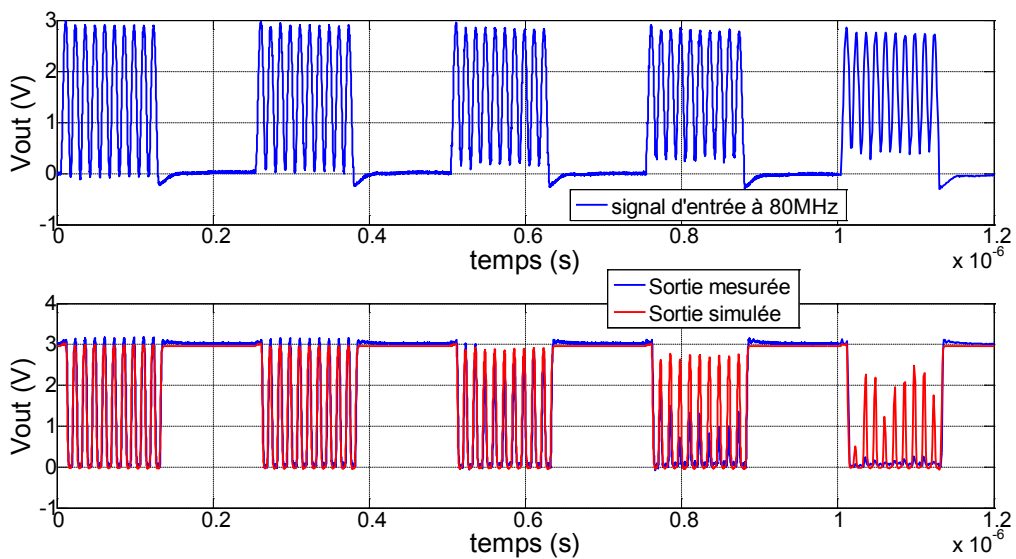


Figure 4-57 : Mesure vs simulation pour le signal perturbateur N°3 à 80MHz (74HC04 de TI)

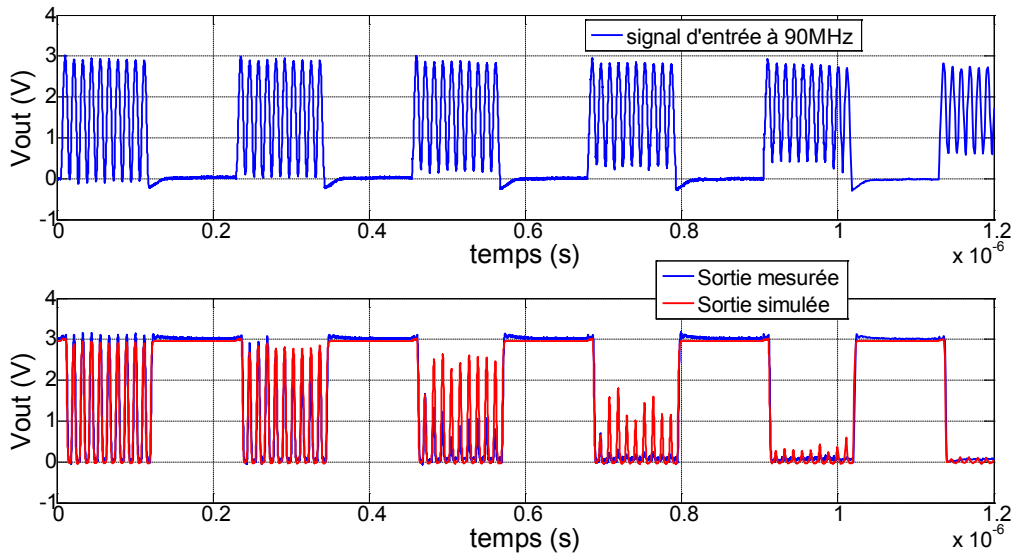


Figure 4-58 : Mesure vs simulation pour le signal perturbateur N°3 à 90MHz (74HC04 de TI)

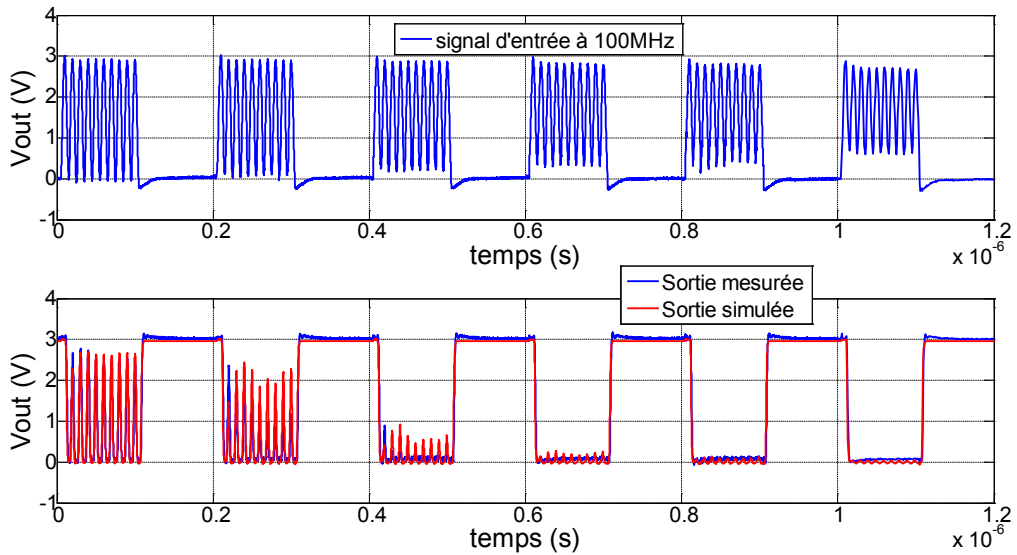


Figure 4-59 : Mesure vs simulation pour le signal perturbateur N°3 à 100MHz (74HC04 de TI)

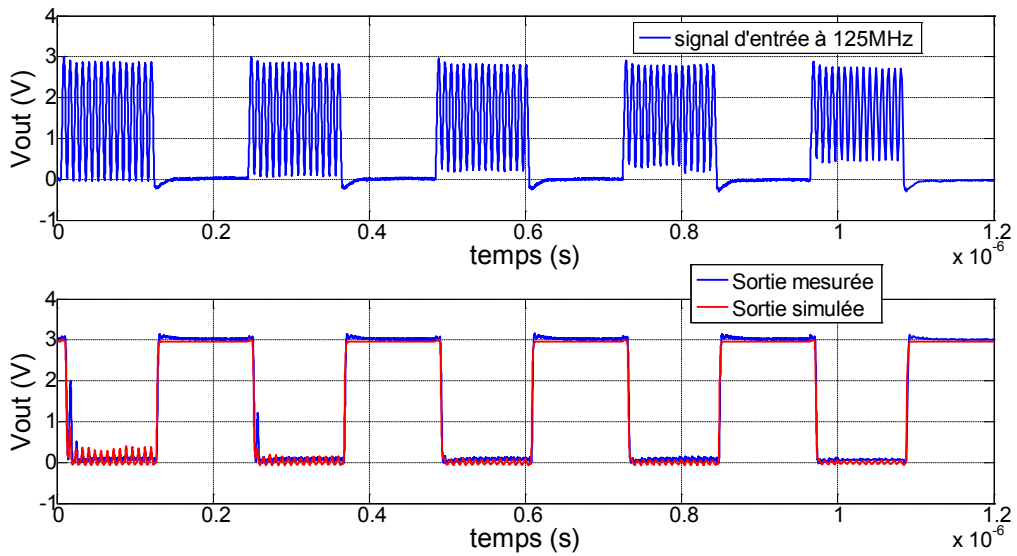


Figure 4-60 : Mesure vs simulation pour le signal perturbateur N°3 à 125MHz (74HC04 de TI)

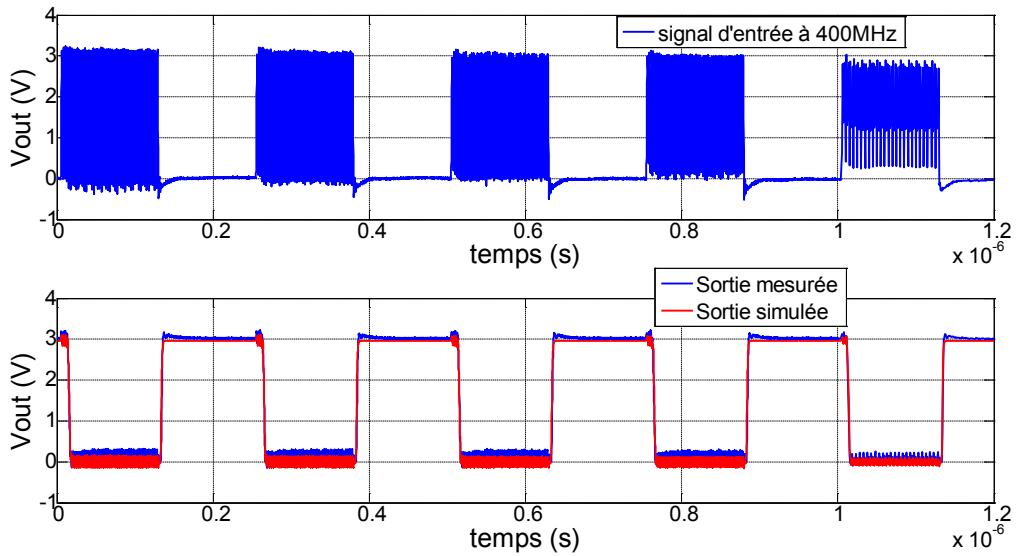


Figure 4-61 : Mesure vs simulation pour le signal perturbateur N°3 à 400MHz (74HC04 de TI)

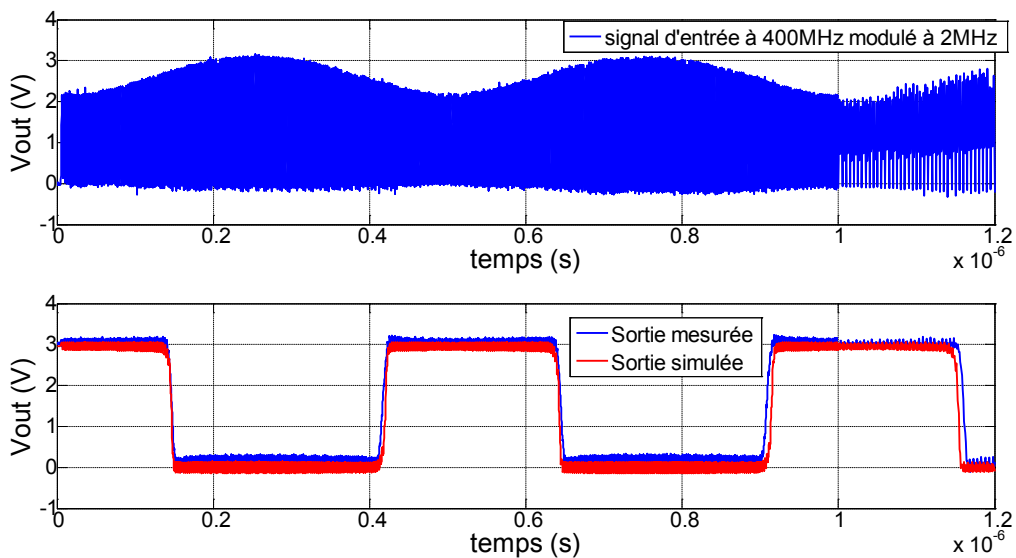


Figure 4-62 : Mesure vs simulation pour le signal perturbateur N°4 à 400MHz modulé à 2MHz (74HC04 de TI)

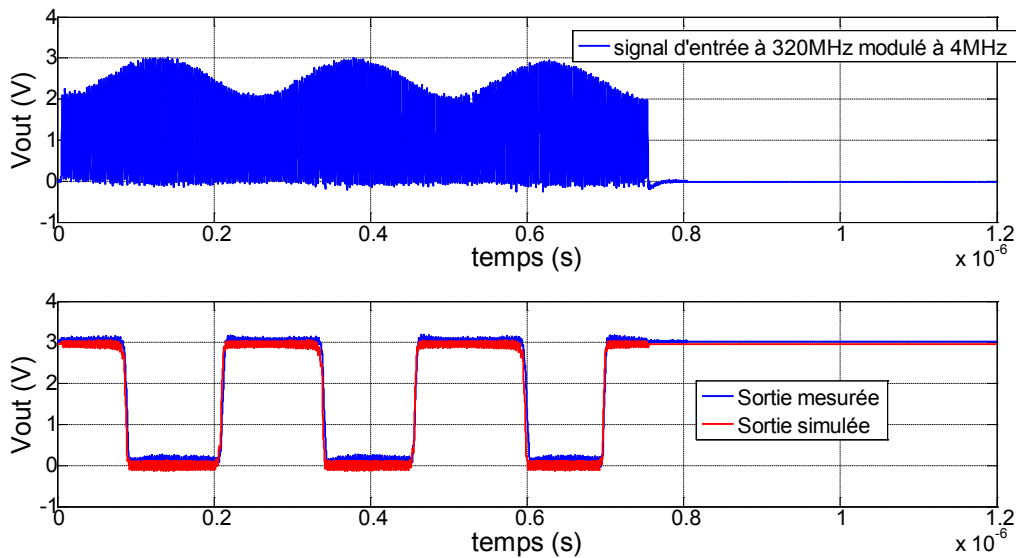


Figure 4-63 : Mesure vs simulation pour le signal perturbateur N°4 à 320MHz modulé à 4MHz (74HC04 de TI)

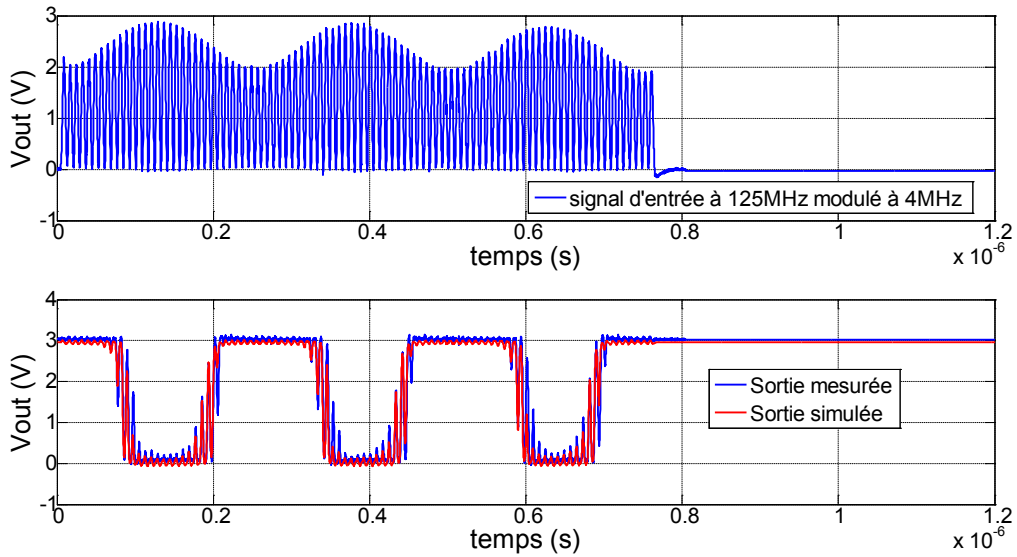


Figure 4-64 : Mesure vs simulation pour le signal perturbateur N°4 à 125MHz modulé à 4MHz (74HC04 de TI)

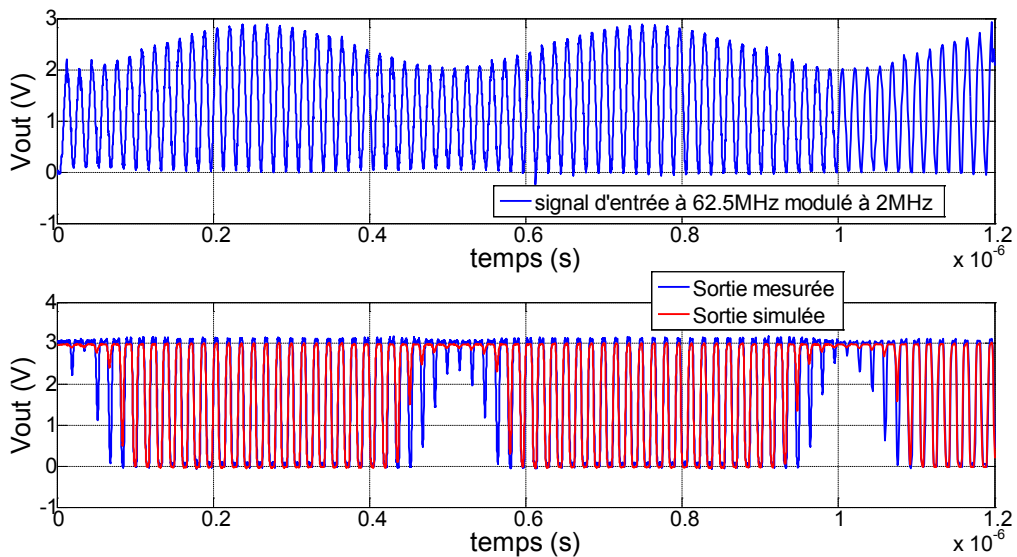


Figure 4-65 : Mesure vs simulation pour le signal N°4 à 62.5MHz modulé à 2MHz (74HC04 de TI)

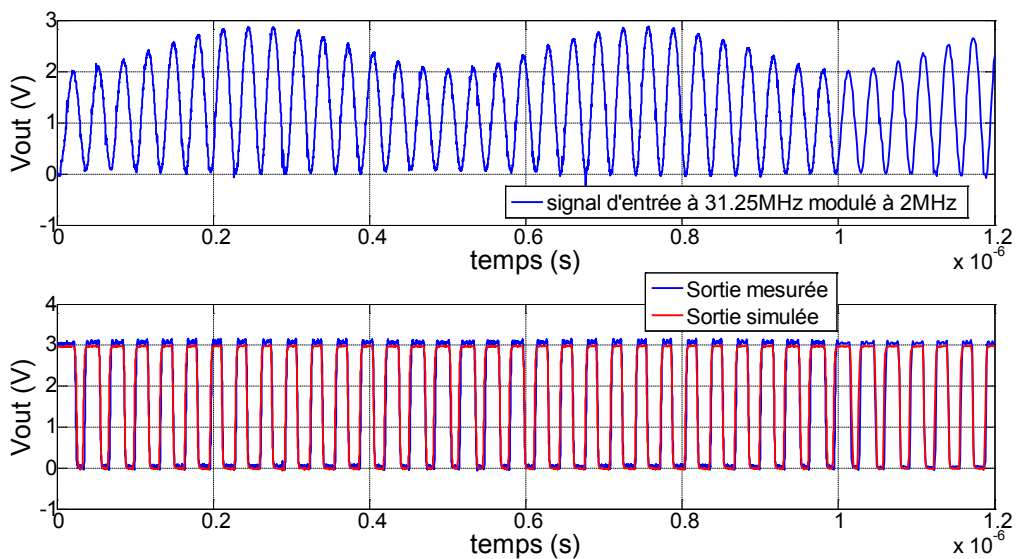


Figure 4-66 : Mesure vs simulation pour le signal N°4 à 31.25MHz modulé à 2MHz (74HC04 / TI)

Nous reprenons les simulations précédentes pour un inverseur *CMOS* de la famille technologique *AC*, conçue par *TEXAS INSTRUMENTS*®. Les résultats sont illustrés sur la série de figures suivante. Nous pouvons y voir une excellente concordance entre résultats de simulation et de mesures, et ce pour tous les signaux perturbateurs. Par exemple, sur la Figure 4-69, qui renvoie au résultat explicité au chapitre III (fluctuations du niveau bas du signal d'entrée), le modèle reproduit fidèlement la sensibilité de l'inverseur à ces petites fluctuations.

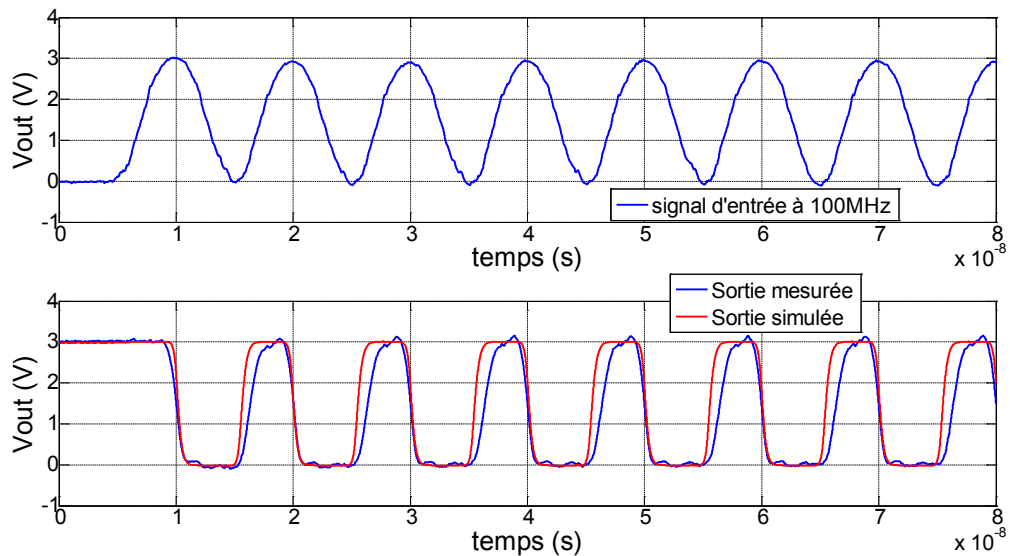


Figure 4-67 : Mesure vs simulation à 100MHz pour le signal perturbateur N°1 (74AC04 de TI)

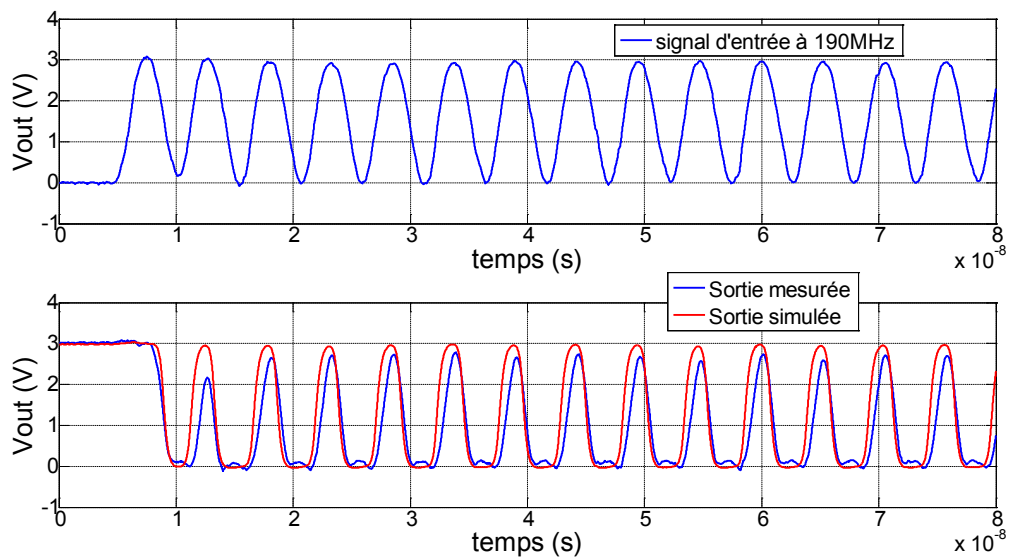


Figure 4-68 : Mesure vs simulation à 190MHz pour le signal perturbateur N°1 (74AC04 de TI)

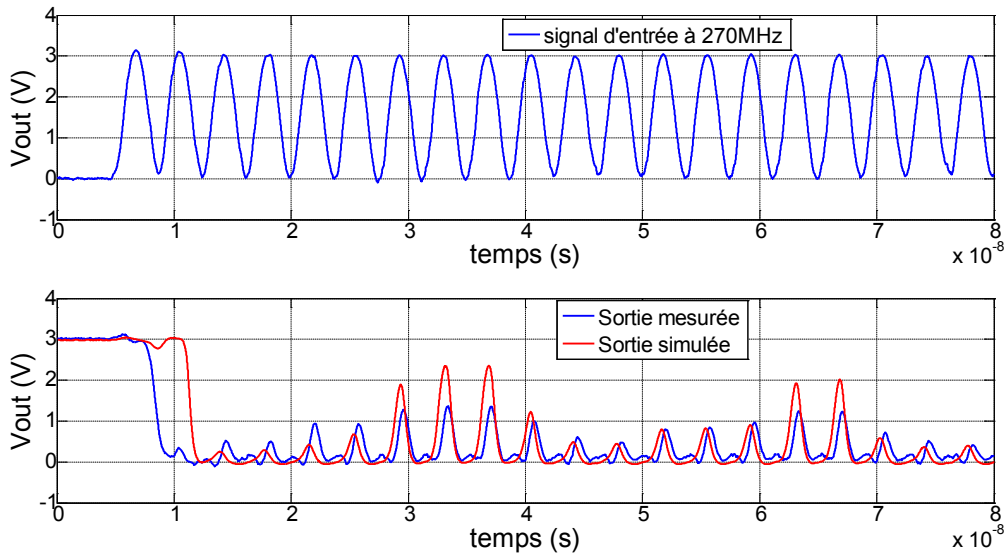


Figure 4-69 : Mesure vs simulation à 270MHz pour le signal perturbateur N°1 (74AC04 de TI)

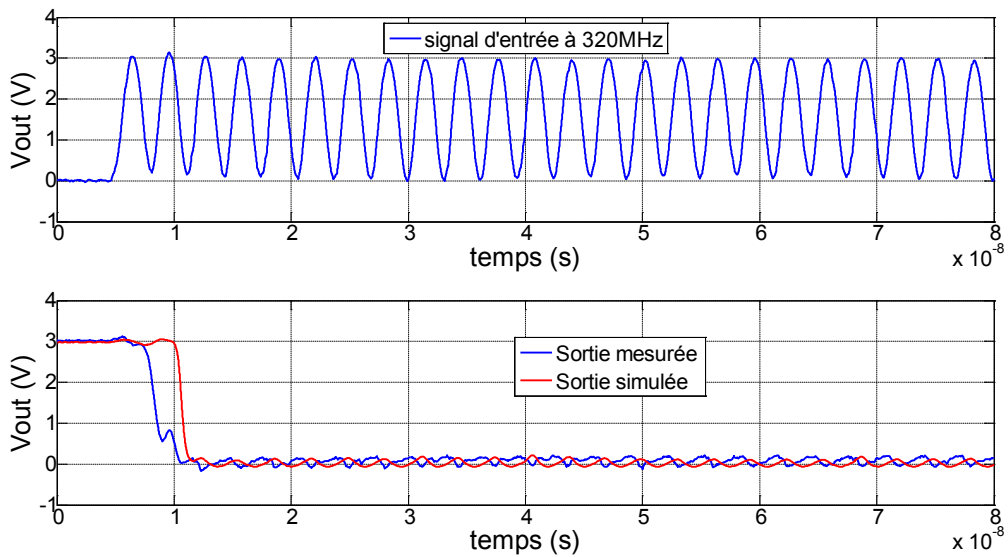


Figure 4-70 : Mesure vs simulation à 320MHz pour le signal perturbateur N°1 (74AC04 de TI)

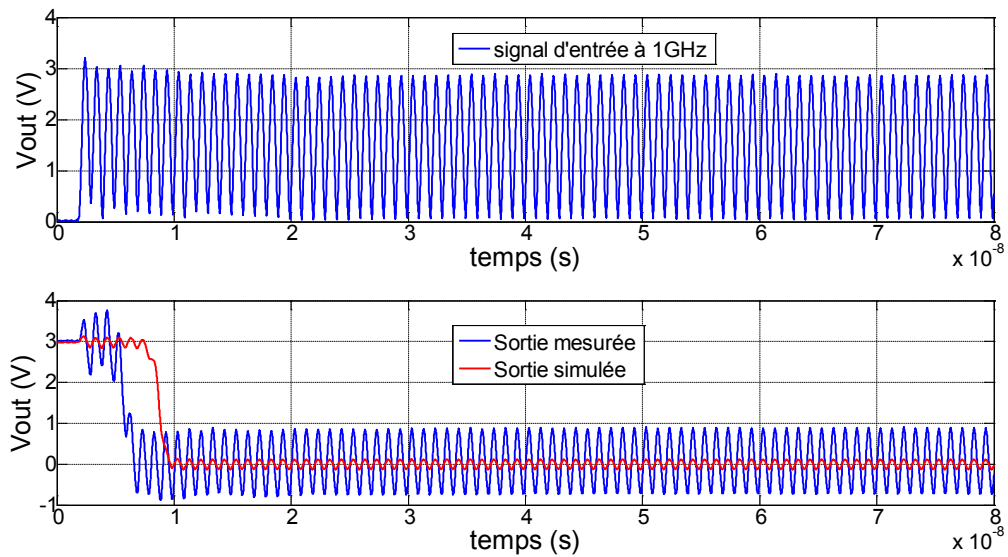


Figure 4-71 : Mesure vs simulation à 1GHz pour le signal perturbateur N°1 (74AC04 de TI)

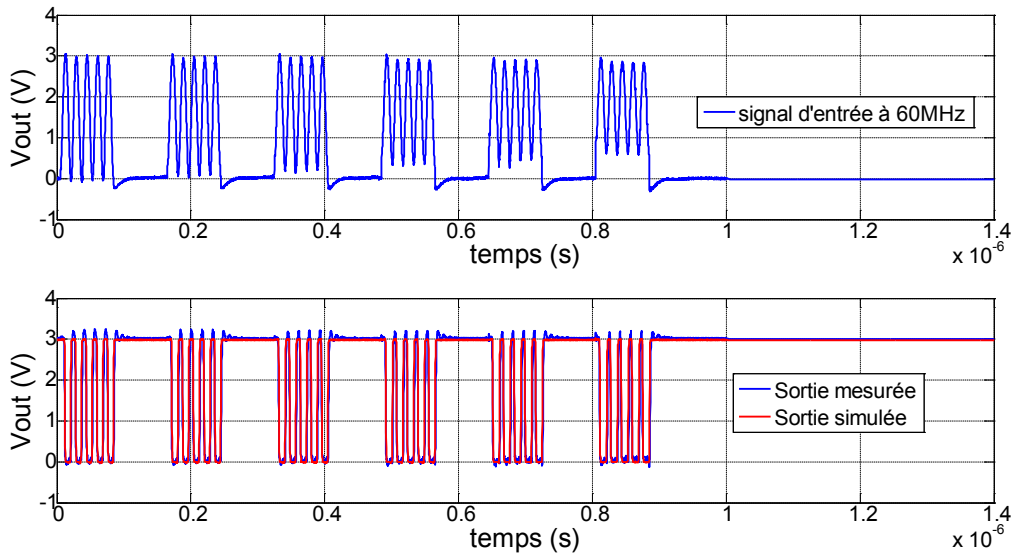


Figure 4-72 : Mesure vs simulation pour le signal perturbateur N°3 à 60MHz (74AC04 de TI)

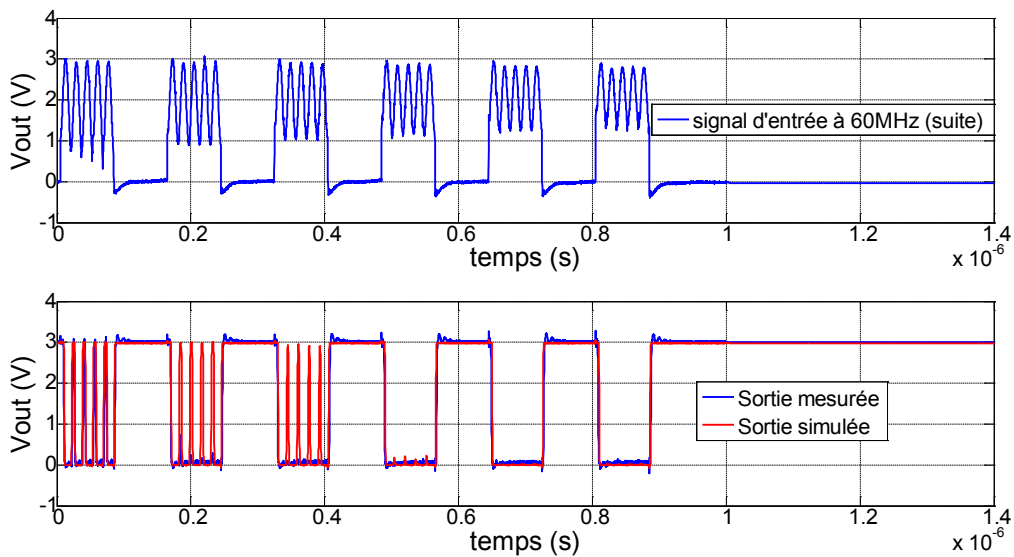


Figure 4-73 : Mesure vs simulation pour le signal perturbateur N°3 à 60MHz (suite) (74AC04 / TI)

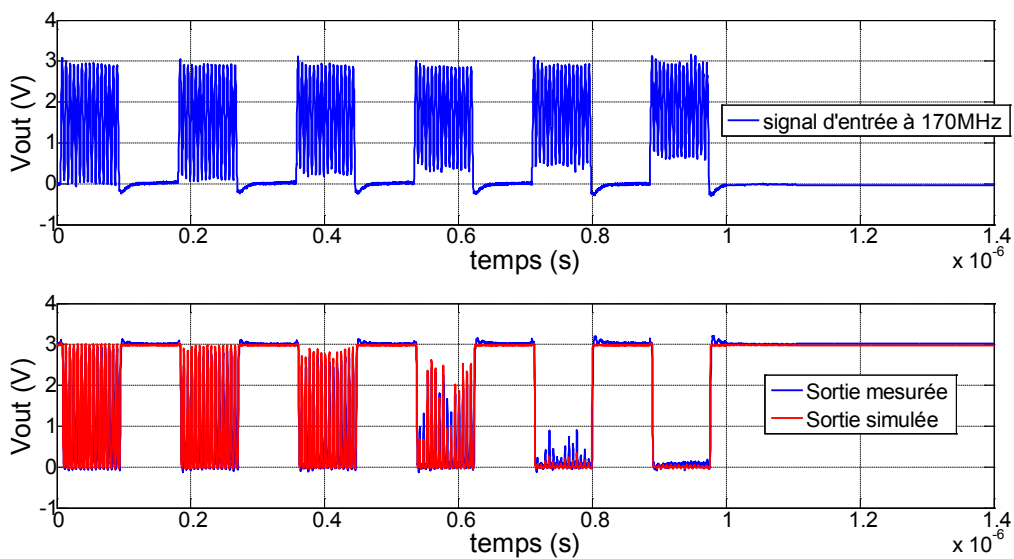


Figure 4-74 : Mesure vs simulation pour le signal perturbateur N°3 à 170MHz (74AC04 de TI)

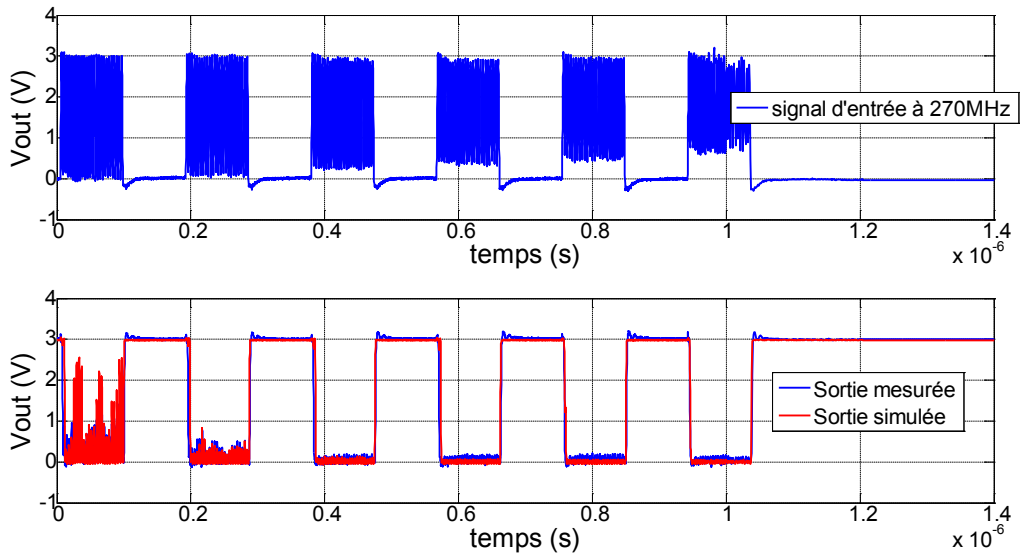


Figure 4-75 : Mesure vs simulation pour le signal perturbateur N°3 à 270MHz (74AC04 de TI)

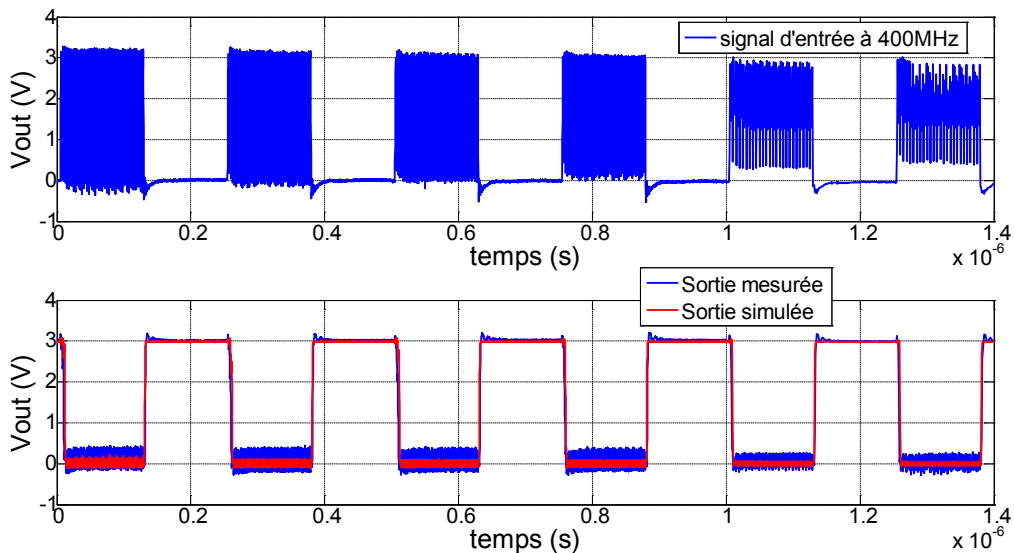


Figure 4-76 : Mesure vs simulation pour le signal perturbateur N°3 à 400MHz (74AC04 de TI)

Enfin, la série de figures suivante montre les comparaisons pour un inverseur *CMOS* de la famille technologique *HC*, conçue par *NXP*®. Comme mentionné précédemment, dans ce cas particulier, en zone *OUTBAND*, la sortie de l'inverseur reste à l'état haut. Le modèle représente bien ces tendances, mais il n'est pas totalement fiable car pour des signaux de fréquence inférieure ou de forme différente, le comportement du modèle laisse à désirer et requiert encore des améliorations, bien que le comportement obtenu soit déjà très proche de la réalité.

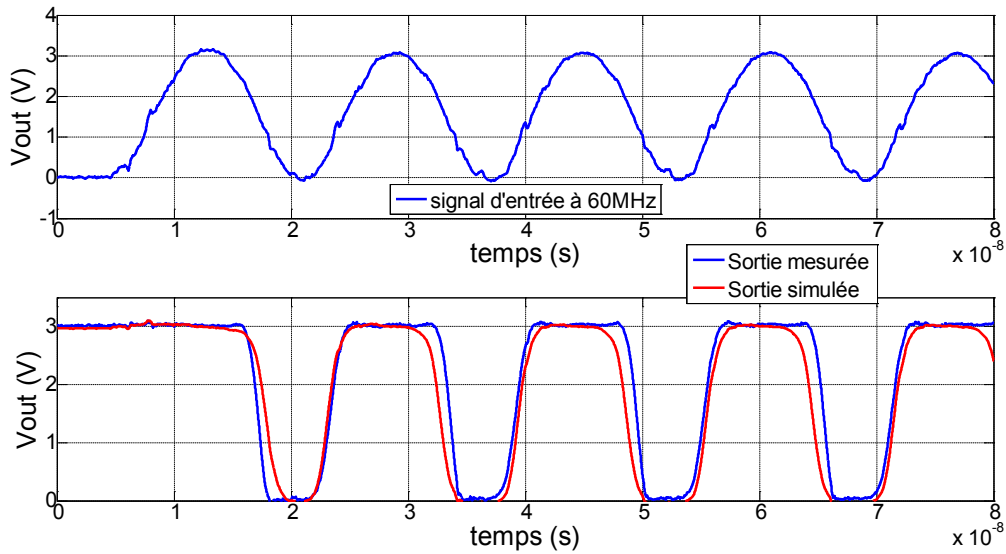


Figure 4-77 : Mesure vs simulation pour le signal perturbateur N°1 à 60MHz (74HC04 de NXP)

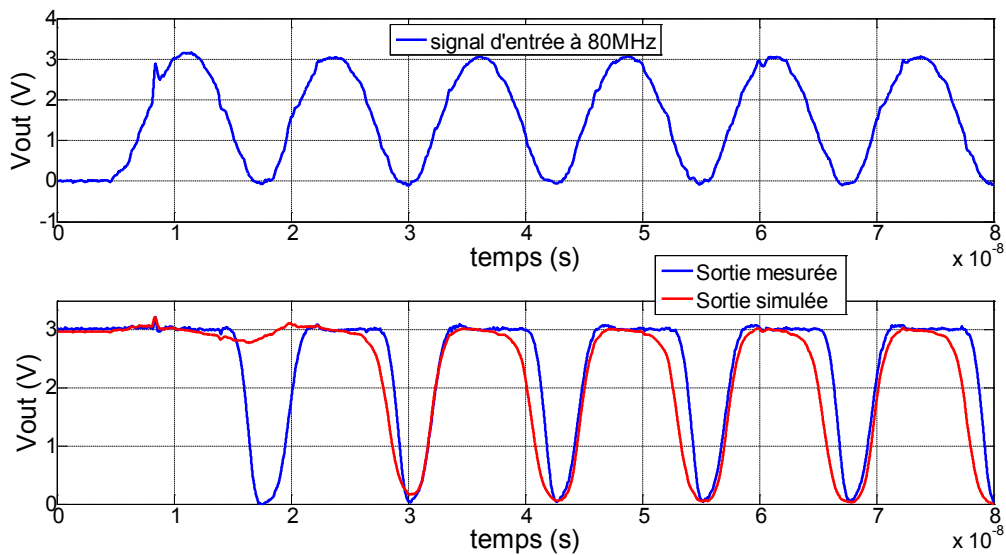


Figure 4-78 : Mesure vs simulation pour le signal perturbateur N°1 à 80MHz (74HC04 de NXP)

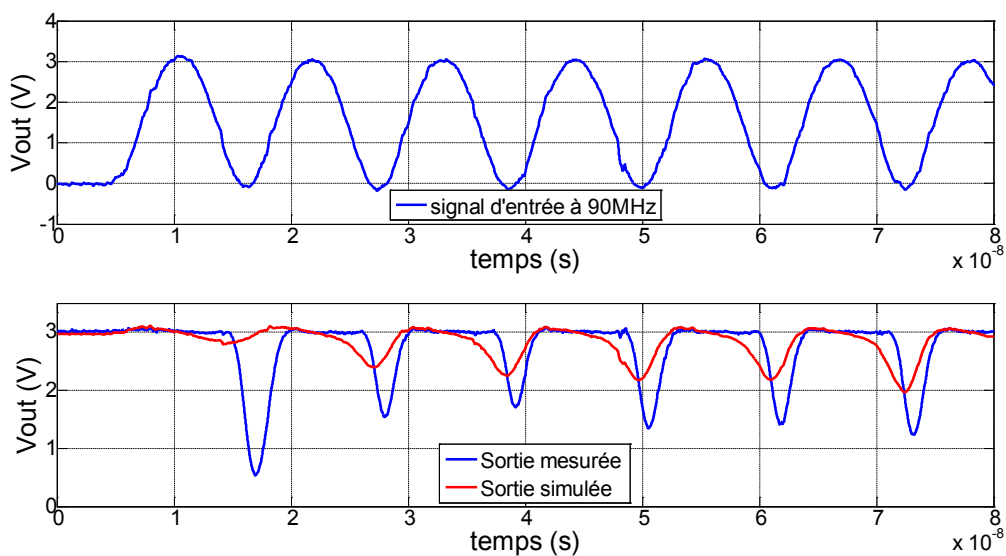


Figure 4-79 : Mesure vs simulation pour le signal perturbateur N°1 à 90MHz (74HC04 de NXP)

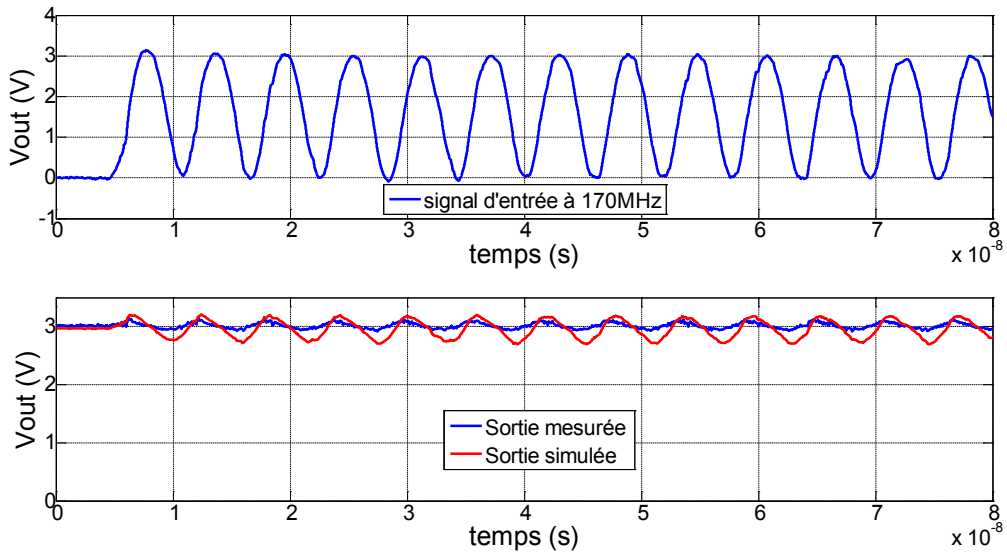


Figure 4-80 : Mesure vs simulation pour le signal perturbateur N°1 à 170MHz (74HC04 de NXP)

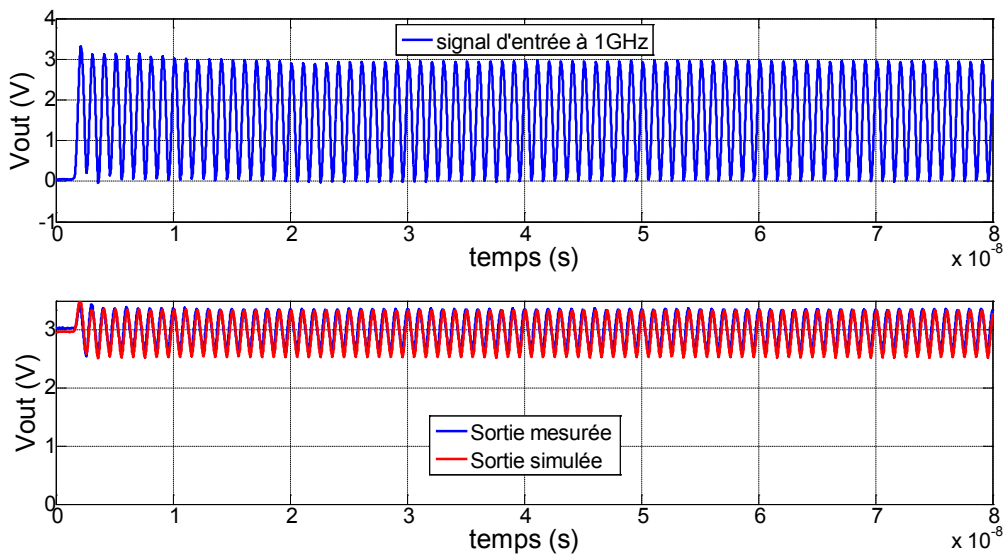


Figure 4-81 : Mesure vs simulation pour le signal perturbateur N°1 à 1GHz (74HC04 de NXP)

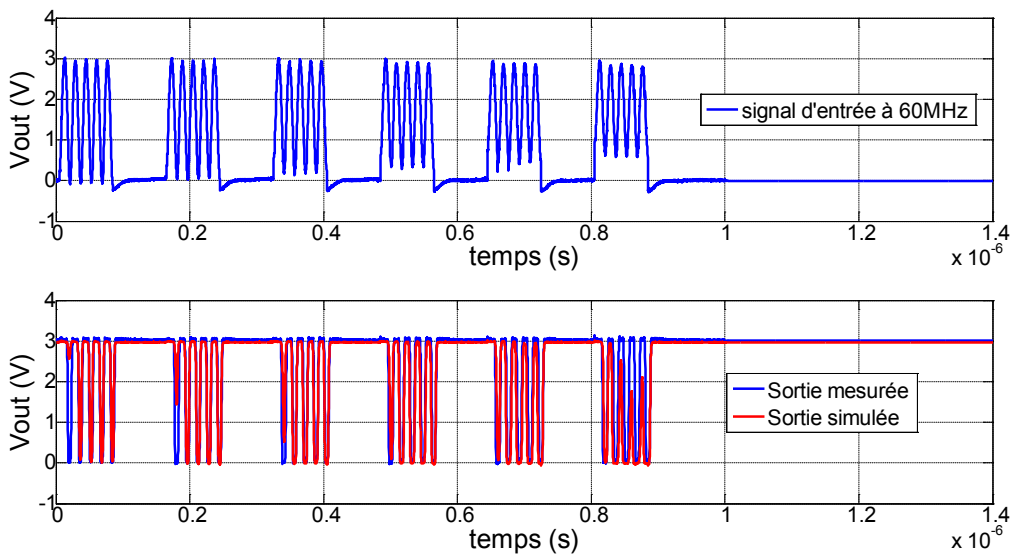


Figure 4-82 : Mesure vs simulation pour le signal perturbateur N°3 à 60MHz (74HC04 de NXP)

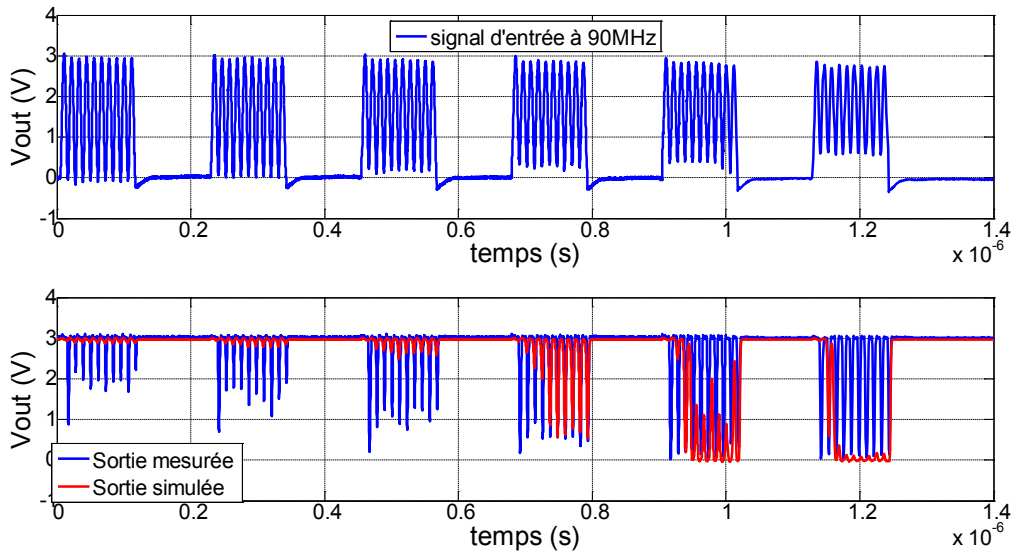


Figure 4-83 : Mesure vs simulation pour le signal perturbateur N°3 à 90MHz (74HC04 de NXP)

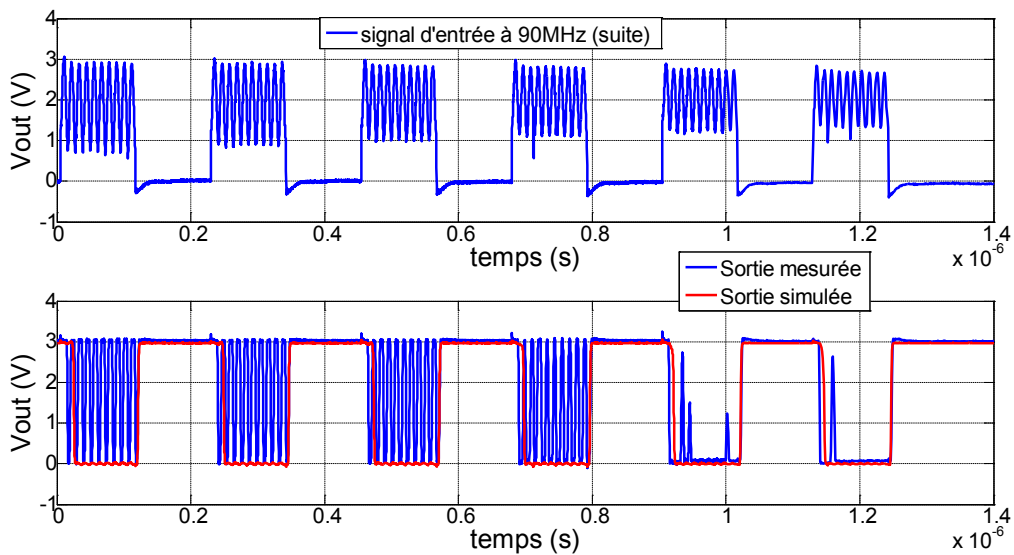


Figure 4-84 : Mesure vs simulation pour le signal N°3 à 90MHz (suite) (74HC04 de NXP)

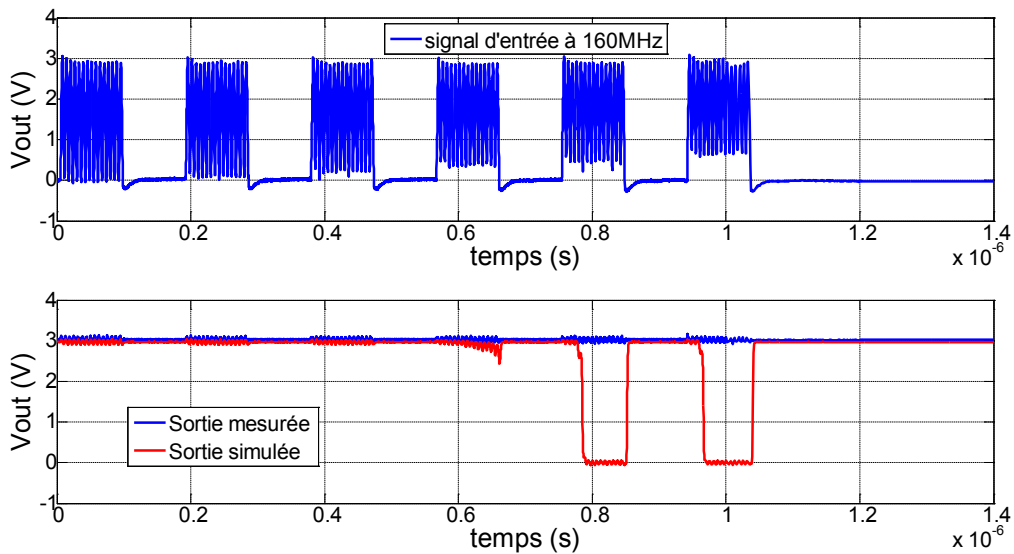


Figure 4-85 : Mesure vs simulation pour le signal perturbateur N°3 à 160MHz (74HC04 de NXP)

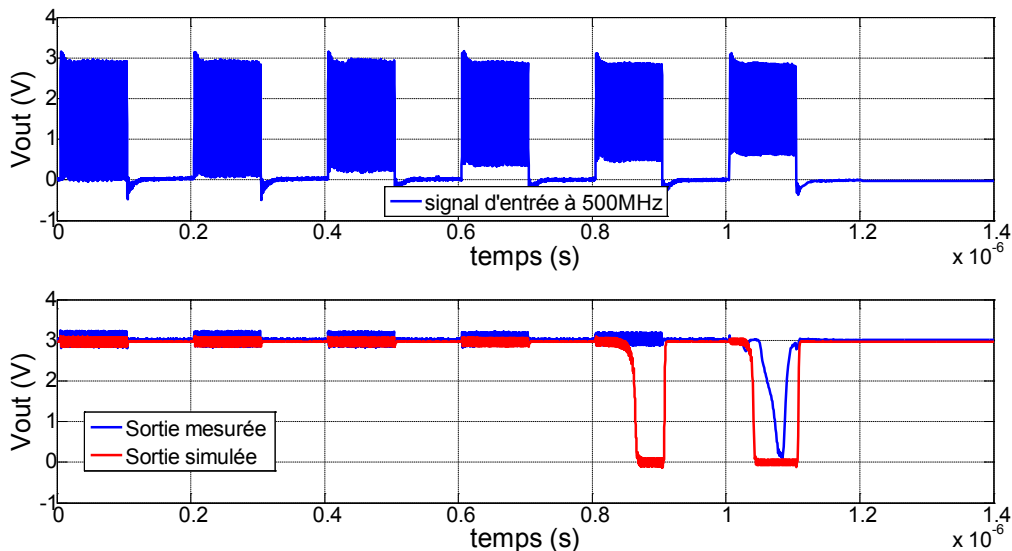


Figure 4-86 : Mesure vs simulation pour le signal perturbateur N°3 à 500MHz (74HC04 de NXP)

Nous observons sur ces résultats des disparités légères entre les résultats de mesure et ceux issus de simulation numérique. Comme précédemment exposé, pour chaque signal perturbateur, il est possible de trouver des paramètres qui permettent de faire correspondre presque parfaitement les courbes théoriques et expérimentales, mais des paramètres adéquats ne sont pas les mêmes pour différentes perturbations. Ceci est compréhensible compte tenu des simplifications que nous avons apportées au modèle complexe, et un compromis doit donc être trouvé entre ces différentes valeurs. Il est aussi à noter que les modèles SPICE des transistors dépendent de la température. Cette condition est prise en compte dans toute cette phase de modélisation en fixant la température à sa valeur typique de 27°C.

4.4.3 Détermination des paramètres du modèle comportemental

La procédure de détermination des paramètres du modèle d'inverseur que nous avons suivie comporte plusieurs étapes qui sont listées ici :

1. Relever les valeurs de la longueur du canal de conduction L et l'épaisseur de l'oxyde de grille T_{OX} de la famille technologique à partir du Tableau 4-1.
2. Evaluer la transconductance intrinsèque KP du transistor $NMOS$ en fixant la mobilité surfacique à une valeur typique proche de $600 \text{ cm}^2/Vs$.
3. Fixer des valeurs initiales des résistances d'accès R_D et R_S à 10Ω , de la largeur du canal de conduction W à $3*L$ et d'une tension de seuil V_{TO} inférieure à $0.7V$.
4. Fixer également les valeurs de la capacité de l'étage d'entrée à une valeur de l'ordre de $300pF$ et les tensions de basculements du Switch à $V_T=1V$ et $V_H=0.1V$.
5. Ajuster les valeurs de R_{ON} , R_{OFF} afin que les résultats du modèle correspondent à ceux des mesures pour le signal perturbateur N°1, autrement dit, la fréquence maximale mesurée doit correspondre à l'inverse du temps de réponse moyen en charge et en décharge.
6. Des réajustements des valeurs de KP , V_{TO} et de W peuvent être nécessaires.
7. Une fois que des paramètres acceptables sont trouvés, appliquer ce modèle aux signaux perturbateurs N°2 et N°3 afin d'ajuster les valeurs des seuils de basculement et particulièrement celle de V_T .

8. Répéter les étapes 5 et 6 pour aboutir à un bon compromis entre simulation et mesures.
9. Réappliquer les nouveaux paramètres trouvés au cas du signal perturbateur N°1.
10. Répéter ces dernières étapes autant de fois et pour tous les signaux perturbateurs afin de déterminer des paramètres uniques pour chaque fabricant de chaque famille technologique.

4.5 Synthèse des résultats et des modèles

L'établissement des paramètres du modèle de chaque inverseur suivant sa famille technologique ou son fabricant imposait de tester une large palette de circuits, ce que nous avons essayé de faire. La synthèse de ces résultats de modélisation est présentée dans le tableau suivant avec des détails sur les valeurs des différents paramètres. Les paramètres ont été établis en suivant la procédure décrite plus haut.

On peut noter que dans la plus grande majorité des cas, les valeurs des paramètres sont assez proches dans une même famille technologique. Les principaux paramètres qui varient au sein d'une même famille sont les résistances R_{on} et R_{off} du Switch RC. En effet, comme décrit auparavant dans la procédure de détermination des modèles, on commence par fixer la capacité du Switch, et on ajuste ces résistances de manière à respecter les constantes de temps observées sur les mesures.

Dans tout ce tableau, V_T et V_H sont fixées à 1V et 0.1V respectivement, et les inverseurs en couleur rouge correspondent à des modèles des paramètres qui n'ont pas encore été fixés et qui demandent encore certains ajustements.

$$F_{MAX}^{Théorique} = \frac{1}{3 * \tau} \quad Avec \quad \tau = C_{SW} * \frac{R_{ON} + R_{OFF}}{2}$$

Nous observons également sur le tableau suivant une bonne corrélation entre les fréquences maximales de fonctionnement théoriques et mesurées pour les familles technologiques HC, LV et AC (présentant des dimensions plus grandes). Par contre pour les familles technologiques AHC et LVC, les fréquences maximales théoriques, obtenues avec les valeurs des paramètres du Switch, diffèrent des mesures. Cette différence peut être due à l'influence de la fonction du composant, autrement dit, la fréquence maximale n'est pas limitée par l'étage d'entrée.

Tableau 4-2: Synthèse des résultats et des modèles

Famille	Fabricant	C _{SW} (pF)	R _{ON} (Ω)	R _{OFF} (Ω)	V _T (V)	V _H (V)	L (μm)	W (μm)	T _{OX} (nm)	KP (μA/V ²)	V _{TO} (V)	F _{MAX} théorique (MHz)	F _{MAX} mesurée (MHz)
HC	TEXAS	300	10.6	7	1	0.1	3	7	20	120	0.7	125	100
	HARRIS	300	10.6	7	1	0.1	3	7	20	120	0.7	125	100
	NXP 1G	300	9	7	1	0.1	3	7	20	120	0.7	140	110
	NXP	300	11	18	0.5	0.1	3	7	20	120	0.7	80	80
	ONSEMI	300	11	18	0.5	0.1	3	7	20	120	0.7	80	100
LV	TEXAS	200	14	12	1	0.1	2	5	20	80	0.5	130	145
	NXP	200	14	12	1	0.1	2	7	20	80	0.4	130	160
AC	TEXAS	200	20	10	1	0.1	1.5	5	20	120	0.5	110	110
	HARRIS	200	16	8	1	0.1	1.5	8	20	120	0.5	140	180
	FAIRCHILD	200	18	14	1	0.1	1.5	5	20	120	0.4	105	230
AHC	TEXAS	200	8.5	7.75	1	0.1	1	4	20	100	0.3	205	270
	TEXAS 1G	200	8	11	1	0.1	1	5	20	70	0.3	175	270
	FAIRCH.1G	200	12.5	14	1	0.1	1	3	20	70	0.3	125	230
	FAIRCHILD	200	5	4	1	0.1	1	3	20	70	0.3	370	190
	NXP 1G	200	15	13	1	0.1	1	7	20	70	0.3	120	270
	ONSEMI 1G	200	14	30	1	0.1	1	5	20	70	0.3	75	115
	DIODES 1G	200	8	7	1	0.1	1	10	20	70	0.3	220	320
	ST 1G	200	10	6	1	0.1	1	6	20	120	0.3	210	320
LVC	TEXAS	200	5	8	1	0.1	0.8	3	15	160	0.2	255	400
	TEXAS 1G	200	6	7	1	0.1	0.8	3	15	160	0.2	255	400
	FAIRCHILD	200	6	12	1	0.1	0.8	1.5	15	160	0.2	185	190
	FAIRCH.1G	200	6	12	1	0.1	0.8	1.5	15	160	0.2	185	500
	NXP 1G	200	5	8	1	0.1	0.8	5	15	160	0.2	255	400
	DIODES 1G	200	3	4	1	0.1	0.8	5	15	160	0.2	475	500

4.6 Conclusion

Dans ce chapitre, une modélisation comportementale des inverseurs *CMOS* a été réalisée. Celle-ci s'est faite à partir de modèles *SPICE* d'inverseurs *CMOS* fournis par *NXP*®. L'intérêt principal de la mise à disposition de ce modèle par *NXP*® est de permettre aux ingénieurs de concevoir des systèmes plus complexes avec ces types de fonctions logiques. En conséquence, les attentes vis-à-vis du modèle sont limitées à des fréquences inférieures. Par contre, dans notre étude, nous nous intéressons à tous les comportements de l'inverseur *CMOS* (*INBAND* et *OUTBAND*). Ainsi, nous avons commencé par évaluer la fréquence maximale de ce modèle de *NXP*®. Pour la famille technologique *HC*, la valeur trouvée est triple de celle des résultats de mesure. Une première modification a consisté à trouver les paramètres responsables de cette limitation en observant précisément les signaux internes du modèle *NXP*®. Les modifications des dimensions des transistors de l'étage d'entrée sous la source de cette limitation. Ainsi, il a été défini, une première version du modèle comportemental des inverseurs *CMOS*, utilisant le modèle fourni par *NXP*® et à faible nombre de paramètres variables (W_N et W_P).

Ensuite, nous avons explicité le modèle précédent en remplaçant l'étage d'entrée par un Switch commandé en tension suivi d'une capacité. Pour chaque type d'inverseur, des modifications de la valeur des résistances de basculement du Switch et celle de la capacité sont effectués en se basant sur les mesures expérimentales du Chapitre III. Davantage d'améliorations ont été apportées, tels que la suppression des éléments représentant les boîtiers et les protections *ESD*, l'addition d'une capacité entre l'entrée et la sortie du modèle pour prendre en compte des oscillations présentes sur les mesures (couplage entrée-sortie), et des conditions initiales sur la charge de la capacité du Switch. Ainsi, la deuxième version de notre modèle expérimental est constituée de ce Switch et des deux étages du modèle *NXP*®.

Enfin, la dernière version du modèle comportemental a été obtenue en simplifiant les deux derniers étages de la version précédente. La complexité a été réduite en diminuant le nombre de paramètres définissant le modèle *SPICE* de chaque transistor *MOS* et les dimensions ont été homogénéisées en introduisant des facteurs entre les dimensions de tous les transistors présents. Une méthode simple a été donnée pour évaluer les paramètres du modèle comportemental de chaque inverseur *CMOS*, et une synthèse des paramètres du modèle pour les différents circuits testés a été faite.

Les résultats de simulation obtenus avec ces modèles ont été comparés avec les mesures, et l'excellente concordance des courbes a prouvé l'efficacité de ce type de modélisation. En particulier, la transition entre les comportements *INBAND* et *OUTBAND* est fidèlement reproduite, tout comme les comportements atypiques que nous avons pu observer, et ce quelque soit le signal perturbateur utilisé.

En guise de perspectives, cette étape de modélisation pourra être complexifiée. Le changement de niveau des modèles de transistors peut être envisagé afin d'augmenter la précision. Le tableau récapitulatif donne des valeurs approximatives et pour certains inverseurs *CMOS*, mais il est difficile de trouver des combinaisons de valeurs des paramètres du modèle global.

Cette étude pourra être étendue à d'autres types d'inverseurs de différentes technologies (*TTL* ou *BiCMOS*) et à différentes fonctions logiques. De plus, la solution de combinaison entre le Switch et une représentation idéale de la fonction logique pourra être poussée. Concernant les circuits complexes tels que les composants numériques ou analogiques, une analyse plus approfondie pourra être conduite.

CONCLUSION GENERALE

Dans cette étude, une contribution à l'étude de la susceptibilité des circuits intégrés numériques a été présentée. Ces composants incorporent des circuits de protection contre les décharges électrostatiques et des étages de mise en forme des signaux d'entrée. Une thèse a été réalisée [1] sur la modélisation de ces éléments face à des agressions transitoires et a abouti à un modèle comportemental. Notre étude est une continuation de ces travaux, et visait à évaluer le comportement des étages d'entrée des circuits numériques, car ils sont les premiers à être touchés par des signaux perturbateurs transparents pour les circuits de protection. Le choix des composants s'est porté sur les inverseurs CMOS à cause de l'omniprésence de cette technologie, et car la majorité des entrées numériques comporte un inverseur utilisé en buffer (tampon). Le but recherché, pour étudier cette susceptibilité des composants, était de modéliser fidèlement ces étages d'entrées à l'aide d'une représentation simple de la fonction du composant.

Dans un premier chapitre, nous avons tout d'abord décrit le contexte de cette étude en présentant les différents types d'agressions électromagnétiques capables de perturber les circuits intégrés, les modes de couplage de ces agressions sur les circuits et cartes électroniques et les effets de ces agressions sur les composants. Nous avons ensuite présenté plus précisément le composant sur lequel nous allons travailler, en décrivant la structure et le fonctionnement du transistor MOSFET et de l'inverseur CMOS. Et nous avons clos ce chapitre par un état de l'art des modélisations des effets des agressions électromagnétiques sur les composants numériques, en essayant de mettre en avant les modèles de simulation utilisés dans ces travaux antérieurs.

Le deuxième chapitre a été consacré à la présentation du dispositif expérimental que nous avons utilisé pour évaluer les comportements des composants sous test face aux agressions électromagnétiques. Le choix des composants a été justifié, et les équipements de test ont été présentés. A cette occasion, les problèmes soulevés par les mesures en temporel ont été décrits, en particulier en ce qui concerne l'association d'un générateur avec un amplificateur RF non linéaire. Nous avons enfin défini les formes d'ondes utilisées pour caractériser le comportement des composants.

Dans le troisième chapitre, les résultats expérimentaux ont été synthétisés, en particulier en présentant les comportements des circuits choisis faces aux agressions précédemment définies. En particulier, les fréquences maximales de fonctionnement ont été relevées en fonction des technologies et des fabricants, tout comme les différents comportements OUTBAND que nous avons observés. Parmi ceux-ci, nous avons pu noter quelques réponses atypiques des composants, comportements dont il s'agira quand même de pouvoir rendre compte avec les modèles développés.

Le quatrième chapitre était quant à lui consacré au développement d'un modèle qui permette de retrouver tous les comportements que nous avons observés lors de la mesure. Après une présentation des modèles généralement utilisés, la constatation a été faite que, si ces modèles peuvent rendre de bons services dans la bande de fonctionnement des composants, ils s'avèrent assez peu fidèles et généralement trop optimistes dès lors qu'on se trouve à proximité des limites de fonctionnement du composant. Après plusieurs tentatives et itérations, nous avons donc développé – sur la base d'un modèle SPICE d'inverseur existant – un modèle comportemental SPICE de l'inverseur comprenant un Switch RC et deux étages

d'inversion CMOS simplifiés. Les deux étages CMOS possèdent un nombre réduit de paramètres, et sont assez originaux du fait que la connaissance des dimensions d'un seul transistor MOS permet de dimensionner automatiquement tous les autres. Par ailleurs, les transistors MOS choisis sont volontairement non limités en fréquence de fonctionnement (capacités nulles), la limitation fréquentielle étant assurée par le Switch RC modélisant le premier étage. En effet, les investigations ont montré que de manière générale, le premier inverseur agit en limiteur et tempère la vitesse des signaux entrants, alors que les inverseurs suivants sont très rapides.

A l'aide de toutes les mesures que nous avons réalisées, nous avons ainsi pu extraire les paramètres des modèles génériques d'inverseur pour différentes familles et technologies. Les résultats de simulation montrent une excellente concordance avec les mesures, tant dans le domaine INBAND que OUTBAND – contrairement aux modèles classiques, et ce même en ce qui concerne les comportements atypiques que nous avons pu observer en mesure. Et finalement, une synthèse des résultats et des modèles en fonction des fabricants et des familles technologiques a été effectuée.

Cette étude a été limitée à la technologie CMOS, principalement pour des raisons de temps. Cependant, bien que les mécanismes ne soient pas les mêmes, elle pourrait être étendue aux autres technologies telles que la TTL et la BiCMOS en gardant la même approche de généralité et le même niveau d'abstraction.

Mais le prolongement le plus immédiat de cette étude serait d'utiliser les modèles que nous avons développés dans des circuits numériques plus complexes : en considérant l'inverseur comme un buffer d'entrée (horloge, donnée, reset, etc.), son signal de sortie sous agression définit le signal logique vu par le cœur du circuit. Des tests simples sur des circuits séquentiels (bascules, compteurs, registres à décalage, etc.) permettraient d'abord de tester la validité de l'approche avant de nous orienter vers des circuits plus beaucoup complexes (micro-contrôleurs, EPLD, etc.).

D'autres travaux à venir vont consister à regrouper les modèles d'inverseur présentés ici avec les modèles de protection ESD précédemment développés à XLIM. Nous serions alors en possession d'un modèle global des circuits d'entrée des composants numériques qui permettrait de prendre en compte des agressions de fort niveau activant les protections ESD, et permettraient de tester les phénomènes de redressement par ces éléments déjà mentionnés dans la littérature.

Une dernière perspective à cette étude serait d'incorporer ce modèle dans un logiciel de simulation développé au laboratoire XLIM (TEMSI-FD ou LAMLIM) afin d'étudier numériquement le comportement global du composant face à des agressions électromagnétiques de forte puissance, à défaut de réaliser ces expériences réellement.

Bibliographie

- [1] Bruno BEN M'HAMED, "Contribution à l'analyse de la susceptibilité des composants électroniques à des perturbations transitoires : Caractérisation et modélisation des éléments de protection," Thèse de doctorat Université de LIMOGES, 2010.
- [2] R PAUL CLAYTON, *Introduction to Electromagnetic Compatibility*. NY: Wiley Interscience, 2006., ISBN : 978-0471755005,
- [3] Frank SABATH, "What can be learned from documented Intentional Electromagnetic Interference (IEMI) attacks ?," in *General Assembly and Scientific Symposium, 2011 XXXth URSI*, Istanbul, 2011, pp. 1-4.
- [4] William A. RADASKY, Carl E. BAUM, and Manuem W. WIK, "Introduction to Special Issue on High-Power Electromagnetics (HPEM) and Intentional Electromagnetic Interference (IEMI)," *IEEE TRANSACTIONS ON ELECTROMAGNETIC COMPATIBILITY*, vol. 46, no. 3, pp. 314-321, 2004.
- [5] Emmanuel PERRIN, "Modélisation des effets indirects de la foudre sur avion composite," Thèse de doctorat Université de LIMOGES, 2010.
- [6] Prasad V. KODALI, *Engineering Electromagnetic Compatibility - Principles, Measurements and Technologies*.: IEEE PRESS, 1996., ISBN : 978-0780311176,
- [7] ITRS. <http://www.itrs.net/reports.html>.
- [8] G. V. GIRI and F. M. TESCHE, "Classification of Intentional Electromagnetic Interference (IEMI)," *IEEE EMC TRANSACTIONS SPECIAL ISSUE*, vol. 46, no. B-1, pp. 322-328, 2003.
- [9] Clovis POUANT, "Caractérisation de la susceptibilité électromagnétique des étages d'entrée de composants électroniques," Thèse de doctorat Université de MONTPELLIER, 2015.
- [10] Mats BACKSTROM and Karl Gunnar LOVSTRAND, "Susceptibility of electronic systems to High power Microwaves : Summary of test experience," *IEEE TRANSACTIONS ON ELECTROMAGNETIC COMPATIBILITY*, vol. 46, no. 3, pp. 396-403, August 2004.
- [11] Eileen M. Walling, "High Power Microwaves : Strategic and operational Implications of Warfare," Rapport technique 2000.
- [12] Mohamed Ramdani, "The Electromagnetic Compatibility of Integrated Circuits -Past, Present and Future," *IEEE TRANSACTIONS ON ELECTROMAGNETICS COMPATIBILITY*, vol. 51, no. 1, pp. 78 - 100, October 2009.
- [13] Daniel NITCSH, "Susceptibility of some electronic equipment to HPEM Threats," *IEEE TRANSACTIONS ON ELECTROMAGNETIC COMPATIBILITY*, vol. 46, pp. 380-389, August 2004.

- [14] Michael A. HOLLOWAY, Zeynep DILLI, Nuttiiya SEEKHA, and John RODGERS, "Study of basic effects of HPM pulses in digital CMOS integrated circuit inputs," *IEEE TRANSACTIONS ON ELECTROMAGNETIC COMPATIBILITY*, vol. 54, no. 5, pp. 1017 - 1027, 2012.
- [15] Daniel MANSSON, Rajjev THOTTAPPILLIL, Mats BACKSTROM, and Olof LUNDEN, "Vulnerability of European rail traffic management system to radiated intentional EMI," *IEEE TRANSACTIONS ON ELECTROMAGNETIC COMPATIBILITY*, vol. 50, no. 1, pp. 101-109, February 2008.
- [16] John E. AYERS, *Digital Integrated Circuits - Analysis and Design*.: CRC PRESS, 2004., ISBN : 978-0072460537,
- [17] Anil K. MAINI, *Digital Electronics - Principles, Devices and Applications*.: John Wiley & Sons, 2007., ISBN : 978-0470032145,
- [18] Dawon KAHNG, "Electric field controlled semiconductor device," US3102230, Août 27, 1963.
- [19] D. KAHNG and M. M. ATTALA, "Silicon-silicon dioxide field induced devices," 1960.
- [20] Jacob BAKER, Harry LI, and David BOYCE, *CMOS circuit design, layout and simulation*. NEW YORK: IEEE PRESS, 1998., ISBN : 978-0470881323,
- [21] Adel S. SEDRA and Kenneth C. SMITH, *Micoelectronic circuits 4ed*.: OXFORD University Press, 1982.,
- [22] John P. Uyemura, *CMOS logic circuit design*.: KLUWER ACADEMIC PUBLISHERS, 2001., ISBN : 978-0792384526,
- [23] Phillip E. ALLEN. AICDESIGN.ORG. [Online].
[http://www.aicdesign.org/SCNOTES/2010notes/Lect2UP030_\(100324\).pdf](http://www.aicdesign.org/SCNOTES/2010notes/Lect2UP030_(100324).pdf)
- [24] Sung-Mo KANG and Yusuf LEBLEBICI, *CMOS Digital Integrated Circuits - Analysis and Design*.: MC GRAW HILL, 2003., ISBN : 978-0072460537,
- [25] Robert RICHARDSON, Vincent G. PUGLEILLI, and Robert AMADORI, "Microwave Interference Effect in Bipolar Transistors," *IEEE TRANSACTIONS ON ELECTROMAGNETIC COMPATIBILITY*, vol. 17, no. 4, pp. 216-219, 1975.
- [26] Robert E. RICHARDSON, "Quiescent operation point shift in bipolar transistors with AC excitation," *IEEE journal of Solid-State Circuits*, vol. 14, no. 6, pp. 1087 - 1094, 1979.
- [27] Robert E. RICHARDSON, "Modeling of Low-Level Rectification RFI in Bipolar Circuitry," *IEEE TRANSACTIONS ON ELECTROMAGNETIC COMPATIBILITY*, vol. 21, no. 4, pp. 307 - 311, 1979.
- [28] Marie L. FORCIER and Robert E. RICHARDSON, "Microwave-Rectification RFI Response in Field-Effect Transistors," *IEEE TRANSACTIONS ON*

- ELECTROMAGNETIC COMPATIBILITY*, vol. 21, no. 4, pp. 312 - 315, 1979.
- [29] James J. WHALEN, Joseph G. TRONT, Curtis E. LARSON, and James M. ROE, "Computer-Aided Analysis of RFI Effects in Digital Integrated Circuits," *IEEE TRANSACTIONS ON ELECTROMAGNETIC COMPATIBILITY*, vol. 21, no. 4, pp. 291 - 297, 1979.
- [30] John N. ROACH, "The susceptibility of a 1K NMOS Memory to Conducted Electromagnetic Interference," *1981 IEEE International Symposium on Electromagnetic Compatibility*, pp. 1 - 6, 1981.
- [31] Joseph G. TRONT, "Simulation of RFI in Digital MOSFET Input/Output Stages," *1984 International Symposium on Electromagnetic Compatibility*, pp. 1-6, 1984.
- [32] Joseph G. TRONT, "Predicting RFI Upset of MOSFET Digital IC's," *IEEE TRANSACTIONS ON ELECTROMAGNETIC COMPATIBILITY*, vol. 27, no. 2, pp. 64 - 69, 1985.
- [33] Jean-Jacques LAURIN, Safwat G. ZAKY, and Keith G. BALMAIN, "Prediction of delays induced by in-band RFI in CMOS inverters," *IEEE TRANSACTIONS ON ELECTROMAGNETIC COMPATIBILITY*, vol. 37, no. 2, pp. 167 - 174, 1995.
- [34] Daniel J. KENNEALLY, Gary O. HEAD, and Steven C. ANDERSON, "EMI Noise Susceptibility of ESD Protect Buffers in Selected MOS Devices," *1985 IEEE International Symposium on Electromagnetic Compatibility*, 1985.
- [35] D. J. KENNEALLY, D. S. KOELLEN, and S. EPSHTEIN, "RF upset susceptibilities of CMOS and low power Schottky D-type flip-flops," *1989 IEEE National Symposium on Electromagnetic Compatibility*, 1989.
- [36] T. WEISSGERBER, D. PEIER, and H. HIRSCH, "Electromagnetic Susceptibility of TTL and CMOS Inverters - Influence of Pulseform and External Elements," *Proceedings of the 6th International Conference on Optimization of Electronic Equipments*, 1998.
- [37] Kim KYECHONG and Agis A. ILIADIS, "Critical Upsets of CMOS Inverters in Static Operation due to high-Power Microwave Interference," *IEEE TRANSACTIONS ON ELECTROMAGNETIC COMPATIBILITY*, vol. 46, no. 4, pp. 876 - 885, 2007.
- [38] Kim KYECHONG and Agis ILLIADIS, "Operational upsets and critical new bit errors in CMOS digital inverters due to high power pulsed electromagnetic interference," *Solid-State Electronics*, vol. 54, no. 1, pp. 19 - 21, 2010.
- [39] Jie CHEN and Zhengwei DU, "Understanding and modeling of internal transient latch-up susceptibility in CMOS inverters due to microwave pulses," *Microelectronics Reliability*, vol. 53, no. 12, pp. 1891 - 1896, 2013.
- [40] Jie CHEN and Zhengwei DU, "Device simulation studies on latch-up effects in CMOS inverters induced by microwave pulse," *Microelectronics Reliability*, vol. 53, no. 3, pp. 371 - 378, 2013.

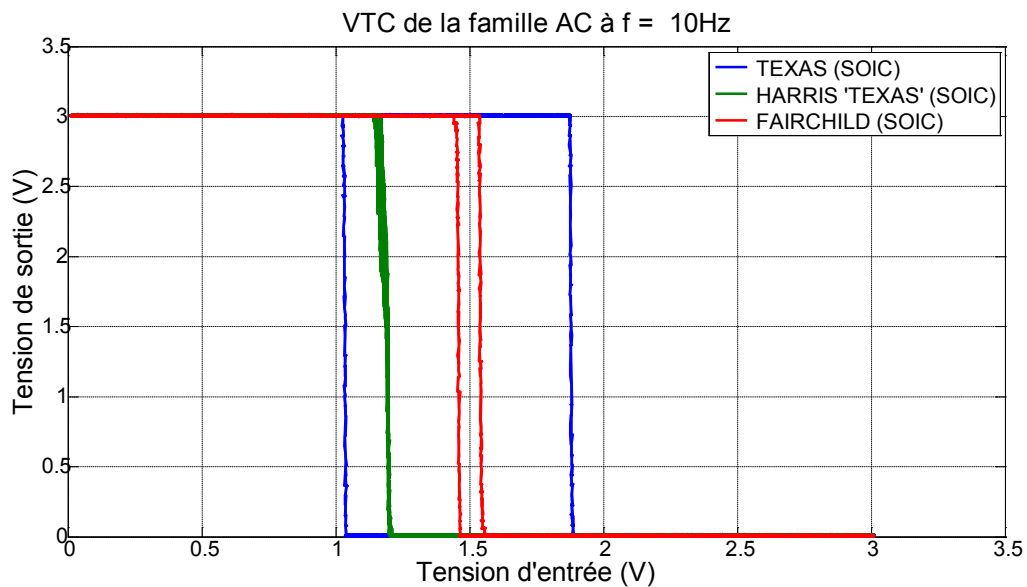
- [41] Yu XINHAI et al., "Modeling and analysis of the HPM pulse-width upset effect on CMOS inverter," *Journal of Semiconductors*, vol. 36, no. 5, p. 054011, 2015.
- [42] H. WANG, J. LI, H. LI, K. XIAO, and H. CHEN, "Experimental study and spice simulation of CMOS inverters latch-up effects due to high power microwave interference," *Progress In Electromagnetics Research, PIER 87*, pp. 313 - 330, 2008.
- [43] Todd FIRESTONE, "RF induced nonlinear effects in high speed electronics," Master's Thesis University of MARYLAND, 2004.
- [44] IEC 62132-4 : Integrated Circuits - Measurement of Electromagnetic Immunity 150kHz to 1GHz - Part 4 : Measurement of Conducted Immunity, Direct RF power Injection Method, Février 2006.
- [45] IEC 62132-3 : Integrated Circuits - Measurement of Electromagnetic Immunity, 150kHz to 1GHz - Part 3 : Measurement of Conducted Immunity, Bulk Current Injection (BCI) Method , Septembre 2006.
- [46] IEC 61000 4-2 : Electromagnetic Compatibility (EMC) : Part 4-2 : Testing and Measurement Techniques - Electrostatic Discharge Immunity Test, 2006.
- [47] "Implications of slow or floating CMOS inputs," Application Report SCBA004C 1998.
- [48] TEKTRONIX. [Online]. <http://www.tek.com/>
- [49] EUVIS. [Online]. <http://www.euvis.com/>
- [50] CENTELLAX. [Online]. <http://www.centellax.com>
- [51] Norris NAHMAN and Michele GUILLAUME, "Deconvolution of time domain waveforms in the presence of noise," TECHNICAL NOTE 1047 WASHINGTON, 1981.
- [52] Jennifer E. MICHAELS, "Fondamentals of deconvolution with applications to ultrasonics and acoustic emission," Master's thesis 1982.
- [53] James ANDREWS, "Deconvolution of system impulse responses and time domain waveforms," Application Note AN-18 2004.
- [54] Abdelhak BENNIA and Norris S. NAHMANN, "Deconvolution of causal pulse and transient data," *IEEE TRANSACTIONS ON INSTRUMENTATION AND MEASUREMENT*, vol. 39, no. 6, pp. 933 - 939, Decembre 1990.
- [55] Enrique LAMOUREUX, "Etude de la susceptibilité des circuits intégrés numériques aux agressions hyper-fréquences," Thèse de doctorat INSA de TOULOUSE, 2006.
- [56] Moschiul HAQUE, "TI IBIS File Creation, Validation and Distribution processes," Application Report SZZA034 Septembre 2002. [Online]. <http://www.ti.com/lit/an/szza034/szza034.pdf>
- [57] Andrei VLADIMIRESCU and Sally LIU, "The simulation of MOS Integrated Circuits

- using SPICE2," Electronics Research Laboratory, Rapport Californie, 1980.
- [58] NXP. NXP. [Online]. http://www.nxp.com/products/discretes-and-logic/logic/hct/hex-inverter:74HC_T_04?&fosp=1&tab=Design_Tools_Tab
- [59] NXP. NXP. [Online]. http://www.nxp.com/products/discretes-and-logic/logic/lvc/hex-inverter:74LVC04A?&fosp=1&tab=Design_Tools_Tab
- [60] NXP. NXP. [Online]. http://www.nxp.com/products/discretes-and-logic/logic/lv/hex-inverter:74LV04?&fosp=1&tab=Design_Tools_Tab
- [61] Frederic LAFON et al., "Modélisation de l'immunité des circuits intégrés - Passé, Present et nouveaux challenges pour la normalisation," *CEM 2010*, 2010.
- [62] Micro-Cap. Site Web de Micro-Cap. [Online]. <http://www.spectrum-soft.com/index.shtm>
- [63] spectrum Soft. [Online]. <http://www.spectrum-soft.com/down/rm.pdf>
- [64] Sherif EMBABI, Abdellatif BELLAOUAR, and Mohamed ELMASRY, *Digital BiCMOS Integrated Circuit Design*. New York: Springer Science + Business Media, 1993., ISBN : 978-1461363910,
- [65] GIUSEPPE MASSOBRIO and PAOLO ANTOGNETTI, *Semiconductor Device Modeling with SPICE.*: MC GRAW HILL, 1993., ISBN : 978-0071349550,
- [66] Narain ARORA, *MOSFET Models for VLSI Circuit Simulation : Theory and Practice.*: Springer, 1993., ISBN : 978-3709192498,
- [67] FAIRCHILD SEMICONDUCTORS. [Online]. <https://www.fairchildsemi.com/>
- [68] ON SEMICONDUCTORS. [Online]. <http://www.onsemi.com/>
- [69] NXP. [Online]. <http://www.nxp.com/>
- [70] TEXAS INSTRUMENTS. [Online]. <http://www.ti.com/>
- [71] Robert H. DENNARD, "Design of Ion-Implented MOSFET's with Very Small Physical Dimensions," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 9, no. 5, pp. 256 - 268, 1974.
- [72] Paul R. GRAY, Paul J. HURST, Stephen H. Lewis, and Robert G. MEYER, *Analysis and Design of Analog Integrated Circuits 5ed.*: John Wiley & Sons, 2009., ISBN : 978-0470245996,

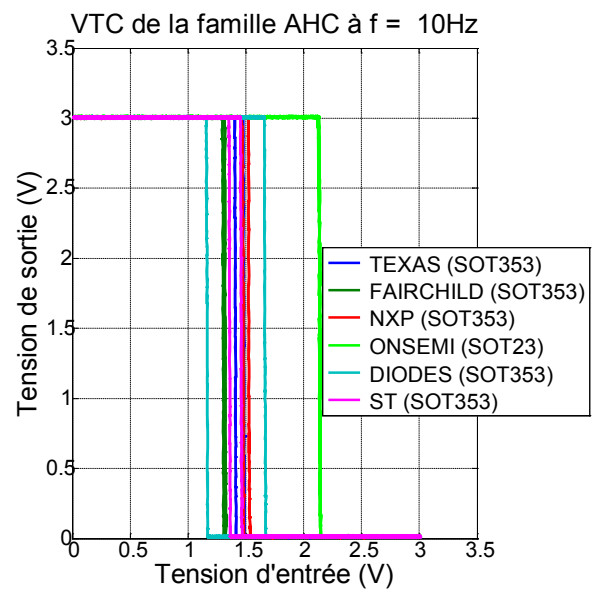
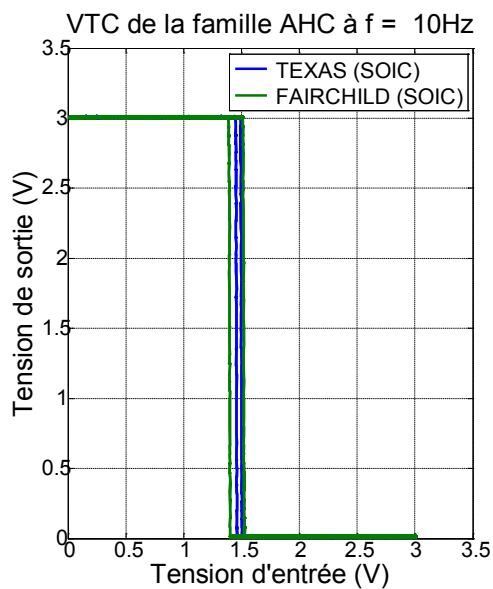
5 ANNEXES

5.1 Annexe 1 : Caractéristiques de transfert des inverseurs

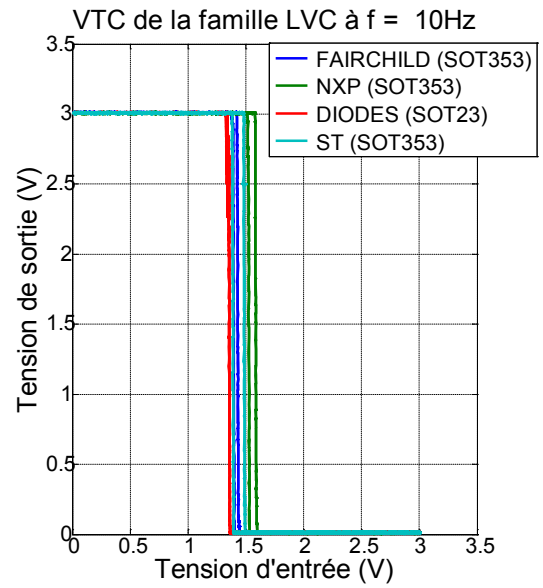
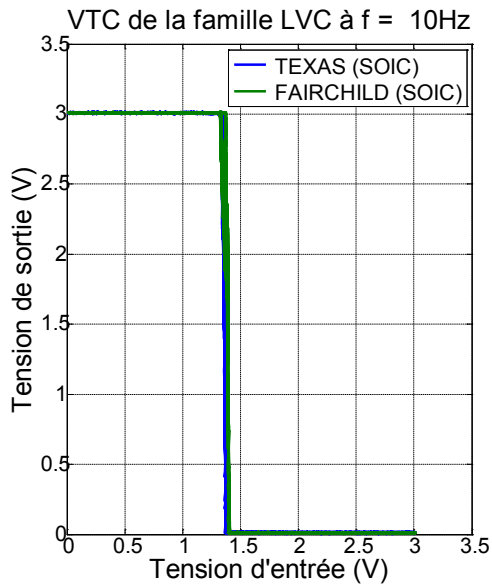
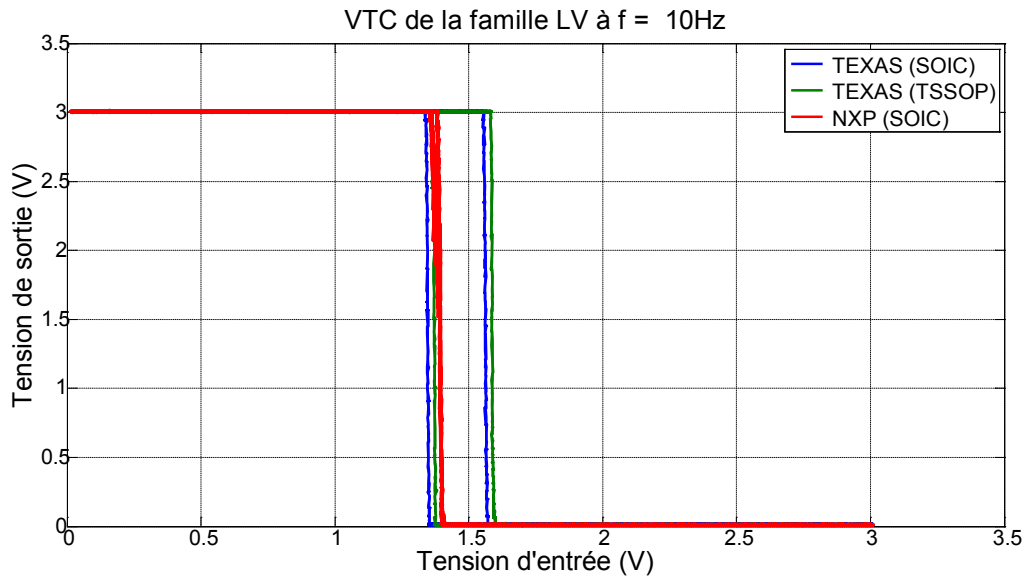
Comparaison des caractéristiques de transfert entre familles technologiques:

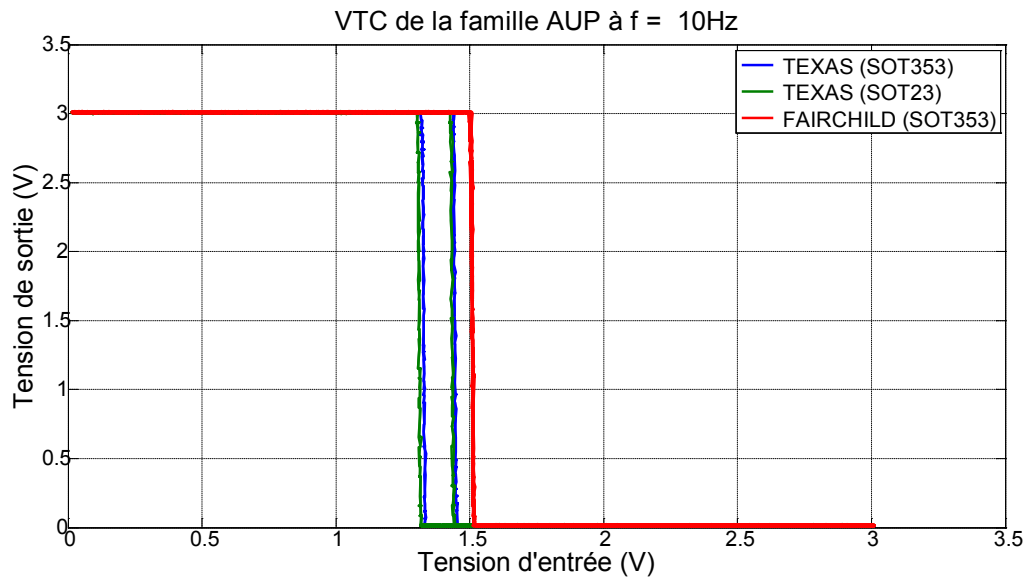


Comparaison des VTC de la famille AC (Tension d'alimentation $V_{CC} = 3\text{V}$)



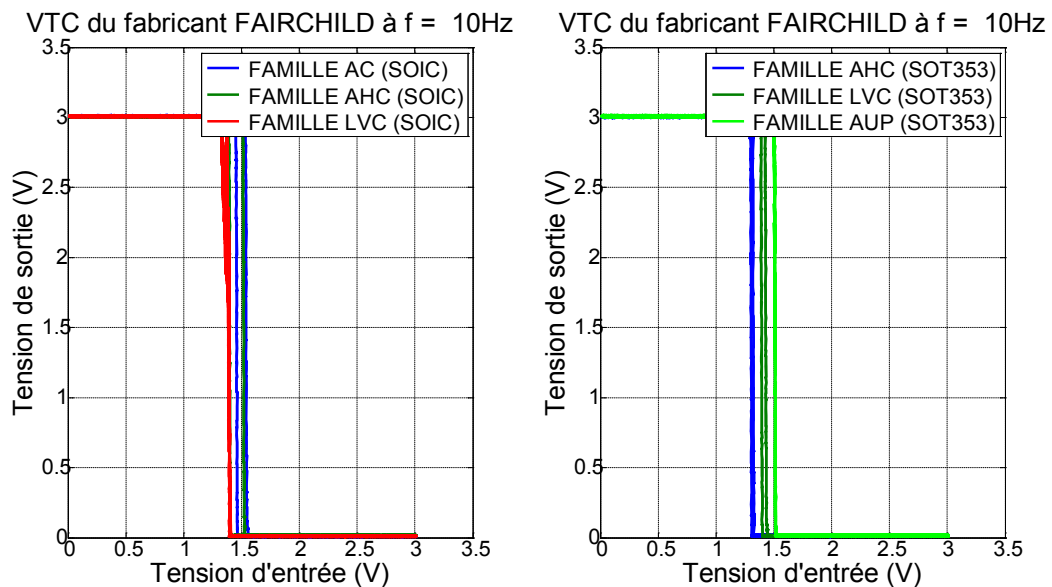
Comparaison des VTC de la famille AHC (Tension d'alimentation $V_{CC} = 3\text{V}$)

Comparaison des VTC de la famille LVC (Tension d'alimentation $V_{CC} = 3\text{V}$)Comparaison des VTC de la famille LV (Tension d'alimentation $V_{CC} = 3\text{V}$)

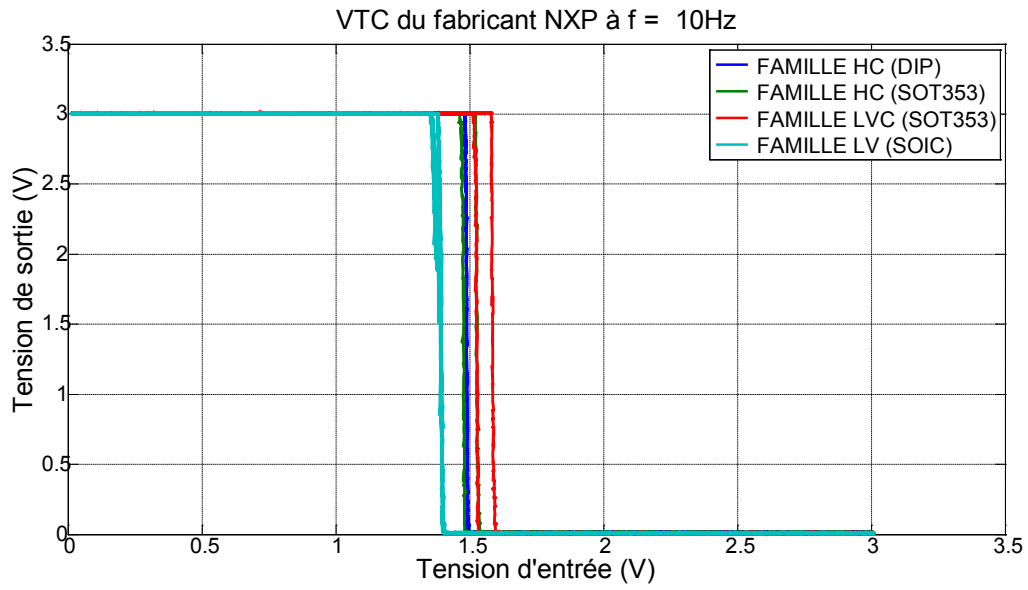


Comparaison des VTC de la famille AUP (Tension d'alimentation $V_{CC} = 3\text{V}$)

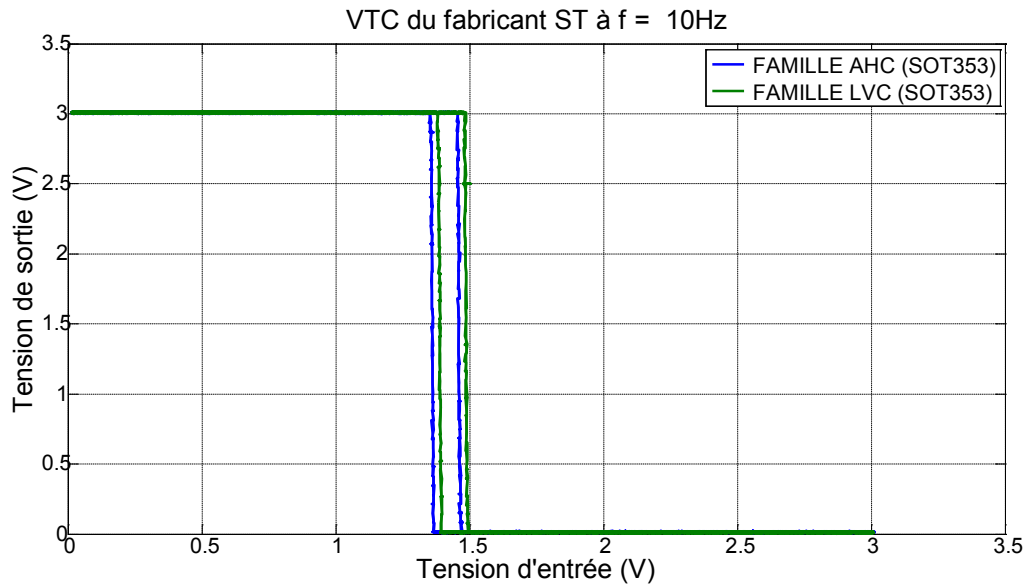
Comparaison des caractéristiques de transfert entre fabricants



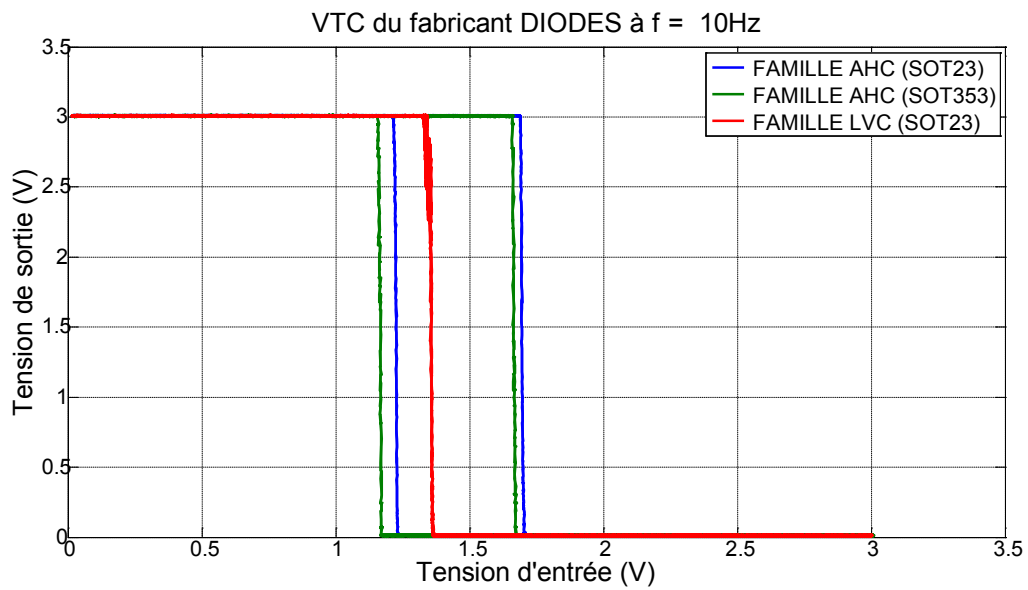
Comparaison des VTC du fabricant FAIRCHILD (Tension d'alimentation $V_{CC} = 3\text{V}$)



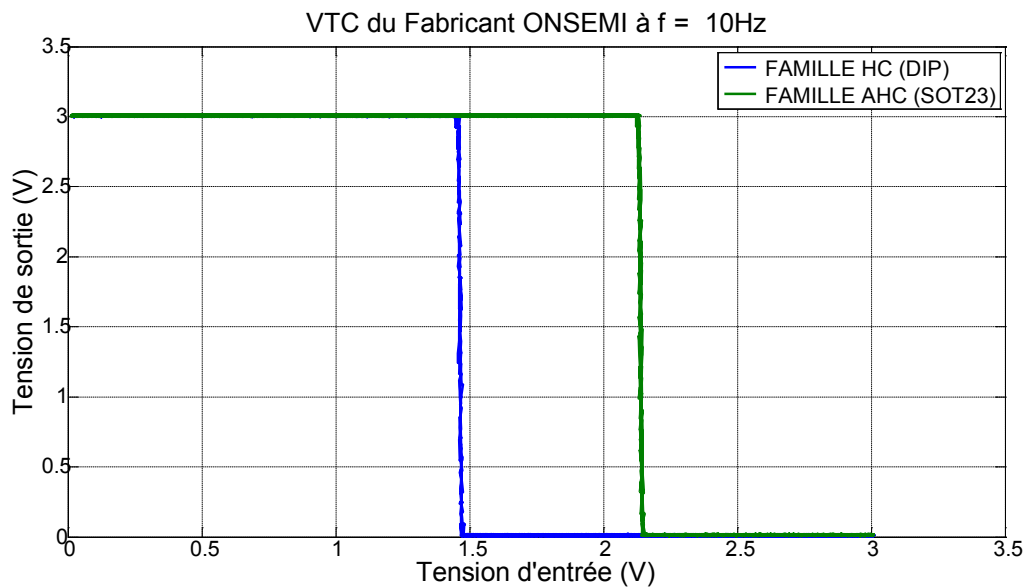
Comparaison des VTC du fabricant NXP (Tension d'alimentation $V_{CC} = 3\text{V}$)



Comparaison des VTC du fabricant ST (Tension d'alimentation $V_{CC} = 3\text{V}$)



Comparaison des VTC du fabricant DIODES (Tension d'alimentation $V_{CC} = 3\text{V}$)



Comparaison des VTC du fabricant ON SEMICONDUCTORS (Tension d'alimentation $V_{CC} = 3\text{V}$)

5.2 Annexe 2 : Modèle SPICE du 74HC04 de NXP

Voici les différentes versions du modèle SPICE d'un inverseur CMOS de la famille technologique HC et fournis par NXP (Modèles transistors pour le *PROCESS "NOMINAL"*)

```
.SUBCKT modelHC_nxp_origine 2 3 1 9
*IN=2, OUT=3, VCC=1, GND=0
XHCorigine04      20 30 10 90          INVlorigine
XPK14  2  3 90 90 90 90 90 90 90 90 90 90 90 90 1
+      20 30 90 90 90 90 90 90 90 90 90 90 10 pk14
.ENDS

.SUBCKT INVlorigine  20 30 80 90
*IN=20, OUT=30, VCC=80, GND=90
XINPorigine  20  25  80  90    INP1Norigine
XINVorigine  25  35  80  90    INVNorigine
XOUTPorigine 35  30  80  90    OUTPNorigine
.ENDS

.SUBCKT INP1Norigine  2  3  50  60
*IN=2, OUT=3, VCC=50, GND=60
R1  2  4  100
MP1 4 50 50 50  MHC PEN W=20U L=2.4U AD=100P AS=100P PD=40U PS= 20U
MN1 4 60 60 60  MHC NEN W=35U L=2.4U AD=260P AS=260P PD=70U PS= 20U
MP2 3  4 50 50  MHC PEN W=88U L=2.4U AD=290P AS=550P PD=10U PS=100U
MN2 3  4 60 60  MHC NEN W=56U L=2.4U AD=162P AS=550P PD=10U PS= 75U
.ENDS

.SUBCKT INVNorigine  2  3  50  60
*IN=2, OUT=3, VCC=50, GND=60
MP1 3  2 50 50  MHC PEN W=364U L=2.4U AD=500P AS=500P PD=10U PS=430U
MN1 3  2 60 60  MHC NEN W=184U L=2.4U AD=275P AS=275P PD=10U PS=270U
.ENDS

.SUBCKT OUTPNorigine 2  3  50  60
*IN=2, OUT=3, VCC=50, GND=60
R1  2  4  100
MP1 3  4 50 50  MHC PEN W=360U L=2.4U AD=400P AS=400P PD=10U PS=180U
MN1 3  4 60 60  MHC NEN W=140U L=2.4U AD=200P AS=300P PD=10U PS=130U
R2  4  5  50
MP2 3  5 50 50  MHC PEN W=360U L=2.4U AD=400P AS=400P PD=10U PS=180U
MN2 3  5 60 60  MHC NEN W=140U L=2.4U AD=200P AS=200P PD=10U PS=130U
R3  5  6  50
MP3 3  6 50 50  MHC PEN W=360U L=2.4U AD=400P AS=400P PD=10U PS=180U
MN3 3  6 60 60  MHC NEN W=140U L=2.4U AD=200P AS=200P PD=10U PS=130U
.ENDS
```

```

*****
*      NOMINAL N-Channel Transistor      *
*      UCB-3 Parameter Set                *
*      HIGH-SPEED CMOS Logic Family      *
*      10-Jan.-1995                       *
*****
.Model MHCNEN NMOS
+LEVEL = 3
+KP    = 45.3E-6
+VTO   = 0.72
+TOX   = 51.5E-9
+NSUB  = 2.8E15
+GAMMA = 0.94
+PHI   = 0.65
+VMAX  = 150E3
+RS    = 40
+RD    = 40
+XJ    = 0.11E-6
+LD    = 0.52E-6
+DELTA = 0.315
+THETA = 0.054
+ETA   = 0.025
+KAPPA = 0.0
+WD    = 0.0

*****
*      NOMINAL P-Channel transistor      *
*      UCB-3 Parameter Set                *
*      HIGH-SPEED CMOS Logic Family      *
*      10-Jan.-1995                       *
*****
.Model MHCPEN PMOS
+LEVEL = 3
+KP    = 22.1E-6
+VTO   = -0.71
+TOX   = 51.5E-9
+NSUB  = 3.3E16
+GAMMA = 0.92
+PHI   = 0.65
+VMAX  = 970E3
+RS    = 80
+RD    = 80
+XJ    = 0.63E-6
+LD    = 0.23E-6
+DELTA = 2.24
+THETA = 0.108
+ETA   = 0.322
+KAPPA = 0.0
+WD    = 0.0

```



```
.SUBCKT pk14
+   1   2   3   4   5   6   7   8   9  10
+  11  12  13  14
+  15  16  17  18  19  20  21  22  23  24
+  25  26  27  28
* Pin Resistance
r1 1 1001 1.161E-01
r2 2 1002 1.078E-01
r3 3 1003 1.026E-01
r4 4 1004 9.882E-02
r5 5 1005 9.941E-02
r6 6 1006 1.032E-01
r7 7 1007 1.106E-01
r8 8 1008 1.107E-01
r9 9 1009 1.032E-01
r10 10 1010 9.941E-02
r11 11 1011 9.871E-02
r12 12 1012 1.026E-01
r13 13 1013 1.079E-01
r14 14 1014 1.159E-01

* Pin Inductance
l1 1001 15 6.164E-09
l2 1002 16 4.379E-09
l3 1003 17 3.251E-09
l4 1004 18 2.650E-09
l5 1005 19 2.752E-09
l6 1006 20 3.618E-09
l7 1007 21 5.276E-09
l8 1008 22 5.266E-09
l9 1009 23 3.624E-09
l10 1010 24 2.757E-09
l11 1011 25 2.654E-09
l12 1012 26 3.262E-09
l13 1013 27 4.393E-09
l14 1014 28 6.163E-09
.ENDS pk14
```

Les modèles SPICE des transistors pour le *PROCESS "SLOW"*

```

*****
*          SLOW N-Channel Transistor          *
*          UCB-3 Parameter Set                *
*          HIGH-SPEED CMOS Logic Family      *
*          10-Jan.-1995                      *
*****
.Model MHCNES NMOS
+LEVEL = 3
+KP    = 41.0E-6
+VTO   = 0.92
+TOX   = 54.0E-9
+NSUB  = 2.0E15
+GAMMA = 1.14
+PHI   = 0.65
+VMAX  = 175E3
+RS    = 50
+RD    = 50
+XJ    = 0.12E-6
+LD    = 0.35E-6
+DELTA = 0.25
+THETA = 0.060
+ETA   = 0.030
+KAPPA = 0.0
+WD    = -0.5E-6

*****
*          SLOW P-Channel transistor          *
*          UCB-3 Parameter Set                *
*          HIGH-SPEED CMOS Logic Family      *
*          10-Jan.-1995                      *
*****
.Model MHCPEP PMOS
+LEVEL = 3
+KP    = 19.6E-6
+VTO   = -0.91
+TOX   = 54.0E-9
+NSUB  = 3.0E16
+GAMMA = 1.02
+PHI   = 0.65
+VMAX  = 190E4
+RS    = 100
+RD    = 100
+XJ    = 0.65E-6
+LD    = 0.10E-6
+DELTA = 2.35
+THETA = 0.120
+ETA   = 0.380
+KAPPA = 0.0
+WD    = -0.5E-6

```

Les modèles SPICE des transistors pour le *PROCESS "FAST"*

```
*****
*          FAST N-Channel Transistor          *
*          UCB-3 Parameter Set                *
*          HIGH-SPEED CMOS Logic Family      *
*          10-Jan.-1995                      *
*****
.Model MHCNEF NMOS
+LEVEL = 3
+KP    = 49.6E-6
+VTO   = 0.52
+TOX   = 49.0E-9
+NSUB  = 4.0E15
+GAMMA = 0.74
+PHI   = 0.65
+VMAX  = 135E3
+RS    = 30
+RD    = 30
+XJ    = 0.10E-6
+LD    = 0.69E-6
+DELTA = 0.38
+THETA = 0.048
+ETA   = 0.020
+KAPPA = 0.0
+WD    = 0.5E-6

*****
*          FAST P-Channel transistor          *
*          UCB-3 Parameter Set                *
*          HIGH-SPEED CMOS Logic Family      *
*          10-Jan.-1995                      *
*****
.Model MHCPEF PMOS
+LEVEL = 3
+KP    = 24.6E-6
+VTO   = -0.51
+TOX   = 49.0E-9
+NSUB  = 3.6E16
+GAMMA = 0.82
+PHI   = 0.65
+VMAX  = 600E3
+RS    = 60
+RD    = 60
+XJ    = 0.61E-6
+LD    = 0.35E-6
+DELTA = 2.12
+THETA = 0.100
+ETA   = 0.260
+KAPPA = 0.0
+WD    = 0.5E-6
```

5.3 Annexe 3 : Paramètres technologiques L_g et t_{ox} selon les fabricants

Le tableau ci-après récapitule les rares données technologiques (Longueur de grille et épaisseur d'oxyde) qu'il a été possible de trouver dans les documents des fabricants accessibles au grand public au sujet des familles de circuits intégrés logiques. Les fabricants sont en général assez avares de ce genre de renseignement, et encore plus de nos jours. Et bien que ce ne soit pas toujours évident, nous avons essayé de les classer par année afin d'observer les évolutions technologiques au sein d'une même famille. A contrario, les données les plus complètes se trouvent dans les documents les plus anciens, sûrement la conséquence d'une concurrence moins acharnée durant ces années-là, et peut-être d'une fierté bien légitime des fabricants d'avoir accompli des avancées en termes de densité d'intégration.

ANNEXES

Fabricant		CMOS 4000		HC		HCT		AC		ACT		AHC		AHCT		AHU		LV		LVC		ALVC		LCX		LVX			
		Lg	t _{ox}	Lg	t _{ox}	Lg	t _{ox}	Lg	t _{ox}	Lg	t _{ox}	Lg	t _{ox}	Lg	t _{ox}	Lg	t _{ox}	Lg	t _{ox}	Lg	t _{ox}	Lg	t _{ox}	Lg	t _{ox}	Lg	t _{ox}		
NXP	1997	6μ		3μ		3μ																							
	2003																	2μ	30n										
	2008																			1μ	15n								
	2011			2.4μ	51.5n	2.4μ	51.5n																						
Fairchild	1980	7μ		3μ		3μ		1.5μ	30n	1.5μ	30n																		
	1983			3.5μ		3.5μ																							
	1985							2μ		2μ																			
	1987		100n					1.3μ		1.3μ																			
Harris	1992	7μ		3μ		3μ		1.5μ		1.5μ																			
	1993?	7μ		3μ		3μ		1.5μ	30n	1.5μ	30n																		
National Semi	1995																							0.8μ		1μ			
Motorola OnSemi	1996																							0.65μ	15n				
	1998		80n	5μ		5μ																							
	2000		90n	5μ		5μ																							
	2002			3μ		3μ																							
RCA	1980		90n ?																										
	1986			3μ		3μ																							
	1988							1.5μ	30n	1.5μ	30n																		
Texas	1994				20n		20n		20n		20n		20n		20n		20n		20n										
	1995																			0.8μ	10n	0.8μ	10n						
	1996			3μ	20n	3μ	20n		20n		20n	1μ	20n	1μ	20n	1μ	20n		20n										
	1997																			0.8μ	15n								
	1998							1μ		1μ								2μ		0.8μ		0.6μ							
	2000												20n		20n														
Synthèse		7μ	90n	3μ	20n	3μ	20n	1.5μ	20n	1.5μ	20n	1μ	20n	1μ	20n	1μ	20n	2μ	20n	0.8μ	15n	0.8μ	15n	0.8μ	15n	0.8μ	15n	1μ	15n ?



Contribution à l'analyse de la susceptibilité électromagnétique des composants : Caractérisation et modélisation des étages d'entrée des circuits intégrés numériques

Résumé: La prolifération des composants électroniques fait que l'étude de leur vulnérabilité face à des agressions électromagnétiques intentionnelles ou non devient de plus en plus préoccupante. Notre étude s'inscrit dans ce contexte et s'oriente plus particulièrement vers les composants numériques. Ces derniers incorporent généralement, à toutes leurs interfaces d'entrée et de sortie, des éléments de protection contre les décharges électrostatiques permettant d'éliminer tout signal se présentant avec une amplitude élevée. Cependant, les signaux perturbateurs peuvent avoir des amplitudes moindres mais des formes d'onde complexes et capables de causer des dysfonctionnements à ces composants numériques sans activer les protections. Dans ce cas, les étages d'entrée se retrouvent au premier plan et leur comportement face à ces signaux perturbateurs peut altérer la fonctionnalité globale du circuit. Ainsi, nous nous sommes proposés d'étudier et de modéliser les comportements de ces étages d'entrée face à ces types d'agressions. Une première étape a consisté à définir une plateforme d'expérimentation pour les composants numériques. Une sélection des types de composants de test a d'abord été effectuée et le choix s'est porté naturellement sur l'inverseur CMOS, car il est présent sur la quasi-totalité des étages d'entrée, et sa structure est simple et connue. Le choix de cette technologie est également dicté par sa simplicité et son omniprésence dans les équipements électroniques actuels. Différents types de signaux perturbateurs ont été appliqués à ces inverseurs CMOS afin d'observer et de relever leurs comportements typiques et particuliers. Ensuite, à partir des résultats expérimentaux, un modèle SPICE comportemental et générique des inverseurs CMOS a été créé. Différents types de modèles de composants numériques existent mais le type SPICE est le seul à expliciter leur architecture complète. En effet, pour des raisons liées aux propriétés intellectuelles, les fabricants sont généralement discrets sur les structures internes de leurs circuits intégrés. Par contre, ces modèles SPICE ne sont à priori valables que dans des limites de fonctionnement définies par les fabricants. Nous avons apporté diverses modifications à ce modèle afin d'incorporer les comportements observés en dehors des limites de fonctionnement des inverseurs CMOS. Le besoin de trouver un modèle générique a imposé d'étudier un grand nombre d'échantillons d'inverseurs CMOS de différents fabricants et de différentes familles technologiques. Enfin, une synthèse des résultats de simulations et des modèles, en fonction des fabricants et des familles technologiques, a été réalisée sous forme d'un tableau récapitulatif.

Mots-clés : CEM des composants, Susceptibilité électromagnétique, IEMI, étages d'entrée, inverseurs CMOS, modélisation circuit, Simulation transitoire SPICE

Contribution to the electromagnetic susceptibility analysis of components : Characterization and modeling of input stages of digital integrated circuits

Abstract: The proliferation of electronic components increases the interest of investigations about their vulnerability against electromagnetic interference intentionally emitted or not. Our study falls in this context and is specifically devoted to digital devices. These devices usually include, at their input/output ports, protection elements to prevent against electrostatic discharges and all kind of signals with very high amplitude. However, the perturbing signals can have low amplitude and complex waveforms that can cause trouble to these digital devices without triggering protection elements. In this case, first stages are the front, and their behaviors against these perturbation signals can alter the good operation of the device. Thus, we propose to study and model the behaviors of these first stages against such aggressions. First of all, an experimental platform was defined for the digital devices. A selection of devices is done and CMOS inverter was naturally chosen because of its presence in almost all of the first stages of digital devices, and because its structure is simple and well known. The choice of the CMOS technology is also due to its simplicity and omnipresence in current electronic equipments. Different perturbation signals were applied to these CMOS inverters to observe and record their typical and particular behaviors. Secondly, with the experimental results, a behavioral and generic SPICE model of CMOS inverters was developed. Different models exist for digital devices, but SPICE is the only one explicitly describing their complete architecture. But, for intellectual properties reasons, the manufacturers are usually reluctant to share information on their devices' internals. However, the SPICE models are only valid within some operating limits defined by manufacturers. We have brought different modifications to this SPICE model to incorporate the observed behaviors of CMOS inverters inside and outside their normal operating conditions. The generic criterion of the final model imposed to study a large number of CMOS inverters of different manufacturers and different logic families. Finally, a synthesis of models and simulation results, by manufacturer and logic family, is produced.

Keywords : Components EMC, Electromagnetic susceptibility, IEMI, digital input stages, CMOS inverters, circuit modeling, SPICE transient simulation