HAL
open science

Etude, conception et réalisation d'un récepteur d'activation RF ultra basse consommation pour l'internet des objets

Lucie Chandernagor

To cite this version:

Lucie Chandernagor. Etude, conception et réalisation d'un récepteur d'activation RF ultra basse consommation pour l'internet des objets. Electronique. Université de Limoges, 2016. Français. NNT : 2016LIMO0126 . tel-01466725

HAL Id: tel-01466725

https://theses.hal.science/tel-01466725v1

Submitted on 13 Feb 2017

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Thèse de doctorat

Université de Limoges

École Doctorale Sciences et Ingénierie pour l'Information, Mathématiques (ED 521)

Laboratoire NXL

Thèse pour obtenir le grade de

Docteur de l'Université de Limoges

Composants Circuits Signaux et Systèmes Hautes Fréquences

Présentée et soutenue par

Lucie CHANDERNAGOR

Le 16 décembre 2016

Etude, conception et réalisation d'un récepteur d'activation RF ultra basse consommation pour l'internet des objets

Thèse dirigée par Bernard JARRY et Julien LINTIGNAT

JURY :

Président du jury
M. Raymond QUERE, Professeur des universités, XLIM, Université de Limoges

Rapporteurs
M. Philippe DESCAMPS, Professeur des universités, LaMIPS, ENSICAEN
M. Farid TEMCAMANI, Professeur à l'ENSEA

Examinateurs
M. Bruno BARELAUD, Professeur des universités, XLIM, Université de Limoges
M. Christophe CORDIER, Ingénieur à NXP Semiconductors France
M. Stéphane DAVID, Ingénieur à NXP Semiconductors France
M. Bernard JARRY, Professeur des universités, XLIM, Université de Limoges
M. Julien LINTIGNAT, Maître de conférences, XLIM, Université de Limoges

Invités
M. Patrice GAMAND, Ingénieur, Université de Limoges
M. Philippe MEUNIER, Ingénieur à NXP Semiconductors France

Dédicace à deux sacrés barbus, Papé et Patrick,

Rien n'est jamais perdu tant qu'il reste quelque chose à trouver
Pierre Dac

Remerciements

Une thèse c'est une page de votre vie. Et cette page-là est pour tous ceux qui ont contribué à cette dernière. Il y a d'abord les moteurs essentiels à la création et la dynamique de la thèse, l'ANRT, la société NXP Semiconductors France et plus particulièrement la BU SAS ainsi que le laboratoire XLIM et notamment le département C2S2. Mais ces moteurs n'auraient pas une telle synergie sans les gens qui la constituent. A commencer par ceux qui m'ont recrutée, Patrice Gamand et Alain Cousin qui m'ont offert cette opportunité. Ensuite mes directeurs de thèse sans qui rien n'aurait été possible, Patrick Jean, Julien Lintignat, Bernard Jarry, Christophe Cordier et Stéphane David que je souhaite remercier chaleureusement pour leur encadrement, leurs précieux conseils et soutiens.

Ces années n'auraient pas été aussi riches sans toutes les rencontres qui donnent une dynamique si particulière à la thèse. Je souhaite ainsi adresser un remerciement particulier et spécifique à chacun de mes collègues. D'abord mes premiers colocataires de bureau, le club des layouteurs, que ce soit celui qui vous tient compagnie à la gamelle le midi ou l'incollable sur les mots fléchés. Les rencontres ont été nombreuses et variées. Il y a ceux qui savent garder un calme olympien dans leur open space, ceux au contraire plus expressifs comme celui qui se plaint de douleur au genou et d'avoir perdu au tennis, celui qui est très content de rouler dans son gros 4x4 BM, celui qui fait une sieste digestive discrètement car la boxe ça fatigue, celui qui profite du bureau pour libérer certaines pensées, celui qui nous révèle son charmant surnom, hein mon gros poussin, et son petit acolyte du service d'en face, ceux qui nous ont quitté l'un pour griller sous le soleil Californien l'autre pour se geler dans un pays bien plus à l'Est, celui qui mange des bonbons comme si il s'agissait d'un commandement scout, ceux qui sont partis dans le service d'à côté mais qu'on retrouve toujours avec plaisir dans les bons coups, les fous du labos dont le dieu de la soudure et du PCB (merci), ainsi que celui qui vous fait un super soft (merci), et celui avec qui vous faites disjoncter le labo (merci), celui qui présente vos démos à tous les shows où il va, il y a celui qui a choisi le digital, et accessoirement les belles voitures et la photo (merci aussi), il y a le grand chef, grand genre 1m98 avec, jamais loin, le petit chef mais je ne dirai pas la taille… il y a quelques touches féminines qui viennent apporter leur douceur et leur sagesse, et surtout celle qui met tout en œuvre pour que votre vie au travail soit la plus confortable possible et elle est douée surtout quand elle vous offre une bonne teurgoule (merci). Il y a également ceux qui ne sont pas partis bien loin, le petit qui court vite, l'autre petit qui court pas mais qui voue un culte à la pause goûter banane, vache moo, roiboos, la belle qui s'est lancée dans sa propre aventure. Il y a également ceux qui nous ont rejoints sur la fin ; un grand avec des gamelles digne d'un chef étoilé, un petit « sicilien » et un qu'ils ont tort de pas garder. Sans oublier, nos deux acolytes qui nous ont bien aidés au travers des projets européens. Tous ont fait de cette thèse, une source de savoir dans un cadre professionnel très agréable.

Au-delà de toutes ses rencontres professionnelles, ce sont de belles rencontres personnelles et elles sont toutes dissimulées au travers d'anecdotes dans le paragraphe précédent. Ce sera toujours un plaisir de partager un restaurant ou un pique-nique à la plage avec vous. Et pour certains d'entre vous ce sera plus particulièrement un BB break ou un coca… Dans ce cadre professionnel, où on ne s'y attend pas, ce sont deux très belles rencontres marquantes qui resteront, j'espère qu'ils se reconnaîtront même si l'un d'eux nous observe de là-haut.

Malheureusement, cette thèse a été entachée par une bien triste nouvelle. Je souhaite adresser un remerciement tout particulièrement à Christophe et Stéphane pour avoir pris le relai. Malgré son absence, je remercie du fond du cœur Patrick pour tout le temps qu'il a su m'accorder à m'apprendre une multitude de choses et sa sincère gentillesse qui rendait chacun des moments en sa compagnie agréable.

Enfin, j'adresse un profond merci à mes proches, qui m'ont suivi tout au long de mon cursus et plus particulièrement à Romain pour n'avoir jamais cessé de me soutenir.

Droits d’auteurs

Cette création est mise à disposition selon le Contrat :
« **Attribution-Pas d'Utilisation Commerciale-Pas de modification 3.0 France** »
disponible en ligne : *http://creativecommons.org/licenses/by-nc-nd/3.0/fr/*

Sommaire

Introduction 9
Chapitre I. État de l'art sur les techniques de réduction de consommation des récepteurs RF 11
I.1. Fonctionnement permanent 11
I.2. Le fonctionnement périodique 13
I.3. Les nouveaux standards dédiés 16
I.4. Les récepteurs d'activation 18
Chapitre II. Enjeu de la conception d'un récepteur d'activation 23
II.1. Performances générales 23
II.2. Considérations radio 23
II.3. Considérations coût / énergie 27
Chapitre III. Architecture du récepteur d'activation 31
III.1. Les différentes modulations 31
III.2. Etude des architectures existantes relevées dans la littérature 32
III.3. Architecture proposée 39
Chapitre IV. Design du récepteur d'activation 48
IV.1. L'antenne 48
IV.2. Filtre à onde de surface 49
IV.3. Adaptation d'impédance 49
IV.4. Détecteur d'enveloppe 52
IV.5. L'amplificateur basse fréquence – Comparateur 63
IV.6. Calibration de la tension de référence 64
IV.7. Amplificateur RF 68
IV.8. Bloc Numérique 69
IV.9. Timer 75
IV.10. Régulateurs de tension 75
IV.11. Switches RF 78
IV.12. DC Bus Switch 78
Chapitre V. Réalisation du prototype de récepteur d'activation 79
V.1. Padring de la puce 79
V.2. Boîtier choisi pour le prototype 81
V.3. Layout de l'ensemble du circuit 83
V.4. Vue Top 90
V.5. Le Printed Circuit Board (PCB) 91
Chapitre VI. Performances simulées et/ou mesurées du récepteur d'activation 98
VI.1. Alimentation / Energie 98
VI.2. La Calibration 105
VI.3. Démodulation 114
VI.4. Décodage 122
VI.5. Programmation des registres 124
VI.6. Démonstrateurs 125
Conclusion 129
Références bibliographiques 132
Annexes 136

Introduction

Le premier outil de communication sans fil est la voix. L'homme se sert des sons pour communiquer depuis des millénaires. Les peuples africains communiquaient entre tribus en utilisant le son du battement des tambours. En plus de sa conception facile, le tambour produit des sons basses fréquences d'une puissance de l'ordre de la dizaine de dB. Ceci étant, la portée restait tout de même très limitée. Le second type d'onde utilisé pour communiquer fût la lumière, au travers du feu. La portée de cette dernière est tributaire de la luminosité ambiante mais aussi de la présence d'obstacles opaques pouvant se situer sur sa trajectoire. Après la lumière et le son, les ondes non perceptibles par l'homme ont été utilisées. La première communication par ondes radios a été démontrée par Guglielco Marconi le 27 juillet 1896. Leur utilisation a d'abord été focalisée sur le développement de moyens de communication entre les hommes. Après le télégraphe, le téléphone cellulaire a fait son apparition puis internet. L'avantage premier des technologies dites "sans fil" est leur simplicité d'installation et d'utilisation. De ce fait elles se sont également étendues pour les communications homme-machine (clés radiofréquence) et les communications machine-machine (téléphone sans fil) offrant ainsi la possibilité de faire communiquer entre eux, une multitude d'appareils. L'ensemble des appareils communicants est aujourd'hui surnommé « the internet of thing ». Au début du XXIème siècle la domotique fait son entrée, les bâtiments ainsi équipés d'un ensemble de capteurs, deviennent alors autonomes et intelligents pour optimiser la gestion de l'énergie ou la gestion des risques. Cette évolution n'a été possible que grâce à l'avènement de réseaux de plus en plus denses et techniquement évolués.

La communication entre les nœuds d'un réseau nécessite que chaque nœud soit équipé d'un émetteur et d'un récepteur radiofréquence. Il existe deux types de communication : celle où des systèmes synchrones sont utilisés et celle où l'émission-réception est faite spontanément utilisant alors des systèmes asynchrones. Qu'il s'agisse d'un système synchrone ou asynchrone, l'émetteur n'est utile, et donc consomme de l'énergie, que lorsqu'une information est à transmettre. Cette action, bien que nécessitant une certaine quantité d'énergie pour assurer la transmission d'un niveau de puissance donné, reste néanmoins ponctuelle. En dehors de ce court laps de temps, l'émetteur ne nécessite pas d'énergie. Cependant dans les systèmes asynchrones, le récepteur ne peut pas anticiper la venue d'un message. Afin de ne pas manquer une transaction, le récepteur doit rester en fonctionnement. Aussi longtemps que cette dernière n'a pas eu lieu, l'énergie consommée par le récepteur est gaspillée. C'est pourquoi les récepteurs de réveil trouvent tout leur intérêt dans les systèmes asynchrones. C'est donc à ce type de système qu'est consacrée notre étude. Dans le cadre du projet européen ENIAC Enlight auquel ces travaux sont rattachés, l'application ciblée étant un luminaire à LEDs piloté par une télécommande.

Pour alimenter le dispositif plusieurs sources d'énergie sont envisageables. La première, sans limite matérielle concrète d'utilisation, est celle fournie par le secteur. Cependant les circuits de conversion de tension, utilisés pour alimenter le récepteur ayant un rendement faible, induisent une perte d'énergie importante. A l'échelle d'un nœud élémentaire, le critère en termes d'énergie est que l'énergie utilisée par la radio soit très inférieure à celle nécessaire au fonctionnement de l'application. La multiplication du nombre de nœuds, liée à celle des systèmes radio, a pour conséquence d'augmenter notablement la consommation d'énergie et d'écarter cette solution d'alimentation. De plus pour que les systèmes sans fil profitent pleinement de leur facilité d'utilisation il faut aussi que leur moyen d'alimentation soit mobile. Dans cette configuration, les contraintes sur la consommation

deviennent plus restrictives. En effet, que l'on considère des sources à stockage d'énergie telles que des batteries ou des piles, ou encore, des sources d'énergies renouvelables, telles que des cellules solaires ou des systèmes de récupérations d'énergie RF, l'énergie disponible est limitée. Dans ce contexte, afin d'assurer une autonomie suffisante, pour des raisons environnementales, de maintenance, et de coût, la consommation du récepteur autorisée est réduite à la valeur minimale.

Les travaux effectués dans cette thèse ont justement pour but d'étudier et développer une solution satisfaisant à ces spécifications de réduction de consommation des récepteurs dans les systèmes asynchrones lors des phases « d'écoute ». La solution ciblée est le récepteur d'activation. Ce type de récepteur est un récepteur secondaire, annexe du récepteur principal, en charge uniquement de détecter et d'identifier message de réveil. Le cas échéant, le récepteur d'activation actionnera le récepteur principal, lui seul capable d'interpréter et exécuter les commandes pour piloter l'application associée. Initialement, ces travaux ont été conduits dans le cadre du développement d'un récepteur Zigbee sub-GHz en technologie CMOS. Outre les avantages intrinsèques de la technologie CMOS pour les applications à très faible courant de consommation, le récepteur d'activation étudié ici devant être intégré sur la même puce que le récepteur Zigbee, la technologie C14 de NXP Semiconductors s'est naturellement imposée. A la suite de l'abandon pour raisons industrielles du récepteur Zigbee, ces études ont ensuite été développées dans le cadre du projet européen coopératif ENIAC Enlight et se sont focalisées autour des applications étudiées dans cette thèse, parmi lesquelles les solutions d'éclairage intelligent et à faible consommation dans un environnement hôtelier et tertiaire.

Le manuscrit présente tout d'abord l'état de l'art réalisé sur le sujet de recherche de la thèse. Ainsi les différentes solutions existantes ayant pour objet de réduire l'énergie consommée par les récepteurs sont évaluées, et les avantages et inconvénients de chacune sont identifiés. Cette première analyse permet de considérer les enjeux de la conception d'un tel récepteur, et de faire le choix de son architecture. Chaque fonction constituant le récepteur est ensuite analysée de façon détaillée. L'ensemble du circuit est simulé, conçu, fabriqué, mis en boitier et mesuré. Il est ensuite intégré au sein de démonstrateurs pour évaluation in situ. La présentation de l'ensemble des travaux est structurée de façon identique dans les différents chapitres qui suivent.

Chapitre I. État de l'art sur les techniques de réduction de consommation des récepteurs RF

Le système RF de communication est typiquement constitué d'un émetteur et d'un récepteur. La majeure partie de la puissance consommée par l'émetteur est celle nécessaire à l'envoi de trames. En dehors des phases d'émissions l'énergie consommée par ce dernier est donc quasi nulle si aucun système de synchronisation n'est utilisé. En revanche dans un tel système asynchrone, l'imprédictibilité de l'arrivée des trames implique un fonctionnement permanent du récepteur. L'énergie utilisée est donc en partie gaspillée aussi longtemps qu'aucune transaction n'a lieu. Afin de réduire la consommation des nœuds d'un réseau sans fil minimiser la consommation inutile du récepteur est donc une priorité.

Dans ce chapitre, les différentes solutions diminuant la quantité d'énergie inutilement consommée par le récepteur sont présentées et comparées. Notre comparaison est faite pour l'application type du projet Enlight. La partie réception radio étant le seul paramètre variant, seule la consommation de la partie radio pour un nombre de transactions émetteur-récepteur donné est considérée. Pour chaque solution, la quantité d'énergie consommée par jour est calculée. De façon à rendre plus concrète cette consommation, l'autonomie qu'aurait le récepteur alimenté par une pile CR2032 a été également calculée. Cette pile a été choisie pour sa popularité et son encombrement. Afin de simplifier les calculs, le courant consommé par le récepteur lorsque qu'il reçoit un signal RF est considéré égal au courant consommé de ce dernier lorsqu'il écoute.

La partie émission et l'application considérées sont donc identiques dans tous les cas de l'étude, pour laquelle cent transactions journalières sont considérées. La Figure I-1 schématise le contexte étudié.

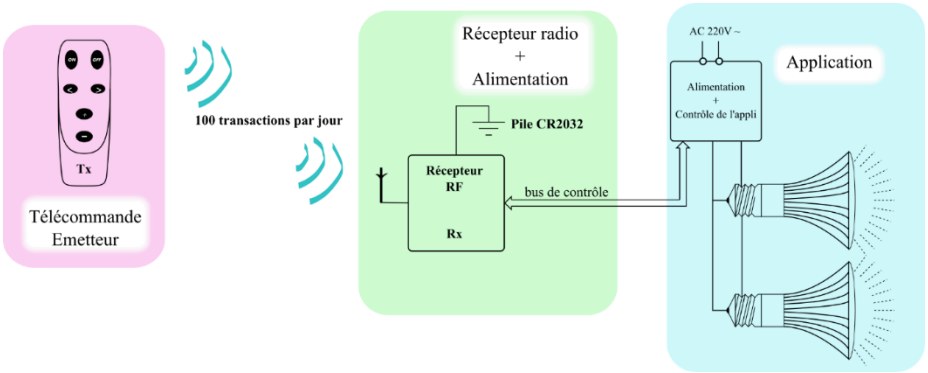


Figure I-1 : Schéma du cas d'emploi considéré

I.1. Fonctionnement permanent

Pour le récepteur, le fonctionnement le plus simple et le plus fiable pour assurer une bonne réception est le fonctionnement permanent. Les émissions sont faites spontanément. Le chronogramme ci-dessous, Figure I-2, illustre le fonctionnement des deux parties, émission et réception.

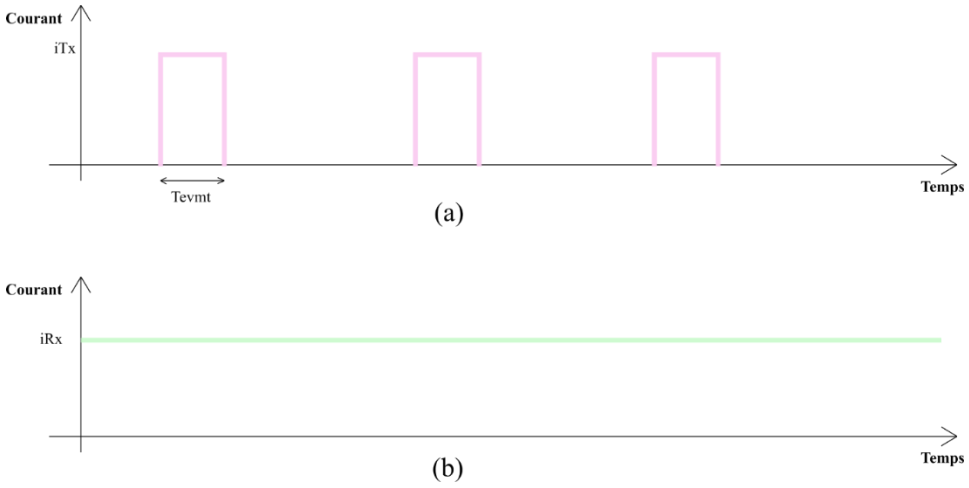


Figure I-2 : Chronogramme de l'émetteur (a) et du récepteur en fonctionnement permanent (b)

Les données du cas considéré sont détaillées dans le Tableau I-1 ci-après. Les valeurs des caractéristiques de la pile sont données par la datasheet [1] et celle du récepteur sont données à partir des performances moyennes de plusieurs récepteurs du marché [2], [3], [4]. Dans le cas où le récepteur est toujours en fonctionnement, le nombre de transactions effectuées n'a pas d'impact sur la consommation tant que la consommation en écoute et en réception sont similaires.

Tableau I-1 : Données pour le calcul d'autonomie, cas 1

Paramètres	Commentaires	Valeurs
N	Nombre de transactions par jour	100
Vbat	Tension nominale de la pile	3 V
Cbat	Capacité de la pile	240 mA.h
Ebat	Energie disponible dans la batterie Vbat*Cbat	2592 W.s
iTx	Courant consommé par l'émetteur	15 mA
iRx	Courant consommé par le récepteur en fonctionnement	15 mA
Tevmt	Durée de la transaction	2 ms
Djour	Durée d'une journée	86 400 s

L'énergie journalière consommée par le récepteur a pour expression :

$$Erx_{perm} = Vbat \times iRx \times Djour$$

L'application numérique conduit à :

$$Erx_{perm} = 4\,277\ W.s$$

On peut alors calculer l'autonomie de la pile pour une telle consommation d'énergie de la façon suivante :

$$Autonomie_\mathrm{Rxperm} = \frac{Ebat}{Erx_{perm}}$$

A.N :

$$Automie_{Rxperm} = \ 0{,}6\ jour$$

Une si faible autonomie ne permet pas d'envisager un fonctionnement de ce type sur pile. On peut alors calculer le ratio entre la quantité d'énergie utilisée pour recevoir une trame réellement et celle utilisée lorsqu'aucune trame n'est envoyée.

Le récepteur reçoit N messages par jour, la transaction dure Tevmt, la durée pendant laquelle la réception est effective est :

$$Tutile = N \times Tevmt$$

L'énergie utile est donc :

$$Eutile = Vbat \times iRx \times Tutile$$

A.N :

$$Eutile = 10\ mW.s$$

Soit 400 000 fois moins que l'énergie totale utilisée chaque jour !

Le bilan de consommation induit des calculs précédents est présenté dans le Tableau I-2.

Tableau I-2 : Bilan de la consommation

	Energie journalière consommée	Energie consommée pour réception effective	Autonomie
Rx permanent	4 277 W.s	10 mW.s	0,6 jour

I.2. Le fonctionnement périodique

I.2.1. Mise en place

Le paragraphe précédent montre que le maintien en marche permanente du récepteur implique une consommation inutile conséquente (400 000 fois plus élevée que l'énergie utile). Une des premières solutions pour réduire cette quantité d'énergie consommée inutilement est de réduire le temps de fonctionnement du récepteur en le mettant en marche de façon périodique. Ce fonctionnement implique l'intégration d'une horloge. Afin de ne pas augmenter les risques de perte d'un message, l'horloge doit avoir une déviation minimale en fréquence.

Le fonctionnement de l'émetteur inchangé, et du récepteur sont illustrés dans le chronogramme ci-dessous, Figure I-3.

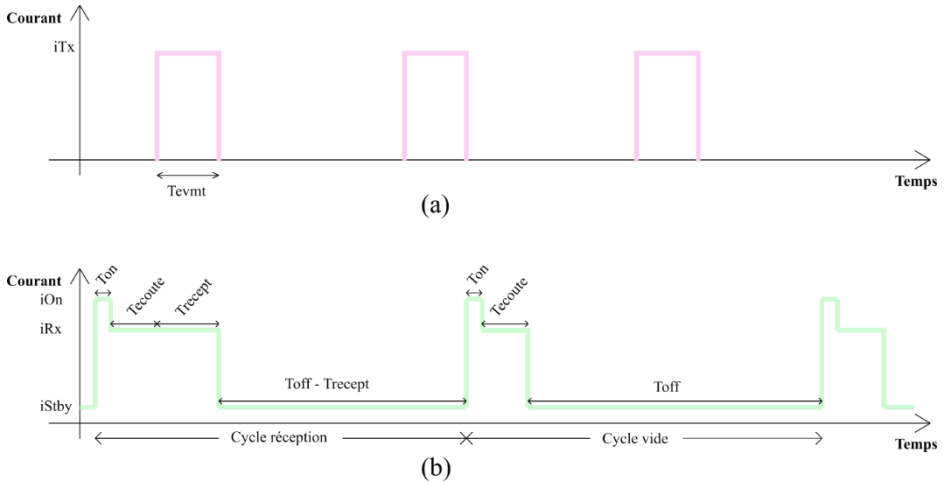


Figure I-3 : Chronogramme de l'émetteur (a) et du récepteur en fonctionnement périodique (b)

Les données nécessaires au calcul d'autonomie sont données dans le Tableau I-3 et sont également établies à partir des performances moyennes de plusieurs récepteurs du marché [5], [6], [7]. Elles sont données en complément du cas précédent, seuls les paramètres intrinsèques du récepteur varient en accord avec le cas étudié.

Tableau I-3 : Données pour le calcul d'autonomie, cas 2

Paramètres	Commentaires	Valeurs
iOn	Courant de démarrage du récepteur	20 mA
Ton	Temps de démarrage du récepteur	150 µs
Tecoute	Temps d'écoute du récepteur	500 µs
Trecept	Durée de la transaction[1]	2 ms
Toff	Durée en veille lors des cycles vides	200 ms
iStby	Courant consommé par le récepteur en veille	2 µA

[1] Etant le pire cas en termes de consommation, l'hypothèse où le message est perçu juste à la fin de la phase d'écoute a été considérée

Le récepteur reçoit cent messages par jour. Dans l'étude faite ici, on considère uniquement les cas dans lesquels le message est arrivé sur un temps d'écoute. L'énergie journalière consommée lors des cycles de réception s'exprime par :

$$Ecyc_rx = N \times Vbat \times (iOn \times Ton + iRx \times (Tecoute + Trecept) + iStby \times (Toff - Trecept))$$

A.N :

$$Ecyc_rx = 13\,692\ \mu W.s$$

Compte tenu de la durée des cent cycles de réception opérés par jour, on peut calculer le nombre de cycles vides effectués par jour :

$$Ncyc_\text{vide} = \frac{durée\ d'un\ jour}{durée\ d'un\ cycle} - Nombre\ de\ cycles\ de\ réception$$

$$Ncyc_\text{vide} = \frac{Djour}{(Ton + Tecoute + Toff)} - N$$

A.N :

$$Ncyc_\text{vide} = 430\,501$$

L'énergie journalière consommée au cours de l'ensemble des cycles vides est :

$$Ecyc_\text{vide} = Ncyc_\text{vide} \times Vbat \times (Ton \times iOn + iRx \times Tecoute + iStby \times Toff)$$

A.N :

$$Ecyc_\text{vide} = 16\,337\,496\ \mu W.s$$

Cette énergie est consommée inutilement puisqu'aucune transaction n'a lieu lors de ces cycles.

L'énergie journalière totale consommée est :

$$Erx_\text{cyclique} = Ecyc_\text{vide} + Ecyc_\text{rx}$$

A.N :

$$Erx_\text{cyclique} = 16{,}4\ W.s$$

L'autonomie est alors déduite :

$$Autonomie_\text{rxcycl} = \frac{Ebat}{Erx_\text{cyclique}}$$

A.N :

$$Autonomie_\text{rxcycl} = 158\ jours$$

Dans le cas des récepteurs à fonctionnement périodique, la consommation utile d'énergie est donc 1 200 fois plus importante que la consommation utile, contre 400 000 fois pour un fonctionnement permanent. On peut exprimer le ratio entre l'énergie consommée pour un fonctionnement permanent et celle calculée dans le cas d'un fonctionnement périodique de la façon suivante :

$$\frac{E_{permanent}}{E_{periodique}} = \frac{1}{\frac{NT_{recept}}{D_{jour}} \times (1 - \frac{iStby}{iRx}) + \frac{1}{(Ton + Tecoute + Toff)}(Ton\frac{iOn}{iRx} + Trecept + Toff\frac{iStby}{iRx})}$$

Un bilan du calcul d'autonomie est dressé dans le Tableau I-4 ci-dessous.

Tableau I-4 : Bilan de la consommation

	Energie journalière consommée	Energie consommée pour réception effective	Autonomie
Rx permanent	4 277 W.s	10 mW.s	0,6 jour
Rx cyclique	16,4 W.s	14 mW.s	158 jours

I.2.2. Avantages et inconvénients

Le bilan de consommation, présenté dans le Tableau I-4, montre l'intérêt évident de la solution en fonctionnement périodique comparé au fonctionnement permanent. L'énergie consommée est 260 fois moins importante, et le rapport entre l'énergie utile et l'énergie totale consommée est de $2{,}3.10^{-6}$. Ce système périodique a donc un rendement très supérieur à celui du système permanent.

Il faut cependant noter que la consommation du système périodique est tributaire de la fréquence à laquelle il fonctionne. Les calculs précédents ont été menés en considérant une période de fonctionnement de 200,65 ms. Le temps de démarrage, étant propre au circuit, ne peut être réduit. Le temps d'écoute doit être au moins aussi long que la durée d'une trame. Dans ce cas, seuls les messages coïncidant avec la fenêtre de réception seront bien reçus. Pour assurer une certaine probabilité de réception d'un message pendant la phase d'écoute, sa durée est fixée. Le temps de veille permet d'ajuster la durée de fonctionnement du récepteur. En divisant le temps de veille d'un facteur 100, de 200 ms à 2 ms, la consommation journalière du récepteur devient 1 131 W.s soit une autonomie de 2,5 jours. Pour un temps de veille, dix fois grand soit de 2 s, l'énergie journalière consommée est de 3 W.s offrant une autonomie de 950 jours (2,5 ans).

Cependant l'économie d'énergie réalisée par un fonctionnement périodique trouve ses limites dans la nécessité de garantir une certaine probabilité (dépendante de l'application) de réception des messages envoyés. En effet, en se référant au chronogramme de la Figure I-3, les trames émises pendant les phases de veille du récepteur sont perdues. Un compromis doit donc être fait entre la consommation du récepteur liée à sa fréquence de réveil du récepteur, et la qualité de la réception.

I.3. Les nouveaux standards dédiés

Le Zigbee et le Bluetooth Low Energy sont apparus dans les années 2000, pour les applications WPAN. Le Zigbee dérive du standard IEEE 802.15.4 et est établi par un groupe d'industriels appelée la Zigbee Alliance. Le Bluetooth Low Energy, également connu sous le nom de Bluetooth Smart, est une variante du standard Bluetooth. Contrairement à ce dernier, le Bluetooth Low Energy ne permet pas de transmettre la voix. On le rencontre principalement dans les applications WBAN. Le Zigbee est plus utilisé pour les applications domotiques. Tous les deux concernent des applications de courtes portées, opérant dans la bande ISM à 2.4 GHz (bande ISM : 2.4 – 2.4835 GHz). Les deux standards se distinguent tout d'abord par la topologie des réseaux qu'ils peuvent constituer. Dans les deux cas, les récepteurs fonctionnent périodiquement. Ils présentent de remarquables performances en termes de consommations grâce à leur rapport cyclique très faible. Les deux solutions sont des solutions synchrones. Le Tableau I-5 ci-dessous dresse un comparatif des différentes caractéristiques des standards Zigbee et Bluetooth Low Energy.

Tableau I-5 : Comparatif des standards Zigbee et BTLE

	Zigbee	**Bluetooth Low Energy**
Standard associé	IEEE 802.15.4	IEEE 802.15.1
Débit binaire	250 kb/s	1 Mb/s
Sensibilité	-80 dBm	-70dBm
Modulation	OQPSK	GFSK
Nombre de nœuds	69 000	75

I.3.1. Le réseau Zigbee

Le réseau Zigbee est constitué de trois types d'éléments. Les composants terminaux qui sont les éléments les plus simples du réseau. La basse consommation du protocole Zigbee

repose sur ces éléments-là. Ils sont en charge d'une fonctionnalité. Par exemple, ils transmettent à une lampe les commandes de réduction d'intensité, de changement de couleur...etc. Le second type de composants intervenant au sein du réseau est le routeur. Comparé aux terminaux, le routeur est capable de transmettre un message quand le destinataire n'est pas à portée de l'émetteur. Il peut y avoir plusieurs routeurs dans un réseau, mais leur utilisation n'est pas systématiquement nécessaire. Le dernier élément du réseau est le coordinateur. Comme son nom l'indique, il agit comme le chef d'orchestre du réseau, il ne peut en y avoir qu'un dans le réseau. Il a connaissance de tous les éléments présents dans le réseau, il est en charge de la fonction de routage. A leur mise en marche chaque l'élément du réseau cherche un coordinateur auquel il doit se référer. Le réseau Zigbee peut prendre la forme d'un réseau maillé [8] comme illustré en Figure I-4.

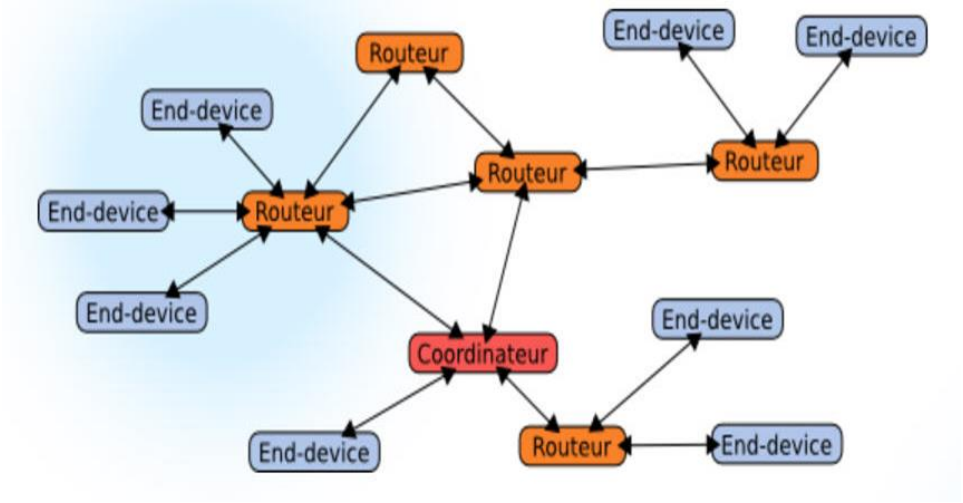


Figure I-4 : Schéma de principe dans le cas de l'utilisation du récepteur de réveil

Dans ce type de maillage, les objets peuvent communiquer entre eux comme illustré pour les routeurs. Ce type de maillage permet d'agrandir la portée du réseau.

I.3.2. Le protocole Bluetooth Low Energy

Le Bluetooth Low Energy (BTLE) se distingue de son homonyme Bluetooth par sa structure. Beaucoup plus simple, elle permet d'offrir une version basse consommation pour utiliser les atouts du Bluetooth dans des fonctionnalités basiques. On le trouve de nos jours associé à des capteurs. Grâce à son système d'appareillage simple, il offre une sécurité de transfert des données. Il ne propose qu'un réseau en étoile comparé au Zigbee, ce qui le limite à des applications dont le maillage du réseau est très simple. En Figure I-5 est présenté le maillage du réseau en étoile utilisé pour le protocole BTLE.

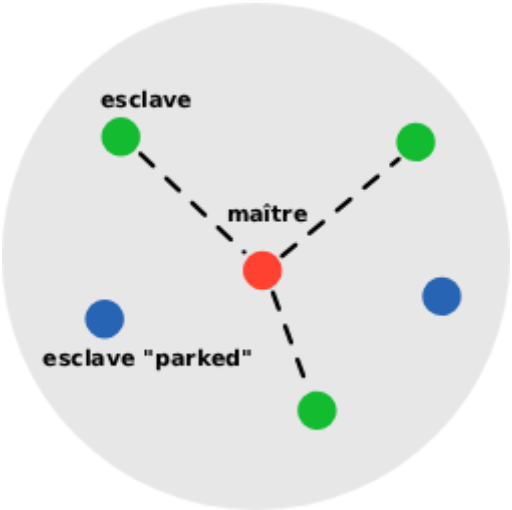


Figure I-5 : Illustration du principe de fonctionnement d'un réseau en étoile

Les éléments BTLE terminaux sont très peu consommant puisque comme leurs équivalents Zigbee leurs fonctionnalités sont très restreintes.

Dans les deux cas, la mise en place du réseau demande d'avoir un élément coordinateur contrôlant le fonctionnement du réseau. L'orchestration étant gérée par cet unique élément, les autres objets du réseau exclusivement dédiés à leurs tâches de communication (souvent la transmission d'informations telles que des relevés de capteurs) ont une consommation réduite. Néanmoins le fonctionnement cyclique pour interroger le réseau régulièrement constitue toujours une perte d'énergie dans les cas où aucune transmission n'a lieu.

I.4. Les récepteurs d'activation

Afin de minimiser la quantité d'énergie utilisée inutilement dans les phases d'écoute où aucun message n'est envoyé, il est possible de remplacer le récepteur par un récepteur auxiliaire, dit récepteur d'activation ou récepteur de réveil. Le récepteur est alors éteint et c'est le récepteur d'activation qui est en charge de surveiller l'arrivée d'une communication, et le cas échéant, d'activer le récepteur principal afin que ce dernier puisse la traiter [9]. Cette solution émergente ne présente pas de standard. Les récepteurs d'activation présentés dans la littérature opèrent principalement dans la bande ISM et sont construits sur des architectures différentes. Néanmoins, on peut distinguer trois grandes catégories de récepteurs d'activation.

La première, optimale en termes de consommation, utilise des récepteurs passifs. Ces derniers récupèrent l'énergie du signal RF reçu. La puissance émise étant normalisée dans chaque bande de fréquence, et la propagation du signal dans l'air induisant des pertes, la portée d'un tel système est limitée. Cette portée dépend également du rendement des redresseurs utilisés pour récupérer l'énergie du signal. La récupération optimale de l'énergie des ondes RF possibles, impose l'utilisation d'une antenne très large bande donc généralement encombrante [10].

La deuxième est basée sur une architecture hétérodyne classique, Figure I-6, pour laquelle afin de faciliter le respect des contraintes de consommation, une certaine tolérance est acceptée au niveau de la stabilité en fréquence de l'oscillateur local.

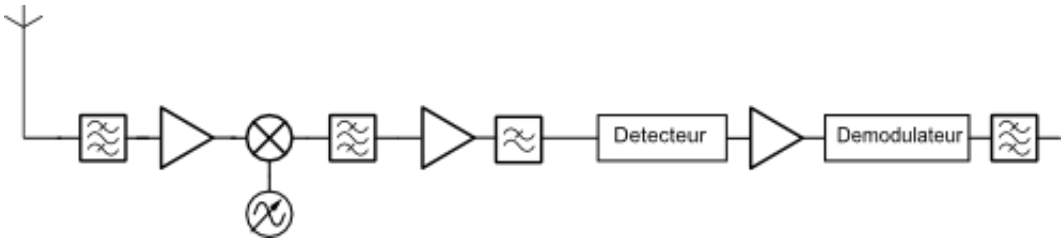


Figure I-6 : Schéma bloc d'une architecture de réception de type hétérodyne

Dans ce type d'architecture, les fonctions qui requièrent le plus de courant sont les mélangeurs et la génération de la fréquence LO. Le relâchement sur la précision de la fréquence LO permet une économie en courant [11]. Malgré le coût en courant, l'avantage du changement de fréquence est de présenter une certaine sélectivité fréquentielle et donc de présenter une certaine résistance aux brouilleurs.

La dernière catégorie est basée sur l'architecture de démodulation la plus simple par détection directe sans transposition de fréquence. La démodulation d'amplitude directe, à la topologie simplifiée, comporte moins de fonctions que les autres architectures. Cette particularité est un atout pour satisfaire le critère de faible courant de consommation.

I.4.1. Principe de fonctionnement du récepteur d'activation

Le récepteur d'activation pilote l'alimentation générale du récepteur principal comme illustré dans la Figure I-7 ci-dessous.

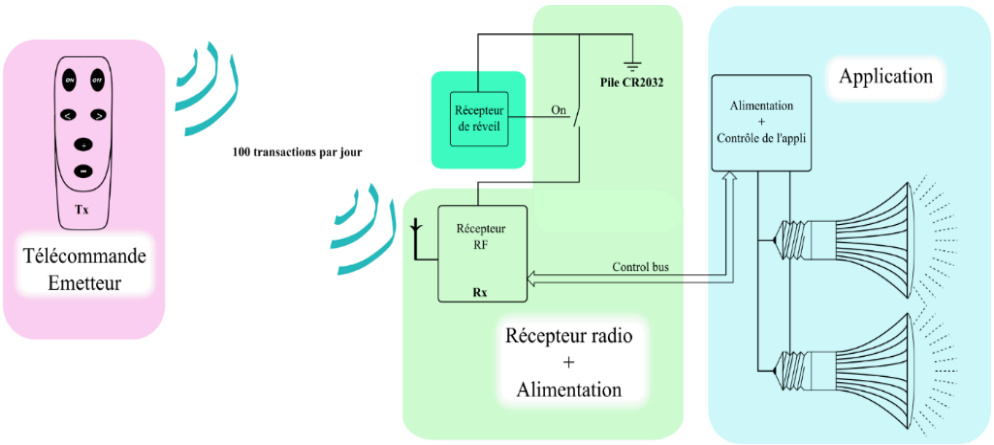


Figure I-7 : Schéma de principe dans le cas de l'utilisation du récepteur de réveil

Les paramètres utilisés pour le calcul de la consommation d'énergie d'un système de réception disposant d'un récepteur d'activation (Tableau I-6) ainsi que le chronogramme de la consommation (Figure I-8) sont présentés ci-après.

Tableau I-6 : Données pour le calcul d'autonomie, cas 2

Paramètres	Commentaires	Valeurs
iWuRx	Courant consommé par le récepteur d'activation	2 µA

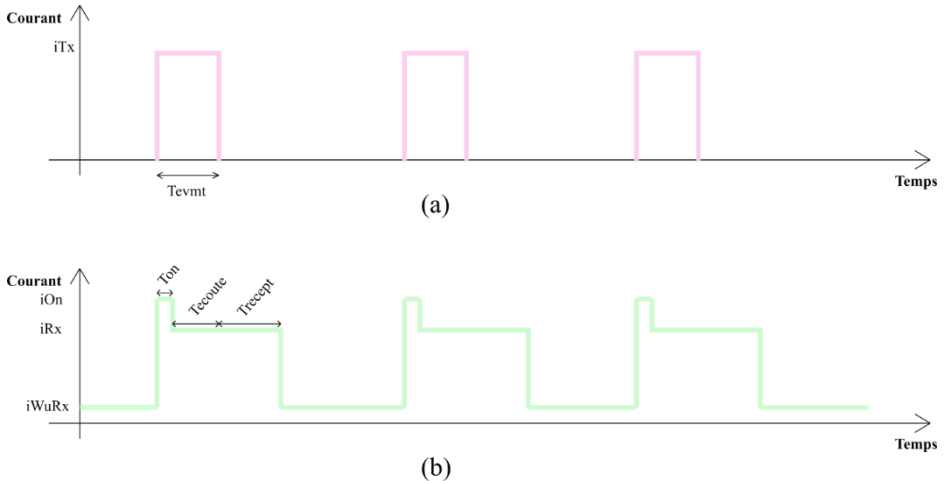


Figure I-8 : Chronogramme de fonctionnement de l'émetteur (a) et du récepteur avec activation par un récepteur de réveil

Dans ce cas, le récepteur principal n'est utilisé que lorsqu'un message est émis. Comme dans le cas précédent, l'hypothèse la plus critique du point de vue de la consommation est considérée. On estime que la commande envoyée n'est captée qu'à la fin de son temps d'écoute.

Cent transactions sont faites par jour. L'énergie journalière consommée pour réaliser l'ensemble de ces communications est exprimée telle que :

$$E_{reception} = N \times V_{bat} \times iOn \times Ton + iRx \times (Tecoute + Trecept)$$

A.N :

$$E_{reception} = 5\,940\ \mu W.s$$

En dehors de ces phases d'écoute seul le récepteur d'activation est actif, la quantité d'énergie alors consommée :

$$E_{WuRx} = V_{bat} \times iWuRx \times (Durée\ d'un\ jour - N \times (Ton + Tecoute + Trecept)$$

A.N :

$$E_{WuRx} = 855\,161\ \mu W.s$$

L'énergie totale consommée par jour est :

$$E_{rxWuRx} = E_{reception} + E_{WuRx}$$

A.N :

$$E_{rxWuRx} = 861\,101\ \mu W.s$$

L'autonomie est alors déduite :

$$Autonomie_{rxWuRx} = \frac{E_{bat}}{E_{rxWuRx}}$$

A.N :

$$Autonomie_{rxWuRx} = 8{,}2\ ans$$

Un bilan comparatif présentant les résultats du calcul d'autonomie pour les trois scénarios étudiés est dressé en Tableau I-7.

Tableau I-7 : Bilan de la consommation

	Energie journalière consommée	Energie consommée pour réception effective	Autonomie
Rx permanent	4 277 W.s	10 mW.s	0,6 jour
Rx cyclique	16,4 W.s	14 mW.s	158 jours
Rx avec WuRx	0, 861 mW.s	0,855 mW.s	8 ans

I.4.2. Avantages et inconvénients de l'utilisation d'un récepteur d'activation

Dans un cas idéal, la consommation du récepteur de réveil est nulle. Dans le cas réel, la sensibilité de ce dernier est directement liée à la valeur du courant consommé. L'utilisation de ce genre de récepteurs ne peut donc être envisagée que pour des applications de faible portée, sachant que pour cette architecture la majeure partie de la consommation autorisée est dédiée à la fonction amplification. Cette répartition du courant disponible impose une chaîne de réception peu complexe. La simplicité de ce récepteur présente l'inconvénient de limiter ses performances, mais elle présente l'avantage de le rendre peu coûteux et peu encombrant. D'autre part il tire profit de la faible consommation des blocs numériques qui lui permettent de diversifier ses fonctionnalités. Par exemple, on peut considérer un récepteur d'activation qui reconnait deux codes distincts, un qui lui est propre et l'autre qui serait alloué à un ensemble de récepteurs [12]. Dans ce cas, on peut imaginer une application dans laquelle l'utilisateur peut piloter une lampe ou un ensemble de lampes sans que la création d'un réseau soit nécessaire. Pour profiter pleinement de la flexibilité que peut offrir le numérique, utiliser un protocole de communication propriétaire est un précieux avantage. De même cette très basse consommation ouvre un large éventail de sources d'alimentation envisageables. Les bénéfices issus d'un faible courant de consommation, en offrant une meilleure autonomie et une liberté dans le choix de la source d'alimentation, élargissent le champ d'application du dispositif.

Conclusion

Dans ce chapitre, un comparatif des solutions réduisant la consommation a été présenté. Il est démontré ici, que les récepteurs à fonctionnement continu gaspillent énormément d'énergie, pour 100 transactions journalières, seulement 0,002% de l'énergie consommée est utilisée pour la réception. Le fonctionnement périodique améliore de façon significative le rapport de l'énergie utile sur l'énergie totale consommée. L'efficacité de cette solution repose sur la fréquence de fonctionnement. Elle nécessite de faire un compromis entre la fréquence de fonctionnement ou la réduction de consommation, et la qualité de la détection. Dans [13], V. Jelicic et al. démontrent l'efficacité des récepteurs d'activation comparée au fonctionnement périodique des récepteurs dans le cadre d'un système de vidéosurveillance. Dans leur étude, afin d'économiser de l'énergie, les récepteurs RF des caméras écoutent périodiquement les informations fournies par un capteur infrarouge leur indiquant la nécessité ou non de s'allumer. Pour que la consommation soit la même en fonctionnement périodique qu'avec l'utilisation d'un récepteur d'activation, le récepteur de la caméra ne doit être allumé que 25 fois par heure. Un si faible rythme d'activation est synonyme

d'un grand risque de transactions manquées, ce qui n'est pas envisageable dans le domaine de la vidéo surveillance. Ici, encore les récepteurs d'activation démontrent leur intérêt pour économiser de l'énergie sans dégrader le bon fonctionnement et la fiabilité du dispositif. Les nouveaux standards s'appuient sur un rapport cyclique très faible pour atteindre les objectifs de consommation. Par ailleurs dans ces nouveaux standards, seuls les récepteurs, qui sont les éléments les plus simples du réseau, sont basse consommation, et la consommation importante du PAN coordinateur, nécessaire à la mise en place du réseau, doit être prise en compte.

L'avantage majeur que confèrent les récepteurs d'activation par rapport à ces nouvelles solutions est leur simplicité, sachant que pour certaines applications il n'est pas nécessaire que le récepteur soit complexe pour satisfaire aux spécifications. En conclusion ce chapitre démontre l'efficacité d'un tel dispositif, qui présente un rendement de 99%, et justifie l'intérêt porté aujourd'hui à cette solution.

Chapitre II. Enjeu de la conception d'un récepteur d'activation

Dans le premier chapitre, l'avantage des récepteurs de réveil apporté sur le bilan énergétique a été présenté. Etant le seul élément actif en l'attente de la réception d'un message, sa consommation est le paramètre déterminant quant à la quantité d'énergie qui peut être économisée. Dans ce chapitre sont exposés les enjeux de la conception d'un tel récepteur. Bien que sa fonction soit simple, compte tenu de la limitation en courant consommé, certaines spécifications dépendantes de l'application deviennent difficiles à satisfaire. En tant que récepteur additionnel, complémentaire du récepteur principal, le critère de coût et d'encombrement doit aussi être rempli. Tout l'enjeu d'une telle conception réside dans le bon compromis entre les performances du récepteur, sa consommation et son coût.

II.1. Performances générales

Dans le cadre de sa fonction, il est attendu du récepteur de réveil qu'il puisse démoduler un signal, reconnaître dans certains cas un code bien particulier et délivrer une impulsion afin d'allumer le récepteur principal. Ce récepteur de réveil ayant pour fonction d'allumer le récepteur principal, son temps de réponse est primordial car il s'ajoute au temps de démarrage de ce dernier et de celui de l'application. Ce temps n'est pas toujours un paramètre critique. Il le devient particulièrement dans le cadre d'applications où l'action est faite par un utilisateur. Ce dernier va alors attendre une action de la part de l'application. La rapidité d'un système dépend, entre autres, de la quantité d'énergie dont il dispose pour se mettre en route. L'efficacité de la solution n'atteint 100% que si la consommation du récepteur d'activation est nulle, dès lors aucune énergie n'est gaspillée lors des phases d'écoute. Cependant, une très faible consommation peut être tolérée et estimée en fonction de l'autonomie ciblée. Comme dans toutes chaînes de démodulation, l'amplification du signal est primordiale, elle contribue notamment à la portée de l'application. Un protocole de communication avec une reconnaissance de code permet de limiter les faux réveils et ainsi d'optimiser la consommation [1]. En dépit de sa capacité à recevoir de faibles signaux, pour fonctionner dans différents environnements la bonne réception dépend aussi de ses capacités à discriminer des signaux indésirables.

II.2. Considérations radio

Le signal est transmis au travers d'une porteuse RF dont la fréquence est un paramètre important. Plusieurs critères rentrent en compte dans le choix de cette dernière.

Elle peut être identique à celle du récepteur principal pour des raisons de simplicité et de partage de fonctionnalités dans le cas où le récepteur de réveil et le récepteur principal serait sur la même puce. L'utilisation de la même fréquence, en plus d'éviter les problèmes d'intermodulation, permet d'avoir recours à une seule antenne. Pour des raisons d'encombrement et d'éventuel couplage, il est préférable d'en limiter le nombre. Si toutefois aucune contrainte n'est imposée vis-à-vis du récepteur principal, l'utilisation de chaque bande de fréquences est soumise à des règles. Il faut aussi prendre en compte l'encombrement de certaines bandes qui augmente la probabilité d'être confronté à des brouilleurs. Par exemple, la bande à 2,4 GHz est utilisée, entre autre, pour le Zigbee, le Bluetooth, le WiFi. Travailler dans une telle bande impose une sélectivité importante. A noter également que plus la fréquence de la porteuse est élevée plus les circuits doivent être rapides et plus ils

consomment de courant. Les hautes fréquences ne sont donc pas de bonnes candidates pour les récepteurs d'activation.

Dans le travail réalisé ici, la porteuse a une fréquence de 868 MHz. Comme présenté en introduction, le récepteur de réveil devait initialement être intégré sur la même puce qu'un récepteur Zigbee sub-gigahertz.

L'avantage que présente la bande à 868 MHz, en plus de s'inscrire dans le standard Zigbee, est de faire partie de la bande ISM. En se plaçant dans cette bande, les contraintes sur le protocole de communication sont relaxées. . En choisissant une fréquence commune pour le récepteur d'activation et le récepteur principal, certaines fonctionnalités peuvent être partagées, notamment l'antenne et le filtre qui sont des éléments encombrants. Bien que le projet du récepteur Zigbee subgiga ait été abandonné, cette fréquence de fonctionnement a été gardée. Cette bande, très utilisée pour les fonctions RF à faible portée, offre un large choix d'émetteurs disponibles sur le marché et atteste du potentiel applicatif du récepteur d'activation étudié ici.

Le premier phénomène auquel doit palier le récepteur est l'atténuation du signal due aux pertes de propagation. Ces pertes produites par des phénomènes d'absorption et de réflexion sont dépendantes de l'environnement et de la fréquence. La formule de Friis donnée ci-dessous permet de calculer la puissance reçue dans le cas d'une propagation en espace libre.

$$P_r = P_e \times G_r \times G_e \times \left(\frac{\lambda}{4\pi d}\right)^2$$

Où *Pr* : puissance reçue, *Pe* : puissance émise, *Gr* : gain de l'antenne de réception, *Ge* : gain de l'antenne de l'émission, λ : la longueur d'onde et *d* : la distance entre l'émetteur et le récepteur

En Figure II-1 est tracée la puissance reçue en fonction de la distance pour 3 fréquences de la bande ISM. Pour ce calcul, les d'antennes sont considérées isotropes ce qui donne Ge = Gr = 1.

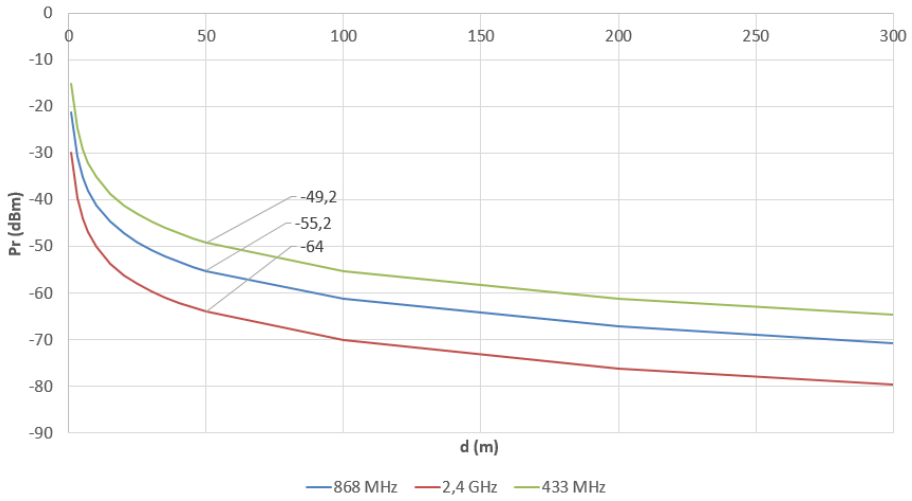


Figure II-1 : Puissance reçue en fonction de la distance émetteur-récepteur

Ce calcul permet de donner une première estimation du niveau de puissance que doit être capable de détecter le récepteur pour assurer la portée souhaitée. Mais comme évoqué

précédemment ce calcul ne tient pas compte des pertes dues à l'environnement. Les phénomènes de réflexion et d'absorption sont multiples et dépendant de la fréquence, de la configuration spatiale de l'environnement et des matériaux qui le composent. Pour se placer dans un cas plus concret, nous avons fait une série de mesure dans nos locaux. Au-delà de la mesure d'atténuation, ces mesures sont faites dans un environnement où le WiFi, le GSM et d'autres signaux parasites sont présents. Pour cette expérience, deux antennes λ/2 ont été fabriquées avec du fil de cuivre comme illustrées Figure II-2. Une antenne λ/2 est une antenne très simple faite d'un fil de cuivre (ou d'un élément conducteur au travers duquel le champ magnétique se propage électriquement) de longueur λ/2. Cette antenne possède un diagramme de rayonnement ayant la forme d'un donut. La partie réceptrice est constituée de l'antenne reliée à un analyseur de spectre. L'émetteur est un générateur RF émettant 10 dBm à 868 MHz connecté à la seconde antenne. L'expérience menée est conduite de manière à reproduire le plus fidèlement possible les conditions dans lesquelles ce récepteur sera utilisé dans le cadre du projet européen Enlight.

Dans le cadre de ce dernier, le scénario envisagé est l'utilisation du récepteur de réveil pour activer les capteurs et les autres récepteurs sans fils dans une salle de réunion. L'ensemble étant placé dans le faux plafond de la salle. Pour la partie réceptrice, l'antenne est donc collée au dos d'une dalle de plafond. La partie émettrice est déplacée sur un rayon de quelques mètres à divers endroits des bureaux comme illustré en Figure II-2 de façons à faire varier la distance mais aussi la nature des obstacles rencontrés par l'onde. Une atténuation comprise entre 60 et 40 dB est mesurée. Cette expérience montre que le précédent calcul est effectivement très optimiste avec une atténuation calculée de 65 dB en espace libre pour une distance de 50 mètres. Expérimentalement, 60 dB d'atténuation sont observés pour une distance d'une dizaine de mètres.

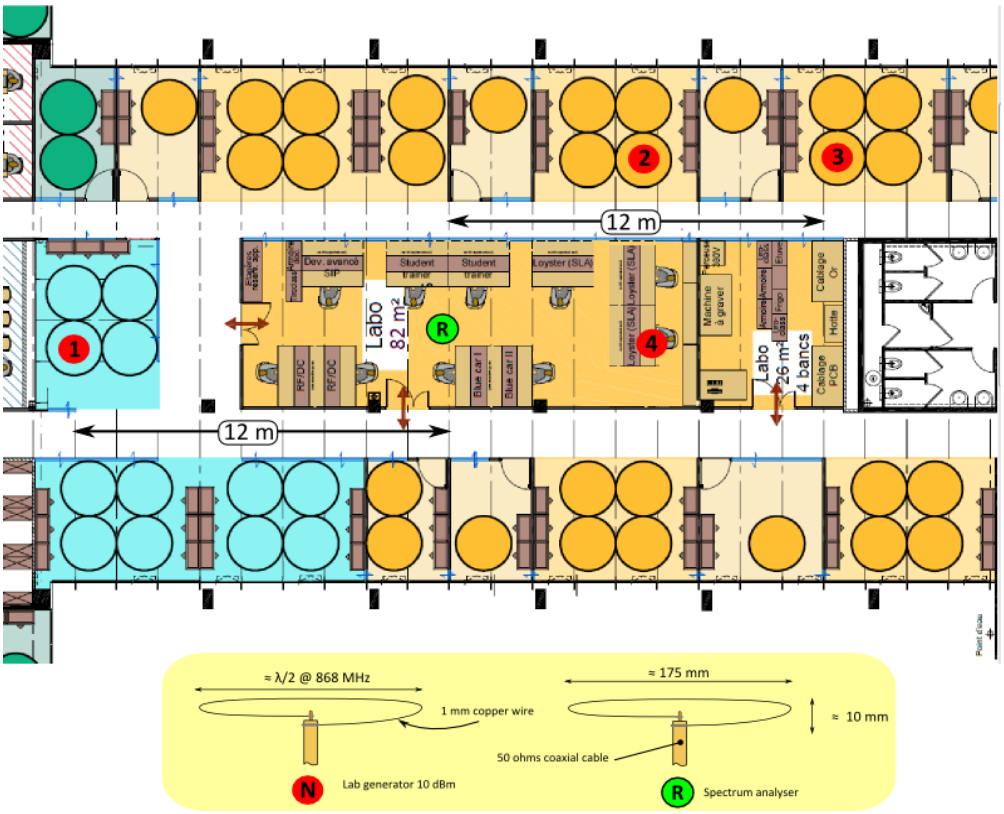


Figure II-2 : Schéma d'implantation des bureaux

Cette étude théorique et cette expérimentation permettent de déterminer que le récepteur doit avoir une sensibilité de -50 dBm à 868 MHz.

En parallèle de cette étude, un calcul de gabarit de réjection des brouilleurs est réalisé. Pour ce calcul, un scénario basé sur le projet Enlight est imaginé. La scène considérée est un cas usuel de réunion dans un cadre professionnel. Plusieurs individus sont réunis dans une même pièce, la plupart équipés d'appareils électroniques communicants. Le scénario est illustré en Annexe 1 et l'ensemble des protocoles de communications considérés sont résumés ci-dessous. La puissance reçue est calculée à partir de la formule de Friis, il s'agit donc d'une propagation optimale et donc le cas le plus critique pour notre récepteur.

Pour cette étude, trois standards de téléphonie sans fil sont considérés : DECT, GSM et 3G. Il est de nos jours très probables qu'une personne ait avec elle un téléphone sans fil.

Dans un contexte professionnel tels que des bureaux, il est fréquent que des émetteurs WiFi soit placés en plusieurs points sur des dalles de plafond. Le pire cas, considéré ici, serait donc que ce dernier soit situé sur une dalle de plafond voisine de celle où se situe notre récepteur.

Les communications Bluetooth peuvent être effectuées à partir de téléphone mobile ou d'objets connectés qui sont portés par l'utilisateur ou déposés sur un bureau.

Le standard Zigbee est considéré comme présent dans la pièce pour la gestion domotique. Et la centrale de contrôle est située sur le mur tel un interrupteur.

Enfin le standard SRD (Short Range Devices) est également considéré correspondant à la situation où un récepteur et son émetteur associé sont à proximité du récepteur de réveil.

Une synthèse des cas de parasites présents considérés pour dresser le gabarit du filtre nécessaire est donnée dans le Tableau II-1.

Tableau II-1 : Résumé des parasites considérés

Normes	Fréquences (MHz)	$P_{rayonnée}$ max (dBm)	Distance (m)	$P_{reçue}$ (dBm)
DECT	1880-1900	27	2	-16.6
P-GSM-900	890-915	33	2	-4.5
GSM-1800	1710-1785	30	2	-13.6
3G-DCS 1800	1805-1880	27	2	-16.6
WiFi-IEEE 802-11	2400-2483.5	27	0.03	17.2
Bluetooth Class II – IEEE 802-15-1	2400-2480	3	2.5	-45.2
Zigbee-IEEE 802-15-4	868-868.6	10	1	-30.2
	902-928			
	2400-2483.5			
SRD-860	863-870	14	1	-11.2

A partir de ses estimations, un gabarit de filtre est estimé et tracé en Figure II-3.

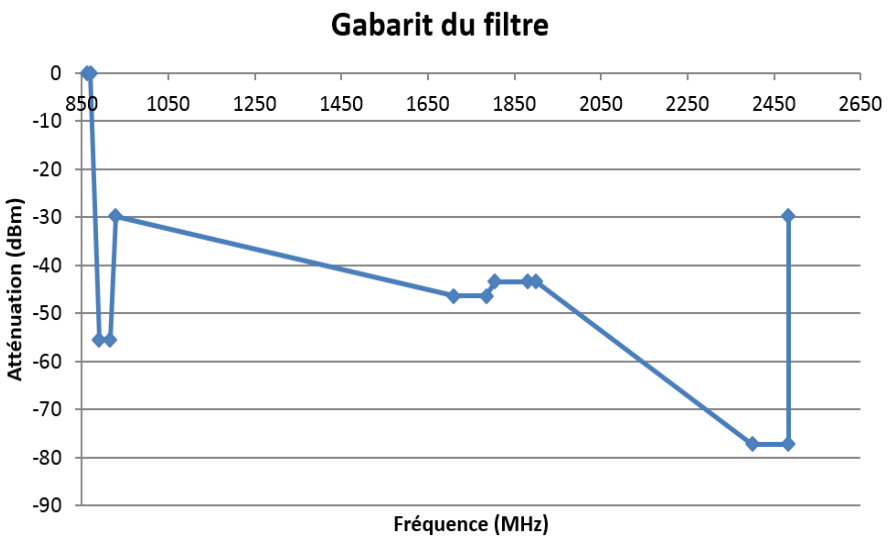


Figure II-3 : Gabarit calculé du filtre de réjection

Au-delà des restrictions en termes de puissances émises et de gamme de fréquences, d'autres contraintes s'imposent sur le protocole de communication. En effet différents paramètres définissent le protocole, les deux premiers sont le débit binaire et l'encodage utilisé. Un débit binaire élevé requiert une circuiterie rapide, caractérisée par une consommation plus importante. Cependant, un circuit rapide permet un temps de traitement plus court de la trame reçue. La rapidité du circuit repose donc sur un juste équilibre entre le surplus de consommation induit et le temps d'écoute réduit, de façon à optimiser le bilan énergétique en fonctionnement. Le mécanisme nécessaire pour interpréter le code contenu dans le message reçu peut être plus ou moins sophistiqué. Dans la solution ici ciblée, la sécurité n'est pas primordiale et se limite uniquement à se prémunir d'éventuels faux réveils. Pour que la reconnaissance de code soit possible une synchronisation avec la trame reçue est nécessaire. Cette partie du dispositif pouvant faire appel à une horloge externe est généralement consommatrice, ayant un impact non négligeable sur le bilan énergétique. Comme l'étude se concentre sur la conception du récepteur de réveil, il est impératif que ce dernier soit compatible avec l'existant et donc qu'aucun développement particulier de la partie émettrice ne soit nécessaire. Remplissant les critères de simplicité et de popularité, le code de Manchester est choisi. Il présente également l'avantage de se prêter aisément à la reconstruction d'horloge. L'horloge ayant permis d'encoder le signal est ainsi disponible. L'échantillonnage du signal ne nécessite pas l'utilisation d'une horloge supplémentaire.

II.3. Considérations coût / énergie

Le récepteur de réveil est une fonction complémentaire du récepteur principal, ne contribuant pas à la qualité de la réception. Ce statut impose des contraintes de coût lié à la surface de silicium nécessaire. Le récepteur de réveil doit être intégré à un récepteur standard, tel que le récepteur Zigbee du commerce, le JN5168, dont la surface est de 10.89 mm². Le récepteur de réveil ne doit pas excéder 5% de la surface totale soit 0,54 cm². Dans ce contexte, afin de simplifier l'intégration commune du récepteur Zigbee et du récepteur de réveil, ils doivent être réalisés dans la même technologie, à savoir le procédé de NXP CMOS 160 nm. Il s'agit d'un procédé mature de NXP présent dans de nombreux produits offrant ainsi la possibilité d'une future intégration du récepteur de réveil à un produit existant.

Les contraintes d'énergie sont imposées par le récepteur principal. Sa consommation est déterminée de façon à garantir une durée de vie donnée pour une source d'alimentation en considérant un certain rythme d'utilisation. Le choix de la source d'énergie est déterminé par l'application. Les applications sans fil non mobiles sont généralement alimentées par le secteur. Même si des contraintes de consommation doivent être considérées, au vu du nombre de nœuds composant le réseau, comme ils sont reliés au secteur leur autonomie n'est pas critique. Pour les applications sans fil mobiles ou autonomes, la source d'alimentation doit être embarquée. Les solutions possibles sont alors sélectionnées suivant différents critères, de faisabilité, d'esthétique et d'encombrement. Deux types de sources se distinguent, les sources d'énergie stockée telles que des piles ou des batteries et les sources d'énergie disponible comme les cellules solaires par exemple. Les batteries nécessitent moins d'intervention de maintenance mais le développement d'un circuit de recharge et la mise à disposition de l'énergie nécessaire à cette dernière doivent être pris en considération. Les batteries lithium ion s'imposent sur le marché des applications utilitaires mobiles telles que les téléphones portables, lecteurs MP3, GPS…etc. Il est envisageable cependant de considérer la combinaison d'une batterie et d'une source d'énergie renouvelable. Texas Instrument [2] a dressé un comparatif entre les différentes énergies environnantes qui est résumé dans le Tableau II-2 ci-dessous.

Tableau II-2 : Récupération d'énergie estimée de Texas Instrument

Source d'énergie	Puissance récupérée
Vibration / mouvement	
Humain	4 µW/cm²
Industrie	100 µW/cm²
Température (effet Seebeck)	
Humain	25 µW/cm²
Industrie	1-10 mW/cm²
Lumière	
Intérieur	10 µW/cm²
Extérieur	10 mW/cm²
RF	
GSM	0,1 µW/cm²
WiFi	1 µW/cm²

Pour un même type d'énergie, le contexte influe énormément sur la quantité d'énergie pouvant être récupérée. Toutes ces sources ne sont pas nécessairement disponibles suivant l'application considérée. Pour l'application considérée, soit le récepteur de réveil placé dans un luminaire intégré au plafond, les seules sources d'énergie envisageables sont les ondes RF ambiantes et la lumière. Il apparait clairement dans le tableau que les cellules solaires offrent un meilleur rendement mais les cellules solaires sont difficilement utilisables de façon exclusive car la quantité d'énergie disponible n'est pas garantie à tout instant. Les cellules solaires ne conviennent que pour des applications dans un environnement lumineux. En dépit

de l'aspect pratique, elles peuvent ne pas s'intégrer correctement au design de l'application. Les piles et les batteries ont une taille proportionnelle à leur capacité. Certaines technologies, telles que les piles Zinc-Air, permettent un ratio capacité/volume optimal. La tension nominale délivrée est également imposée par la technologie employée. Dans le chapitre précédent, une pile CR2032 est utilisée comme référence pour les calculs d'autonomie. Cette pile sera gardée également comme référence dans ce chapitre à titre comparatif. Pour cette pile, la technologie utilisée est Lithium-Manganèse-dioxyde, qui fournit une tension nominale de 3V. Les capacités varient quelque peu d'un fournisseur à l'autre. La CR2032 [3] offre une capacité comprise entre 200 et 250 mA.h. La pile a une forme de pièce de monnaie et occupe un volume d'environ 1 cm^3 pour un poids de 3g. Les piles alcalines, également très répandues, fournissent une tension nominale de 1,5V. Deux piles en séries sont nécessaires pour atteindre une tension de 3V. Les piles AAAA [4] fournissent une capacité de 625 mA.h ce qui leur permettraient de garantir une autonomie environ 3 fois supérieure aux piles CR2032. Cependant la forme cylindrique de cette dernière et le fait que deux piles soient nécessaires pour fournir les 3V requièrent un volume de 19 cm^3 pour un poids de 6,5g. Les piles Zinc-air sont notamment utilisées pour les appareils auditifs nécessitant une grande autonomie et une alimentation très peu encombrantes. La technologie fournit une tension nominale de 1,4V. La pile PR44 [5] offre une capacité de 650 mA.h. Les performances qu'elle présente sont similaires à la pile alcaline. Cependant pour une comparaison équitable il faut considérer deux piles afin d'atteindre une tension nominale de 2.8V pour un poids total de 2,7g et un volume de 4,6 cm^3. Pour un encombrement et une tension nominale comparables, la pile zinc-air offre une capacité bien plus importante que la CR2032, cet avantage étant atténué par l'impossibilité de la mettre en boitier.

Conclusion

Dans ce deuxième chapitre, un premier bilan des contraintes de réalisation auxquelles se confronte le récepteur de réveil est dressé. Le paramètre principal reste la consommation. Cette dernière est déterminante quant à l'efficacité de la solution. Le choix de la source d'énergie employée est lui aussi fondamental. Les sources d'énergie renouvelables sont envisageables mais non suffisantes car elles ne garantissent pas la quantité d'énergie fournie à tout instant. Les batteries sont des solutions à considérer en complément. Les piles restent la solution la plus pratique dans notre cas car elles ne nécessitent aucun développement de gestion d'énergie supplémentaire. La faible consommation du récepteur ne doit néanmoins pas être un obstacle rédhibitoire à ses performances. Le choix de la fréquence est crucial pour des aspects techniques mais également pour des aspects pratiques. Afin de limiter l'encombrement, il est possible de partager l'usage d'une fonction. Par exemple, il est envisageable d'utiliser le LNA du récepteur principal, dans un mode basse consommation pour le récepteur de réveil ou encore de partager le filtre sélectif d'entrée. Le choix d'utiliser la même fréquence que le récepteur principal facilite ce partage de fonction entre les deux récepteurs. Le choix d'une fréquence dans une bande peu encombrée réduit les contraintes de filtrage évitant que le récepteur soit saturé par des signaux de fréquence proche. Pour une utilisation pratique réaliste, la performance clé du récepteur est sa sensibilité qui détermine sa portée et sa capacité à traiter de faibles signaux. Le récepteur doit aussi être sélectif de façon à ne pas être perturbé par les signaux parasites environnants, avoir un coût d'intégration minimum lié à une surface d'intégration minimum (quelques pourcents de la surface du récepteur principal).

Toutes ces contraintes définissent ainsi les multiples spécifications que doit satisfaire le récepteur de réveil.

Chapitre III. Architecture du récepteur d'activation

Les deux chapitres précédents ont permis de montrer l'apport de la solution de réveil sur le bilan énergique ainsi que de dresser les premières contraintes de ses spécifications. Le récepteur de réveil reste un récepteur radio classique avec toutefois des performances plus modestes afin de respecter les limites de consommation. Le succès des communications sans fil a conduit à la diversification des signaux et à la complexification des systèmes. En effet, les bandes de fréquences étant surchargées, les signaux de communication doivent se distinguer entre eux par leur forme également. Les signaux sont modulables en amplitude, en fréquence et en phase. Cette modulation est utilisée pour transporter l'information sur une porteuse RF. La complexité de la modulation est un atout pour la transmission du signal car elle lui prodigue une certaine immunité vis-à-vis des autres signaux. En contrepartie cette dernière va nécessiter des circuits plus complexes et donc moins compatibles avec les objectifs de faible consommation. En raison des normes, le choix de la bande de fréquence discuté au chapitre précédent influe également sur le choix de la modulation.

Dans ce chapitre sont présentées les différents types de modulation et les solutions de récepteurs de réveil les intégrant aujourd'hui. La littérature propose des solutions diverses permettant de satisfaire différents compromis (encombrement, sensibilité, sélectivité…etc) que nous évaluons dans les paragraphes qui suivent.

III.1. Les différentes modulations

III.1.1. Modulation d'amplitude

La modulation d'amplitude est la modulation dont le traitement est le plus aisé. D'ailleurs les premières émissions radio étaient faites en modulation radio et les premiers détecteurs étaient les postes à galène [1]. Elle consiste à multiplier un signal RF, la porteuse, par un signal contenant l'information, le signal modulant. Le principal inconvénient de cette modulation est le mauvais rapport signal à bruit qu'elle offre, notamment comparée à la modulation de fréquence.

La modulation d'amplitude est particulièrement adaptée aux solutions de réception passives ou semi-passive. Dans ce cas le récepteur offre des performances en consommation remarquables. Cependant l'énergie économisée par la partie réceptrice est alors consommée par la partie émettrice. Dans [2], H. Ba et al. démontrent l'efficacité des tags passifs RFIC comme récepteur de réveil à 2.4 GHz avec un émetteur ISM classique. Afin que la probabilité de réveil soit de 90%, la distance entre l'émetteur et le récepteur ne doit pas excéder 4.5m. Par ailleurs la sensibilité des diodes communément utilisées comme détecteurs passifs est limitée et insuffisante pour notre application.

Pour les solutions de réception active deux types de démodulation peuvent être mises en œuvre. La chaîne à détection directe, la plus simple, pour laquelle aucun changement de fréquence n'est opéré et celle plus complexe, où la détection est opérée à une fréquence intermédiaire. Dans le premier cas, l'amplification du signal RF est le poste le plus important en consommation [3]. La majeure partie de l'énergie lui est alors dédiée. Dans le second cas, c'est la génération de la fréquence intermédiaire qui est l'élément le plus consommant [4].

III.1.2. Modulation en fréquence

La modulation en fréquence est délicate à mettre en œuvre dans le cadre des récepteurs d'activation car la gestion d'une horloge de référence sans utiliser de composants externes et actifs est difficilement envisageable. Par ailleurs, l'architecture de la chaîne est complexe et peu compatible avec les objectifs de basse consommation. Cependant, bien que peu répandue cette solution n'est pas délaissée, un compromis peut être envisagé entre le surplus de consommation et le gain en sensibilité comparée à la modulation d'amplitude.

III.1.3. Modulation en phase

La dernière caractéristique du signal qui peut être modulée est la phase. Ce type de modulation est notamment utilisée pour les télécommunications tel que le WiFi, le GSM. La démodulation d'un signal modulé en phase fait intervenir une architecture complexe composée de mélangeurs, de déphaseurs et d'oscillateurs. L'une des architectures types utilisées pour les récepteurs concernés par cette modulation est la boucle de Costas. De par sa complexité, elle n'est pas appropriée pour les circuits à basse consommation. On ne relève d'ailleurs dans la littérature aucune réalisation basée sur cette modulation pour des applications analogues à la nôtre.

III.2. Etude des architectures existantes relevées dans la littérature

Dans le Tableau III-1 ci-après regroupant les dernières publications sur le sujet, on constate que la modulation d'amplitude, de type OOK, domine largement. Ce constat est aussi mis en avant par X. Huang et al. dans [5]. Il est présenté dans l'ensemble des travaux l'intérêt d'éliminer l'usage d'oscillateur nécessitant trop de courant pour le contexte de basse consommation, [6], [7]. Sur l'ensemble des travaux étudiés on peut noter la préférence des concepteurs pour la bande ISM sub-gigahertz qui conforte notre choix. Contrairement au choix de la fréquence qui se situe globalement dans la même bande, on observe bien plus de diversité au niveau du débit binaire. Moins le débit est important moins les circuits ont besoin d'être rapides et donc moins ils ont besoin de courant. En ce qui concerne les circuits numériques, les débits auxquels on s'intéresse ici ne sont pas suffisamment élevé au vue des technologies pour qu'ils soient limitant. Cependant cette caractéristique de vitesse peut avoir son importance au niveau du comparateur placé en aval du détecteur. Afin qu'aucune donnée ne soit perdue il faut impérativement que ce dernier soit en mesure de suivre les fronts du signal d'enveloppe. Un autre élément important pour la consommation, déduit de cette comparaison, concerne la génération de la tension de référence. La solution la plus simple est le pont diviseur de tension appliqué sur la tension d'alimentation. Mais dans ce cas, les résistances de fortes valeurs nécessaires à la limitation du courant et ne sont pas adaptées pour les solutions intégrées. Par ailleurs dans le cas de circuits embarqués, alimentés par une pile ou une batterie, cette architecture, trop dépendante de la tension d'alimentation n'est pas stable dans le temps. Ce défaut d'instabilité peut être compensé par l'utilisation d'un circuit bandgap ; mais ce circuit complémentaire et les résistances de fortes contribueront encore à augmenter la consommation.

La sélectivité est assurée de façon classique par l'utilisation de filtres à ondes de surface. Une solution de filtre actif est proposée en [23]. Bien qu'ils présentent des performances correctes, ces fonctions actives sont non éligibles pour les applications visées ici. En effet, dans les travaux présentés par C. Petrioli et Al., la puissance consommée par

ces filtres actifs est de 168 µW (en simulation), valeur 80 fois supérieure à la consommation totale admissible du récepteur de réveil.

Les solutions passives ou semi passives présentées ici montrent bien la difficulté qu'il y a à obtenir la portée désirée, excepté dans [20] où P. Kamalinejad et Al qui propose une solution entièrement passive offrant une sensibilité de -30 dBm. Malheureusement la démonstration de ce travail n'a pas dépassé le stade de la simulation et ne peut donc pas prouver sa faisabilité. De plus, les solutions passives utilisent des diodes avec de très faible tension de seuil pour permettre une meilleure sensibilité, or ces dernières ne sont pas intégrables.

Il est difficile de dresser un bilan comparatif absolument rigoureux entre les différentes solutions. Certains optent pour des architectures basiques limitées à la détection d'une activité RF à la fréquence souhaitée pour fournir un signal de réveil. Dans ce cas le traitement numérique du signal complémentaire n'est pas nécessaire, la partie analogique seule suffit. L'ajout d'une partie numérique permet essentiellement de limiter les risques d'erreur dans la transmission du signal de réveil. En effet, la reconnaissance d'un code permet sécuriser la transmission sans erreur du message de réveil. Cette technique offre aussi la possibilité d'adresser le message à un nœud spécifique du réseau, apportant ainsi une flexibilité supplémentaire de gestion du réseau. Le traitement numérique assuré par un FPGA [8], ou une horloge externe [9], peuvent être introduites, mais ces circuits logiques contribuent à augmenter la consommation.

Les résultats relevés dans la littérature, même s'ils ont en commun la réalisation d'un récepteur de réveil basse consommation, ne partagent entre eux pas les mêmes spécifications, elles-mêmes différentes de celles spécifiques à cette étude. Toutefois le compromis majeur reste l'équilibre entre la sensibilité et la consommation. D'autre part pour notre étude, les circuits doivent fonctionner avec une source d'alimentation non idéale et pour de larges gammes de température. Ces caractéristiques de robustesse sont rarement présentées dans la littérature, où ne sont notamment présentés que les éléments de la chaîne de réception et rarement les éléments de polarisation, dont l'impact dans le bon fonctionnement du circuit et dans la consommation est particulièrement important.

Tableau III-1 : Récapitulatif des différents récepteurs d'activation présents dans la littérature

Réf.	Techno.	Fréq.	Débit binaire	Architecture / modulation	Sensi-bilité	Consommation		Commentaires
[10]	Piézo-électrique	2,43 GHz		Long code SAW correlator / BPSK	+7 dBm	0		Les SAW correlator sont très peu utilisés dans l'industrie. La construction même des SAW correlator est faite pour reconnaître une séquence donnée limitant l'utilisation de cette dernière à celle-ci. La solution n'est pas intégrable et ne présente pas de variabilité du code. Bien que totalement passive, la sensibilité atteinte est trop restrictive pour une application réelle de cette solution.
[11]	Discret actif et passif	433,92 MHz	30 kb/s	Détection directe / GOOK + PWM	-40 dBm	278 nW / 1,5V		Le filtrage d'entrée est assuré par un filtre SAW. La solution proposée n'est pas intégrée et ne fait pas lieu de la génération de la tension d'alimentation à 1,5V. Calibration active pour l'établissement de la tension de seuil utilisée par le comparateur.
[12]	CMOS 180 nm	915 MHz	25 kb/s	Détection directe / OOK	-14 dBm	0 (détection/ID) Alimentation externe pour piloter switch MOS de puissance	0,893 mm²	L'énergie nécessaire à la détection et la reconnaissance du code est fournie à partir du signal RF reçu.

[13]	discret	868 MHz	25 bit/s	Détection directe / OOK	>10m, -65 dBm	876 nA / 3V / 2,6 µW		Le pont diviseur utilisé pour générer la tension de référence utilisée par le comparateur consomme en permanence du courant. Les hautes valeurs de ses résistances choisies pour limiter le flux de courant qui les traverse ne rend pas cette solution intégrable. La source d'alimentation à 3V nécessaire au comparateur n'est pas présentée.
[14]	CMOS 90 nm	2 GHz	100 kb/s	FI incertaine, super héterodyne / OOK	-72 dBm	52 µW / 0,5V	0,1 mm²	Baw resonateur utilisé pour le filtrage. IF bandwidth 100 MHz, nécessité d'une précision de 2,5% sur la FI. Le bilan de consommation ne fait pas acte des régulateurs de tensions
[15]	CMOS 120 nm	2,4 GHz	100 kb/s	Détection directe / OOK	-53 dBm	7,5 µW / 1,5V		Le traitement numérique du signal est réalisé par le biais d'un FPGA (12,5 µW). La source d'alimentation n'est pas décrite dans cette étude et non comptabilisé dans le bilan de consommation. Le système de matching assure la partie filtrage mais n'est pas décrite ici. L'amplificateur a un gain programmable pouvant attendre 54 dB mais la programmation et le détail de cet amplificateur ne sont pas décrits.

[16]	CMOS 130 nm	2,45 GHz	200 kb/s	Transformateur + détection /OOK	-47 dBm	2,3 µA / 1V	7 000 µm²	Le transformateur implémenté directement sur le PCB est encombrant (forme de T 2cm x 1,5cm env). Le dispositif d'alimentation à 1V et la polarisation du détecteur ne sont pas décrites et intégrées dans le bilan de consommation. Le système est prévu pour reconnaître un code donnée mais la partie traitement numérique du signal n'est également pas traitée et ne rentre pas en compte dans le bilan car considérée comme négligeable.
[17]	CMOS 90 nm	2,4 GHz / 915 MHz	100 kb/s	Détection directe / OOK	-69dBm / -75 dBm	51 µW (fctmt cyclique) / 0,5V	0,36 mm²	Horloge externe requise. La sélectivité est restreinte au profit de la consommation. Le traitement numérique du signal n'est pas illustré dans cette étude. L'ajout d'un ADC et d'un bloc numérique tel qu'un FPGA supplémentaires est à prévoir
[18]	CMOS 130nm	868 MHz	64 b/s	Super-hétérodyne / OOK	-83 dBm / 1200m (10 dBm émis)	1.2 µA / 2.5V	2,72 mm²	Horloge externe nécessaire. Consommation très dépendante du débit binaire, 87 µA pour 8 kb/s. Fonctionnement périodique. Faible débit binaire = long temps de transmission et de réception. D'abord réception d'un pattern à faible débit pour limiter la consommation donc temps de latence important puis réception à plus haut débit de l'ID

[19]	CMOS 90 nm	780 – 950 MHz	10 kb/s	Synchronized switching detection / OOK	-86 dBm	123 µW / 1V	1,27 mm²	Filtre SAW. La source d'alimentation n'est pas décrite et n'est pas considérée dans le bilan de consommation. Nécessité d'une horloge externe. Le traitement numérique n'est pas étudié ici, le traitement s'arrête à la conversion AD. La nature du code et le protocole de communication ne sont d'ailleurs pas détaillés ici
[20]	CMOS 130 nm	868 MHz	100 kb/s	Détection directe / OOK	-33 dBm	Semi passif, redresseur alimente comparateur	-	Pas de résultats concrets, seulement des simulations. Pas de traitement numérique du signal et donc pas de reconnaissance d'une séquence particulière. Niveau du signal de sortie, encore à traiter numériquement, est totalement dépendant du niveau de signal qui permet de fournir l'alimentation.
[21]	discrets	433 MHz	125 kb/s	Détection directe / OOK	-53,2 dBm, 31m (10 dBm émis)	2,8 µA / 3V	-	La démodulation est faite de façon passive. Le traitement du signal est ensuite effectué par un circuit actif en charge de fournir l'interruption de réveil. Le code et le système de reconnaissance de ce dernier ne sont pas présentés. Le système de démodulation comprenant des diodes Schottky n'est pas intégrable

[22]	discrets	868 MHz	125 kb/s	Detection directe / OOK	2,5m (10 dBm émis)	230nA/3V	-	La portée offerte par le système ne permet pas une utilisation pratique de cette dernière. La reconnaissance du code, non détaillée est effectuée par un microcontrôleur. La conversion AD est faite par un comparateur digital, le niveau de référence est fait par le biais d'un pont diviseur, de hautes valeurs d'impédance utilisées pour limiter le courant ne sont pas des solutions raisonnablement intégrables tout comme le multiplieur de tension nécessitant des diodes.
[23]	BiCMOS	2,4 GHz	-	Détection directe sur 4 chaînes / OOK	-83 dBm	1.62mW / 1.2V	-	Filtre actif nécessaire pour chaque chaîne de réveil. La multiplication des canaux de fréquence multiplie les chaînes dédiées à leur réception et donc l'aire de silicium. Le système de régulation de tension d'alimentation n'est également pas détaillé.
[24]	CMOS 130nm	915 MHz	100 kb/s	Détection directe / OOK	-41 dBm	98nW / 1,2V	0,03 mm²	Pas de traitement permettant de reconnaître une séquence. Dans cet exemple l'alimentation est incluse dans l'étude. Calibration exécutée à l'aide d'un FPGA non inclus dans l'étude. La tension de référence nécessaire au comparateur est fournie par le redresseur.

III.3. Architecture proposée

L'étude faite dans le paragraphe précédent conduit au choix de la modulation d'amplitude et d'une architecture à détection directe, dont le schéma bloc du récepteur de réveil est donné en Figure III-1.

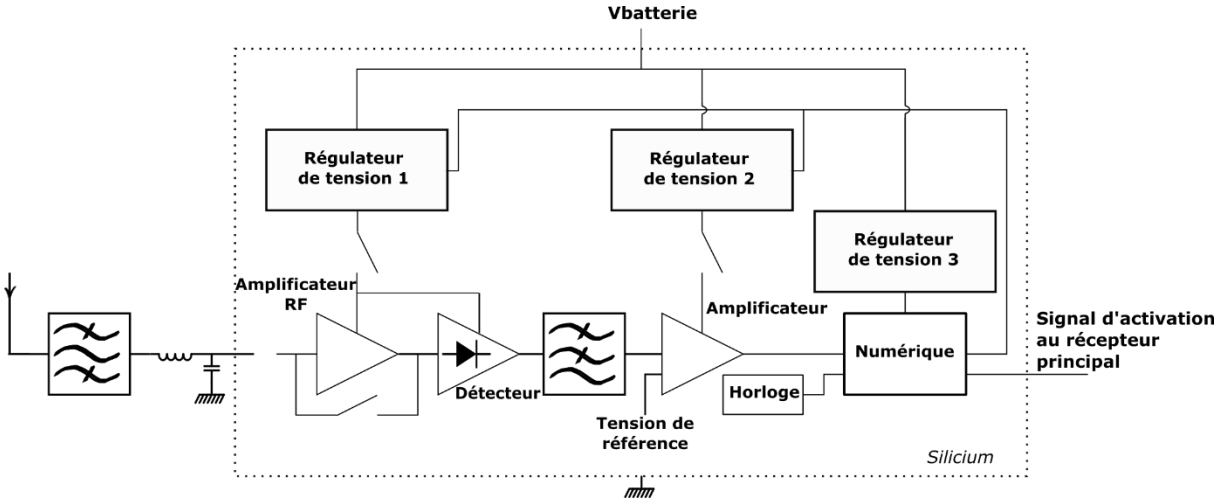


Figure III-1 : Schéma bloc du récepteur de réveil

La modulation choisit est du type OOK. Afin de limiter tout risque de « faux réveils », le message de réveil contient un code programmable identifiable par le récepteur auquel il s'adresse. Pour cela, un code de Manchester est utilisé. Le signal de réveil est illustré en Figure III-2.

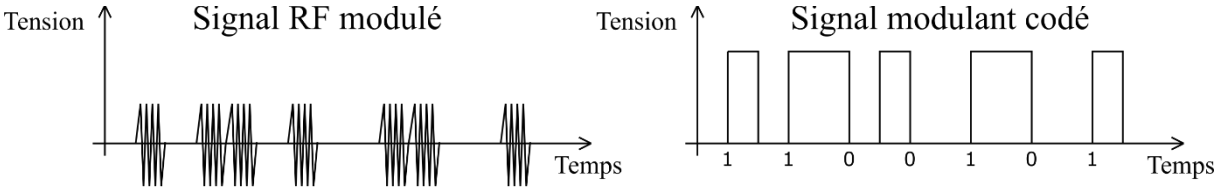


Figure III-2 : Signal de réveil modulé et modulant

L'encodage se fait à un débit binaire de 25 kbits/s. Le code nécessaire à l'identification du signal de réveil est composé de 48 bits, 24 pour le préambule et 24 pour l'adressage du récepteur. Pour diminuer la consommation du récepteur de réveil, un fonctionnement périodique est mis en place. Un rapport cyclique faible correspondant à un fonctionnement périodique lent induit une faible consommation mais augmente en contrepartie le risque de manquer une transaction. Comme le compromis à faire dépend de la fréquence d'utilisation du récepteur, elle-même dépendante de l'application, on choisit de laisser la fréquence de fonctionnement et la durée d'utilisation programmable au gré de l'utilisateur. L'horloge utilisée pour cadencer le mode de fonctionnement est entièrement intégrée. Compte tenu de la nature asynchrone des applications auxquelles ce récepteur de réveil est dédié, les conditions de stabilité de la fréquence sont relaxées et permettent donc d'avoir un oscillateur à basse consommation.

Le temps de réaction de l'homme est estimé à 500 ms. Au-delà de cette demie seconde, l'utilisateur perçoit que la commande qu'il a envoyée n'a eu aucun effet. De ce fait, pour toutes les applications pilotées par un utilisateur le temps de latence ne peut accéder 0,5 s. Ce qui correspond à une fréquence de fonctionnement de 2 Hz. Compte tenu du débit

binaire, une trame nécessite 0,96 ms. Afin de garantir la bonne réception d'une trame complète, si le cycle de réveil commence au cours de l'envoi d'un message, le temps d'écoute minimum est de 2 ms. On s'autorise un courant de 1,5 µA pour maintenir le circuit en marche pendant les phases de veille. Un cycle complet durant 500 ms, il y en a donc 172 800 par jour. Si on souhaite une autonomie de dix ans, on doit donc prendre en compte l'énergie consommée pour ces $630{,}72.10^6$ cycles au total. La capacité de la pile que nous avons choisie comme référence est de 240 mA.h = 864 000 mA.s. Ce qui autorise une quantité d'énergie par cycle de :

$$Y = \frac{864\,000}{172\,800 * 3650} = 1.37\ \mu A.s$$

La charge électrique consommée pendant un cycle par le récepteur peut s'exprimer sous la forme :

$$Y = X \times 2.10^{-3} + 1.5 \times (500 - 2) \times 10^{-3}\ \mu\mathrm{A.s}$$

Dans laquelle l'inconnue X est le courant consommé lors des phases d'écoute. Connaissant la valeur de Y, on peut déduire X :

$$X = \frac{Y - 0.623}{2.10^{-3}} = 311{,}5\ \mu\mathrm{A}$$

L'intégralité de la chaîne de réception ne doit donc pas avoir une consommation excédant 311,5 µA. La distribution des courants est résumée dans le Tableau III-2 ci-dessous.

Tableau III-2 : Distribution par bloc du courant

Fonctions	**Courant autorisé**
Amplificateur RF	300 µA
Détecteur	1 µA
Amplificateur	6 µA
Horloge	1 µA
Régulateurs de tension	2 µA
Numérique	1 µA
TOTAL	***311 µA***

Comme précisé dans les sections précédentes, la majeure partie du courant consommé est dédié à l'amplificateur RF, et correspond dans notre cas un peu plus de 96 % du courant consommé.

III.3.1. Composants externes additionnels nécessaires à la bonne réception du signal

L'élément d'entrée du récepteur est l'antenne. Suivant l'application, les performances de l'antenne, telle que sa directivité, peuvent être optimisées. Cependant l'encapsulation du dispositif introduit une contrainte sur l'antenne et donc potentiellement sur ses performances. Le gain de l'antenne joue également sur la sensibilité de l'ensemble du récepteur, comme démontré par la formule de Friis. L'antenne ne rentrant pas dans le champ de cette étude, nous choisissons une antenne du commerce pouvant satisfaire les différentes contraintes de coûts et d'encombrement imposées par les applications du projet Enlight. La bande passante de l'antenne donne une certaine sélectivité au système, malheureusement insuffisante en raison de l'encombrement des bandes de fréquence.

Parmi les avantages de la modulation d'amplitude figure le fait que récepteur peut avoir un fonctionnent large bande, et que le circuit conçu peut convenir pour une large gamme d'applications. En revanche elle nécessite un filtrage externe extrêmement sélectif et centré sur la fréquence du signal. Comme discuté au chapitre précédent cette fonction est assurée par un filtre à ondes de surface externe caractérisé par d'excellentes performances intrinsèques.

Les filtres à ondes de surface ramènent 50Ω en entrée et en sortie. Ce n'est pas forcément l'impédance optimale à présenter à l'entrée de l'amplificateur RF. Des composants SMD, sous forme d'un réseau LC sont alors utilisés pour faire la transformation d'impédance nécessaire.

III.3.2. Partie analogique du récepteur d'activation : récupération de l'information

La partie analogique va permettre de récupérer et de traiter l'enveloppe du signal contenant l'information. L'interprétation de cette dernière est ensuite faite par la partie numérique décrite plus loin dans le manuscrit.

La performance d'un récepteur se mesure principalement par sa capacité à traiter des signaux de faible amplitude. Cette faculté repose, entre autre, sur le gain du système. On souhaite que le récepteur de réveil atteigne une sensibilité de -50 dBm comme discuté au chapitre II. D'après les expérimentations faites et présentées dans le même chapitre l'amplificateur de tête devra donc fournir un gain de 20 dB à la fréquence du signal. Bien que l'on travaille dans les bandes ISM à 433 MHz et 868 MHz, on souhaite au maximum préserver la particularité large bande du récepteur. L'amplificateur doit donc absolument fournir ce gain à ces fréquences mais il est souhaitable de lui laisser la bande passante la plus large possible. La sensibilité du système réside sur son rapport signal à bruit, comme cette dernière reste limitée et le courant disponible faible, les contraintes en termes de bruit ne sont pas une priorité. Néanmoins une attention particulière doit être portée sur le bruit de façon à ce qu'il ne perturbe pas la bonne démodulation du signal. Compte tenu des niveaux d'amplitude des signaux reçus la valeur maximum du facteur de bruit est fixée à 10 dB. Concernant l'intermodulation, évaluée par l'IIP3, compte tenu de la sensibilité modeste du récepteur et de sa faible consommation, aucune exigence chiffrée n'est faite sur ce paramètre. Dans le cas où les contraintes de portée seraient relâchées il est prévu, pour réduire encore la consommation, d'introduire une fonction de court-circuit de l'amplificateur RF par une entrée « enable », et de permettre ainsi l'acheminement direct du signal jusqu'à l'entrée du détecteur. Le court-circuit de l'amplificateur permet de réduire la consommation du récepteur de 311 µA à 11 µA offrant soit une autonomie supérieure si l'on garde le même rapport cyclique (soit 142 ans, la durée de vie du système sera alors limitée par la longévité des matériaux), soit une même autonomie pour une fréquence de fonctionnement plus rapide (en conservant un temps d'écoute minimal de 2 ms et une autonomie de 10 ans, la fréquence peut être alors 33 fois plus élevée).

Une fois le signal amplifié, son enveloppe est détecté et l'information qu'elle contient relevée. Le choix d'un détecteur actif permet d'augmenter la sensibilité de la chaîne par rapport à un détecteur passif. Le principe de fonctionnement de la détection est basé sur l'utilisation de la caractéristique non linéaire d'un composant actif. Dans le cas d'un transistor, le régime le moins linéaire est le régime de faible inversion. Le transistor utilisé pour la détection sera donc placé dans ce régime. De plus, étant atteint pour des tensions grille-source inférieure à

la tension de seuil et donc faible (de l'ordre d'une centaine de millivolts) ce régime se prête bien à la détection de signaux de faible amplitude.

Malgré l'amplification d'entrée, la faible amplitude de l'enveloppe ne permet pas de la traiter directement par les circuits numériques pour en interpréter son contenu. Une amplification en bande de base est donc nécessaire. La tension d'alimentation des cellules numériques est de 1,8V. Pour optimiser l'amplitude de la tension de sortie de l'amplificateur, ce dernier est alimenté à 1,8 V tout comme le bloc numérique. Le signal modulant est à 25 kHz, on souhaite que l'amplificateur permette le traitement numérique de signaux d'une amplitude de l'ordre de 10 mV, soit qu'il fournisse un gain en tension de : $20log(\frac{1.8}{10e-3}) = 45\ dB$. L'amplificateur différentiel est utilisé comme comparateur. La tension de référence doit coïncider avec le niveau DC de la sortie du détecteur ainsi qu'à la tension de seuil de l'amplificateur de sorte à correctement identifier chaque niveau. Compte tenu de la répartition des valeurs de courants affectées à chaque fonction, moins d'un microampère doit être dépensé pour l'établissement de cette tension.

L'alimentation de la chaîne est assurée par plusieurs régulateurs de tensions qui garantissent une tension constante malgré les fluctuations de la tension de batterie. Comme évoqué plus tôt pour des raisons d'économie d'énergie le récepteur de réveil fonctionne de façon périodique. Ce fonctionnement séquencé est fait au travers des régulateurs dotés d'une entrée « enable » contrôlée par le bloc numérique lui-même cadencé par une horloge. Trois régulateurs sont nécessaires. Deux sont utilisés pour la partie analogique, l'un fournissant 1,1 V pour l'amplificateur RF et le détecteur et l'autre fournissant 1,8 V pour l'amplificateur. Le troisième régulateur est utilisé pour les blocs qui ont un fonctionnement permanent assurant ainsi le fonctionnement cyclique du reste de la chaîne.

Le cadencement du fonctionnement du récepteur est fait par un oscillateur à 100 kHz. N'étant impliqué dans aucun processus de synchronisation les contraintes sur la stabilité de sa fréquence sont relaxées. Cependant les variations de cette dernière doivent rester contenues de sorte à ne pas perturber le bon déroulement de la démodulation. Pour une fréquence de 100 kHz, l'oscillateur a une période de 10 µs. Or, un débit binaire de 25 kbits/s, implique que la transmission d'un bit prenne 40 µs soit pendant 4 périodes de l'oscillateur. Le code de Manchester est actif sur front et non sur niveau, pour être certain que le dernier front ne soit pas pris en compte et que le premier front de la trame suivante ne soit pas considéré, il faut que les 4 périodes de l'oscillateur couvrent plus de 35 µs et moins de 60 µs. Soit une variation maximale de 12,5 % tolérée sur la période d'oscillation. Cette variation sur la période se traduit par une variation de la fréquence d'oscillation de 14,3 %.

Des interrupteurs sont ajoutés pour distinguer plusieurs phases de fonctionnement telle qu'une phase de calibration et une phase d'écoute où l'amplificateur RF est actif ou non, qui sont décrites dans la suite. Le circuit proposé étant un prototype, un test bus permettant d'accéder à différents points DC du circuit est ajouté. L'adressage des nœuds est fait au travers du bloc numérique et de l'interface SPI permettant la programmation du circuit qui est décrite plus loin.

III.3.3. Partie numérique du récepteur d'activation : traitement de l'information

Le procédé CMOS est particulièrement adapté aux opérations logiques par sa faculté à distinguer facilement un état on et un état off et la rapidité du changement d'état. L'état du transistor est commandé par sa tension de grille. Les niveaux logiques interprétés sous la

forme de 1 et de 0 correspondent respectivement à un niveau de tension égal à la tension d'alimentation soit 1,8V référencée à la masse soit 0V. Dans le cadre de ce travail, on peut distinguer les fonctions du bloc numérique selon deux principaux axes. Le premier en charge du décodage est directement complémentaire de la partie analogique pour réaliser la démodulation. Le second permet la supervision du fonctionnement du récepteur. L'ensemble des fonctions du numérique est résumé dans la Figure III-3 ci-dessous.

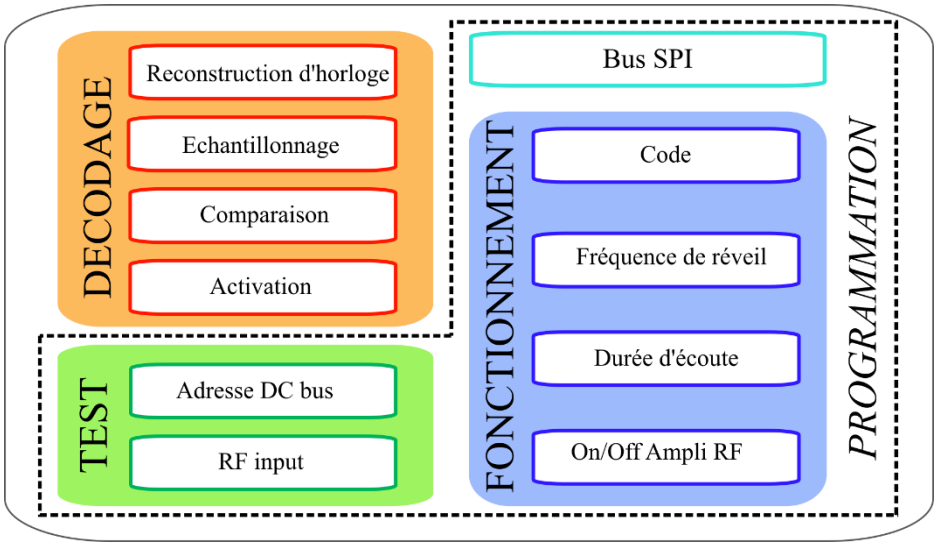


Figure III-3 : Schéma de principe du bloc numérique

Le rôle de la partie numérique dans la démodulation est l'interprétation des données reçues. Elle doit retourner la suite de bit contenu dans le signal à l'issu du traitement analogique, la comparer avec celle enregistrée au préalable et activer ou non la sortie d'activation. Pour qu'il n'y ait pas d'erreur d'interprétation, l'échantillonnage du signal doit être fait à la bonne fréquence. Dans ce cas, la stabilité de la fréquence de l'horloge est capitale. L'avantage du code de Manchester est qu'il permette de facilement reconstruire le signal d'horloge [25]. L'extraction de la suite de bit contenue dans le signal commence donc par la reconstruction du signal d'horloge. Cette suite est composée d'un préambule de 24 bits, permettant de s'assurer de la bonne initialisation du registre. Les 24 bits suivant correspondent au code d'activation, ils sont placés dans un registre à décalage puis comparés au contenu d'un autre registre préalablement programmé par l'utilisateur. La comparaison est faite par un non ou exclusif logique qui retourne un 1 si, et seulement si, le niveau logique de ses deux entrées est le même. Dans le cas où les 24 bits sont identiques, un pulse de 1 ms est émis par le bloc digital. Les IO digitaux comprenant des élévateurs de tension transformant le niveau 1.8V en Vbat, l'amplitude du pulse délivré et utilisé pour activer le récepteur principal est identique à la tension d'alimentation externe.

La gestion du fonctionnement du circuit se fait par le biais du bloc numérique. Ce dernier entièrement programmable permet le fonctionnement cyclique du récepteur en activant à une fréquence donnée pendant une durée déterminée, toutes deux fixées par l'utilisateur, les régulateurs de tension. En plus de la gestion globale, le bloc numérique permet la commande de plusieurs blocs tels que l'activation de l'amplificateur RF, l'adressage du bus DC, la position des switch RF d'entrée utilisés à des fins de test. Les valeurs de ces commandes sont stockées dans des registres programmables. Le code reconnu pour l'activation est lui aussi programmable. Une interface SPI est intégrée et permet la programmation de tous ces registres. Le bus SPI est un bus 3 ou 4 fils (Clock, Data in/out,

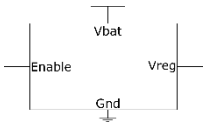
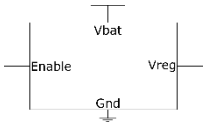
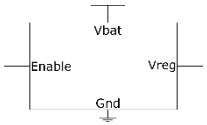
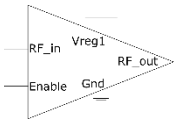
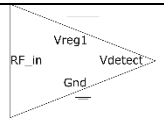
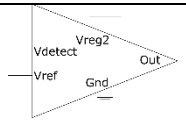
Enable). Dans le cas du bus 4 fils, Data in et Data out ont chacun leur fil dédié. Grâce à un module USB-SPI, la programmation des registres se fait via un PC. Une interface graphique permet aisément à l'utilisateur de programmer comme il le souhaite le circuit. La programmation des registres se fait à la mise en marche du récepteur de réveil. Le contenu des registres peut être modifié à tout instant et reste en mémoire tant que le récepteur est alimenté. Le contenu des registres est résumé dans le Tableau III-3 ci-dessous.

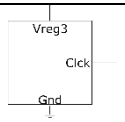
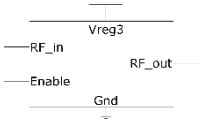
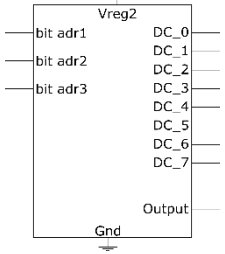
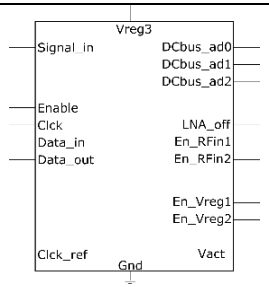
Tableau III-3 : Récapitulatif de l'ensemble des registres

Registres		Valeurs	Valeur par défaut	Descriptif
N		1 à 256	6	Durée d'écoute = N*1024 µs
DC		0 à 10	4	Fréquence d'écoute = (100 kHz/1024)/(2^{DC})
R5	b0 = RF_on_lna	0 ou 1	1	Commande du switch d'entrée sur l'amplificateur RF
R5	b1 = RF_on_detect	0 ou 1	0	Commande du switch d'entrée sur le détecteur
R5	b2 = LNA_off	0 ou 1	0	Commande de bypass de l'amplificateur RF
R6	b0 = Vdd_ana_enable	0 ou 1	0	Force l'inhibation du fonctionnement périodique sur le régulateur à 1,1V
R6	b1 = pulse_init	0 ou 1	0	Force l'état du bit d'initialisation
R6	b2 = RF_on_lna	0 ou 1	0	Force la commande du switch d'entrée sur l'amplificateur RF
R6	b3 = RF_on_detect	0 ou 1	0	Force la commande du switch d'entrée sur le détecteur
R6	b4 = LNA_off	0 ou 1	0	Force l'état de bypass de l'amplificateur RF
R6	b5 = Vact	0 ou 1	0	Force l'état de la sortie d'activation
R7	bit 0	0 ou 1	0	
R7	bit 1	0 ou 1	0	Adresse du point DC retourné par le DC bus
R7	bit 2	0 ou 1	0	
R7	bit 3 = masque_on	0 ou 1	0	L'activation du masque permet d'inhiber la reconnaissance du préambule
R8	code octet 1	00 à FF	55	
R9	code octet 2	00 à FF	FF	Code d'activation
R10	code octet 3	00 à FF	FF	
R11	validité octet 1	00 à FF	FF	
R12	validité octet 2	00 à FF	FF	Sélection des bits du code à reconnaître
R13	validité octet 3	00 à FF	FF	

Le Tableau III-4 résume les caractéristiques de l'ensemble des sous-blocs du récepteur d'activation.

Tableau III-4 : Présentation des différents sous-circuits du récepteur d'activation

Fonction	Symbôle	Tension d'alimentation			Consommation	Caractéristiques
		Min	Nom	Max		
Régulateur de tension 1		1,8	3,3	3,6	2 Pour l'ensemble des régulateurs	Vreg = 1,1V Enable actif sur niveau de tension à 1,8V
Régulateur de tension 2		1,8	3,3	3,6		Vreg = 1,8V Enable actif sur niveau de tension à 1,8V
Régulateur de tension 3		1,8	3,3	3.6		Vreg = 1,8V Enable actif sur niveau de tension à 1,8V
Amplificateur RF			1,1		I_{on} = 300	Gain (433 MHz, 868 MHz, 915 MHz) = 20 dB NF < 10 dB Enable actif sur niveau de tension à 1,8V pour activer le mode bypass
Détecteur d'enveloppe			1,1		1	Retourne le signal de demi-enveloppe négative
Amplificateur			1,8		7	Gain (25 kHz) = 45 dB Inversion de Vdetect

Timer			1,8		2	F = 100 kHz Δf = 14%
RF switch			1,8			Enable actif sur niveau à 1,8V Passant quand enable actif Isolation = 20 dB
DC bus switch			1,8			Bit adresse = 1 pour un niveau de tension à 1,8V
Numérique			1,8		2	

En Figure III-4, un chronogramme du fonctionnement du récepteur est présenté. Il met en évidence le fonctionnement périodique de ce dernier ainsi que le mécanisme de décodage.

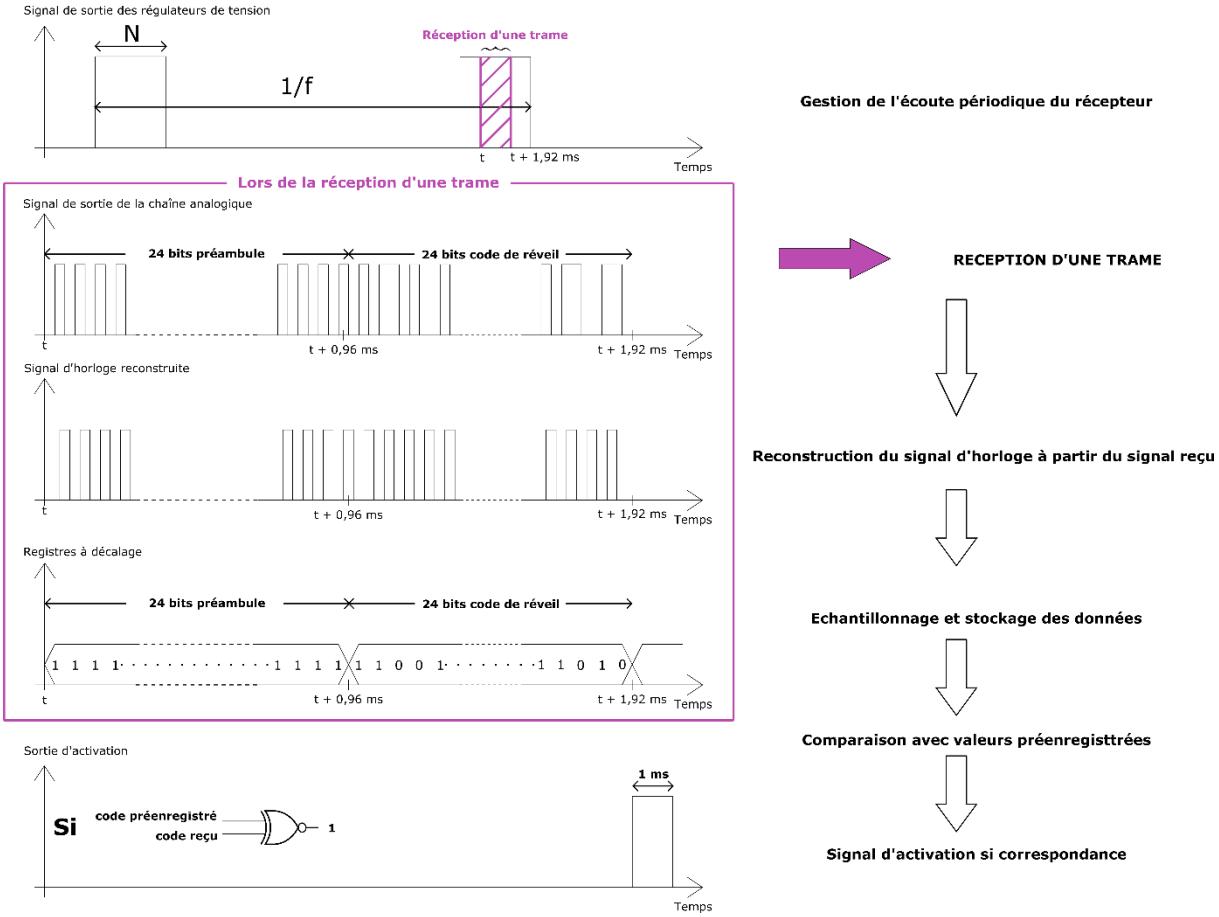


Figure III-4 : Chronogramme du fonctionnement du récepteur d'activation

Conclusion

Le détail de chaque partie de la chaîne de réception est résumé dans le tableau ci-dessous. Comme l'a montré l'étude bibliographique, les architectures les plus simples sont préférées pour les récepteurs de réveil. Ces dernières présentent les meilleurs compromis en termes de performances et de consommation. Une architecture à détection directe, ne nécessitant pas d'oscillateur local est choisie. Travaillant sur les bandes ISM sub-gigahertz, et toujours avec la contrainte de l'efficacité passive et bon marché, la sélectivité entière du récepteur est assurée par un filtre à onde de surface comme majoritairement relevé dans la littérature. Contrairement à de nombreux travaux, l'architecture présentée ici consiste en un circuit complet intégrant les blocs de polarisation et un traitement numérique sans FPGA additionnel. Pour limiter le courant moyen consommé tout en permettant l'utilisation d'un amplificateur RF, un fonctionnement périodique est choisi. Aucune horloge externe n'est nécessaire, un oscillateur bouclé est utilisé pour cadencer le fonctionnement du circuit.

Chapitre IV. Design du récepteur d'activation

Dans les chapitres précédents, nous présentons l'avantage de la solution des récepteurs de réveil et les différentes architectures les plus appropriées pour ce type de circuit très basse consommation. Dans ce chapitre, la conception de chaque bloc est détaillée. Nous rappelons que pour la réalisation de ce circuit, la technologie C14 de NXP est choisie. Ainsi tous les blocs sont conçus en CMOS 0,16 µm. Les simulations permettant la conception du circuit sont réalisées à l'aide du logiciel Cadence Virtuoso 6.1. Dans le Tableau IV-1 ci-dessous sont résumés les enjeux du design de l'ensemble du récepteur présentés au cours des chapitres précédents.

Tableau IV-1 : Principales contraintes de design

Caractéristiques	**Valeurs**	**Commentaires**
Tension d'alimentation	3,6V à 1,8V	Tension nominale CR2032 de 3,3V
Température	-55°C à 125°C	Gamme très stricte pour couvrir les exigences des applications d'éclairage
Fréquence	100 MHz – 5 GHz	Très large bande pour une utilisation sur un large panel d'applications.
Débit binaire	25 kbits/sec	Code de Manchester
Temps de latence	< 100 ms	Temps de réaction de l'homme 0,5 ms et temps de latence du récepteur de réveil et du récepteur principal

IV.1. L'antenne

La bonne réception du signal est tributaire de l'antenne. Compte tenu des compromis faits sur la conception en termes de performances afin d'atteindre des consommations minimales, la qualité de l'antenne, dans ce type de circuit, joue un rôle important sur les performances globales. Afin d'améliorer le gain de l'antenne, il est envisageable de dessiner une antenne pour chaque application, optimisant ainsi sa directivité et son design. Bien que pouvant améliorer nettement la qualité de la réception, ce développement est spécifique à chaque application et pourrait devenir coûteux. Egalement pour des raisons d'encombrement, l'antenne peut être un élément commun entre le récepteur de réveil et le récepteur principal. Elle n'est donc pas obligatoirement optimisée pour le récepteur de réveil, et son design n'a pas fait l'objet de ces travaux. Une antenne du commerce fonctionnant à la fréquence choisie est utilisée (fabricant RF solutions, FLEXI-SMA90-868, [1]).

IV.2. Filtre à onde de surface

Filtre à onde de surface ou filtre SAW, ce dernier est placé directement après l'antenne. Ce composant est acheté à l'extérieur. Nous faisons le choix de ce filtre pour ses performances remarquables. Bien qu'étant un composant coûteux, il peut lui aussi être commun au récepteur de réveil et au récepteur principal, permettant ainsi de réduire l'impact de son coût et de son encombrement. On le retrouve d'ailleurs dans de nombreuses applications radios, notamment dans les clés RF.

Fabriqués à partir de cristaux piézoélectriques, ce sont des composants électromécaniques. Les signaux électriques reçus sont convertis en ondes mécaniques qui traversent le filtre puis sont de nouveau convertis en signaux électriques.

Nous avons évalué dans le chapitre précédent les spécifications du filtre afin d'assurer une sélectivité correcte. Au vu des différentes solutions rencontrées dans la littérature, les filtres SAW apparaissent comme les plus appropriés. Les filtres BAW et YIG offrant des performances similaires et sont généralement plus couramment utilisés pour des fréquences plus élevées.

Il faut néanmoins noter la perte induite par ces filtres pouvant aller jusqu'à 4 dB. Le filtre EPCOS B3734 dont les performances sont présentées en Figure IV-1, est utilisé, [2].

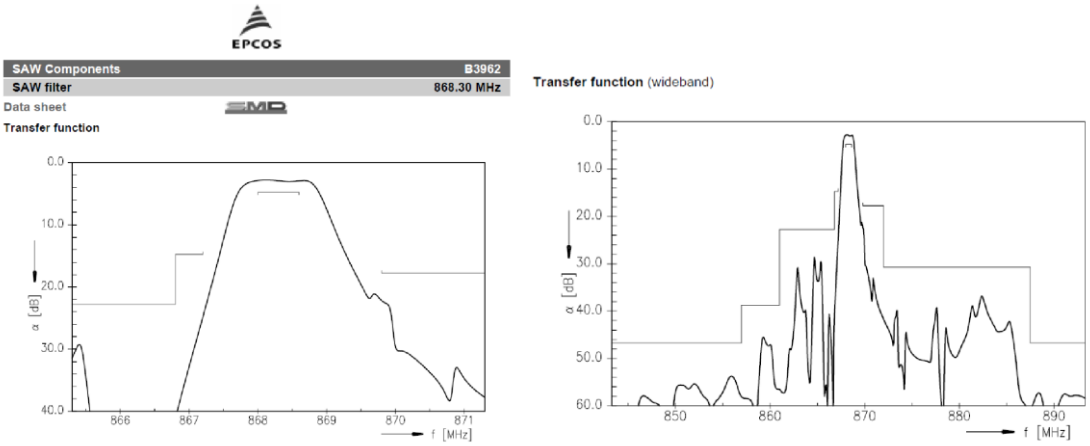


Figure IV-1 : Réponse en fréquence du filtre issue de la documentation Epcos [2]

IV.3. Adaptation d'impédance

Le filtre et l'antenne sont deux composants du commerce présentant des impédances à 50 Ω. L'adaptation d'impédance qui se fera entre le filtre et le détecteur résultera en une élévation de tension. Compte tenu des faibles signaux qui seront reçus, cette dernière facilitera la détection.

Le réseau d'adaptation est fait par un réseau LC. On souhaite présenter une impédance de 3,9 kΩ en entrée du détecteur. Afin de calculer l'élévation de tension résultante de cette transformation d'impédance, on peut raisonner comme pour un transformateur, Figure IV-2.

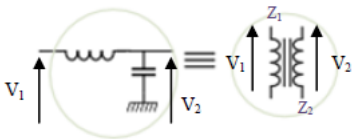


Figure IV-2 : Représentation du réseau d'adaptation LC

Le nombre de tour de l'inductance N, est exprimé tel que N = $\sqrt{\frac{Z_2}{Z_1}}$, on peut ainsi déduire N = 8,8. Connaissant également la relation le reliant aux niveaux de tension tel que N =$\frac{V_2}{V_1}$, on aura donc une élévation d'un facteur 8,8.

Pour une puissance reçue de -30 dBm, $V_1 = \sqrt{2 * P_{in} * Z_1}$= 10 mV → V_2 = 88 mV.

Le calcul des valeurs de L et C est présenté ci-après. Le réseau de transformation d'impédance est illustré Figure IV-3.

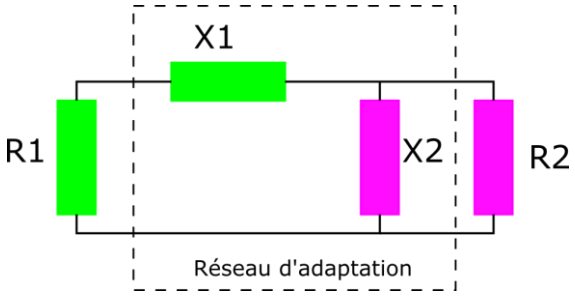


Figure IV-3 : Schéma de principe du réseau d'adaptation d'impédance

R1 et X1 représentent le réseau série pour lequel le facteur de qualité s'exprime Qs = X1/R1. R2 et X2 constituent le réseau parallèle dont le facteur de qualité s'exprime Qp = R2/X2. Pour qu'il y ait adaptation il faut que R1R2 = - X1X2 soit que ces deux facteurs de qualité soient égaux en module. On a alors Qs = Qp = $\pm\sqrt{\frac{R2}{R1} - 1}$

Dans notre cas, Qs = Qp = $\pm\sqrt{77}$ = $\pm$ 8.8

Connaissant R1 et R2, on déduit du calcul précédent deux solutions :

X1 = -440Ω X1 = 440Ω

X2 = 443,2Ω X2 = -443,2Ω

Dans notre cas X1 est une inductance et X2 un condensateur, ce sont donc les valeurs de la deuxième solution qui sont retenues.

X1 = Lω, à 433 MHz, **L = 161 nH**

X2 = -1/Cω à 433 MHz, **C = 0,83 pF**

Voici en Figure IV-4, les résultats simulés à l'aide de composants idéaux, en considérant un port d'entrée référencé à 50Ω, émettant un signal sinusoïdal de -30 dBm à 433 MHz (signal V_1, le signal V_2 étant la sortie du dispositif d'adaptation). Cette simulation faite avec des composants idéaux et ne tenant pas compte des parasites qui sont ajoutés par les pistes du PCB notamment, permet toutefois d'évaluer la réponse du dispositif.

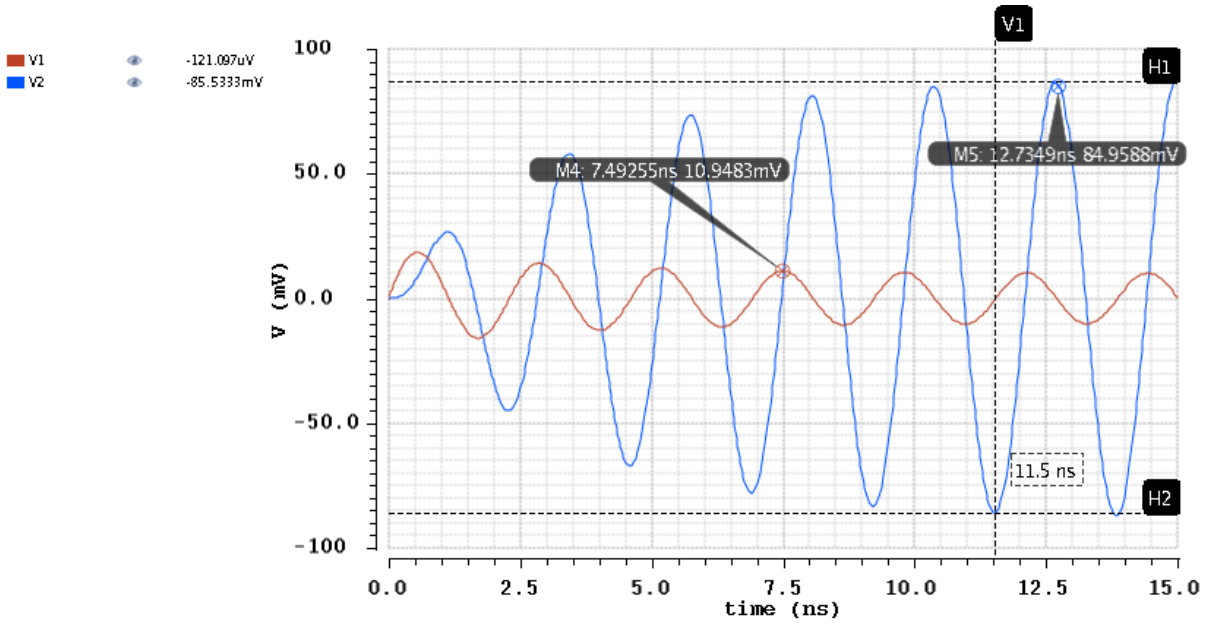


Figure IV-4 : V_1 et V_2 en fonction du temps, pour un signal de -30dBm à 433 MHz

Le temps de réponse du réseau LC est d'environ 11.5 ns soit 5 fois la période du signal ce qui n'est pas du tout gênant. L'élévation en tension est légèrement en-dessous de nos attentes, $V_2 = 7.7*V_1$. En Figure IV-5 est illustré l'impact des variations de la valeur de la résistance. En effet de par leur conception, les composants électroniques n'ont pas des valeurs exactes.

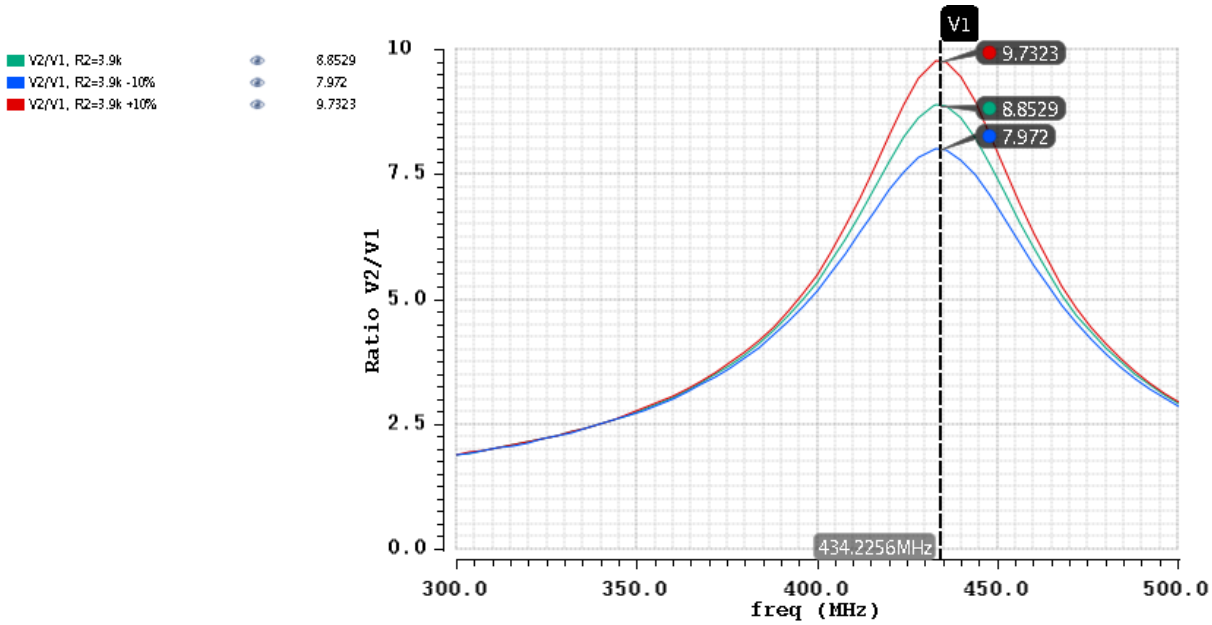


Figure IV-5 : V_2/V_1 pour différentes valeurs de charge en fonction de la fréquence

La variation de la valeur de la charge induit une variation de la fréquence centrale, un changement de gain en tension, et une variation du ratio bande passante / fréquence centrale. Il est pour le moment inutile de noter avec précision les variations, car comme mentionné plus tôt, les parasites du PCB et l'inexactitude des valeurs choisies des composants par rapport à celle calculées en théorie vont venir modifier ces résultats.

IV.4. Détecteur d'enveloppe

IV.4.1. Généralités

Dans le cas étudié ici le signal est modulé en amplitude, ce qui fait du détecteur d'enveloppe un élément clé de la chaîne afin de récupérer l'information transmise. Cette capacité à retranscrire le signal modulant repose sur la non-linéarité du système. Comme évoqué précédemment le composant passif non-linéaire adéquat est la diode. Mais les limites des tensions de seuil des diodes limitent la sensibilité du récepteur. Le fonctionnement en régime de faible inversion du transistor permet d'obtenir cette non-linéarité sans cette limitation de seuil mais au sacrifice d'une légère consommation en courant.

Plusieurs designs ont été réalisés pour optimiser le détecteur. L'ensemble des travaux seront présentés dans les paragraphes suivants.

IV.4.2. Régime de faible inversion

La construction même du transistor impose qu'une tension minimale soit appliquée sur la grille du transistor afin de créer un canal de diffusion entre le drain et la source. C'est au travers de ce dernier que les électrons passent et qu'ainsi la conduction est faite. Cette tension est appelée tension de seuil et est notée V_{TH}. Dans les modèles simples, si la tension grille-source (V_{GS}) est inférieure ou égale à la tension de seuil, le canal n'est pas créé. Le transistor est alors ouvert et aucun courant ne le traverse. Un modèle plus précis, avec la condition $V_{GS} \leq V_{TH}$, montre que l'énergie thermique peut être suffisante pour créer un courant de diffusion entre le drain et la source. Néanmoins pour que ceci soit possible il faut que V_{GS} soit suffisamment importante pour créer une zone de déplétion. Dans le cas contraire, le seul courant perçu est un courant de fuite et donc inexploitable.

Le courant de drain s'exprime par :

$$I_D = I_S \times \frac{W}{L} \times \exp\left(\frac{V_{GS} - V_{TH}}{n \times U_T}\right)$$

Où W et L sont les dimensions du transistor, I_S le courant caractéristique, n le facteur de pente, V_{TH} la tension de seuil et $U_T = kT/q$ un paramètre dépendant de la température.

En Figure IV-6, le courant de drain est tracé en fonction des tensions V_{GS} et V_{DS}, on note la caractéristique exponentielle du courant en fonction de V_{GS} mais aussi la forte pente de $I_{DS} = f(V_{DS})$ correspondant à résistance R_{DS} très faible.

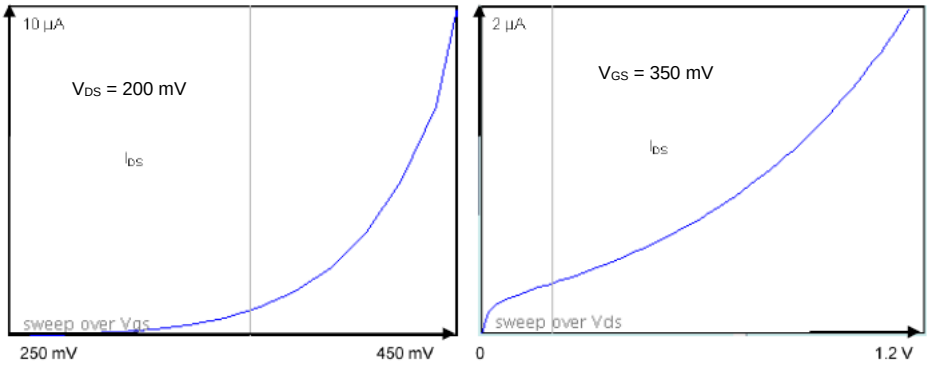


Figure IV-6 : I_{DS} vs V_{GS} à gauche et I_{DS} vs V_{DS} à droite (NMOS, W = 5 µm, L= 0.16 µm)

La dépendance exponentielle du courant à la tension de seuil laisse présager d'une forte dépendance avec les variations de procédé. En effet, la variation de la longueur de grille inhérente au procédé de fabrication va induire une variation de la tension de seuil ce qui induira une variation du courant de drain. En Figure IV-7, les effets de la variation de la longueur de grille sont présentés. On constate sans surprise que pour un même transistor, l'augmentation de la tension V_{GS} augmente le courant et réduit la résistance R_{DS}. On remarque également que l'augmentation de la longueur de grille augmente considérablement R_{DS}. Pour un même courant, il y aura donc plus de gain. Compte tenu du facteur U_T, une dépendance en température est également à prévoir. On compare en Figure IV-8 l'impact sur le courant de drain des variations des dimensions de grille pour un ratio identique. Un transistor avec une longueur de grille plus importante bénéficie d'une tension de seuil plus faible.

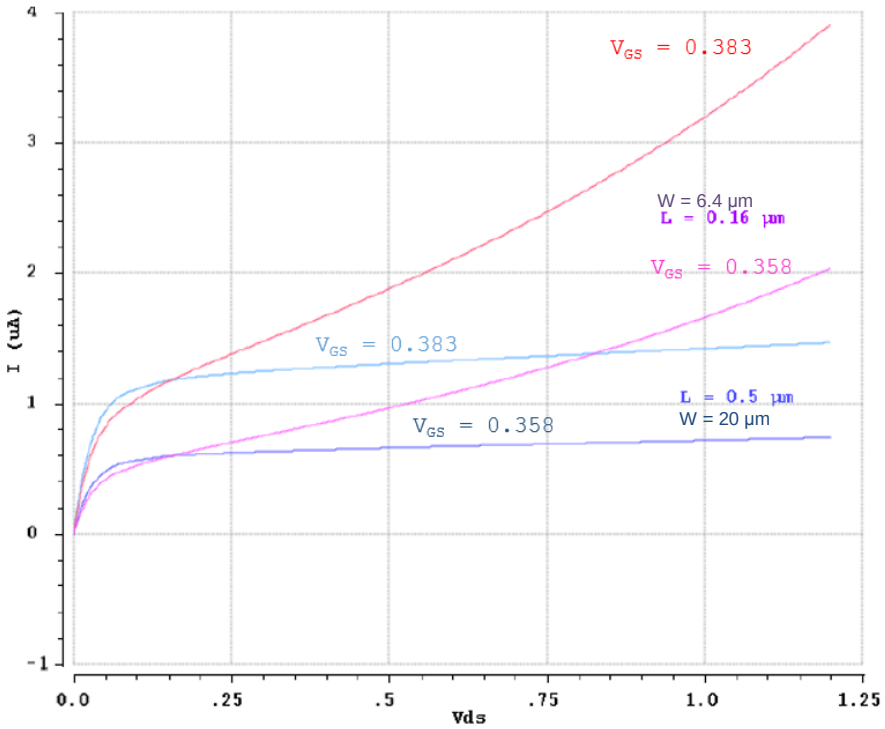
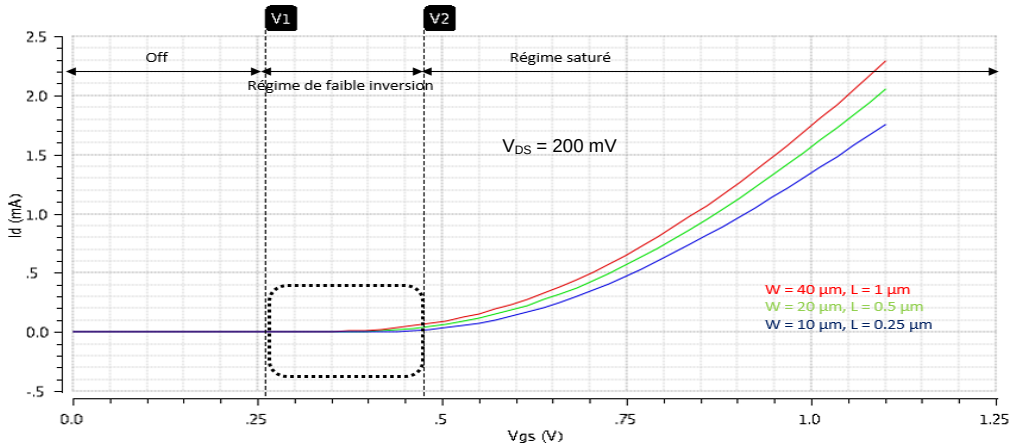
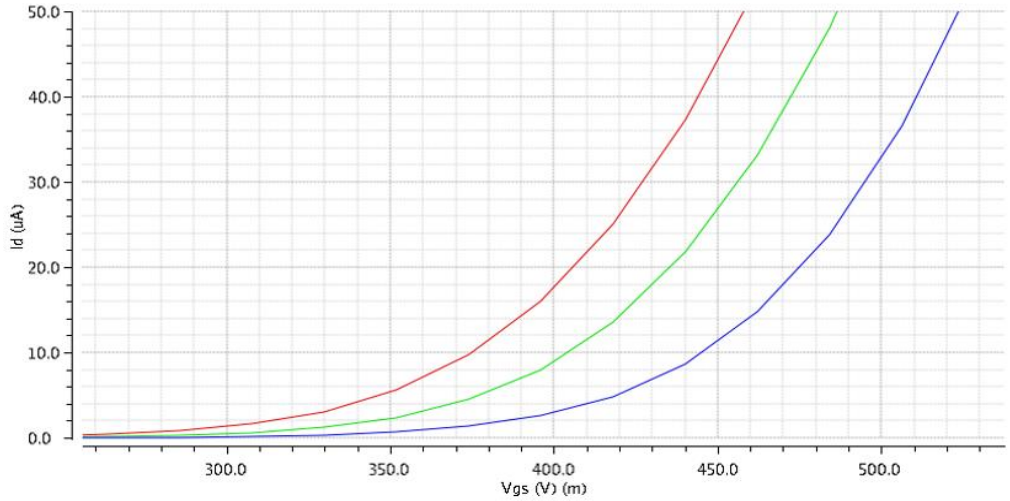


Figure IV-7 : I_{DS} vs V_{DS} pour différentes longueurs de grille et V_{GS}



(a)



(b)

Figure IV-8 : I_{DS} vs V_{GS} d'un transistor NMOS pour différentes longueurs et largeurs de grille mais à ratio identique (a) et (b) zoom de la zone encadrée.

Cette caractéristique non-linéaire du transistor en faible inversion est utilisée pour la réalisation du détecteur d'enveloppe.

IV.4.3. Etude de la conception du détecteur

La première solution envisagée consiste à d'utiliser la diode du transistor. La tension de seuil du procédé C14 bien que basse (430 mV) ne permet pas de détecter de faibles signaux. On choisit donc d'appliquer une tension de polarisation pour améliorer ses performances comme illustrée en Figure IV-9.

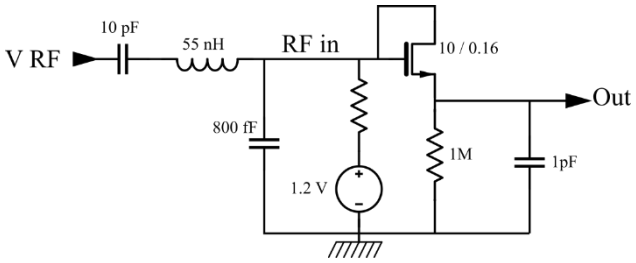


Figure IV-9 : Schéma d'un détecteur, NMOS monté en diode polarisée

Malgré la polarisation de la diode, les performances de ce circuit, Figure IV-10, n'atteignent pas les performances requises. Cette solution est donc abandonnée pour la conception du détecteur.

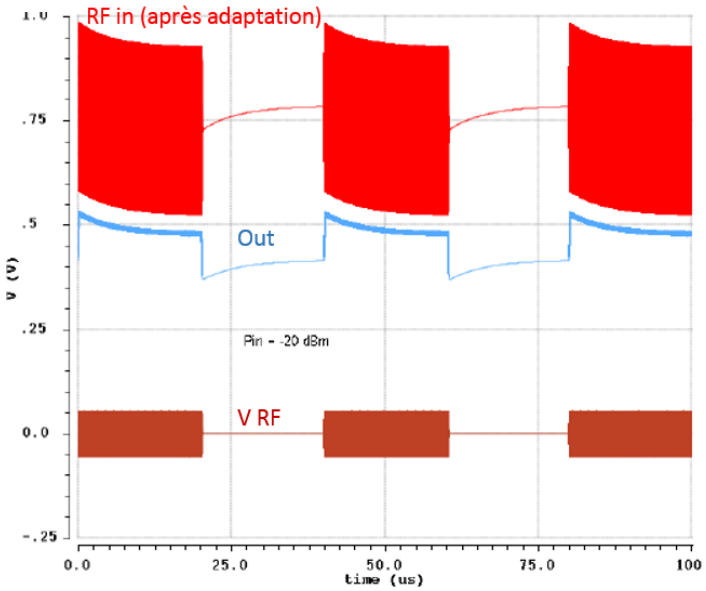


Figure IV-10 : Tensions du détecteur en fonction du temps, conditions nominales

La deuxième solution évaluée est un amplificateur non linéaire, Figure IV-11. Le transistor est alors utilisé en faible inversion.

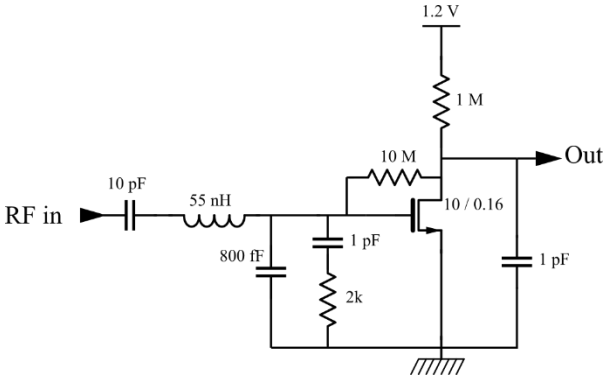


Figure IV-11 : Schéma de l'amplificateur non linéaire NMOS

La variation de la valeur du condensateur d'entrée, utilisé pour isoler le signal DC de la RF, montre que le signal de sortie lui est fortement dépendant, Figure IV-12. Le temps de charge et de décharge de ce dernier distord le signal. Cette forte influence est due à la contre réaction qui vient modifier la charge globale présentée à l'entrée du transistor quand un signal

RF est appliqué. Plus le condensateur a une valeur importante, moins la distorsion est importante. Pour une même variation de courant, la charge globale du condensateur va moins varier en valeur relative, pour une capacité élevée plutôt que pour une capacité faible. Pour être moins sensible aux variations de courant il faut un condensateur de forte valeur alors que pour limiter les phénomènes de charge et de décharge trop importants il vaut mieux un condensateur de faible valeur. Il a donc fallu repenser la façon de polariser ce transistor.

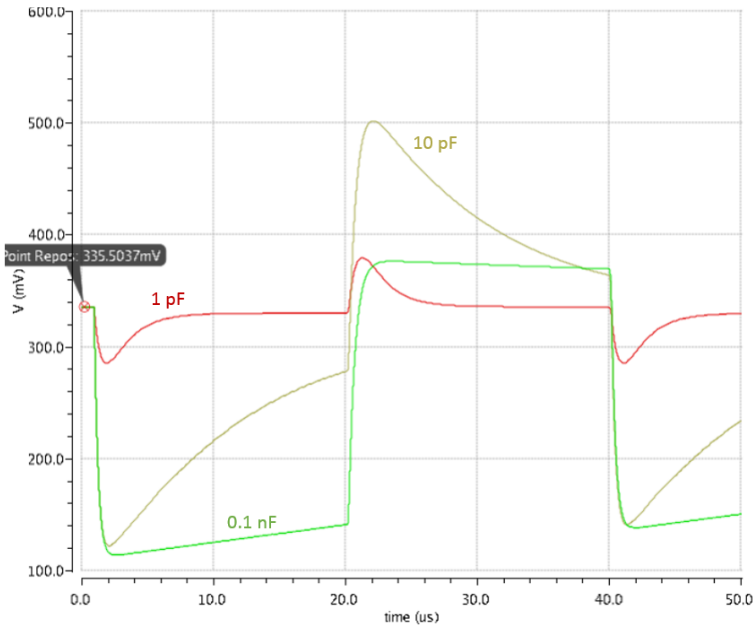


Figure IV-12 : Tension de sortie du détecteur en fonction de la valeur du condensateur d'entrée

La solution envisagée est de polariser le détecteur à travers un autre détecteur identique au premier, Figure IV-13. La solution a prouvé son efficacité pour réduire la sensibilité à la valeur du condensateur d'entrée, Annexe 2. Mais cette solution double la consommation (2 µA au lieu de 1 µA) et la surface. Elle nécessite aussi l'emploi de deux résistances de 10 MΩ qui occupent une surface importante.

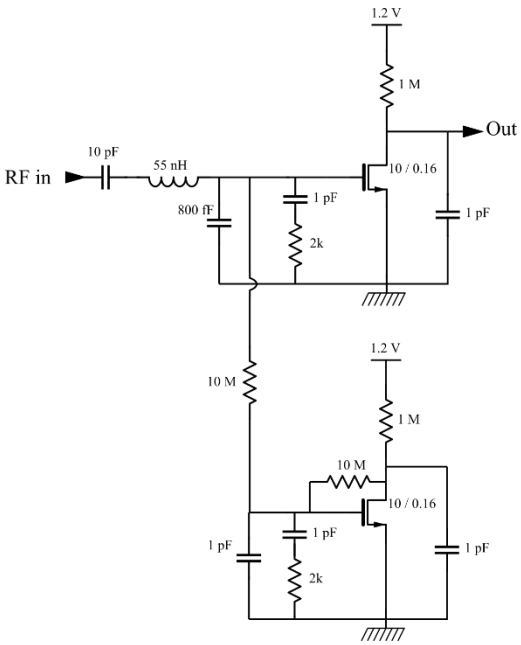


Figure IV-13 : Schéma de l'amplificateur non linéaire polarisée par sa recopie

Pour compenser ce dernier défaut, dans la solution suivante, des amplificateurs sans contre réaction ont été utilisés éliminant ainsi la nécessité de ces deux importantes résistances, Figure IV-14.

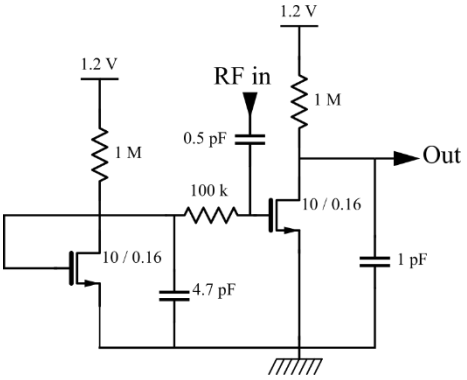


Figure IV-14 : Montage amplificateur sans contre réaction

Le nouveau montage imaginé induit lui aussi une consommation double. Cependant la taille de circuit est réduite par l'abandon des deux résistances de 10 MΩ.

Après la détection, le niveau du signal ne répond pas aux exigences de la partie numérique en charge du décodage. Il faut pouvoir identifier le niveau bas et le niveau haut. Cette comparaison/amplification est faite par un comparateur qui prend comme signaux d'entrée l'enveloppe du signal restitué par le détecteur et une tension de référence. De façon à « rentabiliser » la double consommation introduite précédemment la tension de sortie DC du 2ième des 2 détecteurs identiques est utilisée comme tension de référence. Les analyses de Monte Carlo (Latin Hypercube Sampling) montrent que la différence entre la tension DC de sortie et celle du 2ième détecteur peut attendre ±150 mV (σ = 58,5 mV), Annexe 3. Dans notre cas, l'étage différentiel comparateur a un gain DC trop élevé pour que cette solution puisse être utilisée. En effet, un tel écart entre les deux tensions conduirait au basculement et au blocage de sa sortie au niveau 0 ou V_{DD} suivant les cas, le rendant inutilisable.

D'autres structures de détection, et leur polarisation sont présentées en Annexe 4.

IV.4.4. Design du détecteur choisi

Le montage amplificateur sans contre réaction, Figure IV-15, présente de bonnes performances et de par sa simplicité offre une consommation en accord avec nos objectifs (de 1 µA pour le détecteur). Sa capacité de détection induite par le régime de faible inversion lui prodigue aussi un gain de détection dont le calcul est détaillé ci-dessous.

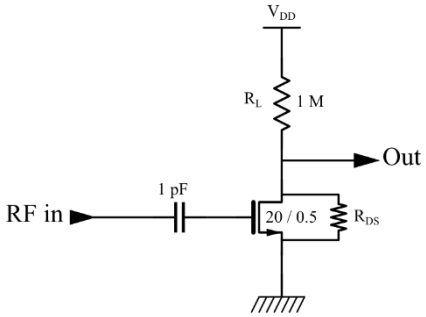


Figure IV-15 : Schéma du détecteur d'enveloppe

Le courant de drain s'exprime par :

$$I_D = I_S \times \frac{W}{L} \times \exp\left(\frac{V_{GS} - V_{TH}}{nU_T}\right)$$

Où W et L sont les dimensions du transistor, I_S le courant caractéristique, n le facteur de pente, V_{TH} la tension de seuil et U_T = kT/q un paramètre dépendant de la température.

Avec :

A_{RF} : Amplitude du signal RF	V_{detect} : Amplitude du signal de sortie
I_{D0} : Courant de drain DC	I_{DRF} : Courant de drain lorsque de la RF est appliquée
Out_0 : Tension de sortie DC	Out_{RF} : Tension de sortie lorsque de la RF est appliquée
R_L : Résistance de charge	R_{DS} : Résistance drain-source

Le gain en tension est défini par le ratio entre la tension détectée en sortie et le niveau de tension appliqué en entrée et s'écrit :

$$G = \frac{V_{detect}}{A_{RF}}$$

La tension détectée Vdetect est l'amplitude du signal de sortie :

$$Vdetect = Out_0 - Out_{RF}$$

Qui peut être développé de la façon suivante :

$$Vdetect = V_{DD} - R_L \times I_{D0} - V_{DD} - (R_{DS}//R_L) \times \delta I_{DRF}$$

$$Vdetect = (R_{DS}//R_L) \times \delta I_{DRF} - R_L \times I_{D0}$$

Où

$$\delta I_{DRF} = I_{D0} - \overline{I_{DRF}}$$

Et

$$\overline{I_{DRF}} = I_S \frac{W}{L} \frac{1}{T_{RF}} \int_0^{T_{RF}} \exp\left(\frac{V_{GS0} - V_{RF} - V_{TH}}{nU_T}\right) dt$$

Afin de simplifier les calculs, on choisit un signal RF carré. On peut ainsi considérer que

$V_{RF} = \pm A_{RF}$. Cette hypothèse conduit à :

$$\overline{I_{DRF}} = \frac{1}{2} I_S \frac{W}{L} \left[\exp\left(\frac{V_{GS0} + A_{RF} - V_{TH}}{nU_T}\right) + \exp\left(\frac{V_{GS0} - A_{RF} - V_{TH}}{nU_T}\right)\right]$$

On peut alors calculer δI_{DRF} :

$$\delta I_{DRF} = I_S \frac{W}{L} \left[\exp\left(\frac{V_{GS0} - V_{TH}}{nU_T}\right) - \frac{1}{2}\exp\left(\frac{V_{GS0} + A_{RF} - V_{TH}}{nU_T}\right) - \frac{1}{2}\exp\left(\frac{V_{GS0} - A_{RF} - V_{TH}}{nU_T}\right)\right]$$

Ainsi Vdetect peut être exprimé sous la forme :

$$V_{detect} = (R_{DS}//R_L) \times I_S \times \frac{W}{L} \times \left[\exp\left(\frac{V_{GS0} - V_{TH}}{nU_T}\right) - \frac{1}{2}\exp\left(\frac{V_{GS0} + A_{RF} - V_{TH}}{nU_T}\right) - \frac{1}{2}\exp\left(\frac{V_{GS0} - A_{RF} - V_{TH}}{nU_T}\right)\right] - R_L \times I_s \times \frac{W}{L}\exp\left(\frac{V_{GS0} - V_{TH}}{nU_T}\right)$$

En divisant par A_{RF} on obtient alors l'expression complète du gain de détection :

$$G = \frac{(R_{DS}//R_L) \times I_S}{A_{RF}} \times \frac{W}{L} \times \left[\exp\left(\frac{V_{GS0} - V_{TH}}{n \times U_T}\right) - \frac{1}{2}\exp\left(\frac{V_{GS0} + A_{RF} - V_{TH}}{n \times U_T}\right) - \frac{1}{2}\exp\left(\frac{V_{GS0} - A_{RF} - V_{TH}}{n \times U_T}\right)\right] - \frac{R_L \times I_s}{A_{RF}} \times \frac{W}{L} \times \exp\left(\frac{V_{GS0} - V_{TH}}{n \times U_T}\right)$$

Le gain de détection est directement dépendant de la géométrie par le coefficient $\frac{W}{L}$, mais également au travers de la tension de seuil V_{TH}. La Figure IV-16 représente l'évolution du gain de détection en fonction de la largeur et de la longueur de grille du transistor.

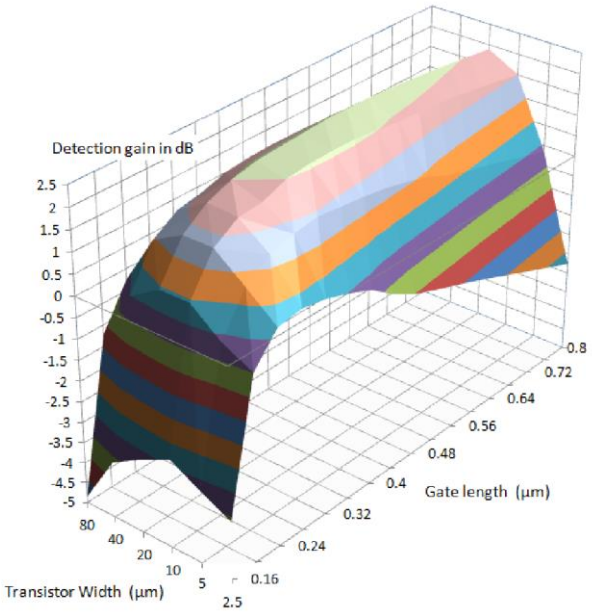


Figure IV-16 : Gain de détection du détecteur en fonction des dimensions de grille

La partie théorique, les conséquences de la simplification consistant à considérer un signal RF carré (identifié par le suffixe _SQ) au lieu d'un signal sinusoïdal ont été estimées. La feuille de calcul est présentée en Figure IV-17. Pour la simulation, un signal RF sinusoïdal de fréquence

868 MHz est considéré. Les résultats théoriques sont comparés aux simulations et sont présentés en Figure IV-18.

Pin (dBm)	V_{RF} (V)	V_{RF} after matching(V)	x	I_{Do} (µA)		V_{RF} (mV)	3
-40	0.0032	0.0158	0	0.846			
			1	0.846		V_{DSo} (V)	
V_{DD} (V)	1.2					0.354	
			x	I_{DRF} mean (µA)			
V_{GSo} (V)	0.32		0	0.893			
			1	0.893		V_{DS_RF} (V)	Vdetect (mV)
Is (A)	9.90E-07		δI_D (µA)	-0.047		0.315	39.1
W/L	40		I_{DRFSQ} (µA)	0.940			
V_{TH} (V)	0.45		x	I_{DRFSQ} mean (µA)			
			0	0.940			
n	1.3		1	0.940		G_{DETECT}	G_{DETECT} (dB)
			δI_{D_SQ} (µA)	-0.094		12.36	21.84
U_T (V)	2.60E-02						
			V_{DS_RFSQ} (V)	Vdetect_SQ (mV)		G_{DETECT_SQ}	G_{DETECT_SQ} (dB)
V_{RF} matching(V)	0.016		0.276	78.5		24.84	27.90
R_L (Ω)	1.00E+06					G_{DETECT_SQ} / G_{DETECT}	
			Imax / Imin	3		2.01	
R_{DS} (Ω)	5.00E+06						

Figure IV-17 : Calcul du gain de détection sur feuille Excel

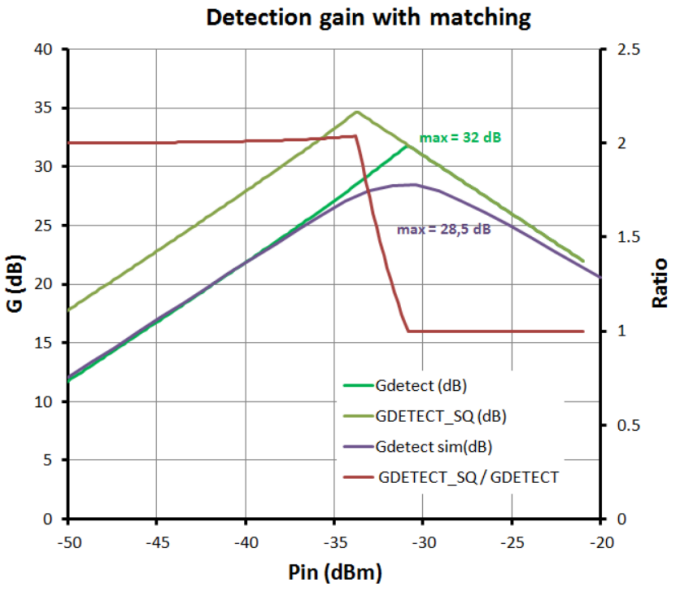


Figure IV-18 : Gains de détection estimés et simulés.

L'approximation d'un signal RF carré plutôt que sinusoïdal conduit à erreur sur le calcul du gain d'un facteur 2, courbe rouge sur la Figure IV-18. Le calcul avec un signal sinusoïdal coïncide avec la simulation. Les deux courbes se distinguent au niveau de leur maximum. La tension d'alimentation impose une tension de drain maximale. En simulation, on observe donc un phénomène de saturation qui n'est pas pris en compte dans les calculs d'où la différence entre les résultats mathématiques et ceux induits des simulations.

La valeur de R_L est elle aussi déterminante pour le gain de détection. Cette résistance influe également sur le courant consommé par le détecteur. Le choix de sa valeur fait donc l'objet

d'un compromis entre courant consommé et gain. La Figure IV-19 présente l'évolution du gain de détection en fonction de R_L.

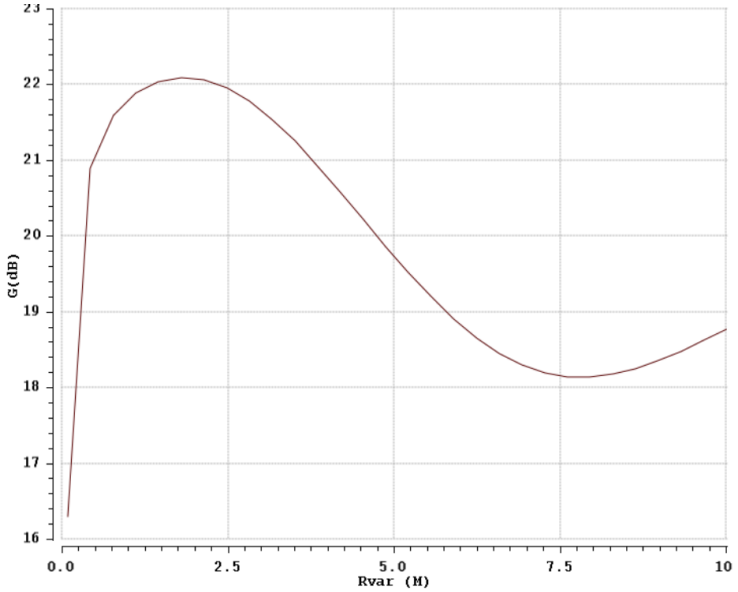


Figure IV-19 : Gain de détection en fonction de R_L

L'influence de RL n'est pas directe sur l'évolution du gain à cause de la présence de R_{DS} qui lui est associée en parallèle. Pour un courant I_{DC} de 1 µA et afin d'obtenir le meilleur gain de détection, la valeur de R_L choisie est 1 MΩ.

L'influence du coefficient U_T, amenant une dépendance en température est également vérifié, Figure IV-20.

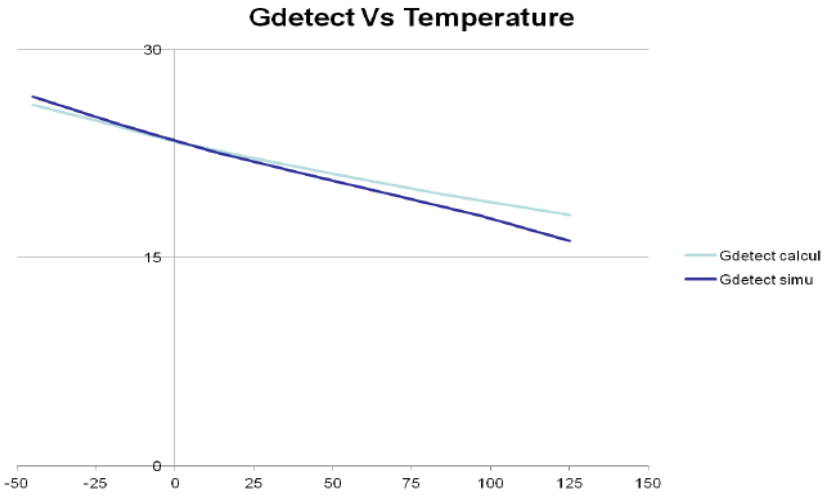


Figure IV-20 : Gain de détection en fonction de la température

Le comportement reflété par les calculs est bien observé en simulations. La variation du gain en température n'est pas critique dans la mesure où la valeur minimale de ce dernier est suffisante pour atteindre la sensibilité requise.

La tension d'alimentation limite le swing de la tension de sortie et donc le gain. En Figure IV-21, le gain de détection est tracé en fonction de la tension d'alimentation.

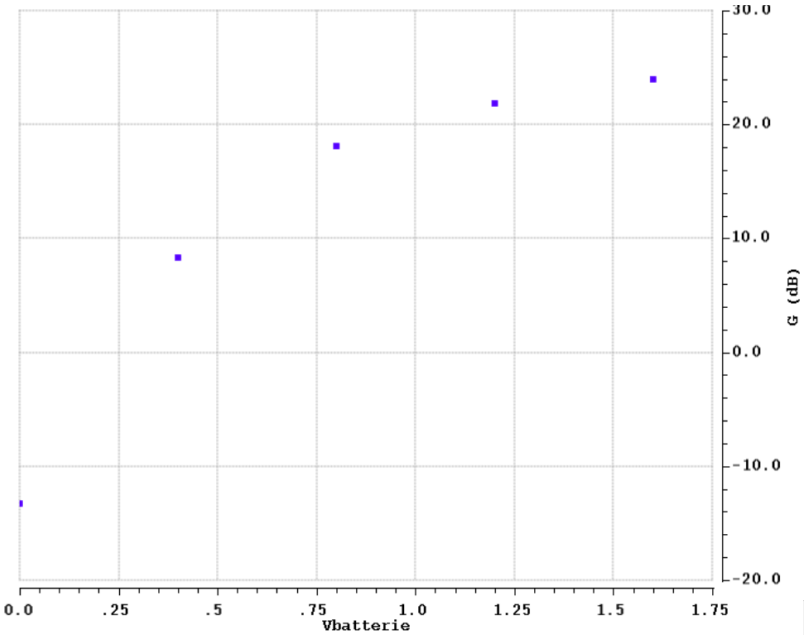


Figure IV-21 : Gain de détection en fonction de la tension d'alimentation

Le gain n'est pas inférieur à la valeur minimale requise (>15 dB) sur la plage de tension d'alimentation spécifiée (3,6 V à 1,1 V).

IV.4.4.1. Tension de référence

Le détecteur atteint les performances requises. Néanmoins dans cette configuration, il reste encore à fournir la tension de référence utilisée pour la comparaison faite par l'étage suivant, voir la Figure IV-22.

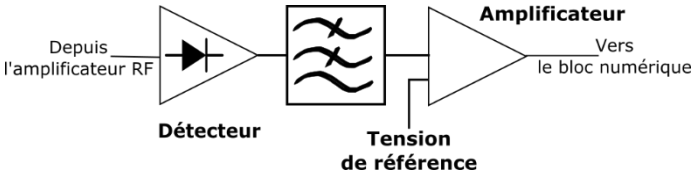


Figure IV-22 : Partie de la chaîne de réception concernée par la calibration

Le mécanisme suivant générant la tension de référence a donc été imaginé, il est présenté en Figure IV-23.

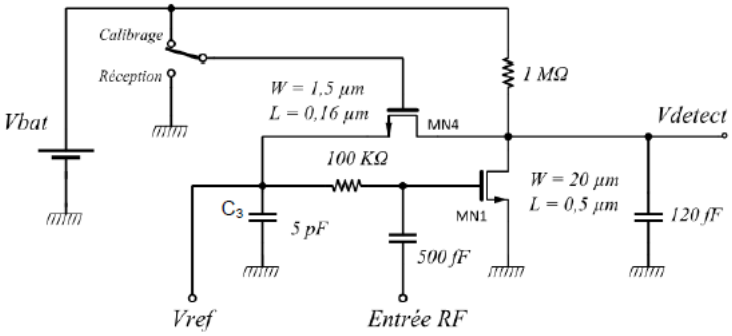


Figure IV-23 : Schéma du détecteur incluant le système de mémorisation de tension

La tension DC de grille est stockée dans le condensateur C_3. La charge du condensateur est faite au travers du transistor MN_4. Cette charge induit une élévation de la tension de grille et

donc une chute de la tension de drain due à l'apparition d'un courant au travers de la résistance de charge.

Cette solution permet de stocker une tension donnée dépendante du courant de charge et de la durée de cette dernière. Elle est donc sensible à ses deux paramètres qui eux-mêmes dépendent de la tension d'alimentation, de la température et des variations de procédé. Cette tension de référence doit également être établie en accord avec la tension de basculement de l'amplificateur basse fréquence puisque cette dernière sera appliquée en entrée de l'amplificateur et servira de seuil de comparaison pour le niveau de signal détecté. A ce stade il faut noter que cette solution ne permet pas d'ajuster automatiquement la valeur de la tension de référence en fonction de la tension de seuil de l'amplificateur.

IV.5. L'amplificateur basse fréquence – Comparateur

Le détecteur d'enveloppe permet de récupérer l'enveloppe de signaux de très faibles amplitudes. Cependant, le détecteur fournit le signal d'enveloppe inversé et le traitement numérique requiert des signaux d'amplitude 0-1.8V. Un signal de pleine amplitude limiterait les risques de mauvaise interprétation du signal lors du traitement numérique. L'amplificateur décrit dans ce paragraphe a pour but de ré-inverser le signal et de lui donner l'amplitude requise pour le traitement numérique.

Le circuit utilisé est présenté en Figure IV-24. Il est inspiré du circuit présenté par L.H.C Ferreira et al. dans [3]. Le fonctionnement en faible inversion des transistors est conservé permettant ainsi de travailler avec des courants de drain très faible (de l'ordre de la centaine de nanoAmpère). Néanmoins, le signal était appliqué directement sur les substrats des transistors. Cette méthode permet de réduire la tension d'alimentation. Dans notre cas la tension d'alimentation est de 1,8V afin de répondre au besoin du traitement numérique. Cette technique n'est donc pas nécessaire ici. De plus, les modèles utilisés ne sont pas assez sophistiqués pour cette méthode, ce qui rend ces résultats non fiables. On choisit ici une utilisation plus "traditionnelle" du transistor où les signaux sont appliqués directement sur la grille. Les tailles de transistors sont optimisées de façon à limiter les courants de fuite et la surface du circuit. L'amplificateur est composé de deux étages. L'étage d'entrée est une paire différentielle PMOS chargée par un miroir de courant. Le second étage est un montage source commune. L'amplificateur est polarisé par une source de courant PTAT (Proportionnal To Absolute Temperature). La source délivre deux courants sélectionnables sur commande dont l'utilité sera décrite un peu plus tard.

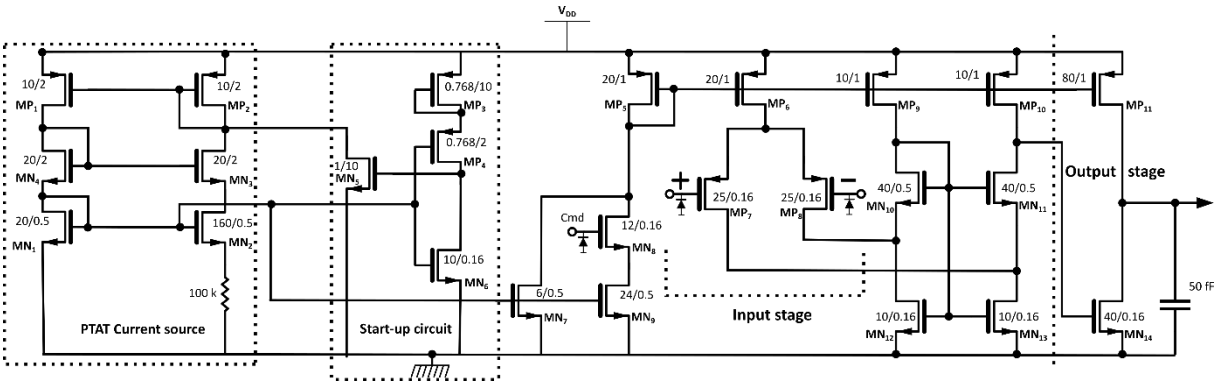


Figure IV-24 : Schéma de l'amplificateur basses fréquence

L'amplificateur doit fonctionner à 25 kHz, fréquence du signal d'enveloppe, et être compatible avec le fonctionnement périodique du récepteur. Pour un fonctionnement périodique, au-delà du temps de démarrage, le courant de fuite apparaît comme une autre caractéristique critique. En effet lorsque l'amplificateur est éteint les courants de fuite doivent être cent fois moins importants que le courant consommé. Compte tenu des faibles courants de fonctionnement, ce ratio entre les courants de fuite et les courants actifs est difficile à maintenir dans les applications à très basse consommation.

IV.6. Calibration de la tension de référence

Les erreurs de mismatch induisent des erreurs d'offset sur l'amplificateur. Utiliser une tension de référence fixe limite la sensibilité du récepteur. Le phénomène est illustré en Figure IV-25. Comme mentionné antérieurement, il faut que la valeur de la tension de référence puisse s'ajuster à la tension d'offset de l'amplificateur. Les solutions présentées ici permettent un ajustement autonome de la tension de référence en fonction de la tension d'offset de l'amplificateur.

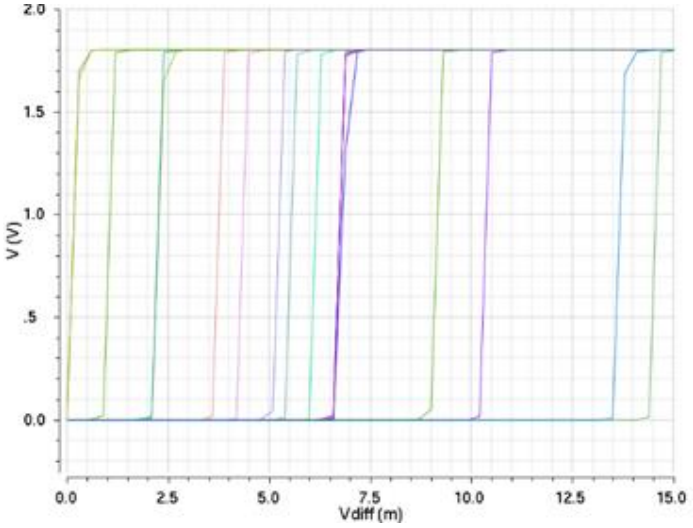


Figure IV-25 Basculement de la tension de sortie de l'amplificateur en fonction de la tension différentielle d'entrée en analyse Monte Carlo

La solution couramment utilisée pour palier au problème d'offset est d'utiliser un condensateur et ainsi d'inhiber les problèmes dus à un fort gain DC [4]. Cette solution n'est pas compatible avec la fréquence du signal (25 kHz) qui nécessiterait l'emploi d'un condensateur de forte valeur et qui occuperait une surface beaucoup trop importante. Il en est de même pour la variante où la tension de référence est extraite du signal grâce à un filtre RC, [5]. Les tensions de référence sont usuellement fournies par un pont diviseur. Celui-ci peut être appliqué à la tension d'alimentation [6], [7], soit sur une référence de tension de type bandgap inhibant ainsi la dépendance à la tension d'alimentation [8]. Ces solutions procurent une tension de référence fixe. Certaines variantes offrent la possibilité d'ajuster légèrement cette tension en utilisation des résistances programmables. Cependant, elles entraînent une consommation supplémentaire permanente. Le courant au travers du pont diviseur est limité par l'utilisation de résistances de valeur importantes qui ne sont pas adaptées pour les solutions intégrées. Le courant requis pour ces solutions les rend peu éligibles pour les applications à basse consommation. Idéalement la tension de référence doit être choisie de façon à ce que la tension différentielle à l'entrée de l'amplificateur soit la plus proche possible

de la tension de seuil de l'amplificateur. Or, dans notre cas cette tension est dépendante des erreurs de mismatch itinérantes à la fabrication !

IV.6.1. Première version

Le premier mécanisme de calibration imaginé pour générer la tension de référence est présenté en Figure IV-26. Afin de ne pas perturber l'établissement de la tension de référence, le mécanisme de calibration est fait en l'absence de signaux RF. Pour cela un switch RF bloque les signaux à l'entrée du circuit pendant toute la durée du processus de calibration.

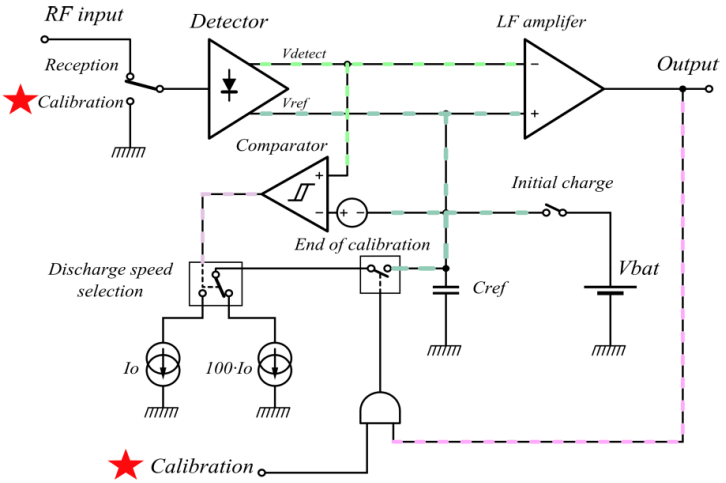


Figure IV-26 : Schéma de principe du premier mécanisme de calibration

Dans cette version, la tension de référence est stockée dans le condensateur Cref.

- Initialement le condensateur est chargé complètement. La tension de sortie de l'amplificateur vaut alors VDD.
- Une décharge rapide démarre, la tension Vref diminue. Lorsque la différence entre Vref et Vdetect atteint la valeur de Vchspeed, le comparateur bascule et la décharge est ralentie. Le courant de décharge est alors 100 fois moins important.
- Lorsque la différence Vdetect et Vref atteint la tension de seuil de l'amplificateur, la sortie de ce dernier bascule mettant fin au mécanisme de calibration. La tension Vref stockée dans le condensateur coïncide ainsi avec la tension de seuil de l'amplificateur.

Cette solution a été abandonnée car l'ajout du comparateur induit une consommation supplémentaire. De plus, la valeur de la tension faisant basculer le comparateur n'est pas forcément en accord avec la tension de seuil de l'amplificateur.

IV.6.2. Version implémentée

Le principe de la calibration reste le même. La tension différentielle est stockée dans un condensateur. Le schéma de principe du mécanisme implémenté est présenté en Figure IV-27. Ce dispositif innovant se démarquant des méthodes traditionnelles de génération de tension de référence fait l'objet d'un brevet (Numéro d'application : US 9362898).

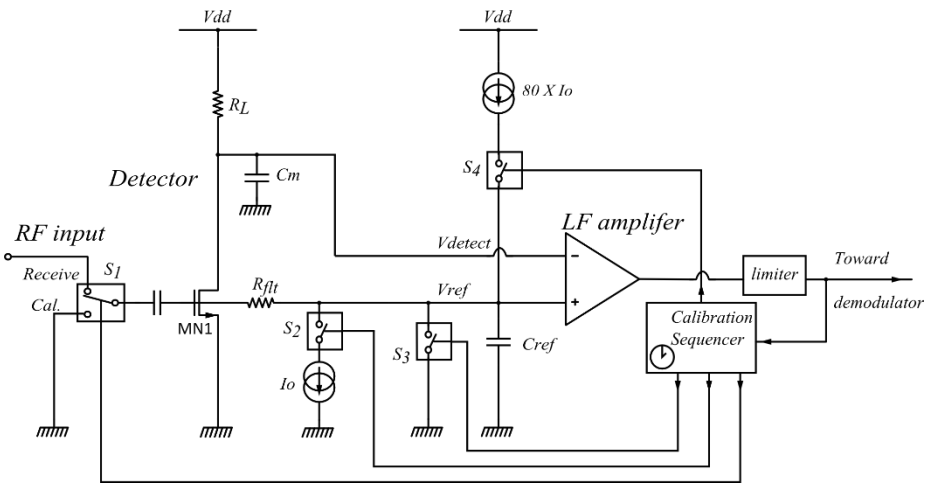


Figure IV-27 : Schéma de principe du mécanisme de calibration

Afin de ne pas perturber la calibration comme précédemment, aucun signal RF ne peut être appliqué pendant le processus. Le switch S1 inhibe l'entrée RF pendant toute la durée du mécanisme. La tension de référence est établie par le biais de différentes étapes de charge et de décharge du condensateur Cref contrôlées par les switchs S2, S3 et S4. Le séquenceur de la calibration est intégré dans la partie numérique.

La tension de référence est appliquée à l'entrée non inverseuse de l'amplificateur BF et à la grille du détecteur. Le signal détecté est appliqué à la seconde entrée de l'amplificateur. La calibration est réalisée en trois phases, illustrée en Figure IV-28 :

- Premièrement, le condensateur Cref est totalement déchargé. Pour cela le switch S3 est fermé formant ainsi un court-circuit relié à la masse. La tension de référence étant nulle, Vref = 0V. Il n'y alors aucune tension DC appliquée à la grille du détecteur, donc aucun courant de drain, Vdetect =V_{DD}. Le court-circuit est maintenu pendant une durée fixe contrôlée par la partie numérique. Au-delà de cette durée, le switch S3 est ouvert et la seconde phase peut commencer.
- Le condensateur est alors chargé rapidement. Le switch S4 est fermé, du courant vient alors charger Cref. La tension aux bornes du condensateur augmente et par conséquent celle appliquée à la grille du détecteur également. Un courant de drain apparaît faisant chuter la tension de sortie du détecteur. Lors de cette étape, la tension Vref augmente, la tension Vdetect diminue conduisant à une diminution de la tension différentielle aux bornes de l'amplificateur BF. Lorsque la valeur de seuil est atteinte la sortie de l'amplificateur bascule marquant la fin de la deuxième étape et le début de la troisième et dernière phase de calibration.
- Lorsque l'amplificateur bascule à la fin de la deuxième étape, la charge de Cref se poursuit légèrement dû au temps de réponse de l'amplificateur, et ce bien que le courant de ce dernier ait été augmenté dans le but de le rendre plus rapide. La source de polarisation délivre 135 nA en fonctionnement normal contre 1 µA lors de la calibration. Par conséquent, les tensions Vref et Vdetect continuent de varier et la tension différentielle s'écarte donc de la valeur de la tension de seuil réduisant la sensibilité du récepteur. Afin d'éviter ce phénomène de déviation, la troisième étape consiste à un retour en arrière mais à une vitesse inférieure. Le switch S2 est alors fermé, le condensateur se décharge lentement avec un courant 80 fois inférieur à celui utilisé pour la charge. La tension Vref diminue conduisant à l'augmentation de la

tension Vdetect. De nouveau, la tension différentielle aux bornes de l'amplificateur se rapproche de la tension de seuil de ce dernier. Une fois atteinte, la sortie de l'amplificateur bascule mettant fin à la dernière étape. L'évolution des tensions étant moins rapide, le phénomène de déviation est atténué et la sensibilité optimisée.

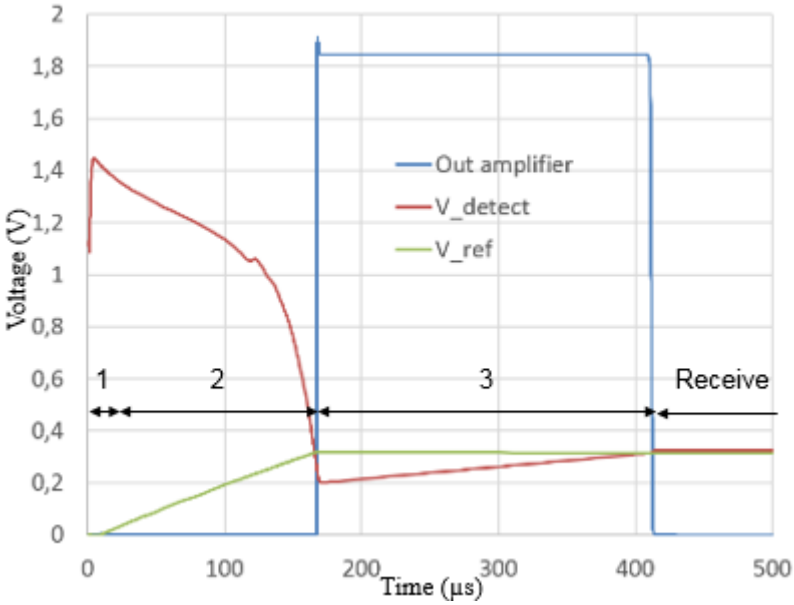


Figure IV-28 : Organisation des phases de calibration au cours du temps

Pour que l'amplification et l'inversion du signal d'enveloppe soient faites correctement dans le but d'un traitement numérique futur plusieurs prérequis sont nécessaires. A la fin du mécanisme de calibration, le signal détecté doit être plus élevé que le signal de référence. L'écart entre les deux niveaux de tension doit être suffisant grand pour assurer une immunité au bruit mais suffisamment faible afin d'assurer la meilleure sensibilité possible. Pour que l'inversion du signal soit faite il faut que le niveau de sortie de l'amplificateur au repos soit 0V. Ces deux raisons imposent que le processus débute par une charge rapide du condensateur puis par une décharge lente. Malgré les précautions prises pour minimiser les fuites, ces dernières font chuter la tension stockée dans le condensateur au cours du temps. Lors de la phase d'écoute, la tension de référence va donc lentement décroitre et la tension DC de sortie du détecteur augmenter. La tension différentielle augmente, ainsi la sensibilité se détériore. Il est donc important de contrôler les fuites de courant, et donc la décharge du condensateur de façon à garantir la sensibilité tout au long du temps d'écoute.

L'ensemble des sources de courant et des différents switches intervenant dans le mécanisme de calibration ont été regroupés dans un seul bloc. Afin de limiter les courants de fuites, des transistors avec une épaisseur de grille plus épaisse sont utilisés. L'épaisseur de grille d'un transistor classique est de 2.9 µm tandis que pour la version « grille épaisse » cette dernière atteint 7.2 µm. La conséquence sur le transistor est l'augmentation de la tension de seuil Vt du transistor comparée à la version classique. Les sources de courant présentées en Figure IV-29, sont identiques à celle de l'amplificateur basses fréquences (redimensionnées toutefois pour être adaptés au mécanisme de charge et de décharge). Les transistors entourés en orange constituent un circuit du démarrage. Les transistors entourés de bleu servent à gérer l'activation des sources. La source de courant 1 permet la charge rapide du condensateur. La source 2 n'est activée que lors de la décharge lente, elle vient soustraire du courant à la source 1 enfin de ralentir la décharge.

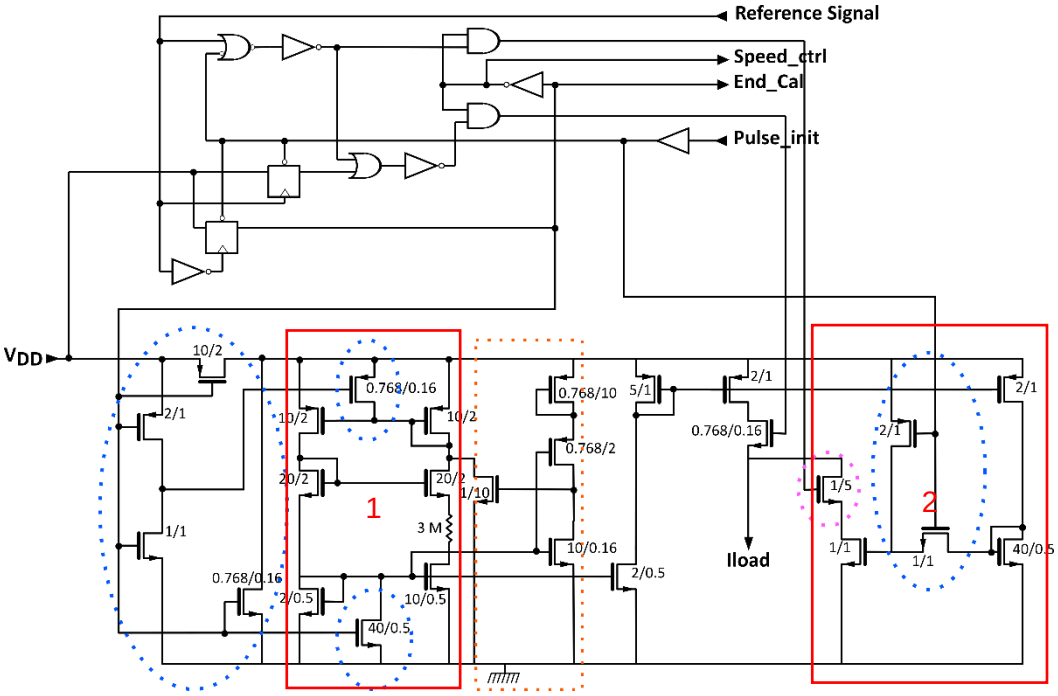


Figure IV-29 : Schéma de la source courant et de son unité de contrôle utilisée pour la calibration

IV.7. Amplificateur RF

Les éléments précédents sont les éléments clés pour la démodulation du signal reçu. Ils assurent la sélectivité, la détection et la préparation au traitement numérique. Cependant, la sensibilité offerte par la chaîne est alors limitée par celle du détecteur et du mécanisme de calibration. Bien que, le détecteur soit capable de détecter des signaux de – 40 dBm si l'amplitude du signal résultant n'est pas suffisante pour faire basculer la sortie de l'amplificateur, la détection n'aboutira pas au traitement du signal. Le niveau de signal nécessaire, pour faire basculer la sortie de l'amplificateur, est déterminé par le mécanisme de calibration. Afin d'améliorer la sensibilité du récepteur de réveil un amplificateur RF est ajouté à la tête de la chaîne. Compte tenu du niveau de sensibilité requis, le bruit au sein de l'amplificateur est moins important que sa consommation. Néanmoins pour le bon fonctionnement du circuit, une attention particulière doit être portée à ce critère, comme illustré par la formule de Friis ainsi qu'à la linéarité de l'amplificateur.

$F_{tot} = F_1 + \sum_{i=2}^{N} \frac{G_i - 1}{\prod_{y=1}^{i-1} F_y}$, où F_i est le facteur de bruit du $_i$ ème étage et Gi sont gain.

L'amplificateur RF est composé de deux étages montés en source commune, il est représenté en Figure IV-30.

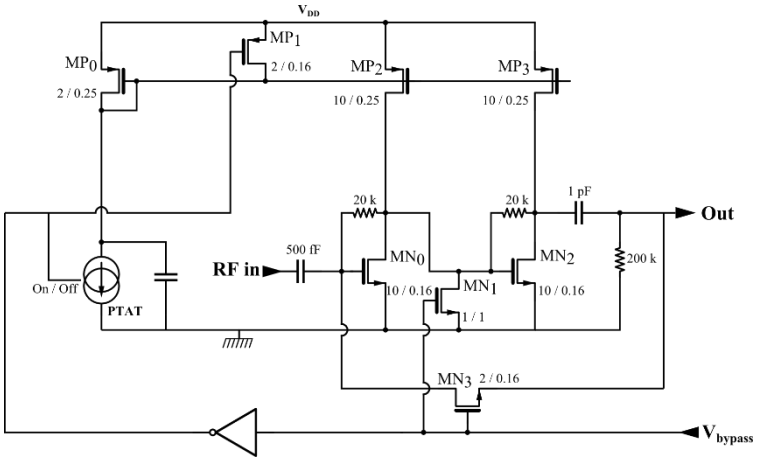


Figure IV-30 : Schéma de l'amplificateur RF

De façon à minimiser la consommation du récepteur, un mode « bypass » est implémenté. Il consiste à éteindre l'amplificateur RF, dans les cas où la configuration le permettrait, et à appliquer le signal directement à l'entrée du détecteur. Les transistors MN_1 et MP_1 sont utilisés pour couper l'amplificateur et le signal est dirigé au travers de MN_3. Pour assurer le gain sur toute la gamme de température, une source de courant PTAT est utilisée pour polariser l'amplificateur.

Bien qu'aucune exigence ne soit fixée quant aux performances en termes de bruit, afin de minimiser ce dernier, la longueur de grille des transistors est conservée à la valeur minimale [9].

IV.8. Bloc Numérique

Le bloc numérique a été réalisé par Guillaume Lemaître, ingénieur design numérique chez NXP. Afin de réaliser ce bloc, un cahier des charges précis lui a été fourni. Comme décrit dans le chapitre Architecture (Figure III-3, Tableau III-3), le bloc numérique est en charge de plusieurs fonctions. Ci-dessous est présenté le schéma de principe de ce dernier, Figure IV-31.

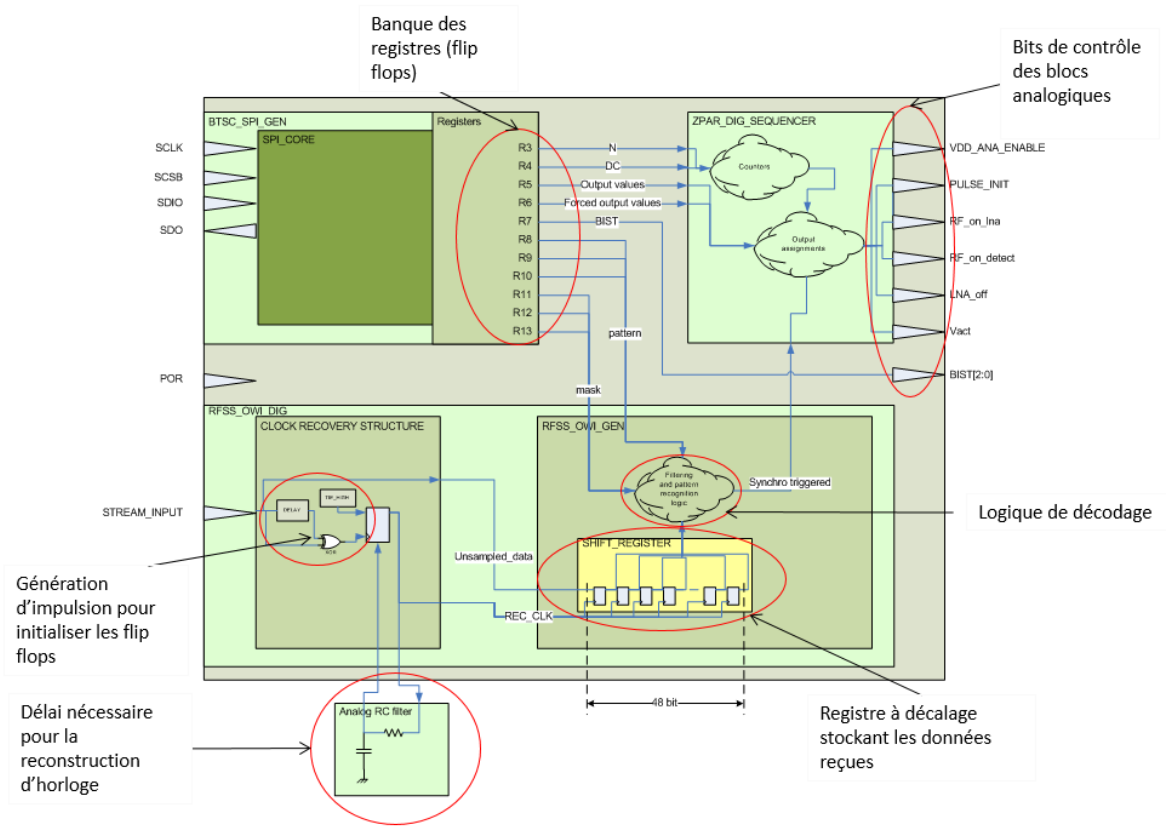


Figure IV-31 : Schéma de principe du bloc numérique

La partie supérieure illustre la partie gérant le fonctionnement du récepteur. Avec les registres contenant les valeurs d'états programmables. La partie inférieure est dédiée au décodage du message. Pour le décodage du signal, une horloge est nécessaire afin d'échantillonner le signal et d'en détecter le contenu. La gestion d'une horloge et d'un système de synchronisation avec le signal consomment du courant. Une méthode alternative à l'utilisation de ces circuits est de reconstruire l'horloge à partir du signal à décoder. Le code de Manchester se prête particulièrement à ce mécanisme. Le code de Manchester représente un bit 1 par un front montant et un bit 0 par un front descendant. Plusieurs solutions pour implémenter ce mécanisme ont été envisagées et simulés sous Matlab.

IV.8.1. Système de reconstruction d'horloge

IV.8.1.1. Solutions étudiées

Les systèmes de reconstruction d'horloge sont basés sur des successions de bascules D. Trois solutions sont étudiées et présentées ci-après. Le premier est illustré en Figure IV-32.

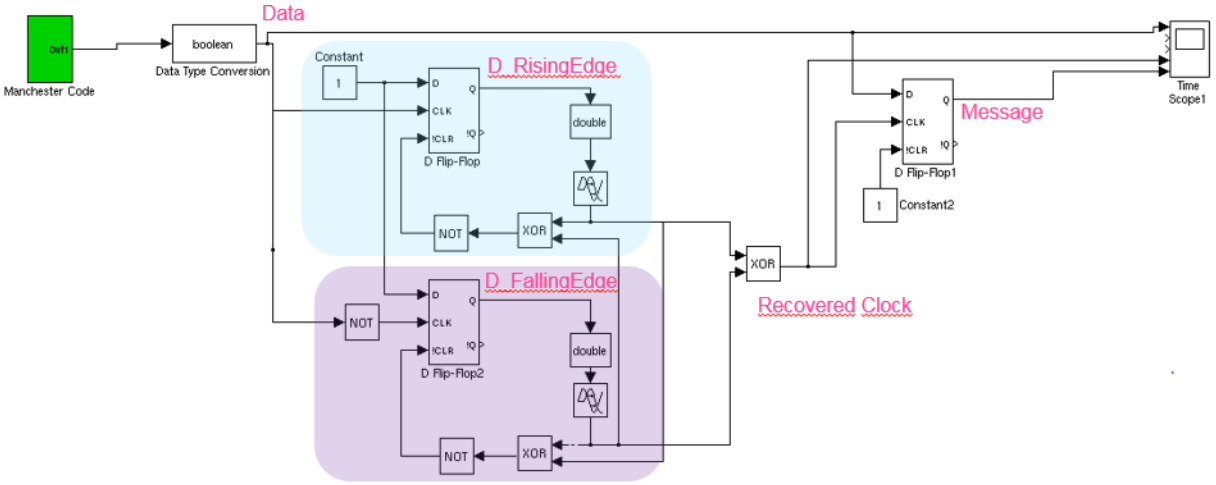


Figure IV-32 : Schéma de principe du mécanisme de reconstruction d'horloge n°1

Deux chemins sont mis en place, l'un pour récupérer les fronts montant et l'autre les fronts descendants. Les bascules sont remises à 0 tous les ¾ de période de façon à inhiber les fronts non significatifs situés entre deux bits identiques consécutifs. Un chronogramme montrant les différentes sorties des bascules est présenté en Figure IV-33.

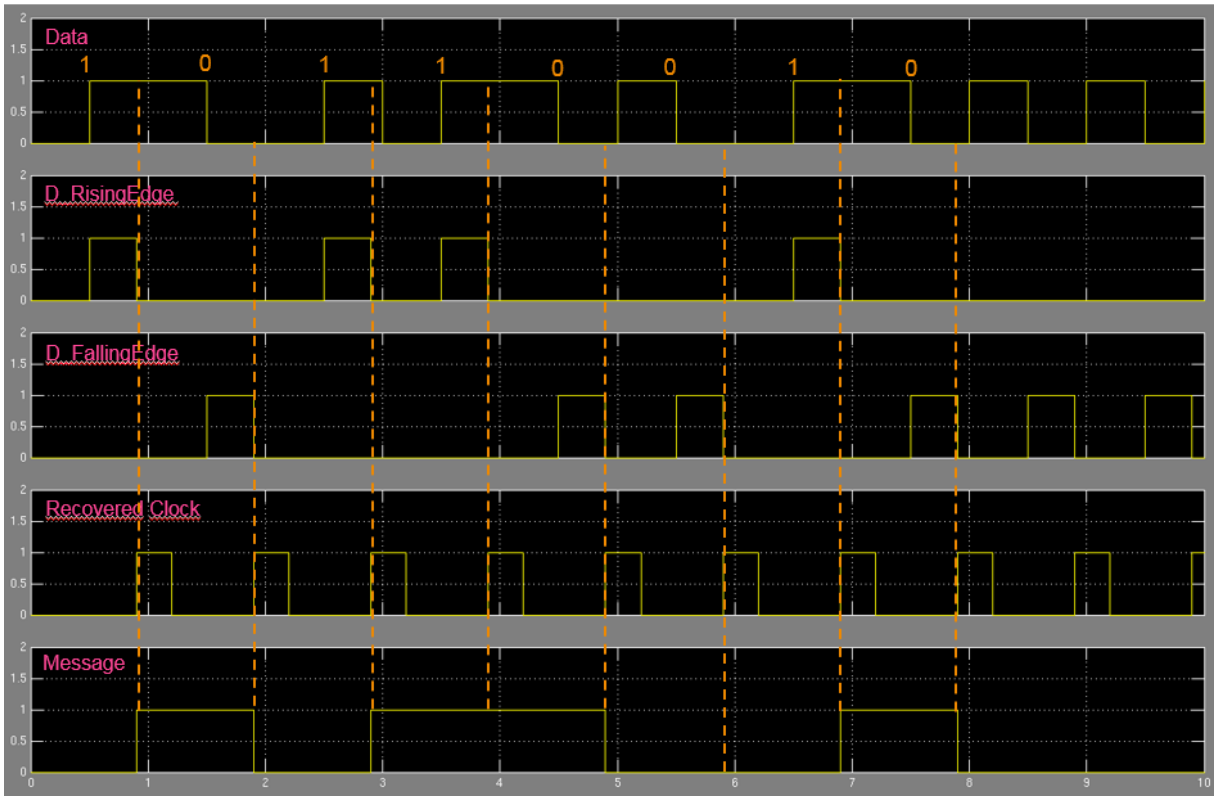


Figure IV-33 : Chronogramme des différents signaux du mécanisme n°1

Le mécanisme fonctionne correctement. Il nécessite cependant l'utilisation de trois bascules et de deux délais, soit un circuit un peu volumineux.

Dans la deuxième solution envisagée, Figure IV-34, l'inhibition des fronts non significatifs est faite à l'aide d'un monostable. Le monostable permet de maintenir le niveau du signal après un front pendant un lapse de temps défini, en l'occurrence dans ce cas ¾ de période.

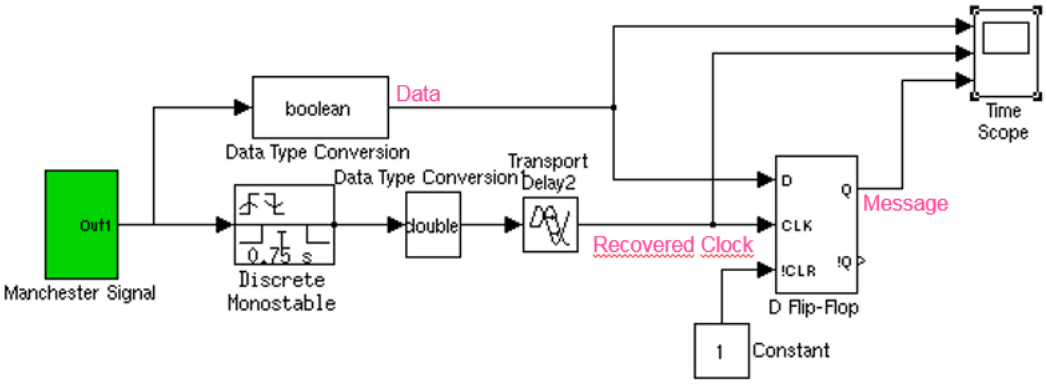


Figure IV-34 : Bloc diagramme du mécanisme de reconstruction d'horloge n°2

Le chronogramme de fonctionnement de ce mécanisme est donné ci-dessous, Figure IV-35.

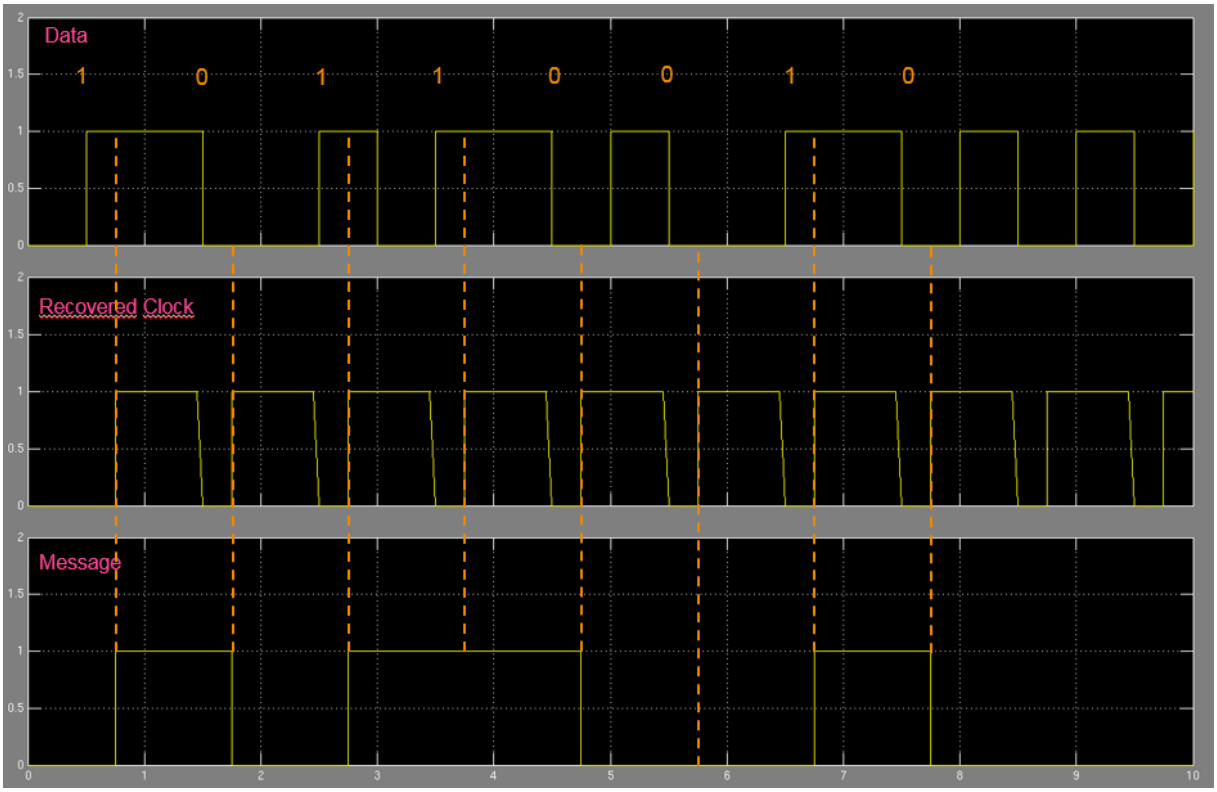


Figure IV-35 : Chronogramme des signaux du mécanisme n°2

Le mécanisme n°2 donne également des résultats satisfaisants. Cependant le circuit monostable est difficilement réalisable. Une troisième solution est donc envisagée.

IV.8.1.2. Solution implémentée

La solution adoptée requiert un minimum de bascule D et est présentée en Figure IV-36.

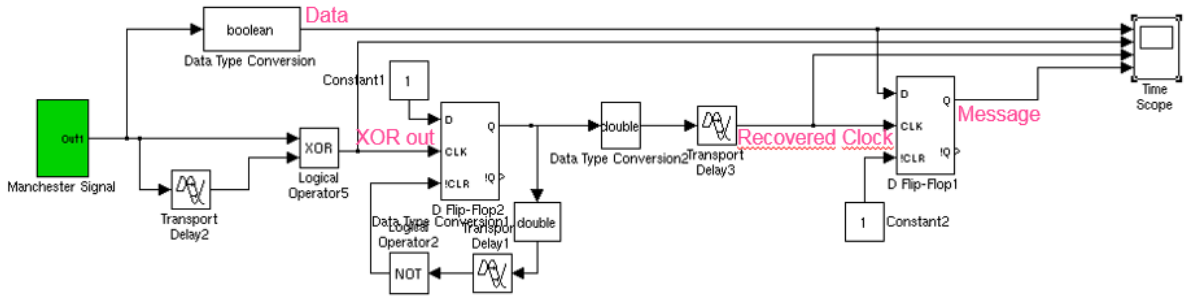


Figure IV-36 : Schéma bloc du mécanisme d'horloge n°3

Le ou exclusif entre le signal et le signal retardé permet de récupérer tous les fronts. Les fronts non significatifs sont inhibés par une flip-flop remise à zéro pendant une durée fixée. Cette durée doit être comprise entre 2/3 et ¾ de période. A noter que sur la Figure IV-36, un troisième délai est utilisé, il n'est employé que pour représenter le temps de propagation du signal nécessaire pour le bon déroulement de la simulation Simulink. Le bon fonctionnement du mécanisme est démontré sur le chronogramme présenté en Figure IV-37.

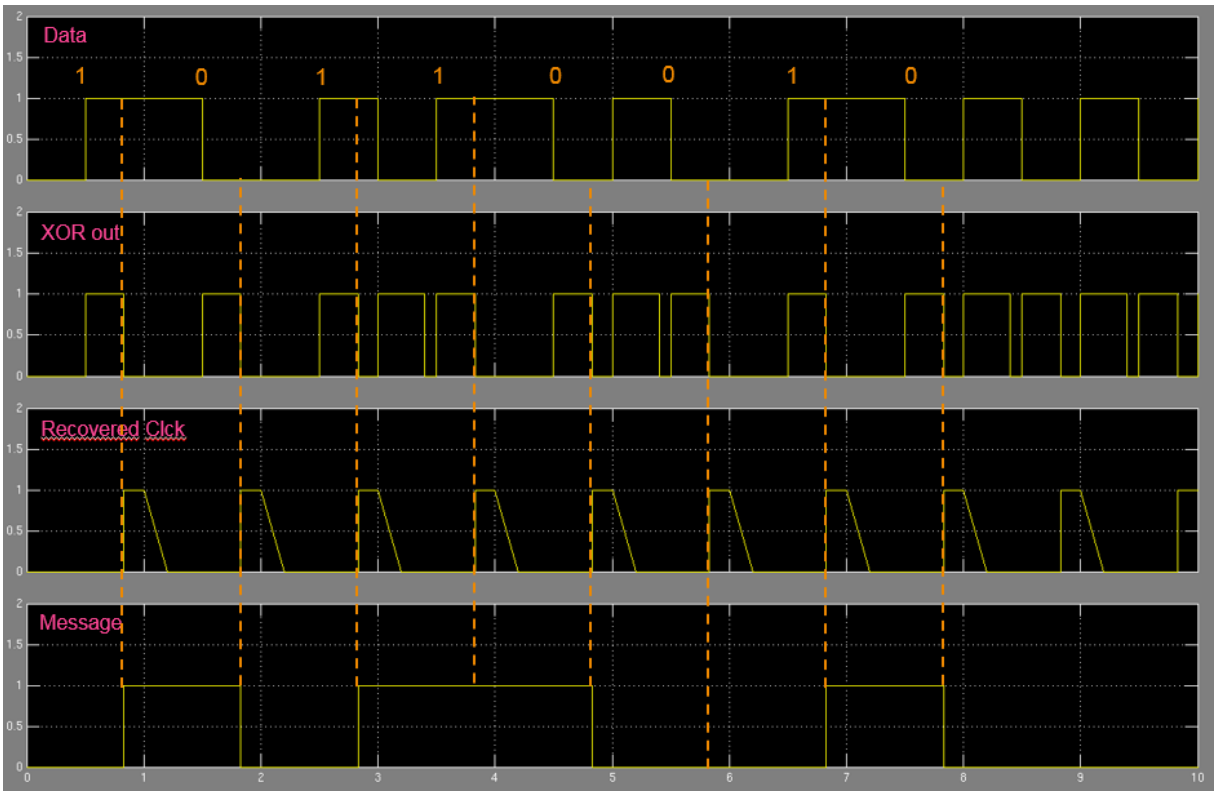


Figure IV-37 : Chronogramme des signaux du mécanisme n°3

La dernière architecture est choisie pour être implémentée dans le prototype réalisé puisqu'elle nécessite moins de bascules et pas de monostable. Le signal attendu est à 25 kHz, soit une période de 40 µs. Habituellement, les délais sont réalisés par l'utilisation de chaîne de buffer mais ces derniers ne permettent de réaliser des durées que de l'ordre d'une dizaine de nanosecondes. La quantité de buffers nécessaire pour réaliser un délai de ¾ de période, soit 30 µs, ne rend pas cette solution envisageable pour des raisons d'encombrement notamment. Le délai sera donc réalisé par un circuit analogique sous la forme d'un filtre RC.

On souhaite avoir un délai compris entre 2/3 et ¾ de période. Soit RC = 12 µs.

IV.8.2. Lecture des registres et contrôle des différents blocs

Deux versions de la partie numérique sont réalisées et leurs blocs diagrammes sont illustrés en Figures IV-38, 39. Elles se distinguent par le système de décodage. Dans la première version, le code est précédé par un préambule de 24 bits composé exclusivement de 1. Le préambule est utilisé pour « vider » le registre à décalage et garantir de commencer le décodage dans un état connu. Dans la seconde version, un système de masque est utilisé. Ce masque permet de choisir les bits à comparer ou non. Si le masque est activé pour un bit donné, que sa valeur concorde ou non avec celle attendue, elle sera perçue comme correcte par le comparateur. Dans les deux cas, le contenu du registre est comparé à chaque coup d'horloge. De ce fait, les codes qui se trouveraient inchangés malgré la rotation dans le registre à décalage sont interdits. En effet, de par leur configuration, ils feraient déclencher le récepteur à un moment inopportun. Par exemple, dans le cas d'un registre de 4 bits, un déclenchement ne peut avoir lieu que tous les quatre coups d'horloge correspondant au remplissage complet du registre. Or le code 1010 provoquerait également un déclenchement deux coups d'horloge plus tard et non quatre du fait de la symétrie du code.

IV.8.2.1. Version 1

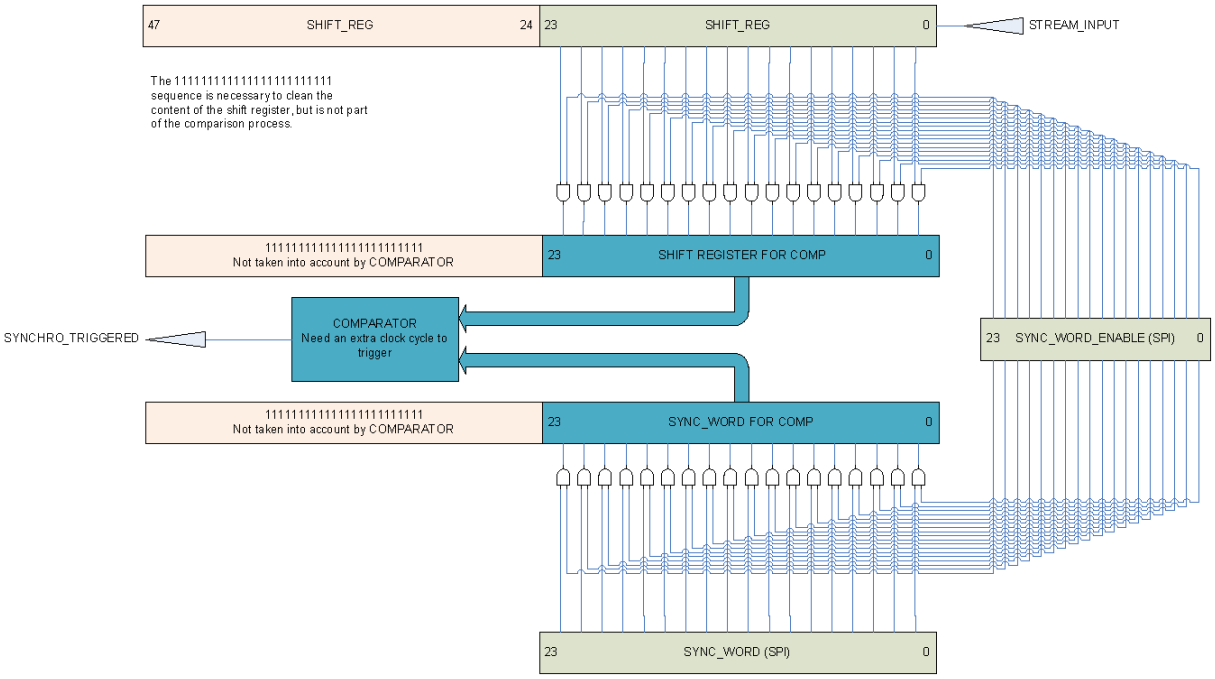


Figure IV-38 : Bloc diagramme de la première version du système de reconnaissance du code

IV.8.2.2. Version 2

Dans la version 2, le code est toujours précédé par le même préambule. Dans cette version un masque a été ajouté. Il permet de pouvoir sélectionner les bits pris en compte pour la reconnaissance.

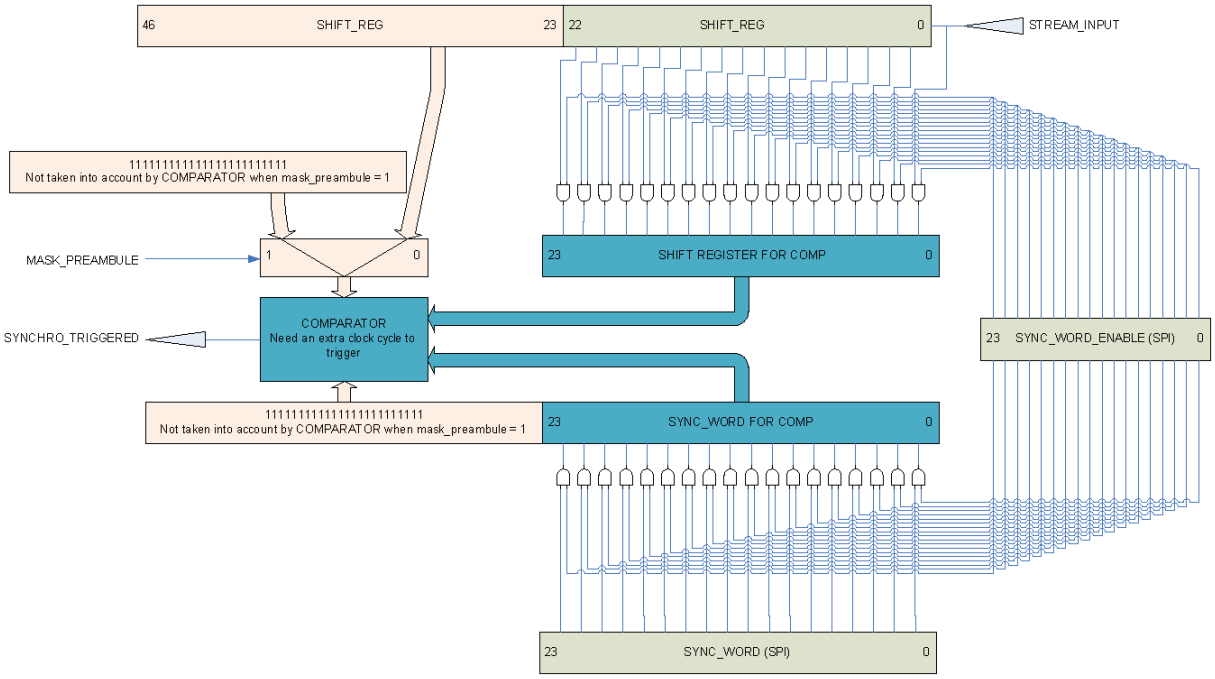


Figure IV-39 : Bloc diagramme de la deuxième version du système de reconnaissance du code

IV.9. Timer

Afin d'apporter une référence temporelle à l'ensemble du circuit, un oscillateur à 100 kHz est ajouté. Comme discuté dans le chapitre précédent, les communications dont il est sujet ici sont asynchrones et se satisfont donc d'une horloge peu précise. Cette horloge, utilisée pour le dimensionnement du fonctionnement cyclique, est constituée d'un oscillateur à 400 kHz divisé par 4 dont le schéma est donné en Figure IV-40. Comme cet oscillateur ne joue pas un rôle clé dans la démodulation du signal, un oscillateur déjà existant est utilisé. Il est cependant très important de garantir le fonctionnement de ce dernier car il permet, entre autre, que le bloc numérique génère l'impulsion d'initialisation nécessaire au démarrage du circuit et ce à chaque début de phase d'écoute. Si l'oscillateur ne démarre pas, le circuit reste inerte.

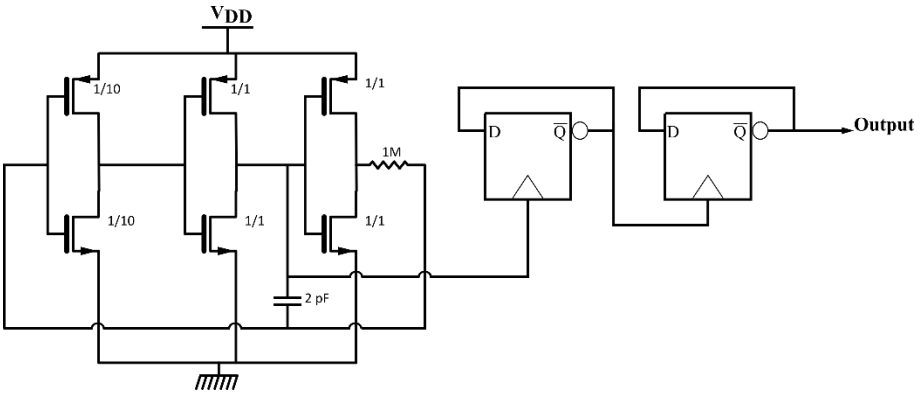


Figure IV-40 : Schéma de l'oscillateur

IV.10. Régulateurs de tension

Les régulateurs de tension permettent au circuit de fonctionner sans être soumis aux variations de la tension d'alimentation. Ils permettent également de fournir une alimentation

dédiée à certaine partie du circuit. Au cours du temps la tension de la pile ou de la batterie utilisée comme source d'alimentation va décroître. Le design des circuits est robuste à une variation de la tension d'alimentation de l'ordre de 10%. Grâce à l'utilisation des régulateurs, le circuit peut tolérer une plage de variations plus importantes et fonctionner de 3.6V à 1.8 V. Les régulateurs de tension font partie des éléments modifiés en version 2. Pour la première version, les régulateurs de tension n'ont pas été modifiés par rapport à ceux du portefeuille NXP, exceptées les valeurs des résistances qui permettent de déterminer la tension de sortie et qui sont ajustées pour fournir la tension souhaitée. Pour la seconde version, le temps octroyé par le report du tapeout a permis d'améliorer la consommation de ces derniers. Les schémas sont présentés ci-dessous.

Dans la première version, les régulateurs de tensions sont séparés en deux entités correspondant aux deux valeurs de tension attendues, 1.8V et 1.1V. Les deux schémas des régulateurs sont présentés en Figure IV-41,42. Afin d'assurer la compatibilité du niveau de commande orchestrant le fonctionnement périodique un élévateur de tension est utilisé. Ainsi le signal reçu du digital de 0 ou 1.8V est respectivement transformé en un signal de 0 ou Vbat.

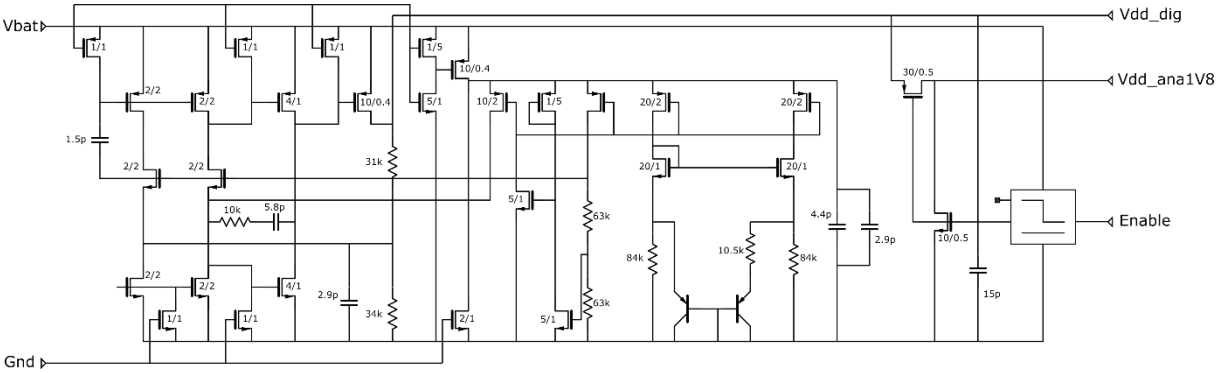


Figure IV-41 : Schéma du régulateur version 1 fournissant Vdd_dig et Vdd_ana_1v8

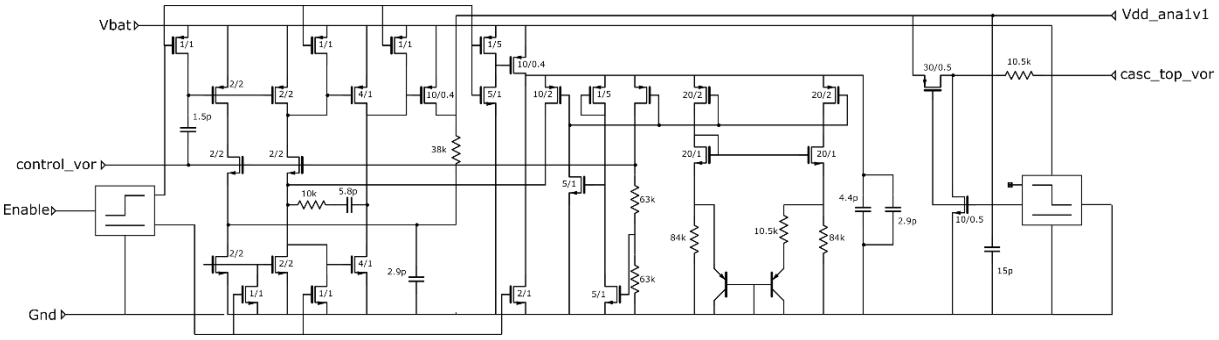


Figure IV-42 : Schéma du régulateur version 1 fournissant Vdd_ana_1v1

Dans le cadre de la réutilisation du régulateur, les entrées control_vor et casc_top_vor sont conservées mais ne sont pas utilisées. Elles restent non connectées.

Pour la version 2, afin d'économiser du courant, l'architecture est différente et présentée en Figure IV-43. Une source de tension de référence, basée sur un bandgap est commune à l'ensemble des régulateurs, encadrée en orange sur la Figure IV-43. Trois régulateurs distincts sont utilisés, un pour chaque tension d'alimentation à fournir.

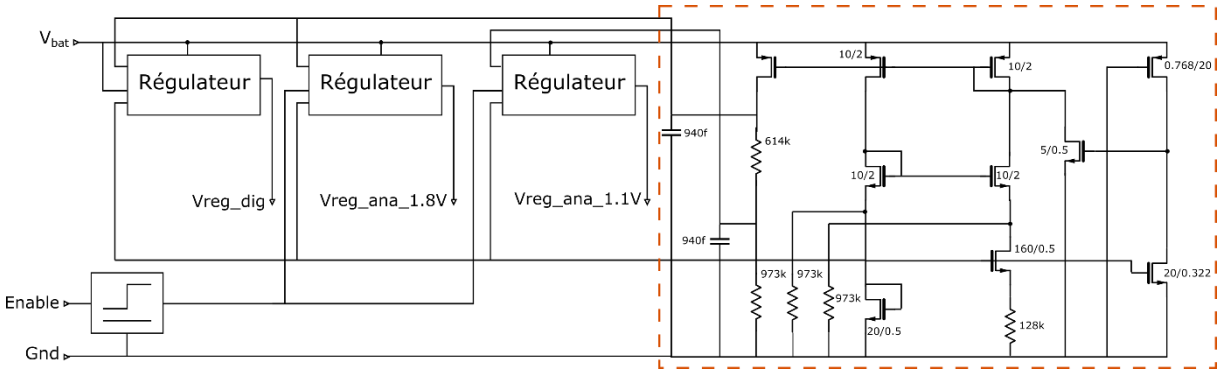


Figure IV-43 : Schéma de l'ensemble des régulateurs de la version 2

Les régulateurs de tensions sont les mêmes dans les trois cas et sont présentés en Figure IV-44. La tension de sortie est alignée sur la tension de référence qui lui est fournie.

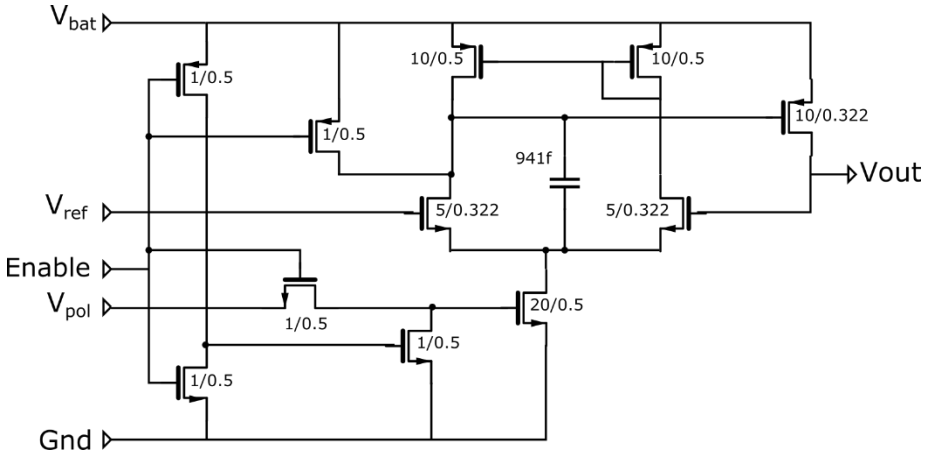


Figure IV-44 : Schéma des régulateurs de la version 2

La modification du type d'architecture entre les deux versions a permis de réduire d'un facteur 3 la consommation en courant des régulateurs. La première version de régulateur offre de très bonnes performances quant à la charge qu'elle est capable de supporter. Dans le cadre du développement dont il est question ici la charge à supporter n'est pas aussi importante que pour les précédents développements, c'est pour cette raison que des régulateurs moins performants mais avec une consommation de courant réduite ont pu être imaginés pour la version 2.

Dans les deux versions, les élévateurs de tensions sont les mêmes et sont présentés en Figure IV-45. Ces éléments ne consomment du courant que lors des transitions.

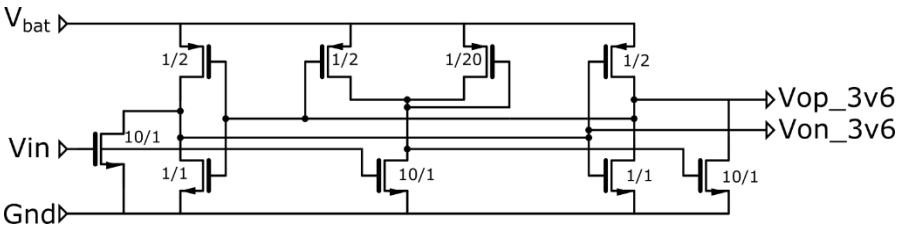


Figure IV-45 : Schéma de l'élévateur de tension

IV.11. Switches RF

Pendant la phase de calibration aucun signal ne doit venir perturber le mécanisme. Compte tenu des applications ciblées, il est très peu probable que l'entrée du récepteur de réveil soit soumise à des niveaux de puissances RF importants. Une isolation de 30 dB est donc suffisante. Un second switch est utilisé dans un but de test. Il permet d'appliquer le signal RF directement à l'entrée du détecteur d'enveloppe. Il s'agit de switch en T, architecture classique utilisée couramment pour la réalisation de switch RF. Ces deux switches identiques ont également été repris du portefeuille NXP. Ils sont représentés ci-dessous en Figure IV-46.

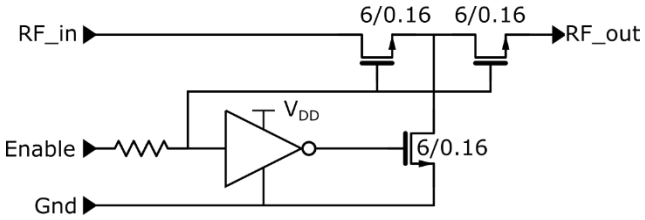


Figure IV-46 : Schéma du switch RF

IV.12. DC Bus Switch

Cet élément du design n'est utilisé qu'à des fins de tests. Dans ce contexte, et appartenant lui aussi au portefeuille NXP seule son architecture est décrite ici en Figure IV-47.

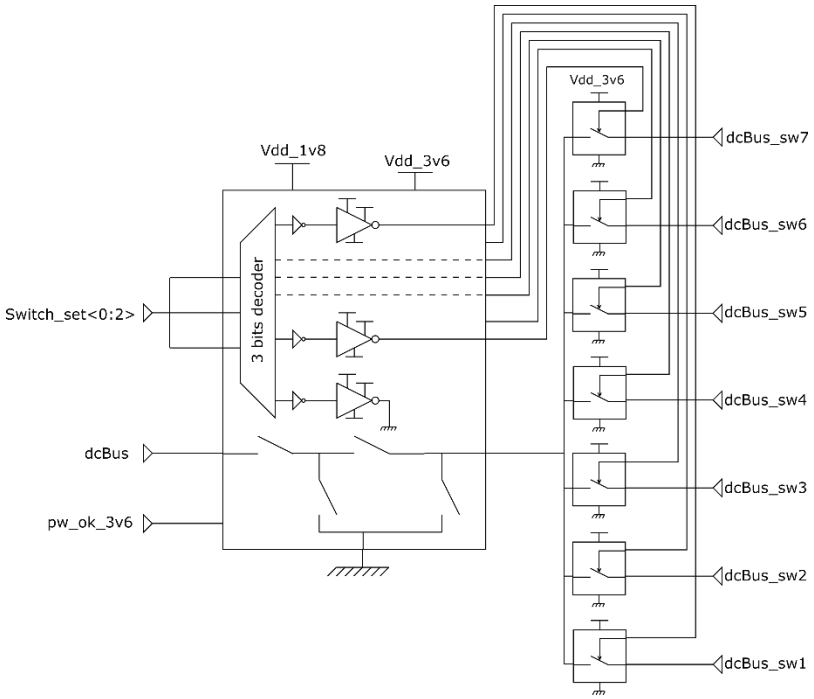


Figure IV-47 : Bloc diagramme du DC bus switch

Les résultats, obtenus lors des simulations, présentés dans le chapitre précédent ont été jugés suffisamment proches des attentes pour que la réalisation du circuit puisse être concrétisée. La phase suivante du travail concerne le dessin du circuit. Le récepteur d'activation a pour vocation à termes, d'être embarqué sur la même puce que le récepteur principal auquel il sera associé. En tant que fonctionnalité additionnelle du récepteur principal, l'encombrement du récepteur de réveil ne doit pas excéder quelques pourcents de la surface de ce dernier. Le dessin du circuit en plus des contraintes d'encombrement est une phase critique dans la conception du circuit. En effet, la superposition des différentes couches de métal permettant la réalisation des différents composants et le routage vont induire de nombreux parasites. Ces parasites altèrent les performances du circuit. Afin d'en minimiser l'impact, une attention particulière doit être portée aux parties les plus critiques comme les lignes RF. Au-delà de la contrainte de faire un dessin optimal pour limiter l'impact des parasites, afin que la fabrication du circuit soit technologiquement réalisable certaines règles sont à suivre. Ces règles sont incluses dans le design kit et doivent être soumises à vérifications avant l'envoi des fichiers GDS à la fonderie. Les fichiers GDS comprennent les dessins de l'ensemble des masques.

Comme expliqué précédemment outre les avantages en termes de consommation qui la caractérisent, l'architecture à détection directe choisie ici présente l'intérêt de comporter une partie RF simple et limitée par rapport à l'ensemble du dispositif. De sorte que la zone la plus délicate du circuit à dessiner occupe une surface restreinte, les contraintes de dessins sont donc quelques peu relâchées. Il faudra cependant prendre la précaution de placer l'amplificateur RF au plus près des entrées RF afin de limiter la longueur des lignes. Les lignes, de par leur longueur et leur largeur, apportent des parasites résistifs et capacitifs pouvant induire des pertes sur les signaux qui les parcourent. De même, le détecteur doit être mis au plus près de la sortie de l'amplificateur RF. Le reste du circuit ne traitant que des signaux à basse fréquence, 25 kHz, la longueur des lignes sera moins critique.

Chaque bloc est dessiné individuellement. De façon à simplifier l'implantation des blocs au niveau top, toutes les lignes de niveau de métaux impair sont tracées horizontalement et celle de niveau pair verticalement dans la mesure du possible. L'emplacement de chaque pin d'un bloc sera réajusté au niveau top de façon à optimiser la connexion entre chaque bloc. Les niveaux de métaux les plus hauts sont utilisés pour acheminer la tension d'alimentation et la masse. Ces derniers se prêtent bien à la réalisation de lignes assez larges réduisant ainsi les pertes associées.

V.1. Padring de la puce

La première étape du dessin consiste à déterminer le pourtour du circuit qui contiendra l'ensemble nécessaire pour assurer les connexions extérieures, telle que la source d'alimentation par exemple. Le récepteur de réveil fabriqué ici a été développé comme récepteur indépendant dit aussi standalone et ne présente donc aucune contrainte concernant le nombre et la position des pins. Le nombre de pins nécessaires va orienter le choix du boîtier et sa taille. On choisit 16 pins, nombre qui constitue un bon compromis entre le nombre de pins strictement nécessaires au fonctionnement du circuit et les pins additionnelles dédiées au test, puisqu'il s'agit ici d'un prototype. Ce dernier devant être proposé dans un démonstrateur, le nombre de pin de test doit cependant rester limité afin de ne pas induire

une fausse impression sur la taille effective du circuit. L'ensemble des pins et leur utilisation sont donnés dans le Tableau V-1. En Figure V-1, est présenté le layout du padring du prototype.

Les décharges ESD (ElectroStatic Discharge) peuvent s'avérer destructrices pour les circuits intégrés. En effet, les circuits ne sont pas faits pour supporter des décharges d'importants courants. Le premier élément à risque est le corps humain, les charges emmagasinées à la surface de la peau représentent un risque majeur pour le circuit. Une autre source de risque apparaît lorsque l'on connecte le circuit à des sources extérieures. Les protections ESD sont dissimulées dans les pads.

Tableau V-1 : Récapitulatif des pins de la puce

	Fonctionnels		Commentaires
	Oui	Non	
Vbat	x		Alimentation générale du circuit. Elle sera dispensée par une source continue. Typiquement, une tension de 3.3V sera appliquée. La tension maximale pouvant être appliquée sur cette pin est de 5V.
Gnd	x		Pin de masse générale.
RF_in1	x		Entrée principale du signal RF. Les signaux attendus à l'entrée du circuit sont des signaux de faible amplitude. Cependant il est possible que des signaux beaucoup plus forts y soient appliqués. Les signaux peuvent atteindre 10 dBm.
4 IO pour le bus SPI	x		(Clck, Enable, Data_in, Data_out) Ces quatres entrée/sortie forment l'interface SPI qui permet la communication entre le monde extérieur et le bloc digital. En tant que IO digital, les pads digitaux comprennent des level shifters qui assurent les bons niveaux de tension.
POR	x		IO digital permettant de réinitialiser le block digital
Vact	x		IO digital au travers de laquelle l'impulsion de réveil sera délivrée.
Timer		x	Pin de sortie analogique du timer.
RF_in2		x	Pin d'entrée de signal RF connecté après l'amplificateur RF. De cette façons, la chaîne de réception pourra être mesuré avec et sans l'amplificateur RF, ainsi son gain pourra être déduit.
Vreg_ana1v8		x	Sortie du régulateur de tension périodique à 1.8V dédié à une partie de la partie analogique.

Vreg_dig		x	Sortie du régulateur de tension à 1.8V dédié à la partie numérique.
Vreg_ana1v1_in		x	Sortie du régulateur de tension périodique à 1.1V dédié à une partie de la partie analogique.
Vreg_ana1v1_out		x	Connexion entre la partie analogique et le régulateur de tension périodique à 1.1V dédié à une partie de la partie analogique. De cette façon un ampèremètre peut être placé en série entre le régulateur de tension et les blocs qu'il alimente pour en mesurer la consommation

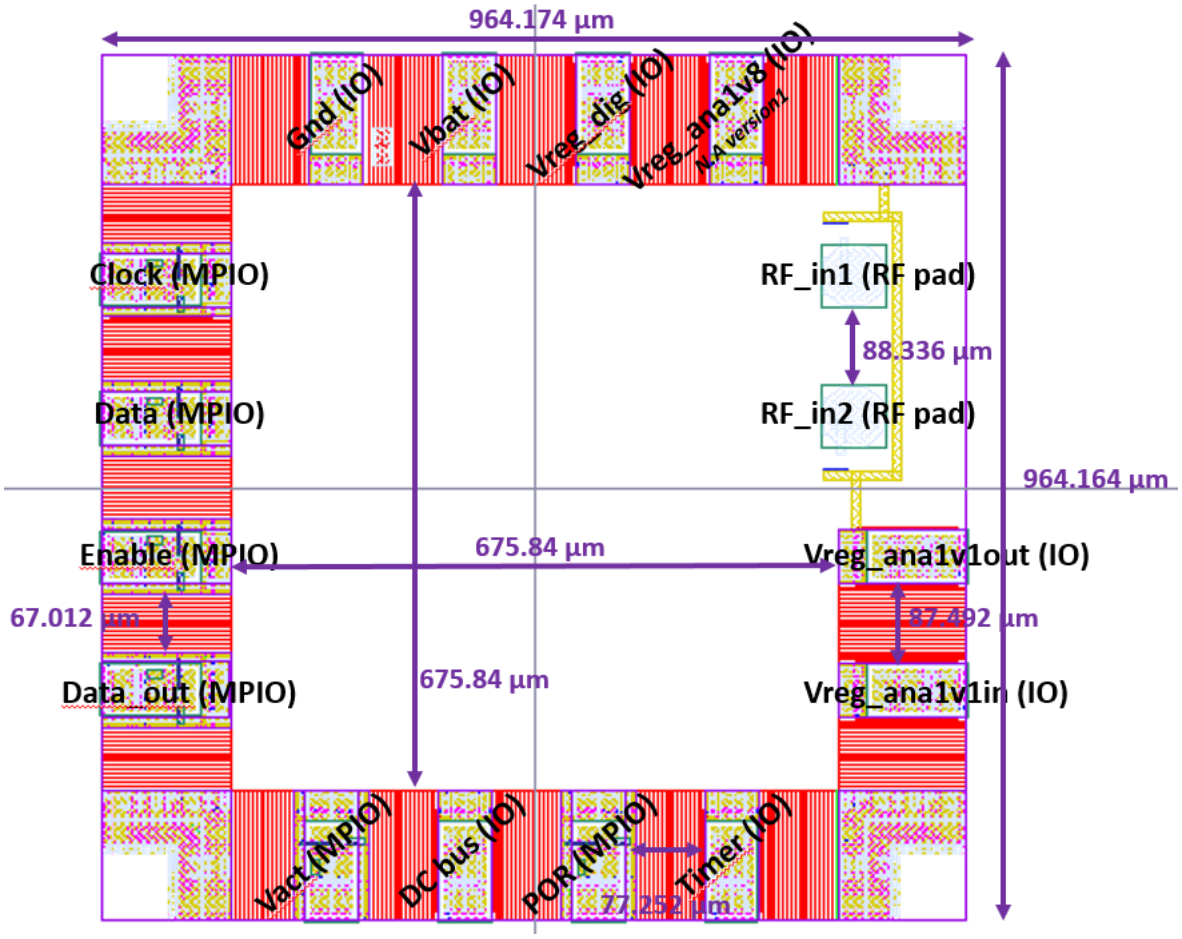


Figure V-1 : Layout du padring

V.2. Boîtier choisi pour le prototype

Le nombre de pins restreint le choix du boîtier. Pour respecter les contraintes de coût, le choix d'un boîtier standard est fait. Le fait de choisir un boîtier simple permet aussi de se prémunir d'éventuelles complications complémentaires. De plus, le développement de ce récepteur de réveil aboutissant à la réalisation d'un device standalone, le choix d'un boîtier standard est un atout pour de potentiels utilisateurs. Un boîtier HVQFN16 est donc choisi pour la réalisation du circuit. Ce boîtier de 2x2 mm est composé de 16 pins espacées de 100 µm les unes des autres, réparties équitablement sur les 4 côtés, et d'un plan de masse sur la face

arrière. Il offre une cavité de 1 mm². La documentation technique du boîtier est donnée en Annexe 5. La surface totale de la puce est inférieure à la surface pouvant être occupée au sein du boîtier, ce qui offre une liberté dans le placement de la puce (dans la limite de la faisabilité des wires bondings dont la longueur est limitée pour éviter tout risque de casse). Les fils de bondings viennent de par leur longueur ajouter une inductance parasite. Il est préférable de les maintenir les plus court possible notamment ceux connectés à des accès RF. Compte tenu du ratio entre la surface de silicium et la cavité, et afin de limiter la longueur des wires bondings, la puce silicium est placée au centre du boîtier. La Figure V-2 illustre les connexions entre le silicium et le boitier appelé wiring diagramme (WiDi).

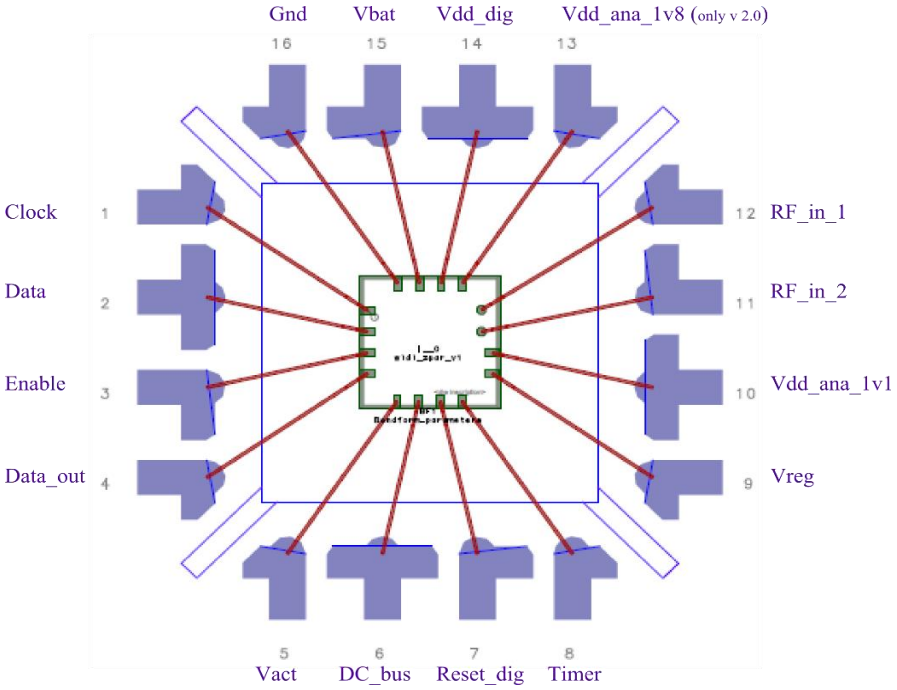


Figure V-2 : Widi version 1 – version 2

En Figure V-3 est représentée une vue générale et schématisée de l'intégration du circuit dans le boîtier.

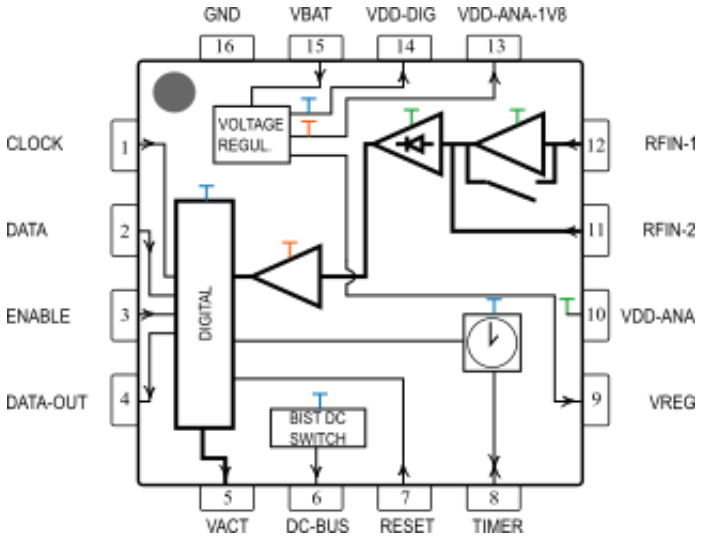


Figure V-3 : Schéma de principe de l'intégration des fonctions du récepteur d'activation au sein du boîtier

V.3. Layout de l'ensemble du circuit

Chaque bloc du circuit est dessiné individuellement. Les connexions entre elles sont optimisées au niveau top une fois les dessins de chaque bloc achevés. De façon à simplifier les contrôles et la correction des éventuelles erreurs, les vérifications DRC (Design Rules Check) et LVS (Layout Versus Schematic) sont faites indépendamment pour chaque bloc avant d'être réalisé au niveau top. Ces vérifications sont réalisées via l'outil PVS.

Les layouts des différents blocs élémentaires du dispositif sont présentés dans la suite.

V.3.1. Détecteur d'enveloppe

Le layout du détecteur, Figure V-4, occupe une superficie de 96,6 x 60,3 µm^2. Le condensateur stockant les charges nécessaires à l'établissement de la tension de référence s'étale sur environ 70% de cette surface.

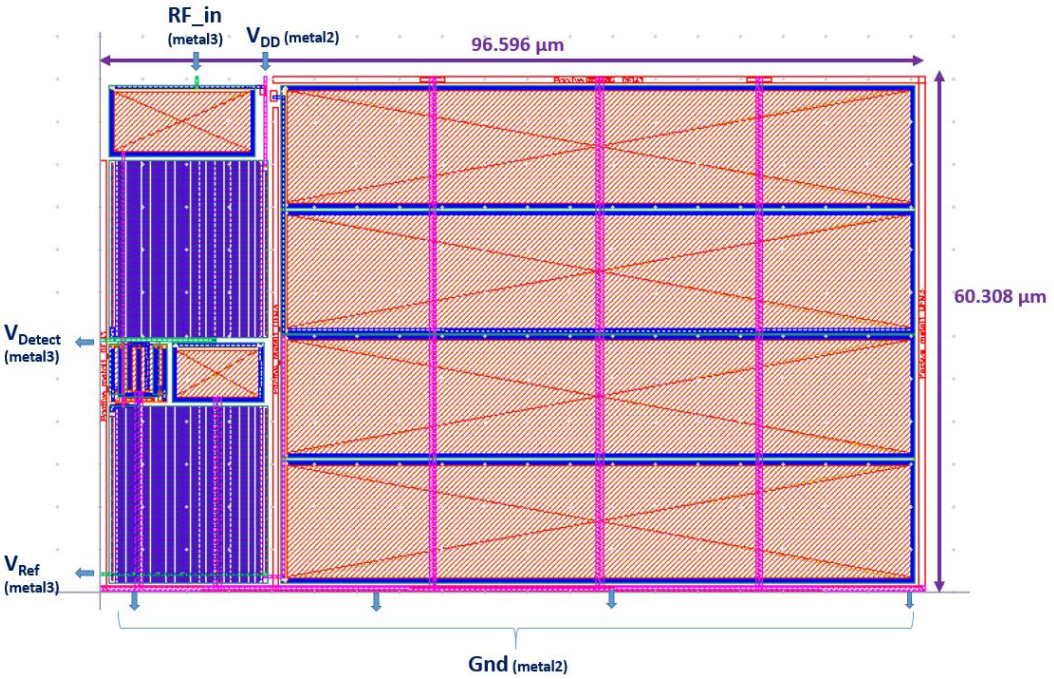


Figure V-4 : Layout du détecteur d'enveloppe

V.3.2. L'amplificateur basses fréquences

Le dessin de l'amplificateur basses fréquences est présenté en Figure V-5. Les deux entrées, la sortie ainsi que la commande se font en métal 3 alors que la tension d'alimentation et la masse sont en métal 2 comme dans les autres sous blocs du dispositif.

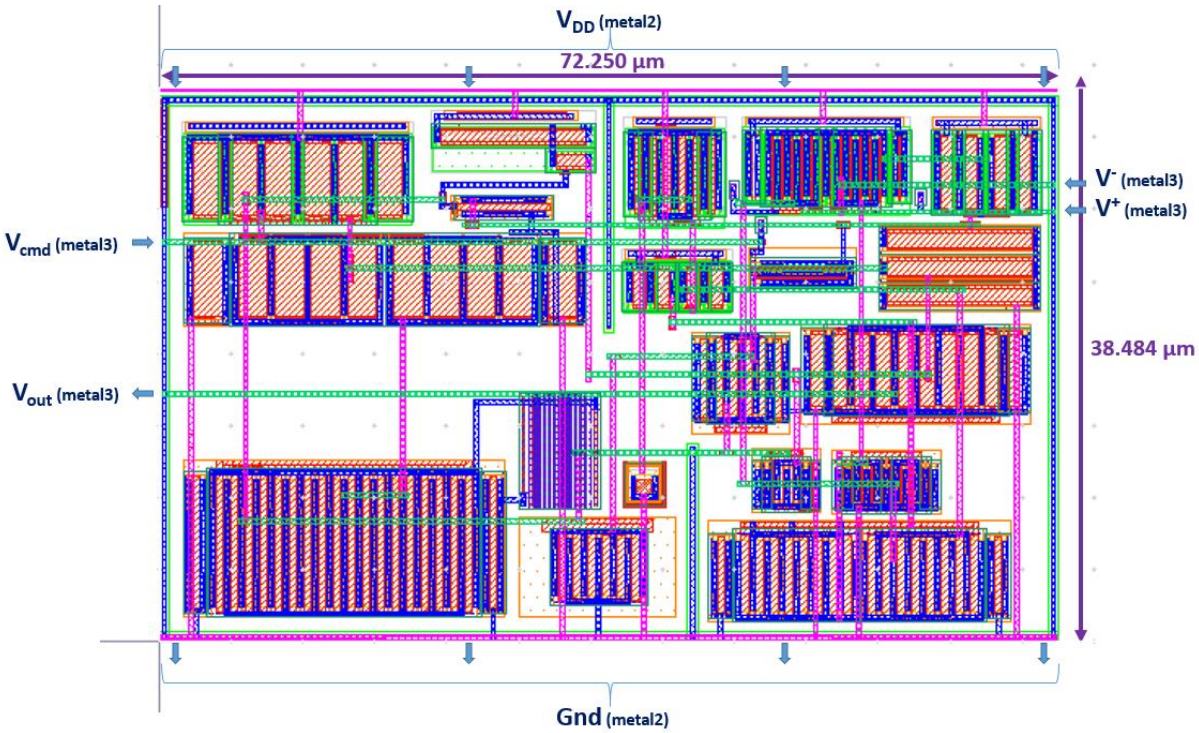


Figure V-5 : Layout de l'amplificateur basses fréquences

V.3.3. Mécanisme de calibration de la tension de référence

La Figure V-6 présente le layout du mécanisme de calibration. A droite du dessin se situe toutes les portes logiques orchestrant les différentes phases de charge et décharge.

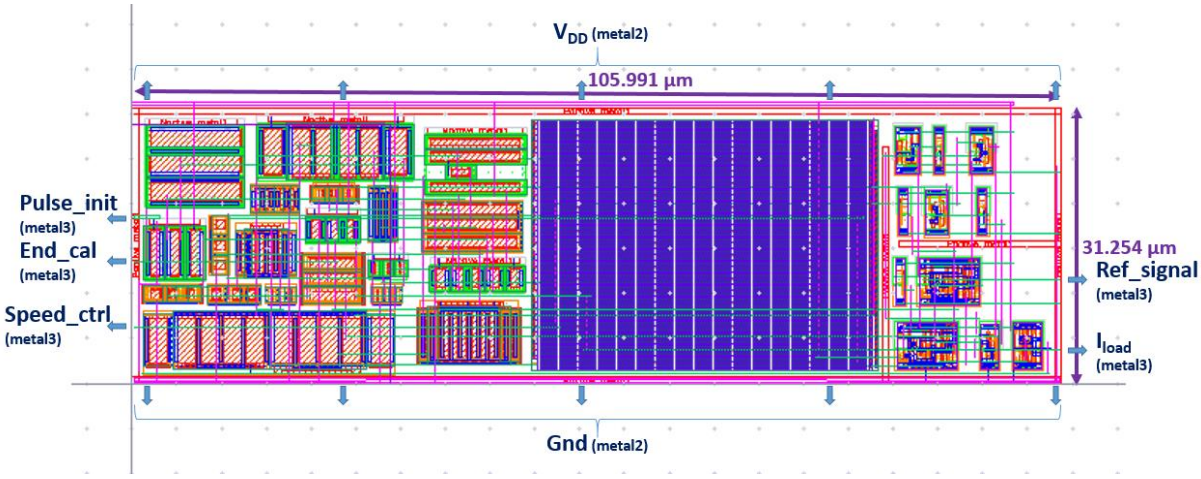


Figure V-6 : Layout du bloc de calibration

V.3.4. Amplificateur RF

Deux versions de layout ont été réalisées pour ce bloc et sont données en Figure V-7,8. Comme précédemment évoqué, les parasites rendent critique le dessin du layout des parties RF. L'outil QRC permet d'extraire ces parasites et de les inclure aux circuits afin d'en estimer l'impact. Les résultats de la première version en vue extraite présentent une trop grande dégradation comparés à ceux obtenus en vue schématique. Cet impact est présenté en Figure V-9. Dans la seconde version, le dessin est plus concentré de façon à limiter les

chemins RF entre les composants. Dans ce même but, les chemins RF sont réalisés en métal 3, autant que possible, pour limiter le nombre de vias.

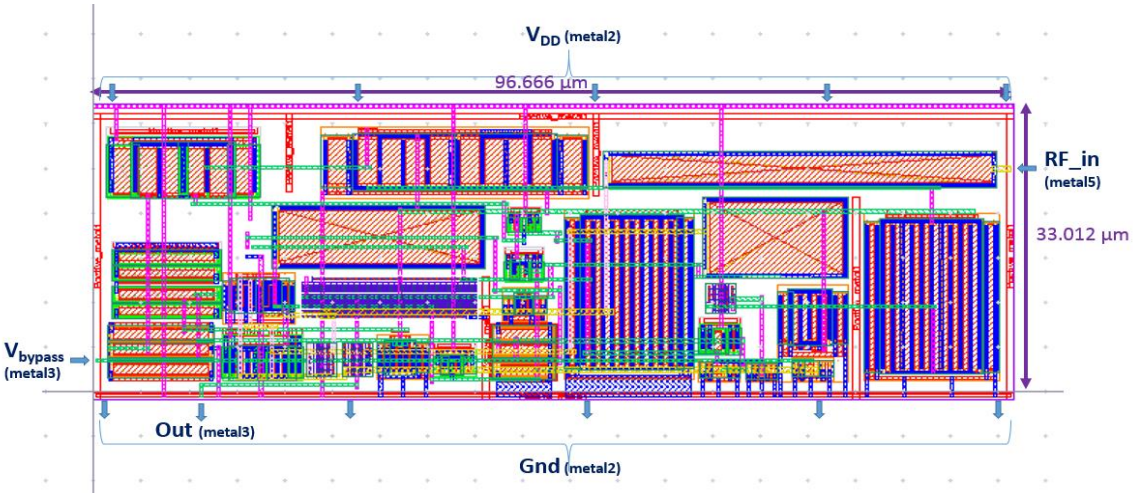


Figure V-7 : Layout de l'amplificateur RF – version obsolète

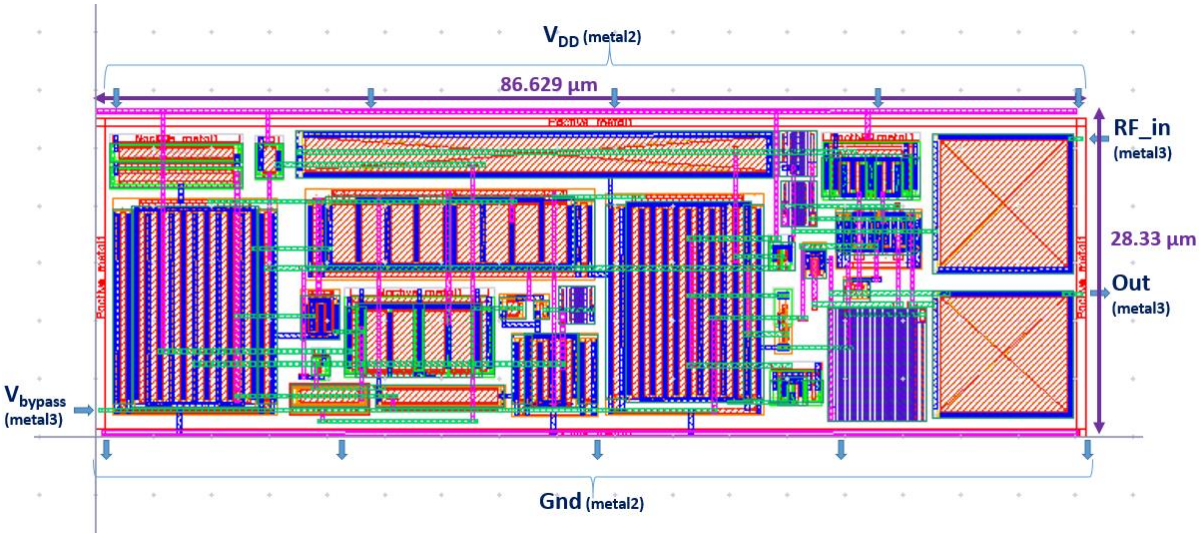


Figure V-8 : Layout de l'amplificateur RF

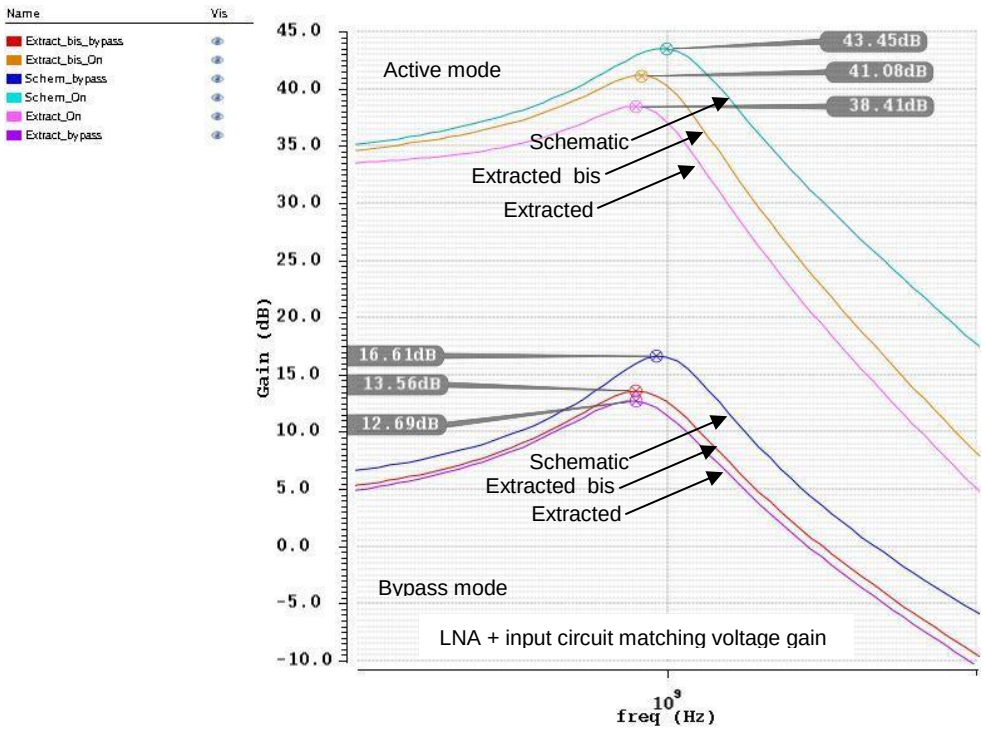


Figure V-9 : Comparaison simulation vue schématique et deux versions extraites (vue bis est la version finale)

V.3.5. Bloc numérique

La réalisation du dessin du bloc numérique est intégralement gérée par le logiciel. L'utilisateur définit seulement l'emplacement des pins et la surface approximative du bloc. Pour des raisons de clarté, sur la Figure V-10,11 présentant les layout des deux versions du bloc, l'identification des pins du bloc numérique n'a pas été faite. Cependant la liste de ces derniers est présentée sur la vue symbole associée et jointe à la vue layout. Les deux dessins correspondant à chacune d'une des deux versions ne sont pas identiques cependant la position des pins a été conservée pour limiter les modifications de layout au niveau top.

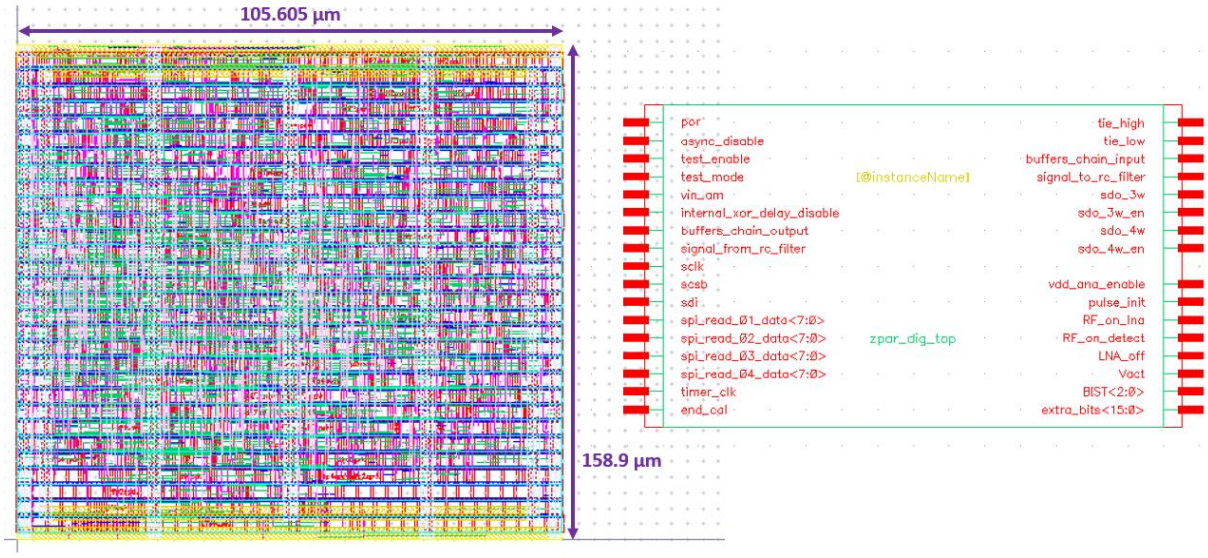


Figure V-10 : Layout de la première version du bloc numérique et son symbole associé

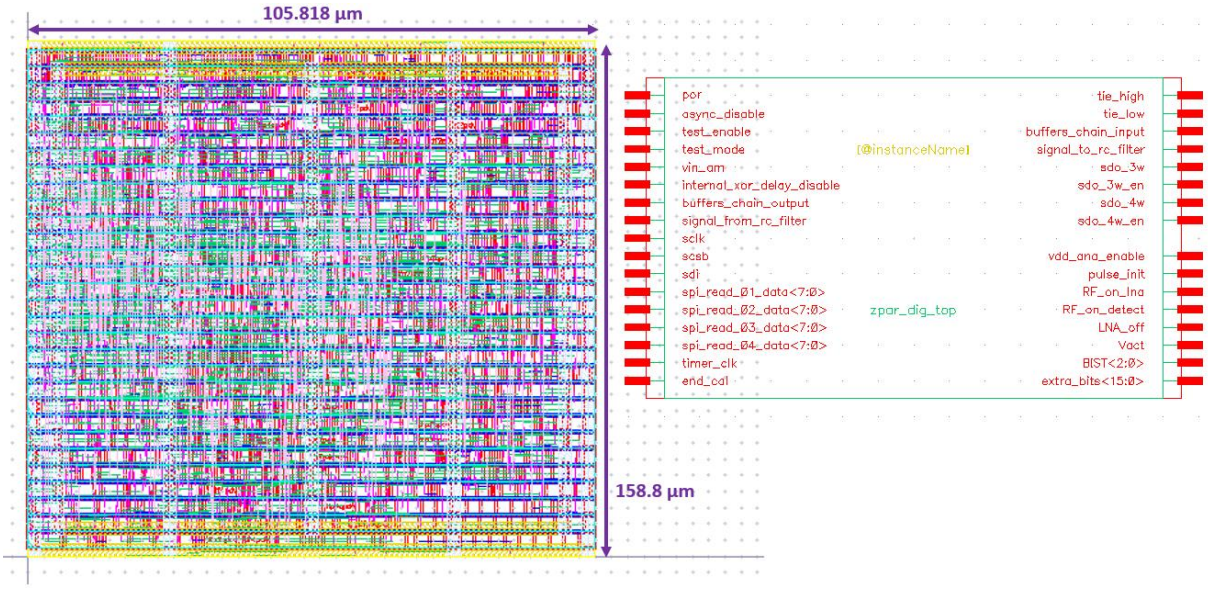


Figure V-11 : Layout de la seconde version du bloc numérique et son symbole associé

V.3.6. Switch RF

Ces deux switch provenant d'un design existant leur layout a été inchangé et est présenté en Figure V-12.

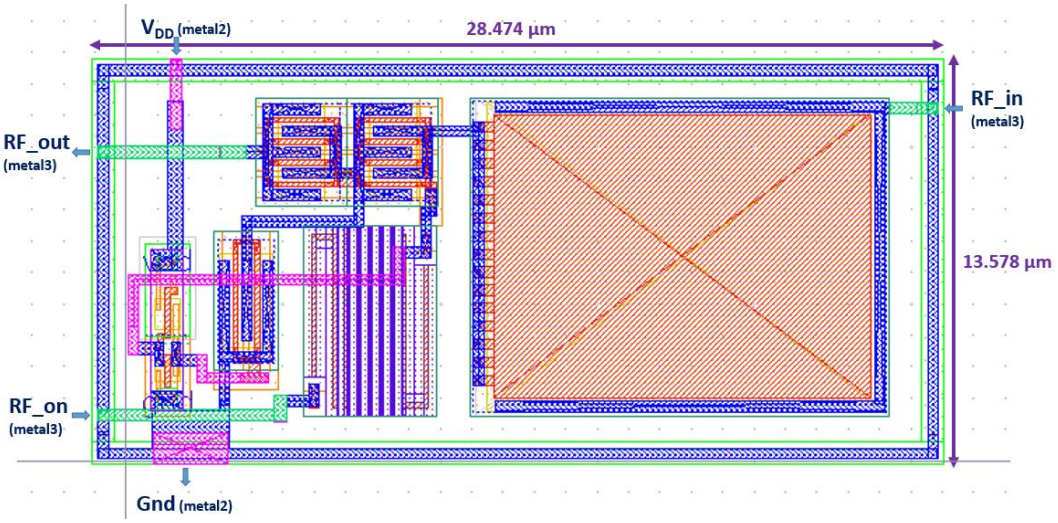


Figure V-12 : Layout du switch RF

V.3.7. Régulateurs de tension

Dans la première version du circuit, les régulateurs de tension ont été réutilisés, seul le layout des résistances a été modifié. Deux régulateurs distincts sont utilisés pour cette version, le premier génère la tension de 1.1V nécessaire à la partie analogique, le second fournit deux tensions de sortie régulée à 1.8V dont une commandée par une entrée enable. Les deux layouts associés à ces blocs sont présentés ci-dessous en Figure V-13,14.

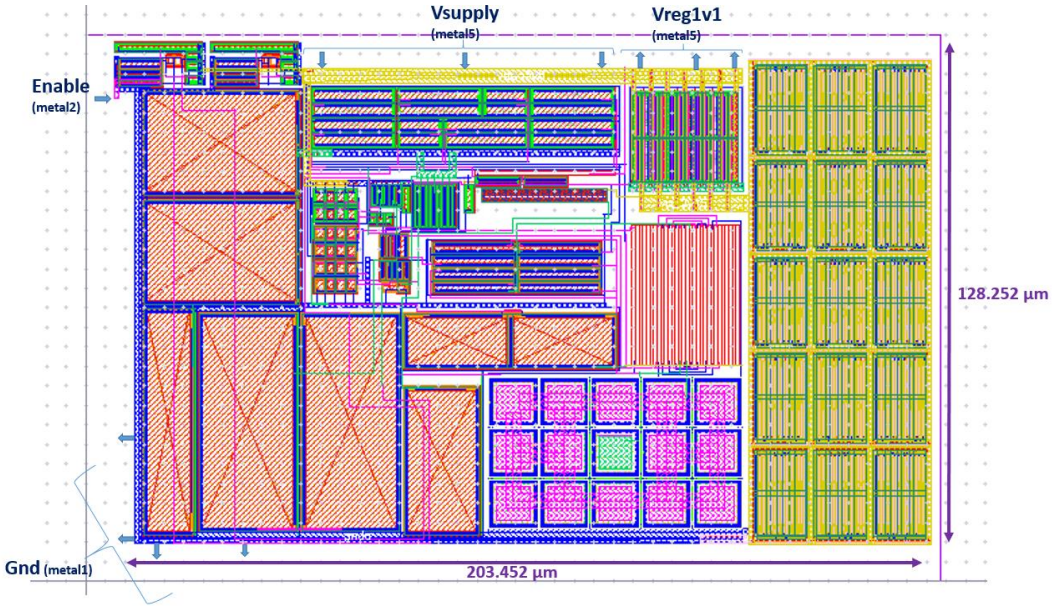


Figure V-13 : Layout du régulateur à 1.1V utilisé pour la version 1

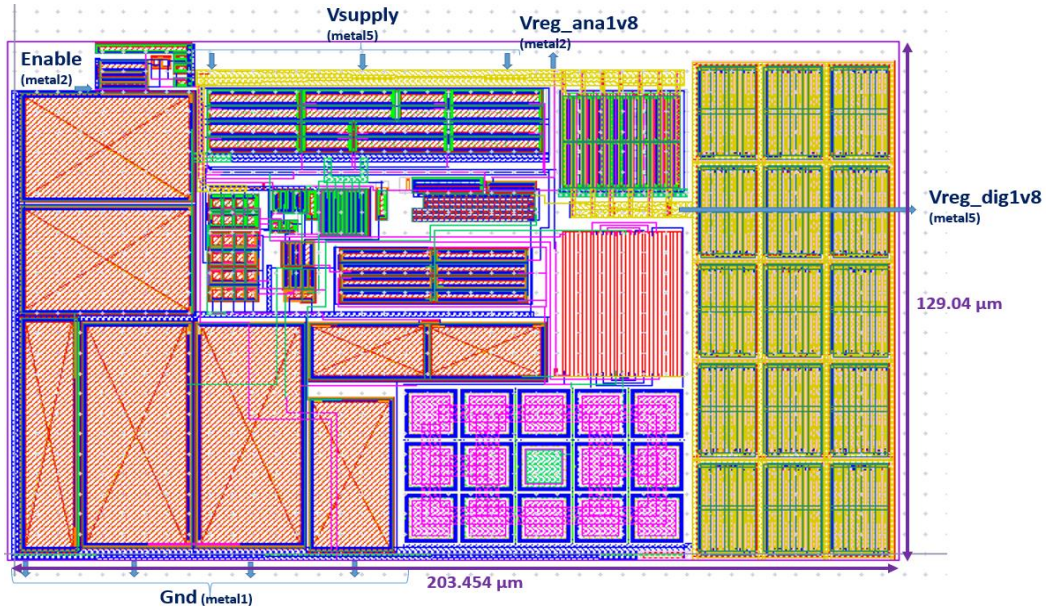


Figure V-14 : Layout du régulateur à 1.8V avec deux sorties utilisé pour la première version

Pour la seconde version, les trois régulateurs ont été réunis sous la forme d'un unique bloc dont le dessin est présenté en Figure V-15. Cependant les références de tensions, à 1,1 V et 1,8 V, sont bien générées de façon indépendante. Les condensateurs de découplage ne sont, cette fois, pas inclus dans le bloc comme c'était le cas pour les régulateurs précédents.

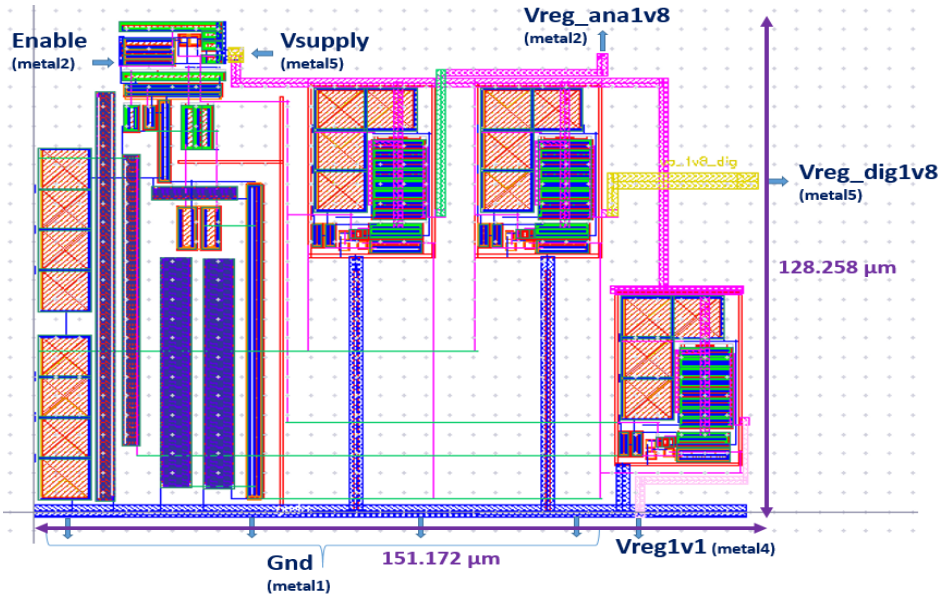


Figure V-15 : Layout du régulateur fournissant les trois tensions régulées pour la version 2

V.3.8. Timer

Le timer issu d'un design existant a conservé son layout initial, Figure V-16.

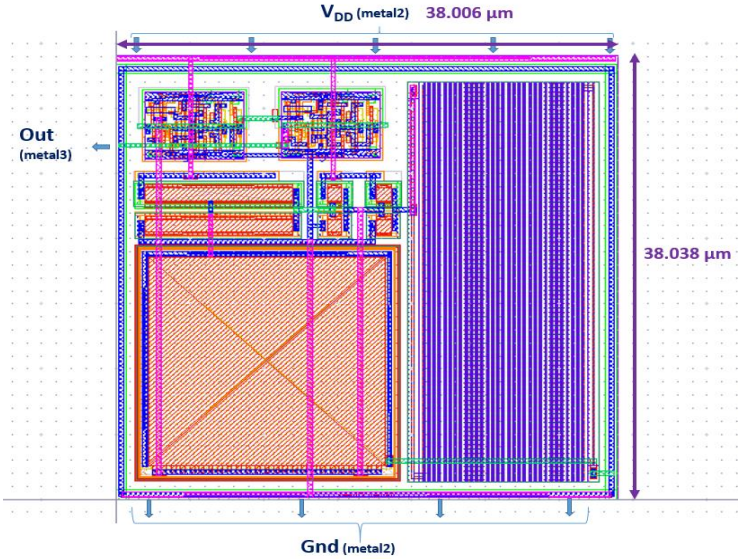


Figure V-16 : Layout du timer

V.3.9. DC Bus switch

Réutilisé d'un projet existant, le layout du DC bus switch est sans modifications, Figure V-17.

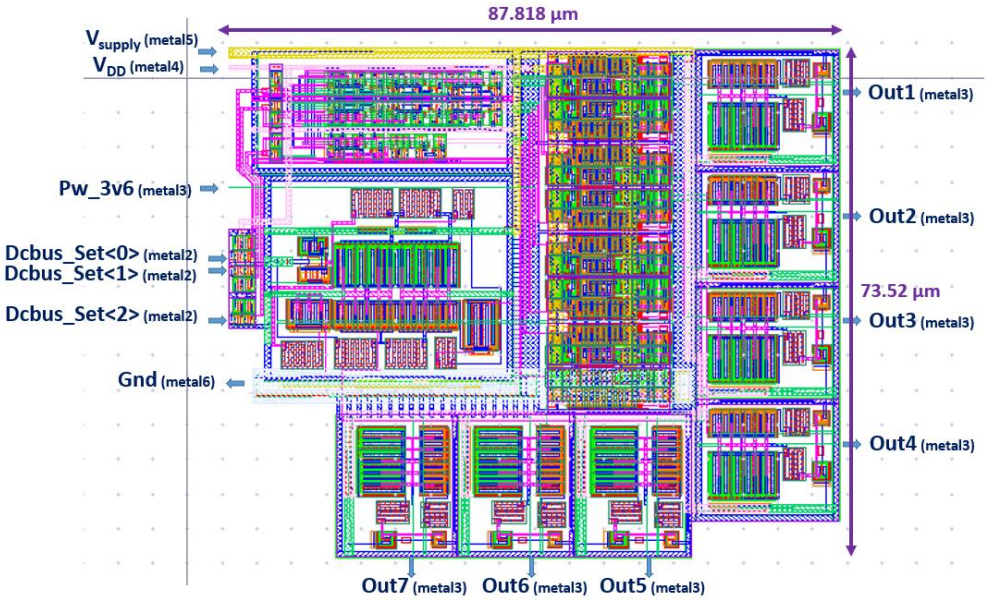


Figure V-17 : Layout du DC bus switch

V.4. Vue Top

Une fois tous les blocs dessinés, deux vues top sont réalisées correspondant à chacune des versions. Les deux layouts des vues sont présentées ci-dessous, Figure V-18.

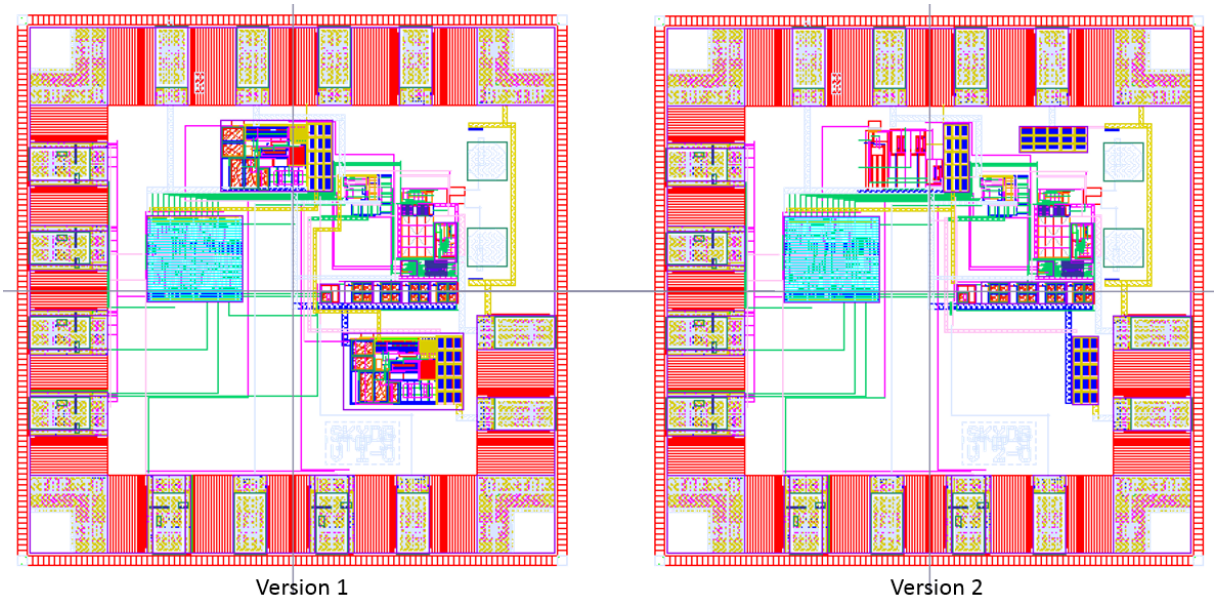


Figure V-18 : Layout des deux versions

Dans la version 1, la partie active occupe 0,12 mm² contre 0,08 mm² pour la version 2. Dans le modèle de la version 2, une intégration sur le même chip que le récepteur principal Zigbee JN5168, utilisé en exemple dans le Chapitre II, conduirait à ce que la partie active occupe moins de 1% de la surface totale comme représentée en Figure V-19.

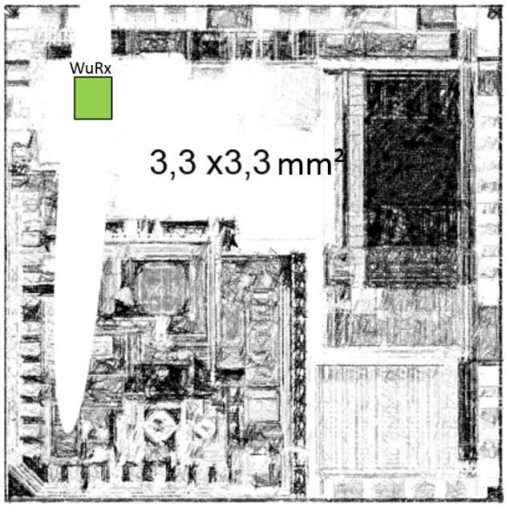


Figure V-19 : Superposition de la surface du récepteur d'activation sur le layout du JN5168

Une fois que la vue top est réalisée, c'est-à-dire que tous les blocs ont été placés, connectés il faut homogénéiser la densité de chaque niveau de métal. C'est le rôle du tiling. Le tiling est un maillage de petits rectangles de métaux de façon à uniformiser la densité de chaque niveau de métaux sans le perturber électriquement. Le tiling est généré automatiquement par l'outil de dessin. De même le sealring est automatiquement généré par la cellule PcSealringLG de la librairie GenericLG, il suffit pour cela d'entrer la taille de la puce à entourer. Le sealring est un anneau de métal protecteur délimitant le tour du circuit. Les layouts finaux des deux versions dont les GDS ont été envoyés pour fabrication sont donnés ci-dessous en Figure V-20.

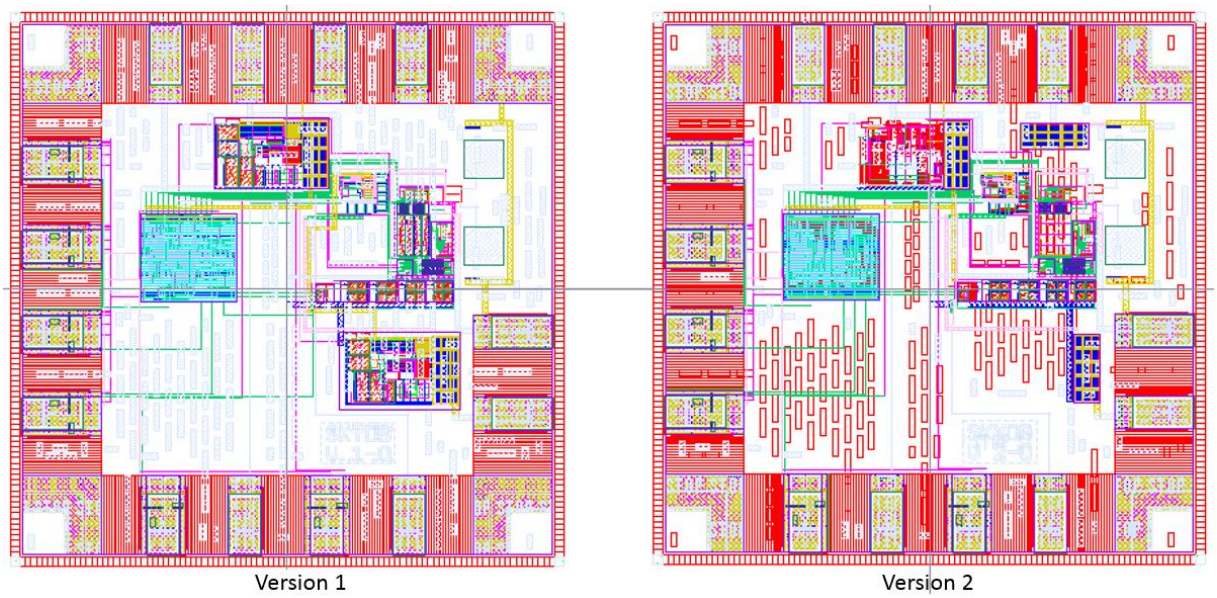


Figure V-20 : Layout finaux des deux versions

V.5. Le Printed Circuit Board (PCB)

Pour évaluer le circuit et le présenter sous forme d'un démonstrateur circuit un PCB est réalisé. En cas de bon fonctionnement, le prototype sera utilisé comme démonstrateur. Ainsi de façon à réduire les coûts, un seul et unique PCB est réalisé pour la mesure et les

démonstrations. Le layout du PCB est réalisé en étroite collaboration avec Christophe Michel, collègue de NXP en charge de la plupart des layouts des PCB du service. Avant de commencer le schéma du PCB, il est important de lister toutes ses utilisations.

V.5.1. Ensemble des mesures à réaliser sur le prototype

Ci-dessous est regroupé l'ensemble des mesures que devra permettre le PCB.

- Variations de la tension d'alimentation et en température
- Fréquence du signal d'horloge
- Courant de consommation de la puce
- Tension de sortie des régulateurs et de leurs fonctionnements périodiques
- Courant consommé par l'amplificateur RF et le détecteur
- Sortie du DC bus Switch
    - Durée de la calibration
    - Tension de référence fournie pour la calibration
    - Tension de sortie du détecteur
    - Signal retardé sortie du filtre RF
    - Signal de contrôle du courant dans l'amplificateur BF
    - Tensions régulées Vdd_dig et Vdd_ava1v1
- Sensibilité du récepteur
- Gain en puissance de l'amplificateur RF
- Bonne reconnaissance du code, et signal d'activation
- Portée de l'application en conditions d'émission

V.5.2. Cas d'applications du PCB

Le PCB est également conçu dans l'optique de démontrer de façon simple, les cas d'usage et le bon fonctionnement du récepteur d'activation lors des cas d'emploi définis ci-dessous :

- Cas standard

Le premier cas d'application est directement intégré sur le PCB. Il met en scène le cas d'application principal qui est l'activation d'un récepteur. Deux diodes sont placés sur le PCB, une rouge symbolisant l'état off et une verte symbolisant l'état on. Le signal de réveil est envoyé par une radio. L'impulsion d'activation alors générée permet d'allumer une diode verte qui représente l'allumage du récepteur principal. L'extinction du récepteur n'est pas prise en charge par le récepteur d'activation. Dans ce premier cas d'application elle sera faite manuellement par l'utilisateur, à l'aide d'un bouton poussoir. Sous pression de ce bouton, la diode verte s'éteint et la diode rouge s'allume. Le principe de fonctionnement dans ce cas d'usage est présenté en Figure V-21.

- Cas du minuteur

Dans le deuxième cas, illustré en Figure V-22, l'allumage est également géré par le récepteur d'activation mais l'extinction est désormais prise en charge par un système de minuterie.. A la réception du signal d'activation, la diode verte est allumée et une minuterie de dix secondes est déclenchée. Au terme de ces dix secondes, la diode verte est éteinte et la diode rouge est allumée.

- Cas automatique

Dans le dernier cas, l'allumage et l'extinction sont gérés par le signal d'activation. A l'état initial, la diode rouge est allumée. La première impulsion générée par le récepteur d'activation permet d'allumer la diode verte et d'éteindre la diode rouge. L'impulsion suivante, va éteindre la diode verte et rallumer la diode rouge, ramenant ainsi le système à son état initial. Ce mécanisme est schématisé en Figure V-23.

Le schéma de principe du board est donné dans les configurations d'applications précédemment mentionnées ci-dessous. Les différentes configurations d'emploi et certains cas de mesures nécessitent l'emploi de cavalier. Les mécanismes de on/off sont gérés par des relais. Les relais employés nécessitent des impulsions d'au moins 3 ms. Or celle fournie par le récepteur de réveil n'excède pas 1 ms. Les datasheets de tous les composants sont données en Annexe 6, 7 et 8.

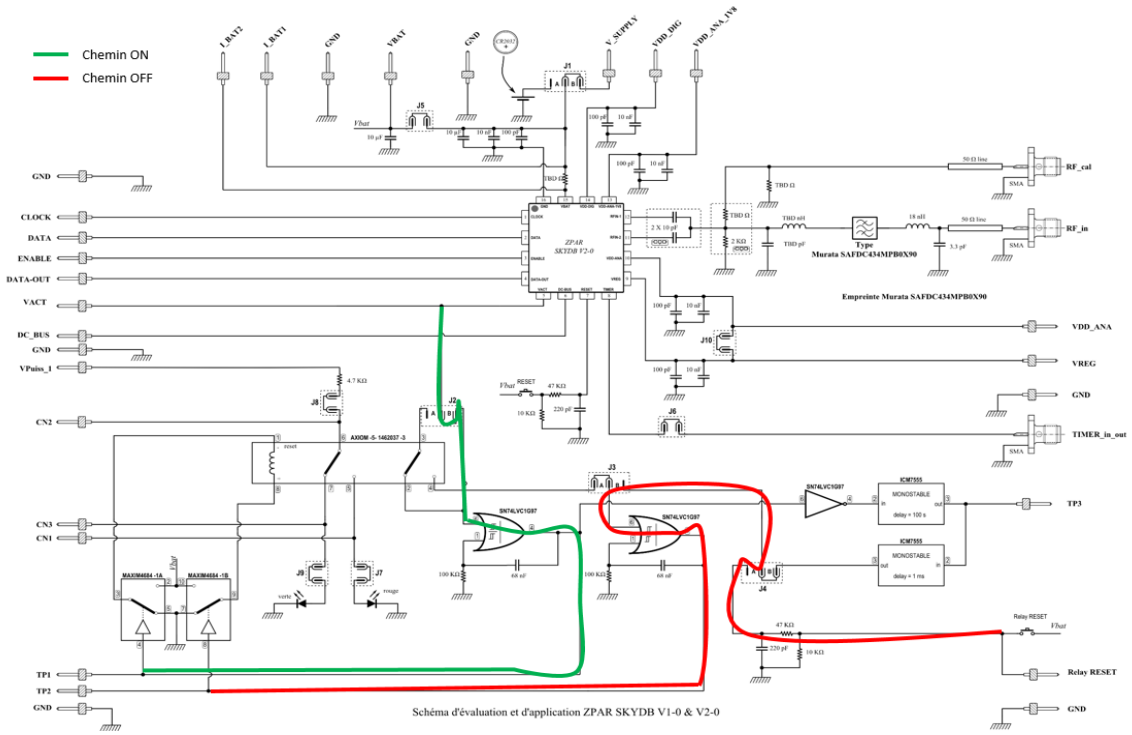


Figure V-21 : Schéma de principe du PCB et représentation du chemin des impulsions ON/OFF dans le cas standard

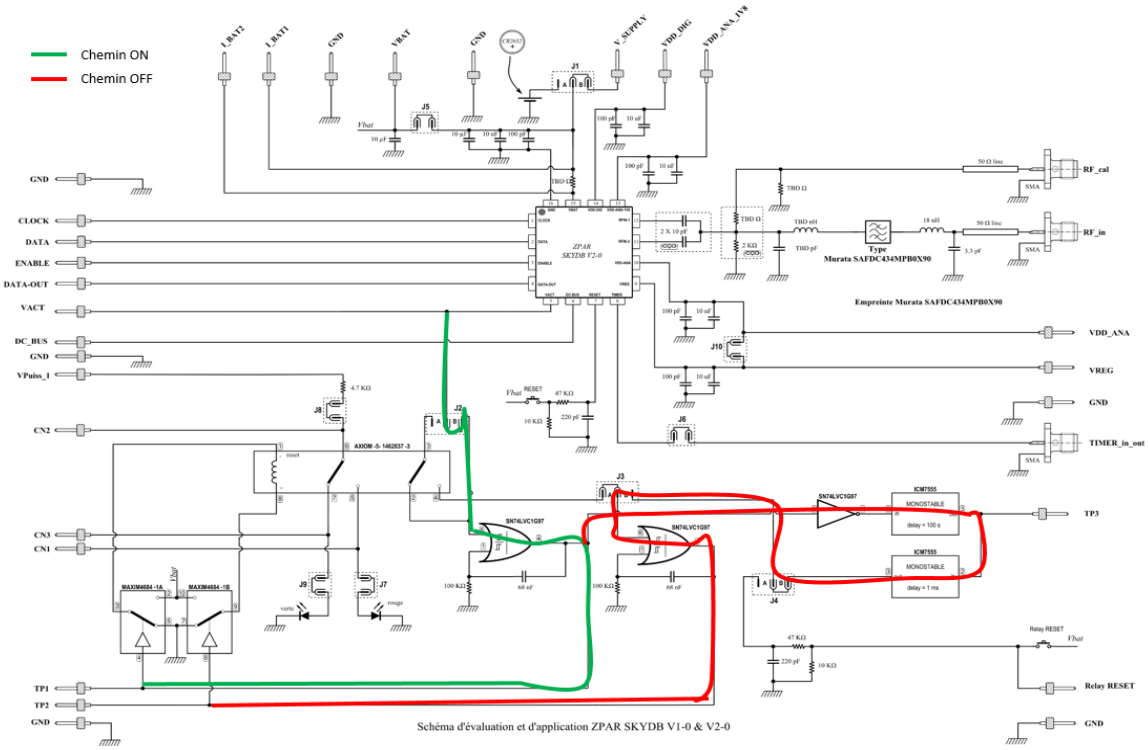


Figure V-22 : Schéma de principe du PCB et représentation du chemin des impulsions ON/OFF dans le cas du minuteur

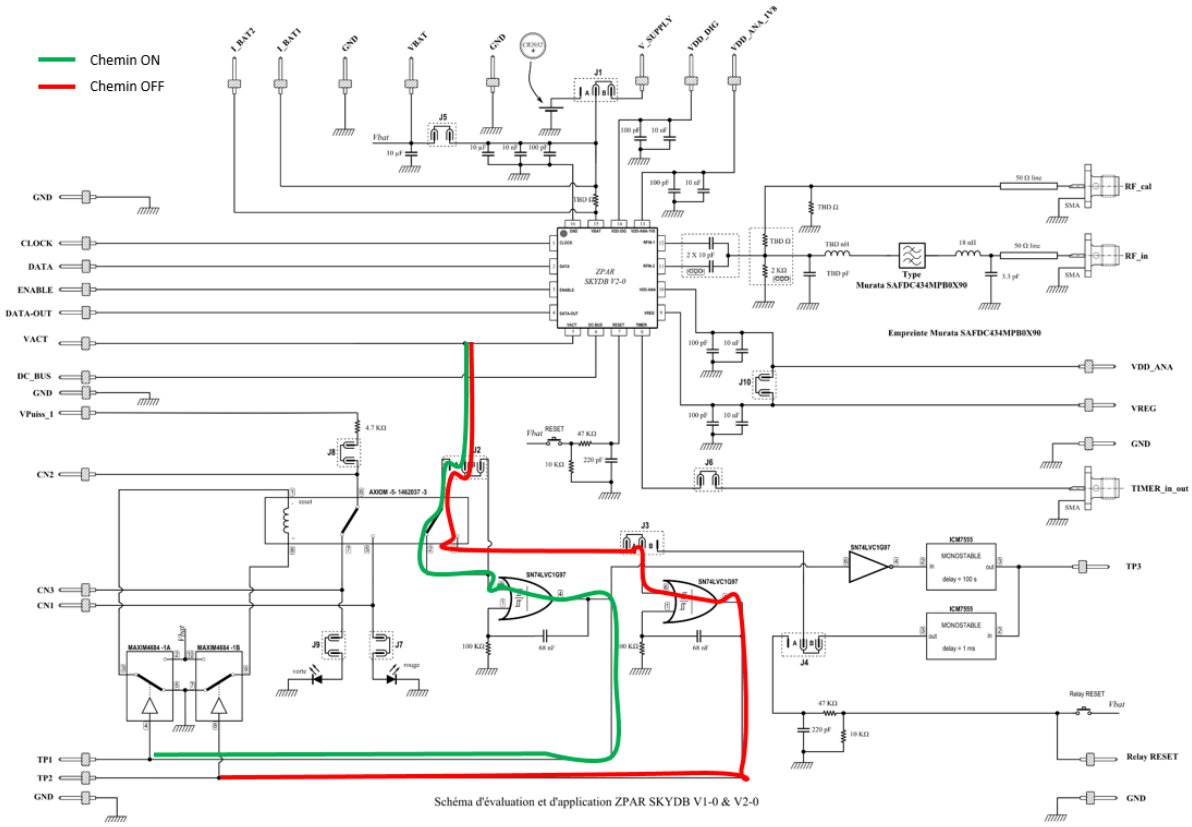


Figure V-23 : Schéma de principe du PCB et représentation du chemin des impulsions ON/OFF dans le cas automatique

V.5.3. Réalisation du PCB

Le PCB est réalisé et monté par la société ASCO. Le schéma du PCB est donné en Figure V-24. Quatre couches sont nécessaires, la vue top et une photo du PCB monté sont présentées ci-après en Figure V-25.

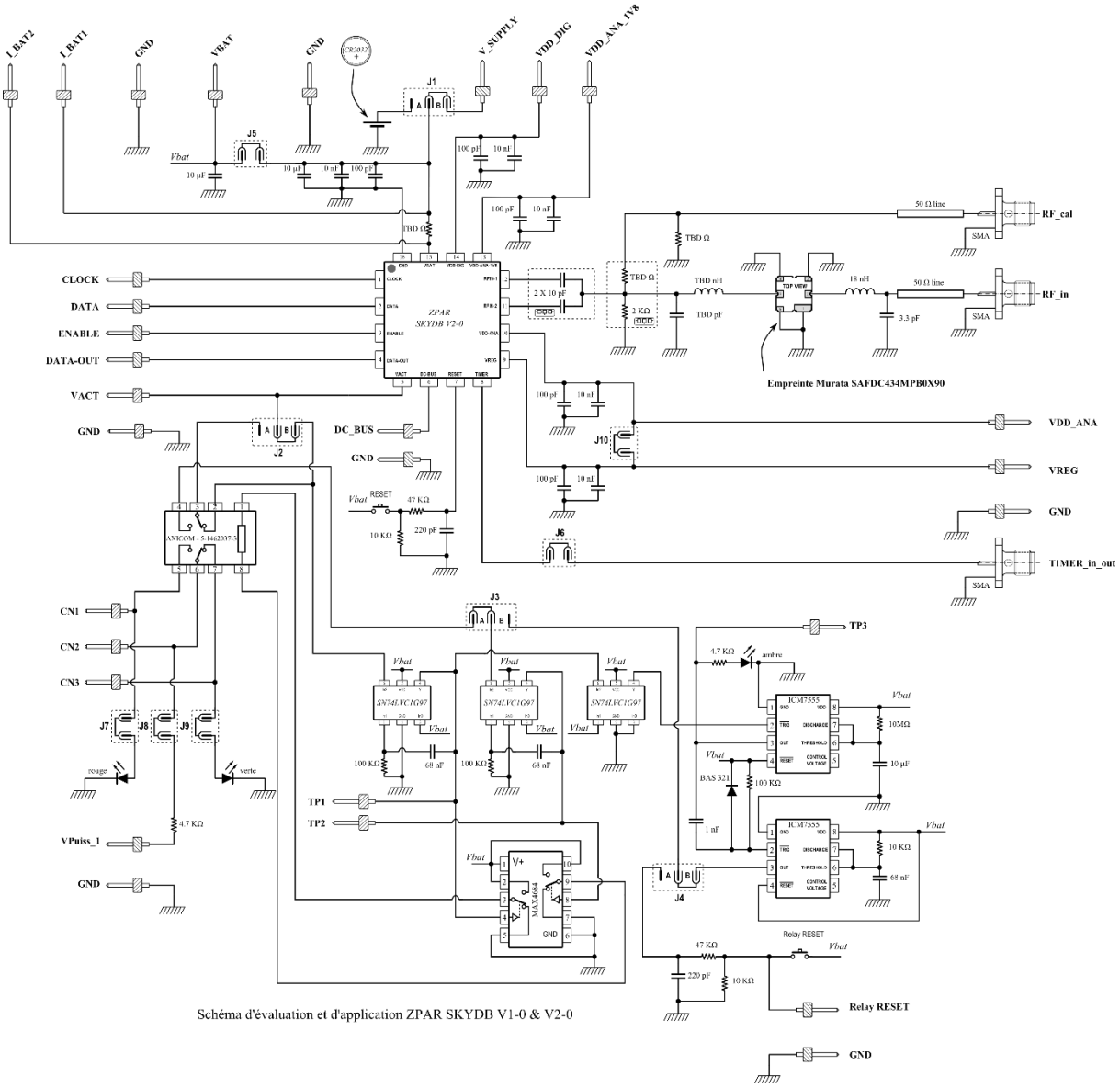


Figure V-24 : Schéma bloc du PCB

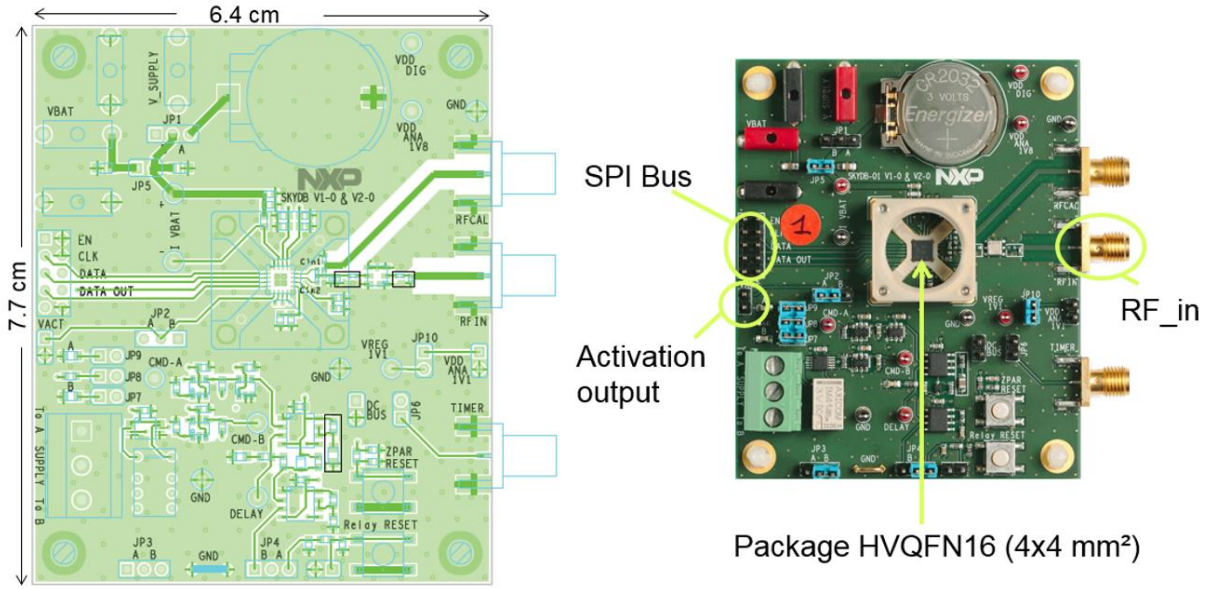


Figure V-25 : Vue top du layout du PCB à gauche et sa photo une fois monté à droite

La réalisation de la puce a été faite sur MPW (Multiple Projects Wafer). Sur la Figure V-26 est décrit le plan du réticle. Les deux versions du récepteur d'activation ont été réalisées. Sur le plan, la première version correspond à A1 et la seconde à A2. Sur la Figure V-27 ci-après est présentée une photographie de la puce.

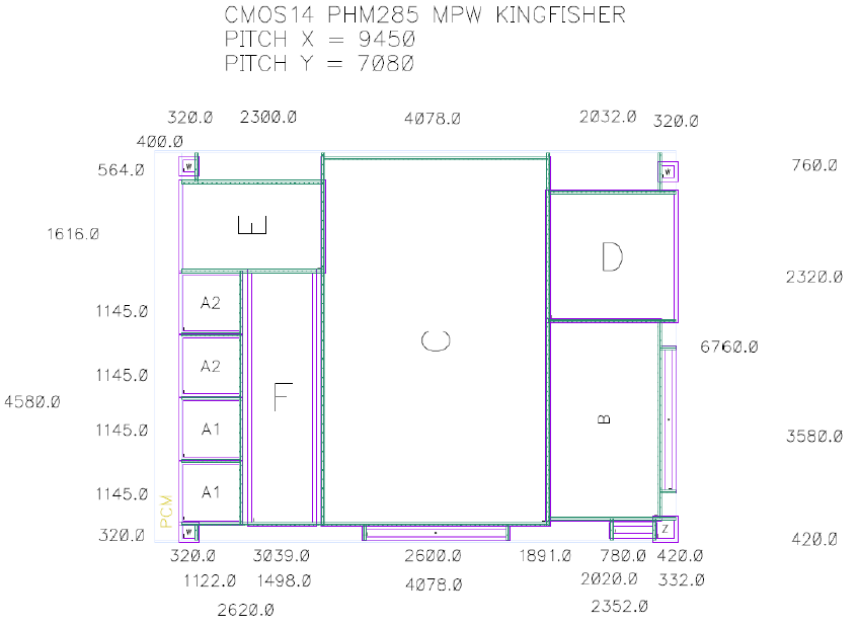


Figure V-26 : Plan du réticle

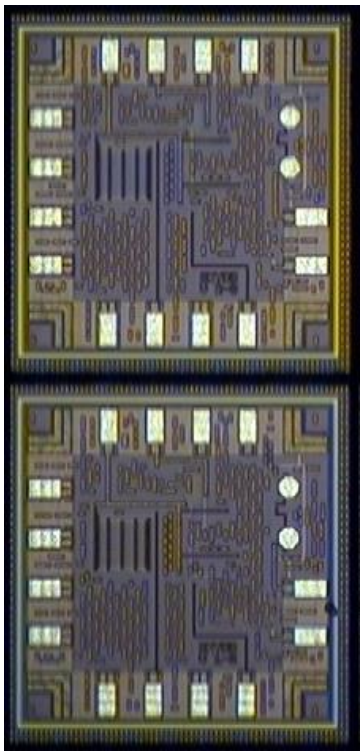


Figure V-27 : Photo des puces, version 1 (en haut) et 2 (en bas)

Conclusion

La réalisation sur silicium et la réalisation de la carte nécessaire à l'évaluation du circuit ont été présentés ici. L'aire du silicium est déterminée par le nombre de pads et les contraintes de dessin qui leur sont associées. Deux versions ont été fabriquées, l'aire globale du circuit dans les deux cas est de 1 mm^2, la surface active est de 0.08 mm^2 dans le cas de la version 2. Afin de se prémunir de tout risque supplémentaire, un boitier HVQFN standard est choisi. Un seul PCB est conçu pour effectuer l'évaluation du circuit et la validation expérimentale du récepteur d'activation. Le circuit mis en boitier et disposant de protections ESD a pu aisément être testé par nos soins dans les laboratoires de NXP. Les résultats sont présentés dans le chapitre suivant.

La fabrication et la mise en boîtier des puces ont nécessité un peu plus de deux mois. Pendant ce temps le PCB présenté dans le chapitre précédent a été conçu. A la réception de ce dernier et avant son utilisation, il a tout d'abord été testé de façon à éliminer tous les risques de court-circuit entre les pistes et de vérifier le bon fonctionnement de la partie "applications" pour concentrer les travaux suivants à la vérification du bon fonctionnement du récepteur d'activation. Dans ce chapitre sont présentés les résultats obtenus en mesure ainsi qu'en simulation. Comme il s'agit ici d'un système complet et packagé, il n'est pas possible de contrôler autant de variables que lors des simulations. Les relevés successifs permettant de vérifier le bon fonctionnement du récepteur ont été contrôlés un à un. La fonctionnalité des deux versions a été vérifiée. Cependant la version 2 donnant de meilleurs résultats en termes de consommation (environ 7 fois moins), la qualification du prototype est faite sur cette version.

VI.1. Alimentation / Energie

VI.1.1. Régulateurs de tension

Le premier point est de vérifier que le circuit est correctement alimenté. Il faut donc commencer par vérifier que les régulateurs de tension fournissent les tensions d'alimentation attendues. Les résultats sont présentés en Figure VI-1,2. De plus, le bon fonctionnement du timer orchestrant le fonctionnement du circuit, est évidemment primordial. Un dysfonctionnement pourrait perturber voire empêcher le fonctionnement périodique ou la calibration.

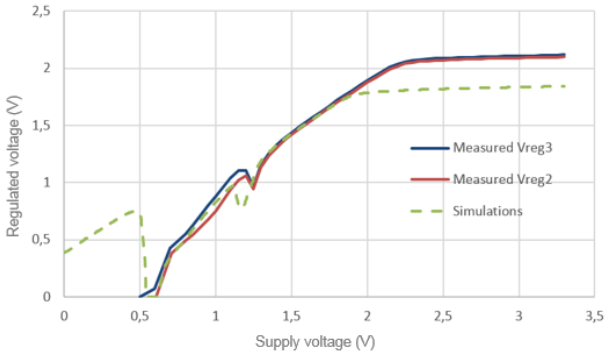


Figure VI-1 : Comparatif simulations/mesures des tensions régulées à 1.8V en rouge Vdd_ana1v8 et en bleu 1v1 en fonction de la tension d'alimentation générale

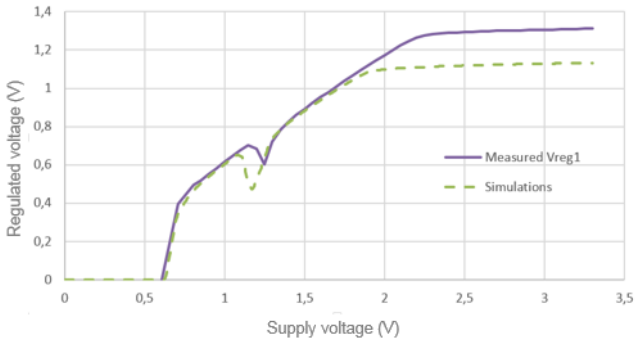


Figure VI-2 : Comparatif simulations/mesures de la tension régulée à 1.1V Vdd_ana1v1 en fonction de la tension d'alimentation générale

Les régulateurs de tension fournissent des tensions plus élevées que celles attendues. Il n'a pas été possible de reproduire ce phénomène en simulation. Malheureusement il n'a également pas été possible d'accéder à des éléments de contrôle du circuit qui aurait permis de comprendre les causes de cette anomalie, notamment tels que leur consommation, qui pourrait donner des informations sur leur comportement vis-à-vis de la charge qui leur est présentée. Néanmoins ils présentent bien globalement le même comportement que celui observé en simulation.

Figure VI-3 : Sorties des trois régulateurs de tension observées à l'oscilloscope, Vbat = 3.3V, $T_{ambiente}$

Les fonctionnements périodiques des deux régulateurs concernés sont bien synchrones (Figure VI-3) et la programmation de leur rapport cyclique et de la fréquence de mise en marche se font correctement. Sur la Figure VI-4, sont contrôlés les temps de montée et de descente du signal périodique, aucune spécification précise n'avait été définie à ce sujet.

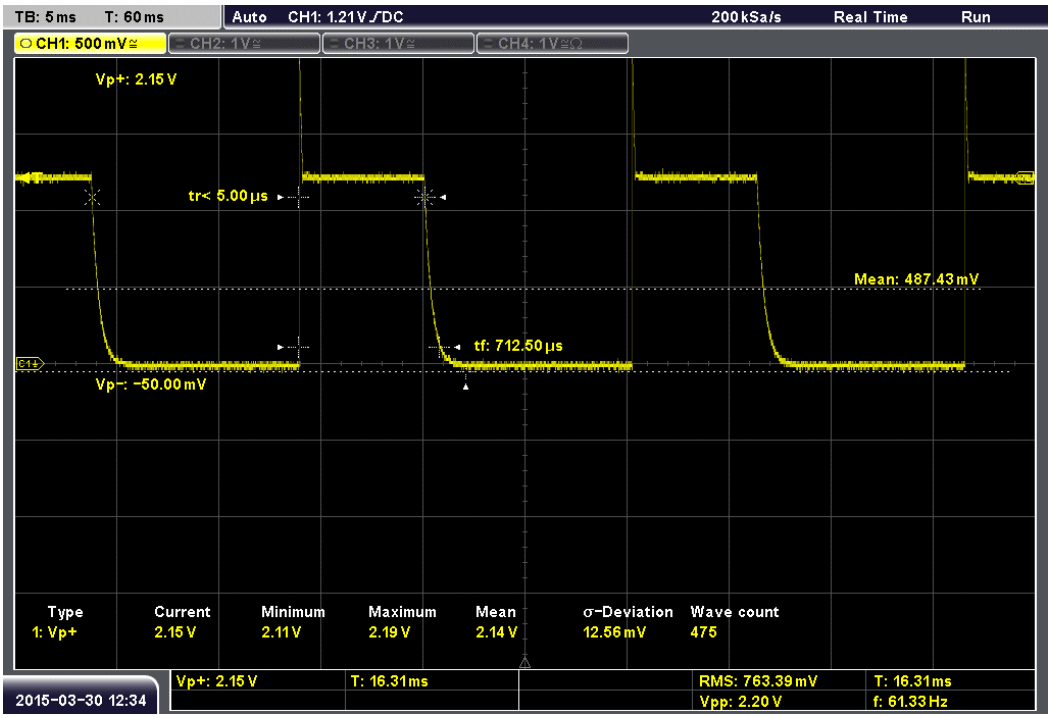


Figure VI-4 : Temps de montée et temps de descente de Vdd_ana_1v1, Vbat = 3.3V, $T_{ambiente}$

En Figure VI-5,6 sont représentées les tensions fournies par les régulateurs pour différents cas de procédés qui démontrent la robustesse de ces derniers par rapport aux variations technologiques inhérentes à la fabrication et ce pour les deux versions.

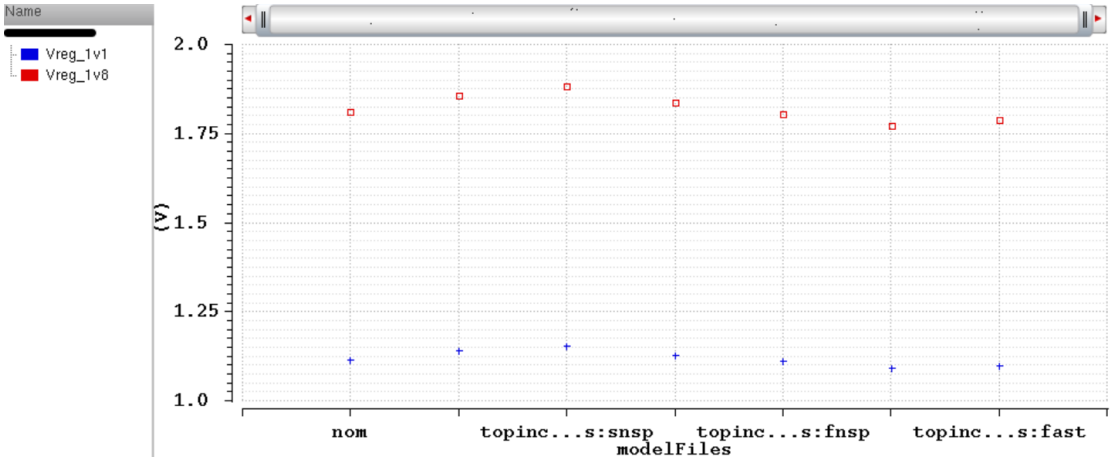


Figure VI-5 : Tensions fournies par les régulateurs (V_1) pour différents corners, T = 27°C

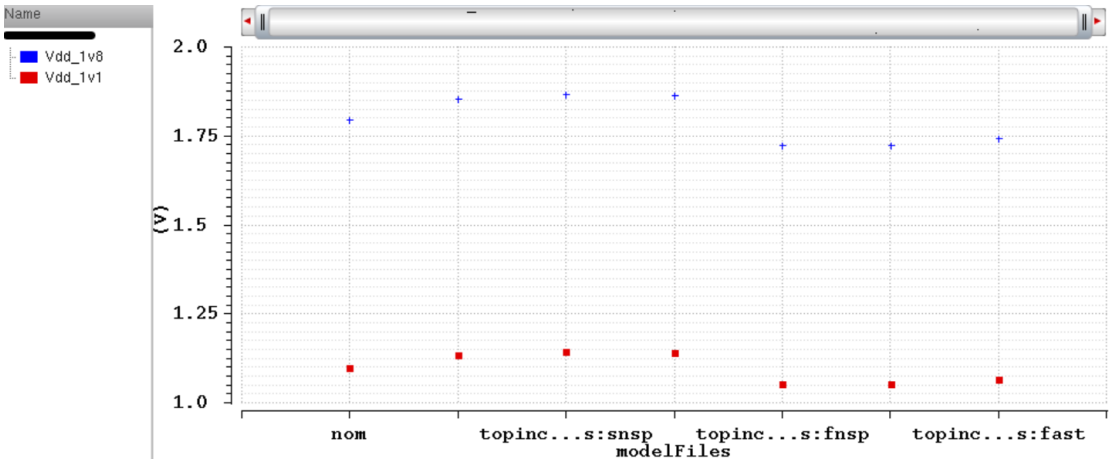


Figure VI-6 : Tensions fournies par les régulateurs (V_2) pour différents corners, T = 27°C

Bien que la tension fournie soit plus élevée qu'attendue, la robustesse par rapport aux variations de procédé, vérifiée en simulation, est également observée en mesure, Figure VI-7.

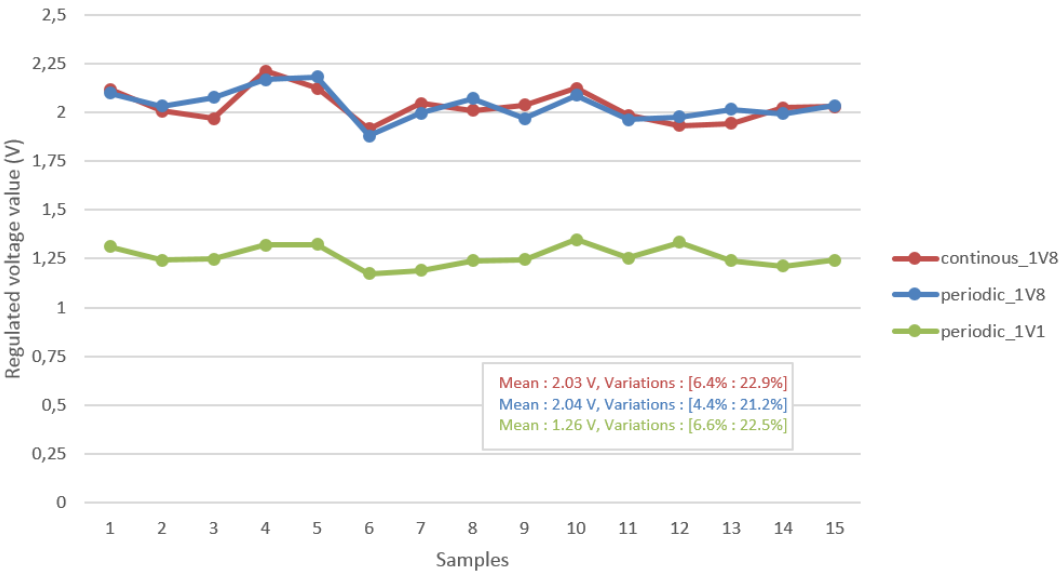


Figure VI-7 : Mesure de la tension fournie par les régulateurs (V_2) pour différents échantillons

Deux versions de régulateurs ont été présentées. La première n'a pas été modifiée par rapport au design existant du portefeuille NXP, à l'exception de l'ajustement de la valeur de la tension régulée fournie. La seconde propose une architecture plus simple permettant de réduire sa consommation. Dans la première version, les régulateurs consomment 290 µA alors que dans la deuxième version ils ne consomment plus que 13 µA. La consommation des régulateurs, dans le cas des deux versions, n'a pu être contrôlée qu'en simulations et est présentée en Figure VI-8 pour la version 1 et Figure VI-9 pour la version 2.

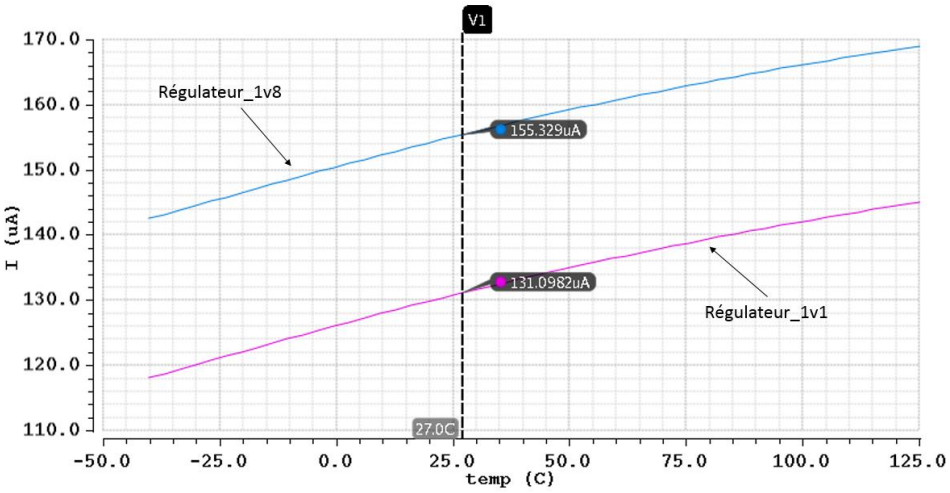


Figure VI-8 : Courant consommé par les régulateurs (V_1) en fonction de la température, Nominal

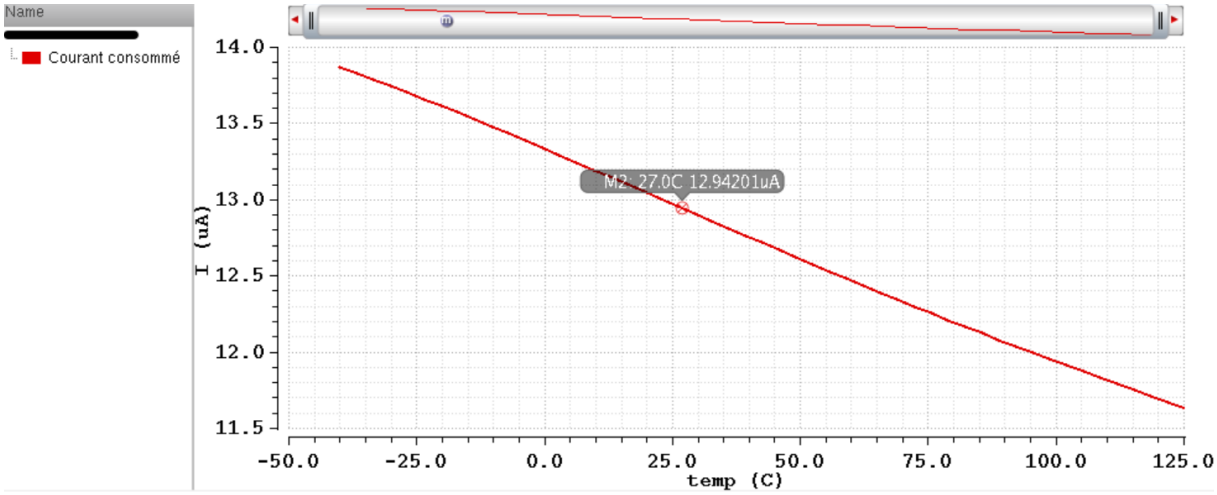


Figure VI-9 : Courant consommé par les régulateurs (V_2) en fonction de la température, Nominal

VI.1.2. Timer

Le bon fonctionnement périodique des régulateurs tend à montrer le comportement attendu du timer. En Figure VI-10 est présentée la fréquence fournie par le timer obtenue en simulation pour différentes variations de procédé. Les fréquences minimale et maximale sont atteintes pour les cas extrêmes de variations de procédés, respectivement slow et fast et engendrent une variation de plus ou moins 20% de la fréquence par rapport à la valeur attendue de 100 kHz.

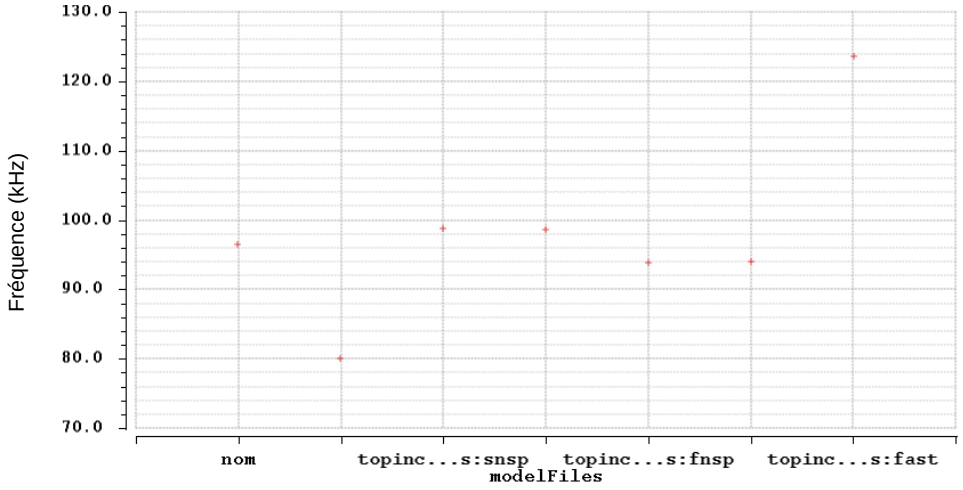


Figure VI-10 : Fréquence du timer pour les différents corners, V_{DD} = 1.8V

La Figure VI-11 démontre la robustesse du timer par rapport aux variations de température. Sur tout l'intervalle de température, les variations de la fréquence d'oscillation n'excèdent pas 10%.

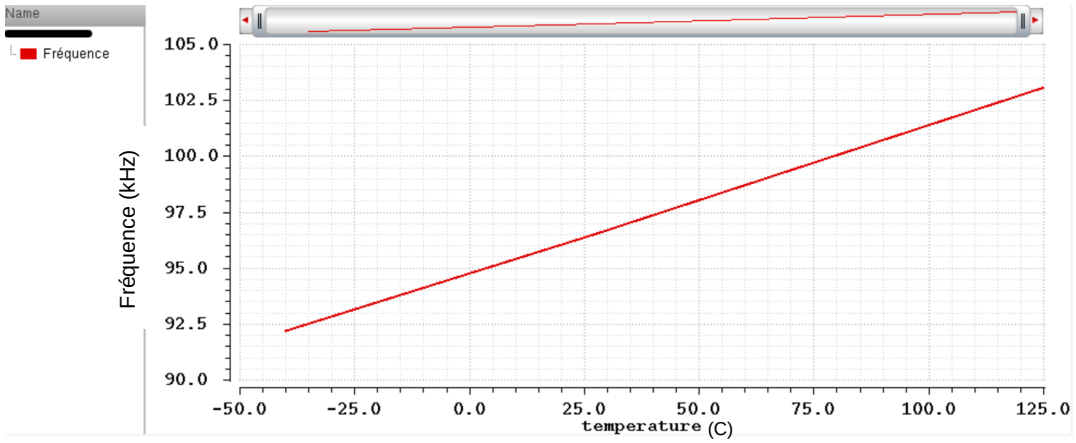


Figure VI-11 : Fréquence du timer sur la gamme de température, V_{DD} = 1.8V

La fréquence d'oscillation du timer est également indépendante par rapport aux variations de la tension d'alimentation comme le montre la Figure VI-12. Une variation de cette dernière de +/- 10% engendre une variation de la fréquence d'oscillation particulièrement faible de 3%.

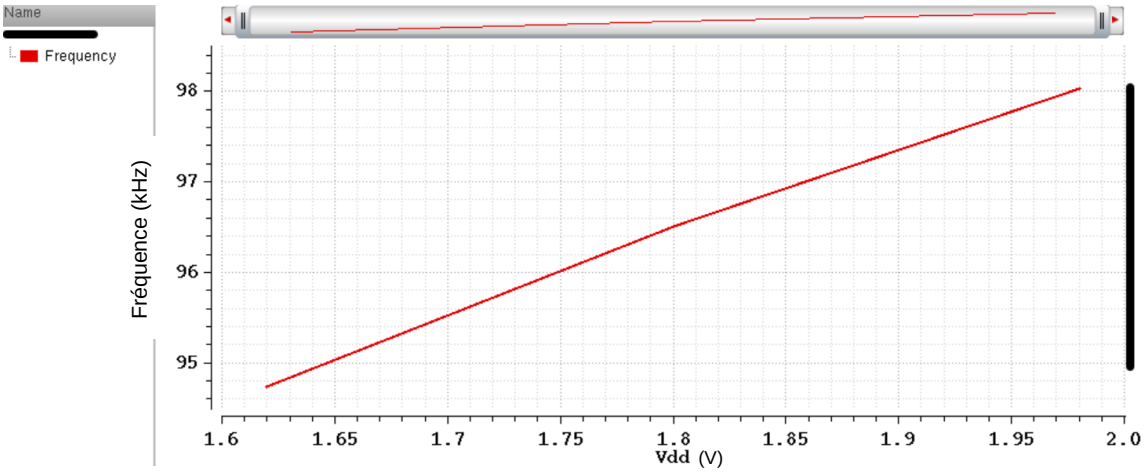


Figure VI-12 : Fréquence du timer pour différentes tensions d'alimentation, Nominal

La fréquence fournie par le timer a été contrôlée sur 15 échantillons. Les résultats sont présentés en Figure VI-13.

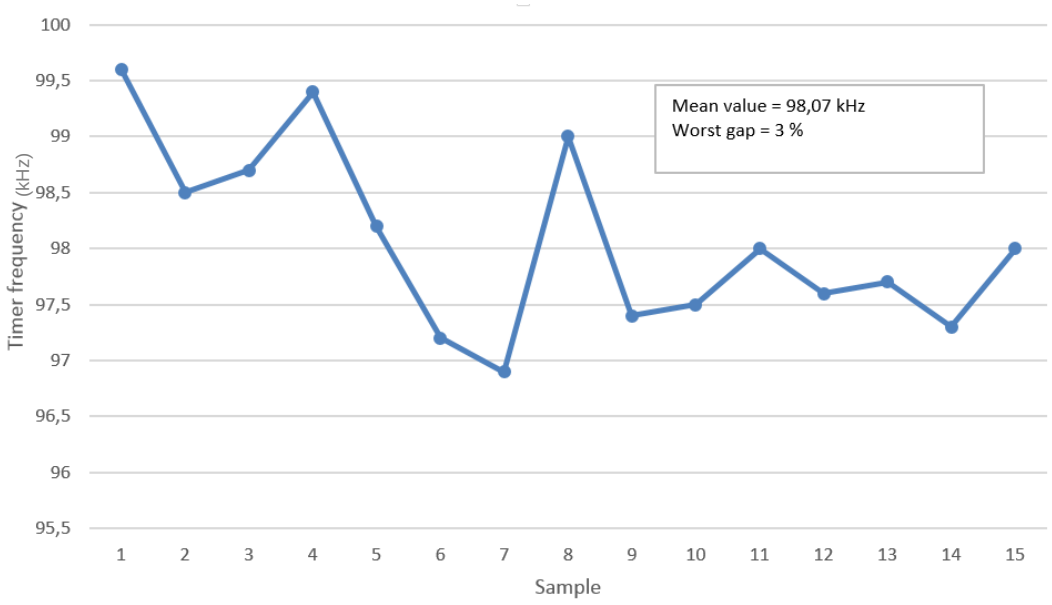


Figure VI-13 : Mesure de la fréquence du timer sur 15 échantillons. Vbat = 3.3V, $T_{ambiente}$

La fréquence attendue du timer est de 100 kHz. Les variations observées dues aux variations de procédé entre chaque échantillons, n'est pas inquiétante pour le bon fonctionnement du circuit, comme l'avait démontré les calculs présentés au Chapitre IV, et est en accord avec les simulations.

En Figure VI-14, le courant consommé par le timer est tracé en fonction de la température. L'oscillateur est une cause importante de consommation, environ 240 µA permanent. Il faut noter qu'il s'agit d'un bloc réutilisé, et que son design n'a pas fait l'objet d'une optimisation en consommation. La variation d'environ 4% sur toute la gamme de température reflète une bonne immunité aux variations de température.

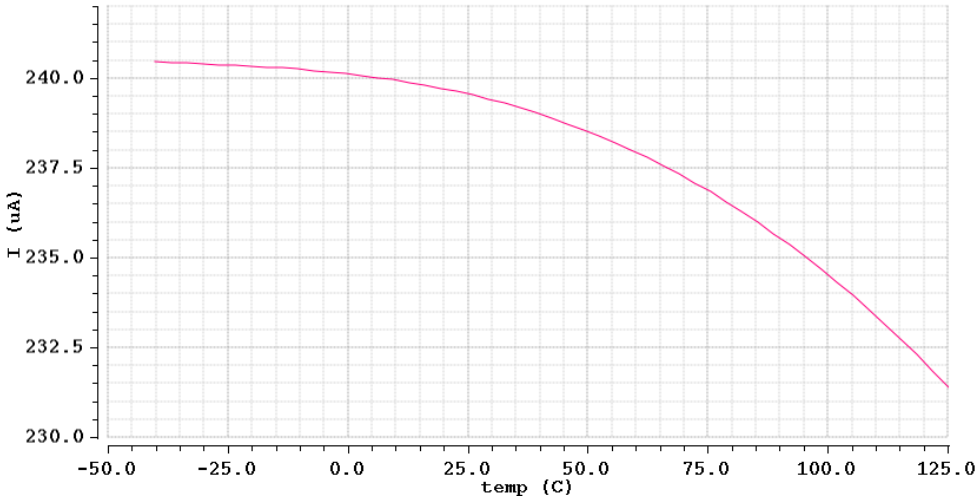


Figure VI-14 : Consommation de l'oscillateur, V_{DD} = 1.8 V

VI.1.3. Courant consommé

Lors de la conception une attention particulière a été portée à la réduction de la consommation de chaque bloc de la chaîne de réception. En Figure VI-15, la répartition des courants en fonction des blocs est donnée. Le pôle de consommation le plus important étant, comme attendu, l'amplificateur RF. Cette consommation est due à la fonction d'amplification et au fonctionnement fautes fréquences.

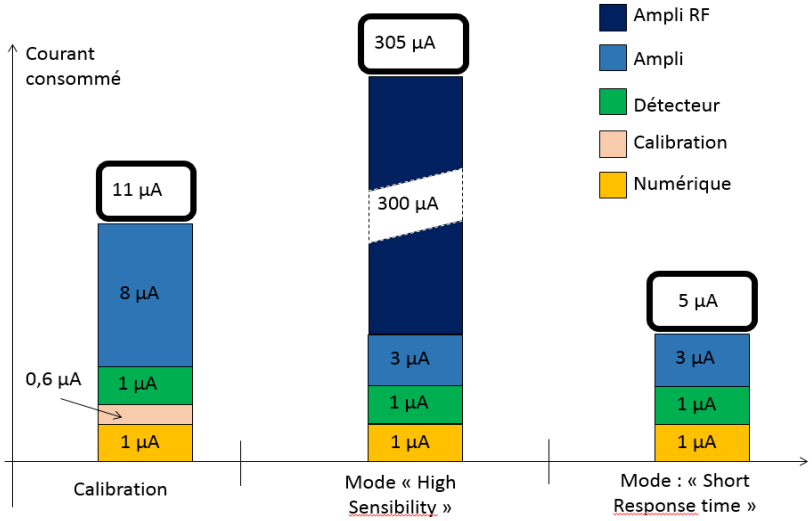


Figure VI-15 : Histogramme de la répartition des consommations en courant

Sur le prototype, un courant moyen de 35 µA est mesuré pour un fonctionnement en écoute de 6 ms à 8 Hz.

VI.2. La Calibration

VI.2.1. Mécanisme

Le mécanisme de calibration est contrôlé pour les différents cas de variations de procédé, en température et en tension d'alimentation. Les Figures VI-16, 17, 18 démontrent le bon fonctionnement de ce dernier malgré ces variations.

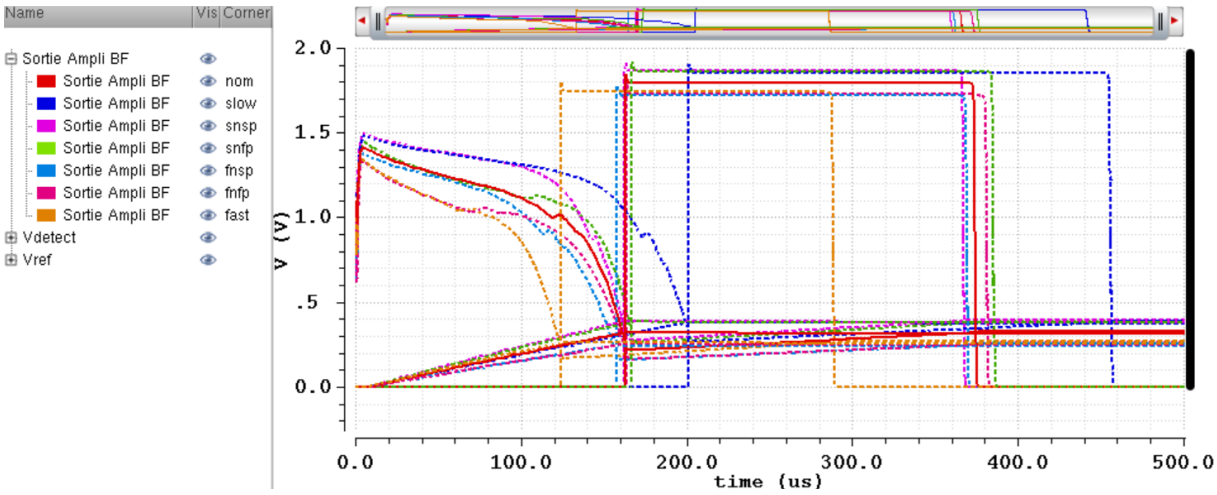


Figure VI-16 : Mécanisme de calibration pour les différents corners, T = 27°C

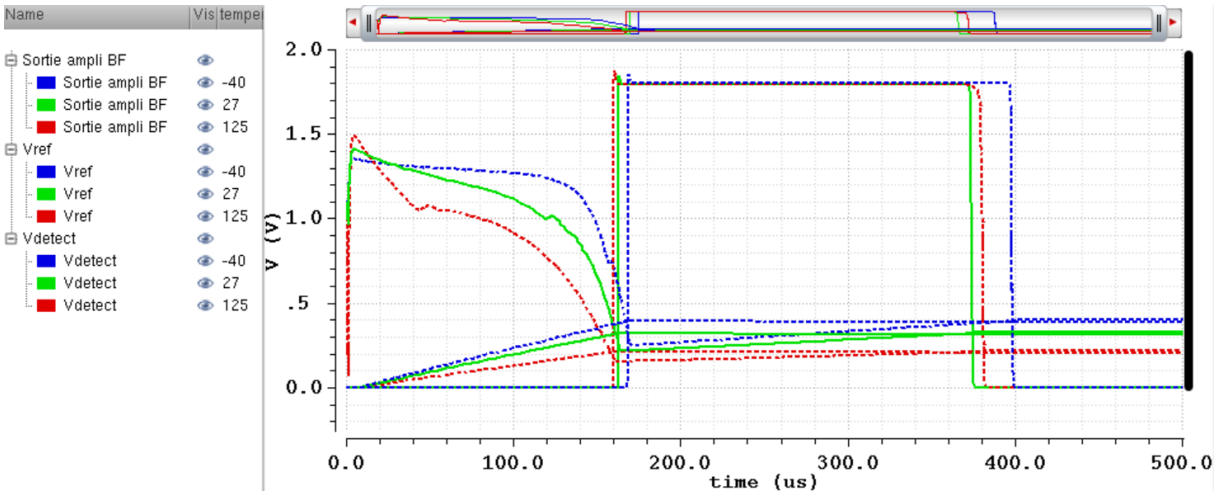


Figure VI-17 : Mécanisme de calibration à -40°C, 27°C et 125°C, Nominal

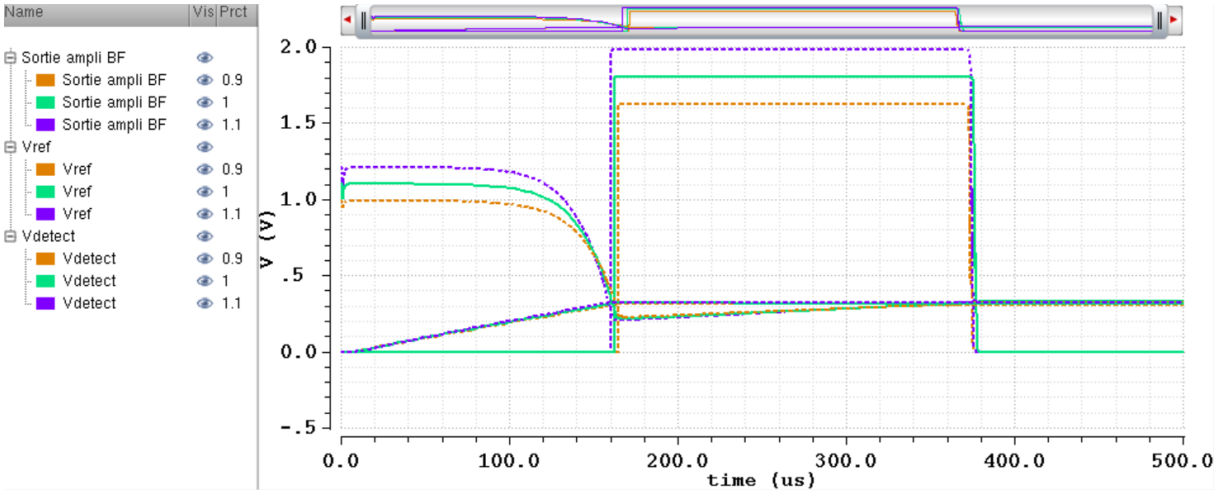


Figure VI-18 : Mécanisme de calibration en fonction de variations de la tension d'alimentation de +/- 10%, Nominal

VI.2.2. Switch RF

Pendant la phase de calibration aucun signal RF ne doit venir perturber cette dernière. L'isolation des switches RF est évaluée en mesurant la différence de niveau nécessaire pour générer un signal d'activation, entre le cas où le switch d'entrée est ouvert et celui où il est fermé. On mesure une isolation de 30 dBm à 868 MHz. Ce niveau est suffisant pour protéger le récepteur des signaux RF environnant pendant la calibration. Il est en effet très peu probable, compte tenu des réglementations imposés par les normes, des pertes dues à la propagation des ondes RF, des cas d'utilisation de ce récepteur, de sa sensibilité et du filtre à onde de surface en entrée, que le récepteur soit soumis à des niveaux de puissance pour lesquels cette isolation ne suffirait pas. Les résultats de simulation, Figure VI-19, sont difficilement comparables avec le résultat obtenu en mesure car les conditions étaient difficilement reproductibles n'ayant pas accès à des simulations mixtes.

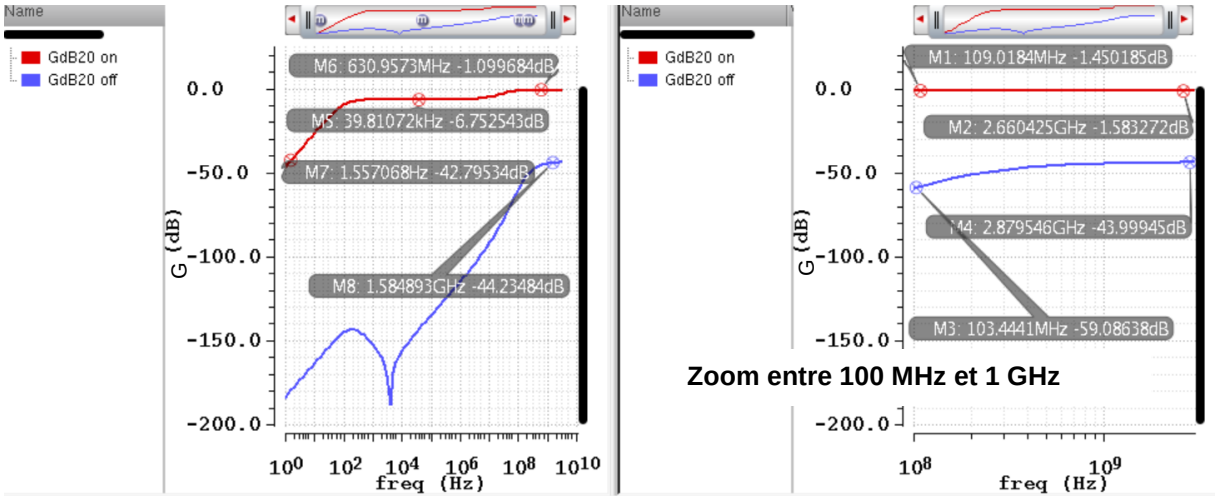


Figure VI-19 : Isolation des switches RF, Nominal

Les variations de procédés, illustrées en Figure VI-20, provoquent une très légère variation des pertes au travers du switch, 0.5dB. En revanche, elles influent de 3 dB sur l'isolation. Compte tenu du fait que l'isolation est de l'ordre de 40 dB en simulation, cette variation n'est absolument pas critique.

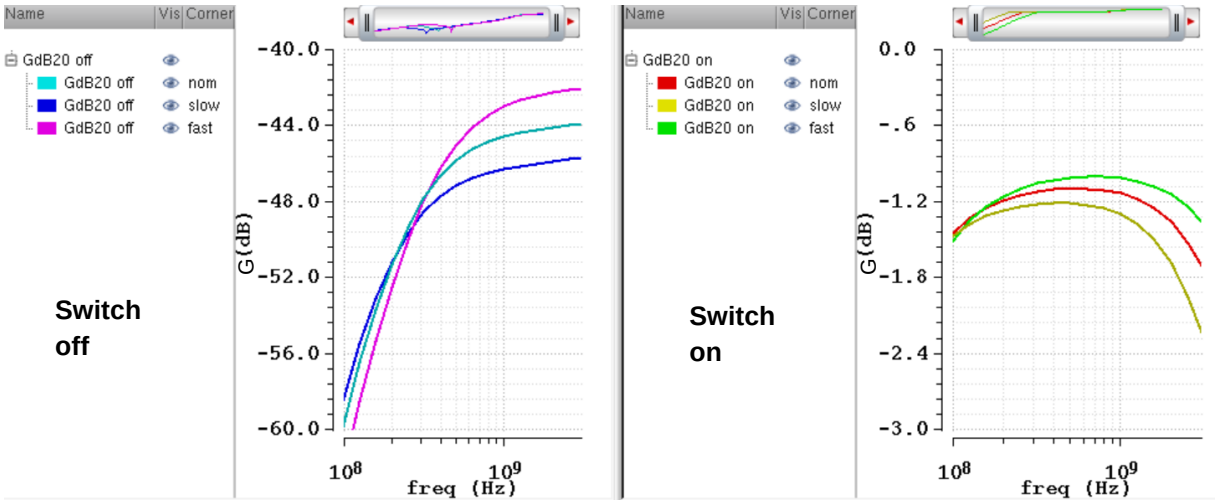


Figure VI-20 : Isolation des switches RF pour les différents corners

L'impact sur l'isolation engendré par les variations en température, Figure VI-21, sont du même ordre de grandeur, environ 0.5 dB. Elles n'altèrent pas les performances des switches.

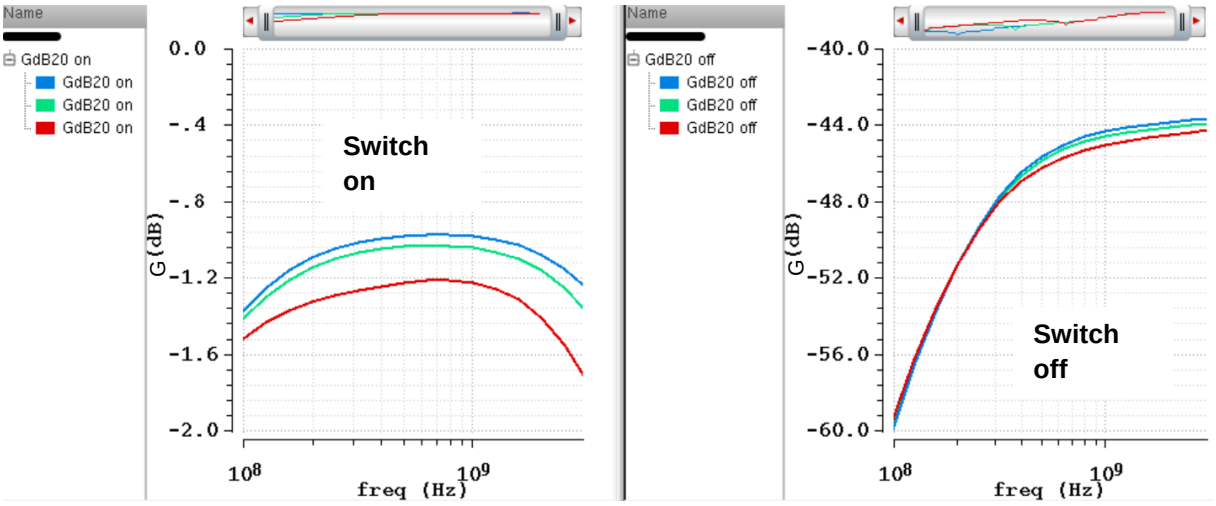


Figure VI-21 : Isolation des switches RF à -40°C, 27°C et 125°C

Les switches sont totalement insensibles aux variations de la tension d'alimentation tant que ces dernières n'excèdent pas 10% comme le montre la Figure VI-22.

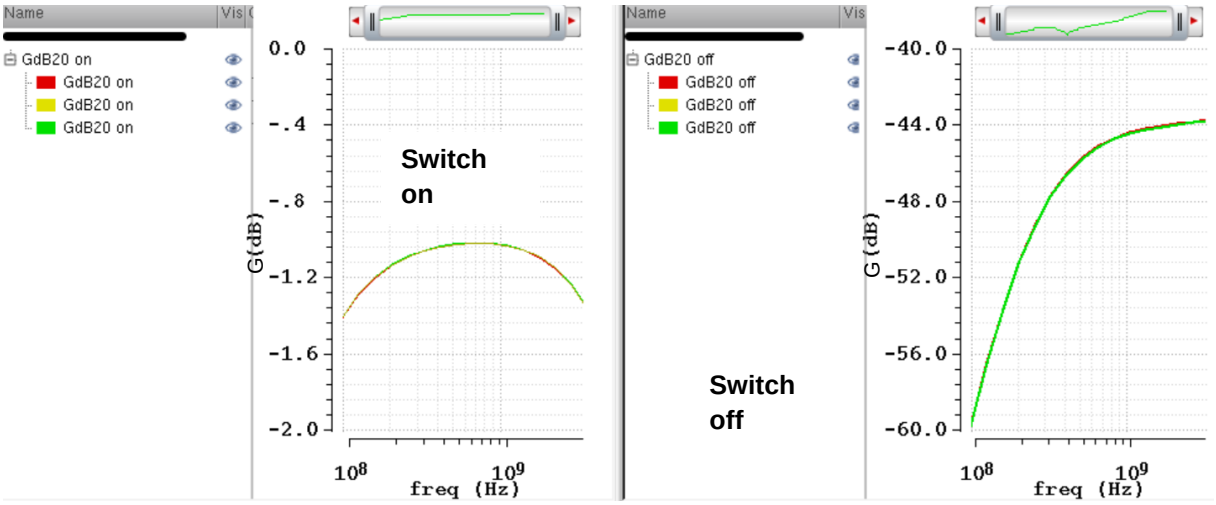


Figure VI-22 : Isolation des switches RF pour des variations de +/-10% de la tension d'alimentation

VI.2.3. Tension de référence

La valeur de la tension de référence en elle-même n'est pas réellement importante. Le critère principal pour que le récepteur bénéficie d'une sensibilité maximale est que la tension différentielle aux bornes de l'amplificateur basses fréquences soit au plus près de sa tension de seuil. En simulation, on contrôle le bon établissement de la tension de référence, et son maintien dans le temps. Compte tenu que cette dernière est entièrement dépendante de la tension de seuil de l'amplificateur basse fréquence, elle-même dépendante des variations de procédés, il est attendu une variation de la tension de référence en fonction de la fabrication. La Figure VI-23 montre les valeurs de la tension de référence issue du mécanisme de calibration pour différents corners. Les variations peuvent atteindre jusqu'à 150mV.

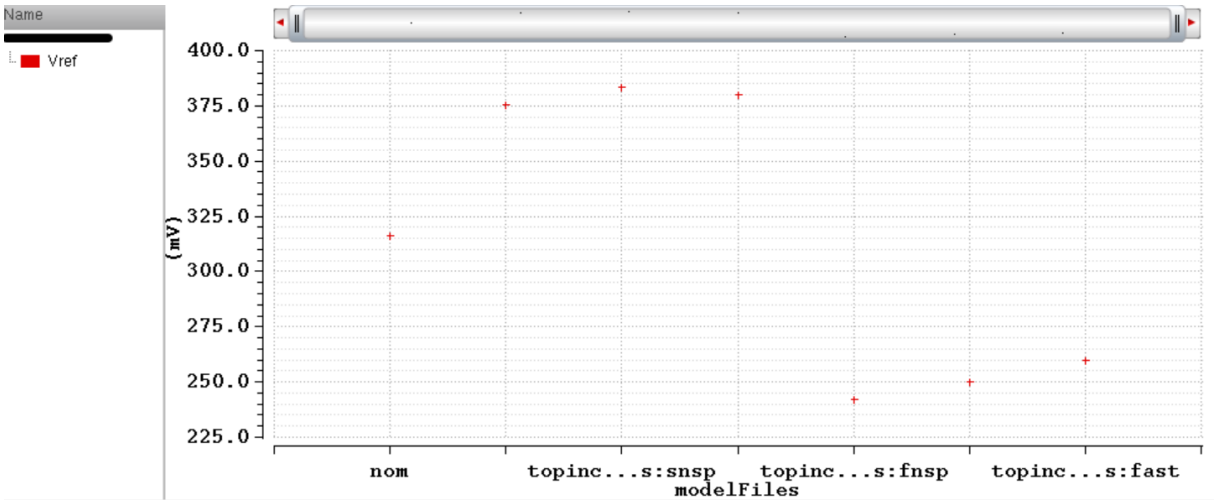


Figure VI-23 : Tension de référence en fonction des variations de procédés

Les variations de la tension de référence en température sont dues aux variations de la réponse de l'amplificateur, Figure VI-24. Les variations de l'amplificateur basses fréquences sont présentées plus loin.

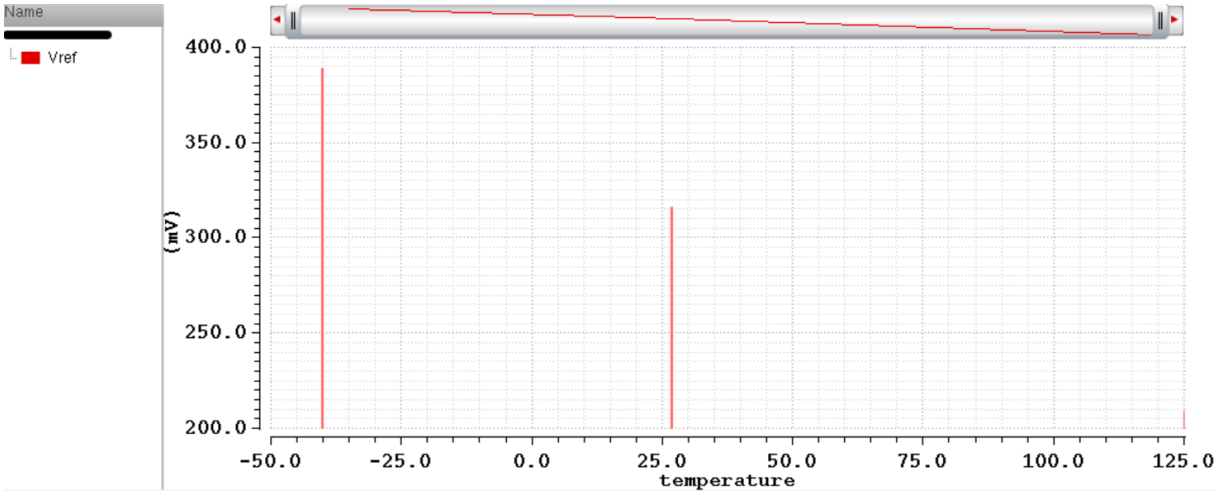


Figure VI-24 : Tension de référence en fonction des variations de température

En Figure VI-25, les variations de la tension de référence sont proportionnelles à celle de la tension d'alimentation. Ces variations de la tension de référence ne sont pas critiques pour le bon fonctionnement du dispositif. La tension de référence assure toujours un fonctionnement du détecteur en faible inversion et le mécanisme fonctionne parfaitement comme montré dans le paragraphe VI.2.1.

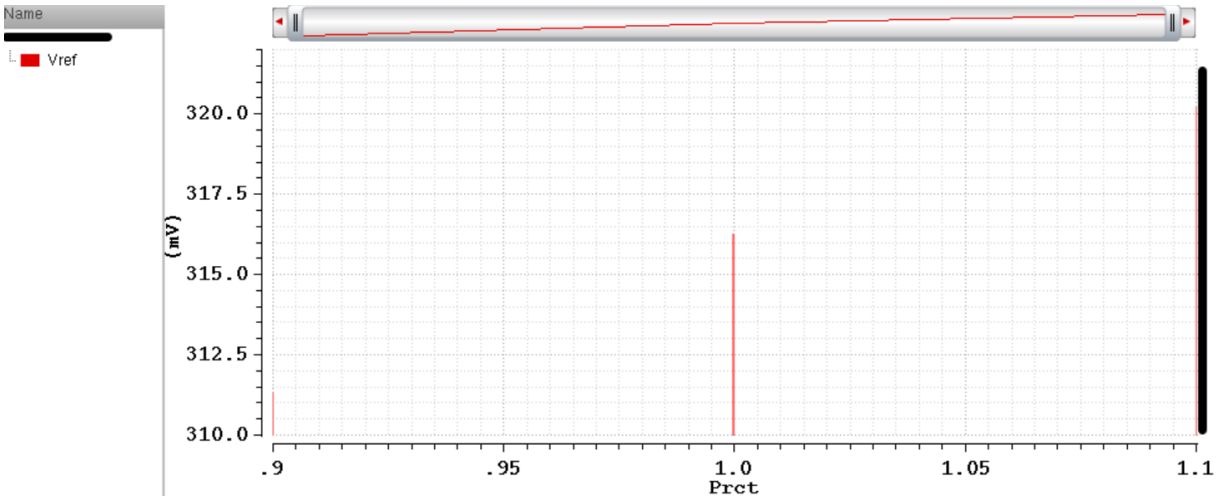


Figure VI-25 : Tension de référence pour des variations des tensions d'alimentation de +/- 10%

Les résultats obtenus en simulation n'ont pu être contrôlés en mesure malgré l'insertion d'un accès DC bus switch. L'impédance présentée par la sonde d'oscilloscope, valant 1 MΩ, vient perturber le mécanisme de calibration. Pour que la mesure puisse être faite convenablement, il aurait fallu ajouter en interne des buffers, entre la tension de référence et les DC bus, pour palier à cet appel de courant venant détériorer le mécanisme. Compte tenu du fait que les niveaux de déclenchement du signal d'activation, et le gain de l'amplificateur RF, sont cohérents par rapport aux simulations, on peut supposer que le niveau de la tension de référence fournis par la calibration est correct.

VI.2.4. Dérive de la tension de référence

Les diverses fuites de courant dans le circuit vont permettre au condensateur de se décharger très lentement. Bien que cette décharge soit très lente, elle se répercutera sur la valeur de la tension de référence. La décharge du condensateur va diminuer la tension de référence. Lorsque cette dernière décroît, il en résulte une diminution de la tension de grille du détecteur, moins de courant traverse la résistance de charge du détecteur et sa tension de sortie augmente alors tendant vers V_{DD}. Dans ce cas présent, les deux tensions d'entrée de l'amplificateur basses fréquences ont un comportement opposé induisant l'augmentation de la tension différentielle à l'entrée de ce dernier qui vient détériorer la sensibilité du récepteur. L'évolution de la tension de référence simulée vaut -9.39 mV/s, Figure VI-26. La vitesse de décharge résiduelle n'empêche pas la bonne réception d'une trame complète bien que cette dernière nécessite environ 2 ms. A cette allure de décroissance et compte tenu de la tension différentielle résultant de la calibration, une sensibilité de – 30 dBm est assurée pendant un peu plus d'une seconde soit pour l'envoi de 500 trames.

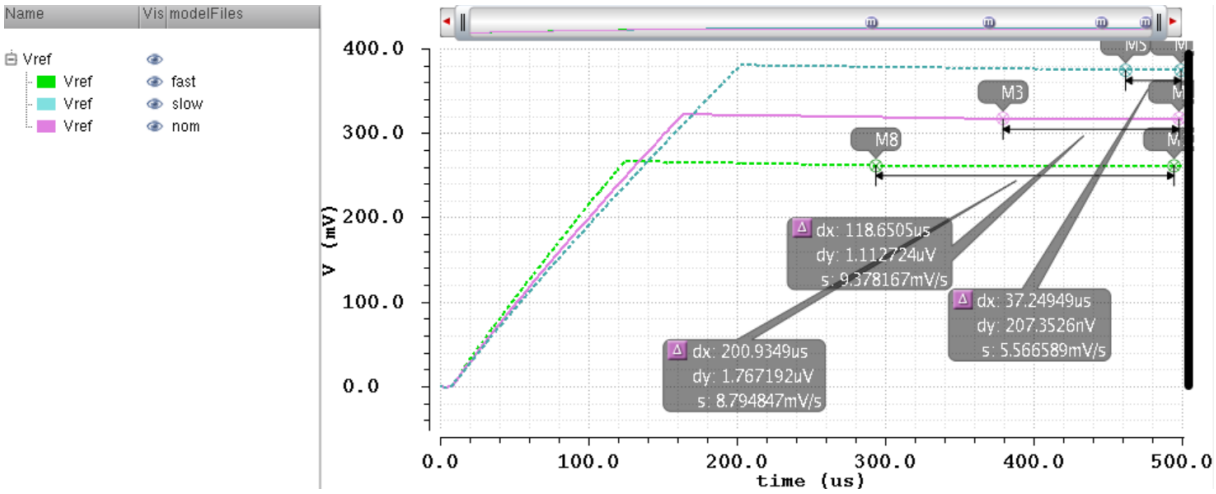


Figure VI-26 : Dérive de la tension Vref au cours du temps pour 3 cas de procédé.

VI.2.5. Durée de la phase de calibration

La phase de calibration est capitale pour le récepteur puisqu'elle est responsable de sa sensibilité. Sa durée doit rester néanmoins limitée puisqu'elle se répercute directement sur le temps de démarrage.

En simulation, la durée de la calibration est nettement inférieure à 1 ms avec une moyenne de 370 µs, Figure VI-27.

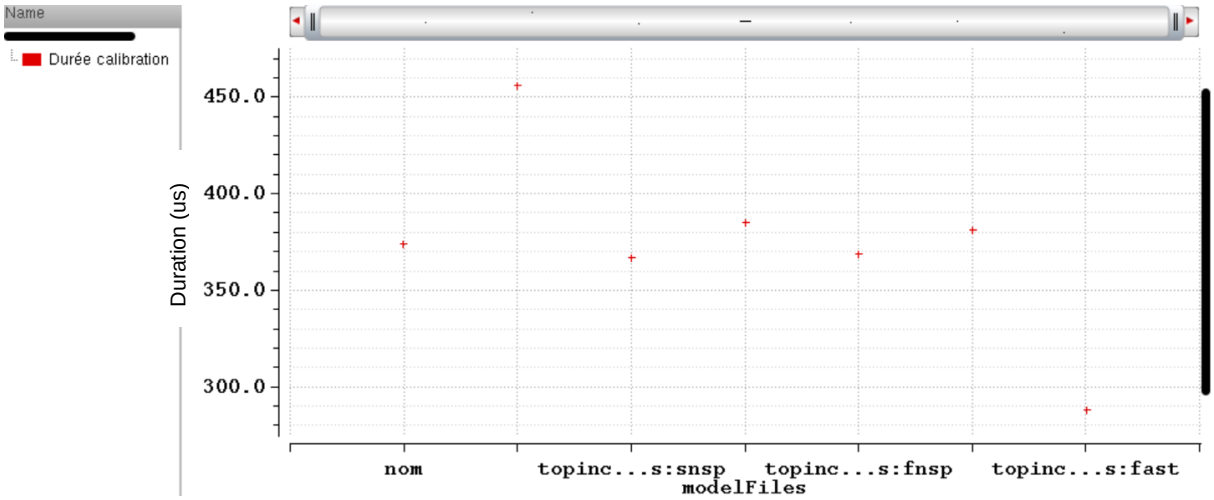


Figure VI-27 : Simulations des durées de calibration pour différents corners, T=27°C

La durée de la calibration est tributaire du procédé comme l'ont montré les simulations Monte Carlo. Elle respecte néanmoins les objectifs fixés, soit de ne pas excéder 1 ms. Les variations observées en mesure, Figure VI-28, sont néanmoins plus importantes que celles attendues.

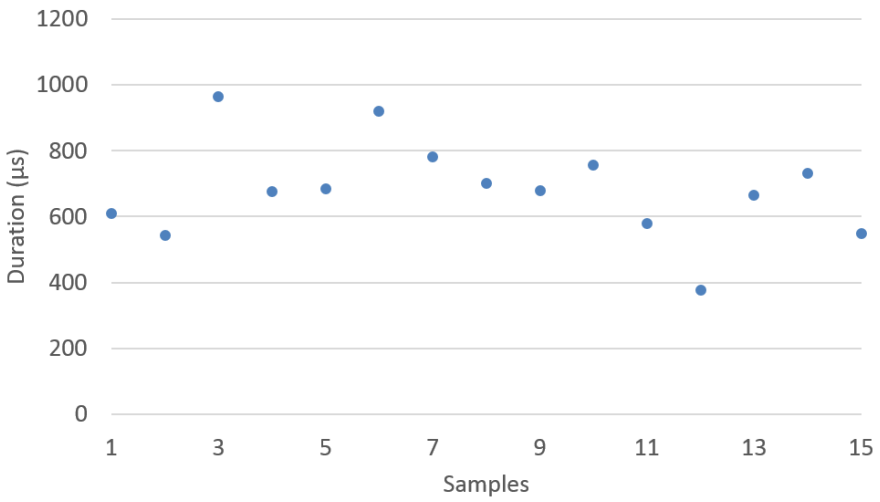


Figure VI-28 : Mesure de la durée de la calibration sur 15 échantillons

D'après les simulations, la durée de la calibration devait être centrée autour de 400 µs. La durée de cette dernière est fixée par la tension de seuil de l'amplificateur BF et les courants de charge et de décharge du condensateur. Or aucun de ces deux points ne peut être mesuré. La durée du mécanisme de calibration a pu être mesurée grâce au signal de commande de la vitesse de l'amplificateur BF. La valeur de la tension de référence n'est pas directement impactée par la valeur du condensateur dans laquelle elle est stockée. En effet, la valeur de cette dernière n'est pas fixée par une charge complète du condensateur. Même si le vieillissement vient légèrement altérer la valeur du condensateur cela n'affecte pas la valeur de la tension de référence.

La durée du mécanisme de calibration varie d'environ 10% sur la plage de température comme le montre la Figure VI-29. Cette variation est tout à fait acceptable compte tenu des exigences fixées et s'explique par la dépendance des sources de courant proportionnelle à la température, et celle de l'amplificateur basses fréquences par rapport à la température.

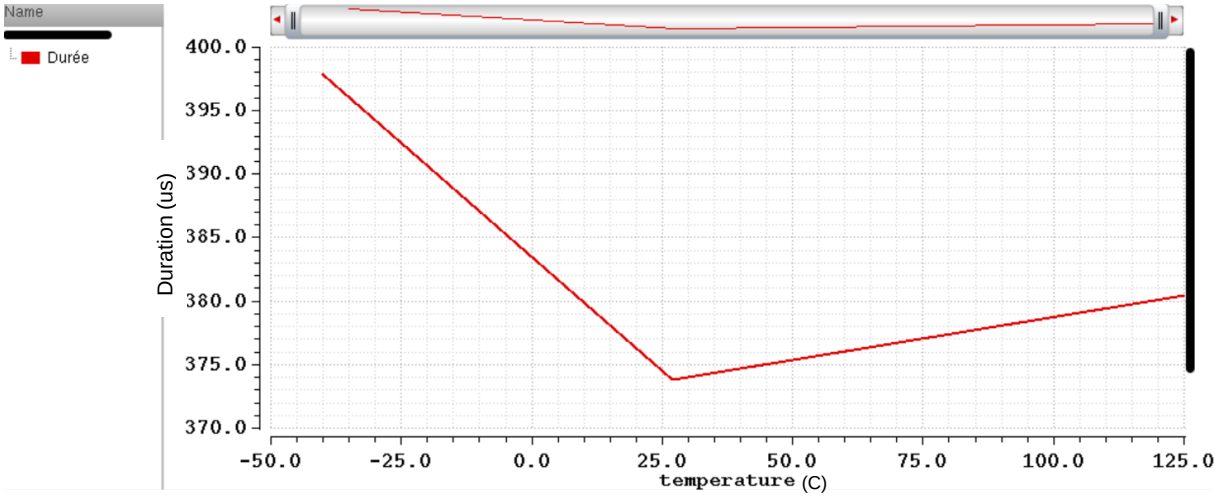


Figure VI-29 : Simulations des durées de calibration en fonction de la température, Nominal

Très peu de variations sont observées en Figure VI-30. Le comportement des différents blocs étant indépendants par rapport aux variations de la tension d'alimentation, la valeur de la tension de référence nécessaire au basculement de l'amplificateur basses fréquences ne change pas.

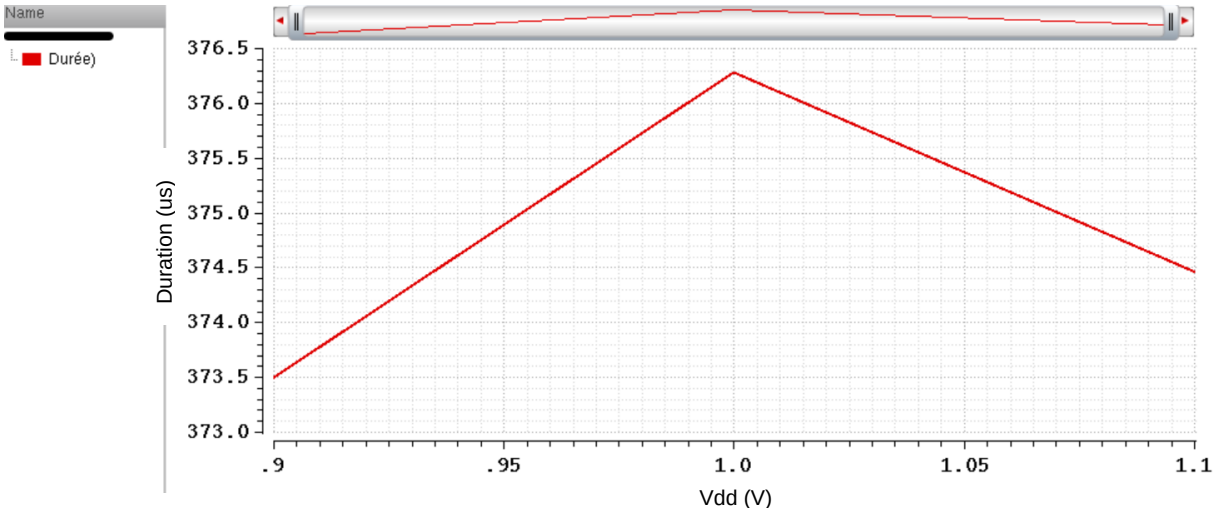


Figure VI-30 : Simulations des durées de calibration en fonction des variations de la tension d'alimentation, Nominal

Le récepteur de réveil ayant un fonctionnement périodique pour minimiser sa consommation, le mécanisme de calibration se déroule à chaque début de cycle. De cette façon, afin de limiter les temps de réponse du système complet il est important que le mécanisme de calibration soit rapide. Une durée de 1 ms est choisie. Le fait de minimiser le temps de calibration autorise sur cet intervalle de temps réduit une augmentation du courant consommé.

Lors des mesures, il est observé que la durée de la calibration augmente avec la température. Par exemple, on mesure sur une pièce une calibration de 748 µs à 50 °C, alors que à 70 °C elle nécessite 842 µs. Ce phénomène est également observé en simulation.

Les différentes phases de la calibration sont orchestrées par le bloc numérique. Les signaux issus du bloc numérique ne sont pas observables. Cependant l'ensemble des chronogrammes des signaux simulés sont disponibles en Figure VI-31. Pour rappel, le bloc digital est en charge lors de la calibration de commander le switch RF d'entrée, de fournir l'impulsion d'initialisation permettant la mise en marche des bascules et de commander la vitesse de l'amplificateur BF en fonction des phases de la calibration. La fin de la calibration est indiquée par un front descendant du signal de sortie de l'amplificateur BF. De façon à ce que le récepteur ne reste pas bloqué dans le cas d'une erreur de calibration, il est décidé que si le signal de fin n'est pas arrivé au-delà d'un délai de 2 ms, la calibration est arrêtée. Dans ce cas, bien que la calibration ne s'est a priori pas correctement déroulée, l'opportunité est donnée au récepteur de démoduler un signal.

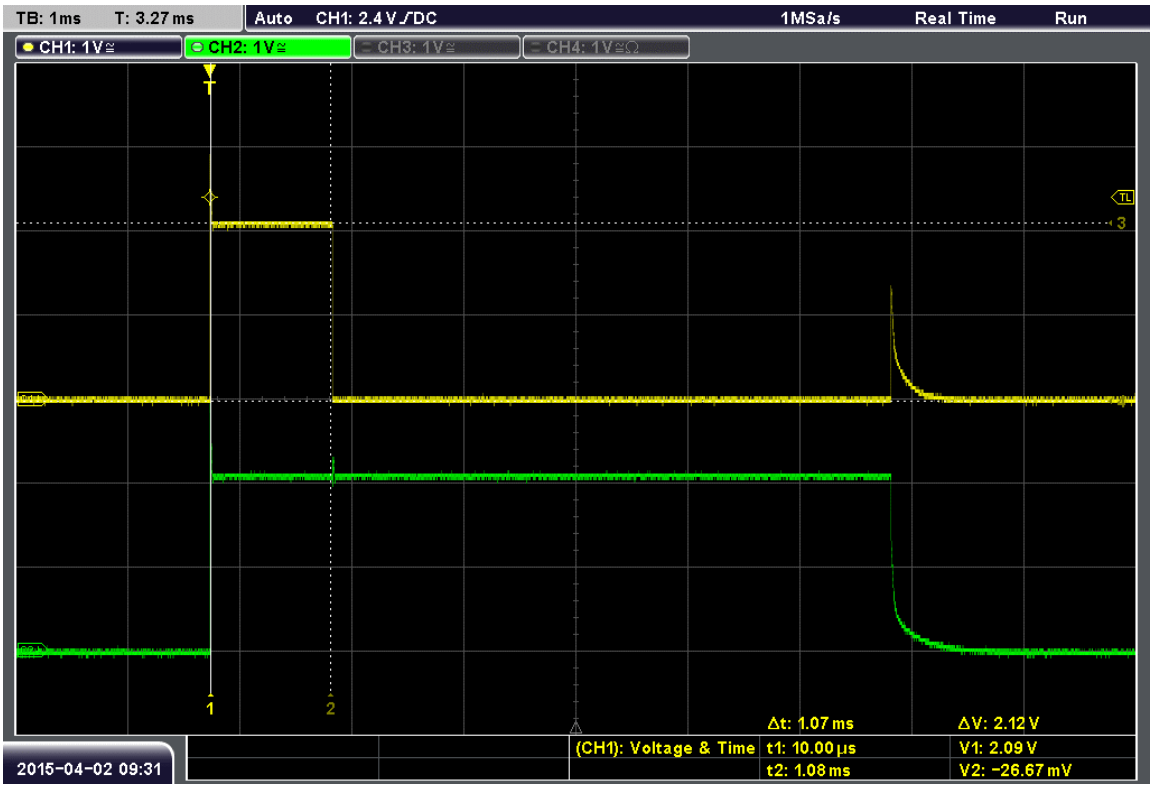


Figure VI-31 : Capture des signaux de vitesse de contrôle de l'amplificateur BF en jaune, en vert le signal de la tension régulée Vdd_ana1v8

VI.3. Démodulation

VI.3.1. Filtrage / adaptation d'impédance

La caractéristique large bande du récepteur contraint à utiliser un filtre d'entrée sélectif. Les essais de l'utilisation du récepteur sans filtre ont été concluants quant à la nécessité impérative du filtre. En effet le récepteur est aveuglé par les signaux RF environnant rendant impossible son utilisation. La sortie de l'amplificateur BF est alors complètement bloquée et aucune démodulation ne peut avoir lieu. Les besoins de sélectivité du filtre ont été mentionnés au Chapitre II. Comme le récepteur d'activation doit être associé à un récepteur principal le filtrage ne constitue pas le cœur de cette étude. En effet cette contrainte de filtrage est déjà assurée pour le récepteur principal et peut donc être réutilisé.

L'adaptation d'impédance permet de limiter les pertes RF en améliorant le S11 limitant ainsi la réflexion. Il permet ici l'élévation de tension qui dans le cas présent est un atout pour la détection. Le réseau d'impédance inchangé au cours de la qualification du prototype, est donc contrôlé une seule fois au début de cette phase d'expérimentation. A l'aide d'un analyseur de spectre un S11 de -19 dB est mesuré.

VI.3.2. Chaîne de démodulation

Pour que la reconnaissance soit faite correctement il faut que le signal obtenu en fin de la chaîne analogique puisse être décodé par le bloc numérique. Pour cela ce dernier doit être un signal carré de 25kHz compris entre 0 et 1.8V. Cette tâche est réalisée par l'amplificateur BF. La condition requise pour que le signal de sortie remplisse les contraintes

est que le signal détecté ait une amplitude suffisante pour dépasser la tension de référence. Cette condition est tributaire de la qualité de la calibration et du gain de l'amplificateur RF.

VI.3.2.1. Amplificateur RF

Le niveau de signal requis pour que la démodulation soit faite correctement est en partie atteint grâce au gain de l'amplificateur RF.

- Réponse en fréquence

La Figure VI-32 montre la robustesse du design de l'amplificateur RF par rapport aux variations de procédés. On note une variation du gain en tension d'environ 1.5 dB et une variation de la bande passante. Malgré ces variations au travers des corners, la bande passante est suffisante pour un signal de 868 MHz modulé par un signal à 25 kHz.

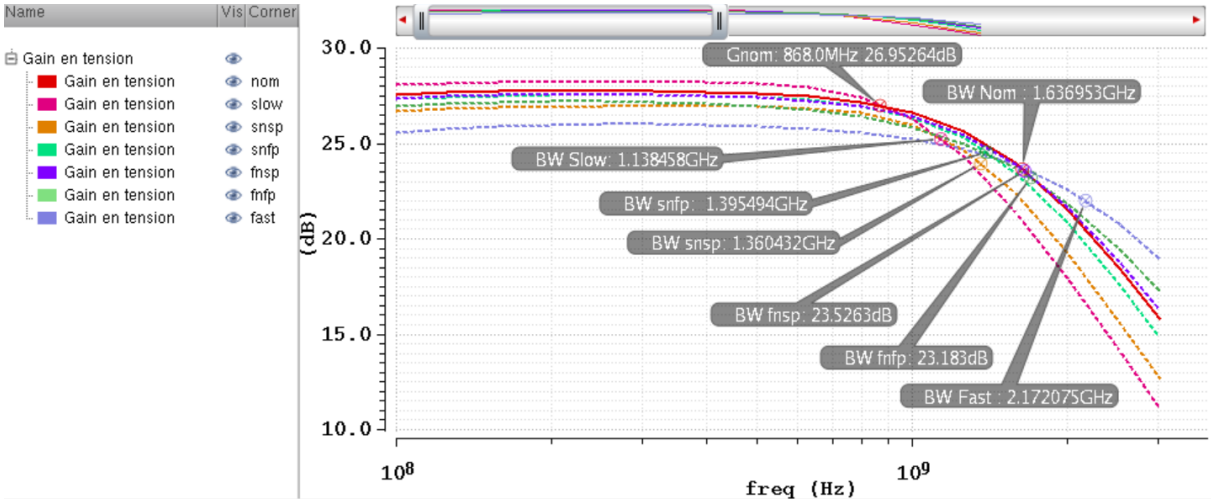


Figure VI-32 : Gain en tension pour les différents corners, V_{DD} = 1.1V

L'utilisation d'une source de courant à PTAT a permis de minimiser l'impact des variations de température sur le gain de l'amplificateur RF. La Figure VI-33 démontre une variation de +/- 1.5 dB sur le gain avec pour les températures hautes le cas le plus défavorable.

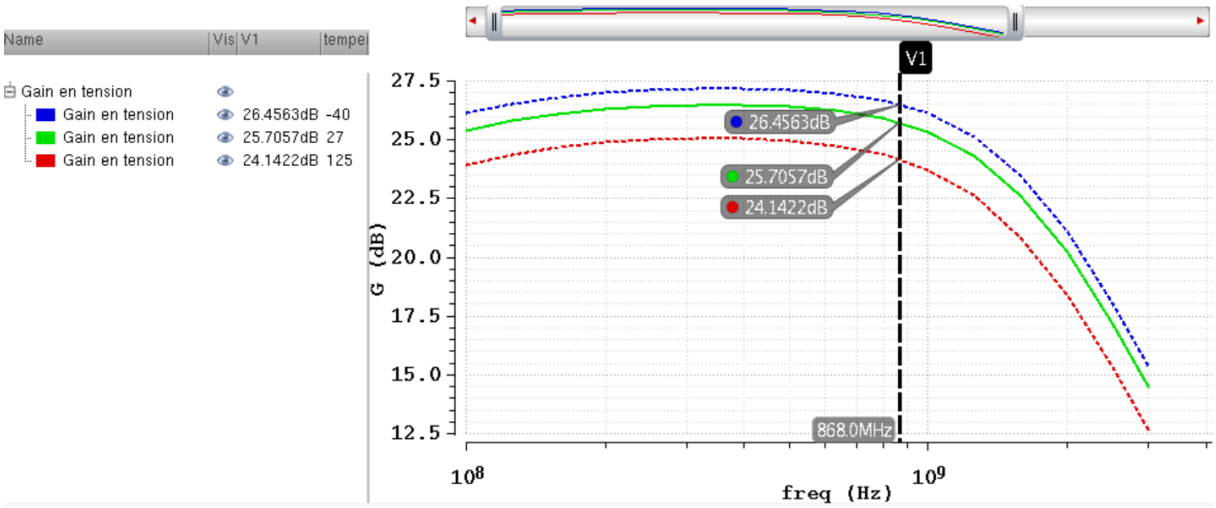


Figure VI-33 : Gain en tension à -40°C, 27°C et 125°C, Nominal, V_{DD} = 1.1V

L'alimentation des composants de l'ensemble du circuit étant assurée par les régulateurs de tension, il est choisi de garantir la robustesse du dispositif à une variation de la tension

d'alimentation de 10%. Ce cas se révèle être le cas extrême compte tenu des performances des régulateurs. La Figure VI-34 montre une variation inférieure à 1 dB pour cette gamme de variations de la tension d'alimentation.

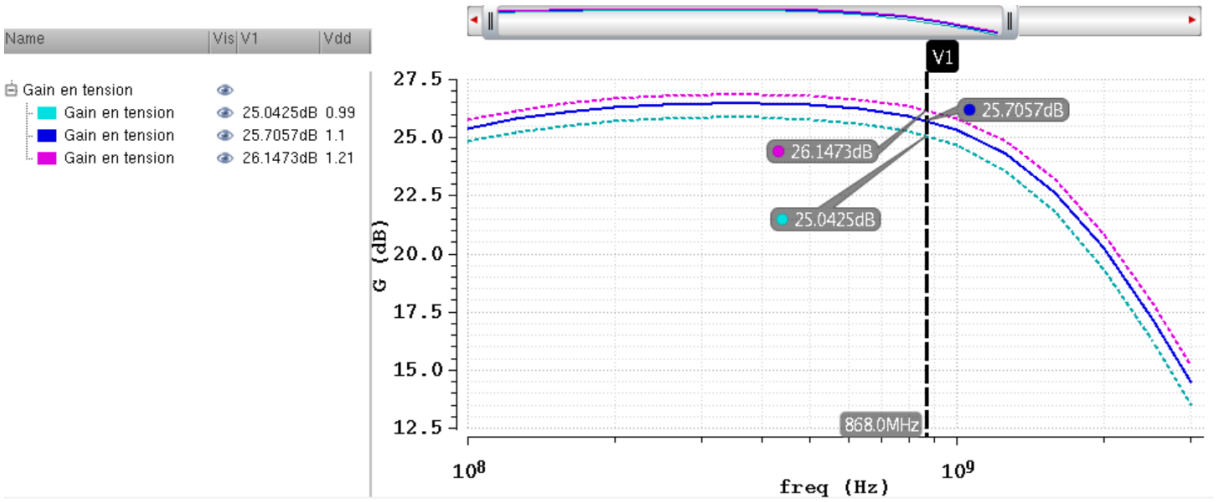


Figure VI-34 : Gain en tension pour V_{DD} = 0.99V, 1.1V et 1.21V, Nominal, T = 27°C

On vérifie également la robustesse du circuit en mode Bypass par rapport aux variations des procédés, Figure VI-35, de température, Figure VI-36 et d'alimentation, Figure VI-37.

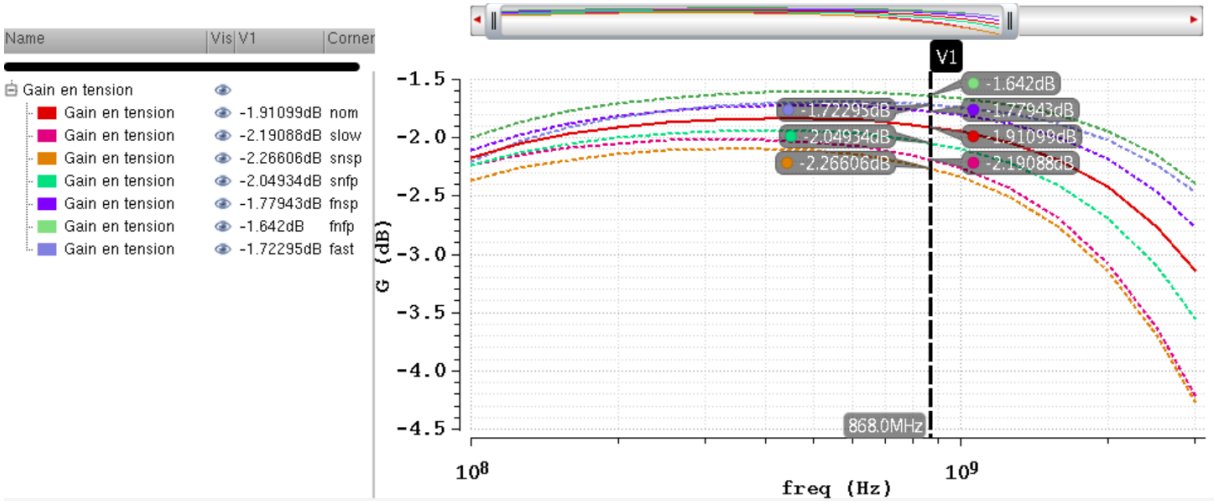


Figure VI-35 : Gain en tension en mode bypass pour les différents corners, V_{DD} = 1.1V

Le mode bypass introduit des pertes dues à la résistance drain-source du transistor. Dans le cas nominal, les pertes sont d'environ 2 dB. Les mêmes variations sont néanmoins observées entre le mode actif et le mode Bypass.

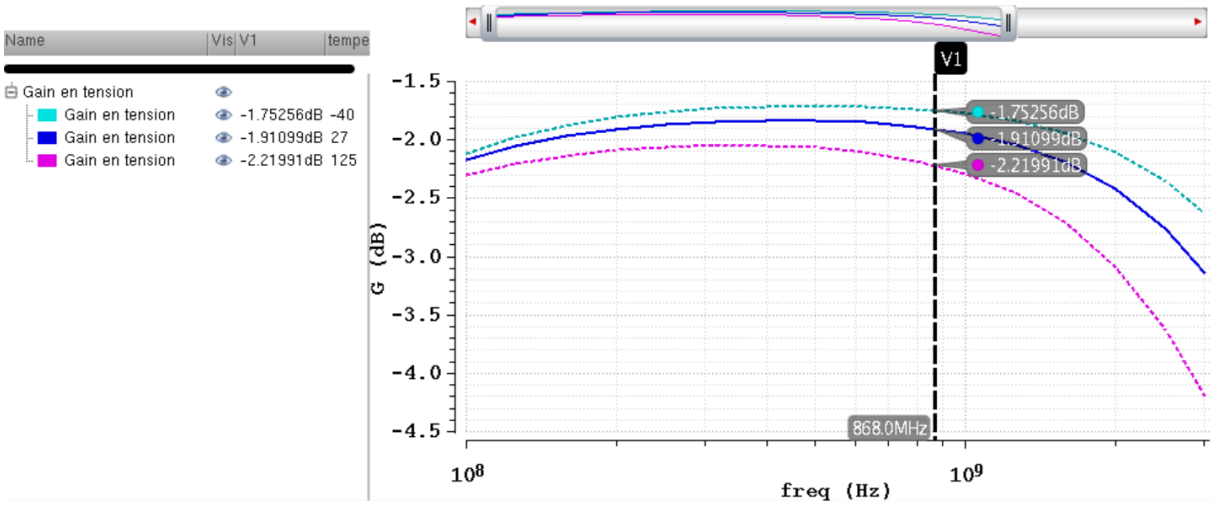


Figure VI-36 : Gain en tension en mode bypass à -40°C, 27°C et 125°C, Nominal, V_{DD} = 1.1V

En Figure VI-36, le gain en tension en mode bypass permet d'observer le même comportement en température qu'en mode actif. La source PTAT permet de minimiser les variations dues aux changements de température. Les variations sur toute la gamme de température ne sont que 0.3 dB.

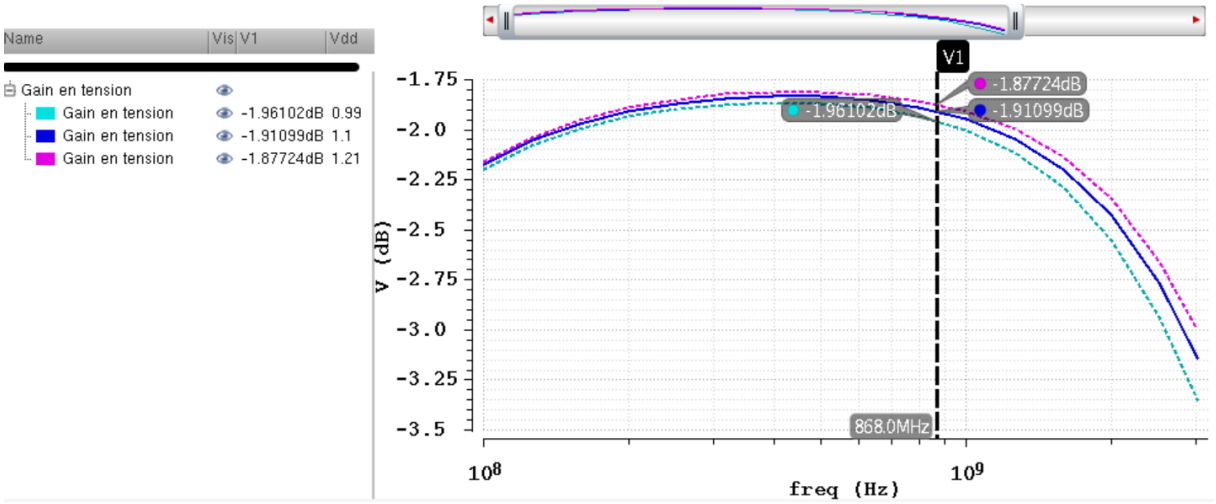


Figure VI-37 : Gain en tension en mode bypass pour V_{DD} = 0.99V, 1.1V et 1.21V, Nominal, T = 27°C

En Figure VI-37, la variation de 10% de la tension d'alimentation engendre une variation du gain de 0.5 dB du gain en mode Bypass.

La Figure VI-38 représente la consommation en courant de l'amplificateur RF en mode actif et bypass sur la gamme de température pour différents corners. La différence de consommation entre le mode actif et bypass est supérieure à 1 000. Malgré la consommation résiduelle de quelques dizaines de nano Ampères due aux fuites, l'amplificateur RF est bien éteint en mode bypass. En cas nominal, l'amplificateur RF consomme 290 µA et on vérifie bien que la consommation est proportionnelle à la température. Le cas fast consomme plus que le cas nominal comme attendu, avec une augmentation de consommation de 33%.

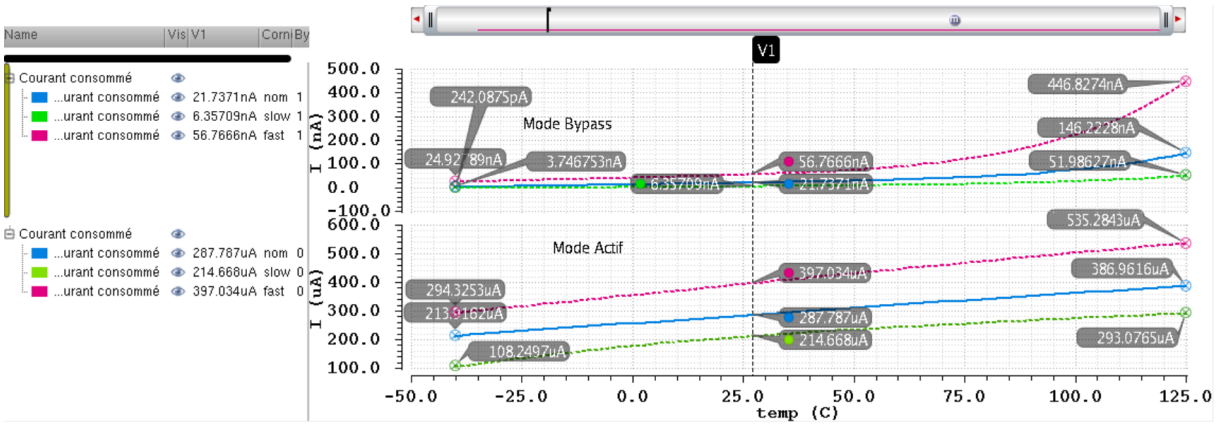


Figure VI-38 : Courant consommé en mode actif et en mode bypass en fonction de la température pour différents corners, V_{DD} = 1.1V

La démodulation ne peut être faite correctement que si le signal n'est pas trop bruité. Compte tenu du niveau de sensibilité requis, le rapport signal à bruit n'est pas le paramètre le plus critique pour la bonne interprétation des niveaux. Le facteur de bruit de l'amplificateur RF doit néanmoins être contrôlé, les résultats sont présentés en Figure VI-39.

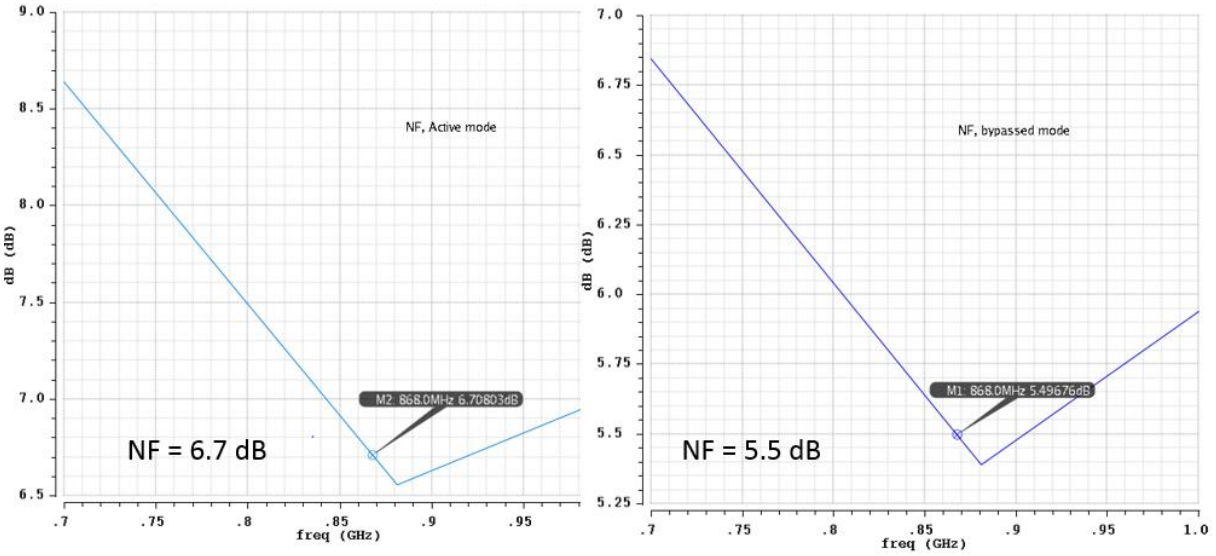


Figure VI-39 : Facteur de bruit en fonction de la fréquence dans les deux modes, cas nominal, V_{DD} = 1.8V

De même il est préférable que l'ensemble de la chaîne soit linéaire pour limiter la génération d'harmoniques.

En Figure VI-40 est représentée la puissance de sortie en fonction de la puissance d'entrée. De cette courbe est tiré le point de compression en entrée à 1 dB, ici de -11 dBm. Cette caractéristique permet de quantifier la capacité du récepteur à ne pas être saturé ; la saturation de ce dernier entraînant l'écrêtage du signal et se traduisant par l'apparition d'harmoniques. Compte tenu de la faible consommation de l'amplificateur RF, ses performances sont tout à fait honorables comparées aux circuits présents dans la littérature, [1], [2]. Néanmoins ces résultats doivent d'être confirmés par l'utilisation d'une probe haute impédance. En effet, suite à d'autres mesures, la fiabilité de la mesure du P1dB a été remise en question.

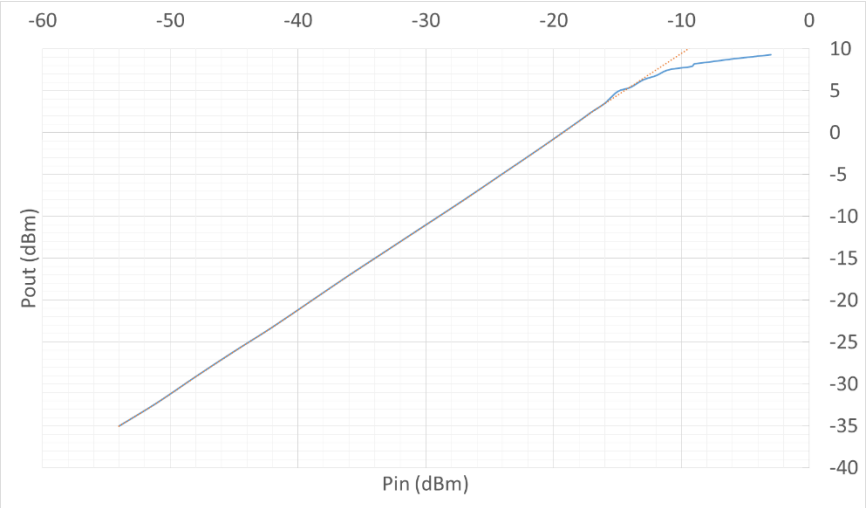


Figure VI-40 : Mesure du Point de compression à 1 dB à 868 MHZ, V_{BAT} = 3.3V

VI.3.2.2. Détecteur d'enveloppe

La consommation du détecteur dépend de plusieurs paramètres de par sa structure. L'utilisation des régulateurs garantit une certaine stabilité de la tension d'alimentation. Le courant traversant sur le transistor dépend de la tension de référence V_{GS} ainsi que de la valeur de la résistance de drain. Sa valeur est assurée par la fiabilité des procédés de fabrication garantissant sa valeur à +/- 5%.

En Figure VI-41, le courant du détecteur est tracé pour différentes valeurs de la tension différentielle et pour différents corners. Pour que la consommation du détecteur n'excède pas 1 µA, il faudrait que la tension de référence évolue en fonction du procédé de façon à maintenir le courant de drain constant. Cependant la tension de référence n'est pas fixée pour correspondre à une consommation donnée du détecteur. Elle varie en fonction de la tension de seuil de basculement de l'amplificateur, la consommation de ce dernier pourra donc varier.

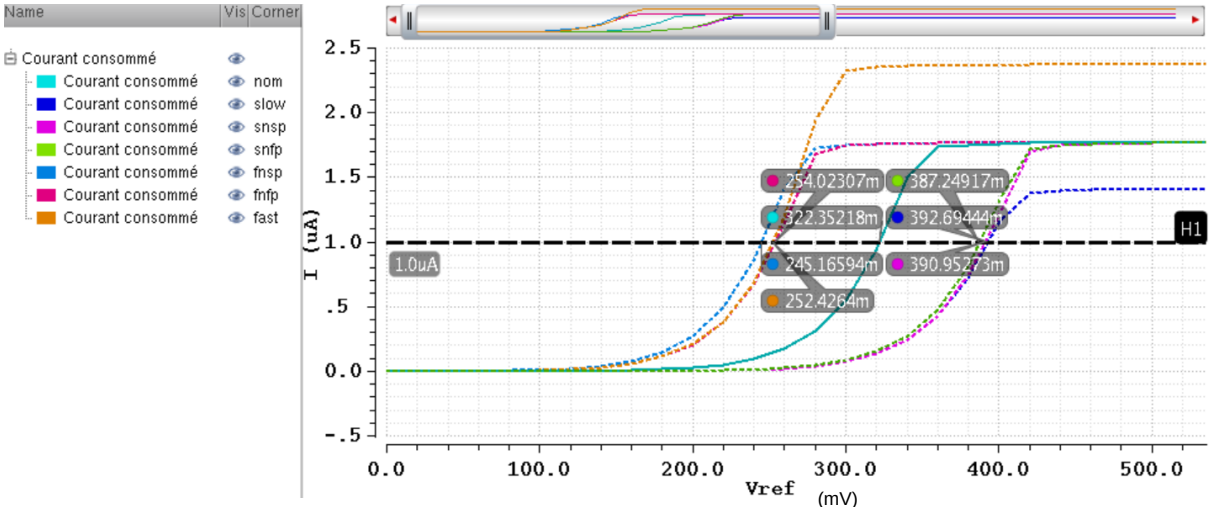


Figure VI-41 : Courant consommé en fonction de la tension V_{GS} pour les différents corners, V_{DD} = 1.1 V

L'expression du courant dans le transistor NMOS utilisé pour le détecteur est reliée à la température cf IV-D-ii. Dans le cas illustré ci-après la tension V_{GS} est maintenu constante sur toute la gamme de température. Or, la tension de seuil V_{TH} du transistor n'est pas constante

en température et le V_{GS} appliqué ne permet pas le fonctionnement à froid. Il faut donc que la tension de référence varie en fonction de la température de façon à garantir une tension V_{GS} suffisante. Or ici encore cette tension n'est pas définie pour les besoins du détecteur mais pour ceux de l'amplificateur BF. La consommation du détecteur est également contrôlée en fonction des variations de la température, Figure VI-42.

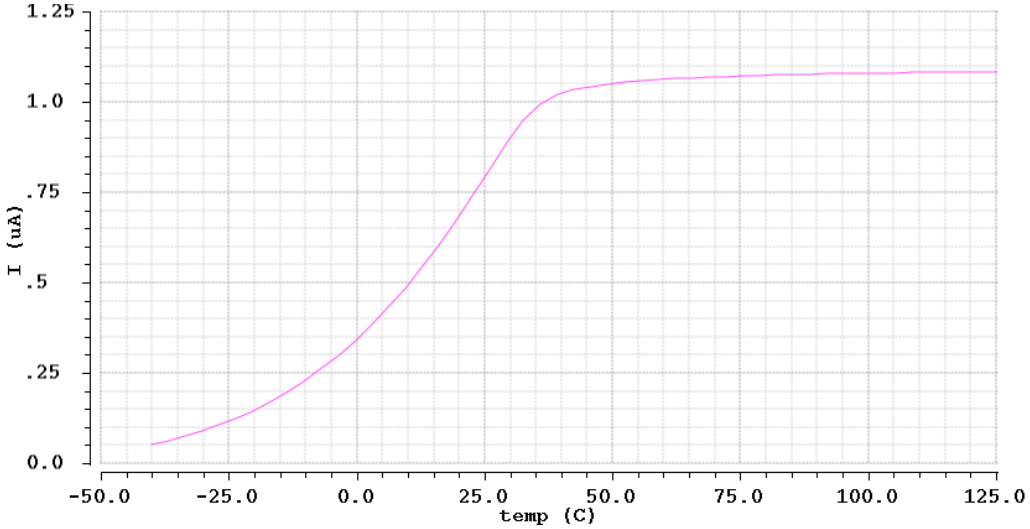


Figure VI-42 : Courant consommé en fonction de la température, V_{DD} = 1.1V, Vref = 320 mV

La Figure VI-43 ci-dessous illustre la consommation du détecteur pour une variation de sa tension d'alimentation du +/- 10%. La consommation du détecteur varie de 2.4%.

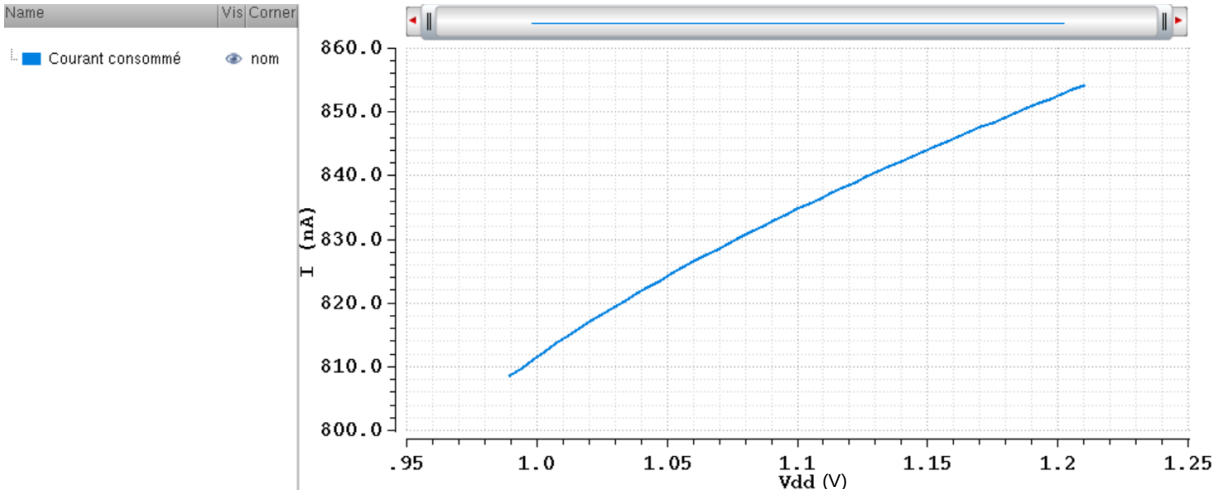


Figure VI-43 : Courant consommé en fonction de la tension d'alimentation, Nominal, Vref = 320 mV

VI.3.2.3. Amplificateur basses fréquences

- Réponse en fréquence

La Figure VI-44 illustre la réponse en fréquence de l'amplificateur. On constate un fort gain DC de 74 dB, une fréquence de coupure d'environ 3 kHz et un gain à 25 kHz de 54 dB.

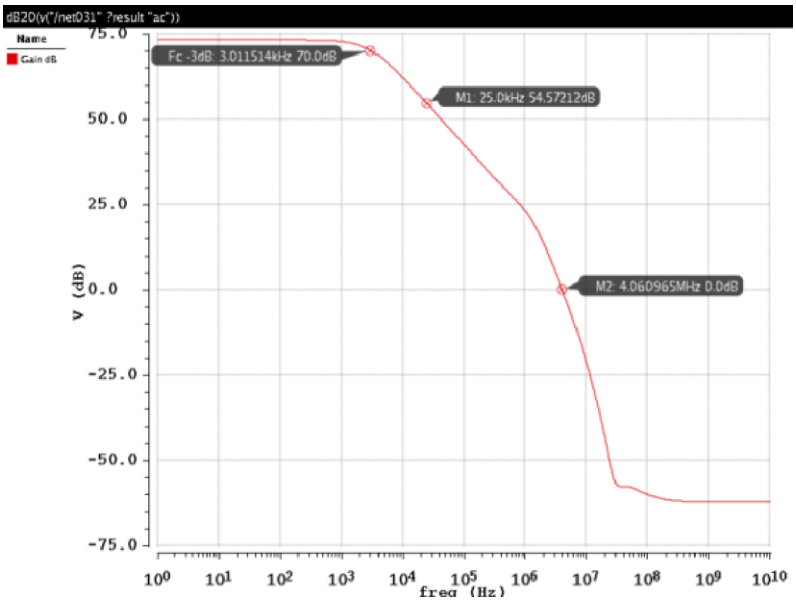


Figure VI-44 : Réponse en fréquence de l'amplificateur, cas nominal

- Réponse DC

La Figure VI-45 ci-dessous met en évidence la problématique de la tension de référence qui doit être utilisée pour assurer la meilleure sensibilité. Pour les deux cas étudiés qui représentent deux cas de variations de procédés, une même tension de référence ne peut être utilisée si l'on souhaite garantir la même sensibilité. On observe également un fort gain DC illustré par la raideur de la pente.

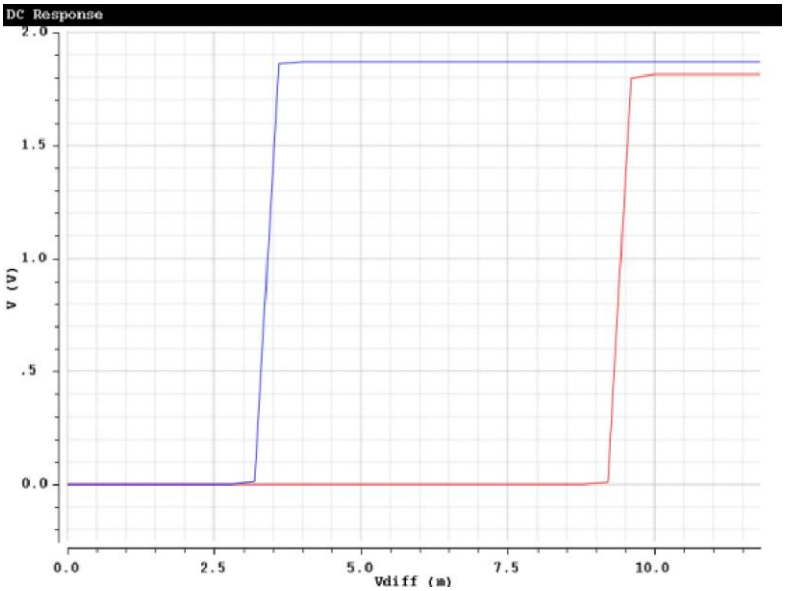


Figure VI-45 : Réponse DC de l'amplificateur en fonction de la tension différentielle pour deux cas de mismatch

L'amplificateur BF est conçu pour deux modes de fonctionnement se distinguant par le courant de polarisation. Ces deux modes sont nécessaires à la calibration. Dans la Figure VI-46 ci-dessous est représenté le courant consommé par l'amplificateur dans les deux modes. Le courant est multiplié par deux lorsque l'on bascule d'un mode à l'autre.

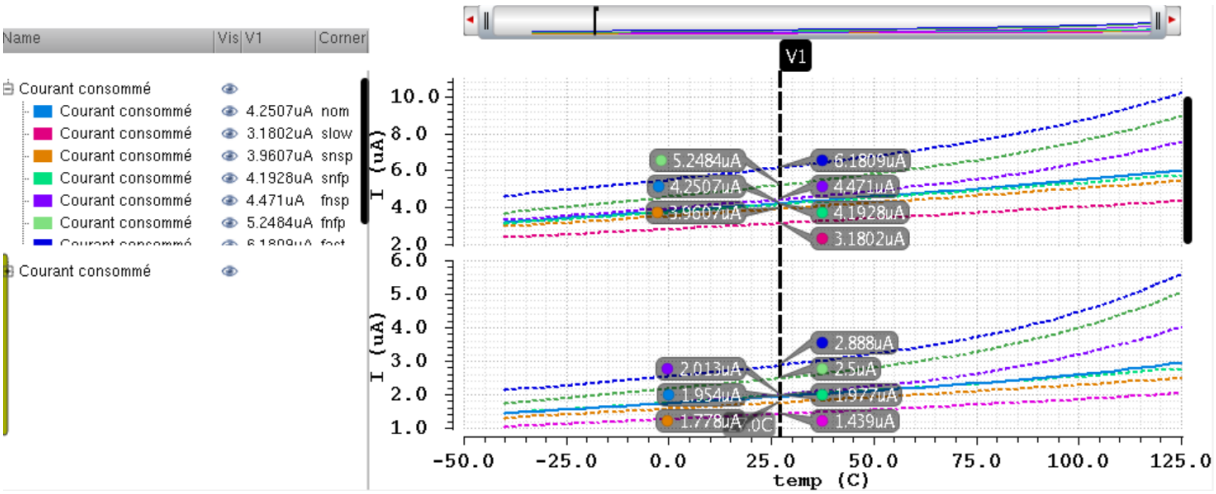


Figure VI-46 : Courant consommé en fonction de la température selon le mode de fonctionnement pour les différents corners, V_{DD} = 1.8 V

Dans la Figure VI-47 on vérifie l'intérêt d'avoir multiplié le courant de polarisation de l'amplificateur BF sur son temps de réponse. En multipliant par deux le courant de polarisation, le temps de réponse de l'amplificateur est diminué d'un facteur 4. Ce qui va permettre, lors du mécanisme de calibration, d'arrêter les différentes étapes plus rapidement et de limiter la variation transitoire des tensions dans l'intervalle de temps où l'amplificateur bascule.

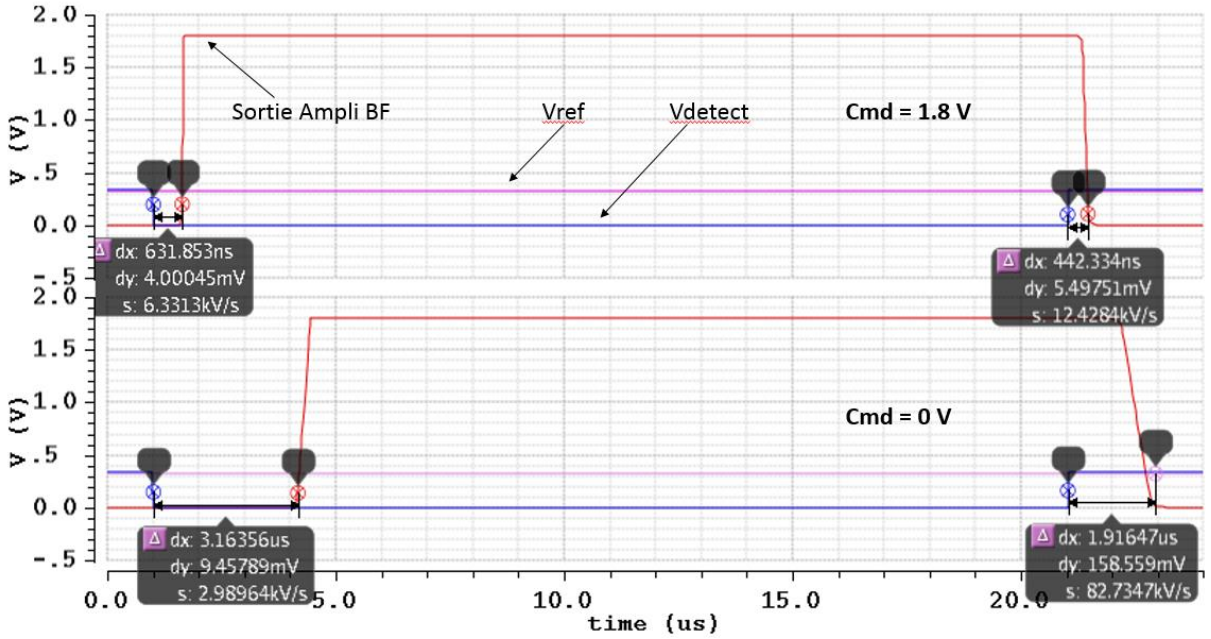


Figure VI-47 : Temps de réponse de l'amplificateur basses fréquences en fonction du courant de polarisation, Nominal

VI.4. Décodage

Le signal fourni par la partie analogique est prêt pour un traitement numérique, celui-ci va permettre d'extraire le code qu'il contient. Le système de récupération d'horloge évoqué au chapitre précédent permet l'échantillonnage du signal analogique issu de la démodulation. Le prototype ne dispose pas de point de contrôle direct du système de reconstruction d'horloge. On contrôle néanmoins l'état du signal à la sortie du filtre RC placé après l'amplificateur BF

pour fournir une version retardée du signal démodulé nécessaire à la reconstruction d'horloge; Figure VI-50. L'exactitude du signal démodulé, la bonne reconnaissance du code et le cas échéant la génération d'un signal d'activation (Figure VI-49) sont alors vérifiés. L'impulsion d'activation doit durer 1 ms. La Figure VI-48 représente une étude statistique du retard produit le filtre RC.

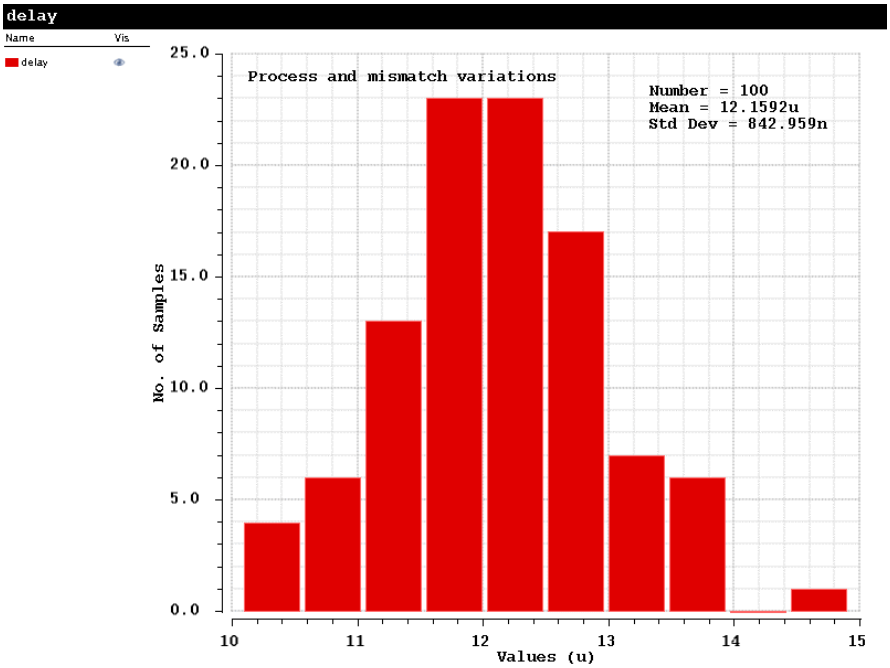


Figure VI-48 : Etude statistique du délai RC pour des variations de procédé et mismatch

Figure VI-49 : Capture du signal démodulé retardé et du signal d'activation

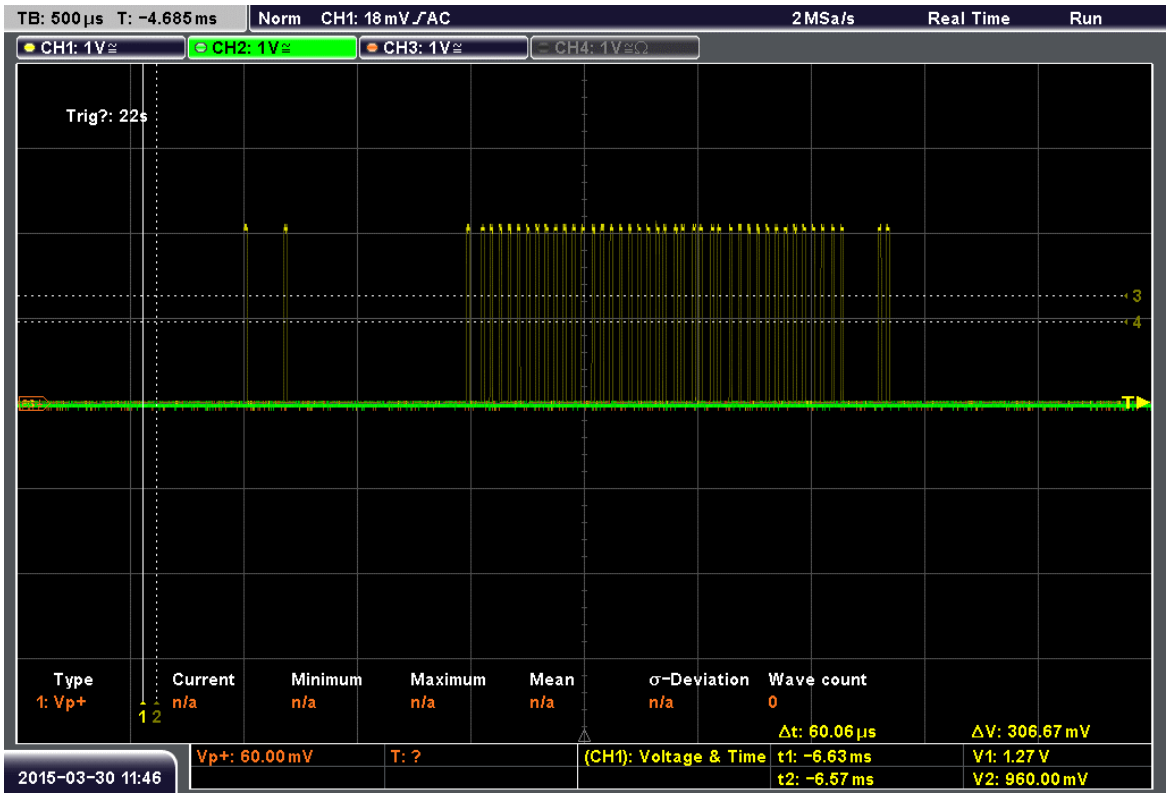


Figure VI-50 : Capture du signal démodulé retardé

VI.5. Programmation des registres

Afin de programmer les registres du récepteur de réveil, un logiciel de programmation et une interface utilisateur très simple sont créés. Elle est présentée en Figure VI-51. Le soft de programmation ainsi que l'interface graphique ont été développés par Dominique Ragot.

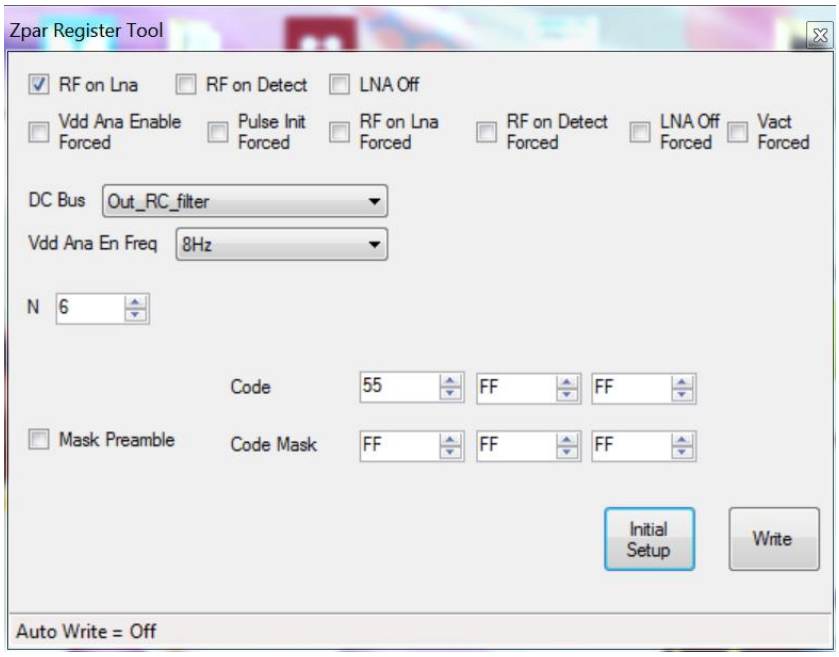


Figure VI-51 : Interface graphique du logiciel de programmation des registres

VI.6. Démonstrateurs

L'ensemble des mesures démontrent le bon fonctionnement du récepteur d'activation. Ses performances sont en accord avec les attentes à l'exception des régulateurs de tension qui fournissent une tension légèrement supérieure à celles attendues. Ces résultats ont permis de présenter le prototype en démonstration en plus des applications démonstratives déjà implémentées sur le board. La première démonstration a été réalisée lors de la visite de la DGCIS (Direction Générale de la Compétitivité de l'Industrie et des Services). Pour cette démonstration, le récepteur de réveil était en charge d'allumer un clignotant d'une Citroën DS. Le clignotant ici symbolisait une source d'éclairage comme il aurait pu s'agir d'une lampe. Lors de cette démonstration, le bon fonctionnement du récepteur d'activation et ses performances en termes de portée et de consommation ont été mis en évidence. L'efficacité de la portée du récepteur ainsi que sa consommation devaient être mis en évidence. Le poster accompagnant cette démonstration est présentée en Figure VI-52.

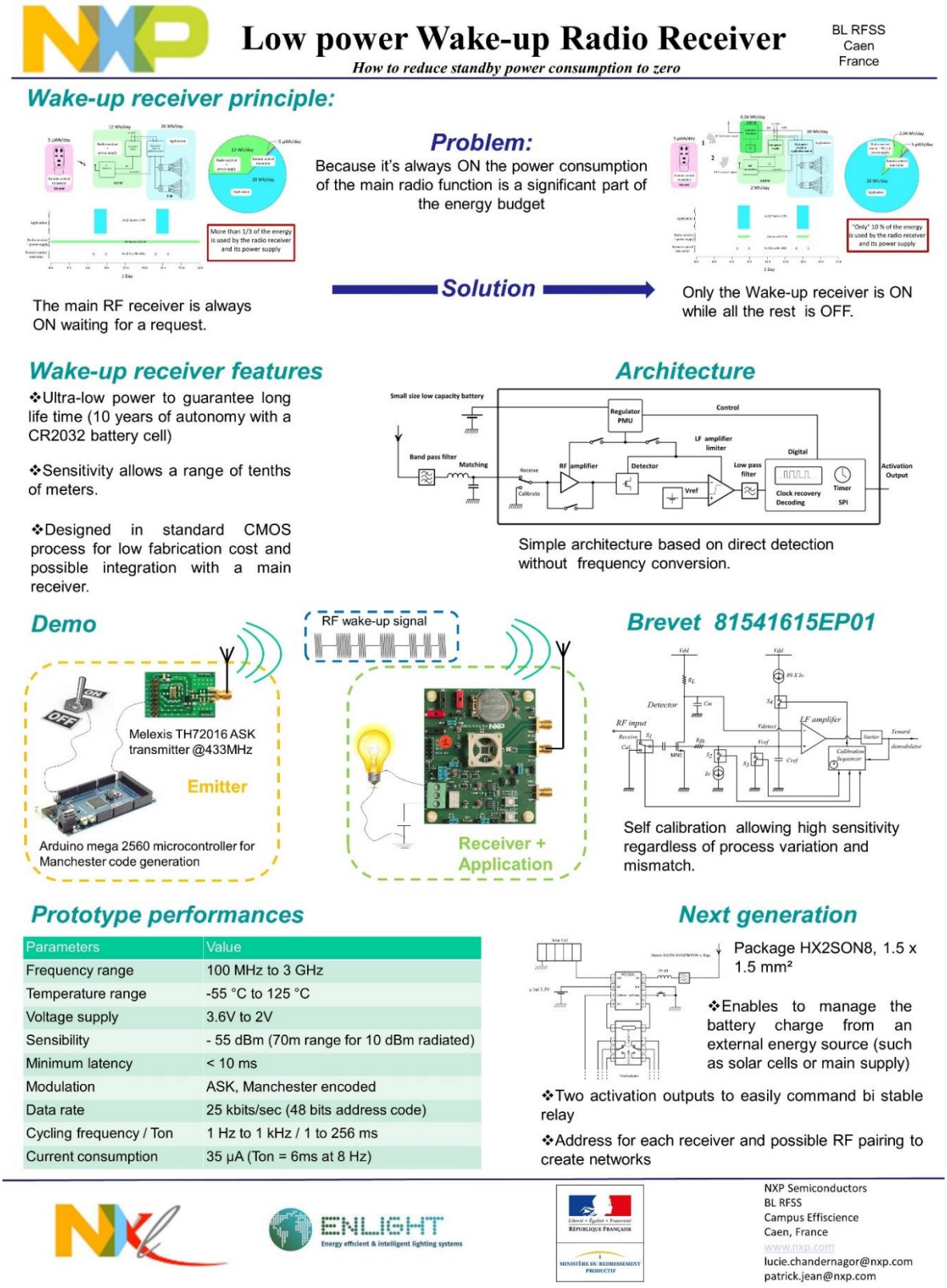


Figure VI-52 : Poster proposé lors de la démonstration du récepteur d'activation

Une deuxième démonstration a été mise en place avec la collaboration de Gilles Leclerc. Cette démonstration a été présentée lors de la présentation des démonstrateurs finaux du projet Enlight. Pour cette démonstration le récepteur a été placé dans le cas pratique

imaginé. Pour rappel, le récepteur devait permettre la diminution de la consommation en veille d'un récepteur principal, de type Zigbee par exemple, pilotant une lampe au plafond dans une salle de réunion. Il a donc été intégré au sein d'un luminaire et utilisé pour allumer le driver permettant l'alimentation de tous les circuits présents dans le luminaire comme le montre la Figure VI-53. L'intérêt de la solution montre ses preuves dans le cas où le nombre de luminaires est important. En effet le gain sur un luminaire est de quelques centaines de mW. A l'échelle du luminaire, cette consommation n'était pas alarmante mais dans le cas où des dizaines de lampes par salles gaspillent cette énergie, l'intérêt de notre solution est vite démontré.

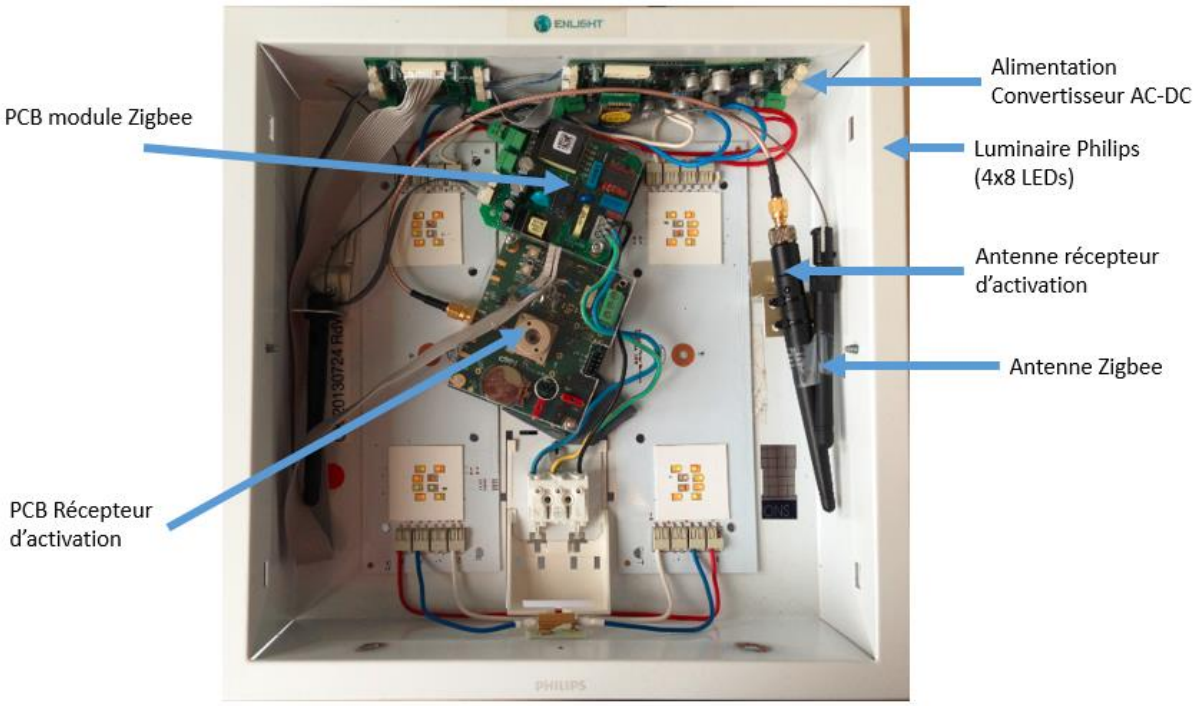


Figure VI-53 : Photographie du démonstrateur présenté pour le projet européen Enlight

Conclusion

Les évaluations ont montré le bon fonctionnement des deux versions du circuit. La version 2 offrant des régulateurs de tension moins consommant, a davantage été mise en avant. Les résultats obtenus sont similaires à ceux attendus à l'exception des régulateurs de tension qui fournissent des tensions légèrement supérieures à celles attendues. Malheureusement de par la conception du circuit, certaines performances n'ont pu être évaluées. Néanmoins, le comportement étant celui attendu plusieurs démonstrations ont pu être mises en place. Les plus simples sont directement intégrées sur le PCB. Afin d'en démontrer le bon fonctionnement et l'intérêt présenté par la solution du récepteur d'activation, ce dernier a été placé au sein d'un luminaire. Dans le démonstrateur présenté dans le cadre du projet Enlight, deux luminaires ont été comparés, l'un équipé du récepteur d'activation, l'autre non. L'ajout du récepteur d'activation était de palier à la consommation en veille des luminaires qui était de l'ordre de 400 mW. La puissance en veille est mesurée à l'aide d'un power meter placé entre les applications et le secteur. Sur le luminaire équipé du récepteur d'activation, la puissance consommée en veille par le luminaire est ramenée à 0W. En effet,

en veille seul le récepteur d'activation est en marche, il consomme uniquement 35 µA alimenté par sa pile CR2032. L'intérêt de la solution est démontré, la puissance consommée en veille de chaque luminaire est quasiment supprimée ce qui représente une économie considérable d'énergie lorsque l'on considère une salle éclairée par une dizaine de ces luminaires.

Conclusion

L'utilisation d'un récepteur de réveil pour limiter la consommation gaspillée par les récepteurs, lorsqu'ils ne fonctionnent pas, n'est pas nouvelle. Le récepteur d'activation réalisé est en technologie CMOS 160 nm, procédé de NXP Semiconductors. C'est un récepteur très large bande optimisé pour la bande de fréquences ISM à 868 MHz. Il traite des signaux modulés en amplitude, capable de reconnaître un code de Manchester programmable de 24 bits (débit binaire de 25 kbits/s), il garantit un minimum de faux-réveils assurant ainsi une consommation optimale du dispositif. Malgré une consommation moyenne limitée de 35 µA, le récepteur d'activation présenté ici offre une sensibilité de -50 dBm. Ceci permet une portée d'utilisation du dispositif d'une dizaine de mètres, dans le cas d'un émetteur rayonnant la puissance maximale autorisée par la norme ISM. Le travail présenté ici se démarque de l'ensemble des circuits existants sur plusieurs points. Tout d'abord, il intègre toutes les fonctionnalités requises, la chaîne de démodulation mais aussi l'horloge et la partie numérique. L'architecture proposée, ici à détection directe, est une architecture classique. Néanmoins, le circuit proposé se différencie de ces concurrents par son système de calibration, faisant l'objet d'un brevet, qui permet de générer une tension de référence. En effet, les solutions existantes, dont l'architecture est similaire, proposent une solution active offrant un degré d'ajustement très limité. La tension de référence permettant d'évaluer les niveaux du signal démodulé, cette limitation peut altérer la sensibilité du récepteur. Concrètement, si l'on considère un système d'une tension de référence de 300 mV par exemple, un signal modulé sinusoïdal compris entre 280 mV et 320 mV, la comparaison serait faite sans encombre. Par contre, dans le cas où la puissance du signal reçu est plus faible, le signal démodulé est désormais compris entre 280 mV et 290 mV, l'étape de comparaison ne peut avoir lieu. A cause de la valeur de sa tension de référence, le récepteur n'est pas capable de traiter avec des signaux d'une amplitude inférieure à une vingtaine de millivolts. La méthode proposée permet de disposer d'une tension de référence pouvant varier entre 0 et Vdd par pas de quelques millivolts. Cette finesse d'ajustement de la tension de référence permet de palier au problème d'offset souvent rencontré en entrée des comparateurs tout en consommant un minimum de courant sans nécessiter l'utilisation d'encombrantes résistances. Cette première caractéristique du circuit constitue une avancée dans le cadre du développement de ce type de dispositif. Cet atout est un point spécifique de démarcation de ce circuit. Sa conception repose sur un ensemble de compromis. Le nôtre consiste à proposer un récepteur, non pas avec la sensibilité la plus élevée, mais avec celle qui lui suffit, avec un courant de consommation non pas le plus faible mais celui qui permet d'obtenir le juste équilibre entre les performances et l'autonomie ciblées. Le système proposé ici est autonome et ne nécessite aucun FPGA ou aucune intervention de l'utilisateur. La solution proposée est un circuit complet et robuste. Il présente d'excellentes performances tant en qualité de réception, qu'en robustesse de fonctionnement par rapport aux variations environnementales et à celles des procédés de fabrication. Il est rare de trouver dans la littérature des circuits complets qui peuvent être utilisés dans des cas pratiques et concrets. Le récepteur ne nécessite pas d'une source d'alimentation idéale, ou de l'utilisation de composants trop coûteux ou dont la réalisation n'assure pas une reproductibilité fiable. Deux versions ont été fabriquées et mise en boitier. Les deux versions sont fonctionnelles et présentent les performances attendues. Avec une surface active de 0.08 mm^2, l'aire du circuit reste bien inférieure à celles des récepteurs classiques que l'on trouve actuellement sur le marché. Le récepteur proposé reste donc économiquement intéressant dans le cas d'un développement unique du récepteur et de son récepteur d'activation sur la même puce. Afin de démontrer l'intérêt du récepteur d'activation développé ici, ce dernier a été intégré dans

plusieurs démonstrateurs. Le premier lot de démonstrateurs directement intégré sur le PCB d'évaluation du récepteur d'activation permet d'illustrer les cas d'emploi dans lesquels un récepteur d'activation pourrait être utilisé. Le second correspond au cas concret, pour lequel le récepteur d'activation est utilisé, de déclenchement d'un récepteur Zigbee pilotant un luminaire à LEDs. Dans ce cas pratique, le récepteur d'activation a permis de supprimer la consommation en veille des luminaires.

La réalisation et les résultats de mesures de ce prototype permettent de proposer plusieurs perspectives sous la forme d'améliorations pouvant être apportées à son utilisation et ses performances.

Les premières améliorations que l'on souhaiterait mettre en œuvre concernent ses performances intrinsèques. Bien que le récepteur de réveil réponde déjà aux exigences présentées en tout début de cette thèse, il est cependant envisageable d'optimiser certaines de ces fonctions.

La première piste d'amélioration est la consommation du circuit. Pour améliorer cette dernière, les premiers blocs ciblés sont ceux réutilisés de designs existants, dont la consommation n'est pas optimisée. Le timer ayant un fonctionnement permanent, il serait profitable de réduire sa consommation. Bien que cette dernière soit déjà extrêmement faible (1 µA), une diminution de quelques centaines de nanoampères lorsque l'on cible une consommation de l'ordre de quelques microampères est une amélioration considérable. Dans ce domaine, les régulateurs de tension peuvent aussi être optimisés, bien que leur consommation ait largement été réduite dans la version 2. Leur bilan de consommation pâtit de leur multiplicité. Bien qu'ils partagent tous les trois la même tension de référence bandgap, trois circuits de régulations sont nécessaires, dont l'un doit fonctionner en permanence. Afin d'atteindre une consommation globale de l'ordre quelques microampères, il faudrait cibler une consommation des régulateurs de l'ordre de la dizaine de microampères. Toute la complexité consiste à concevoir un régulateur dont la consommation est largement inférieure au courant qu'il peut fournir dans la charge. Les régulateurs utilisés dans la version 1 présentent des performances remarquables à ce niveau puisqu'ils peuvent fournir un courant de 2 mA pour une consommation de 500 µA. Une architecture semblable pourra donc être utilisée dans notre cas avec une consommation moindre puisque le courant de charge nécessaire est 8 fois moins important. Néanmoins ces régulateurs sont basés sur une architecture complexe nécessitant un nombre important de transistors. La limitation de consommation ici sera fixée par le courant minimal nécessaire à chaque transistor. Les régulateurs de tension sont les blocs qui ont la meilleure marge de réduction en termes de consommation. Les blocs constituant la chaîne de réception ont déjà des consommations optimisées. Il reste néanmoins toujours possible de corriger quelques peu leur design afin de gagner quelques nanoampères. Par exemple, si la source de courant qui polarise l'amplificateur basses fréquences était faite en NMOS et non en PMOS on gagnerait un étage, soit une économie de quelques de dizaine de nanoampères. Le fonctionnement de ce dernier étant périodique, le gain de cette modification sur le bilan énergétique global reste minime. Mais dans le contexte où chaque nanoampère a son importance, on ne peut négliger ces modifications de design comme pistes d'amélioration. Une autre piste est d'apporter une intelligence au récepteur. Dans le prototype développé ici, l'utilisation de l'amplificateur reste au choix de l'utilisateur. Il est imaginable de donner au circuit la faculté d'évaluer le niveau de signal en entrée, le choix de l'utilisation de l'amplificateur RF serait alors automatique. Ainsi l'économie de sa consommation pourrait être faite sans se priver de pouvoir activer l'amplificateur RF dans le cas d'un signal d'entrée dégradé. Une tout autre alternative pour économiser de l'énergie serait d'utiliser les énergies environnantes pour

alimenter le récepteur de réveil. Plusieurs types de source d'énergie sont disponibles. L'énergie pourrait être extraite des ondes RF environnantes, mais les redresseurs n'offrent actuellement pas une grande efficacité. Cette voie ne mérite d'être explorée que si une importante quantité d'énergie est disponible, par exemple, si le récepteur de réveil est placé à côté d'un émetteur WiFi. Il faut également noter que l'antenne nécessaire afin de récupérer les ondes sur une large bande peut s'avérer coûteuse et volumineuse. L'énergie solaire est une seconde alternative. Les cellules solaires peuvent être un désavantage sur le plan esthétique. Il faut également que ces dernières profitent d'une exposition suffisante à la lumière. Il est possible d'envisager l'utilisation de ces sources d'énergies de trois façons différentes. Le cas où le niveau d'énergie ambiante disponible permet de les utiliser en remplacement de la pile, celui où il peut servir à la recharge d'une batterie, et enfin celui où il combine les deux solutions précédentes et où les sources alternatives sont utilisées pour alimenter le récepteur quand il fonctionne et recharger les batteries pendant les temps de veille.

Les améliorations pour diminuer la consommation ne sont pas les seules envisageables. En effet, le récepteur pourrait être plus sophistiqué pour simplifier son utilisation ou pour couvrir des applications supplémentaires. Actuellement la programmation du prototype est faite par un bus SPI. Une des améliorations possible serait de pouvoir effectuer cette dernière par radio. Le premier avantage de cette solution serait matériel. Pour certaines applications la reprogrammation du récepteur par un bus filaire serait compliquée. La modification du bloc numérique de façon à pouvoir reconnaître plusieurs codes serait un atout pour toutes les applications en réseaux. Le récepteur de réveil pourrait reconnaître un code qui lui serait propre et un qui correspondrait à un groupe de récepteurs de réveil. Ainsi pour une commande, un seul élément peut être activé, alors que pour une autre, c'est un ensemble d'éléments. La sophistication du bloc numérique pourrait également permettre de choisir la forme du signal de réveil. La durée de l'impulsion pourrait être programmable, de même le signal de réveil pourrait être un signal plus complexe qu'une simple impulsion. Dans le cadre d'une utilisation en réseau il pourrait être également intéressant de fournir un signal de validation à l'émetteur lorsque la commande de réveil a bien été reçue. Afin d'augmenter la compatibilité de notre récepteur de réveil avec les émetteurs existants, il serait également souhaitable de rendre le débit binaire programmable. Toutes ces améliorations se feront au sacrifice d'une légère consommation. Il sera important d'évaluer le gain d'une nouvelle fonction quant à son impact sur le bilan énergétique du récepteur de réveil ; sachant que la faible consommation de ces récepteurs de réveil tient pour l'essentiel à leur simplicité.

Il reste également quelques corrections à apporter au prototype. Comme on a pu le voir dans le dernier chapitre, le récepteur de réveil est fonctionnel et satisfait quasiment à toutes les spécifications ; mais quelques anomalies ont pu être observées. La chaîne de réception répond aux exigences du cahier des charges détaillées au début de cette thèse aussi bien pour les performances RF que pour les contraintes de coût et d'encombrement.

Bien que les standards évoluent vers des solutions basse consommation, l'automatisation et le développement des outils sans fil que l'on rencontre notamment avec l'essor de la domotique, font que les récepteurs de réveil trouveront leur place dans nombre d'applications sans fils simples.

Bibliographie – Chapitre 1

[1] Energizer Product Datasheet, Energizer CR2032, Form No EBC4120.

[2] NXP Datasheet JN516X, No JN-DS-JN516X, v1.3.

[3] Atmel Datasheet ATmega128RFR2, No 8393C-MCU Wireless-09/14.

[4] Ember Datasheet EM2420, Part Number 120-0049-000D.

[5] Xbee SX modules datasheet, https://www.digi.com/pdf/ds-xbee-xbeepro-sx-modules.pdf, (consulté le 27/10/2016).

[6] Xbee-pro 900 HP datasheet, https://www.digi.com/pdf/ds_xbeepro900hp.pdf , (consulté le 27/10/2016).

[7] Texas Instrument datasheet, CC2420, No SWRS041c.

[8] ScienceDirect Computer communications (30), P. Baronti, P. Pillai, V. W.C Chook, S. Chessa, A. Gotta and Y. F. Hun, " *Wireless Sensor Network : A survey on the state of the art and the 802.15.4 and Zigbee standards* ", 2007, p 1655-1695

[9] S. Drago and al., "*Impluse-Based Scheme for Crystal Less ULP Radios*", IEEE Trans. On Circuits And Systems-I : Regular papers, Vol. 56, No. 5, pp. 1041-1052, May 2009.

[10] D. Bouchouicha, F. Dupont, M. Latrach and L. Ventura, "*Ambient RF Energy Harvesting*", International Conference on Renewable Energies and Power Quality, pp. 1-5, 2010.

[11] N. Pletcher and J.M. Rabaey, "*Ultra-Low Power Wake-Up Receivers for Wireless Sensor Networks*", University of California at Berkeley, Berkeley, CA, Tech. Rep., UCB/EECS 2008-59, May 2008.

[12] C. Petrioli, D. Spenza, P. Tommasino and A. Trifiletti, "*A Novel wake-up Receiver with Adressing Capability for Wireless Sensor Nodes*", IEEE International Conference on Distributed Computing in Sensor Systems, pp. 18-25, 2014.

[13] V. Jelicic, M. Magno, D. Brunelli, V. Bilas and L. Benini, "*Benefits of Wake-up Radio in Energy-Efficient Multimodal Surveillance Wireless Sensor Network*", IEEE Sensors Journal, Vol. 14, No. 9, pp. 3210-3220, 2014.

Bibliographie – Chapitre 2

[1] S. Tang, H. Yomo, Y. Kondo and S. Obana, "*Wakeup Receiver for Radio-On-Demand Wireless LANs*", IEEE Globecom 2011 proceeedings, pp. 1-6.

[2] M. Raju, Texas Instrument White Paper, "*ENERGY HARVESTING : ULP meets energy harvesting, a game-changing combination for design engineer*", Nov 2008, pp. 1-5.

[3] Energizer Product Datasheet, Energizer CR2032, Form No EBC4120.

[4] Energizer Engineering Datasheet, Energizer No E96, Form No EBC1106E.

[5] Renata batteries Technical Datasheet, ZA615 maratone.

Bibliographie – Chapitre 3

[1] W.O. Swinyard, "*The Development of the Art of Radio Receiving from the Early 1920's to the Present*", IEEE Trans. On Consumer Electronics, Vol. 30, No. 2, pp. 194-199, 1984.

[2] H. Ba, I. Demirkol and W. Heinzelman, "*Feasibility and Benefits of Passive RFID Wake-up Radio for Wireless Sensor Networks*", IEEE Globecom proceedings, pp. 1-5, 2010.

[3] P. Kolinko and L.E. Larson, "*Passive RF Receiver Design for Wireless Sensor Networks*", IEEE/MTT-S International Microwave Symposium, pp. 567-570, 2007.

[4] N. Pletcher and J.M. Rabaey, "*Ultra-Low Power Wake-Up Receivers for Wireless Sensor Networks*", University of California at Berkeley, Berkeley, CA, Tech. Rep., UCB/EECS 2008-59, May 2008.

[5] X. Huang, P. Harpe, G. Dolmans, H. de Groot and J.R Long, "*A 780-950 MHz, 64-146 µW Power-Scalable Synchronized-Switching OOK Receiver for Wireless Event-Driven Applications*", IEEE Journal of Solid-State Circuits, Vol. 49, No. 5, pp. 1135-1147, May 2014.

[6] D.K. Meher, A. Salimath and A. Halder, "*An Ultra-low Power Symbol Detection Methodology and Its Circuit Implementation for a Wake-up Receiver in Wireless Sensor Nodes*", IEEE Conference on VLSI Design, pp. 274-279, 2012.

[7] C. Hambeck, S. Mahlknecht and T. Herndl, "*A 2.4µW Wake-up Receiver for Wireless Sensor Nodes with -71 dBm Sensitivity*", IEEE ISCAS, pp. 534-537, 2014.

[8] M.S. Durante and S. Mahlknecht, "*An ultra low power Wakeup Receiver for Wireless Sensor Nodes*", in Proc. Sensor Technologies and Applications, pp. 167-170, 2009.

[9] X. Huang, S. Rampu, X. Wang, G. Dolmans and H. de Groot, "*A 2.4 GHz/915 MHz 51 µW Wake-Up Receiver with Offset and Noise Suppression*" in Proc. ISSCC, pp. 221-223, 2010.

[10] R. W. Brocato, "*A Zero-Power Radio Receiver*", Sandia Report SAND2004-4610, Sandia National Laboratories, September 2004.

[11] S.J. Marinkovic, E.M. Popovici, "*Nano-Power Wireless Wake-Up Receiver With Serial Peripheral Interface*", IEEE Journal on Selected Area in Communications, Vol. 29, No. 8, pp. 1641-1647, Sept. 2011.

[12] L. Zhang, H. Jiang, X. Sun, C. Zhang and Z. Wang, "*A Passive RF Receiving and Power Switch ASIC for Remote Power Control with Zero Stand-by Power*", IEEE Asian Solid-State Circuits Conference, pp. 109-112, 2008.

[13] J. Ansari, D. Pankin and P. Mähönen, "*Radio-Triggered Wake-up with Addressing Capabilities for Extremely Low Power Sensor Network Applications*", in Proc. PIMRC, pp. 1-5, 2008.

[14] N. Pletcher and J.M. Rabaey, "*Ultra-Low Power Wake-Up Receivers for Wireless Sensor Networks*", University of California at Berkeley, Berkeley, CA, Tech. Rep., UCB/EECS 2008-59, May 2008.

[15] M.S. Durante and S. Mahlknecht, "*An ultra low power Wakeup Receiver for Wireless Sensor Nodes*", in Proc. Sensor Technologies and Applications, pp. 167-170, 2009.

[16] E. Nilsson and C. Svensson, "*Ultra Low Power Wake-Up Radio Using Envelope Detector and Transmission Line Voltage Transformer*", IEEE Journal on Emerging and Selected Topics in Circuits And Systems, Vol. 3, No. 1, Mar 2013.

[17] X. Huang, S. Rampu, X. Wang, G. Dolmans and H. de Groot, "*A 2.4 GHz/915 MHz 51 µW Wake-Up Receiver with Offset and Noise Suppression*" in Proc. ISSCC, pp. 221-223, 2010.

[18] H. Milosu, F. Oehler, M. Eppel, D. Frühsorger, S. Lensing, G. Popken and T. Thönes, "*A 3 µW 868 MHz Wake-Up Receiver with -83 dBm Sensitivity and Scalable Data Rate*", Proc. Of the ESSCIRC, pp. 387-390, 2013.

[19] X. Huang, P. Harpe, G. Dolmans, H. de Groot and J.R Long, "*A 780-950 MHz, 64-146 µW Power-Scalable Synchronized-Switching OOK Receiver for Wireless Event-Driven Applications*", IEEE Journal of Solid-State Circuits, Vol. 49, No. 5, pp. 1135-1147, May 2014.

[20] P. Kamalinejad, K. Keikhosravy, M. Magno, S. Mirabbasi, V.C.M Leung and L. Benini, "*A High-Sensitivity Fully Passive Wake-Up Radio Front-End for Wireless Sensor Nodes*", IEEE ICCE proceedings, pp. 209-210, 2014.

[21] G.U. Gamm, S. Stoecklin and L. M. Reindl, "*Wake-up receiver operating at 433 MHz*", International Multi-Conference on Systems, Signals and Devices, pp. 1-4, 2014.

[22] S. Bdiri and F. Derbel, "*A Nanowatt Wake-Up Receiver for Industrial Production Line*", International Multi-Conference on Systems, Signals and Devices, pp. 1-4, 2014.

[23] C. Petrioli, D. Spenza, P. Tommasino and A. Trifiletti, "*A Novel wake-up Receiver with Adressing Capability for Wireless Sensor Nodes*", IEEE International Conference on Distributed Computing in Sensor Systems, pp. 18-25, 2014.

[24] N. E. Roberts and D. D. Wentzloff, "*A 98nW Wake-up Radio for Wireless Body Area Networks*", IEEE RFIC Symposium, pp. 373-376, 2012.

[25] D.C. Daly and A.P Chandrakasan, "*An Energy-efficient OOK transceiver for wireless sensor networks*", IEEE J. Solid State Circuits, Vol. 42, No. 5, pp. 1003-1011, 2007.

Bibliographie – Chapitre 4

[1] RF solutions datasheet, FLEXI-SMA90-868, No 277 4001, 2010.

[2] Epcos datasheet, Saw Component B3734, Version 2.3, August 2008.

[3] L.H.C Ferreira, "*An ultra low voltage ultra low power CMOS Miller OTA with rail-to-rail input/output swing*," IEEE TCASII, vol. 54, N°10, pp. 845–847, October 2007.

[4] F. Yuan, "*Design techniques for ASK demodulators of passive wireless Microsystems : a state-of-the-art review*", Analog Integr. Circ. Sig. Process, No. 63, pp. 33-45, 2010.

[5] S.J. Marinkovic and E. Popovici, "*Nano-Power Wireless Wake-Up Receiver With Serial Peripheral Interface*", IEEE Journal on Selected Area in Communications, Vol. 29, No. 8, pp. 1641-1647, Sept. 2011.

[6] S. Bdiri and F. Derbel, "*A Nanowatt Wake-Up Receiver for Industrial Production Line*", International Multi-Conference on Systems, Signals and Devices, pp. 1-6, 2014.

[7] J. Ansari, D. Pankin and P. Mähönen, "*Radio-Triggered Wake-up with Addressing Capabilities for Extremely Low Power Sensor Network Applications*", in Proc. PIMRC, pp. 1-5, 2008.

[8] N. Pletcher and J.M. Rabaey, "*Ultra-Low Power Wake-Up Receivers for Wireless Sensor Networks*", University of California at Berkeley, Berkeley, CA, Tech. Rep., UCB/EECS 2008-59, May 2008.

[9] H.G. Han, D.H. Jung and T.W. Kim, "*A 2.88 mW +9.06 dBm IIP3 Common-Gate LNA With Dual Cross-Coupled Capacitive Feedback*", IEEE Trans. Microwave Theory and Techniques, Vol. 63, No. 3, pp. 1019-1025, Mar 2015.

Bibliographie – Chapitre 6

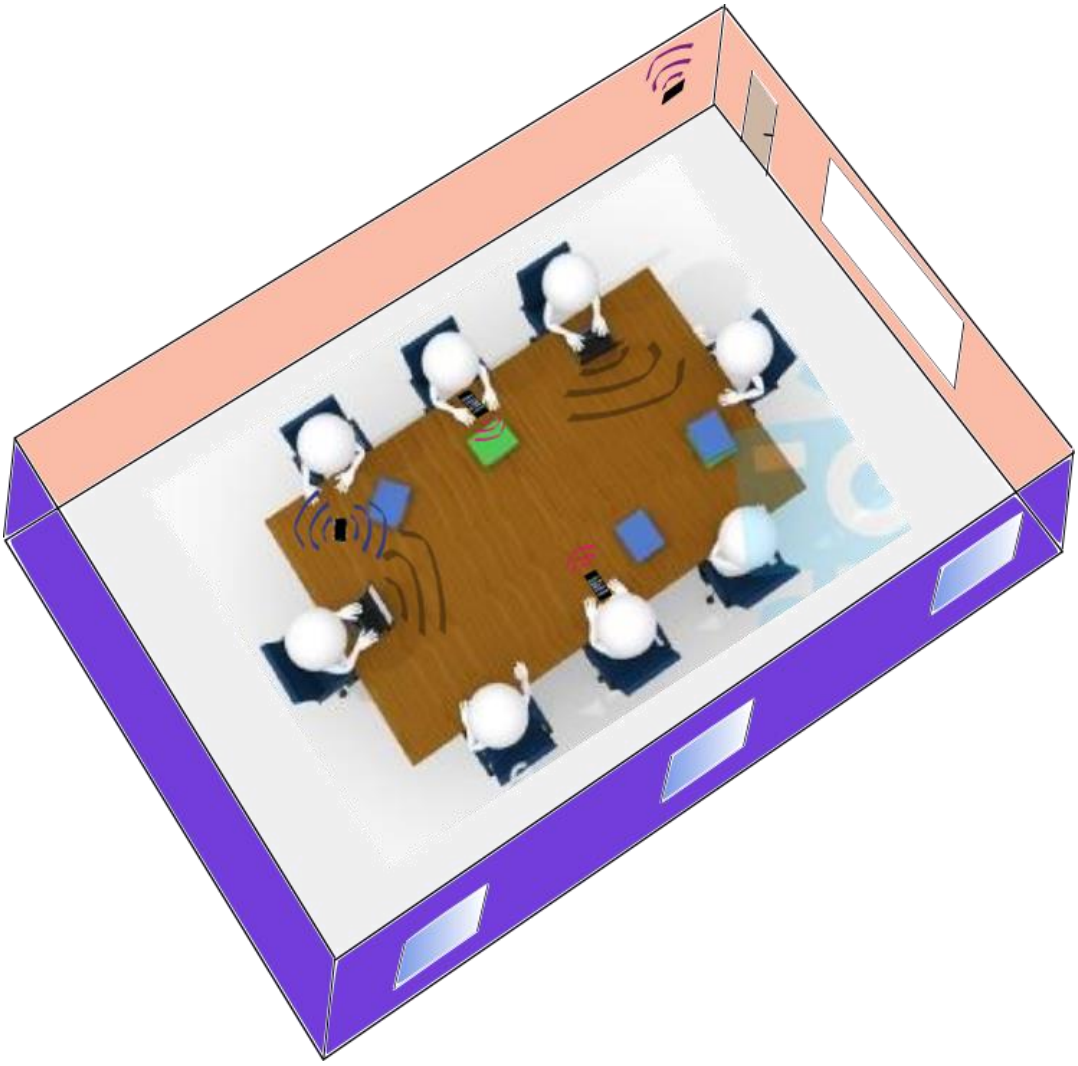
[1] A. Salimath, P. Karamcheti and A. Halder, "*A 1V, sub mW CMOS LNA for Low-power 1 GHz Wide-band Wireless Applications*" in Proc. VLSI, pp. 460-465, 2014.

[2] H. Lee, T. Chung, H. Seo, I. Choi and B. Kim, "*A Wideband Differential Low-Noise-Amplifier With IM3 Harmonics and Noise Cancelling*", IEEE Microwave and Wireless Components Letters, Vol. 25, No. 1, pp. 46-48, Jan. 2015.

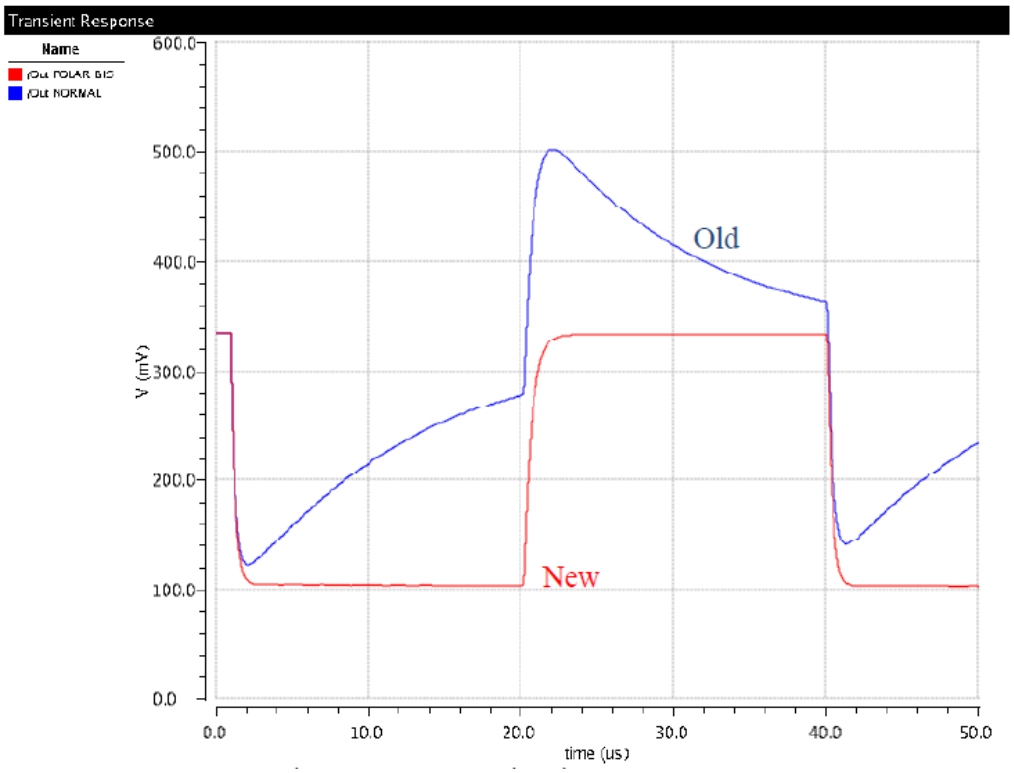
Annexes

Annexe 1. Représentation du scénario considéré dans le cas du projet Enlight.....137
Annexe 2. Suppression des effets capacitifs induit du condensateur d'entrée sur le détecteur.....138
Annexe 3. Analyse de Monte Carlo de la tension différentielle obtenue dans le cadre d'une polarisation du détecteur par recopie 139
Annexe 4. Circuits de détection et leur polarisation.....140
Annexe 5. Datasheet du boîter QFN16 146
Annexe 6. Datasheet circuit Maxim ICM7555.....148
Annexe 7. Datasheet circuit Maxim MAX4684 156
Annexe 8. Datasheet circuit AXICOM 5-1472037-3 166
Annexe 9. Datasheet circuit Texas Instrument SN74LVC1G97.....172

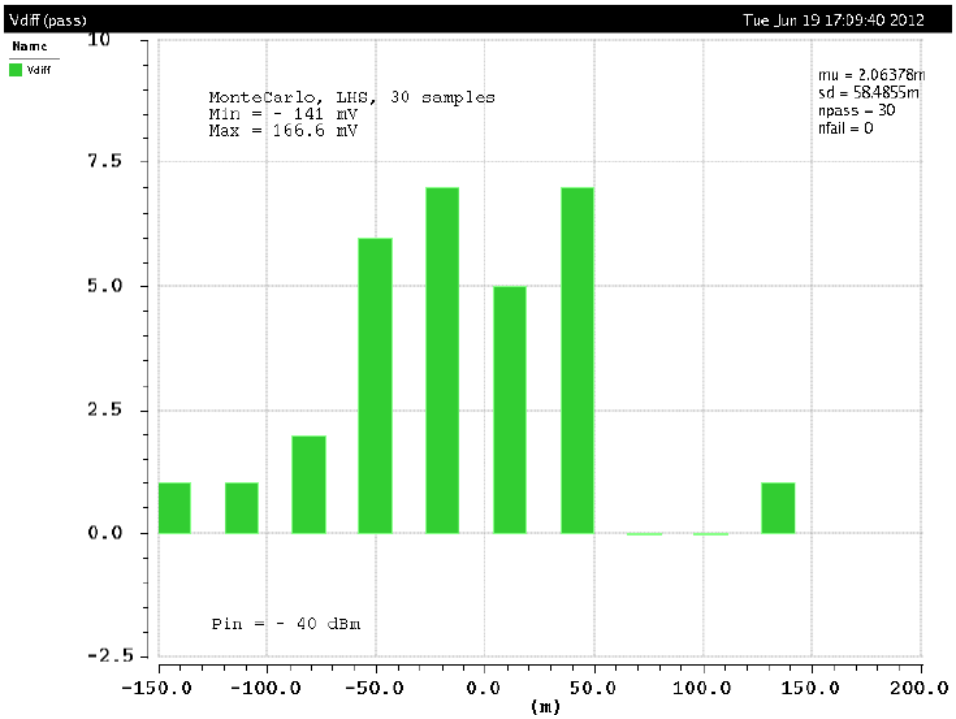
Annexe 1. Représentation du scénario considéré dans le cas du projet Enlight



Annexe 2. Suppression des effets capacitifs induit du condensateur d'entrée sur le détecteur



Annexe 3. Analyse de Monte Carlo de la tension différentielle obtenue dans le cadre d'une polarisation du détecteur par recopie



We can point out that if C_7 is bigger the distortion is less important. For the same current variation the global charge of a capacitor will vary less (in terms of percentage) for a big capacitor than for a small one.
So we tried a new solution to bias our transistor.

4.3.3.3 Non-linear amplifier bias "copy"

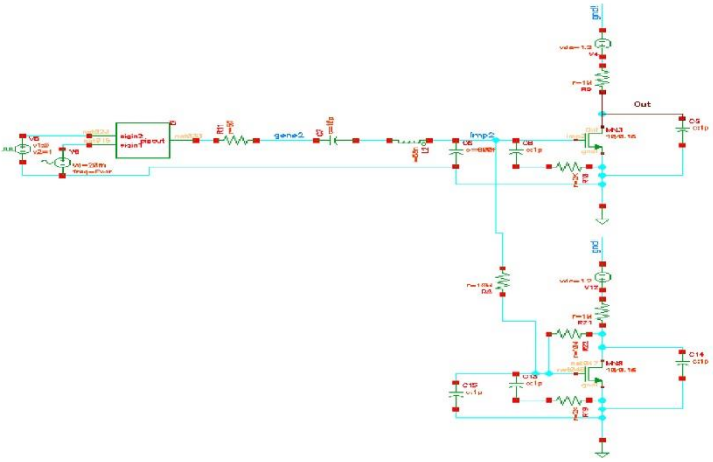


Figure 28 – Envelope detector schematic, polarization « copy »

This circuit has resolved the problem of the dependency with C_7 value (see *Appendix C*) as expected and also kept the same performances as the previous version. However this new design consumed twice and was twice bigger. Moreover there were two resistors of 10 MΩ which take up a large silicon area.

So we tried to find a new solution keeping the same performances and getting rid of these two big resistors.

4.3.3.4 Non-linear amplifier, polarization "mirror"

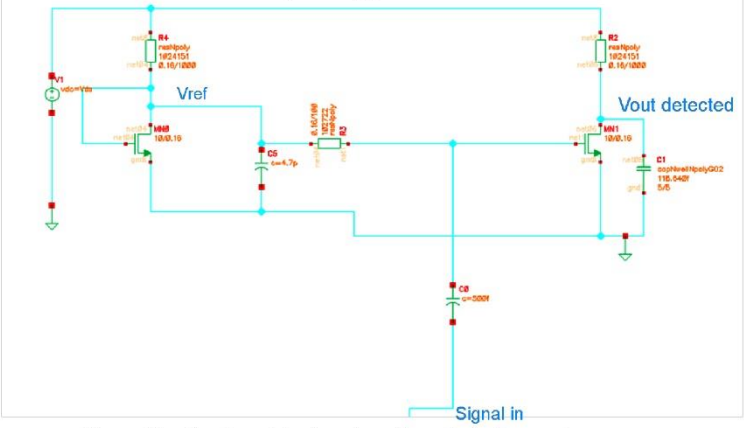


Figure 29 – Envelope detector schematic, polarization « mirror »

We always use 2 µA and not 1µA as it was at the beginning. Using this bias method, we kept the same performances as before without using the two resistors of 10MΩ.

The envelope detector must have to two outputs in order to be compatible with the differential amplifier. However, the amplifier has a high DC gain. So if a little offset is presented at the input, we risk saturating the amplifier. The amplifier will be described in a next part.

Because of process and mismatch variations a given circuit can behave differently. Monte Carlo analysis takes different samples from these variations and so shows how robust the circuit is. We made different Monte Carlo Latin Hypercube Sampling (LHS) analysis which showed that unfortunately the offset between V_{REF} and V_{OUT} can reach ± 150 mV (σ = 58.5 mV) (see *Appendix C* – Fig 67). This difference between V_{REF} and V_{OUT} is too high, the output of our amplifier will be stuck at 0 V or 1.2 V.
So we thought about a totally different solution.

4.3.3.5 Non-linear amplifier, polarization "shared memories"

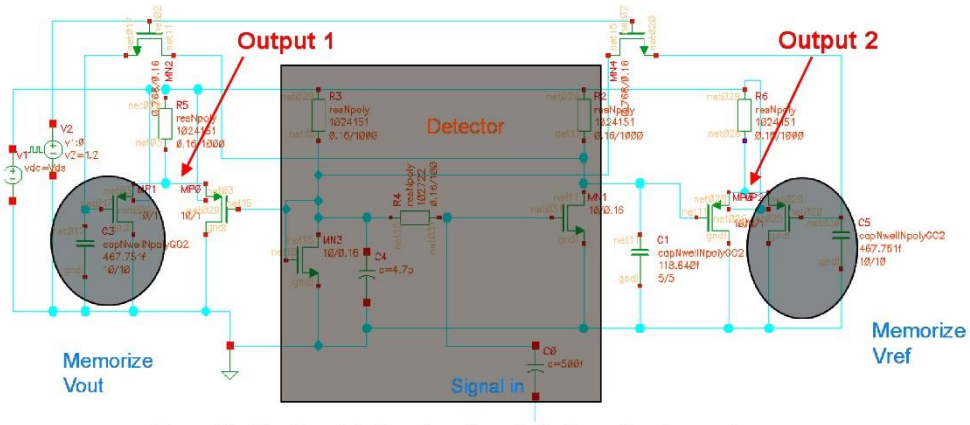


Figure 30 – Envelope detector schematic, polarization « shared memories »

This system "records" on one side V_{REF} and on the other side V_{OUT} by initially charging a capacitor. Then it adds memorized V_{OUT} and V_{REF} (output 1), the same process is applied with memorized V_{REF} and V_{OUT} (output 2).

This solution consumes a lot, four times more than the previous structures. We observed an improvement in the offset (± 3 mV, σ = 1 mV) between the two outputs (see *Appendix C* – Fig 68). Despite this improvement, we ruled out this solution because the Monte Carlo LHS analysis showed that for some cases the detector did not detect anything.

4.3.4 Envelope detector, polarization "auto"

4.3.4.1 Presentation

This solution is inspired from the first design and the last one. We decided to replace the resistor of 10 MΩ used as a feedback by a memorization system.

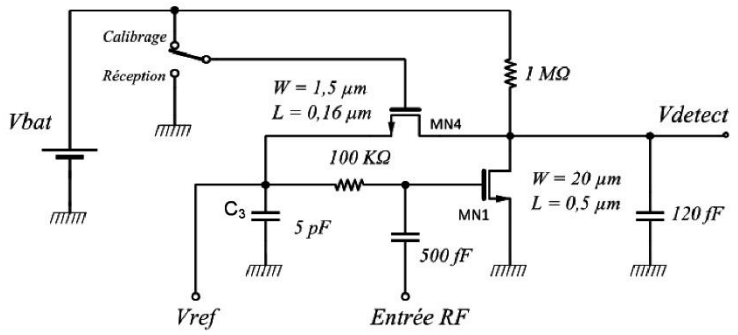


Figure 31 – Envelope detector schematic, polarization « auto »

The DC operating point is initially stored in the capacitor. Before the RF signal is applied, MN_4 is closed, so C_3 is charged. Then the switch (MN_4) opens and the detection can start.
It must be noticed that, during the calibration phase, there must be no RF signal at the detector input. This can be achieved by inserting an RF switch in front of the detector and setting it in off state during calibration.
The transistor MN1 is used in sub-threshold, V_{GS} = 358 mV (V_{TH} = 423 mV).

In this solution we don't use the bulky resistor of 10 MΩ, V_{DD} = 1.2 V and the whole circuit consumes only 1 µA.

4.3.4.2 General performances

V_{DD}	1.2 V	
I_{Do}	1 µA	
Detection Gain	12-28 dB	Depending on Pin

4.3.4.3 Design

- R_L

Define I_{Do} and V_{DSo}. We have a constraint on its value because it is directly proportional to its size. R_L is also in relation with the gain. So we expect, the higher R_L is, the higher the gain is (keeping a high enough V_{DS} to let the transistor work). But this dependency between the gain and the value of R_L is not as much as we can imagine because of R_{DS} which is in parallel.

- R_{DS}

R_{DS} is directly determined by V_{GS} and I_{DS}. Higher is V_{GS}, higher is I_{DS}, so lower is R_L to keep a correct V_{DS}, lower is R_{DS}. This change has not a strong impact on the gain, but it permits to decrease the output resistance. So multiplying the current by x, we can keep the same performances dividing the output resistance by the same factor.

- Switch

We chose a minimum size transistor to reduce area occupancy and to have a fast transistor. We can notice that if the transistor drains too much current even when it is open, we can increase its length to solve this problem. The size is also limited by the transfer of charge done during the commutation which must not disturb the calibration.

- I_{Do}

This current has been chosen as a trade-off between gain, consumption and R_L size.

- MN_1 sizing (W and L)

We made different analyses to find the good trade-off between gain, leakage current and silicon area. We must be careful because a big transistor will leak more than a small one.

- C_3 and R_3

C_3 must be big enough to be not discharged too much during the reception phase, because it is used as a voltage reference for one input of the amplifier. R_3 is chosen to make with C_3 a low pass filter and to protect C_3 from the RF signal when it is applied.

4.3.4.4 Results

4.3.4.4.1 TRAN analysis

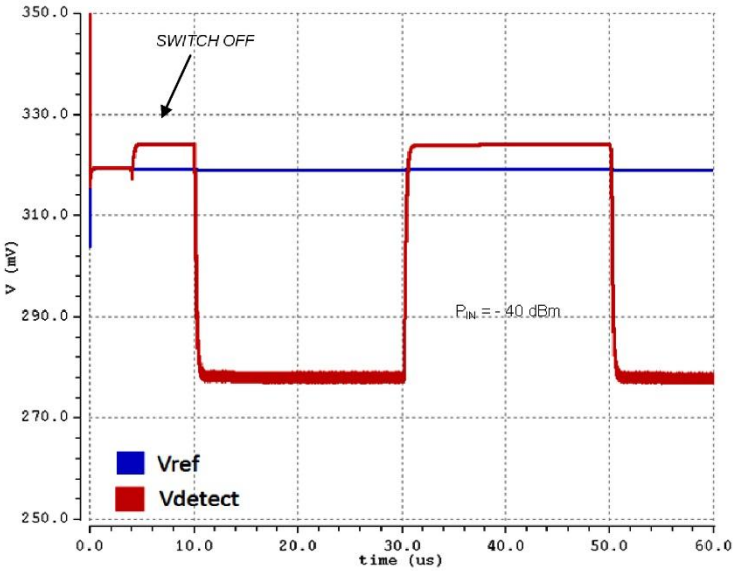


Figure 32 – Vref, Vout Vs Time

4.3.4.4.2 *Temperature and VDD variations*

We checked the good operation of the envelope detector even if the voltage supply or the temperature varies.

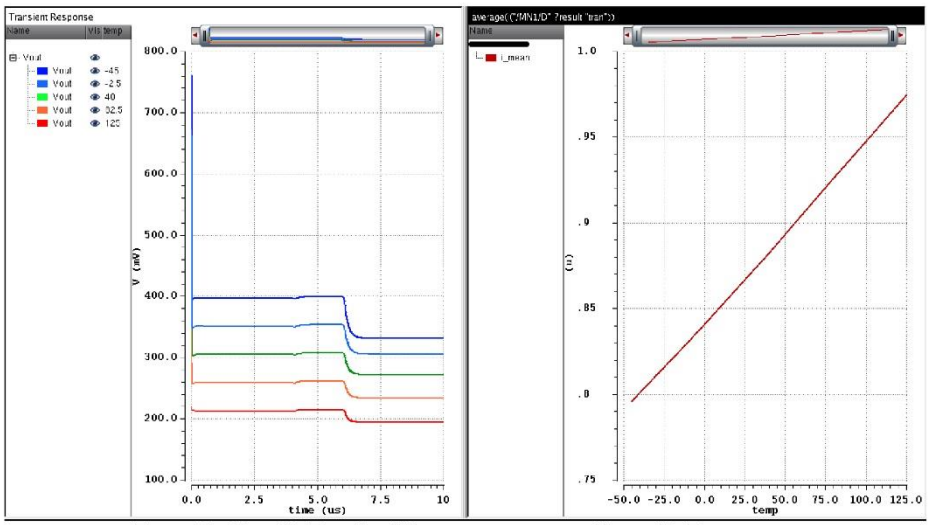


Figure 33 – Vout Vs Time for different temperatures and Imean Vs Temperature

At low temperature there is less current, this is what we expected according to the current expression in weak inversion. As there is less current, V_{DSo} is higher, so the output swing is higher and so we expect that the detection gain will be higher too. The detection gain will be presented in a next part.

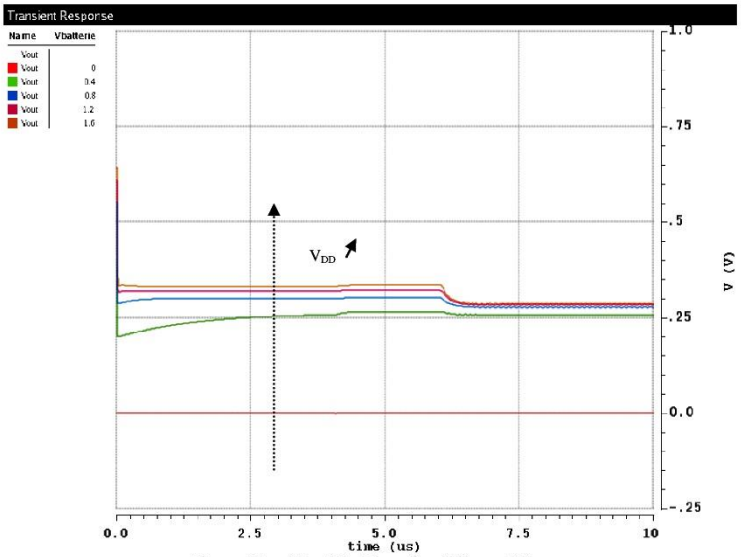


Figure 34 – Vout Vs Time for different V_{DD}

V_{DD} must reach a certain value, to allow a sufficient V_{DS}, and so the transistor can work correctly. This behavior was expected. We notice that a minimum of 0.8 V is required to observe a good detection. On the specified V_{DD} range, the operation is checked see *Appendix C*, figure 69.

4.3.4.4.3 Monte Carlo LHS analysis

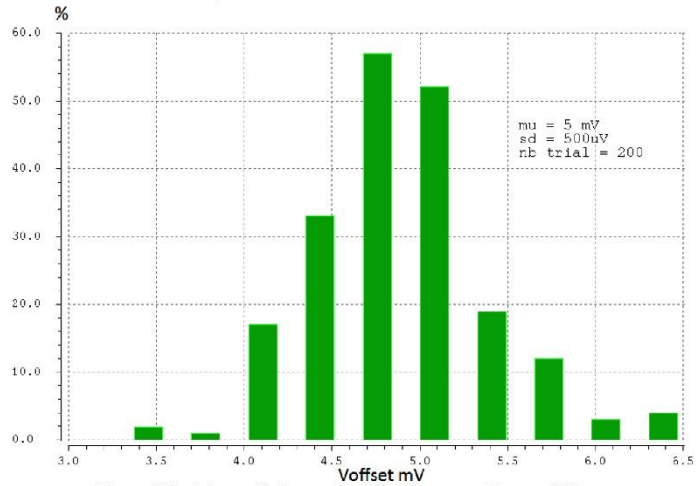


Figure 35 – Monte Carlo results offset between V_{REF} and V_{OUT}

Monte Carlo analysis showed a significant improvement on the offset. Now, it is approximately centered on 5 mV and $\sigma = 500\ \mu V$.

4.3.4.5 Detection Gain

4.3.4.5.1 Theory

As we explained before the circuit is set as an amplifier. The fact that we use the transistor in sub-threshold region makes us benefit from its non-linearity. So we exploit the non-linearity as a detector but also the amplifier performances.

In this section we calculate the detection gain. First we give some notations :

V_{RF}	= RF signal	Vdetect	= Amplitude of the output signal
I_{Do}	= DC drain current	I_{D_RF}	= Drain current when RF is applied
V_{DSo}	= V_{DS} DC	V_{DS_RF}	= V_{DS} when RF is applied
R_L	= Load resistor (1 MΩ)	R_{DS}	= Immaterial resistor drain-source (700 kΩ)

Annexe 5. Datasheet du boîter QFN16

Table 1. Freescale DFN/QFN Package Dimensions

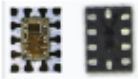
	Punch Sawn						Cavity QFN Sensor			Flip Chip	 Chip-On-Lead	
	DFN/QFN Single Row - sawn/punch						Cavity QFN			FCQFN	QFN-COL	
	Lead Pitch (mm)											
Body Size	**0.95p**	**1.00p**	**0.80p**	**0.65p**	**0.50p**	**0.40p**	**1.00p**	**0.80p**	**0.65p**	**0.50p**	**0.50p**	**0.40p**
2.0 x 1.5					6							
2.0 x 2.0					8	10					8	10
2.0 x 3.0					8							
3.0 x 2.0										10		
3.0 x 3.0	6				12/16	20					10/16	20
3.0 x 4.0					20							
4.0 x 4.0			8	16	20/24							
5.0 x 5.0			16	24	26/32							
6.0 x 6.0		16			20/40			20				
7.0 x 7.0				32	48	25/56	24					
8.0 x 8.0					56							
9.0 x 9.0				44	64				32			
Thickness	0.8 to 1.0 mm (Sensor only 1.45 to 2.08 mm)						2.2 mm	1.98 mm	2.33 mm		0.60 to 1.00 mm	

Table 2. Legend

Lead Count Color Code	
Black	Sawn only
Blue	Sawn and Punch
Red	Punch only

4 Printed Circuit Board Guidelines

4.1 PCB Design Guidelines and Requirements

As the package size shrinks and the lead count increases, the dimensional tolerance and positioning accuracy affects subsequent processes. Part interchangeability is also a concern when two separate suppliers provide production parts for the PCB. The optimized PCB layout for one supplier may have issues (manufacturing yield and/or solder joint life) with the other supplier's parts. When more than one source is expected, the PCB layout should be optimized for both parts. Additional information of this topic is provided in this section.

A proper PCB footprint and stencil designs are critical to surface mount assembly yields and subsequent electrical and mechanical performance of the mounted package. The design starts with obtaining the correct package drawing. Package Case Outline drawings are available at www.freescale.com. Follow the procedures in section Downloading the Information from Freescale on page 26. Figure 14 shows an example 7.0 mm x 7.0 mm QFN Case Outline drawing. Figure 15 shows the goal of a well-soldered DFN/QFN pad.

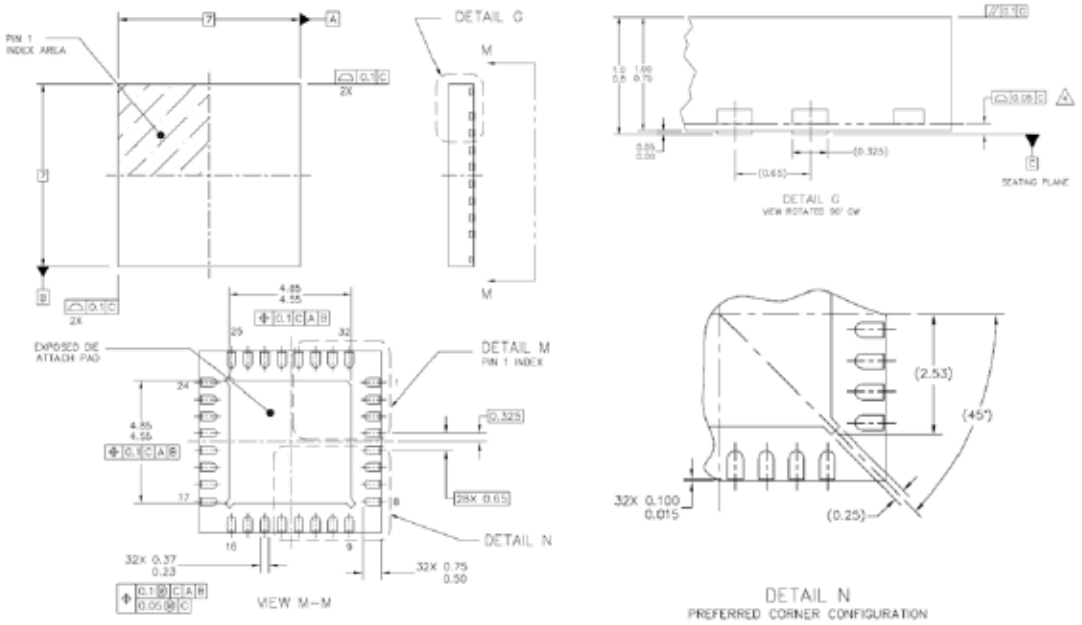


Figure 14. DFN/QFN Case Outline Drawing Example (7 mm x 7 mm, 32 Lead)

Annexe 6. Datasheet circuit Maxim ICM7555

19-0481; Rev 2; 11/92

MAXIM
General Purpose Timers

ICM7555/7556

General Description

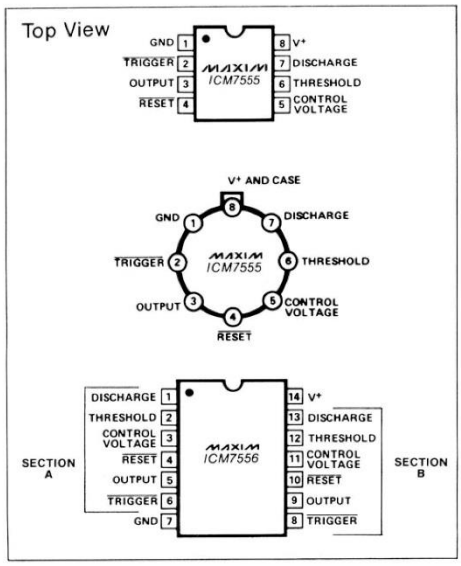
The Maxim ICM7555 and ICM7556 are respectively single and dual general purpose RC timers capable of generating accurate time delays or frequencies. The primary feature is an extremely low supply current, making this device ideal for battery-powered systems. Additional features include low THRESHOLD, TRIGGER, and RESET currents, a wide operating supply voltage range, and improved performance at high frequencies.

These CMOS low-power devices offer significant performance advantages over the standard 555 and 556 bipolar timers. Low-power consumption, combined with the virtually non-existent current spike during output transitions, make these timers the optimal solution in many applications.

Applications

Pulse Generator	Pulse Position Modulation
Precision Timing	Sequential Timing
Time Delay Generation	Missing Pulse Detector
Pulse Width Modulation	

Pin Configuration



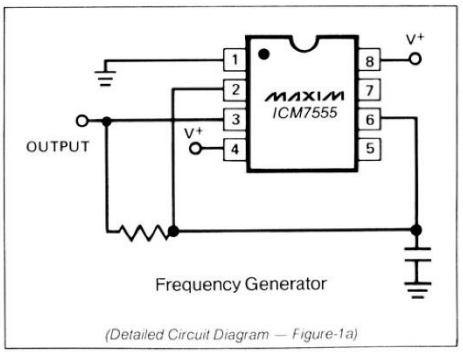
Features

- Improved 2nd Source! (See 3rd page for "Maxim Advantage™").
- Wide Supply Voltage Range: 2-18V
- No Crowbarring of Supply During Output Transition
- Adjustable Duty Cycle
- Low THRESHOLD, TRIGGER and RESET Curents
- TTL Compatible
- Monolithic, Low Power CMOS Design

Ordering Information

PART	TEMP. RANGE	PACKAGE
ICM7555IPA	-20° C to +85° C	8 Lead Plastic DIP
ICM7555IJA	-20° C to +85° C	8 Lead CERDIP
ICM7555ITV	-20° C to +85° C	TO-99 Can
ICM7555MJA	-55° C to +125° C	8 Lead CERDIP
ICM7555MTV	-55° C to +125° C	TO-99 Can
ICM7555ISA	-20° C to +85° C	8 Lead Small Outline
ICM7555/D	0° C to +70° C	Dice
ICM7556IPD	-20° C to +85° C	14 Lead Plastic DIP
ICM7556MJD	-55° C to +125° C	14 Lead CERDIP
ICM7556ISD	-20° C to +85° C	14 Lead Small Outline
ICM7556/D	0° C to +70° C	Dice

Typical Operating Circuit



(Detailed Circuit Diagram — Figure-1a)

For pricing, delivery, and ordering information, please contact Maxim/Dallas Direct! at 1-888-629-4642, or visit Maxim's website at www.maxim-ic.com.

General Purpose Timers

ABSOLUTE MAXIMUM RATINGS (Note 1)

Supply Voltage ..... +18 Volts
Input Voltage TRIGGER
Control Voltage THRESHOLD / RESET $< V^+ + 0.3V$ to $\geq -0.3V$

Output Current 100mA
Power Dissipation[2] ICM7556 ..... 300mW
ICM7555 ..... 200mW
Operating Temperature Range
ICM7555IJA (Maxim) ..... −20°C to +85°C
ICM7555ISA (Maxim) ..... −20°C to +85°C
ICM7555IPA ..... −20°C to +85°C
ICM7555ITV ..... −20°C to +85°C
ICM7556IPD ..... −20°C to +85°C
ICM7555MTV ..... −55°C to +125°C
ICM7556MJD ..... −55°C to +125°C
Storage Temperature ..... −65°C to +150°C
Lead Temperature (Soldering 60 Seconds) ..... +300°C

Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V^+ = +2$ to $+15$ volts; $T_A = 25°C$, Unless Noted)

PARAMETER	SYMBOL	TEST CONDITIONS			VALUE MIN	VALUE TYP	VALUE MAX	UNITS
Supply Voltage	V^+	$-20°C \leq T_A \leq +70°C$			2		18	V
		$-55°C \leq T_A \leq +125°C$			3		16	V
Supply Current[3]	I^+	ICM7555	$V^+ = 2V$			60	200	μA
			$V^+ = 18V$			120	300	μA
		ICM7556	$V^+ = 2V$			120	400	μA
			$V^+ = 18V$			240	600	μA
Timing Error		$R_A, R_B = 1k$ to $100k$, $C = 0.1\mu F$	$5V \leq V^+ \leq 15V$					
Initial Accuracy		Note 4				2.0	5.0	%
Drift with Temperature		Note 4	$V^+ = 5V$			50		ppm/°C
			$V^+ = 10V$			75		
			$V^+ = 15V$			100		
Drift with Supply Voltage		$V^+ = 5V$				1.0	3.0	%/V
Threshold Voltage	V_{TH}		$V^+ = 5V$		0.63	0.66	0.67	V^+
Trigger Voltage	V_{TRIG}		$V^+ = 5V$		0.29	0.33	0.34	V^+
Trigger Current	I_{TRIG}	$V^+ = 18V$				50		pA
		$V^+ = 5V$				10		pA
		$V^+ = 2V$				1		pA
Threshold Current	I_{TH}	$V^+ = 18V$				50		pA
		$V^+ = 5V$				10		pA
		$V^+ = 2V$				1		pA
Reset Current	I_{RST}	V_{RESET} = Ground	$V^+ = 18V$			100		pA
			$V^+ = 5V$			20		pA
			$V^+ = 2V$			2		pA
Reset Voltage	V_{RST}	$V^+ = 18V$			0.4	0.7	1.0	V
		$V^+ = 2V$			0.4	0.7	1.0	V
Control Voltage Lead	V_{CV}		$V^+ = 5V$		0.62	0.66	0.67	V^+
Output Voltage Drop	V_O	Output Lo	$V^+ = 18V$	$I_{SINK} = 3.2mA$		0.1	0.4	V
			$V^+ = 5V$	$I_{SINK} = 3.2mA$		0.15	0.4	V
		Output Hi	$V^+ = 18V$	$I_{SOURCE} = 1.0mA$	17.25	17.8		V
			$V^+ = 5V$	$I_{SOURCE} = 1.0mA$	4.0	4.5		V
Rise Time of Output	t_r	$R_L = 10M\Omega$	$C_L = 10pF$	$V^+ = 5V$	35	40	75	ns
Fall Time of Output	t_f	$R_L = 10M\Omega$	$C_L = 10pF$	$V^+ = 5V$	35	40	75	ns
Guaranteed Max Osc Freq	f_{max}	Astable Operation			500			kHz

Note 1: Due to the SCR structure inherent in the CMOS process used to fabricate these devices, connecting any terminal to a voltage greater than $V^+ + 0.3V$ or less than $V^- - 0.3V$ may cause destructive latchup. For this reason it is recommended that no inputs from external sources not operating from the same power supply be applied to the device before its power supply is established. In multiple systems, the supply of the ICM7555/6 must be turned on first.

Note 2: Junction temperatures should not exceed 135°C and the power dissipation must be limited to 20mW at 125°C. Below 125°C power dissipation may be increased to 300mW at 25°C. Derating factor is approximately 3mW/°C (7556) or 2mW/°C (7555).

Note 3: The supply current value is essentially independent of the TRIGGER, THRESHOLD and RESET voltages.

Note 4: Parameter is not 100% tested. Majority of all units meet this specification.

The electrical characteristics above are a reproduction of a portion of Intersil's copyrighted (1983/1984) data book. This information does not constitute any representation by Maxim that Intersil's products will perform in accordance with these specifications. The "Electrical Characteristics Table" along with the descriptive excerpts from the original manufacturer's data sheet have been included in this data sheet solely for comparative purposes.

Original Manufacturer's Electrical Characteristics Provided for Comparative Purposes

- Lower Supply Current
- Increased Output Source Current
- Guaranteed THRESHOLD, $\overline{\text{TRIGGER}}$ and $\overline{\text{RESET}}$ Input Currents
- Guaranteed Discharge Output Voltage
- Supply Current Guaranteed Over Temperature
- Significantly Improved ESD Protection (Note 6)
- Maxim Quality and Reliability

ABSOLUTE MAXIMUM RATINGS This device conforms to the Absolute Maximum Ratings on adjacent page.

ELECTRICAL CHARACTERISTICS Specifications below satisfy or exceed all "tested" parameters on adjacent page.
(V^+ = +2 to +15 volts; T_A = 25°C, unless noted.)

PARAMETER	SYMBOL	TEST CONDITIONS		MIN	TYP	MAX	UNITS
Supply Voltage	V^+	−20°C ≤ T_A ≤ +85°C −55°C ≤ T_A ≤ +125°C		2 3		16.5 16	V V
Supply Current (Note 3)	I^+	**ICM 7555**	**V^+ = 2-16.5V; T_A = +25°C** **V^+ = 5V; T_A = +25°C** **V^+ = 5V; -20°C ≤ T_A ≤ +85°C** **V^+ = 5V; -55°C ≤ T_A ≤ +125°C**		**30**	**250** **120** **250** **300**	**μA** **μA** **μA** **μA**
		ICM 7556	**V^+ = 2-16.5V; T_A = +25°C** **V^+ = 5V; T_A = +25°C** **V^+ = 5V; -20°C ≤ T_A ≤ +85°C** **V^+ = 5V; -55°C ≤ T_A ≤ +125°C**		**60**	**500** **240** **500** **600**	**μA** **μA** **μA** **μA**
Timing Error (Note 4)		Circuit of figure 1(b); $R_A = R_B$ = 100kΩ, C = 0.1μF, V^+ = 5V					
Initial Accuracy (Note 5)					2.0	5.0	%
Drift with Temperature		V^+ = 5V V^+ = 10V V^+ = 15V			50 75 100		ppm/°C ppm/°C ppm/°C
Drift with Supply Voltage		V^+ = 5V			1.0	3.0	%/V
Threshold Voltage	V_{TH}	V^+ = 5V		0.63	0.66	0.67	V^+
Trigger Voltage	V_{TRIG}	V^+ = 5V		0.29	0.33	0.34	V^+
Trigger Current	**I_{TRIG}**	**V^+ = 16.5V** V^+ = 5V V^+ = 2V			**50** 10 1		**pA** pA pA
Threshold Current	**I_{TH}**	**V^+ = 16.5V** V^+ = 5V V^+ = 2V			**50** 10 1		**pA** pA pA
Reset Current	**I_{RST}**	**V_{RESET} = Ground**	**V^+ = 16.5V** V^+ = 5V V^+ = 2V		**100** 20 2		**pA** pA pA
Reset Voltage	V_{RST}	V^+ = 16.5V V^+ = 2V		0.4 0.4	0.7 0.7	1.2 1.2	V V
Control Voltage	V_{CV}	V^+ = 5V		0.62	0.66	0.67	V^+
Output Voltage Drop	V_O	Output Lo	V^+ = 16.5V I_{SINK} = 3.2mA V^+ = 5V I_{SINK} = 3.2mA		0.1 0.15	0.4 0.4	V V
		Output Hi	**V^+ = 16.5V I_{SOURCE} = 2.0mA** **V^+ = 5V I_{SOURCE} = 2.0mA**	15.75 4.0	16.25 4.5		V V
Discharge Output Voltage	**V_{DIS}**	**V^+ = 5V, I_{DIS} = 3.2mA**			**0.1**	**0.4**	**V**
Rise Time of Output (Note 4)	t_r	R_L = 10MΩ	C_L = 10pF V^+ = 5V	35	40	75	ns
Fall Time of Output (Note 4)	t_f	R_L = 10MΩ	C_L = 10pF V^+ = 5V	35	40	75	ns
Guaranteed Max Osc. Freq. (Note 4)	f_{max}	Astable Operation		500			kHz

Note 1: Due to the SCR structure inherent in the CMOS process used to fabricate these devices, connecting any terminal to a voltage greater than V^+ +0.3V or less than V^- −0.3V may cause destructive latchup. For this reason it is recommended that no inputs from external sources not operating from the same power supply be applied to the device before its power supply is established. In multiple systems, the supply of the ICM7555/6 must be turned on first.

Note 2: Junction temperatures should not exceed 135°C and the power dissipation must be limited to 20mW at 125°C. Below 125°C power dissipation may be increased to 300mW at 25°C. Derating factor is approximately 3mW/°C (7556) or 2mW/°C (7555).

Note 3: The supply current value is essentially independent of the $\overline{\text{TRIGGER}}$, THRESHOLD AND $\overline{\text{RESET}}$ voltages.

Note 4: Parameter is not 100% tested. Majority of all units meet this specification.

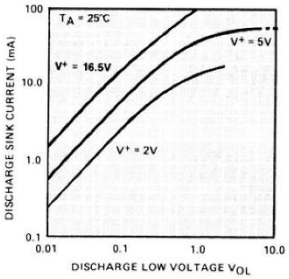
Note 5: Deviation from f = 1.46/(R_A + 2 R_B)C, V^+ = 5V.

Note 6: All pins are designed to withstand electrostatic discharge (ESD) levels in excess of 2000V. (Mil Std 883B, Method 3015.1 Test Circuit.)

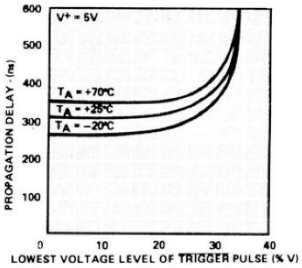
General Purpose Timers

Typical Operating Characteristics

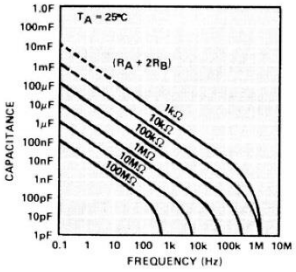
DISCHARGE OUTPUT CURRENT AS A FUNCTION OF DISCHARGE OUTPUT VOLTAGE



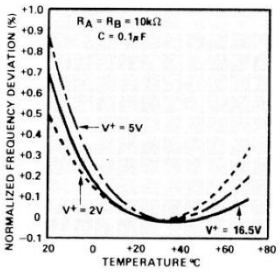
PROPAGATION DELAY AS A FUNCTION OF VOLTAGE LEVEL OF TRIGGER PULSE



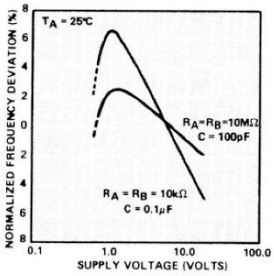
FREE RUNNING FREQUENCY AS A FUNCTION OF R_A, R_B AND C



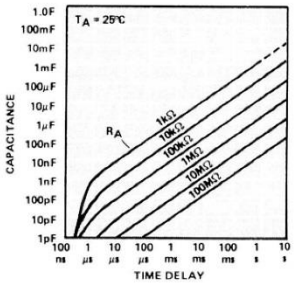
NORMALIZED FREQUENCY STABILITY IN THE ASTABLE MODE AS A FUNCTION OF TEMPERATURE



NORMALIZED FREQUENCY STABILITY IN THE ASTABLE MODE AS A FUNCTION OF SUPPLY VOLTAGE

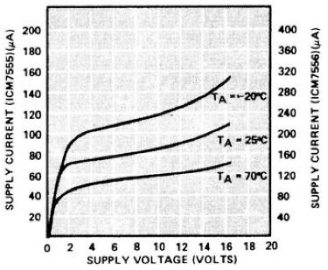


TIME DELAY IN THE MONOSTABLE MODE AS A FUNCTION OF R_A AND C

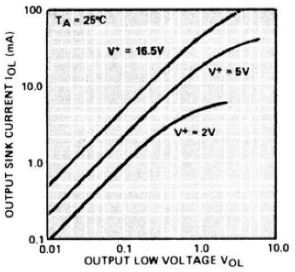


Typical Operating Characteristics

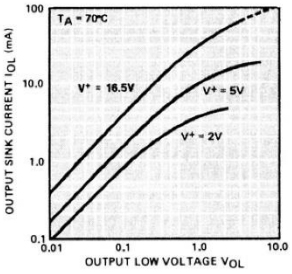
SUPPLY CURRENT AS A FUNCTION OF SUPPLY VOLTAGE



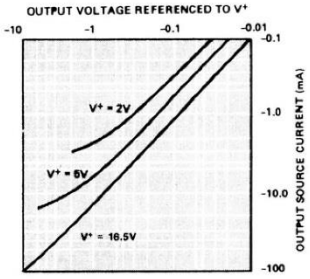
OUTPUT SINK CURRENT AS A FUNCTION OF OUTPUT VOLTAGE



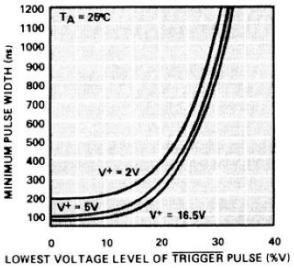
OUTPUT SINK CURRENT AS A FUNCTION OF OUTPUT VOLTAGE



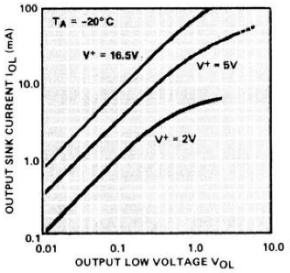
OUTPUT SOURCE CURRENT AS A FUNCTION OF OUTPUT VOLTAGE



MINIMUM PULSE WIDTH REQUIRED FOR TRIGGERING



OUTPUT SINK CURRENT AS A FUNCTION OF OUTPUT VOLTAGE



General Purpose Timers

Detailed Description

Both the ICM7555 timer and the ICM7556 dual timer can be configured for either astable or monostable operation. In the astable mode the free running frequency and the duty cycle are controlled by two external resistors and one capacitor. Similarly, the pulse width in the monostable mode is precisely controlled by one external resistor and capacitor.

The external component count is decreased when replacing a bipolar timer with the ICM7555 or ICM7556. The bipolar devices produce large crowbar currents in the output driver. To compensate for this spike, a capacitor is used to decouple the power supply lines. The CMOS timers produce supply spikes of only 2-3mA vs. 300-400mA (Bipolar), therefore supply decoupling is typically not needed. This current spike comparison is illustrated in Figure 3. Another component is eliminated at the control voltage pin. These CMOS timers, due to the high impedance inputs of the comparators, do not require decoupling capacitors on the control voltage pin.

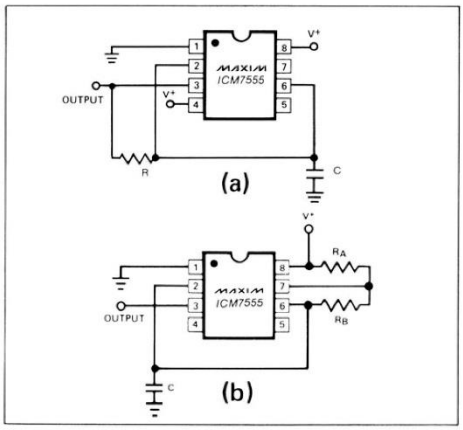


Figure 1. Maxim ICM7555 used in two different astable configurations.

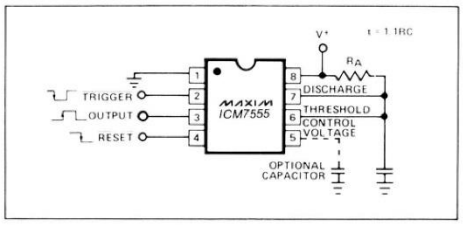


Figure 2. Maxim ICM7555 in a monostable operation.

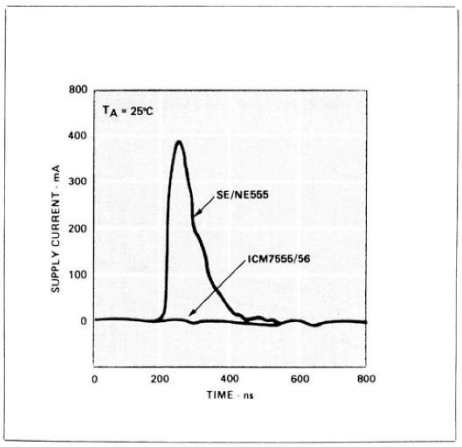


Figure 3. Supply current transient compared with a standard bipolar 555 during an output transition.

Applications Information

Astable Operation

We recommend either of the two astable circuit configurations illustrated in Figure 1. The circuit in (1a) provides a 50% duty cycle output using one timing resistor and capacitor. The oscillator waveform across the capacitor is symmetrical and triangular, swinging from ⅓ to ⅔ of the supply voltage. The frequency generated is defined by:

$$f = \frac{1}{1.4\,RC}$$

The circuit in (1b) provides a means of varying the duty cycle of the oscillator. The frequency is defined by:

$$f = \frac{1.46}{(R_A + 2R_B)C}$$

The duty cycle is:

$$D = \frac{R_B}{R_A + 2R_B}$$

Monostable Operation

The circuit diagram in Figure 2 illustrates monostable operation. In this mode the timer acts as a one shot. Initially the external capacitor is held discharged by the discharge output. Upon application of a negative $\overline{\text{TRIGGER}}$ pulse to pin 2, the capacitor begins to charge exponentially through R_A. The device resets after the voltage across the capacitor reaches ⅔(V^+).

$$t_{output} = -\ln(⅓)R_AC = 1.1\,R_AC$$

Reset

The reset function is significantly improved over the standard bipolar 555 and 556 in that it controls only the internal flip-flop, which in turn simultaneously controls the state of the Output and Discharge pins. This avoids the multiple threshold problems sometimes encountered with slow-falling edges of the bipolar devices. This input is designed to have essentially the same trip voltage as the standard bipolar devices (0.6 to 0.7V). At all supply voltages this input maintains an extremely high impedance.

Control Voltage

The control voltage regulates the two trip voltages for the THRESHOLD and $\overline{\text{TRIGGER}}$ internal comparators. This pin can be used for frequency modulation in the astable mode. By varying the applied voltage to the control voltage pin, delay times can be changed in the monostable mode.

Power Supply Considerations

Since the $\overline{\text{TRIGGER}}$, THRESHOLD and Discharge leakage currents are very low, high impedance timing components may be used, keeping total system supply current at a minimum.

Output Drive Capability

The CMOS output stage is capable of driving most logic families including CMOS and TTL. The ICM7555 and ICM7556 will drive at least two standard TTL loads at a supply voltage of 4.5V or greater. When driving CMOS, the output swing at all supply voltage levels will equal the supply voltage.

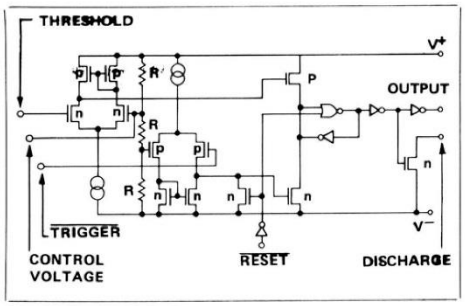


Figure 5. Equivalent circuit.

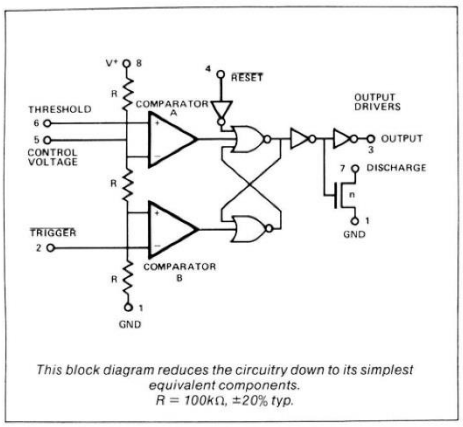
Function Table

RESET	TRIGGER VOLTAGE†	THRESHOLD VOLTAGE†	OUTPUT	DISCHARGE SWITCH
Low	Irrelevant	Irrelevant	Low	On
High	$< \frac{1}{3} V^+$	Irrelevant	High	Off
High	$> \frac{1}{3} V^+$	$> \frac{2}{3} V^+$	Low	On
High	$> \frac{1}{3} V^+$	$< \frac{2}{3} V^+$	As previously established	

†Voltages levels shown are nominal.

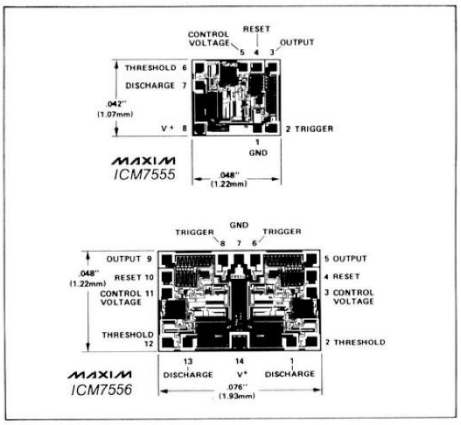
NOTE: $\overline{\text{RESET}}$ will dominate all other inputs. $\overline{\text{TRIGGER}}$ will dominate over THRESHOLD.

Chip Topographies



This block diagram reduces the circuitry down to its simplest equivalent components.
R = 100kΩ, ±20% typ.

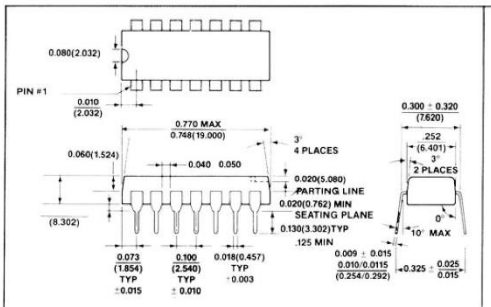
Figure 4. Block diagram of ICM7555.



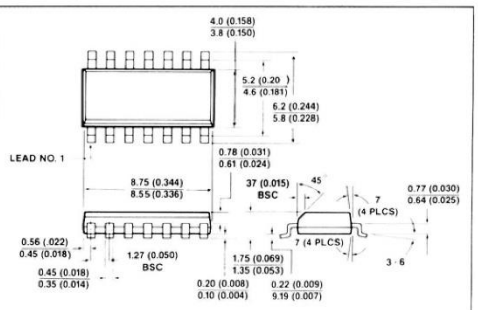
General Purpose Timers

Package Information

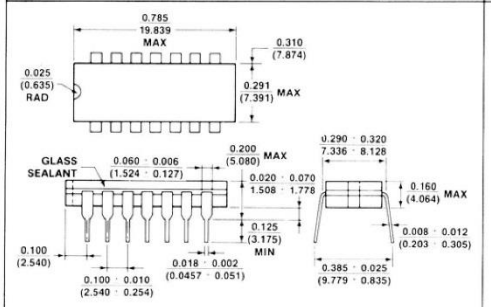
(The package drawing(s) in this data sheet may not reflect the most current specifications. For the latest package outline information go to **www.maxim-ic.com/packages**.)



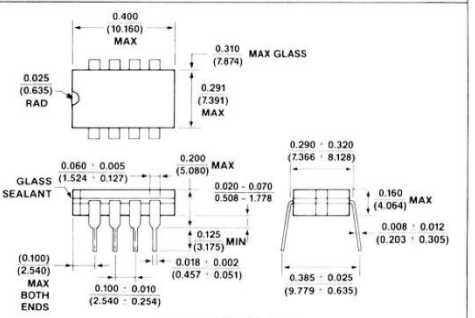
14 Lead Plastic DIP (PD)
θ_{JA} = 140° C/W
θ_{JC} = 70° C/W



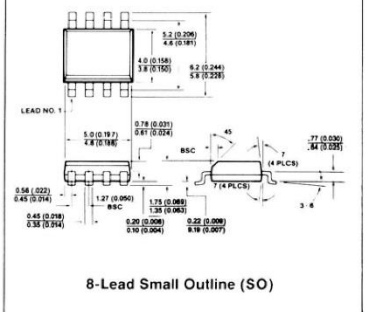
14-Lead Small Outline (SO)



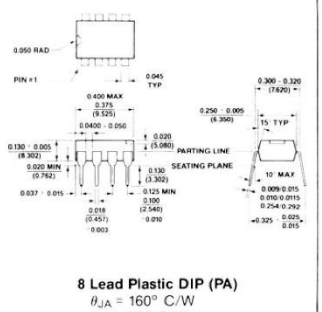
14 Lead CERDIP (JD)
θ_{JA} = 105° C/W
θ_{JC} = 50° C/W



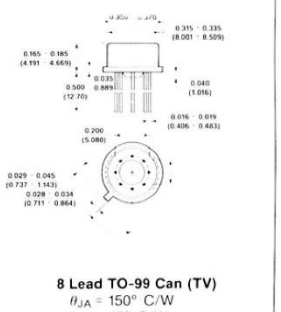
8 Lead CERDIP (JA)
θ_{JA} = 125° C/W
θ_{JC} = 55° C/W



8-Lead Small Outline (SO)



8 Lead Plastic DIP (PA)
θ_{JA} = 160° C/W
θ_{JC} = 75° C/W



8 Lead TO-99 Can (TV)
θ_{JA} = 150° C/W
θ_{JC} = 45° C/W

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

© 1994 Maxim Integrated Products Printed USA MAXIM is a registered trademark of Maxim Integrated Products.

Annexe 7. Datasheet circuit Maxim MAX4684

19-1977; Rev 4; 1/09

MAXIM

0.5Ω/0.8Ω Low-Voltage, Dual SPDT Analog Switches in UCSP

MAX4684/MAX4685

General Description

The MAX4684/MAX4685 low on-resistance (R_{ON}), low-voltage, dual single-pole/double-throw (SPDT) analog switches operate from a single +1.8V to +5.5V supply. The MAX4684 features a 0.5Ω (max) R_{ON} for its NC switch and a 0.8Ω (max) R_{ON} for its NO switch at a +2.7V supply. The MAX4685 features a 0.8Ω max on-resistance for both NO and NC switches at a +2.7V supply.

Both parts feature break-before-make switching action (2ns) with t_{ON} = 50ns and t_{OFF} = 40ns at +3V. The digital logic inputs are 1.8V logic-compatible with a +2.7V to +3.3V supply.

The MAX4684/MAX4685 are packaged in the chipscale package (UCSP)™, significantly reducing the required PC board area. The chip occupies only a 2.0mm × 1.50mm area. The 4 × 3 array of solder bumps are spaced with a 0.5mm bump pitch.

Features

- **12-Bump, 0.5mm-Pitch UCSP**
- **NC Switch R_{ON}**
  0.5Ω max (+2.7V Supply) (MAX4684)
  0.8Ω max (+2.7V Supply) (MAX4685)
- **NO Switch R_{ON}**
  0.8Ω max (+2.7V Supply)
- **R_{ON} Match Between Channels**
  0.06Ω (max)
- **R_{ON} Flatness Over Signal Range**
  0.15Ω (max)
- **+1.8V to +5.5V Single-Supply Operation**
- **Rail-to-Rail Signal Handling**
- **1.8V Logic Compatibility**
- **Low Crosstalk: -68dB (100kHz)**
- **High Off-Isolation: -64dB (100kHz)**
- **THD: 0.03%**
- **50nA (max) Supply Current**
- **Low Leakage Currents**
  1nA (max) at T_A = +25°C

Applications

Speaker Headset Switching
MP3 Players
Power Routing
Battery-Operated Equipment
Relay Replacement
Audio and Video Signal Routing
Communications Circuits
PCMCIA Cards
Cellular Phones
Modems

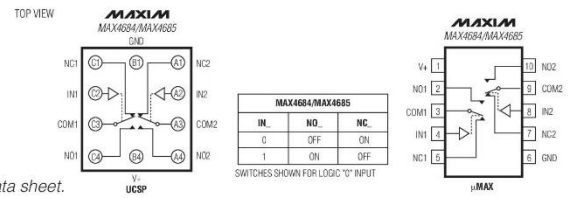
UCSP is a trademark of Maxim Integrated Products, Inc.
µMAX is a registered trademark of Maxim Integrated Products, Inc.

Ordering Information

PART	TEMP RANGE	PIN/BUMP-PACKAGE	TOP MARK
MAX4684EBC+T	-40°C to +85°C	12 UCSP*	AAF
MAX4684ETB+T	-40°C to +85°C	10 TDFN-EP**	AAG
MAX4684EUB+T	-40°C to +85°C	10 µMAX®	—
MAX4685EBC+T	-40°C to +85°C	12 UCSP*	AAG
MAX4685ETB+T	-40°C to +85°C	10 TDFN-EP**	AAH
MAX4685EUB+T	-40°C to +85°C	10 µMAX	—

+Denotes a lead(Pb)-free/RoHS-compliant package.
***Note:** Requires special solder temperature profile described in the Absolute Maximum Ratings section.*
**UCSP reliability is integrally linked to the user's assembly methods, circuit board material, and environment. Refer to the UCSP Reliability Notice in the UCSP Reliability section of this data sheet for more information.*
***EP = Exposed Pad*
T = Tape and reel.

Pin Configurations/Functional Diagrams/Truth Table



MAX4684/MAX4685		
IN_	NO_	NC_
0	OFF	ON
1	ON	OFF

SWITCHES SHOWN FOR LOGIC "0" INPUT

Continued at end of data sheet.

For pricing, delivery, and ordering information, please contact Maxim Direct at 1-888-629-4642, or visit Maxim's website at www.maxim-ic.com.

0.5Ω/0.8Ω Low-Voltage, Dual SPDT Analog Switches in UCSP

ABSOLUTE MAXIMUM RATINGS

(All Voltages Referenced to GND)
V+, IN_.....-0.3V to +6V
COM_, NO_, NC_ (Note1) ..... -0.3V to (V+ + 0.3V)
Continuous Current NO_, NC_, COM_ ..... ±300mA
Peak Current NO_, NC_, COM_
(pulsed at 1ms, 50% duty cycle).....±400mA
Peak Current NO_, NC_, COM_
(pulsed at 1ms, 10% duty cycle).....±500mA

Continuous Power Dissipation (T_A = +70°C)
10-Pin TDFN (derate 18.5mW/°C above +70°C).....1482mW
12-Bump UCSP (derate 11.4mW/°C above +70°C) ...909mW
10-Pin µMAX (derate 5.6mW/°C above +70°C).....444mW
Operating Temperature Ranges.....-40°C to +85°C
Storage Temperature Range.....-65°C to +150°C
Lead Temperature (soldering, 10s) .....+300°C
Bump Temperature (soldering) (Note 2)
Infared (15s).....+220°C
Vapor Phase (60s) .....+215°C

Note 1: Signals on NO_, NC_, and COM_ exceeding V+ or GND are clamped by internal diodes. Limit forward-diode current to maximum current rating.

Note 2: This device is constructed using a unique set of packaging techniques that impose a limit on the thermal profile the device can be exposed to during board level solder attach and rework. This limit permits only the use of the solder profiles recommended in the industry-standard specification, JEDEC 020A, paragraph 7.6, Table 3 for IR/VPR and Convection reflow. Preheating is required. Hand or wave soldering is not allowed.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—+3V SUPPLY

(V+ = +2.7V to +3.3V, V_{IH} = +1.4V, V_{IL} = +0.5V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at +3V and +25°C.) (Notes 3, 9, 10)

PARAMETER	SYMBOL	CONDITIONS		T_A	MIN	TYP	MAX	UNITS
ANALOG SWITCH								
Analog Signal Range	$V_{NO_}$, $V_{NC_}$, $V_{COM_}$			E	0		V+	V
NC_ On-Resistance (Note 4)	$R_{ON(NC)}$	V+ = 2.7V; $I_{COM_}$ = 100mA; $V_{NC_}$ = 0 to V+	MAX4684	+25°C		0.3	0.5	Ω
				E			0.5	
			MAX4685	+25°C		0.45	0.8	
				E			0.8	
NO_ On-Resistance (Note 4)	$R_{ON(NO)}$	V+ = 2.7V; $I_{COM_}$ = 100mA; $V_{NO_}$ = 0 to V+		+25°C		0.45	0.8	Ω
				E			0.8	
On-Resistance Match Between Channels (Notes 4, 5)	ΔR_{ON}	V+ = 2.7V; $I_{COM_}$ = 100mA; $V_{NO_}$ or $V_{NC_}$ = 1.5V		+25°C			0.06	Ω
				E			0.06	
NC_ On-Resistance Flatness (Note 6)	$R_{FLAT\ (NC)}$	V+ = 2.7V; I_{COM} = 100mA; $V_{NC_}$ = 0 to V+	MAX4684	E			0.15	Ω
			MAX4685	E			0.35	
NO_ On-Resistance Flatness (Note 6)	$R_{FLAT\ (NO)}$	V+ = 2.7V; I_{COM} = 100mA; $V_{NO_}$ = 0 to V+		E			0.35	Ω
NO_ or NC_ Off-Leakage Current (Note 7)	$I_{NO_}$(OFF) or $I_{NC_}$(OFF)	V+ = 3.3V; $V_{NO_}$ or $V_{NC_}$ = 3V, 0.3V; $V_{COM_}$ = 0.3V, 3V		+25°C	-1		1	nA
				E	-10		10	
COM_ On-Leakage Current (Note 7)	$I_{COM_}$(ON)	V+ = 3.3V; $V_{NO_}$ or $V_{NC_}$ = 3V, 0.3V, or unconnected; $V_{COM_}$ = 3V, 0.3V, or unconnected		+25°C	-2		2	nA
				E	-20		20	
DYNAMIC CHARACTERISTICS								
Turn-On Time	t_{ON}	V+ = 2.7V, $V_{NO_}$ or $V_{NC_}$ = 1.5V; R_L = 50Ω; C_L = 35pF; Figure 2		+25°C		30	50	ns
				E			60	

ELECTRICAL CHARACTERISTICS—+3V SUPPLY (continued)

($V+$ = +2.7V to +3.3V, V_{IH} = +1.4V, V_{IL} = +0.5V, $T_A = T_{MIN}$ to T_{MAX}, unless otherwise noted. Typical values are at +3V and +25°C.) (Notes 3, 9, 10)

PARAMETER	SYMBOL	CONDITIONS	T_A	MIN	TYP	MAX	UNITS
Turn-Off Time	t_{OFF}	V+ = 2.7V, $V_{NO_}$ or $V_{NC_}$ = 1.5V; R_L = 50Ω; C_L = 35pF; Figure 2	+25°C		25	30	ns
			E			40	
Break-Before-Make Delay	t_{BBM}	V+ = 2.7V, $V_{NO_}$, or $V_{NC_}$ = 1.5V; R_L = 50Ω; C_L = 35pF; Figure 3	E	2	15		ns
Charge Injection	Q	COM_ = 0; R_S = 0; C_L = 1nF; Figure 4	+25°C		200		pC
Off-Isolation (Note 8)	V_{ISO}	C_L = 5pF; R_L = 50Ω; f = 100kHz; $V_{COM_}$ = 1V_{RMS}; Figure 5	+25°C		-64		dB
Crosstalk	V_{CT}	C_L = 5pF; R_L = 50Ω; f = 100kHz; $V_{COM_}$ = 1V_{RMS}; Figure 5	+25°C		-68		dB
Total Harmonic Distortion	THD	R_L = 600Ω, IN_ = 2Vp-p, f = 20Hz to 20kHz	+25°C		0.03		%
NC_ Off-Capacitance	$C_{NC_(OFF)}$	f = 1MHz; Figure 6	+25°C		84		pF
NO_ Off-Capacitance	$C_{NO_(OFF)}$	f = 1MHz; Figure 6	+25°C		37		pF
NC_ On-Capacitance	$C_{NC_(ON)}$	f = 1MHz; Figure 6	+25°C		190		pF
NO_ On-Capacitance	$C_{NO_(ON)}$	f = 1MHz; Figure 6	+25°C		150		pF
DIGITAL I/O							
Input Logic High	V_{IH}		E	1.4			V
Input Logic Low	V_{IL}		E			0.5	V
IN_ Input Leakage Current	$I_{IN_}$	$V_{IN_}$ = 0 or V+	E	-1		1	µA
POWER SUPPLY							
Power-Supply Range	V+		E	1.8		5.5	V
Supply Current (Note 4)	I+	V+ = 5.5V; $V_{IN_}$ = 0 or V+	+25°C	-50	0.04	50	nA
			E	-200		200	

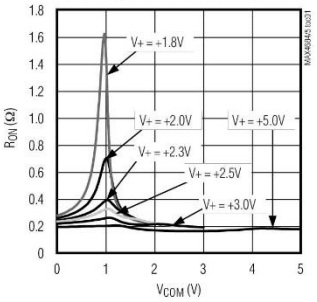
Note 3: The algebraic convention used in this data sheet is where the most negative value is a minimum and the most positive value a maximum.
Note 4: Guaranteed by design.
Note 5: $\Delta R_{ON} = R_{ON(MAX)} - R_{ON(MIN)}$, between NC1 and NC2 or between NO1 and NO2.
Note 6: Flatness is defined as the difference between the maximum and minimum value of on-resistance as measured over the specified analog signal ranges.
Note 7: Leakage parameters are 100% tested at T_A = +85°C, and guaranteed by correlation over rated temperature range.
Note 8: Off-isolation = $20\log_{10}(V_{COM} / V_{NO})$, V_{COM} = output, V_{NO} = input to off switch.
Note 9: UCSP and TDFN parts are 100% tested at +25°C only and guaranteed by design and correlation at the full hot-rated temperature.
Note 10: -40°C specifications are guaranteed by design.

0.5Ω/0.8Ω Low-Voltage, Dual SPDT Analog Switches in UCSP

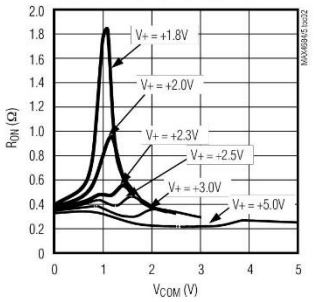
Typical Operating Characteristics

(T_A = +25°C, unless otherwise noted.)

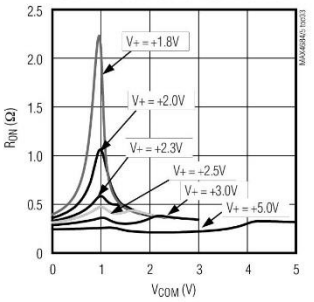
MAX4684
NC ON-RESISTANCE vs. COM VOLTAGE



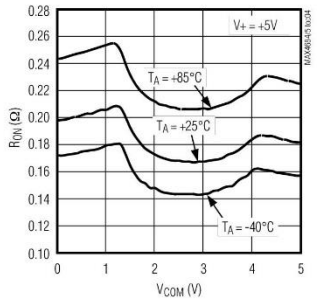
MAX4685
NC ON-RESISTANCE vs. COM VOLTAGE



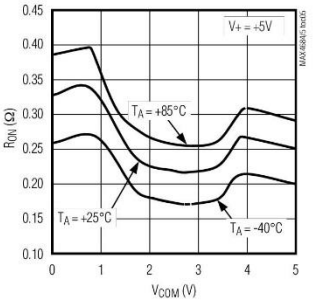
NO ON-RESISTANCE vs. COM VOLTAGE



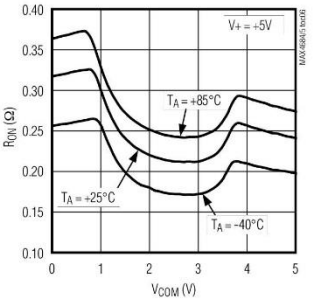
MAX4684
NC ON-RESISTANCE vs. COM VOLTAGE



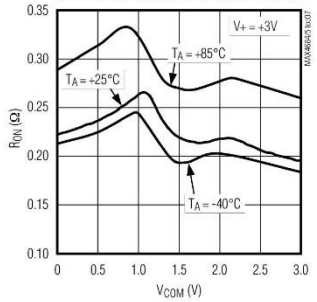
MAX4685
NC ON-RESISTANCE vs. COM VOLTAGE



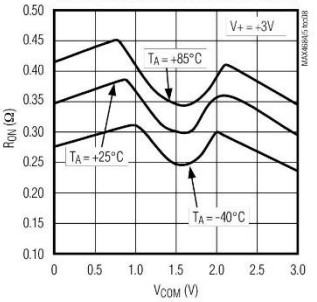
NO ON-RESISTANCE vs. COM VOLTAGE



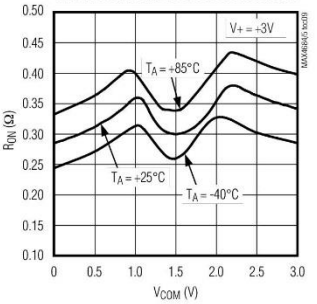
MAX4684
NC ON-RESISTANCE vs. COM VOLTAGE



MAX4685
NC ON-RESISTANCE vs. COM VOLTAGE



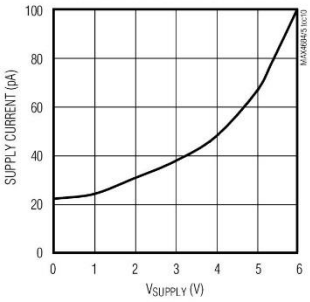
NO ON-RESISTANCE vs. COM VOLTAGE



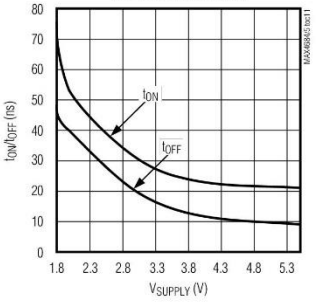
Typical Operating Characteristics (continued)

(T_A = +25°C, unless otherwise noted.)

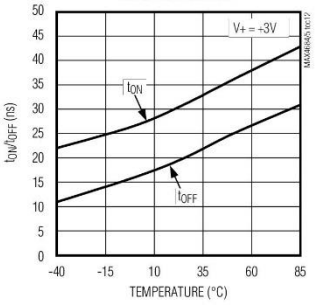
SUPPLY CURRENT vs. SUPPLY VOLTAGE



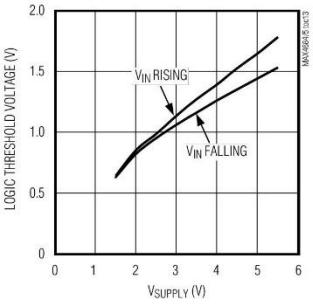
TURN-ON/TURN-OFF TIMES vs. SUPPLY VOLTAGE



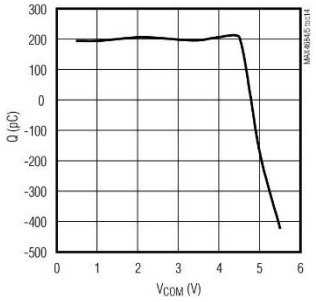
TURN-ON/TURN-OFF TIMES vs. TEMPERATURE



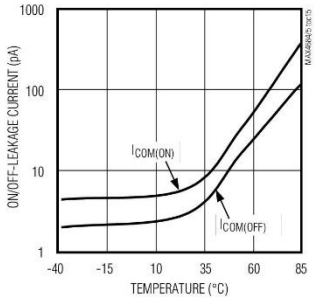
LOGIC THRESHOLD VOLTAGE vs. SUPPLY VOLTAGE



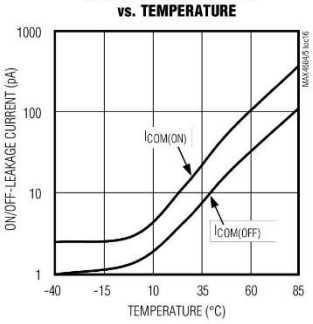
CHARGE INJECTION vs. COM VOLTAGE



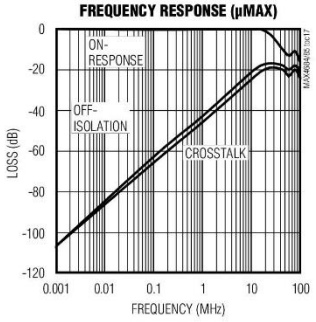
MAX4684 ON/OFF-LEAKAGE CURRENT vs. TEMPERATURE



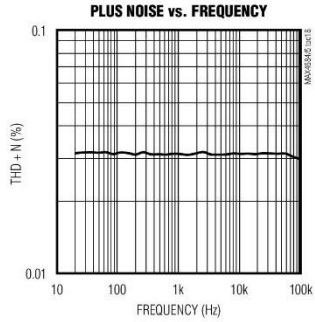
MAX4685 ON/OFF-LEAKAGE CURRENT vs. TEMPERATURE



FREQUENCY RESPONSE (µMAX)



TOTAL HARMONIC DISTORTION PLUS NOISE vs. FREQUENCY



0.5Ω/0.8Ω Low-Voltage, Dual SPDT Analog Switches in UCSP

Pin Description

NAME	PIN		FUNCTION
	UCSP	µMAX/TDFN	
NC_	A1, C1	5, 7	Analog Switch—Normally Closed Terminal
IN_	A2, C2	4, 8	Digital Control Input
COM_	A3, C3	3, 9	Analog Switch—Common Terminal
NO_	A4, C4	2, 10	Analog Switch—Normally Open Terminal
V+	B4	1	Positive Supply Voltage Input
GND	B1	6	Ground
EP	—	—	Exposed Pad. Connect EP to GND (for TDFN only.)

Detailed Description

The MAX4684/MAX4685 are low on-resistance, low-voltage, dual SPDT analog switches that operate from a +1.8V to +5.5V supply. The devices are fully specified for nominal 3V applications. The MAX4684/MAX4685 have break-before-make switching and fast switching speeds (t_{ON} = 50ns max, t_{OFF} = 40ns max).

The MAX4684 offers asymmetrical normally closed (NC) and normally open (NO) R_{ON} for applications that require asymmetrical loads (examples include speaker headsets and internal speakers). The part features a 0.5Ω max R_{ON} for its NC switch and a 0.8Ω max RON for its NO switch at the 2.7V supply. The MAX4685 features a 0.8Ω max on-resistance for both NO and NC switches at the +2.7V supply.

Applications Information

Digital Control Inputs

The MAX4684/MAX4685 logic inputs accept up to +5.5V regardless of supply voltage. For example, with a +3.3V supply, IN_ may be driven low to GND and high to 5.5V. Driving IN_ rail-to-rail minimizes power consumption. Logic levels for a +1.8V supply are 0.5V (low) and 1.4V (high).

Analog Signal Levels

Analog signals that range over the entire supply voltage (V+ to GND) are passed with very little change in on-resistance (see *Typical Operating Characteristics*). The switches are bidirectional, so the NO_, NC_, and COM_ pins can be either inputs or outputs.

Power-Supply Sequencing and Overvoltage Protection

Caution: Do not exceed the absolute maximum ratings because stresses beyond the listed ratings may cause permanent damage to devices.

Proper power-supply sequencing is recommended for all CMOS devices. Always apply V+ before applying analog signals, especially if the analog signal is not current limited. If this sequencing is not possible, and if the analog inputs are not current limited to <20mA, add a small signal diode (D1) as shown in Figure 1. Adding a protection diode reduces the analog range to a diode drop (about 0.7V) below V+ (for D1). R_{ON} increases slightly at low supply voltages. Maximum supply voltage (V+) must not exceed +6V. Protection diode D1 also protects against some overvoltage situations. No damage will result on Figure 1's circuit if the supply voltage is below the absolute maximum rating applied to an analog signal pin.

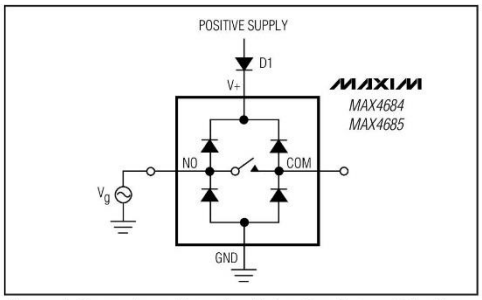


Figure 1. Overvoltage Protection Using Two External Blocking Diodes

UCSP Package Consideration

For general UCSP package information and PC layout considerations, please refer to the Maxim Application Note (Wafer-Level Ultra-Chip-Board-Scale Package).

UCSP Reliability

The chip-scale package (UCSP) represents a unique packaging form factor that may not perform equally to a packaged product through traditional mechanical reliability tests. UCSP reliability is integrally linked to the user's assembly methods, circuit board material, and usage environment. The user should closely review these areas when considering use of a UCSP package. Performance through Operating Life Test and Moisture Resistance remains uncompromised as it is primarily determined by the wafer-fabrication process.

Mechanical stress performance is a greater consideration for a UCSP package. UCSPs are attached through direct solder contact to the user's PC board, foregoing the inherent stress relief of a packaged product lead frame. Solder joint contact integrity must be considered. Information on Maxim's qualification plan, test data, and recommendations are detailed in the UCSP application note, which can be found on Maxim's website at www.maxim-ic.com.

Chip Information

PROCESS: BiCMOS

Test Circuits/Timing Diagrams

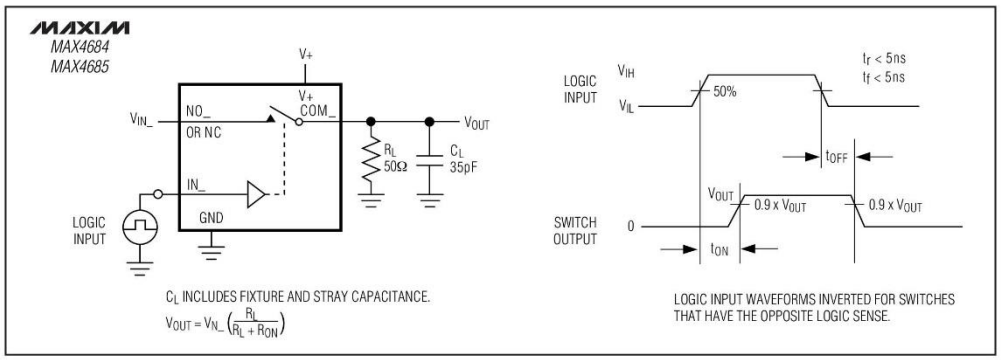


Figure 2. Switching Time

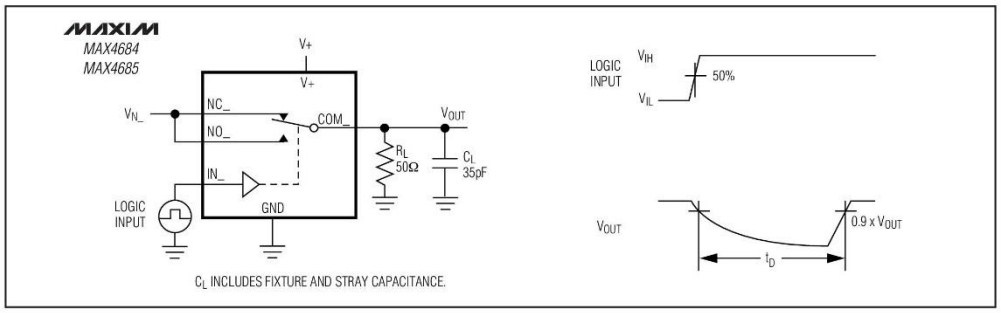


Figure 3. Break-Before-Make Interval

0.5Ω/0.8Ω Low-Voltage, Dual SPDT Analog Switches in UCSP

Test Circuits/Timing Diagrams (continued)

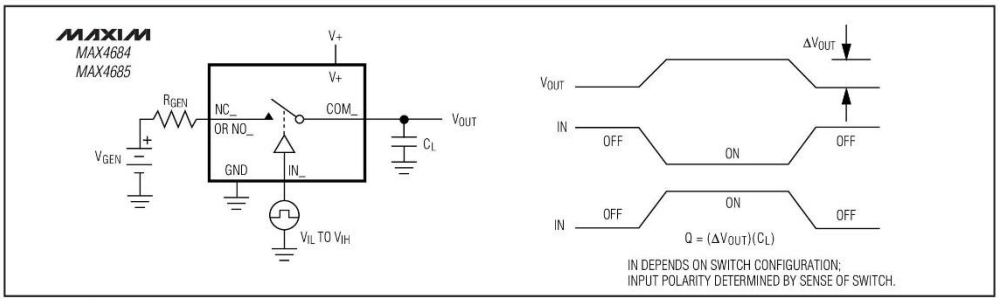


Figure 4. Charge Injection

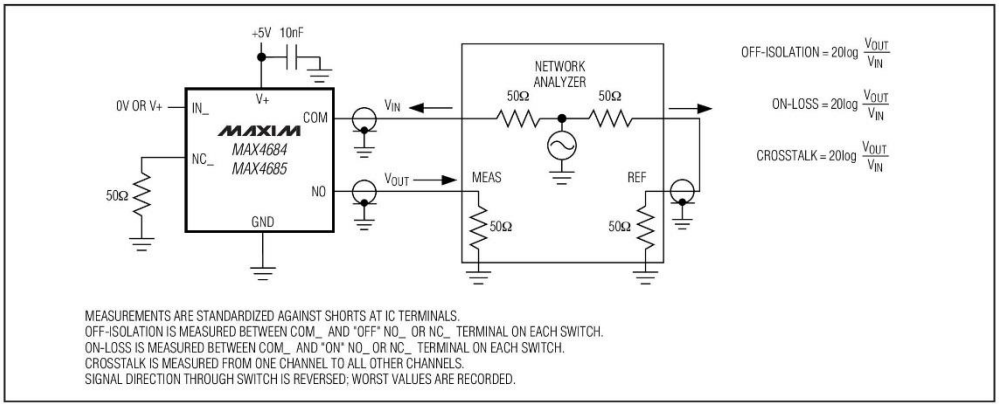


Figure 5. On-Loss, Off-Isolation, and Crosstalk

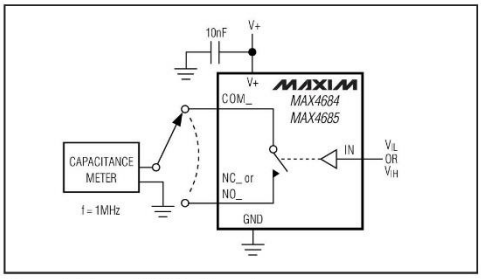
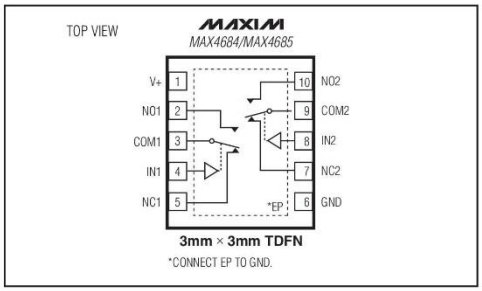


Figure 6. Channel Off/On-Capacitance

Pin Configurations (continued)



Package Information

For the latest package outline information and land patterns, go to **www.maxim-ic.com/packages**.

PACKAGE TYPE	PACKAGE CODE	DOCUMENT NO.
12 UCSP	B12-4	21-0104
10 TDFN-EP	T1033-1	21-0137
10 µMAX	U10-2	21-0061

0.5Ω/0.8Ω Low-Voltage, Dual SPDT Analog Switches in UCSP

Revision History

REVISION NUMBER	REVISION DATE	DESCRIPTION	PAGES CHANGES
3	2/03	Added TDFN packaging, noted parts are now UCSP qualified	—
4	1/09	Added lead-free packaging and exposed pad note	1, 2, 6–9

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

© 2009 Maxim Integrated Products MAXIM is a registered trademark of Maxim Integrated Products.

Annexe 8. Datasheet circuit AXICOM 5-1472037-3

TE connectivity RELAY PRODUCTS

Signal Relays

AXICOM

IM Relay

- **Slim line 10x6mm, low profile 5.65mm and min. board-space 60mm²**
- **Switching current 2/5A, switching power 60W/62.5VA and switching voltage 220VDC/250VAC**
- **Low coil power consumption, 140mW standard, 100mW for high sensitive version, 50mW for ultra high sensitive version and 100mW for bistable version**
- **High dielectric and surge capability up to 2500Vrms between open contacts and 3000Vrms between coil and contacts**
- **High mechanical shock resistance up to 300g functional**

IM_

Typical applications
Telecommunication, access and transmission equipment, optical network terminals, modems, office and business equipment, consumer electronics, measurement and test equipment, industrial control, medical equipment, automotive applications

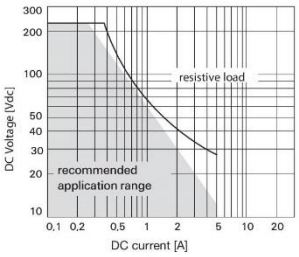
Approvals

UL 508 File No. E 111441

Technical data of approved types on request

Contact Data	standard, C	D	P
	standard and high dielectric version	high current version	high contact stability version
Contact arrangement	2 form C, 2 CO		
Max. switching voltage	220VDC, 250VAC	220VDC, 250VAC	220VDC, 250VAC
Rated current	2A	5A	2A
Limiting continuous current	2A	5A	2A
Switching power	60W, 62.5VA		
Contact material	PdRu +Au covered	AgNi +Au covered	PdRu +Au covered
Contact style	twin contacts		
Minimum switching voltage	100µV		
Initial contact resistance	<50mΩ at 10mA/20mV		
Thermoelectric potential	<10µV		
Operate time	typ. 1ms, max. 3ms		
Release time			
without diode in parallel	typ. 1ms, max. 3ms		
with diode in parallel	typ. 3ms, max. 5ms		
Bounce time max.	typ. 1ms, max. 5ms		

Max. DC load breaking capacity



Contact Data (continued)

Electrical endurance	
at contact application 0 (≤30mV/≤10mA)	min. 2.5x10⁶ operations
cable load open end	min. 2.0x10⁶ operations
resistive, 125VDC / 0.24A - 30W	min. 5x10⁵ operations
resistive, 220 VDC / 0.27A - 60W	min. 1x10⁵ operations
resistive, 250VAC / 0.25A - 62.5VA	min. 1x10⁵ operations
resistive, 30VDC / 1A - 30W	min. 5x10⁵ operations
resistive, 30VDC / 2A - 60W	min. 1x10⁵ operations
Contact ratings, UL	220VDC, 0.24A, 60W 125VDC, 0.24A, 30W 250VAC, 0.25A, 62.5VA 125VAC, 0.5A, 62.5VA 30VDC, 2A, 60W
Mechanical endurance	10⁸ operations

Coil Data

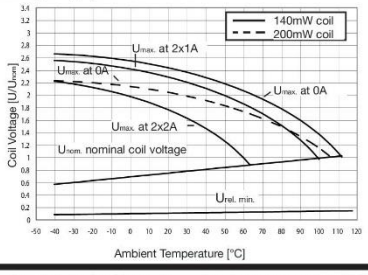
Magnetic system	monostable, bistable
Coil voltage range	1.5 to 24VDC

Coil versions, standard version, monostable, 1 coil

Coil code	Rated voltage VDC	Operate voltage VDC	Release voltage VDC	Coil resistance Ω±10%	Rated coil power mW
00	1.5	1.13	0.15	16	140
08	2.4	1.80	0.24	41	140
01	3	2.25	0.30	64	140
02	4.5	3.38	0.45	145	140
03	5	3.75	0.50	178	140
04	6	4.50	0.60	257	140
05	9	6.75	0.90	579	140
06	12	9.00	1.20	1029	140
07	24	18.00	2.40	2880	200

All figures are given for coil without pre-energization, at ambient temperature +23°C

Coil operating range, standard version



04-2011, Rev. 0411
www.te.com
© 2011 Tyco Electronics Corporation, a TE Connectivity Ltd. company

Datasheets and product specification according to IEC 61810-1 and to be used only together with the 'Definitions' section.

Datasheets and product data is subject to the terms of the disclaimer and all chapters of the 'Definitions' section, available at http://relays.te.com/definitions

Datasheets, product data, 'Definitions' section, application notes and all specifications are subject to change.

IM Relay (Continued)

Coil Data (continued)

Coil versions, sensitive version, monostable, 1 coil

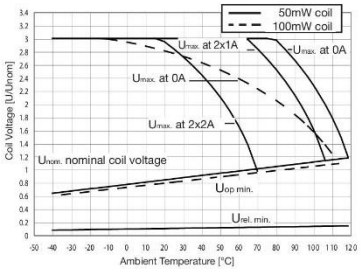
Coil code	Rated voltage VDC	Operate voltage VDC	Release voltage VDC	Coil resistance Ω±10%	Rated coil power mW
11	3	2.40	0.30	91	100
12	4.5	3.60	0.45	194	100
13	5	4.00	0.50	234	100
16	12	9.60	1.20	1315	110
17	24	19.20	2.40	4120	140

Coil versions, ultra high sensitive version, monostable, 1 coil

Coil code	Rated voltage VDC	Operate voltage VDC	Release voltage VDC	Coil resistance Ω±10%	Rated coil power mW
21	3	2.55	0.30	180	50
22	4.5	3.83	0.45	405	50
23	5	4.25	0.50	500	50
26	12	10.20	1.20	2880	50

All figures are given for coil without pre-energization, at ambient temperature +23°C

Coil operating range, sensitive and ultra high sensitive coil

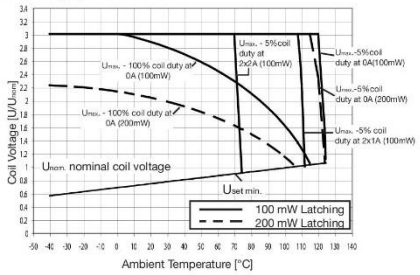


Coil versions, standard, bistable 1 coil

Coil code	Rated voltage VDC	Set voltage VDC	Reset voltage VDC	Coil resistance Ω±10%	Rated coil power mW
40	1.5	1.13	-1.13	23	100
48	2.4	1.80	-1.80	58	100
41	3	2.25	-2.25	90	100
42	4.5	3.38	-3.38	203	100
43	5	3.75	-3.75	250	100
44	6	4.50	-4.50	360	100
45	9	6.75	-6.75	810	100
46	12	9.00	-9.00	1440	100
47	24	18.00	-18.00	2880	200

All figures are given for coil without pre-energization, at ambient temperature +23°C

Coil operating range, bistable 1 coil



Insulation Data	standard	C	D,P
	standard, sensitive, ultra high sensitive version	high dielectric version	high current, high contact stability version
Initial dielectric strength			
between open contacts	1000V_{rms}	1500V_{rms}	750V_{rms}
between contact and coil	1800V_{rms}	1800V_{rms}	1500V_{rms}
between adjacent contacts	1000V_{rms}	1800V_{rms}	750V_{rms}
Initial surge withstand voltage			
between open contacts	1500V	2500V	1000V
between contact and coil	2500V	2500V	2000V
between adjacent contacts	1500V	2500V	1000V
Initial insulation resistance			
between insulated elements	$>10^9\Omega$	$>10^9\Omega$	$>10^9\Omega$
Capacitance			
between open contacts		max. 1pF	
between contact and coil		max. 2pF	
between adjacent contacts		max. 2pF	

RF Data

Isolation at 100MHz/900MHz	-37.0dB/-18.8dB
Insertion loss at 100MHz/900MHz	-0.03dB/-0.33dB
Voltage standing wave ratio (VSWR) at 100MHz/900MHz	1.06/1.49

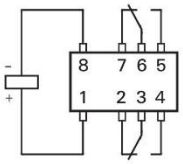
Other Data

Material compliance: EU RoHS/ELV, China RoHS, REACH, Halogen content refer to the Product Compliance Support Center at www.te.com/customersupport/rohssupportcenter	
Ambient temperature	-40°C to +85°C
Thermal resistance	<150K/W
Category of environmental protection IEC 61810	RT V - hermetically sealed
Degree of protection, IEC 60529	IP 67, immersion cleanable
Vibration resistance (functional)	20g, 10 to 500Hz
Shock resistance (functional), half sinus 11ms	50g
Shock resistance (destructive), half sinus 0.5ms	500g
Mounting position	any
Weight	max. 0.75g
Resistance to soldering heat THT IEC 60068-2-20	265°C/10s
Resistance to soldering heat SMT IEC 60068-2-58	265°C/10s
Moisture sensitive level, JEDEC J-Std-020D	MSL3
Ultrasonic cleaning	not recommended
Packaging/unit	
THT version	tube/50pcs., box/1000 pcs.
SMT version	reel/1000 pcs., box/1000 or 5000 pcs.

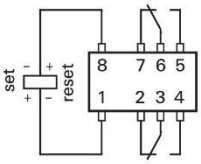
Terminal assignment

TOP view on relay

Monostable version
rest condition



Bistable version, 1 coil
reset condition



Contacts are shown in reset condition. Contact position might change during transportation and must be reset before use.

04-2011, Rev. 0411
www.te.com
© 2011 Tyco Electronics Corporation, a TE Connectivity Ltd. company

Datasheets and product specification according to IEC 61810-1 and to be used only together with the 'Definitions' section.

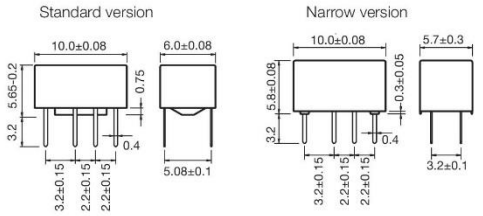
Datasheets and product data is subject to the terms of the disclaimer and all chapters of the 'Definitions' section, available at http://relays.te.com/definitions

Datasheets, product data, 'Definitions' section, application notes and all specifications are subject to change.

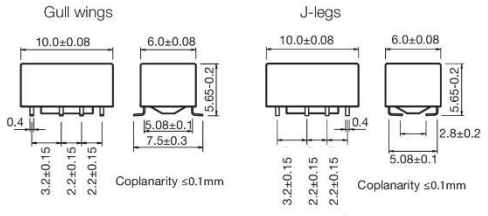
IM Relay (Continued)

Dimensions

THT version

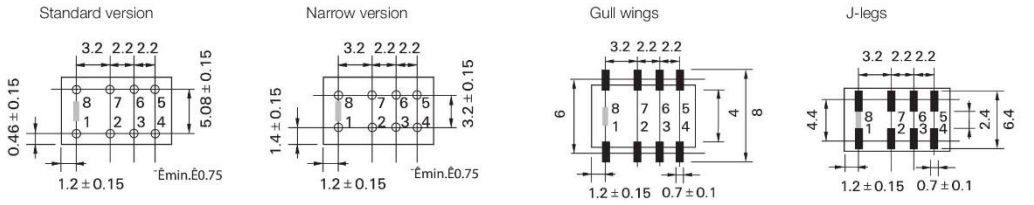


SMT version



PCB layout

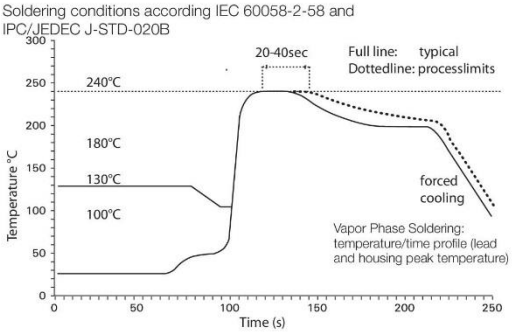
TOP view on component side of PCB



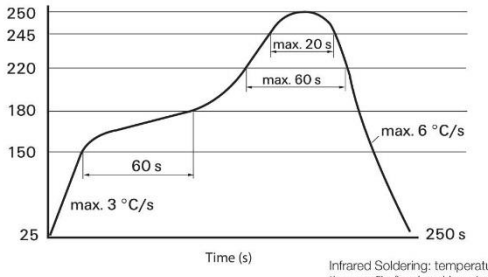
Processing

Recommended soldering conditions

Soldering conditions according IEC 60058-2-58 and IPC/JEDEC J-STD-020B

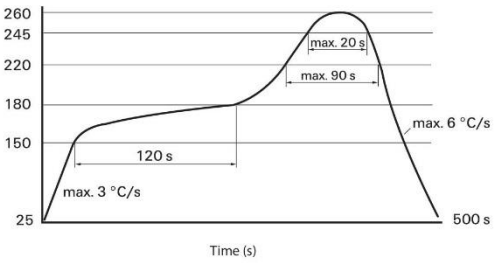


Recommended reflow soldering profile



Infrared Soldering: temperature/ time profile (lead and housing peak temperature)

Resistance to soldering heat - Reflow profile



04-2011, Rev. 0411
www.te.com
© 2011 Tyco Electronics Corporation, a TE Connectivity Ltd. company

Datasheets and product specification according to IEC 61810-1 and to be used only together with the 'Definitions' section.

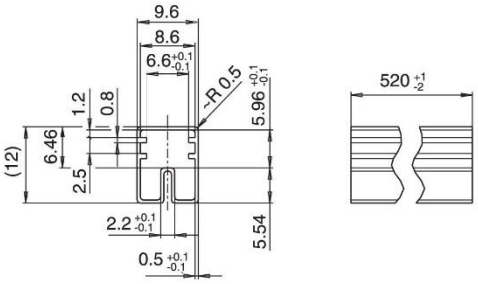
Datasheets and product data is subject to the terms of the disclaimer and all chapters of the 'Definitions' section, available at http://relays.te.com/definitions

Datasheets, product data, 'Definitions' section, application notes and all specifications are subject to change.

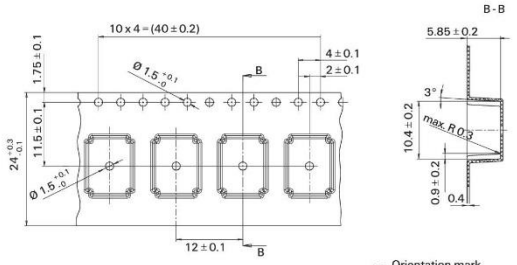
IM Relay (Continued)

Packing

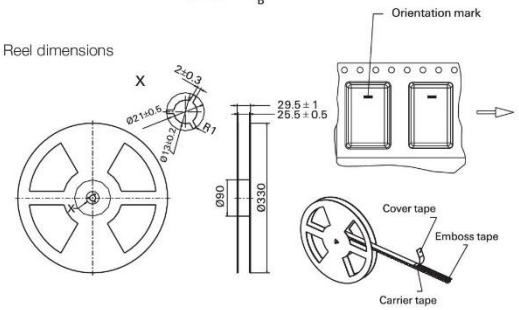
Tube for THT version
50 relays per tube, 1000 relays per box



Tape and reel for SMT version
1000 relays per reel, 1000 or 5000 relays per box



Reel dimensions



Product code structure	Typical product code	**IM**	**03**	**G**	**R**

Type
- **IM** Signal Relays IM Series

Contact arrangement
- **Blank** 2 form C, 2 CO

Coil
- Coil code: please refer to coil versions table

Performance type
- **Blank** Standard version
- **C** High dielectric version
- **D** High current version
- **P** High contact stability version

Terminals
- **T** THT - standard
- **N** THT - narrow version
- **J** SMT - J-leg
- **G** SMT - gull wing

Packing
- **S** Tube
- **R** Reel

04-2011, Rev. 0411
www.te.com
© 2011 Tyco Electronics Corporation,
a TE Connectivity Ltd. company

Datasheets and product specification according to IEC 61810-1 and to be used only together with the 'Definitions' section.

Datasheets and product data is subject to the terms of the disclaimer and all chapters of the 'Definitions' section, available at http://relays.te.com/definitions

Datasheets, product data, 'Definitions' section, application notes and all specifications are subject to change.

IM Relay (Continued)

Product code	Arrangement	Perf. type	Coil	Coil type	Coil	Terminals	Part number
IM00GR	2 form C,	Standard	1.5VDC	Monostable	Standard	SMT gull wing	3-1462037-7
IM00JR	2 CO					SMT J-leg	3-1462037-9
IM00NS	contacts					THT narrow	1-1462038-0
IM01GR			3VDC			SMT gull wing	1462037-1
IM01JR						SMT J-leg	4-1462037-0
IM01NS						THT narrow	1-1462038-1
IM01TS						THT standard	1462037-4
IM02GR			4.5VDC			SMT gull wing	1462037-9
IM02JR						SMT J-leg	1-1462037-1
IM02NS						THT narrow	1-1462038-2
IM03GR			5VDC			SMT gull wing	1-1462037-4
IM03JR						SMT J-leg	1-1462037-6
IM03NS						THT narrow	1-1462038-3
IM03TS						THT standard	1-1462037-8
IM04GR			6VDC			SMT gull wing	4-1462037-2
IM04JR						SMT J-leg	4-1462037-4
IM04NS						THT narrow	1-1462038-4
IM05GR			9VDC			SMT gull wing	3-1462037-4
IM05JR						SMT J-leg	4-1462037-5
IM05NS						THT narrow	1-1462038-5
IM05TS						THT standard	2-1462037-2
IM06GR			12VDC			SMT gull wing	2-1462037-3
IM06JR						SMT J-leg	4-1462037-6
IM06NS						THT narrow	1-1462038-6
IM07GR			24VDC			SMT gull wing	4-1462037-7
IM07JR						SMT J-leg	4-1462037-8
IM07NS						THT narrow	1-1462038-7
IM08GR			2.4VDC			SMT gull wing	6-1462039-3
IM11GR			3VDC		High sens.		9-1462038-5
IM12GR			4.5VDC				1462039-3
IM13GR			5VDC				1462039-4
IM16GR			12VDC				1462039-5
IM17GR			24VDC				1462039-6
IM17TS						THT standard	4-1462039-6
IM21GR			3VDC		Ultra	SMT gull wing	2-1462039-6
IM21TS					high	THT standard	1-1462039-5
IM22GR			4.5VDC		sensitive	SMT gull wing	2-1462039-7
IM22TS						THT standard	2-1462039-8
IM23GR			5VDC			SMT gull wing	2-1462039-9
IM23TS						THT standard	3-1462039-0
IM25GR			9VDC			SMT gull wing	3-1462039-5
IM25TS						THT standard	3-1462039-6
IM26GR			12VDC			SMT gull wing	3-1462039-1
IM26TS						THT standard	3-1462039-2
IM40GR			1.5VDC	Bistable	Standard	SMT gull wing	5-1462037-1
IM40JR						SMT J-leg	5-1462037-2
IM40NS						THT narrow	1-1462038-8
IM40TS						THT standard	5-1462037-0
IM41GR			3VDC			SMT gull wing	5-1462037-4
IM41JR						SMT J-leg	5-1462037-5
IM41NS						THT narrow	1-1462038-9
IM41TS						THT standard	5-1462037-3
IM42GR			4.5VDC			SMT gull wing	3-1462037-1
IM42JR						SMT J-leg	5-1462037-7
IM42NS						THT narrow	2-1462038-0
IM42TS						THT standard	5-1462037-6
IM43GR			5VDC			SMT gull wing	5-1462037-9
IM43JR						SMT J-leg	6-1462037-0
IM43NS						THT narrow	2-1462038-1
IM43TS						THT standard	5-1462037-8
IM44GR			6VDC			SMT gull wing	6-1462037-2
IM44JR						SMT J-leg	6-1462037-3
IM44NS						THT narrow	2-1462038-2
IM44TS						THT standard	6-1462037-1
IM45GR			9VDC			SMT gull wing	6-1462037-4
IM45JR						SMT J-leg	6-1462037-5
IM45NS						THT narrow	2-1462038-3
IM46GR			12VDC			SMT gull wing	6-1462037-7
IM46JR						SMT J-leg	6-1462037-8
IM46NS						THT narrow	2-1462038-4
IM46TS						THT standard	6-1462037-6
IM47GR			24VDC			SMT gull wing	7-1462037-0
IM47JR						SMT J-leg	7-1462037-1
IM47NS						THT narrow	2-1462038-5
IM47TS						THT standard	6-1462037-9
IM48GR			2.4VDC			SMT gull wing	1462039-8

04-2011, Rev. 0411
www.te.com
© 2011 Tyco Electronics Corporation,
a TE Connectivity Ltd. company

Datasheets and product specification according to IEC 61810-1 and to be used only together with the 'Definitions' section.

Datasheets and product data is subject to the terms of the disclaimer and all chapters of the 'Definitions' section, available at http://relays.te.com/definitions

Datasheets, product data, 'Definitions' section, application notes and all specifications are subject to change.

IM Relay (Continued)

Product code	Arrangement	Perf. type	Coil	Coil type	Coil	Terminals	Part number
IM01CGR	2 form C	High	3VDC	Monostable	Standard	SMT gull wing	1462038-4
IM01CTS	2 CO	dielectric				THT standard	9-1462038-6
IM02CGR	contacts		4.5VDC			SMT gull wing	1462038-1
IM03CGR			5VDC			SMT gull wing	1462038-2
IM03CJR						SMT J-leg	4-1462039-8
IM03CTS						THT standard	4-1462039-7
IM05CGR			9VDC			SMT gull wing	1462038-3
IM06CGR			12VDC			SMT gull wing	9-1462037-9
IM06CJR						SMT J-leg	3-1462039-4
IM06CTS						THT standard	4-1462037-9
IM07CGR			24VDC			SMT gull wing	1462039-2
IM07CTS						THT standard	1462039-1
IM17CGR					High sens.	SMT gull wing	1462039-7
IM41CGR			3VDC	Bistable	Standard		4-1462039-2
IM42CGR			4.5VDC				4-1462039-1
IM43CGR			5VDC				9-1462038-7
IM02DGR		High	4.5VDC	Monostable	Standard		9-1462038-8
IM03DGR		current	5VDC				9-1462038-9
IM03DJR						SMT J-leg	3-1462039-3
IM05DGR			9VDC			SMT gull wing	1-1462039-7
IM06DGR			12VDC				1-1462039-8
IM06DJR						SMT J-leg	7-1462039-0
IM06DTS						THT standard	3-1462039-8
IM07DGR			24VDC			SMT gull wing	3-1462039-7
IM07DJR						SMT J-leg	7-1462039-4
IM07DTS						THT standard	7-1462039-2
IM22DTS			4.5VDC		U.h.sens.		7-1462039-6
IM41DGR			3VDC	Bistable	Standard	SMT gull wing	6-1462039-8
IM42DGR			4.5VDC				1-1462039-9
IM42DNS						THT narrow	1-1462039-6
IM46DNS			12VDC				1-1462039-2
IM47DJR			24VDC			SMT J-leg	7-1462039-5
IM48DGR			2.4VDC			SMT gull wing	1462039-9
IM49DGR			2VDC				2-1462039-2
IM02PGR		High	4.5VDC	Monostable	Standard		5-1462039-4
IM02PNS		contact				THT narrow	5-1462039-8
IM03PGR		stability	5VDC			SMT gull wing	5-1462039-5
IM03PJR						SMT J-leg	6-1462039-6
IM03PNS						THT narrow	5-1462039-9
IM06PGR			12VDC			SMT gull wing	5-1462039-6
IM06PNS						THT narrow	6-1462039-0
IM42PGR			4.5VDC	Bistable	Standard	SMT gull wing	5-1462039-7
IM42PNS						THT narrow	7-1462039-8
IM43PGR						SMT gull wing	7-1462039-3
IM46PNS			12VDC			THT narrow	6-1462039-1

04-2011, Rev. 0411
www.te.com
© 2011 Tyco Electronics Corporation,
a TE Connectivity Ltd. company

Datasheets and product specification according to IEC 61810-1 and to be used only together with the 'Definitions' section.

Datasheets and product data is subject to the terms of the disclaimer and all chapters of the 'Definitions' section, available at http://relays.te.com/definitions

Datasheets, product data, 'Definitions' section, application notes and all specifications are subject to change.

Annexe 9. Datasheet circuit Texas Instrument SN74LVC1G97

Configurable Multiple-Function Gate

Check for Samples: SN74LVC1G97

FEATURES

- **Available in the Texas Instruments NanoFree™ Package**
- **Supports 5-V V_{CC} Operation**
- **Inputs Accept Voltages to 5.5 V**
- **Supports Down Translation to V_{CC}**
- **Max t_{pd} of 6.3 ns at 3.3 V**
- **Low Power Consumption, 10-µA Max I_{CC}**
- **±24-mA Output Drive at 3.3 V**
- **I_{off} Supports Live Insertion, Partial-Power-Down Mode, and Back-Drive Protection**
- **Latch-Up Performance Exceeds 100 mA Per JESD 78, Class II**
- **ESD Protection Exceeds JESD 22**
  - **2000-V Human-Body Model (A114-A)**
  - **200-V Machine Model (A115-A)**
  - **1000-V Charged-Device Model (C101)**
- **Choose From Nine Specific Logic Functions**

DESCRIPTION

This configurable multiple-function gate is designed for 1.65-V to 5.5-V V_{CC} operation.

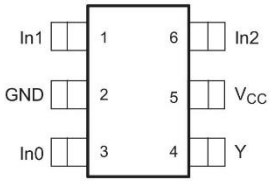
The SN74LVC1G97 device features configurable multiple functions. The output state is determined by eight patterns of 3-bit input. The user can choose the logic functions MUX, AND, OR, NAND, NOR, inverter, and noninverter. All inputs can be connected to V_{CC} or GND.

This device functions as an independent gate, but because of Schmitt action, it may have different input threshold levels for positive-going (V_{T+}) and negative-going (V_{T-}) signals.

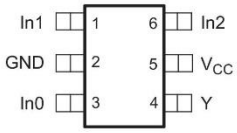
NanoFree™ package technology is a major breakthrough in IC packaging concepts, using the die as the package.

This device is fully specified for partial-power-down applications using I_{off}. The I_{off} circuitry disables the outputs, preventing damaging current backflow through the device when it is powered down.

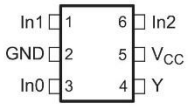
DBV PACKAGE (TOP VIEW)



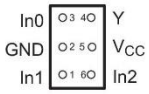
DCK PACKAGE (TOP VIEW)



DRL PACKAGE (TOP VIEW)

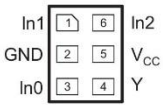


YZP PACKAGE (BOTTOM VIEW)

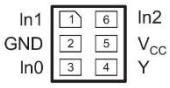


See mechanical drawings for dimensions.

DRY PACKAGE (TOP VIEW)



DSF PACKAGE (TOP VIEW)



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

NanoFree is a trademark of Texas Instruments.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of the Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

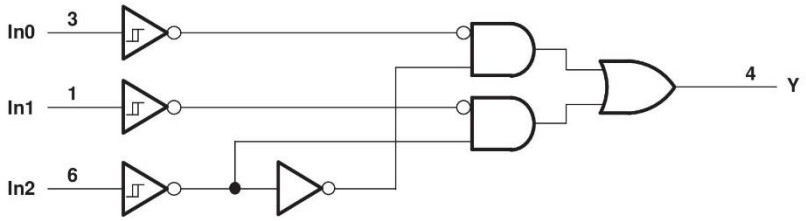
Copyright © 2002–2013, Texas Instruments Incorporated

These devices have limited built-in ESD protection. The leads should be shorted together or the device placed in conductive foam during storage or handling to prevent electrostatic damage to the MOS gates.

Function Table

INPUTS			OUTPUT
In2	In1	In0	Y
L	L	L	L
L	L	H	L
L	H	L	H
L	H	H	H
H	L	L	L
H	L	H	H
H	H	L	L
H	H	H	H

Logic Diagram (Positive Logic)



Function Selection Table

LOGIC FUNCTION	FIGURE NO.
2-to-1 data selector	Figure 1
2-input AND gate	Figure 2
2-input OR gate with one inverted input	Figure 3
2-input NAND gate with one inverted input	Figure 3
2-input AND gate with one inverted input	Figure 4
2-input NOR gate with one inverted input	Figure 4
2-input OR gate	Figure 5
Inverter	Figure 6
Noninverted buffer	Figure 7

Copyright © 2002–2013, Texas Instruments Incorporated

Logic Configurations

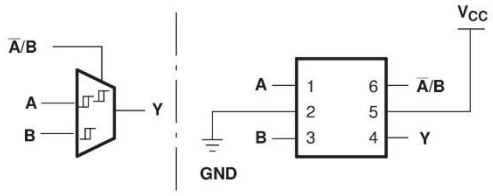


Figure 1. 2-to-1 Data Selector

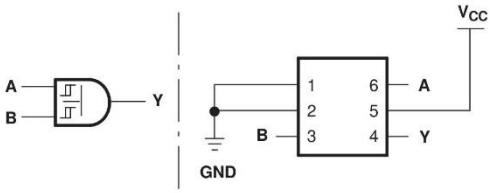


Figure 2. 2-Input AND Gate

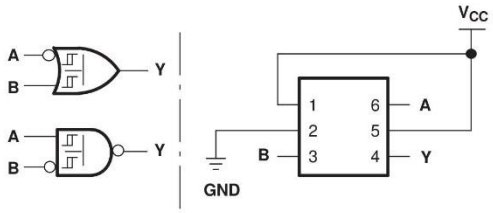


Figure 3. 2-Input OR Gate With One Inverted Input
2-Input NAND Gate With One Inverted Input

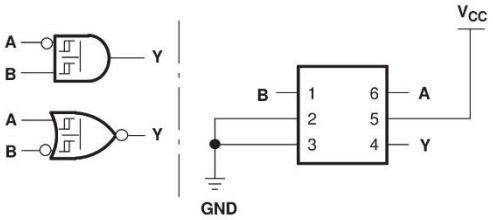


Figure 4. 2-Input AND Gate With One Inverted Input
2-Input NOR Gate With One Inverted Input

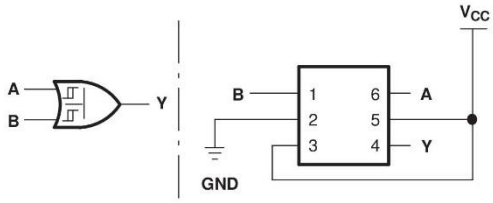


Figure 5. 2-Input OR Gate

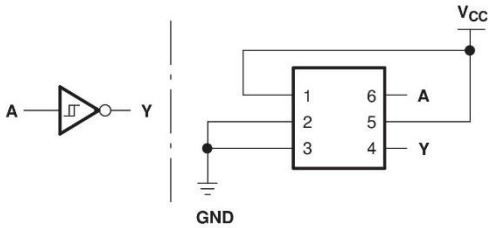


Figure 6. Inverter

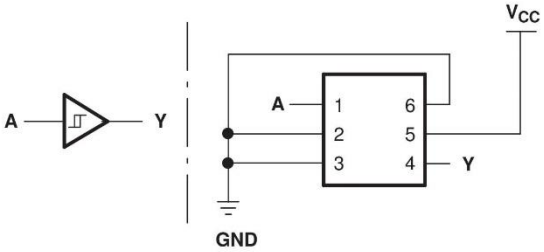


Figure 7. Noninverted Buffer

Absolute Maximum Ratings[1]

over operating free-air temperature range (unless otherwise noted)

			MIN	MAX	UNIT
V_{CC}	Supply voltage range		–0.5	6.5	V
V_I	Input voltage range[2]		–0.5	6.5	V
V_O	Voltage range applied to any output in the high-impedance or power-off state[2]		–0.5	6.5	V
V_O	Voltage range applied to any output in the high or low state[2][3]		–0.5	V_{CC} + 0.5	V
I_{IK}	Input clamp current	$V_I < 0$		–50	mA
I_{OK}	Output clamp current	$V_O < 0$		–50	mA
I_O	Continuous output current			±50	mA
	Continuous current through V_{CC} or GND			±100	mA
θ_{JA}	Package thermal impedance[4]	DBV package		165	°C/W
		DCK package		259	
		DRL package		142	
		YZP package		123	
T_{stg}	Storage temperature range		–65	150	°C

(1) Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
(2) The input and output negative-voltage ratings may be exceeded if the input and output current ratings are observed.
(3) The value of V_{CC} is provided in the recommended operating conditions table.
(4) The package thermal impedance is calculated in accordance with JESD 51-7.

Recommended Operating Conditions[1]

			MIN	MAX	UNIT
V_{CC}	Supply voltage	Operating	1.65	5.5	V
		Data retention only	1.5		
V_I	Input voltage		0	5.5	V
V_O	Output voltage		0	V_{CC}	V
I_{OH}	High-level output current	V_{CC} = 1.65 V		–4	mA
		V_{CC} = 2.3 V		–8	
		V_{CC} = 3 V		–16	
				–24	
		V_{CC} = 4.5 V		–32	
I_{OL}	Low-level output current	V_{CC} = 1.65 V		4	mA
		V_{CC} = 2.3 V		8	
		V_{CC} = 3 V		16	
				24	
		V_{CC} = 4.5 V		32	
T_A	Operating free-air temperature		–40	125	°C

(1) All unused inputs of the device must be held at V_{CC} or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.

Copyright © 2002–2013, Texas Instruments Incorporated

Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	V_{CC}	–40°C to 85°C			–40°C to 125°C			UNIT
			MIN	TYP(1)	MAX	MIN	TYP(1)	MAX	
V_{T+} Positive-going input threshold voltage		1.65 V	0.79		1.16	0.79		1.16	V
		2.3 V	1.11		1.56	1.11		1.56	
		3 V	1.5		1.87	1.5		1.87	
		4.5 V	2.16		2.74	2.16		2.74	
		5.5 V	2.61		3.33	2.61		3.33	
V_{T-} Negative-going input threshold voltage		1.65 V	0.35		0.62	0.35		0.62	V
		2.3 V	0.58		0.87	0.58		0.87	
		3 V	0.84		1.19	0.84		1.19	
		4.5 V	1.41		1.9	1.41		1.9	
		5.5 V	1.87		2.29	1.87		2.29	
ΔV_T Hysteresis ($V_{T+} - V_{T-}$)		1.65 V	0.3		0.62	0.3		0.62	V
		2.3 V	0.4		0.8	0.4		0.8	
		3 V	0.53		0.87	0.53		0.87	
		4.5 V	0.71		1.04	0.71		1.04	
		5.5 V	0.71		1.11	0.71		1.11	
V_{OH}	$I_{OH} = -100\ \mu A$	1.65 V to 5.5 V	$V_{CC} - 0.1$			$V_{CC} - 0.1$			V
	$I_{OH} = -4$ mA	1.65 V	1.2			1.2			
	$I_{OH} = -8$ mA	2.3 V	1.9			1.9			
	$I_{OH} = -16$ mA	3 V	2.4			2.4			
	$I_{OH} = -24$ mA		2.3			2.3			
	$I_{OH} = -32$ mA	4.5 V	3.8			3.8			
V_{OL}	$I_{OL} = 100\ \mu A$	1.65 V to 5.5 V			0.1			0.1	V
	$I_{OL} = 4$ mA	1.65 V			0.45			0.45	
	$I_{OL} = 8$ mA	2.3 V			0.3			0.3	
	$I_{OL} = 16$ mA	3 V			0.4			0.45	
	$I_{OL} = 24$ mA				0.55			0.55	
	$I_{OL} = 32$ mA	4.5 V			0.55			0.58	
I_I	$V_I = 5.5$ V or GND	0 to 5.5 V			±5			±5	μA
I_{off}	V_I or $V_O = 5.5$ V	0			±10			±10	μA
I_{CC}	$V_I = 5.5$ V or GND, $I_O = 0$	1.65 V to 5.5 V			10			10	μA
ΔI_{CC}	One input at $V_{CC} - 0.6$ V, Other inputs at V_{CC} or GND	3 V to 5.5 V			500			500	μA
C_I	$V_I = V_{CC}$ or GND	3.3 V		3.5			3.5		pF

(1) All typical values are at $V_{CC} = 3.3$ V, $T_A = 25°C$.

Copyright © 2002–2013, Texas Instruments Incorporated

Switching Characteristics

over recommended operating free-air temperature range (unless otherwise noted) (see Figure 8)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	SN74LVC1G97 –40°C to 85°C								UNIT
			V_{CC} = 1.8 V ± 0.15 V		V_{CC} = 2.5 V ± 0.2 V		V_{CC} = 3.3 V ± 0.3 V		V_{CC} = 5 V ± 0.5 V		
			MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
t_{pd}	Any In	Y	3.2	14.4	2	8.3	1.5	6.3	1.1	5.1	ns

Switching Characteristics

over recommended operating free-air temperature range (unless otherwise noted) (see Figure 8)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	SN74LVC1G97 –40°C to 125°C								UNIT
			V_{CC} = 1.8 V ± 0.15 V		V_{CC} = 2.5 V ± 0.2 V		V_{CC} = 3.3 V ± 0.3 V		V_{CC} = 5 V ± 0.5 V		
			MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
t_{pd}	Any In	Y	3.2	16.4	2	9.3	1.5	7.3	1.1	6.1	ns

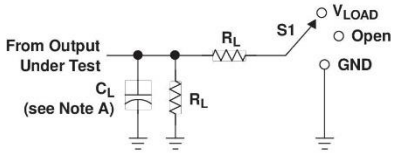
Operating Characteristics

T_A = 25°C

PARAMETER		TEST CONDITIONS	V_{CC} = 1.8 V	V_{CC} = 2.5 V	V_{CC} = 3.3 V	V_{CC} = 5 V	UNIT
			TYP	TYP	TYP	TYP	
C_{pd}	Power dissipation capacitance	f = 10 MHz	22	23	23	26	pF

Copyright © 2002–2013, Texas Instruments Incorporated

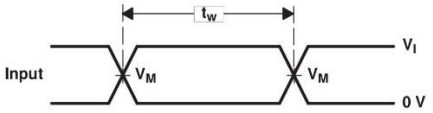
Parameter Measurement Information



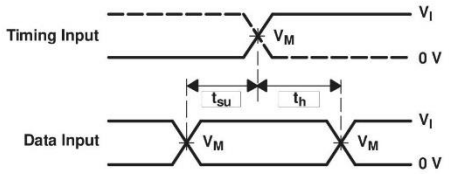
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

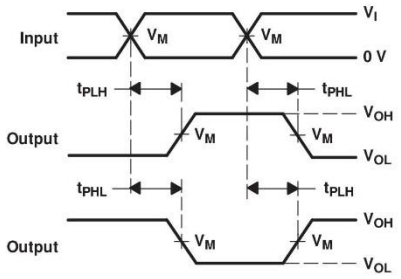
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_r/t_f					
1.8 V ± 0.15 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	1 kΩ	0.15 V
2.5 V ± 0.2 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	500 Ω	0.15 V
3.3 V ± 0.3 V	3 V	≤2.5 ns	1.5 V	6 V	50 pF	500 Ω	0.3 V
5 V ± 0.5 V	V_{CC}	≤2.5 ns	$V_{CC}/2$	2 × V_{CC}	50 pF	500 Ω	0.3 V



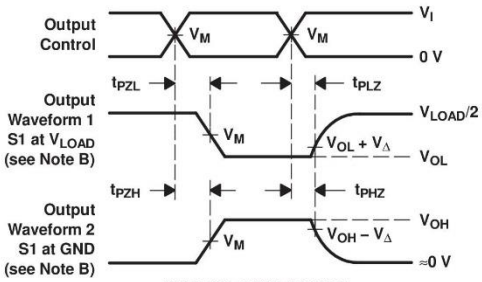
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES:
A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

Figure 8. Load Circuit and Voltage Waveforms

Copyright © 2002–2013, Texas Instruments Incorporated

REVISION HISTORY

Changes from Revision J (January 2007) to Revision K	Page
• Added DRY and DSF package and pin out to document.	1

Changes from Revision K (October 2011) to Revision L	Page
• Updated document to new TI data sheet format.	1
• Updated Features.	1
• Removed Ordering Information table.	1
• Added ESD warning.	2
• Updated operating temperature range.	4

Copyright © 2002–2013, Texas Instruments Incorporated

Liste des publications

- L. Chandernagor, P. Jean, J. Lintignat and B. Jarry, ”*Self Calbrating high sensitivity ultra-low power envelope detector*”, Proceedings of Newcas conference, June 2015, pp 1-4.
- L. Chandernagor and P. Jean, “RF power detector and detection method”, Patent US9362898 B2

A soumettre :

- L. Chandernagor, P. Jean, J. Lintignat and B. Jarry, ”*A 35 µA Stand-alone Wake-up receiver with self-calibration mechanism providing -54 dBm sensitivity*”, IEEE Journal TCAS I, pp 1-12.
- L. Chandernagor, P. Jean, J. Lintignat and B. Jarry, ”*A 290 µA Low Noise Amplifier with bypass for ISM band wake-up receivers in Wireless Sensor Network*”, IEEE Journal TCAS II, pp 1-4.

Table des illustrations

Figure I-1 : Schéma du cas d'emploi considéré 11

Figure I-2 : Chronogramme de l'émetteur (a) et du récepteur en fonctionnement permanent (b).....12

Figure I-3 : Chronogramme de l'émetteur (a) et du récepteur en fonctionnement périodique (b).....14

Figure I-4 : Schéma de principe dans le cas de l'utilisation du récepteur de réveil.....17

Figure I-5 : Illustration du principe de fonctionnement d'un réseau en étoile.....18

Figure I-6 : Schéma bloc d'une architecture de réception de type hétérodyne.....19

Figure I-7 : Schéma de principe dans le cas de l'utilisation du récepteur de réveil.....19

Figure I-8 : Chronogramme de fonctionnement de l'émetteur (a) et du récepteur avec activation par un récepteur de réveil.....20

Figure II-1 : Puissance reçue en fonction de la distance émetteur-récepteur.....24

Figure II-2 : Schéma d'implantation des bureaux.....25

Figure II-3 : Gabarit calculé du filtre de réjection.....27

Figure III-1 : Schéma bloc du récepteur de réveil 39

Figure III-2 : Signal de réveil modulé et modulant.....39

Figure III-3 : Schéma de principe du bloc numérique.....43

Figure III-4 : Chronogramme du fonctionnement du récepteur d'activation 47

Figure IV-1 : Réponse en fréquence du filtre issue de la documentation Epcos [2].....49

Figure IV-2 : Représentation du réseau d'adaptation LC 50

Figure IV-3 : Schéma de principe du réseau d'adaptation d'impédance 50

Figure IV-4 : V_1 et V_2 en fonction du temps, pour un signal de -30dBm à 433 MHz 51

Figure IV-5 : V_2/V_1 pour différentes valeurs de charge en fonction de la fréquence 51

Figure IV-6 : I_{DS} vs V_{GS} à gauche et I_{DS} vs V_{DS} à droite (NMOS, W = 5 µm, L= 0.16 µm) 52

Figure IV-7 : I_{DS} vs V_{DS} pour différentes longueurs de grille et V_{GS}.....53

Figure IV-8 : I_{DS} vs V_{GS} d'un transistor NMOS pour différentes longueurs et largeurs de grille mais à ratio identique (a) et (b) zoom de la zone encadrée. 54

Figure IV-9 : Schéma d'un détecteur, NMOS monté en diode polarisée 55

Figure IV-10 : Tensions du détecteur en fonction du temps, conditions nominales 55

Figure IV-11 : Schéma de l'amplificateur non linéaire NMOS 55

Figure IV-12 : Tension de sortie du détecteur en fonction de la valeur du condensateur d'entrée 56

Figure IV-13 : Schéma de l'amplificateur non linéaire polarisée par sa recopie 56

Figure IV-14 : Montage amplificateur sans contre réaction 57

Figure IV-15 : Schéma du détecteur d'enveloppe 57
Figure IV-16 : Gain de détection du détecteur en fonction des dimensions de grille 59
Figure IV-17 : Calcul du gain de détection sur feuille Excel 60
Figure IV-18 : Gains de détection estimés et simulés. 60
Figure IV-19 : Gain de détection en fonction de R_L 61
Figure IV-20 : Gain de détection en fonction de la température 61
Figure IV-21 : Gain de détection en fonction de la tension d'alimentation 62
Figure IV-22 : Partie de la chaîne de réception concernée par la calibration 62
Figure IV-23 : Schéma du détecteur incluant le système de mémorisation de tension.....62
Figure IV-24 : Schéma de l'amplificateur basses fréquence 63
Figure IV-25 Basculement de la tension de sortie de l'amplificateur en fonction de la tension différentielle d'entrée en analyse Monte Carlo 64
Figure IV-26 : Schéma de principe du premier mécanisme de calibration.....65
Figure IV-27 : Schéma de principe du mécanisme de calibration 66
Figure IV-28 : Organisation des phases de calibration au cours du temps.....67
Figure IV-29 : Schéma de la source courant et de son unité de contrôle utilisée pour la calibration.....68
Figure IV-30 : Schéma de l'amplificateur RF 69
Figure IV-31 : Schéma de principe du bloc numérique 70
Figure IV-32 : Schéma de principe du mécanisme de reconstruction d'horloge n°1.....71
Figure IV-33 : Chronogramme des différents signaux du mécanisme n°1 71
Figure IV-34 : Bloc diagramme du mécanisme de reconstruction d'horloge n°2 72
Figure IV-35 : Chronogramme des signaux du mécanisme n°2 72
Figure IV-36 : Schéma bloc du mécanisme d'horloge n°3 73
Figure IV-37 : Chronogramme des signaux du mécanisme n°3 73
Figure IV-38 : Bloc diagramme de la première version du système de reconnaissance du code 74
Figure IV-39 : Bloc diagramme de la deuxième version du système de reconnaissance du code 75
Figure IV-40 : Schéma de l'oscillateur 75
Figure IV-41 : Schéma du régulateur version 1 fournissant Vdd_dig et Vdd_ana_1v8.....76
Figure IV-42 : Schéma du régulateur version 1 fournissant Vdd_ana_1v1.....76
Figure IV-43 : Schéma de l'ensemble des régulateurs de la version 2.....77
Figure IV-44 : Schéma des régulateurs de la version 2 77
Figure IV-45 : Schéma de l'élévateur de tension 77

Figure IV-46 : Schéma du switch RF 78
Figure IV-47 : Bloc diagramme du DC bus switch.....78
Figure V-1 : Layout du padring 81
Figure V-2 : Widi version 1 – version 2 82
Figure V-3 : Schéma de principe de l'intégration des fonctions du récepteur d'activation au sein du boîtier.....82
Figure V-4 : Layout du détecteur d'enveloppe 83
Figure V-5 : Layout de l'amplificateur basses fréquences.....84
Figure V-6 : Layout du bloc de calibration.....84
Figure V-7 : Layout de l'amplificateur RF – version obsolète 85
Figure V-8 : Layout de l'amplificateur RF.....85
Figure V-9 : Comparaison simulation vue schématique et deux versions extraites (vue bis est la version finale) 86
Figure V-10 : Layout de la première version du bloc numérique et son symbole associé 86
Figure V-11 : Layout de la seconde version du bloc numérique et son symbole associé 87
Figure V-12 : Layout du switch RF.....87
Figure V-13 : Layout du régulateur à 1.1V utilisé pour la version 1 88
Figure V-14 : Layout du régulateur à 1.8V avec deux sorties utilisé pour la première version 88
Figure V-15 : Layout du régulateur fournissant les trois tensions régulées pour la version 2 89
Figure V-16 : Layout du timer 89
Figure V-17 : Layout du DC bus switch 90
Figure V-18 : Layout des deux versions 90
Figure V-19 : Superposition de la surface du récepteur d'activation sur le layout du JN5168 91
Figure V-20 : Layout finaux des deux versions 91
Figure V-21 : Schéma de principe du PCB et représentation du chemin des impulsions ON/OFF dans le cas standard 93
Figure V-22 : Schéma de principe du PCB et représentation du chemin des impulsions ON/OFF dans le cas du minuteur 94
Figure V-23 : Schéma de principe du PCB et représentation du chemin des impulsions ON/OFF dans le cas automatique 94
Figure V-24 : Schéma bloc du PCB 95
Figure V-25 : Vue top du layout du PCB à gauche et sa photo une fois monté à droite 96
Figure V-26 : Plan du réticle 96
Figure V-27 : Photo des puces, version 1 (en haut) et 2 (en bas) 97

Figure VI-1 : Comparatif simulations/mesures des tensions régulées à 1.8V en rouge Vdd_ana1v8 et en bleu 1v1 en fonction de la tension d'alimentation générale 98

Figure VI-2 : Comparatif simulations/mesures de la tension régulée à 1.1V Vdd_ana1v1 en fonction de la tension d'alimentation générale 98

Figure VI-3 : Sorties des trois régulateurs de tension observées à l'oscilloscope, Vbat = 3.3V, $T_{ambiente}$ 99

Figure VI-4 : Temps de montée et temps de descente de Vdd_ana_1v1, Vbat = 3.3V, $T_{ambiente}$ 100

Figure VI-5 : Tensions fournies par les régulateurs (V_1) pour différents corners, T = 27°C .100

Figure VI-6 : Tensions fournies par les régulateurs (V_2) pour différents corners, T = 27°C .101

Figure VI-7 : Mesure de la tension fournie par les régulateurs (V_2) pour différents échantillons 101

Figure VI-8 : Courant consommé par les régulateurs (V_1) en fonction de la température, Nominal.....102

Figure VI-9 : Courant consommé par les régulateurs (V_2) en fonction de la température, Nominal.....102

Figure VI-10 : Fréquence du timer pour les différents corners, V_{DD} = 1.8V 103

Figure VI-11 : Fréquence du timer sur la gamme de température, V_{DD} = 1.8V.....103

Figure VI-12 : Fréquence du timer pour différentes tensions d'alimentation, Nominal.....103

Figure VI-13 : Mesure de la fréquence du timer sur 15 échantillons. Vbat = 3.3V, $T_{ambiente}$ .104

Figure VI-14 : Consommation de l'oscillateur, V_{DD} = 1.8 V.....104

Figure VI-15 : Histogramme de la répartition des consommations en courant 105

Figure VI-16 : Mécanisme de calibration pour les différents corners, T = 27°C.....105

Figure VI-17 : Mécanisme de calibration à -40°C, 27°C et 125°C, Nominal 106

Figure VI-18 : Mécanisme de calibration en fonction de variations de la tension d'alimentation de +/- 10%, Nominal.....106

Figure VI-19 : Isolation des switches RF, Nominal.....107

Figure VI-20 : Isolation des switches RF pour les différents corners.....107

Figure VI-21 : Isolation des switches RF à -40°C, 27°C et 125°C.....108

Figure VI-22 : Isolation des switches RF pour des variations de +/-10% de la tension d'alimentation 108

Figure VI-23 : Tension de référence en fonction des variations de procédés.....109

Figure VI-24 : Tension de référence en fonction des variations de température 109

Figure VI-25 : Tension de référence pour des variations des tensions d'alimentation de +/- 10%.....110

Figure VI-26 : Dérive de la tension Vref au cours du temps pour 3 cas de procédé. 111

Figure VI-27 : Simulations des durées de calibration pour différents corners, T=27°C.....111

Figure VI-28 : Mesure de la durée de la calibration sur 15 échantillons 112

Figure VI-29 : Simulations des durées de calibration en fonction de la température, Nominal 112

Figure VI-30 : Simulations des durées de calibration en fonction des variations de la tension d'alimentation, Nominal 113

Figure VI-31 : Capture des signaux de vitesse de contrôle de l'amplificateur BF en jaune, en vert le signal de la tension régulée Vdd_ana1v8.....114

Figure VI-32 : Gain en tension pour les différents corners, V_{DD} = 1.1V 115

Figure VI-33 : Gain en tension à -40°C, 27°C et 125°C, Nominal, V_{DD} = 1.1V.....115

Figure VI-34 : Gain en tension pour V_{DD} = 0.99V, 1.1V et 1.21V, Nominal, T = 27°C.....116

Figure VI-35 : Gain en tension en mode bypass pour les différents corners, V_{DD} = 1.1V 116

Figure VI-36 : Gain en tension en mode bypass à -40°C, 27°C et 125°C, Nominal, V_{DD} = 1.1V 117

Figure VI-37 : Gain en tension en mode bypass pour V_{DD} = 0.99V, 1.1V et 1.21V, Nominal, T = 27°C.....117

Figure VI-38 : Courant consommé en mode actif et en mode bypass en fonction de la température pour différents corners, V_{DD} = 1.1V.....118

Figure VI-39 : Facteur de bruit en fonction de la fréquence dans les deux modes, cas nominal, V_{DD} = 1.8V.....118

Figure VI-40 : Point de compression à 1 dB, cas nominal, V_{DD} = 1.8V.....119

Figure VI-41 : Courant consommé en fonction de la tension V_{GS} pour les différents corners, V_{DD} = 1.1 V.....119

Figure VI-42 : Courant consommé en fonction de la température, V_{DD} = 1.1V, Vref = 320 mV 120

Figure VI-43 : Courant consommé en fonction de la tension d'alimentation, Nominal, Vref = 320 mV.....120

Figure VI-44 : Réponse en fréquence de l'amplificateur, cas nominal.....121

Figure VI-45 : Réponse DC de l'amplificateur en fonction de la tension différentielle pour deux cas de mismatch.....121

Figure VI-46 : Courant consommé en fonction de la température selon le mode de fonctionnement pour les différents corners, V_{DD} = 1.8 V 122

Figure VI-47 : Temps de réponse de l'amplificateur basses fréquences en fonction du courant de polarisation, Nominal 122

Figure VI-48 : Etude statistique du délai RC pour des variations de procédé et mismatch..123

Figure VI-49 : Capture du signal démodulé retardé et du signal d'activation.....123

Figure VI-50 : Capture du signal démodulé retardé 124

Figure VI-51 : Interface graphique du logiciel de programmation des registres.....124

Figure VI-52 : Poster proposé lors de la démonstration du récepteur d'activation.....126

Figure VI-53 : Photographie du démonstrateur présenté pour le projet européen Enlight...127

Table des tableaux

Tableau I-1 : Données pour le calcul d'autonomie, cas 1 12
Tableau I-2 : Bilan de la consommation 13
Tableau I-3 : Données pour le calcul d'autonomie, cas 2 14
Tableau I-4 : Bilan de la consommation 15
Tableau I-5 : Comparatif des standards Zigbee et BTLE 16
Tableau I-6 : Données pour le calcul d'autonomie, cas 2 19
Tableau I-7 : Bilan de la consommation 21
Tableau II-1 : Résumé des parasites considérés 26
Tableau II-2 : Récupération d'énergie estimée de Texas Instrument 28
Tableau III-1 : Récapitulatif des différents récepteurs d'activation présents dans la littérature 34
Tableau III-2 : Distribution par bloc du courant 40
Tableau III-3 : Récapitulatif de l'ensemble des registres 44
Tableau III-4 : Présentation des différents sous-circuits du récepteur d'activation 45
Tableau IV-1 : Principales contraintes de design 48
Tableau V-1 : Récapitulatif des pins de la puce 80

Table des matières

Introduction 9
Chapitre I. État de l'art sur les techniques de réduction de consommation des récepteurs RF 11
I.1. Fonctionnement permanent 11
I.2. Le fonctionnement périodique 13
I.2.1. Mise en place 13
I.2.2. Avantages et inconvénients 15
I.3. Les nouveaux standards dédiés 16
I.3.1. Le réseau Zigbee 16
I.3.2. Le protocole Bluetooth Low Energy 17
I.4. Les récepteurs d'activation 18
I.4.1. Principe de fonctionnement du récepteur d'activation 19
I.4.2. Avantages et inconvénients de l'utilisation d'un récepteur d'activation 21
Chapitre II. Enjeu de la conception d'un récepteur d'activation 23
II.1. Performances générales 23
II.2. Considérations radio 23
II.3. Considérations coût / énergie 27
Chapitre III. Architecture du récepteur d'activation 31
III.1. Les différentes modulations 31
III.1.1. Modulation d'amplitude 31
III.1.2. Modulation en fréquence 32
III.1.3. Modulation en phase 32
III.2. Etude des architectures existantes relevées dans la littérature 32
III.3. Architecture proposée 39
III.3.1. Composants externes additionnels nécessaires à la bonne réception du signal 40
III.3.2. Partie analogique du récepteur d'activation : récupération de l'information 41
III.3.3. Partie numérique du récepteur d'activation : traitement de l'information 42
Chapitre IV. Design du récepteur d'activation 48
IV.1. L'antenne 48
IV.2. Filtre à onde de surface 49
IV.3. Adaptation d'impédance 49
IV.4. Détecteur d'enveloppe 52
IV.4.1. Généralités 52
IV.4.2. Régime de faible inversion 52
IV.4.3. Etude de la conception du détecteur 54
IV.4.4. Design du détecteur choisi 57
IV.5. L'amplificateur basse fréquence – Comparateur 63
IV.6. Calibration de la tension de référence 64
IV.6.1. Première version 65
IV.6.2. Version implémentée 65
IV.7. Amplificateur RF 68
IV.8. Bloc Numérique 69
IV.8.1. Système de reconstruction d'horloge 70
IV.8.2. Lecture des registres et contrôle des différents blocs 74
IV.9. Timer 75

IV.10. Régulateurs de tension 75
IV.11. Switches RF 78
IV.12. DC Bus Switch 78
Chapitre V. Réalisation du prototype de récepteur d'activation 79
V.1. Padring de la puce 79
V.2. Boîtier choisi pour le prototype 81
V.3. Layout de l'ensemble du circuit 83
V.3.1. Détecteur d'enveloppe 83
V.3.2. L'amplificateur basses fréquences 83
V.3.3. Mécanisme de calibration de la tension de référence 84
V.3.4. Amplificateur RF 84
V.3.5. Bloc numérique 86
V.3.6. Switch RF 87
V.3.7. Régulateurs de tension 87
V.3.8. Timer 89
V.3.9. DC Bus switch 89
V.4. Vue Top 90
V.5. Le Printed Circuit Board (PCB) 91
V.5.1. Ensemble des mesures à réaliser sur le prototype 92
V.5.2. Cas d'applications du PCB 92
V.5.3. Réalisation du PCB 95
Chapitre VI. Performances simulées et/ou mesurées du récepteur d'activation 98
VI.1. Alimentation / Energie 98
VI.1.1. Régulateurs de tension 98
VI.1.2. Timer 102
VI.1.3. Courant consommé 105
VI.2. La Calibration 105
VI.2.1. Mécanisme 105
VI.2.2. Switch RF 106
VI.2.3. Tension de référence 108
VI.2.4. Dérive de la tension de référence 110
VI.2.5. Durée de la phase de calibration 111
VI.3. Démodulation 114
VI.3.1. Filtrage / adaptation d'impédance 114
VI.3.2. Chaîne de démodulation 114
VI.4. Décodage 122
VI.5. Programmation des registres 124
VI.6. Démonstrateurs 125
Conclusion 129
Références bibliographiques 132
Annexes 136

Etude, conception et réalisation d'un récepteur d'activation RF ultra basse consommation pour l'internet des objets

Grâce au confort d'utilisation qu'elles procurent, les technologies sans fil se retrouvent aujourd'hui dans un vaste panel d'applications. Ainsi le nombre d'éléments de transmission/réception radio se multiplie. Aujourd'hui pour réduire les consommations des éléments radio, il faut les rendre davantage efficaces notamment pour la partie réception. En effet, pour les communications asynchrones, les récepteurs consomment inutilement de l'énergie à attendre qu'une transmission soit faite. Dans l'objectif de réduire ce gaspillage d'énergie, des nouveaux standards ont vu le jour tel que le Zigbee et le Bluetooth Low Energy. Les performances en consommation procurées par ces deux standards résident sur leur fonction périodique à très faible rapport cyclique. Une nouvelle solution émergente pour réduire drastiquement la consommation des récepteurs en les rendant plus efficaces est l'utilisation de récepteur d'activation. Les récepteurs d'activation ou récepteur de réveil sont des récepteurs simples ce qui leur permet d'atteindre une ultra basse consommation uniquement en charge de guetter l'arrivée d'une trame et de réveiller le récepteur principal, placé en veille au préalable, pour traitement de cette dernière. Le récepteur d'activation proposé ici a été réalisé dans la technologie CMOS 160 nm de NXP. Il offre une sensibilité de -54 dBm, pour une consommation moyenne de 35 µA, prodiguant une portée de 70m à 433,92 MHz pour une puissance de 10 dBm émis. Ce récepteur ASK se distingue des autres récepteurs d'activation par le système de calibration breveté avec ajustement automatique la tension de référence requise pour la démodulation. Ce système rend le circuit robuste au problème d'offset DC et ne consomme aucun courant lorsque le circuit est en écoute. Le récepteur d'activation reconnaît un code de Manchester de 24 bits à 25 kbps, programmable grâce à une interface SPI.

Mots-clés : [Récepteur d'activation, ultra basse consommation, CMOS, ASK, tension de référence]

Study, conception and prototyping of an ultra low power wake-up receiver dedicated to internet of thing applications

Wireless technologies are now widespread due to the easiness of use they provide. Consequently, the number of radio devices increases. Despite of the efforts to reduce radio circuits power consumption as they are more and more numerous, now they must achieve ultra-low power consumption. Today, radio devices are made more efficient to reduce their power consumption especially for the receiving part. Indeed, for asynchronous communication, a lot of energy is wasted by the receiver waiting for a transmission. In order to avoid this waste, new standards have been created such as Zigbee and Bluetooth Low Energy. Due to periodic operation with ultra-low duty cycle, they provide ultra-low power consumption. Another solution to drastically reduce the power consumption has emerged, wake-up receiver. Wake-up receivers are based in simple architecture to provide ultra-low power consumption, they are only in charge to wait for a frame and when it occurs, wake-up the main receiver put in standby mode before that. The proposed wake-up receiver has been designed in NXP CMOS technology 160 µm. It provides a -54 dBm sensitivity, consuming 35 µA which allows a 70m range considering a 10 dBm emitter at 433,92 MHz. This wake-up receiver operates with ASK modulation, compared to others it provides a smart patented calibration system to get the necessary reference voltage for demodulation. This mechanism provide DC offset robustness and does not drain any current while the wake-up receiver is operating. To wake up the main receiver a 24 bits programmable Manchester code is required. This code at 25 kbps is programmable by the use of an SPI interface.

Keywords : [Wake-up receiver, ultra-low power consumption, CMOS, ASK, voltage reference]