



**HAL**  
open science

# Simulation multi-physiques de circuits intégrés pour la fiabilité

Maroua Garci

► **To cite this version:**

Maroua Garci. Simulation multi-physiques de circuits intégrés pour la fiabilité. Micro et nanotechnologies/Microélectronique. Université de Strasbourg, 2016. Français. NNT : 2016STRAD020 . tel-01496664

**HAL Id: tel-01496664**

**<https://theses.hal.science/tel-01496664>**

Submitted on 27 Mar 2017

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

**ÉCOLE DOCTORALE MATHÉMATIQUES, SCIENCES de l'INFORMATION et de l'INGÉNIEUR**

Laboratoire ICube UMR 7357

**THÈSE** présentée par :

**Maroua GARCI**

Soutenue le : 20 Mai 2016

Pour obtenir le grade de : **Docteur de l'Université de Strasbourg**

Discipline: Instrumentation et microélectronique

Spécialité : Micro et nanoélectronique

**Simulation multi-physiques de circuits  
intégrés pour la fiabilité**

**THÈSE dirigée par :**

**M. HEBRARD Luc**

Professeur, Université de Strasbourg

**M. KAMMERER Jean-Baptiste**

Maître de conférences, HDR, Université de Strasbourg

**RAPPORTEURS :**

**M. SALLESE Jean-Michel**

Maître d'Enseignement et de Recherche, Ecole Polytechnique  
Fédérale de Lausanne (EPFEL), Suisse

**M. O'CONNOR Ian**

Professeur, Ecole Centrale de Lyon

---

**EXAMINATEUR:**

**M. JACQUEMOD Gilles**

Professeur, Ecole Polytech' Nice Sophia



# Remerciements

J'aimerais tout d'abord remercier mon directeur de thèse, Luc Hébrard, pour ses précieux conseils et pour sa correction méticuleuse de chacun des chapitres de cette thèse qui m'a certainement permis une meilleure présentation de mon travail.

Je remercie également mon co-directeur Jean-Baptiste Kammerer. Son avis critique et son savoir faire m'ont été d'une grande utilité.

Je tiens à exprimer mes vifs remerciements à Ian O'Connor, Jean-Michel Sallese, Gilles Jacquemod, André Baguenier Desormeaux et Renaud Gillon d'avoir accepté de faire partie de mon jury de thèse.

J'adresse mes remerciement aux membres de l'équipe SMH du laboratoire ICube et je tiens à saluer mes collègues doctorants : Imane, Laurent, Simon, Fitsum, Julien, Thomas et Rémi.

Je remercie mes copines Noura, Wafa et Marion pour leur disponibilité et pour les bons moments que nous avons passés ensemble.

Je voudrais remercier particulièrement ma famille qui m'a soutenue et encouragée tout au long de mon cursus scolaire et universitaire.

0.0

# Table des matières

Remerciements . . . . .	iii
<b>Table des figures</b>	<b>ix</b>
<b>Liste des tableaux</b>	<b>xiii</b>
<b>Introduction générale</b>	<b>xvii</b>
<b>I État de l'art</b>	<b>1</b>
<b>1 Fiabilité et conception pour la fiabilité des circuits intégrés</b>	<b>5</b>
1.1 La notion de fiabilité . . . . .	5
1.2 Approches en fiabilité, robustesse et sûreté de fonctionnement en microélectronique . . . . .	6
1.2.1 Fiabilité et robustesse . . . . .	6
1.2.2 L'analyse de la défaillance et l'étude de la durée de vie d'un circuit . . . . .	7
1.2.3 L'analyse des modes de défaillance . . . . .	9
1.3 La fiabilité en conception microélectronique . . . . .	10
1.3.1 Méthodologie de conception des circuits intégrés . . . . .	11
1.3.2 L'approche descendante ou " <i>top-down</i> " . . . . .	12
1.3.3 L'approche ascendante ou " <i>bottom-up</i> " . . . . .	12
1.3.4 Importance de la conception pour la fiabilité . . . . .	14
<b>2 Les mécanismes de défaillance des circuits CMOS</b>	<b>17</b>
2.1 Les facteurs de défaillances . . . . .	17
2.2 Les mécanismes de défaillance . . . . .	19
2.2.1 Electromigration . . . . .	21
2.2.2 Claquage de l'oxyde de grille : Time Dependant Oxyde Break-down . . . . .	23
2.2.3 Bias Temperature Instability- BTI . . . . .	26
2.2.4 La dégradation par porteurs chauds . . . . .	32
<b>3 Les outils de simulation de la fiabilité</b>	<b>37</b>
3.1 Les simulateurs de fiabilité basés sur le comportement électrique . . .	37
3.1.1 Le simulateur HOTRON : Circuit Hot-Electron Effect Simulator	38
3.1.2 Le simulateur BERT . . . . .	39

3.1.3	Simulateurs intégrés . . . . .	39
3.2	Les méthodes de simulation numérique . . . . .	44
3.2.1	La méthode des éléments finis . . . . .	44
3.2.2	La méthode des différences finies . . . . .	46
3.3	La simulation multi-physiques . . . . .	47
3.3.1	Le principe de la simulation multi-physiques . . . . .	47
<b>4</b>	<b>Vers la simulation multi-physiques dans un environnement de CAO standard</b>	<b>53</b>
4.1	Le simulateur électrothermique . . . . .	54
4.1.1	Principe de fonctionnement du simulateur électrothermique . . . . .	54
4.1.2	La méthode de simulation directe : couplage fort . . . . .	56
4.1.3	L'approche de la modélisation électrothermique haut niveau . . . . .	56
4.2	Vers la simulation multi-physiques : nos objectifs . . . . .	58
<b>II</b>	<b>Modélisation compacte du phénomène de vieillissement électrique par porteurs chauds</b>	<b>61</b>
<b>5</b>	<b>Modélisation du phénomène CHC dans les transistors CMOS "T_étendu"</b>	<b>64</b>
5.1	Modélisation de la dérive des paramètres du transistor due au phénomène des porteurs chauds . . . . .	64
5.1.1	Des équations physiques au modèle analytique . . . . .	65
5.2	Le phénomène du recouvrement . . . . .	67
5.3	La dépendance en température du phénomène des porteurs chauds . . . . .	70
5.3.1	La dépendance en température de la dégradation par porteurs chauds . . . . .	70
5.3.2	La dépendance en température du recouvrement . . . . .	71
5.4	Le courant de substrat indicateur du vieillissement . . . . .	71
5.5	Le modèle de vieillissement par CHC proposé . . . . .	72
5.5.1	La modélisation compacte . . . . .	72
5.5.2	Le langage de description de matériel Verilog-A . . . . .	72
5.5.3	La modélisation compacte en Verilog-A du phénomène de CHC . . . . .	74
<b>6</b>	<b>Simulations électrothermiques tenant compte du vieillissement</b>	<b>78</b>
6.1	Les résultats de simulation du vieillissement d'un seul transistor . . . . .	78
6.1.1	La simulation du comportement du courant de substrat : indicateur de vieillissement par CHC . . . . .	78
6.1.2	La simulation de la dérive et du recouvrement de la tension de seuil $V_{th}$ . . . . .	80
6.2	Simulation électrothermique d'un capteur de vieillissement . . . . .	83
6.2.1	Les résultats de la simulation électrothermique du capteur de vieillissement . . . . .	85
6.2.2	L'intérêt de la simulation électrothermique du capteur de vieillissement . . . . .	91

<b>7</b>	<b>Validation expérimentale de la modélisation de la dégradation par <i>CHC</i></b>	<b>92</b>
7.1	Extraction de la caractéristique de sortie d'un transistor seul soumis au phénomène de <i>CHC</i> . . . . .	92
7.2	Mesure de la dérive des paramètres <i>KP</i> et $V_{th}$ . . . . .	94
7.2.1	Technique de l'extraction des paramètres <i>KP</i> et $V_{th}$ . . . . .	94
7.2.2	Extraction de la dérive des paramètres $V_{th}$ et <i>KP</i> en fonction du stress électrique pour des températures différentes . . . . .	95
<b>III</b>	<b>Le simulateur électro-thermo-mécanique</b>	<b>100</b>
<b>8</b>	<b>Lois de Kirchhoff généralisées et simulation multi-physiques au niveau circuit</b>	<b>103</b>
8.1	Les lois de Kirchhoff généralisées . . . . .	103
8.1.1	Les lois de Kirchhoff généralisées en électricité . . . . .	104
8.1.2	Les lois de Kirchhoff généralisées en thermique . . . . .	105
8.1.3	Les lois de Kirchhoff généralisées en mécanique . . . . .	105
8.2	La modélisation multi-physiques en Verilog-A . . . . .	105
8.3	Le couplage entre les différents réseaux pour la simulation multi-physiques au niveau circuit . . . . .	106
<b>9</b>	<b>La simulation électro-thermo-mécanique</b>	<b>108</b>
9.1	Du réseau thermique au réseau thermo-mécanique . . . . .	108
9.2	Le réseau thermo-mécanique . . . . .	110
9.2.1	Le maillage utilisé pour la génération du réseau thermo-mécanique	111
9.2.2	Le modèle de l'élément fini thermique . . . . .	114
9.2.3	Le modèle de l'élément fini mécanique . . . . .	116
9.2.4	La modélisation de l'élément fini thermo-mécanique en Verilog-A . . . . .	119
9.2.5	Modélisation de la dépendance en température du module de Young . . . . .	122
9.2.6	Modélisation de la déformation dynamique . . . . .	123
<b>10</b>	<b>Les résultats des simulations électro-thermo-mécaniques</b>	<b>125</b>
10.1	Les résultats de simulation thermo-mécaniques d'un cube de silicium	126
10.1.1	La simulation effectuée dans l'environnement de CAO Cadence®	126
10.1.2	Validation des résultats de simulation à l'aide de COMSOL . . . . .	128
10.2	Résultats de simulations électro-thermo-mécaniques . . . . .	131
10.2.1	Cas d'un maillage régulier . . . . .	131
10.2.2	Cas d'un maillage muti-résolution . . . . .	135

<b>Conclusion générale et Perspectives</b>	<b>144</b>
<b>Annexes</b>	<b>148</b>
<b>Annexe-A : Publications</b>	<b>148</b>
<b>Annexe-B : Code Verilog-A de l'élément fini thermo-mécanique</b>	<b>150</b>
<b>Annexe-C : Layouts et maillages</b>	<b>160</b>
<b>Bibliographie</b>	<b>164</b>
<b>Bibliographie</b>	<b>164</b>

# Table des figures

1.1	Types des défaillances . . . . .	8
1.2	Évolution du taux de défaillances . . . . .	8
1.3	Le cycle de la méthode de sureté de fonctionnement AMDEC . . . . .	10
1.4	Les niveaux d'abstraction en conception des circuits intégrés mixtes . . . . .	11
1.5	Approche Top-Down . . . . .	13
1.6	Approche Bottom-Up . . . . .	13
1.7	Le coût de chacune des étapes de production et son impact sur le coût total du produit [1] . . . . .	14
1.8	Le concept de la conception pour la fiabilité "Design for Reliability" dans le contexte de "Build In Reliability Technology" [2] . . . . .	15
2.1	La dépendance en température de l'électromigration . . . . .	22
2.2	Circuit ouvert et court-circuit engendrés par l'electromigration . . . . .	23
2.3	Utilisation des lignes en bambou à la place des lignes en structure polycristalline [3] . . . . .	24
2.4	Les étapes du claquage de l'oxyde " <i>Hard Breakdown</i> " . . . . .	26
2.5	Différentes conditions de polarisation de NBTI . . . . .	27
2.6	Modèle de réaction-diffusion d'hydrogène. Première figure : Dissociation des liaisons Si-H à l'interface $SiO_2 - Si$ . Deuxième figure : Diffusion de l'entité hydrogénée. Troisième figure : Dérive de l'entité hydrogénée en fonction de sa charge. . . . .	28
2.7	Les cinq régimes différents obtenus à travers la résolution du modèle de Réaction-Diffusion du NBTI . . . . .	31
2.8	Le phénomène des porteurs chauds pour les transistors NMOS et PMOS . . . . .	34
3.1	Plateforme d'un simulateur de la fiabilité des circuits électroniques [2] . . . . .	38
3.2	Bloc fonctionnel du simulateur HOTRON . . . . .	39
3.3	L'outil de simulation BERT autour de SPICE [4] . . . . .	40
3.4	Simulation de la fiabilité intégrée dans le simulateur SPICE <sup>®</sup> . $\Delta D$ est l'accumulation de la dégradation, $T_{age}$ est le temps d'extrapolation, $T_s = T_{start} - T_{stop}$ est la durée de la simulation SPICE, $\Delta P$ est la variation des paramètres SPICE suite à la dégradation [5]. . . . .	41
3.5	Le diagramme de fonctionnement de RelXpert <sup>®</sup> , le simulateur de fiabilité de Cadence [6] . . . . .	42
3.6	Schéma du couplage utilisé dans le cas des simulations multi-disciplinaires . . . . .	49
3.7	L'algorithme de couplage Gauss Seidel [7] . . . . .	49
3.8	Schéma du couplage faible . . . . .	49

3.9	L'algorithme de couplage faible [7] . . . . .	49
3.10	L'algorithme de Newton pour le couplage fort [7] . . . . .	50
4.1	Substitution d'une entité électrique conventionnelle d'un transistor par son équivalent électrique "T_étendu" . . . . .	55
4.2	Le principe de fonctionnement du simulateur électrothermique . . . . .	57
5.1	Ionisation par impact et création des états d'interface pour un transistor NMOS . . . . .	65
5.2	Phénomène de compensation de la charge créée. BBT " <i>Band to Band Tunneling generated Hole</i> " désigne les trous générés par effet tunnel . . . . .	68
5.3	Illustration du processus d'effet tunnel entre bandes près de la région du drain. Le diagramme indique que pour un champ électrique important, les électrons de la bande de valence ont une probabilité de se déplacer par effet tunnel vers la bande de conduction et les trous générés vont par la suite être compensés par les électrons piégés à l'interface $Si - SiO_2$ . . . . .	69
5.4	Modélisation de l'effet des porteurs chauds au sein du modèle électrique "T_étendu" du transistor MOS . . . . .	74
6.1	Le courant de substrat d'un seul transistor ( $W=5\mu m$ et $L=5\mu m$ ) à deux températures différentes $T_0 = 300K$ et $T_1 = 320K$ . . . . .	79
6.2	La simulation de $I_{sub}$ sur 5 ans, $W=5\mu m$ , $L=5\mu m$ et $V_{gs} = 1V$ . . . . .	81
6.3	Simulation de la tension de seuil $V_{th}$ en dégradation et en recouvrement pour un transistor NMOS, $W=5\mu m$ et $L=5\mu m$ , $T=300K$ . . . . .	82
6.4	Résultats de mesures du comportement de la tension de seuil $V_{th}$ sous conditions de stress et de recouvrement pour un transistor NMOS de $T_{ox} = 16nm$ et de $L_{eff} = 1\mu m$ [8] . . . . .	82
6.5	Structure du capteur de vieillissement [3] . . . . .	83
6.6	Schéma de la puce simulée . . . . .	86
6.7	Schéma électrothermique du circuit . . . . .	86
6.8	Carte thermique de la puce simulée . . . . .	87
6.9	Températures des transistors M5 des deux capteurs, celui proche du bord de la puce où la température est maintenue à 300K et celui près de la résistance chauffante . . . . .	88
6.10	Variation de la tension $V_{th}$ des deux transistors M5 des deux capteurs, celui qui est proche du bord de la puce où la température est maintenue à 300K et celui qui est près de la résistance chauffante . . . . .	88
6.11	Le courant de sortie des deux capteurs de vieillissement, sans prise en compte de la dégradation par CHC dans les modèles des transistors électriques "T_étendu" . . . . .	90
6.12	Le courant de sortie des deux capteurs de vieillissement, avec prise en compte de la dégradation par CHC dans les modèles des transistors électriques "T_étendu" . . . . .	90

7.1	La dégradation du courant $I_{ds}$ en fonction de la durée du stress pour un NMOS de taille $\frac{W}{L} = \frac{5\mu m}{0.7\mu m}$ ; avec un stress électrique $V_{gs} = 1.9V$ et $V_{ds} = 6V$ pour des périodes de stress de 0s, 300s et 400s . . . . .	93
7.2	Le comportement du courant de substrat ( $I_{sub}$ en A) en fonction de la durée du stress et des conditions de polarisation ( $V_{ds}$ allant de 0 à 5V) d'un NMOS de taille $\frac{W}{L} = \frac{5\mu m}{0.7\mu m}$ , avec un stress électrique $V_{gs} = 1.9V$ et $V_{ds} = 6V$ , pour des périodes de stress de 0s, 300s et 400s . . . . .	93
7.3	La procédure d'extraction des paramètres $KP$ et $V_{th}$ pour un NMOS ( $\frac{W}{L} = \frac{5\mu m}{0.7\mu m}$ ), en mesurant la caractéristique $I_{ds} = f(V_{gs})$ pour $V_{ds} = 100mV$ , i.e en mesurant la caractéristique du transistor en régime linéaire. . . . .	95
7.4	$I_{ds}$ en fonction de $V_{gs}$ sur des intervalles de stress cumulatifs de 300s à 3000s appliqués sur un transistor NMOS de ( $\frac{W}{L} = \frac{5\mu m}{0.7\mu m}$ ). La phase de stress correspond à $V_{gs} = 1.9V$ et $V_{ds} = 6V$ . . . . .	96
7.5	La dérive de $KP$ pour deux températures différentes $T=300K$ et $T=320K$ pour des transistor NMOS de ( $\frac{W}{L} = \frac{5\mu m}{0.7\mu m}$ ) pendant un intervalle de stress électrique de 3000s . . . . .	97
7.6	La dérive de $V_{th}$ pour deux températures différentes $T=300K$ et $T=320K$ pour un transistor NMOS de ( $\frac{W}{L} = \frac{5\mu m}{0.7\mu m}$ ) pendant un intervalle de stress électrique de 3000s . . . . .	98
8.1	Notion de flux et d'effort dans le cas général . . . . .	103
8.2	Notion de flux et d'effort dans le cas d'un système électrique . . . . .	104
8.3	Notion de flux et d'effort dans le cas d'un système thermique . . . . .	104
8.4	Notion de flux et d'effort dans le cas d'un système mécanique . . . . .	105
8.5	Le couplage électro-thermo-mécanique . . . . .	107
9.1	La génération du réseau électro-thermo-mécanique : A)- Construction du <i>Layout</i> à partir du schéma électrique. B)- Maillage du réseau thermo-mécanique selon le <i>Layout</i> . C)- Génération à partir d'un script en SKILL <sup>®</sup> du réseau thermo-mécanique. D)- Modèle de l'élément fini thermique. E)- Modèle de l'élément fini mécanique. . . . .	109
9.2	La modélisation thermique d'un circuit composé de plusieurs couches	111
9.3	La définition de la source de chaleur et sa zone d'influence . . . . .	112
9.4	La procédure du maillage [9] . . . . .	113
9.5	Le réseau de Cauer linéaire [10] . . . . .	115
9.6	L'élément fini thermique . . . . .	116
9.7	Schéma des déformations élastiques provoquées par une contrainte de traction normale $\sigma_{xx}$ . . . . .	117
9.8	La contrainte de cisaillement en 2D . . . . .	118
9.9	L'élément fini mécanique . . . . .	120
9.10	La modélisation du cisaillement . . . . .	121
9.11	Exemple d'équations de la modélisation des déformations mécaniques d'un seul nœud en Verilog-A. L'élément possède huit nœuds numérotés de 0 à 7 . . . . .	124
10.1	Le cube en silicium simulé . . . . .	126

10.2	Distribution volumique des déplacements au sein du cube en silicium obtenue par COMSOL Multiphysics <sup>®</sup> . Cette distribution de déplacements traduit la déformation globale du cube. . . . .	128
10.3	La carte des déplacements suivant $x$ (en micromètre) des points de la surface $z=0$ pour le cube de Silicium de la figure 10.1. (a) à l'aide de notre outil de simulation (b) à l'aide de COMSOL Multiphysics <sup>®</sup> . . .	129
10.4	La carte des déplacements (en micromètre) suivant $y$ des points de la surface définie par $z=0$ pour le cube de silicium de la figure 10.1. (a) à l'aide de notre outil de simulation, (b) à l'aide de COMSOL Multiphysics <sup>®</sup> . . . . .	130
10.5	Composition et taille de la puce simulée . . . . .	132
10.6	Allure de la déformation et champ de déplacements simulés sous COMSOL <sup>®</sup> . . . . .	132
10.7	La carte thermique du circuit simulé à l'interface $Si/SiO_2$ selon le plan de coupe $z=40\mu m$ . . . . .	133
10.8	La carte des déformations suivant $z$ à l'interface $Si - SiO_2$ ( $z = 40\mu m$ )	134
10.9	La carte des déformations suivant $x$ à l'interface $Si - SiO_2$ ( $z = 40\mu m$ )	134
10.10	Carte thermique du circuit à l'interface $Si - SiO_2$ . . . . .	136
10.11	Carte de déplacements suivant $x$ du circuit à l'interface $Si - SiO_2$ . . .	137
10.12	Carte de déplacements suivant $y$ du circuit à l'interface $Si - SiO_2$ . . .	138
10.13	Carte de déplacements suivant $z$ du circuit à l'interface $Si - SiO_2$ . . .	139
10.14	Le simulateur multi-physique complètement couplé . . . . .	146
15	Layout du circuit conçu pour les mesures de vieillissement par CHC . . .	161
16	Le maillage de la couche de silicium contenant les capteurs de vieillissement . . . . .	162
17	Le maillage multi-résolution du circuit pour une coupe à l'interface $Si - SiO_2$ . . . . .	163

# Liste des tableaux

3.1	Table des simulateurs . . . . .	43
5.1	Paramètres de vieillissement par porteurs chauds pour la technologie AMS 0,35 $\mu\text{m}$ [3] . . . . .	67
5.2	Paramètres pour le calcul de la bande interdite du silicium en fonction de la température . . . . .	71
5.3	Les paramètres utilisés pour la modélisation de la dégradation-recouvrement. En rouge : les paramètres de la dégradation. En gris : les paramètres du recouvrement . . . . .	75
6.1	Tableau de dimensions des transistors du capteur de vieillissement . .	85
8.1	Les disciplines utilisées pour la description des systèmes : électrique, thermique et mécanique en Verilog-A . . . . .	106
10.1	Les paramètres thermiques et mécaniques du <i>Si</i> utilisés en simulation	127
10.2	Les résultats de simulation obtenus sous Cadence <sup>®</sup> et les résultats de simulation obtenus sous COMSOL Multiphysics <sup>®</sup> pour les points de coordonnées $(x,y,z)=(-50\ \mu\text{m},50\ \mu\text{m},0)$ et $(-50\ \mu\text{m},-50\ \mu\text{m},0)$ où le déplacement est maximal. . . . .	130
10.3	Les paramètres du <i>SiO<sub>2</sub></i> utilisés en simulation . . . . .	131



# Liste des symboles

<i>PDEs</i>	Partial Differential Equations
AMS	Analog Mixed Signal
BIR	Building In Reliability
CAD	Computer Aided Design
CHC	Channel Hot Carriers
CHC	Channel Hot Carriers
DfR	Design for Reliability
DfT	Design for Testability
Dof	Degree of freedom
FEM	Finite Elements Method
HDL	Hardware Description Language
LEM	Lucky Electron Model
LHM	Lucky Hole Model
MTTF	Median Time To Failure
NBTI	Negative Temperature Instability
ODE	Les équations de différences ordinaires
PDE	Les équations de différences partielles
SoCs	Systems On Chips
TCAD	Technology Computer Aided Design
TDOB	Time Dependant Oxyde Breakdown
VHDL	Very high speed integrated circuits Hardware Description Language
VLSI	Very Large Scale Integration
ZCE	Zone de Charge d'Espace



# Introduction générale

Cette thèse porte sur le thème général de la fiabilité des circuits micro-électroniques. L'objectif de ce travail consiste en le développement d'un simulateur multi-physiques pour la conception des circuits intégrés fiables. Pour cela nous sommes partis d'un simulateur électro-thermique développé précédemment dans le cadre de la thèse de Jean-Christophe Krencker. Ce précédent travail s'inscrivait dans le cadre du projet 3DIDEAS<sup>1</sup> et a été réalisé au sein du laboratoire ICube.

Le but de notre travail fut de développer un outil de simulation qui possède les caractéristiques innovatrices suivantes :

- (i) L'intégration dans un environnement de conception micro-électronique standard, tel que l'environnement Cadence<sup>®</sup> ;
- (ii) La possibilité de simulation, sur de longues durées, du comportement des circuits CMOS analogiques en tenant compte du phénomène de vieillissement ;
- (iii) La simulation de plusieurs physiques (électrique-thermique-mécanique) couplées dans ce même environnement, de CAO, en utilisant la méthode de simulation directe.

Ce travail de thèse a été construit en passant par trois grandes étapes traduites dans les trois parties de ce manuscrit. La première partie s'étend du chapitre 1 au chapitre 4 et présente une étude de l'état de l'art. La notion de fiabilité ainsi que certaines approches ont été introduites dans le premier chapitre qui souligne à la fin l'importance de la conception pour la fiabilité. Par la suite, le deuxième chapitre expose les principaux mécanismes de défaillance pouvant avoir lieu dans les circuits CMOS. Parmi ces mécanismes, nous allons nous intéresser en particulier au phénomène des porteurs chauds car c'est le phénomène de fiabilité majeur des transistors MOS en circuits analogiques, notre cas d'étude. Le troisième chapitre présente brièvement les principaux outils de simulation de fiabilité micro-électroniques existants (tels que les simulateurs HORTON, BERT...etc) puis les principales méthodes de résolution utilisées pour la simulation numérique, particulièrement la méthode des éléments finis. Ce troisième chapitre se termine par l'introduction du principe de la simulation multi-physiques et des différents types de couplages existants. La première partie est clôturée par un chapitre de transition qui explique les stratégies que

---

1. Projet financé par l'Agence Nationale de Recherche et initié en 2009 par l'équipe conception des systèmes hétérogènes de l'Institut des Nanotechnologies de Lyon (INL)

nous avons adoptées dans la suite de notre travail en vue de la simulation multi-physiques dans un environnement de CAO Standard. Il précise notamment nos points de départ et nos objectifs pour le développement d'un tel simulateur.

Dans la deuxième partie de ce manuscrit, qui s'étend du chapitre 5 au chapitre 7, nous détaillons notre modélisation compacte du phénomène de vieillissement par porteurs chauds. Dans le chapitre 5, nous introduisons les équations analytiques décrivant ce phénomène. Notre modélisation de ce mécanisme de dégradation tient compte aussi du phénomène de recouvrement et de la dépendance de ces deux derniers (la dégradation et le recouvrement) vis à vis de la température. Dans ce chapitre nous détaillons aussi notre modélisation en Verilog-A de ce phénomène, à partir des équations analytiques.

Le chapitre 6 présente les résultats de simulation électro-thermiques en utilisant les modèles de transistors qui tiennent compte du phénomène de vieillissement par porteurs chauds. Une première simulation du transistor seul a été effectuée et les résultats de simulation comparés à ceux de mesures trouvées dans la littérature nous ont permis de valider notre modèle. Ensuite, une simulation électro-thermique au niveau circuit d'un capteur de vieillissement a été effectuée en utilisant notre modèle de transistor électrique qui est étendu vers la thermique et qui tient en compte du phénomène des porteurs chauds. Les résultats de cette simulation vont souligner l'intérêt de l'utilisation de notre outil de simulation électro-thermique en phase de conception pour le choix de l'emplacement de ce capteur dans le circuit. Le chapitre 7, dernier chapitre de la deuxième partie, présente la validation expérimentale de notre modélisation du phénomène des porteurs chauds à travers des résultats de mesures que nous avons effectuées.

La troisième et dernière partie de ce manuscrit est consacrée au simulateur électro-thermo-mécanique que nous avons développé à partir du simulateur électro-thermique déjà existant pour aller vers la simulation multi-physiques de circuits intégrés. Le chapitre 8, premier chapitre de cette partie, est consacré à l'introduction des lois de Kirchhoff généralisées ainsi qu'à leur application pour la construction de réseaux électrique, thermique et mécanique à l'aide de l'outil de description de matériel Verilog-A.

Le chapitre 9 détaille les différentes lois de la mécanique que nous avons implémentées en Verilog-A pour construire notre élément fini thermo-mécanique.

Par la suite, le chapitre 10 présente nos résultats de simulations électro-thermo-mécaniques, commençant par ceux d'un simple cube de silicium comparés aux résultats obtenus avec l'outil de référence COMSOL Multiphysics<sup>®</sup> pour le même cas d'étude. Cette comparaison va nous permettre de valider notre modélisation thermo-mécanique. Ce même chapitre détaille aussi nos résultats de simulation électro-thermo-mécanique pour un cas d'étude de circuit réaliste.

Le manuscrit se termine par une conclusion générale qui récapitule l'ensemble de notre travail et qui, en prospective, suggère des pistes pour l'optimiser.

Première partie

État de l'art



# Introduction

Cette partie introduit l'état de l'art de ce travail de thèse. Les différents chapitres regroupent les principales raisons qui nous ont conduit à réaliser ce travail ainsi que les différentes connaissances et notions dont nous avons eu besoin pour le mener à bien. Dans la première partie, nous présentons le cadre général de nos travaux qui consiste en la conception de circuits intégrés fiables. Nous détaillons en cette partie le cycle de conception des circuits intégrés ainsi que l'importance de tenir compte de la notion de fiabilité en chacune des étapes de ce cycle, en particulier l'importance de la simulation pour la fiabilité. Nous abordons par la suite le principe et l'intérêt de la simulation multi-physiques dans le cadre de la conception pour la fiabilité.

Le deuxième chapitre de cette partie est consacré aux problèmes de fiabilité majeurs qui doivent être pris en compte pendant la phase de simulation. Dans notre cas, nous nous intéressons aux principales causes de défaillance qui se résument aux problèmes thermiques, aux problèmes mécaniques et aux problèmes de vieillissement. A la fin de ce chapitre, nous évoquons l'importance du développement d'un simulateur multi-physiques pour évaluer dès les premières étapes de conception l'ensemble de ces causes de défaillance. Le dernier chapitre détaille notre stratégie pour développer le simulateur multi-physiques. Nous exposerons notamment les travaux déjà réalisés par l'équipe et qui nous ont servi de base pour ce travail.



# Chapitre 1

## Fiabilité et conception pour la fiabilité des circuits intégrés

Dans ce chapitre, nous définissons quelques notions élémentaires de fiabilité, d'une façon générale, puis dans le domaine de la microélectronique en particulier. Ces notions sont nécessaires pour la compréhension des chapitres suivants de cette thèse. Nous rappelons par la suite quelques approches en flot de conception microélectronique et nous soulignons l'importance de l'intégration de la fiabilité pendant la phase de conception.

### 1.1 La notion de fiabilité

La fiabilité est définie comme l'aptitude d'un dispositif à accomplir une fonction requise dans des conditions données pour une période de temps donnée. Cela désigne aussi la probabilité de n'avoir aucune défaillance à l'instant  $t$ . La notion de fiabilité s'est développée au cours des années cinquante avec l'évolution des projets militaires et aéronautiques. Ce type de projets a suscité une analyse profonde de la fiabilité afin de permettre aux industriels de garantir un bon fonctionnement de leurs systèmes durant une durée de vie déterminée en tenant compte des différentes contraintes d'utilisation. Les années 1950 ont vu ainsi un travail pionnier dans le domaine de la fiabilité à travers la mise en place de programmes de fiabilité, des colloques dédiés à la fiabilité et le développement des premiers manuels militaires qui fournissent des indications sur l'utilisation fiable des composants électroniques. La fiabilité de prédiction a été définie en cette période dans le but d'estimer le domaine de fiabilité d'un système avant que des données empiriques soient disponibles pour ce système [11] [12].

Aujourd'hui avec la miniaturisation des composants électroniques et l'évolution croissante des nouvelles technologies, les composants électroniques sont immergés dans tous les domaines et nous en avons recours pour l'accomplissement des différentes tâches quotidiennes. Le besoin de systèmes microélectroniques performants a fait de la fiabilité des semi-conducteurs un défi économique et technologique permanent pour la communauté d'analyse de défaillances. Sur le plan économique, le gain de la conception d'un produit fiable et la diminution des coûts de tests de fiabilité des circuits intégrés sont des objectifs pour les industriels de l'électronique. L'enjeu

technologique est de développer des systèmes performants, à la pointe de la technologie avec des composants dont la fiabilité est garantie « totale » pour une durée déterminée, c'est à dire avec un taux de défaillance proche de zéro sur une durée déterminée.

## 1.2 Approches en fiabilité, robustesse et sûreté de fonctionnement en microélectronique

### 1.2.1 Fiabilité et robustesse

La robustesse est définie d'une façon générale comme la capacité d'un produit à remplir sa fonction constamment malgré la présence de facteurs de bruit. Ici, les facteurs de bruit sont les variables qui ont des effets néfastes sur la fonction voulue et qui sont possibles ou impossibles à contrôler. Les stress environnementaux sont des facteurs de bruit typiques comme la température, l'humidité, les rayonnements électromagnétiques. Cette définition de la robustesse est largement appliquée dans le domaine de l'ingénierie de la qualité [13] [14].

La fiabilité et la robustesse sont corrélées. Un produit robuste a une haute fiabilité sous différentes conditions d'utilisation et pour être fiable, le produit doit maintenir sa robustesse dans le temps. Mais cependant, il est possible qu'un produit robuste ne soit pas fiable avec le temps. Par exemple, un produit peut être fiable au début de son cycle de vie mais ses caractéristiques se dégradant au cours du temps, ce produit est alors considéré comme non fiable car sa caractéristique de performance a franchi un seuil à cause du vieillissement. Aussi, un produit peut se révéler fiable mais peu robuste, c'est à dire fiable dans des conditions de fonctionnement qui ne sont pas sévères.

La conception robuste est une technique puissante pour améliorer la fiabilité à faible coût dans un temps limité. Cette méthodologie d'ingénierie statistique a pour but d'optimiser les procédés de conception pour que la performance du produit soit peu sensible à diverses sources de perturbation. La méthodologie a été développée par Taguchi en 1987 et depuis les années 1980 a été largement appliquée pour améliorer la qualité d'innombrables produits et procédés de fabrication [15]. Plusieurs études ont montré l'efficacité de cette méthode en différents domaines tel que l'avionique, le génie électrique et la mécanique [14]. En microélectronique, la méthode de conception robuste a aussi été utilisée pour améliorer la conception de l'intégration à une très grande échelle des circuits intégrés (*VLSI*) [16]. Selon Taguchi, une conception robuste se compose de trois étapes : la conception du système, la conception des paramètres et la conception de la tolérance.

- La conception du système implique la sélection de la technologie et des composants pour la fabrication, la conception de l'architecture du système, le développement d'un prototype qui répond aux exigences des clients et la détermination du processus de fabrication. La conception du système a un impact significatif sur les coûts, le rendement, la fiabilité, la maintenabilité et les performances d'un produit. Elle joue également un rôle critique dans la réduction de la sensibilité aux facteurs nuisibles au bon fonctionnement du produit.

- La conception des paramètres vise à minimiser la sensibilité de la performance d'un produit ou procédé à des facteurs de bruit en réglant ses paramètres de conception au niveau optimal. Dans cette étape, des expériences sont généralement menées pour étudier la relation entre les paramètres de conception et les caractéristiques de performance du produit. A travers ces relations, les valeurs optimales des paramètres de conception sont déterminées.
- La conception de la tolérance consiste à choisir la tolérance des composants importants pour réduire la sensibilité de la fiabilité aux facteurs de bruit sous des contraintes de coûts. La conception de la tolérance est effectuée après la fin de la conception des paramètres. Si le paramètre de conception ne peut pas atteindre une robustesse suffisante, la conception de la tolérance est nécessaire. Durant cette étape, les éléments dont la variabilité a des effets significatifs sur la sensibilité du produit sont identifiés par l'expérimentation. Ensuite, ces composants sont remplacés par des composants de qualité supérieure en gardant un compromis entre le coût et la robustesse recherchée.

### 1.2.2 L'analyse de la défaillance et l'étude de la durée de vie d'un circuit

Une défaillance est définie comme la cessation de l'aptitude d'une entité à accomplir une fonction requise ou à fonctionner comme prévu. Il existe deux types de défaillances. Le premier type est la défaillance par dérive ou dégradation quand le comportement du système se dégrade en fonction du temps jusqu'à un certain seuil pour être considéré comme défectueux (voir figure 1.1) et le deuxième type est la défaillance catalectique qui est une défaillance soudaine et complète.

la probabilité de défaillance pour un système électrique est généralement décrite par la courbe en baignoire. Cette courbe, représentée par la figure 1.2 est distinguée par ses trois phases : une phase de période utile, et une phase pour les pannes d'usure. Cette courbe est obtenue à partir de la distribution de Weibull qui est souvent utilisée dans le domaine de l'analyse de la durée de vie. La fonction de survie de la loi de Weibull de paramètres  $\eta$  et  $\beta$  est exprimée par :

$$R(t) = \exp\left(\frac{-t}{\eta}\right)^\beta \quad (1.1)$$

$$\lambda(t) = \frac{\beta}{\eta} \left(\frac{t}{\eta}\right)^{\beta-1} \quad (1.2)$$

Dans la première phase de cette courbe (figure 1.2), le taux de défaillance est important et décroissant. C'est la phase de mortalité infantile où les défauts de la fabrication apparaissent. Les composants ou circuits défaillants sont alors écartés du marché à ce niveau. Dans la deuxième phase, le taux de défaillance est constant et minimal car les défaillances aillant lieu pendant cette phase sont des défaillances aléatoires et résultent en général des incidents ou des mauvaises manipulations. Cette phase est considérée comme la phase de maturité.

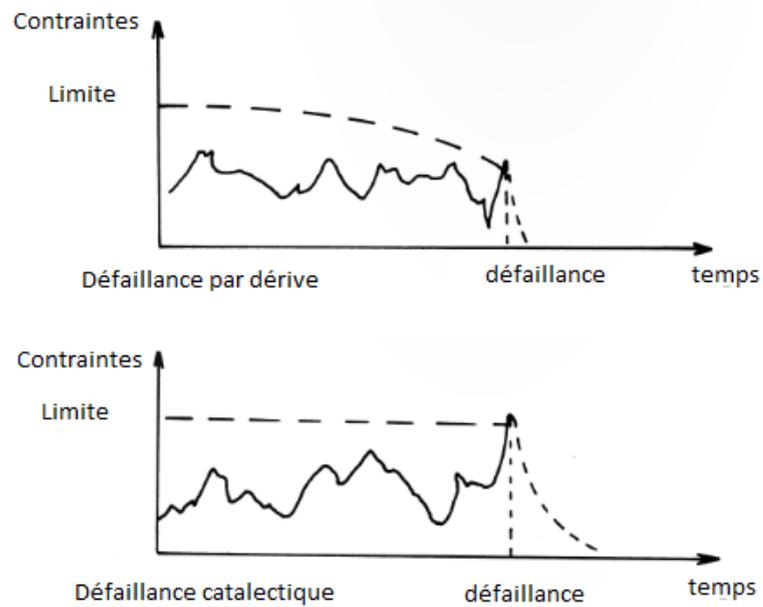


FIGURE 1.1 – Types des défaillances

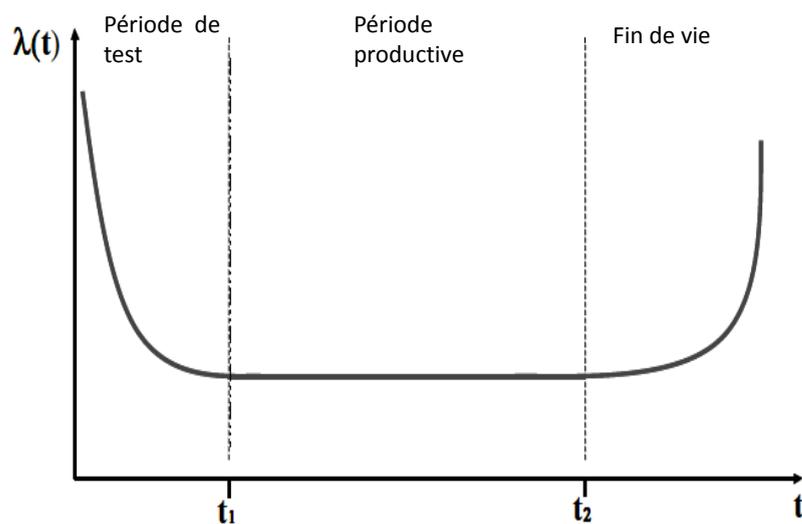


FIGURE 1.2 – Évolution du taux de défaillances

Par la suite, le taux de défaillance augmente, c'est la troisième phase. Dans cette dernière phase, les défaillances ayant lieu sont des défaillances d'usure ou de vieillissement, signalant la fin de vie du produit.

### 1.2.3 L'analyse des modes de défaillance

#### La sûreté de fonctionnement

La sûreté de fonctionnement est l'aptitude d'un système à remplir une ou plusieurs fonctions requises dans des conditions données ; elle englobe principalement quatre composantes :

- La fiabilité comme nous l'avons définie précédemment dans la section 1.1
- La maintenabilité : la capacité pour des composants ou des applications à être maintenus, de manière cohérente et à moindre coût, en état de fonctionnement
- La disponibilité : le ratio de la durée durant laquelle le système est opérationnel par la durée totale durant laquelle le système est souhaité fonctionner
- La sécurité : l'aptitude d'un système soumis à des conditions données à ne pas causer de dommages ni faire apparaître des événements critiques ou catastrophiques.

La sûreté de fonctionnement peut aussi être considérée comme la science des défaillances et des pannes qui a pour objectif principal de justifier le degré de confiance accordé à un système donné.

#### La méthode AMDEC : Outil de la sûreté de fonctionnement

Parmi les premières méthodes de sûreté de fonctionnement les plus recommandées par les normes internationales, comme la norme IEC 60812, et les plus adoptées aujourd'hui dans le domaine de la mécanique, de l'aérospatiale et de la microélectronique, on trouve la méthode "AMDEC" : méthode d'Analyse des Modes de Défaillances, de leurs Effets et de leur Criticité. Cette méthode a été développée par l'armée américaine vers la fin des années 40 en tant qu'une technique d'évaluation de la fiabilité permettant de prévoir les éventuelles défaillances des systèmes militaires. Elle prend en compte l'examen de tous les composants utilisés et de leurs méthodes d'assemblage afin de permettre de [17] :

- détecter les défaillances et évaluer leurs conséquences
- définir les stratégies à adopter pour éliminer ces défaillances
- définir les causes des défaillances
- documenter le processus de développement par toutes les études effectuées

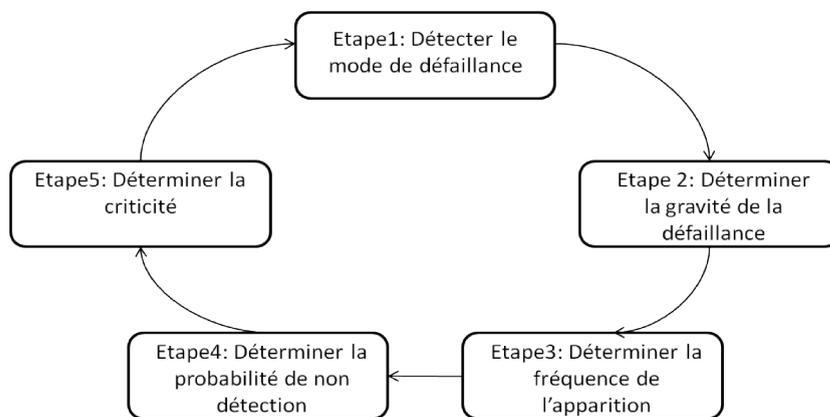


FIGURE 1.3 – Le cycle de la méthode de sûreté de fonctionnement AMDEC

Il y a plusieurs sortes d'AMDEC, en fonction du stade de production :

- l'AMDEC fonctionnelle, permet à partir de l'analyse fonctionnelle (Définie par la norme AFNOR X50-151 A 153 comme la démarche qui consiste à recenser, caractériser, ordonner, hiérarchiser les fonctions d'un produit ou d'un service [18]), de déterminer les modes de défaillances ou causes amenant à cette défaillance
- l'AMDEC produit, permet la vérification de la durée de vie d'un produit développé par rapport aux exigences du client ou de l'application dans le but d'établir un plan de fiabilité
- l'AMDEC processus, permet l'identification des risques potentiels liés à un procédé de fabrication afin de mettre en place un plan de surveillance et de contrôle qualité
- l'AMDEC moyen de production, permet de prévoir des risques liés au non fonctionnement ou au fonctionnement anormal d'un équipement ou d'une machine afin d'anticiper un plan de maintenance préventive
- l'AMDEC flux, permet d'anticiper les risques liés aux ruptures de flux de matière ou d'informations, les délais de réaction ou de correction afin de mettre en place le plan de sécurisation

Parmi les limitations de l'AMDEC est que cette méthode ne permet pas l'identification de l'ordre d'apparition des pannes dans un système et ne permet pas de tenir compte des phénomènes dynamiques.

### 1.3 La fiabilité en conception microélectronique

Dans cette partie, nous allons souligner l'importance de la prise en compte de la fiabilité durant la phase de conception des circuits intégrés. Pour cela, nous commençons d'abord par décrire brièvement les méthodologies adaptées en conception microélectronique.

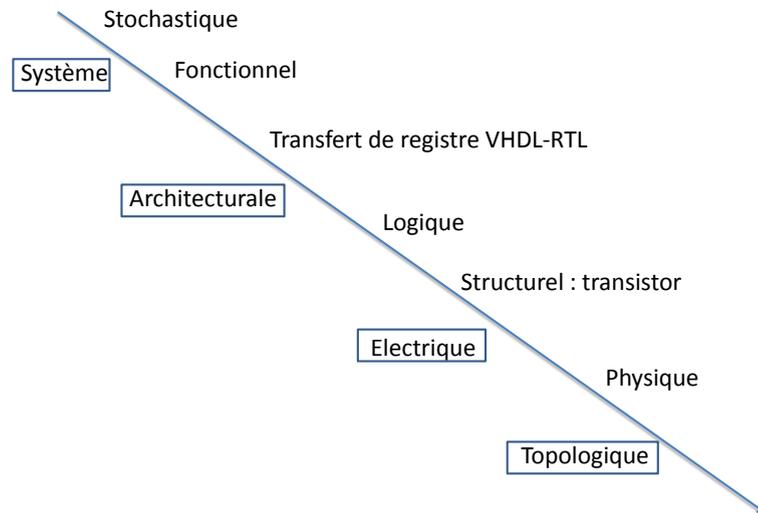


FIGURE 1.4 – Les niveaux d’abstraction en conception des circuits intégrés mixtes

### 1.3.1 Méthodologie de conception des circuits intégrés

Avec le développement incessant des Systèmes sur Puce "SOCs" , les multiples fonctions réalisées sur une seule puce de silicium deviennent de plus en plus complexes. Ces systèmes demandent des technologies de conception particulières qui doivent respecter les architectures matérielles traditionnelles comme le besoin de spécifications de haut niveau, le temps de production limité, le coût et le besoin de technologies alliant la conception analogique et numérique. Il existe des méthodologies permettant de déterminer le meilleur algorithme et la meilleure architecture. Ces méthodologies reposent sur l’assistance d’outils logiciels et adoptent plusieurs niveaux d’abstraction afin de modéliser au mieux et d’une façon simplifiée, sans rentrer dans les détails, les entités hiérarchiques du flot de conception. Selon l’ITRS 2011 [19], en conception de circuits intégrés mixtes, il existe plusieurs niveaux d’abstraction que nous résumons ici en 4 niveaux, illustrés par la figure 1.4 :

1. Abstraction au niveau système : à ce niveau d’abstraction, le circuit est décrit comme un ensemble de processus concurrents permettant de vérifier les fonctionnalités du système complet. Ce niveau d’abstraction est le plus important car c’est à ce niveau que les caractéristiques majeurs du circuit, comme la vitesse de fonctionnement et la consommation, sont déterminées, et les décisions prises à ce niveau ont un impact important sur les niveaux hiérarchiques inférieurs.
2. Abstraction au niveau architecture : à ce niveau, le système est représenté par une association d’éléments qui forment une architecture donnée tel qu’un amplificateur opérationnel en analogique ou une association de portes logiques qui forment un additionneur en numérique.
3. Abstraction au niveau composant : à ce niveau, le circuit est représenté à

partir de ses composants unitaires. C'est à ce niveau que les paramètres du composant, par exemple pour un transistor  $V_{th}$  et  $I_{off}$  sont déterminés.

4. Abstraction au niveau physique ou dessin des masques : à ce niveau, le circuit est représenté par son dessin des masques. C'est à ce niveau que les paramètres relatifs à la géométrie, par exemple les dimensions effectives des composants, et à la physique, par exemple le niveau de dopage, sont déterminés.

La conception des circuits intégrés suit en général un cycle de conception, appelé le cycle de conception en V que nous détaillons au paragraphe suivant.

### 1.3.2 L'approche descendante ou "*top-down*"

C'est une approche de conception progressive basée sur la décomposition d'un système en sous systèmes (voir figure 1.5). Au départ, un aperçu du système est formulé, en précisant sans détailler les sous-systèmes de haut niveau. Chaque sous-système est ensuite successivement raffiné en rajoutant de plus en plus de détails et en rajoutant en chaque niveau des sous-systèmes, jusqu'à ce que l'intégralité de la spécification soit réduite aux éléments unitaires (transistor, capacité, résistance dans le cas des éléments les plus basiques). Cette approche repose souvent sur un ensemble de "boîtes noires" représentant des modèles de haut niveau des sous systèmes, ce qui permet de faciliter leur manipulation. Le bon fonctionnement de chacun des sous systèmes est vérifié en chacune des étapes évitant ainsi les faux départs de conception et pour ne pas avoir à redéfinir le système à la fin du cycle de conception. De cette façon, la fonctionnalité globale du système est préservée [20]. L'approche descendante est souvent adaptée pour la réalisation de circuits dont l'architecture peut être optimisée à partir de cellules standards [2].

### 1.3.3 L'approche ascendante ou "*bottom-up*"

Cette approche (schématisée par la figure 1.6) est basée sur le rassemblement de modules ou fonctions standards déjà caractérisés pour former des systèmes plus complexes répondant à une fonctionnalité bien définie par le cahier des charges. Ces modules standards proviennent en général de bibliothèques existantes. Par exemple, pour concevoir un circuit analogique, il est indispensable d'utiliser des modèles de composants basiques comme le transistor, et le bon fonctionnement du circuit repose sur le bon fonctionnement des composants utilisés. Cette méthode permet un gain de temps car elle est basée sur l'assemblage de modules déjà développés. En revanche, chaque bloc est défini et testé en ne se basant que sur ses propres besoins et la vérification du fonctionnement global du système ne commence qu'après l'assemblage de tous les blocs. De ce fait, il y a un risque que les erreurs de conception n'apparaissent qu'à un niveau avancé dans le cycle de conception et le système n'obéit plus exactement au cahier des charges.

D'une façon générale, quels que soient les niveaux d'abstraction, ce cycle de conception en microélectronique suit ces deux approches complémentaires. La première permet de partir d'un cahier des charges bien défini pour arriver aux blocs

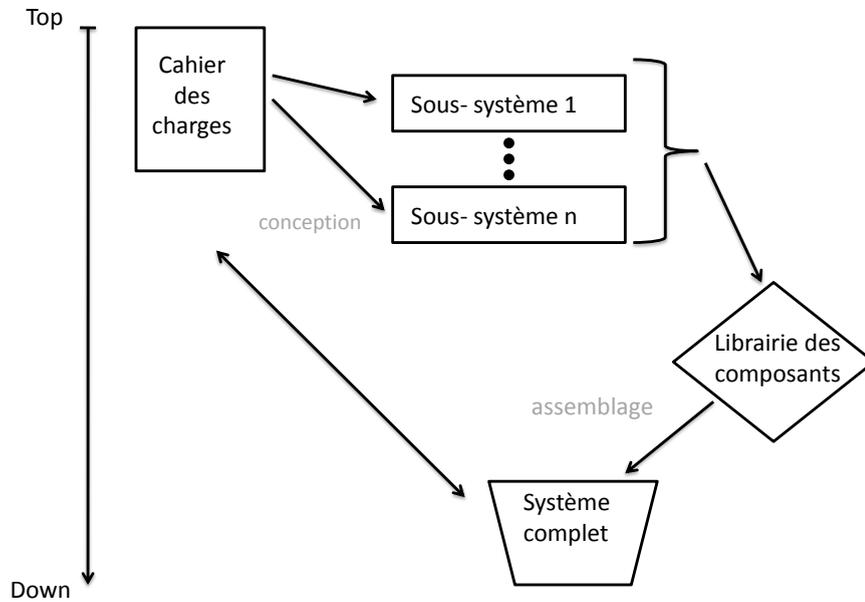


FIGURE 1.5 – Approche Top-Down

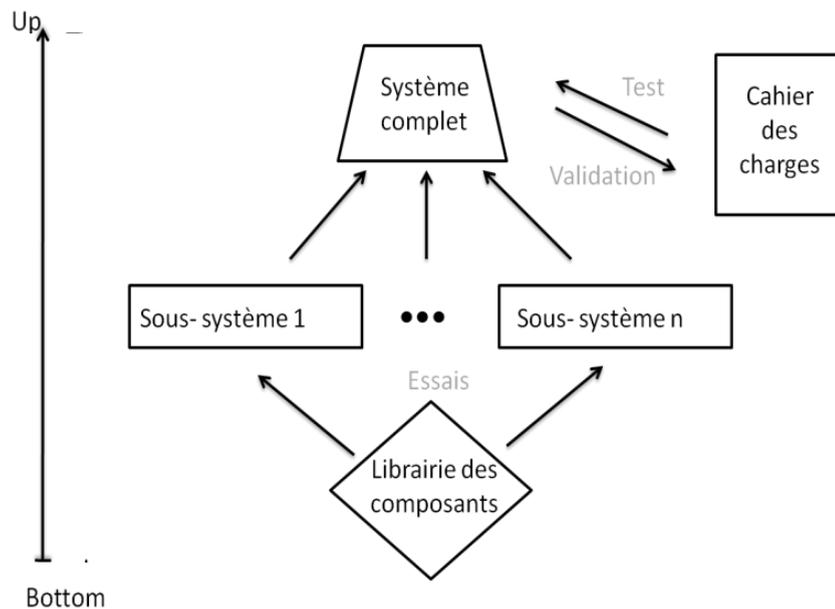


FIGURE 1.6 – Approche Bottom-Up

unitaires nécessaires et la seconde assemble les blocs et vérifie le fonctionnement global du système après assemblage à travers des tests.

Certes, en conception, les tests de fiabilité sont nécessaires quelle que soit la méthode adaptée (cycle en V, cycle en Y,...etc) mais ce qui est le plus important est la prise en compte de la fiabilité dès les premières étapes de la conception afin d'éviter le coût des tests et la fabrication de composants et de circuits défectueux.

### 1.3.4 Importance de la conception pour la fiabilité

Garantir la fiabilité dès la phase de conception permet d'identifier les éventuelles défaillances à un stade peu évolué, ce qui représente un gain de coût des erreurs. En effet, le coût d'une défaillance découverte se multiplie en fonction du stade auquel elle a été détectée. Par exemple, entre une défaillance découverte pendant la phase de conception et une défaillance découverte pendant les premiers tests, le coût se multiplie par 10. Ensuite, entre les premiers tests et la fabrication ce coût est multiplié par 100. Une fois chez l'utilisateur, le coût de défaillance devient maximal et se multiplie par 1000.

En micro-électronique, à cause de l'intégration de plusieurs composants sur une seule puce, la réparation d'un composant défaillant est impossible et engendre le retour du produit. Selon [1] et comme illustré sur la figure 1.7, la phase de conception est la moins coûteuse par rapport à tout le cycle de production. Cependant, c'est l'étape la plus décisive pour le coût total du produit.

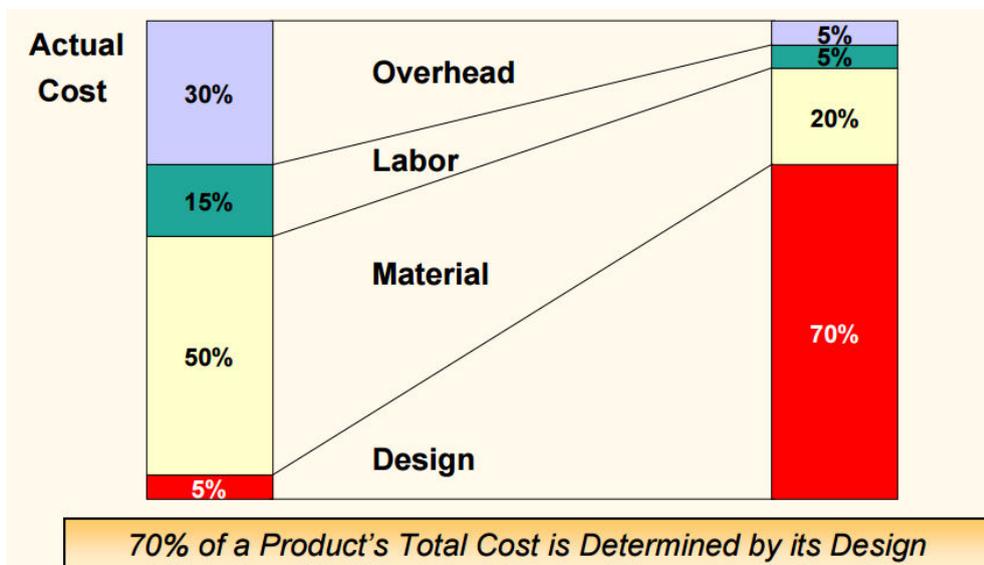


FIGURE 1.7 – Le coût de chacune des étapes de production et son impact sur le coût total du produit [1]

Les tests de fiabilité seuls, à la fin du processus de fabrication, ne répondent plus aux exigences de l'industrie des semi-conducteurs. En effet, pour certains cas de défaillances ces tests ne sont pas toujours efficaces et réalistes. En plus, la mise en œuvre de tous les tests possibles sous les différentes est compliquée. En outre,

comme nous l'avons mentionné précédemment, le coût d'une défaillance découverte durant le test post-fabrication est maximal [21] [22] [23].

Pour cette raison, le concept de renforcement de la fiabilité "*Building in Reliability*" dans le cycle de production est devenu indispensable. Dans cette procédure, les paramètres de tous les aspects du cycle de production qui affectent la fiabilité du produit sont déterminés et contrôlés en commençant par la conception, ensuite la fabrication et puis le test.

La méthode "BIR" assure la fiabilité du produit final en se reposant sur le développement ou l'implémentation de stratégies de conception pour la fiabilité, "*Design for Reliability*". Ces stratégies assurent que la conception de chaque élément est considérée d'une façon individuelle et optimisée au maximum du point de vue fiabilité, avant que le composant ne soit fabriqué sur le silicium. Le positionnement de la DfR dans le contexte de la méthodologie BIR est illustré par la figure 1.8.

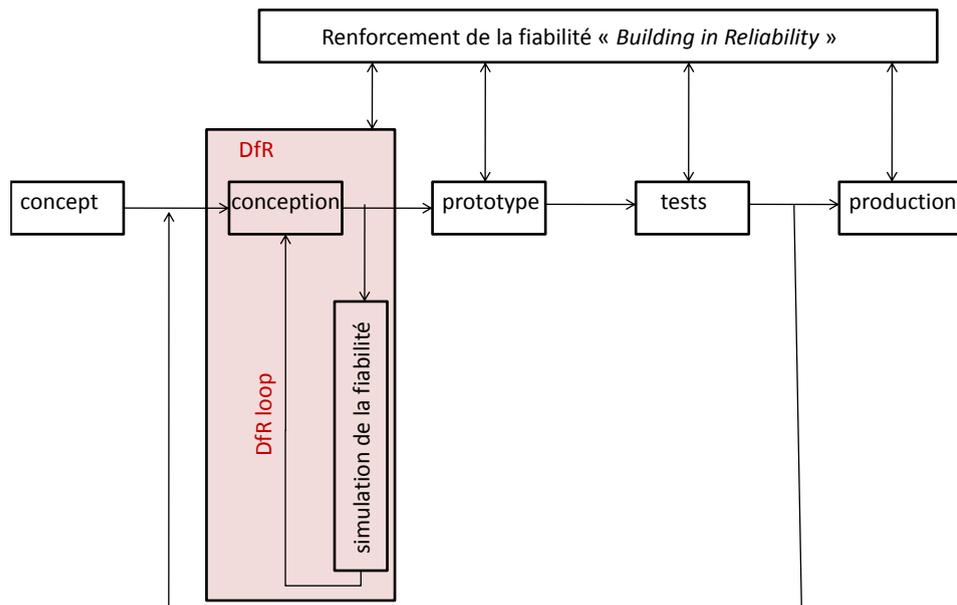


FIGURE 1.8 – Le concept de la conception pour la fiabilité "Design for Reliability" dans le contexte de "Build In Reliability Technology" [2]

Dans ce cycle de DfR, l'utilisation de la simulation pour la fiabilité minimise le nombre de passages dans la boucle conventionnelle nécessaire pour un produit fiable. Ceci va minimiser le coût de la conception, du test et puis de l'éventuelle re-conception. Cela minimise aussi le temps de commercialisation du produit et le coût du développement. En conséquence, en utilisant cette méthode, la fiabilité est intégrée dans la conception du produit final tout en permettant au concepteur de

définir dès le départ des compromis entre le dimensionnement du circuit, son coût, sa robustesse,...etc.

Essentiellement, il y a trois niveaux distincts auxquels la DfR est associée :

- Au niveau de la technologie : les différents matériaux et mécanismes de défaillance structurelles peuvent être simulés grâce aux outils de conception assistée par ordinateur de technologie TCAD ("*Technology Computer Aided design*") afin de modéliser la fabrication des matériaux semi-conducteurs.
- Au niveau circuit : la fiabilité de conception au niveau système des circuits intégrés complets peut être simulée et le comportement des composants à long terme peut être évalué à l'aide de différents types de modèles comportementaux et d'outils de simulation.
- Au niveau du boîtier "*package*" : les circuits intégrés sont simulés sous différentes conditions de stress électrique, thermique et mécanique.

\*

\*

\*

Dans notre travail, nous nous sommes intéressés uniquement au DfR des circuits intégrés. Néanmoins, il est intéressant de noter qu'il existe d'autres méthodologies appliquées pour optimiser le cycle de conception des circuits intégrés. Parmi celles-ci nous pouvons citer la méthode DfM "*Design for Manufacturability*" qui désigne l'ensemble des règles de conceptions visant à améliorer la fabrication dès l'étape de conception. Cette méthodologie concerne par exemple le dimensionnement des circuits en vue de simplifier leur production. Au final, l'objectif de la DfM n'est pas le renforcement de la fiabilité mais elle est utilisée en accord avec la DfR. Il existe aussi la méthodologie de conception DfT "*Design for Testability*" qui définit l'ensemble des règles utilisées pendant la conception pour faciliter l'analyse des défaillances et optimiser d'une façon générale le temps de test. Finalement, toutes ces méthodologies sont utilisées pour améliorer d'une façon directe ou indirecte la fiabilité des circuits intégrés dès l'étape de conception, et pour éviter les éventuels mécanismes de défaillance qui peuvent affecter leur bon fonctionnement. Nous allons étudier les principaux mécanismes de défaillance dans le chapitre suivant.

# Chapitre 2

## Les mécanismes de défaillance des circuits CMOS

Dans le chapitre précédent, nous avons abordé la notion de fiabilité et nous avons souligné l'intérêt de l'étude de la fiabilité dès l'étape de la conception. Cette approche exige la maîtrise des différents mécanismes de défaillance pouvant avoir lieu. Dans ce chapitre, nous commençons par définir les principaux facteurs de défaillances des circuits intégrés CMOS. Nous nous intéressons qu'aux facteurs faisant l'objet de notre travail de thèse et qui peuvent être pris en compte dès la phase de conception. Ensuite, nous définissons, sans pour autant rentrer dans les détails, les mécanismes de défaillance physique les plus fréquents des circuits CMOS . Nous faisons le lien entre les facteurs de défaillance et les mécanismes de défaillance.

### 2.1 Les facteurs de défaillances

En général, la fiabilité de tous les dispositifs à semi-conducteurs dépend de leur résistance au stress appliqué. Ce stress comprend le stress électrique, le stress thermique et le stress mécanique, ainsi que d'autres types de stress externes comme l'humidité,..etc. Si un circuit comporte des composants peu robustes et sensibles aux conditions de stress, une défaillance peut avoir lieu. Ces défaillances peuvent aussi avoir lieu si le circuit tel qu'il est conçu a une structure favorisant leur apparition. C'est pour cette raison que pour chaque circuit il faut étudier et cerner les facteurs de défaillance, ainsi que leurs conséquences au niveau composant et au niveau circuit dès les premières étapes de la conception. Ici nous citons quelques principaux facteurs de défaillance des circuits CMOS : les conditions de polarisation, la température et le stress mécanique. Ce sont les facteurs auxquels nous nous sommes intéressés dans ce travail.

**Les conditions de polarisation** Les conditions de polarisation des circuits intégrés CMOS, comme la tension, le courant et la puissance électrique combinés aux conditions externes (conditions d'utilisation de l'appareil) affectent fortement la vie de tous les dispositifs semi-conducteurs. La puissance électrique peut provoquer une hausse de la température des jonctions, et l'augmentation de la température des jonctions peut entraîner l'augmentation du taux de défaillance. Pour cette raison, la

densité du courant électrique d'un dispositif doit être réduite autant que possible. La densité du courant circulant dans un composant peut être contrôlée dès l'étape de conception en prenant en compte la taille des pistes métalliques, le bon dimensionnement des composants, l'ajout de composants de protection tels que des diodes Zener,...etc pour contrôler le stress électrique et prévenir les défaillances [24].

**La température** La température affecte la durée de vie des composants CMOS comme elle affecte n'importe quel autre composant à semi-conducteur. Lorsque la température varie d'une façon brutale ou graduelle, les caractéristiques de fonctionnement peuvent sensiblement varier jusqu'à la provocation de la défaillance du composant. Il existe une loi qui définit la relation entre la durée de vie d'un composant en semi-conducteur et son taux de défaillance en relation avec la température, c'est la loi d'Arrhenius. En effet, cette loi est une loi empirique qui est utilisée à l'origine en chimie pour décrire la variation de la vitesse d'une réaction chimique en fonction de la température. Elle a ensuite été extrapolée pour décrire l'accélération thermique des mécanismes de défaillance des dispositifs à semi-conducteur selon l'équation 2.1.

$$L = A \exp \frac{Ea}{kT} \quad (2.1)$$

où :

- $A$  : constante dépendante du composant
- $Ea$  : l'énergie d'activation en (eV) du mécanisme de défaillance
- $k$  : la constante de Boltzmann ( $8.6 \times 10^{-5}$  eV/K)

Selon cette loi, plus la température augmente, plus la durée de vie du composant diminue. Néanmoins, c'est une loi contestable car elle ne peut prendre en compte qu'un seul mécanisme de défaillance à la fois, et comme nous allons le détailler plus tard dans ce manuscrit, la relation entre la température et la durée de vie d'un composant est beaucoup plus complexe et dépendent des natures des mécanismes de défaillance ayant lieu en même temps [25] [26]. Pour prévenir les défaillances dues à l'augmentation de la température dans le circuit, le concepteur doit prendre en compte toute la structure du circuit (soudure, packaging,...etc) et s'assurer que le système de refroidissement : les radiateurs, les dissipateurs de chaleur... gardent la température de fonctionnement du circuit dans tous les cas en deça d'une certaine limite.

**Le stress mécanique** Si le composant est exposé à un stress mécanique ou sur lequel est appliquée une forte force, l'appareil peut claquer et être directement endommagé mécaniquement. Par ailleurs, cette défaillance peut être provoquée indirectement par l'humidité ou la contamination qui peuvent rentrer dans le dispositif à travers la zone endommagée, et en conséquence provoquer une détérioration du composant. Dans d'autres cas, la défaillance ne se manifeste pas directement comme un claquage mais à travers le changement des caractéristiques du composant. Par

exemple, sous l'influence d'une contrainte mécanique, le réseau cristallin du silicium se déforme, ce qui se traduit par une modification des bandes d'énergie et ainsi du comportement du composant [27].

Il faut noter que ces facteurs de défaillance peuvent avoir lieu individuellement et causer ainsi une défaillance directe ou peuvent être corrélés entre eux, par exemple une forte polarisation induit une élévation de la température et une élévation de la température implique une déformation de laquelle résulte un stress mécanique pouvant engendrer un claquage et par conséquence une défaillance.

Cette liste est une liste non exhaustive des facteurs de défaillance mais ce sont les principaux facteurs de défaillance pour les circuits CMOS. Dans la suite, nous allons faire le lien entre ces facteurs et les mécanismes engendrés. La prise en compte de ces accélérateurs de défaillance dès l'étape de conception, que ce soit par les modèles comportementaux ou par les outils de simulation est détaillée dans le reste des chapitres de ce manuscrit.

## 2.2 Les mécanismes de défaillance

En microélectronique, nous parlons de défaillance électrique lorsque le composant n'assure plus sa fonctionnalité électrique. La défaillance est l'événement suite auquel le composant ne fonctionne plus selon les spécifications de son cahier des charges. Une défaillance peut se produire tout au long du cycle de vie du composant : en première phase comme panne précoce, au milieu du cycle de vie, ou en fin du vie du composant comme panne par usure. Les défaillances sont divisées en défaillances extrinsèques et défaillances intrinsèques.

**Les défaillances extrinsèques** Les défaillances extrinsèques sont causées par les conditions d'utilisation du composant après fabrication :

- Les surcharges : électriques, mécaniques, thermiques et chimiques
- Les décharges électrostatiques (ESD)
- Les fausses manipulations et utilisations inappropriées

**Les défaillances intrinsèques** Les défaillances intrinsèques résultent de problèmes liés principalement à :

- La méthode de conception du composant
- La fabrication du composant : matériaux utilisés (dopage aléatoire), procédés de fabrication...
- Le vieillissement des matériaux

Afin de comprendre au mieux la suite de cette partie, il faut d'abord faire la différence entre ces notions : le mécanisme de défaillance, le mode de défaillance et la cause de défaillance.

1. **Le mode de défaillance** décrit les symptômes de la défaillance, comment la défaillance apparaît dans un composant. La dégradation se manifestant par exemple en un court-circuit, un circuit ouvert, un courant de fuite...répondant à la question « de quelle façon cette défaillance s'est produite ». Le mode de défaillance est lié ainsi à un défaut physique qui a eu lieu.
2. **Le mécanisme de défaillance** associé à la défaillance est le processus physique, chimique, électrique ou autre qui a mené à la non-conformité, répondant à la question « comment s'est passée la défaillance ». En littérature [28], les mécanismes de défaillance sont classés comme mécanismes déterministes et mécanismes paramétriques. Les mécanismes paramétriques engendrent le décalage d'une valeur des paramètres alors que les mécanismes déterministes engendrent la défaillance totale du système.
3. **La cause de la défaillance** est l'origine du mécanisme de défaillance, répondant à la question « pourquoi est arrivée cette défaillance »
4. **La physique de défaillance** est une approche scientifique qui a pour but, par définition, d'interpréter le déterminisme des mécanismes de dégradation, c'est à dire de définir l'effet de causalité des mécanismes de dégradation. Elle contribue à l'amélioration des techniques d'analyse de défaillance et à la maîtrise de la modélisation des mécanismes de dégradation. La physique des défaillances est une technique de la DfR (Design for Reliability) qui se base sur la connaissance et la compréhension des mécanismes de défaillance afin de prédire la fiabilité et améliorer la performance du produit. La physique de défaillance utilise la modélisation et la simulation des facteurs de défaillances comme le vieillissement, le claquage,...

Comprendre les mécanismes qui mènent le composant à défaillir permet, grâce à des modèles plus ou moins empiriques, de se placer dans les conditions nominales de fonctionnement et d'avoir une approche plus réaliste de prédiction de la fiabilité. Dans notre cas, il est important de maîtriser les mécanismes responsables des dégradations et de déterminer les paramètres de fonctionnement qui sont responsables de l'usure du composant. La connaissance de ces paramètres permet d'établir le modèle de vieillissement.

Les mécanismes de défaillance les plus importants engendrant la dégradation des circuits CMOS, sont principalement [29][30] :

- L'électromigration
- Le claquage du diélectrique : "*Time dependant dielectric breakdown*"
- L'injection de porteurs chauds
- Le *NBTI* "*Negative Bias temperature instability*"

- Migration due aux contraintes thermiques

Les autres mécanismes comprennent les effets des radiations, de corrosion ...

### 2.2.1 Electromigration

Quand on applique une différence de potentiels à une interconnexion, les électrons circulent du plus faible potentiel (cathode) vers le plus haut potentiel (anode). Les atomes des métaux commencent alors à se déplacer sous l'influence du flux d'électrons qui entre en interaction avec le réseau cristallin. Ce phénomène est engendré par échange de quantité de mouvement. L'électromigration se produit lorsque la densité de courant est importante et supérieure à  $10^6 \text{ A cm}^{-2}$  selon les études de Black [31][32], le physicien qui a découvert ce phénomène en 1970.

En supposant que la direction du flux des électrons est positive, la force induite par le flux des électrons peut être exprimée par :

$$F_{elec} = -q_{eff} \cdot E = -Z_{eff} e \cdot \rho \cdot j \quad (2.2)$$

où  $q_{eff} = Z_{eff} e$  est la charge atomique effective,  $Z_{eff}$  est le numéro atomique effectif,  $e$  est la charge de l'électron,  $E = \rho j$  est le champ électrique,  $\rho$  est la résistivité du métal et  $j$  la densité de courant. Le déplacement des atomes est facilité par la présence d'imperfections dans le cristal. Les régions de discontinuités dans la structure cristalline ou les interfaces entre les cristaux sont, par exemple, des zones privilégiées pour la diffusion des atomes de métal. Quand une interconnexion est terminée par une barrière de diffusion comme le tungstène ( $W$ ) ou le tantale ( $Ta$ ), le déplacement des atomes provoque une contrainte de traction au niveau de la cathode où les atomes désertent et une contrainte de compression au niveau de l'anode où les atomes s'accumulent. Le gradient de stress résultant induit une force mécanique qui s'oppose à la force "électronique". Cette force peut s'exprimer par :

$$F_{meca} = \Omega \frac{d\sigma}{dx} \quad (2.3)$$

où  $\Omega$  est le volume atomique,  $\sigma$  est la contrainte mécanique et  $x$  est la longueur de la ligne. D'après le modèle de Korhonen, le flux atomique  $J_a$  peut être exprimé en fonction de  $F_{elec}$  et  $F_{meca}$  :

$$J_a = \frac{DC_a}{kT} (F_{elec} + F_{meca}) \quad (2.4)$$

où  $C_a$  est la concentration atomique,  $D$  est la diffusivité atomique,  $k$  est la constante de Boltzmann et  $T$  est la température. Cette équation montre que  $F_{elec}$  doit être supérieur à  $F_{meca}$  pour que le flux des électrons provoque un déplacement de matière [33].

**Effet de la température** L'influence de la température est masquée dans l'équation 2.4. En réalité, la température accélère l'électromigration à cause des vides de matière. La figure 2.1 illustre le cycle de la défaillance par électromigration accélérée par l'augmentation de la température. Au départ, un vide commence à se

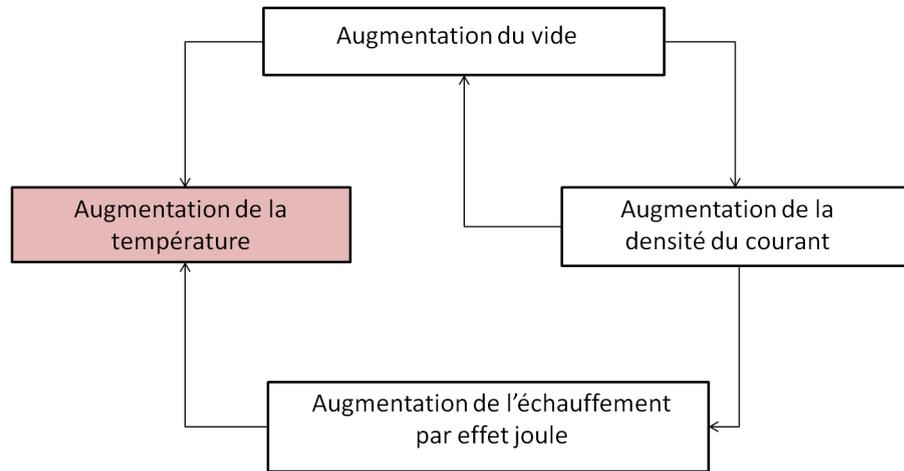


FIGURE 2.1 – La dépendance en température de l'électromigration

développer dans une ligne métallique, la ligne devient plus étroite en cette zone ce qui engendre une densité de courant plus importante dans cette zone, et par conséquent une température plus importante (dissipation par effet joule). Comme la température augmente, les dimensions du vide de matière augmentent et peuvent éventuellement engendrer un circuit ouvert dans une région et un court circuit dans une autre région [34]. En conséquence, les principales défaillances résultantes de l'électromigration dans les circuits sont :

- Formation de court-circuits, (voir figure 2.2)
- Formation de circuits ouverts, (voir figure 2.2)
- La décroissance de la conductance électrique
- Les points chauds localisés

Il existe des structures de test pour détecter l'électromigration dans un circuit [35]. Ces puces sont fiables mais leur conception n'est pas une tâche triviale car il ne faut pas qu'elles soient sensibles à d'autres mécanismes de défaillance que l'électromigration.

C'est pour cette raison que la modélisation de ce phénomène afin de simuler l'effet de l'électromigration et prévoir la défaillance due à ce mécanisme est indispensable. Depuis les années 70, la dégradation due à l'électromigration est estimée analytiquement grâce à la formule du temps moyen avant défaillance "*MTTF*" "*Median Time To Failure*". Cette méthode statistique a été développée par J.R Black [32] et définit le temps moyen avant la défaillance. Ce modèle est encore largement utilisé dans l'industrie comme un bon indicateur de la robustesse d'une technologie.

$$MTTF = AJ_e^n \exp \frac{E_a}{kT} \quad (2.5)$$

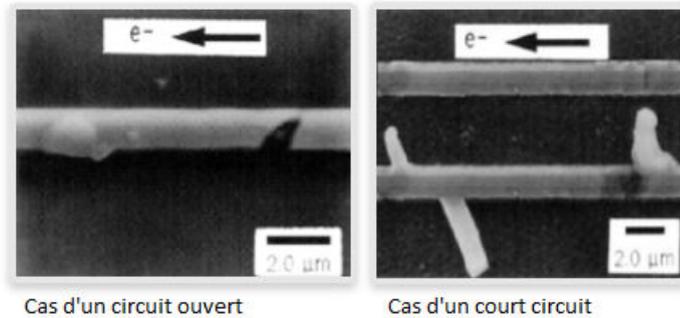


FIGURE 2.2 – Circuit ouvert et court-circuit engendrés par l'électromigration

où  $A$  est une constante de la couche du métal et des caractéristiques du process.  $J_e$  est la densité du courant,  $k$  est la constante de Boltzman,  $T$  est la température,  $E_a$  est l'énergie de l'activation de l'électromigration. Le facteur  $n$  est fixé par Black à 2, mais il a été prouvé dans [36] que cette valeur est variable et peut changer en fonction du stress résiduel et de la densité du courant. Ce type de modèles, dédié aux lignes de conduction, ainsi que d'autres trouvés en littérature, dédiés aux boîtiers [37], permettent d'établir des règles de conception utilisées par les outils CAO pour prévoir la défaillance des lignes de conduction. En plus de cela, il y a certaines règles à respecter en cours de conception afin de s'assurer que les connexions vieilliront dans de bonnes conditions. L'objectif de ces règles est de répartir au mieux la densité du courant dans les lignes de conduction. Par exemple, il faut éviter les angles à 90 degré qui sont des zones de fort gradient de densité de courant et plutôt utiliser des angles de 135 degré ou 150 degré.

Aussi, afin d'éviter l'électromigration, une technique consiste à utiliser les lignes à structure en bambou. Cette dénomination est tirée de la forme des joints de grain du matériau qui sont semblables à la tige de la plante. Généralement ce type de lignes sont plus résistantes à l'électromigration que les traditionnelles lignes de matériaux polycristallin de structure semblable à la figure 2.3. En plus, lorsque ces lignes sont divisées en plusieurs lignes, elles permettent une meilleure répartition de la densité de courant.

### 2.2.2 Claquage de l'oxyde de grille : Time Dependant Oxyde Breakdown

Le phénomène *Time Dependant Oxyde Breakdown* TDOB ou claquage de l'oxyde de grille en Français correspond à la perte des propriétés isolantes d'une couche d'oxyde causée par l'application d'un champ électrique dans cette couche. Dans le cas de notre étude, nous nous intéressons aux propriétés des couches d'oxyde ( $SiO_2$ ) qui sont utilisées comme isolant de grille entre le poly-silicium et le silicium dans les transistors MOS. Le TDOB est un problème de fiabilité qui devient de plus en plus

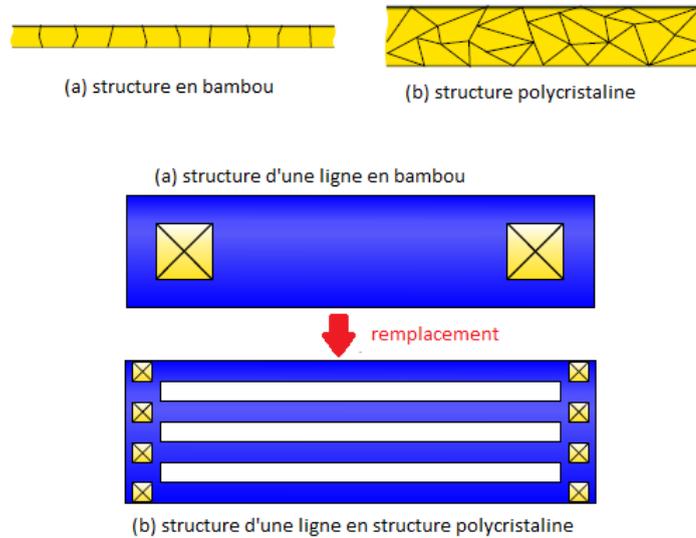


FIGURE 2.3 – Utilisation des lignes en bambou à la place des lignes en structure polycristalline [3]

important avec la miniaturisation des transistors MOS, la réduction de l'épaisseur de l'oxyde de grille et les fortes contraintes électriques appliquées [38]. Les mécanismes de claquage d'oxyde peuvent être classés en deux catégories :

- Les défaillances d'origine extrinsèque : ces défaillances sont provoquées par des défauts macroscopiques comme un amincissement de l'oxyde ou des impuretés métalliques introduites durant les différentes étapes du procédé de fabrication. Elles peuvent être éliminées en améliorant la fiabilité du procédé. Généralement les défaillances d'origine extrinsèque se produisent au début du cycle de vie du composant. Ce type de défaillance ne fait pas l'objet de notre étude.
- Les défaillances intrinsèques : ces défauts provoquent le claquage de l'oxyde considéré sans défaut. Ce type de défaillance est affecté par la nature même de l'oxyde et nous ne pouvons pas agir sur ce type de défaillance en améliorant le processus de fabrication. Avec la diminution de l'épaisseur de l'oxyde de grille et le fort champ électrique appliqué, se sont les défauts intrinsèques qui sont les plus susceptibles d'engendrer des problèmes de fiabilité.

Depuis la découverte de ce phénomène en 1960 et jusqu'aux milieux des années 90, il était considéré comme un mécanisme de défaillance fatal pour les circuits CMOS [39]. C'est pendant les années 90, avec la réduction de l'épaisseur de l'oxyde de grille, qu'il a été démontré que la conséquence de ce mécanisme de défaillance intrinsèque n'affecte pas forcément le fonctionnement du transistor d'une façon fatale, et qu'il existe deux sous-phénomènes : un "Hard breakdown" c'est à dire un claquage fatal pour le composant (l'ancienne définition du TDOB) et un "Soft breakdown" c'est à dire un claquage qui n'entraîne pas systématiquement la défaillance. En effet, le "Soft Breakdown", phénomène encore en cours d'étude, a lieu généralement

en conditions de polarisation normales. Il est possible qu'une usure de l'oxyde lui fasse perdre sa caractéristique d'isolant mais localement et sur une petite surface. Ces défauts locaux n'affectent pas le fonctionnement global du transistor tant qu'ils ne forment pas plusieurs chemins conducteurs entre les deux extrémités de l'oxyde, comme illustré par la figure 2.4 [40][41][42].

Afin de garantir une fiabilité maximale des circuits intégrés, les chercheurs ont mis l'accent sur la compréhension de cet inévitable phénomène d'origine intrinsèque. Leur but était d'assurer le temps de pré-claquage le plus long possible pour assurer une durée de vie maximale des composants. Dans cette optique, différents modèles qui décrivent ce mécanisme physique ont été développés dans l'objectif de prédire la durée de vie exacte du circuit dans des conditions d'opération limites en tension et en température [43]. Parmi les modèles les plus largement utilisés étaient le modèle thermo-chimique [44], le modèle de libération de l'hydrogène [45], le modèle d'injection des trous par l'anode [46], etc...

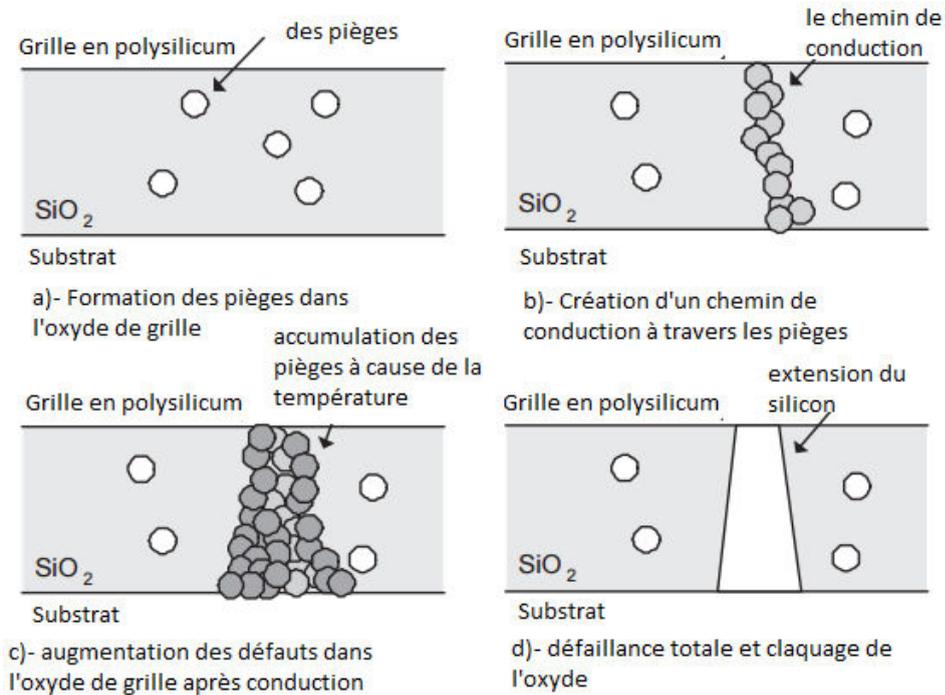
La réalisation que le "Time Dependant Oxyde Breakdown" est un phénomène stochastique [47][48] a permis le développement de statistiques de claquage et de définir ce mécanisme en terme de probabilité selon l'équation :

$$F(x) = 1 - \left(\exp\left(\frac{-x}{\alpha}\right)\right)^\beta \quad (2.6)$$

où :

- $F$  est la probabilité de défaillance cumulative ;
- $x$  peut designer la charge ou le temps ;
- $\alpha$  est la caractéristique de vie à 63% de la probabilité de défaillance ;
- $\beta$  est la pente de Weibull ;

Parmi les conséquences du claquage d'oxyde de grille on trouve l'augmentation de la densité de courant dans l'oxyde et l'augmentation de la chaleur dégagée par effet joule. Pendant la phase de conception et afin d'éviter le claquage d'oxyde de grille, il faut minimiser les tensions, surtout pour des oxydes de grille d'épaisseur faible [42].

FIGURE 2.4 – Les étapes du claquage de l'oxyde "*Hard Breakdown*"

### 2.2.3 Bias Temperature Instability- BTI

La notion du BTI est apparue à la fin des années soixante avec l'apparition du MOSFET en silicium. A cette époque, les recherches se concentraient sur les méthodes d'oxydation du substrat pour former le diélectrique de grille du transistor et aux problèmes de contamination ionique. Le problème de contamination extrinsèque (ion sodium Na<sup>+</sup>, ion chlorure Cl<sup>-</sup>, ion potassium K<sup>+</sup>) était très important à l'époque pour l'intégration des dispositifs MOS [49]. C'est pour cette raison que le BTI était considéré comme un mécanisme de défaillance dû à des problèmes extrinsèques. C'est en 1966 que les premiers travaux ont démontré que la création de ces défauts était d'origine intrinsèque et que ces défauts étaient fortement liés à l'interface  $Si - SiO_2$  [50][51]. Par la suite, les travaux de caractérisation de ce phénomène ont été effectués aux laboratoires Bell, Fairchild semiconductor et RCA laboratories [52].

#### Mécanisme de dégradation

En effet, d'une façon générale, le mécanisme de défaillance BTI désigne toute dérive des paramètres électriques du transistor fonctionnant avec une tension appliquée sur la grille et sous une haute température. On distingue le phénomène du NBTI pour la tension négative appliquée sur la grille du PMOS (voir figure 2.5) et le PBTI pour la tension positive appliquée sur la grille du NMOS. Ces conditions de polarisation sont généralement utilisées dans les circuits numériques, c'est pour cette

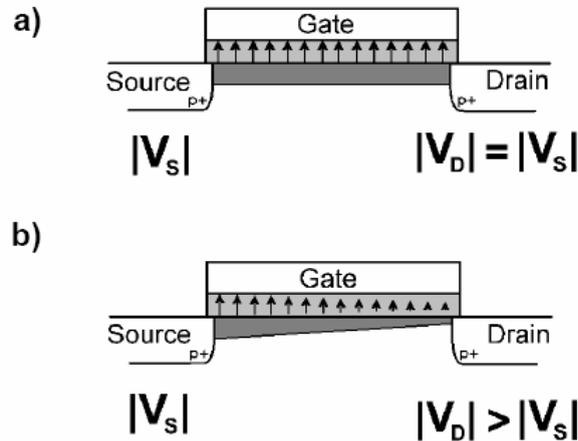


FIGURE 2.5 – Différentes conditions de polarisation de NBTI

raison que le mécanisme de défaillance BTI concerne plus les circuits numériques que les circuits analogiques. Aussi, bien que ce phénomène peut avoir lieu dans les deux cas (c'est à dire dans le cas des NMOS et des PMOS), dans des conditions de polarisation identiques, les transistors PMOS sont plus susceptibles à la dégradation suite au NBTI que les transistors NMOS suite au PBTI. Dans la littérature, deux principales hypothèses ont été étudiées afin d'identifier l'origine de cette différence entre le NBTI et le PBTI.

- La première hypothèse est basée sur la nature de la charge des défauts formés à l'issue du stress (électrique et thermique)[53]. En effet, ce modèle explique qu'il y a deux types de défauts formés suite au stress BTI : des défauts d'interface et des défauts dans l'oxyde. Dans le cas du PMOS, les charges de ces défauts s'additionnent tandis que dans le cas du NMOS les charges de ces défauts se compensent et la dégradation du transistor est ainsi moins importante.
- La deuxième hypothèse, décrite par le modèle de Tsetseris [54] explique que les espèces hydrogénées à l'interface  $Si - SiO_2$  forment en général une liaison avec le dopant du substrat. En général c'est une liaison avec le phosphore (P-H) dans le cas d'un PMOS et avec le Bore (B-H) dans le cas d'un NMOS. Comme la liaison P-H possède une énergie de liaison inférieure à celle du B-H, elle est plus susceptible de se dissocier sous stress BTI. Par conséquent, il y a plus d'espèces hydrogénées libérées dans le cas d'un PMOS que dans le cas d'un NMOS.

## Le modèle analytique du NBTI

Pour la modélisation du NBTI, le modèle le plus utilisé en littérature est le modèle de Réaction-Diffusion (R-D) d'hydrogène considéré comme un des modèles décrivant au mieux le mécanisme de génération des états d'interface [55][56]. Le modèle (R-D)

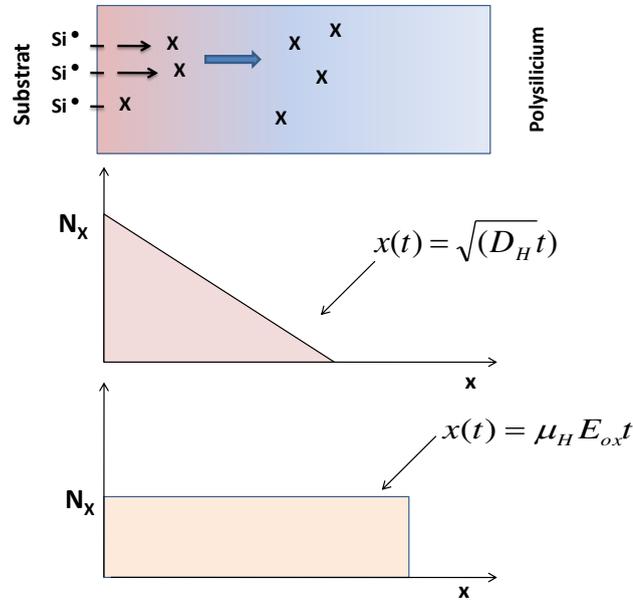
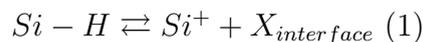


FIGURE 2.6 – Modèle de réaction-diffusion d’hydrogène. Première figure : Dissociation des liaisons Si-H à l’interface  $SiO_2 - Si$ . Deuxième figure : Diffusion de l’entité hydrogénée. Troisième figure : Dérive de l’entité hydrogénée en fonction de sa charge.

suppose que la formation des défauts se produit en deux étapes schématisées par la figure 2.6 :

### 1. la réaction de dissociation de la liaison Si-H

D’après [50][52] il existe un fort désaccord de maille entre le substrat et l’oxyde de grille, ce qui provoque la distorsion des liaisons électroniques dans la première couche atomique de transition. Ainsi, au départ et dans un dispositif vierge, il existe plusieurs liaisons sur un dispositif - supposées comme des liaisons Si-H dans ce modèle - ainsi que des trous du canal d’inversion ( $h^+$ ) et des espèces hydrogénées sous différentes formes (OH, H ou  $H_2O$  par exemple). Lors de l’application d’une contrainte NBT, les trous du canal d’inversion et les espèces hydrogénées réagissent avec la liaison Si-H pour produire une entité hydrogénée mobile (notée  $X$ ) selon la réaction1 et un état d’interface électriquement actif  $N_{it}$ . Cette étape est la partie qui concerne la réaction du mécanisme.



### 2. La diffusion

La deuxième partie du mécanisme correspond à la diffusion de l’entité hydrogénée. Cette espèce peut être du H, du  $H_2$ ...etc en fonction des caractéristiques intrinsèques du composant.

### Les défauts résultants du NBT

Il est important de clarifier qu'à l'issu du stress NBT, il existe deux types de défauts créés dans le dispositif [57] :

- **Les défauts d'interface**  $N_{it}$  sont induits par la rupture des liaisons Si-H à l'interface  $SiO_2 - Si$  sous les contraintes NBT.
- **Les défauts dans l'oxyde** sont un autre type de défauts partiellement induits par les pièges vacants d'oxyde pré-existants dans le  $SiO_2$  amorphe du diélectrique de grille [58]. En plus, il existe des pièges supplémentaires ( $N_{ot}$ ) qui peuvent être induits au fil du temps en raison de la dissociation lente et irréversible des liaisons  $S_i - O$ . Il a été prouvé que ce type de défauts (les défauts dans l'oxyde) résulte exclusivement des contraintes NBT [59].

Dans la littérature, il existe plusieurs études qui ont essayé de quantifier la densité des états d'interface générés par la dégradation du composant à cause du NBTI [59] (suivant le modèle de Réaction-Diffusion (R-D)). Ces études s'accordent sur le fait que l'augmentation du NBTI est principalement liée au taux de rupture des liaisons Si-H à l'interface du  $SiO_2 - Si$ . Le taux de génération de pièges ou d'états d'interface est exprimé d'une façon générale à l'aide de cette équation :

$$\frac{dN_{it}}{dt} = K_f(N_0 - N_{it}) - K_r N_H(0) N_{it} \quad (2.7)$$

où :

- $N_0$  est le nombre initial des liaisons Si-H à l'interface du  $Si - SiO_2$ ,
- $N_{it}$  est la fraction de ces liaisons rompues à l'instant t à cause du stress NBT,
- $N_H(0)$  est la concentration de l'hydrogène, à l'interface  $Si - SiO_2$ ,
- $K_f$  est le taux de dissociation proportionnel au taux de trous capturés de la couche d'inversion par la liaison Si-H. Ces trous, une fois capturés, affaiblissent les liaisons Si-H qui peuvent facilement se rompre sous les contraintes NBT et créer les défauts d'interface qui ont pour conséquence la dérive des paramètres du transistor,
- $K_r$  est le taux de recombinaisons des atomes Si et H possibles à l'interface  $Si - SiO_2$ ,

La résolution temporelle de cette equation est exprimée à l'aide de l'équation suivante [50, 52] :

$$N_{it} \propto \left(\frac{K_f N_0}{K_r}\right)^{\frac{1}{2}} (D_H t)^n \quad (2.8)$$

avec  $n = 1, 0, \frac{1}{4}, \frac{1}{2}, 0$ .

En effet, le processus de R-D passe par 5 régimes exprimés à travers la variable

"n" (exponentiel du temps) et schématisés par la figure 2.7 :

Le premier régime désigne la phase où le taux des espèces hydrogénées libres  $N_{it}$ , à l'interface et dans l'oxyde de grille est faible. A ce stade, l'équation 2.8 est limitée par la réaction directe :

$$\frac{dN_{it}}{dt} = K_f(N_0) \quad (2.9)$$

Par conséquent, selon cette équation résultante, n=1 :

$$N_{it} = K_f N_0 t \quad (2.10)$$

Par la suite, la deuxième phase désigne l'équilibre entre le taux des états d'interface générés et recombinés.  $N_{it}$  est supposé alors constant est égale à :

$$N_{it} = \sqrt{\frac{K_f N_0}{K_r}} t^0 \quad (2.11)$$

et donc n=0 pour ce régime.

La troisième phase désigne le régime de diffusion de l'espèce hydrogénée dans l'oxyde. L'équation analytique désignant ce régime a été démontrée en [60] et exprimée par l'équation ci dessous avec n=0.25.

$$N_{it} \approx 1.16 \sqrt{\frac{K_f N_0}{K_r}} D^{1/4} t^{1/4} \quad (2.12)$$

La quatrième phase est caractérisée par le fait que les espèces hydrogénées atteignent le polysilicium de grille. Ce dernier va les absorber et ainsi la diffusion des espèces hydrogénée va augmenter, cette phase est désignée par un n supérieur à celui du régime précédent et égale à 0.5.

Finalement, pour le dernier régime, toutes les liaisons à l'interface sont considérées rompues et donc le taux des états d'interface est de nouveau constant et sa dépendance en temps est nulle, de ce fait n=0 pour ce régime.

## La dérivation des paramètres électriques du transistor suite au NBTI

**La variation de la tension de seuil  $V_{th}$  :** Une des conséquences du mécanisme NBTI sur le comportement du PMOS est la dérivation de la tension de seuil  $V_{th}$ . La variation temporelle de cette tension suit une loi en puissance  $n^{ime}$  :

$$\Delta V_{th} = A \exp\left(\frac{E}{E_{ref}}\right) \exp\left(\frac{-E_a}{k_b T}\right) t^n \quad (2.13)$$

où :

- A est une constante dépendante de la technologie,
- E est le champ électrique appliqué,
- $E_{ref}$  est le champ électrique de référence,
- La dépendance en température de la dérivation de  $V_{th}$  est exprimée à travers le terme  $\left(\frac{E_a}{k_b T}\right)$  où  $E_a$  est l'énergie d'activation et  $k_b$  est la constante de Boltzmann.

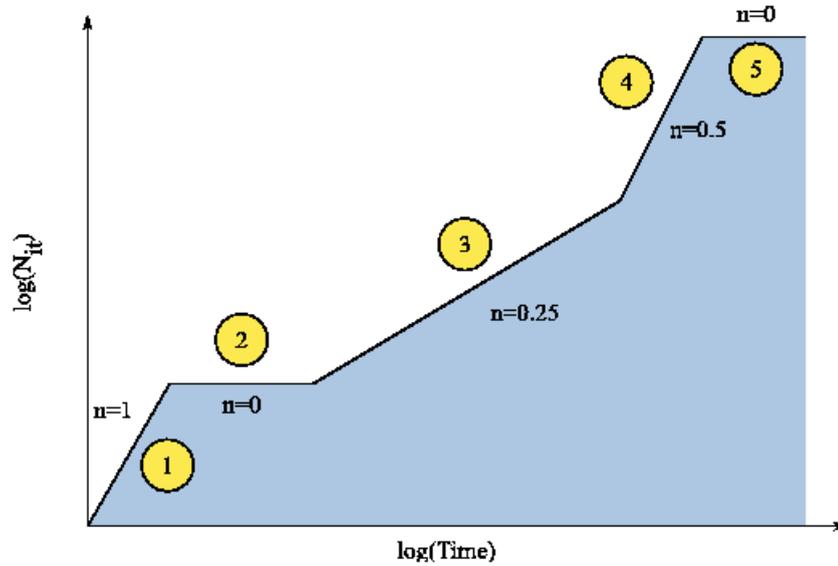


FIGURE 2.7 – Les cinq régimes différents obtenus à travers la résolution du modèle de Réaction-Diffusion du NBTI

**La variation de la mobilité :** Comme conséquence du stress NBTI sur le fonctionnement du PMOS, les précédentes études [50, 52, 61, 62, 63] n’ont toujours pris en compte que de la dégradation de la tension de seuil  $V_{th}$ . Cependant, des études récentes comme celle trouvée en [57] ont souligné l’importance de la prise en compte également de la diminution de la mobilité résultant du phénomène NBTI. En effet, les défauts chargés à l’interface peuvent interagir avec les porteurs diminuant leur vitesse dans le canal. La dégradation de la mobilité est alors modélisée par cette équation [57] :

$$\mu = \frac{\mu_0}{1 + \alpha \Delta N_{IT}} \quad (2.14)$$

ou :

- $\alpha$  est un facteur dépendant de la technologie,
- $\mu_0$  est la mobilité initiale

## Discussion

Il est important de noter que pour le NBTI, un phénomène de recouvrement peut avoir lieu une fois que les conditions de stress NBT ne sont plus appliquées. Ce phénomène de recouvrement partiel concerne uniquement la tension de seuil qui tend à retrouver sa valeur initiale [64, 65, 66].

Il faut souligner aussi que la prise en compte du phénomène PBTI pour les transistors NMOS devient de plus en plus nécessaire avec la miniaturisation des transistors [57]. Le NBT d’une façon générale devient le problème de fiabilité majeur pour les transistors très fortement submicroniques et devient même crucial pour les transistors utilisant des oxydes de grilles à forte constante diélectrique (*High K*

*Metal Gate Oxyde*) [64].

Dans notre cas, pour la technologie que nous utilisons dans ce travail (la technologie AMS 0,35  $\mu\text{m}$ ) le phénomène NBT est négligeable pour les transistors MOS[67]. En plus, ce mécanisme de défaillance se produit généralement dans les circuits numériques et rarement dans les circuits analogiques, circuits sur lesquels nous travaillons principalement.

Pour ces raisons nous avons choisi de négliger pour l'instant le phénomène NBT au profit d'un autre phénomène plus important dans notre cas qui est le phénomène des porteurs chauds : CHC (*Channel Hot Carriers*) . Nous allons décrire brièvement ce dernier dans la section suivante puis l'étudier et le modéliser en détails dans la suite de ce manuscrit.

### 2.2.4 La dégradation par porteurs chauds

Comme nous l'avons déjà mentionné, le progrès des technologies de fabrication VLSI est principalement basé sur la réduction des dimensions des transistors, tels que la longueur du canal, de la jonction, la profondeur ou l'épaisseur d'oxyde de grille. Ceci a lieu sans que la tension d'alimentation soit forcément adaptée à cette miniaturisation. Cette croissance critique de la miniaturisation à l'échelle submicronique, accompagnée d'une augmentation des densités de dopage du substrat, se traduit par une augmentation significative des champs électriques horizontaux et verticaux dans la région du canal.

#### Mécanisme de dégradation

On appelle porteur chaud, tout porteur de charge fortement accéléré sous l'effet d'un champ électrique intense et ayant acquis une énergie cinétique importante pour rentrer en collision avec des porteurs liés entraînant une ionisation des atomes de Si. Ce type d'ionisation est appelé : ionisation par impact. Le phénomène d'ionisation par impact se définit physiquement par le taux de paires électrons-trous générés.

La génération des paires électrons-trous est proportionnelle à la densité du courant. Le taux de génération d'électrons et de trous est défini d'une façon empirique par l'équation suivante 2.15 :

$$\alpha_{n,p} = A_i \exp\left(\frac{-B_i}{E_i}\right) \quad (2.15)$$

où

- $A_i$  et  $B_i$  sont les coefficients d'ionisation pour chaque type de porteur (électron ou trou)
- $E_i$  la composante du champ électrique parallèle à la densité de courant.

Pour les MOSFETs ce phénomène est indésirable et peut entraîner la dégradation du fonctionnement du transistor et du circuit. En effet, en régime saturé, la région désertée entre le point de pincement et le drain est une zone de champ électrique intense. Les électrons traversant cette zone se trouvent alors fortement accélérés, ce

qui leur permet d'acquérir l'énergie nécessaire pour une ionisation par impact. En conséquence, une paire électron-trou lors de collisions avec les atomes de silicium est générée. Les électrons générés dans la ZCE (Zone de Charge d'Espace) peuvent se réorienter vers l'oxyde de grille. Ce phénomène est illustré par la figure 2.8 pour les transistors NMOS et PMOS.

Lors de l'ionisation par impact, certains électrons acquièrent assez d'énergie pour franchir la barrière de potentiel entre le semi-conducteur et l'oxyde de grille. Une partie de ces porteurs participe au courant de grille, mais certains peuvent se retrouver piégés dans des défauts cristallins à l'interface  $Si - SiO_2$  ou dans l'oxyde [68, 69, 70]. Comme pour le NBTI (voir paragraphe 2.2.3), les charges piégées à l'interface  $Si - SiO_2$  sont à l'origine de la dérive des caractéristiques électriques des transistors, ce qui peut aboutir à la défaillance du circuit. En même temps, en raison du champ électrique vertical, les électrons générés, dans le cas du NMOS (trous dans le cas du PMOS), suite à l'ionisation par impact se déplacent vers l'oxyde de grille. Les trous générés, dans le cas du NMOS (des électrons dans le cas du PMOS) sont repoussés dans le substrat. C'est pour cette raison que le courant de substrat est utilisé comme un indicateur du taux des défauts piégés à l'interface  $Si - SiO_2$  et ainsi du taux de génération de porteurs chauds [71].

### Modélisation du phénomène

Pour les transistors NMOS, le mécanisme de dégradation induit par les porteurs chaud est décrit depuis la fin des années 70 par le modèle de l'électron chanceux (*LEM : Lucky Electron Model* en anglais) [68, 69, 72, 73]. Au départ, les études concernant la dégradation par porteurs chauds se sont concentrées sur le mécanisme de défaillance et la modélisation de ce phénomène dans le cas des transistors NMOS pour lesquels la dégradation était visiblement plus significative que pour les transistors PMOS. En réalité, cela est dû au fait que les transistors NMOS et PMOS ne se dégradent pas de la même vitesse. Pour des courants de substrat équivalents, les transistors PMOS requièrent une tension de drain plus importante pour générer le même taux de défauts à l'interface  $Si - SiO_2$ . Ceci est expliqué par le fait que pour être injectés vers l'oxyde, les porteurs doivent dépasser la barrière de potentiel entre le silicium et le dioxyde de silicium qui est, à champ nul, de 4.8eV pour les PMOS et 3.2eV pour les NMOS. Des études ont montré qu'à un taux d'ionisation équivalent, la dégradation est plus importante dans les transistors NMOS surtout lorsque la taille des transistors est importante [68, 69, 74].

En même temps, ce phénomène ne peut pas être négligé pour tous les cas de transistors PMOS. En effet, d'autres recherches plus récentes ont démontré que ce phénomène commence à avoir un grand impact sur le bon fonctionnement des transistors PMOS submicroniques [75, 76]. Alors, en analogie avec la génération des électrons chauds dans le cas des transistors NMOS, Van Den Bosh, Groeseneken et Maes [77] ont mis au point un modèle similaire au LEM pour les PMOS, c'est le modèle du trou chanceux (*LHM : Lucky Hole Model en anglais*) LHM. De façon similaire au LEM, en régime de saturation, les trous sont injectés dans la zone

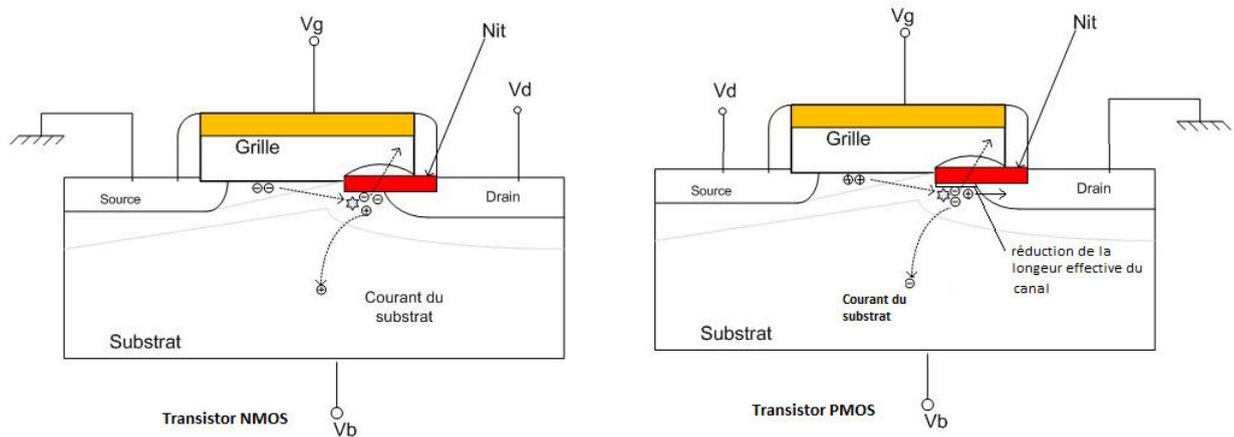


FIGURE 2.8 – Le phénomène des porteurs chauds pour les transistors NMOS et PMOS

désertée près du drain. S'il acquiert assez d'énergie le trou peut générer une paire électron-trou par ionisation d'impact (figure 2.8). Les électrons générés dans la ZCE du drain peuvent être re-dirigés vers l'oxyde et s'y retrouver piégés. Si la densité d'électrons piégés est suffisamment grande, la charge négative excessive attirera des trous vers l'interface  $Si - SiO_2$ . Ces charges positives au bord du drain forment une prolongation du drain (figure 2.8). Ce phénomène a pour conséquence une réduction de la longueur effective du transistor et de la valeur absolue de la tension de seuil.

Dans le cadre de cette thèse, nous utilisons la technologie AMS  $0.35 \mu m$  et la taille de nos transistors est relativement importante. Nous nous sommes donc intéressés plus particulièrement au phénomène des porteurs chauds dans le cas des transistors NMOS. Dans le paragraphe suivant, nous allons présenter le modèle analytique de Hu qui décrit le LEM pour les NMOS.

### Le modèle de Hu en quelques équations

Le modèle de l'électron chanceux (LEM) de Hu [68, 69, 72] reste le modèle le plus utilisé dans l'industrie microélectronique pour les porteurs chauds *CHC* (*Channel Hot Carriers*). Selon le modèle de Hu, la probabilité qu'un électron parcourt une distance  $d$  avant de rentrer en collision est exprimée par cette équation

$$P(d) = \exp \frac{-d}{\lambda} \quad (2.16)$$

où

- $d$  est la distance parcourue
- $\lambda$  est appelée le "*mean free path*" c'est à dire la distance moyenne que peut parcourir un électron avant d'entrer en collision et perdre son énergie cinétique

Comme l'énergie gagnée par un électron parcourant la distance  $d$  dans le champ électrique  $F$  est égale à  $E=qdF$ , la distribution en énergie de l'électron est exprimée par :

$$f(E) = P(E) = \exp \frac{-E}{q\lambda F} \quad (2.17)$$

Ceci est la base du modèle de l'électron chanceux. Cette distribution en énergie ressemble à la distribution en énergie thermique de Maxwell-Boltzmann si nous introduisons la température effective,  $T_{eff}$ , est égale à :

$$T_{eff} = \frac{q\lambda F}{k} \quad (2.18)$$

Cette ressemblance avec la distribution en énergie à l'équilibre thermique est à l'origine de la désignation de "Electron chaud" et "Porteur chaud".

Afin de modéliser le taux d'ionisation par impact, une hypothèse simplificatrice est faite dans le modèle de Hu. Ce taux est égale à zéro pour une énergie d'électron inférieure au seuil d'ionisation et essentiellement constant au-dessus. D'autre part, comme le champ électrique est spatialement non constant, la quantité  $F$  est remplacée par  $F_m$ , le champ maximal. Sous ces hypothèses, le rapport du courant de substrat,  $I_{sub}$ , au courant du drain (le rapport d'ionisation par impact) est donné par :

$$\frac{I_{sub}}{I_D} = A \exp \frac{-\phi_i}{q\lambda F_m} \quad (2.19)$$

où :  $\phi_i$  est l'énergie de seuil pour l'ionisation par impact.

Le taux de porteurs chauds, défini comme l'inverse de la durée de vie des porteurs chauds  $\tau$  divisé par le courant de drain, est alors exprimé par cette équation :

$$\frac{1}{\tau I_D} = B \exp \frac{-\phi_{it}}{q\lambda F_m} \quad (2.20)$$

où  $\phi_{it}$  est l'énergie de seuil pour engendrer un endommagement par porteurs chauds.

La modélisation détaillée du phénomène des porteurs chauds pour les transistors NMOS (précisément en technologie AMS 0.35 $\mu$ m), ainsi que les dérives induites des paramètres électriques de ces derniers en fonction des conditions de fonctionnement (principalement la polarisation et la température....) ont fait l'objet de notre étude. La deuxième partie de ce manuscrit sera consacrée à la modélisation de ce phénomène.

\*

\*

\*

Le développement de modèles de vieillissement de transistors est primordial du point de vue de la conception pour la fiabilité (DfR). Les équations de ces modèles sont adaptées et intégrées dans différents simulateurs afin de donner une vision plus réaliste et effective des dérives des paramètres. Ceci permet d'évaluer d'une façon plus précise le comportement à long terme du composant, puis du circuit. L'état de l'art des simulateurs de fiabilité existants ainsi que leurs principes de fonctionnement sont présentés dans le chapitre suivant qui sera suivi par un chapitre exposant les objectifs de ce travail de thèse.

# Chapitre 3

## Les outils de simulation de la fiabilité

### Introduction

Dans la littérature, il existe plusieurs outils de simulation du comportement des composants électriques. Leur utilisation diffère en fonction des physiques à simuler (électrique, mécanique, thermique,...) et de l'interaction entre ces physiques. Ces outils se distinguent par le niveau de description ainsi que par leur méthode de résolution. Il existe :

- La résolution numérique par le réseau de Kirchoff pour l'estimation des performances électriques via la simulation analogique. La simulation électrique permet d'évaluer le fonctionnement électrique précis des circuits intégrés à partir des paramètres extraits de la caractérisation électrique des composants. La plupart des simulateurs utilisés par la DfR utilisent ce principe de simulation, extrait du principe de simulation électrique,
- La résolution numérique par éléments finis destinées à la simulation des procédés technologiques et aux simulations multi-physiques où plusieurs phénomènes physiques de natures différentes (mécanique, thermique, électrique...etc) sont en interaction.

Dans le cadre de notre travail, nous avons eu recours à ces deux types de simulateurs utilisant ces deux types de résolutions numériques. Pour cette raison, dans ce chapitre, nous commençons par faire l'état de l'art des simulateurs de fiabilité intégrés dans des environnements de simulation électrique et par la suite des simulateurs de fiabilité basés sur la méthode de résolution par éléments finis et qui sont destinés aux simulations multi-physiques.

### 3.1 Les simulateurs de fiabilité basés sur le comportement électrique

Cet environnement de simulation est décrit par la figure 3.1. L'idée est d'intégrer le vieillissement dans un environnement de simulation électrique en utilisant le

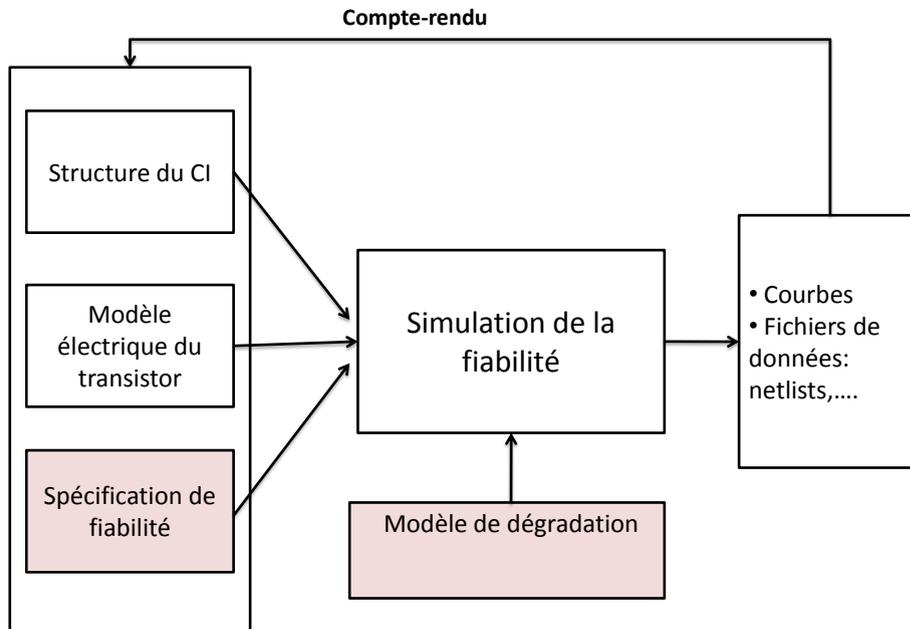


FIGURE 3.1 – Plateforme d'un simulateur de la fiabilité des circuits électroniques [2]

principe de la simulation analogique. Le simulateur prend en entrée le modèle électrique du transistor ainsi que les modèles de dégradation, l'architecture du circuit intégré et d'autres informations. Le traitement de ces données permet au simulateur d'évaluer la fiabilité du circuit intégré. En sortie, ce simulateur fournit des grandeurs électriques caractéristiques sous la forme de courbes et de fichiers de données. Ensuite, l'interprétation de ces résultats de simulation permet d'agir sur les données d'entrées, c'est à dire réajuster les valeurs des paramètres utilisés dans le modèle du transistor ou dans le modèle de dégradation.

Dans la suite de cette partie, nous résumons les méthodes de simulation les plus importantes qui sont publiées dans la littérature comme HOTRON, BERT et d'autres simulateurs commerciaux intégrés dans les simulateurs SPICE<sup>®</sup>, comme Eldo de Mentor Graphics<sup>®</sup>, Cadence RelXpert<sup>®</sup>.

### 3.1.1 Le simulateur HOTRON : Circuit Hot-Electron Effect Simulator

Le simulateur de fiabilité HOTRON<sup>®</sup> a été conçu par Texas Instruments, il est basé sur le simulateur électrique SPICE [78]. Ce simulateur fournit un environnement de simulation de circuits intégrés qui permet de déterminer la dégradation des performances au niveau du circuit due aux porteurs chauds. Ce simulateur possède la particularité, grâce au module "Post-Processeur" (figure 3.2), de simuler sous fortes contraintes la sensibilité des transistors susceptibles de défaillir afin d'identifier les

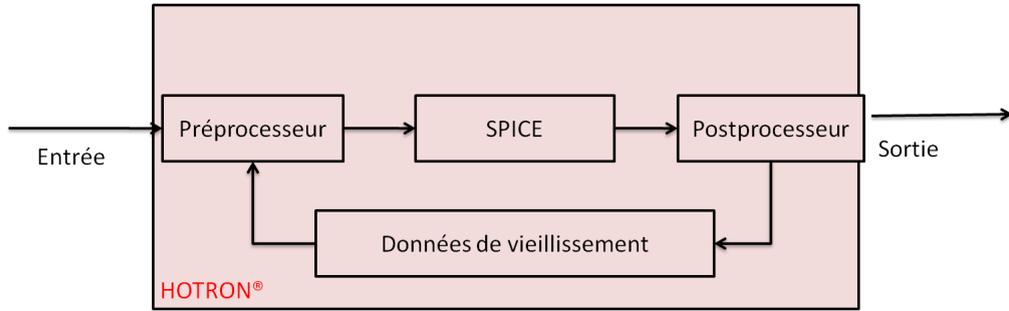


FIGURE 3.2 – Bloc fonctionnel du simulateur HOTRON

transistors critiques qui sont responsables de la dégradation de la performance globale du circuit. Avec ce type de simulateur, la dégradation induite par les porteurs chauds est prise en compte pour plusieurs paramètres du modèle parmi lesquels la transconductance, la tension de seuil et le courant de substrat. Des exemples détaillés de circuits simulés avec HOTRON<sup>®</sup> sont disponibles en [79].

Pour déterminer la dégradation induite par porteurs chauds pour chacun des transistors MOS du circuit, HOTRON<sup>®</sup> utilise le courant de substrat normalisé comme un indicateur de dégradation [78].

### 3.1.2 Le simulateur BERT

L'outil de fiabilité de Berkeley BERT<sup>®</sup> permet de simuler la dérive des circuits à cause des porteurs chauds dans les MOSFETs et dans les transistors bipolaires. En plus, cet outil permet la prédiction du taux de défaillance des circuits à cause du claquage d'oxyde et de l'électromigration dans les CMOS et BiCMOS. Cet outil de simulation repose sur un simulateur de type SPICE [4].

Comme schématisé par la figure 3.3, l'utilisateur doit fournir au simulateur BERT<sup>®</sup> la "netlist" avec une description du circuit, des paramètres spécifiques à la technologie, et des paramètres de vieillissement. L'outil BERT<sup>®</sup> est divisé en plusieurs modules, chacun effectue la simulation d'un mécanisme de dégradation. BERT<sup>®</sup>, en tant qu'outil de simulation, est conçu comme une combinaison pré- et post-traitement autour du simulateur SPICE. L'inconvénient majeur de cet outil est qu'il considère que chaque facteur de vieillissement est indépendant des autres alors qu'en réalité cette hypothèse n'est souvent pas valable.

Une étude bibliographique concernant le simulateur BERT est disponible dans [80] et son principe de fonctionnement est détaillé dans [4].

### 3.1.3 Simulateurs intégrés

Les outils de simulation décrits précédemment sont construits autour d'un simulateur de type SPICE<sup>®</sup> et fonctionnent d'une façon indépendante de ce cœur de simulation. Cette méthode de simulation peut être utile pour les concepteurs qui travaillent dans un environnement de multi-simulateurs car elle leur permet de développer leurs propres outils autour d'un simulateur existant.

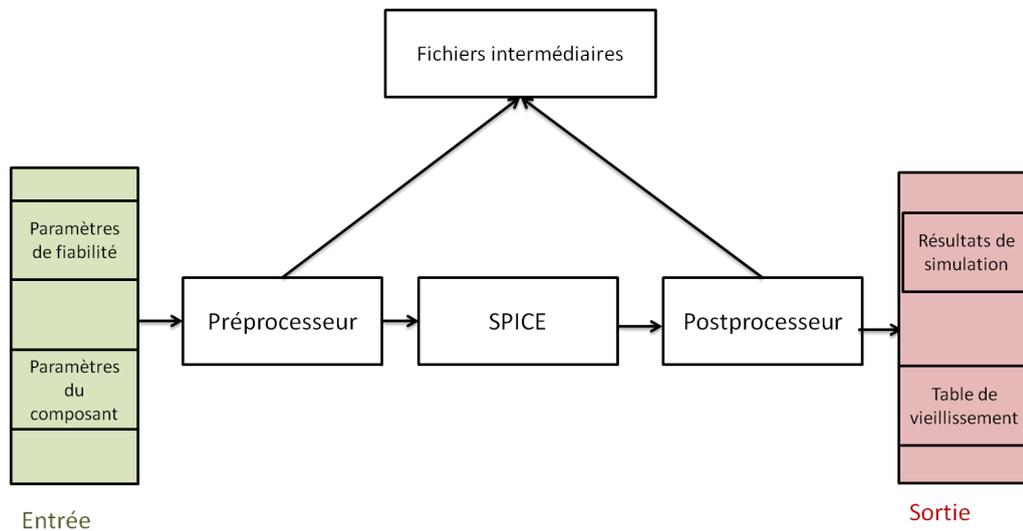


FIGURE 3.3 – L’outil de simulation BERT autour de SPICE [4]

L’inconvénient est que dans ce type de simulateur, le calcul du vieillissement a lieu après la simulation SPICE<sup>®</sup> et nécessite donc du temps de calcul supplémentaire en plus du temps de stockage des signaux de chaque nœud [80]. Afin de résoudre ces problèmes, des méthodes de calcul du vieillissement intégrées dans le simulateur SPICE<sup>®</sup> ont été développées en 2006 [5]. Dans ce cas, grâce à la méthodologie de caractérisation "*On the Fly*", la simulation de la fiabilité est effectuée en même temps que la simulation transitoire comme illustré par la figure 3.4. En d’autres termes, le vieillissement de chaque transistor est calculé à chaque étape transitoire lorsque les points de fonctionnement sont calculés. A la fin de la simulation SPICE<sup>®</sup>, la dégradation est extrapolée selon la durée de vie espérée. Ensuite, le circuit est simulé à nouveau pour extraire les nouvelles caractéristiques dégradées. Cette méthode permet de gagner en temps de simulation et en espace mémoire. Elle a été intégrée dans certains simulateurs, parmi lesquels le simulateur de fiabilité Eldo<sup>®</sup>.

**Le simulateur de fiabilité de Cadence (BERT/RelXpert)<sup>®</sup>** La simulation de fiabilité a été intégrée dans le logiciel de conception Cadence<sup>®</sup> dans Virtuoso Ultrasim et dans l’environnement ADE (Analog Design Environment). Ce simulateur de fiabilité commercial fournit des simulations tenant compte des effets de vieillissement progressifs tels que le CHC et le NBTI.

Le principe de simulation de fiabilité avec RelXpert<sup>®</sup> est illustré par la figure 3.5. Au départ, en plus de la "Netlist" du circuit, le concepteur doit rajouter des informations relatives au modèle de vieillissement utilisé, à la méthode de calcul utilisée,...etc. Ensuite, une analyse transitoire est effectuée afin d’extraire des informations exactes concernant le stress du circuit. La simulation du vieillissement est effectuée par la suite.

Selon [80], le simulateur de fiabilité de Cadence propose deux méthodes pour modéliser les effets du vieillissement :

- Une méthode basée sur un modèle de vieillissement sous forme de tables (Aged-

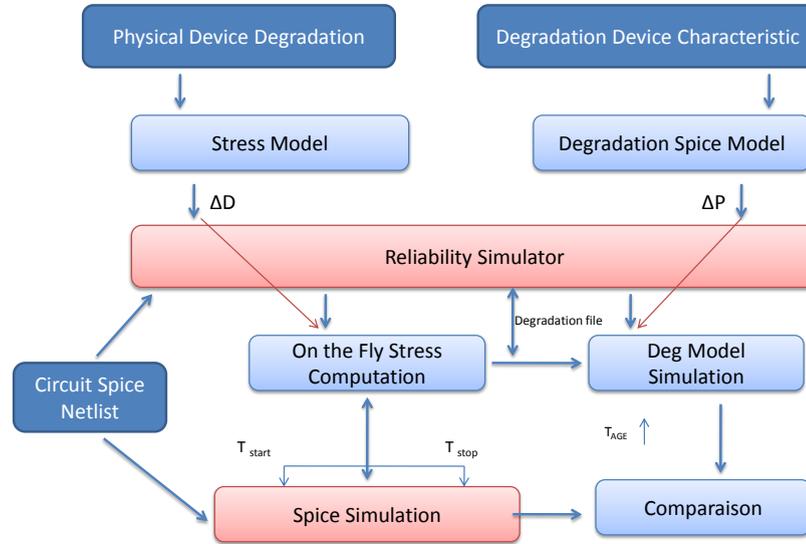


FIGURE 3.4 – Simulation de la fiabilité intégrée dans le simulateur SPICE<sup>®</sup>.  $\Delta D$  est l’accumulation de la dégradation,  $T_{age}$  est le temps d’extrapolation,  $T_s = T_{start} - T_{stop}$  est la durée de la simulation SPICE,  $\Delta P$  est la variation des paramètres SPICE suite à la dégradation [5].

Model). Dans ces tables, les paramètres de vieillissement du modèle SPICE<sup>®</sup> sont extraits à partir des différentes mesures qui forment un ensemble de fichiers de modèles de vieillissement. Par la suite, au cours de la simulation de fiabilité, le vieillissement de chaque transistor dans le circuit est calculé par interpolation sur les valeurs dans ces fichiers.

- Une méthode basée sur un modèle analytique (AgeMOS) décrivant l’impact de chaque effet de vieillissement sur les paramètres du transistor en fonction des conditions de stress. Ce modèle doit être développé par le concepteur ou bien fourni par les fabricants de circuits intégrés.

Une étude détaillée de ces deux méthodes de simulation est disponible dans [80]. Pour conclure, le tableau 3.1 résume les principaux simulateurs de fiabilité des circuits CMOS décrits dans la littérature, avec les effets physiques dont ils tiennent compte.

**Discussion** Même avec une méthode de simulation intégrée, la simulation de fiabilité nécessite encore un grand espace et un grand temps de calcul. Pour réduire encore la vitesse de la simulation, des approches alternatives ont été développées. Bestory et al dans [81] ont proposé d’utiliser une approche hiérarchique où chaque bloc du circuit (sous-circuit) est remplacé par son modèle comportementale. Ce modèle de haut niveau peut prendre les effets du vieillissement du transistor en compte. Ce type de modèle accélère le temps de la simulation de fiabilité mais en contre partie cette technique nécessite non seulement la maîtrise des effets de vieillissement

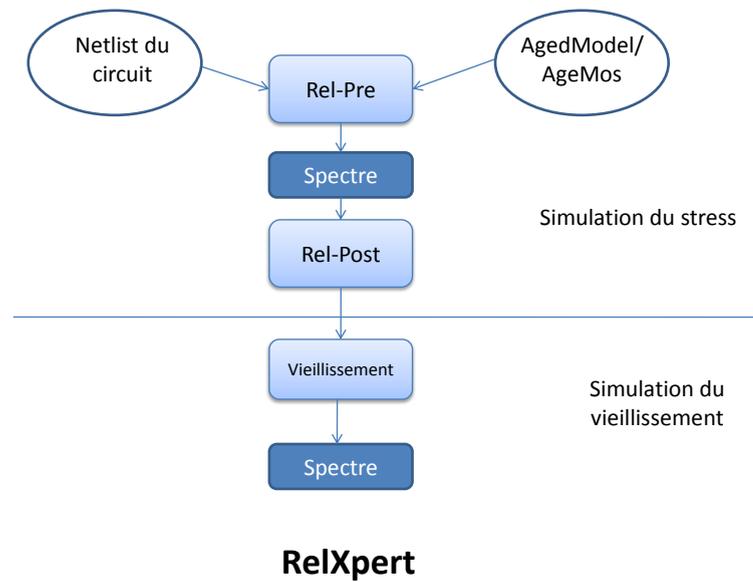


FIGURE 3.5 – Le diagramme de fonctionnement de RelXpert<sup>®</sup>, le simulateur de fiabilité de Cadence [6]

mais aussi une bonne connaissance des techniques des langages de modélisation comportementale comme le VHDL-AMS ou le Verilog-A.

Simulateur	Origine	Type de dégradation	Support
BERT [4]	UC Berkeley, USA	HCM, HCB, TDDB, EM, ESD, SEU, TDRE	SPICE
HOTRON [78]	Texas Instruments, USA	HCM (EM, MS..)	SPICE
ELDO [80]	Mentor Graphics	HCM, NBTI	ELDO
RELY [82]	UC Los Angeles, USA	HCM, TDDB, EM	SPICE
RELIC [83]	Clemson University, Afrique du Sud	EM	SIRPRICE (SPICE)
SABER [84]	Synopsys	EM	SABER

TABLE 3.1 – Table des simulateurs

## 3.2 Les méthodes de simulation numérique

Les méthodes de résolution numérique se basent sur la résolution des équations aux dérivées partielles (PDE). Ces équations décrivent la distribution d'un champ physique ou plusieurs champs à modéliser sur une région de l'espace. Ces méthodes discrétisent dans l'espace les équations décrivant le système physique pour former un système d'équations différentielles ordinaires (ODE). Ces équations sont souvent associées à des mailles qui partitionnent le domaine de calcul en de petites entités. Il existe plusieurs méthodes de résolution numérique. Les principales sont la méthode des éléments finis, la méthode des différences finies et la méthode des volumes finis. Nous allons décrire brièvement dans cette partie les deux premières méthodes car la dernière est plutôt utilisée pour les équations de conservation non linéaires, ce qui ne sera pas le cas dans notre travail.

### 3.2.1 La méthode des éléments finis

La méthode des éléments finis (FEM) est basée sur trois entités fondamentales :

- Le maillage : Le maillage peut être en 1D (des lignes), 2D (des triangles, des quadrilatères...etc) ou 3D (des tétraèdres, des hexagones, des prismes triangulaires). La méthode des éléments finis peut utiliser en même temps plusieurs types de mailles (1D, 2D et 3D) afin de couvrir toute la géométrie simulée avec des éléments finis sans que ces derniers se chevauchent. Le type et la taille des mailles choisies influent sur la précision du résultat de résolution.
- Les nœuds : Points de l'espace sur lesquels les champs physiques des équations des PDE sont discrétisés. Ils peuvent être positionnés n'importe où au sein de l'élément : sur les sommets, sur les bords et même à l'intérieur de l'élément. L'ensemble des nœuds détermine le nombre d'équations qu'il y aura dans le système d'équations différentielles.
- Les fonctions de formes : déterminent comment le champ physique à modéliser sera approximé sur le domaine d'un élément. Les fonctions de forme sont régies par le degré de continuité imposé par les PDEs.

Les principales étapes de la construction d'un modèle élément fini peuvent être résumées comme suit [85] :

**Étape 1 : La discrétisation du milieu continu en sous domaines** Cette opération consiste à procéder à un découpage du domaine continu  $D$  en sous domaines  $D_e$  selon l'équation 3.1. Ceci est équivalent à remplacer le domaine  $D$  avec un nombre infini de degrés de liberté (Dof) par un système avec un nombre fini de Dof.

$$D = \sum_{e=1}^{n_e} D_e \text{ tel que } \lim_{e \rightarrow 0} \bigcup_e D_e = D \quad (3.1)$$

Pour avoir des résultats précis, il est indispensable de représenter au mieux la géométrie étudiée par des éléments aux formes géométriques les plus adaptées. Dans la

méthode des éléments finis, il ne doit y avoir ni chevauchement ni espace vide entre deux éléments se partageant la même frontière. L'étape de discrétisation géométrique est le processus le plus compliqué, qui provoque souvent des erreurs, surtout si les frontières de la géométrie étudiée sont complexes. Dans ce cas, il faut agir en faisant des approximations sur la forme et la taille des mailles afin d'éviter les erreurs de convergence des calculs.

**Étape 2 : L'approximation nodale** La méthode des éléments finis est basée par la suite sur la construction systématique d'une approximation des composantes du champ physique à modéliser par sous domaine discret, i.e. par élément. Pour cela, le champ physique,  $P(x)$ , au point de coordonnée  $x$ , est approximé par une combinaison de fonctions simples, appelées fonctions de forme,  $\Phi_i(x)$  :

$$P(x) = \sum_{i=1}^N \alpha_i \cdot \Phi_i(x) \quad (3.2)$$

D'un point de vue mathématique, ces fonctions de forme représentent une base vectorielle sur laquelle la fonction  $P(x)$  est projetée. Le nombre de fonctions de forme, i.e. le degré de la base, doit être égal au nombre de nœuds de l'élément,  $N$ . A noter que si l'on modélise un volume, la coordonnée  $x$  correspond à un triplet  $(x_1, x_2, x_3)$ , mais par souci de concision, nous garderons par la suite la dénomination  $x$ . D'autre part,  $P(x)$  peut par exemple représenter la température au point  $x$ . C'est alors un scalaire. Ce peut-être aussi le déplacement  $\mathbf{u}(x)$  du point sous l'action d'une contrainte mécanique. Dans ce cas,  $P(x)$  est un vecteur à 3 composantes...

De par la simplicité des calculs polynomiaux, on utilise généralement des fonctions de forme polynomiales. D'autre part, au sein d'un élément, on s'arrange pour que  $\Phi_i(x_i) = 1$  et  $\Phi_i(x_j) = 0$ , où  $x_i$  représente la coordonnée du point  $i$  et  $x_j$  celle d'un point  $j$  différent du point  $i$ . La technique pour cela passe par l'utilisation de coordonnées locales, dont l'introduction n'a pas d'intérêt ici. Ainsi, les coefficients  $\alpha_i$ , qui peuvent être des scalaires (modélisation d'un champ scalaire) ou des triplets (modélisation d'un champ vectoriel), correspondent à la valeur du champ physique au point de coordonnée  $x_i$ . Ce sont les inconnus à calculer.

**Étape 3 : L'extraction des fonctions élémentaires** La valeur des coefficients  $\alpha_i$  dépend des lois physiques régissant le comportement du système à modéliser. En écrivant ces lois pour chacun des éléments, on établit des fonctions élémentaires décrivant le comportement physique de l'élément. Pour cela trois approches peuvent être utilisées :

- L'approche directe : Utilisée pour des cas simples à calculer, souvent 1D ou 2D, elle est basée sur un raisonnement physique direct. Les fonctions élémentaires sont établies à partir de l'observation du comportement de chaque nœud de l'élément en interaction avec ses voisins.
- L'approche variationnelle : La plupart des phénomènes physiques peuvent être formulés sous forme d'une intégrale énergétique. Par exemple, si l'on considère

un élément solide se déformant de manière élastique, l'énergie potentielle élastique stockée dans l'élément est proportionnelle à l'intégrale sur cet élément du produit de la contrainte (tenseur de contrainte) par la déformation (tenseur de déformation). En unidimensionnel, ceci est équivalent à l'énergie  $\frac{1}{2}.k.\Delta x^2$  stockée dans un ressort,  $k.\Delta x$  correspondant à la contrainte et  $\Delta x$  à la déformation. D'un point de vue physique, cette énergie stockée doit être égale au travail des forces externes (des contraintes) ayant conduit à la déformation, i.e. dans notre exemple simple du ressort au travail de la force  $k.\Delta x$  sur le déplacement  $\Delta x$ . De manière générale, au sein d'un élément, les grandeurs physiques en jeu, i.e. pour notre exemple la contrainte, la déformation, le travail des forces externes<sup>1</sup>, s'expriment en fonction du champ physique à modéliser<sup>2</sup>. Dans notre exemple de mécanique du solide, ce champ physique  $P(x)$  serait le déplacement  $\mathbf{u}(x)$  du point de coordonnée  $x$ . Au final, pour chaque élément, l'intégrale énergétique peut s'exprimer en fonction des  $\alpha_i$ , c'est-à-dire des valeurs de la grandeur physique sur les nœuds de l'élément. Cette formulation conduit à autant de fonctions élémentaires qu'il y a de nœuds dans l'élément.

- L'approche des poids résiduels : Dans cette approche, les fonctions élémentaires sont extraites à partir des équations différentielles régissant le problème physique, sans avoir besoin de le formuler sous une forme variationnelle. C'est la procédure la plus générale. Elle peut utiliser la méthode des moindres carrés [86][87][88], la méthode de Galerkin [89][90]...etc.

**Étape 4 : Le calcul et l'assemblage des matrices élémentaires** Après l'extraction fonctions élémentaires, ces fonctions sont assemblées en une matrice à résoudre afin d'obtenir les valeurs numériques du champs physique modélisé pour chacun des nœuds. Cette assemblage se fait de manière naturelle puisque tous les éléments du système s'aboutent.

### 3.2.2 La méthode des différences finies

Le principe de la méthode des différences finies est de résoudre les équations différentielles ordinaires ODE. Cette méthode consiste à approximer l'opérateur différentiel en remplaçant les dérivés de l'équation par des quotients différentiels. Le domaine étudié est divisé dans l'espace et dans le temps, et les approximations de la solution sont calculées à des points d'espace ou de temps. L'erreur entre la solution numérique et la solution exacte est déterminée par l'erreur résultante du remplacement de l'opérateur différentiel par un opérateur de différences. Cette erreur est appelée erreur de discrétisation ou de troncature. L'approximation par différences finies repose sur l'utilisation des séries de Taylor.

---

1. Forces qui peuvent être des forces appliquées sur les frontières du système sous forme de conditions aux limites (cas des éléments finis en bordure du système à modéliser), où des forces provenant des éléments finis adjacents à l'élément considéré.

2. La formalisation mathématique exacte demande de définir précisément ce que l'on appelle la déformation, la contrainte... Néanmoins, cela n'est pas utile ici où l'objectif n'est que de présenter la méthode

Le concept principal derrière cette méthode est lié à la définition de la dérivée d'une fonction  $u$  en un point  $x \in R$ . Par exemple, dans un cas unidimensionnel simple, la dérivée est remplacée par cette équation :

$$u'(x) = \lim_{h \rightarrow 0} \frac{u(x+h) - u(x)}{h} \quad (3.3)$$

Quand  $h$  tend vers 0, le quotient dans la partie droite donne une bonne approximation de la dérivée. Autrement dit  $h$  doit être suffisamment petit pour avoir une bonne approximation, c'est à dire, pour avoir une erreur qui tend vers 0 entre la dérivée et le quotient de différences. Si la fonction  $u$  est suffisamment lisse au voisinage de  $x$ , il est possible de quantifier l'erreur en utilisant le développement de Taylor :

$$u(x+h) = u(x) + hu'(x) + \frac{h^2}{2}u''(x+h_1) = u(x) + hu'(x) + O(h^2) \quad (3.4)$$

où : le terme  $O(h^2)$  indique que l'erreur d'approximation est proportionnelle à  $h^2$ . Il est difficile d'utiliser un maillage multi-résolution avec la méthode des différences finies. En effet, cela rend la formulation du problème plus complexe car la discrétisation des opérateurs différentiels doit prendre en compte la variation du pas de maillage. En raison de cette limitation, nous n'avons pas utilisé cette méthode dans le reste de cette thèse. Nous n'allons donc pas rentrer dans plus de détails de calcul. Le principe de calcul ainsi que des exemples de résolution utilisant cette méthode sont détaillés en [91][92][93].

### 3.3 La simulation multi-physiques

Avec la miniaturisation des circuits intégrés et l'émergence des circuits intégrés complexes, les phénomènes physiques qui se produisent au cours du fonctionnement d'un système sont de natures très diverses. De ce fait, plusieurs problèmes de fiabilité (dus à un seul phénomène ou à plusieurs phénomènes couplés) viennent s'ajouter aux problèmes de dégradation des fonctionnalités électriques du circuit (problèmes thermiques, mécaniques, magnétiques, chimiques,...etc). Les simulateurs présentés précédemment (dans 3.1) sont des simulateurs de fiabilité intégrés dans des logiciels de conception micro-électronique et essentiellement développés pour la simulation du comportement électrique.

Pour simuler d'autres aspects que le comportement électrique d'un circuit, un autre type de simulateurs, nommé muti-physiques doit être utilisé. Ces simulateurs sont basés sur d'autres méthodes de résolution, principalement les méthode des éléments finis ou des différences finis. Ce type de simulateur est de plus en plus utilisé dans le domaine de la microélectronique surtout pour la simulation des circuits empilés en 3D et pour la simulation des micro-systèmes tels que les micro-systèmes électro-mécaniques (MEMS), les micro-systèmes opto-électro-mécaniques (MOEMS)...etc.

#### 3.3.1 Le principe de la simulation multi-physiques

Il existe de plus en plus de logiciels proposant la simulation de plusieurs phénomènes physiques couplés dans un même environnement. Ces logiciels n'utilisent

pas tous les mêmes méthodes de couplage entre les différentes physiques simulées ni les mêmes méthodes de simulation (type de simulateur, méthode de résolution...). Ces paramètres sont parfois imposés par le logiciel mais dans certains cas, le logiciel offre au concepteur la possibilité de personnaliser ces paramètres afin de les adapter à son type de simulation.

Dans un premier temps, il est important de faire la différence entre les différentes méthodes de couplage utilisées car cela a un grand impact sur la précision des résultats.

### Les différents types de couplage

Nous allons décrire brièvement dans ce paragraphe les trois principales méthodes de couplage généralement utilisées en prenant comme exemple un système comportant deux physiques à simuler. Ces physiques sont dépendantes l'une de l'autre et peuvent être décrites en premier lieu par les équations suivantes :

$$F_1(u_1, u_2) = 0 \quad (3.5)$$

$$F_2(u_1, u_2) = 0 \quad (3.6)$$

et l'évolution du couplage est décrite par ces équations :

$$\delta t u_1 = f_1(u_1, u_2) \quad (3.7)$$

$$\delta t u_2 = f_2(u_1, u_2) \quad (3.8)$$

Le premier type de couplage effectue la simulation itérative complète d'un phénomène physique et injecte le résultat pour effectuer en deuxième lieu la simulation itérative de l'autre phénomène (par exemple, le logiciel effectue d'abord la simulation électrique puis utilise les résultats pour calculer le flux thermique). Ce type de simulation se fait dans un seul sens (voir figure 3.6). Les simulations utilisant ce couplage sont plutôt considérées comme des simulations multi-disciplinaires que comme des simulations multi-physiques [94]. L'algorithme généralement utilisé pour effectuer ce type de couplage est l'algorithme itératif de Gauss-Seidel décrit dans la figure 3.7. Le second type de couplage est similaire au premier, c'est à dire que l'on utilise successivement des simulateurs dédiés à chaque phénomène physique. Cependant, pour ce type de couplage, ce n'est pas la solution finale (i.e issue de la convergence totale du système) qui est injectée dans les calculs du deuxième phénomène physique, mais ce sont les données issues d'une simulation sur un intervalle de convergence élémentaire, qui sont utilisées à chaque fois pour le calcul des résultats de simulation de l'autre phénomène physique (voir figure 3.8). Ainsi, la période d'échantillonnage ( $t_{ech}$ ) des simulations successives est très inférieure à la durée sur laquelle est simulé le système ( $T_{sim}$ ). Ce couplage, utilisé par défaut dans la majorité des simulateurs multi-physiques [7] [95], est considéré comme un couplage faible qui peut être décrit par l'algorithme dans la figure 3.9.

Le dernier type de couplage utilisé est le couplage fort dans lequel le système décrit par les deux équations 3.5 et 3.6 est formulé comme un seul système qui inclut toutes les données à calculer en même temps (équation 3.9). Les aspects simulés ne peuvent pas être analysés indépendamment l'un de l'autre. Dans ce cas,

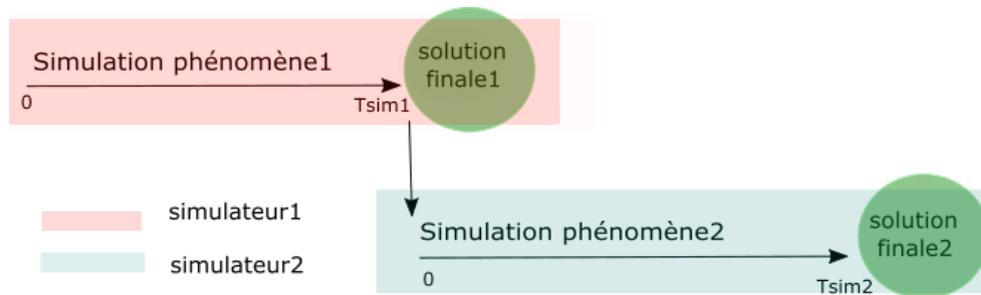


FIGURE 3.6 – Schéma du couplage utilisé dans le cas des simulations multidisciplinaires

---

**Algorithm 1** Gauss-Seidel Multiphysics Coupling

---

Given initial iterate  $\{u_1^0, u_2^0\}$   
**for**  $k = 1, 2, \dots$ , (until convergence) **do**  
    Solve for  $v$  in  $F_1(v, u_2^{k-1}) = 0$ ; set  $u_1^k = v$   
    Solve for  $w$  in  $F_2(u_1^k, w) = 0$ ; set  $u_2^k = w$   
**end for**

---

FIGURE 3.7 – L'algorithme de couplage Gauss Seidel [7]

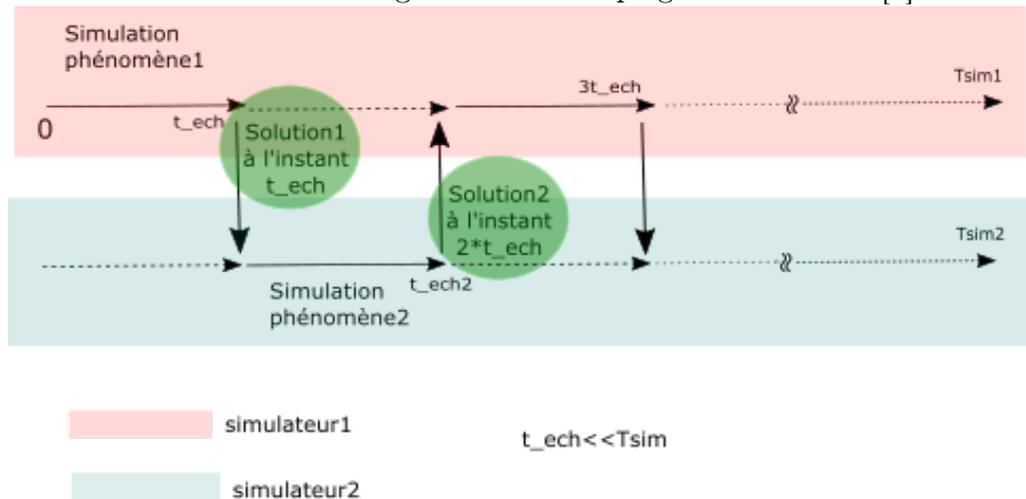


FIGURE 3.8 – Schéma du couplage faible

---

**Algorithm 2** Multiphysics Operator Splitting

---

Given initial values  $\{u_1(t_0), u_2(t_0)\}$   
**for**  $n = 1, 2, \dots, N$  **do**  
    Evolve one timestep in  $\partial_t u_1 + f_1(u_1, u_2(t_{n-1})) = 0$  to obtain  $u_1(t_n)$   
    Evolve one timestep in  $\partial_t u_2 + f_2(u_1(t_n), u_2) = 0$  to obtain  $u_2(t_n)$   
**end for**

---

FIGURE 3.9 – L'algorithme de couplage faible [7]

**Algorithm 3** Newton's method

---

Given initial iterate  $u^0$   
**for**  $k = 1, 2, \dots$ , (until convergence) **do**  
    Solve  $J(u^{k-1}) \delta u = -F(u^{k-1})$   
    Update  $u^k = u^{k-1} + \delta u$   
**end for**

---

FIGURE 3.10 – L'algorithme de Newton pour le couplage fort [7]

le couplage entre les deux physiques est bidirectionnel. L'idée est alors de mener chaque simulation pas à pas, en échangeant des résultats entre les solveurs à chaque pas de temps. L'algorithme utilisé est alors l'algorithme de Newton qui effectue la résolution de la matrice Jacobienne décrite par l'équation 3.10. Cet algorithme est reporté par la figure 3.10.

$$F(u) = \begin{pmatrix} F_1(u_1, u_2) \\ F_2(u_1, u_2) \end{pmatrix} = 0 \quad (3.9)$$

$$J = \begin{bmatrix} \frac{\delta F_1}{\delta U_1} & \frac{\delta F_1}{\delta U_2} \\ \frac{\delta F_2}{\delta U_1} & \frac{\delta F_2}{\delta U_2} \end{bmatrix} \quad (3.10)$$

Dans ce paragraphe consacré aux méthodes de couplage multi-physiques, nous avons décrit les trois principales méthodes de couplage d'une façon générale. Plus de détails sur comment implémenter ces algorithmes sont disponibles en [7].

**Les différents types de solveurs**

En plus des méthodes de couplages, la seconde particularité des simulateurs multi-physiques réside dans le type de solveurs utilisés. Ces derniers doivent être adaptés aux couplages décrits précédemment. Il existe deux types d'approches :

**L'approche partitionnée** Cette approche consiste à utiliser plusieurs solveurs "mono-physiques", i.e dédiés à un seul phénomène physique, communiquant entre eux pour prendre en compte le couplage. En d'autres termes, dans ce cas, un modèle et un solveur "mono-physique", sont employés pour chacune des physiques simulées. Le principe de simulation est toujours le même : à partir des résultats donnés par un solveur, les données sont extraites puis injectées dans le deuxième solveur. Ce type de solveur peut être utilisé en simulation multi-disciplinaire ou dans le cas d'un couplage faible.

**L'approche monolithique** L'approche monolithique consiste à utiliser un unique solveur prenant en compte l'ensemble des physiques du système en un seul modèle ainsi que leurs couplages. Le système résolu traduit dans ce cas l'état d'équilibre

de toutes les physiques utilisées. Cette approche implémente le couplage fort. Il est également possible avec un solveur monolithique d'effectuer une simulation multi-disciplinaire ou un couplage faible, mais cela n'a que peu d'intérêt.

L'approche monolithique permet un gain en temps de calcul et permet une modélisation complète et précise du système (c'est-à-dire en utilisant des équations physiques de couplage directe sans devoir faire des approximations). Cependant, étant donné que le système est modélisé et simulé de la même façon, les mêmes maillages (types, tailles...etc), les mêmes pas de simulation et les mêmes méthodes de résolution sont appliqués pour les différentes physiques. De ce fait, l'utilisation d'un même solveur ne peut être appliquée que dans le cas où le maillage et le type de simulation utilisés sont adaptés à toutes les physiques à simuler. Lorsque ces conditions sont remplies, il est plus intéressant d'utiliser l'approche monolithique, car l'unicité du solveur garantit une meilleure convergence. Cela est un avantage fondamental par rapport à une approche partitionnée, connue pour ces problèmes de convergence.

\*

\*

\*

Dans ce chapitre, nous avons étudié les différents types d'outils de simulation pouvant être utilisés pour la simulation de la fiabilité d'un système électrique. Pour ce faire, nous avons commencé par présenter les simulateurs de fiabilité standards destinés aux simulations électriques et embarqués dans les environnements de conception CAO des circuits intégrés. Ensuite, après avoir résumé les principales méthodes de simulation numérique, nous avons introduit les simulateurs multi-physiques. Comme nous l'avons déjà mentionné dans ce chapitre, ce type de simulateurs est de plus en plus utilisé dans le domaine de la fiabilité. Cela est principalement dû à leur capacité de simuler l'interaction des différents phénomènes pouvant affecter potentiellement le bon fonctionnement d'un système.

Étant donné que les problèmes de fiabilité des circuits microélectroniques sont d'origines de plus en plus diverses (mécaniques, thermiques, électriques...). Il est intéressant de pouvoir simuler ces différents aspects en même temps que la simulation électrique (c'est à dire dans un environnement de CAO microélectronique standard). Dans le prochain chapitre, nous expliquons la méthodologie que nous proposons pour ce faire et nous détaillons les objectifs de nos travaux de recherche.



# Chapitre 4

## Vers la simulation multi-physiques dans un environnement de CAO standard

Dans les chapitres précédents, nous avons présenté les conséquences des problèmes de fiabilité microélectronique (les problèmes de vieillissement, de claquage, ...etc) ainsi que les différents simulateurs électriques développés pour simuler la fiabilité des circuits intégrés dès la phase de conception. Les mécanismes de défaillance des circuits intégrés sont de natures différentes (électriques, thermiques, mécaniques,...etc). Plusieurs simulateurs multi-physiques tel que COMSOL Multiphysics<sup>®</sup>, ANSYS<sup>®</sup> existent déjà et permettent au concepteur d'effectuer des simulations de plusieurs phénomènes physiques (couplés ou non couplés) dans un même environnement de simulation. Ces simulateurs reposent sur des méthodes de résolutions numériques telles que la méthode des éléments finis et la méthode des différences finies, présentées dans la section 3.2. L'inconvénient de l'utilisation de ces simulateurs pour un concepteur en microélectronique est que ces environnements ne sont pas dédiés à la conception des circuits intégrés, et qu'il n'est pas possible de simuler avec ces derniers un schéma de circuits. La première solution qui vient à l'esprit pour simuler des phénomènes de différentes natures influant le comportement du circuit est de coupler l'environnement de conception et de simulation électriques à d'autres simulateurs (thermiques, mécaniques,...). Néanmoins, comme nous l'avons vu dans le chapitre précédent, cette méthode de couplage faible, qualifiée aussi de multi-disciplinaire, présente de nombreux inconvénients : temps de calcul supplémentaire, stockage de données et problèmes de convergence ; pour ne citer que les principaux.

Aussi, comme solution, et dans l'optique de la simulation de plusieurs phénomènes physiques dans un même environnement de conception microélectronique, des premiers travaux ont déjà commencé au laboratoire ICube avec la thèse de Jean Christophe Krencker [9]. Ces travaux, comme nous allons les détailler dans ce chapitre, ont abouti au développement d'un outil de simulation électrothermique dans l'environnement de conception et de simulation microélectronique Cadence<sup>®</sup>. L'objectif de la thèse que je développe dans ce manuscrit a été de poursuivre ce travail

en rajoutant à cet outil la possibilité de simuler d'autres aspects et phénomènes physiques, indispensables pour l'évaluation de la fiabilité dès la conception.

Pour ce faire, nous nous sommes intéressés en premier lieu à l'intégration de la simulation à long terme du phénomène de vieillissement des circuits analogiques (phénomène de fiabilité majeur, détaillé dans la section 2.2.4) en tenant compte des interactions électrothermiques. Ensuite, nous avons travaillé sur l'inclusion des effets thermo-mécaniques dans l'outil de simulation électrothermique pour pouvoir le qualifier de simulateur multi-physiques "electro-thermo-mécanique" de circuits intégrés.

Dans ce chapitre, nous allons commencer par décrire le point de départ de cette thèse qui est l'outil de simulation électrothermique. Ensuite, nous expliquerons brièvement les méthodologies que nous avons adoptées pour étendre les fonctionnalités de cet outil.

### 4.1 Le simulateur électrothermique

La simulation électrothermique des circuits en 3D a commencé dans le cadre du projet 3D IDEAS<sup>1</sup>. Ce projet avait pour objectif de développer un flot de conception de circuits en technologie 3D, puis de l'appliquer à la réalisation d'un imageur.

Un circuit intégré est considéré comme 3D, lorsqu'au moins deux puces sont empilées l'une sur l'autre et interconnectées par l'intermédiaire de TSV (Through Silicon Via)<sup>2</sup>[96]. Cette technologie est prometteuse du point de vue intégration de plusieurs fonctionnalités dans un espace réduit et prolonge la loi de Moore [97]. En revanche, les densités de puissance dans ces circuits sont élevées et engendrent des problèmes de fiabilité liés à l'élévation de température tels que l'électromigration, les points chauds,...ce qui est susceptible de remettre en cause la conception du circuit.

C'est dans ce contexte que le but de la thèse de Jean Christophe Krencker était de développer un simulateur électrothermique précis et fiable, capable de simuler des modèles de bas comme de haut niveau, en raison de la complexité des circuits en technologie 3D. Le simulateur développé est intégré dans un environnement de développement CAO pour circuit intégré standard, l'environnement Cadence<sup>®</sup>.

#### 4.1.1 Principe de fonctionnement du simulateur électrothermique

La technique de simulation repose sur un principe de fonctionnement simple permettant d'effectuer des simulations électrothermiques de la même manière que les simulations électriques conventionnelles dans l'environnement de conception micro-électronique Cadence<sup>®</sup>. L'outil utilise un ensemble de scripts développés en SKILL<sup>®</sup>.

---

1. Projet financé par l'Agence Nationale de Recherche et initié en 2009 par l'équipe conception des systèmes hétérogènes de l'Institut des Nanotechnologies de Lyon (INL), et dans lequel l'équipe SMH du laboratoire ICube était impliquée avec la thèse de Jean-Christophe Krencker

2. Pour les circuits 3D, au lieu des pistes dans un plan, certaines des interconnexions sont intégrées directement dans le silicium sous la forme de trous traversants

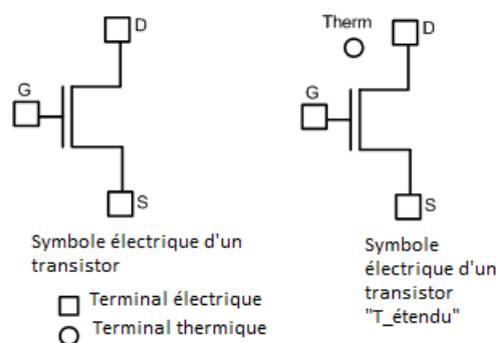


FIGURE 4.1 – Substitution d'une entité électrique conventionnelle d'un transistor par son équivalent électrique "T\_étendu"

(langage interprété de l'environnement Cadence<sup>®</sup>) et un ensemble de modèles compacts développés avec le langage de description matériel Verilog-A<sup>®</sup>. Le principe de fonctionnement de cet outil est schématisé par la figure 4.2 et peut être résumé en trois étapes :

1. **La génération des modèles électriques "T\_étendu"** : En premier lieu, un script (développé en SKILL<sup>®</sup>) convertit le schéma électrique à simuler en un schéma où les instances des composants élémentaires sont remplacées par des instances équivalentes que nous appelons ici des modèles électriques "T\_étendu" c'est à dire étendus pour tenir compte des phénomènes physiques de la thermique. Ces modèles sont aussi développés en Verilog-A<sup>®</sup>. La température du composant n'est pas constante mais est considérée comme un paramètre qui varie au cours du temps. Ces composants de substitution possèdent une ou plusieurs entrée/sortie de nature thermique (nœud thermique) en plus des entrées/sorties électriques conventionnelles, comme illustré par la figure 4.1. Ces nœuds thermiques sont connectés à un réseau thermique qui permet de calculer la température des nœuds, connaissant les flux de chaleur provenant des modèles électriques "T\_étendu".
2. **La création du réseau thermique** : un second script permet, à partir de l'analyse du layout du circuit et des dimensions des composants dissipant une énergie électrique importante, de créer un réseau thermique qui modélise les volumes de la puce et de son boîtier. Ce réseau est constitué d'instances élémentaires également développées en Verilog-A<sup>®</sup>. Ces instances modélisent le comportement thermique de la puce et sont capables d'évaluer les transferts de chaleur entre les nœuds adjacents du réseau thermique. Le réseau thermique peut donc être vu comme un modèle par éléments finis, ces éléments ayant été construits par une approche directe (c.f. Étape.3 section 3.2.1) en utilisant un réseau thermique de Cauer [9].
3. **L'interfaçage des deux physiques** : en dernière étape, le réseau thermique est automatiquement lié aux composants "T\_étendus" du schéma électrique (représentant le réseau électrique) grâce à des instances d'interface. L'ensemble

forme un unique schéma électrothermique complet pouvant être simulé de façon identique à celle d'un circuit électrique conventionnel et ceci à l'aide de n'importe quel simulateur supportant le langage Verilog-A<sup>®</sup>, le simulateur SPECTRE<sup>®</sup> dans notre cas. Les flux de chaleur générés par les modèles électriques "T\_étendus" sont injectés dans le réseau thermique. La simulation de ce réseau, réalisée simultanément à la simulation électrique (puisque l'on utilise un solveur monolithique), fournit les températures des composants qui influent sur les caractéristiques électriques de ces derniers...

### 4.1.2 La méthode de simulation directe : couplage fort

L'outil de simulation développé utilise la méthode de simulation monolithique, qualifiée aussi de directe, et implémente donc un couplage fort (c.f la section 3.3.1) des phénomènes physiques simulés, à savoir "électrique" et "thermique".

L'avantage majeur de cette méthode directe (couplage fort) est qu'elle utilise un seul simulateur (de type SPICE<sup>®</sup>) ce qui permet au concepteur d'effectuer des simulations dans un unique environnement. Cela représente aussi un gain au niveau du coup des logiciels, du temps de simulation (le transfert des données entre des simulateurs différents est économisé) et de l'espace de stockage. En outre, cette méthode est robuste car elle assure une meilleure convergence en utilisant qu'une seule boucle d'interface [98], contrairement aux méthodes par relaxation (couplage faible) utilisant deux simulateurs distincts. Par contre, il faut souligner que cette méthode est plus difficile à implémenter que la méthode de simulation par relaxation car elle nécessite le développement des modèles électriques "T\_étendu", le développement du réseau thermique, et son interfaçage avec le réseau électrique "T\_étendu".

### 4.1.3 L'approche de la modélisation électrothermique haut niveau

Comme nous l'avons mentionné au début de ce chapitre, le simulateur électrothermique développé est destiné aux circuits monolithiques complexes en technologie 3D. Ces puces empilées contiennent plusieurs circuits complexes, par conséquent, le temps de simulation électrothermique risque de devenir rapidement excessif si la modélisation reste au niveau transistor. Pour cela, il était nécessaire de trouver une solution pour réduire la complexité du système. Comme pour la modélisation électrique, la solution a été de développer des modèles électro-thermiques de haut niveau.

Néanmoins, la méthodologie généralement utilisée pour construire un modèle de haut niveau purement électrique a dû être adaptée. Ceci provient du fait que la distribution thermique au sein d'un circuit dépend de sa distribution de densité de puissance et de l'environnement du circuit. Pour cette raison, une méthodologie pour générer des modèles électriques "T\_étendu" de haut niveau a été développée [9]. Elle utilise notamment plusieurs noeuds thermiques par modèle de haut niveau contre un seul pour le modèle "T\_étendu" du transistor.

La modélisation de haut niveau n'a pas fait l'objet de cette thèse, c'est pour cette raison que nous nous contentons ici de souligner la possibilité d'effectuer des

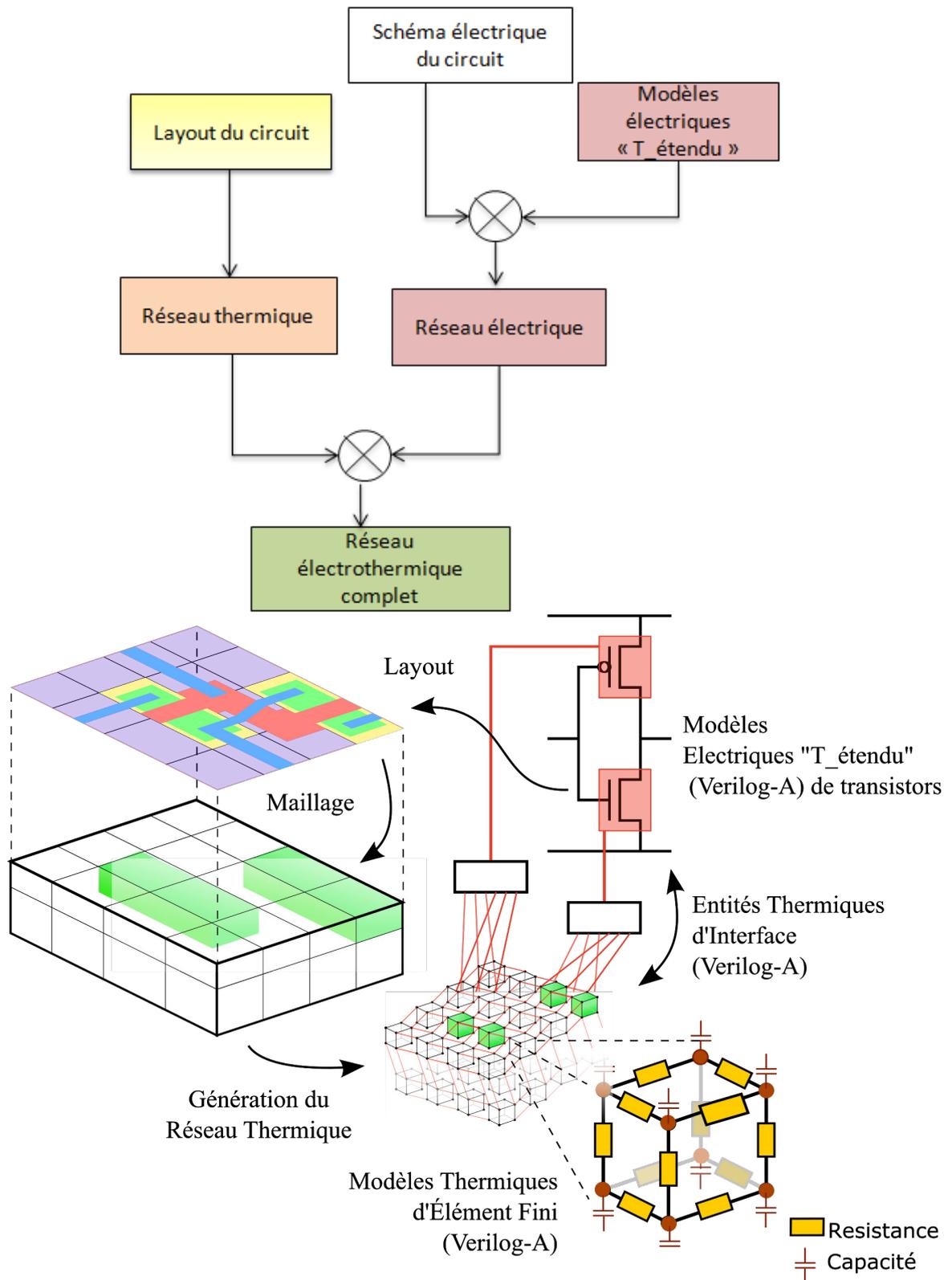


FIGURE 4.2 – Le principe de fonctionnement du simulateur électrothermique

simulations électrothermiques de systèmes complexes en un temps raisonnable grâce à cette approche [9][99].

### 4.2 Vers la simulation multi-physiques : nos objectifs

En réalité, dans un modèle compact de composant électrique, comme un modèle de transistor, la notion de multi-physiques est déjà présente. En effet, les équations du modèle, et donc les paramètres électriques du composant, ont été établis en couplant les lois de l'électromagnétisme, généralement sous approximation quasi-stationnaire, aux lois de continuité et de transport des porteurs par conduction et diffusion. D'autre part, l'espace occupé par le transistor est suffisamment petit pour que ce dernier puisse être considéré comme un élément, au même titre qu'un élément fini dans un modèle par FEM. Toutefois comme les pistes métalliques reliant les transistors canalisent les flux de porteurs (courant électrique) et « transmettent » sans perte les potentiels électriques, le comportement électrique d'un circuit peut se modéliser par un ensemble de composants (ou éléments finis) reliés entre eux sous forme d'un schéma électrique de composants à « constantes localisées » quel que soit l'emplacement final de ces composants sur le dessin physique du circuit.

Néanmoins, les paramètres électriques du modèle compact du composant sont aussi dépendants du vieillissement, de la température et de la contrainte mécanique au sein du composant, pour ne citer ici que les phénomènes principaux et qui sont ceux auxquels nous nous sommes intéressés dans le cadre de nos travaux.

Contrairement aux phénomènes électriques (i.e. loi de l'électromagnétisme et lois de transport des porteurs) et aux phénomènes de vieillissement (c.f. chapitre 2), les phénomènes thermiques, tout comme les phénomènes mécaniques qui seront modélisés dans la partie 3 de ce manuscrit, ne sont pas localisés, et il n'existe pas de « piste » pour canaliser les flux thermiques ou les forces mécaniques. Ces phénomènes ne peuvent donc pas être modélisés par un circuit constitué de composants thermiques ou mécaniques à "constantes localisées". Leur modélisation doit reposer sur la construction d'un réseau analogique distribué construit par éléments finis maillant le volume de la puce et modélisant le phénomène physique considéré.

Pour coupler ces réseaux thermiques et mécaniques au réseau électrique, il est nécessaire d'étendre les modèles compacts électriques. Le couplage du réseau thermique au circuit électrique se fait par l'utilisation dans le schéma du circuit de modèles compacts électriques "T\_étendu" comme cela vient d'être présenté et a été traité dans les travaux de thèse de J.-C. Krencker, même si la terminologie utilisée par J.-C. Krencker est différente. De manière similaire, pour coupler le réseau mécanique au circuit électrique, il faut introduire des modèles "M\_étendu" qui modéliseront l'effet des contraintes mécaniques sur les caractéristiques des composants, notamment via les phénomènes de piézorésistivité auxquels le silicium est très sensible. Enfin, un

dernier couplage est nécessaire entre les réseaux thermiques et mécaniques. Nous verrons dans la partie 3 de ce manuscrit comment cela est possible.

Ces quelques lignes montrent que tous les phénomènes physiques sont en réalité couplés et que leur modélisation, pour être efficace et précise, passe par des modèles localisés ou distribués, selon le phénomène considéré. Ces modèles doivent ensuite être couplés et simuler de manière directe (couplage fort) pour éviter les problèmes de convergence et assurer une simulation rapide. La tâche est si vaste qu'elle ne peut être traitée par une seule thèse. Aussi, dans ces travaux de thèse, nous nous sommes focalisés sur deux aspects. Tout d'abord, les phénomènes de vieillissement sont connus pour être dépendant de la température. Or les simulateurs de vieillissement considèrent en général que le circuit est à une température uniforme donnée et ne couplent pas les phénomènes de vieillissement aux phénomènes thermiques au sein de la puce. Comme nous disposions d'un premier simulateur électrothermique, il nous a semblé intéressant d'introduire les phénomènes de vieillissement dans le modèle compact électrique "T\_étendu" des transistors et montrer la possibilité de simuler électro-thermiquement les effets de vieillissement. Ce travail fait l'objet de la seconde partie de ce manuscrit. La troisième partie traite les phénomènes thermo-mécaniques ainsi que notre contribution à la simulation électro-thermo-mécanique d'un circuit intégré.



## Deuxième partie

### Modélisation compacte du phénomène de vieillissement électrique par porteurs chauds



# Introduction

Dans le chapitre 2, nous avons défini les principaux phénomènes de fiabilité pouvant affecter le bon fonctionnement des circuits en technologie CMOS. Dans notre travail, pour modéliser la dégradation du comportement électrique des transistors en technologie CMOS, nous allons nous intéresser uniquement au phénomène des porteurs chauds, car ce phénomène, comme expliqué dans la section 2.2.4 est la principale source de dégradation du comportement électrique des transistors MOS utilisés dans les circuits analogiques pour des technologies comme la technologie AMS 0.35 $\mu\text{m}$ , avec laquelle nous avons travaillé. En revanche, contrairement aux simulations de vieillissement conventionnelles, nous allons coupler le vieillissement aux phénomènes électrothermiques et montrer l'effet de la température sur la dégradation à long terme des paramètres du transistor.

Dans cette partie, nous allons commencer par détailler le modèle analytique le plus largement utilisé pour la modélisation de la dégradation par porteurs chauds : le modèle de Hu, qui traduit le comportement de l'électron chanceux. Ensuite, nous allons décrire le phénomène compensateur, c'est le phénomène du recouvrement de la dégradation due aux porteurs chauds.

Par la suite, afin de coupler le phénomène de CHC "*Channel Hot Carriers*" avec la température, nous allons détailler la relation entre la dégradation par porteurs chauds et la température.

Nous décrirons aussi notre modélisation en Verilog-A du phénomène de CHC (dégradation et recouvrement) dans le modèle compact électrique "T\_étendu". Les résultats de simulations électrothermiques avec la prise en compte du phénomène de CHC pour un seul transistor et pour un capteur de vieillissement seront présentés dans cette partie. Enfin, dans le dernier chapitre de cette seconde partie, nous présenterons nos résultats de mesure effectuées sur un circuit que nous avons conçu pour l'extraction des paramètres de vieillissement.

# Chapitre 5

## Modélisation du phénomène CHC dans les transistors CMOS "T\_étendu"

Certes, il est important pour avoir des simulations fiables de modéliser la dérive des paramètres du transistor issue du phénomène de CHC "*Channel Hot Carriers*" afin de prédire au mieux le comportement réel du circuit. De nombreux travaux ont été consacrés à la modélisation de la dégradation à l'issue du phénomène de CHC [28, 30, 68, 69]. Néanmoins, dans des conditions de polarisation et de température particulières, un phénomène inverse peut avoir lieu. C'est le phénomène de recouvrement partiel permettant au transistor de retrouver le fonctionnement normal de certains de ses paramètres, après dérive. Dans notre travail, en plus de la modélisation en fonction de la température de la dégradation sous l'effet des CHC, nous avons étudié et modélisé ce phénomène de recouvrement, de la même façon, c'est à dire en fonction de la polarisation électrique et de la température. Précédemment, dans le chapitre 2, nous avons déjà décrit le phénomène des porteurs chauds. Nous commencerons donc par rappeler brièvement les caractéristiques de ce phénomène ainsi que le modèle physique qui le décrit : le modèle de l'électron chanceux . Ensuite, nous présenterons le modèle analytique de dégradation extrait des équations physiques.

### 5.1 Modélisation de la dérive des paramètres du transistor due au phénomène des porteurs chauds

Nous rappelons que ce phénomène a lieu en régime de saturation et qu'il est le résultat de l'ionisation par impact. La dégradation induite par les CHC est plus significative dans le cas des transistors NMOS que dans le cas des transistors PMOS (à cause de la différence de la mobilité des porteurs). C'est pour cette raison que les équations de la modélisation que nous allons présenter dans ce chapitre correspondent aux équations des transistors NMOS.

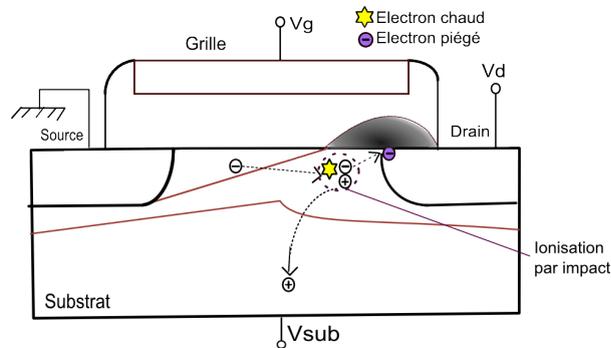


FIGURE 5.1 – Ionisation par impact et création des états d'interface pour un transistor NMOS

### 5.1.1 Des équations physiques au modèle analytique

Afin de modéliser le vieillissement des transistors en technologie CMOS en fonction de la température, nous avons commencé par chercher un modèle analytique traduisant la dégradation physique. Il était primordial de choisir une modélisation facilement intégrable dans le modèle de transistor MOS "T\_étendu" utilisé dans notre simulateur électrothermique et qui est dérivé du modèle BSIM3v3 [100].

Benoit Dubois dans ses travaux de thèse menés au laboratoire ICube [3], s'est déjà intéressé à la modélisation du phénomène de vieillissement des transistors en technologie CMOS dans l'objectif de déterminer une méthodologie de conception pour la fiabilité des structures analogiques de base. Autrement dit, son travail visait l'évaluation de la dérive des caractéristiques électriques d'un circuit afin de déterminer les conditions de polarisation qui minimisent cette dérive. Pour établir un modèle analytique du vieillissement par porteurs chauds qui peut être utilisé par les outils de CAO, la modélisation proposée par B.Dubois a été développée en VHDL-AMS (langage de description multi-physiques) [101] et s'est basée sur le modèle physique de l'électron chanceux. Néanmoins, ce dernier avait été intégré dans un modèle de transistor très basique, de type SPICE LEVEL1. Ici le modèle de vieillissement sera intégré au modèle BSIM3v3, tout en tenant compte en plus de la température, afin de fournir un modèle électrique compact "T\_étendu" du transistor, qui tient en compte le vieillissement.

La dérive des paramètres électriques résulte essentiellement de l'augmentation de la densité d'états (les défauts chargés résultants de l'ionisation par impact) à l'interface Oxyde-Semiconducteur ( $N_{it}$ ) (figure 5.1). Selon le modèle du LEM "*Lucky Electron Model*", la dégradation est attribuée à l'augmentation des états d'interface, et la variation des paramètres électriques du transistor est proportionnelle à la variation de la densité d'états d'interface. Les paramètres du transistor qui sont particulièrement affectés et sensibles à la variation de  $N_{it}$  sont les deux paramètres du transistor très importants pour la conception de circuits analogiques : le paramètre de transconductance (KP) et la tension de seuil ( $V_{th}$ ). Dans le paragraphe suivant,

nous présentons la modélisation de la dérive de ces deux paramètres.

**Les équations du LEM** le modèle du LEM est basé sur deux principes :

- Les paramètres du transistor affectés par les électrons chauds sont la transconductance (KP) et la tension de seuil ( $V_{th}$ ). Leur variation  $\Delta P$  est proportionnelle à la densité moyenne des états d'interface :

$$\Delta P \propto \Delta N_{it} \quad (5.1)$$

où P représente le paramètre du transistor et  $N_{it}$  est la densité des états d'interface.

- Les états d'interface sont générés par des électrons chauds et selon le modèle, appelé modèle de Hu [68] découlent des équations physiques présentés dans la section 2.2.5 (de l'équation (2.14) à l'équation (2.18)).

$$\frac{\delta N_{it}}{\delta t} = K \frac{e^{\left(\frac{-V_c}{V_{ds} - V_{dsat}}\right)} I_{ds}}{1 + AN_{it}} \frac{I_{ds}}{W} \quad (5.2)$$

où A et K sont des paramètres dépendants de la technologie : et  $V_{dsat} = V_{gs} - V_{th}$  est la tension de saturation du transistor,  $V_{ds}$  est la tension drain source,  $I_{ds}$  est le courant drain source, W est la largeur du transistor et  $V_c$  est une tension proportionnelle à l'énergie nécessaire pour qu'un électron crée un état d'interface. Ce modèle aboutit à une variation temporelle de  $N_{it}$  et donc des paramètres du transistor (KP et  $V_{th}$ ) en puissance  $n^{ieme}$  :

$$\begin{aligned} \Delta N_{it} &\propto \left( \frac{I_{ds}}{W} e^{\frac{-V_c}{V_{ds} - V_{dsat}}} t \right)^n \\ &\rightarrow \Delta P \propto t^n \end{aligned} \quad (5.3)$$

Les études s'accordent sur des valeurs de n comprises entre 0.35 et 1 selon la technologie utilisée [102, 68, 69]. Ce modèle, moyennant quelques évolutions, est encore utilisée dans l'industrie microélectronique pour estimer les effets induits par la dégradation par porteurs chauds.

L'équation obtenue est en puissance nième, difficile à résoudre directement par un simulateur, et surtout lorsque le circuit simulé devient complexe comportant plusieurs transistors. En outre, la solution de cette équation est non linéaire puisque la variation du taux de génération des états d'interface dépend non seulement des conditions de polarisation mais aussi de la densité d'états d'interface elle-même. Pour résoudre cette équation, des approximations sont donc nécessaires.

Pour rendre les équations analytiques plus adaptées aux simulations, les approximations suivantes ont été proposées :

- Comme la variation relative de la densité d'états d'interface est très faible, le terme  $(1 + AN_{it})$ , dans l'équation 5.2 a été considéré comme constant et égal à  $(1 + AN_{it_0})$  où  $N_{it_0}$  est la densité d'états d'interface initiale.

- De manière analogue,  $V_{ds}$ ,  $V_{dssat}$  et  $I$  peuvent être considérés comme constants et égaux à leurs valeurs initiales notées, respectivement,  $V_{ds_0}$ ,  $V_{dssat_0}$  et  $I_0$ .

Après intégration, et suivant ces approximations, le taux de génération d'états d'interface devient constant et égal à :

$$\begin{cases} N_{it}(t) = N_{it_0} + \Delta N_{it}(t) \\ \Delta N_{it}(t) \simeq K \frac{\exp\left(\frac{-V_c}{(V_{ds_0} - V_{dssat_0})}\right) I_{ds_0} t}{1 + A \cdot N_{it_0} W} \end{cases} \quad (5.4)$$

Les variations des paramètres  $V_{th}$  et  $KP$  (paramètre de transconductance) peuvent alors être exprimées selon ces équations [3] :

$$\begin{cases} \Delta KP(t) = \Gamma_k t \\ \Delta V_{th}(t) = \Gamma_v t \end{cases} \quad (5.5)$$

avec :

$$\begin{cases} \Gamma_k = \beta_k \frac{I_0}{W} e^{\frac{-V_c}{(V_{ds_0} - V_{dssat_0})}} = \beta_k \gamma_d \\ \Gamma_v = \beta_v \frac{I_0}{W} e^{\frac{-V_c}{(V_{ds_0} - V_{dssat_0})}} = \beta_v \gamma_d \end{cases} \quad (5.6)$$

où :  $\gamma_d = \frac{I_0}{W} e^{\frac{-V_c}{(V_{ds_0} - V_{dssat_0})}}$  est un paramètre proportionnel à la densité des états d'interface,  $V_c$ ,  $\beta_k$  et  $\beta_v$  sont des paramètres dépendants de la technologie, tout comme  $V_c$ . Ces derniers ont été extraits par mesures en [3] et leurs valeurs sont reportées dans le tableau 5.1.

$\beta_v (V \cdot s^{-1} \cdot \mu A^{-1} \cdot \mu m)$	$\beta_k (V^{-2} \cdot s^{-1} \cdot \mu m)$	$V_c (V)$
$7.6 \cdot 10^{-6}$	$-1.1 \cdot 10^{-8}$	28.6

TABLE 5.1 – Paramètres de vieillissement par porteurs chauds pour la technologie AMS 0,35 $\mu$ m [3]

## 5.2 Le phénomène du recouvrement

Le phénomène de recouvrement ou guérison, appelé "*Recovery*" en anglais, de la dégradation induite par les porteurs chauds (CHC) est un phénomène de guérison partiel qui se traduit par la reprise de la dérive de la tension de seuil  $V_{th}$ .

Dans la littérature, le phénomène de dégradation par porteurs chauds est souvent désigné comme un phénomène de fiabilité majeur. Par contre, le phénomène inverse qui induit le recouvrement de la tension  $V_{th}$  est généralement ignoré. A notre connaissance, jusqu'à ce jour, il n'existe pas de modèle de dégradation utilisé par les simulateurs de fiabilité qui prend en compte l'effet du recouvrement de la tension de seuil  $V_{th}$ .

Dans notre travail, il était nécessaire d'introduire le recouvrement dans notre modèle pour une prédiction plus précise du comportement du transistor sous différentes

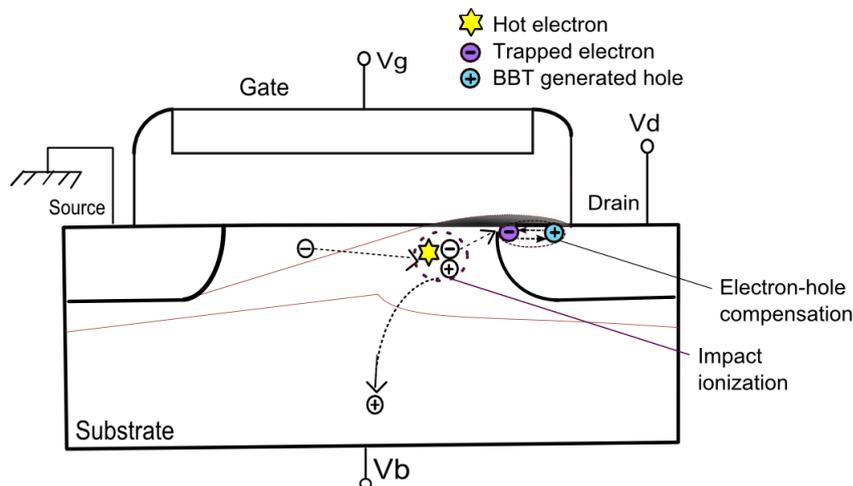


FIGURE 5.2 – Phénomène de compensation de la charge créée. BBT "*Band to Band Tunneling generated Hole*" désigne les trous générés par effet tunnel

conditions de stress électrique. Surtout, il était important pour nous de prendre en compte ce phénomène pour la fiabilité des simulations électrothermiques à cause de sa dépendance en température.

**Le mécanisme du recouvrement** En réalité, la variation de la tension de seuil  $V_{th}$  [103][104] est étroitement corrélée à la variation de la densité des états d'interface. Par conséquent, la variation du taux d'états d'interface résultant de la libération des défauts piégés dans l'oxyde, juste au dessus de l'interface  $Si - SiO_2$ , est à l'origine de la récupération du décalage de la tension de seuil.

Selon [104][105], la compensation des électrons chauds responsables de la création des charges négatives piégées à l'interface  $Si - SiO_2$ , à l'origine du décalage de  $V_{th}$ , est attribuée aux trous générés par effet tunnel dans la zone de chevauchement entre la grille et le drain lors de l'application combinée d'une tension positive élevée sur le drain et d'une faible tension de grille négative après la phase de stress. En effet, l'application de ces tensions est à l'origine de la formation d'une région de champ électrique élevé à l'intérieur de la région de déplétion élargie du drain près de l'interface  $Si - SiO_2$ . Les trous résultants générés dans la jonction de drain polarisée en inverse sont injectés dans l'oxyde et compensent ainsi les charges négatives induites par les porteurs chauds [106][107][108] comme illustré par la figure 5.2.

Le passage entre bandes par effet tunnel n'est possible qu'en présence d'un champ électrique élevé et que quand la largeur de la bande est plus grande que la bande interdite d'énergie  $E_g$  (figure 5.3).

**L'extraction du modèle analytique du recouvrement** Le champ électrique à l'interface  $Si - SiO_2$  dépend également de la concentration du dopage dans la région du drain et de la différence entre  $V_d$  et  $V_g$ . Une première équation approximative du champ électrique minimum requis pour que le recouvrement ait lieu est exprimée par [106] :

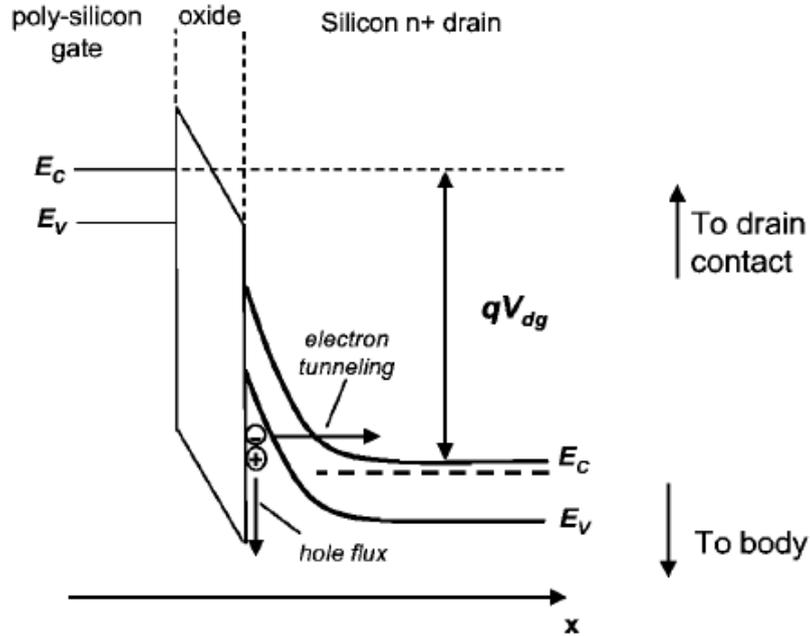


FIGURE 5.3 – Illustration du processus d'effet tunnel entre bandes près de la région du drain. Le diagramme indique que pour un champ électrique important, les électrons de la bande de valence ont une probabilité de se déplacer par effet tunnel vers la bande de conduction et les trous générés vont par la suite être compensés par les électrons piégés à l'interface  $Si - SiO_2$ .

$$E_{smin} = \frac{V_{dg} - E_g}{3 * T_{ox}} \quad (5.7)$$

où  $T_{ox}$  est l'épaisseur d'oxyde.

La densité du courant de trous à l'issue de l'effet tunnel est donnée par l'équation [105][106] :

$$J_{p,BBT} = qWG_{BBT} \quad (5.8)$$

où  $W$  en  $\mu m$  est la largeur du transistor  $G_{BBT}$  est considéré comme le taux de génération de porteurs dans la région de champ électrique élevé et qui est exprimé par :

$$G_{BBT} = AE_s^\sigma \exp\left(\frac{-B}{E_s}\right) \quad (5.9)$$

où  $A$  est une constante reliée à la masse effective de l'électron ( $4.1014V^{-2}s^{-1}cm^{-1}$ ),  $\sigma$  est une constante de transition ( $\simeq 2.5$  pour Si),  $E_s$  est la valeur du champ électrique local et  $B$  est la constante de probabilité de l'effet tunnel ( $\simeq 30mV/cm$ ) [106]. Le nombre d'électrons piégés à l'interface  $Si - SiO_2$  et libérés, par seconde, suite à l'effet tunnel est proportionnel (i) : au nombre d'électrons piégés donc à la densité

d'états d'interface initiale  $N_{it} = N_{it_0}$  (ii) au courant des trous dû à l'effet tunnel, c'est à dire, il peut être exprimé comme suit [106] :

$$\gamma_r = J_{p,BBT}N_{it_0} \quad (5.10)$$

Finalement, la tension  $V_{th}$  effective, qui prend en compte le recouvrement peut être exprimée par l'équation 5.11. Cette modélisation de la tension  $V_{th}$  est ainsi plus réaliste et vient compléter celle utilisée par Benoit Dubois (détaillée dans les équations 5.5 et 5.6) et qui ne prenait en compte que la dégradation :

$$\frac{\delta V_{th}}{dt} = \beta_v \gamma_d - K_v \gamma_r \quad (5.11)$$

où  $K_v$  est un paramètre dépendant de la technologie,  $\gamma_r$  est le nombre d'électrons piégés à l'interface  $Si-SiO_2$  et libérés, par seconde, que nous avons déjà défini dans l'équation 5.10.  $\beta_v$  et  $\gamma_d$  sont les paramètres utilisés pour le calcul de la dégradation que nous avons déjà définis dans l'équation 5.6.

## 5.3 La dépendance en température du phénomène des porteurs chauds

Comme nous l'avons déjà mentionné, notre objectif dans cette partie est d'introduire la modélisation de la dégradation en fonction de la température afin de pouvoir coupler le vieillissement par porteurs chauds avec la variation de température.

### 5.3.1 La dépendance en température de la dégradation par porteurs chauds

En s'appuyant sur des résultats expérimentaux trouvés dans [104][108], nous avons établi la relation entre la température et la dégradation par CHC. En effet, selon [104][108], pendant la période de stress, lorsque la température augmente, la dégradation induite par porteurs chauds diminue. Ceci est expliqué par le fait que la tension  $V_c$ , traduisant l'énergie nécessaire pour qu'un électron crée un état d'interface, comprend une dépendance implicite en température. En effet,  $V_c$  peut être exprimée par :

$$V_c = \frac{\Phi_i L}{\lambda} \quad (5.12)$$

où  $\Phi_i$  est l'énergie nécessaire pour l'ionisation par impact,  $L$  est la longueur du canal du transistor et  $\lambda$  est la distance moyenne que parcourt l'électron avant d'entrer en collision (*MFP*)<sup>1</sup>. La valeur du *MFP* augmente quand la température diminue car les électrons interagissent avec les phonons (particules de vibration du réseau cristallin) et plus la température diminue, moins les phonons sont nombreux. Ce comportement est décrit par la relation [109] :

$$\lambda = \lambda_0 \tanh\left(\frac{E_r}{2k_B T}\right) \quad (5.13)$$

---

1. Mean Free Path : libre parcours moyen

$E_g$	$\alpha$	$\beta$
1.17	$4.74 \cdot 10^{-4}$	636

TABLE 5.2 – Paramètres pour le calcul de la bande interdite du silicium en fonction de la température

où  $\lambda_0$  est la limite basse de  $\lambda$  et  $E_r$  est l'énergie des phonons [110]. Pour la plage de température entre 300K et 400K (plage de température étudiée dans notre cas), nous pouvons faire une approximation et considérer que :

$$\tanh\left(\frac{E_r}{2k_B T}\right) \approx \frac{E_r}{2k_B T} \quad (5.14)$$

Par conséquent, une proportionnalité directe peut être établie entre  $V_c$  et T et nous avons choisi de modéliser la dépendance de  $V_c$  de cette manière :

$$V_c(T) = V_{c_0} \frac{T}{T_0} \quad (5.15)$$

où  $V_{c_0}$  est la valeur de la tension  $V_c$  à la température  $T_0$ .

### 5.3.2 La dépendance en température du recouvrement

Le recouvrement de la tension  $V_{th}$  dépend également de la température. En effet, la largeur de la bande interdite du silicium,  $E_g$  décroît avec la température selon l'équation suivante :

$$E_g(T) = E_{g(0)} - \frac{\alpha T^2}{T + \beta} \quad (5.16)$$

où :  $E_g$ ,  $\alpha$ ,  $\beta$  sont des constantes liées au matériau [107] et dont les valeurs sont indiquées dans le tableau 5.2 Quand la largeur de bande  $E_g$  diminue, le champ électrique minimum requis pour que le recouvrement ait lieu,  $E_s$ , augmente (selon l'équation 5.7) et par conséquent, la densité de courant des trous exprimée par l'équation 5.8 augmente aussi. Ainsi, la compensation des électrons piégés à l'interface  $Si - SiO_2$  augmente à haute température. De cette façon, l'élévation de la température favorise la récupération de la tension  $V_{th}$ .

## 5.4 Le courant de substrat indicateur du vieillissement

Le courant de substrat est généré suite au processus d'ionisation par impact (figure 5.1). Les trous générés après ionisation par impact se déplacent vers le substrat et contribuent à la formation de ce courant.

C'est la raison pour laquelle ce courant peut être considéré comme proportionnel à la

densité des états d'interface créés au cours de la période de stress. En se référant au modèle de BSIM3v3.3 [100], nous avons modélisé ce courant par l'équation suivante :

$$I_{sub} = \beta_s \gamma_d \quad (5.17)$$

où  $\beta_s$  est un paramètre d'ajustement du modèle et  $\gamma_d$  est le paramètre dépendant du taux de génération des états d'interface que nous avons déjà défini dans l'équation 5.6 par :

$$\gamma_d = \frac{I_0}{W} e^{\frac{-V_c}{(V_{ds0} - V_{dsat0})}} \quad (5.18)$$

## 5.5 Le modèle de vieillissement par CHC proposé

### 5.5.1 La modélisation compacte

Afin de modéliser le phénomène des porteurs chauds dans les transistors MOS, nous avons utilisé la modélisation compacte. Ce type de modélisation est utilisé pour l'élaboration des modèles de dispositifs semi-conducteurs intégrés qui servent aux simulateurs de circuits. D'une façon générale, la modélisation compacte des composants micro-électroniques doit être :

- suffisamment simple pour être incorporée dans les simulateurs de circuit et conduire à un temps de simulation court
- suffisamment précise pour avoir un résultat de simulation fiable pour les concepteurs de circuits

La modélisation compacte est une étape importante pour le transfert de l'information du comportement d'un composant. Cette modélisation doit reproduire de la façon la plus proche de la réalité la variation des paramètres d'un composant en fonction des conditions de fonctionnement [111].

Le langage standard de la modélisation compacte a été le langage C depuis 1985 quand Spice a été ré-écrit et re-développé du FORTRAN (SpiceZ) en C (Spice3). Bien que la modélisation en C soit plus facile à développer, elle n'est pas la plus adaptée pour décrire des systèmes analogiques ou mixtes de bas niveau vu l'absence de bibliothèques dédiées, ce qui rend le modèle peu lisible. Actuellement les modèles compacts sont plutôt standardisés en langage de description du matériel tel que VHDL-AMS ou Verilog-A. Notre modèle étant développé sous l'environnement Cadence<sup>®</sup>, nous avons utilisé le langage Verilog-A.

### 5.5.2 Le langage de description de matériel Verilog-A

Verilog-A HDL est un langage de description comportementale des systèmes analogiques qui est dérivé des spécifications IEEE 1364 du Verilog HDL. Il fait partie intégrante de l'environnement Cadence<sup>®</sup>. Ce langage a été créé pour répondre au besoin d'uniformisation du langage comportemental Spectre<sup>®</sup>, à la place du C, et pour faire face à la concurrence du langage VHDL et à son extension à la modélisation

analogique, VHDL-AMS, ainsi qu'à la concurrence d'autres langages de description analogique comme le langage MAST développé en 1986 par Synopsys.

Le but de Verilog-A HDL est de permettre aux concepteurs de systèmes et de circuits intégrés analogiques de créer et d'utiliser des modules qui comportent des descriptions comportementales de haut niveau ainsi que des descriptions structurelles des systèmes et des composants. Le comportement de chaque module peut être décrit par des équations mathématiques traduisant des phénomènes physiques en fonction des terminaux et des paramètres externes appliqués au module.

La structure de chaque composant peut être décrite en termes de sous-composants inter-connectés. L'avantage majeur des langages de description du matériel tel que le Verilog-A est qu'il peut être utilisé dans de nombreuses disciplines telles que l'électricité, la thermique, la thermodynamique, la mécanique...etc [112].

En effet, le langage Verilog-A prend en charge les descriptions conservatrices des flux de signaux et la terminologie correspondante à ces descriptions. Ce langage utilise le concept des nœuds, des branches et des ports.

Enfin, les systèmes décrivant des comportements analogiques qui obéissent aux lois conservatrices sont résolus selon les formes généralisées des lois de Kirchhoffs de potentiel et de flux : (KPL<sup>2</sup> et KFL<sup>3</sup>).

Dans notre cas, la simulation électrothermique du vieillissement est effectuée dans l'environnement de CAO Cadence<sup>®</sup>, alors il était naturel d'établir un modèle de transistor qui prend en compte la dégradation à partir d'un modèle de transistor développé en Verilog-A. Précédemment (c.f dans la section 4.1), le modèle de transistor MOS électrique "T\_étendu" a été implémenté à partir du modèle de type SPICE BSIM3v3, en langage de description du matériel Verilog-A et intégré dans la bibliothèque de Cadence<sup>®</sup>. Notre modélisation compacte du phénomène des porteurs chauds en fonction de la température (dégradation et recouvrement) a donc été rajoutée au modèle électrique "T\_étendu" pour pouvoir effectuer des simulations du vieillissement du transistor sur de longues durées en fonction de la température effective du composant (figure 5.4).

### La modélisation du temps de simulation sur de longues durées

Pour réaliser des simulations comportementales de vieillissement de notre modèle, il faut qu'elles soient sur de longues durées (jours, mois ou années). En même temps, en utilisant le simulateur SPECTRE<sup>®</sup> dans l'environnement Cadence<sup>®</sup>, nous sommes limités par le temps de simulation maximal autorisé par ce simulateur. Ce dernier nous permet d'effectuer des simulations transitoires de durée maximale de deux heures.

Néanmoins, un avantage du langage Verilog-A est l'existence d'une fonction qui permet l'accès au temps courant de simulation; nous pouvons accéder à ce dernier grâce à la fonction prédéfinie *\$abstime* ou *\$realttime*. Ces fonctions retournent le temps courant de simulation. A l'aide de cette fonction, nous avons résolu le problème de la durée de simulation limitée en utilisant un facteur d'échelle temporelle *time\_scale*. En effet, la valeur de *time\_scale* multipliée par le retour de la fonction

---

2. Kirchhoff Potential Low  
3. Kirchhoff Flow Low

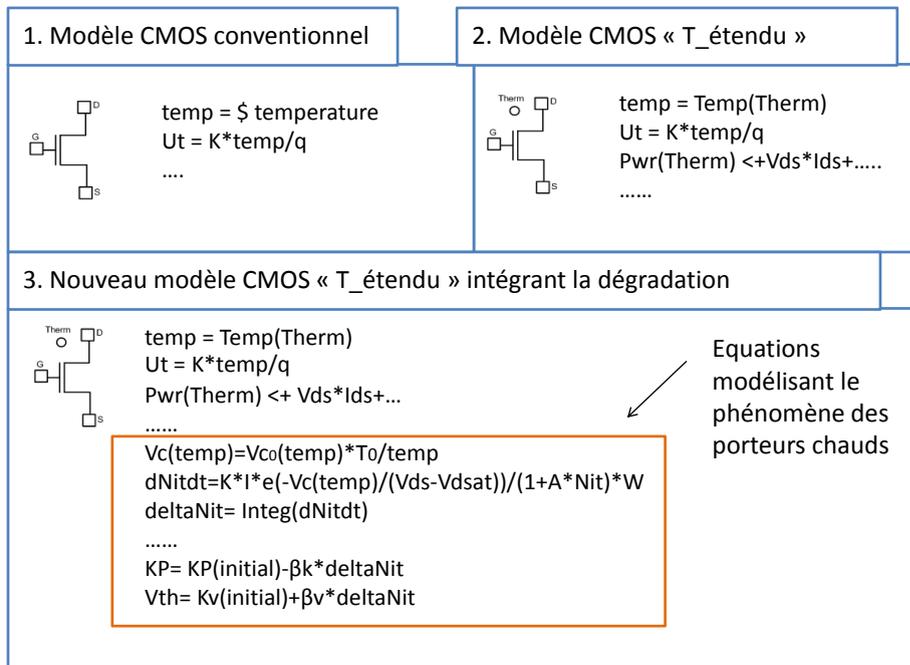


FIGURE 5.4 – Modélisation de l’effet des porteurs chauds au sein du modèle électrique "T\_étendu" du transistor MOS

\$abstime ou \$realttime permet la projection de l’échelle de temps de vieillissement sur une échelle des temps correspondant à une durée d’analyse transitoire du simulateur. Par exemple, nous pourrions choisir une seconde du temps courant de simulation transitoire comme équivalent à une journée (c’est à dire  $time\_scale = 24 \cdot 60 \cdot 60s$ ) de l’échelle des temps de vieillissement. Il nous est alors possible de simuler 2000 jours en 2000 secondes, ce qui est équivalent à environ 5 ans et demi de vieillissement.

### 5.5.3 La modélisation compacte en Verilog-A du phénomène de CHC

Nous avons rajouté la modélisation de la dégradation et du recouvrement du phénomène des porteurs chauds en fonction de la température au modèle électrique "T\_étendu", qui est à la base un modèle BSIM3v3 modifié pour prendre en compte une température variable, comme illustré par la figure 5.4. Dans ce modèle, le nouveau terminal "Therm" évacue le "flux" thermique égal à la puissance dissipée par le composant, et est affecté d’un "effort" thermique égal à la température du composant. Cette température effective intervient par la suite dans le calcul du reste des équations du modèle.

Nous avons consacré un chapitre au début de la partie 3 pour discuter plus en détail des spécificités du langage Verilog-A et des lois de Kirchhoff généralisées. Dans cette partie, nous allons détailler les principales equations utilisées pour la modélisation de la dégradation et du recouvrement du CHC en fonction de la température. Les para-

Paramètre	Valeur	Description
ref_temp	313	Température de référence extraite expérimentalement
time_scale	1.0*24.0*60.0*60.0	Le temps en seconde par an
aging_time	0	Le temps du début de simulation du vieillissement
$Nit_0$	$1.0e^5$	Taux d'états d'interface initial
Bvt	$7.6e^{-6}$	Paramètre de vieillissement de $V_{th}$
Bkp	$1.81e^{-8}$	Paramètre de vieillissement de KP
A	$1.0e^{-15}$	Constante de dégradation
K	$2.06e^6$	Constante de vieillissement
Vc	28.6	Paramètre du modèle de vieillissement extrait à 40°C
qr	$1.6e^{-19}$	Charge électrique élémentaire
mDeg	$0.1911 * 10e^{-30}$	Masse d'un electron
alphaDeg	$4.74 * 10e^{-4}$	Paramètre de calcul du band gap
betaDeg	636	Paramètre de calcul du band gap
$Eg$	1.17	La valeur de l'énergie $Eg$ à T=0
h	$6.5e^{-15}$	Constante de Plank

TABLE 5.3 – Les paramètres utilisés pour la modélisation de la dégradation-recouvrement. En rouge : les paramètres de la dégradation. En gris : les paramètres du recouvrement

mètres que nous avons utilisés dans notre modèle sont résumés dans le tableau 5.3.

**Modélisation, en Verilog-A, de la variation de la densité des états d'interface** la variation de la densité des états d'interface  $\Delta N_{it}$  en fonction de la température, modélisée analytiquement par l'équation 5.2 a été implémentée en Verilog-A de la façon suivante (voir le code en Verilog-A ci dessous). L'intégration du calcul de la dégradation irrécupérable du paramètre de la transconductance  $KP$  est effectuée dans les lignes (12-15).

```

1  /*** Modelisation de la variation des parametres Vth et KP ***/
2  //***Degradation irrecuperable en fonction de la temperature ***/
3
4  gamma_aging= Ids*exp(-Vc*(Temp(therm)/ref_temp)/Vsmooth)/(w*1.0e6);
5  gamma_age  = ((time_scale* K * gamma_aging) / (1.0 + A * Nit0));
6
7  @(timer(aging_time))

```

```

8      reset =0;
9      delta_defaults = idt(gamma_age,0 , reset );
10     /**Calcul de la nouvelle valeur de Ids avec KP degradee ***/
11     CoxWovL = cox * Weff / Leff;
12     beta     = ueff * CoxWovL;
13     betaeff = beta+ (Weff/ Leff)*(delta_Nit* Bkp);

```

**Modélisation, en Verilog-A, de la dégradation et du recouvrement de  $V_{th}$**   
la modélisation de la dégradation et du recouvrement de la tension  $V_{th}$  est effectuée grâce au code en Verilog-A ci dessous. Les équations que nous avons utilisées pour le calcul des paramètres A et B de l'effet tunnel sont des équations issues d'une étude disponible en [113]. Le calcul de la nouvelle valeur de la tension de seuil  $V_{th}$ , modélisée analytiquement par l'équation 5.11 est effectué dans les lignes (14-21) du code ci dessous :

```

1  /**Degradation et recuperation de Vth***/
2  / Calcul de la dependance du silicon bandgap en temperature//
3  EgD = EgD0 - (alphaDeg* pow(Temp(therm),2)/(Temp(therm) + betaDeg));
4
5  // Calcul du potentiel de surface
6  //dans un point ou l effet tunnel est dominant
7  Es = (Vds-Vgs-1.2)/(3*TOX*1.0e6);
8
9  // Calcul du recouvrement
10 Tunnel_constA = (pow(q,2)*pow(mDeg,1/2))/(18*PI*pow(h*1.0e6,2)*pow(EgD,1/2));
11 Tunnel_constB = (PI*pow(mDeg,1/2)*pow(EgD,3/2))/(2*h*1.0e6*q);
12 gamma_recov = qr*w*1e6*Tunnel_constA*pow(Es,2.5)*exp(-Tunnel_constB/Es);
13
14 // Calcul de la degradation et du recouvrement
15
16 gamma_age_recov = gamma_age - A*$abstime*time_scale*Nit0*gamma_recov;
17
18 @(timer(aging_time))
19 reset =0;
20 delta_Nit     = idt (gamma_age_recov,0 , reset );
21 delta_vtag    = delta_Nit*Bvt;

```

\*

\*

\*

Dans ce chapitre, nous avons étudié le phénomène des porteurs chauds pour les transistors NMOS. Ce mécanisme de défaillance est un problème de fiabilité majeur qui affecte principalement les transistors NMOS utilisés dans les circuits analogiques. Il en résulte une dérive des paramètres ( $V_{th}$  et  $KP$ ). En plus du phénomène de dégradation, nous avons étudié le phénomène de recouvrement de la dérive du paramètre  $V_{th}$ . Le phénomène de recouvrement est un phénomène qui concerne uniquement la

tension  $V_{th}$  et qui n'a lieu que dans des conditions de polarisation particulières. Nous avons présenté notre modélisation du phénomène des porteurs chauds dans les transistors NMOS en commençant par les équations analytiques et en allant jusqu'à la description comportementale en Verilog-A. Dans le chapitre suivant, nous présentons les résultats de simulation de vieillissement obtenues en utilisant ce modèle.

# Chapitre 6

## Simulations électrothermiques tenant compte du vieillissement

Dans ce chapitre, nous allons présenter les résultats de simulation de vieillissement de transistors et de circuits MOS en utilisant le modèle de vieillissement détaillé dans le chapitre précédent. Nous allons commencer par la validation de notre modélisation du phénomène des porteurs chauds CHC en fonction de la température pour un transistor seul. Nos résultats de simulations de la dérive de la tension  $V_{th}$  seront validés à travers la comparaison avec des résultats de mesure trouvés dans la littérature. Ensuite, nous allons présenter les résultats de simulation d'un circuit, à savoir un capteur de vieillissement existant au laboratoire et mis au point dans le cadre de la thèse de B. Dubois [3].

### 6.1 Les résultats de simulation du vieillissement d'un seul transistor

Nous allons commencer dans cette section par discuter les principaux résultats de simulation obtenus dans le cas d'un seul transistor. Nous avons effectué ces simulations afin de valider notre modélisation compacte du phénomène des CHC que nous avons intégrée dans le modèle électrique "T\_étendu" utilisé par l'outil de simulation électrothermique au sein de l'environnement Cadence<sup>®</sup> (détaillé dans la section 4.1). Nous avons choisi de présenter les résultats de simulation pour le cas d'un NMOS, car c'est le transistor le plus affecté par le phénomène de CHC. La première partie de cette section est consacrée au phénomène de dégradation évalué à travers le courant de substrat et la deuxième sera consacrée à la simulation de la dégradation et du recouvrement de la tension de seuil  $V_{th}$ .

#### 6.1.1 La simulation du comportement du courant de substrat : indicateur de vieillissement par CHC

Comme nous l'avons déjà détaillé dans la section 5.4, l'effet induit du phénomène de CHC sur un seul transistor peut être évalué dès le stade de la conception, à travers la simulation du courant de substrat. Pour cette raison, en premier lieu, nous avons

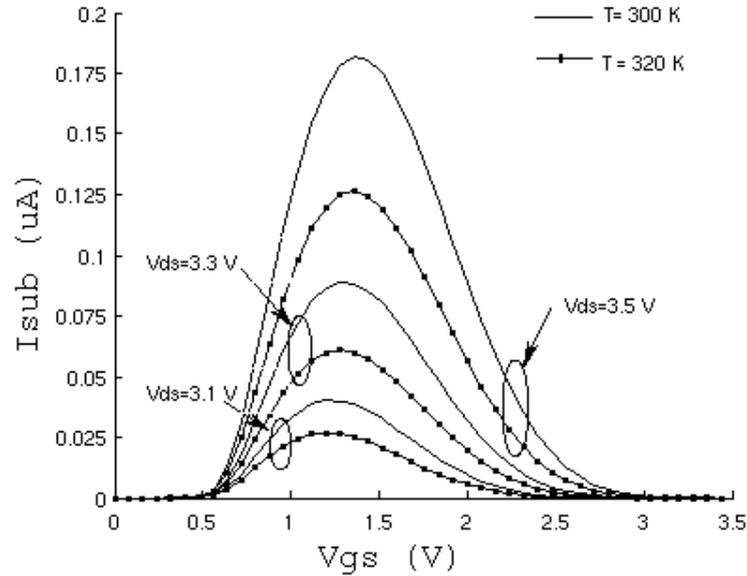


FIGURE 6.1 – Le courant de substrat d’un seul transistor ( $W=5\mu\text{m}$  et  $L=5\mu\text{m}$ ) à deux températures différentes  $T_0 = 300\text{K}$  et  $T_1 = 320\text{K}$

effectué la simulation du courant de substrat d’un seul transistor NMOS ( $W=5\mu\text{m}$  et  $L=5\mu\text{m}$ ), soumis à des contraintes électriques et thermiques variables. Dans cette simulation DC paramétrique du courant de substrat  $I_{sub}$  en fonction de  $V_{gs}$ , la tension  $V_{ds}$  varie entre 3.1V et 3.5V avec un pas de 0.2V. Ces tensions ont été choisies pour simuler le comportement du transistor en régime de saturation, régime pendant lequel la dérive des paramètres du transistor a lieu à cause du phénomène de CHC. La simulation a été effectuée pour deux valeurs de température différentes  $T=300\text{K}$  et  $T=320\text{K}$  (voir figure 6.1).

Selon le résultat de simulation reporté dans la figure 6.1, le courant de substrat dépend des conditions de stress électrique et thermique ( $V_{gs}$ ,  $V_{ds}$ ,  $T$ ). Ces résultats sont conformes à notre modélisation du phénomène de dégradation par CHC, car :

- Pour les conditions de polarisation électrique : ce résultat vérifie bien que pour des tensions de fonctionnement plus élevées ( $V_{gs}$  et  $V_{ds}$ ), le courant de substrat augmente, ce qui résulte de l’augmentation de la densité des états d’interface et de l’augmentation de la densité du courant des trous injectées dans le substrat (phénomène que nous avons modélisé dans l’équation 5.17 et qui découle du modèle de Hu),
- Pour une température de fonctionnement plus élevée :  $T=320\text{K}$ , le courant de substrat  $I_{sub}$  diminue ce qui est en accord avec notre modèle, car il montre l’effet de la température sur le mécanisme de l’ionisation par impact : la dégradation est plus significative à des températures moins élevées. Par exemple, dans la figure 6.1, pour le même  $V_{gs}$ , à  $V_{ds}=3.5\text{V}$ , le courant de substrat  $I_{sub}$

atteint un maximum de  $0.175\mu A$  pour une température  $T=300K$ , alors que ce maximum n'est de  $0.125\mu A$  dans le cas où la température  $T=320K$ .

**La simulation du courant de substrat sur des longues durées** la simulation présentée précédemment (figure 6.1) étant une simulation DC, elle est représentative, via  $I_{sub}$ , des dérives initiales de  $KP$  et de  $V_{th}$ , plus exactement de la vitesse de dégradation du transistor au début de l'application du stress électrique. Comme  $KP$  et  $V_{th}$  dérivent au cours du temps, et que le taux de dérive (indiqué par  $I_{sub}$ ) dépend de  $KP$  et de  $V_{th}$  à travers  $I_0 = I_{ds}$  et  $V_{dsat}$  (définis dans les équations 5.17 et 5.18),  $I_{sub}$  dérive en fonction du temps.

Grâce à la gestion de la double échelle de temps (présentée précédemment dans la section 5.5.2), nous avons effectué une simulation de vieillissement du même transistor ( $W=5\mu m$  et  $L=5\mu m$ ) sur une longue durée : 5 ans. Comme pour la simulation précédente, nous avons réalisé cette simulation pour deux valeurs différentes de  $V_{ds}$  (3.1V et 3.3V) et de température ( $T=300K$  et  $T=320K$ ), la tension  $V_{gs}$  étant maintenue à 1V. Comme attendu, le résultat de simulation (figure 6.2) montre que pour une même température le courant de substrat est plus important à une tension  $V_{ds}$  plus importante. Par exemple, à  $T=300K$ , la dérive du courant de substrat du transistor soumis à  $V_{ds}=3.3V$  est de 87% après 2.5 ans alors qu'elle est de 69% après la même période quand le transistor est soumis à une tension  $V_{ds}=3.1V$ . En revanche, ce résultat montre aussi que, comme prédit par l'équation 5.17 de notre modèle, le transistor soumis à une température plus importante est moins affecté par la dégradation issue des CHC. Par exemple, pour les mêmes conditions de polarisation, ( $V_{gs}=1V$  et  $V_{ds}=3.1V$ ), la dégradation du courant de substrat  $I_{sub}$  est de 65% après 2.5 ans quand la température est maintenue à 300K alors qu'elle n'est que de 50% quand la température est maintenue à 320K.

### 6.1.2 La simulation de la dérive et du recouvrement de la tension de seuil $V_{th}$

Dans le chapitre précédent, nous avons modélisé le phénomène de recouvrement de la dégradation (i.e issue des porteurs chauds) de la tension de seuil  $V_{th}$ . Cela a lieu dans des conditions de polarisation particulières, à savoir pour une tension  $V_{ds}$  importante et une tension  $V_{gs}$  négative, à cause de la compensation par le courant des trous des états d'interface générés pendant l'ionisation par impact. Nous avons déjà détaillé la modélisation compacte de ce phénomène dans la section 5.5.3.

Dans la simulation présentée ici, effectuée pour un transistor de taille ( $W=5\mu m$ ,  $L=5\mu m$ ) nous avons appliqué des conditions de stress provoquant la dérive de  $V_{th}$  par CHC. Pour ce faire, nous avons soumis le transistor à une polarisation électrique de  $V_{ds}=3.3V$  et  $V_{gs}=1V$  pendant 100s et à une température constante maintenue à 300K. Par la suite, nous avons appliqué la polarisation du recouvrement avec des tensions  $V_{ds}=7V$  et  $V_{gs}=-0.8V$  pour un intervalle de temps de 100s à 10000s et toujours avec une température de 300K. Bien que les tensions  $V_{ds}$  et  $V_{gs}$  utilisées dans cette phase de recouvrement sont élevées, nous avons vérifié que ces dernières restent compatibles avec la technologie AMS  $0.35\mu m$ .

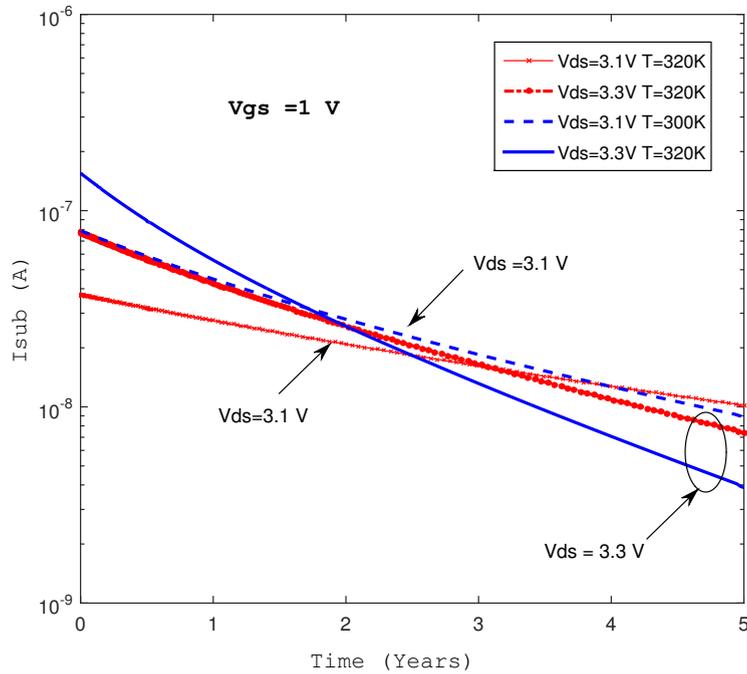


FIGURE 6.2 – La simulation de  $I_{sub}$  sur 5 ans,  $W=5\mu\text{ m}$ ,  $L=5\mu\text{ m}$  et  $V_{gs} = 1\text{ V}$ .

Le résultat de simulation, visible sur la figure 6.3, valide bien notre modélisation : il y a une augmentation de la tension  $V_{th}$  pendant le stress (de 1s à 100s). Ensuite, la valeur de  $V_{th}$  tend à retrouver sa valeur initiale lorsqu'on applique les conditions de polarisation du recouvrement (de 100s à 10000s) : la tension  $V_{th}$  augmente de 80mV pendant la phase de stress CHC, puis cette dérive se réduit à 30mV après la phase de recouvrement.

**Validation des résultats de simulation par comparaison** Ce résultat est aussi en accord avec des résultats de mesures retrouvés dans la littérature [8] et reportés dans la figure 6.4. Ces mesures ont été effectuées pour un transistor NMOS de  $T_{ox}= 16\text{nm}$  et de  $L_{eff}= 1\mu\text{m}$ . Pendant la phase de stress, les tensions  $V_{gs}$  et  $V_{ds}$  sont égales à 6V afin de s'assurer que le transistor fonctionne en régime de saturation, la température est égale à 300K et l'intervalle de stress est de 1 min à 100 min. L'augmentation de  $V_{th}$  est de 18mV durant cette phase (deuxième courbe de la figure 6.4). Par la suite, pour l'intervalle de temps de 100 min à  $10^5$  min, diverses combinaisons de  $V_{gs}$  et  $V_{ds}$  ont été essayées pour trouver celle qui correspond au recouvrement. Finalement, c'est la courbe c de la figure 6.4 ( $V_{gs}=-6\text{V}$  et  $V_{ds}=7.4\text{V}$ ) qui assure un recouvrement de 9mV après  $5.10^4$  min.

**Discussion** Les conditions de recouvrement retrouvées en mesure (courbe c de la figure 6.4) vérifient bien notre hypothèse de modélisation de recouvrement de la tension  $V_{th}$ . En effet, ce cas de polarisation (avec  $V_{ds}$  positive et élevée, et  $V_{gs}$

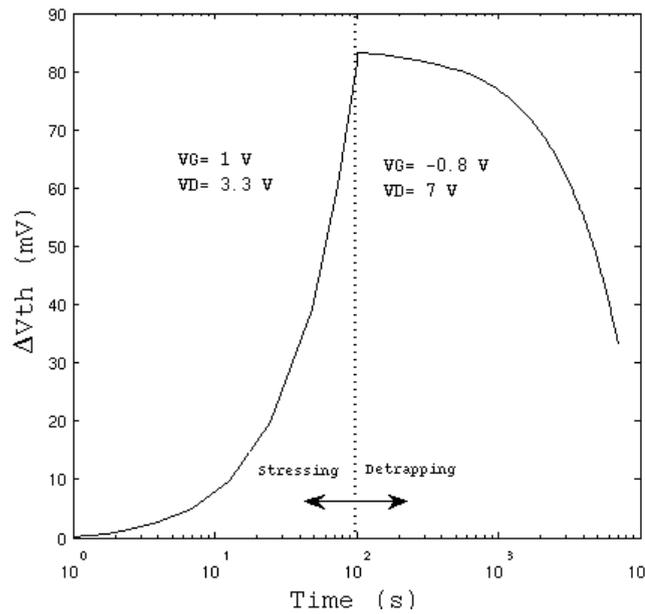


FIGURE 6.3 – Simulation de la tension de seuil  $V_{th}$  en dégradation et en recouvrement pour un transistor NMOS,  $W=5\mu\text{m}$  et  $L=5\mu\text{m}$ ,  $T=300\text{K}$

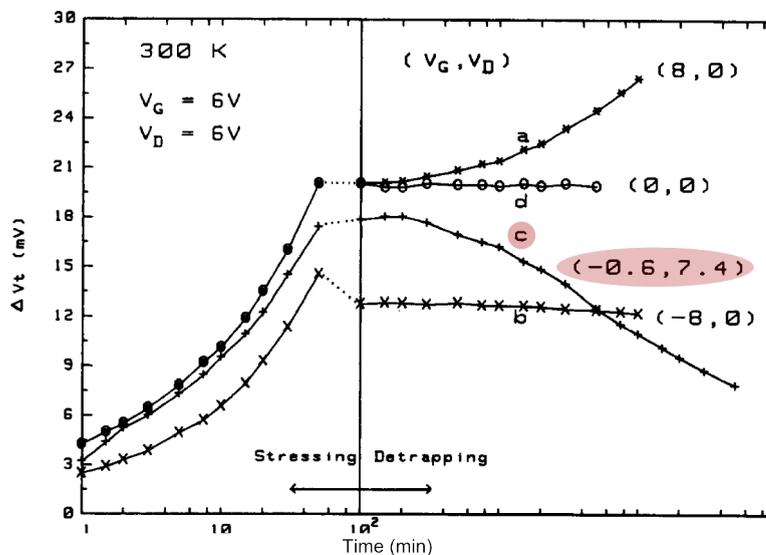


FIGURE 6.4 – Résultats de mesures du comportement de la tension de seuil  $V_{th}$  sous conditions de stress et de recouvrement pour un transistor NMOS de  $T_{ox}=16\text{nm}$  et de  $L_{eff}=1\mu\text{m}$  [8]

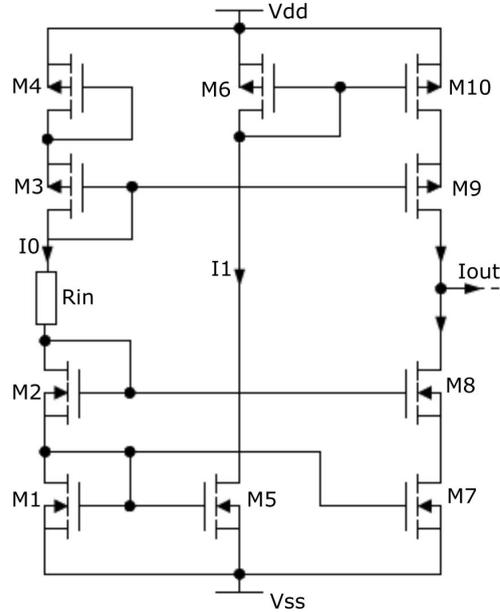


FIGURE 6.5 – Structure du capteur de vieillissement [3]

négative) favorise la compensation des états d'interface par les trous générés par effet tunnel, phénomène de recouvrement que nous avons modélisé et que nous avons détaillé dans la section 5.5.3.

Aussi, bien que les paramètres de simulation que nous avons utilisés (ceux de la dégradation mesurés par B.Dubois et ceux du recouvrement pris dans la littérature) ne soient pas représentatifs de la technologie utilisée dans ces mesures (technologie CMOS  $1\mu\text{m}$  contre la technologie AMS  $0,35\mu\text{m}$  pour nous), la comparaison des deux résultats nous permet de valider notre modélisation grâce à la conformité des allures des courbes et aux conditions de polarisation.

## 6.2 Simulation électrothermique d'un capteur de vieillissement

Afin de simuler le comportement de notre modèle de transistor électrothermique intégrant le phénomène de CHC au niveau circuit, nous avons utilisé un capteur de vieillissement qui a été déjà conçu et breveté par notre équipe dans le cadre de la thèse de Benoit Dubois [3]. La structure de ce capteur est décrite brièvement dans cette partie et son schéma est reporté dans la figure 6.5.

### La structure du capteur de vieillissement

Ce capteur a été conçu en technologie AMS  $0,35\mu\text{m}$  et est composé de :

- Un étage de polarisation construit avec les transistors M1, M2, M3, M4 et la résistance  $R_{in}$ . Cet étage permet de fixer le courant  $I_0$  de la branche ( $M_1\dots M_4$ ,

$R_{in}$ ). D'autre part, le transistor M3 fixe le potentiel sur la grille du transistor cascode M9 et le transistor M2 fixe le potentiel de grille du transistor cascode M8.

- Un premier miroir de courant composé des transistors M1 et M5. Le courant de sortie de ce dernier est le courant de dérive  $I_1$ .
- Une structure de référence composée des transistors M1 et M7 montés en miroir de courant : le courant de ce miroir,  $I_2$ , est identique à  $I_0$ . Le transistor M8 "cascode" M7 afin de limiter sa tension drain source et d'assurer une bonne recopie de  $I_0$  en  $I_2$ .
- Un miroir de courant composé par les transistors M6-M10 qui sert à copier le courant de dérive  $I_1$  en  $I'_1$ . Pour ce faire, les tensions drain source de M6 et M10 doivent être sensiblement les mêmes pour éviter l'effet de la modulation de longueur du canal sur  $M_{10}$ . Ceci est obtenu grâce au transistor cascode  $M_9$ .
- La différence de courants entre  $I'_1$  et  $I_2$ , constitue le courant de sortie du capteur.

Ce circuit a été conçu de façon à ce que les dimensions des couples de transistors M1-M7 et M2-M8 soient identiques (voir tableau des dimensions 6.1). Les tensions drain-source  $V_{ds1}$  et  $V_{ds7}$  sont donc les mêmes et le courant  $I_2$  est ainsi parfaitement égal à  $I_0$ . D'autre part,  $V_{ds1}$  et  $V_{ds7}$  sont relativement faibles et la dérive de  $I_0$  et  $I_2$  peut être négligée. Nous pouvons donc considérer le courant  $I_2$  comme un courant de référence. Les dimensions de M5 sont inférieures à celles de M1, mais ajustées de façon à obtenir un courant  $I_1$  égale à  $I_0$  avant dérive, c'est à dire juste après la fabrication du circuit. En revanche, la tension drain-source de M5 est plus élevée que celle de M1. Le courant de sortie du miroir (M1, M5),  $I_1$ , va donc dériver avec le temps. Ainsi, les deux miroirs de courant (M1, M7) et (M1, M5) ont des courants initiaux identiques avec des vitesses de dérive différentes, et la différence entre  $I_1$  et  $I_2$  reflète le vieillissement du circuit. Comme le courant  $I'_1$  est identique au courant  $I_1$ , l'information utile en sortie du capteur est donnée par ' $I'_1 - I_2$ '. En conséquence, le courant de sortie  $I_{out}$  (c.f figure 6.5) diminue lorsque le capteur vieillit, et plus le vieillissement est rapide, plus cette diminution est importante.

### L'utilité du capteur de vieillissement

Ce capteur a été conçu par B. Dubois dans [3] dans le but de délivrer une image de la dégradation effective des caractéristiques du circuit. Comme ce capteur est fabriqué sur le même substrat que le circuit dont il doit évaluer le vieillissement, ces derniers ont la même histoire. Par conséquent, les facteurs qui peuvent influencer sur la durée de vie du circuit (température, radiation, sous/sur-tension. . .) impactent également le capteur. Un autre atout du capteur est sa simplicité vu qu'il est composé de seulement 6 transistors pour la partie active et 4 transistors plus une résistance pour la partie polarisation. D'autre part, le capteur est totalement compatible avec les technologies CMOS.

Paramètre	Dimension ( $\mu\text{m}$ )
$W_5$	20.9
$L_5$	0.9
$W_1, W_7$	170
$L_1, L_7$	10
$W_2, W_8$	30
$L_2, L_8$	1
$W_4, W_6, W_{10}$	100
$L_4, L_6, L_{10}$	5.0
$W_3, W_9$	30
$L_3, L_9$	1

TABLE 6.1 – Tableau de dimensions des transistors du capteur de vieillissement

### 6.2.1 Les résultats de la simulation électrothermique du capteur de vieillissement

Nous avons effectué la simulation d'une puce planaire, de dimension (2.4mm \*2.4mm), comportant deux capteurs de vieillissement, de dimensions (180  $\mu\text{m}$  \*220 $\mu\text{m}$ ) et une résistance alimentée par un échelon de tension. Cette résistance fonctionne comme une source de chaleur quand l'échelon de tension est appliqué. Afin d'évaluer l'effet de la température sur le capteur de vieillissement, un capteur a été placé à côté de la résistance chauffante, et l'autre dans la région opposée où la température est de 300K, comme schématisé dans la figure 6.6.

#### Génération et simulation du schéma électrothermique

A l'aide de l'outil de simulation électrothermique, le schéma *électrothermique* a été généré. Schématisé par la figure 6.7, il est composé du réseau électrique "T\_étendu" et du réseau thermique composé d'éléments finis thermiques liés au réseau électrique à travers les entités d'interface. Ces entités d'interfaces sont développées en Verilog-A et permettent l'interfaçage entre le réseau électrique et le réseau thermique. Elles répartissent le flux thermique d'un composant donné sur les éléments finis thermiques qui le modélisent, et dans l'autre sens, les températures sur les nœuds des éléments finis thermiques recouvrant le composant sont moyennées pour fournir la température du terminal thermique dans le modèle électrique "T\_étendu" du composant.

Nous avons utilisé une source de température afin de maintenir la température à 300K de tous les éléments finis de la face gauche de la puce. Le nombre d'éléments finis générés au total est de 7000 pour un circuit électrique composé d'une vingtaine

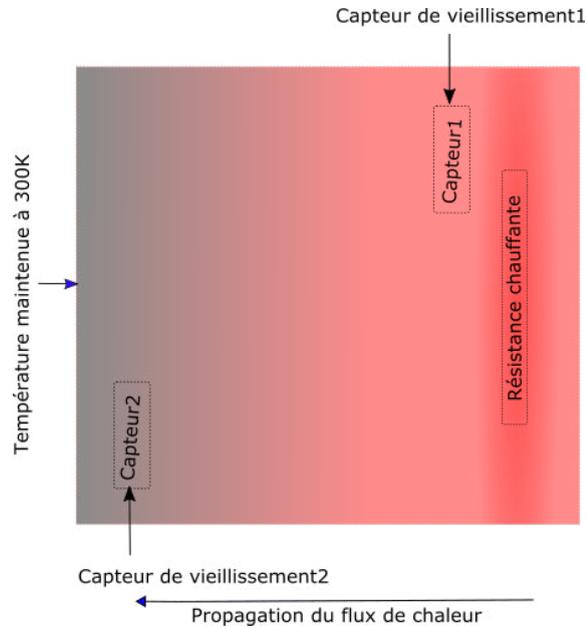


FIGURE 6.6 – Schéma de la puce simulée

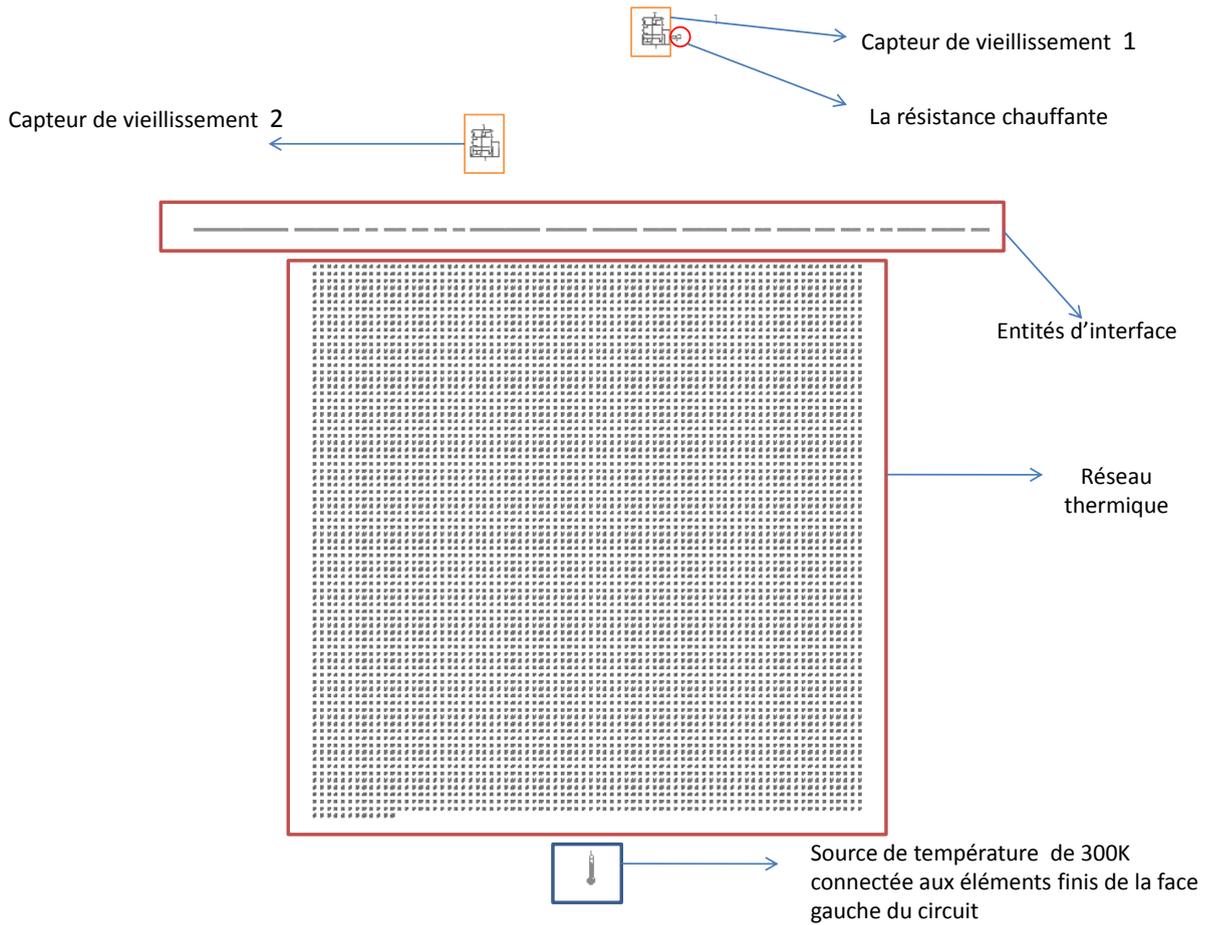


FIGURE 6.7 – Schéma électrothermique du circuit

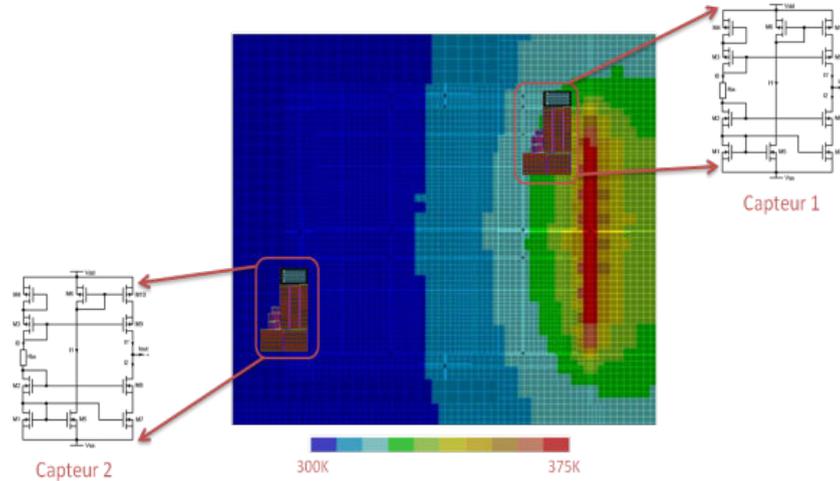


FIGURE 6.8 – Carte thermique de la puce simulée

de composants. Le maillage est régulier sur la puce sauf dans les régions où la résistance et les capteurs de vieillissement ont été placés. Un schéma du layout de la couche de silicium maillée est reporté en Annexe-A. Nous détaillerons dans la troisième partie de ce manuscrit la technique du maillage utilisée. Par la suite, le schéma *électrothermique* de la figure 6.7 a été simulé dans l'environnement Cadence<sup>®</sup> à l'aide du simulateur SPECTRE<sup>®</sup>, comme un schéma électrique conventionnel. Afin d'observer l'effet de la température sur le vieillissement du circuit, nous avons appliqué un échelon de tension sur la résistance de sorte à atteindre une puissance électrique égale à 1W. La carte thermique de la puce, tracée dans l'environnement Cadence<sup>®</sup> à l'aide d'un script en SKILL<sup>®</sup>, est reportée dans la figure 6.8.

**Simulation des tensions  $V_{th}$  des transistors  $M_5$  des deux capteurs** Pour évaluer la dégradation par CHC en fonction de la température, nous avons extrait le comportement des tensions de seuil  $V_{th}$  des deux transistors M5, celui qui est à côté de la résistance et celui qui est dans la région où la température est de 300K. Nous avons choisi le transistor M5 car sa tension drain-source étant plus élevée que celle de M1, c'est ce transistor qui est supposé se dégrader le plus au cours du temps. Pour simuler le vieillissement à long terme du circuit, nous avons supposé que la durée de simulation fixée à 1600s correspond en réalité à 20 ans.

Les résultats de simulation de la température des deux transistors M5 et des deux tensions de seuil  $V_{th}$  sont reportés respectivement dans les figures 6.9 et 6.10. Tout d'abord, les tensions  $V_{th}$  des deux transistors commencent à augmenter, c'est à dire, les transistors commencent à se dégrader. Ensuite, lors de l'échelon de tension, la température du transistor M5 proche de la résistance chauffante atteint  $T=360K$ , alors que l'autre reste à une température très proche de  $T=300K$ . La tension  $V_{th}$  du transistor M5 proche de la résistance chauffante se dégrade alors moins rapidement que celle du transistor M5 du capteur près du bord de la puce où la température est

maintenue à 300K (7mV contre 21mV lors de l'échelon de tension qui dure 615s). Cela a pour conséquence une dérive totale de 32mV pour le premier transistor et de 54mV pour le deuxième. Ces résultats sont en accord avec notre modèle (détaillé dans 5.3.1) et valident bien le fait que l'augmentation de température décélère la dégradation par *CHC*.

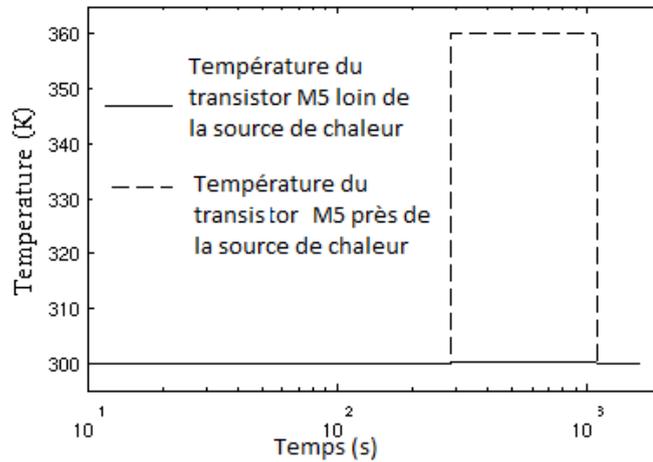


FIGURE 6.9 – Températures des transistors M5 des deux capteurs, celui proche du bord de la puce où la température est maintenue à 300K et celui près de la résistance chauffante

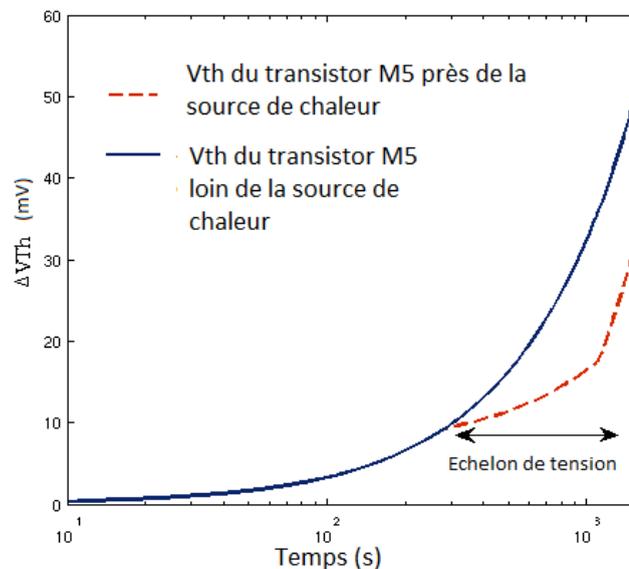


FIGURE 6.10 – Variation de la tension  $V_{th}$  des deux transistors M5 des deux capteurs, celui qui est proche du bord de la puce où la température est maintenue à 300K et celui qui est près de la résistance chauffante

**Simulation des courants de sortie des deux capteurs** Afin d'étudier le comportement du capteur de vieillissement en fonction de la température, nous avons

effectué la simulation des courants de sortie  $I_{out}$  des deux capteurs (celui qui est près de la résistance chauffante et celui qui est placé près du bord de la puce où la température est maintenue à 300K) pour la même durée (1600s équivalent à 20 ans). Dans cette première simulation, nous avons utilisé des modèles de transistors électriques "T\_étendu" qui ne tiennent pas compte de la dégradation par porteurs chauds CHC. Le résultat de cette simulation est reporté dans la figure 6.11. Le courant de sortie du capteur placé où la température est maintenue à 300K est égale à  $0.66\mu A$  et reste constant durant toute la période de la simulation. En effet, cet "offset" est dû à la symétrie non parfaite des miroirs de courant utilisés dans le capteur de vieillissement. Le résultat de simulation du deuxième capteur qui est placé près de la résistance chauffante, c'est à dire à  $T=360K$  lorsque la résistance est alimentée, montre l'effet de la température sur le courant de sortie du capteur de vieillissement. Le courant de sortie de ce capteur, quand  $T=360K$ , est naturellement affecté par la température et sa valeur atteint  $1.7\mu A$ , une valeur qui reste constante pendant l'échelon de tension (c'est à dire pendant que la température est maintenue élevée). Ce résultat souligne la sensibilité de ce capteur de vieillissement à la température, un facteur à prendre en compte lors de l'emplacement de ce dernier dans un circuit. La courbe de  $I_{out}$  de ce capteur montre aussi une chute brève du courant au moment de l'application de l'échelon de température. Cela est dû à la constante de temps thermique du silicium et au temps de propagation du flux de chaleur au sein du capteur de vieillissement d'un transistor à l'autre. En réalité, dans le "layout" du capteur, les transistors sont à des distances différentes par rapport à la source de chaleur (i.e par rapport à la résistance chauffante) et donc à l'instant  $t=300s$ , lorsque l'échelon de tension est appliqué, les transistors n'ont pas tous la même température effective (calculée à travers leurs terminaux thermiques) et cela affecte la différence entre les courants  $I_1$  et  $I_2$ , et donc  $I_{out}$ . Ce dernier chute, pendant une durée brève proche de 250ms, directement liée à la constante de temps thermique du silicium.

La deuxième simulation que nous avons effectuée, reportée dans la figure 6.12 est celle des courants de sortie  $I_{out}$  des deux capteurs en fonction du temps, pour la même durée que précédemment (1600s équivalent à 20 ans) et avec le même échelon de tension appliqué sur la résistance. Dans cette simulation, les modèles de transistors utilisés sont des modèles électriques "T\_étendu" qui tiennent compte de la dégradation par porteurs chauds "CHC". Ce résultat de simulation montre bien la dérive de  $I_{out}$  qui a lieu au cours du temps. En effet, la dérive de  $I_{out}$  pour le capteur placé au bord de la puce, où la température est maintenue à 300K durant toute la durée de la simulation, dérive plus rapidement, durant l'échelon de température, que celui qui est placé près de la résistance chauffante. Sa dérive totale, durant toute la durée de simulation, est de  $1.9\mu A$ . La vitesse de dérive de ce courant est plus importante au début, car elle est dépendante de  $I_{out}$  qui, lui même se dégrade au cours du temps et donc la vitesse de sa dérive diminue au cours du temps. Le courant de sortie du capteur placé près de la résistance chauffante, se dégrade moins rapidement lors de l'échelon de la température. Sa valeur diminue uniquement de  $0.12\mu A$  durant la durée de l'échelon. Après l'échelon, quand la température diminue ( $t=1100s$ ) la vitesse de sa dérive redevient importante et sa valeur diminue de plus que  $0.7\mu A$  pendant l'intervalle de temps [1100s-1600s]. Durant cet intervalle de temps la vitesse de sa dérive est plus importante que celle du capteur placé loin de la source

de chaleur, car la valeur de  $I_{out}$  est plus importante.

Ce résultat est conforme à notre modélisation, car, comme prédit par la théorie et par notre modèle (c.f section 5.3.1), la dégradation par porteur chaud est moins importante à des températures plus élevées.

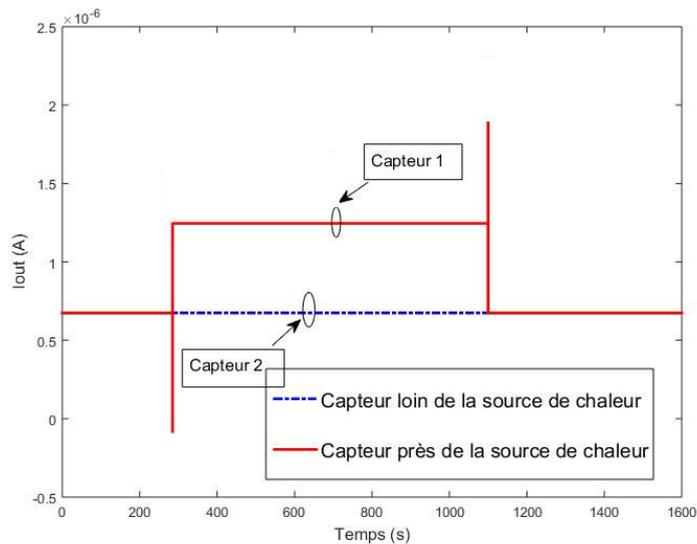


FIGURE 6.11 – Le courant de sortie des deux capteurs de vieillissement, sans prise en compte de la dégradation par CHC dans les modèles des transistors électriques "T\_étendu"

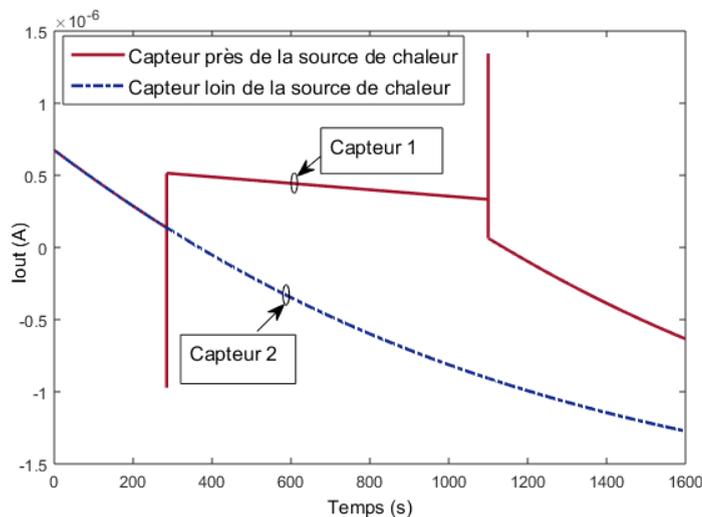


FIGURE 6.12 – Le courant de sortie des deux capteurs de vieillissement, avec prise en compte de la dégradation par CHC dans les modèles des transistors électriques "T\_étendu"

### 6.2.2 L'intérêt de la simulation électrothermique du capteur de vieillissement

Le capteur de vieillissement a été conçu pour délivrer une image effective de la dégradation du circuit (issue du phénomène du *CHC*) vu qu'il sera fabriqué sur le même substrat que le circuit à contrôler et par conséquent, il va avoir la même histoire. Cependant, grâce à la simulation électrothermique du circuit sans prise en compte du phénomène de *CHC*, nous avons montré que le courant initial  $I_{out}$  de ce capteur est variable en fonction de la température de fonctionnement. Ce résultat montre que le capteur présente un "*offset*" dépendant de la température.

Ensuite, grâce à la simulation électrothermique du circuit avec prise en compte du phénomène de *CHC*, nous avons démontré que même fabriqué sur un même substrat, la vitesse de dérive du courant de sortie  $I_{out}$  de ce capteur est variable en fonction de son emplacement par rapport aux sources de chaleur et cela à cause de sa sensibilité à la température.

Ces résultats soulignent l'intérêt de l'utilisation de notre outil de simulation électrothermique avec des modèles électriques "T\_etendu", qui tiennent compte des mécanismes de dégradation, afin de détecter le vieillissement des circuits intégrés sensibles à la température. Grâce à ces simulations, le concepteur sera capable de choisir le meilleur emplacement pour le capteur de vieillissement, et éventuellement, l'associer à un capteur de température pour avoir une indication sur le vieillissement du circuit en fonction de la température de fonctionnement.

A notre connaissance, notre outil est jusqu'à ce jour l'unique outil de simulation capable d'effectuer ce type de simulation dans un environnement de simulation standard comme Cadence®.

# Chapitre 7

## Validation expérimentale de la modélisation de la dégradation par *CHC*

Afin de valider notre modélisation et nos résultats de simulation du phénomène de dégradation par *CHC* dans le cas des transistors NMOS, nous avons effectué des mesures de vieillissement sur des transistors seuls en fonction de différentes conditions de polarisation électrique et thermique. Nous avons conçu un circuit de test composé de plusieurs transistors NMOS (le layout de la puce simulée est en Annexe-C). Pour extraire les caractéristiques des transistors, nous avons utilisé un banc de test composé d'un analyseur de paramètres Agilent 4156C, d'un support de test Agilent 16088 et d'un PC avec un programme LabVIEW<sup>®</sup> que nous avons adapté pour le traçage des caractéristiques du transistor à partir des données en provenance de l'analyseur des paramètres.

### 7.1 Extraction de la caractéristique de sortie d'un transistor seul soumis au phénomène de *CHC*

Nous avons commencé par l'extraction de la caractéristique du courant de sortie  $I_{ds}$  en fonction de la tension  $V_{ds}$  pour des intervalles de stress différents appliqués sur un NMOS de  $\frac{W}{L} = \frac{5\mu m}{0.7\mu m}$ . Le transistor a été soumis à une tension  $V_{ds} = 6V$  et  $V_{gs} = 1.9V$  pendant des intervalles de temps (300s puis 100s). Après chaque intervalle de stress, nous avons effectué des mesures (quasiment instantanées  $< 10s$ ) du courant  $I_{ds}$  en fonction de  $V_{ds}$  en faisant varier  $V_{ds}$  de 0 à 6V avec  $V_{gs} = 1.9V$ . Le résultat, reporté dans la figure 7.1 montre bien la dérive du courant  $I_{ds}$  en fonction de  $V_{ds}$  après la phase de stress. Par exemple, pour  $V_{ds} = 1V$  et  $V_{gs} = 1.9V$ , après 400s, le courant  $I_{ds}$  dérive de 0.2mA. Ce résultat est conforme à notre modèle où  $V_{th}$  augmente et  $KP$  diminue durant la période du stress électrique. Le courant du NMOS en régime de saturation,  $I_{ds} = \frac{1}{2} \cdot KP \cdot \frac{W}{L} (V_{gs} - V_{th})^2$ , diminue donc avec le stress.

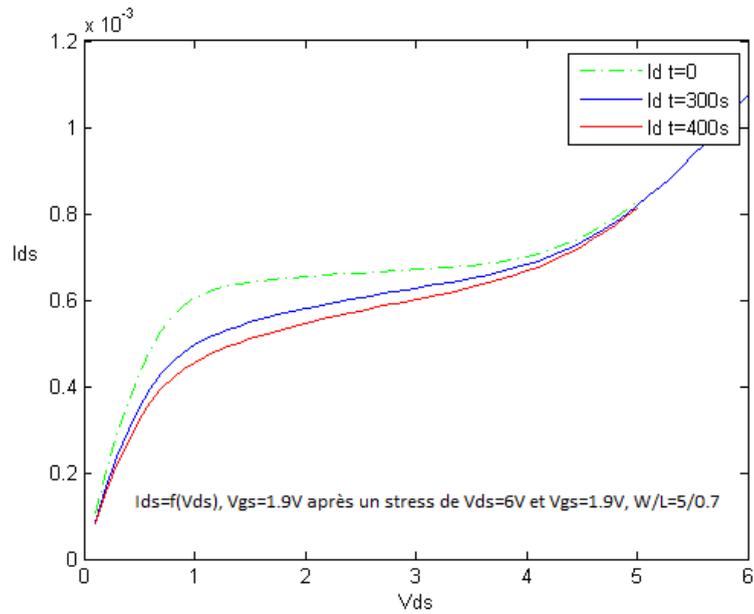


FIGURE 7.1 – La dégradation du courant  $I_{ds}$  en fonction de la durée du stress pour un NMOS de taille  $\frac{W}{L} = \frac{5\mu m}{0.7\mu m}$ ; avec un stress électrique  $V_{gs} = 1.9V$  et  $V_{ds} = 6V$  pour des périodes de stress de 0s, 300s et 400s

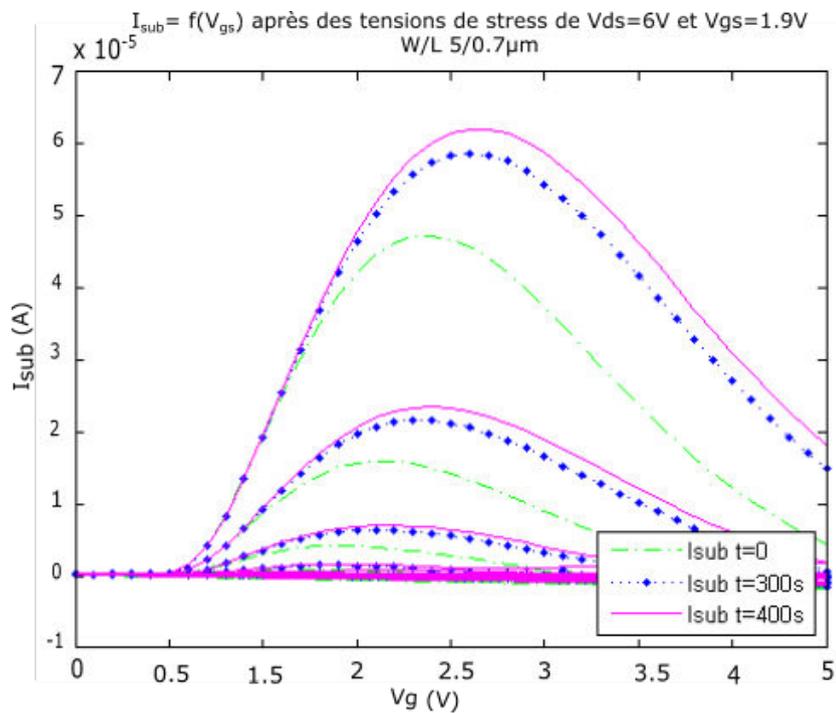


FIGURE 7.2 – Le comportement du courant de substrat ( $I_{sub}$  en A) en fonction de la durée du stress et des conditions de polarisation ( $V_{ds}$  allant de 0 à 5V) d'un NMOS de taille  $\frac{W}{L} = \frac{5\mu m}{0.7\mu m}$ , avec un stress électrique  $V_{gs} = 1.9V$  et  $V_{ds} = 6V$ , pour des périodes de stress de 0s, 300s et 400s

**Mesure du courant de substrat** Précédemment, dans la section 5.4, dans notre modèle de NMOS T\_étendu tenant compte du *CHC*, nous avons modélisé le courant de substrat comme un indicateur de vieillissement du transistor provenant des porteurs chauds. En effet, ce courant se forme à partir des trous générés lors de l'ionisation par impact. Afin de vérifier que la dégradation du transistor provient bien du phénomène de *CHC* et dans le but d'analyser le comportement de ce dernier en fonction des conditions de polarisation, nous avons effectué la mesure du courant de substrat en utilisant la même technique de mesure et avec les mêmes intervalles de stress que précédemment pour un transistor de mêmes dimensions ( $\frac{W}{L} = \frac{5\mu m}{0.7\mu m}$ ). Après chaque phase de stress, nous avons mesuré le courant de substrat pour des valeurs de  $V_{ds}$  variant de 0 à 5V pour une tension  $V_{gs}$  variant de 0 à 4V. Les mesures du courant de substrat pour un transistor de même taille sont reportées sur la figure 7.2. Ces résultats sont bien en accord avec notre modèle. En effet, le courant de substrat augmente (en valeur absolue) pour des tensions  $V_{ds}$  et  $V_{gs}$  plus importantes. Aussi, après chaque phase de stress, le courant du substrat augmente pour les mêmes valeurs de  $V_{ds}$  et  $V_{gs}$ . Par exemple, le courant de substrat pour  $V_{ds}=5V$  et  $V_{gs} = 1.8V$  est de  $0.47\mu A$  à  $t=0$ , puis égale à  $0.58\mu A$  pour  $t= 300s$  puis atteint  $0.6\mu A$  pour  $t=400s$ .

## 7.2 Mesure de la dérive des paramètres $KP$ et $V_{th}$

### 7.2.1 Technique de l'extraction des paramètres $KP$ et $V_{th}$

Dans le but d'extraire les paramètres  $KP$  et  $V_{th}$ , nous avons tracé la caractéristique  $I_{ds}$  en fonction de  $V_{gs}$  pour une tension  $V_{ds}$  faible, égale à 100mV. Cette tension nous garantit le fonctionnement du transistor en régime linéaire. Conformément au fonctionnement du transistor dans ce régime, décrit par l'équation 7.1, la courbe devrait être une droite pour  $V_{gs} > V_{th} + 100mV$ . En raison de la réduction de la mobilité des porteurs avec  $V_{gs}$ , donc du  $KP$  du transistor, la réalité est autre et le courant mesuré  $I_{ds}$  n'est pas proportionnel à  $V_{gs}$  (c.f figure 7.5). Aussi, afin de déterminer le  $KP$  du transistor pour un  $V_{gs} - V_{th}$  faible, correspondant à un cas courant de polarisation, nous avons utilisé la procédure classique consistant à tracer la tangente à la courbe  $I_{ds} = f(V_{gs})$  au point d'inflexion de cette courbe (c.f figure 7.5). La pente de cette tangente est égale à  $(KP \cdot \frac{W}{L} \cdot V_{ds})$ . Connaissant la taille du transistor, la valeur de  $KP$  est alors extraite aisément à partir de la valeur de la pente de cette droite.

$$I_{ds} = KP \cdot \frac{W}{L} \cdot (V_{gs} - V_{th} - \frac{V_{ds}}{2}) \cdot V_{ds} \quad (7.1)$$

Ensuite, l'intersection de la tangente avec la droite  $I_{ds}=0$ , correspondant à  $V_{gs} = V_{th} + \frac{V_{ds}}{2}$ , permet de déterminer la valeur de  $V_{th}$ . Nous avons automatisé l'extraction des paramètres  $KP$  et  $V_{th}$  grâce à un programme que nous avons développé sous Matlab<sup>®</sup>.

**La dérive de  $KP$  et  $V_{th}$  en fonction du stress électrique** Les tensions appliquées pendant la phase de stress électrique sont :  $V_{gs} = 1.9V$  et  $V_{ds} = 6V$  avec

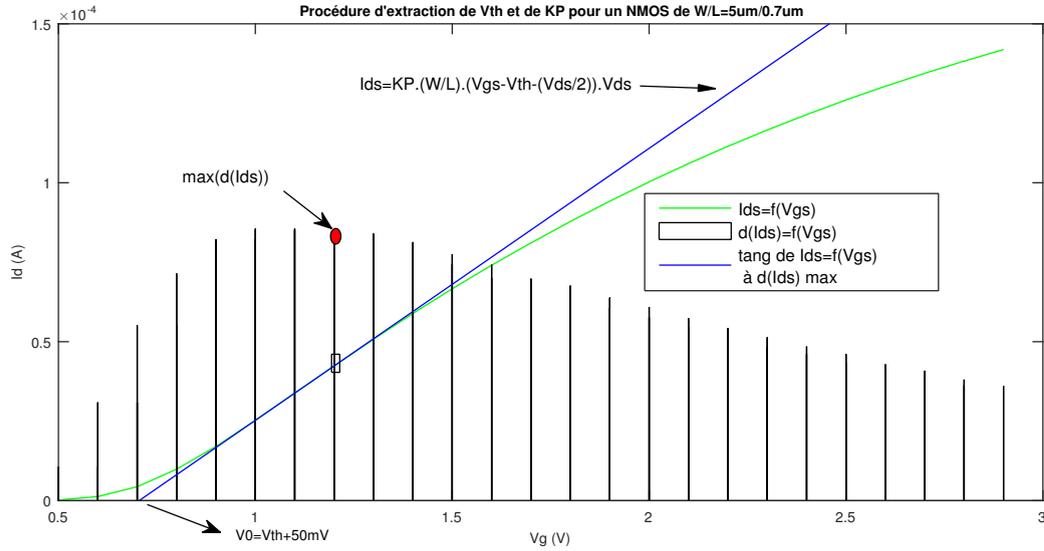


FIGURE 7.3 – La procédure d'extraction des paramètres  $KP$  et  $V_{th}$  pour un NMOS ( $\frac{W}{L} = \frac{5\mu m}{0.7\mu m}$ ), en mesurant la caractéristique  $I_{ds} = f(V_{gs})$  pour  $V_{ds} = 100mV$ , i.e en mesurant la caractéristique du transistor en régime linéaire.

une durée de stress de 300s à chaque fois. Après chaque phase de stress de 300s, une mesure du courant  $I_{ds}$  en fonction de  $V_{gs}$  (variant de 0 à 3V) à  $V_{ds} = 100mV$  est effectuée d'une façon quasi-instantanée ( $<10s$ ). Les résultats de ces mesures sont reportés dans la figure 7.4. Ils montrent bien la dérive du courant  $I_{ds}$  en fonction du stress électrique. Par exemple, pour  $V_{ds} = 100mV$  et  $V_{gs} = 2V$ , la dérive de  $I_{ds}$  est de  $3,25\mu A$  après 300s de stress électrique, de  $10\mu A$  après 1500s et de  $17\mu A$  après 3000s.

### 7.2.2 Extraction de la dérive des paramètres $V_{th}$ et $KP$ en fonction du stress électrique pour des températures différentes

En utilisant la technique d'extraction des paramètres  $KP$  et  $V_{th}$  décrite dans le paragraphe 7.2.1 et en utilisant les mêmes conditions de stress électrique que précédemment (c'est à dire pendant la phase de stress le transistor est soumis à des tensions  $V_{gs} = 1.9V$  et  $V_{ds} = 6V$  pendant 300s et après chaque phase de stress, la caractéristique  $I_{ds} = f(V_{gs})$  est relevée d'une façon quasi-instantanée pour  $V_{ds} = 100mV$ ), nous avons extrait la dérive de ces deux paramètres pendant un intervalle de stress total de  $[0,3000s]$  pour deux transistors NMOS de ( $\frac{W}{L} = \frac{5\mu m}{0.7\mu m}$ ) qui n'ont pas été soumis à des conditions de stress électrique ou thermique auparavant. Nous avons effectué ces mesures pour deux températures différentes (300K et 320K) pour observer l'effet de la température sur la dérive de ces deux paramètres. La température a été maintenue durant l'expérience à 320K à l'aide d'une enceinte thermique qui a été fabriquée au laboratoire pour être montée sur le support de test Agilent 16088.

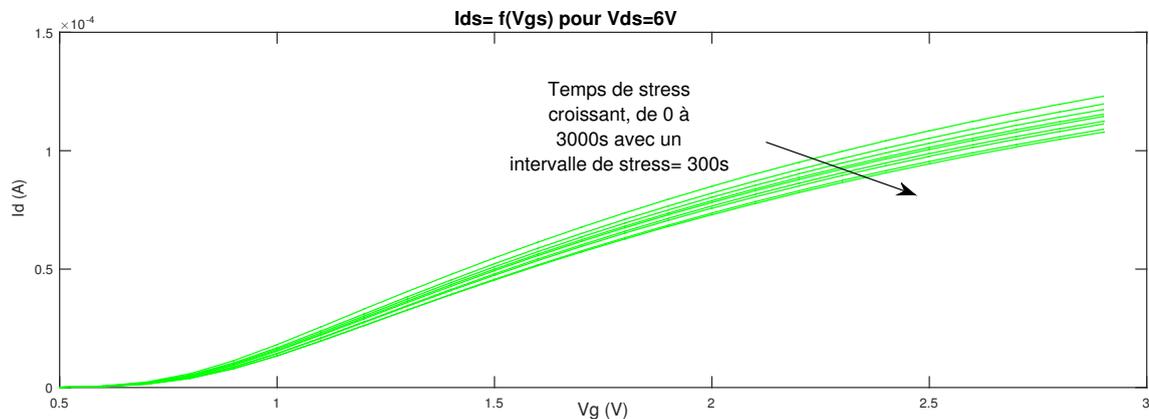


FIGURE 7.4 –  $I_{ds}$  en fonction de  $V_{gs}$  sur des intervalles de stress cumulatifs de 300s à 3000s appliqués sur un transistor NMOS de  $(\frac{W}{L} = \frac{5\mu m}{0.7\mu m})$ . La phase de stress correspond à  $V_{gs} = 1.9V$  et  $V_{ds} = 6V$ .

**La dérive de la transconductance  $KP$**  Le résultat obtenu, reporté dans la figure 7.5, est en accord avec la théorie. En effet, quelle que soit la température,  $KP$  se dégrade en fonction de la durée stress électrique. Par exemple pour  $T = 300K$ ,  $KP$  s'est dégradée de  $2(\frac{\mu A}{V^2})$  sur chaque intervalle de stress de 300s. D'autre part, une température plus élevée,  $T = 320K$ , n'a pas d'influence sur la vitesse de dérive de la transconductance  $KP$ . Nous avons trouvé quasiment la même dérive.

Ainsi, le paramètre  $KP$  ne dérive pratiquement pas avec la température, ce qui n'est pas conforme à la prédiction de notre modèle. Dans notre modèle, la dérive de  $KP$  est proportionnelle à l'augmentation de la densité d'états d'interface  $\Delta N_{it}$  (équations 5.4, 5.5 et 5.6), tout comme la dérive de la tension de seuil  $V_{th}$ . D'autre part,  $\Delta N_{it}$  varie avec la température au travers du paramètre  $V_c(T) = V_{c0} \cdot \Delta(\frac{T}{T_0})$  (équations 5.12 et 5.15), paramètre lié à l'énergie d'activation que doit dépasser un électron chaud pour créer un état d'interface. Dans notre modèle, nous avons considéré que tous les états d'interface étaient de même nature. Or, ce n'est pas le cas. Les états d'interface conduisant à la dérive de  $V_{th}$  correspondent aux électrons chauds ayant suffisamment d'énergie pour passer la barrière de potentiel  $Si-SiO_2$  et se faire piéger dans l'oxyde de grille. Ce sont les électrons les plus chauds, c'est-à-dire très fortement énergétiques, et leur densité varie beaucoup avec la température. En effet, plus la température augmente et plus le libre parcours des électrons diminue, conduisant à une diminution de la densité des porteurs très fortement énergétiques (c.f. section 5.3.1), donc à une baisse de la dérive de  $V_{th}$  à forte température. En revanche, les états d'interface à l'origine de la dérive de  $KP$ , situés dans le silicium, à l'interface  $Si-SiO_2$ , demandent une énergie plus faible pour être créés, donc des électrons « moins chauds ». La densité de ces électrons moins chauds est évidemment beaucoup influencée par la température car le libre parcours moyen, même à température élevée, est suffisant pour que ces électrons atteignent l'énergie requise. Ainsi la dérive de  $KP$  est peu dépendante de la température. Pour pouvoir tenir compte de cette

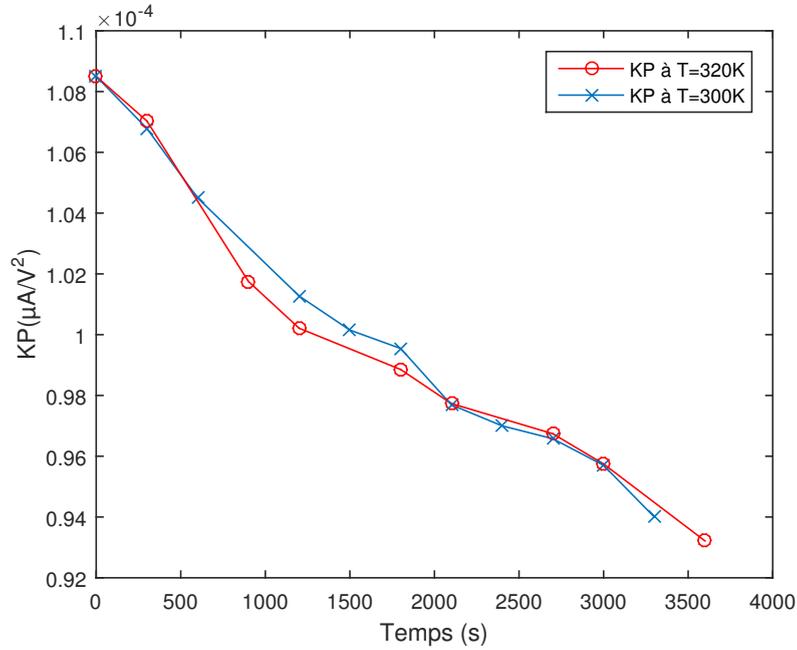


FIGURE 7.5 – La dérive de  $KP$  pour deux températures différentes  $T=300K$  et  $T=320K$  pour des transistor NMOS de  $(\frac{W}{L} = \frac{5\mu m}{0.7\mu m})$  pendant un intervalle de stress électrique de 3000s

différence entre les dérivées de  $KP$  et de  $V_{th}$ , il faudrait simplement distinguer les expressions de  $V_c(T)$ , c'est-à-dire l'équation 5.15, dans la formulation des dérivées de  $KP$  et de  $V_{th}$ . Plus précisément, il suffirait d'avoir  $V_{c0} = V_{c0_{KP}}$ , une constante pour la dérive de  $KP$ , et  $V_c(T) = V_{c0} \frac{T}{T_0}$ , l'expression de notre modèle actuel, pour la dérive de  $V_{th}$ . Dans la suite de ce travail nous ne intéressons qu'à la variation de  $V_{th}$  car c'est la dérive de ce paramètre qui varie en fonction de la température et qui se recouvre dans des conditions électriques et thermiques particulières.

**La dérive de la tension de seuil  $V_{th}$**  Pour les mêmes conditions de stress et à l'aide de la technique d'extraction détaillée dans 7.2.1, nous avons extrait le comportement de  $V_{th}$  pour les mêmes transistors NMOS de  $(\frac{W}{L} = \frac{5\mu m}{0.7\mu m})$  pour les températures de fonctionnement  $T=300K$  et  $T=320K$ . Le résultat, reporté dans la figure 7.6, montre l'augmentation de  $V_{th}$  en fonction de la durée du stress électrique. D'autre part, ce résultat montre bien la différence entre les vitesses de dérive de  $V_{th}$  en fonction de la température. La dérive totale de  $V_{th}$  après 3000s de stress électrique pour  $T=300K$  est de 116mV alors que sur cette même période et pour  $T=320K$ , cette dérive n'est que de 34mV. Ces résultats sont en accord avec notre modélisation de la dérive de  $V_{th}$  en fonction de la température, que nous avons détaillée dans 5.3.1, car ils montrent bien que la température décélère la dérive de  $V_{th}$ .

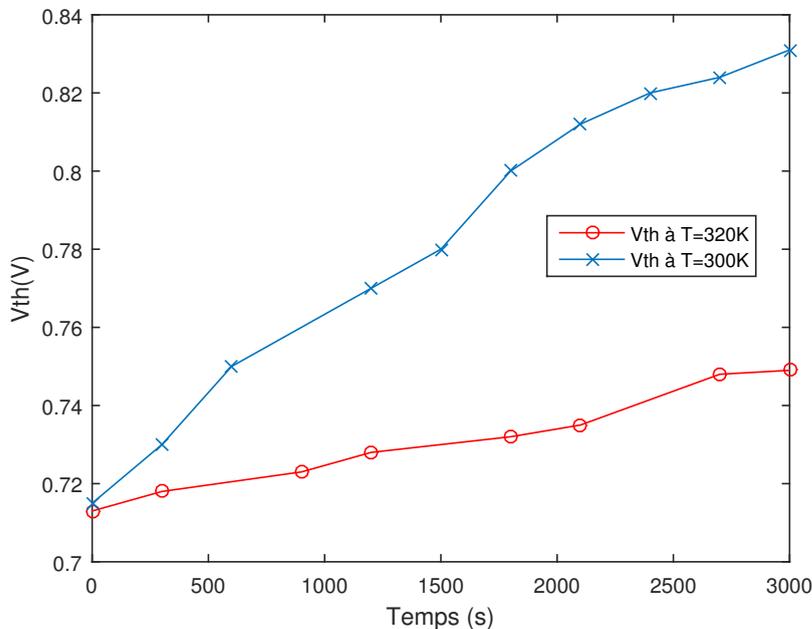


FIGURE 7.6 – La dérive de  $V_{th}$  pour deux températures différentes  $T=300K$  et  $T=320K$  pour un transistor NMOS de  $(\frac{W}{L} = \frac{5\mu m}{0.7\mu m})$  pendant un intervalle de stress électrique de 3000s

Dans ce chapitre, nous avons effectué des mesures de vieillissement par *CHC* d'un transistor NMOS afin de valider en premier lieu notre modèle de dégradation par porteurs chauds pour un transistor seul. Les résultats de mesure obtenus sont en accord avec notre modèle car la dérive des paramètres  $V_{th}$  et  $KP$  en fonction des conditions du stress électrique et thermique est conforme à la théorie et à notre modèle de transistor NMOS "T\_étendu" utilisé par l'outil de simulation électro-thermique. En effet, ces résultats confirment la dégradation de la transconductance  $KP$  en fonction du stress électrique. Cette dégradation est insensible à la température. Par contre, la tension de seuil  $V_{th}$  augmente en fonction de la durée du stress électrique et sa variation est dépendante de la température de fonctionnement : à une température plus élevée, la vitesse de dégradation de  $V_{th}$  diminue. Ces mesures représentent une première validation du comportement d'un transistor seul soumis au phénomène de *CHC*. D'autres mesures plus compliquées peuvent être effectuées pour d'autres structures de test (par exemple pour des structures comme le miroir de courant ou comme le capteur de vieillissement simulé dans la section 6.2). Cependant, les mesures de vieillissement demandent beaucoup de temps et nous nous sommes arrêtés à ce stade concernant le vieillissement par *CHC* afin de consacrer le temps restant à la troisième partie de ce travail de thèse portant sur la simulation électro-thermo-mécanique des circuits intégrés.

## Conclusion sur la partie 2

Dans cette partie, nous avons présenté notre modèle compact "T\_étendu" de transistor MOS tenant compte du phénomène des porteurs chauds. Nous nous sommes intéressés à ce mécanisme de dégradation car c'est un phénomène de fiabilité majeur pour les transistors NMOS en circuits analogiques, circuits sur lesquels nous travaillons. Ce phénomène se produit en régime de saturation et il en résulte la variation des paramètres ( $V_{th}$  et  $KP$ ) du transistor. En plus du phénomène de dégradation par porteurs chauds, nous avons modélisé le phénomène de recouvrement de la tension de seuil  $V_{th}$ , après dégradation, qui a lieu à une tension  $V_{ds}$  importante et  $V_{gs}$  négative. Pour établir le couplage entre la température et la dégradation par porteurs chauds, nous avons utilisé le modèle électrique "T\_étendu". Le phénomène de dégradation est plus marqué à des températures moins élevées. Inversement, le phénomène de recouvrement de  $V_{th}$  est accéléré par la température. Notre modèle, développé en Verilog-A a été validé en simulation sous l'environnement de CAO CADENCE<sup>®</sup> au niveau transistor seul, puis au niveau circuit à travers la simulation d'un capteur de vieillissement. Nos résultats de mesures, présentés dans le dernier chapitre, à savoir le comportement du courant de substrat à des températures différentes et la variation des paramètres  $V_{th}$  et  $KP$ , sont en accord avec nos résultats de simulation et par conséquent avec notre modèle. En prospective de ce travail, il serait intéressant de modéliser d'autres phénomènes physiques qui peuvent affecter la fiabilité des circuits électriques, comme par exemple le phénomène NBTI, mécanisme de dégradation affectant les transistors CMOS utilisés en circuits numériques. La suite de notre travail sera consacrée à l'extension des fonctionnalités de notre outil de simulation électrothermique vers la multi-physiques : la simulation électro-thermo-mécanique.

Troisième partie

Le simulateur  
électro-thermo-mécanique



# Introduction

Comme nous avons déjà expliqué dans le chapitre 4, notre objectif est de rendre la simulation multi-physiques de circuits intégrés possible dans un environnement de CAO standard, l'environnement Cadence<sup>®</sup> dans notre cas. Nous rappelons que pour un circuit intégré, les principales physiques à simuler peuvent être réduites essentiellement à trois physiques : l'électrique, la thermique et la mécanique. L'environnement de simulation multi-physiques des circuits intégrés doit permettre au concepteur de simuler ces aspects de façon indépendante ou couplée.

Précédemment, nous avons présenté l'outil de simulation électrothermique (paragraphe 4.1). Cet outil permet le couplage des comportements électrique et thermique du circuit (i.e couplage électro-thermique dans la figure 4.1.1). Par la suite, nous avons présenté la modélisation de la dégradation du comportement électrique des transistors MOS par *CHC*, un des phénomènes importants à évaluer dans le cadre de la fiabilité des circuits intégrés. En outre, le couplage entre la simulation électrique du vieillissement et l'aspect thermique a été établi à travers la dépendance du phénomène de *CHC* à la température.

Cette nouvelle partie, composée de trois chapitres est consacrée à la modélisation et à la simulation de la troisième physique à considérer : la simulation du comportement mécanique des CIs. Le premier chapitre est consacré à l'introduction des notions essentielles à la compréhension de la suite du manuscrit. Il introduit les lois de Kirchhoff généralisées et la simulation multi-physiques au niveau circuit en utilisant le langage Verilog-A. Dans le deuxième chapitre, nous détaillons le principe de la simulation électro-thermo-mécanique, les méthodes que nous avons adaptées pour transformer le réseau thermique utilisé par le simulateur électrothermique en un réseau thermo-mécanique. En outre, nous allons détailler les équations thermo-mécaniques que nous avons implémentées afin de modéliser les déformations mécaniques des CIs en fonction de la température. Enfin, dans le dernier chapitre, nous commençons par présenter les résultats des simulations électro-thermo-mécaniques d'un seul cube de Si en les comparant avec les résultats de simulation utilisant l'outil de référence COMSOL-Multiphysics<sup>®</sup>. Ces premiers résultats vont nous permettre de valider notre modèle thermo-mécanique. Ensuite, nous présentons les résultats de simulation électro-thermo-mécanique, les cartes thermiques et les cartes de déplacement, d'un circuit composé de deux matériaux (Si et  $SiO_2$ ) et d'un composant de puissance. Finalement, nous présentons les résultats de simulation électro-thermo-mécanique d'un deuxième circuit composé aussi d'une couche de Si et d'une couche de  $SiO_2$  mais avec un maillage multi-résolution du réseau thermo-mécanique. Nous clôturons cette partie par une conclusion et par nos perspectives pour améliorer la modélisation thermo-mécanique.

# Chapitre 8

## Lois de Kirchhoff généralisées et simulation multi-physiques au niveau circuit

### 8.1 Les lois de Kirchhoff généralisées

L'outil de simulation électro-thermo-mécanique que nous avons développé est utilisé dans l'environnement de CAO Cadence<sup>®</sup>, en utilisant comme solveur le simulateur Spectre<sup>®</sup> qui est un simulateur des lois de Kirchhoff généralisées. Il permet d'effectuer des simulations électriques, thermiques et mécaniques en même temps en utilisant différents réseaux qui sont tous régis par les mêmes lois. Ces lois sont basées sur les grandeurs généralisées qui sont "l'effort" et "le flux" appliquées à un système à travers des terminaux (voir figure 8.1). Ces lois sont résumées par :

- Sur un nœud reliant plusieurs terminaux, la somme des flux entrants est égale à la somme des flux sortants et la somme des efforts est nulle,
- Sur un terminal donné, il n'est possible d'imposer qu'une grandeur généralisée (c'est à dire un flux ou un effort),
- Des conditions aux limites du système simulé sont nécessaires pour la résolution du système d'équations obtenu.

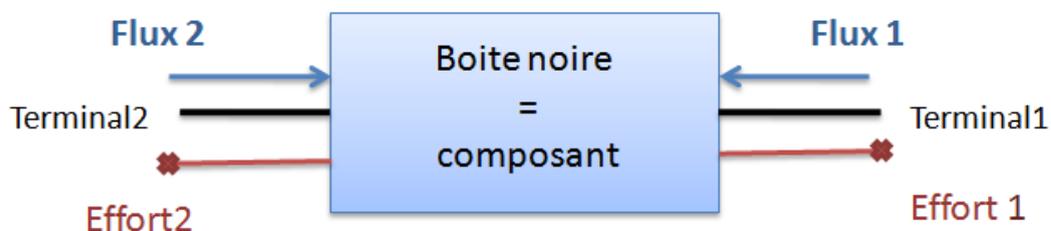


FIGURE 8.1 – Notion de flux et d'effort dans le cas général

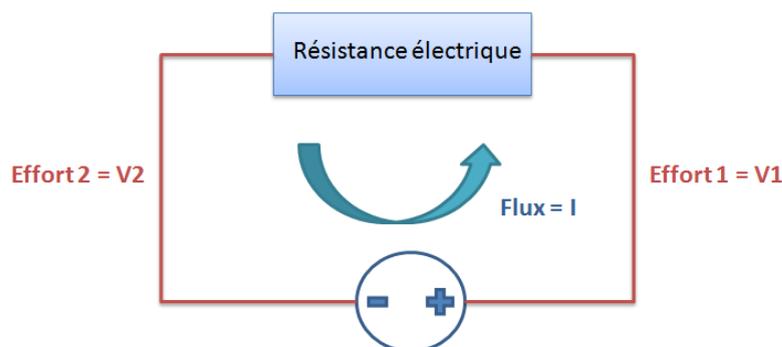


FIGURE 8.2 – Notion de flux et d’effort dans le cas d’un système électrique

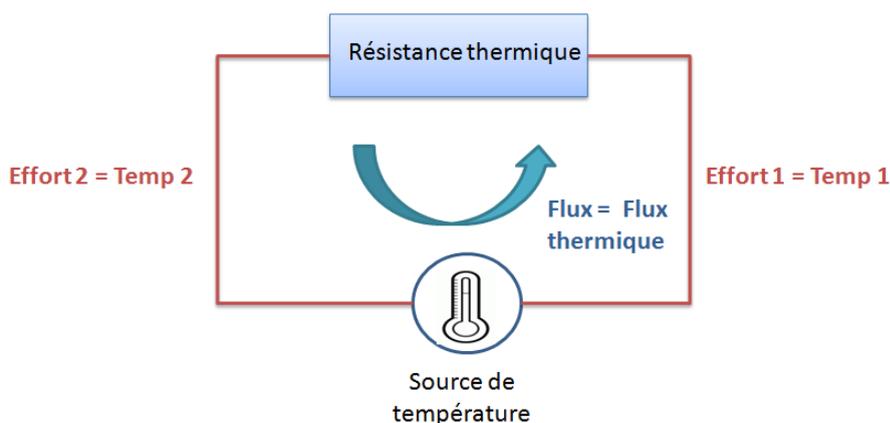


FIGURE 8.3 – Notion de flux et d’effort dans le cas d’un système thermique

En statique, les flux et les efforts sont des constantes. Cependant, ils peuvent être dépendants du temps si les conditions aux limites appliquées dépendent du temps : c’est le fonctionnement en dynamique.

### 8.1.1 Les lois de Kirchhoff généralisées en électricité

Dans le cas d’un réseau électrique simple (voir figure 8.2), le composant peut être représenté par une résistance, le flux par le courant parcourant la maille et l’effort par les tensions  $V_1$  et  $V_2$  aux bornes de la résistance. Les branches électriques du circuit représentent les terminaux. Les conditions aux limites sont déterminées par l’application d’une source de tension (application d’un effort) ou d’une source de courant (injection d’un flux). Les lois de Kirchhoff se traduisent par le fait que la somme des courants (entrants ou sortants) en un nœud est nulle et que la somme des tensions le long d’une maille est nulle aussi.

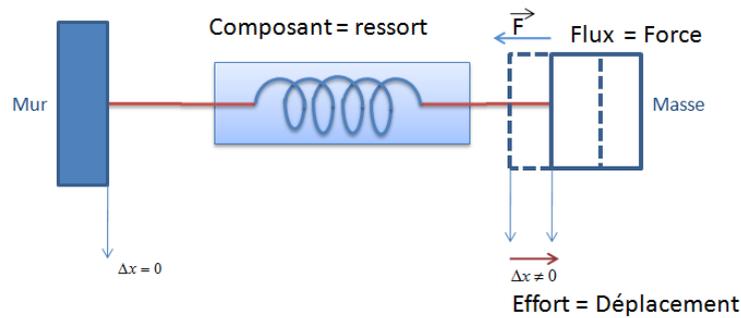


FIGURE 8.4 – Notion de flux et d'effort dans le cas d'un système mécanique

### 8.1.2 Les lois de Kirchhoff généralisées en thermique

Dans le cas d'un réseau thermique simple (voir figure 8.3), le composant peut être représenté par une résistance thermique, le flux est représenté par le flux de chaleur parcourant la maille, les températures  $Temp1$  et  $Temp2$  représentent les efforts. Les branches thermiques du circuit représentent les terminaux. La source de température fixe les conditions aux limites. Il est aussi possible d'injecter un flux de chaleur comme conditions aux limites. En un nœud, la somme des flux thermiques entrants ou sortants est nulle.

### 8.1.3 Les lois de Kirchhoff généralisées en mécanique

Dans le cas d'un réseau mécanique simple, en 1D (voir figure 8.3) : le composant est représenté par un ressort, le flux est représenté par la force appliquée sur la masse  $\vec{F}$ , qui se transmet à travers le ressort jusqu'au point d'attache "mur" de ce dernier. L'effort est représenté par le déplacement  $\Delta x$ . Les terminaux sont les liaisons (ressort-masse) et (mur-ressort). Le mur dans cet exemple fixe les conditions aux limites ( $\Delta x = 0$ ). Il est aussi possible d'appliquer une force (injection d'un flux) comme conditions aux limites.

## 8.2 La modélisation multi-physiques en Verilog-A

Pour construire les modèles (électrique, thermique et mécanique), nous avons eu recours au langage Verilog-A. Ce langage a l'avantage d'être compatible avec l'environnement de CAO Cadence<sup>®</sup>. En outre, c'est un langage parfaitement adapté pour la description des systèmes multi-physiques. En effet, les différentes disciplines dans la bibliothèque du langage Verilog-A nous permettent de décrire un système multi-physiques en utilisant une discipline adaptée pour chaque modélisation (électrique, thermique et mécanique). Ces disciplines sont basées sur les lois de Kirchhoff généralisées et sur l'analogie électrique-thermique-mécanique. Il est donc possible d'utiliser directement la discipline qui correspond à la physique décrite dans le modèle. Par exemple, pour nos modèles thermiques, nous avons utilisé la discipline *Thermal* pour que la température  $Temp(x)$  représente l'effort et pour que le flux de chaleur, i.e. la

Terminal ( $x$ )	Effort	Flux
Électrique ( <i>Electrical</i> )	Potentiel électrique $V(x)$	Courant électrique $I(x)$
Thermique ( <i>Thermal</i> )	Température $Temp(x)$	Puissance thermique $Pwr(x)$
Mécanique ( <i>Kinematic</i> )	Déplacement $Pos(x)$	Force $F(x)$

TABLE 8.1 – Les disciplines utilisées pour la description des systèmes : électrique, thermique et mécanique en Verilog-A

puissance thermique  $Pwr(x)$ , représente le flux. De la même manière, pour la mécanique, en utilisant la discipline *Kinematic*, le déplacement  $Pos(x)$  (c'est à dire  $\Delta x$ ) représente l'effort et le flux est représenté par la force  $F(x)$  (voir le tableau 8.1). Un autre atout du Verilog-A, c'est qu'il nous offre la possibilité d'avoir plus qu'un degré de liberté pour un nœud donné. Une force et un déplacement dans l'espace tridimensionnel peuvent donc être modélisés par trois composantes chacun.

### 8.3 Le couplage entre les différents réseaux pour la simulation multi-physiques au niveau circuit

De la même façon qu'un composant électrique est décrit en faisant appel aux différentes physiques qui sont principalement : l'électrique, la thermique et la mécanique, il est possible de décrire le comportement multi-physiques d'un circuit complet en utilisant des réseaux qui modélisent le comportement de chacune de ces physiques. Ces réseaux sont par la suite couplés pour simuler le comportement réel du circuit en tenant compte de l'effet induit d'un réseau sur l'autre.

Dans notre travail et jusqu'à maintenant, nous avons présenté le réseau thermique qui est relié aux modèles électriques T\_étendus des transistors . Ces modèles prennent en compte aussi le phénomène de *CHC* en fonction de la température. Nous pouvons dire qu'un couplage est établi car : la puissance électrique d'un composant est injectée dans le réseau thermique, et la température calculée grâce au réseau thermique est renvoyée au composant pour le calcul de ses paramètres en fonction cette température effective (voir figure 8.5). Ce couplage est un couplage fort car il fonctionne dans les deux sens et un même simulateur, Spectre<sup>®</sup>, est utilisé pour la simulation des deux réseaux (voir les différents types de couplage en 4.1.2).

Les problèmes thermiques, en plus d'engendrer des défaillances du comportement électrique, engendrent des problèmes de déformations et de contraintes mécaniques. En effet, les gradients thermiques importants issus des puissances dissipées par la puce et conduisant à de la dilatation engendrent des contraintes mécaniques. Des matériaux différents sont utilisés pour la fabrication des circuits (silicium, diélec-

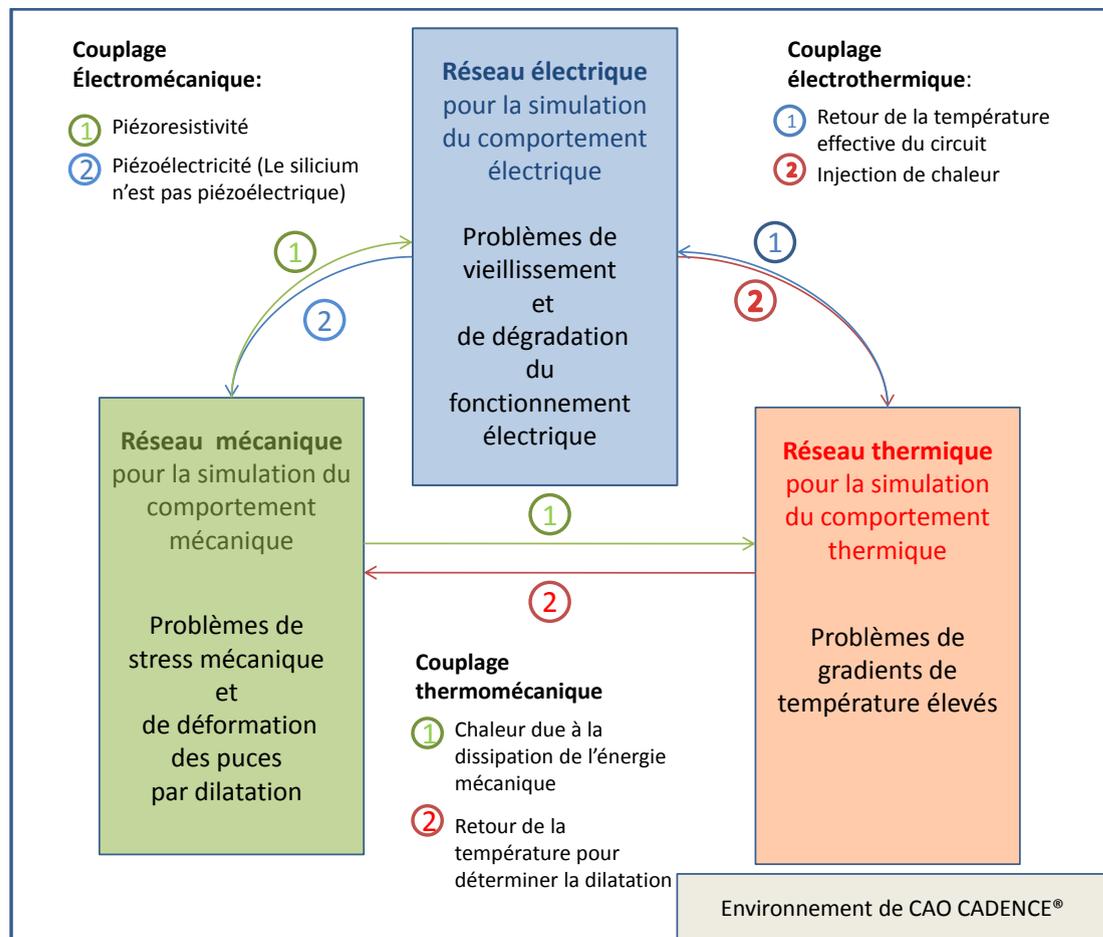


FIGURE 8.5 – Le couplage électro-thermo-mécanique

trique, métal,...etc) et pour le boîtier (soudure, polymère ...etc). Ces matériaux ne réagissent pas de la même façon face à la température, à cause de leurs coefficients de dilatation thermique différents (CTE). Cela est à l'origine de l'apparition de contraintes mécaniques lorsque la puce électronique chauffe [114], nous parlons ici de couplage thermique-mécanique (lien 2 dans le couplage thermo-mécanique dans la figure 8.5).

Les contraintes mécaniques résultantes peuvent engendrer soit la défaillance directe du circuit si les déformations deviennent très importantes [115, 116], soit la dégradation des caractéristiques électriques à cause de la piézoresistivité de certains matériaux comme le silicium : nous parlons dans ce dernier cas d'un couplage mécanique-électrique, (lien 1 du couplage électromécanique dans la figure 8.5). Il est donc primordial d'évaluer les contraintes mécaniques résultantes des variations de température de la puce dès les premières étapes de conception des CIs, notamment dans les circuits possédant un ou plusieurs composants dissipant une puissance non négligeable. Dans le chapitre suivant, nous allons présenter notre principe de simulation électro-thermo-mécanique dans l'environnement Cadence®.

# Chapitre 9

## La simulation électro-thermo-mécanique

Le principe de simulation électro-thermo-mécanique est similaire à celui de la simulation électro-thermique. Un script développé en SKILL<sup>®</sup> permet à partir de l'analyse du layout de générer un réseau de Kirchhoff d'éléments finis thermo-mécaniques. Le réseau généré modélise les comportements thermiques et mécaniques des différentes couches du circuit simulé. Ce réseau thermo-mécanique peut être vu comme deux réseaux l'un thermique et l'autre mécanique reposant sur les mêmes éléments finis géométriques. Chaque nœud des éléments correspond à un terminal thermique et un terminal mécanique. En même temps, dans le schéma original du circuit, les modèles électriques "T\_étendus" des composants (détaillés en 4.1) et qui possèdent des terminaux thermiques sont générés et reliés au réseau thermo-mécanique à l'aide des entités d'interface (voir figure 9.1) via les terminaux thermiques. Dans ce travail de thèse, nous n'avons pas inclus dans les modèles électriques des transistors les effets piézorésistifs. Si tel avait été le cas, nous pourrions alors parler de modèles compacts "TM\_étendus" contenant des terminaux thermiques et mécaniques. Par la suite, l'ensemble constitué :

- du schéma électrique contenant des modèles électriques "T\_étendus",
- des réseaux thermique et mécanique couplés et fusionnés en un même réseau que nous appelons réseau thermo-mécanique,
- des entités d'interface reliant chaque composant électrique "T\_étendu" à l'ensemble des éléments finis (thermiques et mécaniques) qui le modélisent,

est simulé à l'aide du simulateur Spectre<sup>®</sup> comme un schéma de circuit électrique conventionnel dans l'environnement de CAO Cadence<sup>®</sup>.

### 9.1 Du réseau thermique au réseau thermo-mécanique

Afin d'intégrer la simulation des contraintes et des déformations mécaniques, nous avons transformé le réseau thermique généré par le simulateur électrothermique et composé d'éléments finis thermiques en un réseau thermo-mécanique. En d'autres

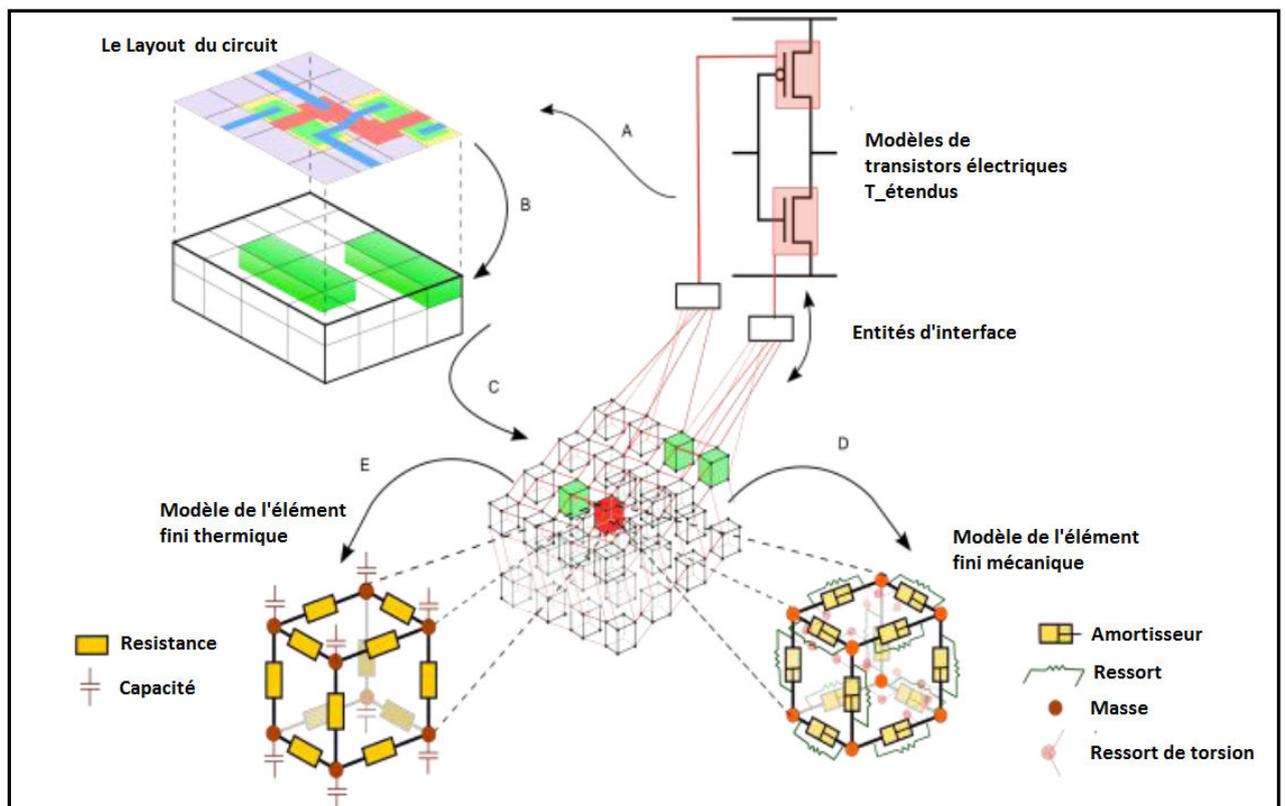


FIGURE 9.1 – La génération du réseau électro-thermo-mécanique : A)- Construction du *Layout* à partir du schéma électrique. B)- Maillage du réseau thermo-mécanique selon le *Layout*. C)- Génération à partir d'un script en SKILL<sup>®</sup> du réseau thermo-mécanique. D)- Modèle de l'élément fini thermique. E)- Modèle de l'élément fini mécanique.

termes, ce réseau représente les réseaux de Kirchhoff thermique et mécanique couplés et fusionnés en un seul réseau de Kirchhoff. Les éléments finis constituant ce réseau ne modélisent plus que le comportement thermique du matériau mais modélisent en même temps les comportements thermiques et mécaniques en interaction (figure 9.1).

Nous avons choisi de fusionner ces réseaux en un seul réseau thermo-mécanique car les gradients de température et de contraintes mécaniques sont liés. En effet, les zones où il y a des sources de chaleur représentent les zones où il y a des fortes contraintes mécaniques. Cela nous a permis l'utilisation d'un seul réseau, maillé d'une seule façon, pour ces deux physiques. Par la suite, ce réseau de Kirchhoff est simulé à l'aide d'un seul noyau de simulation, Spectre<sup>®</sup>, dans notre cas. Ce noyau de simulation effectue la résolution des PDEs des trois physiques à simuler, i.e l'électrique, la mécanique et la thermique. Cette méthode de simulation est la méthode de simulation directe que nous avons déjà présentée dans la section 4.1.2. Dans notre cas, elle s'impose naturellement par rapport à la méthode de relaxation (couplage faible et multi-disciplinaire, cf section 3.3.1) car lorsqu'il y a plus de deux physiques à simuler cette dernière devient très coûteuse, surtout en termes de temps de simulation.

Un autre facteur technique qui nous a permis de remplacer l'élément fini thermique par l'élément fini thermo-mécanique est le caractère multi-physiques du langage de description Verilog-A. Comme nous l'avons déjà introduit en 8.2, ce langage permet de décrire en un seul modèle plusieurs physiques en utilisant les disciplines correspondantes. En effet, afin d'implémenter les équations thermiques et mécaniques dans le modèle de l'élément fini thermo-mécanique, nous avons utilisé les disciplines thermique "Thermal" et mécanique "Kinematic" que nous avons déjà présentées dans le tableau 8.1.

## 9.2 Le réseau thermo-mécanique

Plus le matériau est proche d'une source de chaleur, plus les gradients de dilatation et les contraintes mécaniques et thermiques sont importantes. Aussi, afin d'améliorer la précision des résultats sans un nombre trop grands de nœuds et éviter des temps de simulation prohibitifs, il est primordial de mailler finement les zones à fortes contraintes mécaniques/thermiques. En conséquence, une fois le *Layout* du circuit réalisé, les différentes couches du circuit (Si,  $SiO_2$ , matériau utilisé pour l'encapsulation...) sont maillées en un ensemble d'éléments parallélépipédiques de dimensions configurables. Ce maillage multi-résolutions adaptent la taille des éléments en fonction de leur proximité à une ou plusieurs sources de chaleur. Les éléments qui sont situés dans une zone couverte par un composant dissipant une puissance électrique importante sont maillés plus finement. En revanche, le maillage devient de plus en plus grossier plus on s'éloigne des sources de chaleur.

Une méthode empirique attribuant des zones d'influence de la source de chaleur a été utilisée par Jean Christophe Krencker quand il a développé le simulateur électro-thermique [9]. Comme nous avons gardé le même principe de maillage pour le réseau thermo-mécanique, nous expliquons brièvement la stratégie mise en place dans le paragraphe suivant.

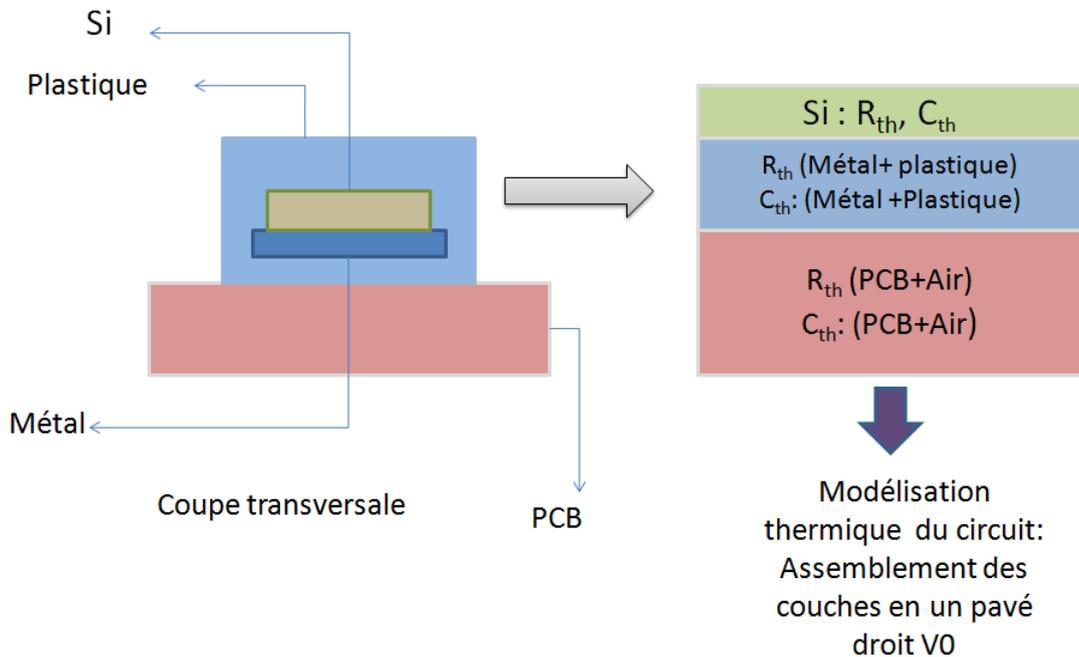


FIGURE 9.2 – La modélisation thermique d’un circuit composé de plusieurs couches

### 9.2.1 Le maillage utilisé pour la génération du réseau thermo-mécanique

Pour simuler un circuit en 3D, nous utilisons un empilement de couches technologiques. Par exemple, dans la figure 9.2, le système à simuler est composé de trois couches différentes (Silicium, boîtier et PCB) constituant ce que nous appelons le pavé droit V0. Les propriétés thermiques : la capacité et la résistance thermiques de chacune des couches est fixée par l'utilisateur en éditant les propriétés de la couche. Dans cette modélisation, le transfert de chaleur est supposé avoir lieu par conduction car l'évacuation de chaleur par convection est en général très faible. Nous considérons aussi dans cette modélisation que le transfert de chaleur a lieu vers le bas de la puce et que le reste des faces sont supposées adiabatiques. Une fois les propriétés des couches saisies, le maillage du bloc est réalisé par la procédure suivante [9] :

- D'abord, une première simulation électrique standard est exécutée pour déterminer les sources de chaleur et leur attribuer une zone d'influence en trois dimensions. Ces zones d'influences (figure 9.3) sont définies de manière empirique en fonction de la densité de puissance et des dimensions des sources de chaleur en utilisant un algorithme que nous détaillons un peu plus loin. Parmi ces sources de chaleur, on ne retient que celles dissipant une puissance considérée comme significative, le seuil étant fixé par l'utilisateur.
- Ensuite, les boîtes englobantes de chacune des couches sont assemblées en un pavé droit que nous appelons V0.
- Lors d'une première passe, le volume V0 est découpé selon les bords de cha-

cune des couches et selon le bord des sources de chaleur dominantes dont on connaît l'emplacement à partir du *layout* du circuit. De plus, lors de cette passe, un maillage grossier et constant est également appliqué. La taille des mailles constantes est pré-configurée dans le script SKILL<sup>®</sup> par l'utilisateur (phase 1 de la figure 9.4).

- Lors d'une deuxième passe, une boucle de raffinement est utilisée. A chaque itération, les volumes recouverts par une zone d'influence sont subdivisés en huit sous-volumes. Cette boucle se termine dès que les dimensions des arêtes des volumes atteignent leur taille minimale pré-configurée par l'utilisateur. L'algorithme génère un maillage dont les dimensions des mailles augmentent de manière progressive lorsqu'on s'éloigne de la source de chaleur (phase 2 de la figure 9.4).
- Lors d'une dernière passe, les volumes recouverts par les bords des sources de chaleur sont subdivisés selon ces mêmes bords. Ainsi, chaque source de chaleur est représentée par un nombre entier de volumes élémentaires (phase 3 de la figure 9.4).

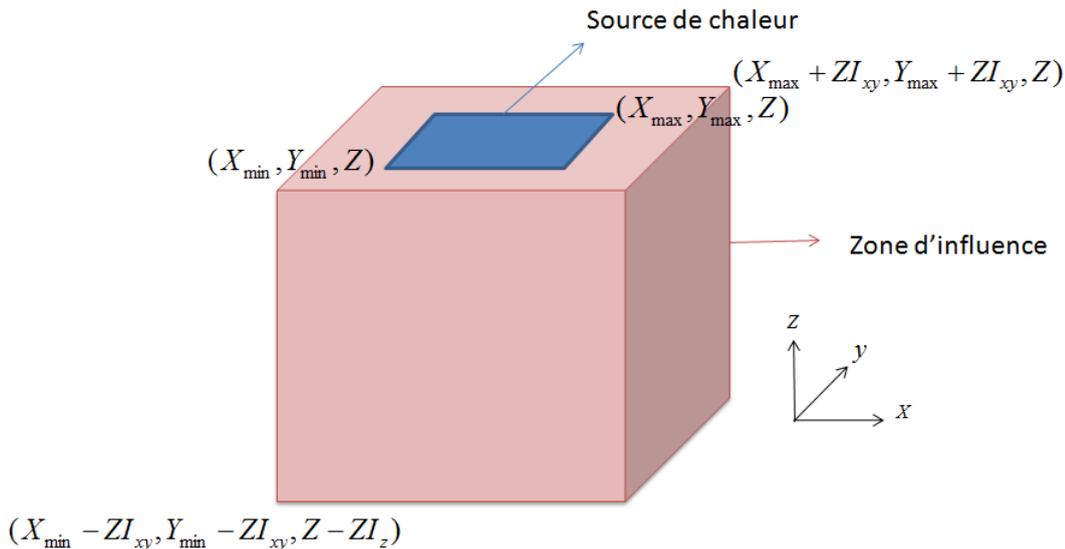


FIGURE 9.3 – La définition de la source de chaleur et sa zone d'influence

**Le calcul des zones d'influence** La première étape de l'algorithme de maillage est l'identification des zones de maillage fin, c'est à dire les zones où une forte puissance électrique est dissipée. Pour ce faire, l'utilisateur doit effectuer une simulation DC afin de calculer les puissance électriques dissipées par les composants utilisés. Selon les puissances dissipées et la taille des composants, les zones d'influence sont ensuite calculées via l'algorithme empirique suivant :

Le circuit électrique simulé est considéré de longueur  $L_{circuit}$  et de largeur  $W_{circuit}$  possédant  $n$  composants de longueur  $L_i$ , de largeur  $W_i$  et dissipant une puissance

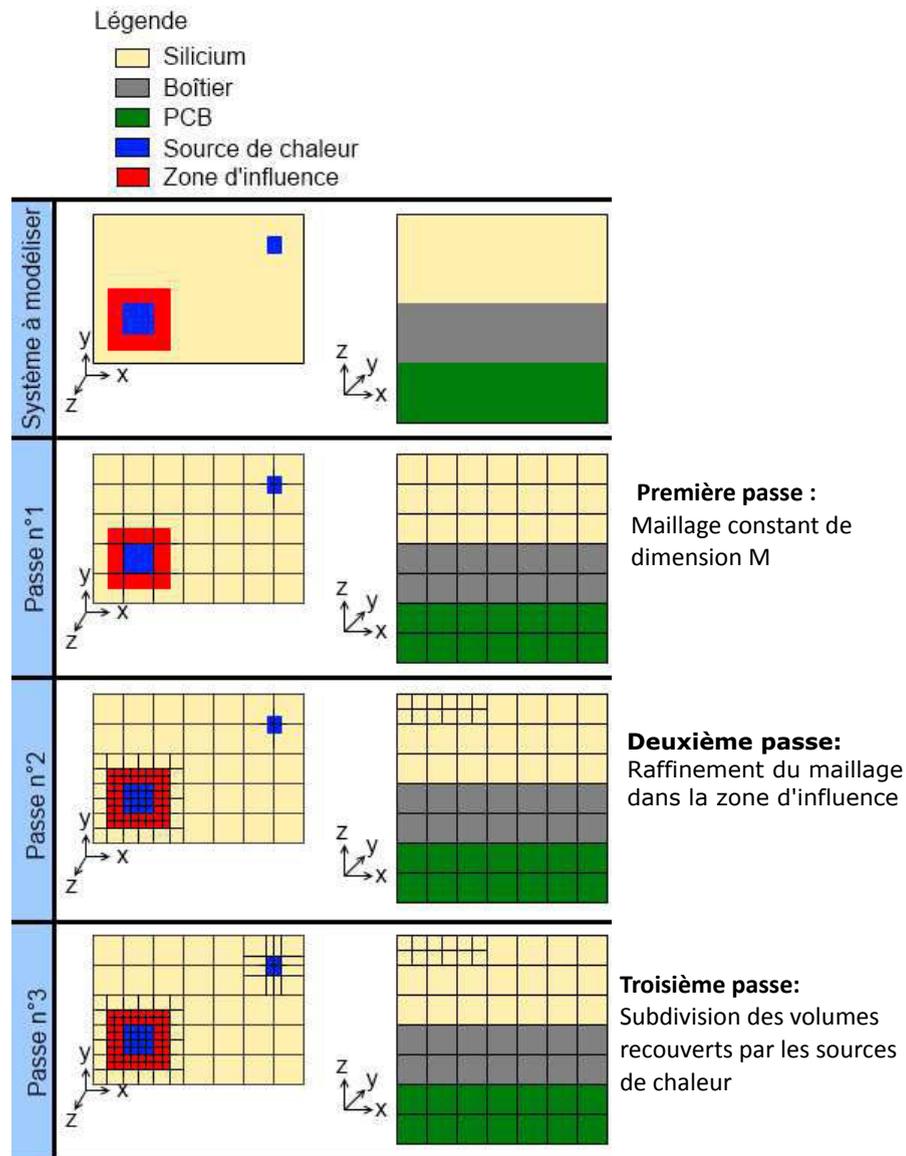


FIGURE 9.4 – La procédure du maillage [9]

$P_i$ . La puissance maximale dissipée par un composant est égale à  $P_{max}$ . Une zone est considérée comme une zone de chaleur si le rapport  $\frac{P_i}{P_{max}}$  est supérieur à 1%. Nous considérons alors qu'une source de chaleur de dimensions  $(X_{min}, Y_{min}, Z)(X_{max}, Y_{max}, Z)$  possède une zone d'influence  $(X_{min} - ZI_{xy}, Y_{min} - ZI_{xy}, Z - ZI_z)(X_{max} + ZI_{xy}, Y_{max} + ZI_{xy}, Z)$  comme schématisé dans la figure 9.3. Un premier maillage (passe numéro 1, voir figure 9.4) constant est effectué pour tout le volume du circuit, les mailles cubiques obtenues sont de dimension  $M$ , la valeur minimale de  $M$  est définie à 10% du minimum entre  $L_{circuit}$  et  $W_{circuit}$ .

Lors de l'affinage du maillage (phase 2 de la figure 7.15), la taille minimale des mailles du circuit est d'abord configurée à 0,2% du minimum entre  $L_{circuit}$  et  $W_{circuit}$ , ce qui permet d'avoir un facteur 50 entre le rapport des tailles de mailles maximales et minimales.

Ensuite, les dimensions  $ZI_{xy}$  et  $ZI_z$  de la zone d'influence sont calculées suivant ces équations :

$$ZI_{xy} = \text{Min}(W_i; L_i; M) \cdot \frac{P_i}{2 \cdot P_{max}} \quad (9.1)$$

$$ZI_z = \text{Min}(W_i; L_i) + ZI_{xy} \quad (9.2)$$

Ces équations empiriques établissent une relation entre la largeur, la longueur et l'épaisseur de la maille afin d'avoir des mailles d'allure la plus proche possible du cube. Ceci permet de modéliser un flux de chaleur homogène dans toutes les directions (isotropie du flux).

Un compromis a été trouvé en prenant un facteur 50 entre la taille maximale et la taille minimale des mailles. Cela permet d'atteindre la taille finale des mailles au maximum au bout de six passes de raffinement du maillage. Enfin, à partir de la troisième passe, l'algorithme de maillage utilisé réduit la taille de la zone d'influence en divisant ses dimensions ( $ZI_{xy}$  et  $ZI_z$ ) par deux à chaque passe suivante. Ainsi, le nombre d'éléments thermiques créé après la troisième passe augmente moins rapidement, ce qui nous permet d'obtenir un compromis entre le nombre d'éléments et la finesse du maillage.

Une fois toutes les pré-configurations effectuées et selon la procédure de maillage que nous venons de décrire, le sous-réseau thermo-mécanique est finalement généré automatiquement dans la même vue que celle du réseau électrique "T\_étendu" (i.e schematic). L'utilisateur a également la possibilité de visualiser le maillage généré sur les surfaces des étages ou couches assemblés.

### 9.2.2 Le modèle de l'élément fini thermique

Le transfert de chaleur dans le silicium est supposé se produire par conduction suivant l'équation [9] :

$$\sigma_{th} \cdot \Delta T + Q = c \cdot \frac{\delta T}{\delta t} \quad (9.3)$$

où  $\sigma_{th}$  est la conductivité thermique du matériau [ $W.m^{-1}.K^{-1}$ ],  $\Delta T$  est le Laplacien de température,  $Q$  est le flux de chaleur total généré dans le matériau [ $W.m^{-3}$ ] et  $c$  est la capacité calorifique du matériau [ $J.M^{-3}K^{-1}$ ]. Par analogie avec l'électricité, un élément du matériau peut être considéré en même temps comme un élément

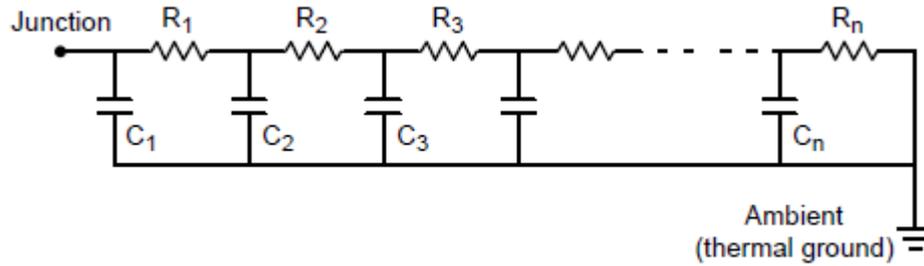


FIGURE 9.5 – Le réseau de Cauer linéaire [10]

conducteur (similaire à une résistance) qui peut stocker la chaleur (similaire à une capacité). Afin de modéliser le comportement thermique d'un seul élément fini, un réseau de Cauer étendu en 3D a été adopté (un exemple du réseau de Cauer linéaire (1D) est schématisé par la figure 9.5). Ce type de réseau a été choisi parce qu'il représente une modélisation qui conserve une signification physique (les résistances et les capacités ont des valeurs physiques) contrairement à d'autres types de réseau, comme le réseau de Foster par exemple où les résistances et les capacités sont purement mathématiques et peuvent prendre des valeurs négatives.

Par conséquent, comme représenté sur la figure 9.6, un élément fini thermique peut être modélisé par :

- Douze résistances thermiques ( $R_{th}$ ) qui sont placées sur les arêtes de l'élément cubique,
- Huit condensateurs ( $C_{th}$ ) qui sont reliés aux sommets de l'élément cubique.

Dans ce modèle,  $R_{th}$  et  $C_{th}$  s'expriment selon les équations suivantes :

$$R_{th} = \frac{4}{\sigma_{th}} \cdot \frac{L}{S} \quad (9.4)$$

$$C_{th} = c \cdot \frac{V}{8} \quad (9.5)$$

où  $R_{th}$  est une des quatre résistances en parallèle sur une arête commune,  $C_{th}$  est une des huit capacités connectées sur un sommet commun,  $L$  est la longueur de l'arête,  $S$  est la face correspondante, et  $V$  est le volume de l'élément fini. Il est possible de paramétrer chaque élément pour modéliser tout type de matériau (Si,  $SiO_2$ , Al, Cu ...), il suffit de préciser les paramètres  $R_{th}$  et  $C_{th}$  correspondants.

Nous rappelons que dans le schéma électrique du circuit, les modèles conventionnels de transistors sont remplacés par des modèles compacts électriques "T\_étendu" possédant un port thermique supplémentaire afin de les relier au réseau thermique. Par conséquent, la température utilisée dans le calcul des paramètres du transistor n'est pas constante mais calculée grâce au réseau thermique.

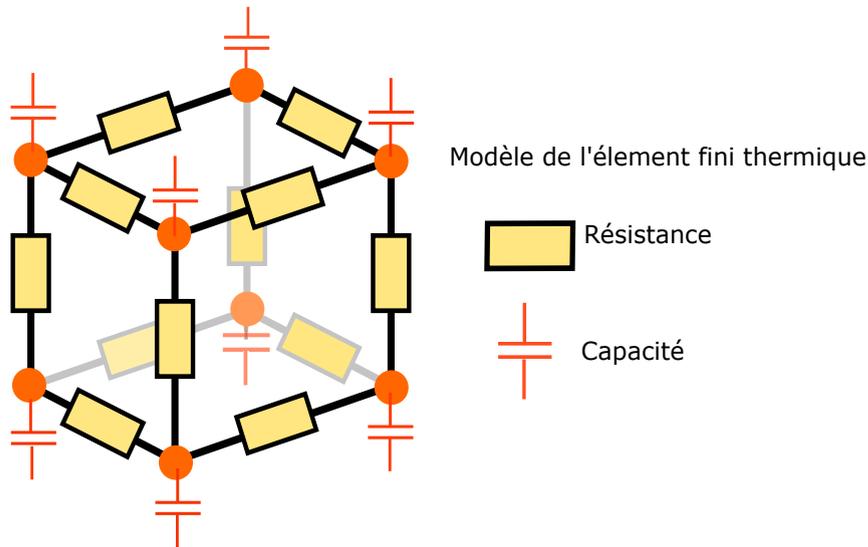


FIGURE 9.6 – L'élément fini thermique

### 9.2.3 Le modèle de l'élément fini mécanique

Nous nous sommes intéressés dans ce travail aux déformations mécaniques de l'élément qui sont supposées avoir lieu dans le matériau à cause de l'élévation de la température et qui sont soumises aux lois de déformations générales qui régissent le comportement mécanique d'un solide. Nous décrivons ces lois dans les paragraphes suivants en supposant que les déformations modélisées sont assez faibles pour les considérer comme élastiques et linéaires, ce qui est le cas en pratique dans une puce. En effet, dans le cas contraire, les déformations seraient telles que la puce serait endommagée irréversiblement.

Trois lois sont nécessaires pour modéliser (1) la déformation mécanique élastique (loi de Hooke), (2) l'interaction thermo-mécanique (loi de dilatation), et (3) les aspects dynamiques (loi de la dynamique).

#### La loi de Hooke

Nous supposons ici un solide de forme cubique

#### 1. Les déformations longitudinales et les contraintes normales

Quand l'élément solide subit une déformation selon un axe, il en résulte une réaction, similaire à une force de rappel s'opposant à la force  $F$  à l'origine de la déformation (comme schématisé par la figure 9.7). Pour des petites déformations, la loi de Hooke stipule que la déformation longitudinale est proportionnelle à la force  $F$  :

$$F = K(l - l_0) = ES \cdot \epsilon_l \quad (9.6)$$

$$\Leftrightarrow \sigma_h = E \cdot \epsilon_l \quad (9.7)$$

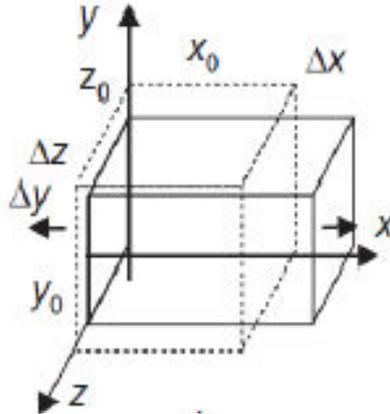


FIGURE 9.7 – Schéma des déformations élastiques provoquées par une contrainte de traction normale  $\sigma_{xx}$

où :

- $l_0$  est la longueur initiale de l'arête,  $l$  est la nouvelle longueur de l'arête ( $l - l_0$  peut être  $x - x_0$ ,  $y - y_0$  ou  $z - z_0$ )
- $S$  est l'aire de la surface sur laquelle s'applique la force, exprimée en  $m^2$
- $K$  est la raideur du matériau, exprimée en  $N.m^{-1}$
- $\epsilon_l = \frac{l-l_0}{l_0}$  exprime la déformation longitudinale et est sans dimension. Il existe trois déformations longitudinales,  $\epsilon_{xx}$ ,  $\epsilon_{yy}$  et  $\epsilon_{zz}$  selon que la déformation ait lieu selon l'axe x,y ou z.
- Le coefficient  $E = \frac{K.l_0}{S}$ , appelé module d'élasticité ou module de *Young* du matériau, s'exprime en MPa.
- $\sigma_h = \frac{F}{S}$  est la contrainte normale. Il existe trois contraintes longitudinales  $\sigma_{xx}$ ,  $\sigma_{yy}$  et  $\sigma_{zz}$  selon que la contrainte ait lieu selon l'axe x,y ou z.

## 2. Les déformations angulaires et les contraintes de cisaillement

Les contraintes normales, appliquées de manière perpendiculaire à une face de l'élément solide, conduisent à des déformations longitudinales. Lorsqu'une contrainte est appliquée tangentiellement à une face de l'élément, elle conduit à une déformation angulaire de l'élément (c.f figure 9.8). La contrainte est le rapport de la force sur la surface :

$$\sigma_c = \frac{F}{S} \quad (9.8)$$

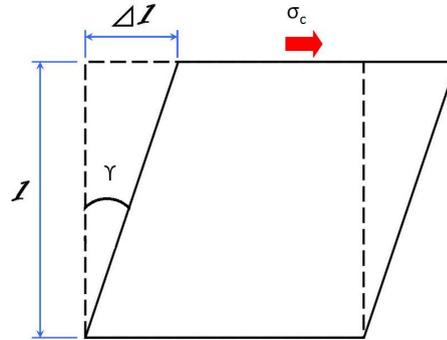


FIGURE 9.8 – La contrainte de cisaillement en 2D

Où :

- $\sigma_c$  est la contrainte de cisaillement, exprimée en Pascal. Il existe trois contraintes de cisaillement,  $\sigma_{xy} = \sigma_{yx}$ ,  $\sigma_{xz} = \sigma_{zx}$  et  $\sigma_{yz} = \sigma_{zy}$  selon que la déformation angulaire ait lieu dans le plan  $xy$ ,  $xz$  ou  $yz$ .
- $F$  est la force tangentielle appliquée, exprimé en Newton,
- $S$  est l'aire de la surface, perpendiculaire au plan de déformation, sur laquelle est appliquée la force tangentielle, exprimée en  $m^2$

Dans le cas des matériaux solides élastiques, la contrainte de cisaillement  $\sigma_c$  est reliée à la déformation angulaire  $\gamma$  (c.f. figure 9.8) par le module de cisaillement  $G$  :

$$\tau = \gamma \cdot G \quad (9.9)$$

Le module de cisaillement  $G$  est exprimé en MPa. Si la déformation angulaire est faible,  $\gamma$  s'exprime directement par  $(\frac{\Delta l}{l})$ , (c.f figure 9.8). Il existe trois déformations angulaires  $\gamma_{xy}$ ,  $\gamma_{xz}$  et  $\gamma_{yz}$  pour chacun des trois plans de l'espace.

Dans le cas de matériaux isotropes, le coefficient  $G$  est relié au module d'élasticité  $E$  et au coefficient de Poisson  $\nu$  par l'expression :

$$G = \frac{E}{2(1 + \nu)} \quad (9.10)$$

L'état de la contrainte en un point, exprimée par  $\sigma_{xx}$ ,  $\sigma_{yy}$ ,  $\sigma_{zz}$ ,  $\sigma_{xy} = \sigma_{yx}$ ,  $\sigma_{xz} = \sigma_{zx}$  et  $\sigma_{yz} = \sigma_{zy}$  est d'un point de vue mathématique un tenseur [117]. De même, l'état de déformation en un point, exprimé par  $\epsilon_{xx}$ ,  $\epsilon_{yy}$ ,  $\epsilon_{zz}$ ,  $\epsilon_{xy} = \epsilon_{yx} = \frac{\gamma_{xy}}{2}$ ,  $\epsilon_{xz} = \epsilon_{zx} = \frac{\gamma_{xz}}{2}$ , et  $\epsilon_{yz} = \epsilon_{zy} = \frac{\epsilon_{yz}}{2}$  est un tenseur [117].

### La loi de la dilatation

Les déformations mécaniques de la puce sont dues principalement aux gradients

de température importants qui sont à l'origine de l'expansion du volume du CI et de l'apparition des gradients de contraintes. Ce comportement est traduit par la loi de dilatation thermique. En effet, pour un matériau isotrope, la dilatation thermique du matériau est exprimée par :

$$\Delta l = \alpha \cdot l_0 \cdot \Delta T \quad (9.11)$$

où  $\alpha$  en  $[K^{-1}]$  est le coefficient de dilatation linéaire,  $l_0$  est la longueur initiale de l'arête de l'élément solide en [m] à la température ambiante  $T_0$ , et  $\Delta T = T - T_0$  est la variation de la température en [K].

### La loi de la dynamique

Pour tenir compte du comportement mécanique dynamique du solide, il faut introduire la loi du mouvement de Newton en chacun des nœuds de l'élément :

$$m_i \cdot \ddot{u} + \lambda \cdot \dot{u} = \sum (Forces) \quad (9.12)$$

où  $u$  est le déplacement du nœud,  $\lambda$  est le coefficient de friction du matériau,  $m_i$  représente la masse du volume du matériau attaché au nœud ( $\frac{1}{8}$  de la masse totale de l'élément) et  $\sum (Forces)$  est la somme des forces appliquées au nœud  $i$ .

## 9.2.4 La modélisation de l'élément fini thermo-mécanique en Verilog-A

Comme nos réseaux de Kirchhoff en thermique et en mécanique sont fusionnés, nous avons modélisé les équations de déformations mécaniques présentées dans la section précédente et les équations de la thermique (section 9.2.2) au sein du même élément fini. L'avantage principal de la fusion des deux réseaux est l'utilisation de la méthode de simulation directe. D'autre part, l'utilisation du même réseau permet aussi de coupler directement les équations de la mécanique et les équations de la thermique en utilisant une même variable pour la température dans le modèle de l'élément fini thermo-mécanique.

Le langage utilisé pour notre modèle est le langage de description multi-physiques Verilog-A. Afin d'implémenter le comportement mécanique, nous avons utilisé la discipline "*Kinematic*" décrite précédemment dans la section 8.2. Ceci nous a permis d'implémenter directement nos équations en utilisant la fonction  $Pos(x)$  pour le calcul de l'effort, correspondant au déplacement du nœud, et le flux  $F(x)$  qui représente la force s'appliquant sur les nœuds, c'est à dire au sommet d'une arête (voir tableau 8.1).

### La modélisation de la loi de Hooke

Dans notre modèle, nous supposons qu'à l'état initial, c'est à dire à température initiale ambiante et sous aucune contrainte mécanique, les éléments finis sont alignés le long des trois directions de l'espace (x, y, et z). Les contraintes normales,  $\sigma_{xx}$ ,  $\sigma_{yy}$  et  $\sigma_{zz}$ , agissent sur les faces de l'élément, dans les directions normales à celles ci. Les

forces correspondant à ces contraintes sont exprimées par l'équation 9.7.

Au sein de l'élément, ces forces sont équivalentes à des flux à travers les arêtes, c'est à dire à un flux longitudinal entre les deux sommets d'une arête. La force de traction normale  $F_{ii}$  dans une direction  $i$ , s'exprime par :

$$F_{ii} = \sigma_{ii} \cdot \frac{S_i}{4} \quad (9.13)$$

$$= \frac{E_{ii} \cdot S_i}{4} \cdot \epsilon_{ii} \quad (9.14)$$

où

- $\sigma_{ii}$  est la contrainte normale suivant l'axe  $i$  ( $i = x, y$  ou  $z$ ),
- $E_{ii}$  [MPa] est le module d'élasticité du matériau, ou le module de *Young* le long du même axe
- $S_i$  est l'air de la surface en [m<sup>2</sup>] de l'élément normale à l'axe  $i$
- $\epsilon_{ii} = \frac{\Delta l_i}{l_i}$  est la déformation longitudinale selon  $i$

Étant donné que chaque face de l'élément partage ses quatre sommets avec les cubes voisins, nous avons affecté un quart de la surface  $S_i$  aux quatre arêtes de la face. La déformation longitudinale  $\epsilon_{ii}$  est donnée par le changement relatif de la longueur de l'arête de l'élément suivant l'axe  $i$  (voir figure 9.7). Nous pouvons considérer que l'effet de la force de traction  $F_{ii}$  est équivalent à un ressort uni-axial le long de l'arête ( $x, y$  ou  $z$ ). En conséquence, les stress normaux  $\sigma_{xx}$ ,  $\sigma_{yy}$  et  $\sigma_{zz}$  sont modélisés par douze ressorts uni-axiaux dans notre élément fini mécanique (figure 9.9).

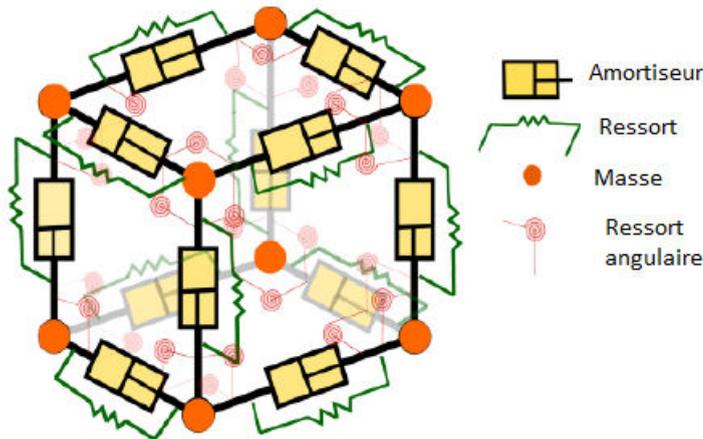


FIGURE 9.9 – L'élément fini mécanique

Nous avons modélisé les contraintes de cisaillement de la même façon que les contraintes normales, c'est à dire par les forces  $F_{ij}$  représentées par des flux entrant par un sommet  $i$  et sortant par un sommet  $j$  de l'élément fini.

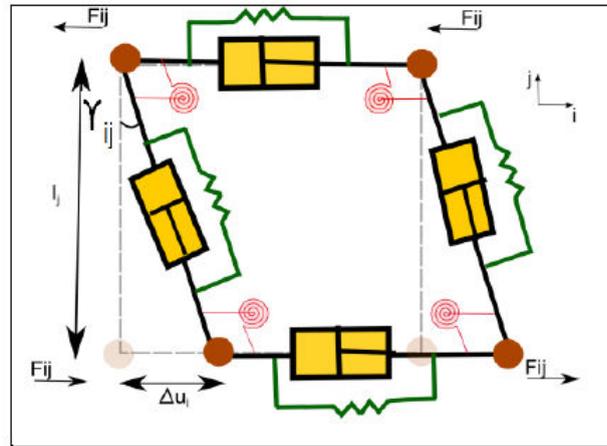


FIGURE 9.10 – La modélisation du cisaillement

La force  $F_{ij}$  représente le flux à travers l'arête alignée selon l'axe  $j$  résultant de la pression exercée selon la direction  $i$  sur la surface  $S_j$  (figure 9.10). Nous avons utilisé les équations 9.8 et 9.9 pour décrire cette force de cisaillement à chaque sommet de l'élément de la façon suivante :

$$F_{ij} = \sigma_{ij} \cdot S_j \quad (9.15)$$

$$= G_{ij} \cdot S_j \cdot \gamma_{ij} \quad (9.16)$$

La petite déformation angulaire résultante  $\gamma_{ij} = 2 \cdot \epsilon_{ij}$  est déterminée par :

$$\gamma_{ij} = \frac{\Delta l_i}{l_j} \quad (9.17)$$

où  $\Delta l_i$  est la différence des déplacements selon l'axe  $i$  des deux sommets de l'arête  $j$ , et  $l_j$  est la longueur de l'arête  $j$  (figure 9.10). Un exemple de modélisation de la force de cisaillement, implémentée en Verilog-A pour un élément cubique dont les sommets des arêtes (les noeuds) sont numérotés de 0 à 7 est présenté dans la figure 9.11 (ligne 24). Dans cet exemple, la force de cisaillement (i.e une force de cisaillement suivant l'axe des  $x$  conduisant à une déformation angulaire dans le plan ( $yz$ )) entre les deux sommets 0 et 7 est calculée à partir du déplacement relatif entre les noeuds 0 et 7.

Concrètement, dans cette modélisation, l'effet de la force de cisaillement  $F_{ij}$  est équivalent à l'effet d'un ressort de torsion attaché entre les arêtes adjacentes  $i$  et  $j$  (figure 9.10). En utilisant cette équivalence, dans le modèle de l'élément fini mécanique, les contraintes de cisaillement  $\sigma_{xy}$ ,  $\sigma_{xz}$  et  $\sigma_{yz}$  sont représentées par vingt quatre ressorts de torsion : quatre ressorts pour chaque face (figure 9.9).

### Modélisation de la dilatation thermique

Dans notre modèle, nous ne considérons que les forces et les contraintes internes au sein de la puce encapsulée. Nous ne considérons pas les éventuelles forces externes

qui pourraient être dues aux conditions de manipulation, i.e à l'application volontaire d'une force sur la puce. Nous supposons qu'à l'état initial le circuit est figé dans une position fixe prise comme référence. Ceci étant, il ne serait pas difficile d'introduire d'éventuelles forces externes par les conditions aux limites appliquées à notre modèle. D'autre part, la contrainte intrinsèque au sein de la puce, pouvant résulter de l'utilisation de matériaux différents, lors la fabrication est aussi considérée comme nulle. Par conséquent, l'unique source de contrainte que nous avons considérée provient de la dilatation thermique des matériaux du CI. Cette dilatation thermique est due principalement à l'échauffement du circuit suite à la puissance électrique dissipée par effet joule.

En d'autres termes, le couplage thermique-mécanique a lieu via la dilatation. En effet, le changement de la longueur de l'arête  $\Delta l$ , calculée à partir de l'équation 9.11, est à l'origine de la création d'une force d'expansion thermique le long de l'arête  $F_{te}$ . Aussi, dans notre modèle, nous avons introduit sur chaque arête de l'élément une force d'expansion uni-axiale provenant de la dilatation thermique  $\Delta l$  de l'élément et exprimée par :

$$F_{te} = E_{ii} \cdot S_i \cdot \left(\frac{\Delta l}{l_0}\right) \quad (9.18)$$

où  $E_{ii}$  est le module de *Young* le long de l'arête  $i$ ,  $S_i$  est l'aire de la face de l'élément, normale à l'arête  $i$ , avec  $i \in (x, y, z)$ . Un exemple de modélisation de cette force uni-axiale, due à la dilatation thermique, entre deux nœuds (nœud 0 et nœud 1 de l'élément fini) en Verilog-A est reporté dans la figure 9.11 (ligne 31). Dans cet exemple,  $\Delta l$ , le déplacement de l'arête (01) est modélisé à travers la fonction  $Pos(x)$  en Verilog-A. La température est calculée comme la température moyenne de l'arête à l'aide de la discipline *Thermal* et à travers la fonction  $Temp(x)$  (voir tableau 8.1), cette même température provient de la résolution du réseau thermique.

### 9.2.5 Modélisation de la dépendance en température du module de Young

Une autre dépendance en température que nous avons prise en compte dans notre modèle, est la dépendance en température du module de *Young*, exprimée par :

$$E = E_0(1 + CT_E \cdot \Delta T) \quad (9.19)$$

où  $E_0$  est le module de *Young* à la température ambiante et  $CT_E$  est le coefficient de dépendance thermique propre au matériau. Par exemple, pour le silicium (en supposant que ce dernier est isotrope) le coefficient de *Young* en fonction de la température  $T$  peut être modélisé par cette équation [118][119] :

$$E = 163,8 - 0,0128 \cdot T \quad (9.20)$$

Dans l'exemple de modélisation en Verilog-A de la force uni-axiale entre deux nœuds (nœud 0 et nœud 1 de l'élément fini), schématisé par la figure 9.11, la dépendance en température du module de *Young* a été prise en compte (ligne 37). La

température  $T$  calculée à travers la fonction  $Temp(x)$  est la température moyenne entre les deux nœuds (nœud 0 et nœud 1).

### 9.2.6 Modélisation de la déformation dynamique

Bien que la déformation mécanique de la puce soit principalement statique, nous avons fait le choix de modéliser son comportement dynamique afin de rendre notre modèle le plus largement applicable, c'est à dire le plus générique possible.

Afin de décrire le mouvement d'un sommet  $i$  de l'élément fini thermo-mécanique dans une direction  $j$ , nous avons utilisé l'équation 9.12, représentant la seconde loi de Newton, de la façon suivante :

$$F_{dynij} = m_i \cdot \Delta \ddot{l}_{ij} + \lambda \cdot \Delta \dot{l}_{ij} \quad (9.21)$$

où : la masse  $m_i$  correspondant à un huitième de la masse totale de l'élément est assignée à chaque sommet  $i$ ,  $\Delta l_{ij}$  est le déplacement du sommet  $i$  le long de la direction  $j$ ,  $\lambda$  est le coefficient de friction du matériau et  $F_{dynij}$  est la somme des forces uni-axiales (equation 9.7) et des forces de cisaillement (equation 9.16) s'appliquant au même sommet  $i$  selon la direction  $j$ .

Nous avons implémenté en Verilog-A cette équation pour chacun des nœuds de notre modèle et cela dans les trois directions ( $x$ ,  $y$  et  $z$ ). Par exemple, dans la figure 9.11 (ligne 18), nous avons implémenté cette équation au nœud 0 selon l'axe des  $x$ . Nous avons utilisé comme expliqué précédemment la fonction  $Pos(x)$  pour le calcul des déplacements et la fonction  $ddt$  pour le calcul des dérivées temporelles du déplacement. A noter que l'aspect dissipatif des forces de frottement au sein du matériau revient à introduire des amortisseurs, un par arête, dans le modèle dans le modèle de l'élément fini mécanique de la figure 9.9.

\*

\*

\*

En résumé, dans ce chapitre, nous avons décrit comment nous avons modélisé les contraintes thermo-mécaniques résultantes de la dilatation du matériau au sein d'un élément fini thermo-mécanique et nous avons montré comment l'ensemble des équations ont été implémentées en Verilog-A. Dans le chapitre suivant, nous allons présenter des résultats de simulations afin de tester la précision de cette description comportementale et de présenter les capacités de notre outil de simulation.

```

1 // Exemple d'équations de déformation d'un seul nœud : nœud 0
2
3 // Ports mécaniques
4 inout [0:2] MC0;
5 kinematic [0:2] MC0;
6 kinematic[0:2] diff0;// Nœud intermédiaire pour le calcul des
7 vitesses
8 parameter real m0 = 1/3*0.29e-12; // la masse dans une
9 direction du sommet du cube
10 parameter real f = 170e-12;//170e-3;// force de frottement
11 parameter real Beta = 2.49e-6;// Coefficient de dilatation
12 parameter real IniTemp = 300;
13 parameter real YoungConst= 169e9 ;
14 parameter real GcisY = 66.0e9 ;// Module de cisaillement
15 suivant Y
16 // nœud0
17
18 // Mouvement du nœud 0 suivant l'axe x
19
20 Pos(diff0[0]) <+ ddt(Pos(MC0[0]));
21 Pos(acc0[0]) <+ ddt(Pos(diff0[0]));
22 F(MC0[0]) <+ m0*Pos(acc0[0])+f*Pos(diff0[0]);
23
24 // Force de cisaillement selon x conduisant à une
25 déformation du plan (yz) calculée à partir du déplacement
26 relatif des nœuds 0 et 7
27
28 F(MC0[0],MC7[0])<+ GcisY*Y*1.0e-6*(Pos(MC0[0]) -
29 Pos(MC7[0]));
30
31 // Force uni-axiale due à la dilatation thermique selon x
32 calculée entre les nœuds 0 et 1
33
34
35 F(MC0[0],MC1[0]) <+ (Pos(MC0[0]) - Pos(MC1[0]) +
36 Beta*X*1.0e-6*((Temp(c0)+Temp(c1))*0.5 -
37 IniTemp))* (YoungConst -
38 (YoungTemp*(Temp(c0)+Temp(c1))*0.5))*X*1.0e-6;
39

```

Equivalent à  $\frac{\Delta L}{L} \times S$

Calcul de la variation de la température par rapport à la température moyenne

Dépendance en température du module de Young

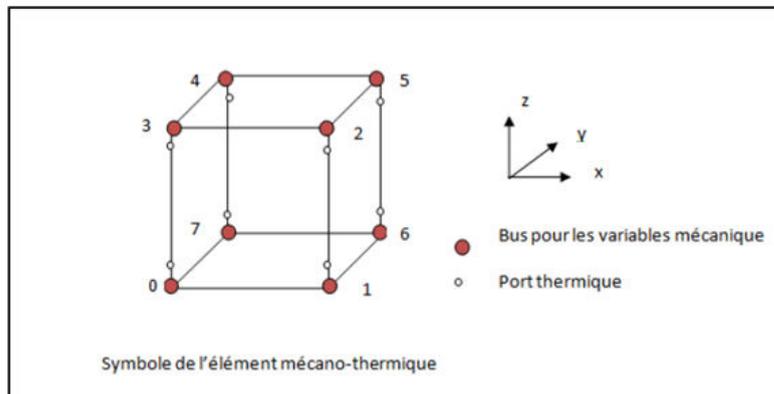


FIGURE 9.11 – Exemple d'équations de la modélisation des déformations mécaniques d'un seul nœud en Verilog-A. L'élément possède huit nœuds numérotés de 0 à 7

# Chapitre 10

## Les résultats des simulations électro-thermo-mécaniques

Après avoir modélisé l'élément fini thermo-mécanique, nous avons adapté le script SKILL<sup>®</sup> initial (c'est à dire le script utilisé pour générer le réseau thermique) pour automatiser la génération du réseau électro-thermo-mécanique complet et le traçage des cartes de déplacements. Le réseau généré est schématisé dans le chapitre précédent par la figure 9.1.

Les simulations sont effectuées à l'aide du simulateur Spectre<sup>®</sup>. Il est important de rappeler que les réseaux thermique et mécanique sont reliés au schéma électrique via les ports thermiques des composants électriques "T\_étendu" lors de la formulation nodale de la matrice résolue par le simulateur. Tous les réseaux générés obéissent aux lois de conservation de Kirchhoff (présentées dans la section 8.1) qui stipulent que la somme des courants à un nœud du réseau électrique est nulle; la somme des flux thermiques est nulle à un nœud du réseau thermique et bien sûr la somme des forces est nulle à un nœud du réseau mécanique. Finalement, tout le système électro-thermo-mécanique est directement modélisé comme un système multi-physiques couplé et résolu par une simulation directe.

Dans ce chapitre, nous allons présenter les principaux résultats de simulations que nous avons obtenus à l'aide de notre outil. Nous présenterons en premier lieu le résultat de simulation thermo-mécanique d'un seul cube de silicium afin de valider notre modélisation à travers la comparaison de nos résultats avec ceux d'une simulation similaire sous COMSOL Multiphysics<sup>®</sup>, simulateur FEM multi-physiques de référence. Ensuite, nous détaillerons les résultats de simulation électro-thermo-mécanique d'une petite puce composée de deux matériaux différents. Le circuit simulé dans ce cas contient un composant qui dissipe une puissance électrique élevée et l'ensemble est soumis à des contraintes mécaniques importantes. Nous détaillerons par la suite les résultats de simulation thermo-mécanique d'un CI de taille réaliste composé également d'une couche de  $SiO_2$  et d'une couche de Si avec deux composants de puissance. Nous utiliserons un maillage multi-physiques du réseau thermo-mécanique pour cette simulation.

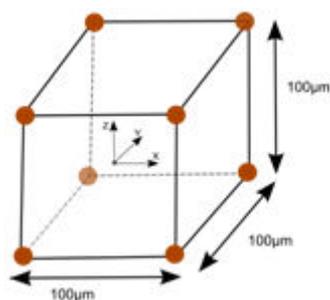


FIGURE 10.1 – Le cube en silicium simulé

## 10.1 Les résultats de simulation thermo-mécaniques d'un cube de silicium

### 10.1.1 La simulation effectuée dans l'environnement de CAO Cadence®

Comme nous l'avons détaillé précédemment dans la section 9.2.6, notre modèle d'élément fini thermo-mécanique prend en compte le comportement dynamique du matériau simulé. Nous avons fait le choix de modéliser la dynamique du comportement mécanique pour rendre notre modèle plus complet et utilisable dans le cas de simulations mécaniques transitoires ou vibratoires. Néanmoins, pour des simulations en statique, il est possible de désactiver le comportement dynamique afin de gagner en temps de simulation. D'autre part, en général, la constante de temps thermique du silicium est beaucoup plus importante que la constante de temps mécanique, si bien que le comportement mécanique est très vite stabilisé par rapport au comportement thermique. Pour cette raison, il est judicieux de désactiver dans notre modèle le comportement dynamique de la mécanique pour accélérer le temps de simulation, c'est ce qui est fait par la suite.

Pour cette première simulation, et afin de valider en un premier lieu notre modèle thermo-mécanique, nous avons réalisé une simulation DC d'un bloc cubique de silicium de dimensions ( $100 \mu\text{m} * 100 \mu\text{m} * 100 \mu\text{m}$ ) comme schématisé par la figure 10.1. Nous avons placé le centre du cube à l'origine du repère  $x=y=z=0$ .

Les valeurs des paramètres thermiques et mécaniques utilisées pour le silicium dans le modèle de l'élément fini thermo-mécanique sont reportées dans le tableau 10.1.

Comme détaillé dans la section 8.1, pour la résolution des équations du réseau de Kirchhoff, il est indispensable d'imposer des conditions aux limites pour chaque réseau simulé (ici le réseau thermique et le réseau mécanique). Dans cette simulation, la face droite du cube (à  $x = 50 \mu\text{m}$ ) a été maintenue à une position fixe. En d'autres termes, nous avons imposé à cette face un déplacement nul (équivalent à une liaison à la masse dans un schéma mécanique). Dans ce cas, quelle que soit la température appliquée, les points de cette face ne bougent pas. Pour les conditions aux limites thermiques, les températures des six faces du cube de silicium ont été fixées à  $T_1=400 \text{ K}$  avec une température de référence de l'ensemble  $T_0 = 300 \text{ K}$ .

Module	Valeur	Unité
Module de Young	$169e^9$	Pa
Module de Poisson	0.28	-
Resistivité thermique	$7e^3$	m.K/W
Coefficient de dilatation thermique	$2.49e^{-6}$	1/K

TABLE 10.1 – Les paramètres thermiques et mécaniques du *Si* utilisés en simulation

Ensuite, la géométrie du cube de silicium a été automatiquement maillée (à l'aide du script en SKILL<sup>®</sup>) en 8000 éléments finis cubiques d'une taille élémentaire de ( $5\mu m * 5\mu m * 5\mu m$ ). En pointant un nœud mécanique du réseau thermo-mécanique, les résultats de simulation (force = flux ou déplacement = effort) peuvent être tracés directement dans l'environnement de test de Cadence<sup>®</sup> : ADEXL, comme les courbes résultant d'une simulation de circuit analogique conventionnelle. Tous les résultats de déplacements peuvent être traités d'une façon automatique grâce à des fonctions SKILL<sup>®</sup> que nous avons développées pour les afficher sous forme de cartes de déplacement tracées suivant une coupe bien définie du volume .

En raison des conditions mécaniques et thermiques appliquées, la température de tout le volume du cube atteint instantanément 400K (comportement mécanique dynamique désactivé) alors que la face droite du cube reste à une position fixe, c'est-à-dire maintenue à la même position initiale qu'à  $T_0 = 300K$ . Il en résulte une déformation de tout le cube sauf de cette face. La déformation obtenue est de plus en plus importante en s'éloignant de cette face fixe (voir l'allure générale du cube déformé dans la figure 10.2).

Les cartes de déplacement obtenues sous Cadence<sup>®</sup> pour le déplacement suivant  $x$  des points de la face définie par  $z=0$ , et pour les déplacements suivant  $y$  des points de la même surface sont reportées respectivement dans les figures 10.3(a) et 10.4 (a). Le déplacement suivant  $x$  est nul à  $x = 50\mu m$ , c'est à dire sur la face fixe, et il devient de plus en plus important en s'approchant de la face opposée : à  $x=0$  (centre du cube), le déplacement est de 15 nm et à  $x = -50\mu m$  il atteint 24,9 nm. Ce déplacement résulte de la dilatation thermique et se propage des zones de contraintes mécaniques les plus élevées vers des zones de contraintes mécaniques les moins élevées. En d'autres termes, il y a plus de déformations sur les faces du cube qui ne sont pas fixées, mais ces faces sont les moins contraintes mécaniquement. Les déplacements suivant  $y$  (figure 10.4) sont symétriques par rapport au plan  $x=0$ . En effet, toujours à cause de la dilatation thermique, les déplacements selon  $y$  sont nuls au centre ( $x=0$ ) et très élevés sur les coins du cube de coordonnées  $(-50\mu m, 50\mu m, 0)$  et  $(-50\mu m, -50\mu m, 0)$ , c'est à dire les points les plus éloignés de la face fixe, où ils atteignent 12,8 nm.

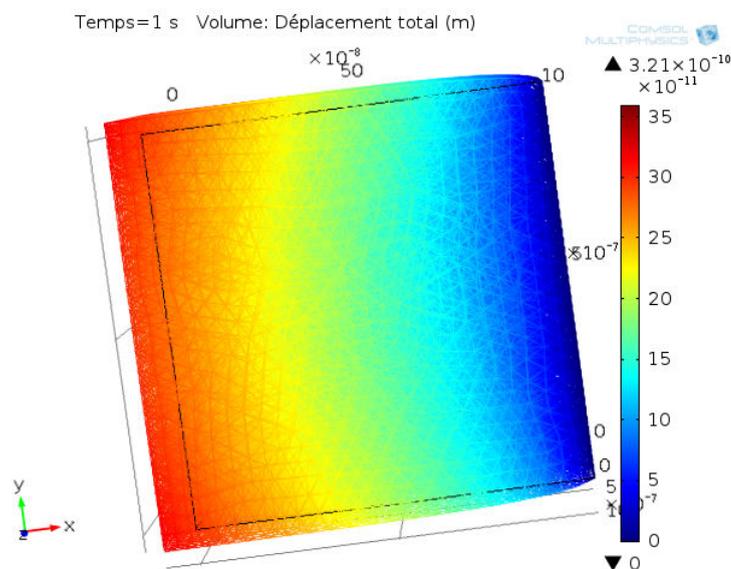


FIGURE 10.2 – Distribution volumique des déplacements au sein du cube en silicium obtenue par COMSOL Multiphysics<sup>®</sup>. Cette distribution de déplacements traduit la déformation globale du cube.

### 10.1.2 Validation des résultats de simulation à l'aide de COMSOL

Nous avons comparé nos résultats de simulation avec ceux obtenus par COMSOL Multiphysics<sup>®</sup>, sur le même cas d'étude. Cet environnement de simulation multiphysiques (nous avons déjà détaillé le principe d'un tel simulateur dans la section 3.3) contient des modules de simulation thermique et mécanique, que l'on peut coupler, ce qui nous ont permis d'effectuer la même simulation que celle réalisée avec notre outil de simulation sous Cadence<sup>®</sup>.

A noter qu'ici, nous ne pouvons faire qu'une simulation thermo-mécanique puisqu'il est impossible de modéliser un schéma électrique sous COMSOL Multiphysics<sup>®</sup>.

Nous avons utilisé le module de "transfert de chaleur" pour définir les conditions des simulations thermiques et le module de "mécanique du solide" avec l'option de la dilatation thermique pour imposer les conditions des simulations thermo-mécaniques. Dans les paramètres de calcul, nous avons imposé un couplage fort entre les deux physiques pour avoir les mêmes conditions de calcul que dans notre cas sous Cadence<sup>®</sup>.

Nous avons utilisé des éléments finis de type "Lagrange linéaire" avec le même nombre d'éléments finis que sous Cadence<sup>®</sup> : 8000 éléments. En plus, nous avons utilisé les mêmes paramètres thermiques et mécaniques pour le matériau afin de reproduire exactement le même cas de simulation. Nous avons supposé que le silicium est isotrope et nous avons utilisé les paramètres reportés dans le tableau 10.1.

Les cartes de déplacements obtenues, suivant l'axe  $x$  et suivant l'axe  $y$ , pour une coupe transversale  $z=0$ , sont reportées respectivement dans les figures 10.3(b) et

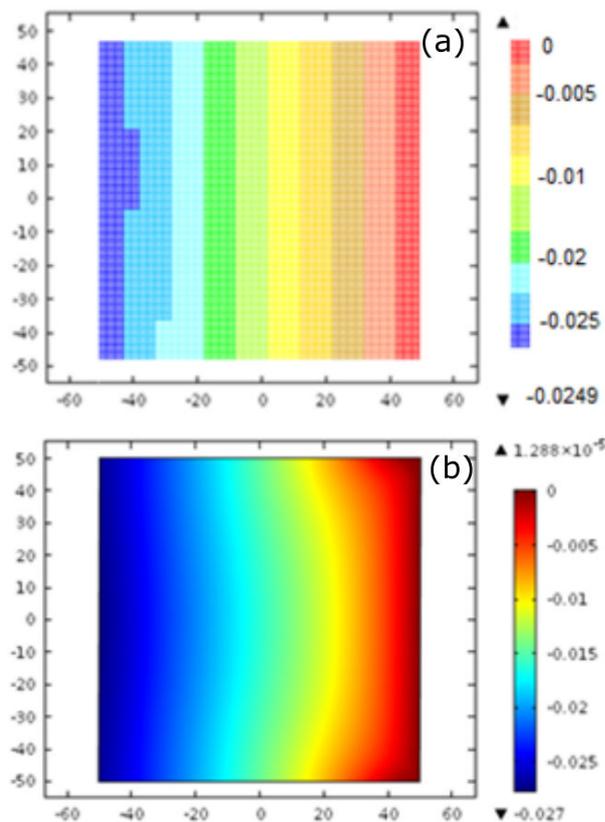


FIGURE 10.3 – La carte des déplacements suivant  $x$  (en micromètre) des points de la surface  $z=0$  pour le cube de Silicium de la figure 10.1. (a) à l'aide de notre outil de simulation (b) à l'aide de COMSOL Multiphysics<sup>®</sup>

10.4(b). Les résultats de déplacement suivant  $z$  sont identiques à ceux du déplacement suivant  $y$ .

Comme attendu, les déplacements les plus significatifs sont les déplacements selon l'axe  $x$  (voir la figure 10.3). Ces déplacements sont de plus en plus importants en s'éloignant de la face fixe où le déplacement est nul. Ils sont égaux à 16 nm pour les points du plan  $x=0$  puis à 27 nm (valeur maximale) aux points du plan  $x = -50 \mu\text{m}$  : c'est à dire pour les points appartenant à la face gauche du cube.

En plus, comme illustré par la figure 10.3 (b), les déplacements suivant  $x$  sont quasi-identiques pour tous les points à  $x = x_0$  donné, avec une légère courbure qui est due aux déplacements un peu plus élevés des deux points de coordonnées  $(-50 \mu\text{m}, 50 \mu\text{m}, 0)$  et  $(-50 \mu\text{m}, -50 \mu\text{m}, 0)$  dans le repère  $(x, y, z)$ . Pour le déplacement suivant  $y$ , (figure 10.4 (b)), les cartes obtenues ont la même allure que celles obtenues sous Cadence<sup>®</sup>. En effet, due à la dilatation thermique, le déplacement est maximal, de 12,8 nm, aux points les plus éloignés des contraintes mécaniques : points de coordonnées  $(-50 \mu\text{m}, 50 \mu\text{m}, 0)$  et  $(-50 \mu\text{m}, -50 \mu\text{m}, 0)$  dans le repère  $(x, y, z)$ .

Déplacements (en nm)	Suivant x	Suivant y
Cadence <sup>®</sup>	24.9	12.3
COMSOL <sup>®</sup>	27.0	12.8
Différence %	7.7	3.9

TABLE 10.2 – Les résultats de simulation obtenus sous Cadence<sup>®</sup> et les résultats de simulation obtenus sous COMSOL Multiphysics<sup>®</sup> pour les points de coordonnées  $(x,y,z)=(-50 \mu\text{m},50 \mu\text{m},0)$  et  $(-50 \mu\text{m},-50 \mu\text{m},0)$  où le déplacement est maximal.

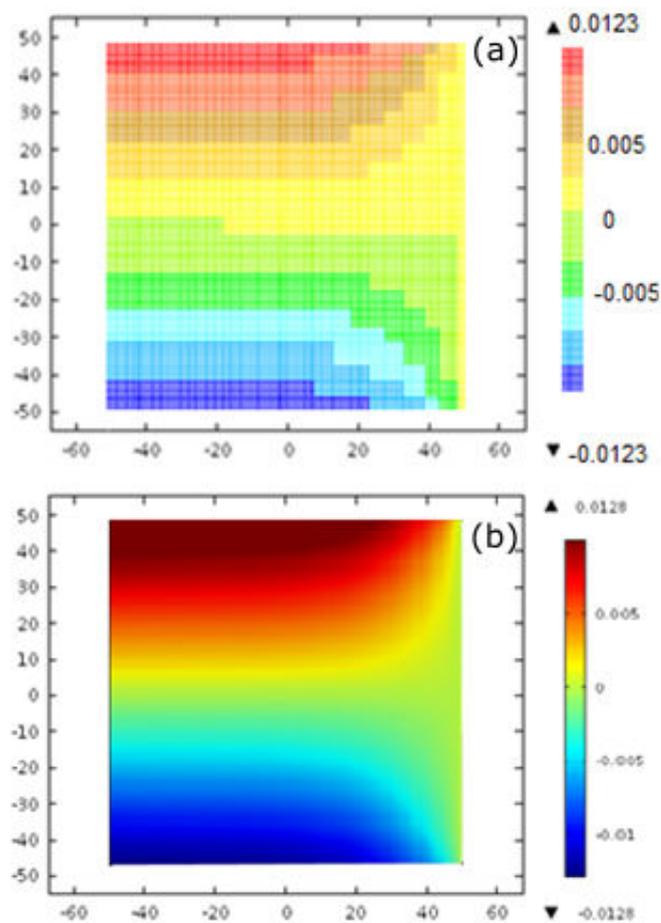


FIGURE 10.4 – La carte des déplacements (en micromètre) suivant  $y$  des points de la surface définie par  $z=0$  pour le cube de silicium de la figure 10.1. (a) à l'aide de notre outil de simulation, (b) à l'aide de COMSOL Multiphysics<sup>®</sup>

Module	Valeur	Unité
Module de Young	$66e^9$	Pa
Module de Poisson	0.20	-
Resistivité thermique	$300e^3$	m.K/W
Coefficient de dilatation thermique	$0.57e^{-6}$	1/K

TABLE 10.3 – Les paramètres du  $SiO_2$  utilisés en simulation

**Discussion** Les écarts entre les valeurs de déplacements (reportées dans le tableau 10.2) et entre les allures des cartes de déplacement obtenues sous Cadence<sup>®</sup> et avec COMSOL<sup>®</sup> (en particulier pour les déplacements suivant  $x$ , figure 10.3) s'expliquent par le fait que notre d'élément fini peut être assimilé à un élément fini linéaire bien qu'il ne soit pas équivalent à l'élément linéaire de Lagrange utilisé par COMSOL<sup>®</sup>. Pour implémenter notre modèle, nous sommes partis d'un modèle masse-ressort-amortisseur (figure 9.9) aisément décrit en Verilog-A, et nous avons extrait les équations de déformation de façon intuitive, en référence à la physique de la mécanique. Cette façon de procéder correspond à l'approche que nous avons qualifiée de directe pour l'implémentation des fonctions élémentaires des éléments finis (section 3.2.1, Étape 3 : L'extraction des fonctions élémentaires.) Sous COMSOL<sup>®</sup>, le modèle utilisé est un modèle basé sur les éléments finis de type "Lagrange linéaire" et a été établi par une méthode variationnelle (c.f 3.2.1)

Toutefois, comme indiqué dans le tableau 10.2, l'écart maximum entre les résultats de Cadence<sup>®</sup> et ceux de COMSOL<sup>®</sup> est obtenu pour les points de coordonnées  $(x,y,z) = (-50 \mu\text{m}, 50 \mu\text{m}, 0)$  et  $(-50 \mu\text{m}, -50 \mu\text{m}, 0)$  et n'est que de 3.9% selon  $y$  et de 7.7% selon  $x$ . Cette différence reste donc limitée. A noter qu'il est en réalité possible d'interpréter une modélisation de type "Lagrange linéaire" construite par une méthode variationnelle comme un ensemble de flux (forces) entrant et sortant par des terminaux mécaniques...Néanmoins, cette approche sort du cadre de cette thèse. Bien qu'il soit donc possible d'améliorer la modélisation thermo-mécanique, ces résultats de simulation électro-thermo-mécaniques fournissent une première validation de notre outil de simulation électro-thermo-mécanique.

## 10.2 Résultats de simulations électro-thermo-mécaniques

### 10.2.1 Cas d'un maillage régulier

Dans cette partie, nous allons présenter les résultats des simulations électro-thermo-mécaniques d'une puce composée d'une couche de  $Si$  de dimensions  $(100 \mu\text{m} * 100 \mu\text{m} * 40 \mu\text{m})$ , au dessus de laquelle est empilée une couche de  $SiO_2$  de dimensions  $(100 \mu\text{m} * 100 \mu\text{m} * 10 \mu\text{m})$ , comme illustré par la figure 10.6. A l'interface  $Si/SiO_2$ , un composant dissipant une puissance DC électrique importante, au regard

de la taille du circuit, 600mW, a été placé dans un coin de la puce de coordonnées  $(50 \mu m * 50 \mu m * 40 \mu m)$ . La taille de ce composant a été fixée à  $(50 \mu m * 50 \mu m)$  avec une épaisseur négligeable. Il occupe donc un quart de la surface de la puce.

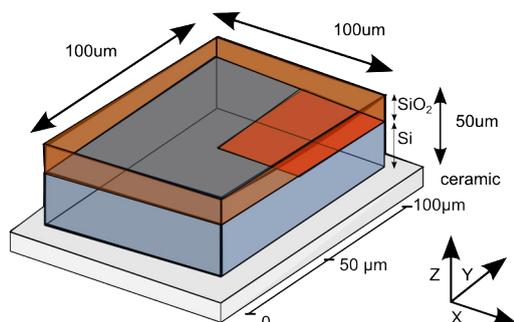


FIGURE 10.5 – Composition et taille de la puce simulée

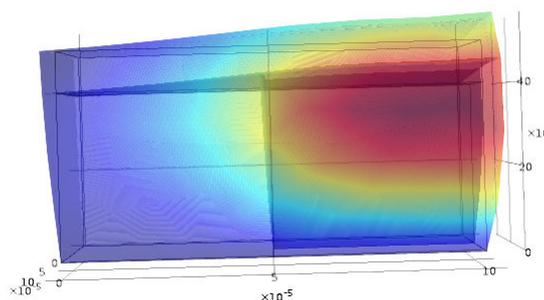


FIGURE 10.6 – Allure de la déformation et champ de déplacements simulés sous COMSOL®

Dans cette simulation, la puce est fixée sur une couche de céramique modélisant le boîtier du circuit qui est supposé fixe. En d'autres termes, il n'y a pas de déplacement sur la face de arrière du circuit. D'autre part, cette même face est maintenue à une température de 300K (conditions aux limites thermiques). Nous avons considéré toutes les autres faces comme adiabatiques, c'est à dire, pendant la simulation aucun transfert thermique n'intervient entre la puce et le milieu extérieur. La seule source de chaleur considérée dans ce cas est le composant de puissance (dissipation de 600mW). Les paramètres thermiques et mécaniques utilisés pour le silicium sont reportés dans le tableau 10.1 et ceux du  $SiO_2$  sont reportés dans le tableau 10.3. L'ensemble du circuit a été automatiquement maillé (à l'aide du script en SKILL®). Étant donné que le composant de puissance occupe le quart de la surface de la puce, nous avons employé un maillage plus fin que celui utilisé dans la simulation précédente. La taille minimale de l'élément cubique est de  $(5 \mu m * 5 \mu m * 5 \mu m)$  faisant ainsi un ensemble de 4000 éléments finis pour toute la structure.

La carte thermique de l'interface  $Si - SiO_2$  obtenue à l'aide notre outil de simulation est reportée sur la figure 10.7. La température maximale est localisée dans la région où le composant de puissance a été placé. Elle atteint 345K dans cette région alors qu'elle est maintenue à 300K sur la face arrière du composant.

Les variations de température, comme nous l'avons déjà déjà modélisé, ont pour conséquences des déformations mécaniques. Les déformations qui ont lieu résultent principalement de la dilatation thermique des matériaux et de la différence entre les coefficients de dilatation des matériaux utilisés.

Ce même circuit a été aussi simulé sous COMSOL Multiphysics® et l'allure globale de la puce déformée est reportée par la figure 10.6.

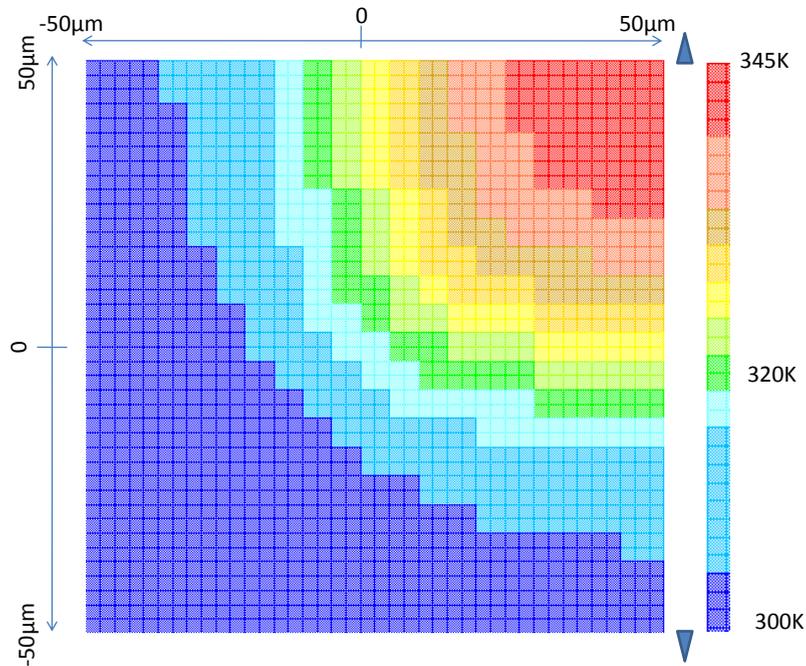
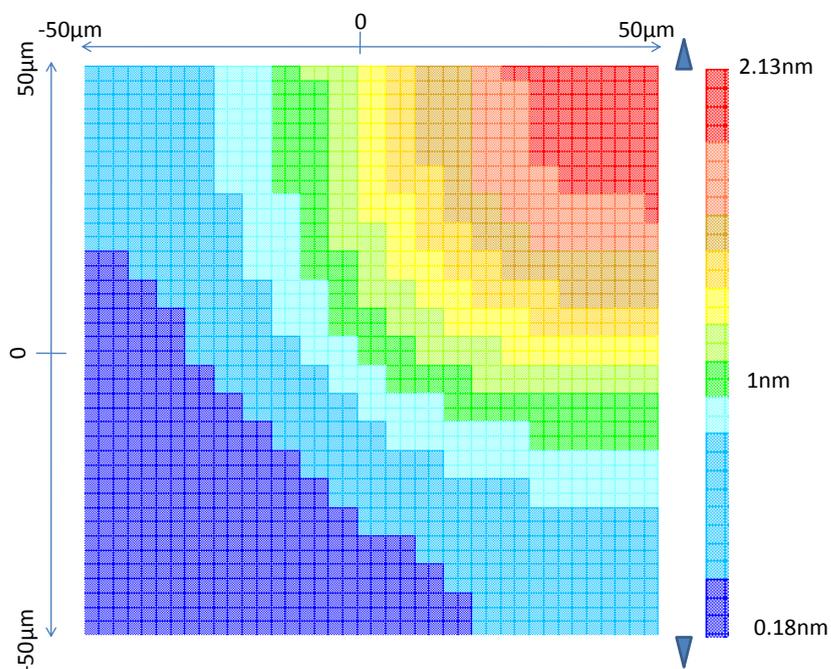
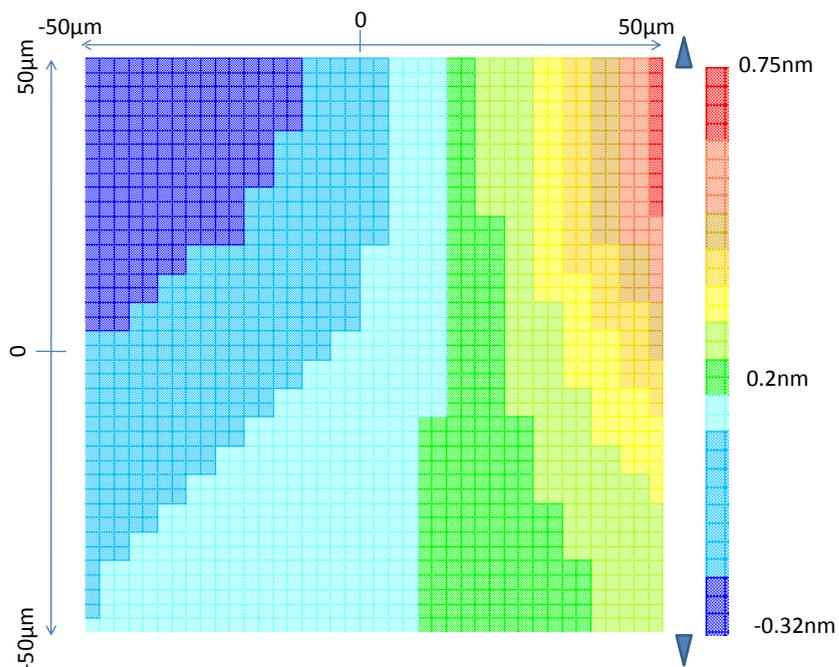


FIGURE 10.7 – La carte thermique du circuit simulé à l'interface  $Si/SiO_2$  selon le plan de coupe  $z=40\mu m$

Nous avons également tracé les cartes de déplacement à l'interface  $Si - SiO_2$ . Ces cartes sont reportées dans les figures 10.8 et 10.9. Comme prévu, le déplacement maximal a lieu selon l'axe des  $z$  à l'interface  $Si - SiO_2$ , dans la région de droite où est localisé le composant de puissance. Ce déplacement est de 2.13 nm alors que le minimum de déplacement suivant  $z$  est obtenu dans la région gauche diamétralement opposée à celle du composant de puissance. Ce déplacement minimal est de 0.18 nm.

La figure 10.9 montre le déplacement suivant  $x$  des points de l'interface  $Si - SiO_2$ . Ce déplacement est maximal, de 0.75 nm, au point de coordonnées  $(50\ \mu m, 50\ \mu m, 40\ \mu m)$  : c'est à dire au bord de la puce où le composant de puissance a été placé. Le déplacement selon  $y$  est identique au déplacement suivant  $x$  à cause de la symétrie de la structure suivant les axes  $x$  et  $y$ . Ces déplacements sont moins importants que le déplacement suivant  $z$  (figure 10.8). Ceci provient du fait que le coefficient de dilatation du  $SiO_2$  est plus faible que celui du Si. Ainsi, à l'interface  $Si - SiO_2$ , les déplacements horizontaux, i.e selon  $x$  ou  $y$ , sont imposés par le matériau qui se dilate le moins, c'est à dire par le  $SiO_2$ . En revanche, selon  $z$ , les déplacements proviennent de la dilatation de la couche du silicium. Ils sont donc plus élevés que selon  $x$  et  $y$ .

FIGURE 10.8 – La carte des déformations suivant  $z$  à l'interface  $Si-SiO_2$  ( $z = 40\mu m$ )FIGURE 10.9 – La carte des déformations suivant  $x$  à l'interface  $Si-SiO_2$  ( $z = 40\mu m$ )

### 10.2.2 Cas d'un maillage multi-résolution

Nous avons effectué la simulation électro-thermo-mécanique d'un circuit de taille plus réaliste que celle des exemples précédents, composé d'une couche de Si de dimensions (2.4mm\*2.4mm\*0.740mm) sur laquelle est empilée une couche de  $SiO_2$  de dimensions (2.4mm\*2.4mm\*10 $\mu m$ ). La couche de silicium comporte deux composants de puissance dissipant une puissance électrique importante : le premier composant de dimensions (22  $\mu m$ \* 750 $\mu m$ ), dissipant une puissance électrique de 2W est placé à droite (figure en Annexe-C) et le deuxième composant de largeur plus importante (300 $\mu m$ \* 600 $\mu m$ ) est placé à gauche du circuit. Ce composant, dissipe une puissance électrique moins importante, de 1W (figure en Annexe-C). Les paramètres thermiques et mécaniques utilisés restent les mêmes (tableaux 10.1 et 10.3).

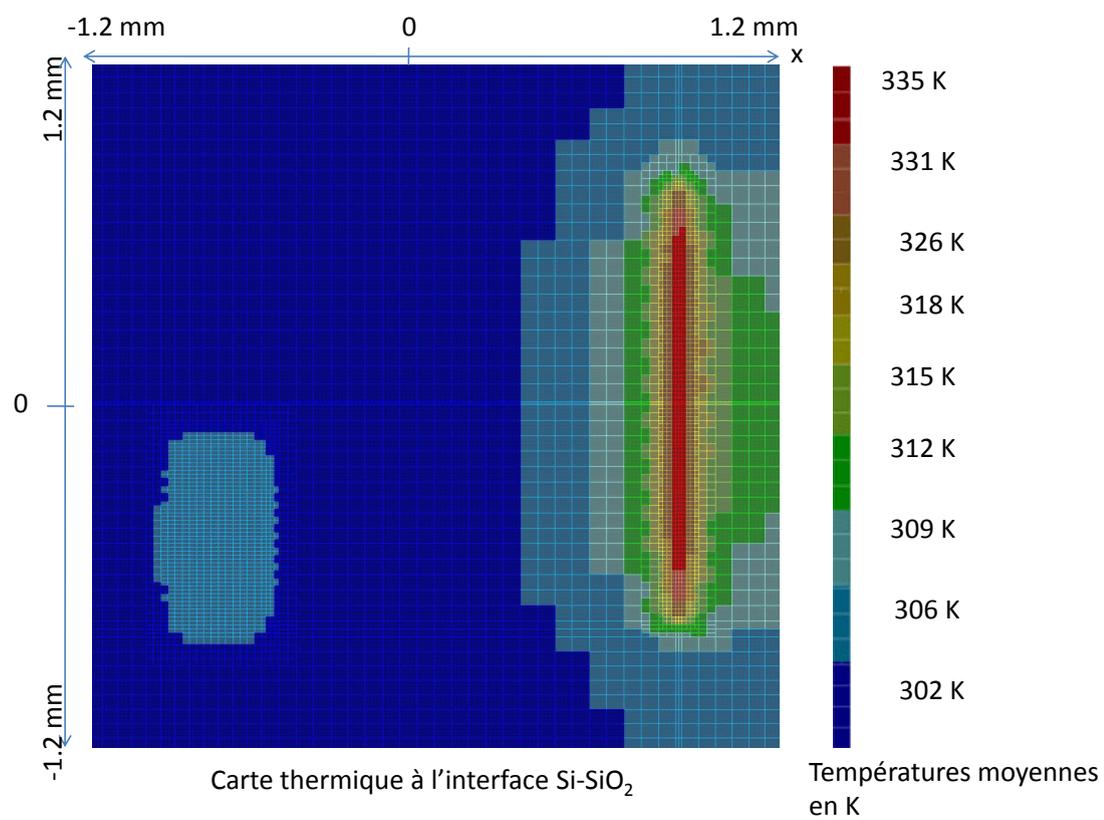
**Génération du réseaux multi-physiques et fixation des conditions aux limites** Les deux régions où les composants de puissance sont placés sont considérées comme des zones d'influence car leurs puissances électriques sont supérieures à 1% de la puissance totale du circuit (voir procédure du maillage dans la section 9.2.1).

Le maillage effectué pour cette simulation est un maillage multi-résolutions selon la procédure de maillage expliquée précédemment dans la section 9.2.1. Au départ, un maillage grossier est appliqué sur le volume du circuit, la taille des mailles étant fixées à (60 $\mu m$ \*60 $\mu m$ \*60 $\mu m$ ). Par la suite, lors de la deuxième passe, un maillage plus fin est appliqué dans les zones d'influences, de dimensions calculées selon les équations 9.1 et 9.2. La taille des mailles lors de cette passe est divisée par deux dans ces zones. Lors de la troisième passe, la taille des mailles dans les nouvelles zones d'influences est encore divisée par deux. La taille minimale des mailles est en fait atteinte durant cette passe. Finalement, le réseau thermo-mécanique, généré à partir du script en SKILL<sup>®</sup> dans l'environnement Cadence<sup>®</sup> comporte en total 22000 éléments finis thermo-mécaniques.

Concernant les conditions aux limites du réseau thermique, la température de la face inférieure de la puce a été maintenue à 300K. De la même façon, les conditions aux limites du réseau mécanique ont été fixées à travers le maintien de la face inférieure à une position initiale fixe ( $\Delta l = 0$ ).

**Comportement thermique du circuit** La carte thermique du circuit, selon une coupe transversale à l'interface  $Si - SiO_2$  ( $z = 740\mu m$ ) est reportée dans la figure 10.10. Elle montre une variation de température considérable avec une valeur maximale et égale à 335K dans la région où le composant qui dissipe une puissance de 2W a été placé. La température se stabilise à environ 300K au centre de la carte. D'autre part, l'augmentation de la température dans la région du composant dissipant une puissance de 1W est proche de 309K.

**Comportement mécanique du circuit** Le comportement mécanique du circuit a été simulé et le résultat est présenté à travers les cartes de déplacement tracées pour les points de la coupe transversale à l'interface  $Si - SiO_2$ .

FIGURE 10.10 – Carte thermique du circuit à l'interface  $Si - SiO_2$

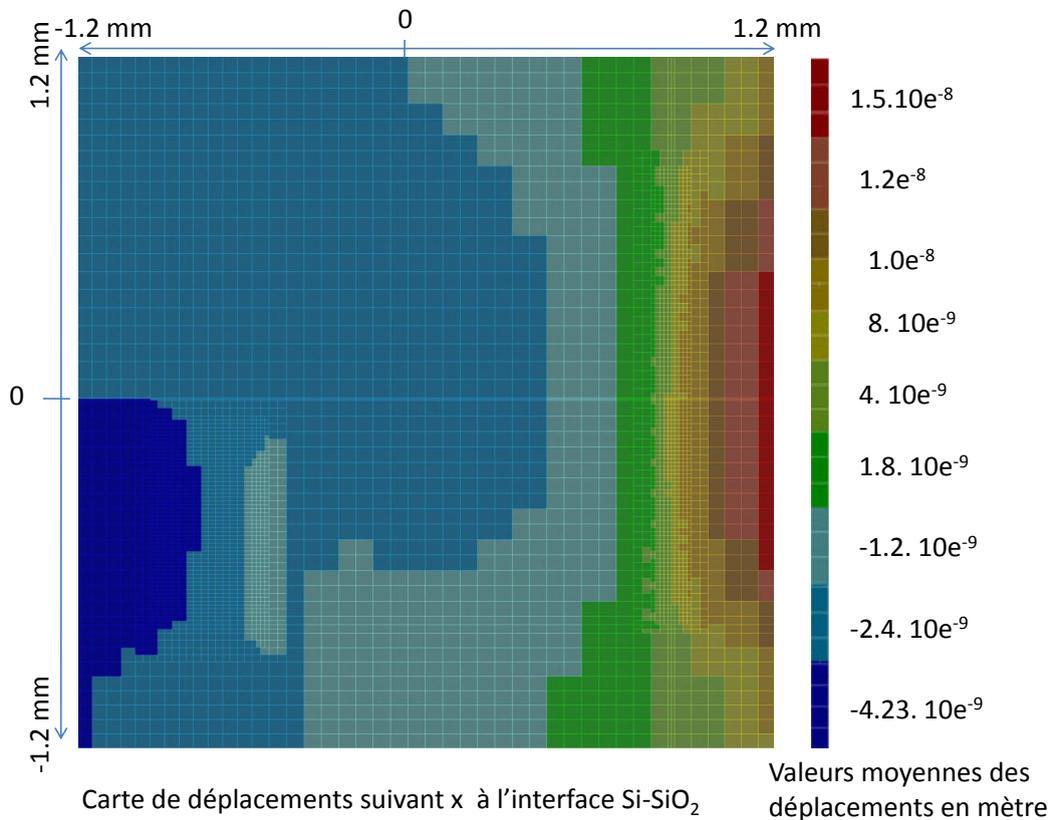


FIGURE 10.11 – Carte de déplacements suivant x du circuit à l'interface  $Si - SiO_2$

Le déplacement suivant x de tous les points de l'interface  $Si - SiO_2$  est reporté dans la carte 10.11. C'est selon cette direction que les déplacements horizontaux maximum ont lieu, dans le sens positif  $x > 0$ . Ces déplacements sont de 15nm au bord du circuit près de la source de chaleur. De par la symétrie du circuit, ils ont la même valeur pour les points de coordonnées respectives  $(1.2mm * 1.2mm * 0.740\mu m)$  et  $(1.2mm * -1.2mm * 0.740\mu m)$ . Dans le sens négatif ( $x < 0$ ), le déplacement se propage lorsque l'on s'éloigne vers la gauche. Sa valeur atteint -1.2nm sauf dans la région où le deuxième composant de puissance a été placé. En effet, à cause du gradient de température résultant de ce composant, des déplacements supplémentaires ont lieu vers les bords de ce dernier. Comme résultat ; aux bords de ce composant : dans le sens positif ( $x > 0$ ) le déplacement total s'atténue de -2.4nm à -1.2nm car sa valeur représente la somme d'un déplacement dans le sens  $x < 0$  résultant de l'augmentation de la température du premier composant et d'un déplacement dans le sens  $x > 0$  résultant de l'augmentation de température du deuxième composant de puissance. Un déplacement négatif plus important dans le sens de  $x < 0$  au bord du circuit, d'une valeur de -4,23nm, a lieu, car il résulte de la somme des deux déplacements négatifs : du premier et du deuxième composants de puissance.

Le déplacement suivant y de tous les points de l'interface  $Si - SiO_2$  est reporté

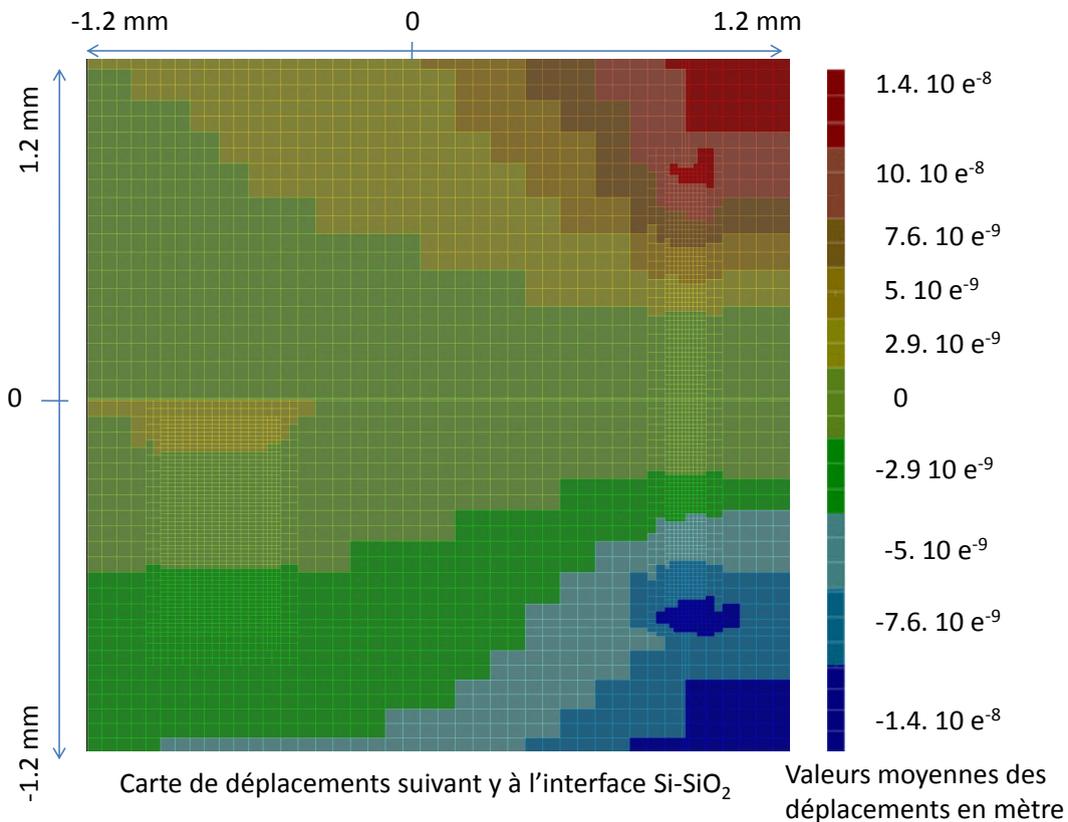
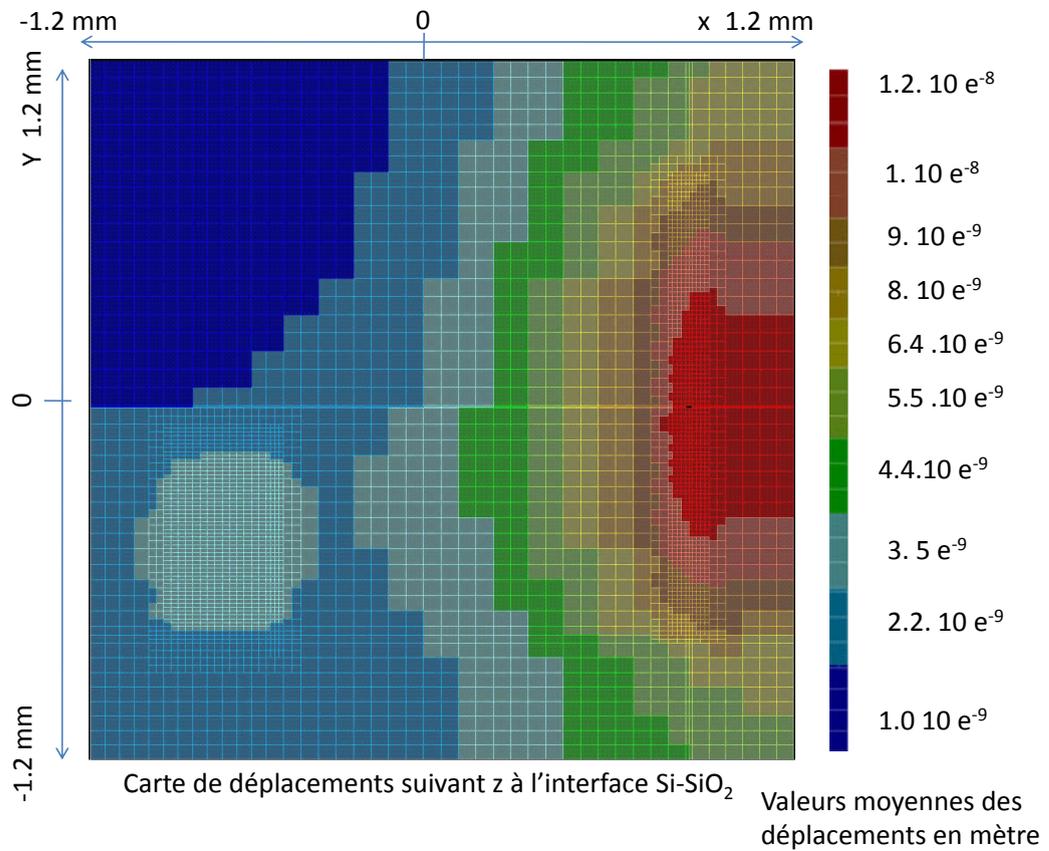


FIGURE 10.12 – Carte de déplacements suivant y du circuit à l'interface  $Si - SiO_2$

dans la carte 10.12. Les déplacements dans le sens  $y > 0$  et  $y < 0$  sont symétriques. Ils ont une valeur maximale absolue de 14nm sur les bords du circuit, pour les points de coordonnées respectives  $(1.2\text{mm} * 1.2\text{mm} * 0.740\mu\text{m})$  et  $(1.2\text{mm} * -1.2\text{mm} * 0.740\mu\text{m})$ . Cela résulte de la distribution symétrique du flux de chaleur en ces régions. Dans la région inférieure à gauche du circuit, où le deuxième composant de puissance est placé, des déplacements supplémentaires ont lieu. Il en résulte des déplacements symétriques non nuls, d'une valeur absolue de 2.9nm dans les régions inférieures et supérieures de ce deuxième composant.

Le déplacement suivant z de tous les points de l'interface  $Si - SiO_2$  est reporté dans la carte 10.13. Les déplacements suivant cette direction sont tous positifs car c'est la face du dessous du circuit qui est maintenue à une position fixe. Comme attendu, la région où est placé le composant dissipant une puissance électrique plus élevée, et dont la température est la plus importante, est la région où il y a le plus de déplacements suivant z. Ces déplacements atteignent 12nm. Les déplacements sont minimums, de 1nm, dans la région où aucun composant de puissance n'existe. Enfin, ils sont de 3.5nm dans la région où le deuxième composant de puissance a été placé.

FIGURE 10.13 – Carte de déplacements suivant z du circuit à l'interface *Si – SiO<sub>2</sub>*

Ces résultats sont en accord avec notre modélisation car ils mettent en évidence le couplage thermo-mécanique (présenté dans la section 9.2.4). Les allures des cartes thermiques et de déplacements obtenues montrent bien le phénomène de dilatation thermique, résultant des puissances électriques élevées et qui est à l'origine des déplacements puis des déformations du circuit.

## Conclusion de la partie 3

Dans cette partie, nous avons détaillé le principe de l'outil de simulation électro-thermo-mécanique que nous avons développé à partir du simulateur initial, purement électro-thermique. Pour ce faire, nous avons commencé par introduire les lois de Kirchhoff généralisées et leur implémentation en Verilog-A pour la construction des réseaux : électrique, thermique et mécanique qui peuvent être résolus à l'aide d'un solveur comme Spectre<sup>®</sup>. La modélisation de l'élément fini thermo-mécanique a été détaillée à partir des équations des déformations jusqu'à la description en Verilog-A des forces et des déplacements au sein d'un élément. Les résultats de simulation qui nous ont permis de valider notre modèle mécano-thermique ont été présentés dans le troisième chapitre de cette partie. Dans ce chapitre, nous avons commencé par une simulation d'un simple cube en silicium soumis à des contraintes mécaniques et à une variation de température importante. Nous avons tracé grâce à notre outil les cartes de déplacements suivant les trois directions de l'espace dans un plan du cube, le plan  $z=0$ . Par la suite, nous avons effectué la simulation du même cas sous COMSOL Multiphysics<sup>®</sup> et nous avons comparé les résultats obtenus. Cette comparaison a permis une première validation de notre modèle thermo-mécanique. Nous avons effectué également la simulation d'un circuit de petite taille composé d'une couche de Si sur laquelle est superposée une couche de  $SiO_2$  et contenant à l'interface un composant dissipant une puissance électrique importante. Les cartes thermiques et de déplacements ont pu être interprétées et correspondent à ce que prédit la théorie. Pour finir, nous avons simulé un dernier circuit, de taille plus réaliste de façon à montrer les potentialités de notre simulateur.

La validation par COMSOL Multiphysics<sup>®</sup> révèle néanmoins un écart entre nos résultats et ceux fournis par COMSOL Multiphysics<sup>®</sup>. En réalité, le modèle de l'élément fini que nous avons implémenté construit directement à partir d'équations physiques et implémenté d'une façon analogue à un circuit électrique. Ce type de modèle peut être défini comme un modèle construit à partir de l'observation, "*by inspection*", de manière intuitive. Nous sommes passés par cette première approche afin de prouver la faisabilité de la modélisation multi-physiques dans un environnement de CAD grâce au langage de description de matériel Verilog-A. La prochaine étape de notre travail est d'améliorer ce modèle afin de le rendre conforme à un élément fini construit de manière plus rigoureuse via une approche variationnelle. Il sera alors, en plus possible d'introduire des maillages plus complexes, par exemple tétraédriques, afin de donner plus de flexibilité au concepteur en lui permettant d'adapter le type de maillage selon la géométrie simulée. D'autre part, nous devons encore améliorer l'interface de présentation des résultats en fournissant les cartes de déplacements de déformations, et surtout les cartes de contraintes qui sont importantes pour le

concepteur pour l'évaluation de la fiabilité.

Afin d'avoir un simulateur plus précis pour le cas des déformations non linéaires, nous envisageons d'implémenter aussi un modèle basé sur des polynômes du second ordre. Nous envisageons aussi de rajouter le type de maillage tétraédrique à notre outil de simulation afin de donner plus de flexibilité au concepteur en lui permettant d'adapter le type de maillage selon la géométrie simulée.

# Conclusion générale et Perspectives



Ce travail de thèse s'inscrit dans le cadre général de la fiabilité des circuits microélectroniques. Le but de ce travail était de développer, à partir d'un outil de simulation purement thermo-mécanique mis au point précédemment au laboratoire, un outil de simulation intégrant les principales physiques à simuler pour assurer une conception plus fiable des circuits intégrés dans un environnement de CAO microélectronique standard, tel que l'environnement Cadence<sup>®</sup>. Nous avons qualifié ce simulateur de multi-physiques car il est capable de simuler les différentes physiques susceptibles d'endommager ou de modifier le bon fonctionnement d'un CI au cours du temps. La particularité de cet outil est qu'il est intégré dans un même environnement de CAO, dédié à la microélectronique, en utilisant un seul solveur, SPECTRE<sup>®</sup> dans notre cas. Il utilise donc l'approche de simulation directe, qualifiée aussi de "couplage fort".

Le travail de thèse a commencé avec une phase d'étude de l'état de l'art, que nous avons présenté dans la première partie de ce manuscrit. Nous avons étudié les différents mécanismes de défaillance et les différents facteurs de défaillance pouvant avoir lieu dans un circuit intégré, en particulier dans les circuits CMOS analogiques. Cette phase nous a conduit à mettre en avant un phénomène de fiabilité majeur des circuits CMOS analogiques. Il s'agit du phénomène des porteurs chauds CHC affectant deux paramètres du transistor très importants en conception analogique : la transconductance  $KP$  et la tension de seuil  $V_{th}$ .

La deuxième partie de ce manuscrit, a été consacrée à la modélisation et à la simulation de ce phénomène en tenant compte des influences électro-thermiques. Nous avons commencé par décrire le modèle analytique de l'électron chanceux permettant de modéliser le phénomène de CHC. Cette modélisation a été intégrée dans un modèle BSIM3v3, qui a été intégré à la bibliothèque de Cadence<sup>®</sup>. Les points importants à retenir et que l'on peut considérer comme innovants sont :

- (i) que cette modélisation prend en compte non seulement la dégradation induite par CHC sur les paramètres  $KP$  et  $V_{th}$  mais aussi le phénomène de recouvrement de la tension de seuil  $V_{th}$  sous des conditions de polarisation particulières.
- (ii) que cette modélisation prend en compte la dépendance en température du phénomène de CHC. Cette dépendance, nous a permis par la suite de coupler le comportement électrique du transistor à son comportement thermique et de vieillissement. L'outil de simulation électro-thermique du laboratoire utilise un réseau thermique couplé à un réseau électrique dans l'environnement Cadence<sup>®</sup>. Le réseau électrique est un réseau "T\_étendu" où les composants qui le constituent possèdent des terminaux thermiques assurant le couplage électrique-thermique dans les deux sens, i.e un couplage fort. Ces modèles "T\_étendu" tiennent maintenant compte des phénomènes des porteurs chauds.

La comparaison de nos résultats de simulation d'un transistor à ceux de mesures trouvés dans la littérature nous a permis de valider notre modèle. Par la suite, en utilisant ce modèle, nous avons réalisé une simulation électro-thermique d'un capteur de vieillissement déjà conçu par notre équipe. Les résultats obtenus ont souligné non seulement la dépendance en température de la dégradation par CHC, mais aussi la sensibilité de la réponse de ce capteur à la température. Ces résultats mettent en évidence l'importance des simulations électro-thermiques avec prise en compte du phénomène de CHC pour le choix de l'emplacement de ce capteur dans le circuit

dont on veut monitorer le vieillissement.

Les circuits électroniques étant non seulement influencés par les phénomènes thermiques mais aussi par les phénomènes mécaniques, la dernière partie de ce manuscrit a été consacrée à la troisième physique à simuler : la mécanique.

Pour ce faire, nous avons commencé par étudier la notion des lois de Kirchhoff généralisées et leur application pour la construction des réseaux : électrique, thermique et mécanique en utilisant le langage de description du matériel Verilog-A. Grâce aux différentes disciplines offertes par ce langage, nous avons pu implémenter les lois de la mécanique du solide et les coupler avec la température. Ces lois se résument à : la loi de Hooke (loi d'élasticité), à la loi de dilatation thermique, et pour être complet, à la loi de la dynamique. Le réseau mécanique généré est un réseau fusionné avec celui de la thermique (i.e utilisant le même maillage) vu que nous utilisons un couplage fort entre ces deux physiques.

Le modèle de l'élément fini thermo-mécanique que nous avons développé a été basé sur une approche physique intuitive, par opposition à une approche variationnelle. Cette dernière est plus précise et tout aussi physique, mais plus complexe à mettre en œuvre et moins intuitive. Notre modélisation a été facilement décrite à l'aide du langage Verilog-A.

Nous avons effectué une première simulation thermo-mécanique d'un cube de silicium afin de valider notre modèle via la comparaison avec les résultats du logiciel de référence COMSOL<sup>®</sup> pour le même cas d'étude. Les résultats obtenus présentent des écarts explicables par la différence des types d'éléments finis utilisés. Néanmoins, ces différences restent acceptables et les allures des cartes de déplacement que nous avons obtenues sont conformes. Ces résultats nous ont permis donc de valider notre modélisation thermo-mécanique.

Par la suite, nous avons réalisé des simulations électro-thermo-mécaniques de circuits composés d'une couche de Si et d'une couche de  $SiO_2$ , comportant des composants dissipant des puissances électriques importantes par rapport à la taille du circuit. Un maillage multi-résolutions du réseau thermo-mécanique a été utilisé. Nous avons tracé les cartes thermiques et des déplacements dans les deux environnements et les résultats obtenus sont conformes à nos attentes et à ce que prédit la théorie.

En résumé, la figure 10.14 présente le simulateur multi-physique complet avec un couplage fort entre les différentes physiques. Bien que le simulateur doit encore être amélioré, nous avons effectué un grand pas. En effet, les réseaux électrique, thermique et mécanique ont été créés et les couplages suivant ont été effectués :

- **Le couplage fort électro-thermique** : la puissance électrique des composants électriques "T\_étendu" est injectée dans le réseau thermique et la température effective calculée par le réseau thermique est transférée à ces mêmes composants.
- **Le couplage thermo-mécanique** : ce couplage a été implémenté dans un seul sens (i.e de la thermique vers la mécanique) principalement à travers la modélisation du phénomène de dilatation au sein de l'élément fini thermo-mécanique. Toutefois, l'intégration du couplage de la mécanique vers la thermique n'a qu'un intérêt très limité. En effet, l'effet des contraintes mécaniques sur le comportement thermique du circuit se fait à travers le coefficient de frot-

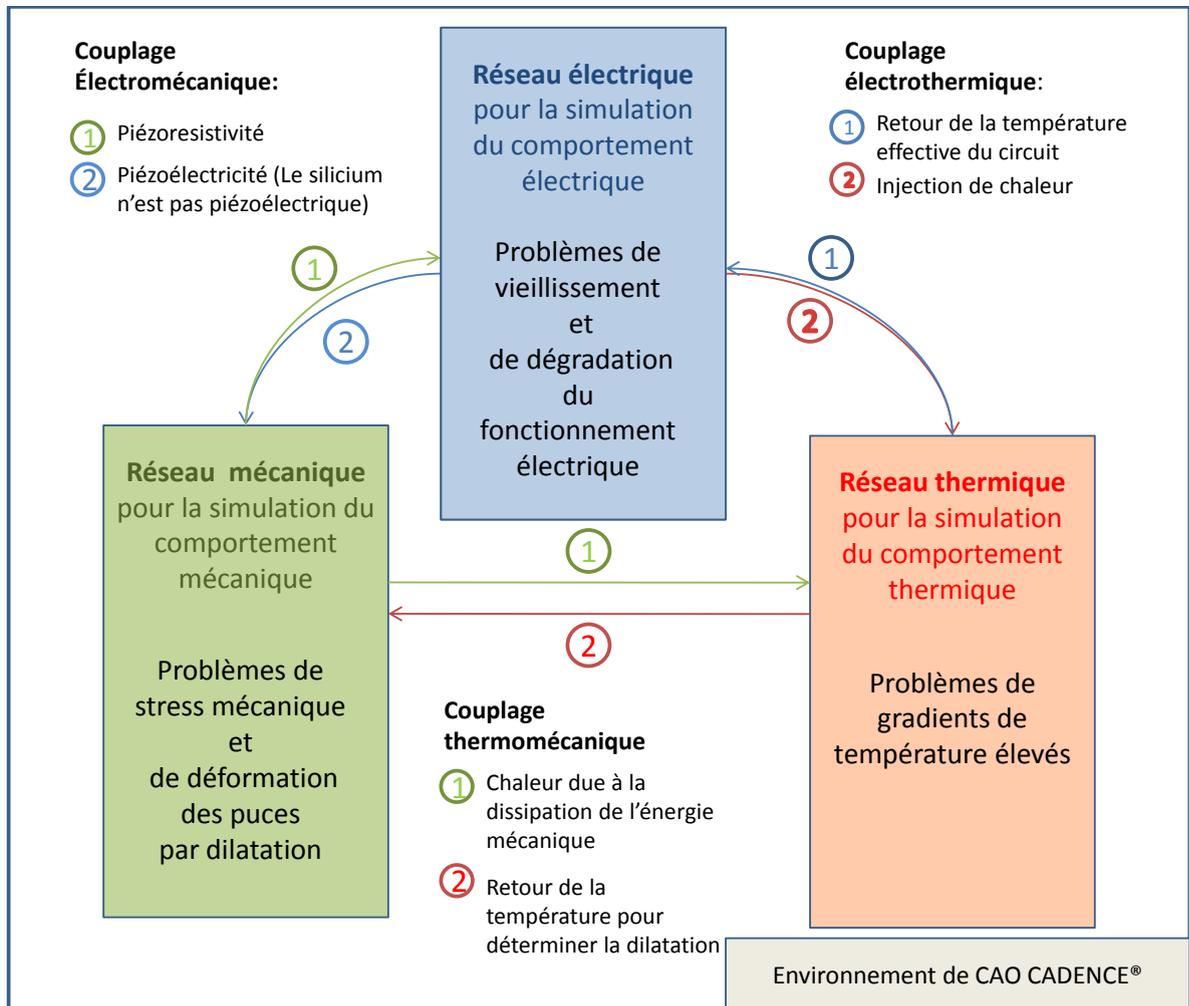


FIGURE 10.14 – Le simulateur multi-physique complètement couplé

tement de la seconde loi de Newton (loi de la dynamique). Nous pourrions donc assez facilement l'introduire puisque nous avons implémenté cette loi dans le réseau mécanique. Toutefois, les échauffements restent très faibles et l'impact des frottements négligeable.

- **Le couplage électro-mécanique** : ce couplage n'a pas été implémenté dans le sens mécanique vers électrique, cela demanderait d'introduire les effets piézorésistifs dans les modèles électriques "*T\_étendu*" qui deviendraient alors "*TM\_étendu*". Cela peut avoir un intérêt car le Silicium est fortement piézo-résistif. Le couplage inverse n'existe pas avec le Silicium car ce dernier n'est pas piézoélectrique.

En perspective de ce travail, il reste donc à établir le couplage mécano-électrique. Pour ce faire, l'impact des contraintes mécaniques sur le comportement électrique des composants doit être intégré à travers la piézoresistivité. Pour cela, il faudra intégrer des interfaces mécaniques-électriques permettant à travers la connaissance des forces (flux) de déterminer le tenseur de contraintes moyen s'appliquant sur le composant. De là, la variation relative de résistivité (ou de mobilité) des porteurs dans le composant pourra être calculée. Via ces variations de mobilité, le modèle électrique du composant tiendra alors naturellement compte des effets mécaniques et deviendra "*TM\_étendu*".

Il serait aussi très intéressant, pour améliorer la précision des simulations thermique et mécanique, d'introduire des éléments finis calculés à partir d'une approche variationnelle. Ceci est tout à fait envisageable et codable en Verilog-A. Enfin, comme dernière perspective, il nous faudra à court terme fournir les cartes de déformation et surtout de contraintes. En effet, ces dernières sont importantes pour vérifier que les contraintes mécaniques restent sous les seuils assurant un fonctionnement fiable du circuit.

# Annexe-A : Publications

## Revue

[1] M.Garci, J.B. Kammerer, L. Hébrard, "Towards electro-thermo-mechanical simulation of integrated circuits in standard CAD environment", Microelectronics Journal, Decembre 2015, disponible en ligne.

## Conférences internationales avec comité de lecture

[1] R. Bonnard , M.Garci, J. Kammerer , W. Uhring, "Electrothermal Analysis of 3D Integrated Ultra-fast Image Sensor With Digital Frame Storage", IEEE 21th International Workshop on Thermal Investigations of ICs and Systems (THERMINIC), THERMINIC 2015, Paris, France, Oct 2015.

[2] M.Garci, J.B. Kammerer, L. Hébrard,"Towards Multiphysics Simulations of Integrated Circuits", 21st IEEE International Conference on Electronics, Circuits and Systems, ICECS 2014, Marseille, France, December 7-10, 2014.

[3] M.Garci, J.B. Kammerer, L. Hébrard,"Towards electro-thermo-mechanical simulation of integrated circuits in standard CAD environment", IEEE 20th International Workshop on Thermal Investigations of ICs and Systems (THERMINIC), THERMINIC 2014, London, UK, 24-26 Sept. 2014.

[4] M.Garci, J.B. Kammerer, L. Hébrard,"Compact Modeling and Electro-Thermal Simulation of Hot Carriers Effect in Analog Circuits",IEEE 12th International New Circuits and Systems Conference, NEWCAS 2014, Montreal, Canada, June 2014

[5] M.Garci, J.B. Kammerer, L. Hébrard, "Lifetime of CMOS circuits evaluation by means of electro-thermal simulations", IEEE 20th International Workshop on Thermal Investigations of ICs and Systems (THERMINIC), THERMINIC 2013, Berlin, Germany, 25-27 Sept. 2013

## Conférences Nationales avec comité de lecture

[1] M.Garci, J.B. Kammerer, L. Hébrard,"Vers la simulation électro-thermo-mécanique des circuits intégrés mixtes dans un environnement de CAO Standard", 18èmes

Journées Nationales du Réseau Doctoral de Microélectronique, mai 2015, Bordeaux, France.

[2] M.Garci, J.B. Kammerer, L. Hébrard, "Modélisation compacte et simulation électrothermique de l'effet des porteurs chauds dans les transistors MOS", 17èmes Journées Nationales du Réseau Doctoral de Microélectronique, mai 2014, Lille, France.

[3] M.Garci, J.B Kammerer and L. Hebrard, "Modélisation compacte électrothermique de transistor MOS avec prise en compte du phénomène de dégradation par porteurs chauds", 16èmes Journées Nationales du Réseau Doctoral de Microélectronique, mai 2013, Grenoble, France.

## Communications sans comité de lecture

[1] M.Garci, J.B. Kammerer, L. Hébrard, "Simulation électrothermique des circuits intégrés CMOS soumis au phénomène des porteurs chauds", Colloque national GDR SOC-SIP 2014, Paris, France

# Annexe-B : Code Verilog-A de l'élément fini thermo-mécanique



```

// VerilogA for ThermLib, mecanoThermalCube, veriloga

`include "constants.vams"
`include "disciplines.vams"

module mecanoThermalCubeKconstfNul(c0, c1, c2, c3, c4, c5, c6, c7, MC0,
MC1, MC2, MC3, MC4, MC5, MC6, MC7);

// Ports thermiques

inout c0;
thermal c0;
inout c1;
thermal c1;
inout c2;
thermal c2;
inout c3;
thermal c3;
inout c4;
thermal c4;
inout c5;
thermal c5;
inout c6;
thermal c6;
inout c7;
thermal c7;

// Ports mécaniques

inout [0:2] MC0;
kinematic [0:2] MC0;
inout [0:2] MC1;
kinematic [0:2] MC1;
inout [0:2] MC2;
kinematic [0:2] MC2;
inout [0:2] MC3;
kinematic [0:2] MC3;
inout [0:2] MC4;
kinematic [0:2] MC4;
inout [0:2] MC5;
kinematic [0:2] MC5;
inout [0:2] MC6;
kinematic [0:2] MC6;
inout [0:2] MC7;
kinematic[0:2] MC7;

// Noeuds internes pour le calcul des derivees

kinematic[0:2] diff0;// Noeuds intermediaires pour le calcul des vitesses
kinematic[0:2] diff1;
kinematic[0:2] diff2;
kinematic[0:2] diff3;
kinematic[0:2] diff4;
kinematic[0:2] diff5;
kinematic[0:2] diff6;
kinematic[0:2] diff7;

```

```

kinematic[0:2] acc0;// Noeuds intermediares pour le calcul des
accelerations
kinematic[0:2] acc1;
kinematic[0:2] acc2;
kinematic[0:2] acc3;
kinematic[0:2] acc4;
kinematic[0:2] acc5;
kinematic[0:2] acc6;
kinematic[0:2] acc7;

// Paramètres thermiques

//parameter real X = 1;           // width
//parameter real Y = 1;           // length
//parameter real Z = 1;           // thickness
//parameter real C0 = -1;         // thermal capacitance of the material
J.K-1.um-3
//parameter real R0 = 1;

parameter real R0 = 6.0e3 ;
parameter real C0 = -1.8e-12 ;// thermal capacitance of the material J.K-
1.um-3
parameter real Z = 40 ;//thickness ( en um : Maroua)
parameter real Y = 25 ;//length
parameter real X = 25 ;//width

parameter real m0 = 1/3*0.29e-12;
parameter real m1 = 1/3*0.29e-12;
parameter real m2 = 1/3*0.29e-12;
parameter real m3 = 1/3*0.29e-12;
parameter real m4 = 1/3*0.29e-12;
parameter real m5 = 1/3*0.29e-12;
parameter real m6 = 1/3*0.29e-12;
parameter real m7 = 1/3*0.29e-12;
parameter real f = 170e-12;//170e-3;// force de frottement
parameter real Beta = 2.49e-6;
parameter real IniTemp = 300;
parameter real YoungTemp= 0;//Module de Young: constante dependante de la
temperature// Nulle dans ce cas
parameter real YoungConst= 169e9;// Module de Young: constante
independante de la temperature
parameter real GcisX = 66.0e9      ;// Module de cisaillement suivant X
parameter real GcisY = 66.0e9      ;// Module de cisaillement suivant Y
parameter real GcisZ = 66.0e9      ;// Module de cisaillement suivant Z

real Rx;
real Ry;
real Rz;
real Cap;
real G;
real last;

// début du programme

```

```
analog begin
```

```
    @(initial_step) begin
```

```
// Initialisation des resistances et de la capacité suivant la géométrie
```

```
Rx = 4*R0*X/(Y*Z);  
Ry = 4*R0*Y/(X*Z);  
Rz = 4*R0*Z/(Y*X);  
Cap = X*Y*Z*C0/8;  
end
```

```
if((analysis("tran") || analysis("ac"))&&(C0>0))  
begin
```

```
    // Calcul des puissances thermiques en chacun des noeuds  
    Pwr(c0) <+ Cap*ddt(Temp(c0));  
    Pwr(c1) <+ Cap*ddt(Temp(c1));  
    Pwr(c2) <+ Cap*ddt(Temp(c2));  
    Pwr(c3) <+ Cap*ddt(Temp(c3));  
    Pwr(c4) <+ Cap*ddt(Temp(c4));  
    Pwr(c5) <+ Cap*ddt(Temp(c5));  
    Pwr(c6) <+ Cap*ddt(Temp(c6));  
    Pwr(c7) <+ Cap*ddt(Temp(c7));  
end
```

```
// Equations d equilibre
```

```
// noeud0
```

```
// Deplacement suivant X
```

```
Pos(diff0[0]) <+ ddt(Pos(MC0[0]));  
Pos(acc0[0]) <+ ddt(Pos(diff0[0]));  
F(MC0[0]) <+ m0*Pos(acc0[0])+f*Pos(diff0[0]);
```

```
// Deplacement suivant Y
```

```
Pos(diff0[1]) <+ ddt(Pos(MC0[1]));  
Pos(acc0[1]) <+ ddt(Pos(diff0[1]));  
F(MC0[1]) <+ m0*Pos(acc0[1])+f*Pos(diff0[1]);
```

```
// Deplacement suivant Z
```

```
Pos(diff0[2]) <+ ddt(Pos(MC0[2]));  
Pos(acc0[2]) <+ ddt(Pos(diff0[2]));  
F(MC0[2]) <+ m0*Pos(acc0[2])+f*Pos(diff0[2]);
```

```
// noeud1
```

```
// Deplacement suivant X
```

```
Pos(diff1[0]) <+ ddt(Pos(MC1[0]));  
Pos(acc1[0]) <+ ddt(Pos(diff1[0]));  
F(MC1[0]) <+ m1*Pos(acc1[0])+f*Pos(diff1[0]);
```

```
// Deplacement suivant Y
```

```
Pos(diff1[1]) <+ ddt(Pos(MC1[1]));  
Pos(acc1[1]) <+ ddt(Pos(diff1[1]));
```

```

F(MC1[1]) <+ m1*Pos(acc1[1])+f*Pos(diff1[1]);

// Deplacement suivant Z
Pos(diff1[2]) <+ ddt(Pos(MC1[2]));
Pos(acc1[2]) <+ ddt(Pos(diff1[2]));
F(MC1[2]) <+ m1*Pos(acc1[2])+f*Pos(diff1[2]);

// noeud2
// Deplacement suivant X

Pos(diff2[0]) <+ ddt(Pos(MC2[0]));
Pos(acc2[0]) <+ ddt(Pos(diff2[0]));
F(MC2[0]) <+ m2*Pos(acc2[0])+f*Pos(diff2[0]);

// Deplacement suivant Y
Pos(diff2[1]) <+ ddt(Pos(MC2[1]));
Pos(acc2[1]) <+ ddt(Pos(diff2[1]));
F(MC2[1]) <+ m2*Pos(acc2[1])+f*Pos(diff2[1]);

// Deplacement suivant Z
Pos(diff2[2]) <+ ddt(Pos(MC2[2]));
Pos(acc2[2]) <+ ddt(Pos(diff2[2]));
F(MC2[2]) <+ m2*Pos(acc2[2])+f*Pos(diff2[2]);

// noeud3
// Deplacement suivant X

Pos(diff3[0]) <+ ddt(Pos(MC3[0]));
Pos(acc3[0]) <+ ddt(Pos(diff3[0]));
F(MC3[0]) <+ m3*Pos(acc3[0])+f*Pos(diff3[0]);

// Deplacement suivant Y
Pos(diff3[1]) <+ ddt(Pos(MC3[1]));
Pos(acc3[1]) <+ ddt(Pos(diff3[1]));
F(MC3[1]) <+ m3*Pos(acc3[1])+f*Pos(diff3[1]);

// Deplacement suivant Z
Pos(diff3[2]) <+ ddt(Pos(MC3[2]));
Pos(acc3[2]) <+ ddt(Pos(diff3[2]));
F(MC3[2]) <+ m3*Pos(acc3[2])+f*Pos(diff3[2]);

// noeud4
// Deplacement suivant X

Pos(diff4[0]) <+ ddt(Pos(MC4[0]));
Pos(acc4[0]) <+ ddt(Pos(diff4[0]));
F(MC4[0]) <+ m4*Pos(acc4[0])+f*Pos(diff4[0]);

// Deplacement suivant Y
Pos(diff4[1]) <+ ddt(Pos(MC4[1]));
Pos(acc4[1]) <+ ddt(Pos(diff4[1]));
F(MC4[1]) <+ m4*Pos(acc4[1])+f*Pos(diff4[1]);

// Deplacement suivant Z
Pos(diff4[2]) <+ ddt(Pos(MC4[2]));
Pos(acc4[2]) <+ ddt(Pos(diff4[2]));

```

```

F(MC4[2]) <+ m4*Pos(acc4[2])+f*Pos(diff4[2]);

// noeud5
// Deplacement suivant X

Pos(diff5[0]) <+ ddt(Pos(MC5[0]));
Pos(acc5[0]) <+ ddt(Pos(diff5[0]));
F(MC5[0]) <+ m5*Pos(acc5[0])+f*Pos(diff5[0]);

// Deplacement suivant Y
Pos(diff5[1]) <+ ddt(Pos(MC5[1]));
Pos(acc5[1]) <+ ddt(Pos(diff5[1]));
F(MC5[1]) <+ m5*Pos(acc5[1])+f*Pos(diff5[1]);

// Deplacement suivant Z
Pos(diff5[2]) <+ ddt(Pos(MC5[2]));
Pos(acc5[2]) <+ ddt(Pos(diff5[2]));
F(MC5[2]) <+ m5*Pos(acc5[2])+f*Pos(diff5[2]);

// noeud6
// Deplacement suivant X

Pos(diff6[0]) <+ ddt(Pos(MC6[0]));
Pos(acc6[0]) <+ ddt(Pos(diff6[0]));
F(MC6[0]) <+ m6*Pos(acc6[0])+f*Pos(diff6[0]);

// Deplacement suivant Y
Pos(diff6[1]) <+ ddt(Pos(MC6[1]));
Pos(acc6[1]) <+ ddt(Pos(diff6[1]));
F(MC6[1]) <+ m6*Pos(acc6[1])+f*Pos(diff6[1]);

// Deplacement suivant Z
Pos(diff6[2]) <+ ddt(Pos(MC6[2]));
Pos(acc6[2]) <+ ddt(Pos(diff6[2]));
F(MC6[2]) <+ m6*Pos(acc6[2])+f*Pos(diff6[2]);

// noeud7
// Deplacement suivant X

Pos(diff7[0]) <+ ddt(Pos(MC7[0]));
Pos(acc7[0]) <+ ddt(Pos(diff7[0]));
F(MC7[0]) <+ m7*Pos(acc7[0])+f*Pos(diff7[0]);

// Deplacement suivant Y
Pos(diff7[1]) <+ ddt(Pos(MC7[1]));
Pos(acc7[1]) <+ ddt(Pos(diff7[1]));
F(MC7[1]) <+ m7*Pos(acc7[1])+f*Pos(diff7[1]);

// Deplacement suivant Z
Pos(diff7[2]) <+ ddt(Pos(MC7[2]));
Pos(acc7[2]) <+ ddt(Pos(diff7[2]));
F(MC7[2]) <+ m7*Pos(acc7[2])+f*Pos(diff7[2]);

// Assignation des puissances thermiques sur les arêtes

Pwr(c0,c1) <+ (Temp(c0) - Temp(c1))/Rx;

```

```

Pwr(c0,c7) <+ (Temp(c0) - Temp(c7))/Ry;
Pwr(c0,c3) <+ (Temp(c0) - Temp(c3))/Rz;

Pwr(c4,c5) <+ (Temp(c4) - Temp(c5))/Rx;
Pwr(c4,c3) <+ (Temp(c4) - Temp(c3))/Ry;
Pwr(c4,c7) <+ (Temp(c4) - Temp(c7))/Rz;

Pwr(c2,c3) <+ (Temp(c2) - Temp(c3))/Rx;
Pwr(c2,c5) <+ (Temp(c2) - Temp(c5))/Ry;
Pwr(c2,c1) <+ (Temp(c2) - Temp(c1))/Rz;

Pwr(c6,c7) <+ (Temp(c6) - Temp(c7))/Rx;
Pwr(c6,c1) <+ (Temp(c6) - Temp(c1))/Ry;
Pwr(c6,c5) <+ (Temp(c6) - Temp(c5))/Rz;

// Calcul du cisaillement

F(MC0[0],MC7[0])<+ GcisY*Y*1.0e-6*(Pos(MC0[0])-Pos(MC7[0]));//
Force de cisaillement du noeud0 suivant X
F(MC0[0],MC3[0])<+ GcisZ*Z*1.0e-6*(Pos(MC0[0])-Pos(MC3[0]));//
Force de cisaillement du noeud0 suivant X
F(MC0[1],MC1[1])<+ GcisX*X*1.0e-6*(Pos(MC0[1])-Pos(MC1[1]));//
Force de cisaillement du noeud0 suivant Y
F(MC0[1],MC3[1])<+ GcisZ*Z*1.0e-6*(Pos(MC0[1])-Pos(MC3[1]));//
Force de cisaillement du noeud0 suivant Y
F(MC0[2],MC1[2])<+ GcisX*X*1.0e-6*(Pos(MC0[2])-Pos(MC1[2]));//
Force de cisaillement du noeud0 suivant Z
F(MC0[2],MC7[2])<+ GcisY*Y*1.0e-6*(Pos(MC0[2])-Pos(MC7[2]));//
Force de cisaillement du noeud0 suivant Z

F(MC2[0],MC5[0])<+ GcisY*Y*1.0e-6*(Pos(MC2[0])-Pos(MC5[0]));//
Force de cisaillement du noeud2 suivant X
F(MC2[0],MC1[0])<+ GcisZ*Z*1.0e-6*(Pos(MC2[0])-Pos(MC1[0]));//
Force de cisaillement du noeud2 suivant X
F(MC2[1],MC3[1])<+ GcisX*X*1.0e-6*(Pos(MC2[1])-Pos(MC3[1]));//
Force de cisaillement du noeud2 suivant Y
F(MC2[1],MC1[1])<+ GcisZ*Z*1.0e-6*(Pos(MC2[1])-Pos(MC1[1]));//
Force de cisaillement du noeud2 suivant Y
F(MC2[2],MC3[2])<+ GcisX*X*1.0e-6*(Pos(MC2[2])-Pos(MC3[2]));//
Force de cisaillement du noeud2 suivant Z
F(MC2[2],MC5[2])<+ GcisY*Y*1.0e-6*(Pos(MC2[2])-Pos(MC5[2]));//
Force de cisaillement du noeud2 suivant Z

F(MC4[0],MC3[0])<+ GcisY*Y*1.0e-6*(Pos(MC4[0])-Pos(MC3[0]));//
Force de cisaillement du noeud4 suivant X
F(MC4[0],MC7[0])<+ GcisZ*Z*1.0e-6*(Pos(MC4[0])-Pos(MC7[0]));//
Force de cisaillement du noeud4 suivant X
F(MC4[1],MC5[1])<+ GcisX*X*1.0e-6*(Pos(MC4[1])-Pos(MC5[1]));//
Force de cisaillement du noeud4 suivant Y
F(MC4[1],MC7[1])<+ GcisZ*Z*1.0e-6*(Pos(MC4[1])-Pos(MC7[1]));//
Force de cisaillement du noeud4 suivant Y
F(MC4[2],MC5[2])<+ GcisX*X*1.0e-6*(Pos(MC4[2])-Pos(MC5[2]));//
Force de cisaillement du noeud4 suivant Z

```

```
F(MC4[2],MC3[2])<+ GcisY*Y*1.0e-6*(Pos(MC4[2])-Pos(MC3[2]));//  
Force de cisaillement du noeud4 suivant Z
```

```
F(MC6[0],MC1[0])<+ GcisY*Y*1.0e-6*(Pos(MC6[0])-Pos(MC1[0]));//  
Force de cisaillement du noeud6 suivant X  
F(MC6[0],MC5[0])<+ GcisZ*Z*1.0e-6*(Pos(MC6[0])-Pos(MC5[0]));//  
Force de cisaillement du noeud6 suivant X  
F(MC6[1],MC7[1])<+ GcisX*X*1.0e-6*(Pos(MC6[1])-Pos(MC7[1]));//  
Force de cisaillement du noeud6 suivant Y  
F(MC6[1],MC5[1])<+ GcisZ*Z*1.0e-6*(Pos(MC6[1])-Pos(MC5[1]));//  
Force de cisaillement du noeud6 suivant Y  
F(MC6[2],MC7[2])<+ GcisX*X*1.0e-6*(Pos(MC6[2])-Pos(MC7[2]));//  
Force de cisaillement du noeud6 suivant Z  
F(MC6[2],MC1[2])<+ GcisY*Y*1.0e-6*(Pos(MC6[2])-Pos(MC1[2]));//  
Force de cisaillement du noeud6 suivant Z
```

//Calcul des forces sur les aretes dans les trois directions: Les nouvelles positions effectives sont les positions dilatees et la dependance en temperature (moyenne sur l'arete dans ce cas) de la raideur du ressort est prise en compte

```
F(MC0[0],MC1[0]) <+ (Pos(MC0[0])- Pos(MC1[0])+ Beta*X*1.0e-  
6*((Temp(c0)+Temp(c1))*0.5-IniTemp))* (YoungConst-  
(YoungTemp*(Temp(c0)+Temp(c1))*0.5))*X*1.0e-6;// il manque * s/l  
F(MC0[1],MC7[1]) <+ (Pos(MC0[1])- Pos(MC7[1])+ Beta*Y*1.0e-  
6*((Temp(c0)+Temp(c7))*0.5-IniTemp))* (YoungConst-  
(YoungTemp*(Temp(c0)+Temp(c7))*0.5))*Y*1.0e-6;  
F(MC0[2],MC3[2]) <+ (Pos(MC0[2])- Pos(MC3[2])+ Beta*Z*1.0e-  
6*((Temp(c0)+Temp(c3))*0.5-IniTemp))* (YoungConst-  
(YoungTemp*(Temp(c0)+Temp(c3))*0.5))*Z*1.0e-6;
```

```
F(MC4[0],MC5[0]) <+ (Pos(MC4[0])- Pos(MC5[0])+ Beta*X*1.0e-  
6*((Temp(c4)+Temp(c5))*0.5-IniTemp))* (YoungConst-  
(YoungTemp*(Temp(c4)+Temp(c5))*0.5))*X*1.0e-6;  
F(MC4[1],MC3[1]) <+ (Pos(MC4[1])- Pos(MC3[1]) - Beta*Y*1.0e-  
6*((Temp(c4)+Temp(c3))*0.5-IniTemp))* (YoungConst-  
(YoungTemp*(Temp(c4)+Temp(c3))*0.5))*Y*1.0e-6;//-  
F(MC4[2],MC7[2]) <+ (Pos(MC4[2])- Pos(MC7[2]) - Beta*Z*1.0e-  
6*((Temp(c4)+Temp(c7))*0.5-IniTemp))* (YoungConst-  
(YoungTemp*(Temp(c4)+Temp(c7))*0.5))*Z*1.0e-6;//-
```

```
F(MC2[0],MC3[0]) <+ (Pos(MC2[0])- Pos(MC3[0]) - Beta*X*1.0e-  
6*((Temp(c2)+Temp(c3))*0.5-IniTemp))* (YoungConst-  
(YoungTemp*(Temp(c2)+Temp(c3))*0.5))*X*1.0e-6;//-  
F(MC2[1],MC5[1]) <+ (Pos(MC2[1])- Pos(MC5[1])+ Beta*Y*1.0e-  
6*((Temp(c2)+Temp(c5))*0.5-IniTemp))* (YoungConst-  
(YoungTemp*(Temp(c2)+Temp(c5))*0.5))*Y*1.0e-6;  
F(MC2[2],MC1[2]) <+ (Pos(MC2[2])- Pos(MC1[2]) - Beta*Z*1.0e-  
6*((Temp(c2)+Temp(c1))*0.5-IniTemp))* (YoungConst-  
(YoungTemp*(Temp(c2)+Temp(c1))*0.5))*Z*1.0e-6;//-
```

```
F(MC6[0],MC7[0]) <+ (Pos(MC6[0])- Pos(MC7[0]) - Beta*X*1.0e-  
6*((Temp(c6)+Temp(c7))*0.5-IniTemp))* (YoungConst-  
(YoungTemp*(Temp(c6)+Temp(c7))*0.5))*X*1.0e-6;//-
```

```
F(MC6[1],MC1[1]) <+ (Pos(MC6[1]) - Pos(MC1[1]) - Beta*Y*1.0e-
6*((Temp(c6)+Temp(c1))*0.5-IniTemp))* (YoungConst-
(YoungTemp*(Temp(c6)+Temp(c1))*0.5))*Y*1.0e-6; //-
F(MC6[2],MC5[2]) <+ (Pos(MC6[2]) - Pos(MC5[2]) + Beta*Z*1.0e-
6*((Temp(c6)+Temp(c5))*0.5-IniTemp))* (YoungConst-
(YoungTemp*(Temp(c6)+Temp(c5))*0.5))*Z*1.0e-6;
```

end

endmodule

## Annexe-C : Layouts et maillages

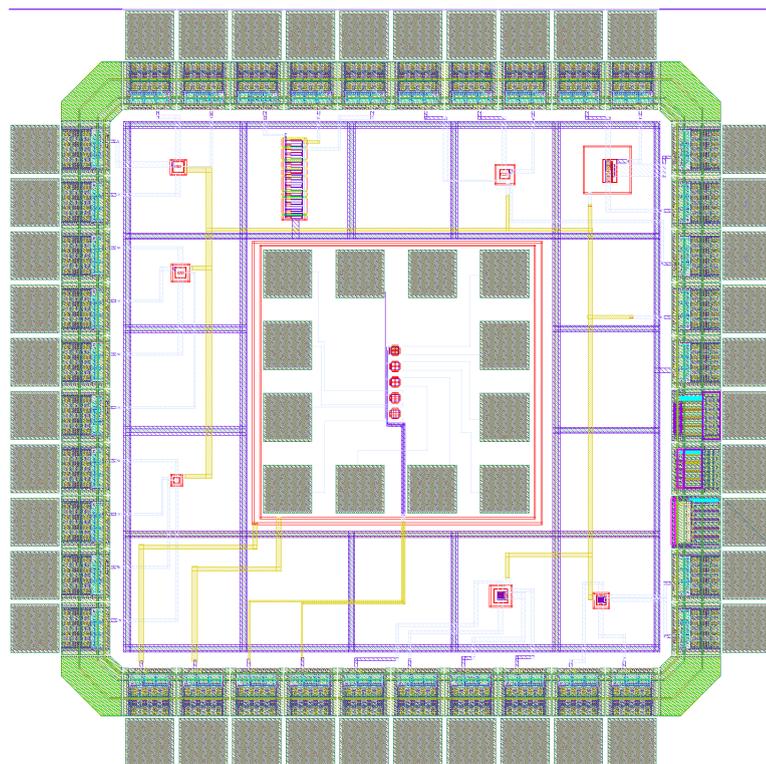


FIGURE 15 – Layout du circuit conçu pour les mesures de vieillissement par CHC

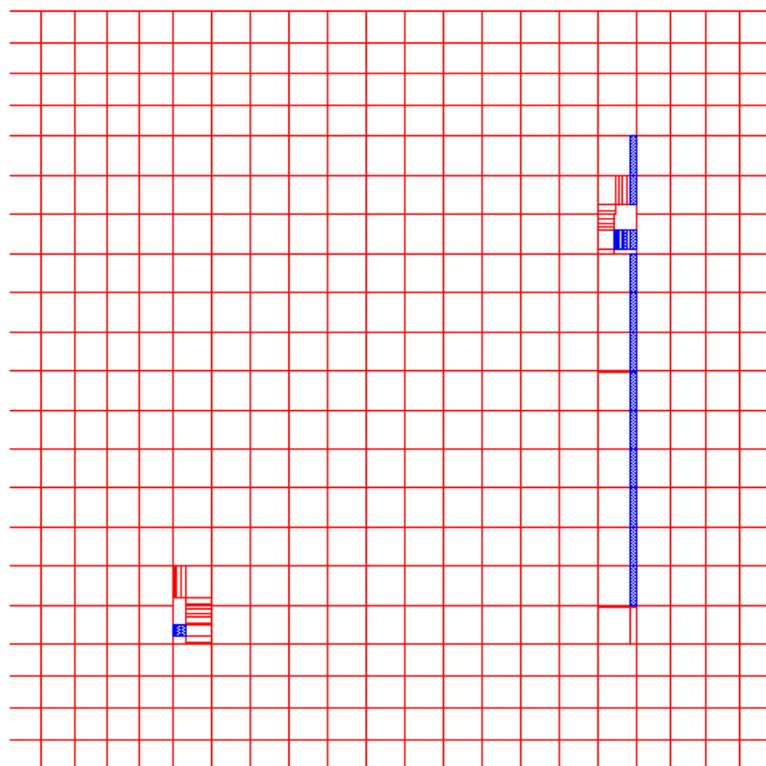


FIGURE 16 – Le maillage de la couche de silicium contenant les capteurs de vieillissement

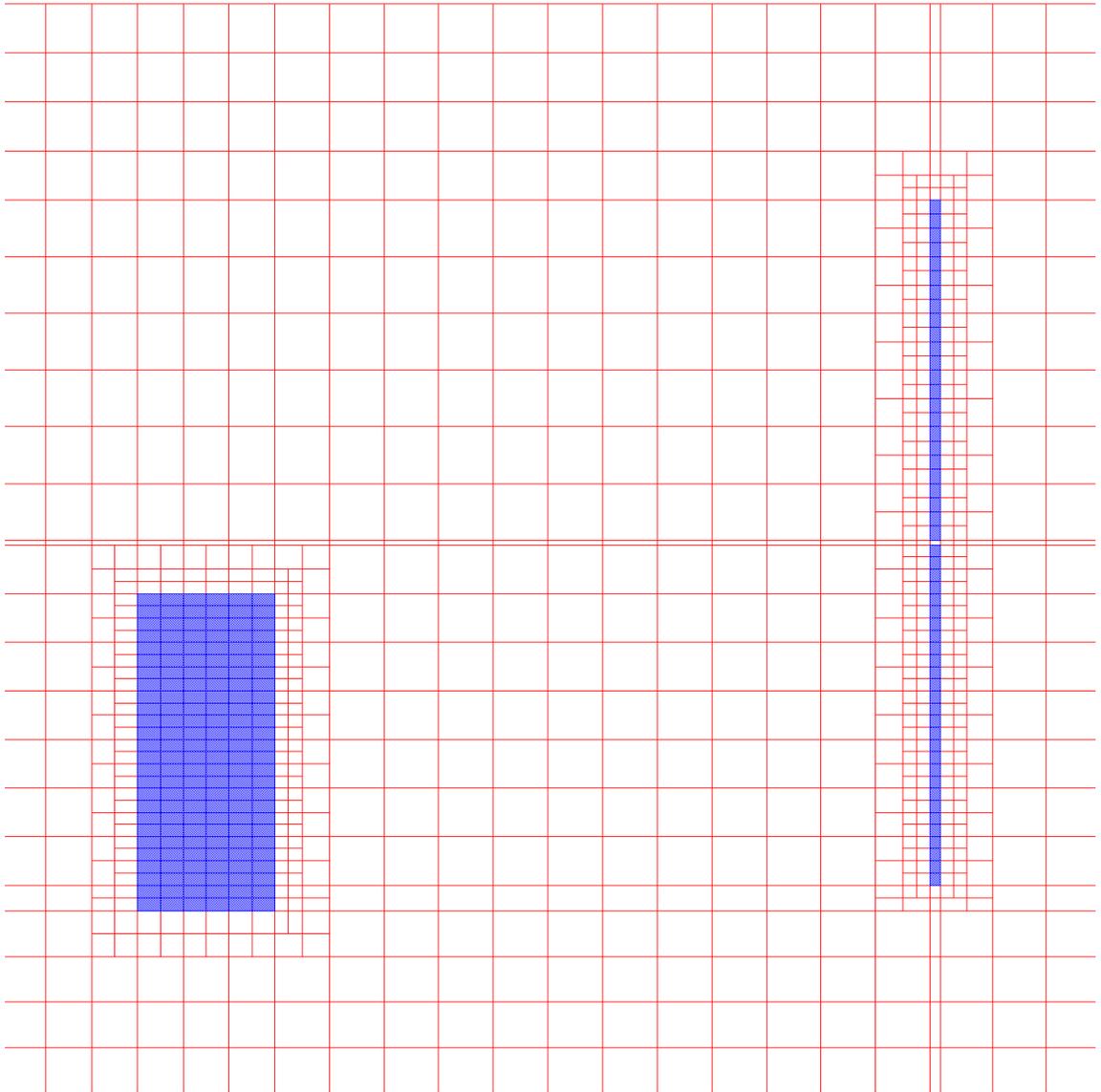


FIGURE 17 – Le maillage multi-résolution du circuit pour une coupe à l'interface  $Si - SiO_2$

# Bibliographie

- [1] Ed Dodd, Clayton Bonn, and Craig Hillman. Paradigm shift in design assurance and reliability prediction. <http://www.dfrsolutions.com/>.
- [2] Benoit Mongellaz. *Contribution à l'intégration de la fiabilité dans le flot de conception des circuits intégrés fondée sur l'utilisation d'un langage de description comportementale VHDL AMS*. PhD thesis, Université Bordeaux1, Novembre 2004.
- [3] Benoit Dubois. *Méthodologie de conception de magnétomètre dans une approche mécatronique*. PhD thesis, Université de Strasbourg, 2009.
- [4] Robert H. Tu, Elyse. R, Wilson.Y.C, Chelster.C.Li, Eric.M, Khandker.K, Ping. K, and Chenming.Hu. Berkley reliability tool bert. *IEEE Transactions On Computer Aided Design of Integrated Circuits and Systems*, 12(10), 1993.
- [5] Parthasarathy. C. R., M. Denais, Huard. V, Ribes. G.and Roy. D, Guerin. C, Perrier.F, Vincent. E, and Bravaix. A. Designing in reliability in advanced cmos technologies. *Microelectronics reliability*, 46(5) :1464–1471, 2006.
- [6] Xiao. Wang, Alvin. Chen, Tina. Najibi, Tianlei. Guo, and Xuehua. Fu. Cdn-live report reliability simulation in the virtuoso analog design environment. Technical report, Cadence Inc, 2009.
- [7] Institute for Computing in Science (ICiS). Multiphysics simulations : Challenges and opportunities. Technical report, Argonne National Laboratory, 2011.
- [8] T-C.Ong, M.Levi, P-K. Ko, and C. Hu. Recovery of threshold voltage after hot-carriers stressing. *IEEE transactions on electron devices*, 35(7), 1988.
- [9] Jean Christophe Krencker. *Développement d'outils et de modèles CAO de haut niveau pour la simulation électrothermique de circuits mixtes en technologie 3D*. PhD thesis, Université de Strasbourg, 2012.
- [10] Roger Paul Stout. Thermal rc ladder networks. packaging technology development. Technical report, OnSemi, 2006.
- [11] William Denson. The history of reliability prediction. *IEEE Transaction on reliability*, page 321, September 1998.

- [12] Anthony Coppola. Reliability engineering of electronic equipment a historical perspective. *IEEE Transaction on reliability*, 33(1) :29, April 1984.
- [13] Bernard clement. *Conception robuste. Les concepts et la méthodologie de Taguchi dans le design de produits*. groupes polymtl ca, Novembre 2000.
- [14] Guangbin Yang. *Life Cycle Reliability Engineering*. 2007.
- [15] Susan M Sanchez. A robust design tutorial. *Proceedings of the 1994 Winter Simulation Conference*, pages 106 – 113, December 1994.
- [16] Ming Ru Chen. Vlsi process optimization using taguchi method with multiple criteria approach. In *Statistical Metrology International Workshop*, page 96. IEEE, June 1998.
- [17] Dyadem Press. *Guidelines for Failure Mode and Effect Analysis for Automotive and aerospace and General manufacturing Industries*. CRC, 2005.
- [18] *Les cahiers techniques de CASE France*. Disponible en ligne sur [www.case-france.com](http://www.case-france.com), 2010.
- [19] International Roadmap Committee. International technology roadmap for semiconductors. Technical report, ITRS, 2011.
- [20] Chris Browy, Glenn Gullikson, and Mark Indovina. *A Top Down Approach to IC Design*. Free Software foundation, 2014.
- [21] Wei Ting, Kary, and Chen Huang CHJ. Practical building in reliability approaches for semiconductor manufacturing. *Reliability IEEE Transaction*, 51 :469–481, December 2002.
- [22] Harry Schaft and David Erhart adn Warren Gladden. Towards a building in reliability approach. *Microelectronics Reliability*, 37(1) :3–18, 1997.
- [23] S Minehane, R Duane, P OSullivan, KG McCarthy, and A Mathewson. Design for Reliability. *Microelectronics Reliability*, 40 :1285–1294, 2000.
- [24] V. Lakshminarayanan. What Causes Semiconductor Devices to Fail. <http://www.edn.com/electronics-news/4382044/What-Causes-Semiconductor-Devices-to-Fail>, November 1999.
- [25] Mark Spencer Cooper. Investigation of arrhenius acceleration factor for integrated circuit early life failure region with several failure mechanisms. *IEEE TRANSACTIONS ON COMPONENTS AND PACKAGING TECHNOLOGIES*, 28(3), 2005.
- [26] Michael J. Cushing. Another perspective on the temperature dependence of microelectronic-device reliability. *PROCEEDINGS Annual RELIABILITY AND MAINTAINABILITY Symposium*, page 333, 1993.

- [27] E Marcault, M Breil, A Bourenane, P Tounsi, and JM Dorkel. Study of mechanical stress impact on the I—V characteristics of a power VDMOS device using 2d FEM simulations. *Microelectronics Reliability*, 52 :489–496, 2012.
- [28] Alvin W. Strong, Ernest Y. Wu, Rolf-Peter Vollertsen, Jordi Sune, Giuseppe La Rosa, Stewart E. Rauch, and Timothy D. Sullivan. *Reliability Wearout Mechanisms In Advanced CMOS Technologies*. John Wiley and Sons Inc, 2009.
- [29] Etienne Moulin. IC Technology and Failure Mechanisms. Technical report, Industry Perspectives, June 2004.
- [30] M.G.Rajesh, Gopika Vinod, D.Das, P.V.Bhatnagar, Aditya Thaduri, and A.K. Venna. A Study of Failure Mechanisms in CMOS and BJT ICs and their Effect on Device Reliability. In *International Conference on Reliability Safety and Hazard*, pages 425–430. IEEE, 2010.
- [31] J. R. Black. Mass Transport of Aluminum by Momentum Exchange with Conducting Electrons. *6th Reliability Physics Symposium*, 1967.
- [32] J. R. Black. Electromigration – A Brief Survey and Some Recent Results. In *IEEE Transaction on Electron Devices*, page 338, 1969.
- [33] Jens Lienig. Electromigration and Its Impact on Physical Design in Future Technologies. In *ACM International Synopsium on Physical Design*, pages 33–40, 2013.
- [34] BradelyGeden. Understand and Avoid Electromigration EM and IR-drop in Custom IP Blocks. Technical report, Synopsys, 2011.
- [35] T. Parrassin, V. Huard, X. Federspiel, D. Ney E. Pion, P. Larre, D. Croain, A. Mishra, R. Chevallier, and Alain Bravaix. Statistical Electrical and Failure Analysis of Electromigration in Advanced cmos Nodes for Accurate Design Rules Checker. *IEEE Reliability Physics Symposium*, pages 3F.3.1 – 3F.3.5, 2013.
- [36] J. B. Bernstein, M. Gurfinke, X. Li, J. Walters, Y. Shapira, and M. Talmor. Electronic Circuit Reliability Modeling. *Microelectronics Reliability*, 46(12) :1957–1979, 2006.
- [37] Lihua Liang, Yuanxiang Zhang, and Richard Rao. Impact of Geometry Parameter on Electromigration Reliability in FCBGA Package. *International Synopsium on Quality Electronic Design*, pages 316 – 32–1, 2015.
- [38] J.F. Verweij and J.H. Klootwijk. Dielectric breakdown i : A review of oxide breakdown. *Microelectronics Journal*, 1996.
- [39] B. Kaczer, R. Degraeve, P. Roussel, and G. Groeseneken. Gate oxide breakdown in FET devices and circuits : From nanoscale physics to system-level reliability. *Microelectronics Reliability*, pages 559—566, 2007.

- [40] M. Alam, B. Weir, and P. Silverman. A study of soft and hard breakdown – Part ii : Principles of area, thickness, and voltage scaling. *IEEE Transactions on Electron Devices*, pages 239–246, 2002.
- [41] B.Weir, P. Silverman, D. Monroe, K. Krisch, M. Alam, G. Alers, T.Sorsch, G.Timp, F. Baumann, C. Liu, Y.Ma, and D. Hwang. Ultra-Thin Gate Dielectrics : They Break Down But D They Fail. *IEEE International Devices meeting*, pages 73–76, 1997.
- [42] Navid Azizi and Peter Yiannacouras. Gate Oxide Breakdown. <http://cite-seerx.ist.psu.edu/viewdoc/download>, Decmber 2003.
- [43] J.WMcPherson. Time dependent dielectric breakdown physics -- Models revisited. *Microelectronics Reliability*, pages 1753–1760, 2012.
- [44] McPherson JW and Khamankar RB. Molecular model for intrinsic timedependent dielectric breakdown in sio2 dielectrics and the reliability implication for hyper-thin gate oxide. *Semiconductor Science and Technologie*, 15, 2000.
- [45] DiMaria DJ, Cartier E, and Arnold D. Impact ionization, trap creation, degradation, and breakdown in silicon dioxide films on silicon. *Journal of Applied Pysics*, 73, 1993.
- [46] Bude JD, Weir BE, and Silverman PJ. Explanation of stress-induced damage in thin oxides. *IEEE Electron Device Meeting*, 1998.
- [47] Sune. J, Placencia. I, Barniol. N, Farres. E, Martin. F, and Aymerich. X. *On the breakdown statistics of very thin SiO2 films*. Thin Solid Films, 1990.
- [48] Degraeve R. New insights in the relation between electron trap generation and the statistical properties of oxide breakdown. *IEEE Transactions on electron Devices*, 45, 1998.
- [49] E.H.Snow, A.S.Grove, B.E. Deal, and C.T.Sah. Ion transport phenomena in insulating films. *Journal of Applied Physics*, pages 1664–1673, 1965.
- [50] Yoshio Miura and Yasuo Matukura. Investigation of Silicon–Silicon Dioxide Interface Using MOS Structure. *Journal of Applied Physics*, 5 :180, 1966.
- [51] B. E. Deal, M. Sklar, et E. H. Grove, and A.S.and Snow. Characteristic of the surface–state charge (qss) of thermally oxidized silicon. *Solid–State Science*, 114(266–274), 1967.
- [52] J.H. Stathis and S. Zafar. The negative bias temperature instability in mos devices : A review. *Microelectronics Reliability*, 46 :270—286, 2006.
- [53] C. R. Helms and E. H. Poindexter. The silicon-silicon dioxide system : Its microstructure and imperfections. *Reports on Progress in Physics*, 57(8), 1994.

- [54] L. Tsetseris, X. Zhou, D. Fleetwood, R. Schrimpf, and S. Pantelides. Physical mechanisms of negative bias temperature instability. *Applied Physics Letters*, 86(14), 2005.
- [55] M.A. Alam a and Mahapatra b. A comprehensive model for PMOS NBTI degradation. *Microelectronics reliability*, pages 71–81, 2004.
- [56] M.A. Alam a, H. Kuffuoglu, D. Varghese, and S. Mahapatra b. A comprehensive model for PMOS NBTI degradation : Recent progress. *Microelectronics Reliability*, 2007.
- [57] Hussam Amrouch, Victor M. van Santen, Thomas Ebi, Volker Wenzel, and Jorg Henkel. Towards Interdependencies of Aging Mechanisms. *International Conference on Computer–Aided Design ICCA*, pages 478 – 485, 2014.
- [58] P. Magnone. 1/f noise in drain and gate current of mosfets with high–k gate stacks. *IEEE Transactions on Device and Materials Reliability*, pages 180—189, 2009.
- [59] E. Amat, T.Kauerauf, R.Rodriguez, M. Nafria, X. Aymerich, R. Degraeve, and G.Groeseneken. A comprehensive study of channel hot-carrier degradation in short channel mosfets with high-k dielectrics. microelectron. *Microelectronic Engineering*, 2011.
- [60] K. O. Jeppson and C. M. Svensson. Negative bias stress of mos devices at high electric fields and degradation of mnos devices. *Journa of Applied Physics*, 48, 1977.
- [61] Amrouch. H, Ebi. T., and Henkel. J. Stress balancing to mitigate nbti effects in register files. dependable systems and networks. In *International Conference on Dependable Systems and Networks (DSN)*, June.
- [62] Oboril. F. and. Extratime : Modeling and analysis of wearout due to transistor aging at microarchitecture-level dependable systems and networks. In *International Conference on Dependable Systems and Networks DSN*, pages 1–12, 2012.
- [63] S. Kothawad and K.Chakraborty. Analysis and mitigation of bti aging in register file : An application driven approach. *Microelectronics Reliability*, pages 105—113, 2013.
- [64] Kaustubh.Jaushi, Subhadeep Mukhopadhyay, Nilesh Goel, and Souvik Mahapatra. A Consistent Pysical Framework for N and PBTI in HKMG MOSFETs. *IEEE*, 2012.
- [65] Chen. G, Li. MF, Ang. CH, Zheng .J-Z, and Kwong. D-L. Dynamic NBTI of p-mos transistors and its impact on mosfet scaling. *IEEE Electron Devices Letters*, 2002.
- [66] Alam MA. A critical examination of the mechanics of dynamic NBTI for pMOSFETs. In *IEEE International Elecron Device Meeting*, December 2003.

- [67] C.Ma, H.J. Mattaush, Mi. Miyak, T. Lizuka, and M. Miura-Mattaush. Compact Reliability Model for Degradation of Advanced p-MOSFETs Due to NBTI and Hot-Carrier Effects in the Circuit Simulation. *IEEE*, 2013.
- [68] Chenming Hu. Lucky–electron model of channel hot electron emission. *International Electron Devices Meeting*, pages 22 – 25, 1979.
- [69] Simon Tam, Ko P.-K., and Chenming Hu. Lucky-electron model of channel hot-electron injection in mosfet’s. *IEEE Transaction on electron Devices*, September 1984.
- [70] Takeda. E, Nakagome. Y, Kume. H, and Asai. S. New hot–carrier injection and device degradation in submicron MOSFETs. In *Solid-State and Electron Devices, IEE Proceedings I*, pages 144–150, June.
- [71] Ito.Akira, Swasey Henry A., and George. E.W. Hot Electron Reliability Modeling in VLSI Devices. *Reliability Physics Symposium*, 1983.
- [72] C. Hu, S. C. Tam, F.-C. Hsu, P.-K. Ko, T.-Y. Chan, and K. W. Terrill. Hot-Electron- induced MOSFET Degradation–Model Monitor and Improvement. *IEEE Transactions on Electron Devices*, pages 375—385, 1985.
- [73] R. Thewes and W.Weber. Effects of hot-carrier degradation in analog cmos circuits. *Microelectronic Engineering*, 36 :285—292, 1997.
- [74] W. Weber K.R. Hofmann, C. Werner and G. Donia. Hot-electron and hole-emission effects in short n-channel mosfets. *IEEE Trans on Electron Devices*, pages 691–699, 1985.
- [75] T.-C Ong, P.-K. Ko, and C. Hu. Hot-camer current modeling and device degradation in surface–channel p–mosfet’s. *IEEE Trans. Electron Devices*, 37 :1658–1666, 1990.
- [76] et E. Takeda R. Woltjer, A. Hamada. Time dependence of p-mosfet hot-carrier degradation measured and interpreted consistently over ten orders of magnitude. *IEEE Transactions on Electron Devices*, pages 392—401, Novembre 1993.
- [77] G. V. d. Bosh, G. Groeseneken, and H. E. Maes. Critical analysis of the substrate hot–hole injection technique. *Solid–State Electronics*, pages 393—399, 1994.
- [78] Aur. S, Hocevar. D.E., and Ping Yang. B.S. Circuit hot electron effect simulation. In *International Electron Devices Meeting*, 1987.
- [79] Cheng T. Wang. *Hot Carrier Design Considerations for MOS Devices and Circuits*. Van Nostrand Reinhold, 1992.
- [80] Elie Maricau and Georges Gielen. *Analog IC Reliability in Nanometer CMOS*. Springer, 2013.

- [81] C. Bestory, F. Marc, and H. Levi. Statistical analysis during the reliability simulation. *Microelectronics Reliability*, 47(5) :1353–1357, 2007.
- [82] W.J. Hsu, C.C. Shih, and B. J. Sheu. Rely : a reliability simulator for vlsi circuits. In *Custom Integrated Circuits Conference. 1988. Proceedings of the IEEE 1988*, pages 27.4.1–27.4.4, May 1988.
- [83] MASSACHUSETTS INST OF TECH CAMBRIDGE RESEARCH LAB OF ELECTRONICS. Relic : A reliability simulator for integrated circuits. In *Proc. International Conference on Computer-Aided Design*, pages 87–360, 1987.
- [84] S. Chwirka. Using the powerful saber simulator for simulation, modeling, and analysis of power systems, circuits, and devices. *Computers in Power Electronics, 2000. COMPEL 2000. The 7th Workshop on*, (172 - 176), 2000.
- [85] Herve Oudin. *Méthode des éléments finis*. Ecole d’ingénieurs Nantes, 2008.
- [86] Gilles Lebrogne. Méthode des moindres carrés : meilleure approximationn linéaire. En ligne : <http://www.isima.fr/lebrogne>, Mai 2005.
- [87] Tony Bourdier. The method of least squares. En ligne : <http://www.tonybourdier.fr/data/MoindresCarrés.pdf>, Février 2008.
- [88] Bjorck. A. *Numerical Methods for Least Square Problems*. SIAMP : Society for Industrial and Applied Mathematics, 1996.
- [89] Slimane. A and Mahboub. B. Galerkin methods, 2010.
- [90] *Galerkin Finite Element Methods for Parabolic Problems*, volume 25. Springer-Verlag Berlin Heidelberg, 2006.
- [91] D. M. Causon and C. G. Mingham. *Introductory Finite Difference Methods for PDEs*. Disponible en ligne : Bookboon.com, 2010.
- [92] Randall J. LeVeque. *Finite Difference Methods for Ordinary and Partial Differential Equations*. SIAM : Society for Industrial and Applied Mathematics. Philadelphia, 2007.
- [93] J.W Thomas. *Numerical Partial Differential Equations : Finite Difference Methods*. Springer, 1995.
- [94] M. Cross, T.N. Croft, D. McBride, A.K. Slone, , and A.J. Williams. NAFEMS World Congress. Vancouver 2007. Multiphysics simulation : Progress and challenges. En ligne : <file:///C:/Users/Utilisateur/Downloads/cross.pdf>, May 2007.
- [95] Lionel Gendre and David Néron. La simulation multiphysiques. En ligne : <http://www.si.ens-cachan.fr/>, Septembre 2010.
- [96] Yuan. X, Jason.C, and Sachin.S. *Three-Dimensional Integrated Circuit Design*. Springer, 2010.

- [97] Ridha Loukil. Construction de puces 3d par tsv : Les interconnexions se noient dans le silicium. En ligne : <http://www.industrie-techno.com/construction-de-puces-3d-par-tsv-les-interconnexions-se-noient-dans-le-silicium.12832>, 2012.
- [98] M. Pedram and S. Nazarian. Thermal modeling, analysis, and management in vlsi circuits : Principles and methods. In *Proceedings of the IEEE*, volume 94, page 1487, august 2006.
- [99] Krencker J.-C, Kammerer.J-B, Hervé. Y, and Hébrard. L. Electro-thermal high-level modeling of integrated circuits. In *18th International Workshop on Thermal Investigations of ICs and Systems (THERMINIC)*, 2012.
- [100] UC Berkeley Device Group. Bsim group. bsim3. On ligne : <http://www-device.eecs.berkeley.edu/bsim/page=BSIM3>, 2012.
- [101] Christen E and Bakalar K. Vhdl-ams-a hardware description language for analog and mixed-signal applications. *IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing*, pages 1263 – 1272, October 1999.
- [102] Leblebici.Y and SungMo.Kang. Modeling and simulation of hot carrier induced device degradation in MOS circuits. *IEEE Journal of Solid State Circuits*, 1993.
- [103] C. Hu, S. C Tam, F.C. Hsu, P.K . Ko, T.Y. Chan, and K. W. Terrill. Hot-electron-induced mosfet degradation–model monitor and improvement. In *IEEE Transactions on Electron Devices*, volume 32, page 375–385, February 1985.
- [104] T.C.Ong, M.Levi, P.K. Ko, and C. Hu. Recovery of threshold voltage after hot-carriers stressing. In *IEEE transactions on electron devices*, volume 35, pages 973–984, 1988.
- [105] T.Y. Chan, J. Chen, P.K. Ko, and C. Hu. The impact of gate induced drain leakage current on mosfet scaling. *IEEE IEDM Tech. Dig.*, pages 718–721, 1987.
- [106] P.C Adell, H. J. Barnaby, R.D. Schrimpf, and B. Vermeire. Band to band tunneling induced leakage current enhancement in irradiated fully depleted soi devices. *IEEE Transactions on Nuclear Science*, 54 :2174 – 2180, 2007.
- [107] C.-H Lin, B.-C. Hsu, M. H Lee, and W. Liu. A comprehensive study of inversion current in mos tunneling diodes. *IEEE Transactions on Electron Devices*, pages 2125–2130, September 2001.
- [108] F.C. Hsu and K.Y. Chiu. Temperature dependence of hot-electron induced degradation in mosfets. *IEEE Electron Device Letters*, 5 :148–150, 1984.
- [109] J.H. Huang, G.B. Zhang, J.Dust, S.J. Wann, P. Ko, and C. Hu. Temperature dependence of mosfet substrate current. *IEEE Electron device letters*, 14 :268–271, 1993.

- [110] S. M. Sze. *Physics of Semiconductor Devices*. New York Wiley, 1981.
- [111] Gennady Gildenblat. *Compact Modeling Principles, Techniques and Applications*. Springer, 2010.
- [112] Coram G.J. How to (and how not to) write a compact model in verilog-a. In *Behavioral Modeling and Simulation Conference, 2004. BMAS 2004. Proceedings of the 2004 IEEE International*, pages 97 – 106, October 2004.
- [113] B.C. Hsu C.H. Lin, M. H. Lee, and C. W. Liu. A comprehensive study of inversion current in mos tunneling diodes. *IEEE Transactions on Electron Devices*, 48, 2002.
- [114] G. S. Leatherman, J. Hicks, B. Kilic, D. Pantuso, and G. Xu. Transistor performance impact due to die- package mechanical stress. *IEEE Transaction on Device and Material reliability*, 13(2) :350–356, June 2013.
- [115] A. Jain, R. E. Jones, R. Chatterjee, and S. Pozder. Analytical and numerical modeling of the thermal performance of three-dimensional integrated circuits. *IEEE Transactions on Components and Packaging Technologies*, 33 :56–63, 2010.
- [116] V. Lakshminarayanan and N. Sriraam. The effect of temperature on the reliability of electronic components. *Proc. of IEEE CONECCT*, pages 1–6, 2014.
- [117] Asaro. Robert and Vlado.A Lubarda. *Mechanics of Solids and Materials*. Cambridge University Press, 2006.
- [118] David R. Lide. *Handbook of Chemistry and Physics*. CRC PressInc, 2009.
- [119] W.H. Hill and K.D Shimmin. Elevated temperature dynamic elastic moduli of various metallic materials. Technical report, Wright Air Development Division, March 1961.



# Maroua GARCI

## Simulation multi-physiques de circuits intégrés pour la fiabilité

### Résumé

Cette thèse porte sur le thème général de la fiabilité des circuits microélectroniques. Le but de notre travail fut de développer un outil de simulation multi-physiques pour la conception des circuits intégrés fiables qui possède les caractéristiques innovatrices suivantes :

- (i) L'intégration dans un environnement de conception microélectronique standard, tel que l'environnement Cadence<sup>®</sup> ;
- (ii) La possibilité de simulation, sur de longues durées, du comportement des circuits CMOS analogiques en tenant compte du phénomène de vieillissement ;
- (iii) La simulation de plusieurs physiques (électrique-thermique-mécanique) couplées dans ce même environnement de CAO en utilisant la méthode de simulation directe.

Ce travail de thèse a été réalisé en passant par trois grandes étapes traduites par les trois parties de ce manuscrit.

### Abstract

This thesis was carried out under the theme of the microelectronics Integrated Circuits Reliability. The aim of our work was to develop a multi-physics simulation tool for the design of reliable integrated circuits. This tool has the following innovative features :

- (i) The integration in a standard microelectronics design environment, such as the Cadence<sup>®</sup> environment ;
- (ii) The possibility of efficient simulation, over long periods, of analog CMOS circuits taking into account the aging phenomenon ;
- (iii) The simulation of multiple physical behaviours of ICs (electrical-thermal-mechanical) coupled in the same environment using the direct simulation method.

This work was carried out through three main stages detailed in the three parts of this manuscript.

