



HAL
open science

Système de formation de faisceau dans la bande 300 GHz en technologie BiCMOS 55nm pour l'imagerie THz

Zyad Iskandar

► **To cite this version:**

Zyad Iskandar. Système de formation de faisceau dans la bande 300 GHz en technologie BiCMOS 55nm pour l'imagerie THz. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes, 2016. Français. NNT : 2016GREAT072 . tel-01498555

HAL Id: tel-01498555

<https://theses.hal.science/tel-01498555>

Submitted on 30 Mar 2017

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE LA COMMUNAUTE UNIVERSITE GRENOBLE ALPES

Spécialité : **Nanoélectronique et nanotechnologies**

Arrêté ministériel : 7 août 2006

Présentée par

Zyad ISKANDAR

Thèse dirigée par **Philippe FERRARI** et

Co-encadrée par **Alexandre SILIGARIS** et **Emmanuel Pistono**

préparée au sein du **Laboratoire IMEP-LAHC** et au **CEA-Leti**
dans **l'École Doctorale Electronique, Electrotechnique,
Automatique et Traitement du Signal**

Système de formation de faisceau dans la bande 300 GHz en technologie BiCMOS 55 nm pour l'imagerie THz

Thèse soutenue publiquement le **26 Octobre 2016**,
devant le jury composé de :

M. Sylvain BOURDEL

Professeur des universités, Grenoble, Président

M. Christophe GAQUIERE

Professeur des universités, Lille, Rapporteur

M. Gaëtan PRIGENT

Maître de conférences HDR, Toulouse, Rapporteur

M. Christian PERSON

Professeur des universités, Telecom Bretagne, Examineur

M. Philippe FERRARI

Professeur des universités, Grenoble, Directeur de thèse

M. Alexandre SILIGARIS

Ingénieur chercheur au CEA-Leti, Grenoble, Encadrant

M. Emmanuel PISTONO

Maître de conférences HDR, Grenoble, Invité

M. François BURDIN

Ingénieur chez Robert Bosch, Budapest, Invité



Table des matières

Introduction générale	7
Chapitre 1 Formation de faisceau en technologie CMOS/BiCMOS en bande sub-millimétrique	10
1.1 Introduction.....	11
1.2 La bande sub-millimétrique : les opportunités et les applications	15
1.3 Architectures typiques de systèmes de formation de faisceau	17
1.4 Etat de l'art des systèmes de formation de faisceau en technologie intégrée CMOS/BiCMOS	19
1.5 Choix de l'architecture du système et spécifications	25
1.6 Conclusion	26
1.7 Références bibliographiques.....	27
Chapitre 2 Composants de base en technologie BiCMOS 55 nm en bande millimétrique et sub-millimétrique	30
2.1 Introduction.....	31
2.2 Etat de l'art et évolution des technologies CMOS/BiCMOS	31
2.3 La technologie BiCMOS 55 nm de STMicroelectronics	34
2.4 Etude des composants actifs	35
2.4.1 <i>Transistors MOS</i>	35
2.4.2 <i>Transistors bipolaire</i>	41
2.4.3 <i>Varactors MOS</i>	43
2.5 Etude des composants passifs	46
2.5.1 <i>Lignes de transmission</i>	47
2.5.2 <i>Inductance et capacité MOM</i>	56
2.6 Conclusion	60
2.7 Références bibliographiques.....	61
Chapitre 3 Circuits élémentaires du système de formation de faisceau.....	66

3.1	Introduction.....	67
3.2	Emetteur intégré en bande sub-millimétrique	68
3.2.1	<i>Contexte et objectifs de réalisation</i>	68
3.2.2	<i>Etat de l'art des émetteurs en bande sub-millimétrique.....</i>	70
3.2.3	<i>Schéma de principe et spécifications des blocs.....</i>	73
3.2.4	<i>Oscillateur verrouillé par injection sous-harmonique.....</i>	74
3.2.5	<i>Mélangeur passif.....</i>	102
3.2.6	<i>Amplificateur IF</i>	105
3.2.7	<i>Résultats de l'émetteur V1.....</i>	107
3.2.8	<i>Emetteur V2 et résultats</i>	111
3.3	Antenne intégrée.....	113
3.3.1	<i>Introduction et état de l'art des antennes intégrées en bande sub-millimétrique</i> <i>113</i>	
3.3.2	<i>Conception d'une antenne « corne de taureau » en bande sub-millimétrique</i>	115
3.4	Déphaseur intégré dans la bande millimétrique	118
3.4.1	<i>Introduction et contexte.....</i>	118
3.4.2	<i>Les déphaseurs : Topologies et revue sur l'état de l'art.....</i>	119
3.4.3	<i>Déphasage au niveau de la voie LO et spécifications.....</i>	125
3.4.4	<i>Choix de l'architecture et objectifs</i>	126
3.4.5	<i>RTPS : Théorie et principe de fonctionnement</i>	126
3.4.6	<i>Conception de l'RTPS en bande millimétrique</i>	127
3.4.7	<i>Résultats du déphaseur et comparaison à l'état de l'art</i>	136
3.5	Chaîne de multiplication de fréquence (x12) accordable.....	139
3.5.1	<i>Contexte.....</i>	139
3.5.2	<i>Etat de l'art des multiplieurs de fréquence en technologies silicium</i>	141
3.5.3	<i>Théorie et spécifications.....</i>	144
3.5.4	<i>Conception de la chaîne de multiplication.....</i>	146
3.5.5	<i>Résultats de simulation.....</i>	148
3.6	Conclusion	155
3.7	Références bibliographiques.....	155
Chapitre 4	Système de formation de faisceau	159
4.1	Introduction.....	160

4.2	Description et simulation du système de formation de faisceau	160
4.2.1	<i>Choix de la topologie du réseau d'antennes</i>	162
4.3	Validation du sous-système chaîne de multiplication + déphaseur.....	165
4.3.1	<i>Résultats et discussions</i>	166
4.4	Validation du sous-système émetteur + déphaseur	167
4.4.1	<i>Résultats et analyse</i>	168
4.5	Conclusion	172
4.6	Références bibliographiques.....	172
	Conclusion générale et perspectives	173

Introduction générale

Durant la dernière décennie, les chercheurs et ingénieurs, que ce soit au sein de laboratoires académiques, grands instituts ou industriels, ont réussi à franchir une barrière liée aux limitations des technologies CMOS/BiCMOS. Le développement de circuits intégrés performants est devenu aujourd'hui presque classique en hyperfréquences. En particulier, plusieurs circuits et démonstrateurs ont été réalisés dans la bande millimétrique et en particulier dans la bande de fréquences non licenciée autour de 60 GHz. Les communications sans fil à débits élevés, la haute définition sans fil (Wireless HDMI), le back-hauling, les systèmes radar et autres applications ont été visés. Plus récemment, avec l'évolution des technologies intégrées et l'augmentation des fréquences limites des transistors (f_t/f_{max}), de nombreux circuits et systèmes ont été réalisés en bande sub-millimétrique, soit entre 300 GHz et 3 THz. Cette bande de fréquences présente plusieurs avantages et permet de viser plusieurs applications comme l'imagerie, la sécurité, le biomédical... Pour cela, plusieurs équipes de recherche se sont focalisées sur la réalisation de transceivers et de réseaux d'antennes dans cette bande afin de générer un signal et de contrôler électroniquement le faisceau de rayonnement en vue de l'orienter de manière dynamique dans une direction bien définie de l'espace. De plus la faible surface occupée par les composants rend l'intégration de plusieurs blocs sur un seul « chip » plus simple en limitant les connexions avec l'extérieur. Cependant, compte tenu de systèmes où la fréquence de travail est proche de (f_t/f_{max}), les performances des circuits réalisés demeurent médiocres, avec en particulier des consommations élevées. Ceci implique de trouver de nouvelles architectures et des compromis afin de réduire la consommation sans dégrader les performances du système. C'est dans ce contexte que se situent les travaux de recherche réalisés et présentés dans ce manuscrit. Cette thèse constitue ainsi un ensemble de travaux de recherche précurseurs au sein du laboratoire IMEP-LAHC, en collaboration avec le laboratoire LAIR du CEA/Leti, concernant les systèmes de formation de faisceau en bande sub-millimétrique. Elle repose sur l'étude et la conception d'un système capable de générer à l'aide d'un signal basse fréquence, un faisceau dans la bande 270 GHz - 300 GHz et de l'orienter dans l'espace. Le schéma bloc d'une voie d'un tel système est présenté sur la Figure 0.1. Il est composé d'une chaîne de multiplication générant, à l'aide d'un signal basse fréquence, un signal en bande millimétrique injecté dans un déphaseur intégré ; le signal à la sortie du déphaseur est ensuite injecté au niveau de la voie LO de l'émetteur qui transpose le signal bande de base en un signal RF dans la bande de travail. Enfin une antenne est intégrée au chip. Le système est implémenté en technologie BiCMOS 55 nm de STMicroelectronics.

La conception d'un tel système complexe repose sur une méthodologie qui consiste dans un premier temps à étudier, concevoir et valider les circuits élémentaires seuls à partir des composants de base de la technologie. Une fois les blocs validés, la 2^{ème} étape consiste à associer plusieurs blocs afin de valider le fonctionnement d'un sous-système. La 3^{ème} étape consiste à associer les sous-systèmes pour former une voie complète du système. L'étape

finale concerne la conception du réseau complet. La Figure 0.2 résume la stratégie et la méthodologie utilisées pour mener à terme ces travaux.

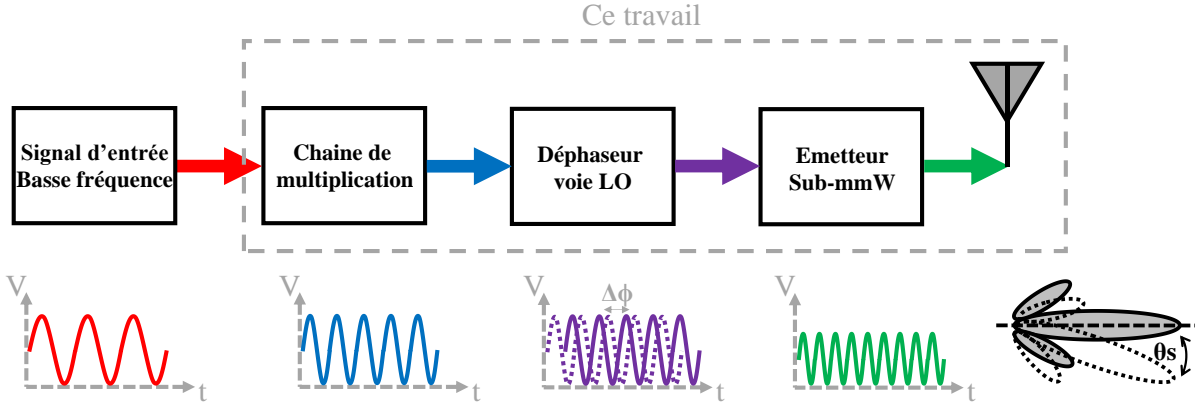


Figure 0.1: Schéma bloc d'une seule voie du système de formation de faisceau proposé.

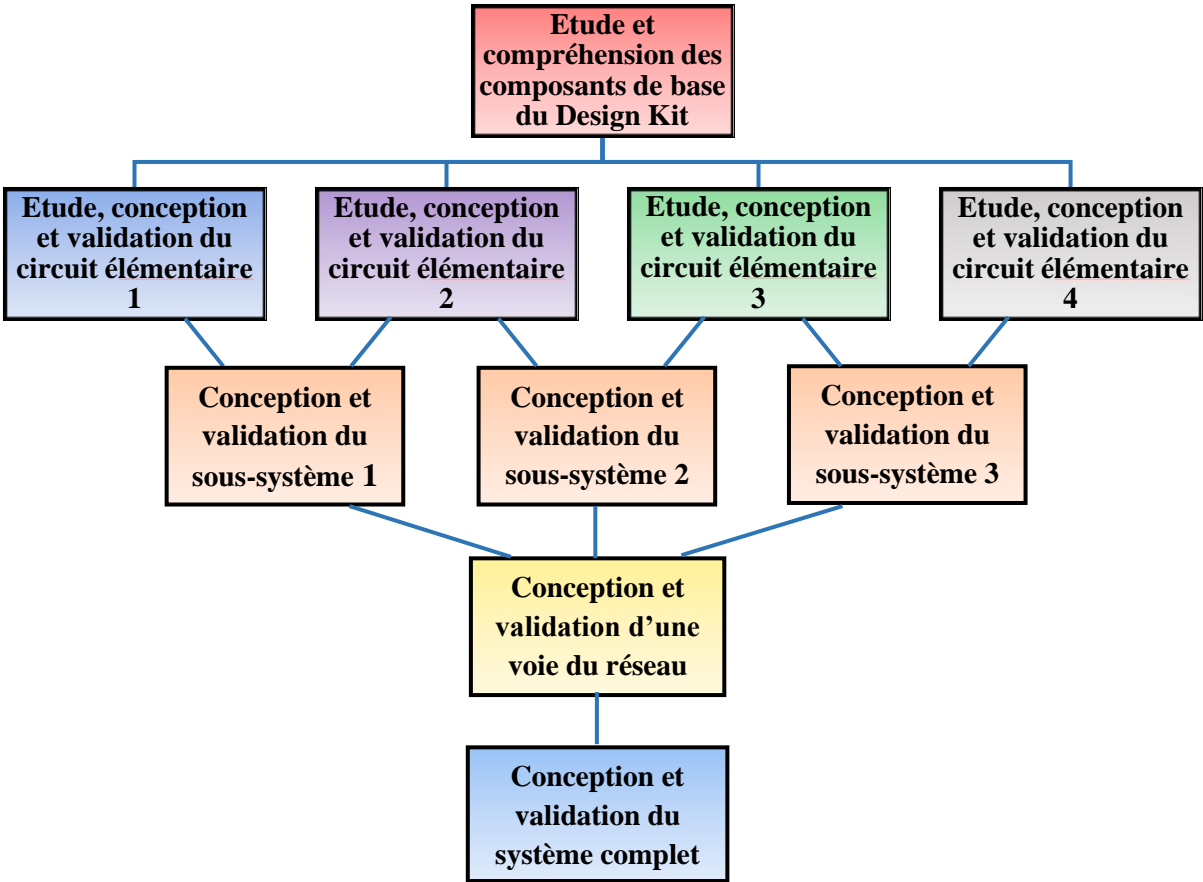


Figure 0.2: Organigramme de la stratégie utilisée durant ces travaux de recherche.

Ce manuscrit est présenté d'une façon similaire à celle de l'organigramme de la Figure 0.2. L'auteur considère que la clarté du manuscrit nécessite de commencer par le cas général, en étudiant les composants de base de la technologie, jusqu'à la réalisation du système global constituant l'objectif final de ces travaux. Le manuscrit comporte 4 chapitres. Son organisation est décrite ci-dessous.

Le chapitre 1 présente une introduction sur les systèmes de formation de faisceau réalisés dans différentes technologies. Ensuite une description de la bande sub-millimétrique en termes d'applications et d'opportunités est présentée. L'état de l'art sur les systèmes de formation de faisceau en technologie intégrée est détaillé, avec la justification du choix de l'architecture proposée dans ces travaux.

L'étude des composants de base en technologie BiCMOS 55 nm est présentée au sein du chapitre 2. Ce chapitre est divisé en deux parties. La première partie consiste en l'étude des composants actifs, en particulier les transistors MOS et bipolaire, ainsi que les varactors MOS. La seconde partie présente les composants passifs comme les lignes de transmission micro-ruban, les lignes à ondes lentes (S-CPW), les inductances et les capacités MOM. Cette étude permet la compréhension du comportement de ces blocs aux fréquences millimétriques et sub-millimétriques. Des modèles simplifiés sont proposés pour ces composants afin de faciliter l'étude des circuits réalisés, et avoir des tendances et des prédictions concernant les performances de certains blocs.

Le chapitre 3 présente l'étude, la conception et la réalisation des circuits élémentaires constituant le système de formation de faisceau. L'émetteur intégré en bande sub-millimétrique est présenté en premier. Ensuite l'antenne intégrée à la sortie de l'émetteur est présentée. Le déphaseur basé sur un concept innovant de lignes couplées à ondes lentes est étudié. Finalement une chaîne de multiplication par 12 est présentée.

La première partie du chapitre 4 présente le schéma de principe du système de formation de faisceau proposé. La topologie du réseau ainsi qu'une étude système sont présentées afin de comprendre le comportement du système et évaluer ses performances. La deuxième partie présente la validation de deux sous-systèmes réalisés. Ces sous-systèmes reposent sur l'association des circuits élémentaires validés par des mesures. L'objectif est de valider aussi cette association des circuits pour garantir le bon fonctionnement du système à la fin. Le sous-système contenant ainsi l'antenne sera présentée brièvement à la fin. Ce circuit sera dédié pour deux applications différentes en bande sub-millimétrique. La première application est la communication entre un émetteur et un récepteur, selon le type de modulation choisie, une transmission de données peut être réalisée à faible portée. L'autre application est l'imagerie THz, une reproduction d'image peut être réalisée en plaçant un objet devant l'émetteur et en le scannant dans l'espace. Des lentilles et des moyens optiques sont utilisés dans le banc de mesure afin de réaliser une photo de cet objet.

Chapitre 1 Formation de faisceau en technologie CMOS/BiCMOS en bande sub-millimétrique

1.1 Introduction

Historique

Comme c'est le cas avec la plupart des découvertes fondamentales, l'origine des réseaux d'antennes reste enveloppé par des doutes. Certains attribuent les premiers jalons de développement des réseaux d'antennes au prix Nobel Guglielmo Marconi, en particulier son expérience historique de communication sans fil transatlantique le 12 Décembre 1901 [1]. Les antennes originales conçues pour l'expérience consistaient en un réseau de vingt antennes. Celles-ci ont malheureusement été détruites par des tempêtes dévastatrices, et par conséquent seulement deux éléments ont été utilisés (Figure 1.1). À travers ce réseau un signal sous la forme d'un code Morse représentant la lettre «S» a été transmis avec succès de Poldhu en Cornwall, Royaume-Uni, à St. Johns à Terre-Neuve, Canada. En 1909, le vainqueur du prix Nobel de physique pour la contribution au développement de la télégraphie sans fil, Karl Ferdinand Braun a déclaré: "Il m'a toujours semblé, de manière la plus souhaitable à moi, de transmettre les ondes dans une seule direction". Il a également présenté un schéma d'un système à trois antennes pouvant former un faisceau dans une direction souhaitée. Cependant l'invention du premier réseau linéique à commande de phase avec une orientation électronique du faisceau est universellement attribuée à un autre Prix Nobel : Luis Alvarez. Son invention a été principalement motivée par les efforts des Etats-Unis durant la seconde guerre mondiale et a servi comme base pour « Eagle », le premier système de bombardement basé sur le radar. Plusieurs Bombardiers lourds de type B-29 ont été équipés par « Eagle ». Aujourd'hui encore, l'utilisation des réseaux d'antennes est très répandue dans le domaine de la défense, sur la plupart des navires de guerre et des avions de combat.

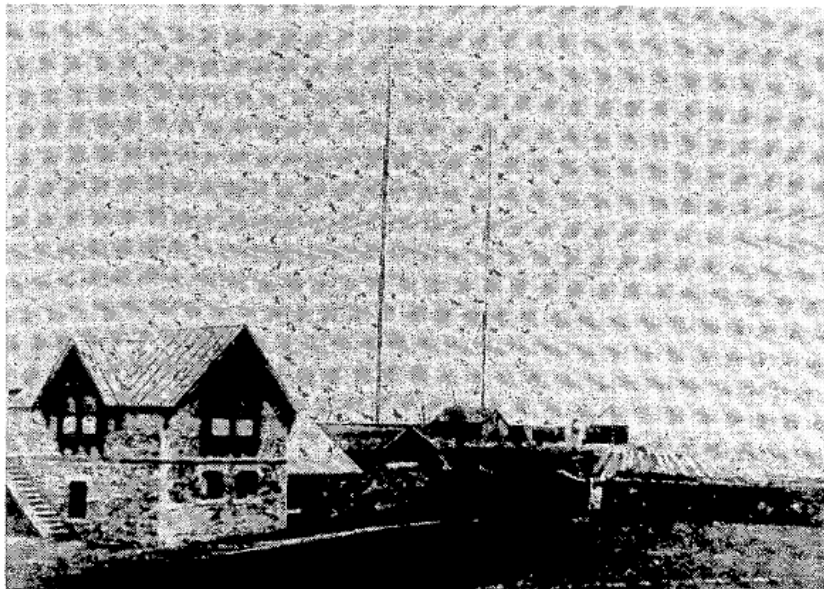


Figure 1.1: Le premier réseau d'antennes au monde utilisé par Marconi en 1901.

Définition et principe de fonctionnement

Qu'est-ce qu'un système de formation de faisceau ? C'est un système multi-antennes (N éléments) qui modifie électroniquement la direction d'émission / réception d'une onde électromagnétique nommée faisceau. Cela se fait en introduisant un retard temporel τ variable ou un déphasage au niveau du chemin de chaque antenne, afin d'orienter le faisceau dans une direction voulue de l'espace libre selon un angle θ et de l'annuler dans les autres directions. La Figure 1.2 montre un système de formation de faisceau en émission ainsi que son principe de fonctionnement.

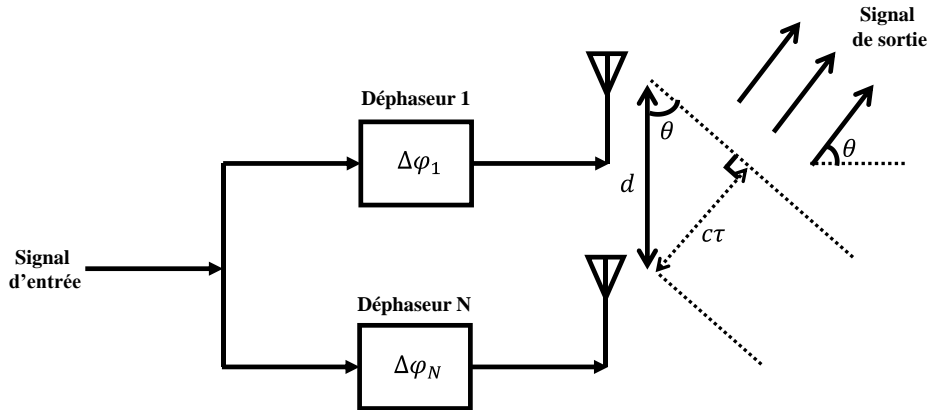


Figure 1.2: Système de formation de faisceau en émission.

Le retard temporel progressif entre deux antennes adjacentes est donné par

$$\tau = d \sin(\theta) / c, \quad (1.1)$$

avec d l'espacement entre les antennes et c la célérité de la lumière. Les expressions des signaux émis par les première et $n^{\text{ème}}$ antennes du réseau sont données respectivement par :

$$S_0(t) = A(t) \cos[2\pi f t + \varphi(t)] \quad (1.2)$$

et

$$S_n(t) = S_0(t - n\tau) = A(t - n\tau) \cos[2\pi f t + \varphi(t - n\tau) - 2\pi n f \tau], \quad (1.3)$$

où $A(t)$ et $\varphi(t)$ sont respectivement l'amplitude et la phase du signal, et f la fréquence de la porteuse.

Pour un système radio où la bande passante est très inférieure à la fréquence de la porteuse, τ est très négligeable devant la période du symbole en bande de base, ce qui conduit à obtenir les approximations suivantes :

$$A(t) \approx A(t - n\tau), \quad (1.4)$$

$$\varphi(t) \approx \varphi(t - n\tau). \quad (1.5)$$

Le retard entre les différents chemins peut être compensé au niveau de l'émetteur, en ajoutant des cellules de compensation temporelles programmables ayant une résolution suffisante [2-3]. Cependant l'implémentation de ces cellules est difficile à cause des pertes, des non-linéarités et de la surface occupée. Une solution alternative consiste à réaliser une approximation du temps de compensation nécessaire en implémentant des déphaseurs programmables [4-5] engendrant sur chaque voie un déphasage. Au niveau de la $n^{\text{ème}}$ voie, ce déphasage φ_n est donné par :

$$\varphi_n = n\varphi = 2\pi n f \tau, \quad (1.6)$$

et en supposant que chaque voie de l'émetteur ait un gain unitaire, alors le signal recombinaé en sortie peut être exprimé sous la forme :

$$\begin{aligned} S_{out}(t) &= \sum_{n=0}^{N-1} A(t - n\tau) \cos[2\pi f t + \varphi(t - n\tau) - 2\pi n f \tau + \varphi_n] \\ &\approx \sum_{n=0}^{N-1} A(t) \cos[2\pi f t + \varphi(t) - 2\pi n f \tau + \varphi_n] \\ &= N * S_0(t). \end{aligned} \quad (1.7)$$

Ce résultat montre que les déphaseurs peuvent aussi compenser le déphasage de la porteuse de chaque voie. De cette façon, les signaux émis par les antennes peuvent être combinés d'une façon cohérente dans une direction particulière de l'espace.

Intérêts et avantages

Pourquoi l'utilisation de systèmes de formation de faisceau ? Les communications de type NLOS (Non-Line-Of-Sight) est un terme souvent utilisé dans les communications radio pour décrire un canal de liaison radio où il n'y a pas de liaison visuelle entre l'antenne émettrice et l'antenne de réception. Cette communication repose sur la transmission radio à travers un chemin qui contient partiellement des obstacles, le plus souvent des objets physiques. Les obstacles qui causent généralement des conditions NLOS comprennent les bâtiments, les arbres, collines, montagnes, et dans certains cas des lignes électriques à haute tension. Certains de ces obstacles reflètent certaines fréquences radio, alors que certains simplement absorbent les signaux ; mais dans les deux cas, ils limitent l'utilisation de nombreux types de transmissions radio. Pour cela les réseaux d'antennes constituent une solution idéale pour les communications de type NLOS en bande millimétrique. Ils peuvent avoir différents noms tels que : réseaux à commande de phase, réseaux de formation de faisceaux, réseaux de diversité spatiale... Une antenne en émission peut émettre un signal avec une puissance P_0 , tandis que dans un réseau d'antennes, chaque voie peut émettre un signal avec une puissance de P_0/N en gardant toujours une puissance totale P_0 en sortie. D'autre part, la puissance isotrope rayonnée équivalente (PIRE ou EIRP en anglais) d'un système de formation de faisceau en émission s'exprime par $P_0 * N$, cette puissance est augmentée d'un facteur $10 \log_{10}(N)$ dB par rapport à celle d'une seule antenne ce qui permet d'augmenter la puissance rayonnée et améliorer le gain du réseau. Enfin un système de

formation de faisceau peut annuler les signaux dans les directions non souhaitées, ce qui réduit les effets des phénomènes multi-trajets ainsi que les interférences.

Technologies utilisées et implémentations

Comment réalise-t-on un système de formation de faisceau ? Plusieurs types de systèmes de formation de faisceau existent avec différentes implémentations. Indépendamment du type de système, ils reposent sur un signal en entrée qui est séparé sur plusieurs voies à l'aide de diviseurs de puissance. Les signaux sont déphasés par des déphaseurs et émis à l'aide d'antennes. Dans le cas des matrices de Butler [6], [7] cette formation et orientation du faisceau peut également être réalisée sans nécessiter l'utilisation de diviseur de puissance.

Les technologies utilisées dans la réalisation de ces systèmes sont nombreuses dans la littérature. Des systèmes utilisent des blocs à base de « switch » MEMS (Microelectromechanical System) afin d'ajuster la phase de chaque chemin mécaniquement [8]–[10]. D'autres systèmes reposent sur la technologie des cristaux liquides [11]–[13], utilisant ainsi un matériau accordable. Il existe également des circuits MMIC (Monolithic Microwave Integrated Circuit) [14]–[16] réalisés avec du nitrure de gallium (GaN) ou de l'arséniure de gallium (GaAs) appartenant à la famille des semi-conducteurs des colonnes III-V. Les deux avantages fondamentaux du GaAs par rapport au silicium (Si) sont: (i) la vitesse du dispositif (transistor), et (ii) l'utilisation d'un substrat semi-conducteur. Ces deux facteurs ont été déterminants dans la conception des circuits hyperfréquences. Cependant l'avantage principal du silicium est son faible coût de fabrication comparé à celui de la technologie GaAs. En effet, d'une part la taille du wafer en silicium est plus grande que celle du GaAs, d'autre part son coût est significativement moindre, ce qui contribue à rendre le circuit intégré moins cher. D'autre part le Si possède trois principaux avantages vis-à-vis du GaAs, (i) il est particulièrement abondant, (ii) il cohabite excellemment avec un oxyde naturel, le dioxyde de silicium (SiO₂), qui est un excellent isolant, et (iii) l'absence de transistors à effet de champ (FET) canal-P de qualité en GaAs ne permet pas la mise en œuvre de la technologie CMOS. Pour toutes ces raisons le GaAs n'a pas remplacé le silicium dans la plupart des applications, si ce n'est en bande millimétrique, ... mais même dans ce domaine les technologies CMOS/BiCMOS sont optimisées chercher à supplanter progressivement les technologies GaAs pour de nombreuses applications pour lesquelles le coût est le facteur primordial.

Finalement, les systèmes de formation de faisceau réalisés sur Si en technologies CMOS/BiCMOS s'avèrent les plus étudiés notamment depuis ces cinq dernières années, y compris aux fréquences millimétriques et sub-millimétriques. L'exploitation de la bande sub-millimétrique exige cependant que les transistors fonctionnent à la limite de leur fréquence de coupure. La génération de puissance au-delà de la fréquence de coupure est effectuée de deux manières:

- Extraction de la puissance directement de l'oscillateur.
- Transformation de fréquence à partir de fréquences plus basses à l'aide de chaînes de multiplication et d'étages d'amplification.

Les systèmes de formation de faisceau peuvent être divisés en deux grandes catégories. La première concerne les générateurs de signaux basés sur des étages de multiplication et d'amplification, ainsi que des oscillateurs. Ils sont largement utilisés pour l'imagerie [17]–[19]. La seconde catégorie concerne les systèmes de formation de faisceau avec orientation (changement de phase). Outre leur utilisation pour l'imagerie, ils sont également utilisés pour les communications haut-débit entre terminaux (> 50 Gbits/s) ainsi que les applications de « beamforming » et « beam-steering ». Cette seconde catégorie concerne les études menées durant cette thèse. L'état de l'art correspondant sera présenté dans la partie 1.3 de ce chapitre.

1.2 La bande sub-millimétrique : les opportunités et les applications

La bande sub-millimétrique du spectre électromagnétique est définie comme allant globalement de 300 GHz à 3 THz. Elle constitue une zone de transition et de recouvrement entre l'électronique THz (de 100 GHz à 1 THz) et la photonique THz (de 300 GHz à 10 THz), comme illustré sur la Figure 1.3. Historiquement, le rayonnement THz a été généré par des moyens optiques à l'aide d'impulsions laser femtoseconde et a été principalement utilisé dans des domaines scientifiques.

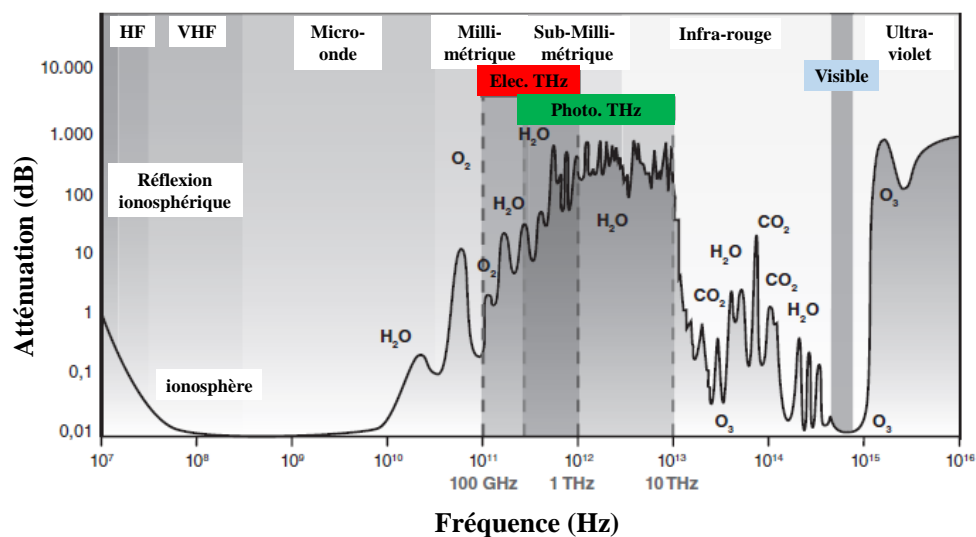


Figure 1.3: Absorption atmosphérique en fonction de la fréquence et spécification des bandes.

Cette gamme de fréquences possède des propriétés telles que la capacité de pénétration de photons non ionisants à travers des matériaux optiquement opaques comme les vêtements, le papier, le carton, et de nombreuses matières plastiques ou céramiques. Pour l'imagerie THz, il est possible de détecter des objets cachés tels que les armes à feu et les couteaux à l'intérieur de paquets, de vêtements ou de matelas [20]. Ce type de détection est de plus en plus utilisé dans les aéroports et les lieux publics en général (Figure 1.4), pour des raisons de sécurité.

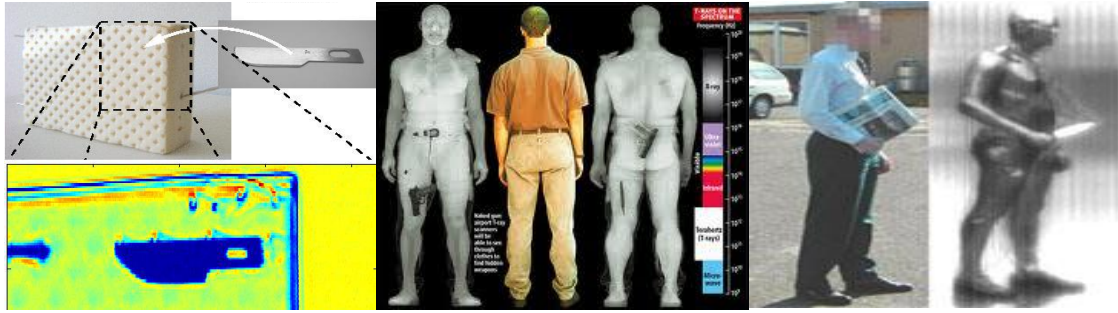


Figure 1.4: Imagerie THz utilisée dans des applications de sécurité [21], [22].

Étant donné que le rayonnement THz concerne des photons de basse énergie (4,1 meV pour 1 THz), ce rayonnement n'est pas potentiellement dangereux pour les tissus biologiques, ce qui autorise son utilisation dans l'imagerie biomédicale, comme l'illustre la Figure 1.5 où une carie dentaire peut être détectée grâce à l'imagerie THz.

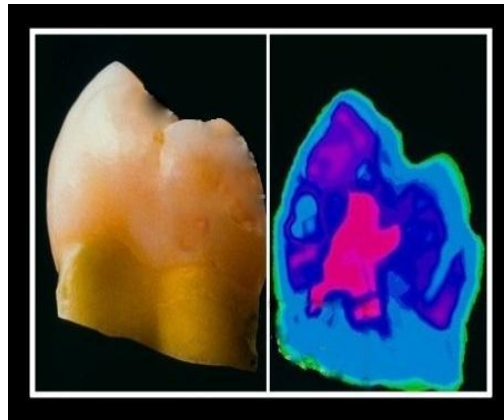


Figure 1.5: Imagerie THz utilisée dans le domaine du biomédical [23].

Les diélectriques étant transparents aux rayons THz, l'imagerie THz est également utilisée dans le domaine du contrôle qualité [19]. La Figure 1.6 montre le résultat d'imagerie d'une enveloppe contenant une pièce de monnaie et un comprimé de vitamines. En raison de l'interaction des ondes THz avec les différents types de matériaux, le contraste diélectrique permet la distinction entre deux objets ayant la même taille et la même géométrie.

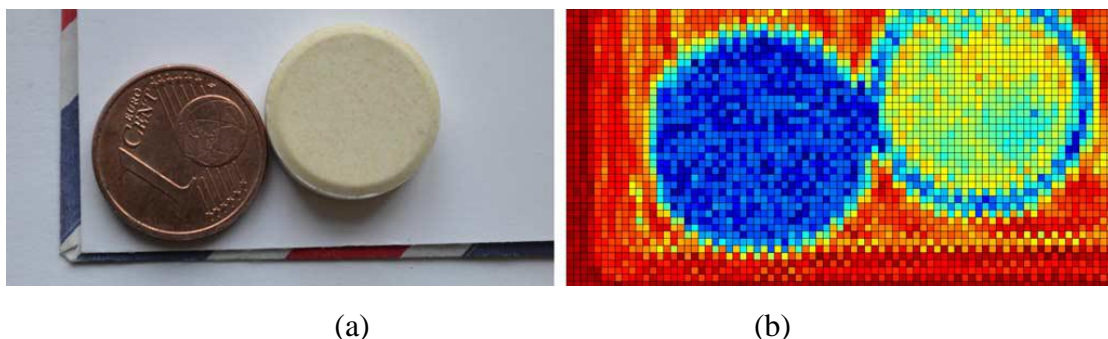


Figure 1.6: (a) une pièce de monnaie et un comprimé de vitamine dans une enveloppe, (b) image THz et contraste diélectrique des deux objets détectés [19].

Puisque les ondes THz sont très atténuées par l'eau, les systèmes d'imagerie peuvent également être utilisés pour déterminer la concentration en eau des produits tels que les

aliments ou les plantes. La Figure 1.7 montre la mesure de l'humidité d'une feuille d'oranger. La Figure 1.7(a) représente la feuille récemment coupée et qui possède une forte concentration en eau, ce qui entraîne une transmission faible de la puissance à travers la feuille. Par contre lorsque la feuille commence à être sèche (Figure 1.7(b)), la concentration en eau diminue (l'eau restante est concentrée dans la tige) et l'absorption des ondes THz diminue, ce qui entraîne des niveaux de puissance reçue plus élevés.

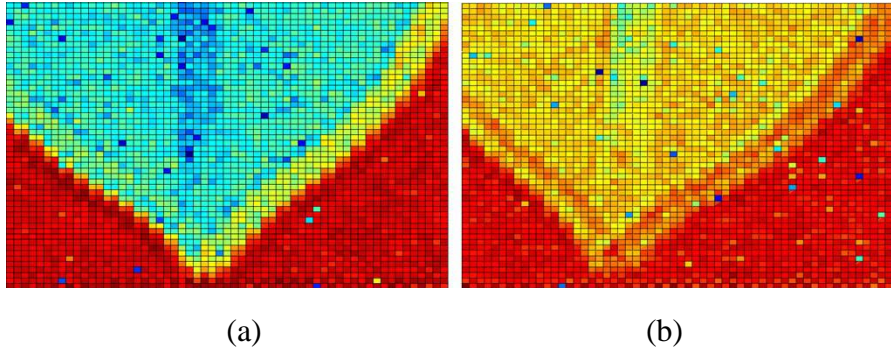


Figure 1.7: Imagerie THz: mesure de la concentration en eau dans une feuille d'oranger (a) feuille récemment coupée et (b) feuille sèche après 48h [19].

1.3 Architectures typiques de systèmes de formation de faisceau

Avant de présenter les architectures typiques de systèmes de formation de faisceau, les principales performances des systèmes de formation de faisceau à considérer sont données ci-dessous :

- le point de compression à 1 dB en sortie $OCP1$ et en entrée $ICP1$ pour chaque voie,
- l'EIRP (ou PIRE pour puissance isotrope rayonnée équivalente),
- le gain du réseau G ,
- la bande passante BW ,
- la consommation totale P_{DC} ,
- la surface du circuit,
- le type d'antennes utilisées,
- le nombre d'éléments N et le type de beamforming.

L'EIRP est définie dans la direction de l'antenne où la puissance émise est maximale : c'est la puissance qu'il faudrait appliquer à une antenne isotrope pour obtenir la même amplitude de champ dans cette direction. Pour une antenne connectée directement à l'émetteur (TX), l'EIRP est donné de manière théorique par l'expression suivante [24] :

$$EIRP_{(dBm)} = P_{in,ant(dBm)} + G_{réseau(dB)} + 10 \log N \quad (1.8)$$

avec $P_{in,ant}$ la puissance disponible à l'entrée de l'antenne d'une seule voie, $G_{réseau}$ le gain du réseau et N le nombre d'éléments.

Différentes architecture de formation de faisceau peuvent être considérées. Elles dépendent notamment de la manière d'intégrer les déphaseurs, comme cela est présenté sur la Figure 1.8.

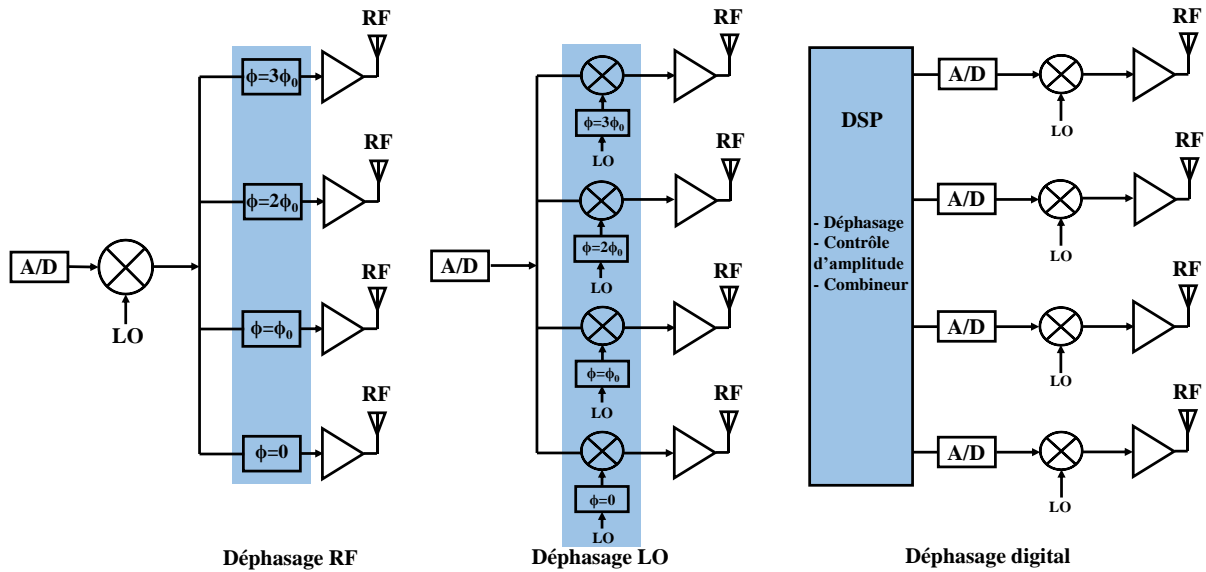


Figure 1.8: Différentes topologies d'intégration des déphaseurs dans les systèmes de formation de faisceau.

Le déphasage au niveau de la voie RF permet de réaliser le mélange avant le diviseur de puissance, déphaser le signal RF et l'amplifier à l'aide d'un amplificateur de puissance placé après le déphaseur. Cette topologie permet d'utiliser un seul mélangeur, ce qui conduit à réduire la consommation et la surface du système. Par contre la conception du diviseur de puissance, de déphaseurs à faibles pertes et des amplificateurs à gain variable au niveau de la voie RF dans la bande sub-millimétrique, s'avèrent difficiles.

Le déphasage au niveau de la voie LO nécessite quant à lui de réaliser le mélange du signal déphasé après le diviseur de puissance, ce qui augmente la surface du circuit et la consommation. Mais cette topologie permet de concevoir des déphaseurs dans la voie LO et par conséquent les non-linéarités, les pertes et les performances en bruit des déphaseurs n'ont pas un impact direct sur les performances du système. De même les déphaseurs peuvent fonctionner à f_{LO}/N avec N le nombre d'harmoniques, (par exemple si $N = 6$ et f_{LO} est proche de 300 GHz, les déphaseurs seront conçus à 50 GHz). Ainsi les déphaseurs auront de meilleures performances notamment en termes de pertes et le déphasage nécessaire à basse fréquence sera N fois inférieur à celui désiré en RF. Le déphasage au niveau de la voie LO, en utilisant un concept de multiplication fréquence/phase sera expliqué en détail dans la partie 3.3.3 du chapitre 3.

Le déphasage digital ou bien en bande de base permet de numériser les voies du réseau à l'aide de convertisseurs analogique numérique (ADC), et les bits des voies sont ainsi traités en utilisant un traitement numérique des signaux (DSP) où le filtrage spatial est réalisé. Le plus gros avantage de cette structure est sa flexibilité. Plusieurs algorithmes de traitement de signaux peuvent être implémentés en utilisant les blocs de DSP. Par contre la surface et la consommation sont plus élevées que pour les deux autres topologies. Le Tableau 1.1 présente les avantages et inconvénients des différents types d'implémentations de déphaseurs dans les systèmes de formation de faisceau.

Déphasage RF	Déphasage LO	Déphasage digital
Déphaseurs à 300 GHz	Déphaseurs à 50 GHz	
☺ Consommation faible ☺ Surface faible ☺ Performances des mélangeurs et amplificateurs (PA) peu critiques	☺ Déphasage faible à réaliser par les déphaseurs	☺ Flexibilité
☹ Besoin d'amplificateurs à gain variable ☹ Besoin de déphaseurs performants (faible pertes, large bande, linéarité)	☹ Besoin d'une dynamique élevée pour les mélangeurs et les PA	☹ Consommation élevée ☹ Surface élevée

Tableau 1.1: Avantages / inconvénients des différents types d'implémentation de déphaseurs dans les systèmes de formation de faisceau.

1.4 Etat de l'art des systèmes de formation de faisceau en technologie intégrée CMOS/BiCMOS

Dans cette partie, l'état de l'art des systèmes de formation et d'orientation de faisceau en technologie intégrée CMOS/BiCMOS est présenté. Afin de pouvoir réaliser une comparaison des performances, l'état de l'art regroupe uniquement les systèmes fonctionnant dans les bandes millimétrique et sub-millimétrique.

Dans [4], un des premiers systèmes de formation de faisceau en technologie BiCMOS est présenté. Le récepteur dédié à des applications radar à 24 GHz comprend 8 éléments. Basé sur une architecture de déphasage au niveau de la voie LO, ce système présente des performances remarquables. Un gain de 61 dB est atteint avec une faible consommation de 865 mW pour une surface occupée de 12 mm² environ. La Figure 1.9 présente l'architecture et une photographie du système proposé.

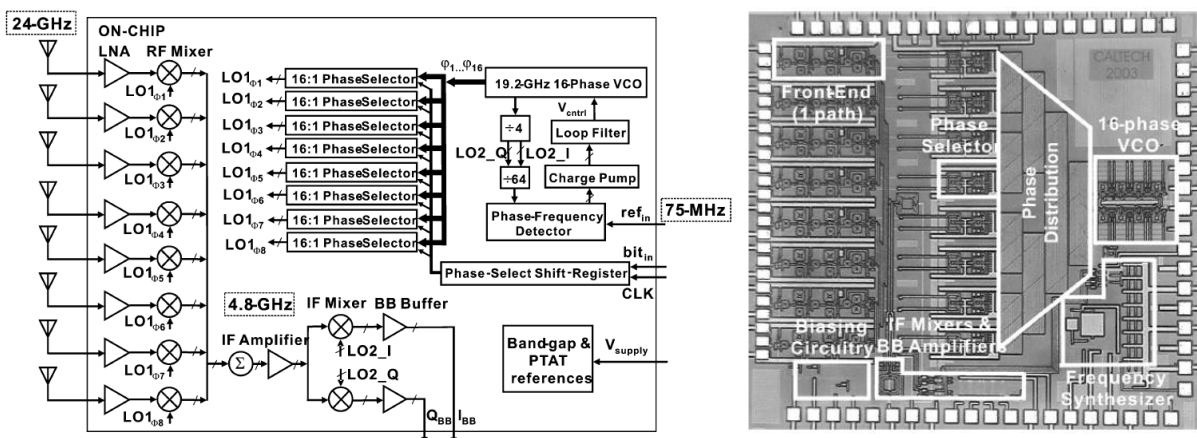


Figure 1.9 : Architecture et photographie du système proposé dans [4].

Une architecture dédiée aux applications dans la bande autour de 60 GHz est présentée dans [25]. Le circuit, basé sur un déphasage de la voie LO, est composé de 4 voies. Le système permet une orientation du faisceau dans deux dimensions. Ce système présente également de bonnes performances avec 26 dB de gain et une puissance consommée de 590 mW pour une surface de 4 mm². D'autres systèmes fonctionnant autour de 60 GHz ont également été présentés dans [26], [27], [28] et [29]. Ceux-ci présentent des gains et des puissances rayonnées élevées, mais au détriment de très grandes surfaces de l'ordre de dizaines de mm², avec une consommation de l'ordre de quelques Watts.

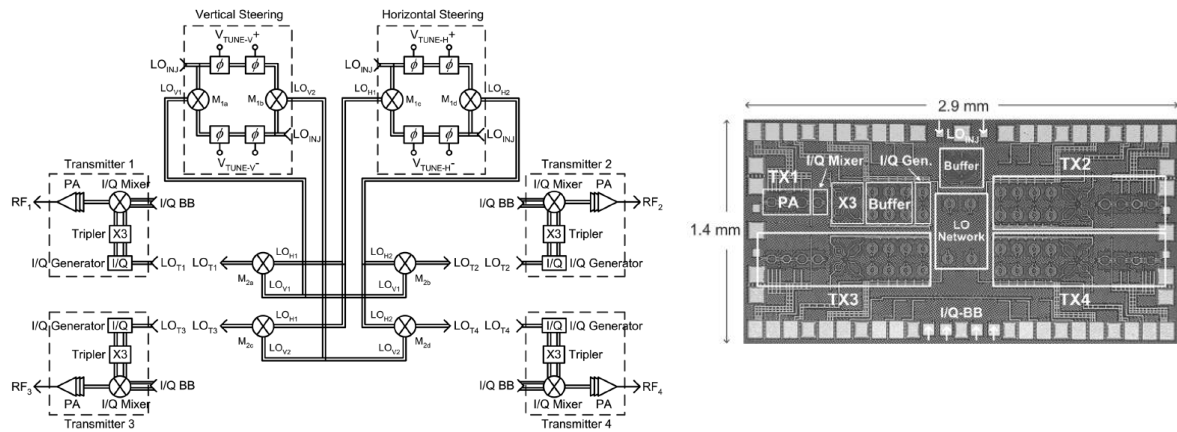


Figure 1.10 : Architecture et photographie du système présenté dans [25].

D'autres systèmes ont été réalisés plus haut en fréquence, dans la bande sub-millimétrique, visant plusieurs applications. Dans [30], un des premiers systèmes de formation de faisceau en technologie CMOS à 285 GHz est présenté. L'architecture est basée sur une structure innovante de DAR¹ (16 éléments) qui permet l'orientation du faisceau en 2D. Des multiplieurs de fréquence et des oscillateurs verrouillés par injection ont été utilisés. L'EIRP obtenu est d'environ 10 dBm. La consommation est de 820 mW avec une surface occupée de 7,3 mm² environ.

¹ DAR : Distributed Active Radiator : C'est une structure électromagnétique composée de deux boucles, qui transforme un signal DC en une onde qui oscille à la fréquence de travail f_0 et génère des harmoniques à cause des non-linéarités. Les signaux à f_0 sont en opposition de phase et filtrés, tandis que les signaux à $2f_0$ sont en phase et rayonnent en sortie de la structure.

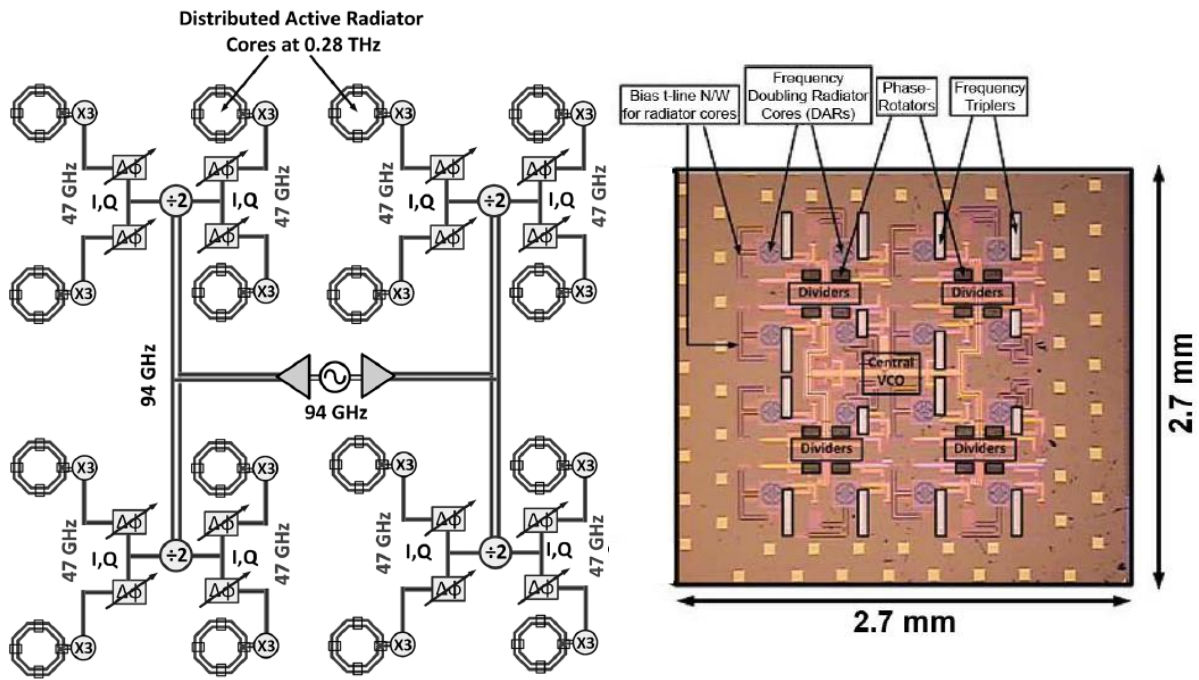


Figure 1.11 : Architecture et photographie du système présenté dans [30].

Le premier système en technologie CMOS dans la bande 375 -405 GHz a été présenté dans [31]. Ce système constitué de 8 éléments est basé sur des quadrupleurs et une structure active de déphaseurs implémentés au niveau de la voie RF. Il produit un gain de 12 dB environ avec une consommation de l'ordre du Watt. Il occupe une surface de 10,5 mm².

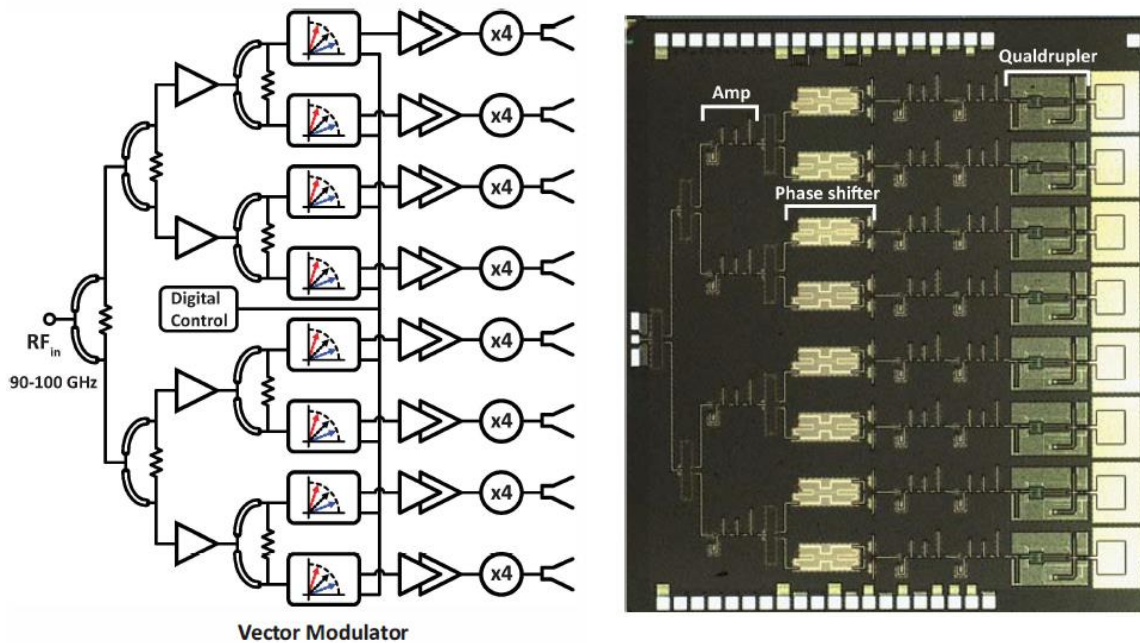


Figure 1.12 : Architecture et photographie du système présenté dans [31].

Finalement un système à 60 GHz est présenté dans [29]. Ce système est considéré comme le plus grand réseau d'antennes (64 éléments) en technologie BiCMOS. Avec un EIRP de 38 dBm et un gain de réseau de 20 dB, ce système consomme 8,5 W et occupe une surface de

400 mm². Le travail présenté dans [29] ouvre la voie pour l'intégration d'un réseau ayant plus de 1000 éléments sur un même wafer.

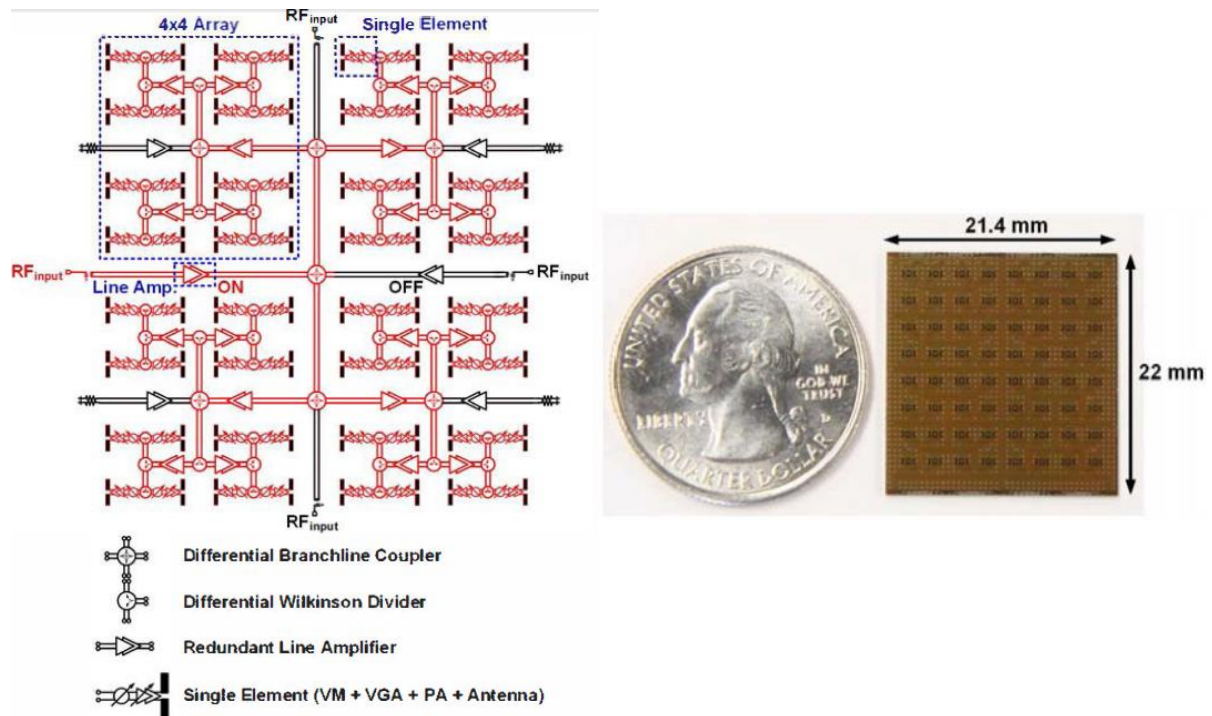


Figure 1.13 : Architecture et photographie du système présenté dans [29].

Le Tableau 1.2 résume l'état de l'art ainsi que les performances des systèmes de formation de faisceau en technologie CMOS/BiCMOS en bande millimétrique et sub-millimétrique présentés dans la littérature.

Ref.	Techno.	Freq. (GHz)	TX/RX	O/ICP1 (dBm)	EIRP (dBm)	G (dB)	P _{DC} (mW)	Surf. (mm ²)	Type ant./N	Type B.F ²
[4] 2004	BiCMOS 0,18 μm	24	RX	16/-27	-	61	865	11,55	- 8	LO
[5] 2008	CMOS 90 nm	44-52	RX	-3/-29	-	30	82	1,4	- 2	LO
[32] 2009	BiCMOS 0,18 μm	45-50	TX	-5/-15	32	25	3600	8,32	- 16	RF
[25] 2010	CMOS 65 nm	54-61	TX	6/-13	38	26	590	4,06	- 4	LO
[26] 2010	BiCMOS 0,12 μm	51-65	TX	9/-26	40	47	3800	43,9	Patch 16	RF
[27] 2011	BiCMOS 0,12 μm	57-66	RX	-	-	70	1800	37,7	Patch 16	RF
[33] 2012	BiCMOS 0,13 μm	76-84	RX	-	-	20	130	5,4	- 4	RF
[30] 2012	CMOS 45 nm SOI	276-285	TX	-19/-	9,4	16,3	820	7,29	DAR 16	LO
[28] 2013	CMOS 90 nm	58-61	TX/ RX	6/-3 -21/-30	29	7,94	2050	29	Patch 32	RF
[34] 2013	BiCMOS 0,13 μm	220-250	TX	-	-	24	580	4	- 4	RF
[24] 2013	BiCMOS 0,18 μm	108-114	TX	-	25	26,5	3400	39	Dipôle 16	RF
[35] 2013	BiCMOS 0,13 μm	77-81	RX	-	-	22,5	1200	32	M.S 16	RF
[36] 2013	CMOS 65 nm	338	TX	-	17,1	12	1540	3,9	Patch 16	LO
[31] 2015	CMOS 45 nm SOI	375-405	TX	-	5	12,3	1400	10,5	Patch 8	RF
[29] 2015	BiCMOS 0,13 μm	60	TX	2/-18	38	20	8500	400	Dipôle 64	RF

Tableau 1.2 : Etat de l'art des systèmes de formation de faisceau en technologie CMOS/BiCMOS en bandes millimétrique et sub-millimétrique.

La Figure 1.14 présente la répartition de la consommation en fonction de la fréquence pour les systèmes présentés dans le Tableau 1.2. De même, la surface en fonction du nombre d'éléments présents dans un système est présentée dans la Figure 1.15.

² Type B.F: Type de beamforming réalisé, topologie d'implémentation des déphaseurs.

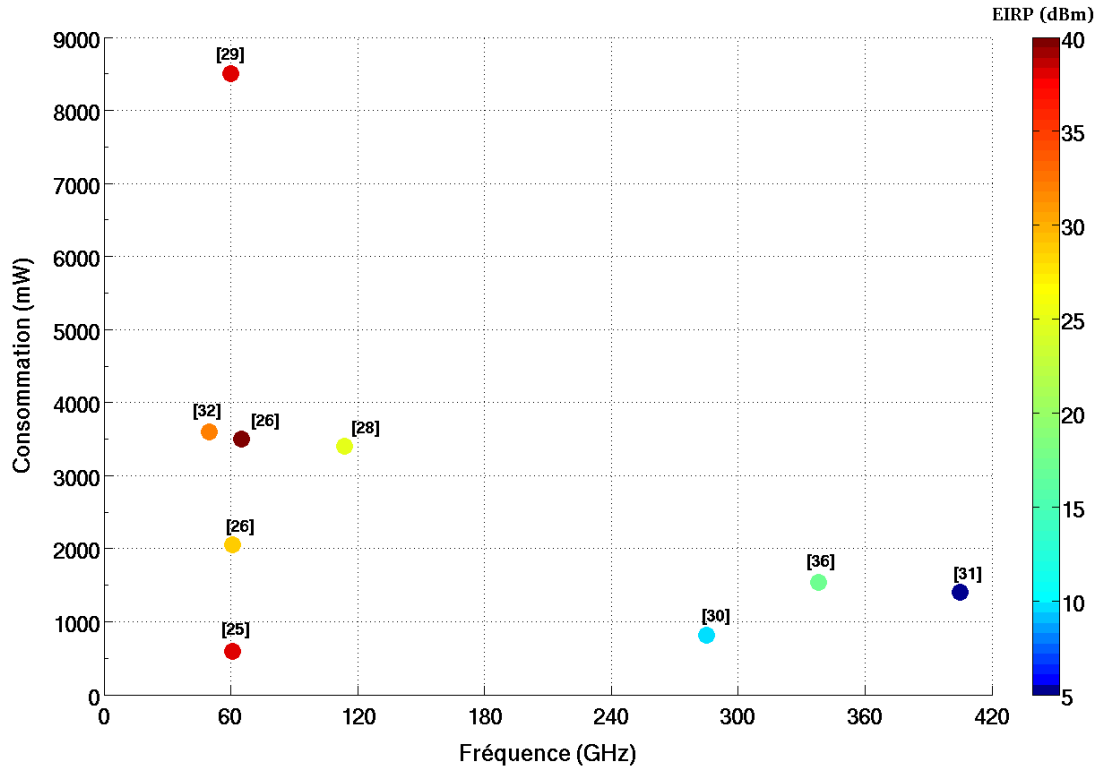


Figure 1.14: Consommation en fonction de la fréquence et l'EIRP (diagramme en couleurs) des systèmes présentés dans le Tableau 1.2.

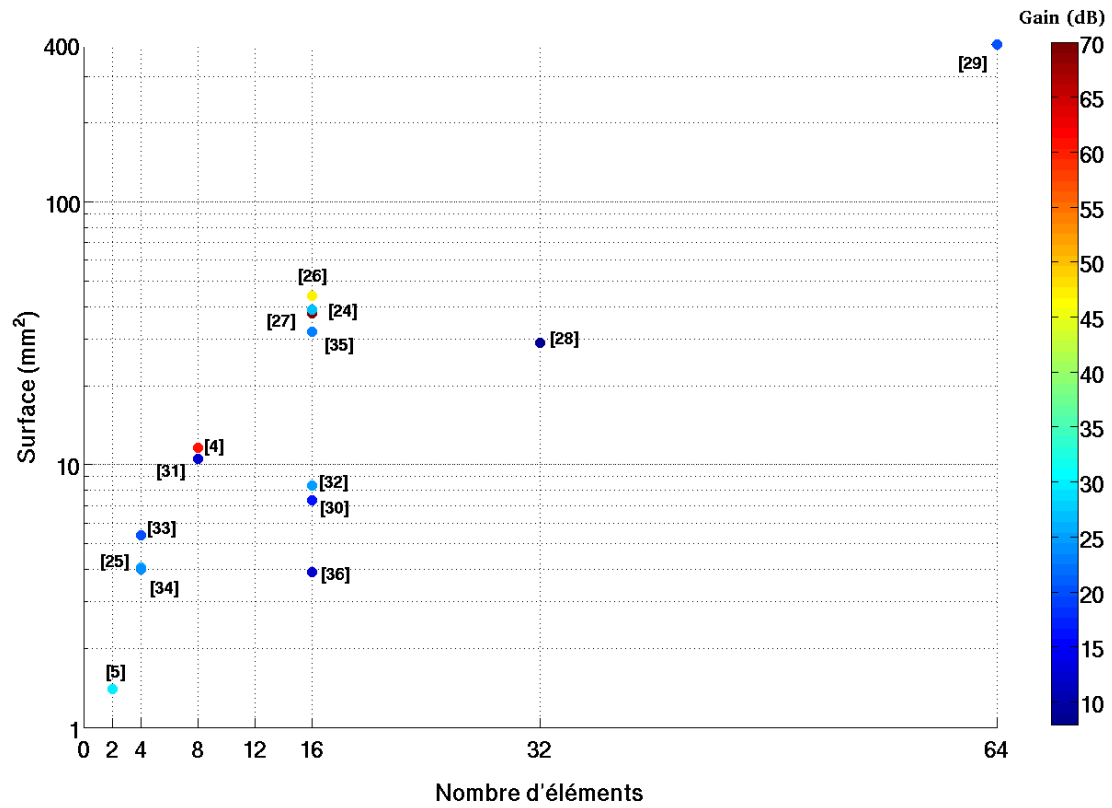


Figure 1.15: Surface occupée en fonction du nombre d'éléments et le gain (diagramme en couleurs) des systèmes présentés dans le Tableau 1.2.

Les Figure 1.14 et Figure 1.15 montrent que la puissance consommée et la surface occupée par le système restent deux aspects très importants à optimiser surtout dans la bande sub-millimétrique qui présente l'avantage de miniaturiser les circuits.

1.5 Choix de l'architecture du système et spécifications

D'après de ce qui a été présenté dans le tableau précédent, la surface et la consommation demeurent deux facteurs importants à réduire et à optimiser tout en améliorant également la puissance générée en sortie du système. Cependant, ces performances dépendent d'un facteur qui joue un rôle primordial dans la conception du système de formation de faisceau, à savoir le nombre d'éléments. Afin de réaliser une preuve de concept concernant un système de formation de faisceau dans la bande sub-millimétrique, le nombre d'éléments sera limité à quatre pour des raisons liées au coût en surface silicium.

Ainsi, en fonction de ce qui a été présenté précédemment, la topologie du déphasage au niveau de la voie LO a été retenue pour ce travail de thèse. La Figure 1.16 présente l'architecture du système de formation de faisceau proposée dans ces travaux. Plusieurs améliorations doivent être à présent réalisées. Il reste à améliorer la surface et la consommation pour s'approcher de celles de la topologie du déphasage RF. Concernant la consommation, la solution utilisant des déphaseurs passifs est préférable ; d'autres avantages seront présentés par la suite. Par ailleurs, l'intégration d'amplificateurs de puissance à la sortie dans la bande sub-millimétrique n'est pas possible car le signal généré est proche de (f_t/f_{max}) et les transistors fonctionnent à la limite de la technologie. Ainsi la structure choisie ne contient pas de PA. D'autre part pour améliorer la puissance générée en sortie, une structure innovante d'oscillateur verrouillé par injection en sous harmonique (SHILO³) est proposée. Elle est basée sur une technique triple push qui permet de générer en sortie la 3^{ème} harmonique de la fréquence d'oscillation, tout en ayant une puissance maximale et un bruit de phase minimal. Cet oscillateur est verrouillé par une injection sous-harmonique afin d'améliorer les propriétés spectrales en sortie (fréquence stable et bruit de phase minimal). Le signal d'injection est généré à l'aide d'un signal basse fréquence en entrée qui est multiplié par une chaîne de multiplication x12, constituée d'un quadrupleur et d'un tripleur basés sur une architecture de génération d'harmoniques par distorsion. Les déphaseurs de type RTPS (Reflection Type Phase Shifter) intégrés au niveau de la voie LO sont réalisés à l'aide de lignes couplées à ondes lentes pour minimiser les pertes et réduire la surface. L'émetteur contenant l'oscillateur verrouillé est conçu en réalisant un compromis consommation et puissance générée, il contient un mélangeur passif. Finalement, une antenne est intégrée sur silicium en sortie de chaque voie de l'émetteur. Toutes ces structures seront détaillées dans les chapitres suivants.

³ SHILO: Sub-Harmonic Injection Locked Oscillator.

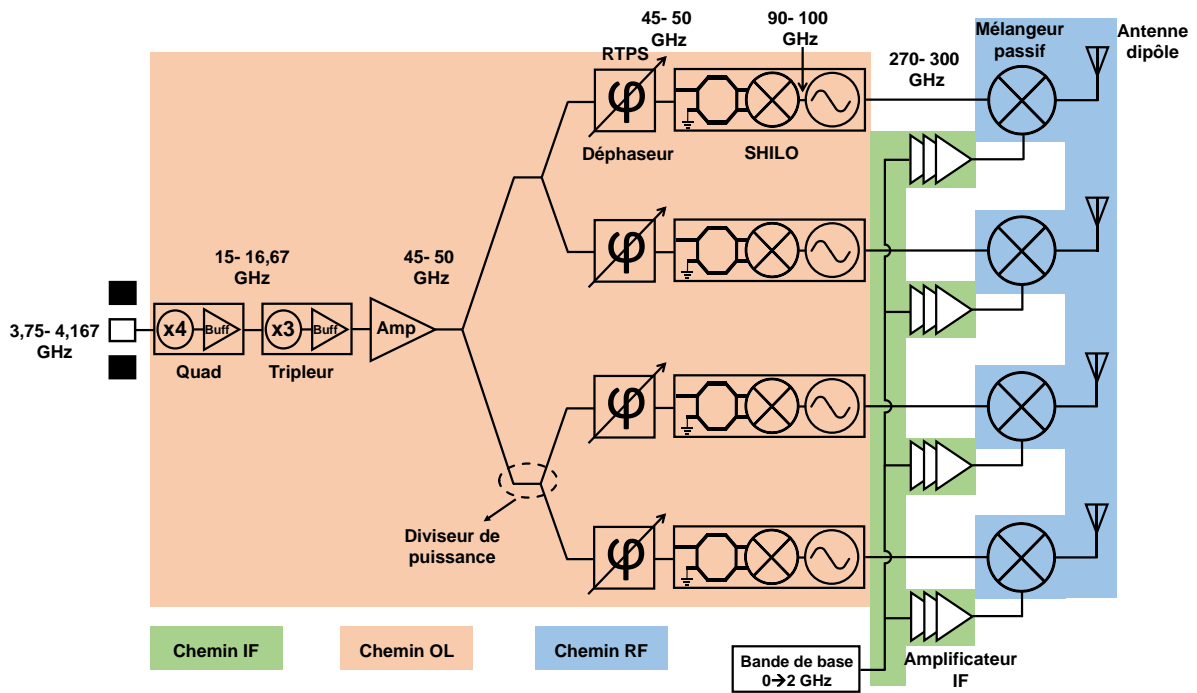


Figure 1.16: Architecture du système de formation de faisceau dans la bande sub-millimétrique proposée dans ces travaux.

1.6 Conclusion

Ce chapitre a permis de présenter le contexte des travaux réalisés durant cette thèse. L'importance des systèmes de formation de faisceau pour les applications de télécommunication et d'imagerie a tout d'abord été décrite. L'évolution des technologies intégrées CMOS/BiCMOS rend la réalisation possible de ces systèmes aux fréquences millimétriques et sub-millimétriques. Finalement l'état de l'art des systèmes de formation de faisceau à ces fréquences a été présenté ainsi qu'une comparaison des performances.

La génération d'un faisceau dans une bande de fréquences proche de (f_t/f_{max}) de la technologie utilisée, impose l'utilisation de nouvelles approches pour améliorer les performances du système. Cependant la consommation du système est un facteur très important d'où la nécessité de trouver des compromis (puissance générée et consommation) durant la conception des différents blocs. D'autre part, la conception du système dans la bande sub-millimétrique permet de réduire la surface du circuit et de concevoir les antennes sur la même puce et obtenir *in fine* un circuit compact et robuste vis-à-vis des parasites et des connexions provenant de l'extérieur.

Une structure innovante d'oscillateur permet d'obtenir la meilleure puissance en sortie tout en proposant une faible consommation et un faible bruit de phase. De même le dimensionnement des différents blocs ainsi qu'une conception optimale doivent permettre d'obtenir des performances à l'état de l'art. Le chapitre suivant présentera les différents composants de base en technologie BiCMOS 55 nm utilisés dans la conception du système.

1.7 Références bibliographiques

- [1] P. K. Bondyopadhyay, “The first application of array antenna,” in *IEEE International Conference on Phased Array Systems and Technology, 2000.*, 2000, pp. 29–32.
- [2] J. Roderick, H. Krishnaswamy, K. Newton, and H. Hashemi, “Silicon-Based Ultra-Wideband Beam-Forming,” *IEEE J. Solid-State Circuits*, vol. 41, no. 8, pp. 1726–1739, Aug. 2006.
- [3] T. S. Chu and H. Hashemi, “A true time-delay-based bandpass multi-beam array at mm-waves supporting instantaneously wide bandwidths,” *IEEE Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, 2010, pp. 38–39.
- [4] X. Guan, H. Hashemi, and A. Hajimiri, “A fully integrated 24-GHz eight-element phased-array receiver in silicon,” *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2311–2320, Dec. 2004.
- [5] H. Hashemi, X. Guan, A. Komijani, and A. Hajimiri, “A 24-GHz SiGe phased-array receiver-LO phase-shifting approach,” *IEEE Trans. Microw. Theory Tech.*, vol. 53, no. 2, pp. 614–626, Feb. 2005.
- [6] W. Choi, K. Park, Y. Kim, K. Kim, and Y. Kwon, “A V -Band Switched Beam-Forming Antenna Module Using Absorptive Switch Integrated With 4x 4 Butler Matrix in 0.13- μm CMOS,” *IEEE Trans. Microw. Theory Tech.*, Dec. 2010.
- [7] G. Tian, J.-P. Yang, and W. Wu, “A Novel Compact Butler Matrix Without Phase Shifter,” *IEEE Microw. Wirel. Compon. Lett.*, vol. 24, no. 5, pp. 306–308, May 2014.
- [8] C. H. Ko, K. M. J. Ho, and G. M. Rebeiz, “An Electronically-Scanned 1.8-2.1 GHz Base-Station Antenna Using Packaged High-Reliability RF MEMS Phase Shifters,” *IEEE Trans. Microw. Theory Tech.*, vol. 61, no. 2, pp. 979–985, Feb. 2013.
- [9] Z. Du, A. Tamminen, J. Ala-Laurinaho, J. Säily, P. Rantakari, A. Luukanen, and A. V. Räisänen, “Design and optimization of reconfigurable reflectarray element with MEMS phase shifter,” in *European Conference on Antennas and Propagation (EuCAP)*, 2013, pp. 2422–2426.
- [10] L. Baggen, W. Simon, M. A. Campo, R. Malmqvist, T. Vähä-Heikkilä, B. Grandchamp, and P. Rolland, “Innovative MEMS-MMIC components for agile antenna frontends,” in *European Conference on Antennas and Propagation (EuCAP)*, 2013, pp. 1572–1575.
- [11] S. Bildik, O. H. Karabey, C. Fritsch, and R. Jakoby, “Temperature investigations of liquid crystal based reconfigurable reflectarrays,” in *International Symposium on Antenna Technology and Applied Electromagnetics (ANTEM)*, 2012, pp. 1–4.
- [12] C. Weickhmann, N. Nathrath, R. Gehring, A. Gaebler, M. Jost, and R. Jakoby, “A light-weight tunable liquid crystal phase shifter for an efficient phased array antenna,” in *European Microwave Conference (EuMC)*, 2013, pp. 428–431.
- [13] C. Weickhmann, M. Jost, D. Laemmle, and R. Jakoby, “Design and fabrication considerations for a 250 GHz liquid crystal phase shifter,” in *International Conference on Infrared, Millimeter, and Terahertz waves (IRMMW-THz)*, 2014, pp. 1–2.
- [14] Y. Suzuki, S. Yoshida, T. T. Ta, S. Tanifuji, S. Kameda, N. Suematsu, T. Takagi, and K. Tsubouchi, “A 60 GHz band 2x4 planar dipole phased array antenna using flip chip mounted MMIC mixers,” in *European Microwave Conference (EuMC)*, 2013, pp. 1619–1622.

- [15] A. Sharma, A. Kumar, and A. N. Bhattacharya, "A Ku-band 6-bit digital phase shifter MMIC for phased array antenna systems," in *IEEE MTT-S International Microwave and RF Conference (IMaRC)*, 2015, pp. 404–407.
- [16] Y. S. Noh and I. B. Yom, "Highly Integrated C-Band GaN High Power Amplifier MMIC for Phased Array Applications," *IEEE Microw. Wirel. Compon. Lett.*, vol. 25, no. 6, pp. 406–408, Jun. 2015.
- [17] U. R. Pfeiffer, Y. Zhao, J. Grzyb, R. A. Hadi, N. Sarmah, W. Forster, H. Rucker, and B. Heinemann, "14.5 A 0.53THz reconfigurable source array with up to 1mW radiated power for terahertz imaging applications in 0.13 μm SiGe BiCMOS," *IEEE Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, 2014, pp. 256–257.
- [18] N. Sarmah, B. Heinemann, and U. R. Pfeiffer, "A 246 GHz fundamental source with a peak output power of 2.8 dBm," in *European Microwave Integrated Circuits Conference (EuMIC)*, 2015, pp. 184–187.
- [19] W. Steyaert and P. Reynaert, "A 0.54 THz Signal Generator in 40 nm Bulk CMOS With 22 GHz Tuning Range and Integrated Planar Antenna," *IEEE J. Solid-State Circuits*, vol. 49, no. 7, pp. 1617–1626, Jul. 2014.
- [20] U. R. Pfeiffer, Y. Zhao, J. Grzyb, R. A. Hadi, N. Sarmah, W. Förster, H. Rucker, and B. Heinemann, "A 0.53 THz Reconfigurable Source Module With Up to 1 mW Radiated Power for Diffuse Illumination in Terahertz Imaging Applications," *IEEE J. Solid-State Circuits*, vol. 49, no. 12, pp. 2938–2950, Dec. 2014.
- [21] "Design of microwave circuits," *MC2 technologies*.
- [22] "Qinetiq's Millimeter Wave sees through walls and your clothes," *Engadget*. [Online]. Available: <http://www.engadget.com/2005/03/17/qinetiqs-millimeter-wave-sees-through-walls-and-your-clothes/>.
- [23] "Terahertz imaging kingholmes.com." [Online]. Available: <http://kingholmes.photoshelter.com/image/I0000BKoY1Wi5YPo>.
- [24] Woorim Shin, Bon-Hyun Ku, O. Inac, Yu-Chin Ou, and G. M. Rebeiz, "A 108-114 GHz 4x4 Wafer-Scale Phased Array Transmitter With High-Efficiency On-Chip Antennas," *IEEE J. Solid-State Circuits*, vol. 48, no. 9, pp. 2041–2055, Sep. 2013.
- [25] W. L. Chan and J. R. Long, "A 60-GHz Band 2x2 Phased-Array Transmitter in 65-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 45, no. 12, pp. 2682–2695, Dec. 2010.
- [26] A. Valdes-Garcia, S. T. Nicolson, J.-W. Lai, A. Natarajan, P.-Y. Chen, S. K. Reynolds, J.-H. C. Zhan, D. G. Kam, D. Liu, and B. Floyd, "A Fully Integrated 16-Element Phased-Array Transmitter in SiGe BiCMOS for 60-GHz Communications," *IEEE J. Solid-State Circuits*, vol. 45, no. 12, pp. 2757–2773, Dec. 2010.
- [27] A. Natarajan, S. K. Reynolds, M.-D. Tsai, S. T. Nicolson, J.-H. C. Zhan, D. G. Kam, D. Liu, Y.-L. O. Huang, A. Valdes-Garcia, and B. A. Floyd, "A Fully-Integrated 16-Element Phased-Array Receiver in SiGe BiCMOS for 60-GHz Communications," *IEEE J. Solid-State Circuits*, vol. 46, no. 5, pp. 1059–1075, May 2011.
- [28] E. Cohen, M. Ruberto, M. Cohen, O. Degani, S. Ravid, and D. Ritter, "A CMOS Bidirectional 32-Element Phased-Array Transceiver at 60 GHz With LTCC Antenna," *IEEE Trans. Microw. Theory Tech.*, vol. 61, no. 3, pp. 1359–1375, Mar. 2013.

- [29] S. Zehir, O. D. Gurbuz, A. Karroy, S. Raman, and G. M. Rebeiz, "A 60 GHz 64-element wafer-scale phased-array with full-reticle design," in *Proc. IEEE MTT-S Int. Microw. Symp. (IMS)*, 2015, pp. 1–3.
- [30] K. Sengupta and A. Hajimiri, "A 0.28 THz Power-Generation and Beam-Steering Array in CMOS Based on Distributed Active Radiators," *IEEE J. Solid-State Circuits*, vol. 47, no. 12, pp. 3013–3031, Dec. 2012.
- [31] Y. Yang, O. Gurbuz, and G. M. Rebeiz, "An 8-element 400 GHz phased-array in 45 nm CMOS SOI," in *Proc. IEEE MTT-S Int. Microw. Symp. (IMS)*, 2015, pp. 1–3.
- [32] K.-J. Koh, J. W. May, and G. M. Rebeiz, "A Millimeter-Wave (40-45 GHz) 16-Element Phased-Array Transmitter in 0.18- μm SiGe BiCMOS Technology," *IEEE J. Solid-State Circuits*, vol. 44, no. 5, pp. 1498–1509, May 2009.
- [33] S. Y. Kim and G. M. Rebeiz, "A Low-Power BiCMOS 4-Element Phased Array Receiver for 76-84 GHz Radars and Communication Systems," *IEEE J. Solid-State Circuits*, vol. 47, no. 2, pp. 359–367, Feb. 2012.
- [34] M. Elkhoully, S. Glisic, C. Meliani, F. Ellinger, and J. C. Scheytt, "220 - 250-GHz Phased-Array Circuits in 0.13- μm SiGe BiCMOS Technology," *IEEE Trans. Microw. Theory Tech.*, vol. 61, no. 8, pp. 3115–3127, Aug. 2013.
- [35] B. H. Ku, P. Schmalenberg, O. Inac, O. D. Gurbuz, J. S. Lee, K. Shiozaki, and G. M. Rebeiz, "A 77-81-GHz 16-Element Phased-Array Receiver With Beam Scanning for Advanced Automotive Radars," *IEEE Trans. Microw. Theory Tech.*, vol. 62, no. 11, pp. 2823–2832, Nov. 2014.
- [36] Y. Tousi and E. Afshari, "A High-Power and Scalable 2-D Phased Array for Terahertz CMOS Integrated Systems," *IEEE J. Solid-State Circuits*, vol. 50, no. 2, pp. 597–609, Feb. 2015.

Chapitre 2 Composants de base en technologie BiCMOS 55 nm en bande millimétrique et sub- millimétrique

2.1 Introduction

Des composants de base de la technologie BiCMOS 55 nm de STMicroelectronics sont présentés dans ce chapitre. L'évolution des technologies CMOS/BiCMOS ainsi que leurs performances sont tout d'abord présentées. L'étude des composants consiste à comprendre leur comportement dans les bandes millimétrique et sub-millimétrique. Ces composants peuvent être divisés en deux catégories: les composants passifs comme les lignes de transmission, les capacités, les inductances... et les composants actifs comme les transistors MOS et bipolaires, ainsi que les varactors MOS. Indépendamment de la catégorie, la méthodologie de cette étude repose sur la modélisation des composants à partir des éléments intrinsèques et parfois extrinsèques. Un modèle électrique sera donc présenté. Finalement pour la validation, des simulations électriques sont réalisées afin de comparer le comportement du composant du DK (« Design Kit ») avec le modèle proposé.

Ces composants seront utilisés dans la conception des blocs du système de formation de faisceau. Pour cela la compréhension de leur comportement est importante. Aux hyperfréquences, les capacités parasites ont une grande influence sur les performances des systèmes. Par exemple, pour la conception d'un oscillateur de type LC, les capacités parasites des transistors composant la paire croisée, situées en parallèle avec le résonateur LC, modifient la fréquence d'oscillation de manière significative. Elles doivent donc être parfaitement modélisées. D'autre part elles limitent l'accordabilité en bande millimétrique. De plus, l'assemblage des différents blocs devient critique en bande millimétrique, car les interconnexions impactent fortement les performances du système global.

Enfin, le Back End Of Line (BEOL) de la technologie est également présenté avec les caractéristiques des différents niveaux de métaux.

2.2 Etat de l'art et évolution des technologies CMOS/BiCMOS

Le premier transistor fonctionnel a été développé par John Bardeen, Walter Brattain et William Shockley, aux laboratoires de Bell en 1947 [1]. Cela a initié la croissance rapide de l'industrie des technologies de l'information. En 1958, Jack Kilby a inventé le premier circuit intégré de type flip-flop au Texas [1] et peu après, Frank Wanlass chez Fairchild a décrit la première porte logique CMOS (nMOS et pMOS) en 1963 [1].

La description la plus courante de l'évolution de la technologie CMOS est connue comme la loi de Moore. En effet, en 1965, Gordon Moore un des cofondateurs d'Intel prédit qu'en raison de la miniaturisation continue, le nombre de transistors dans les circuits intégrés doublerait tous les 12 mois [2]. Ce doublement a été basé sur une puce de 50-60 composants fabriquée et comparée à celles produites au cours des années précédentes [1]. Cette prédiction est devenue une réalité et a été considérée comme une loi. La vitesse des transistors augmente et leurs coûts ainsi que leurs tailles sont réduites selon la loi de Moore. Les transistors fabriqués aujourd'hui sont 20 fois plus rapides et occupent moins de 1% de la surface de ceux construits il y a 20-30 ans. En 1971, le processeur Intel 4004 comportait des transistors de dimension minimale de 10 μm , contre 130 nm en 2003 pour le Pentium 4. Ont ensuite suivi les nœuds 130 nm, 90 nm, 65 nm, 32 nm et 22 nm, avec en sus l'avènement de la technologie FDSOI. Le taux de croissance annuel des composants est de 53 % sur plus de 45 ans. Aucune autre technologie n'a évolué si fortement et sur une durée si longue. Les transistors sont toujours de plus en plus petits, plus rapides, consomment moins d'énergie et sont moins chers à fabriquer. Il semble intuitivement évident que cette évolution ne peut pas durer éternellement, car les transistors vont atteindre une limite physique. Cette limite physique sera probablement atteinte dans les années 2020-2030 lorsque la longueur de canal aura atteint

quelques 5-6 nm. Des solutions alternatives aux semi-conducteurs sont en cours d'étude, en particulier le graphène.

Les premiers circuits intégrés sont arrivés sur le marché dans les années soixante-dix [1]. Ils avaient quelques 100 transistors intégrés en technologie bipolaire. Même si les principes sont bien connus, le MOS est arrivé sur le marché plusieurs années plus tard. Une des raisons à cela a été l'instabilité inhérente des transistors MOS en raison de la présence de quantités infimes d'éléments alcalins dans le diélectrique de grille. Cela a provoqué un décalage de la tension de seuil du transistor au cours du fonctionnement. Avec l'intégration plus poussée, les problèmes de consommation d'énergie élevée par les circuits bipolaires sont devenus dominants. Même dans le cas où tous les transistors sont à l'état « OFF », le courant de fuite dans les transistors bipolaires est assez grand. Pour fournir une solution pour le problème de la consommation d'énergie, la technologie MOS a finalement été stabilisée, sachant également que la dimension des dispositifs MOS peut être réduite plus facilement que d'autres types de transistors.

En observant les technologies actuelles, il est clair que les circuits CMOS digitaux ont une faible consommation électrique du fait de fuites moindres mais également de tensions plus réduites, mais ils demeurent plus lents que leurs « collègues » bipolaires, réservés aux applications hautes fréquences et moyenne puissance.

Aujourd'hui, les technologies intégrées sur silicium peuvent être classées en trois types principaux:

- Bipolaires

Les transistors bipolaires ont une structure npn ou pnp. Dans ces transistors, un faible courant dans la couche mince de la base contrôle un large courant entre l'émetteur et le collecteur.

- MOS (Metal Oxide Semiconductor)

Combinés, les transistors PMOS (MOS de type P) et NMOS (MOS de type N) permettent de définir la technologie CMOS (Complementary MOS). Le type MOS tire son nom de la structure physique de base de ces dispositifs; les dispositifs MOS comprennent un semi-conducteur, un oxyde et une grille métallique. Aujourd'hui, le polysilicium dopé est largement utilisé pour la grille. La tension appliquée au niveau grille commande le courant entre le drain et la source par effet de champ.

- BiCMOS (Bipolar CMOS Technology)

La technologie BiCMOS a permis de combiner des transistors CMOS et des dispositifs bipolaires dans un seul procédé technologique à un coût raisonnable pour réaliser l'intégration à haute densité des transistors CMOS et des transistors bipolaires, respectivement pour les fonctions numériques/analogiques et les fonctions RF.

Cependant avec l'arrivée des bandes ISM en Europe [3] et l'intérêt actuel pour les applications millimétriques et THz, les besoins du marché ainsi que les demandes des consommateurs augmentent de plus en plus. Pour cela, les fonderies rentrent en concurrence afin de réaliser les meilleurs composants, pour satisfaire aux besoins des clients. Plusieurs technologies silicium de type CMOS, BiCMOS et même HBT (Heteronjunction Bipolar Transistor) SiGe, ont ainsi par exemple été développées depuis les années 2000 avec l'aide de nombreux projets européens (DotFive, DotSeven, Mirandela, RF2THz) visant ainsi diverses applications.

La fréquence de transition f_T représente la fréquence pour laquelle le module du gain en courant h_{21} vaut l'unité (0 dB) [4]. L'expression du module de h_{21} en fonction des paramètres S est donnée par l'expression suivante :

$$|h_{21}| = \left| \frac{-2S_{21}}{(1 - S_{11})(1 - S_{22}) + S_{12}S_{21}} \right| \quad (2.1)$$

La fréquence d'oscillation maximale f_{max} représente la fréquence pour laquelle le gain en puissance unilatéral de Mason U vaut l'unité (0 dB) [4]. L'expression de U est donnée par :

$$U = \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2 \left(k \left| \frac{S_{21}}{S_{12}} \right| - \Re \left(\frac{S_{21}}{S_{12}} \right) \right)} \quad (2.2)$$

avec k le facteur de stabilité de Rollet donné par :

$$k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{21}S_{12}|^2}{2|S_{21}||S_{12}|} \quad (2.3)$$

Ces deux grandeurs caractéristiques f_T et f_{max} , permettent l'évaluation des performances fréquentielles des transistors. Leurs expressions en fonction des paramètres des transistors seront présentées dans la suite. La Figure 2.1 présente l'état de l'art des technologies CMOS et SiGe BiCMOS pour les principaux fabricants ainsi que les performances fréquentielles f_{max} en fonction de f_T .

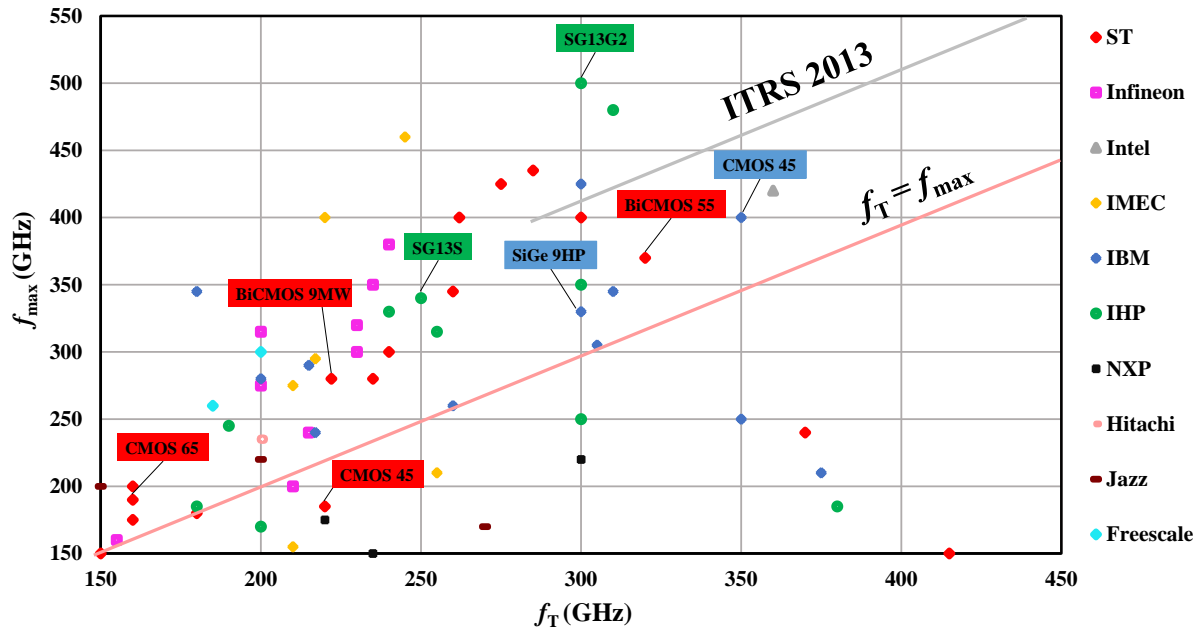


Figure 2.1: Etat de l'art des technologies CMOS et SiGe BiCMOS ainsi que les performances fréquentielles f_{max} en fonction de f_T des transistors.

Les références bibliographiques des performances présentées sur la Figure 2.1 sont listées dans le Tableau 2.1. D'autres références se trouvent dans [5] où une étude détaillée des différents technologies est réalisée.

Fonderie	SiGe BiCMOS	CMOS bulk/SOI
STMicroelectronics	[6][7][8][9]	[10][11]
IHP	[12][13][14][15]	-
IMEC	[16][17][18]	-
Infineon	[19][20][21][22]	-
NXP	[23][24][25]	-
IBM	[26][27][28][29]	[30][31][32][33]
Hitachi	[34]	-
Freescale	[35][36]	-
Jazz	[37][38]	-
Intel	-	[39][40][41]

Tableau 2.1: Références bibliographiques des fréquences f_T , f_{max} pour les différentes technologies CMOS et SiGe BiCMOS.

2.3 La technologie BiCMOS 55 nm de STMicroelectronics

Développée au sein de STMicroelectronics, la technologie BiCMOS 55 nm répond aux besoins des clients pour le développement de circuit intégrés RF performants dans la bande millimétrique et THz. Ces circuits sont dédiés pour diverses applications comme les radars automobiles (24/77 GHz), communications sans fil haut débit faible portée et HDMI (60 GHz), l'imagerie à 94 GHz, 120 GHz ou encore 140 GHz, etc... Comme expliqué précédemment, cette technologie repose sur la combinaison de deux technologies sur une même puce : CMOS (« shrink » du nœud 65 nm) et bipolaire. Elle permet ainsi de profiter des avantages des deux types comme la rapidité des transistors, le gain élevé et la faible consommation. Par rapport à la technologie CMOS Bulk, le transistor HBT BiCMOS permet d'obtenir une fréquence de coupure plus élevée à un nœud technologique donné. Pour atteindre la même fréquence, les circuits conçus en CMOS Bulk doivent utiliser des nœuds de procédés beaucoup plus petits, ce qui impose des compromis sur la conception et conduit à des performances globales plus faibles. Cette technologie a ainsi un couple f_T/f_{max} supérieur à 300 GHz ce qui offre une opportunité de réaliser les circuits conçus dans ces travaux de recherche.

Le BEOL de la technologie BiCMOS 55 nm est dédié aux applications RF millimétriques. En particulier il propose une couche épaisse cuivre de 3 μm . Cela permet d'avoir des inductances à fort facteur de qualité et des lignes de transmission à faibles pertes. Le BEOL est composé de 9 niveaux métalliques (y compris l'aluminium de la couche supérieure) comme illustré sur la Figure 2.2(a). L'épaisseur totale du BEOL y compris les couches de métaux et les vias est d'environ 11,34 μm . Les couches M6, M7 et M8 sont des couches épaisses où les interconnexions ont de faibles pertes résistives ce qui permet de réaliser des structures passives avec un facteur de qualité élevé (ligne de transmission où le ruban métallique est réalisé avec la couche M8). Les couches inférieures de M1 à M5 sont fines et permettent de réaliser des connexions ayant de faibles largeurs (chemins DC ou polarisations etc...). La Figure 2.2(b) montre une photographie d'une vue en coupe du BEOL présentant plusieurs composants (transistors, capacités MOM et MIM).

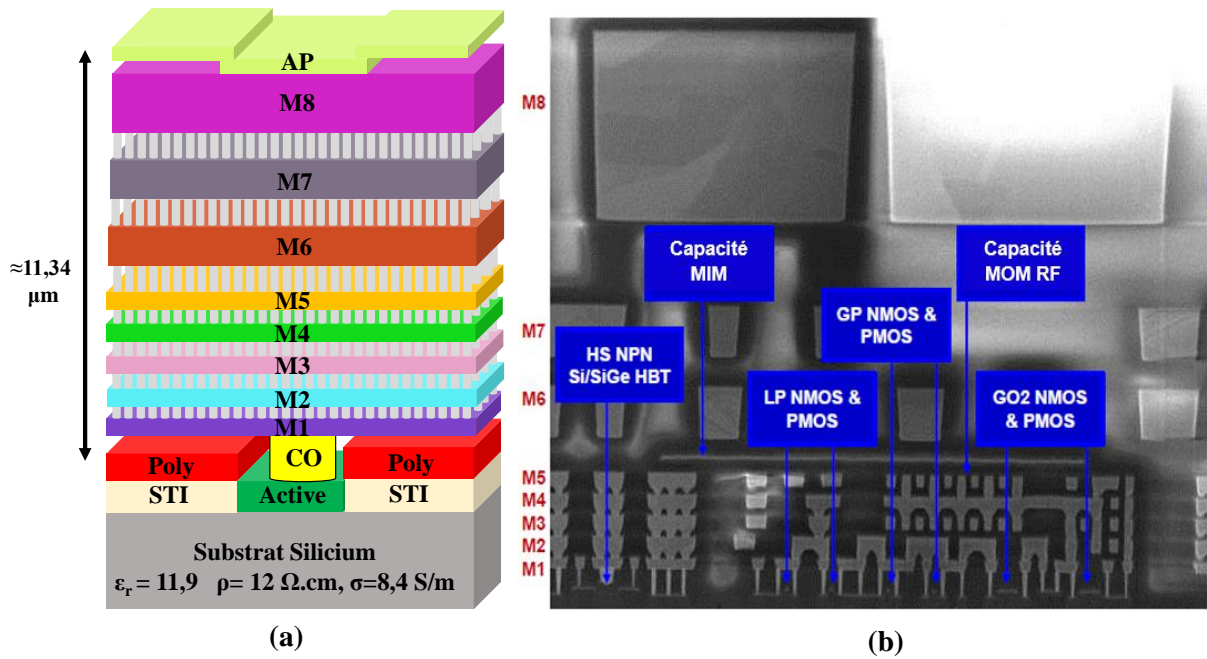


Figure 2.2: (a) le BEOL de la technologie BiCMOS 55 nm et (b) une photographie d'une vue en coupe du BEOL montrant plusieurs composants comme les transistors et les capacités MOM et MIM [6].

2.4 Etude des composants actifs

2.4.1 Transistors MOS

L'un des plus importants problèmes dans la conception de circuits intégrés aux fréquences millimétriques avec les technologies MOS est la modélisation des composants actifs et de leurs parasites. Afin d'étudier théoriquement le comportement des circuits, nous proposons une approche simplifiée pour les composants actifs qui consiste à les représenter par leur schéma équivalent petit signal. Néanmoins, le schéma équivalent du transistor qui sera utilisé doit contenir avec précision tous les effets parasites indésirables qui apparaissent et deviennent critiques aux fréquences millimétriques. Le schéma équivalent petit signal décrit le comportement du transistor sous forme de circuits électriques simplifiés. La connaissance du circuit équivalent petit signal est très importante car elle est utile pour déterminer les méthodes de conception de circuits, ou de l'influence de chaque paramètre sur les performances globales.

Plusieurs modèles de transistors sont présentés dans la littérature avec différents niveaux de complexité, prenant en compte les éléments intrinsèques et extrinsèques du transistor, ainsi que les régimes quasi-statique et non quasi-statique. [42], [43], [44] et [45]. La Figure 2.3 présente un exemple d'un schéma petit signal équivalent d'un transistor MOS ne comprenant pas les sources de bruit.

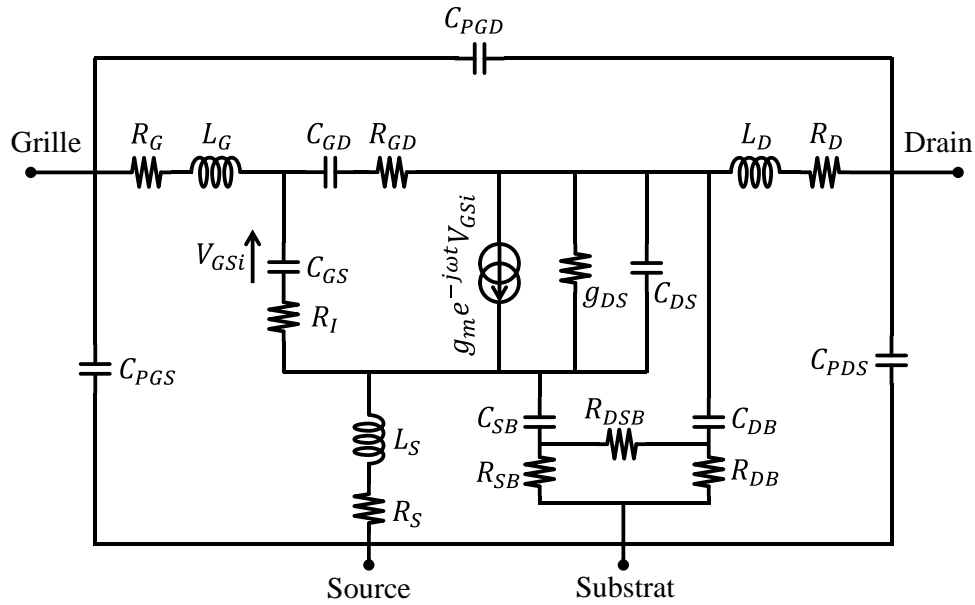


Figure 2.3: Exemple d'un schéma équivalent petit signal d'un transistor MOS ne comprenant pas les sources de bruit.

Cette partie présente un modèle simple petit signal du transistor MOS qui est valable pour l'étude et la conception de circuits fonctionnant en bande millimétrique et sub-millimétrique.

La Figure 2.4 montre une vue deux dimensions (2D) et trois dimensions (3D) d'un transistor MOS. La Figure 2.5 présente le modèle petit signal du transistor MOS qui sera étudié. Ce modèle contient la partie intrinsèque (encadrée en rouge) et les résistances d'accès qui représentent une partie des éléments extrinsèques.

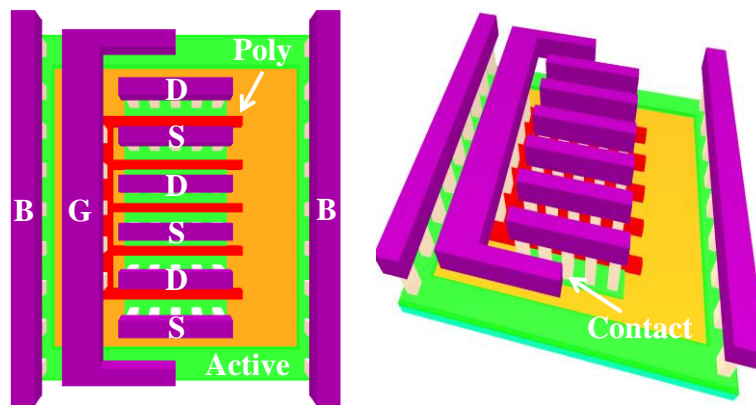


Figure 2.4 : Vue en 2D et 3D d'un transistor MOS.

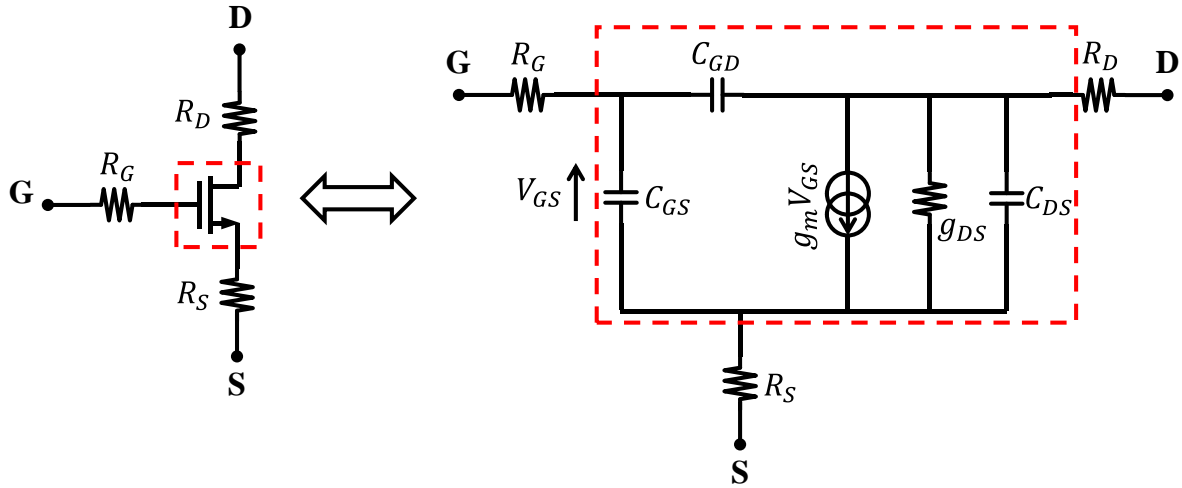


Figure 2.5: Schéma équivalent petit signal du transistor MOS étudié dans ces travaux.

L'effet utile dans un transistor MOS est le contrôle du courant (I_{ds}) qui circule à travers le canal de la source (S) au drain (D) par la tension appliquée au niveau de la grille (G). D'un point de vue électrique ce comportement peut être modélisé par une source de courant (définie par la transconductance (g_m)) entre la source et le drain, la tension de contrôle (V_{GS}) est appliquée aux bornes de la capacité grille-source C_{GS} entre G et S.

Le montage utilisé pour l'extraction des éléments du transistor est présenté sur la Figure 2.6. Il est constitué d'un transistor monté en source commune, alimenté par une tension V_{DD} et polarisé par une tension V_G . Deux ports 50Ω sont branchés en entrée et en sortie pour la simulation des paramètres S . On considère que le modèle fourni par le Design Kit est fiable, et il est utilisé comme base de mesure. Ainsi, le schéma équivalent simplifié de la Figure 2.5 en est extrait.

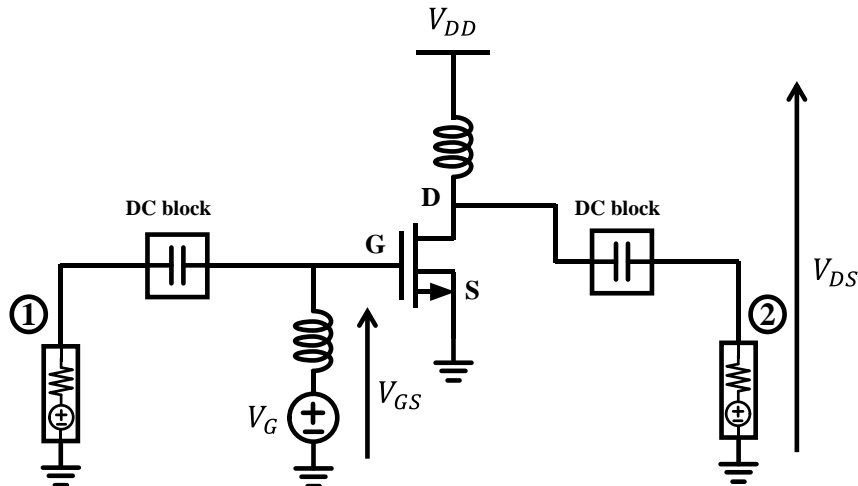


Figure 2.6: Montage du transistor pour l'extraction des paramètres du schéma équivalent petit signal.

La méthodologie d'extraction des paramètres qui constituent le schéma petit signal consiste d'abord à extraire les éléments extrinsèques pour se rapprocher ensuite de la zone intrinsèque du transistor.

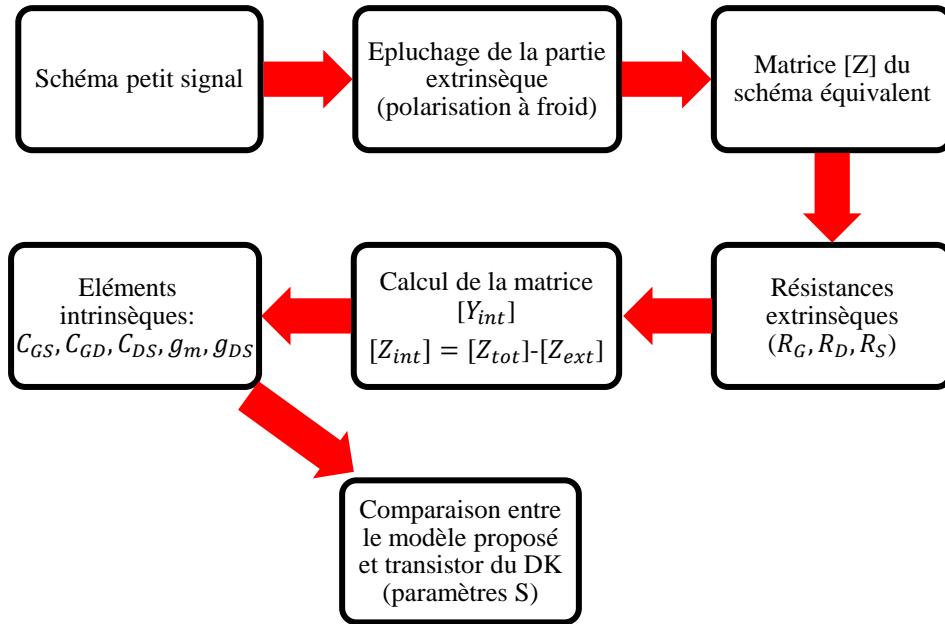


Figure 2.7: Organigramme présentant la méthodologie d'extraction des paramètres qui constituent le modèle petit signal du transistor MOS.

Plusieurs méthodes d'extraction sont présentées dans la littérature [46], [47], [48] et [49]. La méthode présentée dans [46] est été choisie car elle permet d'extraire à la fois les éléments intrinsèques et extrinsèques du transistor. L'extraction des éléments extrinsèques consiste à polariser le transistor en inversion et à froid ($V_{gs} > V_T$ et $V_{ds} = 0 V$) avec V_T la tension seuil du transistor. Sous ces conditions de polarisation, la transconductance g_m n'est plus présente, elle est nulle. La méthodologie d'extraction est présentée dans l'organigramme de la Figure 2.7. L'expression des parties réelles des paramètres $[Z]$ du schéma équivalent permet d'accéder à la valeur des résistances d'accès [46].

$$\Re(Z_{22} - Z_{12}) = R_D + \frac{1}{2g_{DS}}, \Re(Z_{12}) = R_S + \frac{1}{2g_{DS}}, \Re(Z_{11} - Z_{12}) = R_G + \frac{1}{4g_{DS}} \quad (2.4)$$

avec :

$$g_{DS} = K(V_{GS} - V_T) \text{ et } K = \mu(W/L)C_{ox} \quad (2.5)$$

où μ et C_{ox} sont respectivement la mobilité des porteurs et la capacité d'oxyde de la grille.

Finalement, les résistances d'accès sont obtenues par une régression linéaire des parties réelles des paramètres Z en fonction de $1/(V_{GS} - V_T)$. Une extrapolation à l'origine permet d'obtenir les valeurs de ces résistances. Pour la modélisation, le transistor de type nlvtlp (nMOS low voltage low power) a été choisi. Son modèle est basé sur le modèle BSIM 4 implémenté dans le DK de la technologie BiCMOS 55 nm. Le transistor à une longueur de grille L d'une valeur minimale de $0,06 \mu m$ de d'une largeur W de $40 \mu m$. La Figure 2.8 présente les parties réelles des paramètres Z présentées précédemment en fonction de $1/(V_{GS} - V_T)$ pour différentes fréquences.

Le Tableau 2.2 résume les valeurs des résistances obtenues.

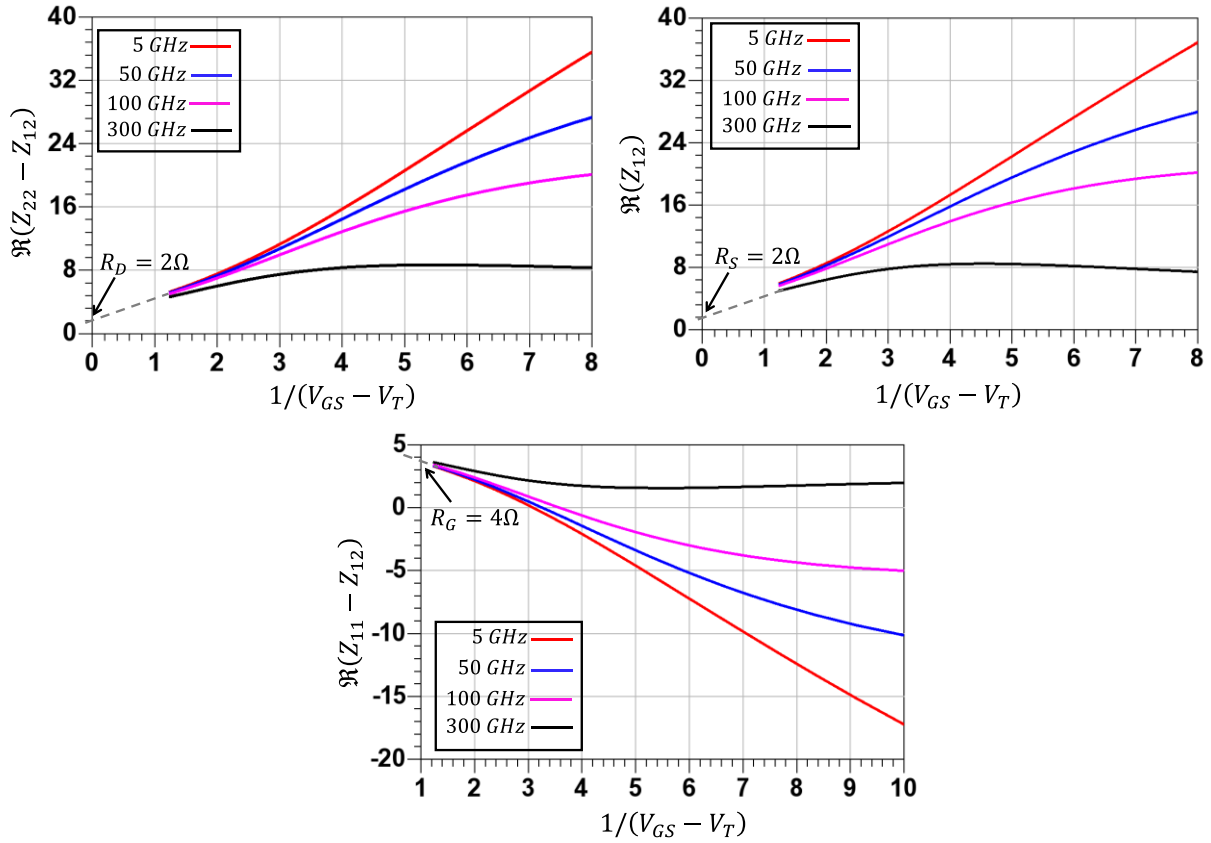


Figure 2.8: Parties réelles des paramètres Z en fonction de $1/(V_{GS} - V_T)$ pour différentes fréquences.

Résistances d'accès	R_D	R_S	R_G
Valeurs (Ω)	2	2	4

Tableau 2.2: Valeurs des résistances d'accès obtenues par régression linéaire.

Le circuit total comprenant les deux parties peut être représenté par la matrice d'impédance suivante :

$$Z_{tot} = Z_{ext} + Y_{int}^{-1} \quad (2.6)$$

où les éléments extrinsèques sont associés à la matrice suivante :

$$[Z_{ext}] = \begin{bmatrix} R_G + R_S & R_S \\ R_S & R_D + R_S \end{bmatrix} \quad (2.7)$$

Le calcul de la matrice $[Y_{int}]$ qui est la matrice admittance des éléments intrinsèques du modèle en π du transistor (Figure 2.9), permet de trouver les valeurs de ces éléments après épluchage des éléments extrinsèques. Elle est donnée par l'équation 2.9, avec $\omega = 2\pi f$.

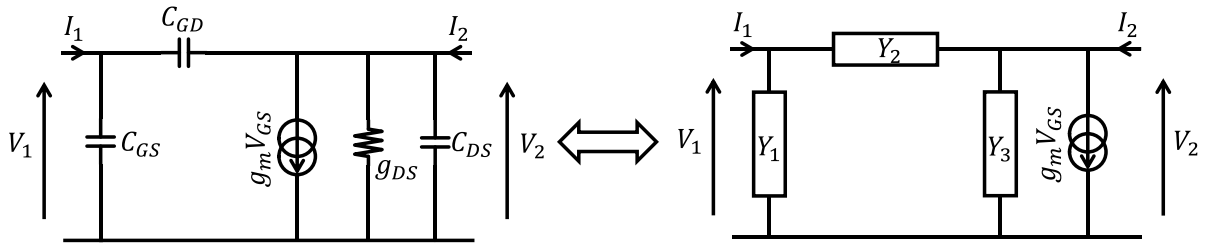


Figure 2.9: Modèle en π du transistor MOS représentant les éléments intrinsèques.

La matrice $[Y_{int}]$ est donnée par :

$$[Y_{int}] = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} = \begin{bmatrix} Y_1 + Y_2 & -Y_2 \\ -Y_2 + g_m & Y_2 + Y_3 \end{bmatrix} \quad (2.8)$$

Alors :

$$[Y_{int}] = \begin{bmatrix} j\omega(C_{GS} + C_{GD}) & -jC_{GD}\omega \\ -jC_{GD}\omega + g_m & g_{DS} + j\omega(C_{DS} + C_{GD}) \end{bmatrix} \quad (2.9)$$

Finalement les éléments intrinsèques sont exprimés par :

$$C_{GD} = \frac{-\Im(Y_{12})}{\omega}, C_{GS} = \frac{\Im(Y_{11} + Y_{12})}{\omega}, C_{DS} = \frac{\Im(Y_{22} + Y_{12})}{\omega}, g_m = \Re(Y_{21}), G_{DS} = \Re(Y_{22})$$

La Figure 2.10 montre l'évolution des éléments intrinsèques en fonction de la largeur W .

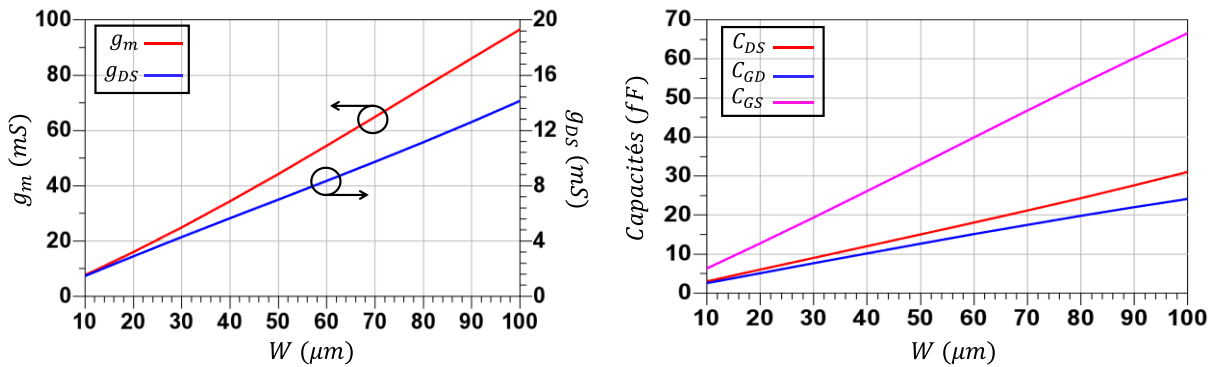


Figure 2.10: Evolution des éléments intrinsèques du transistor MOS en fonction de la largeur W .

Le Tableau 2.3 résume les valeurs normalisées par rapport à la largeur du transistor.

Paramètre	Valeur
C_{GD} (fF/ μm)	0,25
C_{GS} (fF/ μm)	0,65
C_{DS} (fF/ μm)	0,35
g_m (mS/ μm)	0,87
G_{DS} (mS/ μm)	0,16

Tableau 2.3: Valeurs normalisées des éléments intrinsèques du transistor MOS par rapport à la largeur W .

La comparaison entre le modèle BSIM implémenté dans le DK et le modèle simplifié est présentée sur la Figure 2.11. D’après cette figure, le modèle simplifié présenté est validé avec un très bon accord avec le modèle BSIM sur une bande de fréquence entre 1 GHz et 300 GHz.

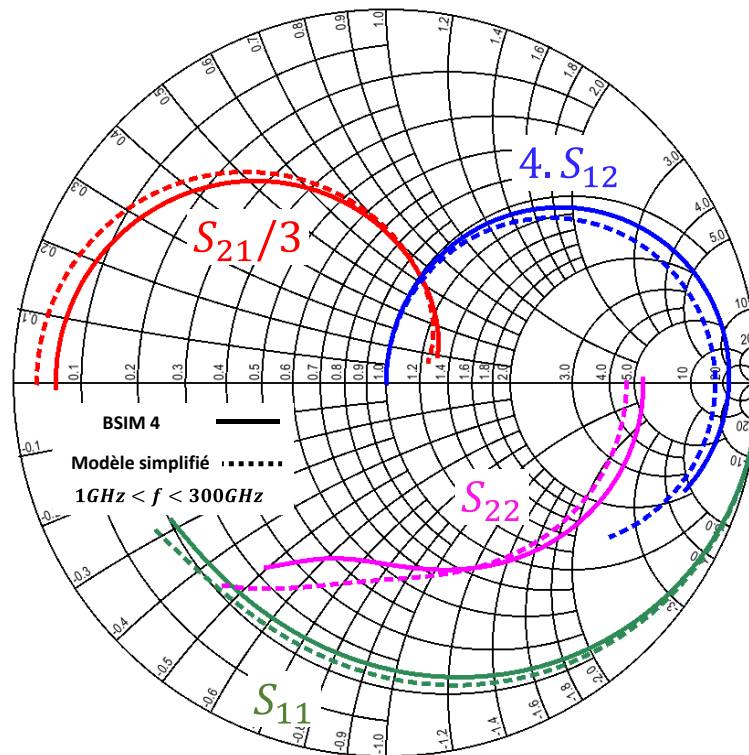


Figure 2.11: Comparaison des paramètres S entre le modèle transistor BSIM 4 du DK de la technologie BiCMOS 55 nm (trait plein) et le modèle simplifié présenté (pointillé).

2.4.2 Transistors bipolaire

Le modèle du transistor bipolaire de la technologie BiCMOS 55 nm est basé sur le modèle HiCUMML2 qui décrit précisément le comportement et les effets physiques du transistor, surtout aux fréquences élevées [50]. Une vue 2D et 3D est présentée sur la Figure 2.12. Le transistor bipolaire est formé par 3 accès : le collecteur (C), l’émetteur (E) et la base (B).

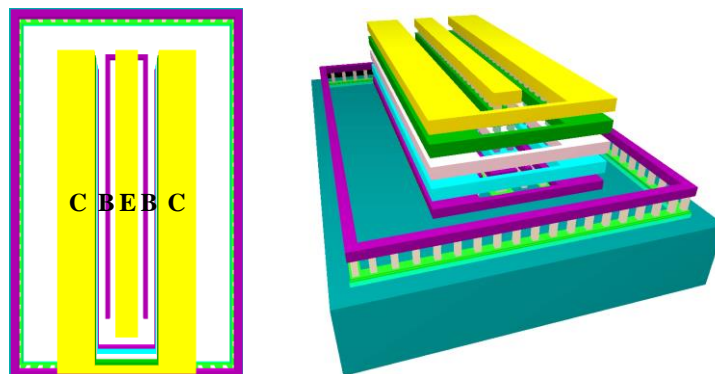


Figure 2.12 : Vue en 2D et 3D d’un transistor bipolaire.

Le modèle équivalent en π du transistor bipolaire est présenté dans [51], il est donné sur la Figure 2.13. Pour simplifier l’étude, cette partie présentera le modèle équivalent petit signal simplifié basé uniquement sur les éléments intrinsèques.

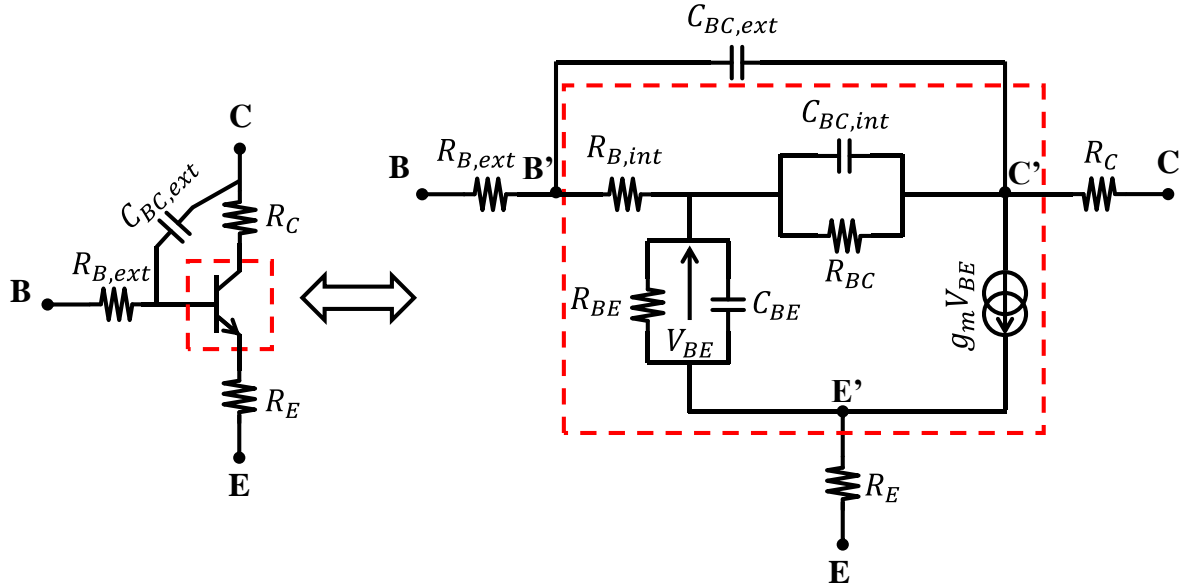


Figure 2.13: Schéma petit signal du transistor bipolaire contenant la partie intrinsèque (en rouge).

Les éléments intrinsèques qui dépendent de la polarisation sont les suivants :

- $R_{B,int}$: la résistance de base intrinsèque.
- R_{BE} : la résistance base-émetteur intrinsèque.
- C_{BE} : la capacité base-émetteur intrinsèque.
- g_m : la transconductance petit signal.
- R_{BC} : la résistance base-collecteur intrinsèque.
- C_{BC} : la capacité base-collecteur intrinsèque.

Les paramètres Z reliés aux éléments intrinsèques sont représentés dans la matrice $[Z_{int}]$ suivante :

$$[Z_{int}] = \begin{bmatrix} R_{B,int} + \frac{Z_{BE}}{1 + g_m Z_{BE}} & \frac{Z_{BE}}{1 + g_m Z_{BE}} \\ \frac{Z_{BE}(1 - g_m Z_{BC,int})}{1 + g_m Z_{BE}} & \frac{Z_{BE} + Z_{BC,int}}{1 + g_m Z_{BE}} \end{bmatrix} \quad (2.10)$$

avec $Z_{BC,int}$ et Z_{BE} l'impédance intrinsèque base-collecteur et base-émetteur et données respectivement par :

$$Z_{BC,int} = R_{BC}/(1 + j\omega R_{BC} C_{BC,int}), \quad Z_{BE} = R_{BE}/(1 + j\omega R_{BE} C_{BE})$$

Une simple analyse du circuit ainsi que la matrice $[Z_{int}]$, conduit aux éléments intrinsèques :

$$g_m = \frac{1}{Z_{12,int} Z_{22,int} - Z_{21,int} Z_{11,int}}, \quad Z_{BC,int} = Z_{22,int} - Z_{21,int}, \quad Z_{BE} = \frac{Z_{22,int} - Z_{21,int}}{Z_{22,int} - Z_{12,int}} Z_{12,int},$$

$$R_{B,int} = Z_{11,int} - Z_{12,int}.$$

Le montage utilisé pour l'extraction des paramètres du transistor bipolaire est similaire à celui utilisé pour le transistor MOS présenté précédemment sur la Figure 2.6. Le transistor choisi est de type N × (CBEB)-C avec N le nombre de doigts d'émetteur. La largeur d'émetteur est $W_e = 5,56 \mu\text{m}$ avec une longueur d'émetteur $L_e = 0,2 \mu\text{m}$. Le Tableau 2.4 regroupe les valeurs des éléments intrinsèques obtenus par simulation.

Polarisation	$V_{CE} = 1,2 \text{ V}$ $I_B = 60 \mu\text{A}, I_C = 25 \text{ mA}$
$R_{B,int} (\Omega)$	10
$R_{BC} (\text{K}\Omega)$	304
$R_{BE} (\Omega)$	800
$g_m (\text{mS})$	300
$C_{BC,int} (\text{fF})$	14.5
$C_{BE} (\text{fF})$	153

Tableau 2.4 : Valeurs des éléments intrinsèques du transistor Bipolaire (CBEB)-C.

La comparaison entre le modèle HiCUM2 implémenté dans le DK et le modèle équivalent petit signal simplifié est présentée sur la Figure 2.14. Cette comparaison montre que le modèle simplifié présente un comportement proche du modèle implémenté dans le DK.

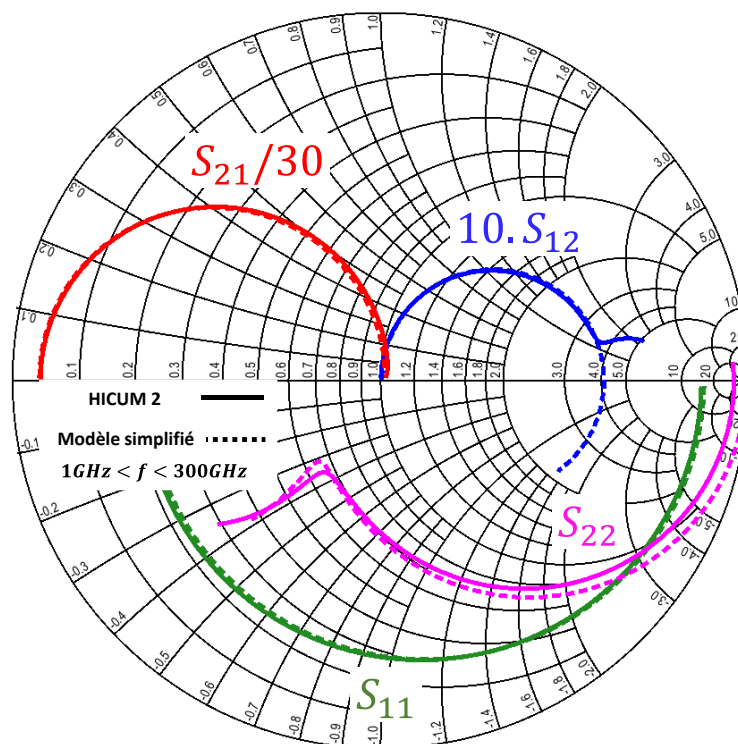


Figure 2.14: Comparaison des paramètres S entre le transistor bipolaire HiCUM2 du DK de la technologie BiCMOS 55 nm (trait plein) et le modèle équivalent simplifié présenté (pointillé).

2.4.3 Varactors MOS

Les varactors (« high-quality voltage dependent capacitors ») sont des composants très utilisés dans la conception de circuits RF accordables, comme les résonateurs LC des oscillateurs, les déphaseurs, les multiplieurs de fréquence, etc ... Pour les applications en bande millimétrique, le facteur de qualité des varactors reste le facteur le plus important à

optimiser afin d'améliorer les performances du circuit. La Figure 2.15 (a), (b) présente une vue 2D et 3D d'un varactor MOS implémenté en technologie BiCMOS 55 nm. La Figure 2.15 (c) montre le schéma équivalent petit signal du varactors MOS [52] basé sur le modèle BSIM 4.

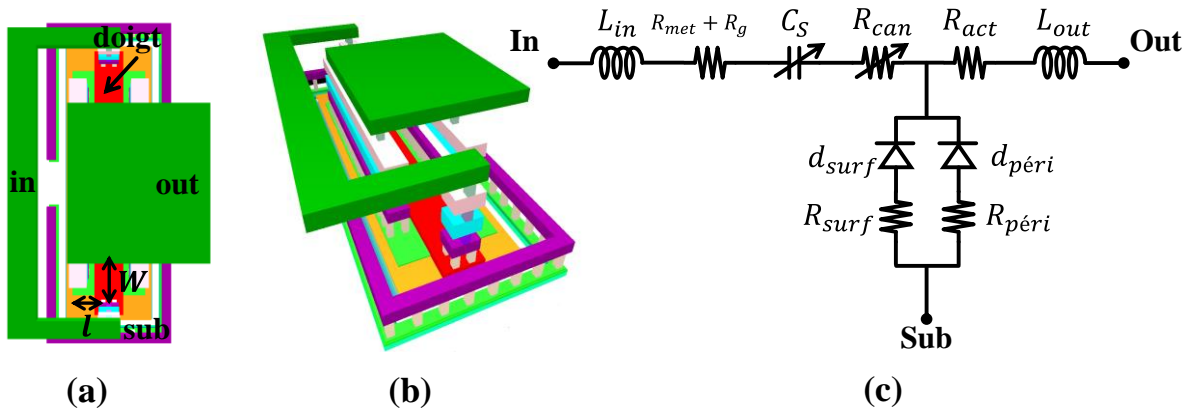


Figure 2.15: Varactor MOS implémenté dans le DK de la technologie BiCMOS 55 nm : (a) vue en 2D, (b) vue en 3D, (c) modèle équivalent petit signal.

Le varactor est composé d'une capacité MOS C_S qui dépend de la tension de polarisation. En variant la longueur l du composant, le ratio C_{max}/C_{min} varie. La résistance R_S est composée de la résistance d'accès métallique R_{met} en série avec la résistance poly de grille R_g , ainsi que la résistance de canal R_{can} et la résistance R_{act} de la zone active (P^+). Les inductances séries L_{in} et L_{out} représentent les interconnexions métalliques des accès d'entrée et de sortie. Le substrat du varactor est modélisé par deux diodes en parallèle : diode de surface d_{surf} et diode périmètre d_{peri} chacune en série avec des résistances R_{surf} et R_{peri} qui décrivent la dépendance du modèle avec la fréquence.

Cependant, afin de simplifier l'étude des varactors un modèle simplifié a été proposé ; il repose sur un modèle $R_S L_S C_S$ en série et $R_{Sub} C_{Sub}$ en parallèle [53]. En effet comme il sera présenté dans la partie 2.5 de ce chapitre sur les composants passifs, le modèle des composants aux fréquences élevées ne peut pas être représenté par des éléments purement capacitifs ou inductifs, c'est-à-dire qu'une capacité ne peut pas être modélisée par un circuit RC uniquement, ou bien un circuit RL pour une inductance. La dépendance du composant avec la fréquence doit être prise en compte en ajoutant d'autres éléments en série ou en parallèle. La Figure 2.16 présente le modèle équivalent simplifié du varactor ainsi que le dipôle correspondant.

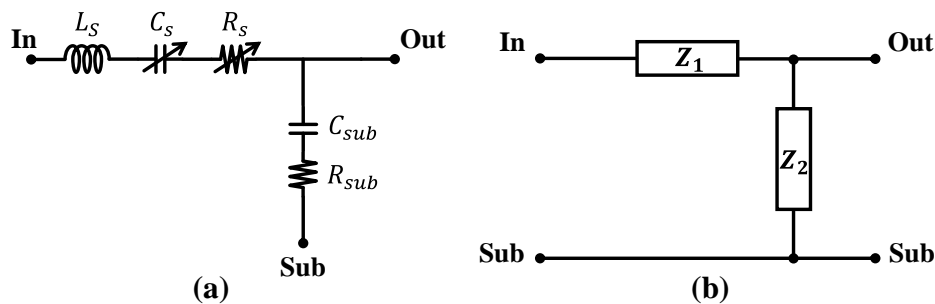


Figure 2.16: Schéma équivalent simplifié du varactor MOS et le dipôle correspondant.

La capacité MOS est représentée par l'impédance $Z_1 = 1/y_{11}$ et l'impédance $Z_2 = z_{22}$ modélise le substrat. L'impédance Z_1 est donnée par l'expression suivante :

$$Z_1 = 1/y_{11} = R_S + \frac{1}{j\omega C_S} + j\omega L_S \quad (2.11)$$

avec $\omega = 2\pi f$.

$$R_S = \Re(Z_1) \quad (2.12)$$

La partie imaginaire de Z_1 est exprimée par :

$$\Im(Z_1) = L_S\omega - \frac{1}{C_S\omega} \quad (2.13)$$

La capacité C_S est extraite en basse fréquence quand ω tend vers 0 dans l'équation 2.13 et par conséquent le terme $L_S\omega$ devient négligeable devant $\frac{1}{C_S\omega}$. Ceci conduit à :

$$\lim_{\omega \rightarrow 0} (\Im(Z_1)) = -\frac{1}{C_S\omega} \quad (2.14)$$

Alors :

$$C_S = -\frac{1}{\Im(Z_1) \cdot \omega} \quad (2.15)$$

L'inductance L_S peut être extraite de deux manières. La première consiste à extraire la valeur de l'inductance à une fréquence très élevée, quand ω tend vers l'infini. Ainsi, d'après l'équation 2.13 le terme $1/C_S\omega$ devient nul et $L_S = \Im(Z_1)/\omega$. La deuxième méthode consiste à trouver la fréquence de résonance du varactor. Pour cette fréquence $L_S \cdot C_S \cdot \omega_{res}^2 = 1$, ce qui conduit à :

$$L_S = \frac{1}{C_S \cdot \omega_{res}^2} \quad (2.16)$$

Par conséquent le facteur de qualité du varactor est donné par :

$$Q = \left(-\frac{\Im(Z_1)}{\Re(Z_1)} \right) \quad (2.17)$$

Le type de varactor choisi est « cpo25nw_var ». Il peut être polarisé par une tension qui varie entre -2,5 V et 2,5 V. les dimensions sont la largeur $w = 4 \mu m$, la longueur $l = 0,6 \mu m$, le nombre de doigt $N = 1$, et le nombre de cellules est de 4. Cette configuration conduit à une valeur maximale de la capacité (C_{max}) de 48,6 fF. Les valeurs extraites des éléments du schéma équivalent sont présentées dans le Tableau 2.5.

Elément	Valeur
C_S (fF)	48
L_S (pH)	12
R_S (Ω)	7

Tableau 2.5: Valeurs des éléments du schéma équivalent du varactor MOS.

La comparaison entre le modèle du DK implémenté dans la technologie BiCMOS 55 nm et le modèle simplifié proposé est présentée sur la Figure 2.17. La Figure 2.17 (a) présente la comparaison entre les deux modèles de la variation de la capacité en fonction de la fréquence. La Figure 2.17 (b) présente la comparaison du facteur de qualité des deux modèles en fonction de la fréquence. L'impédance normalisée $Z_{1n} = (Z_1 - 50)/(Z_1 + 50)$ des deux modèles est présentée sur la Figure 2.17 (c). Le modèle équivalent simplifié présente des résultats proches du modèle implémenté dans le DK. Il s'avère donc tout à fait valable pour nos conceptions futures.

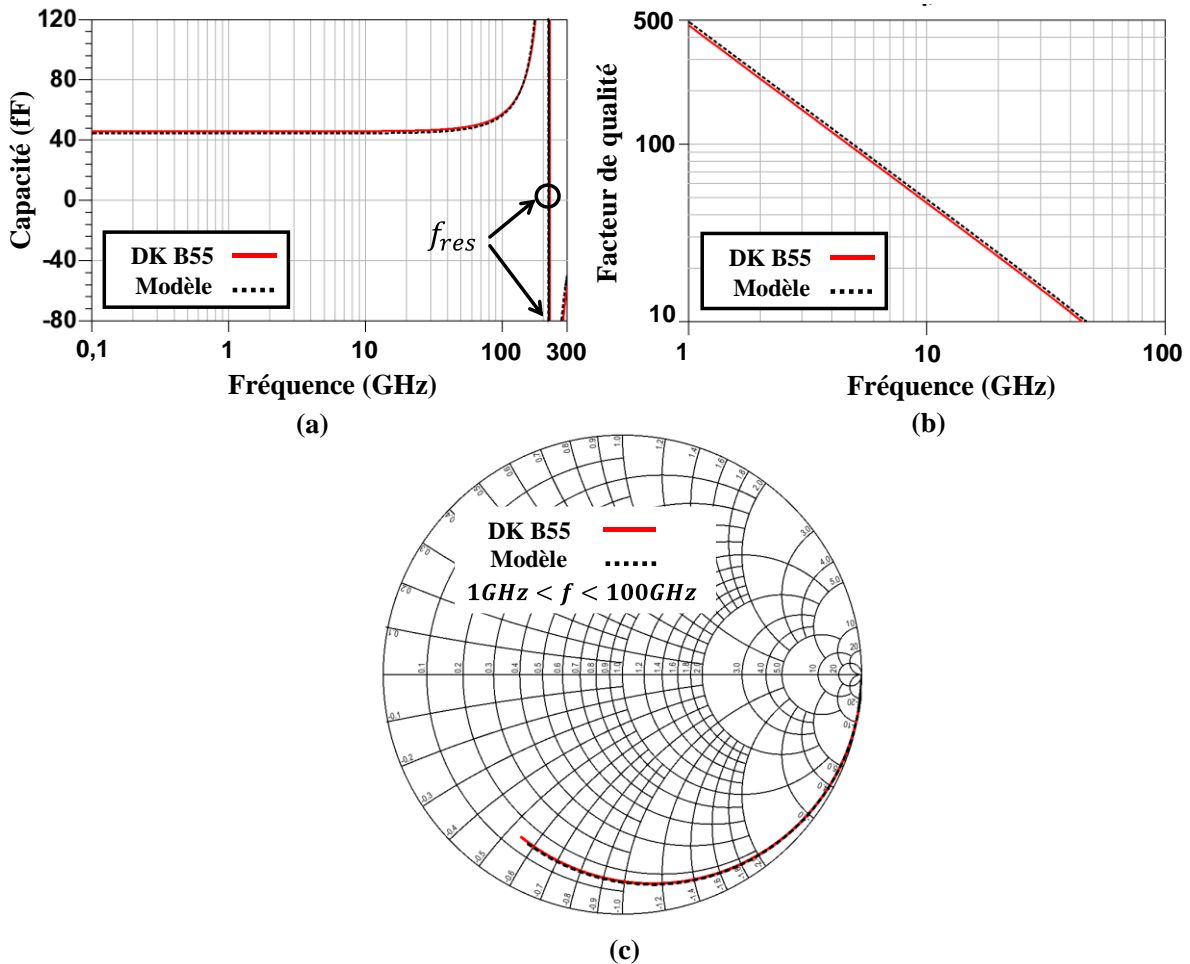


Figure 2.17: Comparaison entre le modèle du varactor implémenté dans le DK et le modèle simplifié présenté : (a) capacité en fonction de la fréquence, (b) facteur de qualité pour C_{max} , (c) impédance normalisée Z_{1n} .

2.5 Etude des composants passifs

Les composants passifs tels que les capacités, les inductances, les résistances et les lignes de transmission sont très utilisés dans la conception de circuits intégrés. Ils sont utilisés dans des circuits de type analogique, RF et digital. De même ils sont utilisés dans les circuits mixtes (actifs, passifs) comme les oscillateurs, les amplificateurs de puissance, les mélangeurs etc... et également dans des circuits uniquement passifs comme les filtres, les diviseurs de puissance etc... Cependant, ces composants engendrent des pertes surtout en technologie CMOS/BiCMOS où d'une part la présence du substrat silicium est critique, pour les

inductances, et d'autre part la faiblesse d'épaisseur du BEOL impose la réalisation de ligne microruban avec des rubans de faible largeur engendrant des pertes métalliques importantes. Ici encore, le facteur de qualité est la grandeur la plus importante permettant de classer ces composants. Plus ce facteur est élevé meilleures sont les performances. Pour cela l'amélioration des performances des systèmes développés en technologie intégrée repose sur l'optimisation de ce facteur de qualité.

Dans cette partie, des modèles simples sont présentés comme dans la partie précédente concernant les composants actifs. En premier les lignes de transmission de type micro-ruban TFMS (« Thin Film Microstrip ») et ondes lentes (S-CPW : Slow-Wave Coplanar Waveguide) sont présentées. Ensuite les inductances et les capacités MOM (Métal Oxyde Métal) sont présentées.

2.5.1 Lignes de transmission

Les lignes de transmission sont utilisées dans la conception de circuits intégrés surtout aux fréquences millimétriques supérieures à 30 GHz. Elles remplacent souvent les inductances. Les deux structures principales implémentées en technologie CMOS sont : les lignes TFMS et CPW. Plus récemment les lignes à ondes lentes S-CPW ont été développées. Le mode de propagation idéal dans une ligne de transmission est le mode TEM (mode transverse électromagnétique), pour lequel le champ électrique, le champ magnétique et la direction de propagation sont perpendiculaires. Compte tenu des pertes, on considère un mode de propagation quasi-TEM. La Figure 2.18 (a) présente une ligne CPW qui est formée d'un ruban conducteur situé entre deux plans de masse. La Figure 2.18 (b) montre une ligne micro-ruban. Elle est composée d'un ruban conducteur où le signal se propage, d'un plan de masse située en dessous et une couche de diélectrique située entre le ruban et le plan de masse. Une ligne à ondes lentes est présentée sur la Figure 2.18 (c), elle a une structure similaire d'une ligne CPW, mais des barreaux flottants sont ajoutés entre la structure CPW et le substrat. Les lignes CPW classiques ont un faible facteur de qualité (entre 5 et 10 à 60 GHz) du fait des pertes diélectriques dans le substrat silicium. Le gap entre le ruban conducteur et le plan de masse, limite aussi les performances de cette structure (gap de 5 μm : pertes de proximité, gap de 20 μm : pertes dans le substrat). Cependant en utilisant un substrat ayant une haute résistivité (substrat SOI) ces lignes présentent de bonnes performances. D'autre part une structure modifiée consiste à placer un plan de masse en dessous de la structure et le remonter jusqu'à la masse latérale (G-CPW : Grounded-CPW). Cette structure améliore légèrement les performances par rapport à une ligne CPW mais reste médiocre devant les autres types de lignes, d'autant que des lignes à haute impédance caractéristique sont alors difficiles à concevoir. Pour cela les lignes CPW ne sont pas utilisées dans ces travaux.

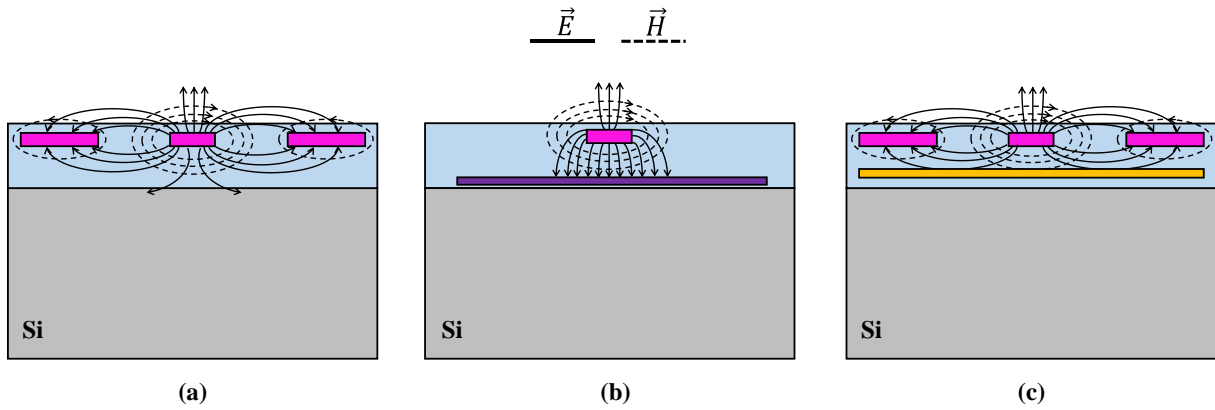


Figure 2.18: Ligne de transmission : (a) ligne CPW, (b) ligne micro-ruban et (c) ligne à ondes lentes S-CPW.

2.5.1.1 Ligne micro-ruban

Quand le mode TEM ou quasi-TEM se produit, la ligne micro-ruban de longueur l peut être représentée par un modèle distribué $RLCG$ de longueur dl pour chaque tronçon, connu comme le modèle des télégraphistes. La Figure 2.19 présente ce modèle équivalent. Les éléments linéiques tels que la résistance, l'inductance, la capacité et la conductance sont représentés respectivement par : R , L , C et G . Les deux grandeurs caractéristiques d'une ligne de transmission sont l'impédance caractéristique Z_C et la constante de propagation γ . Ces paramètres sont liés aux valeurs de R , L , C et G .

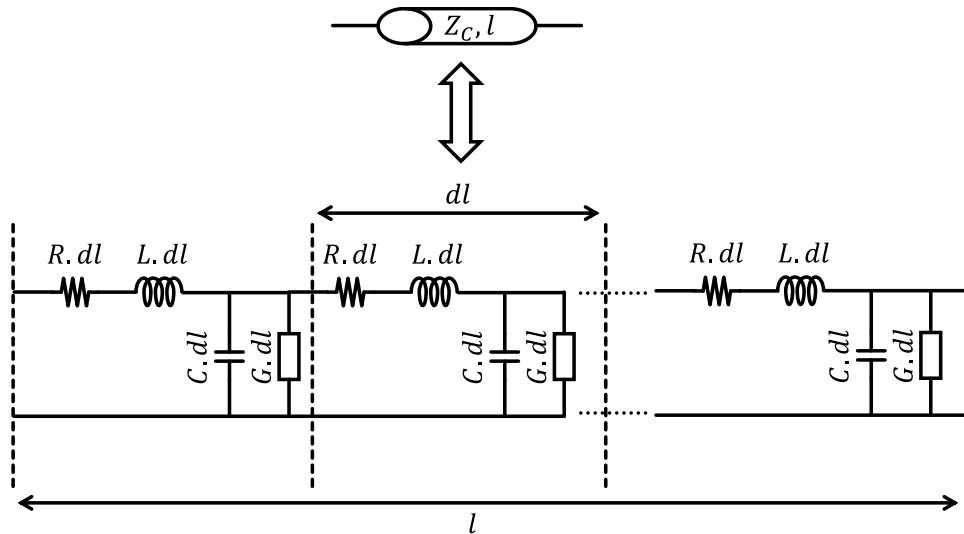


Figure 2.19 : Schéma électrique équivalent $RLCG$ d'une ligne micro-ruban.

La Figure 2.20 montre les étapes afin d'extraire le schéma équivalent d'une ligne de transmission. Le passage de la matrice S à la matrice $ABCD$ permet d'extraire les éléments linéiques du schéma équivalent.

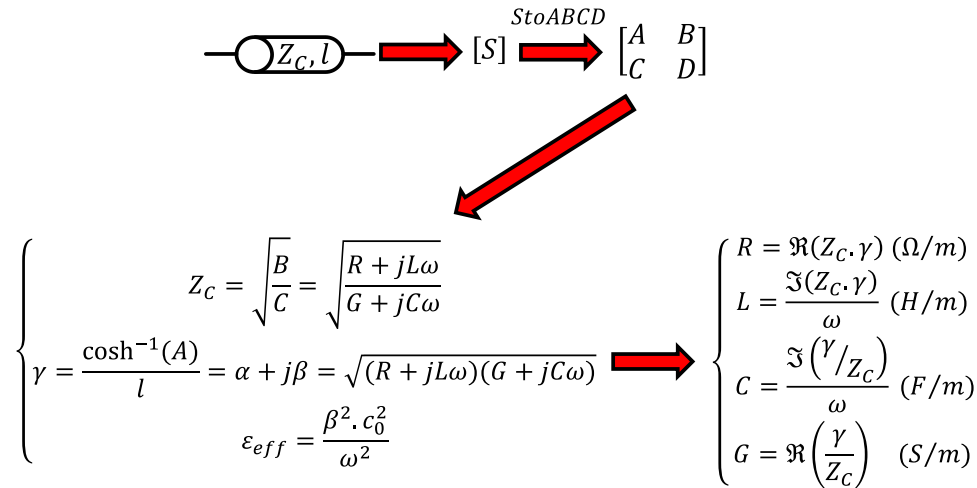


Figure 2.20 : Etapes d'extraction des éléments *RLCG* du schéma équivalent d'une ligne de transmission.

Pour l'extraction des éléments linéiques, une ligne ayant une longueur l de $100 \mu\text{m}$ avec une largeur w de $8,6 \mu\text{m}$ a été choisie. Pour le modèle *RLCG* le nombre de tronçons N est de 60 pour plus de précision. Alors la longueur élémentaire dl vaut $l/N = 1,67 \mu\text{m}$. En suivant les étapes présentées précédemment, la Figure 2.21 présente les éléments linéiques en fonction de la fréquence.

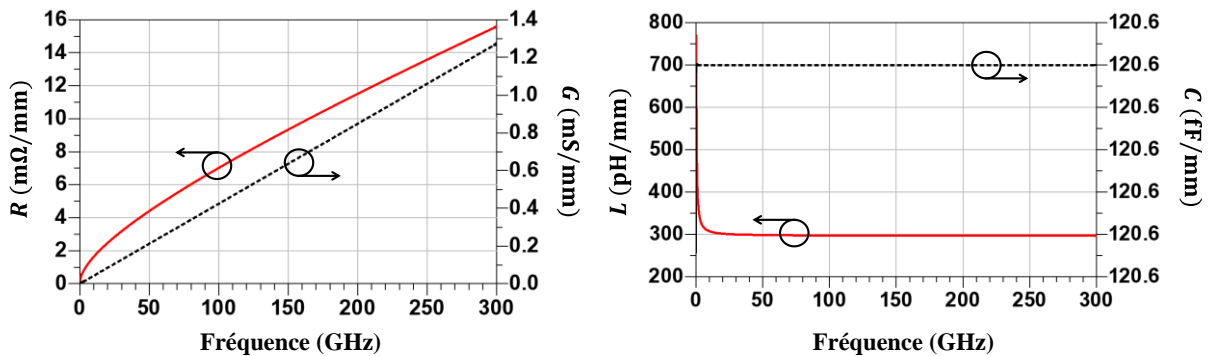


Figure 2.21 : Eléments linéiques de la ligne micro-ruban en fonction de la fréquence.

L'effet de peau est modélisé par une résistance qui dépend de la fréquence selon la formule suivante :

$$R(f) = R(DC) + k\sqrt{f} \quad (2.18)$$

L'extraction des éléments est faite à 60 GHz, les valeurs des éléments du schéma équivalent obtenues sont regroupées dans le Tableau 2.6.

Élément	Valeur
R (mΩ/mm)	5
L (pH/mm)	302
C (fF/mm)	120
G (mS/mm)	0,3

Tableau 2.6 : Valeurs des éléments linéiques du schéma équivalent d'une ligne de transmission.

Dans cette partie une comparaison entre le modèle implémenté dans le DK, une ligne simulée sous HFSSTM (simulation EM 3D) et le modèle *RLCG* est présentée.

Concernant la simulation EM sous HFSSTM, la simplification des couches métalliques et diélectriques est importante pour réduire le temps de la simulation. Le BEOL composé d'une quarantaine de couches diélectriques est simplifié selon la formule suivante [54] :

$$\epsilon_{r_eq} = \left(\sqrt{\epsilon_n} + \frac{h_{n-1}}{h_{n-1} + h_n} (\sqrt{\epsilon_{n-1}} - \sqrt{\epsilon_n}) \right)^2 \quad (2.19)$$

avec ϵ_n , ϵ_{n-1} et h_n , h_{n-1} les permittivités et les hauteurs de deux couches diélectriques adjacentes.

Les couches métalliques en cuivre ont une conductivité bien connue, cependant la présence de vias entre les couches métalliques peut augmenter le temps de simulation électromagnétique. Pour éviter cela, les vias ainsi que les couches métalliques sont fusionnées en une seule couche qui présente une hauteur et une conductivité équivalente comme le montre l'équation 2.20.

$$\begin{cases} \sigma_{eq} = \frac{\sigma_n \cdot h_n + \sigma_{n+1} \cdot h_{n+1}}{h_{eq}} \\ h_{eq} = h_n + h_{n+1} + t_{via} \end{cases} \quad (2.20)$$

avec σ_n et σ_{n+1} la conductivité de deux couches métalliques adjacentes et t_{via} l'épaisseur du via. Ces simplifications du BEOL sont présentées sur la Figure 2.22.

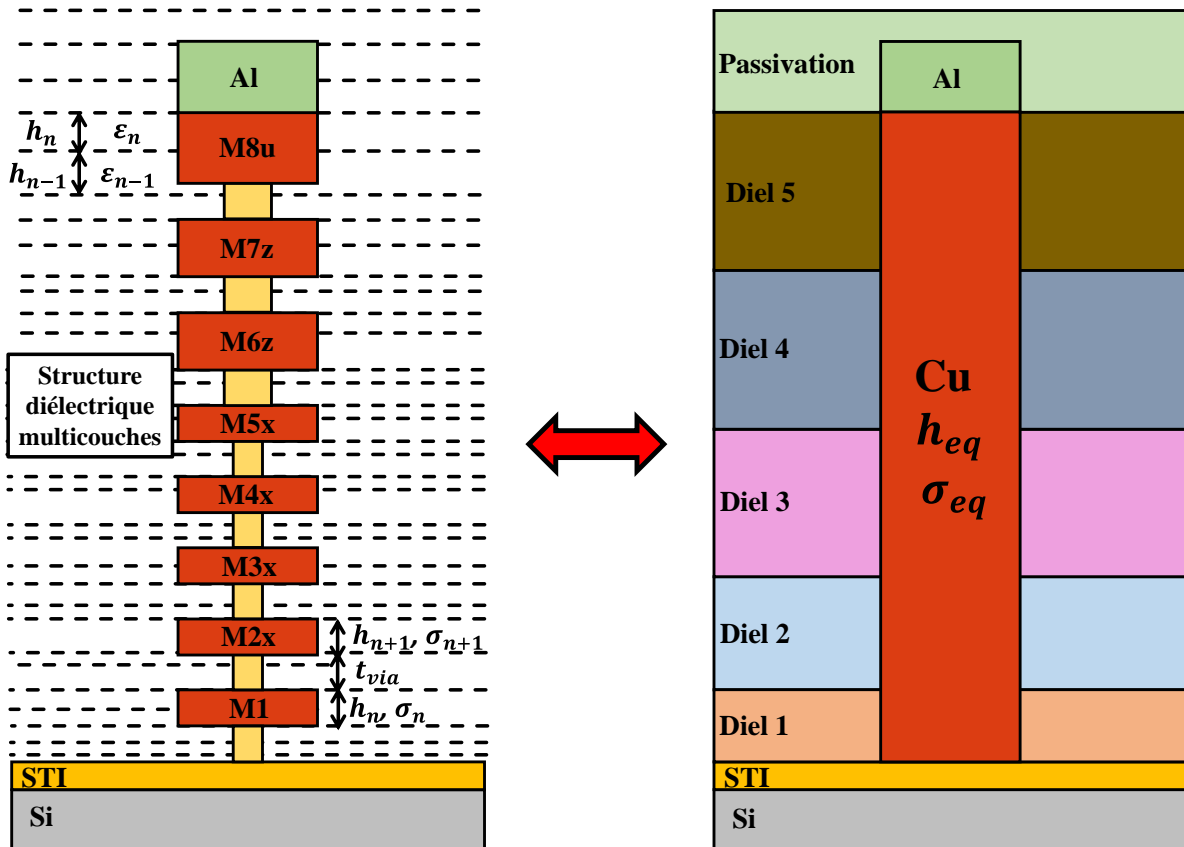


Figure 2.22 : Simplification de la structure du BEOL.

Les résultats de simulation EM d'une ligne micro-ruban ayant une longueur de 100 μm pour plusieurs largeurs w sont présentés sur la Figure 2.23.

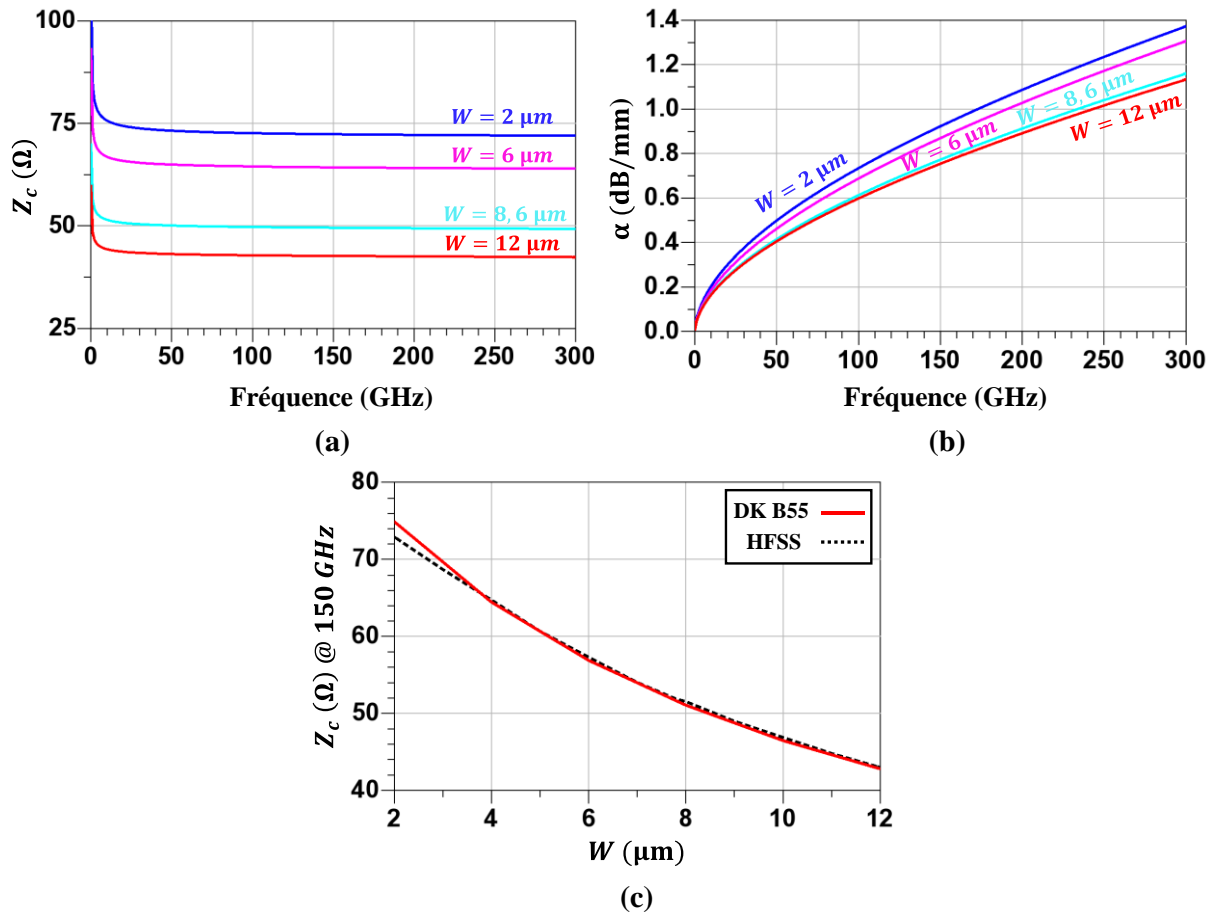


Figure 2.23 : Résultats de simulation EM d'une ligne micro-ruban de longueur 100 μm : (a) impédance caractéristique Z_c , (b) constante d'atténuation α en fonction de la fréquence pour différentes valeur de w et (c) comparaison de Z_c en fonction de la largeur w à 150 GHz entre la simulation EM sous HFSSTM et le modèle implémenté dans le DK BiCMOS 55 nm.

La Figure 2.23 (c) montre l'impédance caractéristique en fonction de la largeur w à une fréquence fixe (150 GHz) de la ligne micro-ruban implémentée dans le DK et de la ligne simulée sous HFSSTM. Cette étape permet de valider le modèle électromagnétique de la ligne simulé par rapport à celui implémenté dans le DK.

La comparaison des différentes caractéristiques d'une ligne micro-ruban entre le modèle implémenté dans le DK, le modèle de la ligne simulée sous HFSSTM et le modèle *RLCG* est présentée sur la Figure 2.24. La ligne micro-ruban à une longueur de 100 μm et une largeur w de 8,6 μm , le ruban conducteur est réalisé avec la couche de métal M8 et le plan de masse en M1. Les modèles proposés (*RLCG* et simulation électromagnétique) sont validés et présentent des résultats très proches du modèle implémenté dans le DK de la technologie BiCMOS 55 nm, avec une erreur inférieure à 10%. En effet il existe trois types de pertes dans une ligne de transmission : les pertes diélectriques, les pertes métalliques et les pertes par rayonnement. Les pertes dans la ligne augmentent avec la fréquence à cause de l'effet de peau, qui se traduit par la diminution du volume de conduction et par l'augmentation de la résistance. Le modèle *RLCG* proposé prend en compte cette variation en fonction de la fréquence. Ce modèle peut donner un ordre de grandeur du facteur de qualité de la ligne de transmission défini par $\frac{\beta}{2\alpha}$.

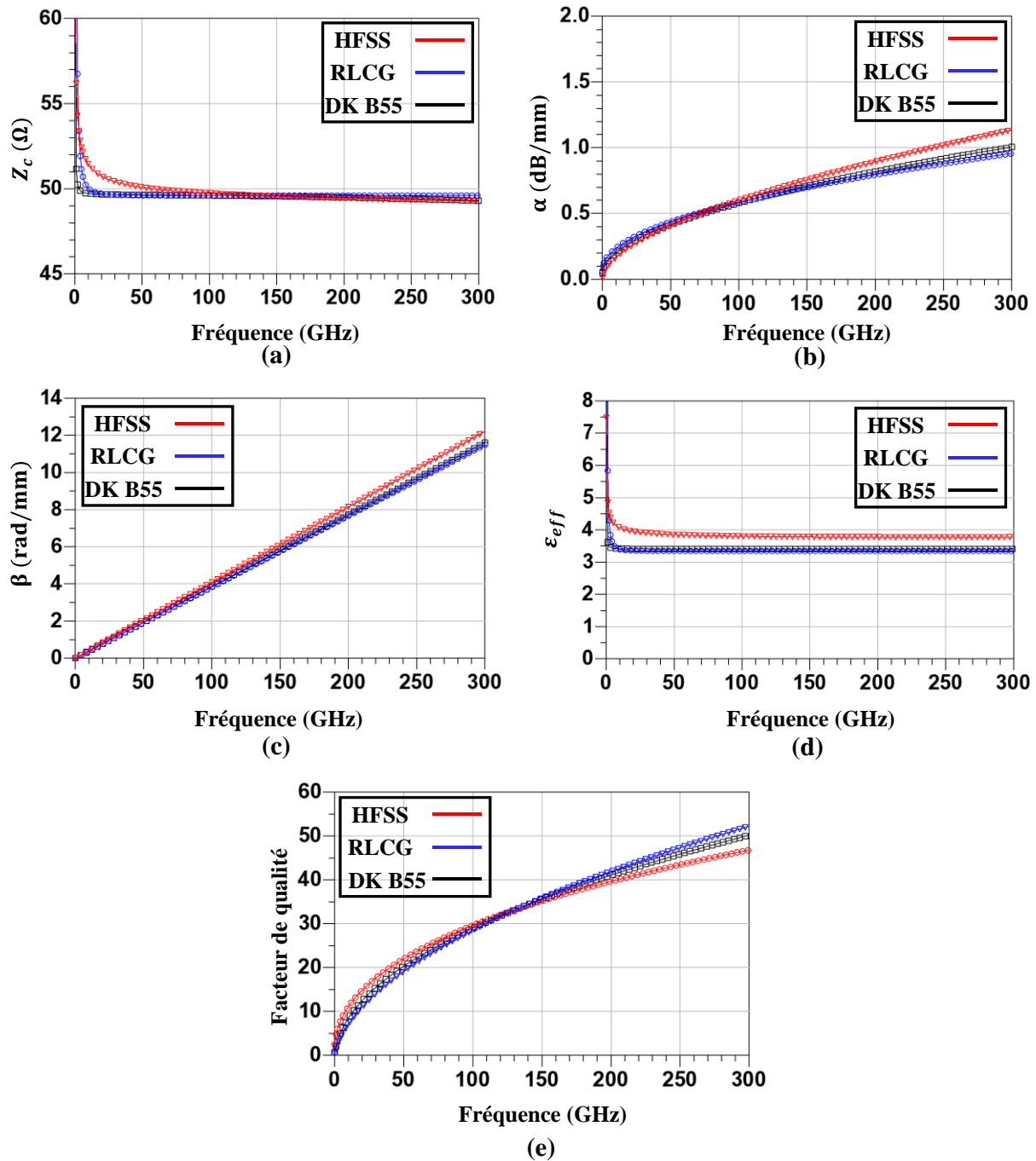


Figure 2.24: Comparaison des caractéristiques en fonction de la fréquence d’une ligne micro-ruban de longueur $100 \mu\text{m}$ et d’une largeur $8,6 \mu\text{m}$ entre le modèle implémenté dans le DK, la ligne simulée sous HFSSTM et le modèle RLCG : (a) impédance caractéristique Z_c , (b) constante d’atténuation α , (c) constante de phase β , (d) permittivité diélectrique relative effective et (e) facteur de qualité.

2.5.1.2 Ligne à ondes lentes (S-CPW)

Une ligne à ondes lentes (S-CPW) est basée sur une ligne coplanaire CPW classique avec des barreaux métalliques flottants implémentés en-dessous du ruban conducteur. La Figure 2.25 présente la structure de la ligne S-CPW.

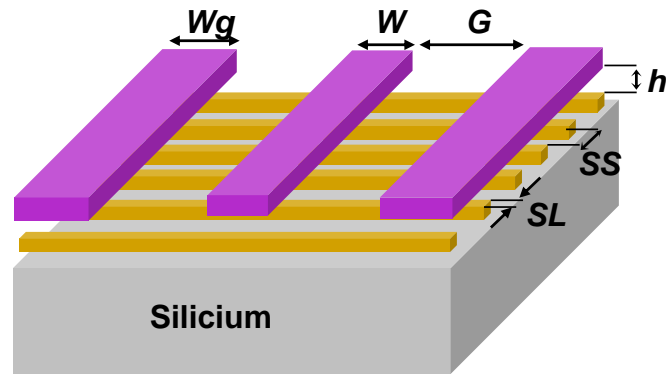


Figure 2.25 : Structure de la ligne S-CPW.

Les paramètres de conception de la ligne S-CPW sont classés en deux catégories : la première catégorie comprend les paramètres propres à la ligne CPW et la deuxième est liée aux barreaux flottants.

- Paramètres de la ligne CPW :
 - W : Largeur du ruban conducteur.
 - W_g : Largeur du plan de masse.
 - G : Gap entre le ruban conducteur et le plan de masse
- Paramètres des barreaux flottants :
 - SL : Largeur des barreaux flottants.
 - SS : Espacement entre deux barreaux flottants adjacents.
 - h : Épaisseur du diélectrique séparant les barreaux flottants et la structure CPW.

Les deux paramètres SL et SS ont des valeurs qui correspondent au minimum imposé par la technologie. Concernant SL , réduire ce paramètre permet de minimiser les courants de Foucault (« eddy currents ») circulant dans les barreaux flottants et ainsi minimiser les pertes. Concernant le paramètre SS , sa valeur doit être inférieure ou égale à h pour que les barreaux flottants agissent comme un mur métallique [55]. La Figure 2.26 montre une vue en coupe d'une ligne S-CPW simulée sous Flux 3DTM [55]. Le champ électrique présenté sur la Figure 2.26 (a) est confiné entre le ruban conducteur et les barreaux flottants. Par conséquent la capacité linéique C_l augmente. De plus on peut remarquer qu'il n'y a pas de champ électrique en dessous des barreaux flottants. D'autre part le champ magnétique, comme le montre la Figure 2.26 (b), passe à travers les barreaux flottants, et par conséquent l'inductance linéique L_l n'est quasiment pas affectée et reste similaire à celle d'une structure CPW classique.

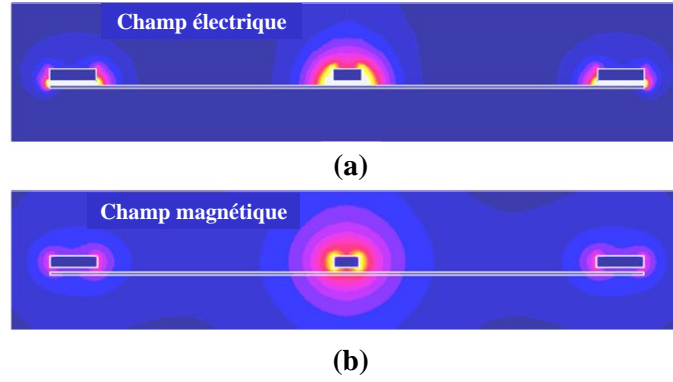


Figure 2.26 : Vue en coupe d'une ligne S-CPW : (a) champ électrique et (b) champ magnétique [55].

D'après ce qui a été présenté, et d'après l'équation (2.21), on obtient une diminution de la vitesse de phase v_ϕ par rapport à celle obtenue dans une structure CPW. D'où le nom : ondes lentes. Ainsi, une forte permittivité relative effective ϵ_{eff} est atteinte.

$$\begin{cases} v_\phi = \frac{1}{\sqrt{L_l \cdot C_l}} \\ \epsilon_{eff} = c_0^2 \cdot L_l \cdot C_l \end{cases} \quad (2.21)$$

De ce fait, les lignes à ondes lentes ont un facteur de qualité plus élevé que celui des lignes micro-ruban ou CPW. Elles permettent également d'obtenir des impédances caractéristiques d'environ de 100Ω , ce qui est irréalisable avec les autres structures. D'après l'équation (2.22) avec l'augmentation de ϵ_{eff} la constante de phase β augmente aussi ce qui entraîne une diminution de la longueur physique l de la ligne pour une longueur électrique θ voulue.

$$\begin{cases} \beta = \frac{\omega}{v_\phi} = \frac{\omega \sqrt{\epsilon_{eff}}}{c_0} \\ \theta = \beta \cdot l \end{cases} \quad (2.22)$$

La Figure 2.27 présente une comparaison entre des lignes micro-ruban et des lignes à ondes lentes implémentées dans plusieurs configurations. On remarque que pour des lignes ayant environ la même impédance caractéristique, le facteur de qualité des lignes S-CPW est supérieur à celui des lignes micro-ruban.

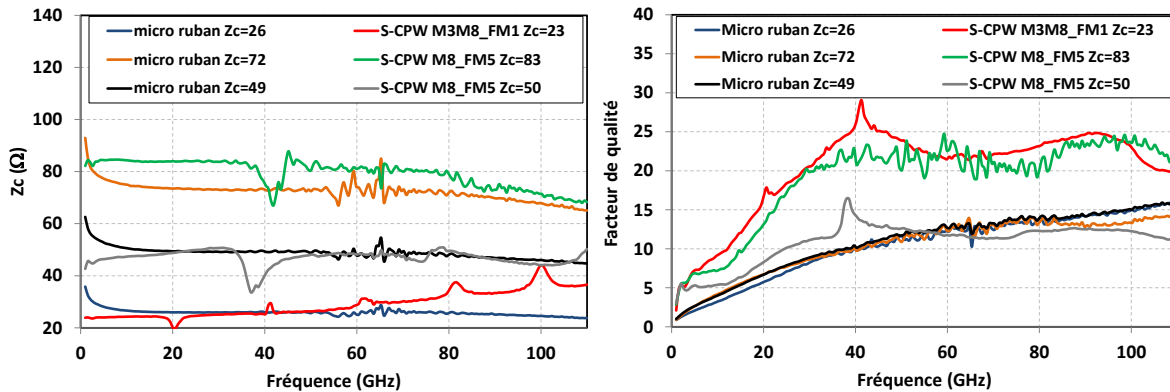


Figure 2.27 : Comparaison entre des lignes micro-ruban et des lignes S-CPW.

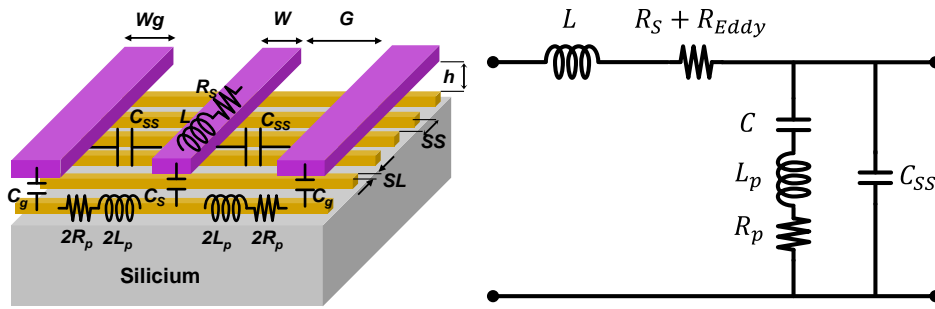


Figure 2.28 : Modèle équivalent d'une ligne à ondes lentes.

Le modèle $RLRC$ proposé dans [56] et optimisé dans [57] (Figure 2.28) est composé d'une inductance L qui modélise la propagation du courant dans le ruban conducteur, d'une capacité C qui modélise l'effet capacitif entre le ruban et les barreaux flottants, d'une capacité C_{SS} qui modélise le couplage électrique entre le ruban conducteur et le plan de masse, le courant circulant dans les barreaux flottants est modélisé par une inductance L_p . Les résistances R_S , R_p et R_{Eddy} représentent respectivement les pertes de conduction dans le ruban conducteur et les barreaux flottants. La Figure 2.29 présente une comparaison entre les résultats de mesure et le modèle équivalent de la ligne à ondes lentes. Différentes combinaisons sont présentées dans cette figure. La légende « CPW M6M5 Shield M3 » signifie que le ruban conducteur de la ligne est réalisé par un empilement de couches (M5 et M6) et les barreaux flottants sont implémentés au niveau M3. Le modèle présenté est validé avec une erreur inférieure à 10 % pour toutes les caractéristiques de la ligne S-CPW.

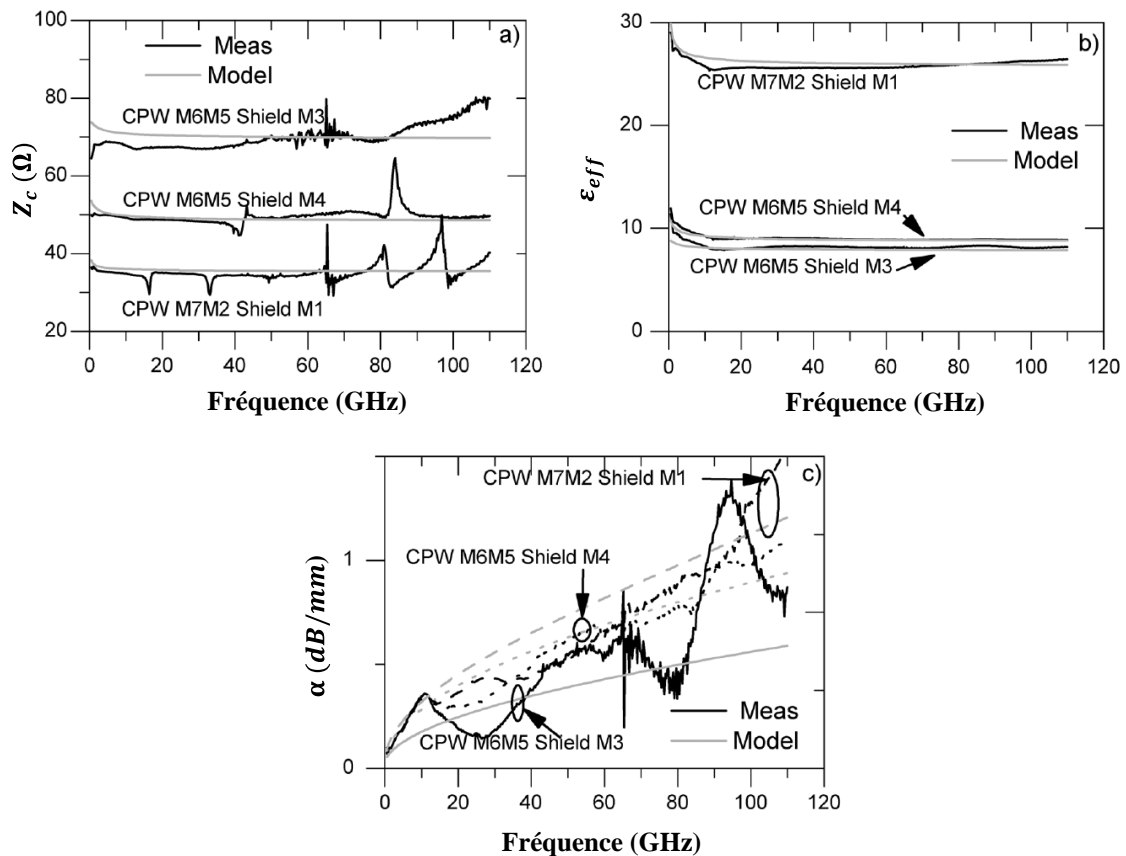


Figure 2.29 : Comparaison des performances en fonction de la fréquence entre les mesures et le modèle équivalent d'une ligne à ondes lentes : (a) impédance caractéristique Z_C , (b) permittivité relative effective ϵ_{eff} et (c) constante d'atténuation α [57].

2.5.2 Inductance et capacité MOM

2.5.2.1 Inductance

Les inductances sont généralement conçues avec une forme octogonale en utilisant le niveau de métal le plus élevé (M8). Un plan de masse est implémenté au niveau bas (M1) pour isoler l'inductance du substrat silicium. La Figure 2.30 (a) et (b) présente respectivement une vue 2D et 3D d'une inductance du DK (ind_mmw_8m4x0y2z1u).

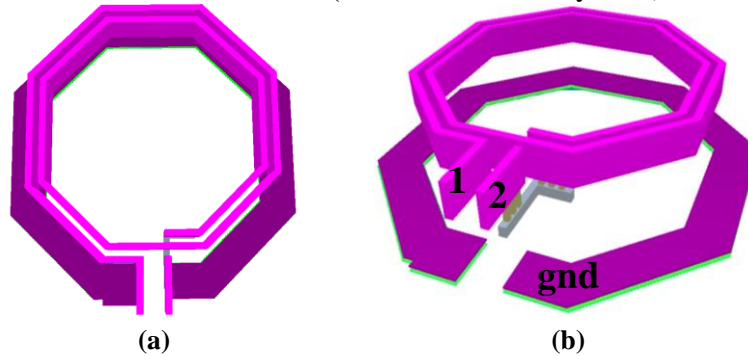


Figure 2.30 : Inductance du DK BiCMOS 55 nm : (a) vue 2D, (b) vue 3D.

Les paramètres de conception d'une inductance sont les suivants :

- D : Diamètre interne.
- N : Nombre de tours.
- W : Largeur de la spire.

Le modèle équivalent en π d'une inductance est présenté sur la Figure 2.31. Il est composé d'une inductance L_S en série avec une résistance $R_S(f)$ qui dépend de la fréquence, prenant en compte les effets de peau et de proximité. Une capacité parasite C_S est ajoutée en parallèle. Le substrat est modélisé par une capacité C_{Sub} en parallèle avec une résistance R_{Sub} et une capacité C_{ox} qui modélise ainsi la couche d'oxyde entre l'inductance et le substrat.

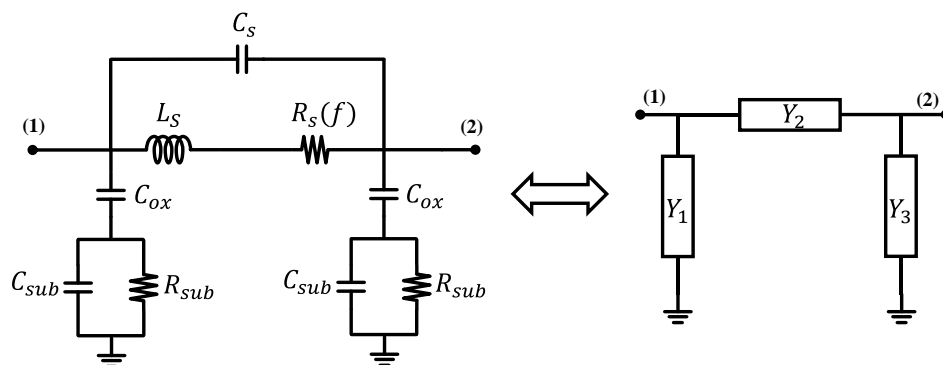


Figure 2.31: Schéma équivalent en π d'une inductance.

Pour la simplification de l'étude le modèle du substrat peut être négligé pour établir un modèle simple comme c'est le cadre dans ce travail. En effet le substrat présente un faible impact sur la valeur de l'inductance. La matrice $[Y]$ du modèle permet d'obtenir les valeurs des éléments du schéma équivalent.

$$Y_2 = -Y_{21} = jC_S\omega + \frac{1}{R_S + jL_S\omega} \quad (2.23)$$

La valeur de C_S est extraite à une fréquence très élevée quand ω tend vers l'infini. R_S et L_S sont extraites en basse fréquence.

$$C_S = \frac{-\Im(Y_{21})}{\omega} \quad (2.24)$$

$$R_S = -\Re\left(\frac{1}{Y_{21}}\right) \quad (2.25)$$

$$L_S = \frac{-\Im\left(\frac{1}{Y_{21}}\right)}{\omega} \quad (2.26)$$

Pour une inductance de diamètre $D = 45 \mu\text{m}$, $w = 3,15 \mu\text{m}$ et $N = 1$, les valeurs des éléments du schéma équivalent sont données dans le Tableau 2.7.

Élément	Valeur
$R_S(\text{DC}) (\Omega)$	0,5
$L_S (\text{pH})$	115,6
$C_S (\text{fF})$	0,012

Tableau 2.7 : Valeurs des éléments du schéma équivalent d'une inductance.

L'effet de peau est modélisé sous la forme de cette équation :

$$R_S(f) = R_S(\text{DC}) + k\sqrt{f} \quad (2.27)$$

ici $k = 1e^{-5}$, cette modélisation simple de l'effet de peau, ne donne pas une valeur exacte de R_S mais une approximation, qui permet d'avoir un ordre de grandeur sur le facteur de qualité. Cependant, l'effet de peau peut être modélisé par un polynôme d'ordre 2, même s'il ne repose pas sur une analyse physique, mais permet d'améliorer le modèle simple d'effet de peau. La Figure 2.32 présente une comparaison des performances de l'inductance entre le modèle implémenté dans le DK et le modèle équivalent présenté. Le facteur de qualité de l'inductance est donné par $Q_{ind} = -\Im(Y_{11})/\Re(Y_{11})$.

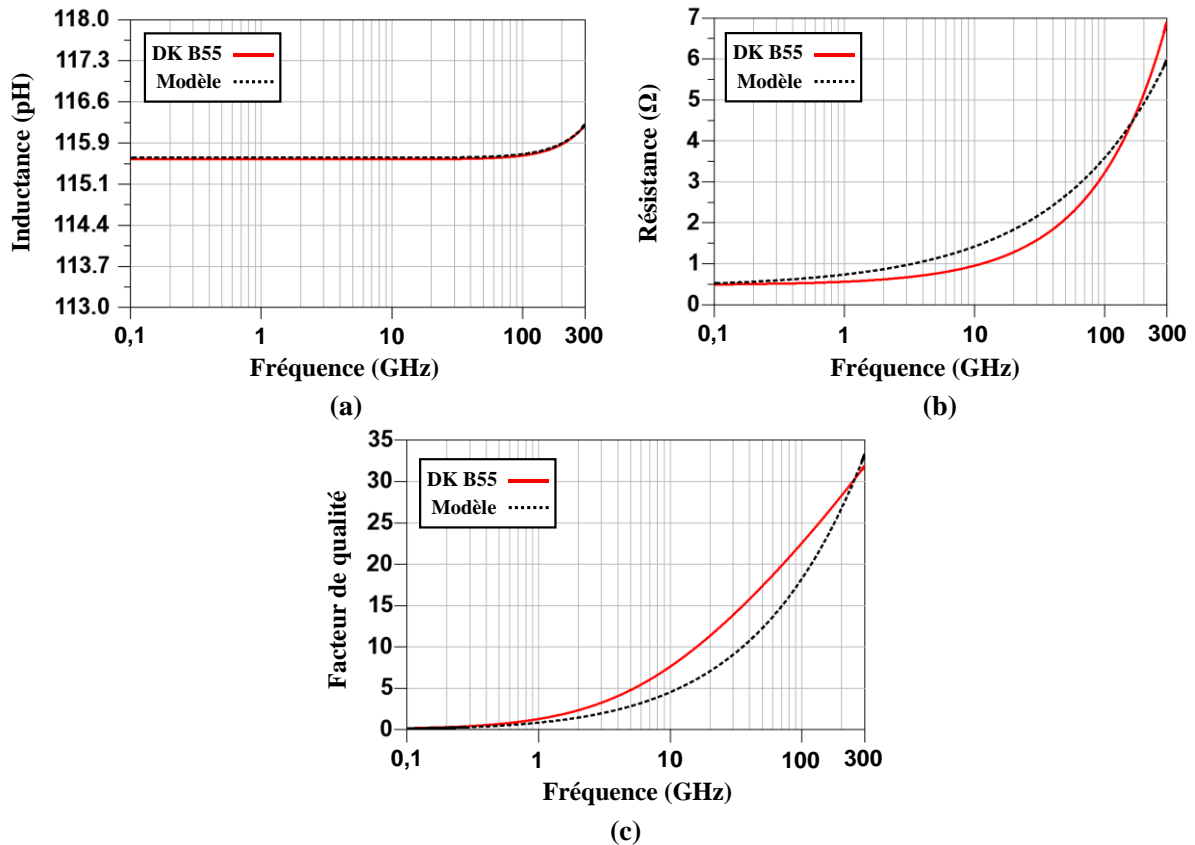


Figure 2.32 : Comparaison des performances d’une inductance en fonction de la fréquence entre le modèle du DK et le modèle équivalent : (a) valeur de l’inductance, (b) valeur de la résistance et (c) facteur de qualité.

2.5.2.2 Capacité MOM

Dans ce travail, les capacités MOM (Figure 2.33) sont utilisées comme capacités de découplage ou bien capacité de liaison. Les capacités MOM présentent une densité d’intégration élevée, avec un bon facteur de qualité (environ 10 à 40 GHz), tout en ayant un faible coût de fabrication car ne nécessitent pas de processus de fabrication supplémentaire comme les capacités MIM.

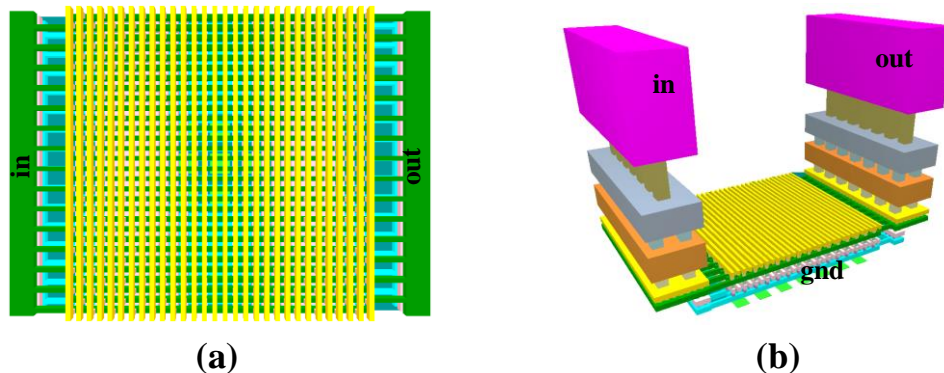


Figure 2.33 : Capacité MOM implémentée dans le DK BiCMOS 55 nm : (a) vue en 2D et (b) vue en 3D contenant les accès.

La Figure 2.34 présente le modèle équivalent d’une capacité MOM, ce modèle est présenté dans [58].

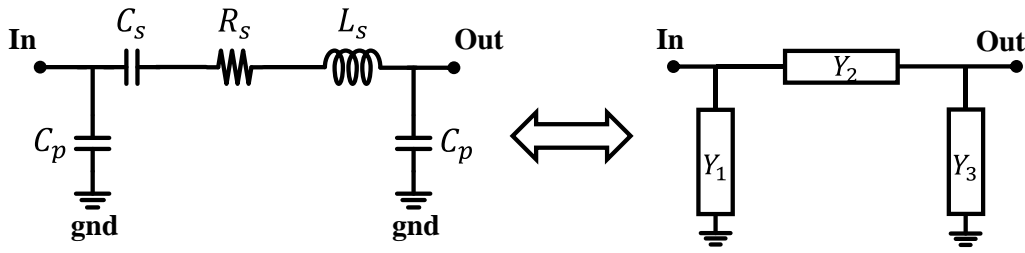


Figure 2.34 : Modèle équivalent d'une capacité MOM.

Ce modèle est composé d'un réseau RLC en série, la résistance R_S modélise les pertes résistives et diélectriques. L'inductance L_S modélise les accès et décrit la dépendance fréquentielle du modèle et C_S représente la capacité intrinsèque. Finalement pour modéliser le couplage capacitif à la masse deux capacités C_p sont ajoutées en parallèle au réseau RLC . Le passage par la matrice $[Y]$ permet d'extraire les valeurs du schéma équivalent. La valeur de la capacité est extraite en basse fréquence. La valeur de l'inductance est extraite à la résonance ou bien quand ω tend vers l'infini comme détaillé précédemment dans la partie concernant les varactors.

$$R_S = -\Re\left(\frac{1}{Y_{21}}\right) \quad (2.28)$$

$$C_S = \frac{1}{\Im\left(\frac{1}{Y_{21}}\right) \cdot \omega} \quad (2.29)$$

$$L_S = \frac{1}{C_S \cdot \omega_{res}^2} \quad (2.30)$$

$$C_p = \frac{\Im(Y_{11} + Y_{12})}{\omega} \quad (2.31)$$

Le facteur de qualité de la capacité MOM est donné par :

$$Q_{MOM} = \frac{\Im(Y_{21})}{\Re(Y_{21})} \quad (2.32)$$

En choisissant une capacité ayant les dimensions suivantes : 47 doigts selon x et y, la capacité à une valeur de 200 fF. Les valeurs extraites des éléments du schéma équivalent sont présentées dans le Tableau 2.8.

Élément	Valeur
R_S (Ω) (DC)	0,4
L_S (pH)	4,78
C_S (fF)	200
C_p (fF)	3,4

Tableau 2.8 : Valeur des éléments du schéma équivalent de la capacité MOM.

La comparaison entre les performances de la capacité MOM choisie et du modèle équivalent est présentée sur la Figure 2.35.

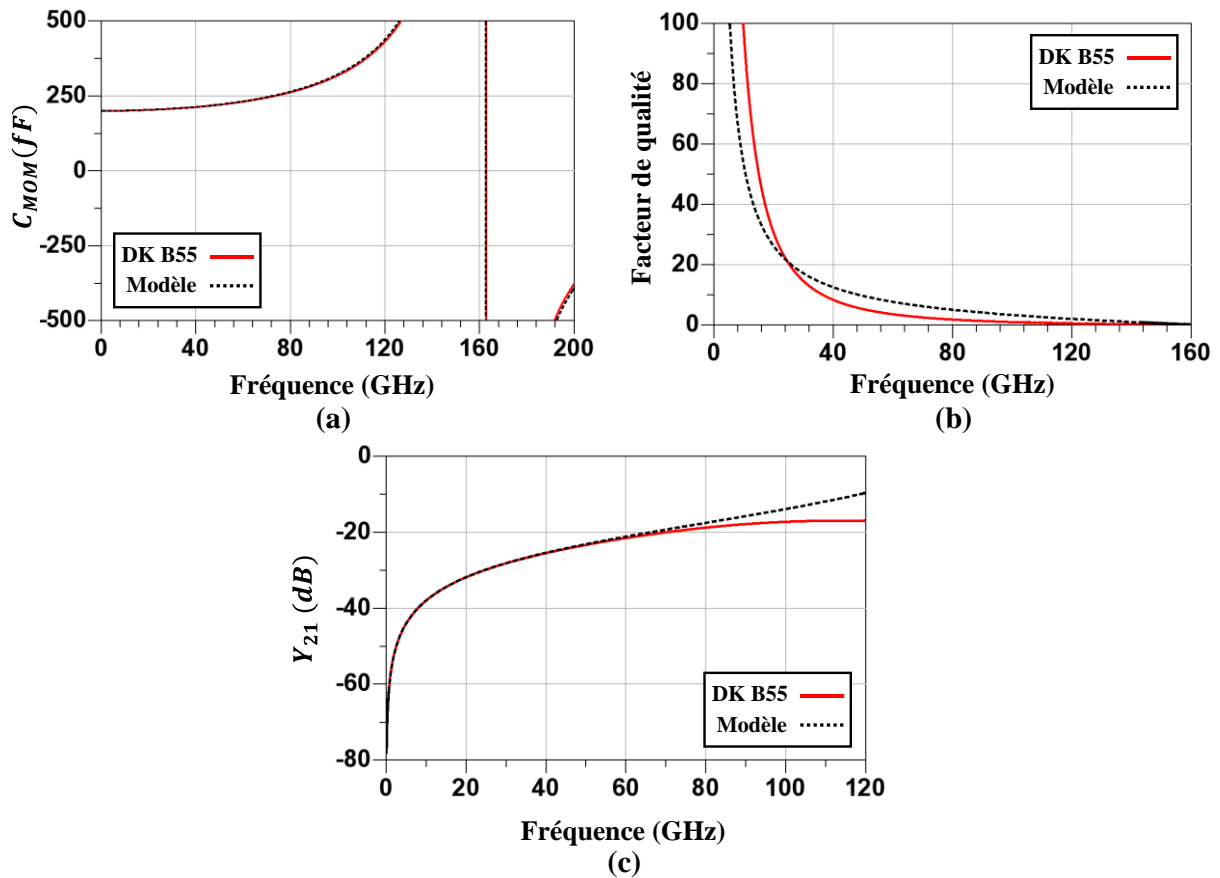


Figure 2.35 : Comparaison des performances de la capacité MOM entre le modèle implémenté dans le DK et le modèle équivalent présenté : (a) valeur de la capacité MOM, (b) facteur de qualité et (c) paramètre Y_{21} en dB.

2.6 Conclusion

Ce chapitre a dans un premier temps présenté l'état de l'art des technologies CMOS/BiCMOS ainsi que l'évolution de leurs performances fréquentielles. Ensuite la technologie BiCMOS 55 nm de STMicroelectronics a été brièvement présentée avec les avantages qu'elle peut apporter dans la réalisation de circuits RF fonctionnant en bandes millimétrique et sub-millimétrique. Une partie de ce chapitre a ensuite été consacrée à l'étude des composants de base actifs et passifs implémentés dans le DK de la technologie. Le but de cette thèse n'est pas la modélisation et la description exacte des phénomènes physiques des composants. Pour cela des modèles simples ont été présentés afin de comprendre le comportement de ces composants surtout aux hyperfréquences, ce qui permet de simplifier l'étude des circuits conçus et prédire des tendances.

Le chapitre suivant présentera les circuits élémentaires qui constituent le système de formation de faisceau.

2.7 Références bibliographiques

- [1] EngineersGarage, “CMOS (Complementary Metal-Oxide Semiconductor),” 01-Feb-2012. [Online]. Available: <http://www.engineersgarage.com/articles/what-is-cmos-technology>.
- [2] G. E. Moore, “Cramming more components onto integrated circuits, Reprinted from Electronics, volume 38, number 8, April 19, 1965, pp.114 ff.,” *IEEE Solid-State Circuits Soc. Newsl.*, vol. 11, no. 5, pp. 33–35, Sep. 2006.
- [3] Y. Mao, K. Schmalz, J. Borngraber, and J. C. Scheytt, “245-GHz LNA, Mixer, and Subharmonic Receiver in SiGe Technology,” *IEEE Trans. Microw. Theory Tech.*, vol. 60, no. 12, pp. 3823–3833, Dec. 2012.
- [4] J. Moron Guerra, “Design of Sub-THz heterodyne receivers in 65 nm CMOS process,” Thèse Université des sciences et technologies de Lille, 2014.
- [5] M. Deng, “Contribution à la caractérisation et la modélisation jusqu’à 325 GHz de transistors HBT des technologies BiCMOS,” Thèse Université des sciences et technologies de Lille, 2014.
- [6] P. Chevalier, G. Avenier, G. Ribes, A. Montagné, E. Canderle, D. Céli, N. Derrier, C. Deglise, C. Durand, T. Quémerais, M. Buczko, D. Gloria, O. Robin, S. Petitdidier, Y. Campidelli, F. Abbate, M. Gros-Jean, L. Berthier, J. D. Chapon, F. Leverd, C. Jenny, C. Richard, O. Gourhant, C. De-Buttet, R. Beneyton, P. Maury, S. Joblot, L. Favennec, M. Guillermet, P. Brun, K. Courouble, K. Haxaire, G. Imbert, E. Gourvest, J. Cossalter, O. Saxod, C. Tavernier, F. Foussadier, B. Ramadout, R. Bianchini, C. Julien, D. Ney, J. Rosa, S. Haendler, Y. Carminati, and B. Borot, “A 55 nm triple gate oxide 9 metal layers SiGe BiCMOS technology featuring 320 GHz fT / 370 GHz fMAX HBT and high-Q millimeter-wave passives,” *IEEE International Electron Devices Meeting (IEDM)*, 2014, pp. 3.9.1–3.9.3.
- [7] P. Chevalier, T. Lacave, E. Canderle, A. Pottrain, Y. Carminati, J. Rosa, F. Pourchon, N. Derrier, G. Avenier, A. Montagné, A. Balteanu, E. Dacquay, I. Sarkas, D. Céli, D. Gloria, C. Gaquière, S. P. Voinigescu, and A. Chantre, “Scaling of SiGe BiCMOS Technologies for Applications above 100 GHz,” *IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 2012, pp. 1–4.
- [8] A. Chantre, P. Chevalier, T. Lacave, G. Avenier, M. Buczko, Y. Campidelli, L. Depoyan, L. Berthier, and C. Gacquière, “Pushing conventional SiGe HBT technology towards ‘Dotfive’ terahertz,” in *European Microwave Integrated Circuits Conference (EuMIC)*, pp. 21–24, Sept 2010, Paris, France.
- [9] M. Laurens, B. Martinet, O. Kermarrec, Y. Campidelli, F. Deleglise, D. Dutarte, G. Troillard, D. Gloria, J. Bonnouvrier, R. Beerkens, V. Rousset, F. Leverd, A. Chantre, and A. Monroy, “A 150GHz fT/fmax 0.13 μm SiGe:C BiCMOS technology,” in *IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2003, pp. 199–202.
- [10] Y. Tagro, L. Poulain, S. Lepilliet, B. Dormieu, D. Gloria, P. Scheer, G. Dambrine, and F. Danneville, “RF noise investigation in High-k/Metal Gate 28-nm CMOS transistors,” in *Proc. IEEE MTT-S Int. Microw. Symp. (IMS)*, pp. 1–3, June 2012, Montreal Canada.
- [11] L. Poulain, N. Waldhoff, D. Gloria, F. Danneville, and G. Dambrine, “Small signal and HF noise performance of 45 nm CMOS technology in mmW range,” *IEEE Radio Freq. Integr. Circuits Symp. (RFIC)*, June 2011, Baltimore, USA.

- [12] H. Rucker, B. Heinemann, and A. Fox, "Half-Terahertz SiGe BiCMOS technology," in *IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF)*, 2012, pp. 133–136.
- [13] A. Fox, B. Heinemann, R. Barth, S. Marschmeyer, C. Wipf, and Y. Yamamoto, "SiGe:C HBT architecture with epitaxial external base," in *IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2011, pp. 70–73.
- [14] B. Heinemann, R. Barth, D. Bolze, J. Drews, G. G. Fischer, A. Fox, O. Fursenko, T. Grabolla, U. Haak, D. Knoll, R. Kurps, M. Lisker, S. Marschmeyer, H. Rucker, D. Schmidt, J. Schmidt, M. A. Schubert, B. Tillack, C. Wipf, D. Wolansky, and Y. Yamamoto, "SiGe HBT technology with fT/f_{max} of 300GHz/500GHz and 2.0 ps CML gate delay," in *IEEE International Electron Devices Meeting (IEDM)*, 2010, pp. 30.5.1–30.5.4.
- [15] H. Rucker, B. Heinemann, W. Winkler, R. Barth, J. Borngraber, J. Drews, G. G. Fischer, A. Fox, T. Grabolla, U. Haak, D. Knoll, F. Korndorfer, A. Mai, S. Marschmeyer, P. Schley, D. Schmidt, J. Schmidt, M. A. Schubert, K. Schulz, B. Tillack, D. Wolansky, and Y. Yamamoto, "A 0.13 SiGe BiCMOS Technology Featuring f/f of 240/330 GHz and Gate Delays Below 3 ps," *IEEE J. Solid-State Circuits*, vol. 45, no. 9, pp. 1678–1686, Sep. 2010.
- [16] S. V. Huylenbroeck, A. Sibaja-Hernandez, R. Venegas, S. You, F. Vleugels, D. Radisic, W. Lee, W. Vanherle, K. D. Meyer, and S. Decoutere, "Pedestal collector optimization for high speed SiGe:C HBT," in *IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2011, pp. 66–69.
- [17] S. V. Huylenbroeck, A. Sibaja-Hernandez, R. Venegas, S. You, G. Winderickx, D. Radisic, W. Lee, P. Ong, T. Vandeweyer, N. D. Nguyen, K. D. Meyer, and S. Decoutere, "A 400GHz f_{MAX} fully self-aligned SiGe:C HBT architecture," in *IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2009, pp. 5–8.
- [18] L. j Choi, S. V. Huylenbroeck, J. Donkers, W. d V. Noort, A. Piontek, A. Sibaja-Hernandez, P. Meunier-Beillard, F. Neuilly, E. Kunnen, P. Leray, F. Vleugels, R. Venegas, E. Hijzen, and S. Decoutere, "A Novel Isolation Scheme featuring Cavities in the Collector for a High-Speed 0.13 μm SiGe:C BiCMOS Technology," in *IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF)*, 2007, pp. 158–161.
- [19] A. Hamidipour, M. Jahn, T. F. Meister, K. Aufinger, and A. Stelzer, "A comparison of power amplifiers in two generations of SiGe:C technologies," in *German Microwave Conference (GeMiC)*, 2012, pp. 1–3.
- [20] P. Chevalier, T. F. Meister, B. Heinemann, S. V. Huylenbroeck, W. Liebl, A. Fox, A. Sibaja-Hernandez, and A. Chantre, "Towards THz SiGe HBTs," in *IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2011, pp. 57–65.
- [21] M. Jahn, H. Knapp, and A. Stelzer, "A 122-GHz SiGe-Based Signal-Generation Chip Employing a Fundamental-Wave Oscillator With Capacitive Feedback Frequency-Enhancement," *IEEE J. Solid-State Circuits*, vol. 46, no. 9, pp. 2009–2020, Sep. 2011.
- [22] H. Knapp, T. F. Meister, W. Liebl, D. Claeys, T. Popp, K. Aufinger, H. Schäfer, J. Böck, S. Boguth, and R. Lachner, "Static frequency dividers up to 133GHz in SiGe:C bipolar technology," in *IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2010, pp. 29–32.

- [23] W. D. van Noort, A. Rodriguez, H. Sun, F. Zaato, N. Zhang, T. Nesheiwat, F. Neuilly, J. Melai, and E. Hijzen, "BiCMOS technology improvements for microwave application," in *IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2008, pp. 93–96.
- [24] J. J. T. M. Donkers, M. C. J. C. M. Kramer, S. V. Huylenbroeck, L. J. Choi, P. Meunier-Beillard, A. Sibaja-Hernandez, G. Boccardi, W. van Noort, G. A. M. Hurkx, T. Vanhoucke, F. Vleugels, G. Winderickx, E. Kunnen, S. Peeters, D. Baute, B. D. Vos, T. Vandeweyer, R. Loo, R. Venegas, R. Pijper, F. C. Voogt, S. Decoutere, and E. A. Hijzen, "A Novel Fully Self-Aligned SiGe:C HBT Architecture Featuring a Single-Step Epitaxial Collector-Base Process," in *IEEE International Electron Devices Meeting (IEDM)*, 2007, pp. 655–658.
- [25] P. Deixler, A. Rodriguez, W. D. Boer, H. Sun, R. Colclaser, D. Bower, N. Bell, A. Yao, R. Brock, Y. Bouttement, G. A. M. Hurkx, L. F. Tiemeijer, J. C. J. Paasschens, H. G. A. Huizing, D. M. H. Hartskeerl, P. Agrarwal, P. H. C. Magnee, E. Aksen, and J. W. Slotboom, "QUBiC4X: An $fT/f_{max} = 130/140$ GHz SiGe:C-BiCMOS manufacturing technology with elite passives for emerging microwave applications," in *IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2004, pp. 233–236.
- [26] R. A. Camillo-Castillo, Q. Z. Liu, J. W. Adkisson, M. H. Khater, P. B. Gray, V. Jain, R. K. Leidy, J. J. Pekarik, J. P. Gambino, B. Zetterlund, C. Willets, C. Parrish, S. U. Engelmann, A. M. Pyzyna, P. Cheng, and D. L. Harnage, "SiGe HBTs in 90nm BiCMOS technology demonstrating 300GHz/420GHz fT/f_{MAX} through reduced R_b and C_{cb} parasitics," in *IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2013, pp. 227–230.
- [27] J. Yuan, J. D. Cressler, R. Krithivasan, T. Thirvikraman, M. H. Khater, D. C. Ahlgren, A. J. Joseph, and J. S. Rieh, "On the Performance Limits of Cryogenically Operated SiGe HBTs and Its Relation to Scaling for Terahertz Speeds," *IEEE Trans. Electron Devices*, vol. 56, no. 5, pp. 1007–1019, May 2009.
- [28] B. A. Orner, M. Dahlstrom, A. Pothiawala, R. M. Rassel, Q. Liu, H. Ding, M. Khater, D. Ahlgren, A. Joseph, and J. Dunn, "A BiCMOS Technology Featuring a 300/330 GHz (fT/f_{max}) SiGe HBT for Millimeter Wave Applications," in *IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2006, pp. 1–4.
- [29] R. Krithivasan, Y. Lu, J. D. Cressler, J.-S. Rieh, M. H. Khater, D. Ahlgren, and G. Freeman, "Half-terahertz operation of SiGe HBTs," *IEEE Electron Device Lett.*, vol. 27, no. 7, pp. 567–569, Jul. 2006.
- [30] H. Li, B. Jagannathan, J. Wang, T. C. Su, S. Sweeney, J. J. Pekarik, Y. Shi, D. Greenberg, Z. Jin, R. Groves, L. Wagner, and S. Csutak, "Technology Scaling and Device Design for 350 GHz RF Performance in a 45nm Bulk CMOS Process," in *IEEE Symposium on VLSI Technology (VLSIT)*, 2007, pp. 56–57.
- [31] S. Lee, J. Johnson, B. Greene, A. Chou, K. Zhao, M. Chowdhury, J. Sim, A. Kumar, D. Kim, A. Sutton, S. Ku, Y. Liang, Y. Wang, D. Slisher, K. Duncan, P. Hyde, R. Thoma, J. Deng, Y. Deng, R. Rupani, R. Williams, L. Wagner, C. Wermer, H. Li, B. Johnson, D. Daley, J. O. Plouchart, S. Narasimha, C. Putnam, E. Maciejewski, W. Henson, and S. Springer, "Advanced modeling and optimization of high performance 32nm HKMG SOI CMOS for RF/analog SoC applications," in *IEEE Symposium on VLSI Technology (VLSIT)*, 2012, pp. 135–136.
- [32] S. Lee, B. Jagannathan, S. Narasimha, A. Chou, N. Zamdmer, J. Johnson, R. Williams, L. Wagner, J. Kim, J. O. Plouchart, J. Pekarik, S. Springer, and G. Freeman, "Record RF

- performance of 45-nm SOI CMOS Technology,” in *IEEE International Electron Devices Meeting (IEDM)*, 2007, pp. 255–258.
- [33] J. O. Plouchart, N. Zamdmer, J. Kim, R. Trzcinski, S. Narasimha, M. Khare, L. F. Wagner, S. L. Sweeney, and S. Chaloux, “A 243-GHz Ft and 208-GHz Fmax, 90-nm SOI CMOS SoC technology with low-power mm-wave digital and RF circuit capability,” *IEEE Trans. Electron Devices*, vol. 52, no. 7, pp. 1370–1375, Jul. 2005.
- [34] T. Hashimoto, Y. Nonaka, T. Tominari, H. Fujiwara, K. Tokunaga, M. Arai, S. Wada, T. Udo, M. Seto, M. Miura, H. Shimamoto, K. Washio, and H. Tomioka, “Direction to improve SiGe BiCMOS technology featuring 200-GHz SiGe HBT and 80-nm gate CMOS,” in *IEEE International Electron Devices Meeting (IEDM)*, 2003, pp. 5.5.1–5.5.4.
- [35] J. P. John, J. Kirchgessner, D. Morgan, J. Hildreth, M. Dawdy, R. Reuter, and H. Li, “Novel Collector Structure Enabling Low-Cost Millimeter-Wave SiGe:C BiCMOS Technology,” in *IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2007, pp. 559–562.
- [36] J. P. John, J. Kirchgessner, M. Menner, H. Rueda, F. Chai, D. Morgan, J. Hildreth, M. Dawdy, R. Reuter, and H. Li, “Development of a Cost-Effective, Selective-Epi, SiGe:C HBT Module for 77GHz Automotive Radar,” in *IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2006, pp. 1–4.
- [37] E. Preisler, L. Lanzerotti, P. D. Hurwitz, and M. Racanelli, “Demonstration of a 270 GHz ft SiGe-C HBT within a manufacturing-proven 0.18 μm BiCMOS process without the use of a raised extrinsic base,” in *IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2008, pp. 125–128.
- [38] M. Racanelli and P. Kempf, “SiGe BiCMOS technology for RF circuit applications,” *IEEE Trans. Electron Devices*, vol. 52, no. 7, pp. 1259–1270, Jul. 2005.
- [39] C. H. Jan, M. Agostinelli, H. Deshpande, M. A. El-Tanani, W. Hafez, U. Jalan, L. Janbay, M. Kang, H. Lakdawala, J. Lin, Y. L. Lu, S. Mudanai, J. Park, A. Rahman, J. Rizk, W. K. Shin, K. Soumyanath, H. Tashiro, C. Tsai, P. VanDerVoorn, J. Y. Yeh, and P. Bai, “RF CMOS technology scaling in High-k/metal gate era for RF SoC (system-on-chip) applications,” in *IEEE International Electron Devices Meeting (IEDM)*, 2010, pp. 27.2.1–27.2.4.
- [40] C. H. Jan, P. Bai, S. Biswas, M. Buehler, Z. P. Chen, G. Curello, S. Gannavaram, W. Hafez, J. He, J. Hicks, U. Jalan, N. Lazo, J. Lin, N. Lindert, C. Litteken, M. Jones, M. Kang, K. Komeyli, A. Mezhiba, S. Naskar, S. Olson, J. Park, R. Parker, L. Pei, I. Post, N. Pradhan, C. Prasad, M. Prince, J. Rizk, G. Sacks, H. Tashiro, D. Towner, C. Tsai, Y. Wang, L. Yang, J. Y. Yeh, J. Yip, and K. Mistry, “A 45nm low power system-on-chip technology with dual gate (logic and I/O) high-k/metal gate strained silicon transistors,” in *IEEE International Electron Devices Meeting (IEDM)*, 2008, pp. 1–4.
- [41] I. Post, M. Akbar, G. Curello, S. Gannavaram, W. Hafez, U. Jalan, K. Komeyli, J. Lin, N. Lindert, J. Park, J. Rizk, G. Sacks, C. Tsai, D. Yeh, P. Bai, and C. H. Jan, “A 65nm CMOS SOC Technology Featuring Strained Silicon Transistors for RF Applications,” in *IEEE International Electron Devices Meeting (IEDM)*, 2006, pp. 1–3.
- [42] “BSIM6 webpage.” [Online]. Available: <http://bsim.berkeley.edu/models/bsim6/>.
- [43] “PSP model webpage.” [Online]. Available: http://psp.ewi.tudelft.nl/page_Documentation.php.

- [44] “HICUM model webpage.” [Online]. Available: https://www.iee.et.tu-dresden.de/iee/eb/hic_new/hic_start.html.
- [45] “MEXTRAM model webpage.” [Online]. Available: <http://mextram.ewi.tudelft.nl/>.
- [46] A. Bracale, D. Pasquet, J. L. Gautier, V. Ferlet, N. Fel, and J. L. Pelloie, “Small Signal Parameters Extraction for Silicon MOS Transistors,” in *European Microwave Conference*, 2000, pp. 1–4.
- [47] J. C. Tinoco and J. P. Raskin, “RF-extraction methods for MOSFET series resistances: A fair comparison,” in *International Caribbean Conference on Devices, Circuits and Systems (ICCDACS)*, 2008, pp. 1–6.
- [48] D. Lovelace, J. Costa, and N. Camilleri, “Extracting small-signal model parameters of silicon MOSFET transistors,” in *Proc. IEEE MTT-S Int. Microw. Symp. (IMS)*, 1994, vol.2, pp. 865–868.
- [49] J. C. Tinoco, A. G. Martinez-Lopez, M. Emam, and J. P. Raskin, “New RF intrinsic parameters extraction procedure for advanced MOS transistors,” in *IEEE International Conference on Microelectronic Test Structures (ICMTS)*, 2010, pp. 86–89.
- [50] A. Serhan, “Conception et réalisation de fonctions millimétriques en technologie BiCMOS 55nm,” Thèse Université Grenoble Alpes, 2015.
- [51] A. Oudir, M. Mahdouani, and R. Bourguiga, “Direct Extraction Method of HBT Equivalent-Circuit Elements Relying Exclusively on π -Parameters Measured at Normal Bias Conditions,” *IEEE Trans. Microw. Theory Tech.*, vol. 59, no. 8, pp. 1973–1982, Aug. 2011.
- [52] T. Quemerais, D. Gloria, D. Golanski, and S. Bouvot, “High-Q MOS Varactors for Millimeter-Wave Applications in CMOS 28-nm FDSOI,” *IEEE Electron Device Lett.*, vol. 36, no. 2, pp. 87–89, Feb. 2015.
- [53] K. Molnár, G. Rappitsch, Z. Huszka, and E. Seebacher, “MOS varactor modeling with a subcircuit utilizing the BSIM3v3 model,” *Electron Devices IEEE Trans. On*, vol. 49, no. 7, pp. 1206–1211, 2002.
- [54] A. Kraszewski, “Prediction of the Dielectric Properties of Two-Phase Mixtures,” *J Microw Power Electromagn Energy*, vol. 12, pp. 215–222, 1977.
- [55] F. Burdin, “Nouvelles Topologies des diviseurs de puissance, balun et déphaseurs en bandes RF et millimétriques, apport des lignes à ondes lentes,” Thèse Université de Grenoble, 2013.
- [56] A.-L. Franc, “Lignes de propagation intégrées à fort facteur de qualité en technologie CMOS. Application à la synthèse de circuits passifs millimétriques,” Thèse Université de Grenoble, 2011.
- [57] A. Bautista, A.-L. Franc, and P. Ferrari, “Accurate Parametric Electrical Model for Slow-Wave CPW and Application to Circuits Design,” *IEEE Trans. Microw. Theory Tech.*, vol. 63, no. 12, pp. 4225–4235, Dec. 2015.
- [58] T. Quémerais, “Conception et étude de la fiabilité des amplificateurs de puissance fonctionnant aux fréquences millimétriques en technologies CMOS avancées,” Thèse Institut National Polytechnique de Grenoble-INPG, 2010.

Chapitre 3 Circuits élémentaires du système de formation de faisceau

3.1 Introduction

Après avoir réalisé l'étude des composants de base de la technologie BiCMOS 55 nm, ce chapitre présentera l'étude, la conception et la réalisation des circuits élémentaires constituant le système de formation de faisceau. Comme présenté précédemment dans le chapitre 1, à cause de la complexité d'un tel système, ainsi que le coût élevé de fabrication, la démarche utilisée lors de ces travaux consiste à étudier et concevoir les blocs seuls. Une fois que ces blocs sont validés par des mesures, l'étape suivante consiste à associer des blocs afin de vérifier le fonctionnement d'un sous-système. Finalement, la dernière étape consiste à étudier le système et ensuite rassembler les sous-systèmes et concevoir le système global.

Le schéma bloc d'une voie complète du système de formation de faisceau et les bandes de fréquence correspondantes sont illustrées sur la Figure 3.1. Le cœur de cette architecture est l'émetteur (TX), qui permettra de générer un signal RF par une transposition de fréquence, en mélangeant un signal de fréquence intermédiaire (IF) avec un signal LO généré par un oscillateur local. Le signal IF ayant une fréquence f_{IF} varie de quelques centaines de MHz jusqu'à quelques GHz. D'autre part la voie LO contient une chaîne de multiplication, qui permet de transformer un signal basse fréquence en un signal en bande millimétrique. Ce dernier sera injecté dans un déphaseur et servira comme signal de verrouillage pour l'oscillateur.

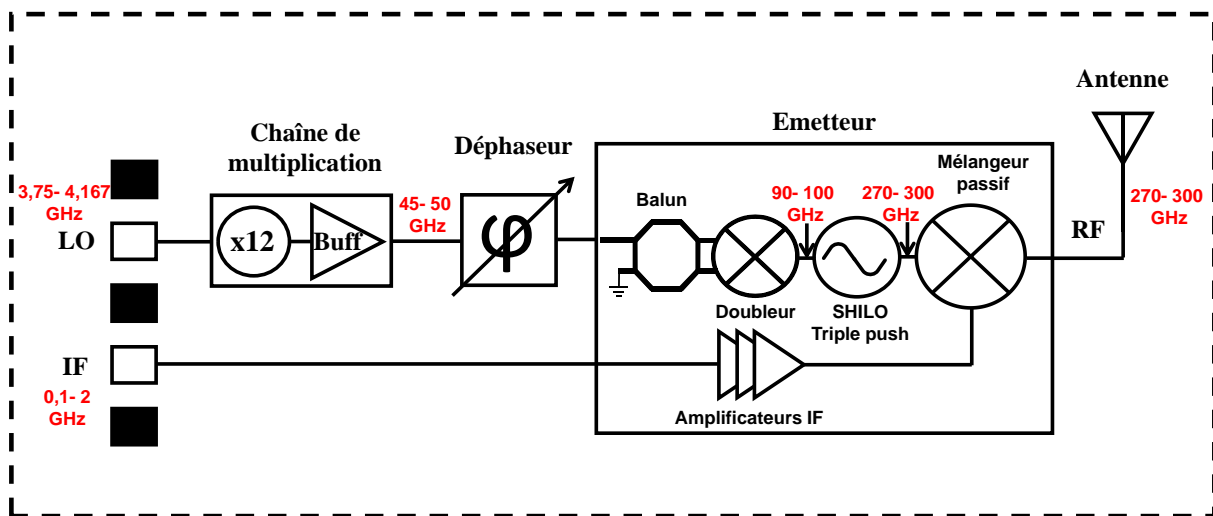


Figure 3.1 : Schéma bloc d'une voie du système de formation de faisceau.

Ce chapitre est divisé en 4 parties. La première partie présente l'émetteur implémenté en bande sub-millimétrique et les blocs qui le constituent : l'oscillateur verrouillé par injection sous-harmonique (SHILO), le mélangeur passif et les amplificateurs IF. Ensuite l'antenne intégrée en sortie de l'émetteur est présentée dans la seconde partie. La troisième partie est consacrée au déphaseur implémenté au niveau de la voie LO dans la bande 45-50 GHz. La chaîne de multiplication est détaillée dans la quatrième partie. Ces parties contiennent également l'état de l'art correspondant à chaque bloc ainsi que des résultats de simulation et de mesure. Après validation des performances, les blocs sont rassemblés pour former un sous-système, détaillés dans le chapitre 4.

3.2 Emetteur intégré en bande sub-millimétrique

3.2.1 Contexte et objectifs de réalisation

Indépendamment du type de modulation (OOK, Q-PSK, OFDM...), une chaîne d'émission-réception repose sur la multiplication d'un signal à une fréquence intermédiaire f_{IF} contenant l'information, par un signal de fréquence f_{LO} (référence de fréquence ou porteuse) généré par l'oscillateur local. Le résultat de cette multiplication est le signal RF qui dans le domaine fréquentiel correspond à une transposition de fréquence du signal bande de base autour de la fréquence porteuse. Le signal RF transmis à la fréquence f_{RF} dans un canal radio subit de nouveau une multiplication avec la même porteuse afin de transposer le signal et analyser (démoduler) l'information émise en bande de base. La Figure 3.2 présente une chaîne d'émission-réception par changement de fréquence et la Figure 3.3 montre les étapes de la transposition dans le domaine fréquentiel.

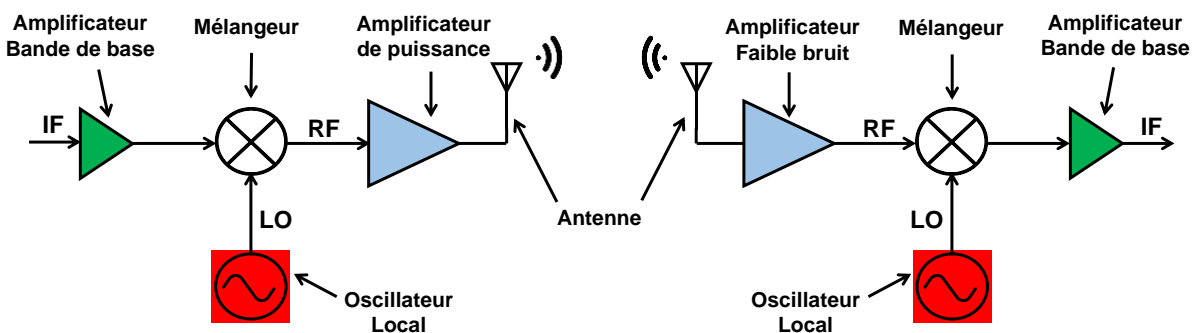


Figure 3.2 : Architecture d'une chaîne d'émission-réception par changement de fréquence.

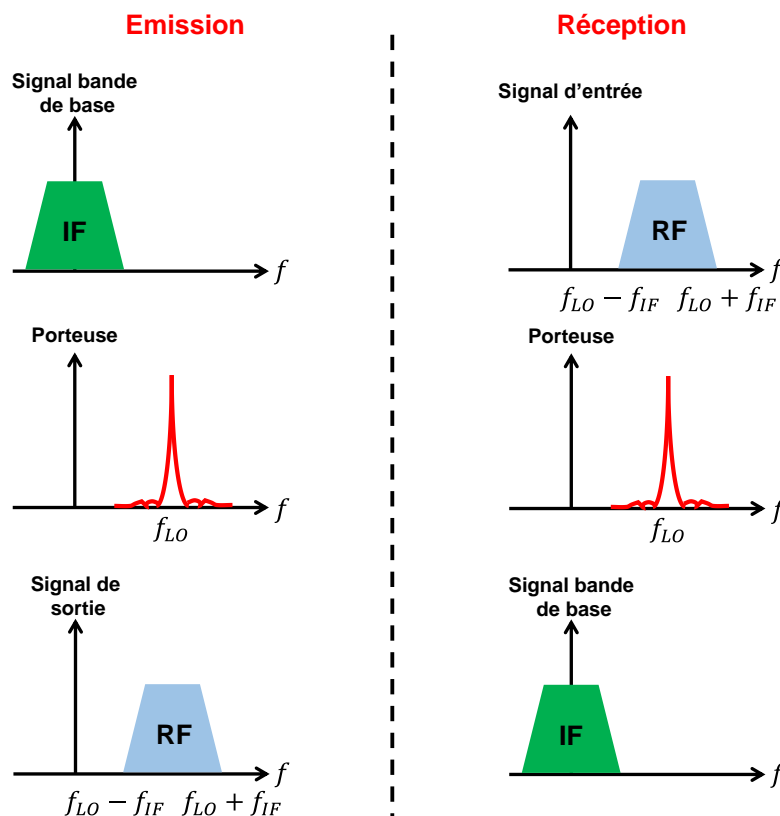


Figure 3.3 : Etapes de la transposition fréquentielle d'une chaîne d'émission-réception.

Cette partie de chapitre est consacrée à l'étude et la réalisation d'un émetteur implémenté en bande sub-millimétrique. Cet émetteur qui constitue le cœur du système de formation de faisceau est composé de plusieurs blocs comme l'oscillateur, le mélangeur et les amplificateurs IF, ces blocs seront présentés en détail dans cette partie.

La caractéristique la plus importante est la représentation de la puissance en sortie de l'émetteur P_{out} en fonction de la puissance appliquée en entrée P_{in} . Ces deux puissances sont exprimées en dBm, le gain de conversion en puissance de l'émetteur G_p exprimé en dB est donné par :

$$G_p = P_{out} - P_{in} \quad (3.1)$$

Ce gain en puissance dépend du gain de chaque bloc constituant la chaîne d'émission. D'après la représentation illustrée sur la Figure 3.4, le point de compression à 1 dB en sortie OCP_{1dB} peut être déduit. Ce point correspond à la puissance disponible à l'entrée pour laquelle le gain en puissance chute de 1 dB par rapport à la réponse idéale considérée comme linéaire. C'est le point où l'émetteur entre en compression et devient non-linéaire.

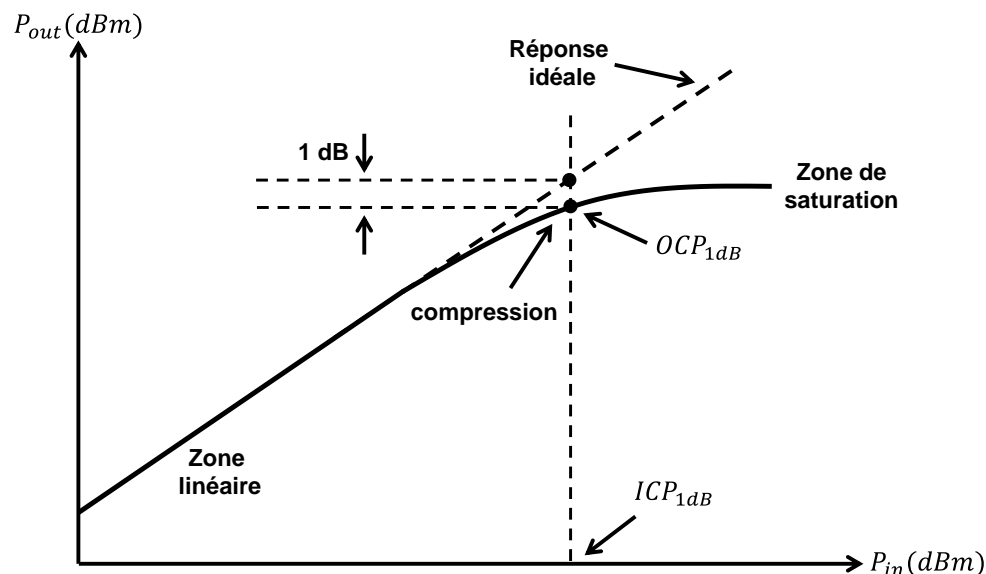


Figure 3.4 : Puissance en sortie de l'émetteur P_{out} en fonction de la puissance d'entrée P_{in} .

Aujourd'hui aucun standard n'a encore été défini pour la bande sub-millimétrique (270-300 GHz plus précisément), en termes de puissance nécessaire à émettre, de gain ainsi qu'atténuations présentes afin de réaliser une communication entre un émetteur et un récepteur. Néanmoins, l'objectif dans ces travaux est d'optimiser les performances de l'émetteur en termes de puissance émise, bande passante et consommation. La surface reste également un paramètre important dans la conception de l'émetteur. Ces travaux doivent permettre de gagner un ordre de grandeur sur les performances des émetteurs réalisés en bande sub-millimétrique en utilisant la technologie BiCMOS 55 nm. Cette étude permettra également de connaître les limites atteignables du système de formation en termes de puissance de sortie, EIRP, gain du réseau...

3.2.2 Etat de l'art des émetteurs en bande sub-millimétrique

Dans cette partie, l'état de l'art des émetteurs réalisés en bande sub-millimétrique en technologie CMOS/BiCMOS est présenté. Les architectures les plus récentes sont présentées avec les performances obtenues, avec des émetteurs fonctionnant entre 200 et 300 GHz. Les principales performances des émetteurs à considérer sont présentées ci-dessous :

- La puissance en sortie P_{out} en dBm,
- La bande passante BW en GHz,
- L'EIRP en dBm (dans le cas où une antenne est implémentée en sortie de l'émetteur),
- Le gain en puissance G_p en dB,
- La consommation en mW,
- La surface du circuit en mm^2 .

Dans [1], un émetteur réalisé en technologie BiCMOS pour des applications en bande THz est présenté. Le circuit consiste à générer un signal autour de 420 GHz à partir d'un signal à 140 GHz. L'émetteur est constitué d'un oscillateur basé sur une paire croisée et un résonateur LC, cet oscillateur repose sur une structure « push-push » qui consiste à générer la 2^{ème} harmonique (140 GHz) de la fréquence fondamentale. L'oscillateur est suivi d'un amplificateur (« buffer ») à 4 étages ayant une structure émetteur commun. Il sert à amplifier le signal en sortie de l'oscillateur. Un modulateur est ajouté après le *buffer*. Un amplificateur de puissance (PA) est implémenté après le modulateur. Le PA est suivi d'un tripleur afin de générer la 3^{ème} harmonique du signal en sortie de l'oscillateur. Une antenne SIW (Substrate Integrated Waveguide) est implémentée en sortie de l'émetteur. La puissance en sortie est de -25 dBm, la consommation est de 117,9 mW et le circuit occupe une surface de 1,74 mm^2 . La Figure 3.5 présente l'architecture et la photographie du circuit présenté dans [1].

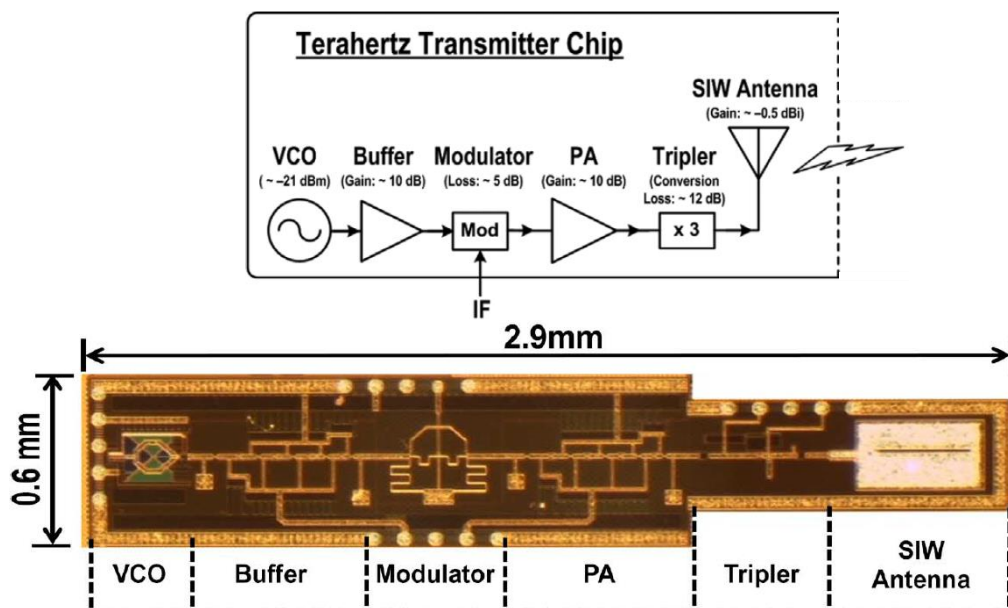


Figure 3.5 : Architecture et photographie du circuit présenté dans [1].

Dans [2], une source en technologie CMOS est présentée pour des applications en bande 210-227 GHz. L'architecture de l'émetteur repose sur un VCO de type Colpitts, qui permet avec une polarisation en classe AB la génération de la 3^{ème} harmonique de la fréquence fondamentale. Un transformateur est ajouté après le VCO pour améliorer l'efficacité et garantir un transfert maximal de puissance de la 3^{ème} harmonique. L'antenne est composée d'un dipôle avec deux directeurs ressemblant ainsi à une antenne Yagi. L'émetteur produit une puissance en sortie de -8,8 dBm avec un EIRP de 1,8 dBm, la bande passante est de 17 GHz. Le circuit occupe une surface de 0,53 mm² et consomme 128 mW. Le circuit présenté dans [2] est illustré sur la Figure 3.6 qui présente son architecture et sa photographie.

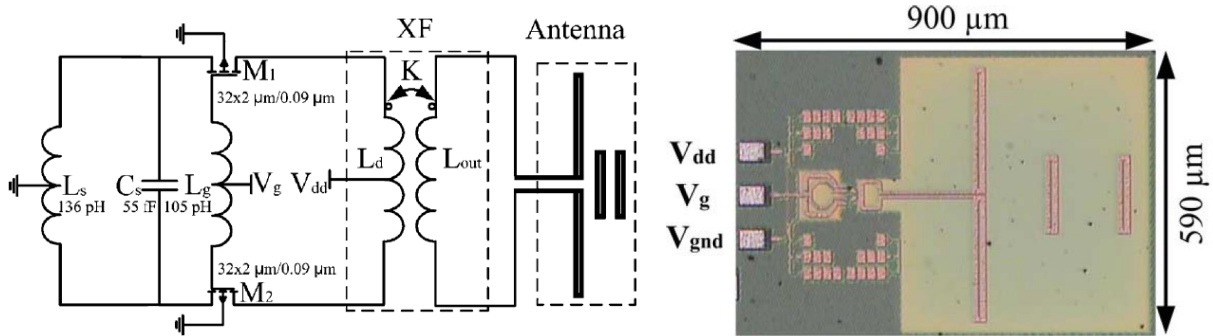


Figure 3.6 : Architecture et photographie du circuit présenté dans [2].

Dans [3], un émetteur à 240 GHz en technologie CMOS est présenté. L'émetteur est constitué d'un oscillateur à 80 GHz verrouillé par un signal externe à 13,3 GHz. Afin de générer un signal LO en quadrature (I-Q) une structure hybride composée de lignes différentielles avec des charges capacitives est utilisée. Un modulateur QPSK est implémenté après la structure hybride. Le modulateur est suivi d'une chaîne d'amplification constituée de quatre amplificateurs de puissance qui permettent d'obtenir une meilleure efficacité et d'améliorer la puissance en sortie. Pour générer le signal à 240 GHz un tripleur est utilisé ($80 \text{ GHz} \times 3$). Des antennes fente en forme d'anneau sont implémentées en sortie de l'émetteur. La puissance en sortie est de 0 dBm et l'EIRP est de 1 dBm. Le circuit consomme 220 mW et occupe une surface de 2 mm². La Figure 3.7 montre l'architecture et la photographie de l'émetteur présenté dans [3].

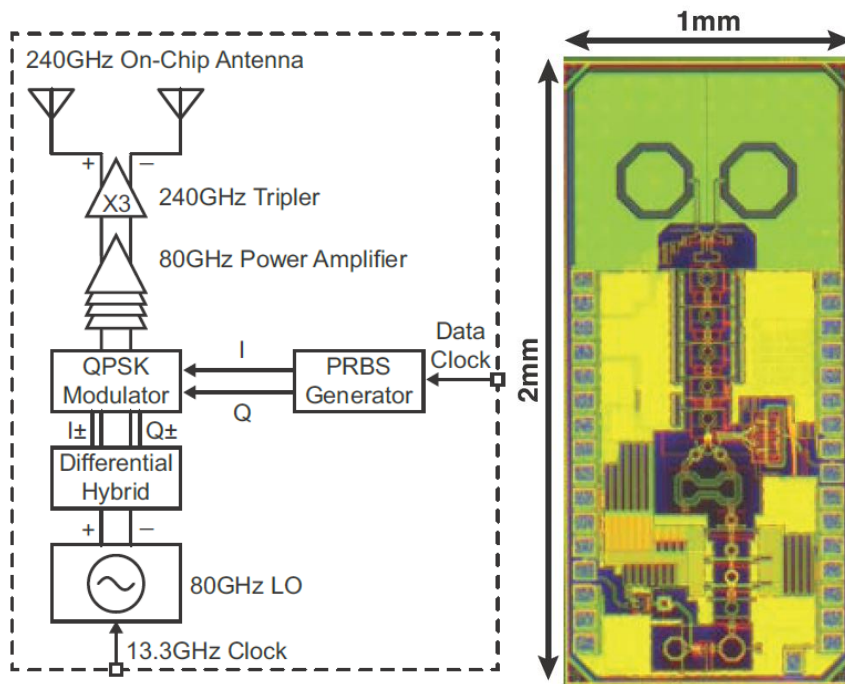


Figure 3.7 : Architecture et photographie du circuit présenté dans [3].

Dans [4], un émetteur implémenté en technologie CMOS est présenté, il est dédié pour des transmissions de données de dizaines de Gb/s avec une modulation de type QAM-32 dans la bande 275-305 GHz divisée en 6 canaux. L'émetteur est constitué d'un mélangeur IF qui réalise le mélange du signal bande de base à la fréquence IF_1 avec le signal LO. Le signal récupéré en sortie IF_2 , a une fréquence égale à IF_1+LO . Le signal est ensuite amplifié et subit de nouveau un mélange à l'aide d'une structure innovante de mélangeur, nommée « cubic mixer ». Cette structure de mélangeur repose sur un tripleur permettant d'obtenir le produit $(LO+IF_2)^3$. Le signal RF en sortie a une fréquence égale à IF_2+2LO . Cette structure de mélangeur permet d'améliorer la linéarité lors du mélange. L'architecture de l'émetteur ainsi que le principe de fonctionnement du « cubic mixer » sont présentés sur la Figure 3.8. L'émetteur produit une puissance en sortie de -14,5 dBm avec un gain de conversion de -14,5 dB. L'émetteur consomme 1400 mW et occupe une surface de 6 mm². La photographie du circuit est présentée sur la Figure 3.9.

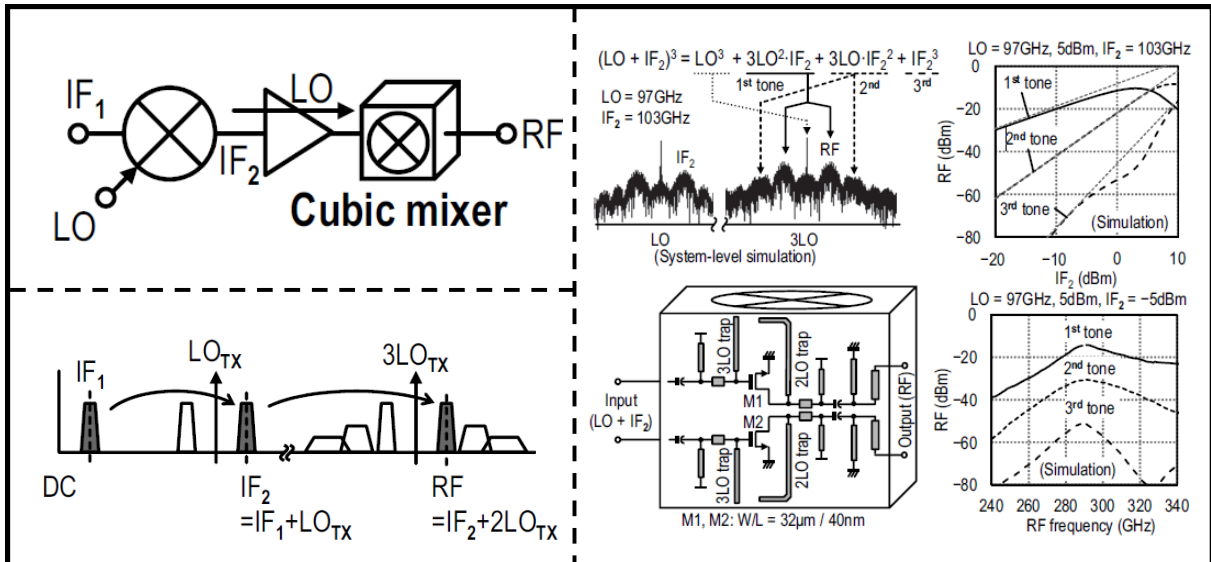


Figure 3.8 : Architecture du circuit présenté dans [4] et principe de fonctionnement du « cubic mixer ».

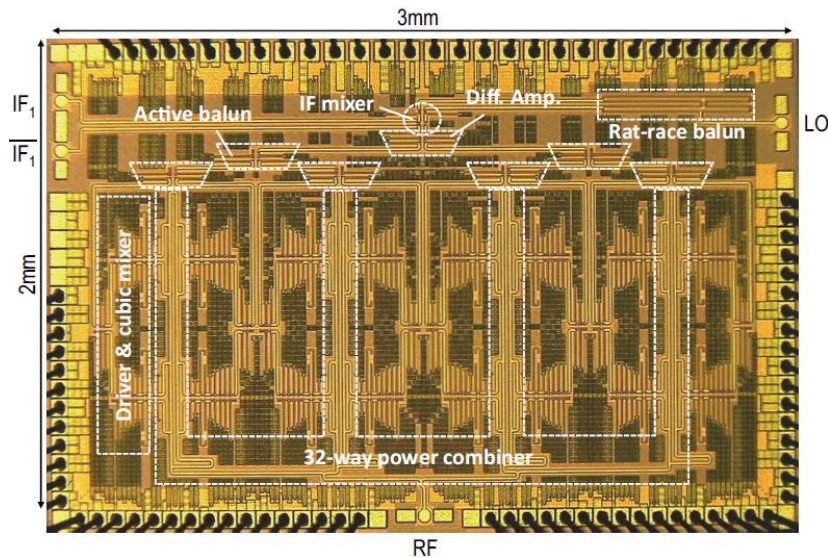


Figure 3.9 : Photographie du circuit présenté dans [4].

D'après ce qui a été présenté, l'émission d'un signal à une fréquence proche de $f_T - f_{max}$ du transistor nécessite des architectures adaptées (technique « N-push », qui sera détaillée par la suite), et une méthodologie de conception spécifique. Les pertes deviennent élevées, ce qui impose l'implémentation de blocs supplémentaires (cascade d'amplificateurs...). Par conséquent la consommation augmente et le circuit occupe une surface plus grande malgré la montée en fréquence.

3.2.3 Schéma de principe et spécifications des blocs

La Figure 3.10 présente le schéma bloc de l'émetteur intégré en bande sub-millimétrique réalisé. Le principe de fonctionnement de l'émetteur repose sur la transposition de fréquence $IF \rightarrow RF$ qui a été présentée dans la partie précédente. Des amplificateurs IF ou bande de base sont implémentés au niveau de la voie IF afin d'amplifier le signal d'entrée, le signal IF allant

de quelques de MHz à quelques GHz. Au niveau de la voie LO, un oscillateur verrouillé par injection sous-harmonique (SHILO) est implémenté. Cet oscillateur repose sur une technique « triple-push » qui consiste à générer en sortie la 3^{ème} harmonique (270-300 GHz) de la fréquence d'oscillation (90-100 GHz). L'oscillateur est verrouillé par un signal ayant une fréquence proche de f_{osc} . Ce signal est généré par un doubleur de fréquence, qui multiplie le signal d'entrée (45-50 GHz) par deux. Le passage de « single » en différentiel est réalisé par un balun qui est implémenté à l'entrée de la voie LO. Finalement, un mélangeur passif est implémenté et permet, en réalisant le mélange du signal IF avec le signal LO, de générer le signal RF en sortie de la chaîne d'émission. Puisque la fréquence de travail est proche des performances fréquentielles du transistor, la structure de l'émetteur ne contient pas d'amplificateur de puissance. En effet le gain devient très faible aux fréquences considérées, et par conséquent l'amplificateur de puissance n'améliore pas les performances de l'émetteur. Pour cela l'amélioration de la puissance en sortie de l'émetteur consistera à optimiser la puissance en sortie de l'oscillateur, et à réduire au maximum les pertes de conversion du mélangeur.

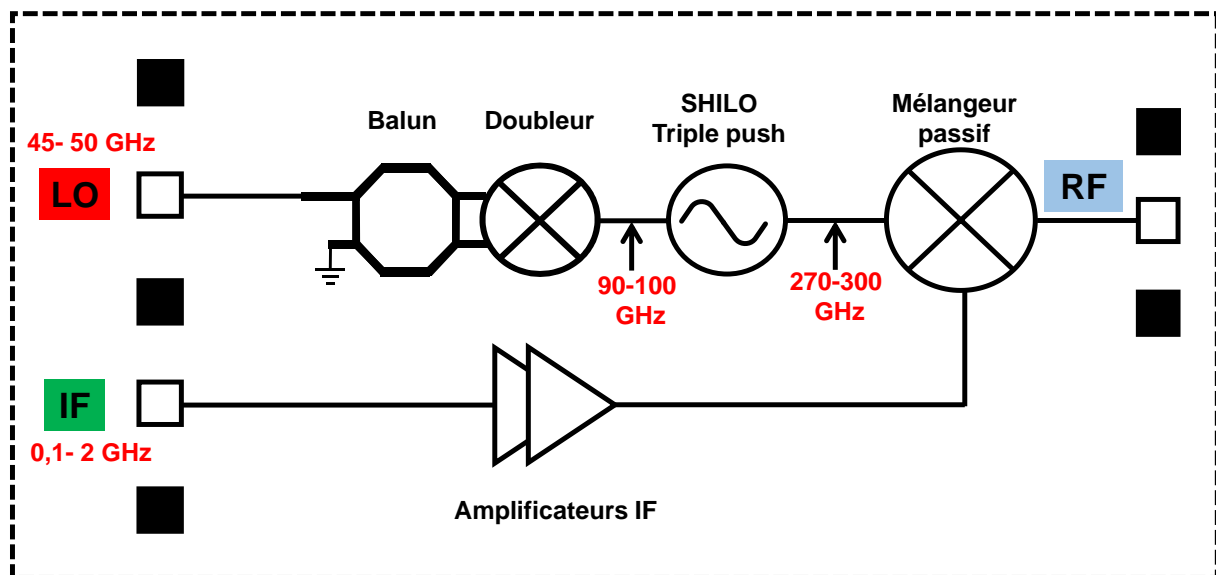


Figure 3.10 : Schéma bloc de l'émetteur intégré dans la bande sub-millimétrique.

3.2.4 Oscillateur verrouillé par injection sous-harmonique

Cette partie consiste en l'étude, la conception et la réalisation de l'oscillateur verrouillé par injection sous-harmonique qui sera utilisé dans l'émetteur. Cet oscillateur permet de générer le signal LO dans la bande 270-300 GHz. Cette partie comporte plusieurs sous-parties. Dans un premier temps, une définition des oscillateurs et de leurs propriétés est présentée, suivie par l'état de l'art des oscillateurs en bande sub-millimétrique. Les différentes topologies utilisées récemment ainsi que leurs performances sont détaillées. Ensuite le phénomène du verrouillage des oscillateurs par injection est présenté. Les aspects théoriques et comportementaux des oscillateurs durant ce phénomène ainsi que les avantages de cet effet sont décrits. En fonction de ce qui est présenté dans la partie concernant l'état de l'art, et en fonction des spécifications du système, le choix et les avantages de l'architecture de l'oscillateur sont exposés. La modélisation des oscillations pour ce type d'oscillateur est

ensuite présentée. Une étude petit signal et grand signal est réalisée. Cependant, cette partie ne présente pas d'équations décrivant en détail le comportement de cet oscillateur, puisque le but de ces travaux n'est pas de présenter un modèle théorique poussé de l'oscillateur. Par la suite, la conception de l'oscillateur est présentée en suivant une méthodologie détaillée. Cette partie présente également la conception du doubleur de fréquence et du balun. Finalement, les résultats de mesure de l'oscillateur sont présentés.

3.2.4.1 Oscillateurs : définition et propriétés

Un oscillateur est un circuit qui produit un signal oscillant d'une façon périodique, et ayant souvent une forme sinusoïdale ou carrée [5]. Les oscillateurs électroniques convertissent le courant continu (DC) à partir de d'alimentation en un courant alternatif (AC). Ils sont largement utilisés dans de nombreux appareils électroniques, comme les émetteurs radio, les télévisions, les ordinateurs... Les oscillateurs sont souvent caractérisés par la fréquence de leur signal de sortie qui est généralement la fréquence d'oscillation f_{osc} . Il existe deux familles principales d'oscillateurs : les oscillateurs linéaires ou oscillateurs harmoniques, et les oscillateurs non-linéaires ou à relaxation [5].

Les oscillateurs linéaires ou harmoniques sont divisés en deux groupes :

- **Les oscillateurs à boucle de rétroaction** : ils sont composés d'un amplificateur connecté dans une boucle de rétroaction où la sortie v_{out} est réinjectée à l'entrée v_{in} à travers un filtre sélectif en fréquence $\beta(j\omega)$ pour fournir une rétroaction positive (Figure 3.11). Lorsque l'amplificateur est mis en marche, un bruit électronique dans le circuit fournit un signal non nul qui permet le démarrage des oscillations. Le bruit se propage à travers la boucle et est amplifié et filtré jusqu'à ce que très rapidement il converge sur une onde sinusoïdale à une fréquence unique.

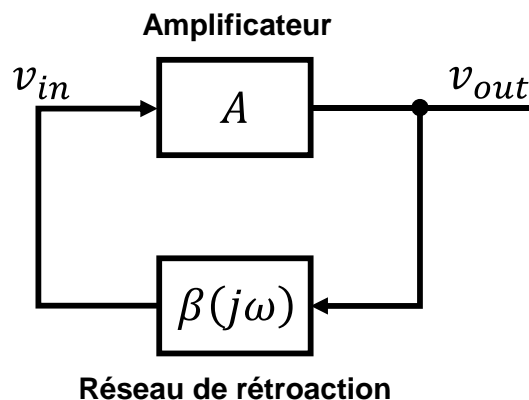


Figure 3.11 : Schéma bloc de l'oscillateur linéaire ou à harmonique.

Ces oscillateurs peuvent être classés selon le type du filtre utilisé dans la boucle de rétroaction. On trouve d'abord les oscillateurs RC où le filtre est réalisé par une résistance et une capacité, ces oscillateurs sont utilisés en basse fréquence. Les plus connus sont les oscillateurs déphasage et l'oscillateur à pont de Wien. On trouve également les oscillateurs de type LC qui sont basés sur un résonateur LC (LC tank) réalisé par une inductance et une capacité. Les pertes dans le résonateur sont compensées par l'amplificateur. Les plus répandus sont les oscillateurs Colpitts, Hartley et Clapp. Le dernier type est l'oscillateur crystal, où le

filtre est un crystal piézoélectrique (quartz) qui oscille mécaniquement, la fréquence des vibrations déterminant la fréquence d'oscillation.

- **Les oscillateurs à résistance négative** : ils sont réalisés par un résonateur de type LC par exemple et un composant se comportant comme une résistance négative (diode gunn, transistor...), comme le montre la Figure 3.12. Les pertes dans le résonateur sont compensées par la résistance négative, qui en effet crée une résonance sans amortissement, ce qui génère des oscillations entretenues à la fréquence de résonance.

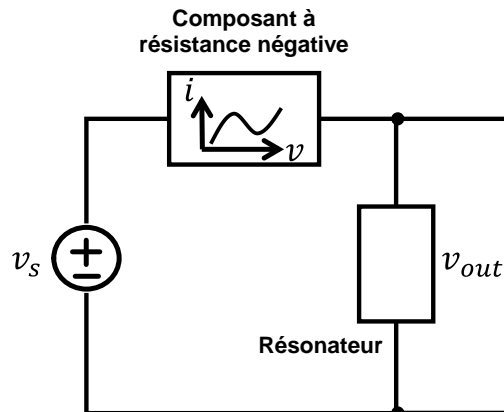


Figure 3.12 : Schéma bloc de l'oscillateur à résistance négative.

Les oscillateurs à relaxation produisent un signal non-sinusoïdal en sortie (carré, dents de scie, triangulaire). Ils sont composés d'un élément de stockage d'énergie (une capacité ou plus rarement, une inductance) et un dispositif de commutation non linéaire (une bascule, ou un élément présentant une résistance négative) connecté dans une boucle de rétroaction. Le dispositif de commutation charge et décharge périodiquement de l'énergie dans l'élément de stockage, provoquant ainsi des changements brusques dans la forme d'onde de sortie. Ce type d'oscillateur est utilisé dans les oscilloscopes analogiques et les téléviseurs. Les plus connus sont les oscillateurs en anneaux (« Ring oscillator ») réalisés en cascade de cellules à retard basées sur des inverseurs. Le nombre d'étages est impair, afin de garantir l'instabilité. De même, les oscillateurs contrôlés en tension (VCO) sont utilisés dans les systèmes RF et plus précisément dans les boucles à verrouillage de phase (PLL) afin d'asservir une fréquence de sortie qui correspond à un multiple de la fréquence d'entrée. La fréquence d'oscillation f_{osc} peut être contrôlée par la tension de contrôle. La Figure 3.13 présente le symbole d'un oscillateur contrôlé en tension ainsi que sa réponse temporelle et fréquentielle.

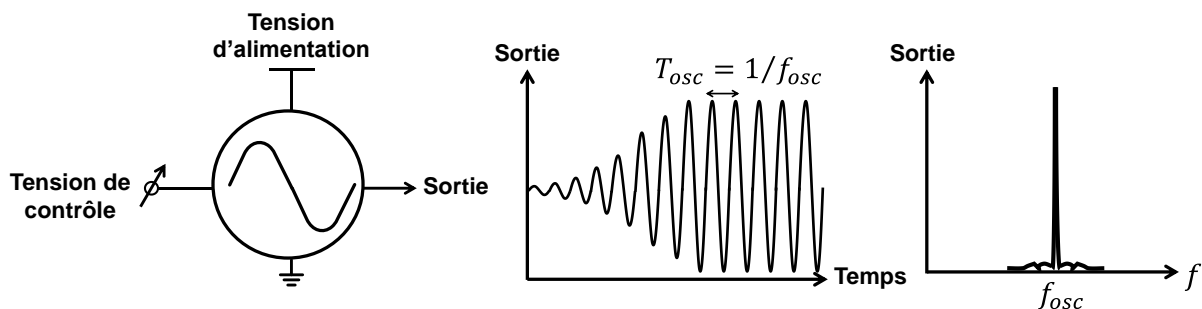


Figure 3.13 : Symbole d'un oscillateur contrôlé en tension et sa réponse temporelle et fréquentielle.

Une fois que la fréquence d'oscillation et l'architecture de l'oscillateur sont définies, les critères les plus importants à optimiser durant la conception sont : la consommation, la bande de fonctionnement et le bruit de phase. Dans le cas d'un oscillateur réel, la phase en sortie de l'oscillateur et sa fréquence d'oscillation présentent toujours des fluctuations. Ces fluctuations sont causées par les sources de bruit des composants et les interférences externes. Dans le domaine temporel, ces fluctuations sont quantifiées comme le « jitter », tandis que dans le domaine fréquentiel, elles sont caractérisées comme un « bruit de phase ». Comme présenté sur la Figure 3.14, le bruit de phase est caractérisé par un étalement de la puissance autour de la raie à f_{osc} . Cet élargissement est mesuré par le rapport entre la puissance à la fréquence centrale f_{osc} , et la puissance du signal à une fréquence $f_{osc} \pm \Delta f$ dans une bande de 1 Hz. Le bruit de phase $\mathcal{L}(\Delta\omega)$ dans l'oscillateur est donné par [6].

$$\mathcal{L}(\Delta f) = 10 \log \left(\frac{P_{single\ sideband}(f_{osc} + \Delta f, 1Hz)}{P_{carrier}} \right) \quad (3.2)$$

avec $P_{single\ sideband}(f_{osc} + \Delta f, 1Hz)$ est la puissance à un offset de Δf de la fréquence centrale (porteuse) avec une bande passante de 1 Hz, et $P_{carrier}$ la puissance dans une bande de 1 Hz à la fréquence f_{osc} . La Figure 3.15 présente une courbe typique du bruit de phase en fonction de la fréquence d'offset.

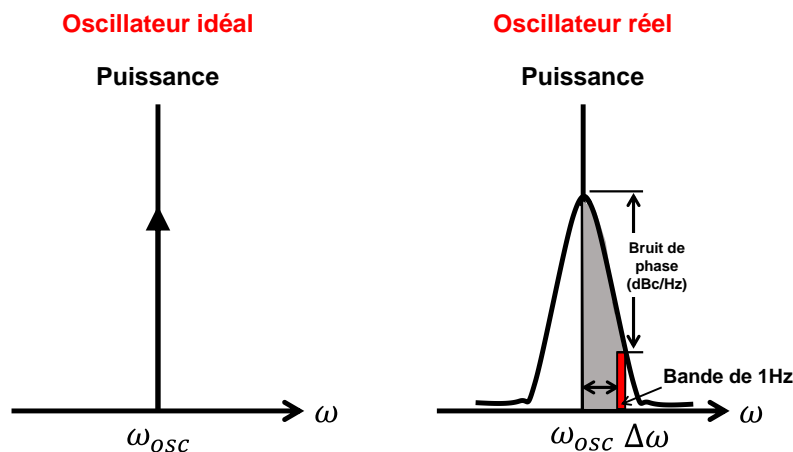


Figure 3.14 : Spectre dans le cas d'un oscillateur idéal et réel montrant le bruit de phase.

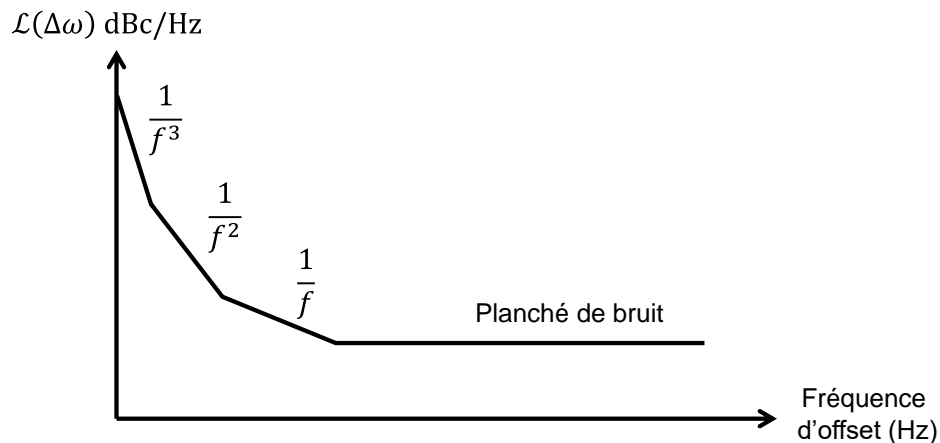


Figure 3.15 : Courbe typique du bruit de phase dans un oscillateur en fonction de l'offset par rapport à la porteuse [6], [7].

3.2.4.2 Verrouillage des oscillateurs et propriétés

En 1665 le scientifique néerlandais Christiaan Huygens, alors confiné au lit par la maladie, a remarqué que les balanciers de deux horloges sur le mur, se stabilisaient dans un mouvement en parfaite opposition de phase indépendamment du mouvement initial. Il décrit ce phénomène de "sympathie" entre les horloges. Il étudiera ce phénomène au laboratoire, en suspendant les horloges à une barre en bois tenue par deux chaises, comme le montre le dessin sur la Figure 3.16. Huygens constate que l'effet de synchronisation est transmis par les mouvements (les oscillations) de la barre en bois consécutifs aux va-et-vient des balanciers. Les deux horloges sont devenues verrouillées par injection à une fréquence commune.

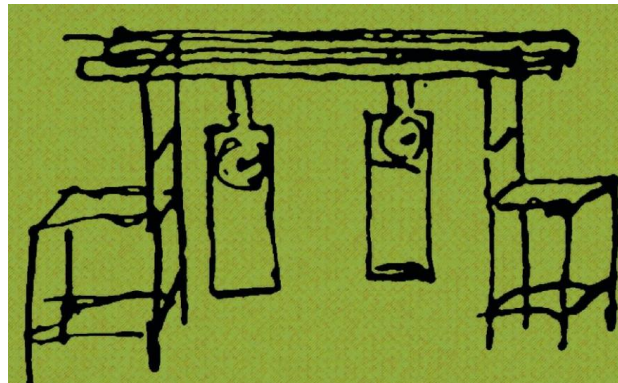


Figure 3.16 : Dessin original de Huygens sur son expérience avec les horloges.

3.2.4.2.1 Oscillateur verrouillé par injection (ILO⁴)

Ce phénomène de synchronisation est également présent dans les oscillateurs. L'injection d'un signal périodique dans un oscillateur conduit à des phénomènes intéressants comme le verrouillage et le tirage (pulling). Étudiés par Adler [8], Kurokawa [9] et d'autres, ces effets ont trouvé des applications dans de nombreuses synthèses de fréquence et dans les systèmes d'émission-réception. Lorsque la puissance du signal injecté P_{inj} est suffisante et que sa fréquence f_{inj} est proche de la fréquence d'oscillation libre f_{osc} , l'oscillateur se verrouille sur le signal d'injection, et sa fréquence d'oscillation ne dépend plus des éléments intrinsèques qui le constituent, mais elle dépend de la fréquence du signal injecté. Par conséquent, l'oscillateur recopie les propriétés spectrales du signal injecté et surtout le bruit de phase. Le verrouillage par injection permet de réduire de façon significative la consommation et de réduire le bruit de phase par rapport aux autres synthèses de fréquence [10] (Figure 3.17 (b)). La sensibilité de l'oscillateur ou la plage de verrouillage est la zone où l'oscillateur est verrouillé au signal d'entrée. Cette zone est représentée par la puissance d'injection en fonction de la fréquence d'injection comme le montre la Figure 3.17 (a) (zone délimitée par des rayures). L'analyse de cette courbe en V montre qu'il faut que la puissance d'injection soit élevée afin que l'oscillateur soit verrouillé dans une large plage de fréquence.

⁴ILO: Injection Locked Oscillator.

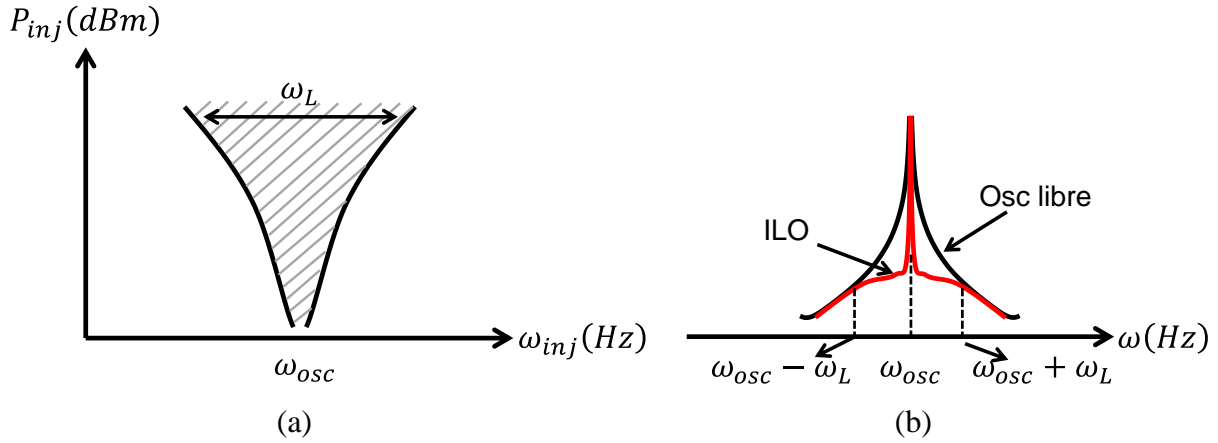


Figure 3.17 : (a) courbe de sensibilité de l'ILO et (b) comparaison du spectre entre un ILO et un oscillateur non verrouillé montrant la diminution du bruit de phase.

Selon [8] la plage de verrouillage ω_L s'écrit sous la forme suivante :

$$\omega_L = \frac{\omega_{osc} I_{inj}}{2Q I_0} \quad (3.3)$$

avec I_0 et I_{inj} respectivement les amplitudes du courant oscillant et du courant d'injection. Q est le facteur de qualité du résonateur LC. La condition pour que le verrouillage ait lieu est :

$$|\omega_{osc} - \omega_{inj}| < \omega_L \quad (3.4)$$

3.2.4.2.2 Oscillateur verrouillé par injection sous-harmonique (SHILO)

Un oscillateur verrouillé par une injection sous-harmonique est un oscillateur qui est verrouillé par un signal qui a une fréquence qui correspond à un sous-multiple de la fréquence d'oscillation libre de l'oscillateur ($f_{inj} = f_{osc}/n$). L'avantage majeur du verrouillage en sous-harmonique concerne les performances en bruit de phase. Quand un SHILO est verrouillé sur la $n^{\text{ème}}$ harmonique d'une PLL à basse fréquence, il est affecté par un bruit de phase supérieur de $20 \log(n)$ du bruit de phase du signal injecté en entrée [11].

$$PhN_{SHILO} = PhN_{in} + 20 \log(n) \quad (3.5)$$

où PhN_{SHILO} et PhN_{in} sont respectivement les bruits de phase en sortie du SHILO et du signal injecté en entrée. Dans la bande millimétrique cette approche est intéressante, et conduit à un bruit de phase inférieur à celui des PLL opérant directement aux fréquences millimétriques.

3.2.4.3 Etat de l'art des oscillateurs en bande sub-millimétrique

Les récentes topologies d'oscillateurs réalisés en technologie silicium en bande sub-millimétrique sont présentées dans cette partie. Ci-dessous les principales performances des oscillateurs à considérer :

- La plage d'oscillation TR (« Tuning Range ») ou bien de verrouillage LR (« Locking Range »).
- La puissance en sortie P_{out} ,

- La consommation P_{DC} ,
- Le bruit de phase PhN ,
- La surface.

Dans [12], un oscillateur en anneau à 3 étages qui repose sur une technique « triple-push » est présenté. Ce type d'oscillateur ainsi que cette technique seront présentées en détail dans la suite. Cet oscillateur permet de générer un signal en sortie ayant une fréquence égale à trois fois la fréquence d'oscillation f_{osc} . La fréquence d'oscillation est définie par le produit LC représenté par les inductances drain-grille L_d et L_g , et les capacités parasites du transistor pour un étage. La sortie est au niveau du mode commun, avec une charge en sortie R_L . La fréquence en sortie est 256 GHz, la puissance en sortie est de -17 dBm, le bruit de phase est de -88 dBc/Hz à 1 MHz d'offset. La consommation est de 71 mW et le circuit occupe une surface de 0,052 mm². L'architecture de l'oscillateur et la photographie du circuit sont présentées sur la Figure 3.18.

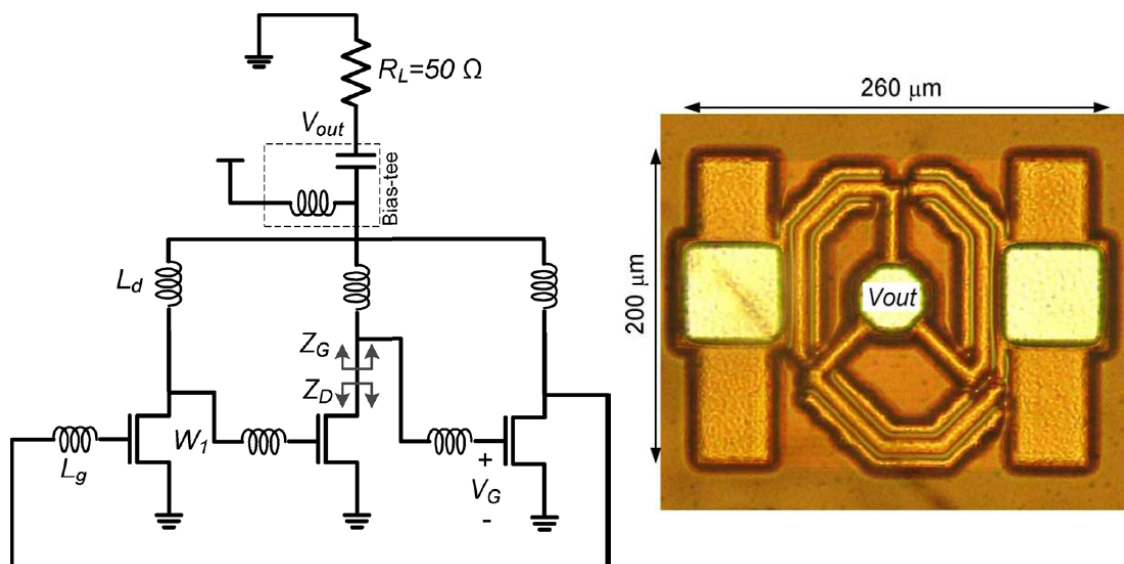


Figure 3.18 : Architecture et photographie de l'oscillateur présenté dans [12].

Dans [13], une structure réalisée par plusieurs VCO couplés entre eux est présentée en technologie CMOS. Entre un VCO et un autre des cellules de retards (déphaseurs) sont implémentées afin d'améliorer la plage d'accord et la puissance en sortie. L'objectif est de récupérer la sortie de chaque VCO et de réaliser une recombinaison afin d'augmenter la puissance en sortie. Chaque VCO est réalisé par un transistor, une ligne de transmission reliant le drain à la grille et un varactor connecté à la source. Cette structure permet de contrôler le gain entre la grille et le drain du transistor, et par conséquent d'optimiser la puissance en sortie de chaque étage. De même elle permet de varier la fréquence d'oscillation grâce au varactor. Une ligne quart-d'onde à $2f_{osc}$ est connectée en sortie pour l'extraction de la 2^{ème} harmonique (« push-push »). La plage d'accord de la structure est de 6,5 % (247-263,5 GHz), la puissance en sortie est de 4,1 dBm. Le bruit de phase est de -94 dBc/Hz à 1 MHz d'offset. La consommation est de 227 mW et le circuit occupe une surface de 0,43 mm². La Figure 3.19 présente l'architecture de la structure et la photographie du circuit.

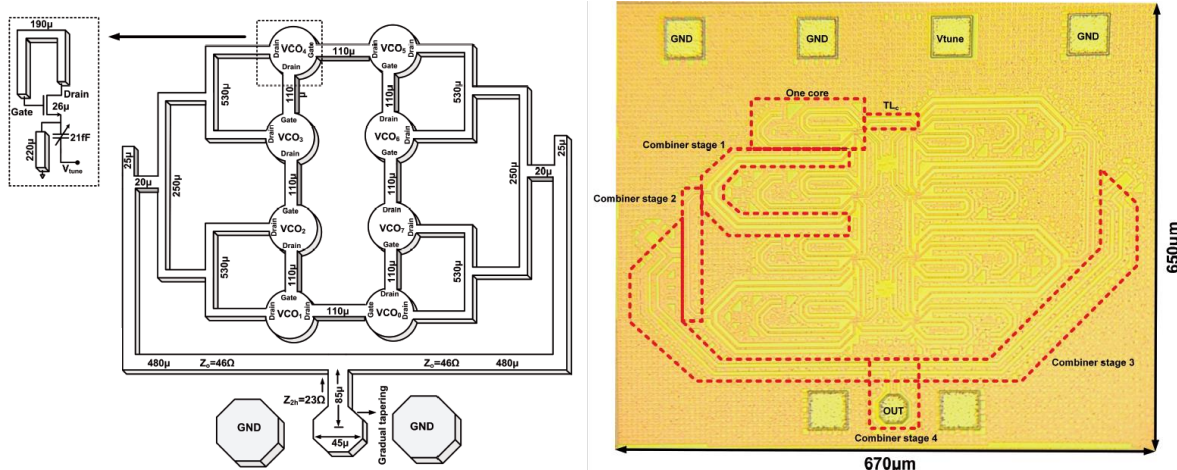


Figure 3.19 : Architecture et photographie de l'oscillateur présenté dans [13].

Dans [14], une topologie similaire à celle présentée dans [12] est réalisée en technologie CMOS. Cependant cet oscillateur triple-push à une structure différentielle, où la sortie est connectée à une antenne patch. La fréquence en sortie est de 340 GHz environ, la puissance en sortie est de -11 dBm. La consommation est de 34 mW environ et la surface de l'oscillateur seul est de 0,028 mm². L'architecture et la photographie du circuit sont présentées sur la Figure 3.20.

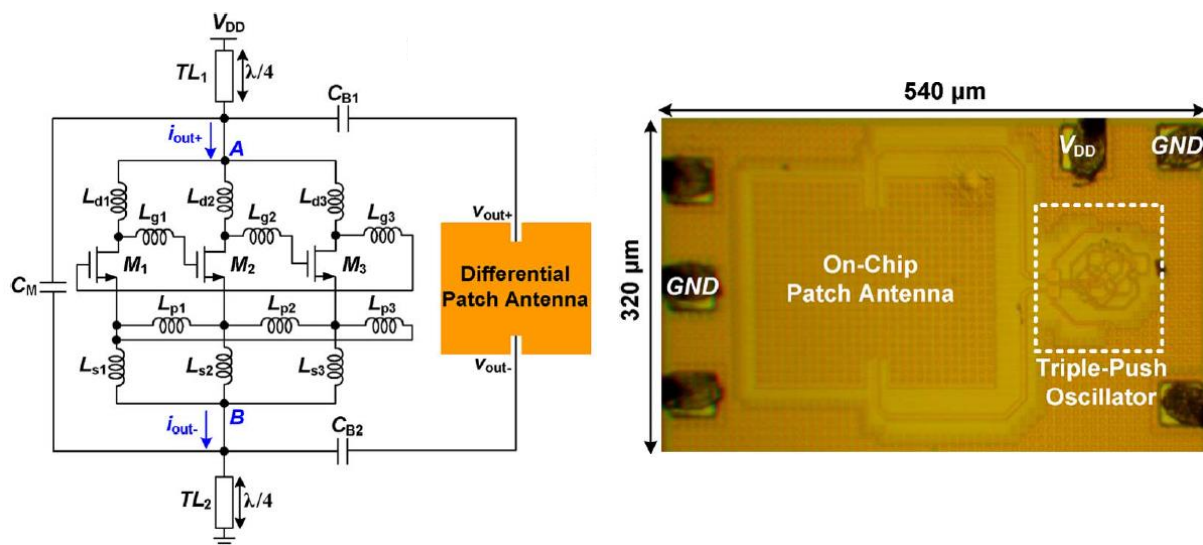


Figure 3.20 : Architecture et photographie de l'oscillateur présenté dans [14].

Dans [15], un oscillateur en technologie CMOS est présenté. L'architecture est basée sur une technique *push-push & mix* qui repose sur l'utilisation d'un oscillateur réalisé par une paire croisée et d'un mélangeur. L'extraction de la 2^{ème} harmonique au niveau du mode commun est réalisé grâce à une ligne quart-d'onde. Cette deuxième harmonique est ensuite mélangée avec la fondamentale pour générer la 3^{ème} harmonique en sortie ($2f_0 + f_0 = 3f_0$). Cet oscillateur est verrouillé par injection sous-harmonique à $f_0/2$. Le TR est de 4,8 GHz et la fréquence en sortie est de 285 GHz. La puissance en sortie est de -19 dBm. Le bruit de phase est de -80,5 dBc/Hz à 1 MHz d'offset. La consommation est de 70 mW et la surface occupée

est de $0,41 \text{ mm}^2$. L'architecture et la photographie du circuit sont présentées sur la Figure 3.21.

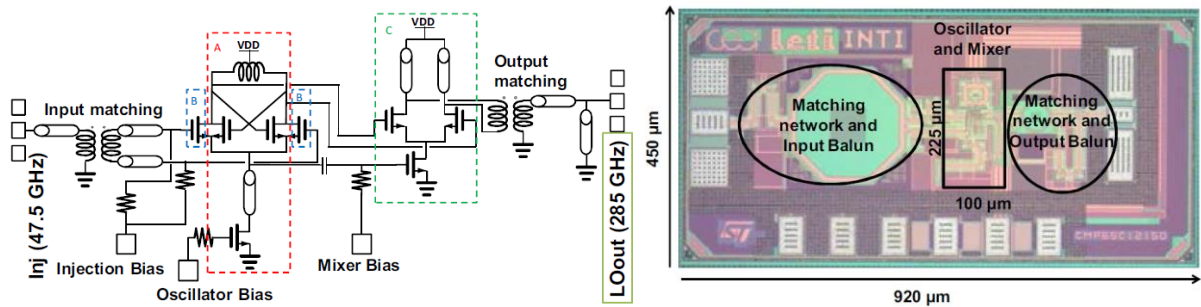


Figure 3.21 : Architecture et photographie de l'oscillateur présenté dans [15].

3.2.4.4 Choix de l'architecture et spécifications

D'après ce qui a été présenté dans la partie précédente, on peut constater que les oscillateurs qui génèrent un signal en sortie ayant une fréquence proche de f_{max} du transistor utilisent la technique « n-push ». Cette technique permet d'extraire au nœud commun du circuit, la $n^{\text{ème}}$ harmonique de la fréquence d'oscillation f_{osc} ainsi que ses multiples, tout en gardant un niveau élevé de puissance et une bonne réjection des autres harmoniques. La Figure 3.22 présente le principe de fonctionnement d'un oscillateur utilisant la technique « n-push ».

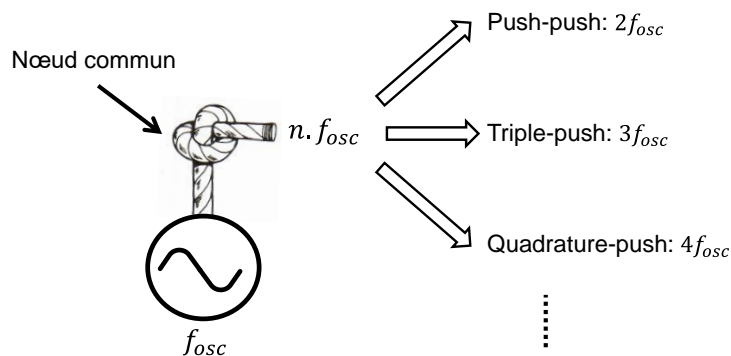


Figure 3.22 : Principe de fonctionnement d'un oscillateur utilisant la technique « n-push ».

Cette technique très efficace de génération sera utilisée dans l'oscillateur réalisé. De même une structure « single » permet de réduire la consommation et de minimiser la surface par rapport à une structure différentielle. Pour la génération de signaux avec une puissance optimale dans la bande sub-millimétrique, l'oscillateur en anneau utilisant une technique « triple-push » présente les meilleures performances [12]. Cependant l'oscillateur présenté dans [12] n'est pas verrouillé. Comme présenté précédemment, un oscillateur verrouillé par injection sous-harmonique permet de réduire la consommation et d'améliorer le bruit de phase en sortie. De même, cette solution est particulièrement intéressante pour les systèmes de formation de faisceau en bande millimétrique avec un déphasage au niveau de la voie OL [11]. Pour ces raisons, **le choix final consiste à privilégier l'oscillateur en anneau triple-push verrouillé par injection sous-harmonique.**

Dans un premier temps, l'idée est de générer un signal LO dans la bande 270-300 GHz, à l'aide d'un signal en bande millimétrique (45-50 GHz) généré par une PLL externe (Figure 3.23). L'oscillateur est alors verrouillé sur le signal d'entrée, et le rapport de multiplication n est de 6.

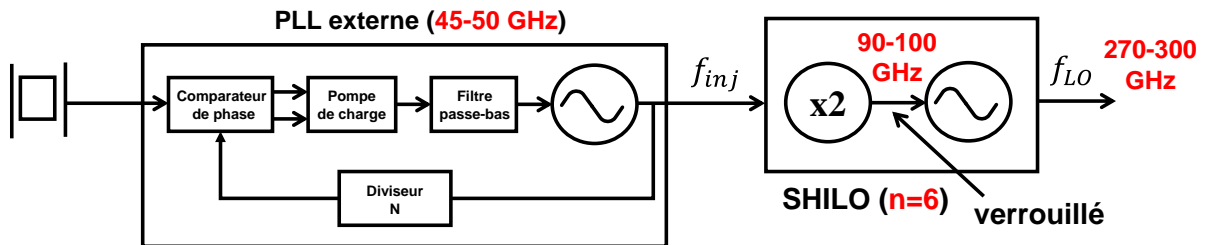


Figure 3.23 : Schéma bloc d'un SHILO verrouillé à un signal en bande millimétrique et dont le rapport de multiplication est de 6.

La fréquence d'oscillation libre est aux alentours de 100 GHz, la fréquence en sortie est de 300 GHz grâce à la technique « triple-push ». Un doubleur de fréquence est implémenté avant l'oscillateur pour la transposition de 50 GHz à 100 GHz afin de verrouiller l'oscillateur sur le signal d'entrée.

3.2.4.5 L'oscillateur en anneau *triple-push*

3.2.4.5.1 *Etude et principe de fonctionnement*

Un oscillateur en anneau est composé d'un nombre impair d'inverseurs (cellules de retards) connectés entre eux. La sortie est connectée à l'entrée, formant ainsi une boucle de rétroaction. Dans [12], pour les oscillateurs opérant à des fréquences très élevées proches de la fréquence f_{max} du transistor, l'architecture de l'oscillateur repose sur un transistor ayant une charge inductive connectée au drain qui remplace la charge résistive afin de réduire les pertes. La Figure 3.24 présente un schéma bloc d'un oscillateur en anneau ayant N étages, avec l'architecture de chaque étage.

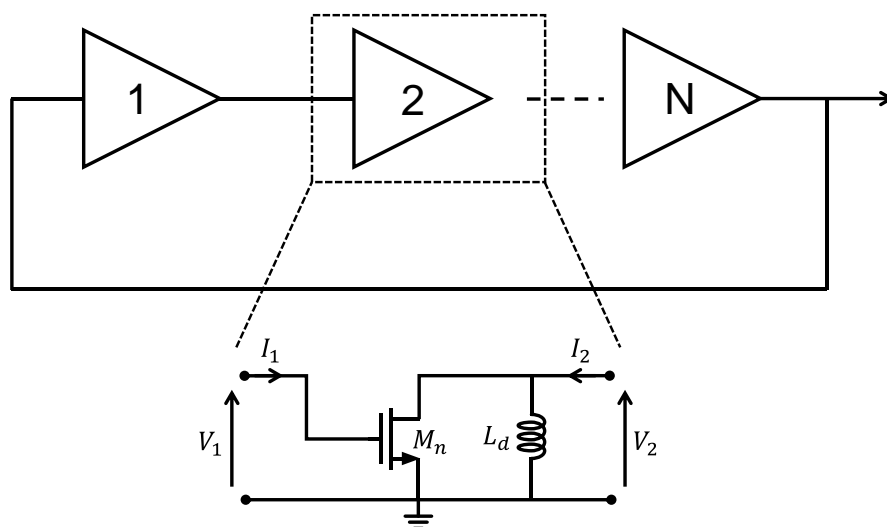


Figure 3.24 : Schéma bloc de l'oscillateur en anneau à N étages avec l'architecture de chaque étage.

D'après la Figure 3.24 le gain en tension A et le déphasage φ de chaque étage de l'oscillateur sont respectivement donnés par :

$$A = \frac{|V_2|}{|V_1|}, \varphi = \angle \frac{V_2}{V_1} = k \frac{2\pi}{N} \quad (3.6)$$

D'après [12], pour un oscillateur en anneau ayant 3 étages, le mode permettant le démarrage des oscillations est le mode avec $k=1$ et $\varphi = 120^\circ$, ce qui conduit à une fréquence d'oscillation maximale proche de f_{max} .

D'autre part l'oscillateur *triple-push* consiste en l'utilisation de trois oscillateurs (sous-circuit) ayant une fréquence fondamentale d'oscillation f_{osc} . Une analyse dans [16] montre que pour certains modes (pair, impair), le déphasage à la fréquence fondamentale est de 120° , le déphasage à la 2^{ème} harmonique est de 240° , et le déphasage à la 3^{ème} harmonique est de 360° . Par conséquent les signaux à la fréquence fondamentale et à la 2^{ème} harmonique sont rejetés, tandis que les signaux à la 3^{ème} harmonique se recombinaient en phase pour générer le signal voulu.

L'oscillateur *triple-push* peut être défini comme un réseau symétrique à 3 ports comme le montre la Figure 3.25.

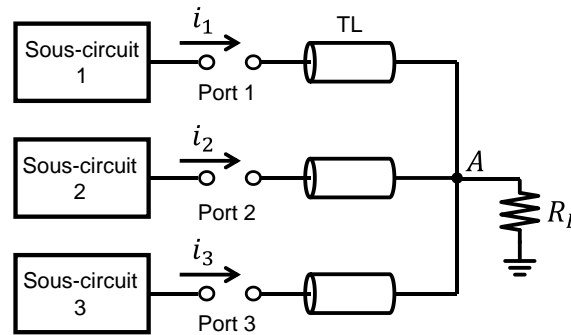


Figure 3.25 : Schéma bloc d'un oscillateur « triple-push ».

Chaque sous-circuit est composé d'un composant actif et d'un réseau d'adaptation. Les paramètres Z associés à cette structure sont donnés par :

$$\begin{bmatrix} Z_{11} & Z_{12} & Z_{12} \\ Z_{12} & Z_{11} & Z_{12} \\ Z_{12} & Z_{12} & Z_{11} \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \\ i_3 \end{bmatrix} = \begin{bmatrix} V_1 \\ V_2 \\ V_3 \end{bmatrix} \quad (3.7)$$

Les valeurs propres et vecteurs propres associés sont donnés par :

$$\lambda_e = Z_{11} + 2Z_{12}, \begin{bmatrix} i_1 \\ i_2 \\ i_3 \end{bmatrix} = \begin{bmatrix} 1 \\ 1 \\ 1 \end{bmatrix} \text{ pour le mode pair} \quad (3.8)$$

et

$$\lambda_o = Z_{11} - Z_{12} \text{ (valeur propre double)}, i_1 + i_2 + i_3 = 0 \text{ pour le mode impair} \quad (3.9)$$

Donc les courants en mode impair doivent satisfaire l'équation suivante :

$$i_1 + i_2 + i_3 = 0 \quad (3.10)$$

Il existe cependant dans l'oscillateur « triple-push » deux modes impairs et un mode pair. En supposant que les courants des modes impairs (i_1 , i_2 , i_3) ont des amplitudes égales grâce à la symétrie de chaque sous-circuit, ces courants doivent avoir un déphasage entre eux de 120° pour satisfaire l'équation (3.10). En se basant sur cette hypothèse, les deux modes impairs sont donnés par :

$$\begin{bmatrix} 1 \\ e^{j120^\circ} \\ e^{j240^\circ} \end{bmatrix} \text{ et } \begin{bmatrix} 1 \\ e^{-j120^\circ} \\ e^{-j240^\circ} \end{bmatrix} \quad (3.11)$$

La représentation des courants du mode pair et des deux modes impairs est donnée sur la Figure 3.26.

	Mode pair	Mode impair 1	Mode impair 2
Fondamentale	$\begin{matrix} \underline{i_1} \rightarrow \\ \underline{i_2} \rightarrow \\ \underline{i_3} \rightarrow \end{matrix}$		
2 ^{ème} harmonique	$\begin{matrix} \underline{i_1} \rightarrow \\ \underline{i_2} \rightarrow \\ \underline{i_3} \rightarrow \end{matrix}$		
3 ^{ème} harmonique	$\begin{matrix} \underline{i_1} \rightarrow \\ \underline{i_2} \rightarrow \\ \underline{i_3} \rightarrow \end{matrix}$	$\begin{matrix} \underline{i_1} \rightarrow \\ \underline{i_2} \rightarrow \\ \underline{i_3} \rightarrow \end{matrix}$	$\begin{matrix} \underline{i_1} \rightarrow \\ \underline{i_2} \rightarrow \\ \underline{i_3} \rightarrow \end{matrix}$

Figure 3.26 : Représentation des courants dans l'oscillateur « triple-push » pour les différents modes.

L'oscillateur « triple-push » excite les modes impairs et rejette le mode pair. Ainsi pour les modes impairs, les courants à la fondamentale et à la 2^{ème} harmonique sont rejetés au niveau du nœud commun à cause du déphasage de 120° et 240° entre les courants. Par conséquent, les signaux à la 3^{ème} harmonique sont recombinaés en phase au niveau de la charge en sortie [16].

3.2.4.5.2 Méthodologie de conception

Dans cette partie, une méthodologie de conception de l'oscillateur « triple-push » est présentée. Cette méthodologie est inspirée de celle présentée dans [12], adaptée aux oscillateurs opérant aux fréquences proches de la fréquence du transistor f_{max} définie par la technologie. La Figure 3.27 présente l'architecture de l'oscillateur « triple-push ».

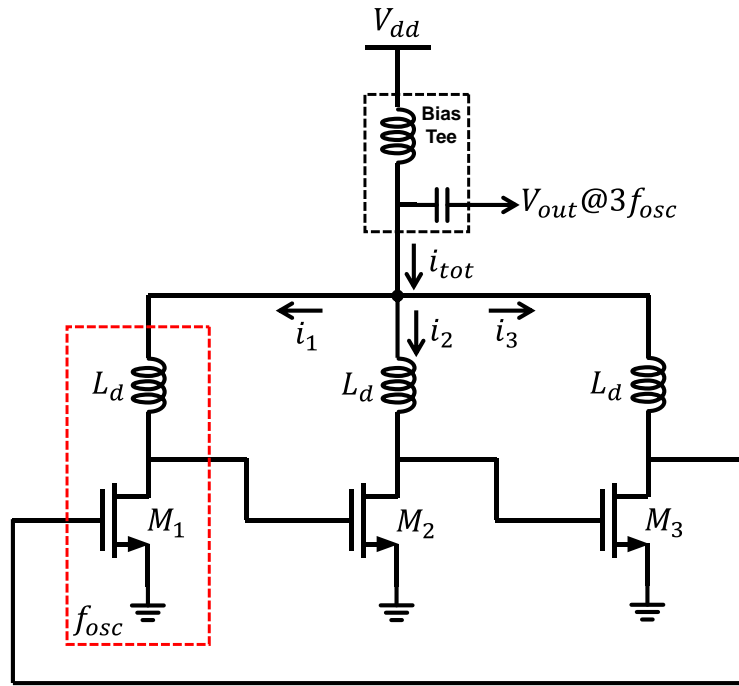


Figure 3.27 : Architecture de l'oscillateur « triple –push ».

L'oscillateur est composé de trois étages connectés ensemble pour former une boucle. Chaque étage est formé par un transistor MOS M_i et une inductance L_d . Les capacités parasites du transistor et l'inductance définissent ainsi la fréquence d'oscillation f_{osc} . La fréquence du signal en sortie au niveau de nœud commun vaut $3f_{osc}$, comme expliqué précédemment.

Du fait de la symétrie du circuit, on considère que les courants i_1 , i_2 et i_3 ont la même amplitude I_0 . Le Tableau 3.1 résume les expressions et les valeurs du courant en sortie i_{tot} de l'oscillateur « triple-push », à différentes harmoniques.

Harmonique	Courant i_{tot}	Avec $\varphi = \frac{2\pi}{3}$
Fondamentale	$i_{tot} = i_0 e^{j\omega t} + i_0 e^{j(\omega t + \varphi)} + i_0 e^{j(\omega t + 2\varphi)}$ $i_{tot} = i_0 e^{j\omega t} (1 + e^{j\varphi} + e^{j2\varphi})$	$i_{tot} = 0$
2 ^{ème} harmonique	$i_{tot} = i_0 e^{j2\omega t} + i_0 e^{j2(\omega t + \varphi)} + i_0 e^{j2(\omega t + 2\varphi)}$ $i_{tot} = i_0 e^{j2\omega t} (1 + e^{j2\varphi} + e^{j4\varphi})$	$i_{tot} = 0$
3 ^{ème} harmonique	$i_{tot} = i_0 e^{j3\omega t} + i_0 e^{j3(\omega t + \varphi)} + i_0 e^{j3(\omega t + 2\varphi)}$ $i_{tot} = i_0 e^{j3\omega t} (1 + e^{j3\varphi} + e^{j6\varphi})$	$i_{tot} = 3i_0 e^{j3\omega t}$

Tableau 3.1 : Le courant en sortie de l'oscillateur « triple-push » i_{tot} à différentes harmoniques.

Par conséquent, comme expliqué précédemment, seules les harmoniques d'ordre 3 sont générées en sortie de l'oscillateur, les autres étant rejetées,

L'objectif de cette étape est de comprendre le fonctionnement de cet oscillateur et de valider la théorie présentée précédemment. Le circuit final réalisé sera présenté par la suite. La largeur des transistors est de $40\ \mu\text{m}$ et la valeur de l'inductance est de $67\ \text{pH}$ pour obtenir une fréquence d'oscillation aux alentours de $97\ \text{GHz}$. La Figure 3.28 présente la forme temporelle des courants i_1 , i_2 et i_3 à la fréquence d'oscillation fondamentale. D'après cette figure, le déphasage entre ces courants vaut 120° comme prévu.

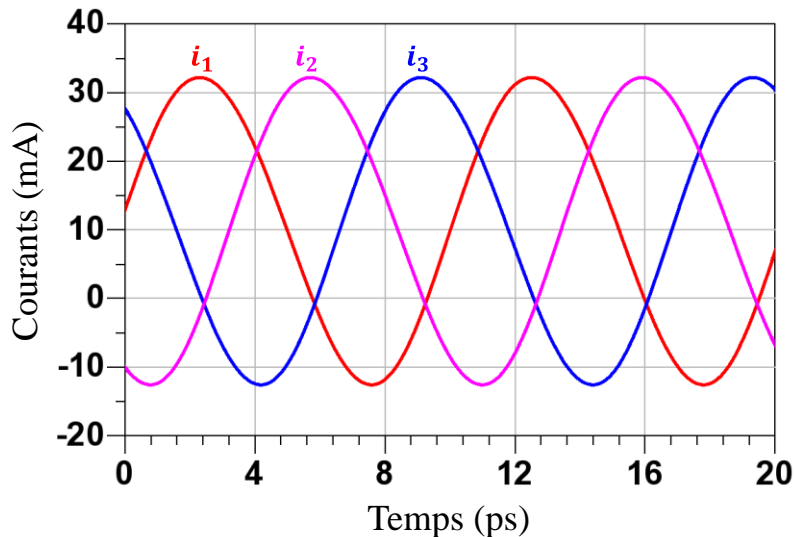


Figure 3.28 : Forme temporelle des courants i_1 , i_2 et i_3 à la fréquence fondamentale.

La tension à la fréquence d'oscillation V_{osc} (noir) au niveau du drain de chaque transistor, et la tension en sortie V_{out} (rouge) sont illustrées sur la Figure 3.29. D'après cette figure, en zoomant sur les formes d'ondes, la période de la tension en sortie vaut le tiers de celle de la tension à la fréquence fondamentale. Ainsi, la fréquence de la tension en sortie vaut $3f_{osc}$, ce qui valide le fonctionnement de l'oscillateur *triple-push*. La représentation dans le domaine fréquentiel est plus riche. La Figure 3.30 présente le spectre des tensions et V_{osc} et V_{out} .

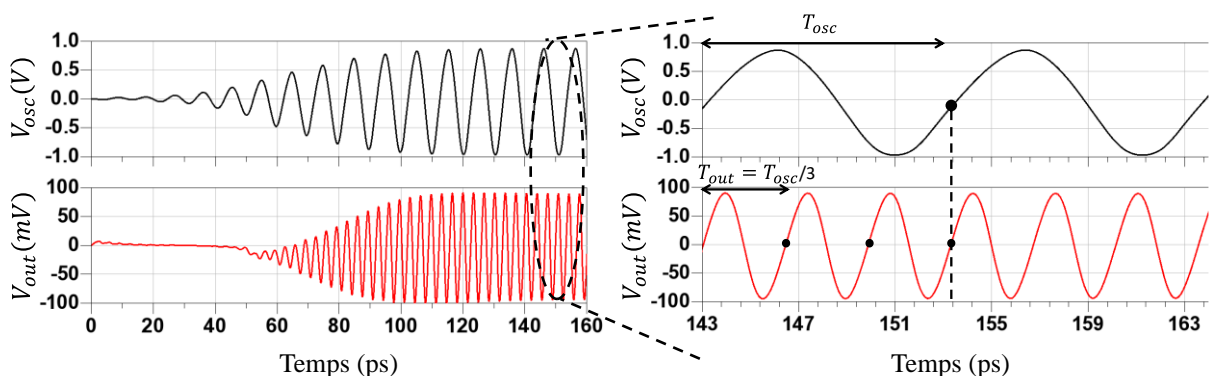


Figure 3.29 : Forme temporelle des tensions à la fréquence d'oscillation V_{osc} et en sortie de l'oscillateur V_{out} .

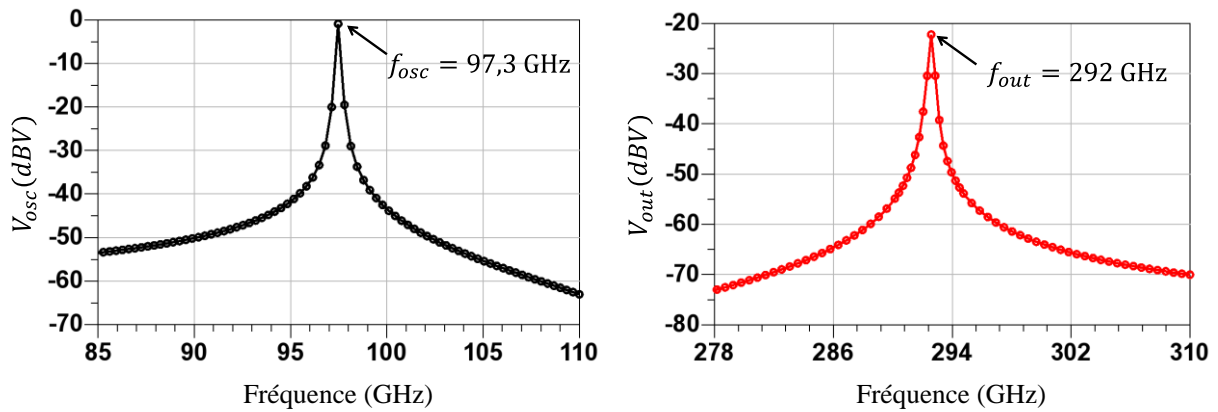


Figure 3.30 : Spectre des tensions V_{osc} et V_{out} .

D'après la Figure 3.30, la fréquence d'oscillation est de 97,3 GHz et la fréquence à la sortie de l'oscillateur « triple-push » est de 292 GHz ($97,3$ GHz \times 3).

D'après l'équation 3.6, le déphasage de chaque étage de l'oscillateur (entre le drain et la grille) est de 120° par défaut. D'après [12], il existe un déphasage optimal φ afin d'améliorer la puissance en sortie. Pour atteindre ce déphasage optimal une inductance L_g est ajoutée entre les étages comme le montre la Figure 3.31. Afin de déterminer la valeur de l'inductance correspondante, une simulation de la puissance en sortie P_{out} en fonction de l'inductance L_g est réalisée. La Figure 3.32 (a) montre que la puissance en sortie atteint un optimum pour une inductance ayant une valeur de 20 pH. La Figure 3.32 (b) montre la puissance P_{out} en fonction du déphasage φ . L'optimum obtenu pour une inductance de 20 pH correspond à un déphasage optimal de 130° . Cependant, avec l'ajout de cette inductance la fréquence d'oscillation change de valeur. Pour cela, il faut ajuster de nouveau la largeur des transistors ou bien l'inductance de drain L_d .

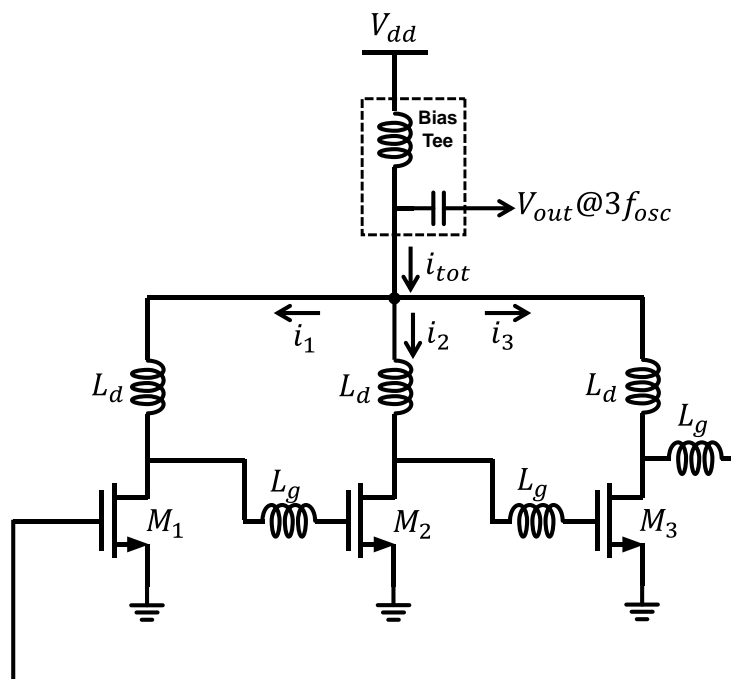


Figure 3.31 : Architecture de l'oscillateur « triple-push » avec l'ajout des inductances L_g .

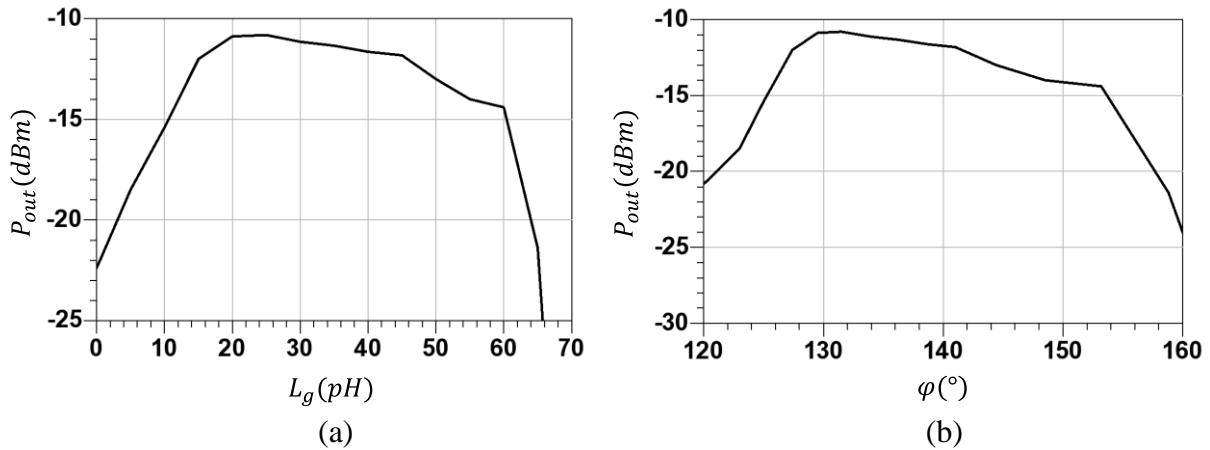


Figure 3.32 : Puissance P_{out} en sortie de l'oscillateur : (a) en fonction de l'inductance L_g , et (b) en fonction du déphasage φ .

3.2.4.6 Modélisation des oscillations

Dans cette partie on s'intéresse à comprendre le comportement de l'oscillateur « triple-push », en étudiant les composants qui sont la cause de l'existence des oscillations. Cette étude est divisée en deux parties : la première consiste à réaliser une étude petit signal de l'oscillateur, afin de déterminer une expression de la fréquence d'oscillation. La deuxième partie consiste à réaliser une étude grand signal en modélisant la source de courant non-linéaire. Notons que cette étude ne prétend pas constituer une analyse poussée ainsi qu'une mise en équation de ce type d'oscillateur. Ceci a déjà été réalisé dans [17].

3.2.4.6.1 Etude petit signal

Pour simplifier l'analyse, l'architecture présentée sur la Figure 3.27 est choisie en gardant les mêmes valeurs de largeur de transistors et d'inductance L_d . Le schéma bloc de l'oscillateur « triple-push » peut être représenté sous la forme illustrée sur la Figure 3.33.

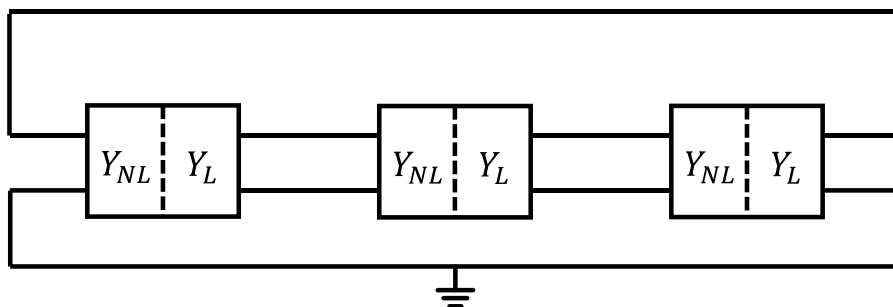


Figure 3.33 : Schéma bloc illustrant l'oscillateur « triple-push » avec les admittances correspondantes.

Y_L représente l'admittance des éléments passifs ayant des pertes (capacités, inductance, conductance), et Y_{NL} représente l'admittance des éléments actifs (source de courant). Les conditions de Barkhausen à la fréquence d'oscillation sont donnés par :

$$\begin{cases} \Re(Y_L + Y_{NL}) \leq 0 \\ \Im(Y_L + Y_{NL}) = 0 \end{cases} \quad (3.12)$$

En utilisant le schéma petit signal du transistor MOS présenté dans le chapitre 2, le schéma petit signal de l'oscillateur « triple-push » est donné sur la Figure 3.34.

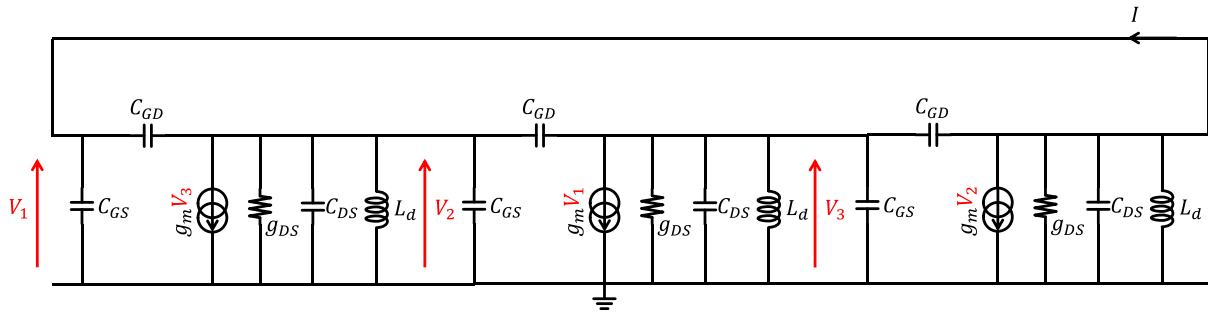


Figure 3.34 : Schéma petit signal de l'oscillateur « triple-push ».

La valeur des éléments du schéma petit signal est extraite comme présenté dans le chapitre 2. Ensuite, afin de valider le schéma petit signal équivalent, il faut vérifier par une simulation paramètres S que la fréquence d'oscillation est la même pour le modèle présenté et l'oscillateur conçu avec des éléments du DK. Pour cela la Figure 3.35 présente une comparaison des parties réelle et imaginaire du terme $(Y_L + Y_{NL})$ entre l'oscillateur conçu et son schéma équivalent petit signal. D'après cette figure, on remarque que les résultats sont très proches. La partie imaginaire s'annule dans les deux cas au même endroit pour une fréquence de 98 GHz environ qui est proche de la valeur trouvée précédemment. De même la partie réelle est négative.

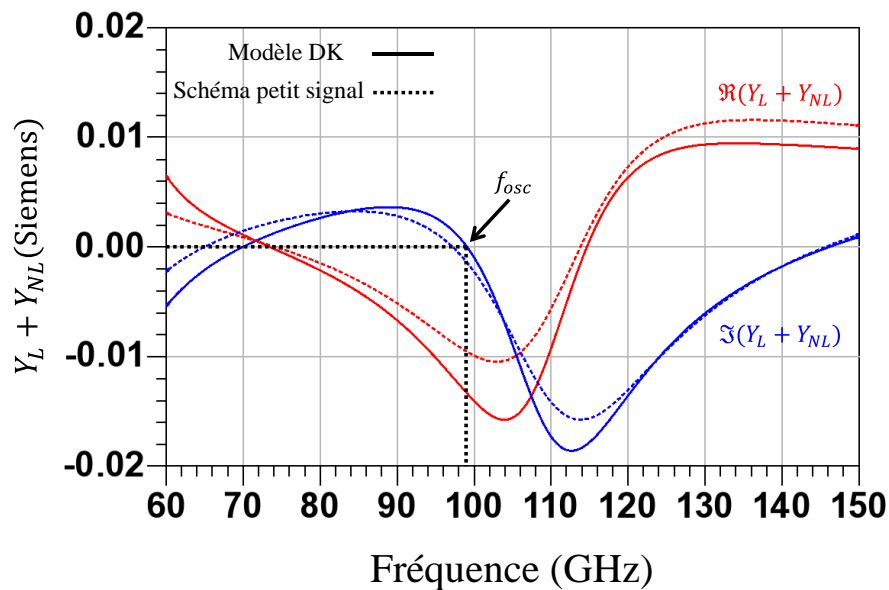


Figure 3.35 : Comparaison entre l'oscillateur ayant des composants du DK de la technologie et le schéma équivalent petit signal : partie réelle (courbe en rouge) et partie imaginaire (courbe en bleu) de $(Y_L + Y_{NL})$ en fonction de la fréquence.

Afin de faciliter le calcul de la fréquence d'oscillation, la capacité C_{GD} ne sera pas prise en compte pour le moment. Ainsi le schéma petit signal simplifié de l'oscillateur est celui présenté sur la Figure 3.36.

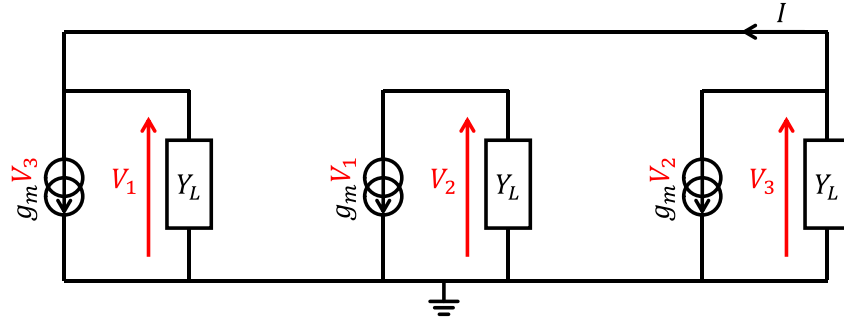


Figure 3.36 : Schéma petit signal simplifié de l'oscillateur « triple-push ».

L'expression de Y_L est donnée par :

$$Y_L = G_{DS} + j\omega(C_{DS} + C_{GS}) + \frac{1}{jL_d\omega} \quad (3.13)$$

En négligeant le courant dans Y_L , l'expression de Y_{NL} est donnée par :

$$Y_{NL} = \frac{I}{V_3} \quad (3.14)$$

avec :

$$\begin{cases} V_1 = -\frac{g_m V_3}{Y_L} \\ V_2 = -\frac{g_m V_1}{Y_L} \\ I = g_m V_2 = \frac{g_m^3 V_3}{Y_L^2} \end{cases} \quad (3.15)$$

ce qui conduit à :

$$Y_{NL} = \frac{g_m^3}{Y_L^2} \quad (3.16)$$

et par conséquent :

$$Y_L + Y_{NL} = G_{DS} + j\left(C_{DS}\omega + C_{GS}\omega - \frac{1}{L_d\omega}\right) + \frac{g_m^3}{Y_L^2} \quad (3.17)$$

La partie imaginaire de cette expression est nulle à la fréquence d'oscillation, alors :

$$C_{DS}\omega + C_{GS}\omega - \frac{1}{L_d\omega} = 0 \quad (3.18)$$

et la fréquence d'oscillation f_{osc} est exprimée par :

$$f_{osc} = \frac{1}{2\pi\sqrt{L_d(C_{GS} + C_{DS} + T)}} \quad (3.19)$$

Avec T un terme qui dépend de la capacité C_{GD} négligée lors des calculs précédents. Ce terme peut être calculé en fixant les valeurs de C_{GS} et C_{DS} pour une largeur de grille de 40 μm , et en traçant T en fonction de la fréquence comme le montre la Figure 3.37. D'après l'équation (3.19), T a des dimensions de capacité. La valeur de T est extraite pour $f = f_{osc}$ (2 à 4 fF).

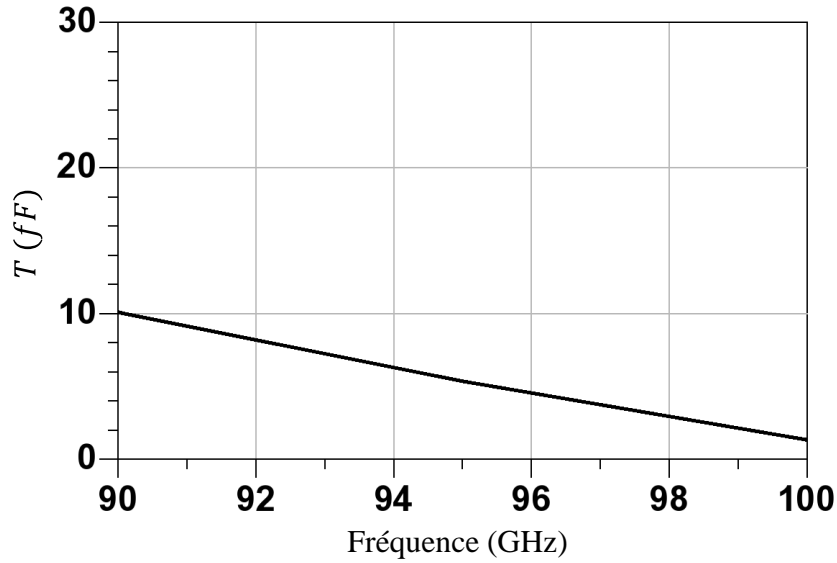


Figure 3.37 : Terme T en fonction de la fréquence

3.2.4.6.2 Etude grand signal

Dans cette partie, on s'intéresse à l'étude grand signal de l'oscillateur « triple-push ». Les non-linéarités dans le transistor constituent la cause de l'existence des oscillations. En négligeant les non-linéarités des capacités intrinsèques du transistor MOS afin de simplifier les calculs, le schéma équivalent non-linéaire du transistor se réduit à la source de courant non-linéaire comme le montre la Figure 3.38.

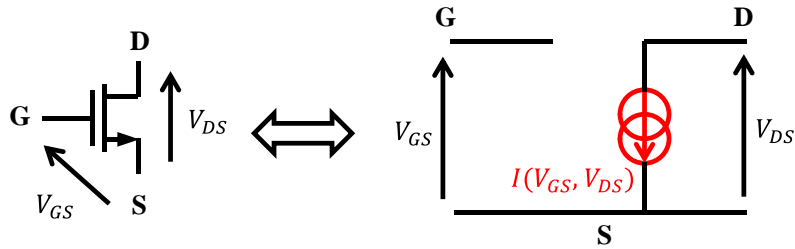


Figure 3.38 : Schéma équivalent non-linéaire du transistor MOS ayant la source de courant non-linéaire qui dépend des tensions V_{GS} et V_{DS} .

L'expression du courant peut être approximée par un développement en série de Taylor autour du point de fonctionnement $\{V_{GS_0}; V_{DS_0}\}$, soit :

$$I(V_{GS}; V_{DS})|_{\{V_{GS_0}; V_{DS_0}\}} = I_0 + \sum_{i=1}^{\infty} g_{m_i} (V_{GS} - V_{GS_0})^i + \sum_{i=1}^{\infty} g_{d_i} (V_{DS} - V_{DS_0})^i \quad (3.20)$$

avec $I_0 = I(V_{GS_0}; V_{DS_0})$ le courant au point de fonctionnement, g_{m_i} la transconductance d'ordre i définie par :

$$g_{m_i} = \frac{1}{i!} \left. \frac{\delta^i I}{\delta V_{GS}^i} \right|_{V_{DS}=cte} \quad (3.21)$$

et g_{d_i} la conductance d'ordre i définie par :

$$g_{d_i} = \frac{1}{i!} \left. \frac{\delta^i I}{\delta V_{DS}^i} \right|_{V_{GS}=cte} \quad (3.22)$$

L'ordre i pour lequel la source de courant a été modélisée est de 5, afin d'obtenir une précision acceptable sur le modèle. La Figure 3.39 (a) présente les transconductances g_{m_i} en fonction de la tension V_{GS} , extraites au point de fonctionnement, pour $V_{GS_0} = 0,6 V$. De même les conductances g_{d_i} en fonction de la tension V_{DS} sont présentées sur la Figure 3.39 (b), pour $V_{DS_0} = 1,2 V$. Pour ce couple $\{V_{GS_0} = 0,6 V; V_{DS_0} = 1,2 V\}$ le courant I_0 vaut 5,5 mA environ. Le Tableau 3.2 résume les valeurs de g_{m_i} et de g_{d_i} extraites au point de fonctionnement.

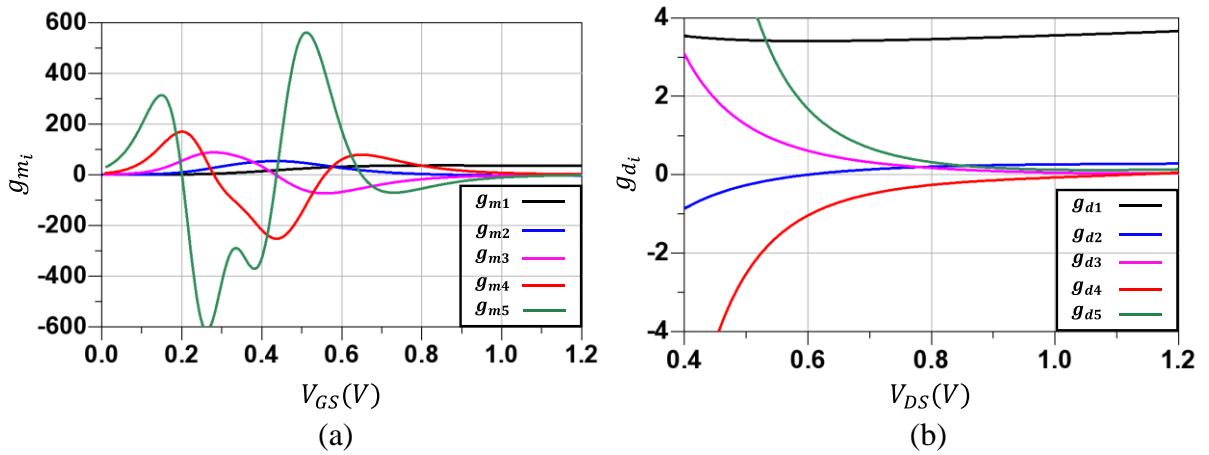


Figure 3.39 : (a) transconductance g_{m_i} en fonction de V_{GS} et (b) conductance g_{d_i} en fonction de V_{DS} .

Ordre i	g_{m_i}	g_{d_i}
1	32 (mS)	4 (mS)
2	27 (mS/V)	0,281 (mS/V)
3	- 69 (mS/V ²)	0,035 (mS/V ²)
4	61 (mS/V ³)	0,049 (mS/V ³)
5	172 (mS/V ⁴)	0,119 (mS/V ⁴)

Tableau 3.2 : Valeurs de transconductances g_{m_i} et conductances g_{d_i} extraites au point de fonctionnement $\{V_{GS_0} = 0,6 V; V_{DS_0} = 1,2 V\}$.

La Figure 3.40 présente une comparaison du courant drain I_d en fonction de la tension V_{GS} entre le transistor MOS du DK et le modèle proposé de la source de courant (équation 3.20). Pour $V_{GS_0} = 0,6 V$ la caractéristique $I(V)$ correspond bien à celle du MOS du DK.

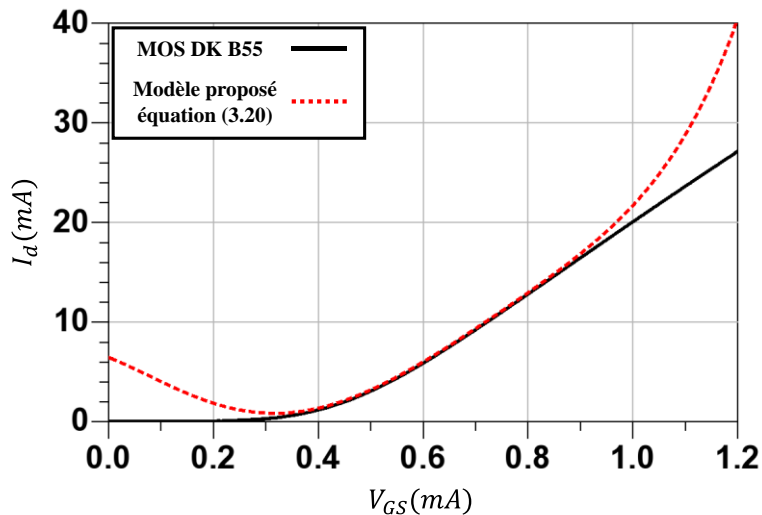


Figure 3.40 : Comparaison du courant de drain entre le transistor du DK et le modèle proposé (équation 3.20).

Une fois la source de courant non-linéaire modélisée, l'étape suivante consiste à ajouter les capacités intrinsèques autour de cette source de courant, afin de s'approcher du modèle du transistor du DK. Ces capacités sont extraites pour une largeur de grille de 40 μm . La Figure 3.41 présente le symbole de la source de courant non-linéaire et les capacités intrinsèques.

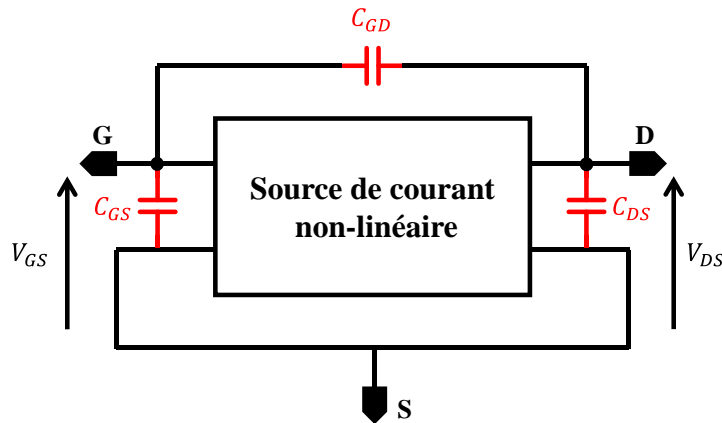


Figure 3.41 : Source de courant non-linéaire entourée des capacités intrinsèques.

Pour modéliser les oscillations dans l'oscillateur « triple-push », on analyse la forme temporelle du signal et sa fréquence à l'harmonique fondamentale et en sortie à la 3^{ème} harmonique. Pour cela, deux simulations doivent être réalisées. La première consiste à simuler l'oscillateur contenant des transistors MOS du DK, la seconde consiste à remplacer les transistors par le symbole présenté sur la Figure 3.41. Dans un premier temps, la tension à la fréquence fondamentale V_{osc} est tracée. La Figure 3.42 présente la comparaison de cette tension entre les deux modèles. La Figure 3.42 (a) montre la forme temporelle de V_{osc} , le spectre est présenté sur la Figure 3.42 (b). D'après cette figure, les réponses temporelles et fréquentielles entre le modèle proposé et le DK sont très proches.

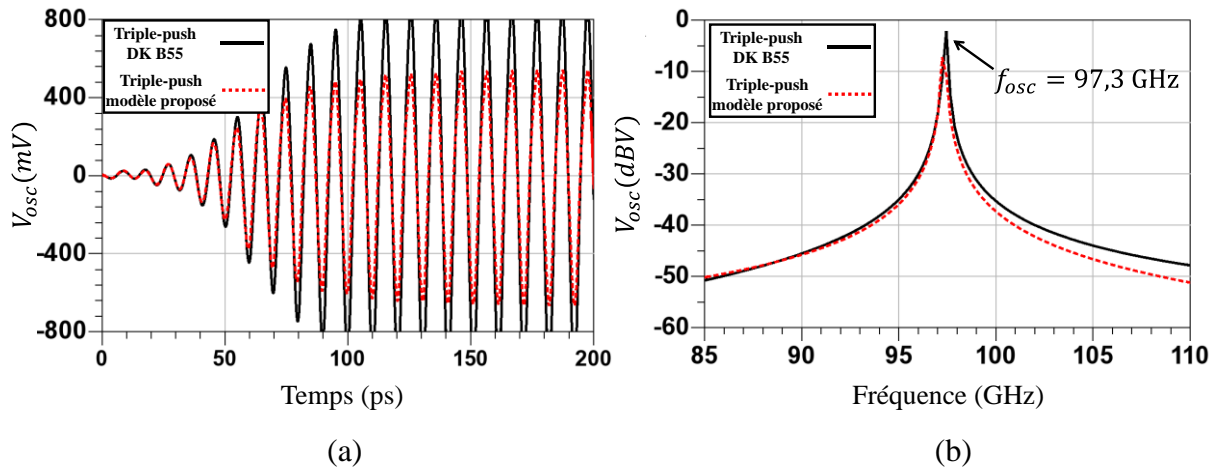


Figure 3.42 : Comparaison de la tension à la fréquence d'oscillation V_{osc} entre l'oscillateur utilisant un transistor du DK et un oscillateur utilisant la source de courant modélisée : (a) forme temporelle de la tension V_{osc} et (b) spectre de V_{osc} .

La Figure 3.43 présente la comparaison de la tension en sortie V_{out} entre les deux modèles. La Figure 3.43 (a) montre la forme temporelle de V_{out} , son spectre en sortie étant présenté sur la Figure 3.43 (b).

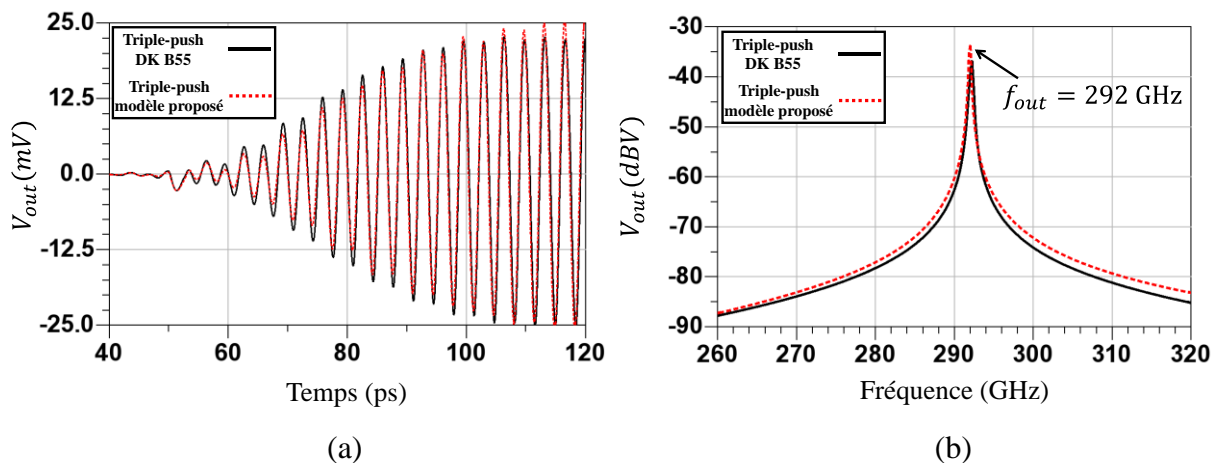


Figure 3.43 : Comparaison de la tension en sortie V_{out} entre l'oscillateur utilisant un transistor du DK et un oscillateur utilisant la source de courant modélisée : (a) forme temporelle de la tension V_{out} et (b) spectre de V_{out} .

La Figure 3.43 montre que la forme temporelle et le spectre en sortie du modèle présenté correspondent bien à ceux de l'oscillateur utilisant des transistors du DK.

Cette partie a présenté l'étude de l'oscillateur *triple-push* ainsi que son comportement. Cette étude permettra de comprendre le rôle de chaque composant dans l'oscillateur et rendre ainsi sa conception plus simple.

3.2.4.7 Conception de l'oscillateur verrouillé par injection sous-harmonique

Dans cette partie, la conception de l'oscillateur verrouillé par injection sous-harmonique [18] est présentée. Le signal injecté se situe dans la bande (45-50 GHz), le signal de sortie se situant dans la bande (270-300 GHz). Le rapport de multiplication est de 6 grâce au doubleur

de fréquence et la propriété *triple-push* de l'oscillateur. La Figure 3.44 présente le schéma bloc de l'oscillateur verrouillé.

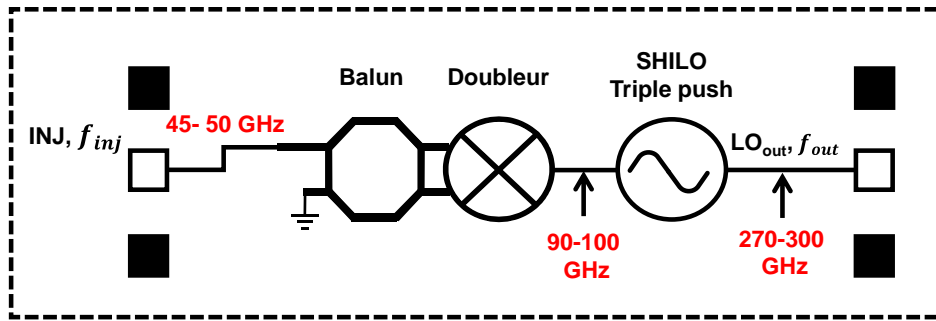


Figure 3.44 : Schéma bloc de l'oscillateur verrouillé par injection sous-harmonique.

L'oscillateur est composé d'un transformateur qui permet le passage en différentiel, ensuite un doubleur de fréquence réalise la multiplication du signal d'injection par lui-même, afin de générer un signal à $2f_{inj}$. Le signal en sortie du doubleur a une fréquence proche de la fréquence d'oscillation afin de verrouiller l'oscillateur « triple-push ».

La Figure 3.45 présente une vue 3D du transformateur et son schéma équivalent.

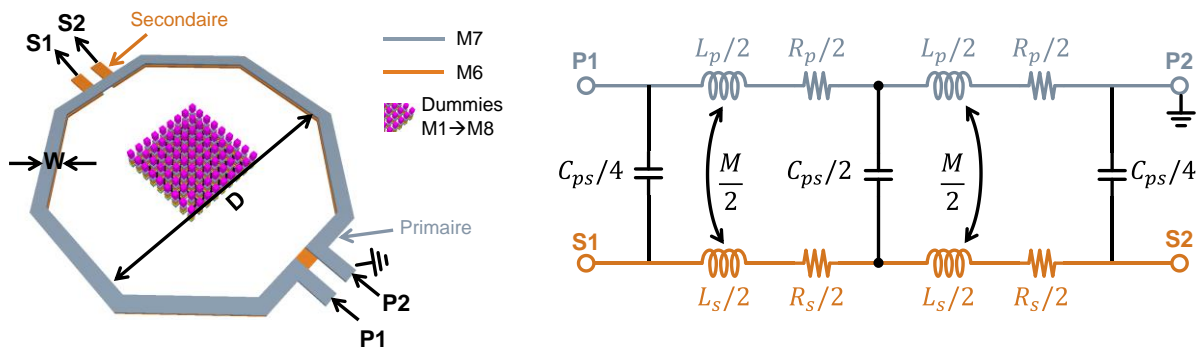


Figure 3.45 : Vue 3D du transformateur et son schéma équivalent.

Le transformateur est réalisé par un empilement de deux spires de forme octogonales ayant un diamètre D et une largeur W . Le primaire est implémenté au niveau du métal M7, le secondaire au niveau du métal M6. Des « dummies » sont ajoutées de M1 à M8 au centre du transformateur afin de respecter les règles de densités.

Le schéma équivalent du transformateur peut être représenté comme un composant à 4 ports ayant une topologie en 2π . Les deux branches représentent respectivement le primaire ayant comme ports P1 et P2 et le secondaire ayant comme ports S1 et S2. Chaque branche est constituée d'une inductance et d'une résistance série, modélisant ainsi l'effet inductif et résistif du conducteur qui forme la spire. Le coefficient M et la capacité C_{ps} représentent respectivement le couplage magnétique et électrique entre les deux branches. Le modèle du substrat n'est pas pris en compte pour simplifier l'étude du transformateur. Le transformateur est optimisé dans la bande 45-50 GHz. Le diamètre D est de $166 \mu\text{m}$ et la largeur de la spire W est de $5,5 \mu\text{m}$. La Figure 3.46 présente la comparaison entre le transformateur simulé sous HFSS et son schéma équivalent proposé.

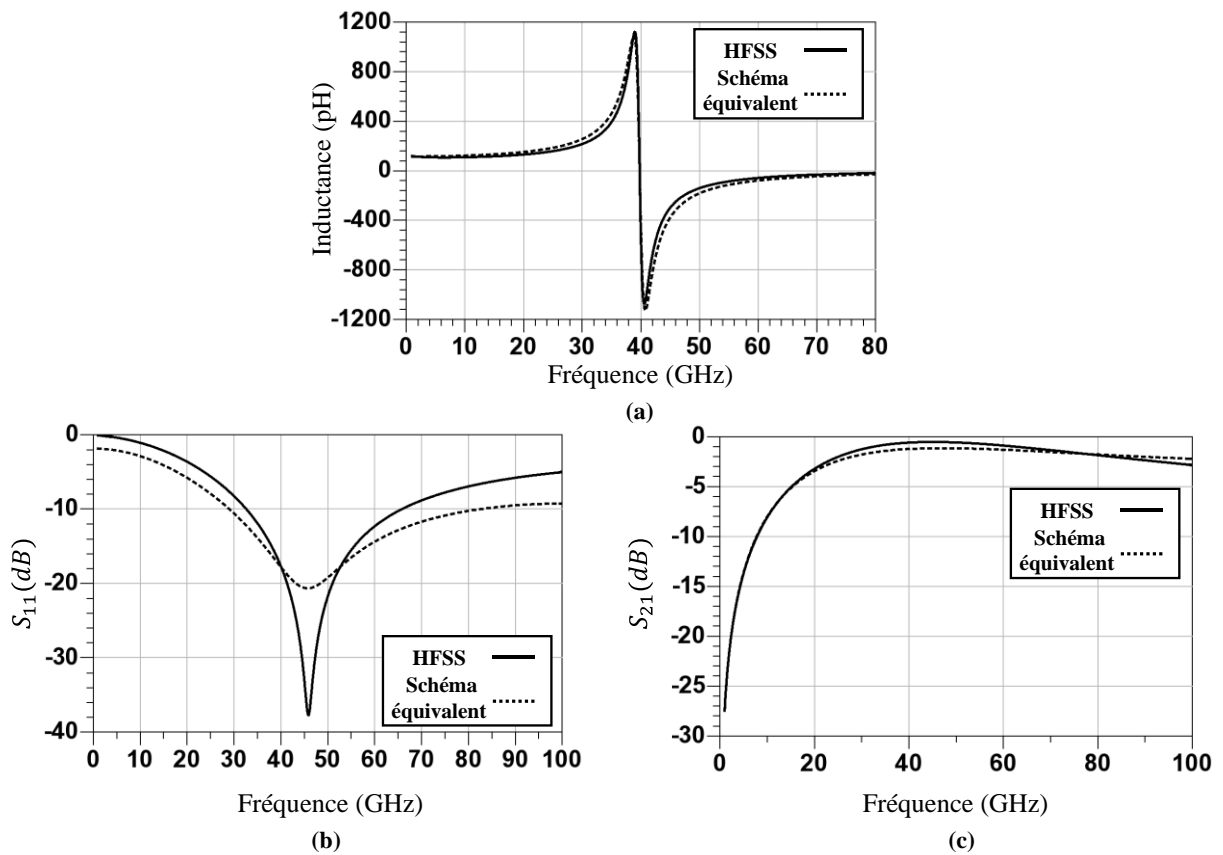


Figure 3.46 : Comparaison des performances du transformateur entre la simulation EM sous HFSS et le schéma équivalent simple : (a) l'inductance en fonction de la fréquence, (b) le coefficient de réflexion S_{11} et (c) le coefficient de transmission S_{21} .

Les résultats entre la simulation HFSS et le schéma équivalent présenté montrent un bon accord.

La Figure 3.47 présente l'architecture du circuit d'injection situé à la sortie du transformateur.

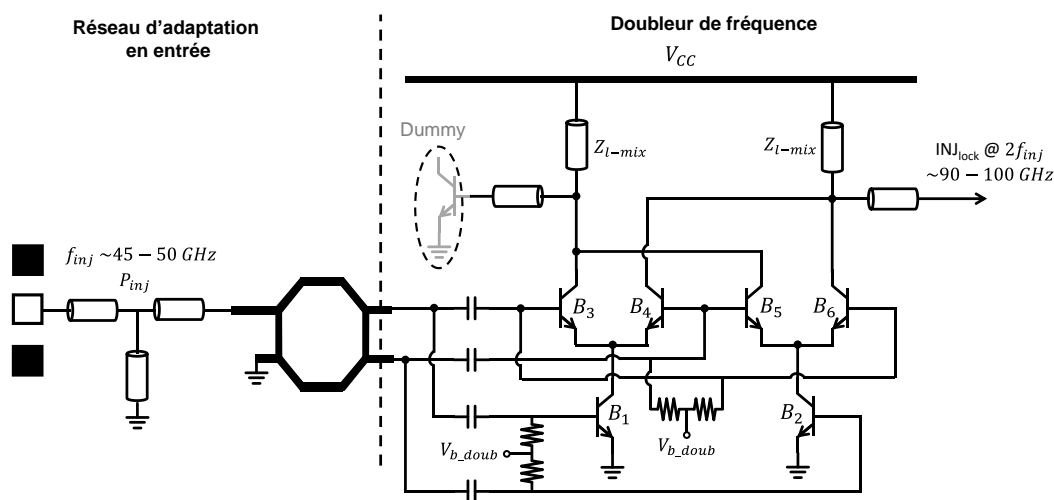


Figure 3.47 : Architecture du circuit d'injection contenant le réseau d'adaptation en entrée et le doubleur de fréquence.

Ce circuit est composé d'un réseau d'adaptation en entrée et d'un doubleur de fréquence. Le réseau d'adaptation est formé de lignes μ -ruban et du transformateur. Le doubleur de fréquence est réalisé par une cellule de Gilbert classique, qui permet de multiplier le signal d'entrée par lui-même afin de générer la 2^{ème} harmonique dans la bande 90-100 GHz. Les charges Z_{l-mix} sont optimisées afin de maximiser le *swing* de tension en sortie du doubleur. L'oscillateur *triple-push* ayant une structure *single*, une seule sortie du doubleur est utilisée pour l'injection. L'utilisation d'une structure différentielle pour le doubleur permet de rejeter l'harmonique fondamentale, et ainsi d'améliorer le gain de conversion. De même cette structure permet d'avoir une large bande passante par rapport aux autres types de multiplieurs (générateurs d'harmoniques par distorsion,...) [19].

La Figure 3.48 présente l'architecture de l'oscillateur verrouillé « triple-push ».

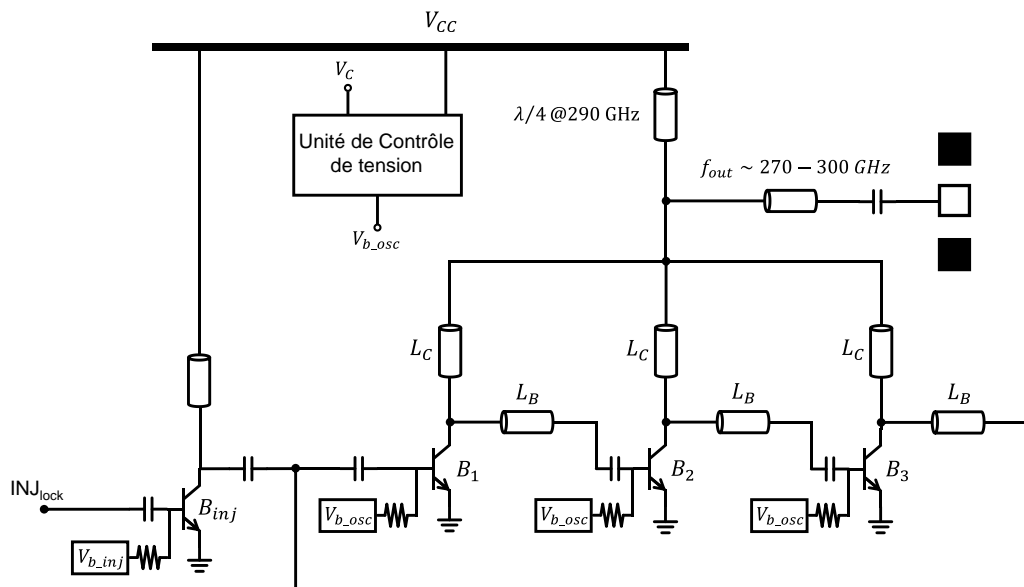


Figure 3.48 : Architecture de l'oscillateur verrouillé « triple-push ».

La sortie du doubleur INJ_{lock} est injectée à l'entrée de l'oscillateur via le transistor B_{inj} . L'oscillateur est formé par les 3 transistors B_1, B_2 et B_3 polarisés par la tension V_{b_osc} . Les inductances drain grille sont remplacées par des lignes de transmission respectivement L_C et L_B car d'une part elles présentent un meilleur facteur de qualité aux fréquences élevées, d'autre part leur conception est plus simple. L'oscillateur est conçu pour avoir une fréquence d'oscillation qui varie entre 90 et 100 GHz, en variant la tension V_{b_osc} . Pour maximiser la puissance à la 3^{ème} harmonique (270-300 GHz), une ligne quart-d'onde est ajoutée en sortie.

Cependant l'étape critique de la conception de l'oscillateur est le « layout ». En effet, il faut trouver la meilleure topologie permettant de garder la symétrie du circuit, tout en ayant les bonnes dimensions des lignes de transmission. A ces fréquences très élevées, toute interconnexion supplémentaire conduit à un décalage de la fréquence d'oscillation et une variation de la puissance en sortie. Pour cela les lignes de transmission de l'oscillateur sont simulées sous HFSS pour plus de précision. La Figure 3.49 présente une vue 3D de l'oscillateur *triple-push* conçu.

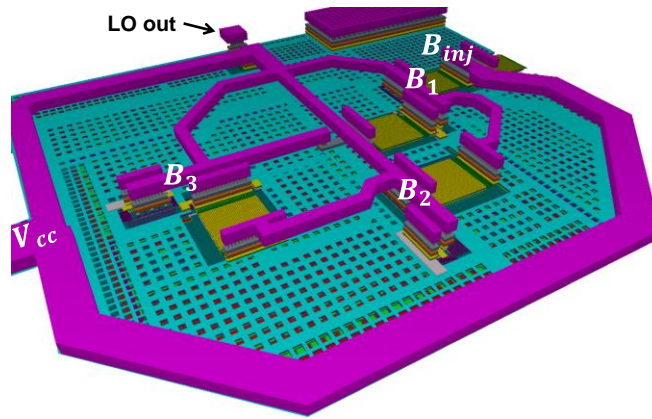


Figure 3.49 : Vue 3D de l'oscillateur « triple-push » conçu.

La Figure 3.50 présente le coefficient de réflexion S_{11} de l'oscillateur verrouillé en fonction de la fréquence. L'adaptation en entrée est meilleure que 10 dB sur une bande de 18 GHz (40-58 GHz).

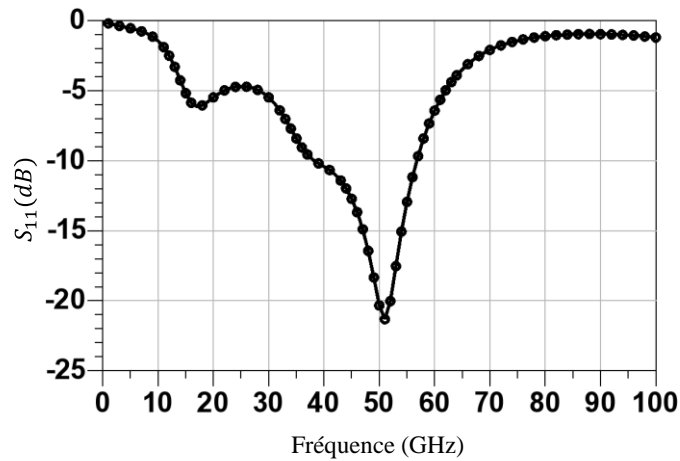


Figure 3.50 : Coefficient de réflexion S_{11} de l'oscillateur verrouillé en fonction de la fréquence.

La forme temporelle et le spectre de la tension en sortie de l'oscillateur sont présentés respectivement sur la Figure 3.51 (a) et (b).

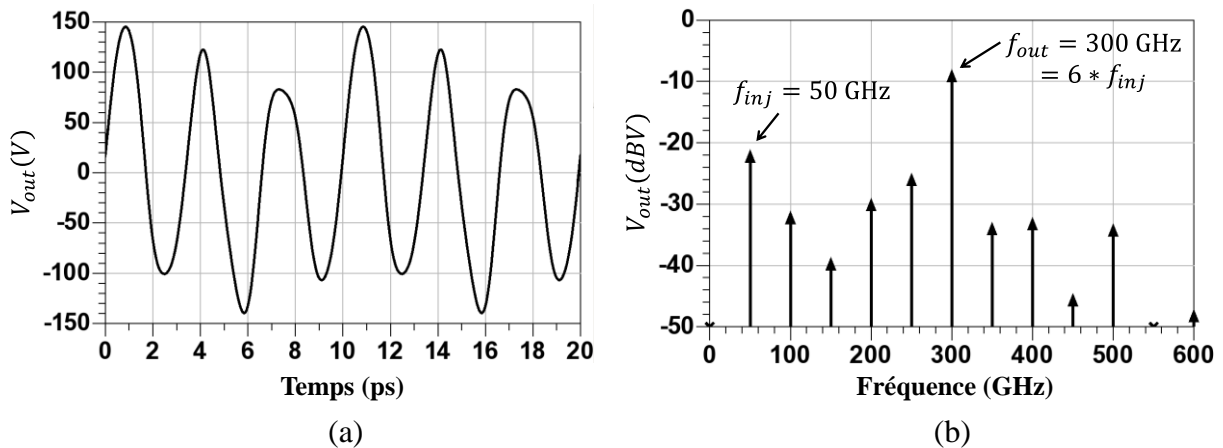


Figure 3.51 : La tension en sortie V_{out} à 300 GHz de l'oscillateur *triple-push* verrouillé par une injection à 50 GHz : (a) Forme temporelle et (b) spectre.

L'oscillateur est verrouillé par un signal injecté en entrée ayant une fréquence $f_{inj} = 50$ GHz. Le spectre montre la fréquence à 300 GHz en sortie, qui correspond à 6 fois la fréquence du signal d'entrée. La réjection des harmoniques parasites est bonne et vaut 12 dB minimum. La Figure 3.52 (a) montre la consommation de l'oscillateur en fonction de la tension de polarisation V_{bias_osc} et une tension V_{cc} de 1,2 V. La consommation maximale est de 90 mW. La Figure 3.52 (b) montre la consommation en fonction de la tension d'alimentation V_{cc} pour une valeur de V_{bias_osc} de 1,1 V. La valeur maximale est de 110 mW.

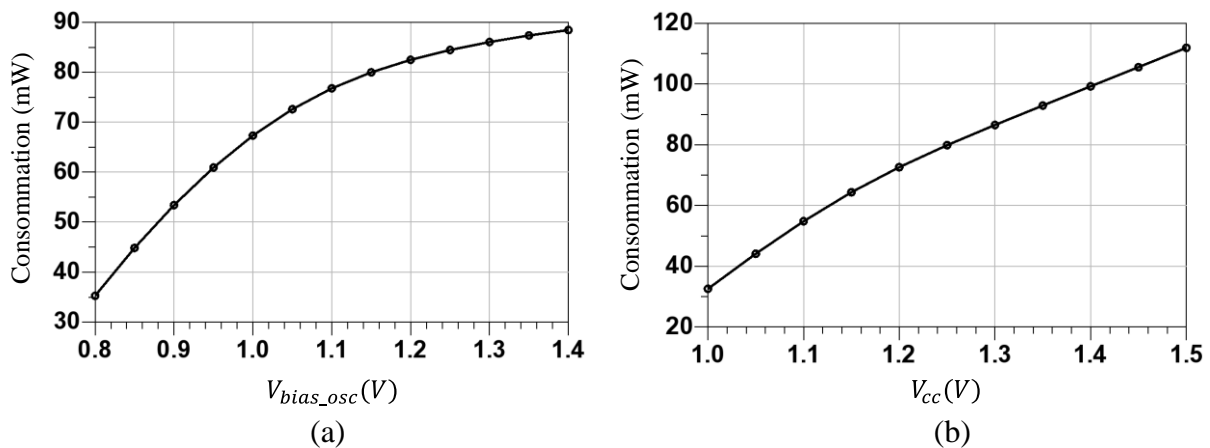


Figure 3.52 : Consommation de l'oscillateur en mW : (a) en fonction de la tension de polarisation V_{bias_osc} et (b) en fonction de la tension d'alimentation V_{cc} .

3.2.4.8 Résultats expérimentaux et discussions

L'oscillateur a été mesuré sous pointes. Le banc de mesure est illustré sur la Figure 3.53, un synthétiseur en entrée permet de générer le signal d'injection pour réaliser le verrouillage. Un mélangeur en bande J permet de transposer le signal en sortie de l'oscillateur, et de le visualiser sur l'analyseur de spectre.

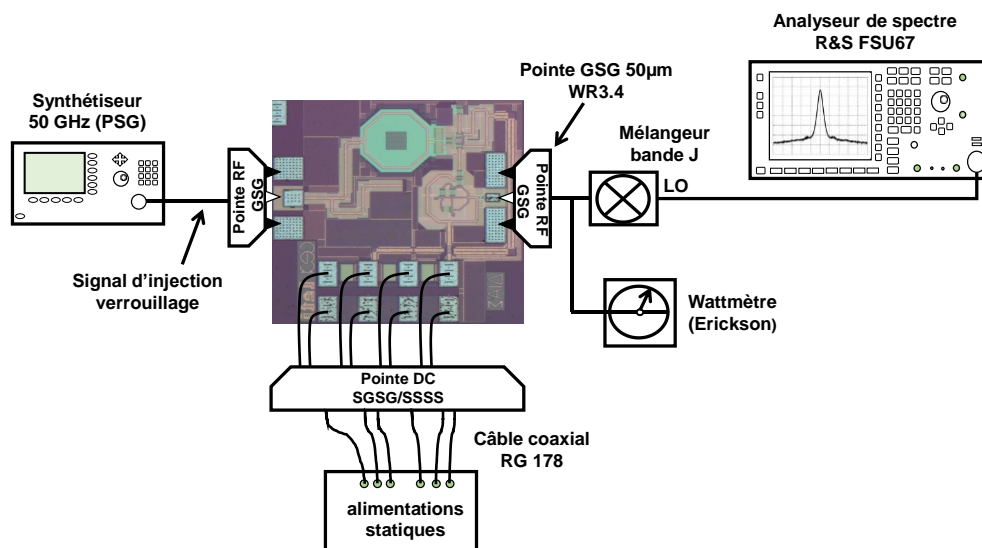


Figure 3.53 : Banc de mesure de l'oscillateur « triple-push » verrouillé par injection sous-harmonique.

La Figure 3.54 présente la photographie détaillée du circuit réalisé et du banc de mesure.

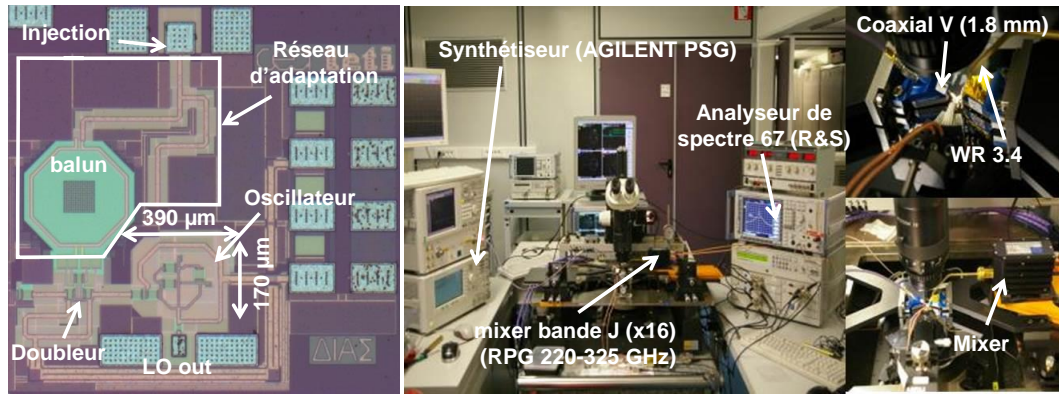


Figure 3.54 : Photographie du circuit et du banc de mesure.

L'oscillateur occupe une faible surface de $0,066 \text{ mm}^2$, malgré un réseau d'adaptation encombrant du fait de la longueur d'onde élevée dans la bande 45-50 GHz. La Figure 3.55 (a) montre la fréquence en sortie de l'oscillateur (sans injection), et la puissance correspondante. La fréquence d'oscillation est ajustée de 272 et 303 GHz en variant la tension de polarisation V_{bias_osc} entre 0,8 et 1,6 V. La puissance en sortie varie entre -25 et -9 dBm pour la même variation de V_{bias_osc} . La consommation varie entre 36 et 57 mW pour une tension d'alimentation V_{CC} de 1,1 V.

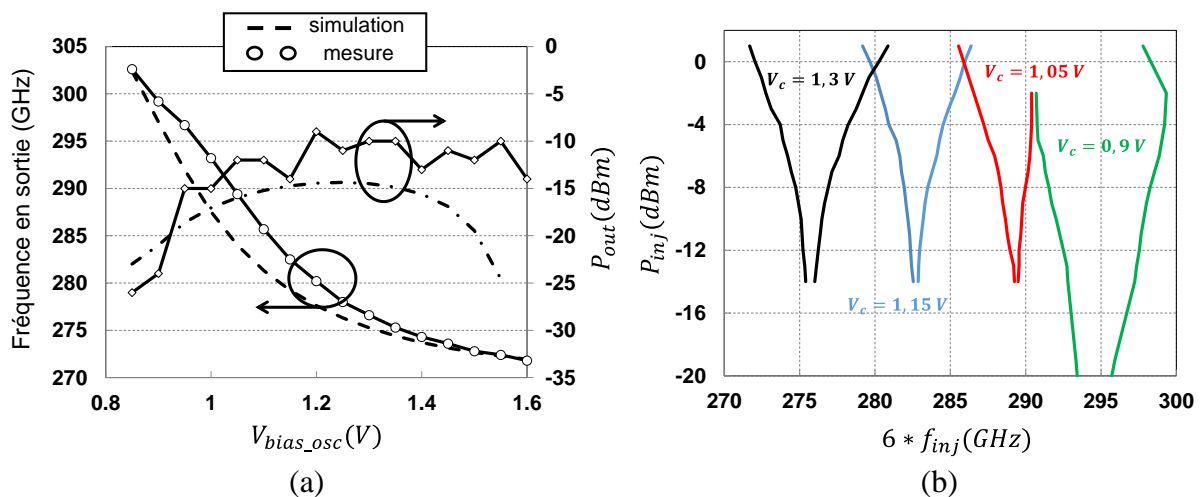


Figure 3.55 : (a) Fréquence d'oscillation libre en fonction de la tension de polarisation V_{bias_osc} , ainsi que la puissance correspondante et (b) courbes de sensibilité du SHILO pour différentes tensions de polarisation.

Les courbes de sensibilité de l'oscillateur verrouillé par injection sous-harmonique sont présentées sur la Figure 3.55 (b) pour différentes tensions de polarisation. D'après cette figure, l'oscillateur est verrouillé sur une bande entre 273 et 300 GHz, lorsqu'un signal ayant une fréquence ($f_{inj} = f_{out}/6$) est injecté en entrée. Une puissance P_{inj} inférieure à 0 dBm est nécessaire pour verrouiller l'oscillateur sur une large bande. Lors du verrouillage, la fréquence et le bruit de phase en sortie dépendent du signal injecté. Le bruit de phase et la puissance en sortie sont présentés respectivement sur la Figure 3.56 (a) et Figure 3.56 (b). Pour ces figures, la fréquence du signal d'injection est de 49,5 GHz et celle du signal de sortie est de 297 GHz.

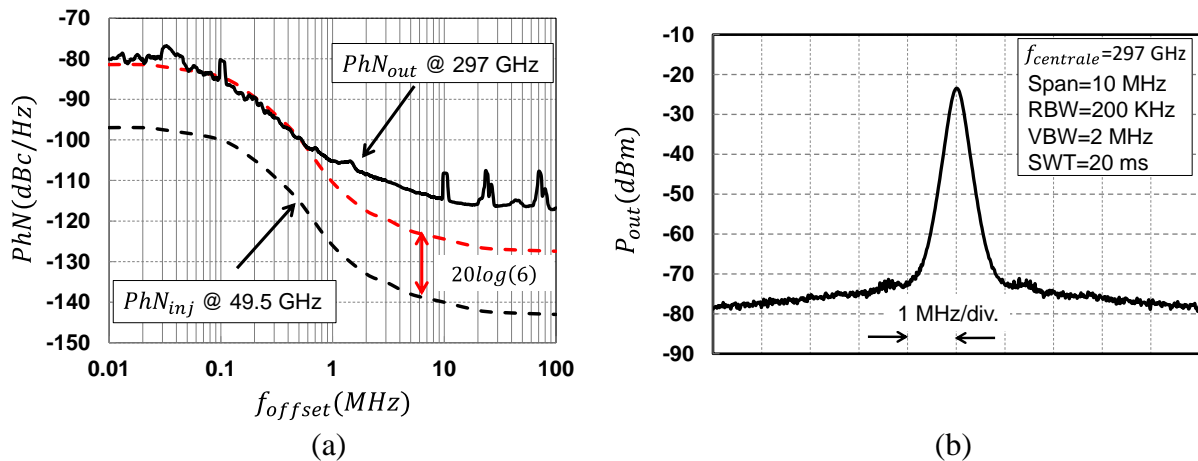


Figure 3.56 : (a) Bruit de phase en sortie de l'oscillateur verrouillé pour une fréquence d'injection de 49,5 GHz et (b) spectre en sortie à 297 GHz (49,5 GHz x 6).

D'après cette figure, pour une fréquence d'offset inférieure à 700 KHz, le bruit de phase en sortie recopie le bruit de phase de la source en ajoutant un facteur de $20 \log(6)$, qui correspond au facteur de multiplication. D'autre part, grâce au verrouillage, la pureté spectrale à 297 GHz est très bonne (Figure 3.56 (b)).

Le Tableau 3.3 compare l'oscillateur réalisé avec d'autres oscillateurs implémentés en technologie CMOS/BiCMOS opérant en bande sub-millimétrique. L'oscillateur conçu présente un ensemble *Tuning Range*, consommation et faible bruit de phase à l'état de l'art, pour une puissance de sortie située dans la moyenne des résultats précédemment publiés.

Réf.	Techno.	f_{out} (GHz)	T.R (%)	P_{out} (dBm)	Conso. (mW)	PhN à 1MHz (dBc/Hz)
[20]	BiCMOS 90 nm	280 – 303	8	-14	105	-80
[21]	CMOS 65 nm	338	2	-1	82	-93
[22]	CMOS 65 nm	288	-	-1,5	275	-87
[15]	CMOS 65 nm	285 – 290	1,7	-19	70	-80,5
[23]	CMOS 65 nm	283 – 296	4,5	-1,5	325	-78
Ce travail [18]	BiCMOS 55 nm	272 – 303	10,8	-9	52	-105

Tableau 3.3 : Comparaison entre l'oscillateur réalisé et les oscillateurs publiés récemment opérants aux alentours de 300 GHz.

3.2.5 Mélangeur passif

Cette partie est consacrée au mélangeur passif, qui sera intégré dans la chaîne d'émission en bande sub-millimétrique. Un mélangeur idéal comme présenté sur la Figure 3.57 est un

dispositif actif ou passif qui convertit un signal d'une fréquence à une autre. Il est constitué de 3 ports qui sont : RF pour le signal radiofréquence, LO pour le signal issu de l'oscillateur local et IF pour le signal à une fréquence intermédiaire.

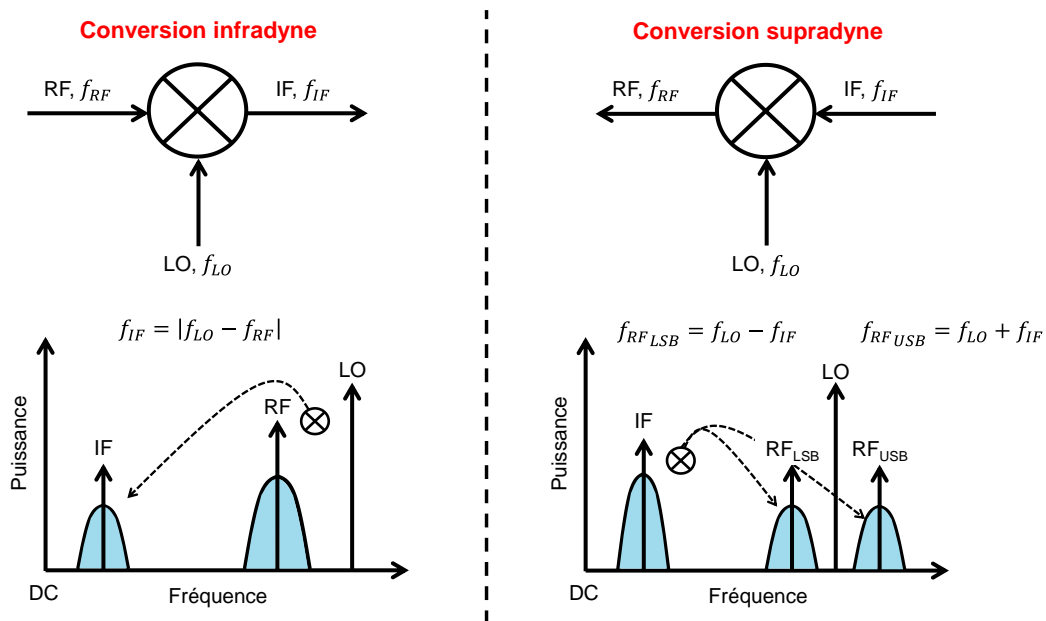


Figure 3.57 : Transposition fréquentielle réalisée par un mélangeur pour une conversion infradyne (*down-conversion*) et supradyne (*up-conversion*).

Pour la conversion infradyne ou *down-conversion*, le signal RF à f_{RF} est mélangé avec le signal LO à f_{LO} pour produire le signal IF en sortie à $f_{IF} = f_{LO} - f_{RF}$. Pour la conversion dite supradyne ou *up-conversion*, le signal IF est mélangé avec le signal LO pour générer le signal RF en sortie à $f_{RF} = f_{LO} \pm f_{IF}$. Pour la bande latérale inférieure LSB, la fréquence est $f_{RF_{LSB}} = f_{LO} - f_{IF}$, et pour la bande latérale supérieure USB la fréquence est $f_{RF_{USB}} = f_{LO} + f_{IF}$.

La littérature présente plusieurs mélangeurs réalisés en bande millimétrique en technologie silicium. Différentes applications sont visées, surtout en ce qui concerne la bande autour de 60 GHz et aussi le radar autour de 77 GHz. Il est plus rare de trouver des mélangeurs en technologie silicium opérant en bande sub-millimétrique du fait que les limitations en termes de f_t/f_{max} , engendrent des performances médiocres : des pertes de conversion élevées, mauvaise rejection, ...

Dans ces travaux, comme expliqué précédemment, on s'intéresse à réaliser une transposition de la fréquence intermédiaire (100 MHz - ~ 2 GHz) directement vers la fréquence RF en bande sub-millimétrique (270-300 GHz), afin de contourner le problème de la limitation en termes de f_t/f_{max} .

3.2.5.1 Choix de l'architecture et principe de fonctionnement

Il existe deux catégories de mélangeurs: les mélangeurs actifs et les mélangeurs passifs (résistifs). Un meilleur gain de conversion peut être obtenu grâce aux mélangeurs actifs, avec la structure cascode, la paire différentielle, ou le mélangeur de Gilbert et d'autres topologies

[24]. Toutefois, pour des faibles consommations, ces structures offrent une faible linéarité [24]. Les mélangeurs passifs offrent une meilleure linéarité. Ils utilisent la variation non-linéaire de la conductance du canal en fonction de la tension de grille [24]–[26], conduisant à un niveau des produits d'intermodulation non désirés plus faible que les topologies actives. Par contre, du fait de leur structure passive qui ne nécessite aucune alimentation, ce qui est un avantage indéniable, ces mélangeurs ont des pertes de conversion relativement élevées.

Au final la structure passive a été retenue pour sa meilleure linéarité, le mélangeur étant implémenté à la fin de la chaîne d'émission dans la bande 270-300 GHz.

La Figure 3.58 présente l'architecture du mélangeur passif.

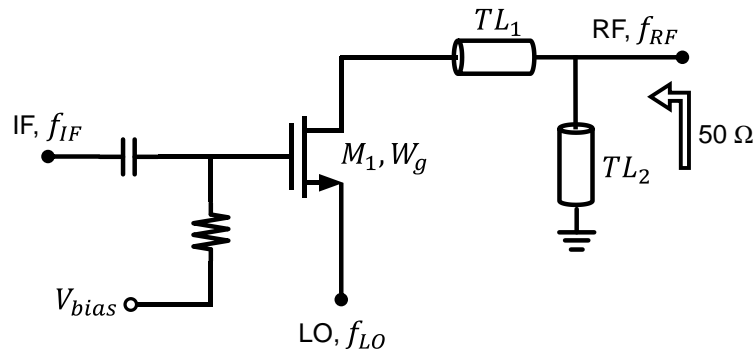


Figure 3.58 : Architecture du mélangeur passif.

Le mélangeur est constitué d'un transistor M_1 d'une largeur W_g polarisé par la tension V_{bias} . Cette architecture est inspirée des travaux présentés dans [27], où le signal IF à f_{IF} et le signal LO à f_{LO} sont injectés respectivement au niveau de la grille et de la source. Le signal RF en sortie est extrait au niveau du drain. Un réseau d'adaptation formé d'une ligne TL_1 et d'un stub TL_2 permet d'adapter la sortie du mélangeur à 50Ω .

Le principe de fonctionnement du mélangeur est présenté en détail dans [27], en analysant l'expression du courant drain qui montre ainsi le mélange réalisé.

3.2.5.2 Conception

Dans cette partie la méthodologie de conception du mélangeur passif est présentée. Premièrement, il est important d'évaluer les pertes de conversion de cette architecture, et d'identifier les paramètres permettant de réduire ces pertes. D'autre part, nous connaissons déjà les performances de l'oscillateur, ainsi que le *swing* en tension que l'on peut avoir à sa sortie. On peut donc estimer les performances du mélangeur.

Les pertes de conversion P_C du mélangeur passif sont données par :

$$P_C(dB) = P_{RF}(dBm) - P_{IF}(dBm) \quad (3.23)$$

avec P_{RF} la puissance RF en sortie du mélangeur, et P_{IF} la puissance IF disponible à l'entrée du mélangeur. Les deux puissances sont exprimées en dBm.

La Figure 3.59 (a) et (b) présente les pertes de conversion du mélangeur respectivement en fonction de la largeur de grille W_g pour $V_{bias} = 0,45$ V, et de la tension de polarisation V_{bias}

pour $W_g = 25 \mu\text{m}$. D'après cette figure, les pertes de conversion atteignent un minimum de 30 dB environ, pour une largeur de 25 μm et pour une tension de polarisation de 0,45 V.

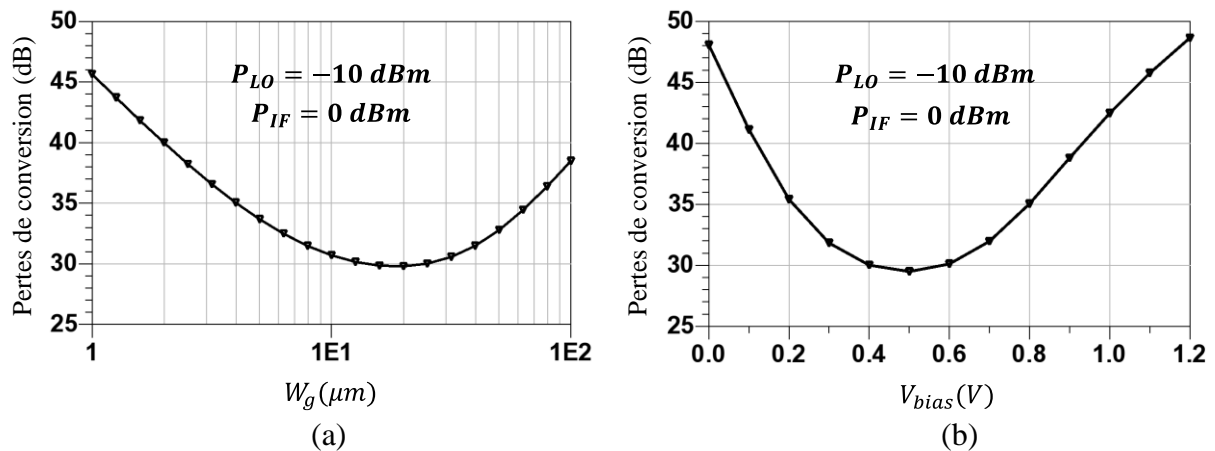


Figure 3.59 : Pertes de conversion du mélangeur: (a) en fonction de la largeur de grille du transistor W_g et (b) en fonction de la tension de polarisation V_{bias} .

La puissance RF en sortie du mélangeur est tracée sur la Figure 3.60 en utilisant les valeurs optimales de W_g et de V_{bias} . La Figure 3.60 (a) montre la puissance P_{RF} en sortie du mélangeur en fonction de la puissance P_{LO} , pour différentes puissances P_{IF} .

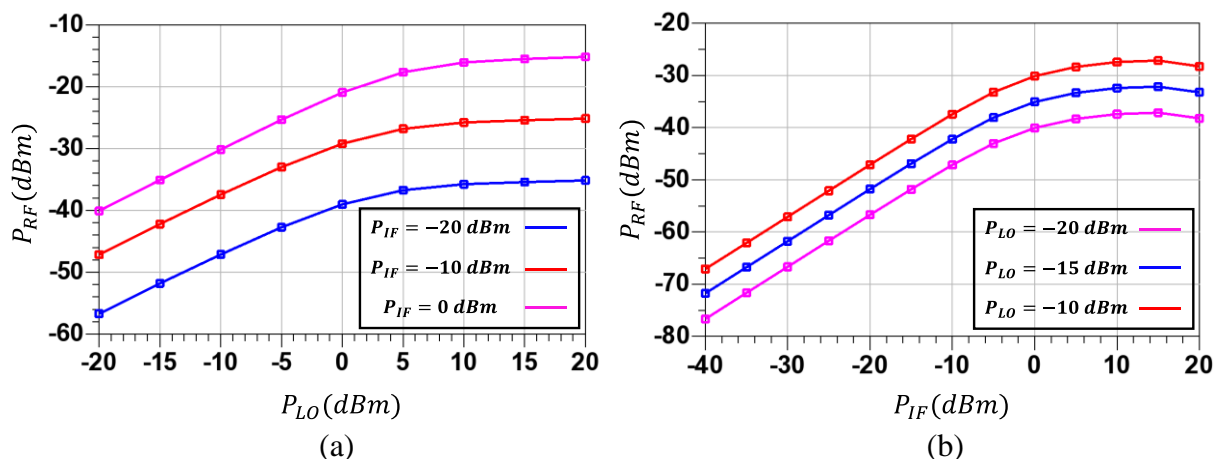


Figure 3.60 : P_{RF} en sortie du mélangeur : (a) en fonction de la puissance P_{LO} pour différentes valeurs de P_{IF} et (b) en fonction de la puissance P_{IF} pour différentes valeurs de P_{LO} .

Comme prévu, d'après cette figure, on remarque que la puissance en sortie est d'autant plus élevée que les puissances LO et IF disponibles sont élevées. Connaissant déjà la puissance disponible en sortie de l'oscillateur qui varie entre -20 dBm et -10 dBm, la Figure 3.60 (b) montre P_{RF} en fonction de P_{IF} pour les valeurs de P_{LO} obtenues en mesure. Le point de compression du mélangeur correspond à une puissance P_{IF} en entrée de 0 dBm.

3.2.6 Amplificateur IF

Les amplificateurs IF ont pour rôle d'amplifier le signal IF_{in} en entrée, en gardant un *swing* en tension et une puissance élevées à l'entrée du mélangeur. Deux amplificateurs sont utilisés. Leur architecture est présentée sur la Figure 3.61. La topologie est identique pour les deux

amplificateurs, elle repose sur une structure source commune avec une charge résistive R_{load} au niveau du drain. Concernant le 1^{er} amplificateur, le transistor M_1 est polarisé par la tension V_{g_amp1} , un réseau d'adaptation étant nécessaire pour adapter l'entrée à 50Ω . Le réseau est constitué de deux résistances ayant chacune une valeur de 100Ω . Pour le 2^{ème} amplificateur, le transistor M_2 est polarisé par la tension V_{g_amp2} . La largeur des deux transistors W_g , ainsi que R_{load} , ont été optimisées afin d'obtenir le meilleur gain en puissance et en tension à la sortie IF_{out} .

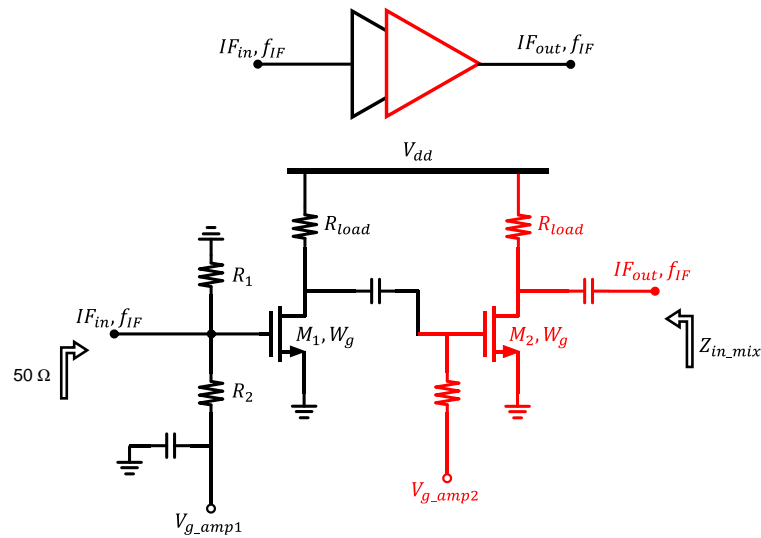


Figure 3.61 : Architecture des amplificateurs IF.

La Figure 3.62 présente le gain en tension en sortie de chaque étage des amplificateurs IF. Le gain total est de 14 dB environ.

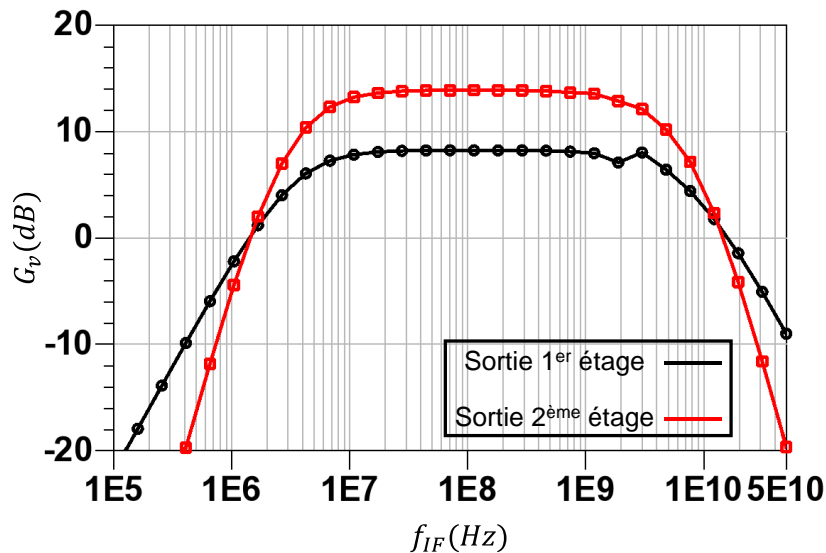


Figure 3.62 : Gain en tension en sortie de chaque étage des amplificateurs IF.

3.2.7 Résultats de l'émetteur V1

Le schéma bloc de l'émetteur présenté sur la Figure 3.10 utilise les sous-blocs décrits précédemment. Ce paragraphe présente les résultats de la première version de l'émetteur mesurée sous points. La Figure 3.63 présente le schéma du banc de mesure.

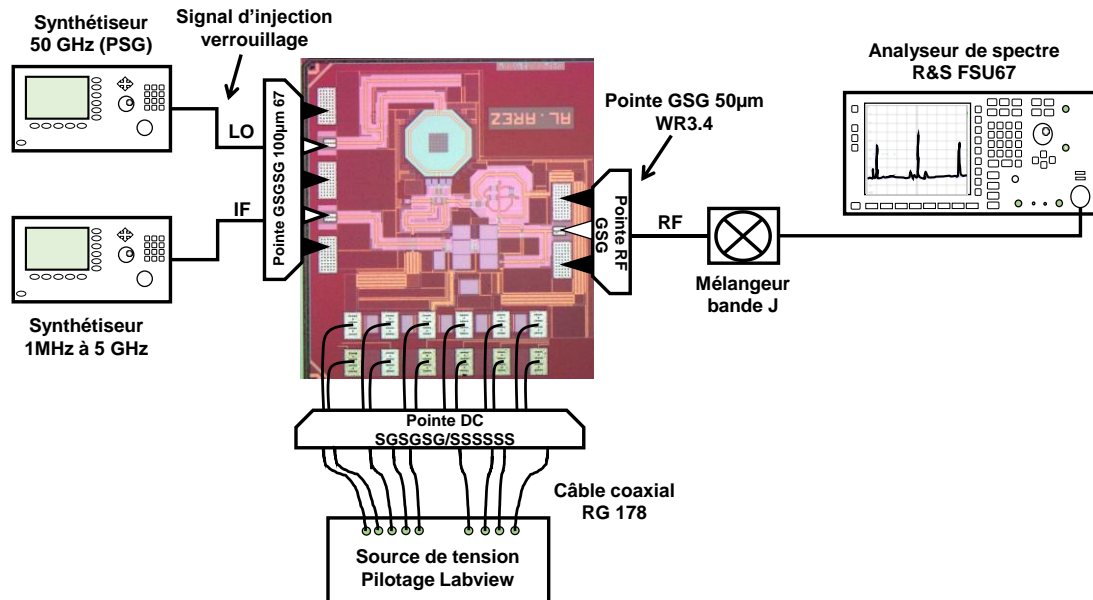


Figure 3.63 : Schéma du banc de mesure de l'émetteur intégré en bande sub-millimétrique.

Deux synthétiseurs de fréquence sont utilisés pour la génération du signal de verrouillage (LO), et le signal bande de base (IF). Les tensions de polarisation et d'alimentation sont générées par une source de tension pilotée par Labview. Un mélangeur en bande J est placé en sortie afin de pouvoir visualiser le signal RF sur l'analyseur de spectre. La Figure 3.64 montre une photographie du circuit et du banc de mesure.

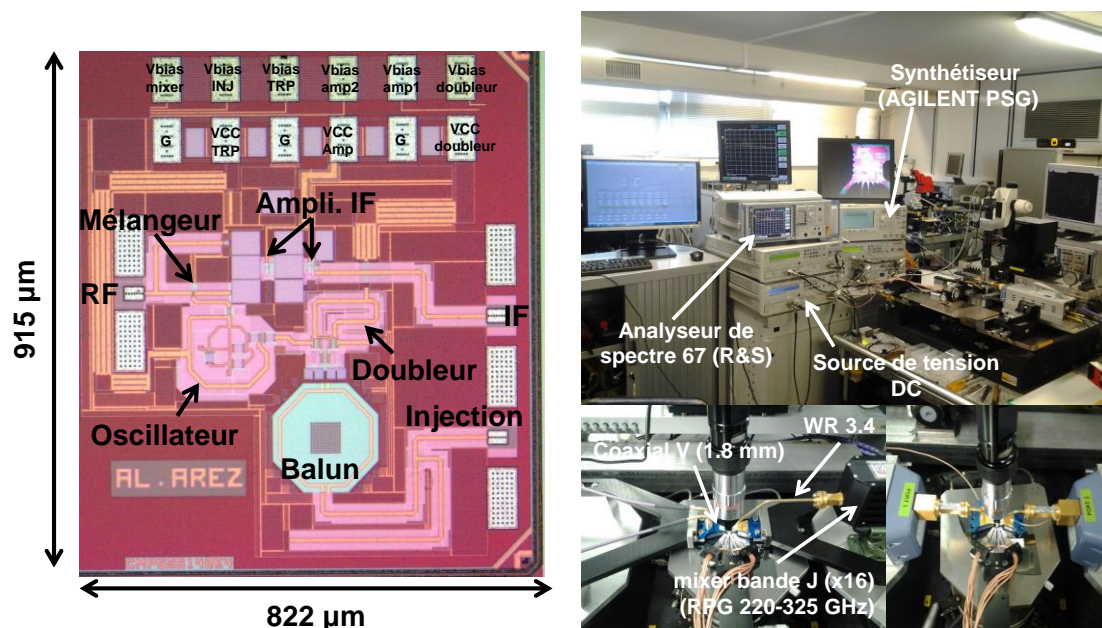


Figure 3.64 : Photographie du circuit et du banc de mesure.

Le circuit occupe une faible surface de $0,75 \text{ mm}^2$ ($822 \times 915 \text{ }\mu\text{m}^2$). Tout d'abord, des mesures statiques sont réalisées afin de s'assurer du bon fonctionnement des transistors. La caractéristique $I(V)$ de chaque bloc est tracée. La Figure 3.65 montre le courant de drain en fonction de la tension de polarisation pour chaque bloc du circuit.

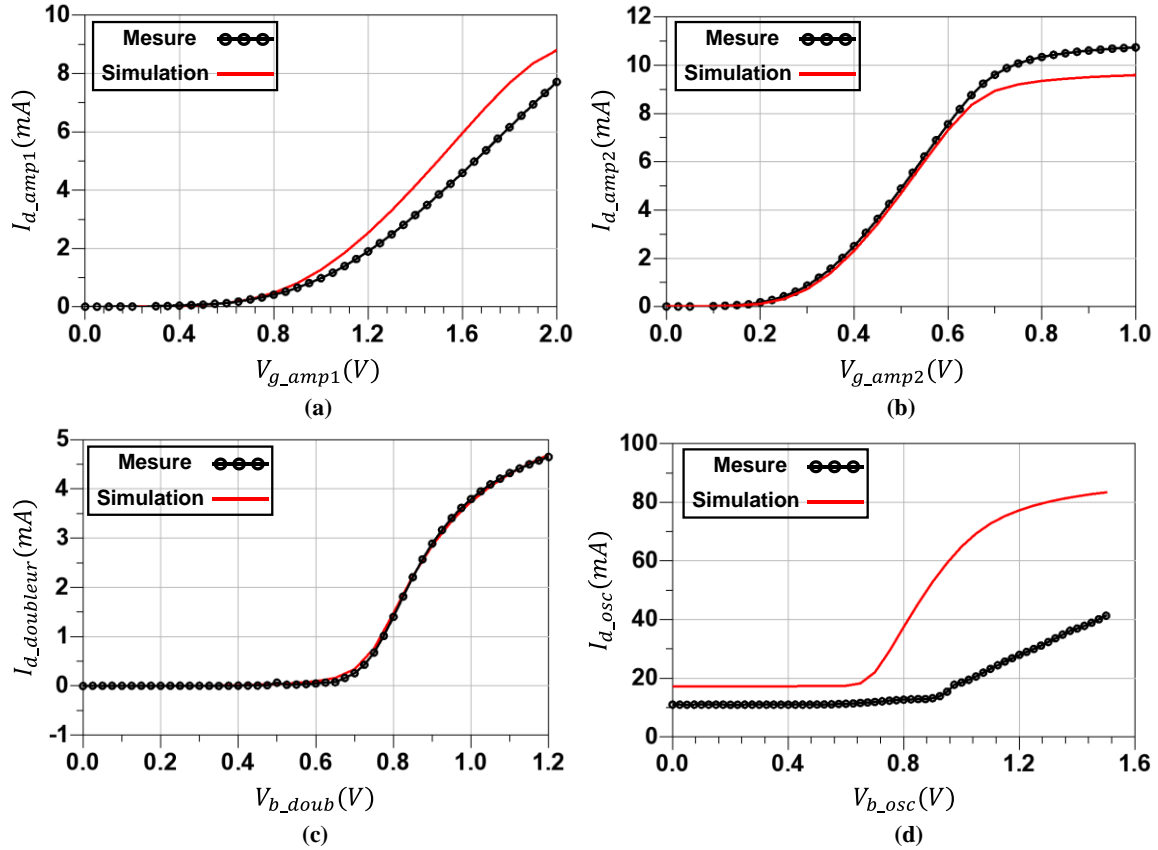


Figure 3.65: Courant de drain en fonction de la tension de polarisation: (a) 1^{er} amplificateur IF, (b) 2^{ème} amplificateur IF, (c) doubleur de fréquence et (d) oscillateur *triple-push*.

D'après cette figure, les mesures de courant correspondent bien aux simulations, sauf pour le courant de l'oscillateur qui a un fonctionnement atypique. Un décalage de la tension seuil apparaît. Les causes n'ont pu être identifiées malgré plusieurs rétro-simulations. Le fonctionnement des transistors est cependant correct, et l'ordre de grandeur de la puissance consommée est cohérent avec la simulation.

Ensuite les mesures des paramètres S à l'entrée et à la sortie de l'émetteur sont réalisées. La Figure 3.66 (a) présente le coefficient de réflexion S_{11} en fonction de la fréquence (DC \rightarrow 1 GHz) avant de poser pointes DC, donc sans polarisations. La mesure correspond à la courbe obtenue en simulation. La Figure 3.66 (b) présente S_{11} après avoir posé pointes DC, où elles sont connectées à la source de tension via des câbles coaxiaux (RG-178 : longueur de 1 m). On remarque des effets parasites sur la courbe en noir. En modélisant le câble coaxial et en ajoutant son modèle dans la simulation, on obtient le même comportement qu'en mesure (Figure 3.66 (c)). En effet, le circuit est sensible aux parasites causés par les câbles et pointes. Le découplage n'est pas suffisant surtout en basse fréquence. La Figure 3.66 (d) montre le paramètre S_{22} en sortie pour différentes tensions de polarisation. La sortie est adaptée ($S_{22} < -10 \text{ dB}$ entre 225 et 300 GHz).

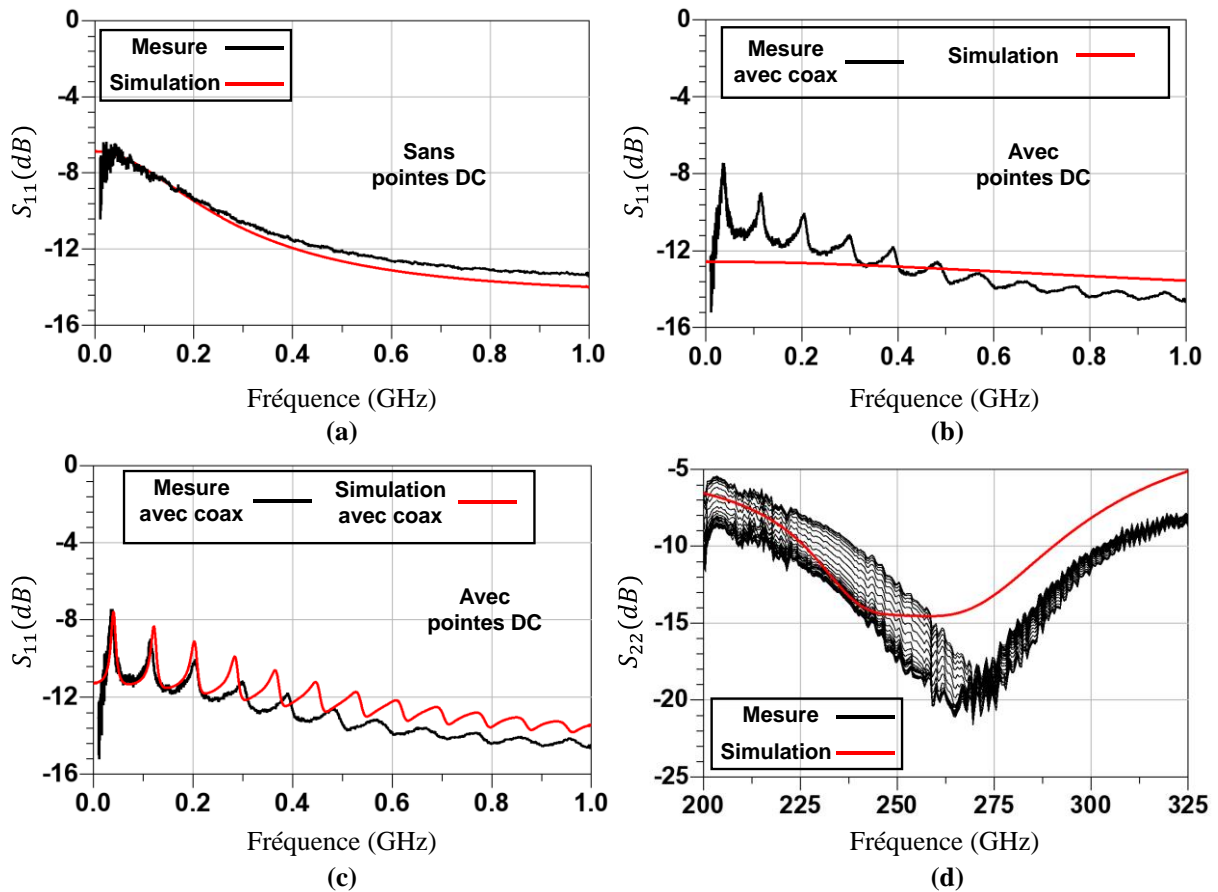


Figure 3.66 : Paramètres S de l'émetteur en fonction de la fréquence : (a) S_{11} côté entrée IF sans poser les pointes DC, (b) S_{11} en posant les pointes DC et en présence des câbles coaxiaux lors de la mesure, (c) S_{11} en posant les pointes DC et en présence des câbles coaxiaux lors de la mesure et dans la simulation et (d) S_{22} côté sortie RF.

La puissance en sortie P_{RF} et le gain en puissance G_p en fonction de la puissance d'entrée P_{IF} , sont présentés sur la Figure 3.67 pour deux fréquences f_{LO} différentes.

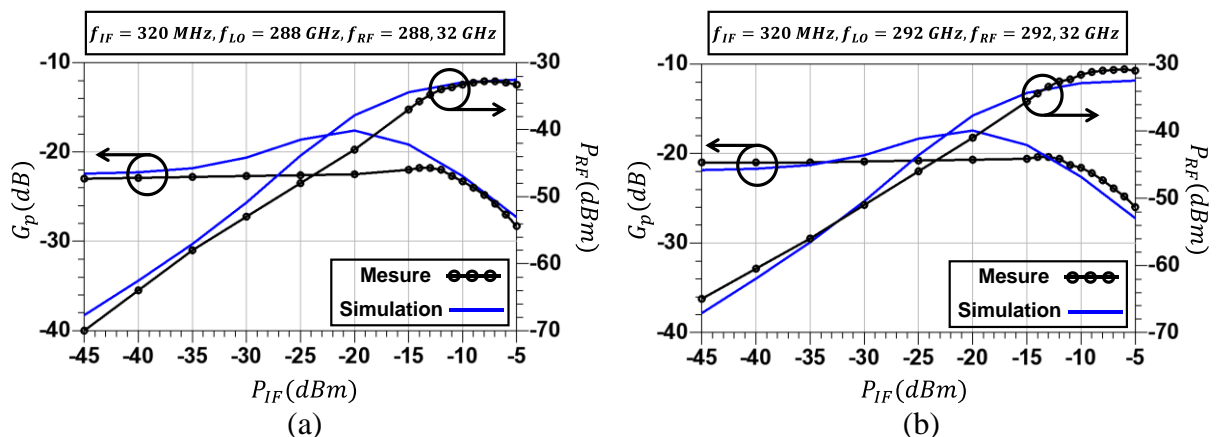


Figure 3.67 : Puissance en sortie P_{RF} et gain en puissance G_p en fonction de la puissance d'entrée P_{IF} : (a) $f_{LO} = 288$ GHz et $f_{IF} = 320$ MHz et (b) $f_{LO} = 292$ GHz et $f_{IF} = 320$ MHz.

Pour la Figure 3.67 (a) les fréquences sont : $f_{LO} = 288$ GHz et $f_{IF} = 320$ MHz ce qui conduit à un signal en sortie ayant une fréquence $f_{RF} = 288,32$ GHz. De manière similaire, pour la

Figure 3.67 (b) $f_{LO} = 292$ GHz et $f_{IF} = 320$ MHz, conduisant à une fréquence en sortie $f_{RF} = 292,32$ GHz. D'après ces figures, les mesures et les simulations montrent un bon accord pour les deux fréquences f_{LO} . La puissance en sortie est de -30 dBm environ avec -22 dB de gain en puissance. La Figure 3.68 (a) et (b) présente le gain G_p , respectivement en fonction de la fréquence f_{IF} et de la fréquence f_{RF} .

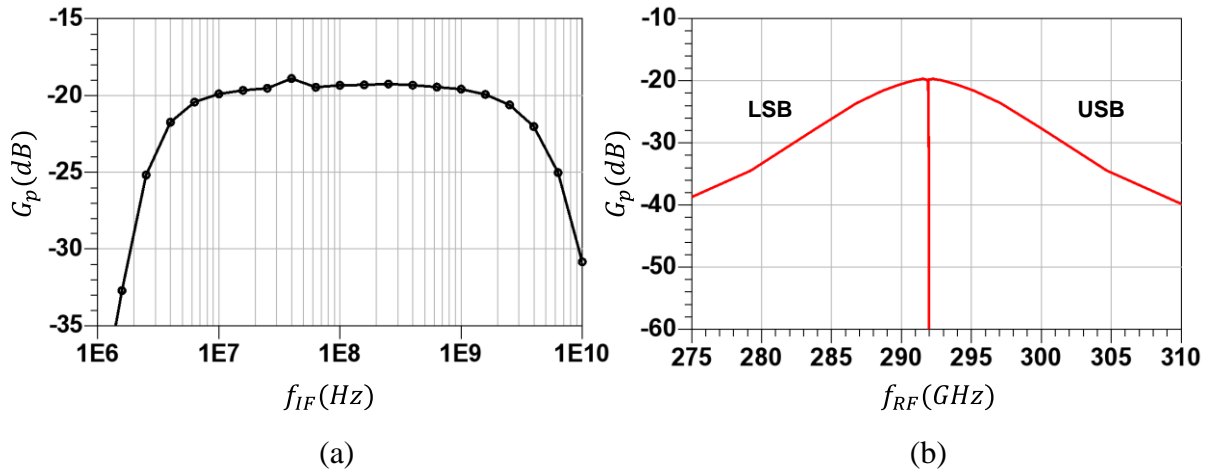


Figure 3.68 : Gain en puissance de l'émetteur : (a) en fonction de la fréquence f_{IF} et (b) en fonction de la fréquence f_{RF} .

La figure (a) donne une indication sur la bande passante (à -3 dB) qui vaut 4 GHz environ. La figure (b) montre la transposition du signal bande de base à la fréquence RF, en montrant ainsi les deux bandes latérales (LSB et USB) autour de la porteuse.

la puissance générée en sortie et le gain en puissance sont faibles, du fait que cette architecture n'intègre pas d'amplificateur de puissance pour amplifier le signal en sortie du mélangeur. Les pertes de conversion élevées du mélangeur passif limitent également les performances de l'émetteur. En effet pour une puissance P_{LO} fixe, le niveau de puissance à la sortie RF dépend principalement du point de compression du mélangeur qui est faible. Néanmoins, le gain en puissance dans la zone linéaire peut être amélioré en optimisant les amplificateurs IF et en minimisant simplement les interconnexions entre les blocs. En effet, La Figure 3.69 montre la photographie du circuit avec un « zoom » sur les voies LO et IF à l'entrée du mélangeur.

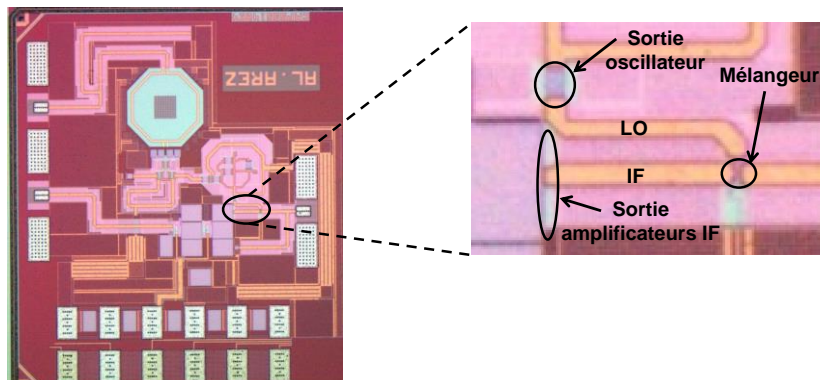


Figure 3.69 : photographie du circuit qui montre les connexions supplémentaires sur les voies LO et IF.

Des connexions ont été nécessaires entre la sortie de l'oscillateur et le mélangeur, et également entre la sortie des amplificateurs IF et le mélangeur. D'après l'analyse des résultats de mesures, et plusieurs rétro-simulations, ces connexions semblent être la cause principale du faible gain en sortie.

3.2.8 Emetteur V2 et résultats

Une deuxième version de l'émetteur a été réalisée avec pour but d'optimiser le gain de la voie IF, en supprimant toute connexion à l'entrée du mélangeur (Figure 3.70), et en améliorant le découplage au niveau de l'alimentation. Trois amplificateurs IF ont été ajoutés, comme le montre la Figure 3.71.

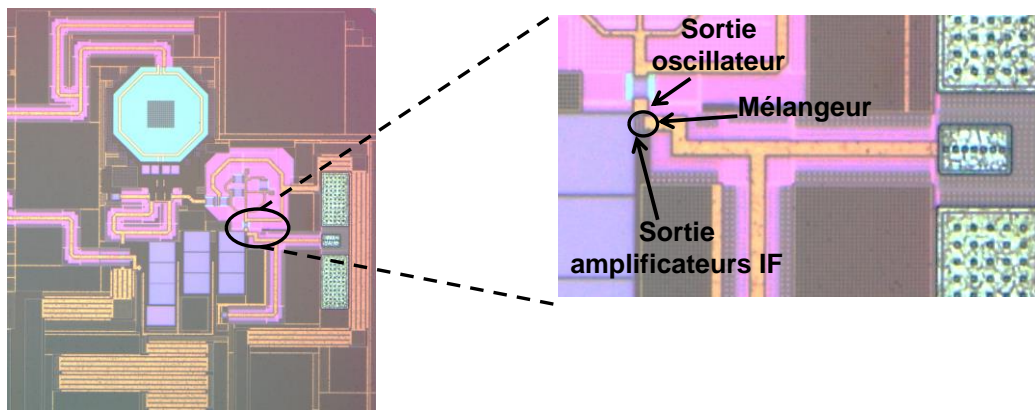


Figure 3.70 : Photographie du circuit (version 2) sans interconnexions entre les blocs.

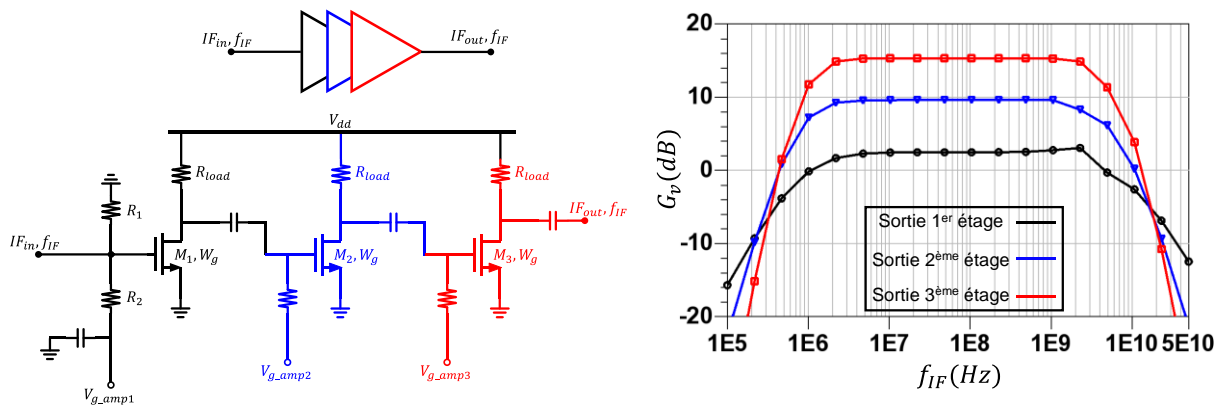


Figure 3.71 : Architecture des amplificateurs IF et gain en tension en fonction de f_{IF} .

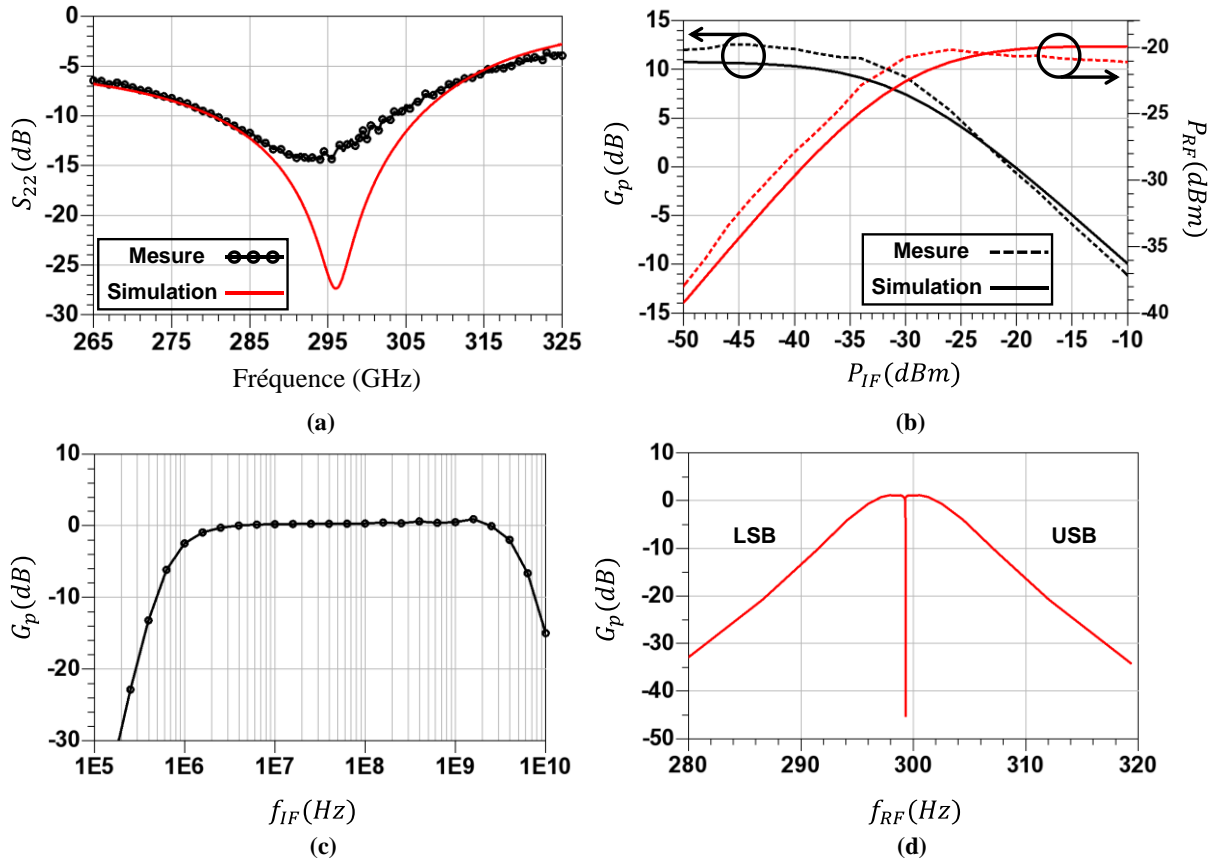


Figure 3.72 : (a) Coefficient de réflexion en sortie de l'émetteur, (b) puissance en sortie P_{RF} et gain en puissance G_p en fonction de la puissance d'entrée P_{IF} pour $f_{LO} = 285$ GHz et $f_{IF} = 20$ MHz (b) G_p en fonction de f_{IF} pour $P_{IF} = -25$ dBm et (d) G_p en fonction de f_{RF} pour $P_{IF} = -25$ dBm.

Le banc de mesure est similaire à celui utilisé pour la première version.

La Figure 3.72 (a) présente le coefficient de réflexion en sortie de l'émetteur (S_{22}), le circuit présente une bonne adaptation ($S_{22} < -10$ dB) dans une bande de 25 GHz. La puissance en sortie P_{RF} et le gain en puissance G_p , sont présentés sur la Figure 3.72 (b) pour $f_{LO} \sim 285$ GHz et $f_{IF} = 20$ MHz. D'après cette figure la puissance en sortie est de -20 dBm environ et le gain en puissance est de 12 dB environ. La puissance de sortie est améliorée de 5 dB et le gain de 29 dB en comparaison avec la première version du circuit. Les mesures sont en bon accord avec les résultats de simulation. La Figure 3.72(c) présente G_p en fonction de f_{IF} pour une puissance $P_{IF} = -25$ dBm. Finalement la Figure 3.72 (d) présente G_p en fonction de f_{RF} pour une puissance $P_{IF} = -25$ dBm montrant ainsi les deux bandes LSB et USB.

Le Tableau 3.4 résume les performances des émetteurs réalisés (version 1 et 2). Une comparaison entre les performances obtenues et l'état de l'art des émetteurs réalisés est également présentée.

Ref.	Techno.	Fréq. (GHz)	P_{out} (dBm)	G_p (dB)	BW (GHz)	Conso. (mW)	Surface (mm ²)
[28]	BiCMOS 0,13 μ m	380	-14 (sim.)	-22,5	15	190	-
[1]	BiCMOS 0,13 μ m	434	-20	-	-	117,9	1,74
[29]	CMOS 65 nm	294	-3,2	-	-	258	0,55
[3]	CMOS 65 nm	240	0	-	-	220	2
[30]	BiCMOS 0,13 μ m	317	0,9	-	-	610	2,08
[4]	CMOS40 nm	300	-14,5	-11	30	1400	6
[31]	BiCMOS 0,13 μ m	240	-6	16	20	1033	1,7
Ce travail TX_V1	BiCMOS 55 nm	300	-30	-22	8 (sim)	95	0,75
TX_V2	BiCMOS 55 nm	285	-20	12	8	124	0,86

Tableau 3.4 : Comparaison entre les performances des émetteurs réalisés et les émetteurs présents dans la littérature.

D'après ce tableau, les circuits réalisés occupent une faible surface et offrent une faible consommation par rapport aux autres émetteurs. La puissance en sortie est acceptable avec un gain en puissance positif pour la version 2.

3.3 Antenne intégrée

3.3.1 Introduction et état de l'art des antennes intégrées en bande sub-millimétrique

L'antenne est un élément passif qui permet de convertir le signal électrique en une onde électromagnétique. Elle constitue une interface entre un milieu de propagation guidé et l'espace libre. Sans être exhaustif, il existe plusieurs types d'antennes utilisées dans diverses applications, comme : l'antenne dipôle, l'antenne patch, l'antenne Yagi ... chaque type d'antenne permet d'atteindre des performances différentes.

Les dimensions de l'antenne diminuent avec la fréquence, ce qui permet une intégration plus simple, en particulier en bande millimétrique. L'intégration de l'antenne sur puce permet de limiter les pertes supplémentaires souvent causées par les interconnexions. Plusieurs antennes ont été développées en technologie CMOS/BiCMOS pour diverses applications : communications haut débit autour de 60 GHz, applications radars (76-81 GHz), ... Néanmoins, les performances des antennes en technologies silicium sont médiocres, du fait des pertes dans le substrat silicium. En effet, le substrat silicium ayant une faible résistivité ($\approx 12 \Omega \cdot \text{cm}$) et une permittivité élevée ($\epsilon_r = 11,9$) absorbe une grande partie de la puissance rayonnée [32].

Les grandeurs qui permettent de caractériser une antenne sont :

- La directivité D définie par le rapport entre la puissance rayonnée P dans une direction donnée (θ, φ) et la puissance émise par une antenne isotrope P_{iso} :

$$D = \frac{P}{P_{iso}} \quad (3.24)$$

- Le gain G défini par la concentration de puissance par rapport à une antenne isotrope sans pertes dans une direction donnée. Le gain est exprimé en dB.
- Le rendement défini par le rapport entre la puissance totale rayonnée P_R et la puissance fournie en entrée P_{in} .

$$P_R = \eta \cdot P_{in} \Rightarrow G = \eta \cdot D \quad (3.25)$$

Le diagramme de rayonnement est une représentation graphique de la variation de P_R dans différentes directions de l'espace. Il présente les directions pour lesquelles P_R est maximale. La largeur du lobe principal est caractérisée par l'angle d'ouverture. L'angle d'ouverture à 3 dB correspond à l'angle pour lequel P_R est égale à la moitié de la puissance rayonnée dans la direction la plus favorable.

La Figure 3.73 présente un exemple d'un diagramme de rayonnement d'une antenne montrant ainsi le lobe principal, les lobes secondaires et l'ouverture à 3 dB.

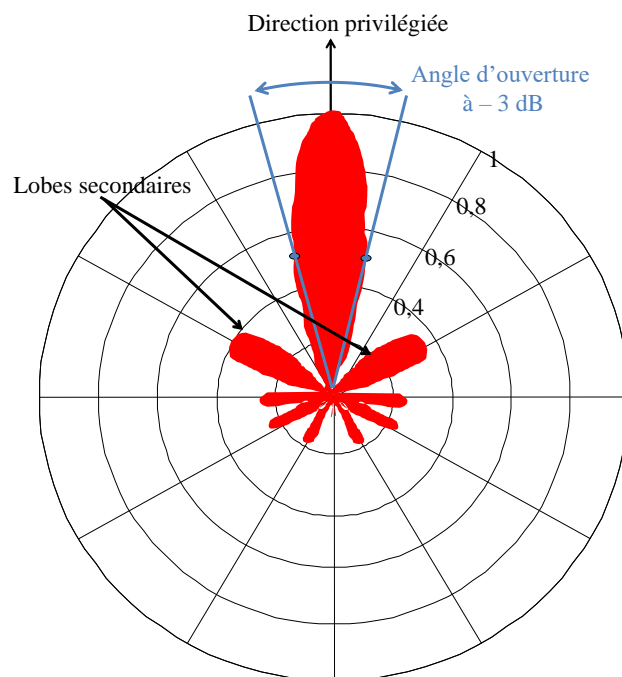


Figure 3.73: Exemple d'un diagramme de rayonnement d'une antenne montrant ainsi le lobe principal, les lobes secondaires et l'ouverture à 3 dB.

Le Tableau 3.5 résume les performances des antennes implémentées récemment en technologie CMOS/BiCMOS en bande sub-millimétrique.

Ref.	Tech.	Type	Freq. (GHz)	BW (GHz) $S_{11} < -10dB$	Gain (dB)	Direc. (dB)	Eff (%)
[33]	CMOS 45 nm	Patch	380	24	3,4	6,95	44
[34]	CMOS 65 nm	Patch	338	6	-	6	-
[28]	BiCMOS 0,13 μ m	Patch	360	7,2	6,3	9,66	46
[1]	BiCMOS 0,13 μ m	Fente SIW	420	35	-0,55	3,54	49,8
[2]	CMOS 90 nm	Dipôle + 2 directeurs	245	-	5,78	10,6	33
[3]	CMOS 65 nm	Fente en anneau	240	30	1,5	10	14

Tableau 3.5 : Performances des antennes implémentées récemment en technologie CMOS/BiCMOS en bande sub-millimétrique.

Les deux structures les plus utilisées sont le patch et le dipôle. Le gain est relativement faible et atteint parfois des valeurs négatives. L'efficacité de l'antenne est également limitée, inférieure à 50 %.

3.3.2 Conception d'une antenne « corne de taureau » en bande sub-millimétrique

Dans cette partie la conception d'une antenne « corne de taureau » en bande sub-millimétrique est présentée. L'étude et la conception de cette antenne sont réalisées par Anh Tu HO doctorant au laboratoire. La méthode de conception consiste à prendre en compte l'environnement de l'antenne qui sera présent lors des mesures. Cet environnement contient différents éléments sur la puce et autour de la puce (i.e : les *wire bonding*, le circuit en amont de l'antenne, la cavité dans le PCB, l'espacement D entre l'antenne et le *seal-ring*...). En bande sub-millimétrique l'impact de cet environnement sur les performances de l'antenne n'est pas négligeable et doit être considéré.

Dans un premier temps une antenne dipôle a été étudiée. Comme le montre la Figure 3.74 (a), elle est composée de deux brins identiques, ayants une longueur totale d'une demi-longueur d'onde $\lambda/2$. Un balun permet le passage du mode single au mode différentiel pour alimenter le dipôle. Ensuite pour optimiser les performances de l'antenne, le dipôle a été transformée en une antenne en nœud de papillon *Bowtie* (Figure 3.74 (b)), puis corne de taureau, cette structure permettant d'élargir la bande passante de l'antenne [35], [36], en modifiant la forme et la taille des brins (Figure 3.74 (c)).

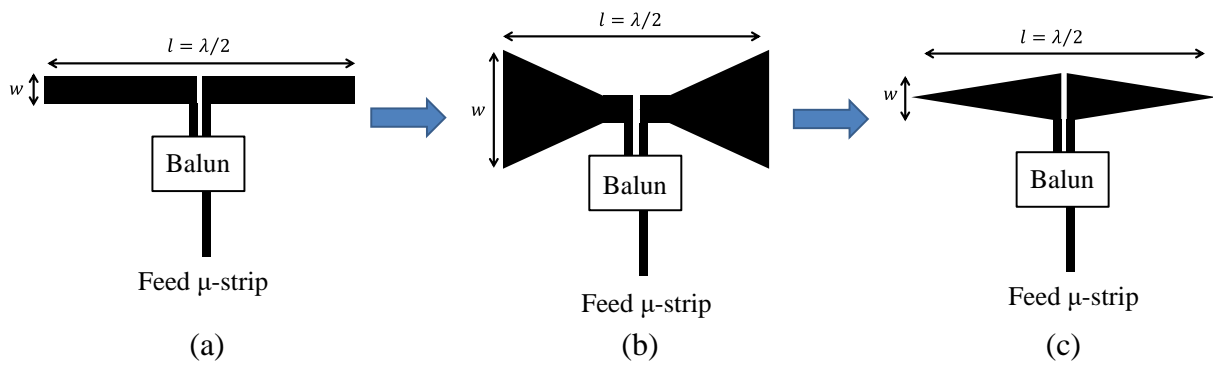


Figure 3.74 : Structure de l'antenne : (a) dipôle, (b) *bowtie* et (c) corne de taureau.

La Figure 3.75 montre une représentation en coupe de l'antenne intégrée et du BEOL de la technologie BiCMOS 55 nm.

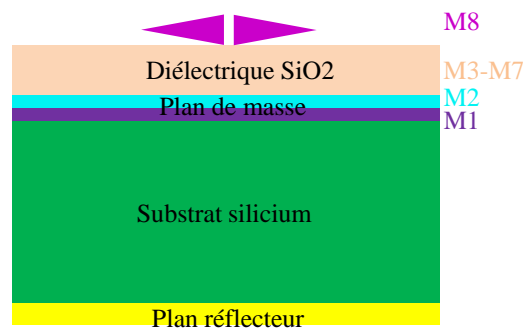


Figure 3.75 : Représentation en coupe de l'antenne intégrée et le BEOL de la technologie BiCMOS 55 nm.

L'antenne est implémentée sur le niveau de métal le plus élevé (M8) pour réduire les pertes métalliques. Le plan de masse est réalisé avec un empilement de deux niveaux (M1-M2). Une couche de diélectrique SiO_2 sépare le plan de masse de l'antenne.

La Figure 3.76 (a) montre le circuit de l'antenne avec son environnement.

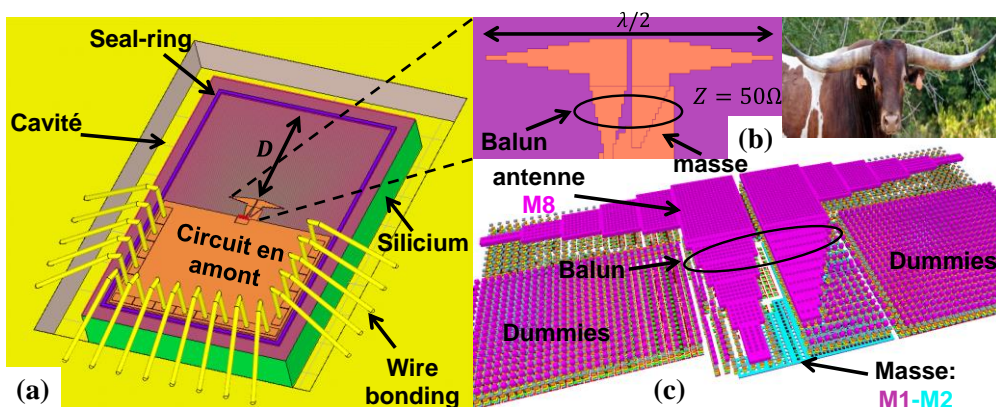


Figure 3.76 : Antenne corne de taureau : (a) Circuit de l'antenne sous CST, (b) zoom sur l'antenne et le balun et (c) *layout* de l'antenne sous Cadence.

L'antenne a été conçue et simulée sous CST Microwave studio 2015. Le circuit en amont est considéré comme un plan de masse pour l'antenne. L'antenne a été optimisée pour un fonctionnement entre 270 et 300 GHz. Le circuit total est prévu pour être reporté sur PCB et

placé dans une cavité. Le PCB forme ainsi un plan réflecteur pour l'antenne. Les *wire bonding* sont ajoutés autour de circuit. Un zoom de l'antenne est montré sur la Figure 3.76 (b). Deux structures métalliques couplées entre elles forment le balun. L'antenne présente une impédance d'entrée de 50Ω . Elle est excitée par une ligne micro-ruban. La Figure 3.76 (c) présente le *layout* de l'antenne. Des *dummies* ont été ajoutés autour de l'antenne pour respecter les règles de densité. Leur influence n'a pas pu être étudiée à cause du temps de simulation qui devient trop long. La Figure 3.77 présente le coefficient de réflexion et le gain de l'antenne en fonction de la fréquence.

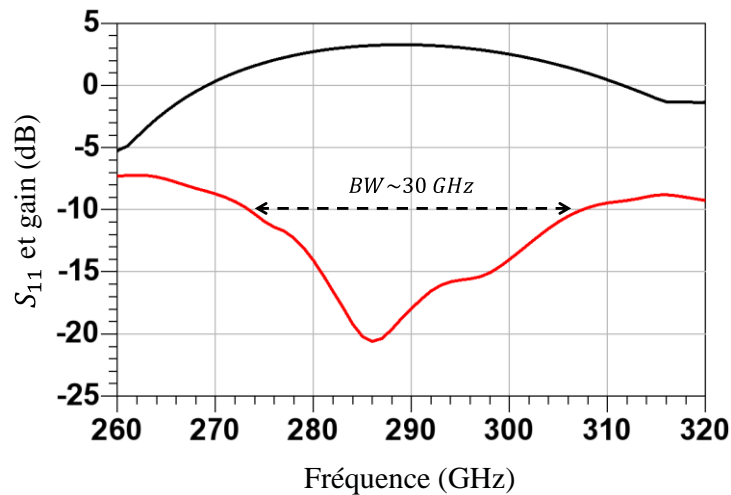


Figure 3.77 : Coefficient de réflexion S_{11} et gain de l'antenne en fonction de la fréquence.

L'adaptation est acceptable $S_{11} < -10$ dB sur une large bande de 30 GHz (275-305 GHz). Le gain maximal est de 3,4 dB environ à 290 GHz. Le gain est positif (> 0 dB) sur une bande allant de 270 GHz jusqu'à 310 GHz. La Figure 3.78 montre la représentation 3D du diagramme de rayonnement.

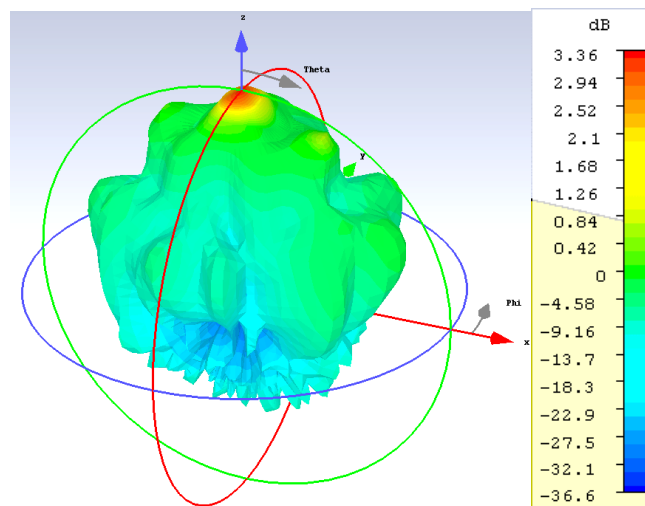


Figure 3.78: Représentation 3D du diagramme du rayonnement.

La Figure 3.79 (a) et (b) montre respectivement la représentation polaire du diagramme de rayonnement pour $\varphi = 90^\circ$ et $\varphi = 180^\circ$ en fonction de θ . Dans les deux cas, le gain maximal est le même. La directivité de l'antenne est de 12,3 dB et l'efficacité est de 13% environ.

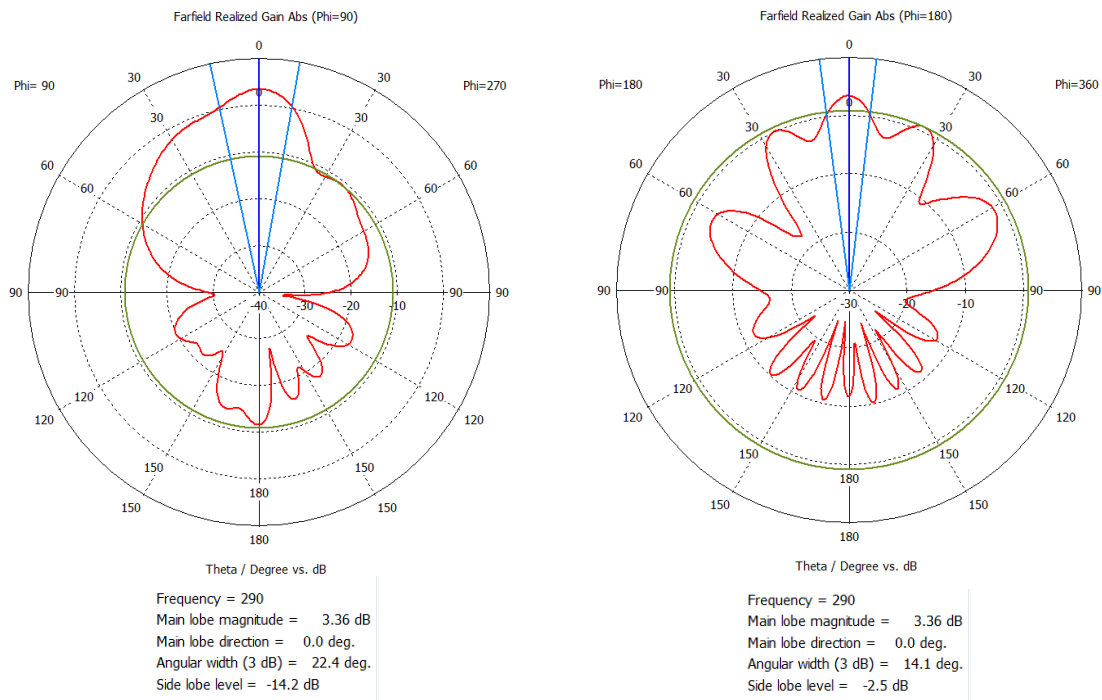


Figure 3.79 : représentation polaire du diagramme de rayonnement montrant le gain :
(a) $\varphi = 90^\circ$ et (b) $\varphi = 180^\circ$.

3.4 Déphaseur intégré dans la bande millimétrique

3.4.1 Introduction et contexte

Les déphaseurs sont des éléments essentiels dans les systèmes de formation de faisceau. Ils permettent d'ajuster la phase de chaque chemin du réseau, afin d'orienter électroniquement le faisceau dans une direction voulue. Il existe plusieurs topologies de déphaseurs présentés dans la littérature, avec différentes techniques de contrôle. On peut classer les déphaseurs en trois grandes catégories : les déphaseurs mécaniques, à ferrite et électroniques. Dans ce qui suit, on s'intéresse à l'étude et la réalisation d'un déphaseur électronique.

Cette partie du chapitre présente l'étude et la réalisation d'un déphaseur de type RTPS (« Reflection-Type Phase Shifter ») intégré dans la bande millimétrique. Ce déphaseur est implémenté au niveau de la voie LO du système de formation de faisceau (« LO phase shifting ») dans la bande (45-50 GHz). Le cahier des charges du déphaseur est choisi en fonction des spécifications du système, qui sont imposées par les blocs déjà réalisés. Dans un premier temps, les topologies les plus répandues sont présentées, ainsi que l'état de l'art des déphaseurs, réalisés en technologie intégrée dans la bande millimétrique. Le choix du déphasage au niveau de la voie LO ainsi que de l'architecture globale, sont justifiés par la suite. Cette partie sera suivie par une étude théorique, qui permet de comprendre le principe de fonctionnement du RTPS. La conception du RTPS est divisée en deux parties : la première partie comporte l'étude et la réalisation d'un coupleur basé sur des lignes couplées à ondes lentes. L'étude et la conception de la charge réfléchive est présentée dans la deuxième partie. Finalement, la dernière partie contient les résultats de mesure du déphaseur.

3.4.2 Les déphaseurs : Topologies et revue sur l'état de l'art

Un déphaseur idéal est un circuit deux ports, qui permet de déphaser un signal appliqué à son entrée sans présenter de pertes d'insertion. La Figure 3.80 montre un déphaseur idéal, ainsi que la forme temporelle des signaux d'entrée et de sortie.

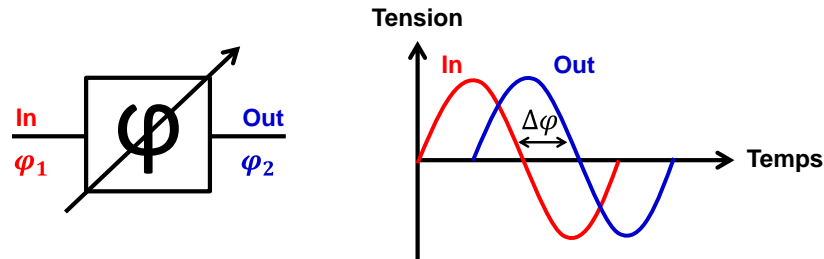


Figure 3.80 : Symbole d'un déphaseur idéal et forme temporelle des signaux d'entrée et de sortie.

Supposons qu'à l'entrée le signal de référence *In* a une phase φ_1 , et que le signal de sortie *Out* a une phase φ_2 . Alors la différence de phase $\Delta\varphi$ entre les deux signaux est définie par :

$$\Delta\varphi = \varphi_2 - \varphi_1 \quad (3.26)$$

Cette différence de phase imposée par le déphaseur peut être variable en fonction de la topologie du déphaseur. En pratique un déphaseur présente des pertes d'insertion limitant ses performances globales.

3.4.2.1 Caractéristiques et topologies des déphaseurs

Plusieurs types de déphaseurs sont présentés dans la littérature. Ils peuvent être classés comme passifs ou actifs, avec un contrôle analogique ou digital. Les déphaseurs à réseau commuté, les lignes chargées, les déphaseurs par réflexion et les déphaseurs basés sur une modulation vectorielle sont les plus répandus. De même la variation des pertes en fonction du déphasage, la bande passante, la résolution ainsi que la précision des déphaseurs sont aussi des critères importants. De plus les déphaseurs doivent être simples à contrôler, occuper une faible surface et consommer peu.

Les performances des déphaseurs à considérer sont présentées ci-dessous :

- Le déphasage réalisé $\Delta\varphi$ en °,
- Les pertes d'insertion PI en dB,
- La variation de pertes pour les différents états Δ_{PI} en dB,
- La bande passante (exemple de critère $S_{11} < -10$ dB) en GHz,
- La consommation en mW,
- La surface en mm^2 ,
- La figure de mérite (FoM) définie par $\text{FoM}(\text{°/dB}) = \frac{\Delta\varphi_{\text{max}}(\text{°})}{PI_{\text{max}}(\text{dB})}$

Les topologies les plus courantes dans la littérature sont décrites dans les paragraphes qui suivent.

- **Déphaseur à réseau commuté**

Ce type de déphaseur est composé de plusieurs voies (un déphaseur n bits nécessitant 2^n voies). Chaque voie est constituée d'un réseau formé par une ligne de longueur électrique différente, comme le montre la Figure 3.81 (a).

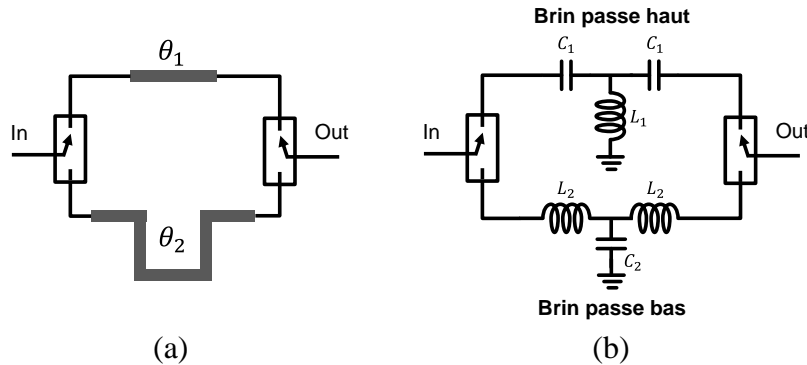


Figure 3.81 : Déphaseur à réseau commuté : (a) à base de lignes et (b) à base de filtres réalisés par des éléments localisés.

En fonction de la position du commutateur (« switch »), le signal en sortie subit le déphasage correspondant par rapport à l'entrée. Les lignes de transmissions peuvent être remplacées par des filtres réalisés par des éléments localisés ou distribués, selon la fréquence de fonctionnement. Un brin est constitué par un filtre passe haut, et l'autre par un filtre passe bas (Figure 3.81 (b)). Cependant ce type de déphaseur permet d'obtenir un déphasage fixe qui dépend de la longueur de la ligne ou bien de la réponse du filtre. Ce déphaseur occupe une grande surface (lignes, inductances, capacités) pour un nombre de bits élevé. De même, les commutateurs de 1 vers N à ces fréquences, ont des pertes d'insertion élevées et une mauvaise isolation, ce qui est engendre des pertes élevées pour le déphaseur.

- **Déphaseur à ligne chargée**

La Figure 3.82 présente l'architecture du déphaseur à ligne chargée.

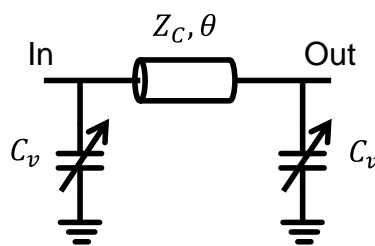


Figure 3.82 : Déphaseur à ligne chargée.

Le concept de ce déphaseur est d'utiliser des charges (ex: des varactors), pour changer la longueur électrique d'une ligne de transmission ayant une longueur électrique fixe θ et une impédance caractéristique Z_C . Les charges sont connectées aux extrémités de la ligne et sont contrôlées d'une façon digitale ou analogique. Cependant, à cause de la variation des caractéristiques de la ligne, cette structure présente une forte désadaptation.

- **Déphaseur à charge en réflexion (RTPS)**

La Figure 3.83 présente l'architecture du RTPS qui est composé d'un coupleur 3 dB, ayant des charges réfléchives Z_L connectées aux sorties 3 et 4, les ports 1 et 2 correspondent respectivement à l'entrée et la sortie étant les entrée et sortie du déphaseur.

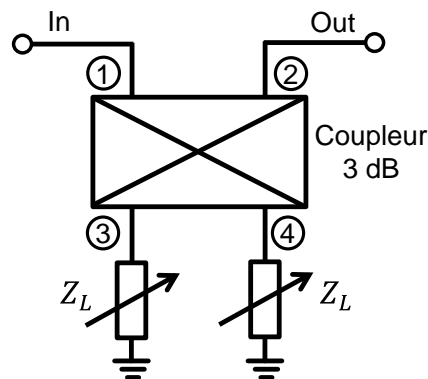


Figure 3.83 : Déphaseur à charge en réflexion (RTPS).

Avec cette configuration, en supposant que Γ est le coefficient de réflexion au niveau des ports 3 ou 4, le déphasage entre 1 et 2 est égal à la phase de Γ plus 90° . On obtient alors un déphaseur entre les ports 1 et 2. Si la charge Z_L est purement réactive, cela conduit à l'absence de pertes de puissance dans la charge. Alors, la puissance est complètement transmise en sortie. L'avantage principal de cette structure est qu'elle garde une adaptation en entrée et en sortie malgré le changement de la phase, du fait de la présence du coupleur. Le déphasage dépend uniquement du type de charge réactive utilisée ; ainsi cette structure permet d'obtenir des déphasages quelconques. L'inconvénient de cette structure est lié aux pertes du coupleur, surtout aux fréquences millimétriques, et à la surface occupée par le coupleur.

- **Déphaseur basé sur une modulation vectorielle**

La Figure 3.84 présente un déphaseur basé sur un modulateur vectoriel.

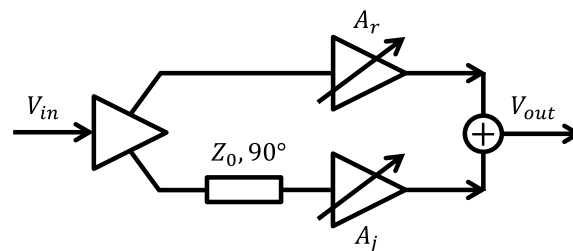


Figure 3.84 : Déphaseur basé sur un modulateur vectoriel.

Il est composé de deux voies où les signaux sont en quadrature I/Q (0 et 90°). Chaque voie contient un amplificateur à gain variable (VGA), ayant respectivement un gain A_r et A_j . Le signal en sortie et le déphasage sont donnés par :

$$V_{out} = (A_r + jA_j)V_{in}, \phi = \arctan(A_j/A_r) \quad (3.27)$$

Le déphasage peut être varié en réglant le rapport A_j/A_r . Les sorties des amplificateurs sont recombinaées ensuite. Les deux avantages principaux de ce type de déphaseur est la précision sur le déphasage réalisé, et sa faible surface. En outre, s'agissant d'un déphaseur

actif, le signal peut être amplifié. Les inconvénients principaux sont la consommation, le facteur de bruit élevé et la linéarité, moins bonne que les déphaseurs passifs.

Le Tableau 3.6 ci-dessous présente une comparaison entre les caractéristiques des structures actives et passives.

	Structure active	Structure passive
Pertes d'insertion	-	☹
Gain	☺	-
Consommation	☹	☺
Linéarité	☹	☺
Facteur de bruit	☹	-
Surface	☺	☹
Simplicité du contrôle	☹	☺

Tableau 3.6 : Comparaison entre les caractéristiques des structures actives et passives de déphaseurs.

On s'intéresse dans ces travaux à réduire la consommation du système global, et également à réaliser des déphaseurs ayant un contrôle simple tout en gardant une bonne précision sur la phase, pour ne pas impacter les performances du système. Par conséquent, le choix de la structure passive est retenu. Le choix de l'architecture et les objectifs seront présentés par la suite.

3.4.2.2 Etat de l'art des déphaseurs en technologie intégrée en bande millimétrique

Après la présentation des diverses topologies de déphaseurs, ainsi que le choix de la structure passive, l'état de l'art concernant les déphaseurs réalisés récemment en technologie intégrée en bande millimétrique est présenté. De façon générale, avec la montée en fréquence, les déphaseurs réalisés en technologie CMOS/BiCMOS ont des pertes nettement plus élevées (environ un ordre de grandeur) que ceux réalisés en basse fréquence en technologie PCB.

Comme présenté précédemment, la figure de mérite permet de comparer les déphaseurs. En effet, en fonction de l'application et des besoins, il est possible de réaliser un déphaseur qui produit un faible déphasage engendrant de faibles pertes. Ce niveau de pertes ne peut pas être comparé aux pertes élevées d'un déphaseur produisant un déphasage de 360°. Pour cela le rapport entre le déphasage maximal et les pertes d'insertion maximales, permet de faire la comparaison.

Dans [37], un des premiers déphaseurs de type RTPS en technologie CMOS a été présenté pour des applications en bande V (50-65 GHz). L'architecture du déphaseur ainsi que la photographie du circuit sont présentées sur la Figure 3.85.

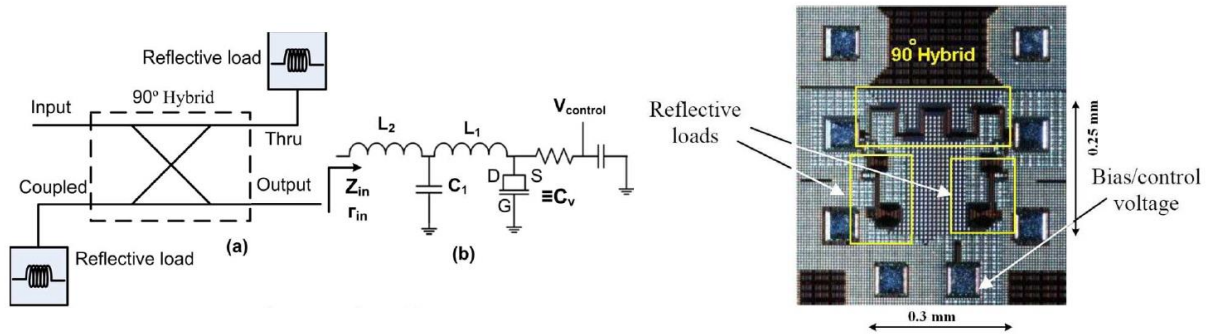


Figure 3.85 : Architecture et photographie du déphaseur présenté dans [37].

Le déphaseur a été réalisé à l'aide d'un coupleur constitué de deux lignes couplées, implémentées chacune sur un niveau de métal différent. La charge réfléchive est composée d'un réseau L-C-L-C_V. Les varactors polarisés par une tension DC changent l'impédance de la charge réfléchive. Par conséquent ils permettent de faire varier la phase en sortie. La tension de polarisation varie entre 0 et 1 V, ce qui correspond à des valeurs de capacités qui varient entre 49 fF et 147 fF. Le déphaseur produit un déphasage de 90°. Les pertes d'insertion maximales sont de 8 dB, avec une variation de pertes de 3,5 dB entre les états de phase. Cela conduit à une FoM de 11,25 °/dB. La bande passante est de 15 GHz. La consommation est nulle et le circuit occupe une surface de 0,08 mm².

Dans [38], un déphaseur en technologie CMOS dédié aux applications en bande V (57-64 GHz) est présenté. L'architecture du déphaseur ainsi que la photographie du circuit sont présentées sur la Figure 3.86.

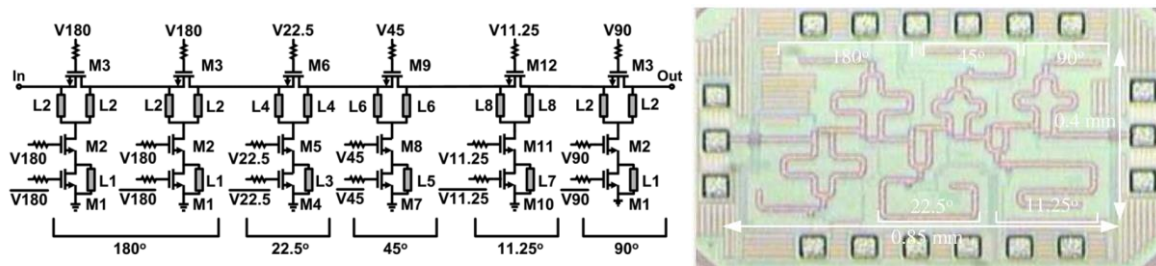


Figure 3.86 : Architecture et photographie du déphaseur présenté dans [38].

Ce déphaseur 5 bits est composé d'étages en cascade produisant chacun un déphasage fixe. Des commutateurs réalisés par des transistors polarisés par une tension V_C sont ajoutés (Figure 3.87 (a)). Lorsque V_C vaut 0 V, le transistor Q_1 est à l'état OFF, Q_2 est OFF et Q_3 est ON. Le schéma équivalent est présenté sur la Figure 3.87 (b). Lorsque la tension V_C passe à 1,2 V, le transistor Q_1 est à l'état ON, Q_2 est ON et Q_3 est OFF. La Figure 3.87 (c) montre le schéma équivalent. Par conséquent, un résonateur LC est composé par les inductances équivalentes des lignes de transmission, et les capacités C_{OFF} des transistors à la fréquence de travail. En passant d'un état vers un autre le déphasage est obtenu.

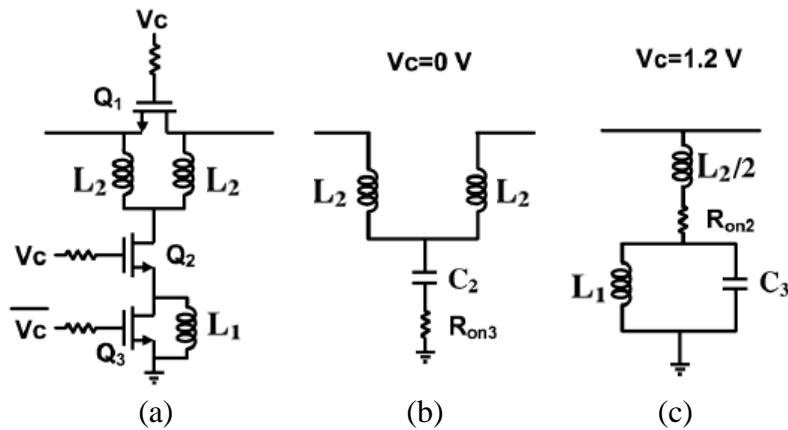


Figure 3.87 : Etage du déphaseur à commutateurs : (a) Architecture, (b) schéma équivalent quand $V_C = 0 \text{ V}$ et (c) schéma équivalent quand $V_C = 1,2 \text{ V}$.

Ce déphaseur est de type STPS pour : « Switch-Type Phase Shifter ». Le déphaseur produit un déphasage de 360° grâce à la structure en cascade. Les pertes d'insertion maximales sont de 18 dB, avec une variation de pertes de 6 dB. La FoM est donc de 20 %/dB . La consommation est nulle et la surface est de $0,34 \text{ mm}^2$.

Dans [39], un déphaseur à 60 GHz de type RTPS en technologie CMOS a été présenté. L'architecture du déphaseur ainsi que la photographie du circuit sont présentées sur la Figure 3.88.

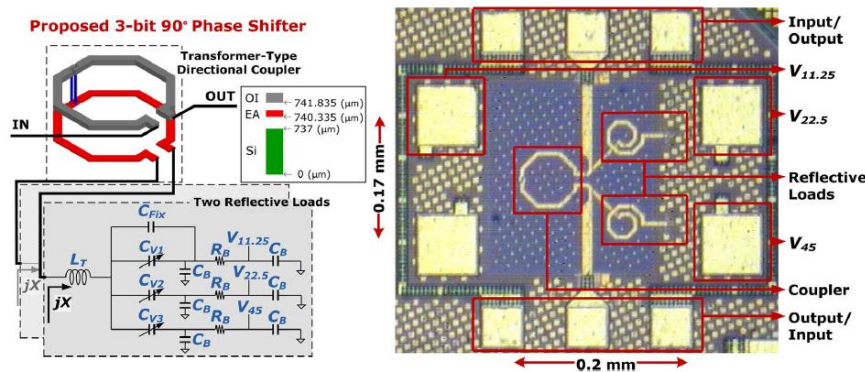


Figure 3.88 : Architecture et photographie du déphaseur présenté dans [39].

Le coupleur repose sur un transformateur réalisé par deux niveaux de métaux différents. La charge réfléchive est composée d'un réseau L-C formé par une inductance et un empilement de varactors contrôlés de manière digitale. Chaque varactor est polarisé par une tension différente correspondant ainsi à un bit de contrôle. Le déphaseur produit un déphasage de 90° . Les pertes d'insertion maximales sont de 7 dB avec une variation de pertes de 2,44 dB. La FoM obtenue est ainsi de $12,8 \text{ %/dB}$. La bande passante est de 12 GHz. La consommation est nulle et la surface est de $0,034 \text{ mm}^2$.

Dans [40], un déphaseur en technologie CMOS pour des applications 5G est présenté. L'architecture du déphaseur ainsi que la photographie du circuit sont présentées sur la Figure 3.89.

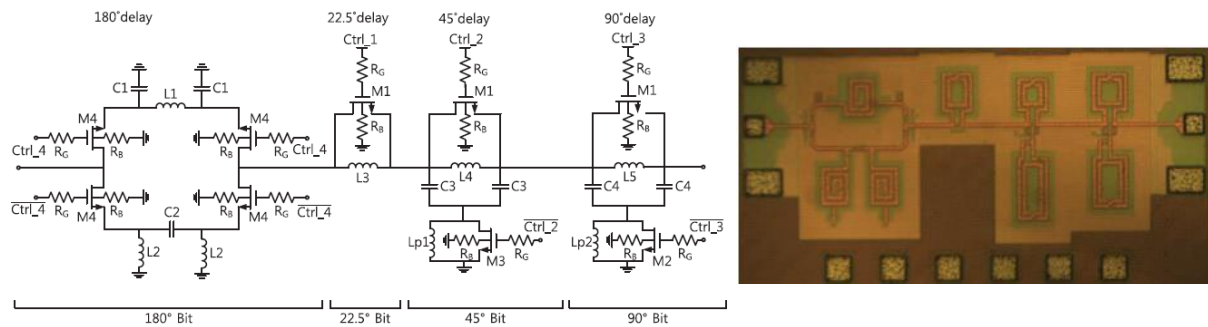


Figure 3.89 : Architecture et photographie du déphaseur présenté dans [40].

Le déphaseur repose sur une architecture similaire à celle présentée dans [38]. Cependant les inductances remplacent les lignes de transmission utilisées. Le déphasage en sortie est de 360° . Les pertes d'insertion maximales sont de 8 dB avec une variation de pertes de 2,2 dB. Cela conduit à une FoM de $45^\circ/\text{dB}$. La bande passante est de 4 GHz (26-30 GHz). La consommation est nulle et la surface est de $0,23 \text{ mm}^2$.

Dans [41], un déphaseur en technologie CMOS à 60 GHz a été présenté pour des applications de formation de faisceau. L'architecture du déphaseur ainsi que la photographie du circuit sont présentées sur la Figure 3.90.

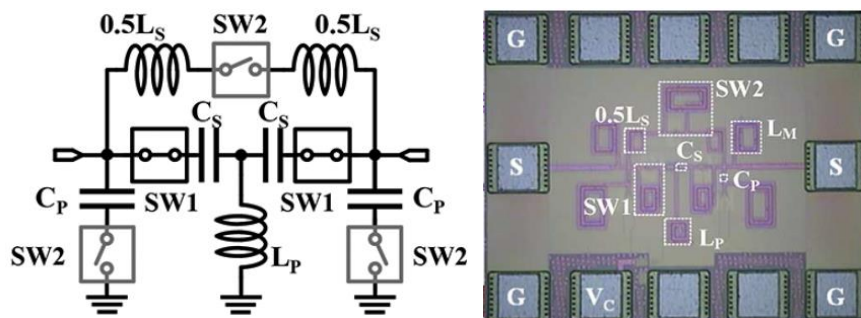


Figure 3.90 : Architecture et photographie du circuit présenté dans [41].

Le circuit est de type déphaseur à réseau commuté réalisé par des filtres (passe-haut/passe-bas). Le déphasage en sortie est fixe et vaut 90° , les pertes d'insertion maximales sont de 6 dB, avec une variation de pertes de 2 dB. La FoM est ainsi de $15^\circ/\text{dB}$. La bande passante est de 7 GHz. La consommation est nulle et la surface est de $0,16 \text{ mm}^2$.

3.4.3 Déphasage au niveau de la voie LO et spécifications

Dans le premier chapitre, les avantages de réaliser le déphasage au niveau de la voie LO ont été présentés. Les non-linéarités, les pertes et les performances en bruit des déphaseurs n'ont pas un impact direct sur les performances du système. Dans le cas des travaux présentés, l'oscillateur est verrouillé dans la bande 45-50 GHz. Le signal en sortie subit une multiplication par 6 comme présenté précédemment. Cette configuration offre une particularité importante, du fait que le déphaseur peut être implémenté avant l'oscillateur dans la bande (45-50 GHz), et profiter ainsi de la multiplication de la phase en sortie [42], [43]. Ainsi les déphaseurs, réalisés plutôt en LO que dans la bande RF de sortie entre 270 et

300 GHz, auront de meilleures performances, notamment en termes de pertes. La Figure 3.91 montre le schéma bloc de la voie LO du système de formation de faisceau.

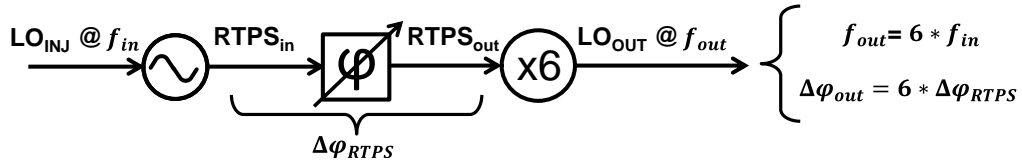


Figure 3.91 : Schéma bloc de la voie LO du système de formation de faisceau.

L'oscillateur, lors du verrouillage par injection sous harmonique, se comporte comme un multiplieur par 6. Alors, le signal d'injection LO_{INJ} ayant une fréquence f_{in} subit un déphasage $\Delta\varphi_{RTPS}$ et ensuite une multiplication par 6. Le signal en sortie LO_{OUT} se caractérise ainsi par une fréquence $f_{out} = 6 * f_{in}$ et un déphasage $\Delta\varphi_{out} = 6 * \Delta\varphi_{RTPS}$.

Par conséquent, le déphaseur sera implémenté dans la bande 45-50 GHz, et le déphasage visé $\Delta\varphi_{RTPS}$ doit varier entre 0° et 60° pour atteindre une variation $\Delta\varphi_{out}$ de 360° en sortie ($6 * 60^\circ$).

$$\Delta\varphi_{RTPS} = \frac{f_{in}}{f_{out}} * \Delta\varphi_{out} = \frac{1}{6} * 360^\circ = 60^\circ \quad (3.28)$$

Cette particularité reste valable indépendamment du type du déphaseur réalisé.

3.4.4 Choix de l'architecture et objectifs

En fonction de ce qui a été présenté dans la partie concernant les topologies et l'état de l'art des déphaseurs, la structure de type RTPS a été retenue. Cette structure permet de réaliser des déphasages en rendant commandable la charge réflective. De même, le contrôle est assez simple et nécessite uniquement une tension de polarisation. Le RTPS offre ainsi un compromis entre l'adaptation (entrée, sortie), la compacité du circuit et la variation de phase [44]. Toutefois, l'avantage principal du RTPS est l'indépendance entre l'adaptation et la variation de phase grâce à la présence du coupleur. Par contre ce dernier occupe une large surface, et présente des pertes d'insertion élevées aux fréquences millimétriques, de l'ordre de 1,5 dB pour un coupleur réalisé à l'aide de lignes microruban. Pour cela les objectifs principaux durant la conception du RTPS sont la réduction de la surface et la minimisation des pertes d'insertion.

3.4.5 RTPS : Théorie et principe de fonctionnement

La Figure 3.92 présente le schéma d'un RTPS ayant une charge réflective Z_L . Le RTPS est composé d'un coupleur hybride 3 dB, formé par des lignes quart-d'onde d'impédances caractéristiques respectivement Z_0 pour les lignes verticales, et $Z_0/\sqrt{2}$ pour les lignes horizontales. Le coupleur est chargé à sa sortie par deux charges réflectives identiques Z_L . Il existe plusieurs topologies de charges réflectives (L-C, C-L-C ...). Les ports d'entrée et de sortie ont une impédance de référence Z_0 . Le signal d'entrée (port 1) est divisé en deux et réfléchi à l'aide des charges au niveau des ports 3 et 4. Une recombinaison des deux signaux est obtenue au niveau du port 2 qui correspond ainsi à la sortie du RTPS.

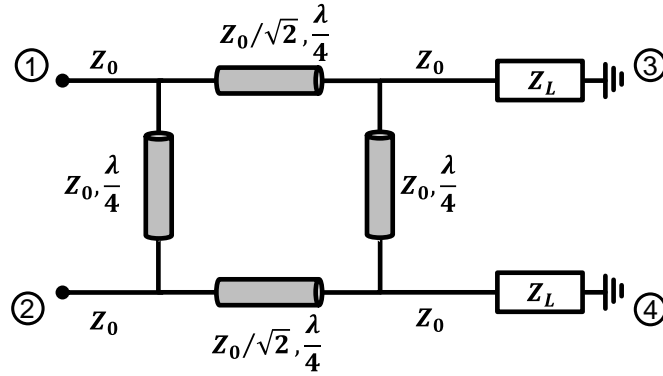


Figure 3.92 : Schéma du RTPS ayant une charge réfective Z_L .

Par conséquent le calcul du coefficient de transmission S_{21} , permet d'obtenir les performances du RTPS en termes de pertes d'insertion et de déphasage. Pour cela d'après l'architecture présentée sur la Figure 3.92 le coefficient S_{21} est donné par :

$$S_{21} = j\Gamma \quad (3.29)$$

avec Γ le coefficient de réflexion présenté par la charge réfective la sortie du coupleur, donné par :

$$\Gamma = \frac{Z_L - Z_0}{Z_L + Z_0} \quad (3.30)$$

La charge Z_L est peut être exprimée par ($Z_L = R + jX$), les pertes d'insertion et la phase sont données par le module et la phase de Γ :

$$|S_{21}| = |\Gamma| \text{ et } \varphi_{S_{21}} = \arg(\Gamma) = -2\arctan\left(\frac{X}{Z_0}\right) \quad (3.31)$$

et en ajoutant les performances du coupleur, les caractéristiques du RTPS sont exprimés par :

$$|S_{21}|_{dB} = |P_c|_{dB} + |\Gamma|_{dB} \text{ et } \varphi_{S_{21}} = \arg(\Gamma) = -\frac{\pi}{2} - 2\arctan\left(\frac{X}{Z_0}\right) \quad (3.32)$$

avec $|P_c|_{dB}$ les pertes d'insertion du coupleur⁵ exprimées en dB.

3.4.6 Conception de l'RTPS en bande millimétrique

La Figure 3.93 présente l'architecture du RTPS. Il est constitué d'un coupleur 3 dB réalisé par des lignes couplées à ondes lentes nommées par la suite CS-CPW pour (« Coupled Slow-wave Coplanar Waveguide »), et d'une charge réfective composée d'une ligne micro-ruban et de varactors MOS.

⁵Les pertes qui s'ajoutent en plus de l'atténuation du coupleur qui vaut 3 dB.

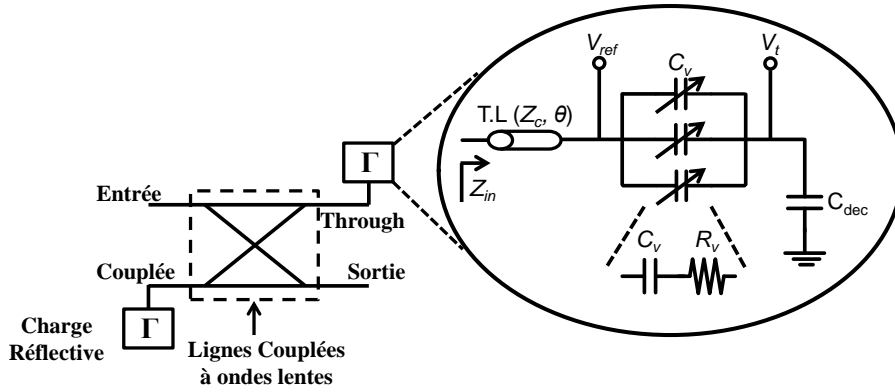


Figure 3.93 : Architecture du RTPS basé sur des lignes couplées à ondes lentes.

Cette partie sera divisée en deux sous-parties. La première concerne l'étude et la conception du coupleur 3 dB basé sur des lignes CS-CPW. La deuxième sous-partie présentera l'étude et la conception de la charge réfective. Finalement, les résultats de mesure du déphaseur seront présentés.

3.4.6.1 Coupleur 3 dB basé sur des lignes couplées à ondes lentes

3.4.6.1.1 *Présentation du concept de coupleur CS-CPW*

La Figure 3.94 présente le symbole d'un coupleur réalisé à l'aide de lignes couplées. C'est un réseau ayant 4 ports :

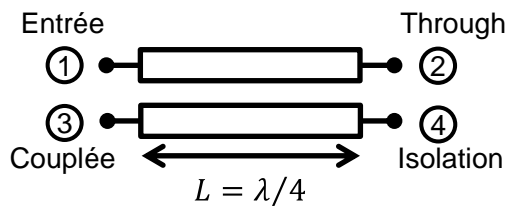


Figure 3.94 : Symbole d'un coupleur réalisé par des lignes couplées.

En tenant compte de la symétrie et de la réciprocity de la structure, la matrice $[S]$ du coupleur est donnée par :

$$[S] = \begin{bmatrix} S_{11} & S_{21} & S_{31} & S_{41} \\ S_{21} & S_{11} & S_{41} & S_{31} \\ S_{31} & S_{41} & S_{11} & S_{21} \\ S_{41} & S_{31} & S_{21} & S_{11} \end{bmatrix} \quad (3.33)$$

Les caractéristiques du coupleur à prendre en considération sont les suivantes :

- Les pertes d'insertion,
- La transmission (T) (voie directe), donnée par : $-20 \log|S_{21}|$,
- Le couplage (C), exprimé par : $-20 \log|S_{31}| = 10 \log k^2$,
- L'isolation (I), donnée par : $-20 \log|S_{41}|$,
- La directivité (D), exprimée par : $-20 \log \left| \frac{S_{31}}{S_{41}} \right| = I - C$,

k étant le coefficient de couplage.

Une analyse des modes pairs et impairs peut être réalisée pour l'extraction des paramètres du coupleur. Les impédances de référence $Z_{0,pair}$ et $Z_{0,impair}$ sont données par :

$$Z_{0,pair} = Z_0 \sqrt{\frac{1+k}{1-k}}, \text{ et } Z_{0,impair} = Z_0 \sqrt{\frac{1-k}{1+k}} \quad (3.34)$$

Le coefficient de couplage k est de 0,7 pour obtenir un couplage de -3 dB. L'impédance de référence Z_0 est égale à 43 Ω (meilleur compromis entre le couplage et la transmission), ce qui implique une valeur de $Z_{0,pair}$ et $Z_{0,impair}$ de respectivement 102 Ω et 18 Ω .

Les lignes CS-CPW présentent deux avantages pour la réalisation de coupleurs:

1. Elles permettent de réduire la surface occupée par le coupleur vis-à-vis d'un coupleur hybride ou à lignes parallèles classique, et par conséquent de réduire la surface du RTPS, grâce à l'effet ondes lentes qui permet de réduire la longueur des lignes couplées.
2. Elles permettent de réaliser des coupleurs à lignes parallèles sans avoir à recourir à une topologie de type *broadside*, nécessaire en technologie microruban du fait que le couplage est limité par les contraintes technologiques lorsque les strips sont réalisés sur le même niveau de métal [45].

Le concept de coupleur basé sur des lignes CS-CPW a été étudié récemment au sein de notre laboratoire [45], [46].

Comme expliqué dans le second chapitre, l'effet ondes lentes permet de réduire la longueur physique L de la ligne pour une longueur électrique θ fixe. Ainsi les lignes CS-CPW ont des dimensions inférieures pour une longueur θ voulue. Puisque le DK de la technologie ne contient pas des lignes couplées micro-ruban, une comparaison entre une ligne micro-ruban et les lignes CS-CPW est réalisée. La Figure 3.95 présente la longueur électrique θ en fonction de la longueur physique L à 48 GHz. La Figure 3.95 (a) pour une ligne micro-ruban et la Figure 3.95 (b) celle des lignes CS-CPW. L'impédance caractéristique est de 50 Ω environ.

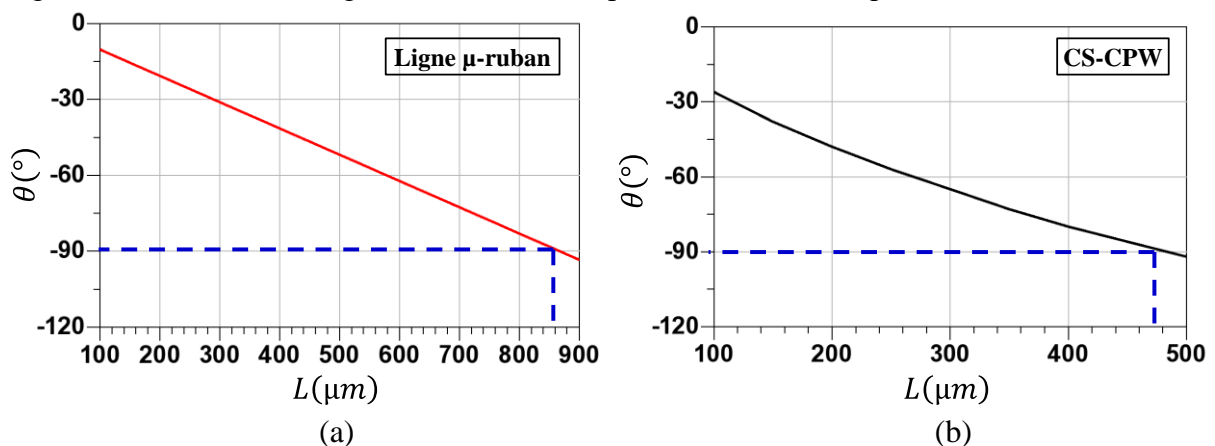


Figure 3.95 : Longueur électrique θ en fonction de la longueur physique L à 48 GHz: (a) pour une ligne micro-ruban et (b) pour les lignes CS-CPW.

D'après la Figure 3.95 dans le cas d'une ligne micro-ruban, la longueur physique nécessaire est de 850 μm afin d'obtenir une ligne quart-d'onde ($\theta = 90^\circ$). Dans le cas des

lignes CS-CPW, la longueur physique nécessaire est de seulement 470 μm . La longueur est ainsi réduite de 45 % environ.

Du fait de la réduction de longueur pour une phase donnée, l'utilisation des lignes à ondes lentes permet de réduire les pertes d'insertion par unité de phase, ce qui conduit à un facteur de qualité plus élevé qu'en technologie microruban, permettant ainsi de réduire les pertes du coupleur. Afin de mettre en évidence cet avantage, une comparaison des performances entre un coupleur hybride réalisé à l'aide de lignes micro-ruban (traits pleins) et de lignes CS-CPW (pointillés) est présentée ci-dessous. Les dimensions des lignes du coupleur hybride sont : Longueur = 850 μm , largeur = 7,8 μm ($Z_c = 50 \Omega$) et 14 μm ($Z_c = 35,4 \Omega$). Les dimensions des lignes CS-CPW sont : la longueur = 470 μm et ($W=20 \mu\text{m}$, $G=55 \mu\text{m}$, $S=5 \mu\text{m}$, $W_g=12 \mu\text{m}$, $SS=SL=0.5 \mu\text{m}$). Ces paramètres seront définis dans le paragraphe suivant.

La Figure 3.96 présente cette comparaison, la Figure 3.96 (a) montre le couplage et la transmission en fonction de la fréquence, et la Figure 3.96 (b) montre le coefficient de réflexion et l'isolation. D'après cette figure, on remarque que les pertes d'insertion du coupleur réalisé à l'aide de lignes micro-ruban sont plus élevées que celles des lignes CS-CPW réalisé par [45]. La différence de 0,5 dB entre le couplage et la transmission n'impacte pas la puissance en sortie du RTPS. Une bonne adaptation est obtenue dans les deux cas, avec une meilleure isolation et bande passante pour les lignes CS-CPW.

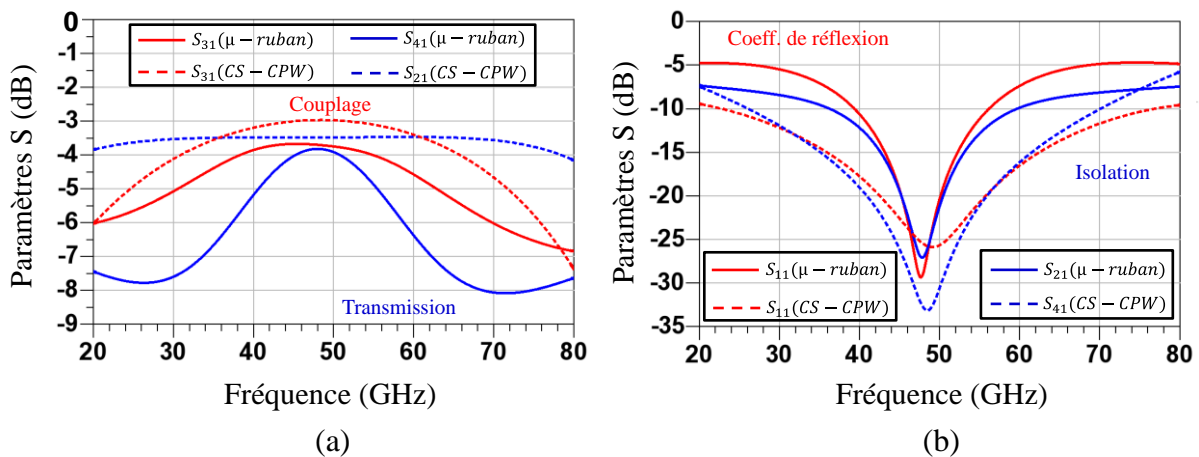


Figure 3.96 : Comparaison des performances entre un coupleur réalisé à l'aide de lignes micro-ruban (traits pleins) et de lignes CS-CPW (pointillés) : (a) couplage et transmission en fonction de la fréquence et (b) coefficient de réflexion isolation et .

La Figure 3.97 présente la structure des lignes CS-CPW implémentées en technologie BiCMOS 55 nm, avec les niveaux de métallisation utilisés.

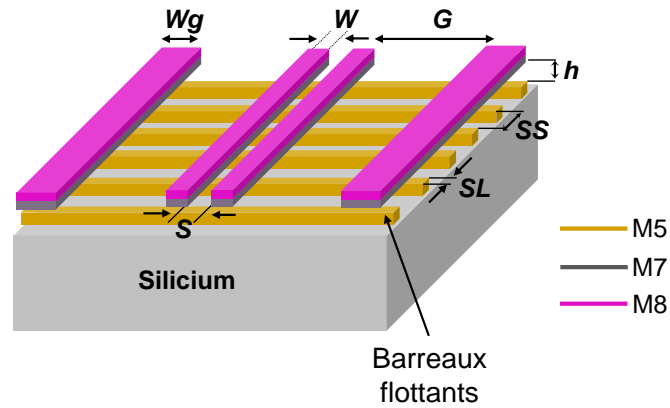


Figure 3.97 : Structure des lignes CS-CPW implémentées en technologie BiCMOS 55 nm.

Cette structure est similaire à celle des lignes à ondes lentes présentées dans le chapitre 2. La seule différence est l'implémentation de deux rubans centraux (chemin signal), afin de réaliser le couplage. Les rubans CPW sont implémentés au niveau des métaux les plus élevés M8 et M7, reliés entre eux par des vias. Les barreaux flottants sont réalisés au niveau (M5). Cette configuration permet d'obtenir le meilleur facteur de qualité. Les paramètres liés au coupleur présentés sur la Figure 3.97 sont les suivants :

- W_g : Largeur du plan de masse du CPW,
- W : Largeur du ruban central du CPW,
- G : Gap entre le plan de masse et le ruban du CPW,
- S : Gap entre les rubans centraux du CS-CPW,
- H : Hauteur entre les rubans flottants et la ligne,
- SS : Espacement entre les rubans flottants,
- SL : Largeur des rubans flottants.

L'effet ondes lentes est dû à la séparation du champ magnétique et électrique, cela conduit à avoir un degré de liberté dans la conception du coupleur. Ainsi le coefficient de couplage électrique k_C et le coefficient de couplage magnétique k_L varient indépendamment. Ils peuvent donc être contrôlés séparément. Ce nouveau concept, présenté en détail dans [45], repose sur la modification des coefficients de couplage, en coupant les barreaux flottants, soit au centre, soit aux extrémités de la structure. Ceci sera présenté plus en détail dans la partie 3.4.6.1.3.

3.4.6.1.2 Modèle électrique équivalent

La Figure 3.98 montre le schéma équivalent des lignes CS-CPW [45]. Les pertes ne sont pas prises en compte dans ce modèle.

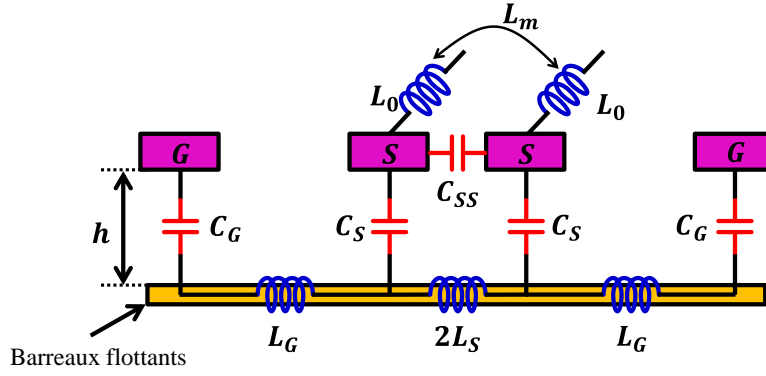


Figure 3.98 : Schéma équivalent des lignes CS-CPW.

Les capacités C_G et C_S représentent les capacités entre les rubans du CPW et les rubans flottants. La capacité C_{SS} représente le couplage direct entre les rubans centraux du CS-CPW. L_0 modélise l'inductance propre du ruban central. Le couplage magnétique entre les deux rubans est représenté par l'inductance mutuelle L_m . Les barreaux flottants sont modélisés par les inductances L_G et $2L_S$. En fonction des spécifications de la conception, certains paramètres peuvent être négligés. En effet la capacité C_{SS} entre le ruban du signal et celui de la masse est négligeable devant les capacités C_G et C_S , du fait que la hauteur h est en général nettement plus faible que le gap S entre les rubans ($S \gg h$). D'après l'analyse en modes pairs et impairs, les coefficients de couplage sont donnés par :

$$k_L = \frac{L_m}{L_0} \quad (3.35)$$

$$k_C = \frac{C_m}{C_m + C_0} = \frac{C_S^2 + 2C_{SS}(C_S + C_G)}{2C_{GS}(C_S + C_G) + C_S^2 + 2(C_S C_{SS} + C_{SS} C_G + C_S C_G)}$$

3.4.6.1.3 Ajustement des coefficients de couplage k_C et k_L pour l'amélioration de la directivité

Le coefficient de couplage k dépend de k_C et k_L . Afin d'obtenir une directivité élevée, il faut que $k = k_C = k_L$. Pour cela, pour un coefficient k_L donné, il est possible d'ajuster coefficient k_C en coupant les barreaux flottants aux extrémités de la structure (CS : « Cut on Sides ») [45]. Le schéma équivalent de la structure CS-CPW avec barreaux coupés aux extrémités est présenté sur la Figure 3.99. Une Capacité C_P modélise la zone où les barreaux sont coupés. Cette capacité impacte k_C sans impacter k_L , conservant ainsi l'indépendance de réglage entre k_C et k_L .

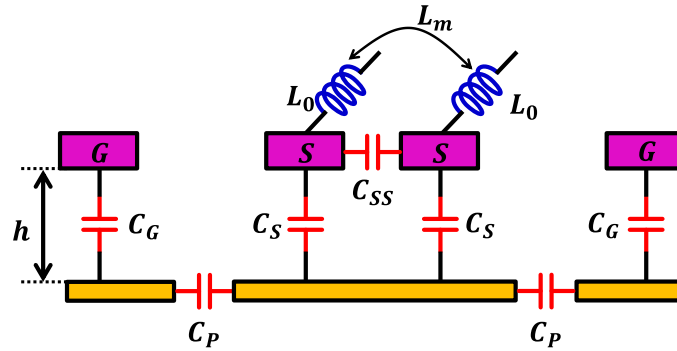


Figure 3.99 : Schéma équivalent de la structure CS-CPW avec barreaux flottants coupés aux extrémités.

Afin de pouvoir contrôler la variation de k_C , il est important d'étudier la variation des coefficients de couplage en fonction des paramètres de la structure CS-CPW. Pour cela, La Figure 3.100 montre la variation des coefficients de couplage en fonction de la largeur du ruban W , pour deux valeurs différentes d'espacement S .

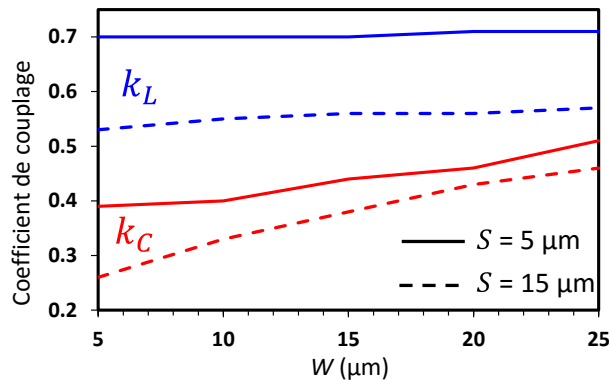


Figure 3.100 : Variation des coefficients de couplage k_C et k_L en fonction de la largeur W pour différentes valeurs de S .

Les deux coefficients augmentent lorsque S diminue, ce qui constitue un résultat classique, le couplage étant plus fort. D'autre part quand la largeur augmente, la capacité équivalente augmente également, et par conséquent k_C augmente.

De même les deux coefficients sont présentés en fonction du gap G , pour différentes valeurs de S sur la Figure 3.101.

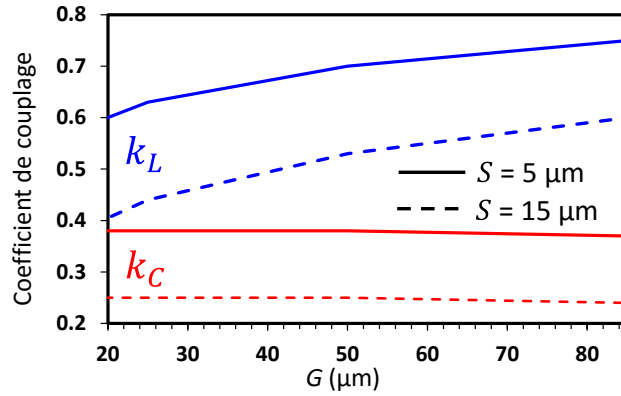


Figure 3.101 : Variation des coefficients de couplage k_C et k_L en fonction du gap G pour différentes valeurs de S .

Le gap G permet de contrôler k_L sans aucune variation de k_C . Plus G est grand, plus l'inductance mutuelle est forte par rapport à l'inductance propre des lignes. Tant que $G \gg h$, le champ électrique se situe principalement entre les strips CPW et les barreaux flottants, il n'est donc pas modifié avec G , ce qui explique pourquoi le coefficient k_C ne subit pas de modification.

Enfin, un paramètre important est la densité de barreaux coupés, qui permet de régler le coefficient de couplage électrique k_C . La Figure 3.102 (a) montre les coefficients de couplage en fonction de cette densité en %. Les dimensions de la structure sont fixes ($W=20 \mu\text{m}$, $G=55 \mu\text{m}$, $S=5 \mu\text{m}$, $W_g=12 \mu\text{m}$, $SS=SL=0.5 \mu\text{m}$).

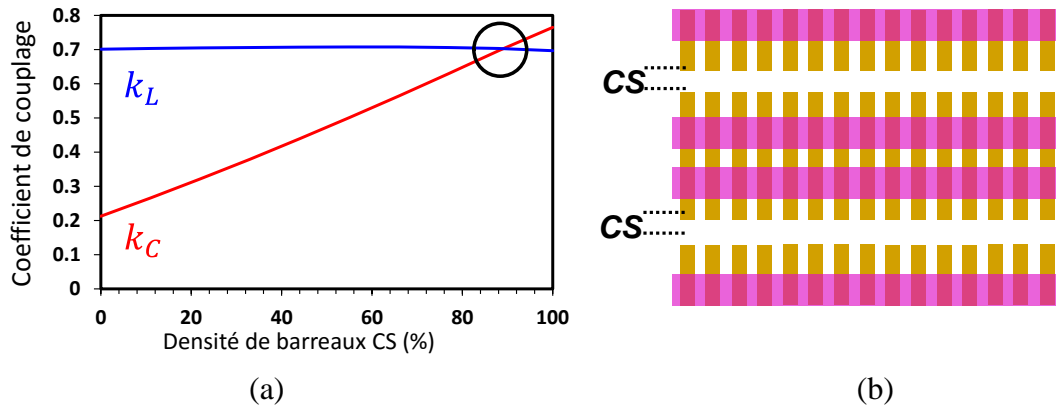


Figure 3.102 : (a) coefficients de couplage en fonction de la densité de barreaux coupés et (b) vue de dessus de la structure CS-CPW avec barreaux coupés, implémentée en technologie BiCMOS 55 nm.

Pour un objectif de couplage de 0,7, soit $k = k_C = k_L = 0,7$, le graphe de la Figure 3.102(a) montre qu'il faut une densité de barreaux coupés de 90 %.

3.4.6.1.4 Résultats et discussions

Des mesures sous pointes du coupleur ont été réalisées en utilisant un VNA 4 ports VectorStar Anritsu. La Figure 3.103 présente les paramètres S du coupleur mesuré.

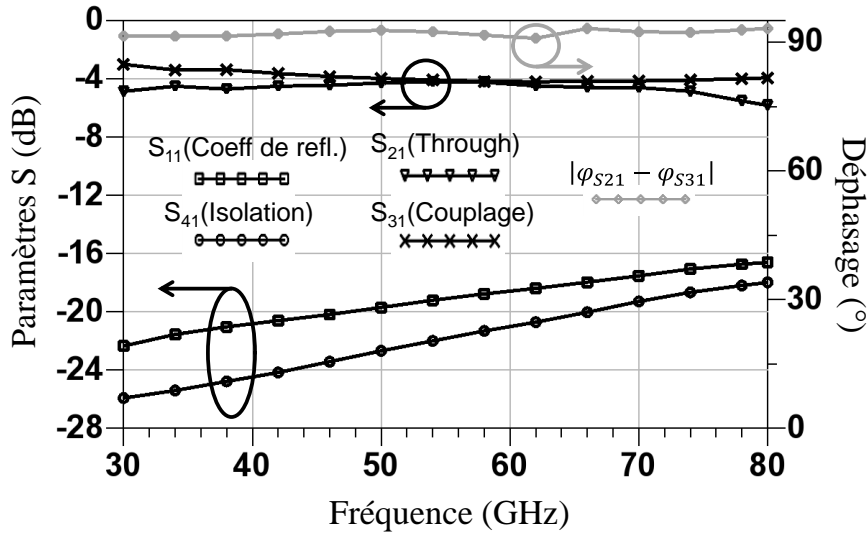


Figure 3.103 : Résultats de mesure du coupleur réalisé en technologie BiCMOS 55 nm.

La bande d'intérêt correspondant à notre application finale se situe entre 45 et 50 GHz. Nous commentons donc les résultats obtenus principalement dans cette bande ci-dessous. Les pertes du coupleur au niveau des ports transmission et couplage sont de 4 dB. Les pertes supplémentaires par rapport à 3dB sont donc de seulement 1 dB. La différence d'amplitude entre transmission et couplage est très faible, limitée à 2 dB maximum sur une bande de 50 GHz. L'isolation est supérieure à 22 dB, entraînant une directivité meilleure que 18 dB. L'adaptation est meilleure que 18 dB et la différence de phase en sortie est de $91^\circ \pm 1^\circ$ sur une large bande allant de 30 à 80 GHz. Le coupleur ayant été correctement réalisé, l'étape suivante consiste en l'étude de la charge réfléchive du déphaseur.

3.4.6.2 Charge Réfléctive

3.4.6.2.1 Etude et conception de la charge réfléchive du RTPS

Les sorties transmission et couplage du coupleur présenté ci-dessus sont chargées par des charges réfléchives (purement réactives en l'absence de pertes) afin de réaliser le déphaseur RTPS. Les performances du déphaseur reposent sur le choix et la conception optimale de la charge réfléchive. La charge réfléchive est présentée sur la Figure 3.104 (a), elle est formée par une ligne micro-ruban d'impédance caractéristique Z_C et de longueur électrique θ , et par des varactors MOS. Cette topologie de type LC permet d'avoir un système résonant, et améliore ainsi le déphasage en sortie, qui est souvent limité par le rapport C_{max}/C_{min} des varactors imposé par la technologie. Le coefficient de réflexion Γ s'écrit :

$$\Gamma = \frac{Z_{in} - Z_0}{Z_{in} + Z_0}, \quad (3.36)$$

avec Z_0 l'impédance de référence et Z_{in} l'impédance vue à l'entrée de la charge réfléchive, donnée par :

$$Z_{in} = j \frac{-Z_C + Z_C^2 C_v \omega \tan \theta}{Z_C C_v \omega + \tan \theta}. \quad (3.37)$$

La différence de phase $\Delta\varphi$ en sortie du RTPS est donné par :

$$\Delta\varphi = 2 \left[\arctan \left(\frac{Z_{in,max}}{Z_0} \right) - \arctan \left(\frac{Z_{in,min}}{Z_0} \right) \right], \quad (3.38)$$

avec $Z_{in,max}$ et $Z_{in,min}$ représentant respectivement les maximum et minimum du module de Z_{in} .

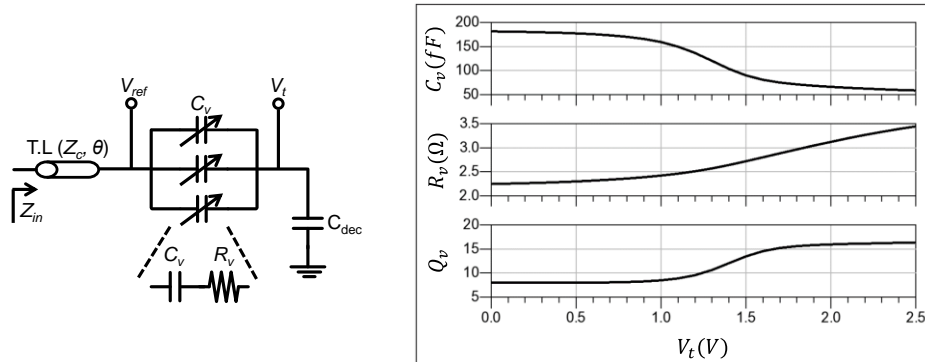


Figure 3.104 : (a) charge réfective de type LC utilisée dans le RTPS et (b) caractéristiques des varactors en fonction de la tension de contrôle V_t à 48 GHz.

L'impédance caractéristique de la ligne micro-ruban constituant la charge réfective est égale à 70 Ω , avec une longueur de 80 μm (l'inductance équivalente est de 33 pH). La longueur électrique est de 8,2 $^\circ$. Le modèle équivalent simplifié des varactors peut être représenté par une capacité C_v en série avec une résistance R_v représentant les pertes des varactors. La valeur de C_v , trop élevée, ne correspond pas à un facteur de qualité optimum des varactors de la technologie. Afin de réaliser une capacité ayant une valeur élevée sans dégrader le facteur de qualité, trois varactors ont été disposés en parallèle. Ces varactors sont polarisés par une tension de contrôle V_t variant de 0 à 2,5 V par rapport à une tension de référence V_{ref} de 1,2 V. Les caractéristiques des varactors MOS à 48 GHz sont données sur la Figure 3.104(b). Le facteur de qualité varie entre 8 et 15, et la résistance totale varie entre 2,5 et 4 Ω . La capacité varie entre 60 et 180 fF, offrant ainsi un ratio $C_{v,max}/C_{v,min}$ des varactors égal à 3.

3.4.7 Résultats du déphaseur et comparaison à l'état de l'art

La Figure 3.105 montre la photographie du circuit ainsi que le banc de mesure utilisé. Le circuit occupe une surface de 0,18 mm^2 (sans plots). Les mesures ont été réalisées dans la bande de fréquence DC - 110 GHz, en utilisant un VNA ME7838 de Anritsu, et des pointes picoprobe 110 H de GGB. La calibration SOLT a été utilisée et la méthode open-short a été choisie pour réaliser le de-embedding. Cette méthode a l'avantage d'être simple et de fournir des résultats corrects jusqu'à au moins 50 GHz.

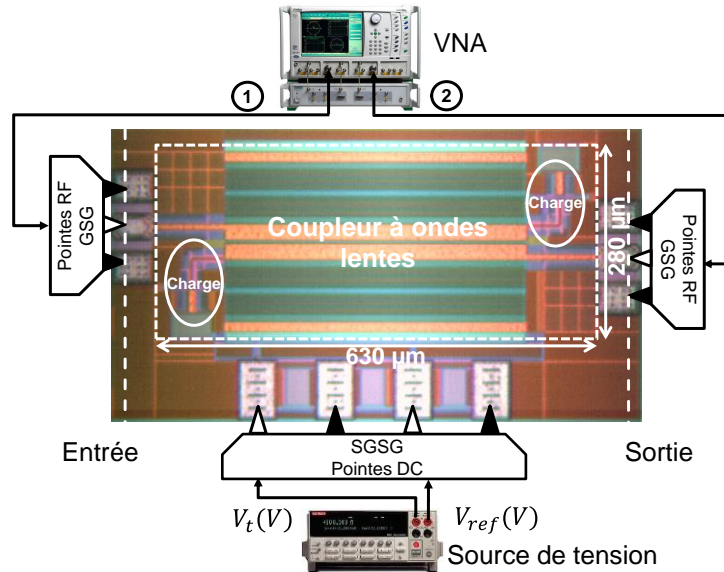


Figure 3.105 : Photographie du circuit avec le banc de mesure utilisé.

Les pertes d'insertion du RTPS en fonction de la fréquence, pour différentes valeurs de V_t sont présentées sur la Figure 3.106 (a).

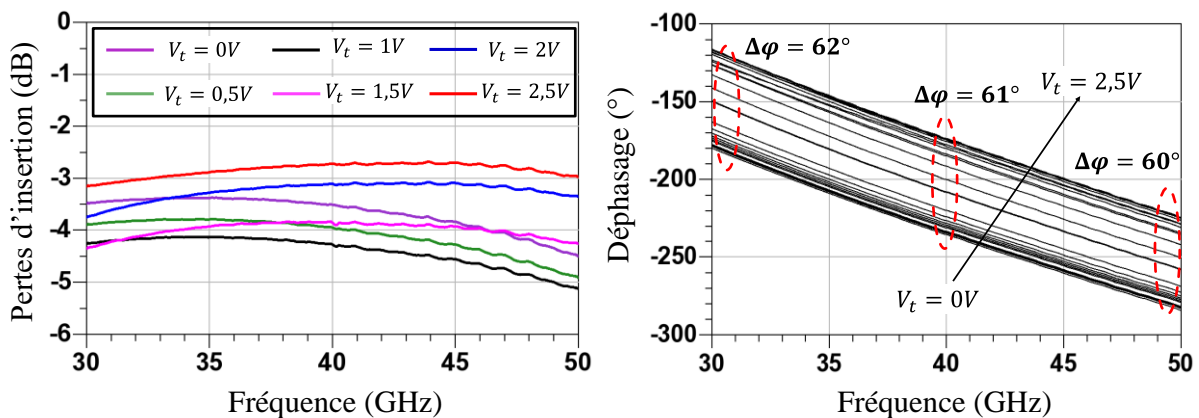


Figure 3.106 : (a) pertes d'insertion en fonction de la fréquence pour différentes valeurs de V_t et (b) déphasage en fonction de la fréquence pour différentes valeurs de V_t .

A 50 GHz les pertes d'insertion sont de $4 \text{ dB} \pm 1 \text{ dB}$. La Figure 3.106 (b) montre le déphasage en fonction de la fréquence pour différentes valeurs de V_t . Une variation linéaire en fonction de la fréquence est obtenue. Une différence de phase presque constante de $61^\circ \pm 1^\circ$ est obtenue sur la bande allant de 30 à 50 GHz. C'est une caractéristique très importante, signifiant que le RTPS peut être utilisé sur une très large bande. L'adaptation (*return loss*) est meilleure que 10 dB entre 30 et 90 GHz comme le montre la Figure 3.107. Elle est meilleure que 15 dB dans la bande utile 45-50 GHz.

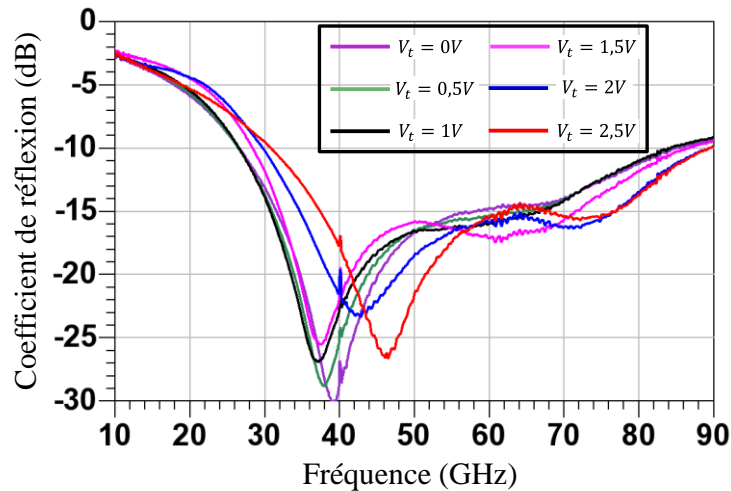


Figure 3.107 : Coefficient de réflexion en fonction de la fréquence pour différentes valeurs de V_t .

La Figure 3.108 montre la comparaison entre la simulation et la mesure, du coefficient de réflexion et des pertes d'insertion en fonction de la fréquence, pour $V_t = 0 V$ et $V_t = 2,5 V$. Les paramètres S du coupleur mesuré sont utilisés pour la simulation.

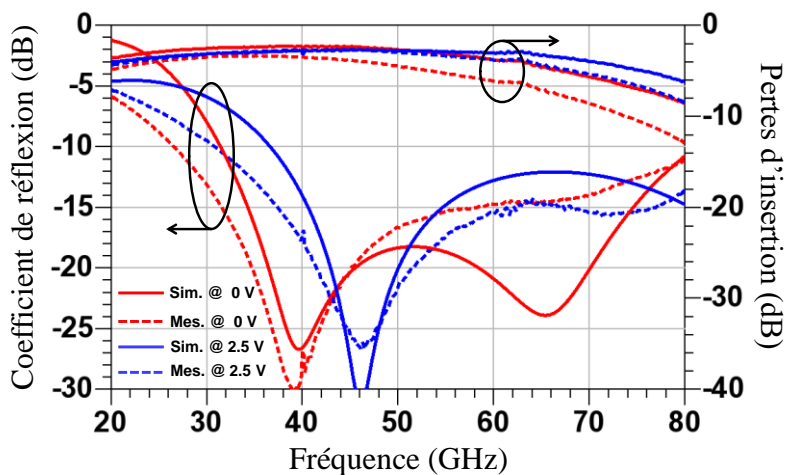


Figure 3.108 : Comparaison entre mesure et simulation du coefficient de réflexion et des pertes d'insertion en fonction de la fréquence pour $V_t = 0 V$ et $V_t = 2,5 V$.

On peut constater que les résultats de mesure et de simulation montrent un bon accord. Cependant les pertes d'insertion obtenues en simulation sont nettement plus faibles. L'origine de cette différence semble être liée aux varactors, puisque les pertes du coupleur ont été ajoutées dans la simulation, ainsi que la vue PLS des varactors après extraction des parasites. La résistance modélisant les pertes des varactors est ainsi probablement plus élevée que prévu dans le modèle, ce qui conduit à un facteur de qualité plus faible ($Q_v = 1/R_v C_v \omega$).

La différence de phase du RTPS à 50 GHz en fonction de la tension V_t est présentée sur la Figure 3.109. Cette figure montre la comparaison entre la différence de phase théorique (équation 3.38) et celle obtenue en simulation et en mesure. Comme prévu la différence de phase varie de 0° à 60° en variant la tension de contrôle de 0 à 2,5 V.

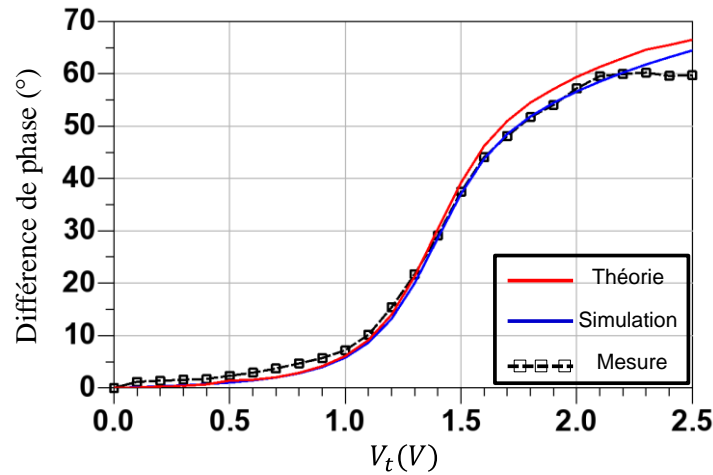


Figure 3.109 : Différence de phase en fonction de la tension V_t à 50 GHz.

Le Tableau 3.7 présente une comparaison de ce travail avec d'autres déphaseurs de type RTPS publiés dans la littérature, et réalisés en technologie intégrée en bande millimétrique.

Ref.	Tech.	Freq. (GHz)	Pertes _{max} (dB)	$\Delta\phi$ (°)	Surf. (mm ²)	FoM (°/dB)
[47] RFIC 2011	BiCMOS 0,13 μm	60	7	62	0,52	8,85
[37] MWCL 2009	CMOS 90 nm	50-65	8	90	0,08	11,25
[39] MWCL 2014	CMOS 65 nm	54-66	6,9	90	0,034	13
[48] NEWCAS 2011	BiCMOS 0,13 μm	63	5,8	60	0,5	10,34
Ce travail	BiCMOS 55 nm	30-50	5	60	0,18	12

Tableau 3.7 : Comparaison de ce travail avec d'autres déphaseurs de type RTPS de la littérature réalisés en bande millimétrique.

La figure de mérite est comparable, toutefois ce déphaseur présente une bande passante relative plus large.

3.5 Chaîne de multiplication de fréquence (x12) accordable

3.5.1 Contexte

Le circuit du système de formation de faisceau sera reporté à la fin sur PCB. Des *wire bonding* permettent d'effectuer les connexions électriques entre le boîtier et le circuit intégré. La Figure 3.110 montre un exemple d'un circuit reporté sur PCB et « packagé ». Ce type de connexions deviennent critiques aux fréquences millimétriques (45-50 GHz), entraînant des pertes d'insertions qui dégradent les performances globales du système, du couplage entre les différentes connexions, des désadaptations à cause des capacités et inductances parasites ajoutées, ... Pour cela des multiplieurs de fréquence seront utilisés afin de générer à l'aide d'un signal en basse fréquence un signal en bande millimétrique qui sera déphasé et injecté dans l'oscillateur.

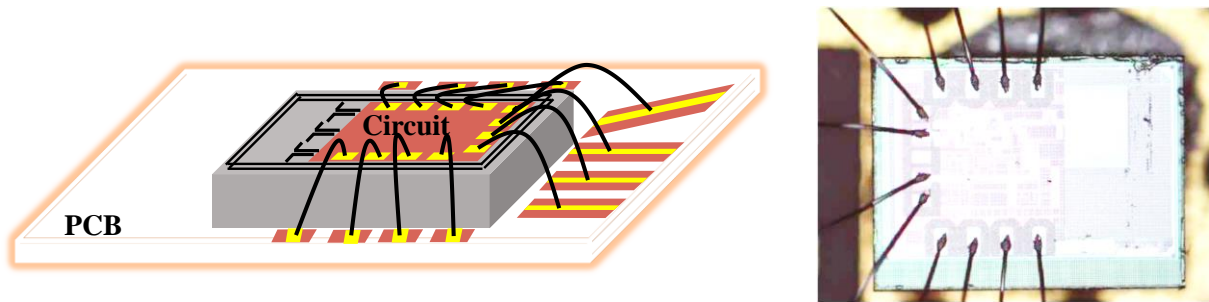


Figure 3.110 : Schéma et photographie [49] d'un circuit intégré reporté sur PCB présentant des *wire bonding* .

De même dans [17], une étude détaillée présente la réalisation d'une synthèse de fréquence innovante en technologie CMOS en bande millimétrique. Cette étude montre que pour réduire le bruit de phase de la synthèse de fréquence millimétrique, il faut avoir recours à la multiplication de fréquence, ce qui permet d'abaisser la fréquence de fonctionnement du VCO de la PLL. Le bruit de phase de la synthèse de fréquence est d'autant plus faible que la fréquence du VCO de la PLL est faible, avec un rapport de multiplication élevé. Dans cette étude, l'état de l'art présenté montre que l'utilisation d'une PLL à 2 GHz avec un rapport de multiplication de 30 peut conduire à un faible bruit de phase.

Dans notre étude, le signal externe généré par la PLL se situe aux alentours de 4 GHz (Figure 3.111). Par conséquent le bruit de phase de la source est potentiellement meilleur que celui d'une source dans la bande (45-50 GHz). Afin de verrouiller l'oscillateur sur le signal d'entrée à 4 GHz, un multiplieur x12 (encadré en bleu) est nécessaire pour atteindre la bande millimétrique (45-50 GHz). La structure du doubleur et de l'oscillateur (encadrée en vert) est identique à celle présentée précédemment. Le rapport de multiplication n est de 72.

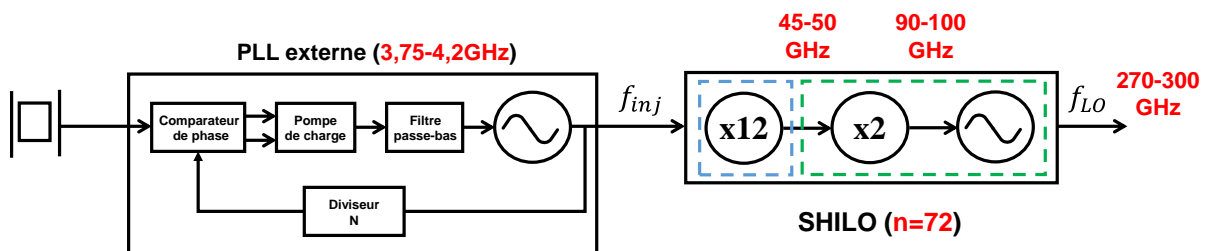


Figure 3.111 : Schéma bloc d'un SHILO verrouillé par un signal basse fréquence et dont le rapport de multiplication est de 72.

Un filtrage est nécessaire en sortie du multiplieur pour sélectionner l'harmonique désirée et éliminer les harmoniques indésirables. La Figure 3.112 présente le schéma bloc d'un multiplieur de fréquence idéal (pas de pertes, pas de raies parasites) ainsi que ses réponses temporelle et fréquentielle.

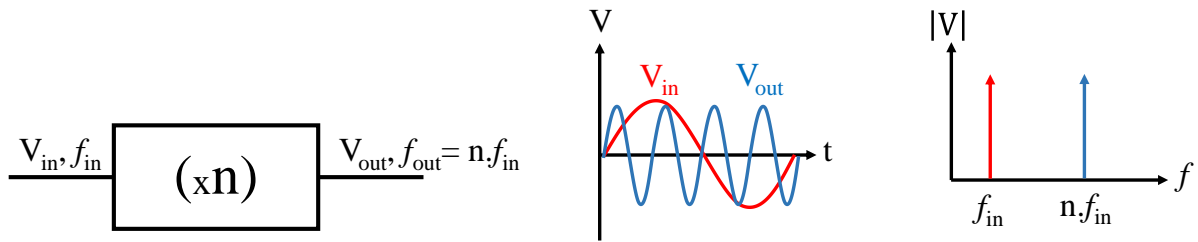


Figure 3.112 : Schéma bloc d'un multiplieur de fréquence idéal et ses réponses temporelle et fréquentielle.

En réalité, le signal de sortie d'un multiplieur de fréquence présente souvent des distorsions à cause des non-linéarités des composants qui réalisent la multiplication. Ceci crée des raies résiduelles qui sont des multiples entiers de la fréquence d'entrée comme le montre la Figure 3.113, d'où la nécessité de filtrer à la sortie du multiplieur.

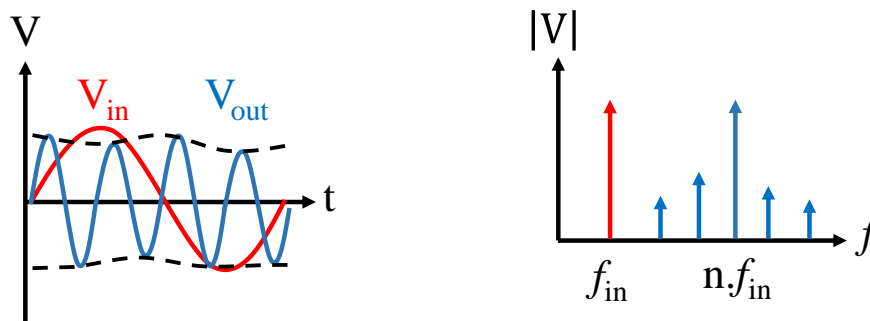


Figure 3.113 : Réponses temporelle et fréquentielle d'un multiplieur de fréquence réel.

3.5.2 Etat de l'art des multiplieurs de fréquence en technologies silicium

Cette partie présente l'état de l'art des principales architectures réalisées ces dix dernières années pour la génération de signaux en bande millimétrique. Les principales performances des multiplieurs à considérer sont :

- La puissance en sortie P_{out} ,
- La consommation P_{DC} ,
- Le gain de conversion ou pertes de conversion,
- La bande passante à -3 dB BW ,
- Le facteur de multiplication.

Dans [50], un des premiers doubleurs réalisés à base de diodes Schottky est présenté. Ce doubleur réalisé en technologie CMOS permet de générer un signal dans la bande 110-125 GHz. Des lignes de type G-CPW (Grounded Coplanar Waveguide) sont utilisées dans les réseaux d'adaptation d'entrée et de sortie, ainsi que pour l'amélioration du gain de conversion en sortie. La puissance maximale en sortie est de -1,5 dBm pour une puissance d'entrée de 8,5 dBm, soit 10 dB de pertes de conversion. Le circuit occupe une surface de 0,77 mm². La Figure 3.114 montre l'architecture et la photographie du doubleur.

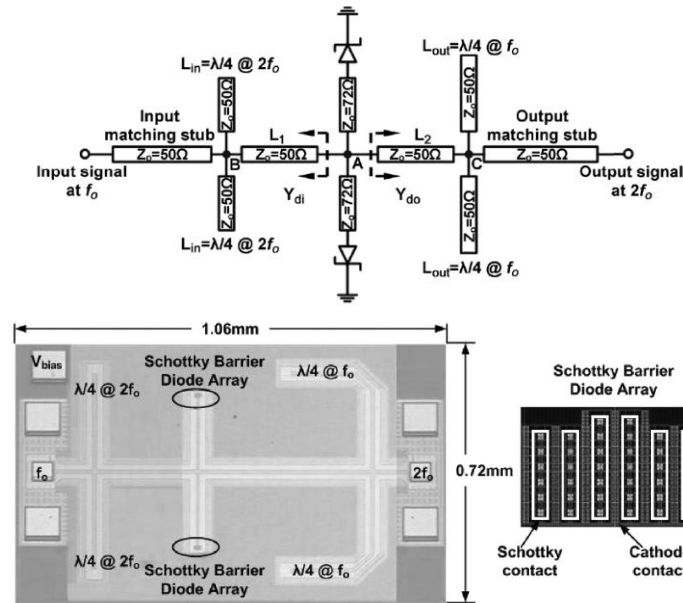


Figure 3.114 : Architecture et photographie du doubleur présenté dans [50].

Dans [51], une chaîne de multiplication (x18) en technologie BiCMOS est présentée. Elle repose sur la cascade de tripleurs et de doubleurs de fréquence. Cette chaîne permet de générer un signal à 325 GHz. La structure des doubleurs est basée sur une paire différentielle avec des transistors polarisés en classe B où un redressement de courant est réalisé au niveau du nœud collecteur commun. La 2^{ème} harmonique est filtrée grâce à un stub en sortie. Les tripleurs sont réalisés par des amplificateurs cascade différentiels avec des charges de type LC pour filtrer l'harmonique voulue et adapter la sortie. La puissance maximale en sortie est de -3 dBm pour une puissance de 0 dBm en entrée, soit 3 dB de pertes de conversion. La bande passante est de 11 GHz. La surface est de 0,946 mm² avec une consommation de 1500 mW. La Figure 3.115 présente l'architecture et la photographie de la chaîne de multiplication.

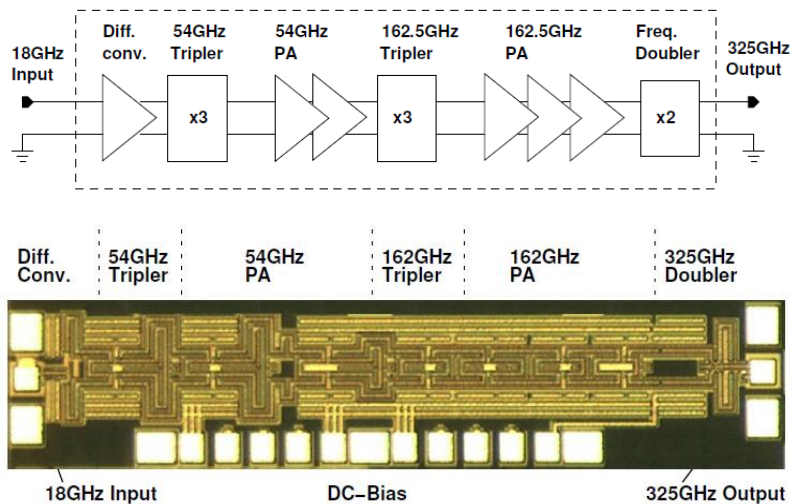


Figure 3.115 : Architecture et photographie de la chaîne de multiplication présentée dans [51].

Un doubleur de fréquence réalisé en technologie CMOS est présenté dans [52]. La fréquence du signal généré est de 244 GHz. L'architecture du doubleur est basée sur N

sections de lignes de transmission réalisées par des inductances (L_g) et les capacités grille (C_g). Deux signaux ayant la même fréquence sont injectés aux extrémités de la ligne. Ces deux signaux se propagent (*travelling wave*) en opposition de phase et arrivent à la grille du transistor. Le courant au niveau du drain contient les harmoniques du signal d'entrée. Pour sélectionner l'harmonique désirée et adapter la sortie à la charge R_L , un bloc d'adaptation et de filtrage est relié au drain. La puissance en sortie est de -6,6 dBm avec 11,4 dB de pertes de conversion. La bande passante est de 19 GHz. La surface est de 0,022 mm². La consommation est de 40 mW. La Figure 3.116 montre l'architecture et la photographie du doubleur.

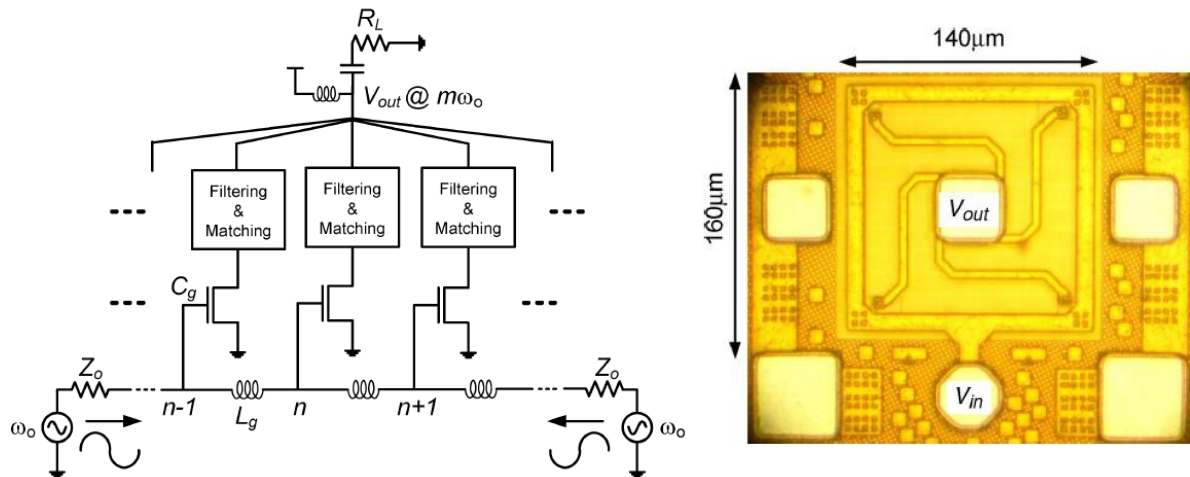


Figure 3.116 : Architecture et photographie du doubleur présenté dans [52].

Dans [53], un doubleur de fréquence (*push-push*) en technologie CMOS-SOI est présenté. La structure est basée sur une paire différentielle, les drains connectés permettent d'avoir un court-circuit pour la fréquence fondamentale f_0 et les harmoniques impaires avec une recombinaison en phase des harmoniques paires. Des réflecteurs à $2 * f_0$ sont ajoutés à l'entrée de la paire différentielle afin d'améliorer le gain de conversion. La puissance en sortie est de 0 dBm à 180 GHz avec 6,4 dB de pertes de conversion. La bande passante est de 25 GHz. La consommation est de 39 mW et le circuit occupe une surface de 0,34 mm².

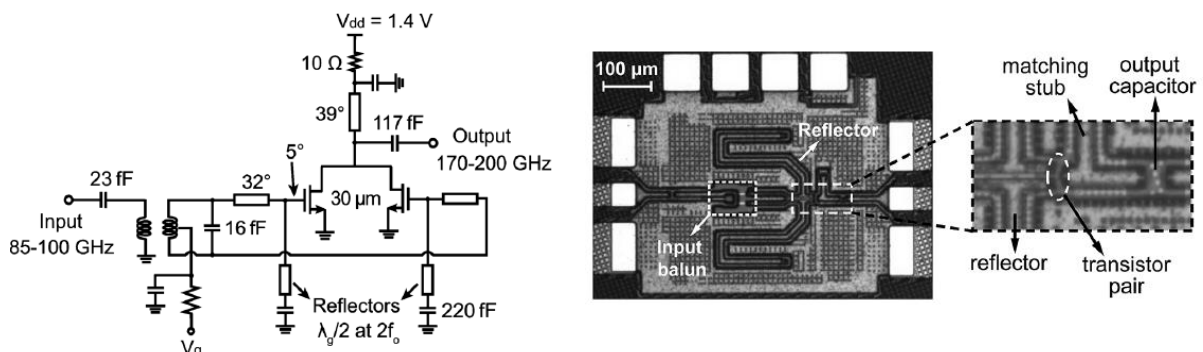


Figure 3.117 : Architecture et photographie du doubleur présenté dans [53].

Une chaîne de multiplication (x16) en technologie BiCMOS est présentée dans [54]. Cette chaîne permet de générer un signal à 255 GHz. Cette chaîne est réalisée par des doubleurs de fréquence en cascade. Les doubleurs sont réalisés par des cellules de Gilbert qui réalisent le

mélange du signal d'entrée avec lui-même afin de générer un signal en sortie à $2 * f_0$. Cette structure permet d'améliorer le gain de conversion de la chaîne. La puissance en sortie est de -8,5 dBm à 255 GHz avec une bande passante de 40 GHz. La consommation est de 300 mW pour une surface de $0,7 \text{ mm}^2$. L'architecture de cette chaîne et sa photographie sont présentées sur la Figure 3.118.

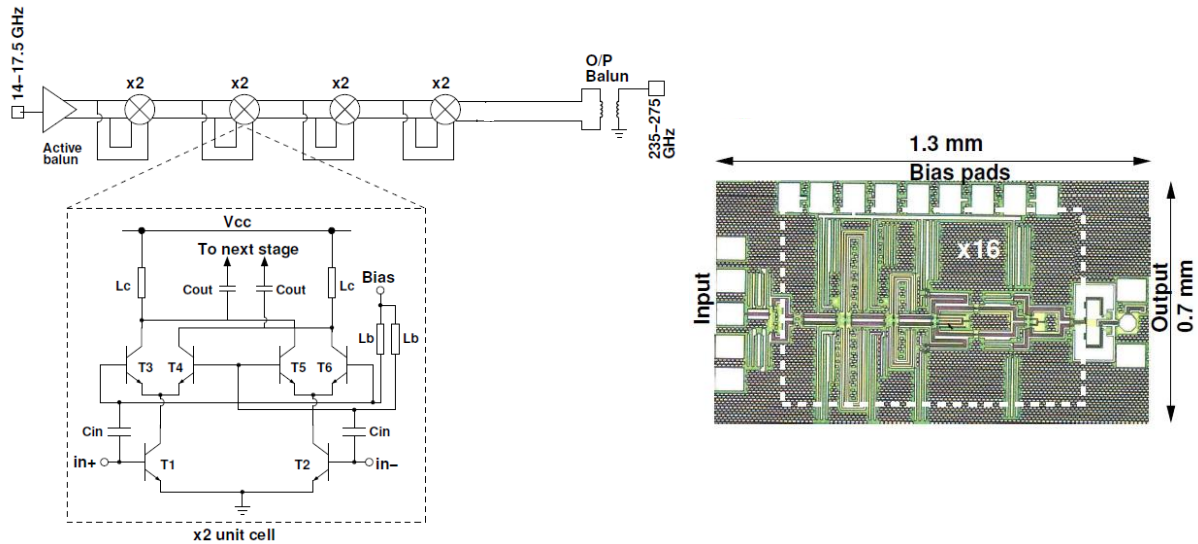


Figure 3.118 : Architecture et photographie de la chaîne de multiplication présentée dans [54].

D'après ce qui a été présenté dans ce bref état de l'art, un multiplieur de fréquence est basé en général sur un élément (transistor, varactor, diode) qui permet de générer des harmoniques du signal d'entrée, avec un étage de filtrage qui permet de sélectionner l'harmonique désirée et rejeter les autres. Dans les travaux présentés dans ce manuscrit, une faible consommation, une faible surface occupée et la simplicité de conception du multiplieur ont constitué les objectifs pour la réalisation de la chaîne de multiplication.

3.5.3 Théorie et spécifications

L'étude de la chaîne de multiplication repose en premier lieu sur la compréhension de l'élément non-linéaire qui permet de générer les harmoniques, soit le transistor MOS dans notre cas. Dans le chapitre 2 une étude du transistor MOS a été présentée, cette étude présente uniquement un modèle petit signal linéaire du transistor, où la transconductance g_m est ramenée au premier ordre. Dans le mode saturé le courant de drain $I_{ds,sat}$ dans un transistor MOS peut être approximé sous forme de :

$$I_{ds,sat} \cong \frac{W}{L} \frac{\mu_n C_{ox}}{2} [V_{gs} - V_{th}]^2 \quad (3.39)$$

D'après cette relation on peut remarquer que $I_{ds,sat}$ est proportionnel à V_{gs}^2 . Dans le cas d'un régime de fonctionnement grand signal, cette relation montre l'apparition des effets non-linéaires dans le comportement du transistor, étudiés dans la section suivante.

3.5.3.1 Effets non-linéaires dans le transistor MOS

Dans cette partie les effets non-linéaires sont brièvement présentés. En négligeant la non-linéarité des capacités intrinsèques, la Figure 3.119 présente le schéma équivalent d'un transistor MOS par une source de courant, chargé par une résistance R_l en sortie.

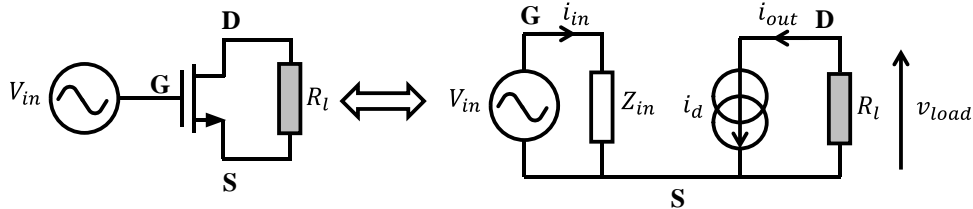


Figure 3.119 : Schéma équivalent d'un transistor MOS avec une source de courant, chargé par une résistance R_l en sortie.

V_{in} est le signal d'excitation à l'entrée du transistor qui présente une impédance d'entrée Z_{in} . La source de courant peut être exprimée sous cette forme :

$$i_d = \sum_{i=1}^{\infty} g_{mi} V_{in}^i, \quad (3.40)$$

avec g_{mi} les transconductances d'ordre i . Pour simplifier l'étude, i sera limité à 3. Le courant i_d non-linéaire est alors donné par :

$$i_d = g_{m1} V_{in} + g_{m2} V_{in}^2 + g_{m3} V_{in}^3, \quad (3.41)$$

et le courant i_d linéaire (réduit au premier ordre) par :

$$i_d = g_{m1} V_{in}. \quad (3.42)$$

En considérant que la tension V_{in} est statique, les courants non-linéaire et linéaire sont présentés en fonction de V_{in} sur la Figure 3.120.

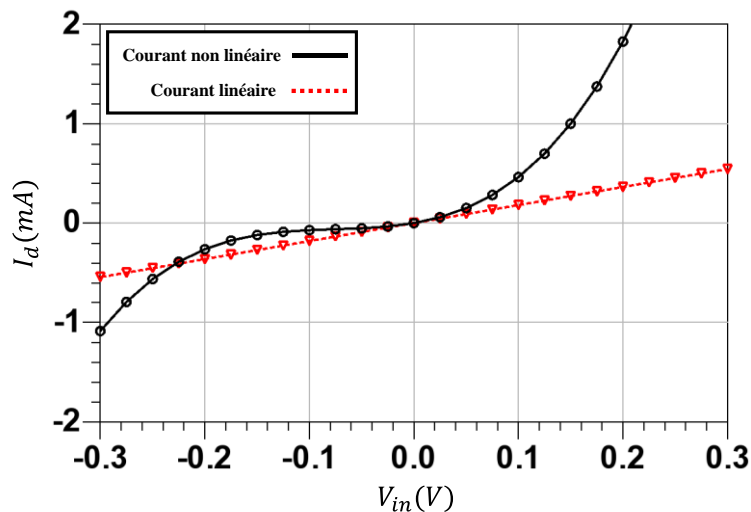


Figure 3.120 : Courant i_d linéaire et non-linéaire en fonction de la tension d'entrée statique V_{in} .

3.5.3.2 Distorsion et génération d'harmoniques

En appliquant une composante sinusoïdale en entrée, soit $V_{in} = A \cos(\omega_{in}t)$, où A est l'amplitude et ω_{in} la pulsation égale à $2\pi f_{in}$, le courant i_d est donné par :

$$i_d = g_{m1}A \cos(\omega_{in}t) + g_{m2}A^2 \cos^2(\omega_{in}t) + g_{m3}A^3 \cos^3(\omega_{in}t), \quad (3.43)$$

$$= \left(\frac{g_{m2}A^2}{2}\right) + \left(g_{m1}A + \frac{3g_{m3}A^3}{4}\right) \cos(\omega_{in}t) + \frac{g_{m2}A^2}{2} \cos(2\omega_{in}t) + \frac{g_{m3}A^3}{4} \cos(3\omega_{in}t)$$

et la tension v_{load} aux bornes de la charge en sortie égale à :

$$v_{load} = \left(\frac{g_{m2}A^2}{2}\right) R_l + \left(g_{m1}A + \frac{3g_{m3}A^3}{4}\right) R_l \cos(\omega_{in}t) + \frac{g_{m2}A^2}{2} R_l \cos(2\omega_{in}t) + \frac{g_{m3}A^3}{4} R_l \cos(3\omega_{in}t) \quad (3.44)$$

La tension réduite au premier ordre en sortie pour une source de courant linéaire est donnée par :

$$v_{load,lin} = g_{m1}R_l A \cos(\omega_{in}t) \quad (3.45)$$

L'équation (3.44) de v_{load} montre la présence des harmoniques qui sont des multiples de la fréquence fondamentale ω_{in} [55]. La Figure 3.121 (a) présente la réponse temporelle de la tension d'entrée V_{in} , de la tension en sortie quand la source de courant de courant est non-linéaire v_{load} et de la tension en sortie dans le cas d'une source de courant linéaire $v_{load,lin}$.

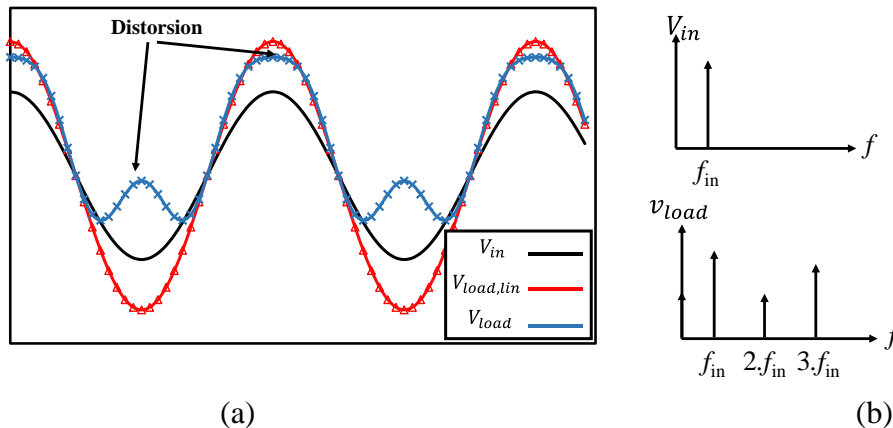


Figure 3.121 : (a) Réponse temporelle des tensions V_{in} , v_{load} et $v_{load,lin}$. (b) Spectre de V_{in} et de v_{load} .

D'après cette figure, on remarque que le signal v_{load} présente une distorsion à cause des harmoniques. Une représentation harmonique permet de donner des informations sur l'amplitude et la position de chaque harmonique, Figure 3.121 (b).

3.5.4 Conception de la chaîne de multiplication

Le cahier de charges de la chaîne de multiplication de fréquence est présenté ci-dessous :

- Facteur de multiplication de 12 : $3,75 < f_{in} \text{ (GHz)} < 4,17$ pour obtenir $45 < f_{out} \text{ (GHz)} < 50$.
- Faible consommation.
- Faible surface occupée.
- Simplicité du circuit.

Le schéma bloc de la chaîne de multiplication de fréquence est présenté sur la Figure 3.122. Elle est constituée d'un quadrupleur de fréquence, d'un tripleur de fréquence et d'un amplificateur en sortie qui permettra d'amplifier le signal multiplié et d'adapter la sortie à 50Ω . L'architecture du quadrupleur et du tripleur est similaire, reposant sur le même principe de fonctionnement.

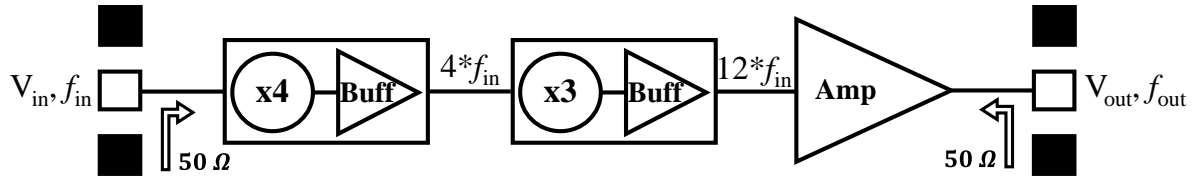


Figure 3.122 : Schéma bloc de la chaîne de multiplication de fréquence.

Chaque multiplieur de fréquence est composé d'un étage de distorsion qui permet de générer des harmoniques du signal d'entrée, comme présenté précédemment. Cet étage est suivi d'un étage d'amplification comportant un « buffer » qui permet d'amplifier le signal généré en sortie du multiplieur. L'architecture du multiplieur de fréquence utilisée dans ces travaux est présentée sur la Figure 3.123.

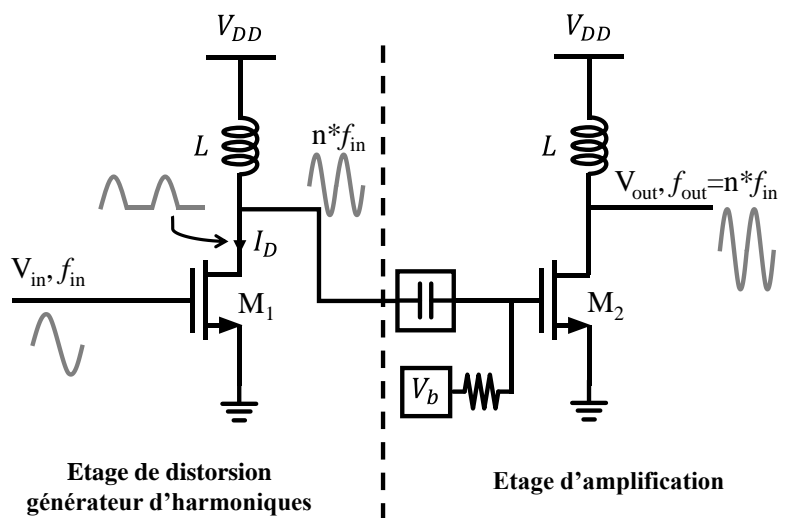


Figure 3.123 : Architecture du multiplieur de fréquence utilisée dans ces travaux.

L'étage de distorsion est constitué d'un transistor M_1 et d'une inductance L connectée au niveau du drain. Si l'on excite M_1 par un signal ayant une forte amplitude, le courant de drain I_d s'avère riche en harmoniques du signal d'entrée. Pour maximiser l'efficacité de conversion et donc réduire les pertes de conversion, l'angle de conduction doit être faible, c'est-à-dire que le composant doit être polarisé pour fonctionner en classe B ou C [13]. Le fonctionnement en classe B est choisi, le transistor M_1 n'est pas polarisé (i.e $V_{gs} = 0V$). Cette polarisation permet de fonctionner dans la zone la plus non-linéaire du transistor MOS (Figure 3.120). De même, les capacités parasites du transistor, C_{MOS} , ramenées en parallèle avec l'inductance L , constituent une charge résonante qui permet de sélectionner l'harmonique désirée et de rejeter les autres harmoniques. La fréquence de résonance est donnée par :

$$f_{res} = \frac{1}{2\pi\sqrt{LC_{MOS}}} \quad (3.46)$$

D'autre part, l'étage d'amplification a une architecture identique à celle de l'étage de distorsion. Cependant le transistor M_2 est polarisé par une tension V_b . Le rôle de ce « buffer » est d'amplifier le signal filtré à la sortie du multiplieur et conserver le maximum de « swing » en tension. Cet étage contient aussi une charge inductive résonante qui permet de filtrer l'harmonique voulue après amplification.

La Figure 3.124 présente l'architecture de la chaîne complète de multiplication de fréquence.

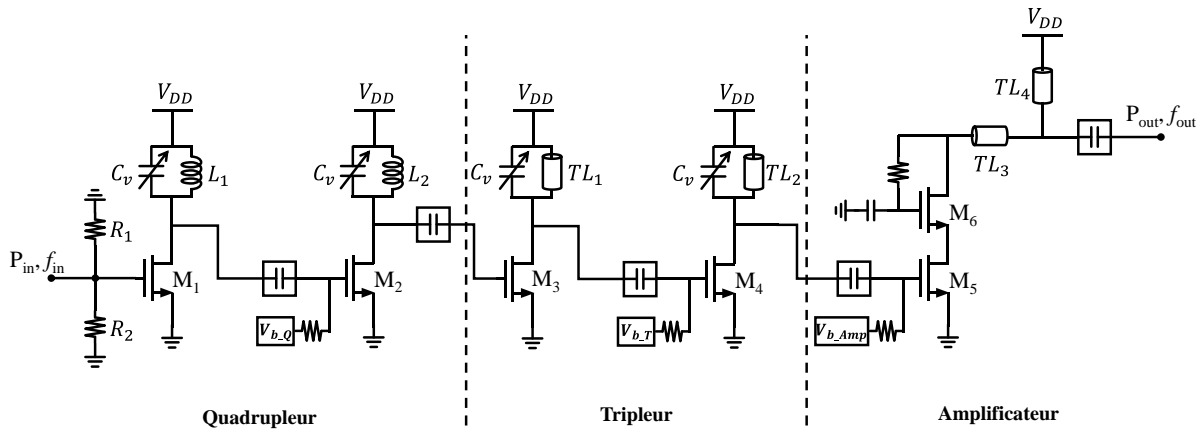


Figure 3.124 : Architecture de la chaîne complète de multiplication de fréquence.

Le signal d'entrée a une puissance d'entrée P_{in} et une fréquence f_{in} proche de 4 GHz. Deux résistances R_1 et R_2 forment le réseau d'adaptation en entrée. Elles ont une valeur de 100Ω afin d'obtenir une impédance d'entrée égale à 50Ω . Les transistors du quadrupleur ont une largeur $W_{M1} = W_{M2} = 60 \mu\text{m}$. Des inductances sont utilisées dans la charge résonante du quadrupleur. Ce choix est justifié car les lignes de transmission occupent une surface trop élevée à 16 GHz (fréquence de sortie du quadrupleur). Leurs valeurs sont respectivement $L_1 = 426 \text{ pH}$ et $L_2 = 250 \text{ pH}$. Les dimensions des transistors du tripleur sont $W_{M3} = W_{M4} = 70 \mu\text{m}$. Des lignes micro-ruban (TL_1 et TL_2) sont utilisées afin d'adapter la sortie du tripleur, autour de 48 GHz. Elles ont une longueur de $150 \mu\text{m}$. Pour l'amplificateur en sortie de la chaîne, une structure cascode est choisie. La structure cascode présente plusieurs avantages sur la structure source commune : une meilleure isolation entre la sortie et l'entrée, un gain plus élevé, et une bande passante large. La largeur du transistor M_5 est de $60 \mu\text{m}$ et celle du transistor M_6 est de $50 \mu\text{m}$. Afin d'adapter la sortie à 50Ω un réseau d'adaptation composé d'une ligne TL_3 de $400 \mu\text{m}$ et d'un stub TL_4 de $130 \mu\text{m}$ est connecté à la sortie de l'amplificateur.

3.5.5 Résultats de simulation

La Figure 3.125 montre la puissance en sortie P_{out} en dBm (courbe en noir) et les pertes de conversion PC en dB (courbe en rouge) de la chaîne de multiplication en fonction de la puissance d'entrée P_{in} . D'après cette figure, pour réduire les pertes de conversion il faut une

puissance en entrée supérieure à 1 dBm, ce qui correspond à une puissance en sortie meilleure que -8 dBm, soit des pertes de conversion inférieures à 9 dB.

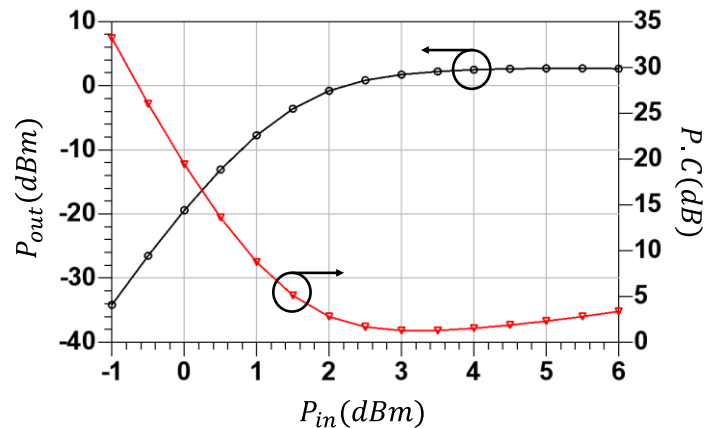


Figure 3.125 : Puissance en sortie et pertes de conversion de la chaîne de multiplication en fonction de la puissance d'entrée.

La fréquence du signal injecté en entrée de la chaîne de multiplication se situe autour de 4 GHz, avec une puissance de 3 dBm. La Figure 3.126 (a) montre la réponse temporelle à la sortie de chaque étage. La forme d'onde en bleu correspond au signal injecté en entrée, celle qui est en noir correspond à la sortie du quadrupleur et celle en rouge correspond au signal en sortie de la chaîne. Le spectre est illustré sur la Figure 3.126 (b), permettant de vérifier la position des raies ainsi que la réjection des autres harmoniques. Cette réponse fréquentielle permet de valider le fonctionnement des multiplieurs. Ainsi pour un signal de 4 GHz en entrée (raie en bleu), le signal en sortie du quadrupleur a une fréquence de 16 GHz (raie en noir) et la fréquence du signal en sortie de la chaîne est de 48 GHz (16 GHz x 3 ou bien 4 GHz x 12, raie en rouge). Une réjection des autres harmoniques de 10 et 13 dB est obtenue grâce à la charge résonante.

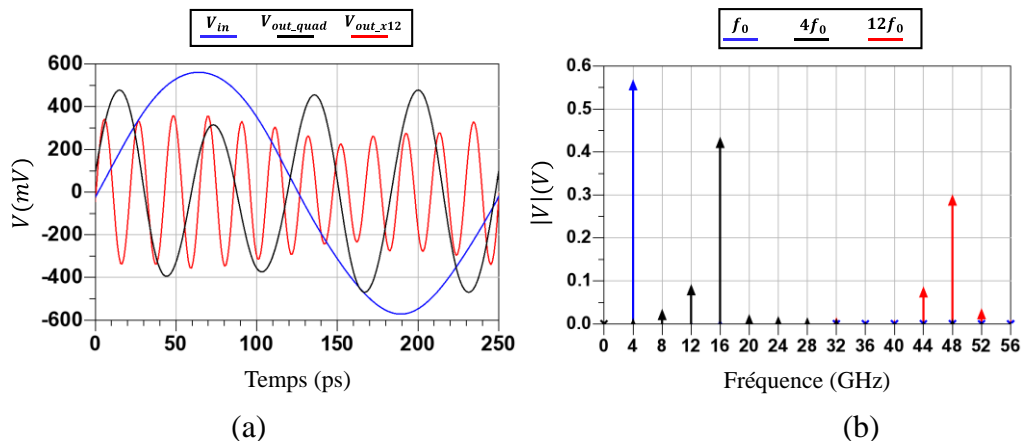


Figure 3.126 : Réponse en sortie de chaque étage de la chaîne de multiplication de fréquence : (a) réponse temporelle et (b) spectre.

En variant la fréquence du signal en entrée de 3,75 GHz à 4,17 GHz, le spectre en sortie de chaque étage est présenté sur la Figure 3.127 (a). D'après cette figure, on constate une variation d'amplitude entre une fréquence et une autre à la sortie de chaque multiplieur. Une représentation spectrale permet d'évaluer cette différence d'amplitude. La puissance en sortie

de la chaîne en fonction de la fréquence peut être tracée comme le montre la Figure 3.127 (b). D'après cette figure la bande passante à -3 dB est extraite. Cette bande passante est de 2 GHz.

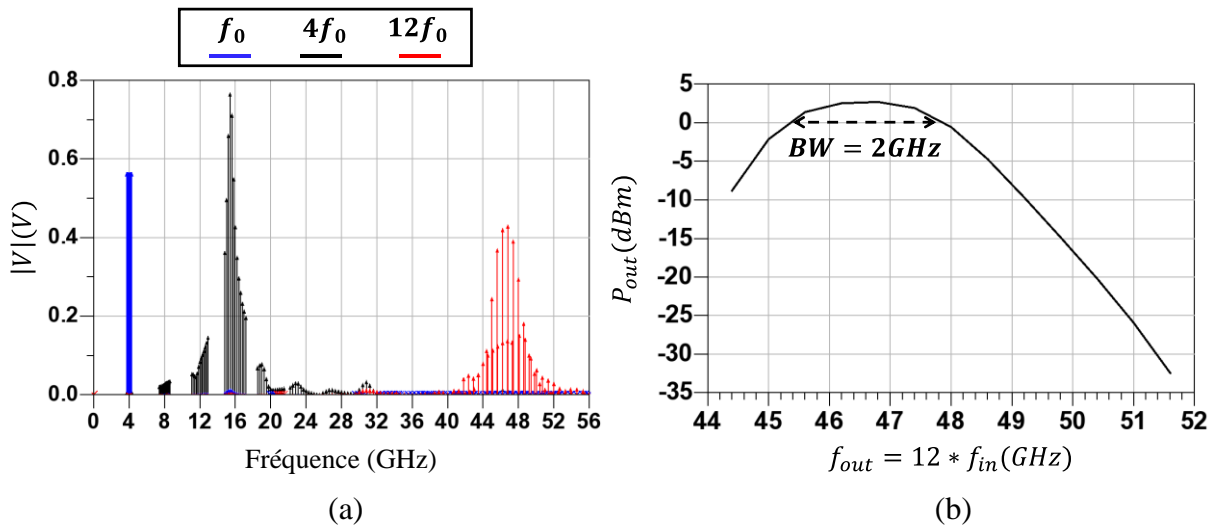


Figure 3.127 : (a) spectre en sortie de chaque étage de la chaîne de multiplication pour différentes fréquences en entrée, (b) puissance en sortie de la chaîne de multiplication en fonction de la fréquence.

L'analyse du résultat obtenu révèle une limitation de cette architecture. La bande passante est étroite, cette structure ne permet pas de viser plusieurs fréquences en sortie avec une puissance stable. Cette limitation en bande passante est principalement due au facteur de qualité de la charge résonante LC. En effet, le facteur de qualité Q d'un circuit résonant est défini par le ratio entre la puissance stockée et la puissance dissipée dans le circuit résonant. Il peut être exprimé par :

$$Q = \frac{X}{R} \quad (3.47)$$

Avec X la réactance inductive ou capacitive à la résonance, et R la résistance en série. La résistance série de l'inductance limite le facteur de qualité.

D'autre part, la bande passante à -3 dB BW est définie par le rapport entre la fréquence de résonance f_{res} et le facteur de qualité Q , et peut être exprimée sous la forme suivante :

$$BW = \frac{f_{res}}{Q} \quad (3.48)$$

D'après cette relation, plus le facteur de qualité est élevé, plus la bande passante est faible. La Figure 3.128 (a) présente un résonateur LC parallèle, avec une résistance R_S ajoutée en série avec l'inductance afin de diminuer le facteur de qualité. La Figure 3.128 (b) montre le coefficient de transmission S_{21} du résonateur en fonction de la fréquence pour différentes valeurs de R_S validant comme prévu l'augmentation de la bande passante par la diminution du facteur de qualité.

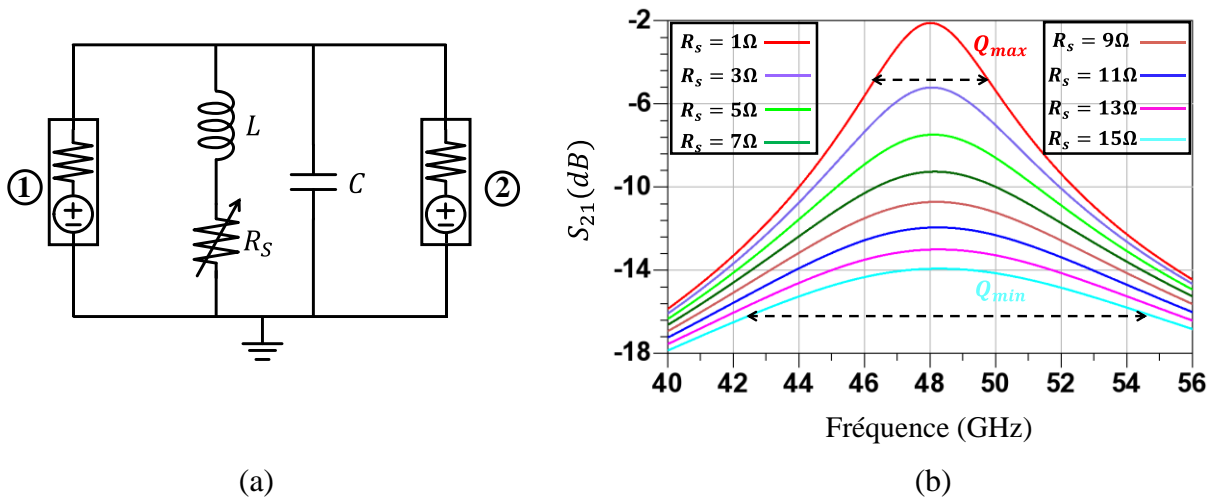


Figure 3.128 : Résonateur LC parallèle : (a) Schéma et (b) coefficient de transmission S_{21} en fonction de la fréquence pour différentes valeurs de résistance R_s

Néanmoins, les inductances et les lignes de transmission utilisées dans les charges résonantes, dont les dimensions sont fixées en fonction de la fréquence de résonance voulue, possèdent un facteur de qualité relativement bon à 16 GHz et à 48 GHz (fréquence à la sortie du quadrupleur et du tripleur). En utilisant un niveau de métal moins épais, pour les inductances et les lignes, le facteur de qualité sera moins bon et la bande passante plus large. Cependant, les modèles des inductances et des lignes sont figés dans le DK, alors il n'est donc pas aisé de faire varier le facteur de qualité des inductances ou des lignes.

Une solution alternative consiste à ajuster la fréquence de résonance en ajoutant des varactors en parallèle avec la charge inductive (Figure 3.124). La capacité variable C_v des varactors s'ajoute aux capacités parasites C_{MOS} , donnant la nouvelle fréquence de résonance :

$$f_{res} = \frac{1}{2\pi\sqrt{LC_{equ}}} \quad (3.49)$$

avec $C_{equ} = C_{MOS} + C_v$.

Cette fréquence de résonance est accordable en fonction de la tension V_{tune} appliquée aux bornes des varactors. Ceci conduit à élargir la bande passante [34] du fait du faible facteur de qualité des varactors, et permet de couvrir la bande de fréquence en sortie située entre 45 GHz et 50 GHz avec une puissance presque constante. Les varactors utilisés dans le quadrupleur et le tripleur ont respectivement une capacité maximale de 41 fF et de 36fF.

La puissance en sortie en fonction de la fréquence pour différentes tensions de polarisation V_{tune} allant de 0 V à 2,5 V est présentée sur la Figure 3.129. D'après cette figure, plusieurs fréquences peuvent être visées en fonction de la tension avec une puissance d'environ 3 dBm. La bande passante atteinte est de 5 GHz.

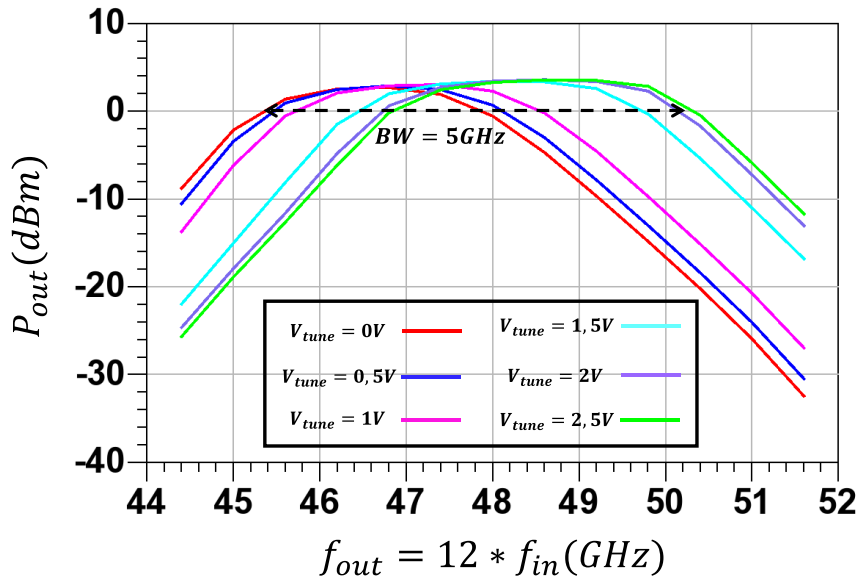


Figure 3.129 : Puissance en sortie de la chaîne de multiplication en fonction de la fréquence pour différentes tensions de polarisation V_{tune} .

Les paramètres S en entrée et en sortie de la chaîne de multiplication, pour différentes tensions de polarisation V_{tune} sont présentés sur la Figure 3.130. Une adaptation de l'ordre de -30 dB est obtenue à l'entrée autour de 4 GHz. Une bonne adaptation est également obtenue en sortie pour chaque point de polarisation situé dans la bande entre 45 GHz et 50 GHz.

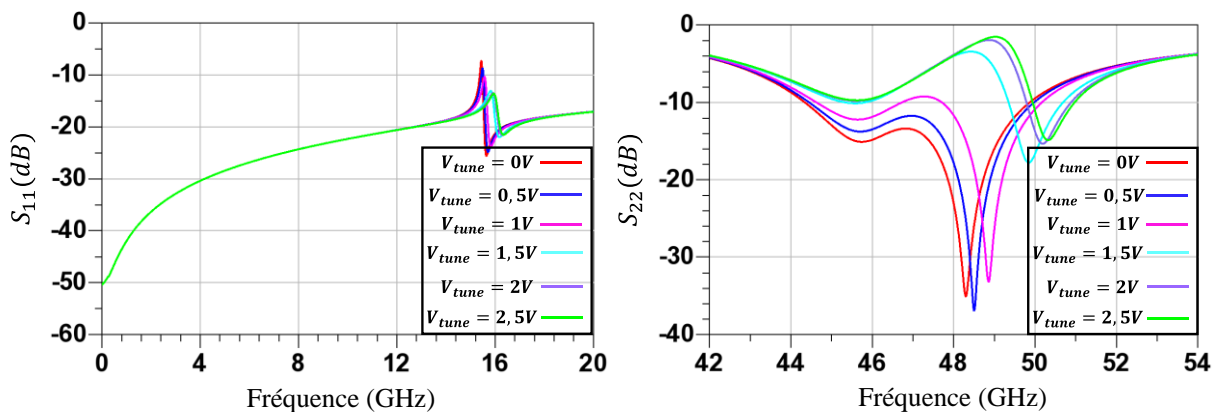


Figure 3.130 : Paramètres S en fonction de la fréquence en entrée et en sortie de la chaîne de multiplication pour différentes tensions de polarisation V_{tune} .

La Figure 3.131 montre le banc de mesure utilisé. Les mesures ont été réalisées à l'aide d'un VNA en mode *frequency-offset*, qui permet de mesurer des circuits ayant des fréquences différentes en entrée et en sortie. En injectant un signal à l'entrée du circuit ayant une fréquence f_{in} et une puissance P_{in} il est possible de mesurer la puissance P_{out} qui correspond à la fréquence en sortie f_{out} . Un calibrage en puissance est nécessaire afin de délivrer la bonne puissance à l'entrée du circuit. Cependant ce mode de mesure ne remplace pas l'analyseur de spectre qui permet de visualiser le spectre en sortie avec les raies parasites, mais permet de réduire le temps de mesure lorsque l'on fait varier la fréquence d'entrée.

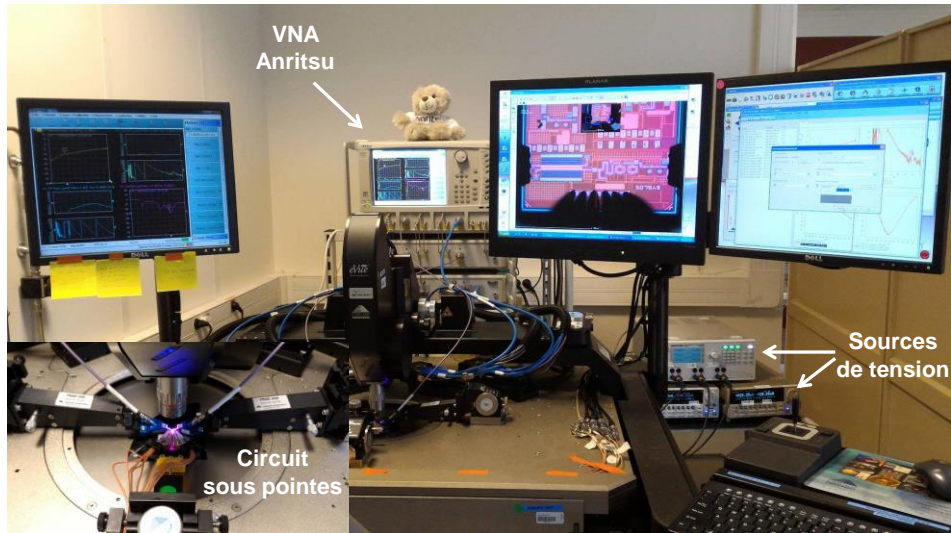


Figure 3.131: Photo du banc de mesure.

La Figure 3.132 présente les paramètres S en entrée et en sortie en fonction de la fréquence. Les mesures sont en bon accord avec la simulation. Une bonne adaptation est obtenue en entrée, avec S_{11} de l'ordre de -30 dB autour de 4 GHz. En sortie, dans la bande 45 - 50 GHz, l'adaptation est meilleure que prévu du fait que le déphaseur mesuré présente une meilleure adaptation qu'en simulation.

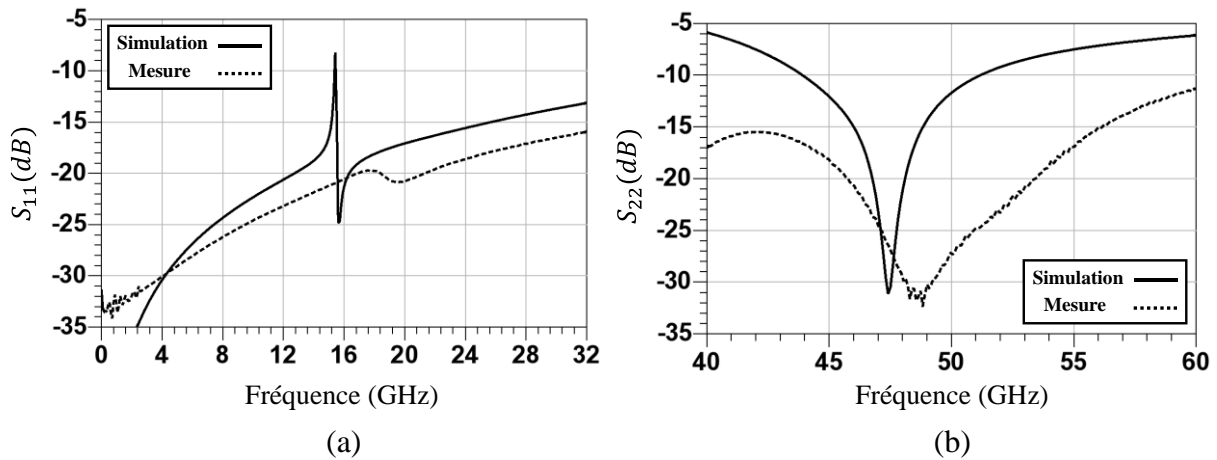


Figure 3.132 : Paramètres S en entrée et en sortie en fonction de la fréquence : (a) S_{11} et (b) S_{22} .

La Figure 3.133 (a) présente la puissance en sortie P_{out} en fonction de la fréquence f_{out} pour différentes tensions de contrôle V_{tune} allant de 0 V à $2,5$ V. Le signal en entrée est balayé entre 3 et 5 GHz. La Figure 3.133 (b) présente la comparaison entre la mesure et la simulation de P_{out} en fonction de la fréquence f_{out} pour $V_{tune} = 0$ V et $2,5$ V.

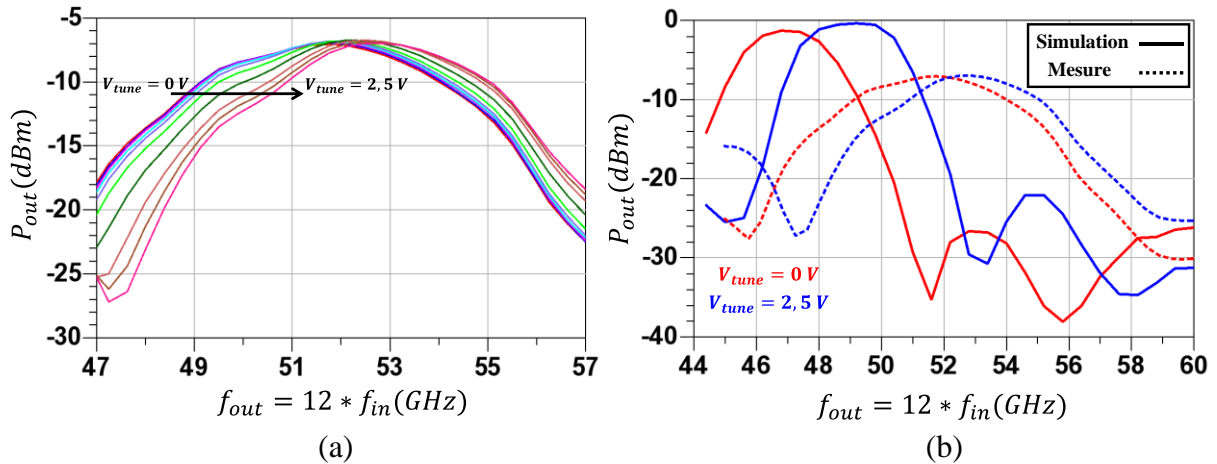


Figure 3.133 : Puissance en sortie en fonction de la fréquence de sortie : (a) mesure de la puissance pour différentes valeurs de V_{tune} et (b) comparaison entre la mesure et la simulation de la puissance en sortie pour $V_{tune} = 0 V$ et $2,5 V$.

La fréquence en sortie correspond bien à la multiplication par 12 de la fréquence en entrée. Cependant on remarque sur la Figure 3.133 (b) qu'il existe un décalage en fréquence de 4 GHz environ entre les simulations et les mesures, avec un niveau de puissance plus faible. Ce décalage en fréquence est également visible sur la Figure 3.132 (a) au niveau du coefficient de réflexion S_{11} . La résonance observée sur S_{11} correspond à la réponse du filtre LC du quadrupleur, en simulation cette résonance se situe à 16 GHz environ ($4 \text{ GHz} \times 4 = 16 \text{ GHz}$). En mesure cette résonance se situe à 17,5 GHz. Cela permet de montrer que le résonateur LC est centré sur une fréquence plus élevée celle prévue en simulation. La fréquence de résonance définie dans l'équation 3.49 est liée directement à la valeur de l'inductance et la capacité équivalente. Une fréquence de résonance plus élevée indique que la valeur réelle de l'inductance est plus faible. Pour valider cette hypothèse, des simulations EM sous Momentum ont été réalisées, puis l'inductance du DK a été remplacée par le modèle extrait de Momentum. La Figure 3.134 montre que le pic de résonance se déplace vers la droite et la Figure 3.134 (b) montre que la retro-simulation est proche des résultats obtenus en mesure. Le problème vient donc bien d'une mauvaise précision des valeurs d'inductance indiquées dans le DK.

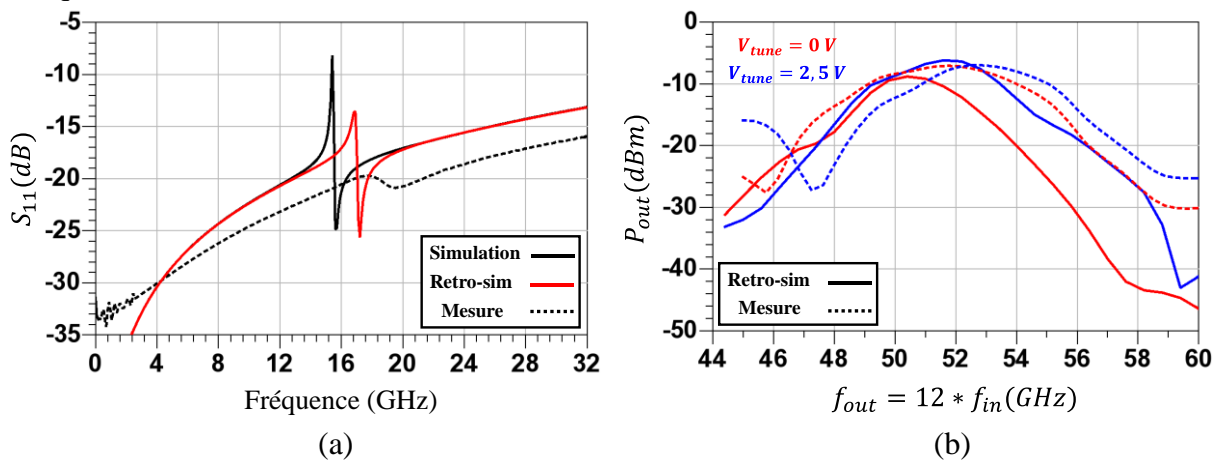


Figure 3.134 : Comparaison entre la mesure et la retro-simulation : (a) coefficient de réflexion en fonction de la fréquence et (b) puissance en sortie en fonction de la fréquence en sortie.

3.6 Conclusion

Dans ce chapitre, les circuits élémentaires du système de formation de faisceau ont été présentés. Dans un premier temps, deux versions d'émetteurs implémentés dans la bande sub-millimétrique ont été réalisés. Les mesures sont en bon accord avec les simulations. La deuxième version optimisée du TX, présente une puissance maximale en sortie de -20 dBm environ avec un gain en puissance qui atteint une valeur maximale de 12 dB à 285 GHz. De même ce circuit consomme peu et occupe une faible surface. Le bloc principal de l'émetteur est l'oscillateur verrouillé par injection sous-harmonique. Ce circuit a été mesuré individuellement et implémenté ensuite dans l'émetteur. Les performances de l'oscillateur sont à l'état de l'art. Ensuite une structure innovante de déphaseur a été réalisée. Le déphaseur de type RTPS est basé sur des lignes couplées à ondes lentes. Les déphaseurs ont été implémentés sur la voie LO pour ne pas impacter le signal sur la voie RF dans la bande autour de 300 GHz. Etant donné que le signal de verrouillage injecté subit une multiplication de fréquence par 6 à la sortie de l'oscillateur, les déphaseurs ont été implémentés dans la bande 45-50 GHz. Cela a permis la réalisation de déphaseur ayant des faibles pertes avec une variation de phase de 60° à 50 GHz. Finalement la figure de mérite obtenue est à l'état de l'art et vaut 12°/dB. De même une antenne a été conçue et envoyée en fabrication, cette antenne est connectée à la sortie de l'émetteur. Finalement, une chaîne de multiplication par 12 a été réalisée, dans le but de générer le signal de verrouillage situé dans la bande 45-50 GHz, à l'aide d'un signal basse fréquence situé dans la bande 3-5 GHz. Les résultats de mesure correspondent aux simulations, avec des puissances en sorties acceptables, permettant ainsi le verrouillage de l'oscillateur.

3.7 Références bibliographiques

- [1] S. Hu, Y.-Z. Xiong, B. Zhang, L. Wang, T.-G. Lim, M. Je, and M. Madihian, "A SiGe BiCMOS Transmitter/Receiver Chipset With On-Chip SIW Antennas for Terahertz Applications," *IEEE J. Solid-State Circuits*, vol. 47, no. 11, pp. 2654–2664, Nov. 2012.
- [2] B. Khamaisi, S. Jameson, and E. Socher, "A 210-227 GHz Transmitter With Integrated On-Chip Antenna in 90 nm CMOS Technology," *IEEE Trans. Terahertz Sci. Technol.*, vol. 3, no. 2, pp. 141–150, Mar. 2013.
- [3] S. Kang, S. V. Thyagarajan, and A. M. Niknejad, "A 240GHz wideband QPSK transmitter in 65nm CMOS," in *2014 IEEE Radio Frequency Integrated Circuits Symposium*, 2014, pp. 353–356.
- [4] K. Katayama, K. Takano, S. Amakawa, S. Hara, A. Kasamatsu, K. Mizuno, K. Takahashi, T. Yoshida, and M. Fujishima, "A 300GHz 40nm CMOS transmitter with 32-QAM 17.5Gb/s/ch capability over 6 channels," in *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, 2016, pp. 342–343.
- [5] "Electronic oscillator," *Wikipedia, the free encyclopedia*. 24-Apr-2016.
- [6] A. Hajimiri and T. H. Lee, "A general theory of phase noise in electrical oscillators," *IEEE J. Solid-State Circuits*, vol. 33, no. 2, pp. 179–194, Feb. 1998.
- [7] D. B. Leeson, "A simple model of feedback oscillator noise spectrum," *Proc. IEEE*, vol. 54, no. 2, pp. 329–330, Feb. 1966.
- [8] R. Adler, "A Study of Locking Phenomena in Oscillators," *Proc. IRE*, vol. 34, no. 6, pp. 351–357, Jun. 1946.

- [9] K. Kurokawa, "Injection locking of microwave solid-state oscillators," *Proc. IEEE*, vol. 61, no. 10, pp. 1386–1410, Oct. 1973.
- [10] B. Razavi, "A study of injection locking and pulling in oscillators," *IEEE J. Solid-State Circuits*, vol. 39, no. 9, pp. 1415–1424, Sep. 2004.
- [11] G. Mangraviti, K. Khalaf, B. Parvais, K. Vaesen, V. Szortyka, G. Vandersteen, and P. Wambacq, "Design and Tuning of Coupled-LC mm-Wave Subharmonically Injection-Locked Oscillators," *IEEE Trans. Microw. Theory Tech.*, vol. 63, no. 7, pp. 2301–2312, Jul. 2015.
- [12] O. Momeni and E. Afshari, "High Power Terahertz and Millimeter-Wave Oscillator Design: A Systematic Approach," *IEEE J. Solid-State Circuits*, vol. 46, no. 3, pp. 583–597, Mar. 2011.
- [13] M. Adnan and E. Afshari, "A 247-to-263.5GHz VCO with 2.6mW peak output power and 1.14% DC-to-RF efficiency in 65nm Bulk CMOS," in *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, 2014, pp. 262–263.
- [14] C. H. Li, C. L. Ko, C. N. Kuo, M. C. Kuo, and D. C. Chang, "A 340 GHz Triple-Push Oscillator With Differential Output in 40 nm CMOS," *IEEE Microw. Wirel. Compon. Lett.*, vol. 24, no. 12, pp. 863–865, Dec. 2014.
- [15] J. M. Guerra, A. Siligaris, J. F. Lampin, F. Danneville, and P. Vincent, "A 285 GHz sub-harmonic injection locked oscillator in 65nm CMOS technology," in *Microwave Symposium Digest (IMS), 2013 IEEE MTT-S International*, 2013, pp. 1–3.
- [16] Y.-L. Tang and H. Wang, "Triple-push oscillator approach: theory and experiments," *IEEE J. Solid-State Circuits*, vol. 36, no. 10, pp. 1472–1479, Oct. 2001.
- [17] C. Jany, "Conception et étude d'une synthèse de fréquence innovante en technologies CMOS avancées pour les applications en bande de fréquence millimétrique," Université Grenoble Alpes, 2014.
- [18] A. Siligaris, Y. Andee, C. Jany, V. Puyal, J. M. Guerra, J. L. G. Jimenez, and P. Vincent, "A 270-to-300 GHz Sub-Harmonic Injection Locked Oscillator for Frequency Synthesis in Sub-mmW Systems," *IEEE Microw. Wirel. Compon. Lett.*, vol. 25, no. 4, pp. 259–261, Apr. 2015.
- [19] E. Monaco, M. Pozzoni, F. Svelto, and A. Mazzanti, "Injection-Locked CMOS Frequency Doublers for μ -Wave and mm-Wave Applications," *IEEE J. Solid-State Circuits*, vol. 45, no. 8, pp. 1565–1574, Aug. 2010.
- [20] P. Y. Chiang, Z. Wang, O. Momeni, and P. Heydari, "14.7 A 300GHz frequency synthesizer with 7.9% locking range in 90nm SiGe BiCMOS," in *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, 2014, pp. 260–261.
- [21] Y. Tousi and E. Afshari, "A scalable THz 2D phased array with +17dBm of EIRP at 338GHz in 65nm bulk CMOS," in *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, 2014, pp. 258–259.
- [22] J. Grzyb, Y. Zhao, and U. R. Pfeiffer, "A 288-GHz Lens-Integrated Balanced Triple-Push Source in a 65-nm CMOS Technology," *IEEE J. Solid-State Circuits*, vol. 48, no. 7, pp. 1751–1761, Jul. 2013.
- [23] Y. M. Tousi, O. Momeni, and E. Afshari, "A 283-to-296GHz VCO with 0.76mW peak output power in 65nm CMOS," in *2012 IEEE International Solid-State Circuits Conference*, 2012, pp. 258–260.
- [24] F. Ellinger, "26.5-30-GHz Resistive Mixer in 90-nm VLSI SOI CMOS Technology With High Linearity for WLAN," *IEEE Trans. Microw. Theory Tech.*, vol. 53, no. 8, pp. 2559–2565, Aug. 2005.
- [25] A. Abdel Moneim Saleh, "Theory of resistive mixers," MIT, 1970.

- [26] S. A. Maas, "A GaAs MESFET mixer with very low intermodulation," *Microw. Theory Tech. IEEE Trans. On*, vol. 35, no. 4, pp. 425–429, 1987.
- [27] M. Bao, H. Jacobsson, L. Aspemyr, G. Carchon, and X. Sun, "A 9–31-GHz Subharmonic Passive Mixer in 90-nm CMOS Technology," *IEEE J. Solid-State Circuits*, vol. 41, no. 10, pp. 2257–2264, Oct. 2006.
- [28] J.-D. Park, S. Kang, and A. M. Niknejad, "A 0.38 THz Fully Integrated Transceiver Utilizing a Quadrature Push-Push Harmonic Circuitry in SiGe BiCMOS," *IEEE J. Solid-State Circuits*, vol. 47, no. 10, pp. 2344–2354, Oct. 2012.
- [29] A. Tang and M. C. F. Chang, "A 294 GHz 0.47mW caterpillar amplifier based transmitter in 65nm CMOS for THz data-links," in *2013 IEEE 13th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF)*, 2013, pp. 27–29.
- [30] R. Han, C. Jiang, A. Mostajeran, M. Emadi, H. Aghasi, H. Sherry, A. Cathelin, and E. Afshari, "A 320GHz phase-locked transmitter with 3.3mW radiated power and 22.5dBm EIRP for heterodyne THz imaging systems," in *2015 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers*, 2015, pp. 1–3.
- [31] N. Sarmah, J. Grzyb, K. Statnikov, S. Malz, P. R. Vazquez, W. Förster, B. Heinemann, and U. R. Pfeiffer, "A Fully Integrated 240-GHz Direct-Conversion Quadrature Transmitter and Receiver Chipset in SiGe Technology," *IEEE Trans. Microw. Theory Tech.*, vol. 64, no. 2, pp. 562–574, Feb. 2016.
- [32] C. Person, "Antennas on Silicon for millimeterwave applications-Status and trends," in *2010 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2010, pp. 180–183.
- [33] Y. Yang, O. Gurbuz, and G. M. Rebeiz, "An 8-element 400 GHz phased-array in 45 nm CMOS SOI," in *Microwave Symposium (IMS), 2015 IEEE MTT-S International*, 2015, pp. 1–3.
- [34] M. Adnan and E. Afshari, "Efficient Microwave and Millimeter-Wave Frequency Multipliers Using Nonlinear Transmission Lines in CMOS Technology," *IEEE Trans. Microw. Theory Tech.*, vol. 63, no. 9, pp. 2889–2896, Sep. 2015.
- [35] R. G. Pierce, A. J. Blanchard, and R. M. Henderson, "Broadband Planar Modified Aperture Bowtie Antenna," *IEEE Antennas Wirel. Propag. Lett.*, vol. 12, pp. 1432–1435, 2013.
- [36] S. Raut and A. Petosa, "A compact printed bowtie antenna for ultra-wideband applications," in *Microwave Conference, 2009. EuMC 2009. European*, 2009, pp. 081–084.
- [37] B. Biglarbegan, M. R. Nezhad-Ahmadi, M. Fakharzadeh, and S. Safavi-Naeini, "Millimeter-Wave Reflective-Type Phase Shifter in CMOS Technology," *IEEE Microw. Wirel. Compon. Lett.*, vol. 19, no. 9, pp. 560–562, Sep. 2009.
- [38] W.-T. Li, Y.-C. Chiang, J.-H. Tsai, H.-Y. Yang, J.-H. Cheng, and T.-W. Huang, "60-GHz 5-bit Phase Shifter With Integrated VGA Phase-Error Compensation," *IEEE Trans. Microw. Theory Tech.*, vol. 61, no. 3, pp. 1224–1235, Mar. 2013.
- [39] F. Meng, K. Ma, K. S. Yeo, S. Xu, C. C. Boon, and W. M. Lim, "Miniaturized 3-bit Phase Shifter for 60 GHz Phased-Array in 65 nm CMOS Technology," *IEEE Microw. Wirel. Compon. Lett.*, vol. 24, no. 1, pp. 50–52, Jan. 2014.
- [40] G.-S. Shin, J.-S. Kim, H.-M. Oh, S. Choi, C. W. Byeon, J. H. Son, J. H. Lee, and C.-Y. Kim, "Low Insertion Loss, Compact 4-bit Phase Shifter in 65 nm CMOS for 5G Applications," *IEEE Microw. Wirel. Compon. Lett.*, vol. 26, no. 1, pp. 37–39, Jan. 2016.
- [41] I. S. Song, G. Yoon, and C. S. Park, "A Highly Integrated 1-Bit Phase Shifter Based on High-Pass/Low-Pass Structure," *IEEE Microw. Wirel. Compon. Lett.*, vol. 25, no. 8, pp. 523–525, Aug. 2015.

- [42] K. Raczkowski, G. Mangraviti, V. Szortyka, A. Spagnolo, B. Parvais, R. Vandebriel, V. Vidojkovic, C. Soens, S. D'Amico, and P. Wambacq, "A four-path 60GHz phased-array receiver with injection-locked LO, hybrid beamforming and analog baseband section in 90nm CMOS," in *2012 IEEE Radio Frequency Integrated Circuits Symposium*, 2012, pp. 431–434.
- [43] Y. Soliman and R. Mason, "A frequency multiplication based LO phase shifting technique for phased-array architectures," in *Radio and Wireless Symposium (RWS), 2010 IEEE*, 2010, pp. 88–91.
- [44] F. Burdin, Z. Iskandar, F. Podevin, and P. Ferrari, "Design of Compact Reflection-Type Phase Shifters With High Figure-of-Merit," *IEEE Trans. Microw. Theory Tech.*, vol. 63, no. 6, pp. 1883–1893, Jun. 2015.
- [45] J. Lugo Alvarez, "Lignes couplées à ondes lentes intégrées sur silicium en bande millimétrique – Application aux coupleurs, filtres et baluns," Université Grenoble Alpes, 2016.
- [46] J. Lugo-Alvarez, A. Bautista, F. Podevin, and P. Ferrari, "High-directivity compact slow-wave CoPlanar waveguide couplers for millimeter-wave applications," in *Microwave Conference (EuMC), 2014 44th European*, 2014, pp. 1072–1075.
- [47] R. Debroucke, A. Pottrain, D. Titz, F. Giancesello, D. Gloria, C. Luxey, and C. Gaquière, "CMOS digital tunable capacitance with tuning ratio up to 13 and 10dBm linearity for RF and millimeterwave design," in *2011 IEEE Radio Frequency Integrated Circuits Symposium*, 2011, pp. 1–4.
- [48] D. Titz, F. Ferrero, C. Luxey, G. Jacquemod, R. Debroucke, R. Pilard, F. Giancesello, and D. Gloria, "Reflection-type phase shifter integrated on advanced BiCMOS technology in the 60 GHz band," in *New Circuits and Systems Conference (NEWCAS), 2011 IEEE 9th International*, 2011, pp. 434–437.
- [49] J. Moron Guerra, "Design of Sub-THz heterodyne receivers in 65 nm CMOS process," Université des sciences et technologies de Lille, 2014.
- [50] C. Mao, C. S. Nallani, S. Sankaran, E. Seok, and K. K. O, "125-GHz Diode Frequency Doubler in 0.13- μm CMOS," *IEEE J. Solid-State Circuits*, vol. 44, no. 5, pp. 1531–1538, May 2009.
- [51] E. Ojefors, B. Heinemann, and U. R. Pfeiffer, "Active 220- and 325-GHz Frequency Multiplier Chains in an SiGe HBT Technology," *IEEE Trans. Microw. Theory Tech.*, vol. 59, no. 5, pp. 1311–1318, May 2011.
- [52] O. Momeni and E. Afshari, "A Broadband mm-Wave and Terahertz Traveling-Wave Frequency Multiplier on CMOS," *IEEE J. Solid-State Circuits*, vol. 46, no. 12, pp. 2966–2976, Dec. 2011.
- [53] B. Cetinoneri, Y. A. Atesal, A. Fung, and G. M. Rebeiz, "W -Band Amplifiers With 6-dB Noise Figure and Milliwatt-Level 170-200-GHz Doublers in 45-nm CMOS," *IEEE Trans. Microw. Theory Tech.*, vol. 60, no. 3, pp. 692–701, Mar. 2012.
- [54] N. Sarmah, B. Heinemann, and U. R. Pfeiffer, "235-275 GHz (x16) frequency multiplier chains with up to 0 dBm peak output power and low DC power consumption," in *2014 IEEE Radio Frequency Integrated Circuits Symposium*, 2014, pp. 181–184.
- [55] A. Siligaris, "Modélisation grand signal de MOSFET en hyperfréquences: Application à l'étude des non linéarités des filières SOI," Université des sciences et technologies de Lille, 2004.

Chapitre 4 Système de formation de faisceau

4.1 Introduction

Une fois que les blocs élémentaires du système de formation de faisceau validés, ce chapitre présente l'assemblage de différents blocs, pour former et valider un sous-système du système global. La complexité d'un tel système ainsi que son coût de fabrication imposent cette stratégie afin de garantir le bon fonctionnement à la fin. Afin de définir la topologie des blocs élémentaires, il est important d'avoir une idée sur la forme finale du réseau, ainsi que du nombre d'antennes à utiliser pour le réseau. Pour cela on présente brièvement les aspects théoriques et comportementaux du réseau. De même la conception et le « layout » du système global seront présentés. Deux sous-systèmes sont présentés, le premier regroupe la chaîne de multiplication et le déphaseur. Le second regroupe le déphaseur implémenté au niveau de la voie LO et l'émetteur. Finalement le troisième sous-système est composé d'une voie du réseau qui contient le déphaseur, l'émetteur et l'antenne. Ce circuit est destiné à être « packagé » et reporté sur PCB afin de réaliser des mesures en espace libre. Deux applications sont visées pour ce circuit réalisé en bande sub-millimétrique. La première concerne les communications hauts débits à courte portée entre l'émetteur et le récepteur. La seconde est l'imagerie dans la bande THz.

4.2 Description et simulation du système de formation de faisceau

Dans cette partie, une description du système de formation de faisceau est présentée en illustrant un schéma de principe du circuit. Ce schéma présente la disposition des blocs du système, incluant le diviseur de puissance introduit en perspectives. De même les paramètres importants d'un tel système sont définis (gain, facteur de réseau...). Pour cela des simulations sont réalisées, afin de prédire les performances et les limites du système. On présente également brièvement les caractéristiques d'un réseau d'antennes.

On considère un réseau à une dimension, ayant N éléments espacés d'une distance d qui sont répartis selon l'axe des x (Figure 4.1). Le déphasage au niveau de chaque voie φ est exprimé par $\varphi = k \cdot d \cdot \sin \theta$, avec k le nombre d'onde : $k = 2\pi/\lambda$, et θ l'angle d'orientation.

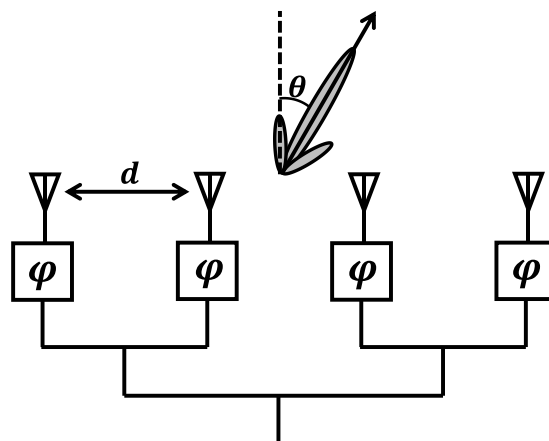


Figure 4.1 : Un système de formation de faisceau à 4 éléments.

En supposant que le réseau est uniforme, avec une amplitude du signal égale sur les différentes voies, le facteur de réseau $A(\varphi)$ est donné par [1]:

$$A(\varphi) = \frac{\sin\left(\frac{N \cdot \varphi}{2}\right)}{N \cdot \sin\left(\frac{\varphi}{2}\right)} e^{j(N-1)\varphi/2} \quad (4.1)$$

Ce facteur est une grandeur qui caractérise le réseau, et qui dépend du nombre d'éléments, de l'espacement et du déphasage appliqué sur chaque voie.

Le gain du réseau en fonction de l'angle θ est ensuite donné par :

$$g(\theta) = |A(\varphi)|^2 = \left| \frac{\sin\left(\frac{N \cdot \varphi}{2}\right)}{N \cdot \sin\left(\frac{\varphi}{2}\right)} \right|^2 = \left| \frac{\sin\left(\frac{N \cdot k \cdot d \cos \theta}{2}\right)}{N \cdot \sin\left(\frac{k \cdot d}{2}\right) \cos \theta} \right|^2 \quad (4.2)$$

La Figure 4.2 (a) montre une représentation du facteur de réseau ainsi que le gain du réseau pour un déphasage nul entre les voies. La Figure 4.2 (b) montre le décalage du facteur de réseau en considérant un déphasage φ_0 , ce qui conduit à l'orientation du faisceau d'un angle θ_0 par rapport à l'axe des z (l'angle azimutal).

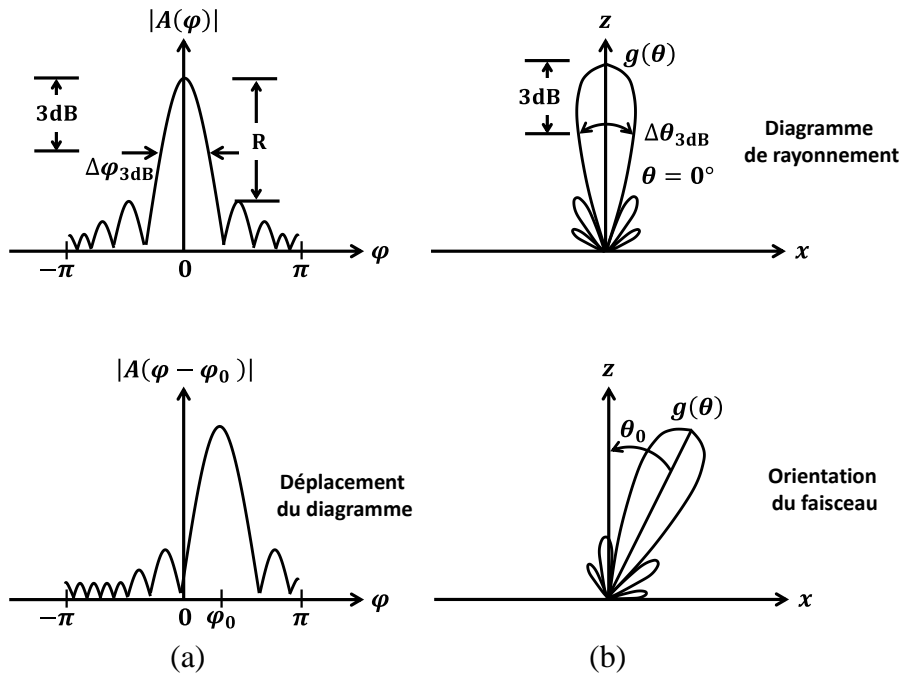


Figure 4.2 : (a) Module du facteur de réseau $|A(\varphi)|$ et (b) gain du réseau d'antennes $g(\theta)$.

Cette représentation graphique permet d'extraire deux caractéristiques importantes, à savoir l'angle d'ouverture -3 dB $\Delta\theta_{3dB}$ et le niveau de rejection des lobes secondaires R . L'angle d'ouverture -3 dB est la largeur totale du lobe principal, pour un niveau de puissance qui vaut la moitié de la puissance maximale délivrée. Il peut être exprimé sous la forme suivante [1]:

$$\Delta\theta_{3dB} = 0,886 \frac{\lambda}{a} \quad (4.3)$$

4.2.1 Choix de la topologie du réseau d'antennes

Comme le montre la Figure 4.3, il existe deux configurations possibles de réseau d'antennes. La première consiste à placer les éléments selon l'axe des x : réseau linéique, et la seconde consiste à placer les éléments selon l'axe des x et des y : (réseau deux dimensions : 2D).

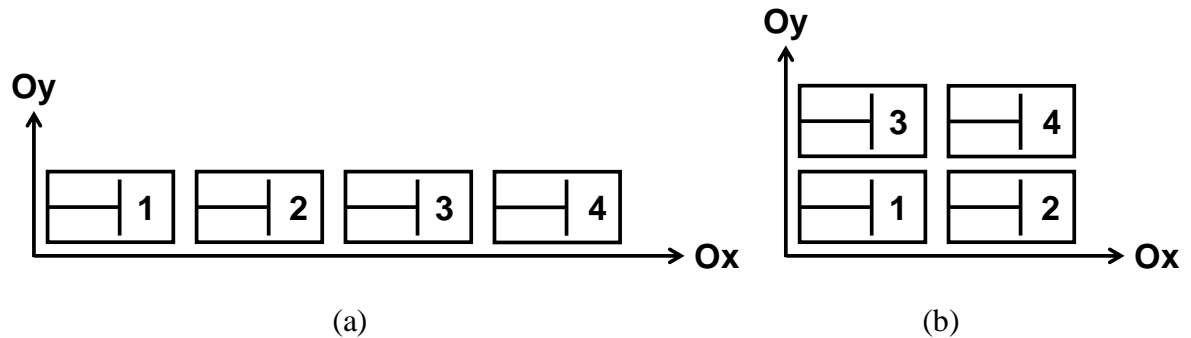


Figure 4.3 : Configurations possibles des éléments dans un réseau : (a) réseau linéique et (b) réseau 2D.

Chaque configuration présente des avantages et des inconvénients. Cependant pour le réseau linéique, le contrôle de l'orientation du faisceau est plus simple, puisque elle est réalisée dans une seule direction. Le nombre d'éléments considéré dans ce travail est limité à 4. Il permet de valider le fonctionnement du réseau, tout en conduisant à un coût de fabrication raisonnable. La Figure 4.4 présente le schéma bloc du système de formation de faisceau à réaliser. Le schéma contient également le *pad ring* dédié aux tensions d'alimentation et de polarisation.

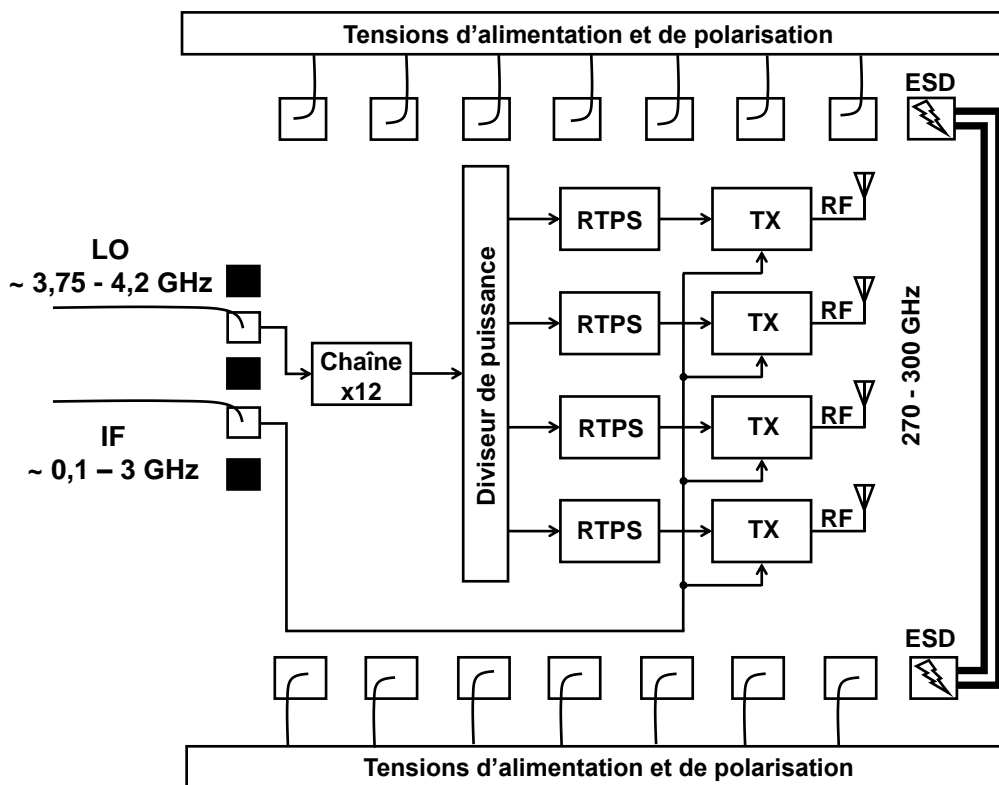


Figure 4.4 : Schéma montrant la disposition des blocs du système de formation de faisceau.

4.2.1.1 Diviseur de puissance

Deux configurations sont possibles pour la conception du diviseur de puissance 1 vers 4. La première solution consiste à implémenter le diviseur de puissance après la chaîne de multiplication, dans la bande 45-50 GHz, après la multiplication par 12 Figure 4.5 (a). La seconde solution consiste à implémenter le diviseur de puissance directement à l'entrée basse fréquence (3-5 GHz) comme le montre la Figure 4.5 (b). L'avantage est que les pertes d'insertion sont faibles, compte tenu de la fréquence de fonctionnement. Cependant, l'implémentation du diviseur en entrée impose l'ajout de la chaîne de multiplication sur chaque voie du réseau. Cela a comme effet d'augmenter la consommation et la surface occupée.

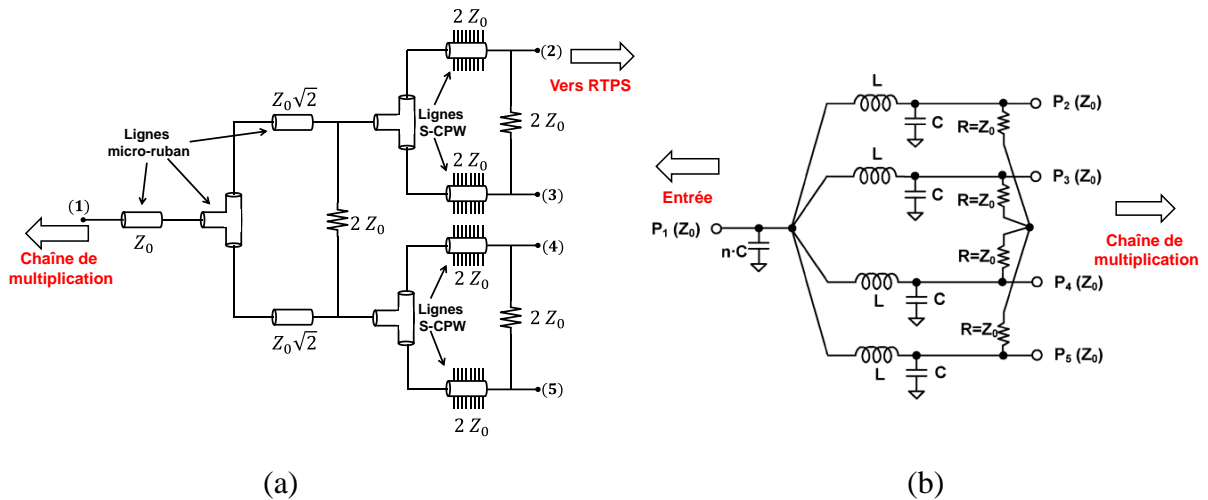


Figure 4.5 : Diviseur de puissance : (a) Wilkinson basé sur des lignes micro-ruban et lignes à ondes lentes implémenté dans la bande 45-50 GHz et (b) à base d'éléments localisés implémenté dans la bande 3-5 GHz.

Pour ces raisons, il a été choisi d'implémenter le diviseur de puissance de type Wilkinson dans la bande 45-50 GHz, après la chaîne de multiplication. L'utilisation de lignes S-CPW permet de réaliser un diviseur de puissance plus compact et présentant moins de pertes, en comparaison avec l'utilisation de lignes microruban. Le diviseur de puissance n'a pu être réalisé au cours de la thèse, son étude et sa conception sont présentées dans les perspectives à la fin du manuscrit.

4.2.1.2 Résultats de simulation

Un outil sous CST permet de simuler le réseau en se basant sur les performances de l'antenne élémentaire et l'espacement entre les antennes. De même il est possible de varier la phase de chaque voie, afin d'orienter le faisceau généré. La Figure 4.6 montre le réseau linéique à 4 éléments, ainsi que l'environnement de simulation.

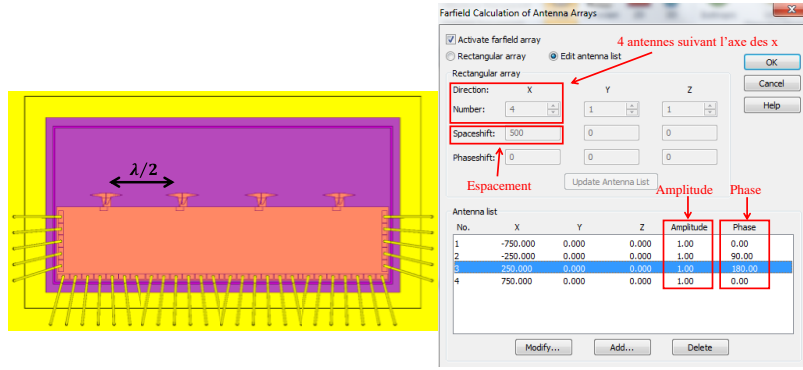


Figure 4.6 : Réseau linéique à 4 antennes en bande sub-millimétrique avec l'environnement de simulation.

L'espace d entre les antennes à 300 GHz vaut :

$$d = \frac{\lambda}{2} = \frac{c}{2f} = \frac{3 \cdot 10^8}{2 \cdot 300 \cdot 10^9} = 500 \mu m \quad (4.4)$$

Cet espacement permet de réduire les lobes secondaires. Le diagramme de rayonnement pour une amplitude et un phase identique au niveau de chaque voie est présenté sur la Figure 4.7. Le gain maximal du réseau est de 8,4 dB.

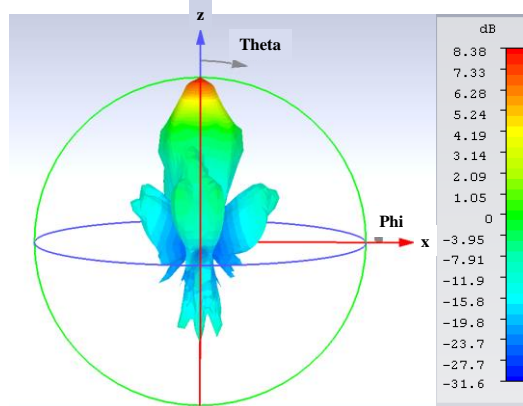


Figure 4.7 : Diagramme de rayonnement 3D montrant le gain du réseau.

En introduisant un déphasage $\Delta\varphi$ au niveau de chaque voie, le faisceau est orienté selon l'angle θ exprimé en fonction de $\Delta\varphi$ par :

$$\theta = \arcsin\left(\frac{\Delta\varphi \cdot \lambda}{2 \cdot \pi \cdot d}\right) \quad (4.5)$$

où $\Delta\varphi$ varie de -180° à 180° avec un pas de 20° , ce qui correspond à 19 états N . Le Tableau 4.1 résume les différents déphasages au niveau de chaque voie n , ainsi que l'angle θ obtenu.

$N \setminus n$	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2	-180	-160	-140	-120	-100	-80	-60	-40	-20	0	20	40	60	80	100	120	140	160	180
3	0	40	80	120	160	-160	-120	-80	-40	0	40	80	120	160	-160	-120	-80	-40	0
4	-180	-120	-60	0	60	120	180	-120	-60	0	60	120	180	-120	-60	0	60	120	180
$\theta(^{\circ})$	-90	-63	-51	-41,8	-34	-26	-19,4	-13	-6,4	0	6,4	12,8	19,4	26,4	33,7	41,8	51,1	62,7	90

Tableau 4.1 : Différentes combinaisons possibles pour l'orientation du faisceau en sortie.

La Figure 4.8 montre une représentation en 2D du gain du réseau en fonction de l'angle de d'orientation θ à 290 GHz, les différents états sont présentés sur la Figure 4.8 (a). Les états correspondant au dépointage minimal, central et maximal sont illustrés sur la Figure 4.8 (b). Cependant dans notre cas le déphaseur étant analogique, alors pas de limitations par rapport au nombre d'états digitaux.

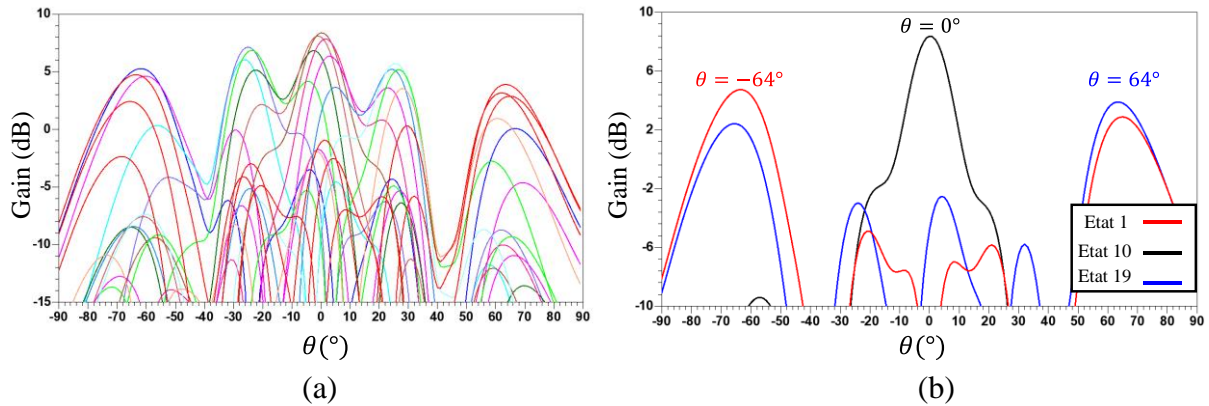


Figure 4.8: Représentation en 2D du gain du réseau en fonction de l'angle de d'orientation θ à 290 GHz : (a) tous les états et (b) états 1, 10 et 19 correspondant au dépointage minimal, central et maximal.

Le faisceau en sortie peut être orienté selon un angle θ qui varie entre -64° et 64° , avec une chute du gain maximal de 4 dB environ. La Figure 4.9 montre une illustration équivalente de la Figure 4.8 (b), qui montre le gain du réseau en fonction de θ dans une représentation polaire.

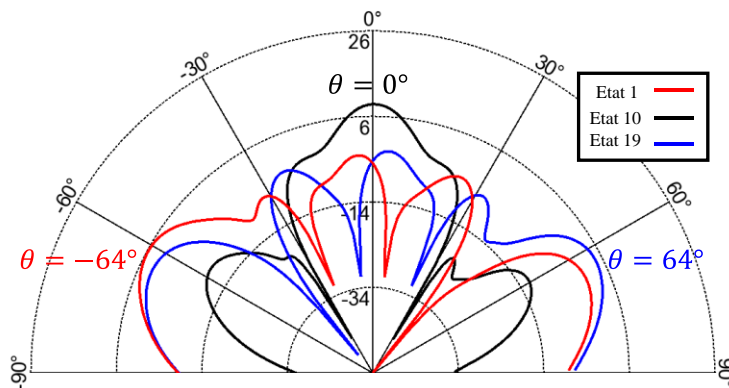


Figure 4.9 : Représentation polaire du gain du réseau à 290 GHz pour les états 1, 10 et 19 correspondant au dépointage minimal, central et maximal.

4.3 Validation du sous-système chaîne de multiplication + déphaseur

Dans cette partie le sous-système chaîne de multiplication + déphaseur est présenté. L'objectif est de vérifier le déphasage, en injectant un signal ayant une fréquence qui vaut $1/12^{\text{ème}}$ de la fréquence en sortie. Cela permet de vérifier que le signal d'injection utilisé pour le verrouillage subit la multiplication et le déphasage correspondant. La photographie du

circuit sous pointes est présentée sur la Figure 4.10. Le déphaseur est relié à la sortie de la chaîne de multiplication pour valider le fonctionnement du sous-système. Le circuit occupe une surface de $0,88 \text{ mm}^2$.

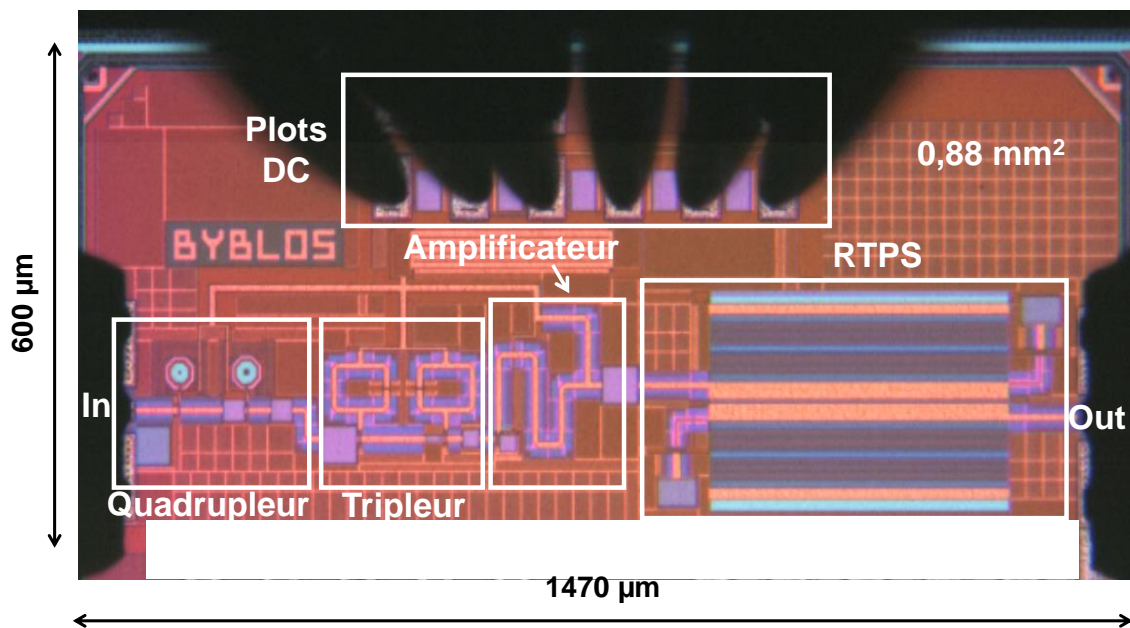


Figure 4.10 : Photographie du circuit BYBLOS composé de la chaîne de multiplication et du déphaseur RTPS.

4.3.1 Résultats et discussions

La Figure 4.11 illustre le banc de mesure utilisé pour la mesure du déphasage en temps réel à la sortie du circuit. La sortie est reliée à un DSA 8200 de Tektronix : *Digital Serial Analyzer sampling oscilloscope*. Le signal d'entrée a une fréquence de 4,2 GHz environ avec une puissance de 10 dBm.

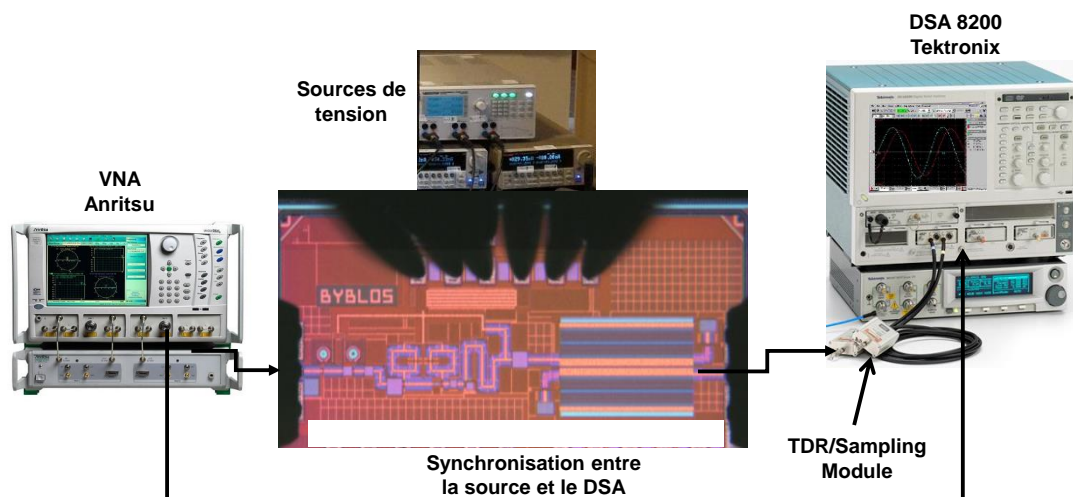


Figure 4.11 : Banc de mesure utilisé.

La Figure 4.12 présente la réponse temporelle à la sortie du circuit. Le signal de sortie est à 50 GHz. Cette figure permet de mesurer la différence de phase obtenue pour différentes

valeurs de tensions de contrôle du RTPS allant de 0 V à 2,5 V. La différence de phase maximum est de 60° comme prévu en simulation.

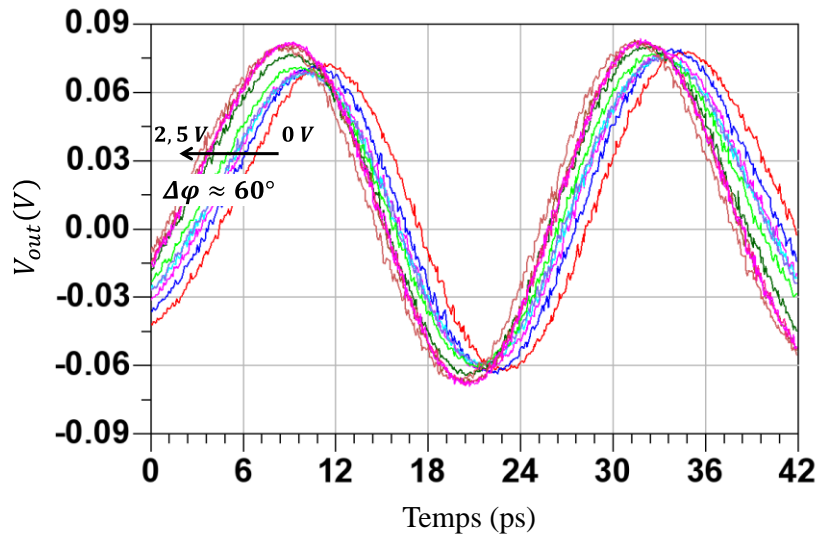


Figure 4.12 : Réponse temporelle à la sortie du circuit pour différentes tensions de contrôle du déphaseur.

Une fois ce sous-système validé surtout en ce qui concerne la multiplication de la fréquence et le déphasage de 60° , la deuxième étape consiste à valider le sous-système émetteur + déphaseur.

4.4 Validation du sous-système émetteur + déphaseur

Dans cette partie on présente le sous-système émetteur + déphaseur. Le déphaseur est implémenté au niveau de la voie LO (45-50 GHz). Comme présenté précédemment, l'oscillateur « triple-push » verrouillé par injection sous-harmonique permet de multiplier la fréquence et la phase par 6. La multiplication de la fréquence a été présentée dans le chapitre précédent. L'objectif de cette réalisation est de vérifier la multiplication du déphasage dans la bande sub-millimétrique (270-300 GHz). Le déphasage de 60° en sortie du déphaseur a été validé dans la section précédente. La Figure 4.13 montre la photographie du circuit TERASHIFT constitué de l'émetteur et du déphaseur RTPS. Le circuit occupe une surface de $1,6 \text{ mm}^2$.

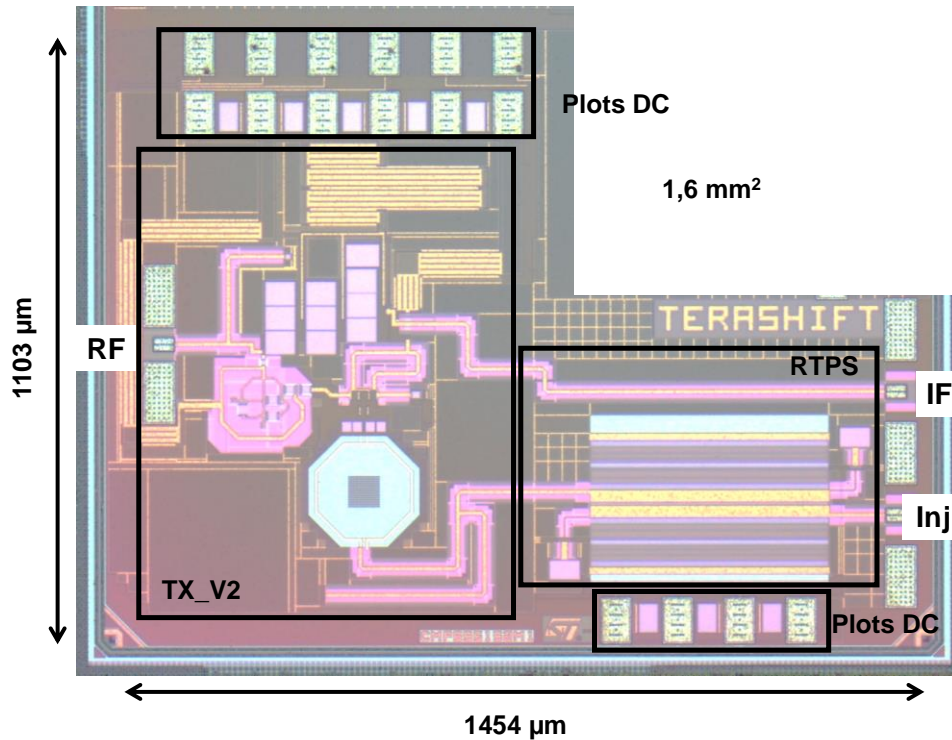


Figure 4.13 : Photographie du circuit TERASHIFT composé de l'émetteur et du déphaseur RTPS implémenté au niveau de la voie LO.

4.4.1 Résultats et analyse

Le banc de mesure utilisé est présenté sur la Figure 4.14. Une photo de ce banc est présentée sur la Figure 4.15. Il est constitué d'un synthétiseur qui permet de générer le signal IF en basse fréquence. Le signal d'injection (LO) est généré à l'aide d'un synthétiseur à 12 GHz suivi par un multiplieur par 4 ($12 \times 4 = 48$ GHz). Ce signal subit le déphasage imposé par le déphaseur RTPS. Le signal RF en sortie de l'émetteur (288 GHz) subit le même déphasage. Il est ensuite mélangé avec la 24^{ème} harmonique du signal LO à 12 GHz à l'aide du mélangeur externe en bande J. Le résultat de ce mélange permet d'avoir de nouveau le signal IF mais en gardant le déphasage du signal RF. Le signal IF en sortie est amplifié à l'aide d'un amplificateur IF et analysé en temps réel sur un oscilloscope, afin de visualiser la différence de phase. Cette mesure permet de vérifier si le signal en sortie subit la variation de phase de 0 à 360°.

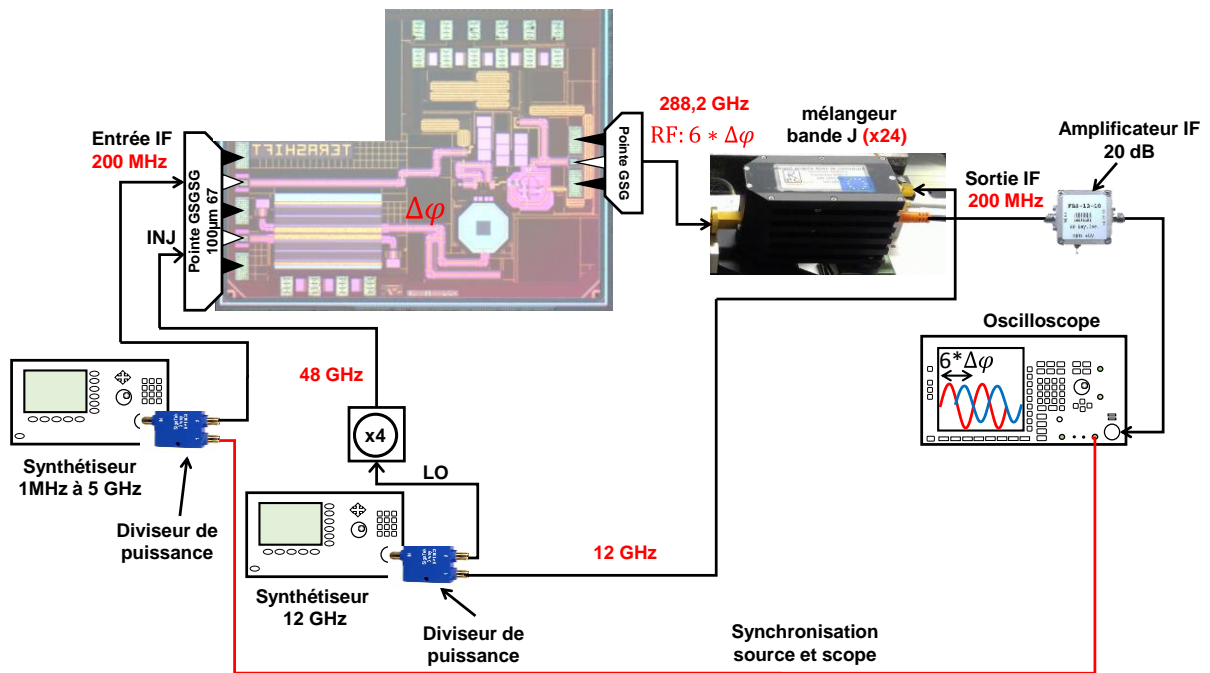


Figure 4.14 : Schéma du banc de test pour la mesure du déphasage en sortie du circuit dans la bande sub-millimétrique.

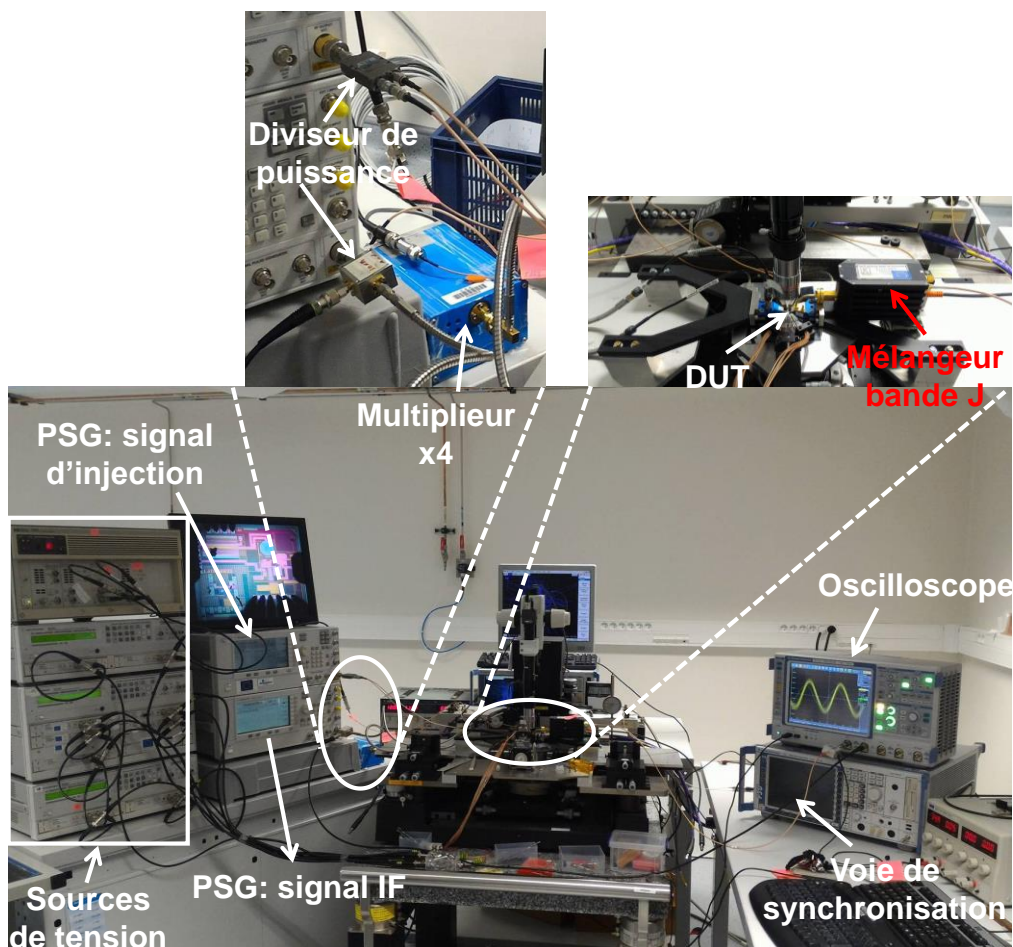


Figure 4.15 : Photo du banc de mesure utilisé.

Des mesures ont été réalisées pour différentes fréquences f_{LO} et f_{IF} . La Figure 4.16 présente le signal en sortie dans le domaine temporel, pour différentes tensions de contrôle du déphaseur V_t allant de 0 V à 2,5 V. La fréquence f_{LO} vaut 285 GHz et la fréquence f_{IF} vaut 250 MHz. Le signal en sortie pour $V_t = 0$ V est considéré comme référence afin de pouvoir de calculer la différence de phase.

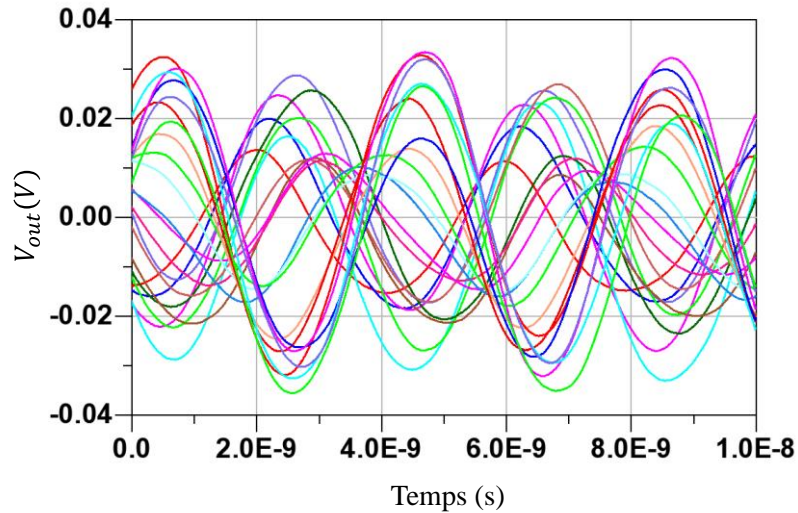


Figure 4.16 : Forme d'onde du signal en sortie pour $f_{LO} = 285$ GHz et $f_{IF} = 250$ MHz pour différentes tensions de contrôle du déphaseur.

La Figure 4.17 présente la différence de phase en fonction de la tension de contrôle V_t . La courbe en noir illustre la différence de phase mesurée à la sortie du déphaseur RTPS. Comme présenté précédemment la différence de phase varie entre 0 et 60°. La courbe en rouge correspond à la différence de phase en sortie du déphaseur RTPS multipliée par 6. La variation de phase varie alors entre 0 et 360°, et cette courbe est considérée comme référence.

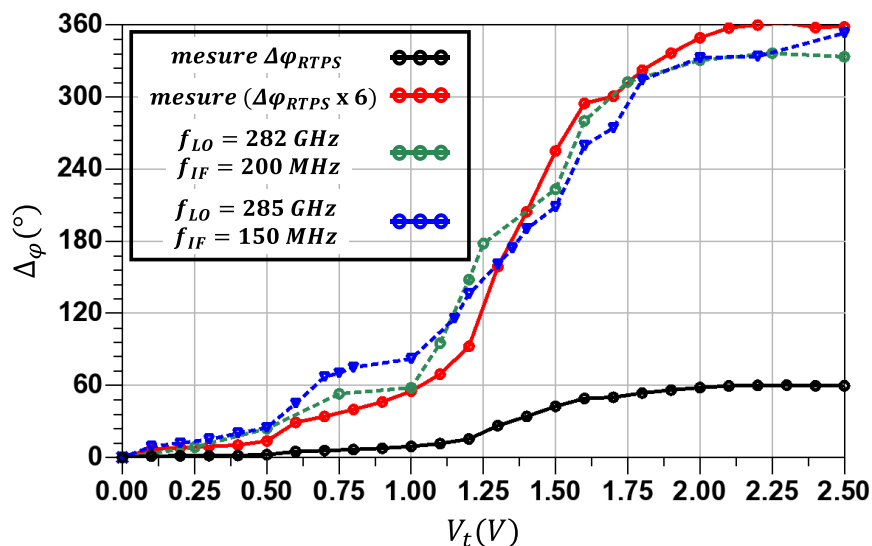


Figure 4.17 : Différence de phase $\Delta\phi$ en fonction de la tension de contrôle V_t à la sortie du circuit pour deux fréquences différentes.

Sur le même graphe, la différence de phase en fonction de la tension V_t en sortie du circuit est présentée pour deux fréquences différentes (courbes bleue et verte). D'après ce graphe on

constate que les deux courbes extraites sont proches de la courbe rouge. Le signal en sortie subit une variation de phase allant de 0° jusqu'à respectivement 340° et 360° , ce qui correspond bien à la multiplication par 6 de la réponse du déphaseur. Cependant, on remarque une petite différence pour certaines valeurs de phase. Cela est dû principalement à la précision de la mesure sur l'oscilloscope. La Figure 4.18 montre la superposition du signal extrait sous format CSV (en rouge) avec la copie d'écran de ce signal visualisé sur l'oscilloscope (en jaune).

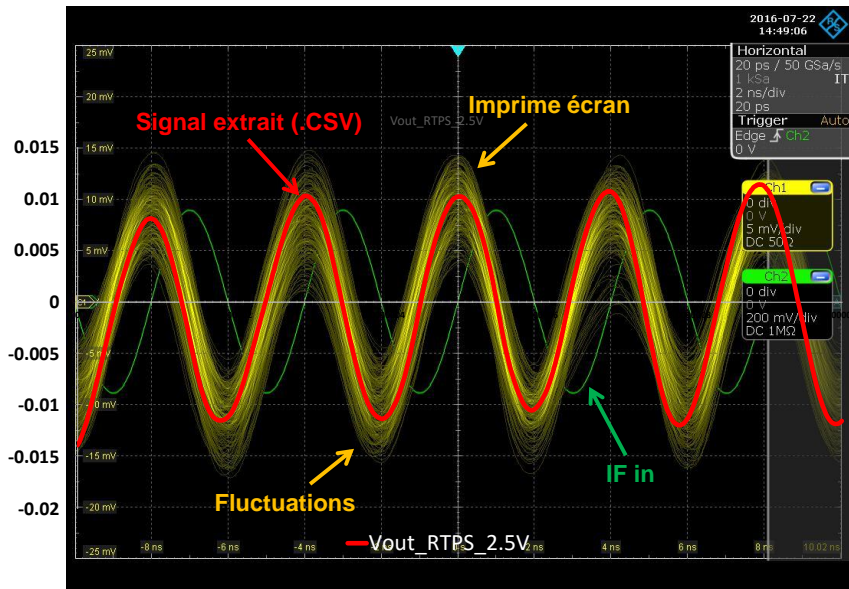


Figure 4.18 : Superposition du signal extrait sous format CSV avec la copie d'écran de ce signal visualisé sur l'oscilloscope.

D'après cette figure, on peut remarquer que le signal IF de sortie (en jaune) subit de fortes fluctuations (*jitter*), impactant ainsi l'extraction du signal sous format numérique (en rouge), qui ne présente pas de fluctuations, mais présente une erreur sur sa phase par rapport au signal de référence.

Malgré cette faible erreur sur l'extraction de la phase, et la complexité du banc de mesure utilisé, le concept original mis en œuvre est bien validé. Le déphasage dans la bande sub-millimétrique (270-300 GHz) varie de 0 à 360° de manière analogique, avec un déphaseur implémenté au niveau de la voie LO à plus basse fréquence (45-50 GHz), présentant de faibles pertes du fait d'une part de sa conception à l'aide de lignes à ondes lentes, et d'autre part d'une différence de phase limitée à 60° .

4.5 Conclusion

Après la réalisation et la validation des différents blocs de notre système de formation de faisceau, ce chapitre a présenté deux sous-systèmes réalisés et validés en mesure. Le premier sous-système est composé de la chaîne de multiplication par 12 et du déphaseur. Les résultats obtenus permettent de vérifier que le signal d'injection qui servira au verrouillage de l'oscillateur subit bien le déphasage de 60° . Le second sous-système est composé du déphaseur et l'émetteur. Le déphaseur est implémenté au niveau de la voie LO dans la bande 45-50 GHz. L'émetteur est implémenté dans la bande 270-300 GHz. Comme présenté précédemment l'émetteur est basé sur un oscillateur ayant une structure *triple-push*. L'oscillateur est verrouillé par injection sous harmonique ($f_{osc}/2$), conduisant ainsi à une multiplication de fréquence par 6 entre le signal injecté et le signal de sortie. Les résultats ont montré que le déphasage subit la multiplication par 6, avec une différence de phase en sortie variant bien de 0 à 360° de manière analogique.

4.6 Références bibliographiques

- [1] S. Orfanidis, *Electromagnetic waves and antennas*. 2004.

Conclusion générale et perspectives

Conclusion générale

Dans ce travail, une architecture de système de formation de faisceau dans la bande 270-300 GHz pour l'imagerie THz a été présentée. Du fait de la complexité d'un tel système, une stratégie pyramidale a été abordée durant la conception, en commençant par les blocs de base jusqu'à atteindre l'objectif final. Les circuits ont été implémentés en technologie BiCMOS 55 nm de STMicroelectronics. Ce travail a ainsi permis de concevoir des circuits opérant à des fréquences proches des fréquences de coupure des transistors. Dans un premier temps l'étude des composants de base de la technologie BiCMOS 55 nm a été réalisée. Des modèles simples de composants ont été présentés, rendant ainsi la compréhension et la conception des circuits plus simple. Ensuite, les circuits élémentaires constituant le système final ont été réalisés. Deux versions d'émetteurs, une antenne, un déphaseur et une chaîne de multiplication ont été réalisés. Ces circuits ont été validés par des mesures permettant ensuite de prédire les performances du réseau complet.

Dans le premier chapitre, une introduction des systèmes de formation de faisceau dédiés à diverses applications a été présentée. Ensuite, l'état de l'art des systèmes de formation de faisceau en technologie silicium a été détaillée. Le choix du déphasage au niveau de la voie LO a été justifié, en présentant une architecture innovante qui permet de contrôler de manière analogique la phase du signal en sortie dans la bande 270-300 GHz, à l'aide de déphaseurs implémentés à plus basse fréquence dans la bande 45-50 GHz.

Le second chapitre a été dédié à l'étude des composants de base en technologie BiCMOS 55 nm. L'évolution des technologies CMOS/BiCMOS ainsi que leurs performances ont été présentées. Dans la première partie, l'étude des composants actifs comme les transistors MOS et bipolaire, ainsi que les varactors MOS a été détaillée. Les composants passifs comme les lignes de transmission micro-ruban, les lignes à ondes lentes (S-CPW), les inductances et les capacités MOM ont été étudiées dans la seconde partie. Des modèles simplifiés ont été proposés pour ces composants, afin de faciliter l'étude des circuits réalisés, et obtenir des tendances et des prédictions concernant les performances de certains blocs.

Dans le chapitre 3 l'étude, la conception et la réalisation des circuits élémentaires constituant le système de formation de faisceau ont été présentées. Dans un premier temps l'émetteur intégré dans la bande sub-millimétrique a été étudié. Son architecture repose sur un oscillateur verrouillé par injection sous-harmonique, un mélangeur passif et des amplificateurs IF. L'oscillateur a été mesuré seul et présente des performances à l'état de l'art. Deux versions d'émetteurs ont été réalisées ayant une faible consommation et faible surface. Ensuite, une topologie innovante de déphaseur a été réalisée. La structure est de type RTPS et repose sur l'utilisation de lignes couplées à ondes lentes. Les performances mesurées sont à l'état de l'art, le déphaseur présente de faibles pertes pour un déphasage analogique allant de 0 à 60°. La chaîne de multiplication par 12 a ensuite été réalisée, elle est basée sur des multiplieurs qui permettent la génération d'harmoniques par distorsion. Ces multiplieurs ont permis de générer le signal de verrouillage de l'oscillateur à l'aide d'un signal basse fréquence dans la bande 3~5 GHz.

Enfin le dernier chapitre a présenté une étude comportementale du réseau final. Cette étude a permis d'évaluer les performances du système. Ensuite, la validation de deux sous-systèmes a été présentée. Ces sous-systèmes reposent sur l'association des circuits élémentaires qui ont été validés par des mesures. Le premier sous-système est composé de la chaîne de multiplication et du déphaseur connecté en sortie. Ce sous-système a permis de valider que le signal obtenu en sortie après la multiplication, subit bien le déphasage de 0 à 60° dans le domaine temporel, pour servir de signal d'injection de l'oscillateur. Le deuxième sous-système réalisé est constitué du déphaseur et de l'émetteur, où le déphaseur est implémenté sur la voie LO. Les résultats expérimentaux ont permis de valider le concept de la multiplication de la phase. Ainsi, le déphasage en sortie du système varie de 0 à 360° de manière analogique.

Perspectives

Après la validation des deux sous-systèmes par des mesures, la suite consiste à valider une voie complète du système sans la chaîne de multiplication. Le circuit est composé de l'émetteur, du déphaseur et de l'antenne intégrée. L'objectif est de vérifier le fonctionnement de l'antenne et d'obtenir un ordre de grandeur des performances, afin de réaliser une comparaison avec les résultats de simulation EM. Cependant, l'orientation du faisceau ne pourra pas être validée car il faut au moins deux voies. Mais le circuit permettra de vérifier que l'antenne fonctionne correctement. Par conséquent, la conception du système complet sera plus simple et optimisée en fonction des résultats obtenus.

Le circuit réalisé sera dédié aux applications dans la bande THz (~300 GHz). Indépendamment du système de formation de faisceau, ce circuit peut être utilisé dans des communications courte portée et haut débit dans la bande THz ou pour de l'imagerie THz. Le packaging du circuit et le report sur circuit imprimé sont en cours de réalisation, des mesures sont prévues fin septembre 2016.

Comme expliqué dans le premier chapitre, l'onde dans la bande THz est capable de pénétrer la matière. Cela permet d'analyser la structure depuis l'intérieur, comme la teneur en eau, etc... Pour cela un banc de mesure optique permettra de réaliser des mesures en espace libre du circuit. Comme illustré sur la Figure 1, l'émetteur est placé en premier avec en entrée le signal IF, deux miroirs paraboliques sont ajoutés pour créer deux plans focaux : le premier plan est situé au même endroit que l'objet à analyser. L'objet est positionné selon l'axe des y et l'axe des z. Le second plan est situé au niveau du récepteur. L'émetteur et le récepteur sont verrouillés par le même signal d'injection. La sortie IF du récepteur est ensuite amplifiée à l'aide d'un amplificateur faible bruit (LNA). On peut ainsi réaliser une image de l'objet scanné, et analyser sa structure.

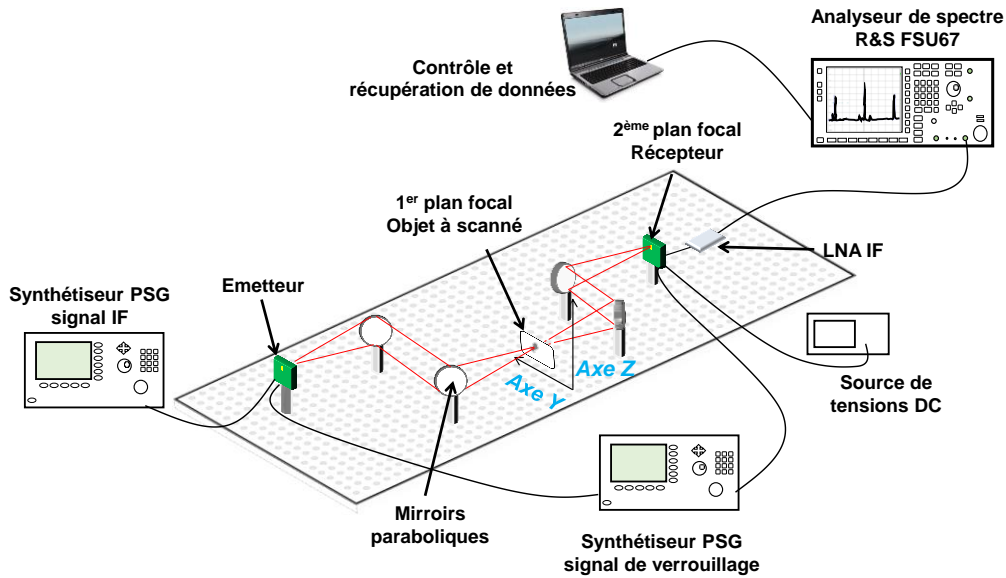


Figure 1 : Banc optique pour la mesure d'antenne reportée sur PCB.

Concernant le réseau complet, il reste à concevoir le diviseur de puissance de 1 vers 4 qui sera implémenté dans la bande 45-50 GHz, juste après la chaîne de multiplication. Ce diviseur de puissance de type Wilkinson sera réalisé à l'aide de lignes micro-ruban et de lignes à ondes lentes. Les lignes S-CPW permettent d'obtenir des impédances caractéristiques plus élevées (100Ω) et réduire les pertes d'insertion du diviseur. La Figure 2 présente l'architecture du diviseur de puissance de 1 vers 4.

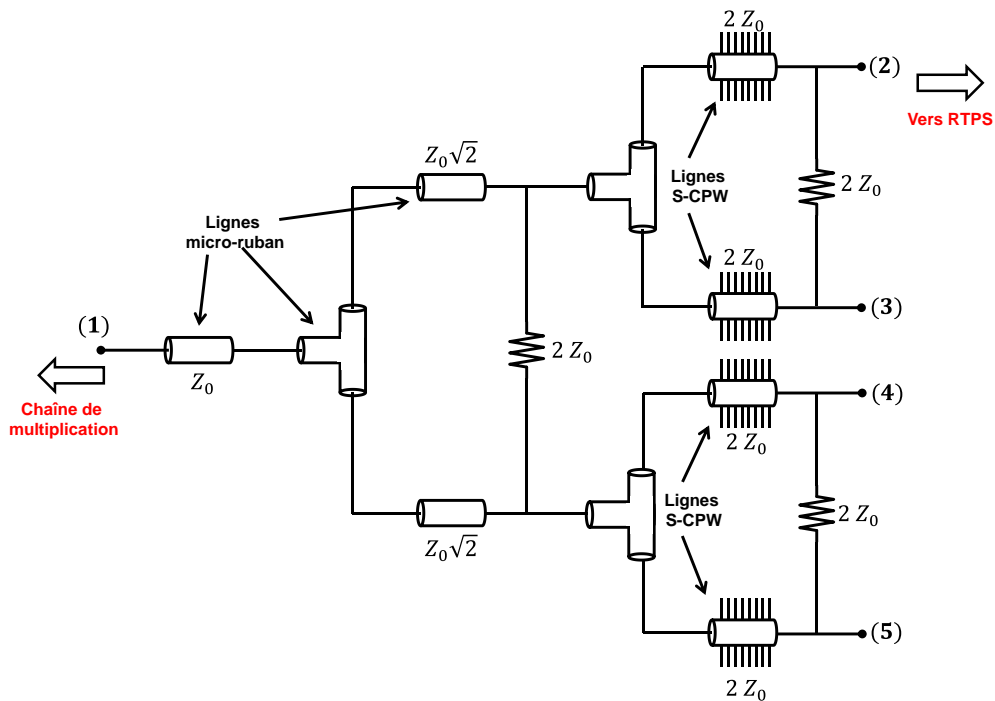


Figure 2 : Architecture du diviseur de puissance 1 vers 4.

Une fois que le diviseur de puissance conçu, l'étape finale consistera à concevoir le réseau complet à 4 voies.

Résumé : La bande sub-millimétrique allant globalement de 300 GHz à 3 THz possède des propriétés similaires à la capacité de pénétration de photons non ionisants à travers des matériaux optiquement opaques. Pour l'imagerie THz, il est ainsi possible de détecter des objets cachés à l'intérieur de paquets, de vêtements ou de matelas... Avec l'évolution des technologies intégrées et l'augmentation des fréquences de coupure des transistors (f_t/f_{max}), de nombreux circuits et systèmes ont été réalisés à des fréquences autour de 300 GHz, en particulier les systèmes de formation de faisceau. Ces systèmes permettent de générer un signal et de l'orienter électroniquement dans une direction définie de l'espace. Dans ce travail, une architecture originale d'un tel système est proposée. Elle repose sur la génération d'un signal dans la bande 270-300 GHz, tout en contrôlant sa phase à l'aide de déphaseurs implémentés au niveau de la voie LO dans la bande 45-50 GHz. La complexité du système impose une stratégie qui consiste à réaliser chaque bloc seul. Pour cela, l'émetteur dans la bande 270-300 GHz a été réalisé dans un premier temps. Il est composé d'un oscillateur verrouillé par injection sous-harmonique (45-50 GHz), d'un mélangeur passif et d'amplificateurs IF. Ensuite une architecture innovante de déphaseur a été réalisée, basée sur des lignes couplées à ondes lentes. Finalement, une chaîne de multiplication de fréquence a été réalisée afin de générer le signal d'injection à l'aide d'un signal basse fréquence (3-5 GHz). Les circuits ont été fabriqués en technologie BiCMOS 55 nm de STMicroelectronics. Les résultats de mesure correspondent sont en très bon accord avec les simulations, et les performances obtenues sont à l'état de l'art. Une fois les blocs élémentaires validés, des sous-systèmes ont été réalisés pour valider le bon fonctionnement d'une voie complète du réseau d'antennes. En termes de perspectives, ce travail ouvre la voie vers la conception et la réalisation d'un système complet d'orientation de faisceau contenant plusieurs voies/antennes.

Abstract : The sub-millimeter wave band that covers the frequency range from 300 GHz to 3 THz has an interesting properties such the ability to penetrate materials. For THz imaging, it is possible to detect objects inside packages, clothes... With the evolution of integrated technologies and the increase of the cut-off frequencies of transistors (f_t/f_{max}), many circuits and systems have been fabricated around 300 GHz, especially phased arrays for beamforming applications. These systems generate a signal and steer it electronically in a direction of the space. In this work, a novel architecture of phased array is proposed. It is based on the generation of a signal in the 270-300 GHz band, while controlling its phase by using phase shifters implemented in the LO path in the 45-50 GHz band. Each bloc should be measured in a stand-alone version, in order to get an idea about whole system performances. For this, the transmitter in the 270-300 GHz band has been realized first. It consists of a sub-harmonic injection locked oscillator, a passive mixer and IF amplifiers. Then, a novel architecture of phase shifter was proposed, it is based on slow waves coupled lines. Finally, a frequency multiplier chain was performed to generate the injection signal by using a lower frequency signal (3-5 GHz). The circuits are fabricated in a 55nm BiCMOS technology from STMicroelectronics. Measurements results are in a good agreement with simulations. Once the blocks are validated, sub systems are realized in order to validate one path of the array. The perspectives of this work include the design and realization of the complete phased array with multiple paths/antennas.