



HAL
open science

Conception d'un convertisseur Analogique-numérique à rampe par morceaux pour capteur d'image avec techniques de calibration

Cédric Pastorelli

► **To cite this version:**

Cédric Pastorelli. Conception d'un convertisseur Analogique-numérique à rampe par morceaux pour capteur d'image avec techniques de calibration. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes, 2016. Français. NNT : 2016GREAT083 . tel-01514474

HAL Id: tel-01514474

<https://theses.hal.science/tel-01514474>

Submitted on 26 Apr 2017

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE LA COMMUNAUTÉ UNIVERSITÉ GRENOBLE ALPES

Spécialité : **Nano-électronique et Nano-technologies**

Arrêté ministériel : 25 mai 2016

Présentée par

« **Cédric PASTORELLI** »

Thèse dirigée par **Salvador Mir** et
codirigée par **Pascal Mellot**

préparée au sein du **Laboratoire TIMA**
dans l'**École Doctorale Électronique, Électrotechnique,
Automatique et Traitement du Signal (E.E.A.T.S)**

Conception d'un convertisseur Analogique-numérique à rampe par morceaux pour capteur d'image avec techniques de calibration

Thèse soutenue publiquement le « **15 Décembre 2016** »,
devant le jury composé de :

M. Pierre MAGNAN

Professeur, ISAE Toulouse, Président

M. Guo Neng LU

Professeur, INSA Lyon, Rapporteur

M. Laurent LATORRE

Professeur, Université de Montpellier II/LIRMM, Montpellier, Rapporteur

M. Gilles SICARD

Ingénieur-chercheur, HDR, CEA-LETI Grenoble, Examineur

M. Pascal MELLOTT

Ingénieur, STMicroelectronics, Co-encadrant de Thèse

M. Salvador MIR

Directeur de recherche, Université Grenoble Alpes/TIMA, Directeur de
Thèse



Remerciements

Je tiens tout d'abord à remercier M. Salvador MIR, directeur de recherche CNRS et directeur du laboratoire TIMA, pour l'accueil et toute l'aide qu'il m'a apportée durant ces trois années de thèse.

Je témoigne toute ma reconnaissance à mon encadrant de thèse M. Pascal MELLOTT, responsable de l'équipe *Architecture* dans la division Imaging de STMicroelectronics. Sa disponibilité et ses conseils m'ont permis d'avancer dans mes recherches et me serviront tout au long de ma carrière. Je tiens également à le remercier pour la confiance qu'il m'a accordée en me laissant intégrer mon projet dans un des circuits de la division. Je souhaite remercier tous les membres de son équipe, et notamment Cédric TUBERT qui m'a beaucoup appris tout au long de la thèse. J'espère que cette thèse est à la hauteur de leurs efforts.

Je remercie M. Pierre MAGNAN, professeur à ISAE Toulouse d'avoir présidé mon jury de thèse. Merci également à M. Guo Neng LU, professeur à l'INSA Lyon et M. Laurent LATORRE, professeur à l'université de Montpellier pour avoir lu et jugé mon rapport. Je remercie M. Gilles SICARD, ingénieur-chercheur au CEA LETI d'avoir accepté de faire partie du jury.

Je voudrais témoigner de ma gratitude à Mme. Sophie TAUPIN pour m'avoir aidé dans le design de mon circuit, et Mme. Céline MAS pour toute l'aide qu'elle m'a apportée lors du test du circuit. De même, je remercie Mme. Valène JOUVET pour le temps passé à l'amélioration de la qualité de ce rapport.

Mon passage à ST a été marqué par de merveilleuses rencontres, qui sont devenues pour la plupart des amis. Je remercie donc toute l'équipe de conception analogue et plus particulièrement Xavier BRANCA, Patrick CIANTRA, Benoit DESCHAMPS, Michèle EYBERT, Samuel FOULON, Emilie HUSS, Christophe MANDIER, Alexis MARCELLIN, Nicolas MOENECLAHEY, Anaïs MOLLARD, Gaëlle PALMIGIANI, Julien-Marc ROUX, Laurent SIMONY, et tous ceux que j'ai oublié pour m'avoir aidé durant ces 3 ans.

Finalement, je remercie mes parents et toute ma famille pour leur soutien moral pendant, et depuis bien avant cette thèse.

Abstract

The aim of this thesis is the implementation of new image sensors for mobile in CMOS (Complementary Metal Oxide Semiconductor) technology to meet strong market demand. Next generations of products require image sensors with high performances.

These improvements would change the image quality with low noise architecture in one hand, and the use of new technologies to increase the signal level, or reduce the power consumption in the other hand. The gain in image quality leads to increase the size of the pixel's array, and the resolution of the data - the conversion speed becoming critical-. The subject of this thesis focuses on improving this latter point. A comparative study has been made between several architectures to find the best solution that would fit our needs.

The ramp converter is the most suitable for small pixels, but his main drawback is the conversion time that requires 2^N clock cycles. To obtain a higher frame rate, a method taking advantage of the photon noise has been presented. This readout circuit is based on a piecewise linear ramp converter and an algorithm that allows the linearization of the data. Furthermore, for noise reduction, the new architecture must take into account the digital correlated double sampling. During the period of design, test modes have also been designed and implemented to allow characterization of the circuit.

The innovative part is the use of a piecewise linear ramp, which in simulation, reduces the readout time of 1 μ s per row. However, this element needs calibration. A CMOS image sensor prototype of 13Mpixel has been made in 65 nm, 5 levels of metals, and 1 level of poly standard CMOS technology. Measurements showed that the INL and DNL of the converter were as good as with a conventional linear ramp. A careful consideration has been given to the measurement of noise, which unfortunately is higher than a "conventional" sensor. However, the consumption remains the same while having a faster conversion speed. The solutions are simple to integrate structurally and easy to implement. They have the advantage of not affecting the surface of the pixel, thus preserve the performance of the latter. The results found from the silicon-on measures are very encouraging, we gain almost 20% of the conversion time.

Résumé

Le travail de cette thèse vise la réalisation d'un nouveau capteur d'images pour mobile en technologie CMOS (Complementary Metal Oxide Semiconductor). Ce capteur a été développé en vue de répondre à une forte demande du marché. Les prochaines générations de produits, nécessitent des capteurs d'image avec des performances agressives. Par exemple, le niveau de qualité d'image peut être fortement amélioré avec des architectures faible bruit, ou l'utilisation de nouvelles technologies, pour augmenter le niveau du signal ou diminuer la consommation.

L'augmentation de la qualité d'image entraîne un agrandissement de la taille des matrices de pixels, et de la résolution des données. La vitesse de conversion devient donc critique. Le sujet de cette thèse porte sur l'amélioration de ce dernier point.

Une étude comparative a été réalisée pour étudier différentes architectures. Le convertisseur à rampe est le mieux adapté pour les petits pixels. Toutefois, son principal inconvénient est son temps de conversion qui nécessite 2^N cycles d'horloge. Afin d'obtenir un frame rate plus élevé, une méthode tirant profit du bruit photonique a été proposée. Ce circuit de lecture est fondé sur un convertisseur à rampe par morceaux, et un algorithme qui permet la linéarisation des données. Afin de réduire le bruit, cette nouvelle architecture doit prendre en compte le double échantillonnage corrélé digital. Durant la période de conception, des modes de test ont été mis en place pour permettre la caractérisation du circuit.

L'innovation se trouve dans le développement d'une rampe par morceaux qui réduit le temps de lecture d'une ligne de 1 μ s. Cependant, ce développement a besoin d'une calibration adaptée. Un prototype de capteur d'image CMOS de 13Mpixel a été fabriqué en 65 nm, 5 niveaux de métaux, et 1 seul niveau de poly en technologie CMOS standard. Les mesures ont montré que l'INL et DNL du convertisseur étaient aussi performantes qu'avec une rampe linéaire classique. Une attention particulière a été apportée sur la mesure du bruit. Malheureusement, le bruit s'est montré plus élevé qu'avec un capteur « classique ». Cependant, la consommation reste identique en ayant une vitesse de conversion plus rapide.

Les solutions proposées sont simples à intégrer structurellement, et faciles à mettre en œuvre. Elles ont l'avantage de ne pas impacter la surface du pixel et préservent donc les performances de ce dernier. Les résultats issus des mesures sur silicium sont très encourageants, car on obtient un gain de presque 20% sur le temps de lecture.

Table des matières

Remerciements	3
Abstract	5
Résumé	7
Table des matières	8
Table des illustrations	10
Table des tableaux	13
I. Introduction générale	14
I.1 Motivations et objectifs.....	14
I.2 Structure de la thèse.....	16
II. Introduction aux imageurs CMOS	17
II.1 Introduction	17
II.2 La chaîne de l'image.....	18
II.3 La photodiode	19
II.3.1 <i>Performance de la photodiode</i>	19
II.3.2 <i>La jonction PN</i>	20
II.4 Architecture d'un pixel	21
II.4.1 <i>Le pixel à 3 transistors (pixel 3T)</i>	22
II.4.2 <i>Le pixel à 4 transistors (Pixel 4T)</i>	23
II.5 Mode de lecture de la matrice de pixel	25
II.5.1 <i>Le mode Global shutter</i>	25
II.5.2 <i>Le mode Rolling shutter</i>	26
II.6 Les bruits électroniques	27
II.6.1 <i>Le bruit thermique</i>	28
II.6.2 <i>Le bruit de flicker (1/f) et bruit RTS (Random Telegraphic Signal)</i>	29
II.6.3 <i>Le bruit de grenaille</i>	29
II.7 Le bruit des capteurs d'image	30
II.7.1 <i>Le bruit de photon (ou le photon shot noise)</i>	30
II.7.2 <i>Le courant d'obscurité</i>	31
II.7.3 <i>Blooming, smearing</i>	32
II.7.4 <i>Bruit spatial fixe</i>	32
II.8 Méthodes d'optimisation des capteurs d'images CMOS.....	33
II.8.1 <i>Réduction de la taille du pixel</i>	33
II.8.2 <i>Zoom digital et binning</i>	35
II.8.3 <i>Double échantillonnage corrélé (ou CDS : Correlated Double Sampling)</i>	36
II.9 Architecture des capteurs d'image CMOS.....	38
III. Convertisseur analogique numérique pour imageur CMOS	40
III.1 Critère de sélection d'un CAN pour imageur CMOS.....	41
III.2 Architecture de CAN.....	42
III.2.1 <i>Le convertisseur SAR</i>	42
III.2.2 <i>Le convertisseur cyclique</i>	44
III.2.3 <i>Le Sigma-Delta [16]</i>	47

III.2.4	<i>Sigma-delta à base de VCO (Voltage Control Oscillator)</i>	48
III.3	Le convertisseur à Rampe linéaire	50
III.3.1	<i>Multiple rampe simple pente (MRSS)</i>	51
III.3.2	<i>Multi-rampe & multi-pente</i>	52
III.3.3	<i>Le convertisseur à rampe non-linéaire</i>	53
III.3.4	<i>Le convertisseur à rampe par morceaux</i>	54
III.4	Comparatif d'architecture de CAN	57
III.5	Conclusion.....	58
IV.	Architecture global et conception de la solution embarquée	60
IV.1	Introduction	60
IV.2	La matrice de pixels.....	60
IV.3	Architecture du convertisseur analogique-numérique	62
IV.3.1	<i>Le générateur de rampe</i>	63
IV.3.2	<i>Le comparateur : amplificateur opérationnel à transconductance</i>	73
IV.3.3	<i>Compteur et SRAM</i>	75
IV.4	Technique de calibration	78
IV.5	Conclusion.....	83
V.	Test et résultats expérimentaux	84
V.1	Environnement de test	84
V.1.1	<i>Carte Mère</i>	85
V.1.2	<i>Carte Analogique</i>	87
V.1.3	<i>Interface Graphique</i>	87
V.2	Caractérisation des performances et analyse d'images.....	91
V.2.1	<i>Tension d'une colonne de pixels</i>	91
V.2.2	<i>Tension de la rampe linéaire et par morceaux</i>	92
V.3	Caractérisation du capteur	94
V.3.1	<i>Calibration d'une conversion avec la rampe par morceau</i>	94
V.3.2	<i>Linéarité</i>	94
V.3.3	<i>Mesures du bruit fixe en colonne (VFPN)</i>	96
V.3.4	<i>Le bruit en ligne</i>	98
V.3.5	<i>Images réelles et post-traitements</i>	99
V.4	Conclusion.....	101
VI.	Conclusions et perspectives	102
VII.	References	104
VII.1	Publications.....	105

Table des illustrations

Figure 1: le marché des capteurs d'image CMOS.....	14
Figure 2: a) Bus londonien en mouvement, réalisé avec un appareil photo fixe. b) Manège en mouvement lors de la prise de vue. c) Rotation de l'hélice d'un avion, malgré un temps de pose très court.....	15
Figure 3: Mosaïque du III ^{ème} siècle représentant Hercule dans le jardin des Hespérides actuellement exposé dans le Museo Arqueológico Nacional, Madrid.....	17
Figure 4: Chaîne de l'image.....	18
Figure 5: Effet photoélectrique dans un semi-conducteur.....	19
Figure 6 : Coefficient d'absorption du silicium et profondeur de pénétration des photons en fonction de la longueur d'onde [5].....	20
Figure 7 : Jonction PN inversée.....	21
Figure 8 : Caractéristique courant tension de la photodiode.....	21
Figure 9 : Architecture pixel 3T (a) et sa courbe d'intégration (b).....	22
Figure 10 : Architecture Pixel 4T (a) et courbe d'intégration du pixel (b).....	24
Figure 11:Chronogrammes des différents signaux de contrôle d'un pixel 4T.....	24
Figure 12: Chronogramme du mode de lecture global shutter.....	26
Figure 13 : Chronogramme du mode de lecture Rolling Shutter.....	27
Figure 14: Différence entre la lecture Global shutter à gauche et la lecture en Rolling shutter à droite	27
Figure 15 : Densité spectral du bruit de grenaille dans une diode avec un temps transit de τ	30
Figure 16: Simulation du shot noise en fonction du nombre de photons moyen par pixel.....	31
Figure 17:Exemples courants d'effet de Blooming et Smearing.....	32
Figure 18 : Somme de 50 images obtenues dans l'obscurité avec une matrice de 256 x 256 pixels (De gauche à droite : bruit fixe total, bruit fixe de la colonne, bruit fixe du pixel).....	33
Figure 19 : Principe d'utilisation d'une microlentille dans un capteur d'image.....	34
Figure 20 : Pixels avec partage de transistor pour réduire la taille du pixel. a) Pixel 1T75 b) Pixel 2T	35
Figure 21 : Double échantillonnage corrélé avec une architecture pixel 3T.....	36
Figure 22 : Double échantillonnage corrélé avec une architecture pixel 4T.....	37
Figure 23 : Double échantillonnage non corrélé avec une architecture pixel 3T.....	37
Figure 24 : Différentes architecture pour augmenter la vitesse. a) 1 seul ADC pour toute la matrice avec un multiplexage des sorties des pixels b) 1 ADC par colonne pour réduire le delai. c) 1 ADC par pixel.....	38
Figure 25: Chaîne de lecture colonne d'un capteur d'images CMOS à conversion analogique numérique de type rampe.....	41
Figure 26 : Schéma de principe du convertisseur SAR.....	42

Figure 27 : Organigramme du convertisseur SAR.....	43
Figure 28 : Convertisseur pipeline	45
Figure 29: Architecture du convertisseur cyclique	45
Figure 30: Organigramme du convertisseur cyclique	46
Figure 31: Résidu pour un ADC cyclique de 1 bit par cycle	47
Figure 32: Diagramme d'un convertisseur sigma delta	47
Figure 33: Principe de fonctionnement d'un CAN à base de VCO	49
Figure 34: Architecture du convertisseur à rampe linéaire	50
Figure 35: Architecture du convertisseur à multiple rampe	51
Figure 36: Timing du convertisseur à multiple rampe et simple pente	52
Figure 37: Timing du convertisseur à multiple rampe et multiple pente	53
Figure 38: Principe d'un convertisseur à rampe non-linéaire	53
Figure 39: Timing d'un convertisseur à rampe avec cassure utilisant le D-CDS	55
Figure 40: Erreur de conversion introduit par le comparateur	55
Figure 41: Cassure de rampe a) sans calibration b) avec calibration	57
Figure 42: Architecture pixel 2T	61
Figure 43: Pattern a) RGB (Bayern) b) RGBW.....	61
Figure 44: Matrice de pixels.....	62
Figure 45: Architecture global du CAN a rampe.....	62
Figure 46: Schéma fonctionnel du générateur de rampe	63
Figure 47: Chronogramme de la rampe pour le digital CDS	64
Figure 48: schéma bloc du régulateur pour le générateur de rampe	65
Figure 49 : Génération de l'offset à l'intérieur de la boucle de contre réaction	67
Figure 50 : Génération de l'offset à travers la solution de secours	68
Figure 51: Schématique du régulateur 1V8	69
Figure 52 : Source de courant thermométrique	71
Figure 53: Schéma de principe d'une source de courant thermométrique.....	72
Figure 54: Cellule de courant unitaire	73
Figure 55: Comparateur colonne schéma block	73
Figure 56: Délai du comparateur en fonction du gain analogue	74
Figure 57: Comparateur base sur un montage à cascode replié.....	75
Figure 58: Schéma fonctionnel compteur + SRAM.....	75
Figure 59: Timing du compteur	76
Figure 60: Schéma block de la SRAM	77
Figure 61: Timing de la SRAM.....	78
Figure 62: Délai du comparateur en fonction de la pente de rampe	79

Figure 63: Erreur de conversion introduite par le comparateur.....	80
Figure 64: Mesure supplémentaire pour la calibration de l'offset d'un signal a la masse.....	81
Figure 65: Pixel 4T avec un pont diviseur résistif horizontal	82
Figure 66: Puce micrographique	84
Figure 67: Schéma bloc décrivant la plateforme de test.....	85
Figure 68: Vue d'ensemble de la carte mère.....	86
Figure 69: Zoom sur la partie remise à zéro	86
Figure 70: Vue d'ensemble de la carte Analogique	87
Figure 71: Vue d'ensemble de la plateforme de mesure.	88
Figure 72: Interface de contrôle V2W.....	88
Figure 73: Sélection de l'entrée du comparateur.....	89
Figure 74: Interface d'acquisition de Capitall	90
Figure 75: Interface pour le traitement de l'image sur Capitall	91
Figure 76: Evolution temporelle de la tension d'une colonne de pixels.....	92
Figure 77: Evolution temporelle de la tension de la rampe linéaire	93
Figure 78: Evolution temporelle de la tension de rampe par morceau.....	93
Figure 79: DNL sans calibration.....	95
Figure 80: Les données durant la linéarisation.....	95
Figure 81: DNL avec calibration	96
Figure 82: Image réelle montrant le VFPN en mode a) « normal » et b) « low power ».	98
Figure 83 : Image réelle pour différent gain	99
Figure 84 : Image réelle avec une conversion faite à partir de a) une rampe linéaire b) une rampe par morceau.....	100
Figure 85 : Image réelle issu d'une conversion faite avec une rampe par morceau après calibration .	101

Table des tableaux

Tableau 1 : Synthèse des convertisseurs analogique numérique	58
Tableau 2 : caractéristique d'un pixel	60
Tableau 3 : Différentes valeurs d'offset en fonction du process et de la température.....	67
Tableau 4 : Différentes valeur d'offset en fonction du process et de la température	69
Tableau 5 : Principaux résultats pour la stabilité du régulateur.....	70
Tableau 6 : Principaux résultats pour le bruit et le PSRR.....	70
Tableau 7 : Caractéristique de la rampe	71
Tableau 8 : Table de vérité d'un décodeur thermométrique	72
Tableau 9 : Valeurs du bruit fixe en colonne pour les différents gains avec toutes les colonnes	96
Tableau 10 : Valeurs du bruit fixe en colonne pour les différents gains en mode basse consommation	98
Tableau 11 : Valeurs du bruit en ligne pour les différents gains	99
Tableau 12 : Comparatif de différente architecture	101

I. Introduction générale

I.1 Motivations et objectifs

Le travail décrit dans ce manuscrit montre comment réaliser un capteur d'images pour mobile en technologie CMOS (Complementary Metal Oxide Semiconductor). Ce projet a été réalisé en vue de répondre à une forte demande du marché. Une investigation a été menée afin de trouver une méthode pour améliorer la vitesse de lecture d'une matrice de pixel. Ces expérimentations ont été développées au sein de STMicroelectronics.

Le marché du capteur d'image CMOS continue d'avoir une part importante dans l'industrie du semi-conducteur. Les applications clé sont : les téléphones mobiles, les DSLR (Digital Single-Lens Reflex), l'automobile, la médecine et les ordinateurs portables. Toutes ces applications, ainsi que leur prix moyen, sont illustrées sur la Figure 1. Nous pouvons constater que les smartphones sont largement en tête du nombre de ventes dans les capteurs d'image.

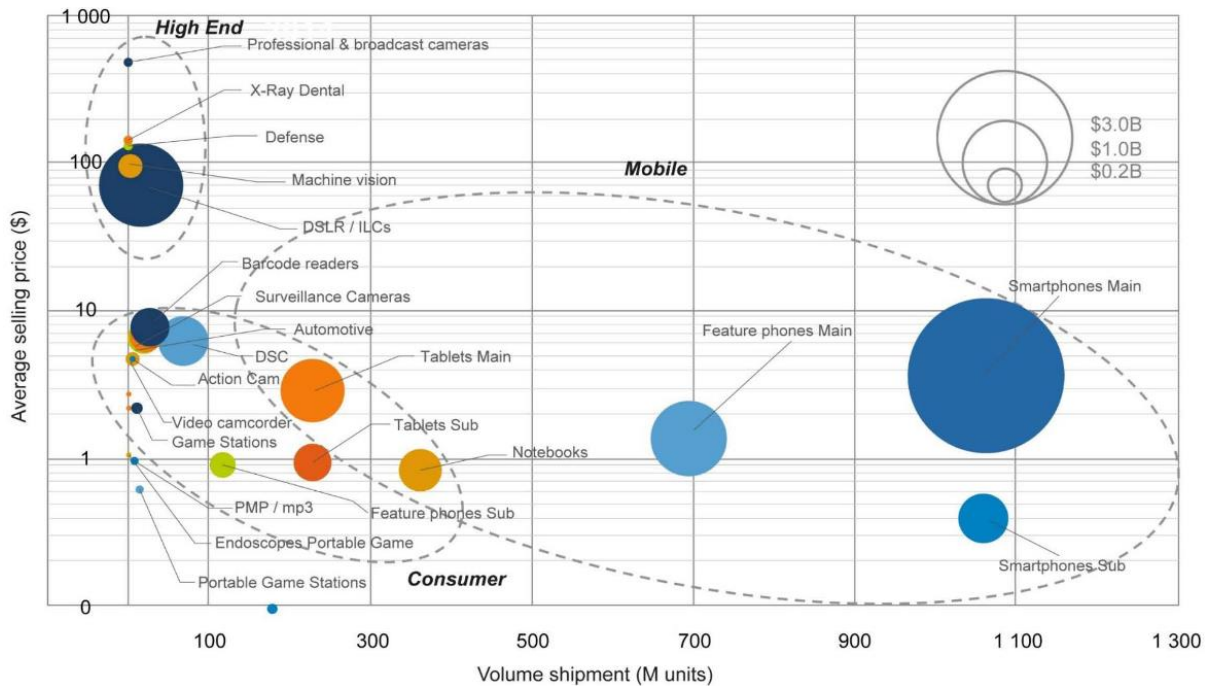


Figure 1: le marché des capteurs d'image CMOS

Les prochaines générations de produits, nécessitent des capteurs d'image avec des performances très élevées ; tant au niveau qualité d'image -avec des architectures faible bruit- qu'avec l'utilisation de nouvelles technologies pour augmenter le niveau du signal ou diminuer la consommation.

Ces nouvelles technologies comprennent par exemple : le 3D stacking, le Backside Illumination (BSI), le High Dynamic Range (HDR), le Global Shutter et le Single-Photon Avalanche Diode (SPAD). Le 3D stacking, par exemple, consiste à empiler 2 wafers afin de pouvoir augmenter la taille de la partie digitale. Les algorithmes présents dans la partie digitale servent à réduire les imperfections du capteur.

La technologie BSI est maintenant couramment utilisée dans les applications mobiles pour obtenir une meilleure dynamique du capteur. Le HDR quant à lui, permet d'augmenter la dynamique. Le Global Shutter commence à être de plus en plus employé pour éviter les artefacts d'image en mouvement. On peut également voir depuis très peu de temps, des matrices de SPAD pour la détection de la profondeur. L'empilement d'une matrice de SPAD sur des composants imageurs de type CMOS est aussi une nouvelle tendance.

Le point commun de toutes ces avancées technologiques est la conversion de données analogiques en données numériques. Par conséquent, avec l'augmentation des tailles de matrices de pixel, et la résolution des données, la vitesse de conversion devient critique. Le sujet de cette thèse portera donc sur l'amélioration de ce dernier point. Un exemple de ce phénomène peut être observé sur la Figure 2. L'ensemble de ces images illustre les défauts manifestés lors de la prise en photo de l'objet en mouvement, ces défauts sont dus à une vitesse de conversion trop lente. De récentes études montrent les bénéfices de l'augmentation du frame rate [1], [2]. Le but de ce travail est de trouver la meilleure solution en fonction des contraintes de surface, de consommation et de bruit, pour augmenter le frame rate d'un capteur d'image CMOS.



Figure 2: a) Bus londonien en mouvement, réalisé avec un appareil photo fixe. b) Manège en mouvement lors de la prise de vue. c) Rotation de l'hélice d'un avion, malgré un temps de pose très court.

I.2 Structure de la thèse

Dans le chapitre 2, une description générale des capteurs d'image CMOS est présentée pour donner toutes les notions fondamentales décrites dans cette thèse. Ce chapitre explique étape par étape le fonctionnement d'un capteur en commençant par la photodiode et le pixel jusqu'aux données numérisées. Nous étudierons également le convertisseur analogique-numérique et le bruit présent dans les capteurs.

Le chapitre 3 présente une étude comparative entre plusieurs architectures, pour trouver celle qui correspond le mieux à nos besoins. Une présentation des différents CAN (SAR, cyclique, Sigma delta, simple rampe) sera faite en donnant les avantages et inconvénients de chacun.

Le chapitre 4 donne toutes les étapes de conception de la solution proposée avec une analyse approfondie des performances. Les problèmes rencontrés sont mis en évidence ainsi que la validation des solutions proposées. Ceci sera effectué à l'aide de calculs analytiques et par l'intermédiaire de la simulation électrique.

Le chapitre 5 donne une description du banc de test utilisé pour la caractérisation du circuit, ainsi que les performances du capteur mis en place.

Dans le chapitre 6, les résultats obtenus ont permis de tirer des conclusions et des perspectives sur les solutions proposées.

II. Introduction aux imageurs CMOS

II.1 Introduction

Depuis toujours, les hommes essayent de créer des images qui reflètent leurs expériences et conservent leurs souvenirs sous une forme visuelle. Dès les premières mosaïques, le même concept est utilisé : il consiste à rassembler des millions de petites pierres colorées, ou plus généralement des éléments de l'image ('Picture cells' en anglais qui donna le nom de pixels). Plus ces éléments d'images sont petits, et plus il y a de valeurs intermédiaires entre le noir et le blanc mieux sera la résolution et la qualité d'image. Le concept de mosaïque est connu depuis plusieurs milliers d'années : La Figure 3 est un exemple d'une mosaïque datant du premier tiers du III^{ème} siècle.



Figure 3: Mosaïque du III^{ème} siècle représentant Hercule dans le jardin des Hespérides actuellement exposé dans le Museo Arqueológico Nacional, Madrid.

Le concept de mosaïque a bien évolué depuis, avec notamment les appareils photographiques de type argentique. La photographie est obtenue par un processus photochimique comprenant l'exposition d'une pellicule sensible à la lumière. Ensuite, la photographie numérique s'est rapidement imposée avec la technologie Charged Coupled Device (CCD) qui était la plus utilisée dans les années 1980. En effet, l'ensemble du secteur de l'imagerie à base de silicium a évolué autour du concept du CCD. [3] est la première publication expliquant cette invention qui l'utilise comme registre à décalage en 1969. La première utilisation de la technologie CCD pour les imageurs a été développée en 1970 dans [4] ce qui créera une véritable révolution. Cette invention, ainsi que ses applications ont rapporté le prix Nobel en 2009 à Willard Boyle et George E. Smith. En parallèle du développement de la technologie CCD, l'industrie de la technologie CMOS faisait des progrès considérables pour les imageurs.

La technologie CCD a été développée pour atteindre de meilleures performances en imagerie. L'utilisation de transistors NMOS et PMOS fut intégrée à posteriori pour le circuit de lecture. La technologie CMOS ne fut initialement pas pensée pour les imageurs uniquement, elle doit par conséquent être adaptée au monde de l'imagerie. C'est-à-dire mettre l'élément de détection de photons et toute la circuiterie pour la lecture sur le même silicium.

Dans ce chapitre, toutes les parties d'un imageur CMOS vont être décrites. Nous aborderons les bases de la physique du semi-conducteur, notamment la jonction p-n pour la photodiode. Finalement, un bilan des différentes architectures de pixel seront décrites ainsi que leurs méthodes de lecture. Les différents challenges liés au bruit dans le capteur ainsi qu'une méthode de réduction de bruit seront abordés. Enfin on évoquera brièvement le convertisseur analogique numérique.

II.2 La chaîne de l'image

Le composant central de tout système d'acquisition est le capteur. En effet, le capteur permet d'obtenir de manière relative ou absolue l'image estimée d'une grandeur physique naturelle destinée à être quantifiée et traitée. Dans le contexte de l'imagerie visible, les capteurs associés sont les imageurs. Un imageur est un composant électronique, permettant l'acquisition et la conversion d'un signal électromagnétique. Ce signal électromagnétique est composé de différentes longueurs d'onde qui seront converties en un signal électrique.

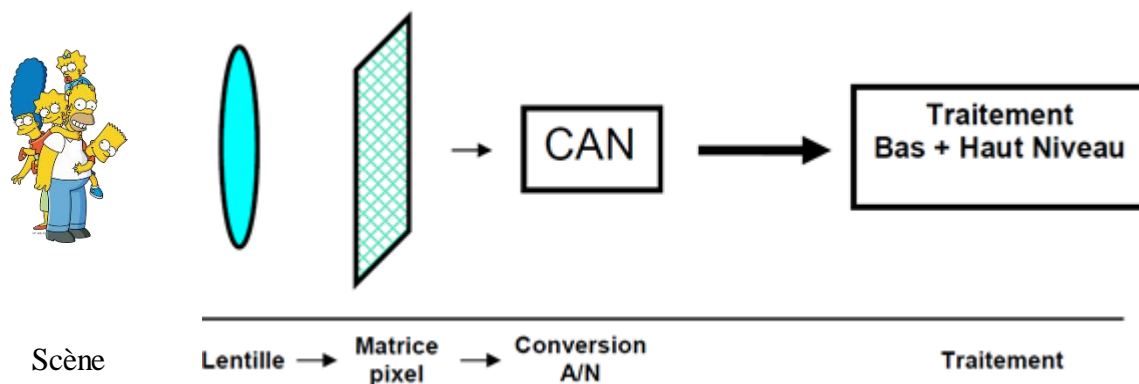


Figure 4: Chaîne de l'image

La Figure 4 ci-dessus présente la chaîne de l'image. Elle présente les différentes étapes que va suivre l'information du photon incident, jusqu'à la formation de l'image dans un processeur de traitement. Le flux lumineux en provenance de la scène est réfracté par la lentille, pour converger vers la matrice de pixels. Chacun des pixels de cette matrice va faire l'acquisition d'une partie de la lumière provenant de la scène. Cette information analogique est quantifiée sous forme numérique, puis transmise par une liaison série, à un processeur de traitement de type ISP (Image Sensor Processor) pour reformer l'image numérique.

Chacun des blocs de cette chaîne fera l'objet d'une étude plus approfondie dans cette partie. Nous nous limiterons en revanche aux blocs ayant trait à l'électronique ; nous n'évoquerons donc pas les phénomènes optiques au sein de la lentille.

II.3 La photodiode

Une photodiode est un composant semi-conducteur, mettant à profit l'effet photoélectrique, c'est à dire la conversion d'un flux lumineux incident en un courant électrique. La photodiode est l'élément de base des capteurs CMOS. En effet, si l'énergie du photon incident est suffisamment élevée il peut être absorbé par le silicium. L'énergie minimale requise est représentée sur la Figure 5 ci-dessous.

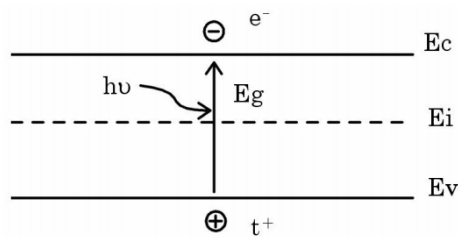


Figure 5: Effet photoélectrique dans un semi-conducteur

Avec E_G l'énergie de gap, E_C l'énergie des électrons se situant dans la bande de conduction et E_V l'énergie des électrons dans la bande de valence. La valeur de l'énergie de gap du silicium est égale à 1.12eV mesuré à T=300K ce qui équivaut à une longueur d'onde de :

$$\lambda_c = \frac{h * c}{E_G} = 1.1\mu m \quad (1)$$

où « h » est la constante de Planck ($h = 4,13.10^{-15} \text{eV.s}$) et « c » la célérité de la lumière ($c = 3.10^8 \text{m.s}^{-1}$). Cette longueur d'onde correspond au proche infrarouge. L'électron éjecté de la bande de valence dans le cristal de silicium peut être remplacé par un électron voisin créant ainsi une paire électron trou. Ce mouvement continué créé par une intensité lumineuse, permet un flux d'électrons dans le cristal formant un courant électrique. Pour information, le germanium a une énergie de gap de 0.7eV et une longueur d'onde de 1.8 μm ce qui lui permet d'absorber plus facilement les photons. Cependant, c'est le silicium qui est le plus utilisé pour notamment des raisons de coût.

II.3.1 Performance de la photodiode

L'interaction entre les photons et un semi-conducteur se traduit globalement par une caractéristique essentielle du matériau : le coefficient d'absorption. Ce dernier est pris en compte dans ce qu'on appelle le rendement quantique qui est le rapport du nombre de charges électroniques générées sur le nombre de photons incidents absorbés.

$$\eta = \frac{nb_d'\text{électron_photogénérés}}{nb_photon_incidents} \quad (2)$$

La Figure 6 décrit le coefficient d'absorption du silicium en fonction de la longueur d'onde.

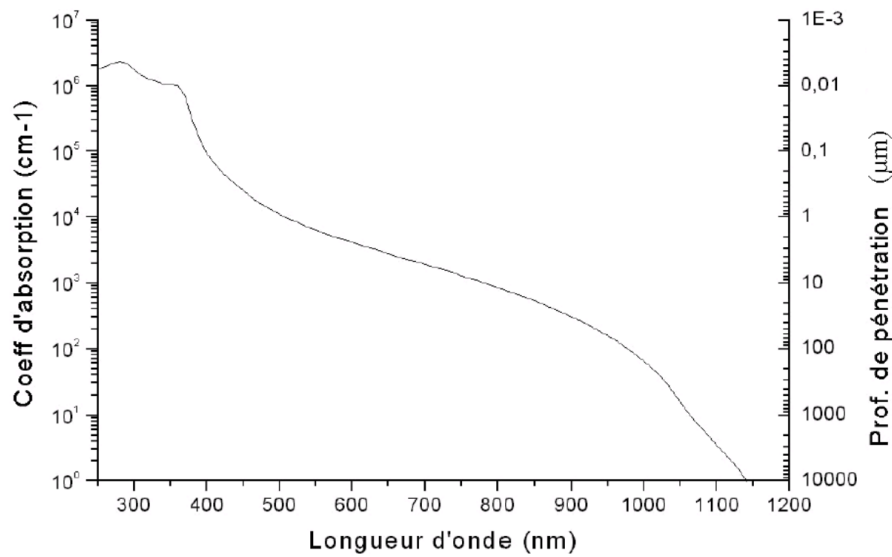


Figure 6 : Coefficient d'absorption du silicium et profondeur de pénétration des photons en fonction de la longueur d'onde [5]

La loi de Beer-Lambert prend en compte ce coefficient, et la longueur d'onde d'un rayonnement traversant un milieu. L'intensité de ce rayonnement subit une diminution exponentielle en fonction de la distance parcourue et de la densité des espèces absorbantes dans ce milieu :

$$I(\lambda, X) = I_0(\lambda) \cdot e^{-\alpha(\lambda) \cdot x} \quad \text{avec} \quad \alpha(\lambda) = \frac{4\pi \cdot k(\lambda)}{\lambda} \quad (3)$$

où I_0 est l'intensité de la lumière incidente, « x » est la profondeur (en cm) et « $\alpha(\lambda)$ » est le coefficient d'absorption du matériau (en cm^{-1}).

La deuxième caractéristique à prendre en compte pour évaluer la performance d'une photodiode est la réponse spectrale due à la propriété optique du silicium qui quantifie le rapport entre courant produit par la photodiode et l'intensité lumineuse qu'elle a reçue :

$$R_\lambda = \frac{\text{Courant produit}}{\text{Intensité lumineuse reçue}} = \frac{q \cdot \eta \cdot \lambda}{h \cdot c} \quad \left(\text{en } \frac{\text{A}}{\text{W}}\right) \quad (4)$$

où « q » est la charge de l'électron qui est égale à $1,602 \cdot 10^{-19}$ C.

II.3.2 La jonction PN

La Figure 7 montre la plus populaire des photodiodes qui est la jonction PN inversée.

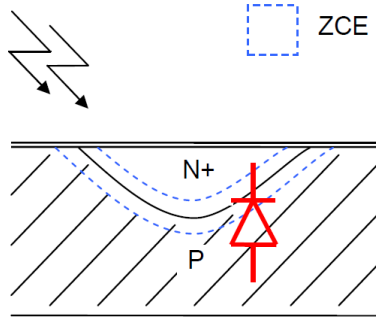


Figure 7 : Jonction PN inversée

La zone de collection des photons est formée par la zone de charge espace (ZCE) d'une jonction polarisée en inverse. Nous pouvons considérer deux modes d'utilisation selon que l'on polarise ou non la photodiode par une source de tension externe. En absence de polarisation, la photodiode fonctionne en convertisseur d'énergie, elle crée une tension. On parle alors de mode photovoltaïque.

Ces deux modes sont illustrés sur la caractéristique courant-tension ci-contre. La tension V est la tension générée par la photodiode lorsqu'elle est utilisée en mode photovoltaïque et le courant I en ordonnée est le courant généré en mode photoconducteur.

Le courant d'obscurité (Dark Current) est le courant résiduel généré par la photodiode en absence d'éclairement. Ce courant est illustré sur la Figure 8.

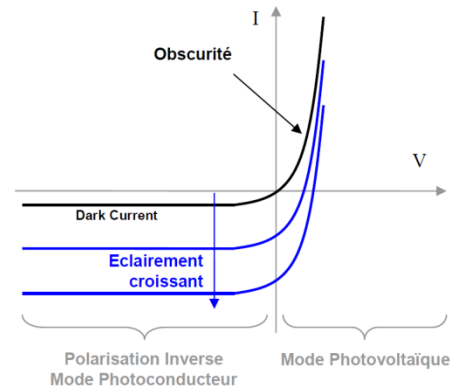


Figure 8 : Caractéristique courant tension de la photodiode

Dans le cas d'une polarisation inverse de la capacité de jonction de la photodiode, on génère un photo-courant proportionnel au flux lumineux, on parle alors de mode photoconducteur. La capacité de stockage peut s'exprimer en fonction de la tension inverse $V_{inverse}$ appliquée lors de la réinitialisation :

$$C_{diode} \approx A_{diode} \cdot \sqrt{\frac{q \cdot \epsilon_{Si}}{2 \cdot (V_{int} + V_{inverse})} \cdot \frac{N_A \cdot N_D}{N_A + N_D}} \quad \text{avec} \quad V_{int} \approx \frac{k \cdot T}{q} \cdot \ln \frac{N_D}{N_A} \quad (5)$$

où A_{diode} est la surface de la diode, q la charge d'un électron, ϵ_{Si} la permittivité diélectrique du silicium, V_{int} la tension interne de la diode, N_A et N_D les dopages respectifs des régions 'p' et 'n' de la diode, 'k' la constante de Boltzmann et T la température.

II.4 Architecture d'un pixel

En plus d'un photo-détecteur, un pixel dispose d'un circuit de lecture qui permet de lire le signal en charge, en tension ou en courant. Parmi les architectures pixel les plus courantes de nos jours, on peut citer les capteurs APS (Active Pixel Sensor) issus de la technologie CMOS.

Ces pixels sont dits actifs car ils disposent d'une amplification en courant du signal photogénéré. Cet étage d'amplification est la plupart du temps obtenu par un transistor suiveur. Cette amplification est

appelée facteur de conversion, noté CVF, il traduit le gain entre le nombre d'électrons photogénérés N_e et la tension de sortie du pixel. Il s'exprime généralement en $\mu\text{V}/\text{électron}$. Pour les pixels 3T, 4T et CCD, il dépend du gain G de l'étage d'amplification et de la capacité de conversion C_{conv} :

$$CVF = \frac{V_{out}}{N_e} = \frac{q \cdot G}{C_{conv}} \quad (6)$$

Plus le gain de conversion est élevé, meilleure est la détection du capteur pour les faibles niveaux d'illumination mais plus vite les niveaux blancs atteignent la saturation.

Le signal utile, image de la quantité de lumière reçue, est obtenu par différence de deux potentiels échantillonnés en sortie du transistor suiveur à deux instants séparés par un intervalle T_{int} , le temps d'intégration. Le premier potentiel est celui de référence, après initialisation du pixel. Le second est fonction de la quantité de charges collectée pendant cet intervalle de temps. Les pixels sont dotés d'un photo-détecteur type « Pinned photodiode » ou jonction inversée et leur lecture se fait au travers de trois transistors :

- Un transistor de reset se charge de pré-charger le nœud de lecture à une tension d'alimentation.
- Un transistor suiveur (Source Follower : SF) se charge d'isoler le nœud de lecture de la colonne.
- Un transistor de lecture (Read) qui permet la sélection de la ligne et fait la connexion avec la colonne.

L'ajout de ces transistors au sein du pixel a hélas une conséquence sur la surface de la photodiode et donc sur la qualité de l'acquisition de l'image. Le rapport entre la surface de la photodiode et la surface du pixel est nommé Fill Factor ou facteur de remplissage.

Les deux architectures pixel les plus courantes sont les APS 3T et 4T.

II.4.1 Le pixel à 3 transistors (pixel 3T)

La Figure 9 ci-dessous présente l'architecture APS 3T ainsi que la courbe d'intégration associée. La structure est constituée d'une jonction PN inversée et des trois transistors de lecture décrits précédemment.

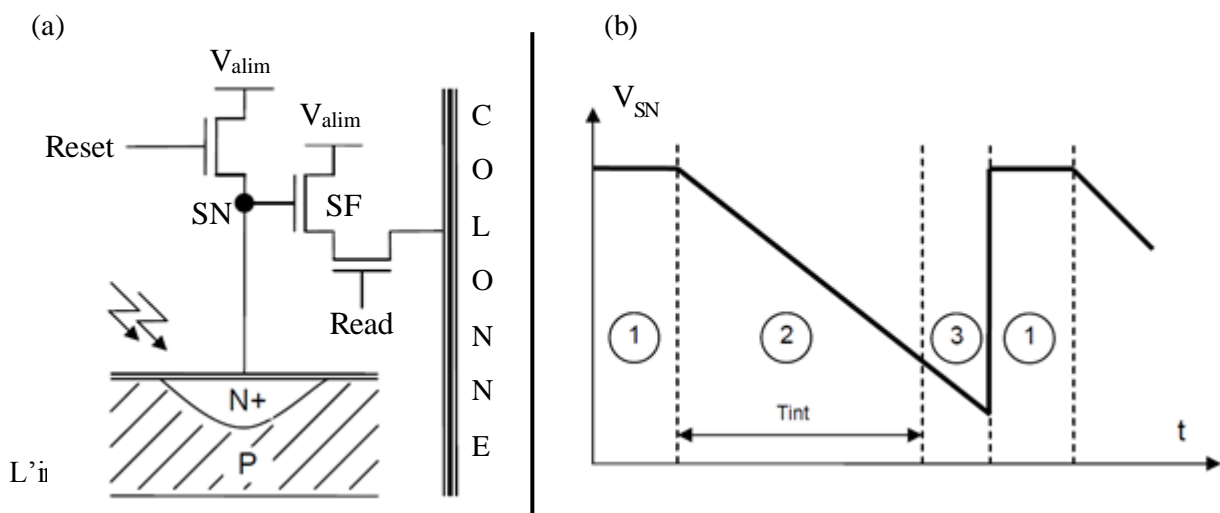


Figure 9 : Architecture pixel 3T (a) et sa courbe d'intégration (b)

1 - Le transistor de reset est passant, la photodiode est ainsi pré-chargée à V_{alim} ou $V_{alim}-V_T$ selon la tension haute du signal Reset. Lorsque cette dernière est supérieure ou égale à $V_{alim}+V_T$ (on parle de *Hard Reset*), aucune rémanence n'est observée car le transistor de reset est toujours polarisé en région ohmique. Au contraire, si cette tension est égale à V_{alim} (on parle de *Soft Reset*), une rémanence fonction du niveau intégré par l'image précédente est observée car le transistor de reset est polarisé sous le seuil en fin de réinitialisation.

2 - Le transistor de reset est bloqué, le courant généré dans la diode fait chuter la tension V_{SN} .

3 - A la fin du temps d'intégration (T_{int}), les charges sont lues sur la source du transistor suiveur connecté sur la colonne.

Cette architecture fut la première évolution active des pixels PPS (Passive Pixel Sensor) qui ne disposaient pas d'amplification du courant au travers d'un suiveur. Elle présente l'avantage de pouvoir être intégrée sur n'importe quel type de technologie non dédiée à l'imagerie. Cependant le principal inconvénient de cette architecture est le bruit KTC, en effet lorsque la photodiode est réinitialisée (1) un

bruit $V_{SN} = \sqrt{\frac{k.T}{C_{conv}}}$ est échantillonné sur le nœud SN. Pour corriger l'effet de ce bruit, la technique

utilisée est d'effectuer une lecture du pixel immédiatement après la réinitialisation et la valeur lue est stockée dans une mémoire de trame. A la fin de l'intégration, la nouvelle valeur du signal issu du pixel est lue et elle est soustraite à la valeur précédemment stockée en mémoire. Cette technique s'appelle le double échantillonnage corrélé (CDS : Correlated Double Sampling), il est difficile à mettre en place avec le pixel 3T. La raison de cette difficulté est expliquée plus en détail un peu plus loin dans le paragraphe traitant du CDS.

C'est notamment pour cela que ce pixel 3T fut majoritairement remplacé par les structures APS 4T qui offrent de meilleures performances.

II.4.2 Le pixel à 4 transistors (Pixel 4T)

La Figure 12 présente l'architecture APS 4T ainsi que la courbe d'intégration associée. La structure est proche de l'APS 3T, en plus des trois transistors de lecture classique, elle est constituée d'une « pinned photodiode » couplée à une grille de transfert qui fait office de quatrième transistor. Cette grille de transfert permet d'isoler la photodiode du nœud de lecture.

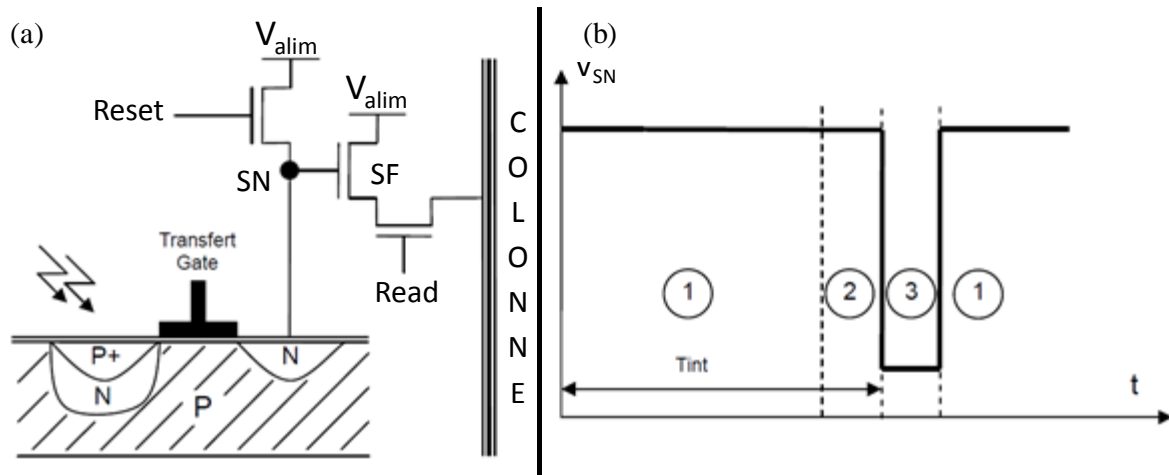


Figure 10 : Architecture Pixel 4T (a) et courbe d'intégration du pixel (b)

Cette structure est devenue le standard aujourd'hui en imagerie CMOS en raison du faible courant d'obscurité de son photo-détecteur et d'un facteur de conversion élevé ($140\mu\text{V}/\text{électron}$) car contrairement au pixel 3T, la capacité de la photodiode et la capacité de conversion ne sont pas les mêmes. Effectivement la capacité du nœud SN, notée C_{SN} , est composée de la capacité des connexions métal, la capacité drain-substrat du transistor de TG et source-substrat du transistor de Reset, et de la capacité MOS du suiveur. Par ailleurs sur la Figure 10, l'implant P+ en surface supprime les impuretés de la photodiode qui sont responsables du phénomène de recombinaison qui est à l'origine du courant d'obscurité. Lors de l'activation de la grille de transfert via le signal de Transfer Gate (TG), les charges sont transférées de la diode vers le nœud flottant noté SN.

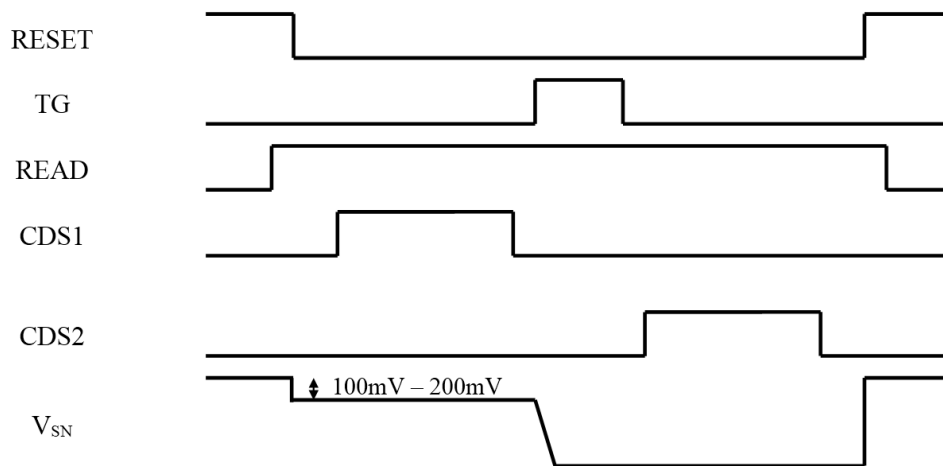


Figure 11: Chronogrammes des différents signaux de contrôle d'un pixel 4T

On peut voir sur la Figure 11 qu'au cours de l'intégration, le signal RESET est maintenu actif (1) de telle manière qu'en cas de saturation du pixel, le surplus de charges qui se déverse sur le nœud de conversion (SN) soit évacué vers l'alimentation (anti-blooming). Au cours de la lecture, les signaux

CDS1 et CDS2 correspondent respectivement à l'échantillonnage des tensions de référence et de signal. Tout d'abord, RESET=0 et READ=1, ce qui crée sur le nœud de conversion un couplage capacitif (2). Les charges stockées sur ce nœud sont alors la somme du couplage capacitif et de l'échantillonnage du bruit kTC. Cette valeur est lue grâce à un circuit placé dans la colonne (CDS1 actif). Puis, les charges stockées dans la photodiode sont transférées vers le nœud de conversion SN en activant la grille de transfert (TG = 1) (3). La quantité de charges présente sur le nœud de conversion est alors la somme des charges transférées et des charges présentes après réinitialisation. La tension équivalente est alors lue de la même manière que le 1^{er} échantillon (CDS2 actif). En soustrayant ces deux mesures, le résultat obtenu est indépendant du bruit kTC et du couplage capacitif induit par la phase de réinitialisation : on parle alors de double échantillonnage corrélé (CDS : Correlated Double Sampling). Ce principe sera décrit plus en détail plus loin dans ce rapport.

A l'issue de l'intégration, les signaux correspondant à l'illumination sont disponibles sur les nœuds de lecture des pixels. Il existe alors plusieurs modes de balayage de la matrice permettant d'accéder aux données.

II.5 Mode de lecture de la matrice de pixel

Le mode de fonctionnement des pixels ayant été introduit, étudions à présent les deux principaux modes de lecture de la matrice qui vont permettre d'acheminer la valeur des pixels à l'extérieur des pixels.

II.5.1 Le mode Global shutter

Dans un mode dit de « global shutter », la pré-charge de l'ensemble des photodiodes de la matrice est effectuée de façon simultanée. Les pixels intègrent en parallèle les charges générées par le rayonnement en provenance de la scène durant un temps d'exposition donné. Pour chaque pixel, la valeur intégrée est alors stockée dans une mémoire interne au pixel, par exemple la capacité de grille du transistor suiveur dans un montage 4T.

Chaque pixel d'une même ligne transfère sa donnée sur la colonne à laquelle il est connecté. La lecture des données des pixels se fait ainsi ligne par ligne. L'ensemble de ces étapes se déroule durant une période trame fixe.

Le chronogramme de la Figure 12 ci-dessous illustre le séquençage des phases d'intégration des lignes de pixels.

L'extrémité gauche d'une ligne représente le début de l'intégration des pixels d'une même ligne suite à la pré-charge, l'extrémité droite représente l'instant de lecture des valeurs des pixels de la ligne.

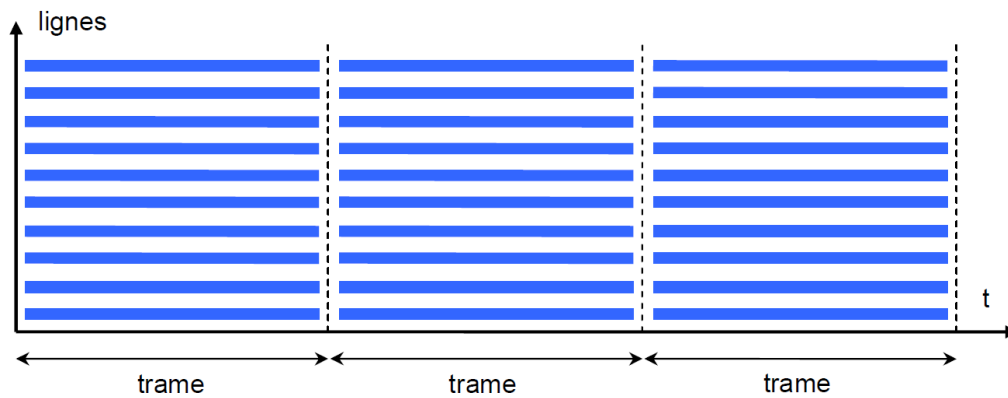


Figure 12: Chronogramme du mode de lecture global shutter

L'avantage de cette technique est d'avoir une cohérence temporelle entre les valeurs des pixels. L'architecture 3T doit être adaptée pour permettre ce genre de lecture. En effet, l'absence d'élément de stockage isolé de la zone photosensible entraînerait des temps d'intégration non-uniformes des lignes de la matrice à cause du temps de lecture nécessaire pour chacune des lignes. Cependant, il faut rajouter un élément de mémoire dans le pixel ce qui automatiquement augmente la taille de ce dernier.

II.5.2 Le mode Rolling shutter

Le mode « Rolling shutter » est un mode de lecture cyclique par ligne de pixels dans lequel chacune d'entre elles intègre la lumière de façon indépendante d'un point de vue temporel. Chaque ligne possède en effet son propre instant de remise à zéro, durant lequel les photodiodes d'une ligne sont rechargées à la tension de référence. Cette pré-charge est effectuée ligne après ligne avec un décalage temporel régulier. Le temps d'exposition est cependant identique pour chaque ligne de pixels. La lecture d'une ligne est donc réalisée après ce temps fixe d'exposition. La Figure 13 ci-dessous illustre le décalage temporel des phases d'intégration de chaque ligne.

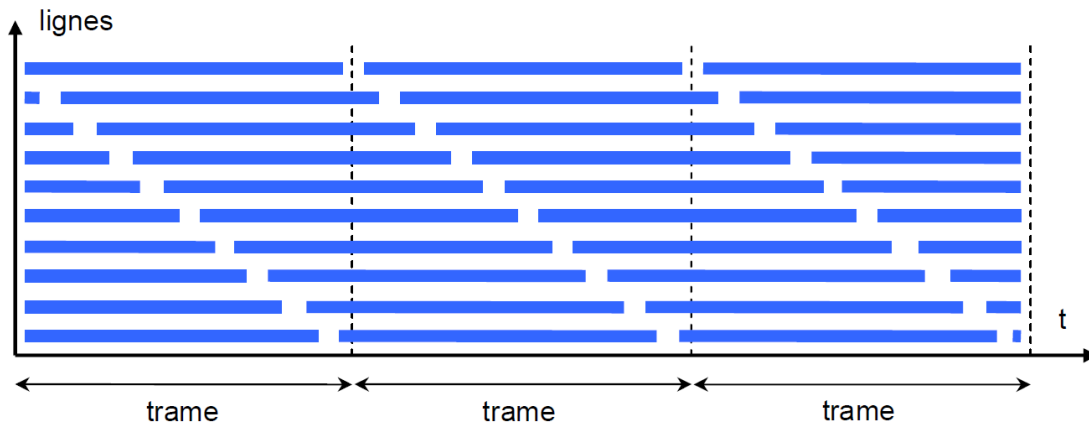


Figure 13 : Chronogramme du mode de lecture Rolling Shutter

L'inconvénient de cette technique est que les éléments acquis ne sont plus cohérents temporellement. L'intégration de la première ligne de la matrice se fait en effet avec un décalage temporel avec la dernière ligne de pixels équivalents au balayage complet de la matrice. On peut voir la différence entre ces deux techniques sur la Figure 14.

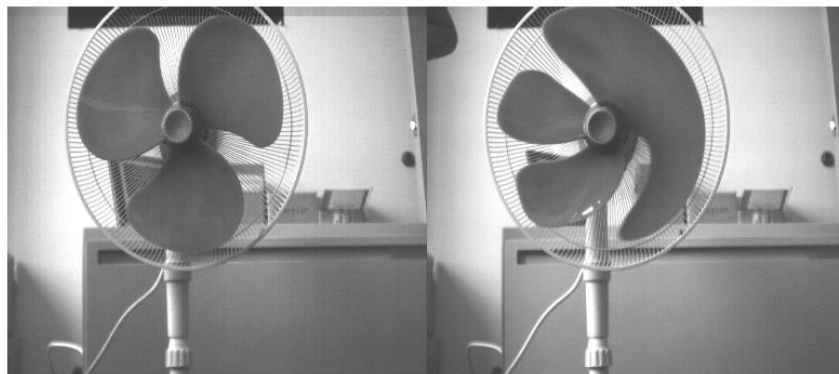


Figure 14: Différence entre la lecture Global shutter à gauche et la lecture en Rolling shutter à droite

Avant d'aborder le traitement numérique des données recueillies par la matrice, attardons-nous un instant sur les différents bruits qui ont hélas d'ores et déjà entachés nos signaux.

II.6 Les bruits électroniques

L'un des plus grands challenges qui existe dans les imageurs CMOS est celui du rapport signal sur bruit (SNR : Signal to Noise Ratio), c'est un ratio entre le signal de sortie du pixel et le niveau de bruit du pixel lui-même. Ce bruit représente tous les signaux non-voulus qui apparaissent comme un processus aléatoire qui ne peut pas être décrit précisément dans le domaine temporel (i.e. stochastique). La meilleure façon de représenter le bruit est d'utiliser les densités de probabilité $p(x)$.

Pour les courants et tensions ce qui est pris en compte c'est la variance σ^2 , qui est la moyenne quadratique d'une composante alternative :

$$\sigma^2 = \overline{(x - \bar{x})^2} = \int_{-\infty}^{\infty} (x - \bar{x})^2 p(x) dx \quad (7)$$

La racine carrée de la variance est appelée l'écart type du signal, il est noté σ , cela représente la dispersion des données. De plus, la densité spectrale de puissance d'une variable aléatoire est aussi utilisée pour l'analyse du bruit et elle est définie comme la valeur quadratique moyenne par unité de fréquence. Pour une tension on a :

$$S(f) = \int_{-\infty}^{\infty} (x - \bar{x})^2 p(x) \cdot e^{-j\omega x} dx \quad (8)$$

Pour un bruit en tension l'unité est le V^2/Hz , l'équivalent en courant est le A^2/Hz .

Les principaux types de bruit en électronique sont : le bruit thermique, le bruit de grenaille (shot noise), le bruit RTS (Random Telegraph Signal) et le bruit 1/f (ou bruit de flicker).

II.6.1 Le bruit thermique

Le bruit thermique est causé par une excitation thermique aléatoire des porteurs de charge dans le conducteur, il est observé pour la première fois par John Bertrand Johnson [6]. Il est montré que la source de bruit en tension et en courant au niveau d'une résistance R suit une densité spectrale de puissance unilatérale de la forme :

$$S_V(f) = \frac{4Rhf}{\exp\left(\frac{hf}{kT}\right) - 1} \approx 4kTR \quad (9)$$

$$S_I(f) = \frac{4kT}{R} \approx 4kTG \quad (10)$$

où k est la constante de Boltzmann et T la température.

Le bruit en kTC résulte du bruit thermique. En effet lors de la charge de la photodiode au travers du transistor MOS de pré-charge, la valeur échantillonnée sur une capacité au blocage de ce transistor dépend du niveau de bruit thermique. Ce bruit peut s'exprimer en tension :

$$S_{kTC}(f) = \frac{4kTR}{1 + (2\pi RCf)^2} \quad (11) \quad \Leftrightarrow \quad \sigma_V^2 = \int_0^{+\infty} S_{kTC}(f) df = \xi \frac{KT}{C} \quad (12)$$

où ξ est appelé « la constante de reset » qui prend la valeur de 0.5 pour le cas du soft reset et 1 dans le cas d'un hard reset. Le bruit thermique limite la résolution de certains systèmes notamment ceux des imageurs, même si cela peut être réduit, la résistance du signal source aura toujours une contribution sur le signal de sorti.

II.6.2 Le bruit de flicker (1/f) et bruit RTS (Random Telegraphic Signal)

Le bruit de flicker est quant à lui un bruit avec une densité spectrale proportionnelle à $1/f^n$ avec $0.8 < n < 1.3$. Ce type de bruit semble être un effet systématique inhérent à la conduction électrique, bien qu'il n'existe pas de preuve à son origine. La densité spectrale du bruit de flicker se situe en extrême basse fréquence et il peut être modélisé par une source de courant bruité en parallèle du composant mesuré. En général la variance de ce courant bruité dans une bande de fréquence est définie en (13), où $n=1$ et K_f est une constante technologique qui dépend de la polarisation. La densité spectrale du bruit de flicker $S_i(f)$ est aussi définie :

$$\overline{i_{n_flicker}^2} = \frac{K_f \Delta f}{f^n C_{ox} WL} g_m^2 \quad (13) \quad S_i(f) = \frac{i_{n_flicker}^2}{\Delta f} = \frac{K_f}{f^n C_{ox} WL} g_m^2 \quad (14)$$

Le bruit RTS quant à lui est un bruit basse fréquence qui résulte du mécanisme de capture/émission des porteurs par des pièges situés dans et à l'interface de l'oxyde d'un transistor MOS. Il est caractérisé à l'aide de 3 paramètres : le temps de capture moyen noté $\bar{\tau}_c$, le temps d'émission moyen noté $\bar{\tau}_e$ et l'amplitude de la fluctuation. $\bar{\tau}_c$ et $\bar{\tau}_e$ sont des paramètres dépendants de la polarisation du transistor. Ce bruit a une densité spectrale de puissance lorentzienne.

Dans un capteur d'images CMOS, les sources de bruits 1/f et RTS apparaissent essentiellement au niveau du transistor suiveur du pixel.

II.6.3 Le bruit de grenaille

Le bruit de grenaille est dû au fait que le courant électrique est en fait non pas continu mais constitué de porteurs de charge élémentaire. Ce bruit peut lui aussi être modélisé par une source de courant placée en parallèle d'un composant idéal. A vrai dire, un courant I qui apparaît comme un courant constant est en réalité composé d'un grand nombre aléatoire et indépendant d'impulsion de courant. **La variation de ce courant I en termes de bruit de grenaille par rapport à sa valeur moyenne I_D si on prend l'exemple d'un courant traversant une diode est notée \bar{i}^2 où**

$$\bar{i}^2 = \overline{(I - I_D)^2} = \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T (I - I_D)^2 dt \quad (15)$$

Il a été montré que le résultat de ce courant bruité est égal à :

$$\bar{i}^2 = 2qI_D \Delta f \quad (\text{en } A^2) \quad (16) \quad S_i(f) = \frac{\bar{i}^2}{\Delta f} = 2qI_D \quad (17)$$

L'équation (16) est valide jusqu'à ce que la fréquence devienne égale à $1/\tau$, où τ est le temps de transit à travers la zone de charge d'espace d'une diode. Pour la plupart des composants électroniques, τ est extrêmement petit et est précis dans la bande des gigahertz. La Figure 15 montre la densité spectrale du

courant bruité en fonction de la fréquence pour une diode en supposant que le passage de chaque charge à travers la ZCE produise une impulsion de largeur τ .

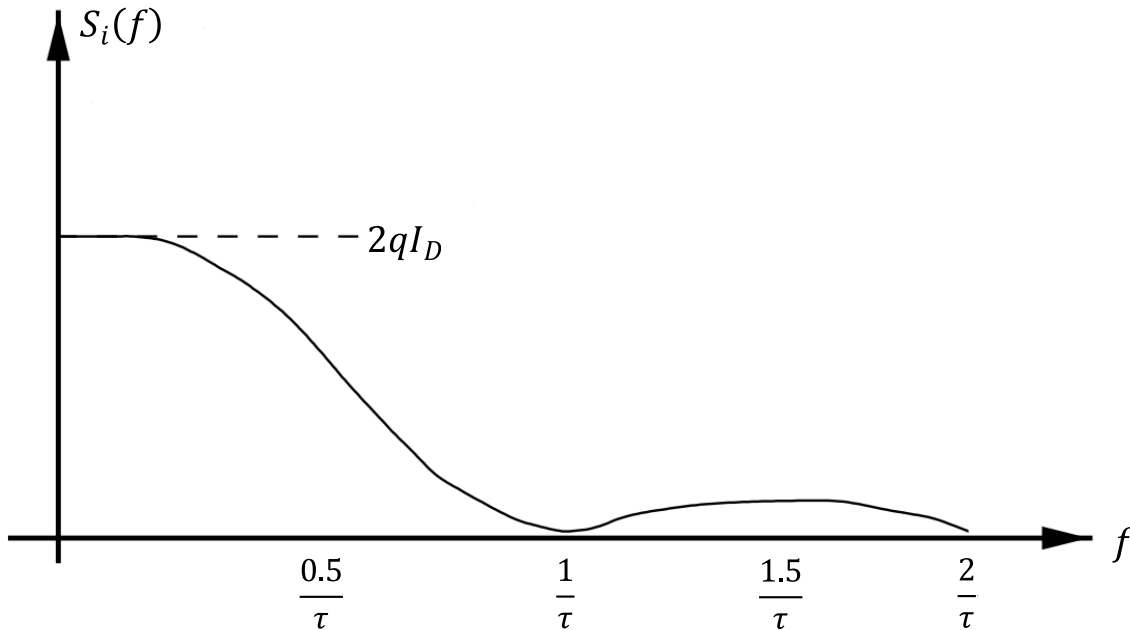


Figure 15 : Densité spectral du bruit de grenaille dans une diode avec un temps transit de τ

II.7 Le bruit des capteurs d'image

Le bruit provenant du capteur se divise en 2 : le bruit temporel [=f(t)] et le bruit spatial [=f(x,y)] même si en toute rigueur, le bruit spatial n'en est pas un, car il est prévisible mais on le traite comme tel.

II.7.1 Le bruit de photon (ou le photon shot noise)

Ce bruit est dû au caractère aléatoire de l'émission des photons, c'est l'équivalent du bruit de grenaille mais appliqué au photon. En effet, c'est le problème de décrire une intensité lumineuse par une quantité analogique alors que les porteurs de ce rayonnement sont quantifiés.

On montre que la statistique d'arrivée des photons est poissonnienne, en effet si le nombre moyen d'occurrences dans cet intervalle est λ , alors la probabilité qu'il existe exactement k occurrences (avec $k \in \mathbb{N}$) est :

$$p(k) = \frac{\lambda^k}{k!} e^{-\lambda} \quad (18)$$

Ce qui donne dans le cas des imageurs une valeur moyenne de 'N' photons et une variation de \sqrt{N} autour de cette valeur moyenne. Il s'ensuit un rapport signal à bruit (SNR : Signal to Noise Ratio) déterminé par le flux de photons égal à :

$$SNR = \frac{N}{\sqrt{N}} = \sqrt{N} \quad (19)$$

Le bruit photonique est une limite absolue car il provient de la source de lumière. La Figure 16 est une simulation théorique du photon shot noise, c'est en fait un bruit poissonnien qui a été ajouté sur une image haute qualité dont la clarté (nombre de photon/pixel) est artificiellement modifiée.

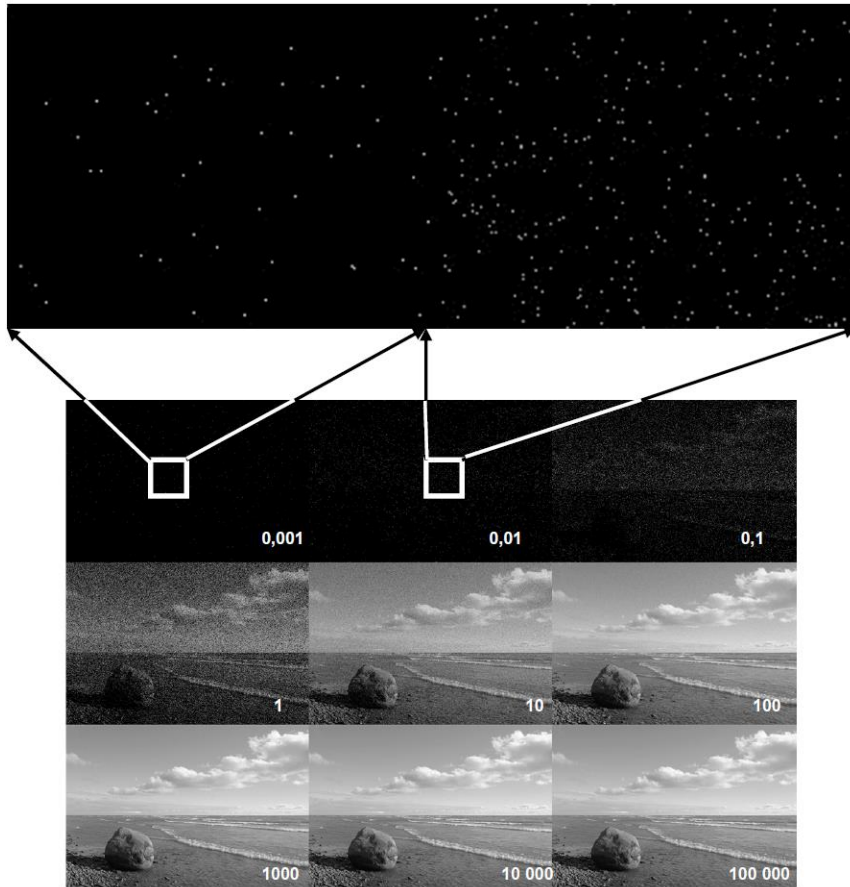


Figure 16: Simulation du shot noise en fonction du nombre de photons moyen par pixel

Remarque : le SNR vaut \sqrt{N} sur chaque image et pour $N = 1$ (1 photon/pixel en moy.) le niveau de bruit est égal au niveau du signal.

II.7.2 Le courant d'obscurité

Dans une photodiode à jonction PN, le courant d'obscurité correspond au nombre d'électrons captés dans le pixel qui ne viennent pas de la photo-génération. Les sources de ce bruit sont : la génération thermique, les défauts aux interfaces et le courant tunnel entre la grille de transfert et la diode. Il peut être modélisé par une source de courant inverse dont la valeur en fonction de la température est égale à :

$$I_{inverse}(T) = q \sqrt{\frac{D_p}{\tau_p} \frac{n_i^2}{N_D}} + \frac{qn_i W}{\tau_e} \quad (20)$$

où $D_p(T)$ est le coefficient de diffusion des trous, $\tau_p(T)$ le temps de vie des trous, $n_i(T)$ la concentration intrinsèque du silicium, N_D la concentration des dopants donneurs, $W(T)$ la largeur de la zone de

déplétion et $\tau_c(T)$ le temps séparant la génération de deux porteurs. Il faut savoir que ce courant d'obscurité double tous les 8-9°C.

II.7.3 Blooming, smearing

Ces deux artefacts apparaissent lors de fortes illuminations, ce qui remplit totalement la photodiode. Les électrons générés vont déborder et se répandre sur les photodiodes voisines. Il en résulte, comme on peut le voir sur la Figure 17, une tache ronde (effet de « blooming ») et une ligne verticale (effet de « smearing »).

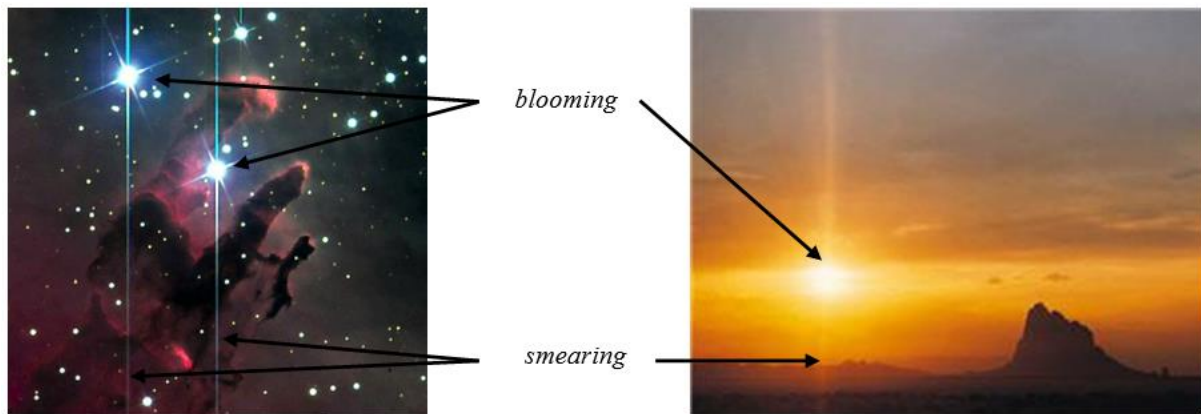


Figure 17: Exemples courants d'effet de Blooming et Smearing.

II.7.4 Bruit spatial fixe

Lorsqu'une image uniforme est prise, la donnée mesurée en sortie diffère d'une colonne à une autre. Ceci est dû à la non-uniformité d'un pixel à un autre, et d'une colonne à une autre. L'origine de ces non-uniformités s'explique par une disparité du procédé de fabrication. Le bruit créé est fixe et intervient de manière spatiale au niveau de l'imageur : on parle alors de bruit spatial fixe (FPN : Fixed Pattern Noise). DSNU (Dark Signal Non Uniformity) : Disparité du courant d'obscurité moyen d'un pixel à un autre lorsqu'on prend une image dans le noir.

PRNU (Photo-Response Non-Uniformity) : En éclairage uniforme, il s'agit de la variation du courant photonique moyen d'un pixel à un autre.

FPN (Fixed Pattern Noise) : Disparité perçue en sortie de la chaîne de lecture dans le cas d'une image uniforme. Il s'agit de la somme des disparités de la chaîne de lecture et des éléments constitutifs du pixel. Dans le cas de mesures avec CDS, les disparités pixel à pixel deviennent négligeables et seules les disparités colonne à colonne restent.

La Figure 18 illustre la décomposition des différents contributeurs du bruit fixe.

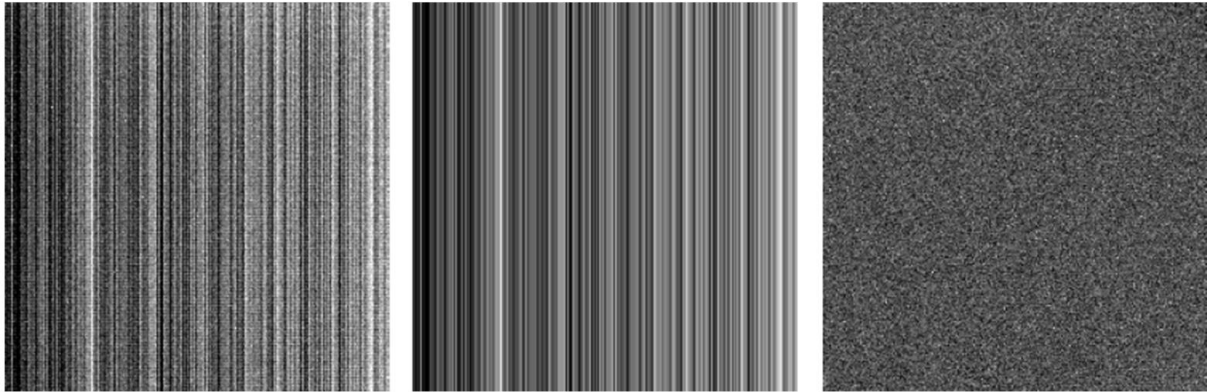


Figure 18 : Somme de 50 images obtenues dans l'obscurité avec une matrice de 256 x 256 pixels (De gauche à droite : bruit fixe total, bruit fixe de la colonne, bruit fixe du pixel).

II.8 Méthodes d'optimisation des capteurs d'images CMOS

Dans la partie précédente, nous avons étudié les principales architectures de pixels actifs ainsi que leurs limitations. Malgré cela, il existe des techniques à plusieurs niveaux du capteur, bien évidemment sur la fabrication de la photodiode mais aussi sur les méthodes de lecture du pixel et sur la partie optique du capteur. Toutes ces méthodes vont être abordées dans ce chapitre.

II.8.1 Réduction de la taille du pixel

Le marché de l'imageur force a augmenté la résolution spatiale dans le but d'augmenter la qualité de l'image ou du zoom digital. Cette dernière remarque est notamment très intéressante dans les capteurs pour smartphones, par exemple, où le zoom optique est difficile à intégrer. Dans le cas où la taille du capteur CMOS est déjà fixée par des standards historiques, la meilleure méthode pour augmenter la résolution est de réduire la taille du pixel. Cependant, il existe une limite à la réduction de la taille du pixel qui est la limite optique déterminée par la résolution optique de l'objectif. Une lentille parfaite, par exemple, sans aberrations et une ouverture circulaire crée une forme circulaire connue comme la forme d'Airy. Ce cercle d'Airy est défini comme étant la zone circulaire où il y aura la plus forte concentration de lumière. Utilisant une approximation du premier ordre et considérant les rayons paraxiaux, le diamètre du disque d'Airy peut être défini par :

$$D_A = 2,44\lambda F/D \quad (21)$$

où λ est la longueur d'onde de la lumière incidente, F est la longueur focale de la lentille et D son diamètre. Avec un simple calcul $F/D = 2,8$, on montre que le bleu ($\lambda=350\text{nm}$), le vert ($\lambda=555\text{nm}$) et le rouge ($\lambda=650\text{nm}$) subissent la diffraction dès que le pas du pixel est respectivement plus petit que $2,4\mu\text{m}$, $3,8\mu\text{m}$ et $4,4\mu\text{m}$. Néanmoins, les dimensions des pixels pour de grandes résolutions pour smartphones ont atteint le micromètre [7]. Cependant, la résolution optique n'est pas la seule contrainte pour la réduction de la taille du pixel. En effet, réduire la taille du pixel dégrade le full well de la photodiode, ce qui appauvrit la sensibilité et par conséquent le rapport signal sur bruit ainsi que la dynamique du

pixel [8]. Le full well d'un pixel est le nombre maximal d'électrons qu'il peut contenir. La Figure 19 montre les différentes parties du pixel.

La réduction du pixel CMOS sur le full well peut être améliorée en augmentant le facteur de remplissage. Le fill factor -en anglais- est le ratio de surface du pixel occupé par la photodiode. Il se situe classiquement entre 20 et 60%. La lumière qui arrive en-dehors de la photodiode est perdue. Afin de recentrer la lumière sur la photodiode, on utilise ce qu'on appelle des microlentilles. Cela permet d'augmenter ce facteur de remplissage de 30 à 85% par exemple.

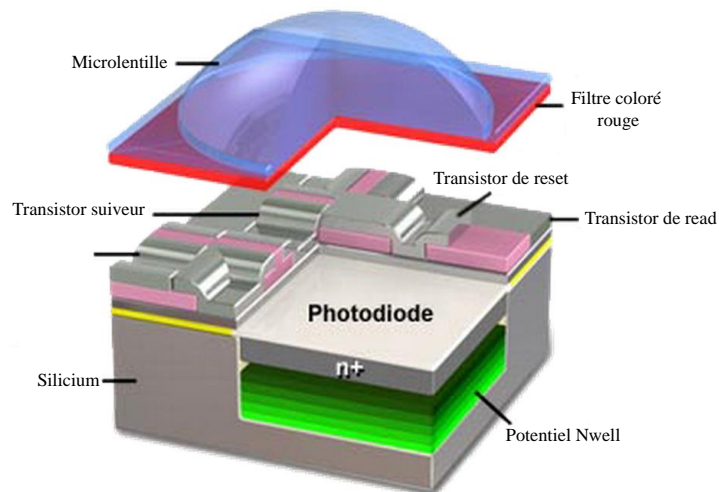


Figure 19 : Principe d'utilisation d'une microlentille dans un capteur d'image

De plus, l'ajout d'une microlentille diminue l'effet de diaphotie, c'est-à-dire une diffusion des électrons générés vers les pixels voisins.

Une autre technique pour augmenter le facteur de remplissage est de partager les composants non photosensibles avec des pixels voisins. Dans un pixel 4T, le transistor de reset, le source follower et le transistor de sélection de la ligne peuvent être partagés car ils sont utilisés à des instants spécifiques et ne sont pas directement connectés à la photodiode. Cela dépend du nombre de photodiodes partageant ces transistors, mais il existe plusieurs terminologies : Le 2.5T on partage 2 photodiodes [9]. Le 1.75T où l'on partage 4 photodiodes [10] comme sur la Figure 20(a). Le transistor de sélection peut aussi être éliminé comme dans le cas du 2T [11] de la Figure 20(b).

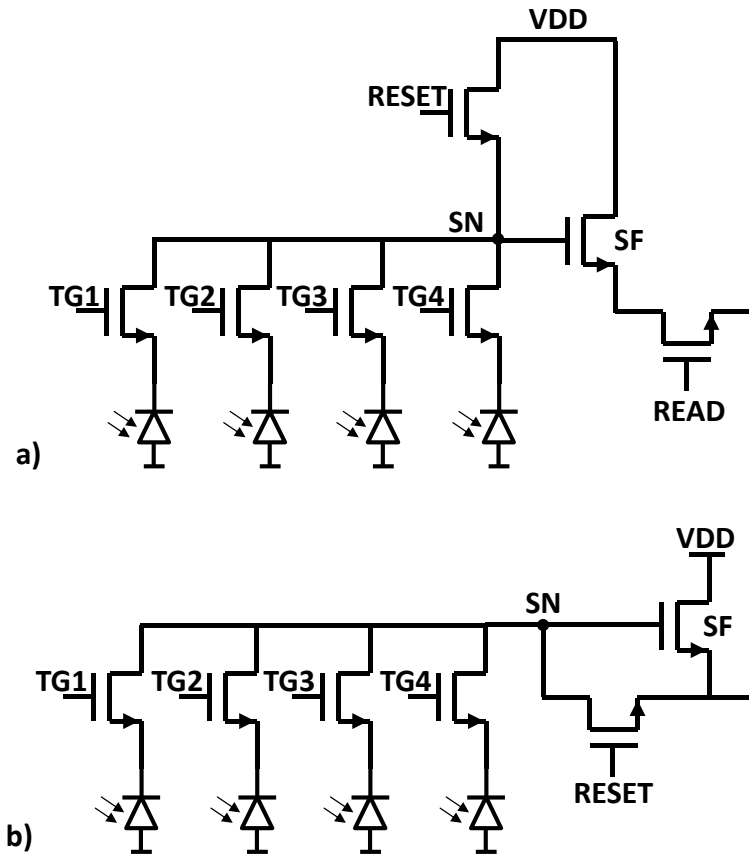


Figure 20 : Pixels avec partage de transistor pour réduire la taille du pixel. a) Pixel 1T75 b) Pixel 2T

Une autre technique assez couteuse est l'éclairage par l'arrière (BSI : Back-Side Illumination). En effet, jusqu'à très récemment les capteurs d'image CMOS étaient catégorisés en tant qu'éclairés par l'avant (FSI : Front-Side illumination). C'est-à-dire que la lumière doit traverser les couches de métaux et de polysilicium avant d'atteindre la partie photosensible, ce qui avait pour résultat une forte diffusion de la lumière. De plus, la présence de transistors réduit la zone du semi-conducteur qui est photosensible et par conséquent le rendement quantique du pixel. Ce problème peut être résolu en fabricant un capteur d'image où le substrat est aminci et par conséquent il peut être éclairé par l'arrière.

II.8.2 Zoom digital et binning

Bien que la principale raison pour augmenter le nombre de pixels est l'augmentation de la résolution spatiale du capteur, d'autres fonctionnalités ont été améliorées dans le même temps. Une de ces fonctionnalités est le zoom digital, c'est en fait un rognage de l'image pour obtenir un zoom sur une plus petite région d'intérêt. Ceci est facilement faisable sur les capteurs d'image CMOS grâce au décodeur d'adresse de la matrice de pixel qui permet une grande flexibilité dans l'ordre d'adressage. La résolution optique ne change pas pour l'image entière, cela permet de capturer plus d'image par seconde. Comme dit précédemment l'augmentation de résolution du capteur peut mener à une dégradation du full well. Cependant, quand on a besoin d'un meilleur full well, comme augmenter la sensibilité en faible

luminosité, le binning peut accomplir cette tâche. En effet, le binning c'est la capacité à combiner les charges des photodiodes de différents pixels et donc cela revient à augmenter le full well. Par exemple un binning 2x2 devrait quadrupler le full well mais réduit d'autant la résolution.

II.8.3 Double échantillonnage corrélé (ou CDS : Correlated Double Sampling)

La lecture de la valeur du pixel se situe au début de la chaîne d'acquisition. De plus, son bruit associé, dû en majeure partie par la remise à zéro du pixel grâce au transistor de reset, est critique puisqu'il va se propager tout au long de la chaîne. Pour y remédier, plusieurs méthodes sont maintenant couramment utilisées dans la conception de capteurs CMOS, notamment le double échantillonnage. Son but n'est pas de réduire la valeur de ce bruit mais de réduire son influence sur la lecture du signal.

Le double échantillonnage corrélé, plus communément appelé CDS (Correlated Double Sampling) est une méthode aujourd'hui très répandue permettant de s'affranchir du bruit en kTC du transistor de reset en échantillonnant le niveau du nœud commun juste après le reset et à l'issue du temps d'intégration. En effet, comme on peut le voir sur la Figure 21, le bruit de lecture en kTC n'est présent que lorsque le transistor de reset est fermé. A l'ouverture de celui-ci, le bruit qui oscille autour de sa valeur nominale V_{reset} est figé aux bornes de la photodiode. Un offset aléatoire dont l'écart type d'une trame à l'autre est égale à kTC va donc entacher la valeur de remise à zéro du nœud. La soustraction des deux niveaux nous permet de supprimer cet offset causé par le transistor de reset.

Bien que très efficace, cette technique ne peut être utilisée dans la majorité des cas en raison de la complexité de sa mise en œuvre, notamment pour les architectures APS 3T.

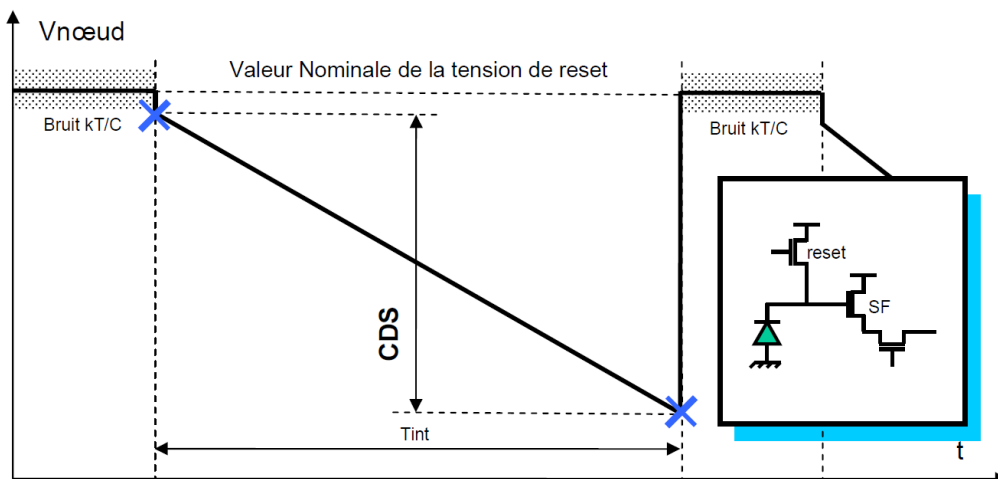


Figure 21 : Double échantillonnage corrélé avec une architecture pixel 3T

En effet, pendant le temps d'intégration T_{int} , le circuit de lecture a parcouru la matrice entière. Il faut donc que lors de la lecture d'un pixel, il puisse retrouver la valeur de reset avant l'intégration afin d'effectuer la soustraction des niveaux. Pour cela il faudrait donc pouvoir stocker les niveaux de reset de chaque pixel de la matrice, mais cette solution peut s'avérer coûteuse en termes de ressources mémoires.

Les architectures APS 4T rendent en revanche cette méthode facilement applicable, puisque les niveaux de reset et de signal sont disponibles dans un temps très rapproché. Ceci est possible grâce à la rapidité du transfert de charges. Ceci est illustré sur la Figure 22.

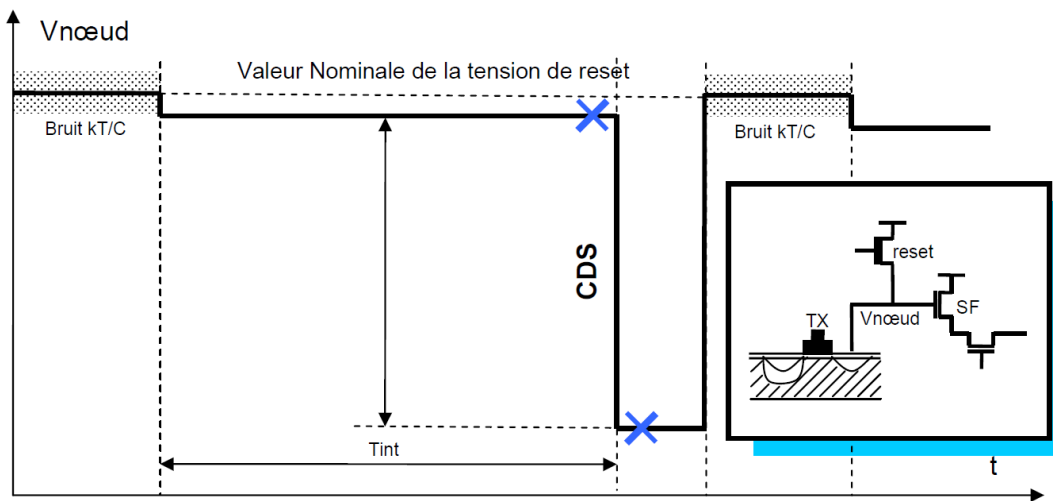


Figure 22 : Double échantillonnage corrélé avec une architecture pixel 4T

Il existe aussi le double échantillonnage non corrélé (NCDS), illustré sur la Figure 23, c'est une alternative au CDS qui est plus facilement utilisable avec pixel 3T. Il consiste à soustraire la valeur pixel lue en fin d'intégration, et le niveau de reset de la trame suivante. Le NCDS soustrait deux niveaux de tension, qui ont lieu pendant le temps où le pixel est accédé. Il n'y a donc pas de stockage de la tension de reset, sa mise en œuvre s'en trouve ainsi grandement simplifiée.

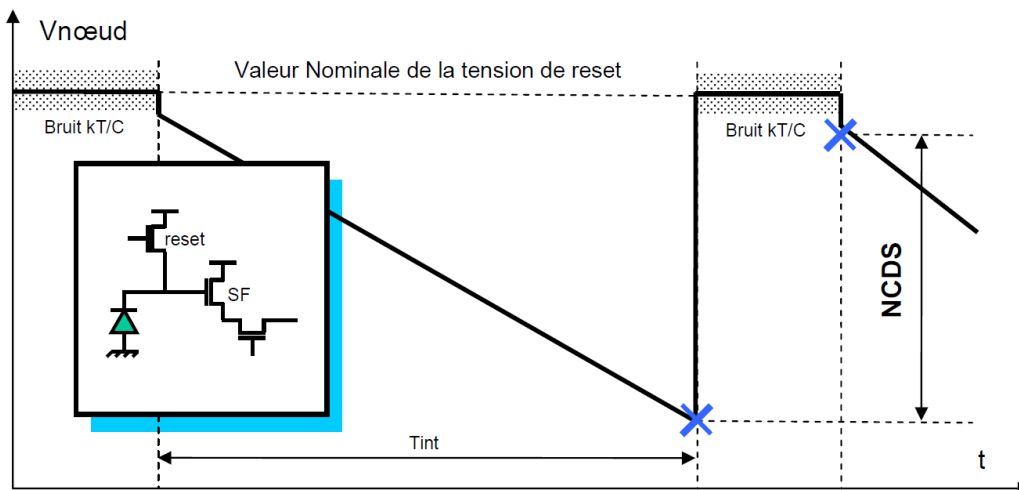


Figure 23 : Double échantillonnage non corrélé avec une architecture pixel 3T

Le niveau de reset de la trame suivante n'étant pas corrélé avec la valeur intégrée du pixel, on double de façon quadratique le bruit de reset au lieu de le supprimer. En revanche cette technique s'avère utile pour supprimer les offsets de la chaîne de lecture du pixel. Une fois les signaux analogiques

échantillonnés, ils sont convertis en valeurs binaires afin d'être traités et former l'image numérique. On sort alors du domaine analogique pour entrer dans le domaine du numérique.

II.9 Architecture des capteurs d'image CMOS

Le but du capteur d'image est de convertir la lumière arrivant sur plusieurs pixels en valeurs numériques. Ces valeurs sont exploitables par des processeurs pour l'affichage d'une image ou un traitement de données. La plupart des capteurs d'image ont un nombre important de valeurs d'entrées mais seulement quelques sorties. Un capteur idéal et très rapide serait comme celui de l'œil humain où un grand nombre de sorties parallèles sont traitées par le capteur (la rétine). Cependant, avec un capteur à deux dimensions on doit multiplexer l'entrée du signal à travers des circuits à l'intérieur du pixel, et les placer dans chaque colonne pour permettre une lecture séquentielle des données de sortie. Ce multiplexage introduit fondamentalement une limite à la vitesse de l'imageur. Cela signifie que l'interface du capteur devrait fonctionner à une vitesse supérieure au produit du nombre de pixels de la matrice, par la vitesse de chaque pixel. La vitesse de conversion de la valeur du pixel est actuellement dans les imageurs une contrainte dont le sujet de cette thèse est de trouver une solution. La Figure 24 montre différentes architectures utilisées pour réduire cette contrainte.

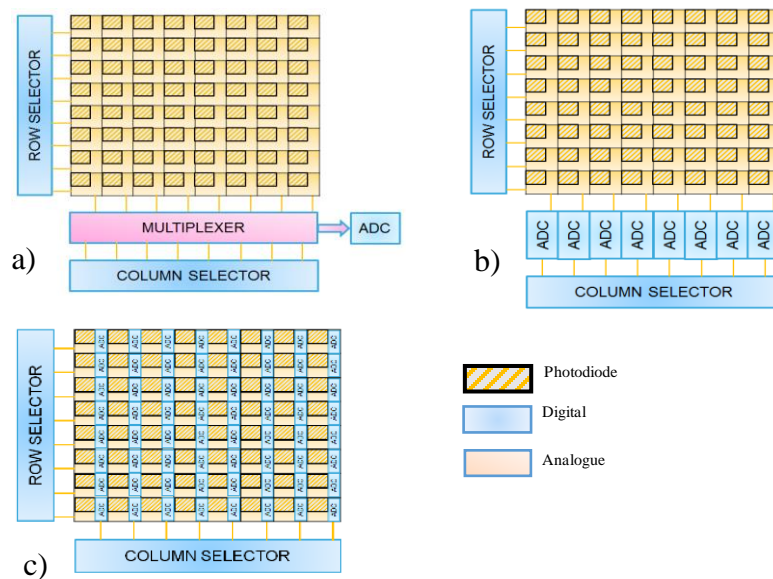


Figure 24 : Différentes architectures pour augmenter la vitesse. a) 1 seul ADC pour toute la matrice avec un multiplexage des sorties des pixels b) 1 ADC par colonne pour réduire le délai. c) 1 ADC par pixel.

Au commencement, les imageurs CCD et CMOS fournissaient une seule sortie analogique. En effet, la valeur du pixel était lue séquentiellement et bufférisée pour être convertie par un CAN externe à la puce. L'une des premières grandes avancées dans la conception a été d'inclure le CAN sur la même puce que le capteur [12]. Comme illustré sur la Figure 24.a., Cette intégration est l'un des plus gros avantages des imageurs CMOS par rapport au CCD. Bien que la lecture soit toujours séquentielle, la capacité d'entrée

du CAN sur la puce est bien plus petite que celle d'un CAN à l'extérieur du circuit ce qui donne lieu à des temps d'établissement plus courts et par conséquent des temps de transfert plus rapides.

Pour encore améliorer la vitesse de l'imageur est d'incorporer un CAN dans chaque colonne de la matrice comme sur la Figure 24.b. Cette opération introduit le parallélisme dans le digital dans la chaîne de lecture, ce qui permet d'accélérer la conversion.

En essayant de convertir de plus en plus tôt après le pixel, c'est tout naturellement que le CAN a été implémenté dans chaque pixel comme sur la Figure 24.c. Cela améliore encore plus les temps d'établissement car dans ce cas la capacité parasite de la colonne n'existe plus. Le problème avec cette dernière technique est que la surface augmente. Cependant, le pixel doit être le plus petit possible et consommé le moins possible.

La partie finale de la chaîne de lecture dans un capteur d'image est le stockage des données localement puis la transmission de ces données. L'option la plus utilisée est d'avoir en local une mémoire vive statique SRAM (Static Random Access Memory). Les différents types de CAN seront décrits plus précisément dans le deuxième chapitre.

III. Convertisseur analogique numérique pour imageur CMOS

De nos jours, les capteurs modernes ont tous intégré un convertisseur analogique numérique (CAN). L'interface avec le numérique est bien sûr plus fiable et plus robuste que l'analogique. Les capteurs d'image CMOS ont deux propriétés qui les différencient des autres capteurs. Premièrement, ils se composent d'une large matrice de pixels qui permet une parallélisation des convertisseurs analogique-numérique. Deuxièmement, dû à cette large matrice, le nombre total des données traitées est beaucoup plus élevé que la plupart des autres capteurs. De plus, les performances du CAN ont un grand impact sur les performances de l'imageur entier, ce qui rend le choix de ce dernier très important.

Comme expliqué à la fin du chapitre précédent, en plus du bon placement de l'étage de conversion, la méthodologie utilisée pour convertir le signal affecte aussi la vitesse de lecture de la matrice. Plusieurs types de CAN sont proposés et utilisés dans les imageurs. L'un des premiers CAN utilisés dans les imageurs est le Registre à Approximation Successive (SAR : Successive Approximation Register), qui offre une implémentation assez simple. Mais le plus populaire actuellement pour les capteurs d'images est le convertisseur simple rampe. Le convertisseur à rampe (ou single slope ADC : SS ADC) a un taux de conversion plus lent que les autres types de CAN mais il a besoin d'une surface plus petite et a généralement une meilleure linéarité. Dans le cas du SAR, la référence est ajustée par rapport à des valeurs de registre. Dans le cas du convertisseur rampe la valeur appliquée à l'entrée d'un comparateur est une simple rampe. En réalité, un compteur s'incrémente jusqu'au moment où la valeur de la rampe croise la valeur du pixel, ce qui fait basculer le comparateur et bloque ainsi le compteur. Par conséquent, la valeur finale du compteur est fonction de la valeur d'entrée, et le temps de conversion est fonction de la fréquence du compteur $F_{CLK} = \frac{1}{T_{CLK}}$, cela est donc égale à $2^{N-1} \times T_{CLK}$ secondes avec N le nombre de bit du CAN. Un tel design a tendance à mieux être adapté à une architecture parallèle avec un CAN par colonne. Comme la génération de la rampe peut se faire à l'extérieur des colonnes, on peut par conséquent réduire la taille du pixel. La Figure 25 montre un exemple d'un CAN rampe pour un imageur.

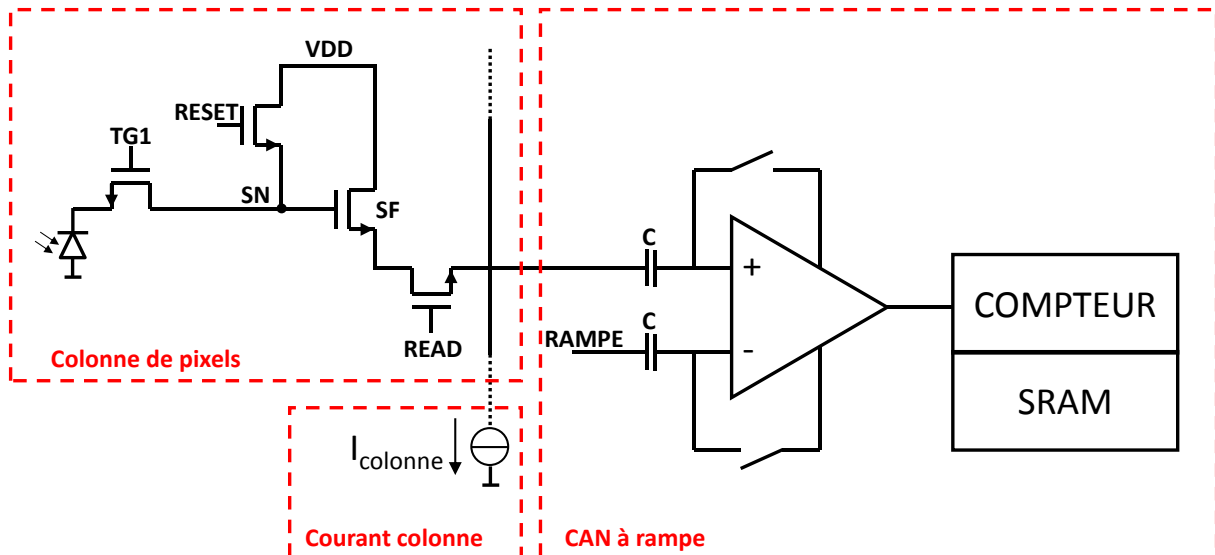


Figure 25: Chaîne de lecture colonne d'un capteur d'images CMOS à conversion analogique numérique de type rampe

III.1 Critère de sélection d'un CAN pour imageur CMOS

Un CAN par colonne est l'architecture la plus utilisée, car c'est un bon compromis entre le facteur de remplissage de la photodiode, la consommation électrique et la vitesse de conversion. Dans cette section les différentes spécifications sont décrites pour le choix d'un CAN colonne, incluant : la résolution, la linéarité, la vitesse, le bruit, la surface et la consommation.

La résolution : La dynamique du capteur est déterminée par la différence de tension entre la valeur de reset du pixel et le signal et plancher de bruit. Cela peut être autour des 60-70dB pour un capteur d'image CMOS. Par conséquent, un CAN a typiquement une résolution autour des 10 à 12 bits. On peut avoir une plus grande résolution dans le domaine de l'automobile ou de l'appareil photo reflex car, le pixel étant plus grand, le signal est plus élevé.

La linéarité : la non-linéarité du pixel lui-même est assez élevée (typiquement autour de 1%). L'INL (Integral Non Linearity) du convertisseur n'est pas critique. Par contre, à cause de la sensibilité de l'œil humain, la DNL (Differential Non Linearity) est importante car cela peut créer des artefacts dans l'image.

La vitesse : Cela dépend du principe même de fonctionnement du convertisseur choisi. La vitesse de lecture peut varier de quelques cycles d'horloge à des milliers. Cependant, la différence d'architecture peut améliorer la vitesse de conversion mais au dépend d'autres spécifications, ce qui complique le choix du CAN.

Le FPN (Fixed Pattern Noise) : Le FPN est très critique pour un capteur d'image à cause notamment de la sensibilité de l'œil humain. Le FPN doit être sous les 0.1% [13].

La surface : Considérant qu'il y a un CAN placé par colonne en bas de la matrice de pixels, la surface et surtout la largeur doivent être contrôlées. La technique pour augmenter cette surface par deux, est de placer des convertisseurs en haut et en bas de la matrice de pixels.

La consommation : C'est un critère très important dans le choix d'un CAN et spécialement pour des applications mobiles.

Il existe différents types d'architecture utilisés au niveau de la colonne : le CAN simple rampe, le cyclique, le SAR (Successive Approximation Register) et le Sigma Delta qui est le plus récent dans les imageurs. Toutes ces architectures vont être décrites dans cette section.

III.2 Architecture de CAN

III.2.1 Le convertisseur SAR

Le convertisseur SAR (pour *Successive Approximation Register*) [14] est composé d'un comparateur, d'un convertisseur numérique/analogique (CNA) et d'un registre à approximations successives. Le schéma ci-dessous représente l'architecture d'un convertisseur SAR. Le CNA est en réalité un banc de 2^N capacités pondérées de $2^{N-1} \times \text{Capacite unitaire}$ (note C_0) comme on peut le voir sur la Figure 26.

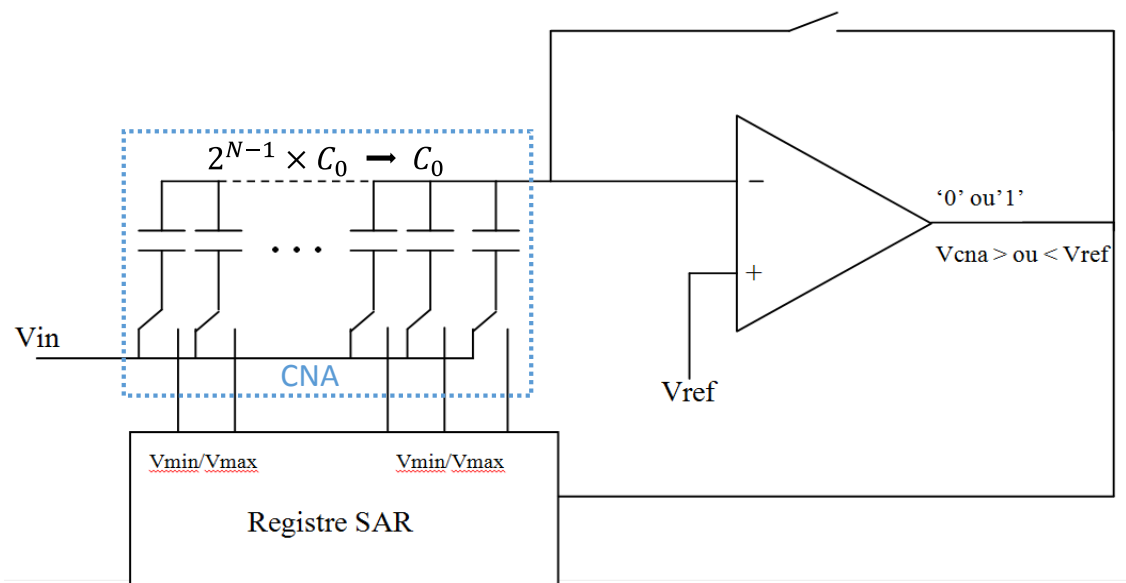


Figure 26 : Schéma de principe du convertisseur SAR

Il s'agit ici d'appliquer une dichotomie sur l'intervalle dans lequel se situe la tension V_{in} . Dans notre cas cet intervalle correspond à la tension en sortie du pixel. Nous noterons par la suite cet intervalle $[V_{min}; V_{max}]$, avec V_{min} la limite inférieure de l'intervalle et V_{max} la limite supérieure.

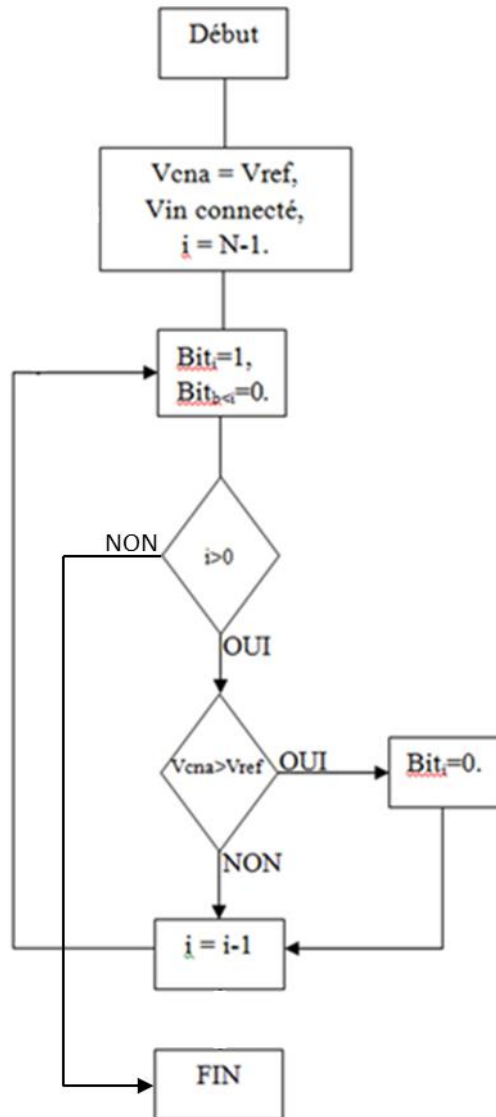


Figure 27 : Organigramme du convertisseur SAR

L'organigramme de la Figure 27 représente le fonctionnement du convertisseur SAR. Ainsi, pour N bits nous aurons 2^{N-1} intervalles. En effet, le 1^{er} choix qui correspond au bit de poids fort, divise l'intervalle en 2, le 2^{ème} en 4, le N^{ième}, qui correspond au bit de poids faible, en 2^N .

On se rend compte que plus N est grand, plus l'erreur est faible pour un intervalle de départ donné. Le SAR choisi ici est un SAR capacitif, la dichotomie s'effectue sur les charges stockées par les capacités qui composent le CNA.

Son fonctionnement est découpé en trois phases :

Echantillonnage :

Durant la phase d'échantillonnage, l'ensemble des capacités du CNA est connecté à V_{in} , et le comparateur à sa sortie rebouclé sur l'entrée ($V_{CNA} = V_{REF}$). Ainsi la charge stockée dans le CNA correspond à :

$$Q_{ech} = C_{tot} * (V_{in} - V_{REF}) \quad (22)$$

Où C_{tot} représente la somme des capacités du CNA, et V_{cna} représente la tension qui sert de référence à la conversion.

Conversion :

Durant la phase de conversion proprement dite, les capacités du CNA sont tour à tour connectées à V_{max} (en commençant par le MSB). Si la tension issue du convertisseur pour une capacité du CNA est supérieure à la tension de référence alors celle-ci sera connectée à V_{min} lorsque la capacité suivante sera connectée à V_{max} , sinon, cette capacité reste connectée à V_{max} .

Ainsi en fin de conversion la charge stockée durant la phase de conversion Q_{conv} vaut :

$$Q_{conv} = \sum_0^N C_i * (V_{CNAi} - V_{ref}) = Q_{ech} \text{ avec } V_{CNAi} \in [V_{max}, V_{min}] \quad (23)$$

Où C_i représente la capacité du Nième bit, V_{CNAi} représente la tension à laquelle est connecté le Nième bit.

On retrouve ainsi l'équilibre obtenu lors de la phase d'échantillonnage.

Lecture :

A la fin de la phase de conversion le registre SAR contient le code correspondant à la tension d'entrée. Celui-ci est transféré avant la remise à '0' de l'ensemble des bits du registre.

L'avantage de cette structure réside dans un temps de conversion fixe quelle que soit la valeur analogique à convertir, car on a besoin d'un nombre de cycle de conversion égale au nombre de bit de résolution. De plus sa consommation est l'une des plus basses des convertisseurs. Mais sa taille peut devenir gênante à cause du banc de capacités. Il est donc intéressant de minimiser la capacité unitaire. En effet, plus elle est petite, plus la puissance et le temps nécessaires à sa charge diminuent. Mais ceci se fait au dépend de la précision, car plus la capacité est petite, plus l'importance de la dispersion des composants est grande. Cette dispersion peut atteindre les $\pm 20\%$. Ainsi, il y a plus de chance de voir apparaître des codes manquants avec des capacités très petites.

III.2.2 Le convertisseur cyclique

Le CNA du SAR est limité en précision et en surface. Le convertisseur cyclique peut être utilisé en gardant une référence constante et évite d'utiliser un CNA. Ce CAN a besoin de N coups d'horloge pour finir une conversion, comme le convertisseur SAR.

Le convertisseur cyclique descend directement du convertisseur pipeline. Ce dernier a une architecture disposée sur plusieurs étages comme on peut le voir sur la Figure 28. Chaque étage est en réalité un convertisseur flash de faible résolution (de 1 à 3 bits) possédant son propre échantillonneur / bloqueur.

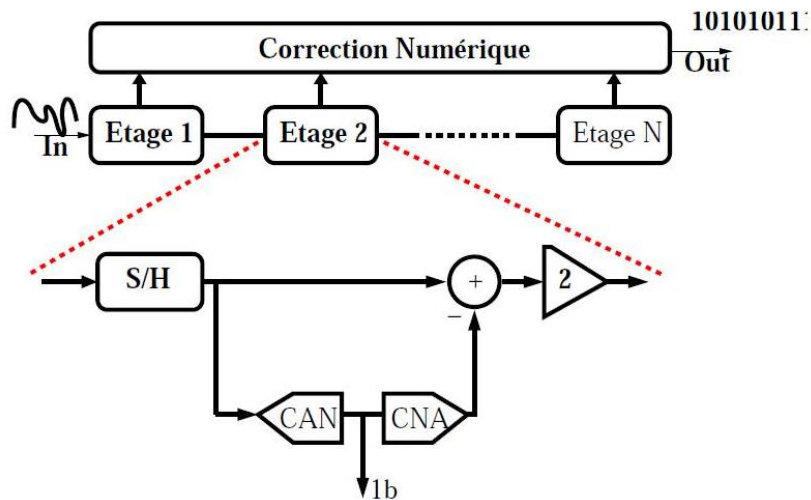


Figure 28 : Convertisseur pipeline

En effet, chaque étage va d'un côté convertir une partie du signal et de l'autre retrancher le signal d'entrée avec la valeur convertie pour ensuite amplifier cette valeur pour qu'elle puisse s'étaler sur toute la dynamique du convertisseur de l'étage suivant. L'avantage de ce type de convertisseur est son temps de conversion car on obtiendra un résultat à chaque coup d'horloge comme un convertisseur flash mais il consomme moins. Par contre à cause de ces multiples étages il prend beaucoup de place sur le silicium. Donc impossible de l'utiliser en l'état dans un imageur. Pour corriger cet inconvénient, le convertisseur cyclique utilise un étage d'un convertisseur pipeline rebouclé sur lui-même comme illustré sur la Figure 29.

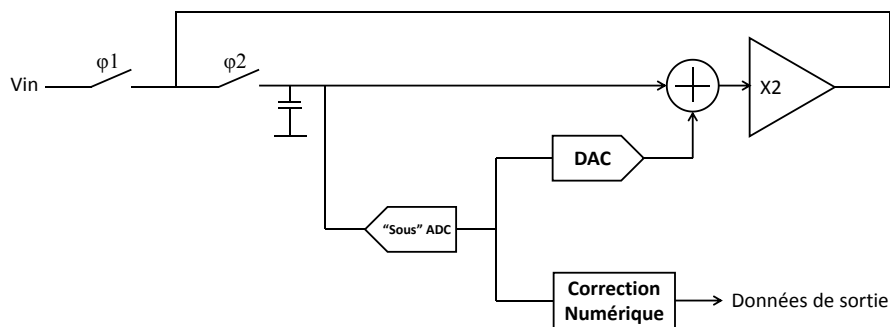


Figure 29: Architecture du convertisseur cyclique

L'ADC cyclique comprend un échantillonneur bloqueur, un amplificateur par 2, un « sous » ADC et un DAC. Au premier cycle, la valeur d'entrée V_{in} est échantillonnée (ϕ_1 et ϕ_2) et en même temps, cette valeur est comparée à une tension de référence pour génère le bit d : $d = 1$ si $V_{in} > 0$, sinon $d = 0$. Ce signal passe par le DAC qui génère la valeur analogue issue du comparateur. Cette dernière est soustraite

au signal qui était maintenu dans l'échantillonneur bloqueur pour produire le résidu. Ce résidu est ramené à la pleine échelle grâce à un amplificateur de gain 2 et il est égale à :

$$V_{res}(i+1) = 2 \times V_{res}(i) \pm d \times V_{ref} \quad (24)$$

où $V_{res}(i)$ est le signal au $i^{ème}$ cycle, $V(1) = V_{in}$ ou V_{in} est le signal à convertir, V_{ref} est le signal de référence et 'd' est la valeur de sortie du « sous » ADC qui décide si la tension de référence est soustraite ou ajoutée. Cette tension est rebouclée sur l'entrée et la conversion continue jusqu'à ce que les N-bits soient évalués. Une fois que la donnée numérique de sortie est complète, l'échantillonneur bloqueur échantillonne de nouveau le signal d'entrée V_{in} puis toute la conversion est répétée. L'organigramme de la Figure 30 représente l'algorithme du convertisseur cyclique.

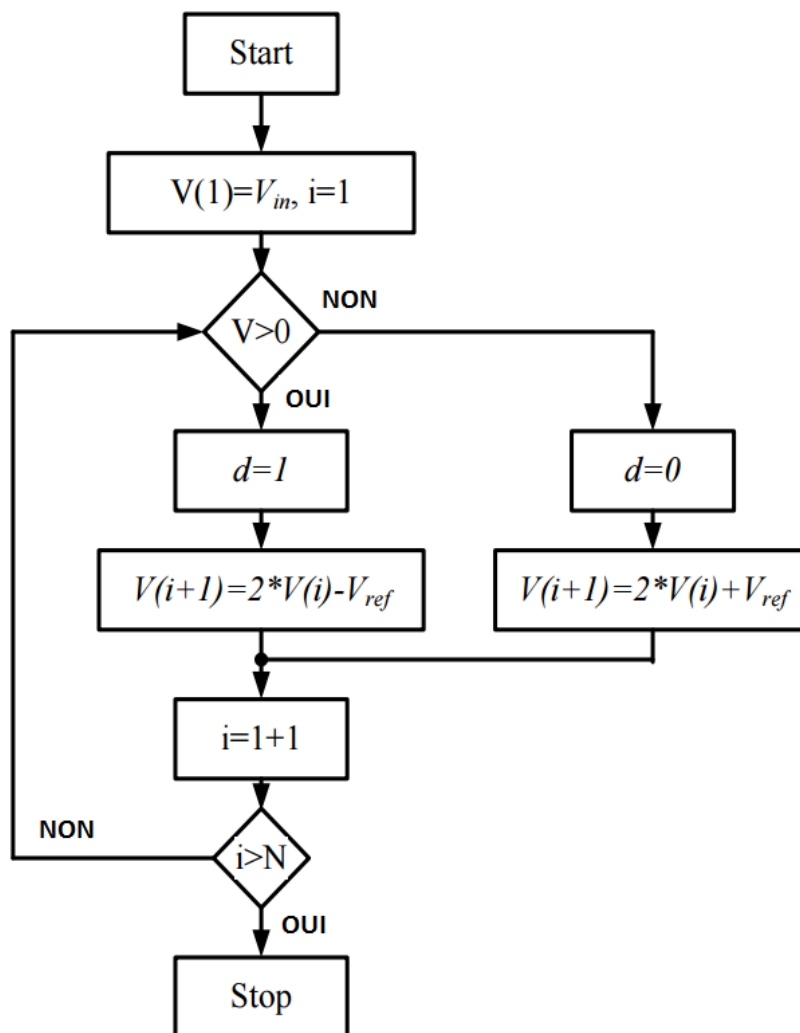


Figure 30: Organigramme du convertisseur cyclique

Dans la fonction de transfert d'une architecture à 1 bit, la sortie du DAC peut être soit $-V_{ref}/2$ soit $+V_{ref}/2$, cela dépend respectivement de son entrée 1 ou 0. La tension de sortie ou le résidu, est égal à :

$$V_{res} = 2V_{in} \pm V_{ref} \quad (25)$$

On peut voir que la plage de tension du résidu est la même que la plage d'entrée et par conséquent le résidu est échantillonné directement pour le prochain cycle.

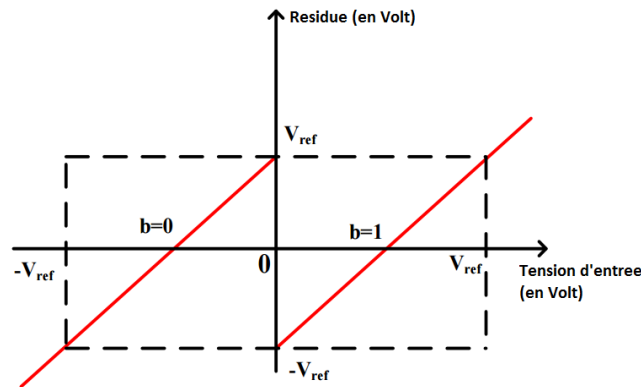


Figure 31: Résidu pour un ADC cyclique de 1 bit par cycle

La Figure 31 représente la fonction de transfert d'un ADC cyclique à 1 bit par cycle. Le comparateur bascule soit dans l'état $b = 0$ ou $b = 1$, basée sur la tension d'entrée qui est plus grande ou plus petite que la tension de référence.

Le problème avec le convertisseur cyclique est la précision du gain de l'amplificateur qu'il faut atteindre pour obtenir un faible FPN. Ce qui signifie aussi une bonne précision sur le matching des capacités et une forte consommation pour l'amplificateur. L'algorithme 1.5bit/cycle peut être utilisé pour réduire la précision requise sur le comparateur qui aidera à diminuer la consommation comme décrit dans [15]. Cependant, même en utilisant un convertisseur cyclique au lieu du pipeline, sa surface reste trop importante pour une taille de pixel inférieure à $2.8\mu\text{m}$.

III.2.3 Le Sigma-Delta [16]

Ce type de convertisseur est fondé sur deux idées de base : le sur-échantillonnage et la mise en forme du bruit, qui permet de réduire l'erreur de quantification dans la bande du signal et d'augmenter la résolution. Le diagramme du système de base d'un convertisseur sigma-delta est illustré sur la Figure 32. Cette figure inclut les trois composants de base : un filtre anti-aliasing, un modulateur sigma delta et un filtre décimateur.

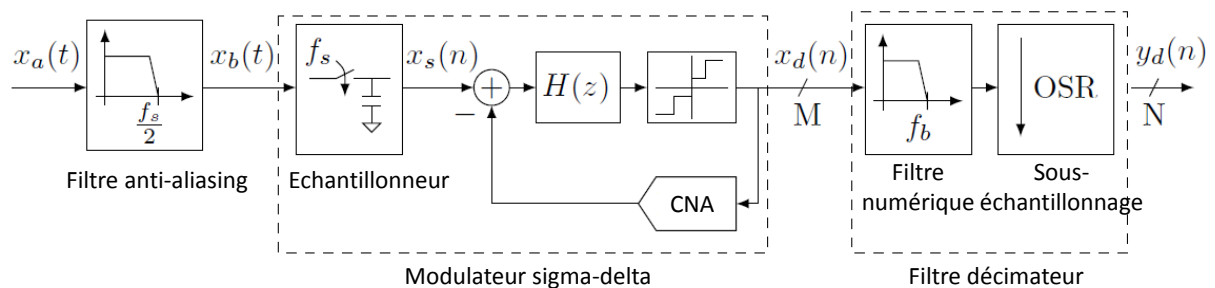


Figure 32: Diagramme d'un convertisseur sigma delta

La fonction du filtre anti-aliasing est d'atténuer les fréquences indésirables du signal d'entrée pour éviter un effet d'aliasing lors de l'échantillonnage. L'opération de base du modulateur sigma delta consiste à

mettre un quantificateur dans une boucle de contre réaction, dans le but de mettre en forme le spectre du signal d'entrée et du bruit de quantification. En effet, le signal utile va être gardé en basse fréquence alors que le bruit va être poussé vers les hautes fréquences, et il peut être ensuite supprimé par un filtre. Ce procédé est appelé « mise en forme du bruit », ce qui fait du sigma delta un convertisseur très robuste par rapport aux autres convertisseurs. La sortie du modulateur est envoyée vers un filtre numérique qui coupe le bruit haute fréquence. Enfin, le signal de sortie est « sous-échantillonné » à la fréquence de Nyquist.

La fonction de transfert en Z d'un modulateur sigma delta est égale à :

$$Y(z) = STF(z)X(z) + NTF(z)E(z) \quad (26)$$

où X(z) et E(z) sont, respectivement, la transformée en Z du signal d'entrée et du bruit de quantification. STF(z) et NTF(z) sont, respectivement, la fonction de transfert pour le signal d'entrée et le bruit de quantification. On peut déterminer ces deux dernières fonctions de transfert grâce à la Figure 32.

$$\begin{cases} STF(z) = \frac{H(z)}{H(z) + 1} \\ NTF(z) = \frac{1}{H(z) + 1} \end{cases} \quad (27)$$

où H(z) est la fonction de transfert du modulateur sigma delta, qui est égale à :

$$H(z) = \frac{z^{-1}}{1 - z^{-1}} \quad (28)$$

Malgré le fait que ce convertisseur permet d'obtenir une très bonne résolution, grâce à la mise en forme du bruit, il prend beaucoup trop de place sur le silicium ce qui rend impossible la parallélisation dans le pas d'une colonne de 1.1µm. Dans [17] un gros effort a été fait pour réduire la taille du convertisseur sigma delta pour une matrice de pixel d'un pas de 2.25µm et il est très compliqué avec une architecture classique de sigma delta d'aller en deçà de cette valeur.

III.2.4 Sigma-delta à base de VCO (Voltage Control Oscillator)

L'avantage du sigma delta basé sur un oscillateur contrôlé en tension est d'avoir une haute densité de composants digitaux et donc de suivre une loi de Moore, c'est-à-dire que sa surface est divisée par deux tous les 2 ans. C'est pour cela que ce type d'ADC est devenu plus populaire pour effectuer une conversion analogique numérique dans les circuits modernes. Le principe de fonctionnement est expliqué dans [18]. En effet le VCO est un élément composé de plusieurs inverseurs mis les uns à la suite des autres, qui permet de transformer une entrée analogique en fréquence ou une phase.

$$F_{out}(t) = K_{vco}V_{in}(t) \quad (29) \quad \Phi_{out}(t) = \int 2\pi K_{vco}(t)dt \quad (30)$$

Dans le $\Delta\Sigma$ à base de VCO, que l'on peut voir sur la Figure 33, le VCO alimente un compteur dont la valeur finale sera proportionnelle à l'entrée analogique.

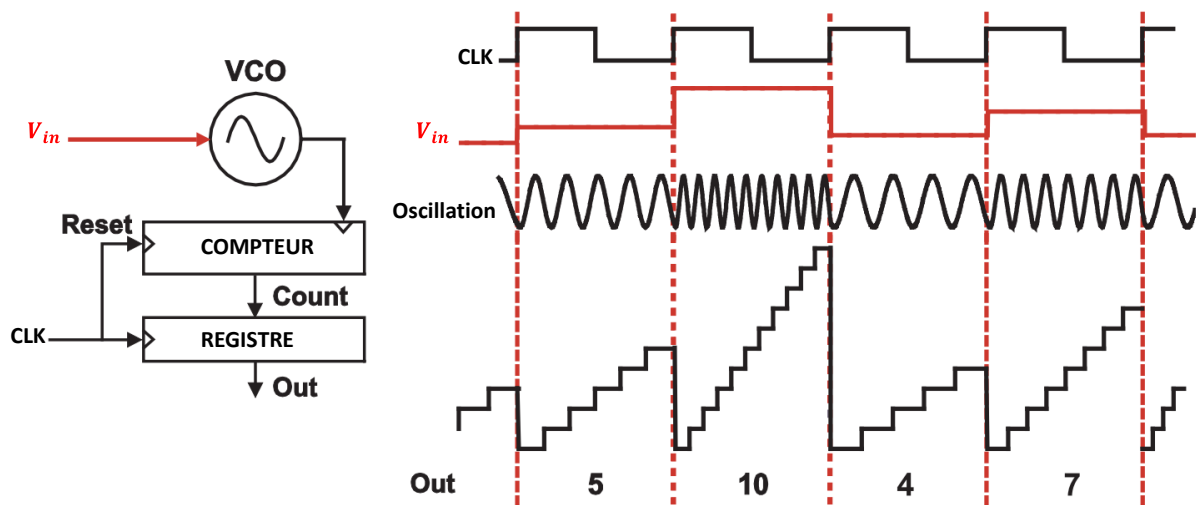


Figure 33: Principe de fonctionnement d'un CAN à base de VCO

Ce CAN comprend une seule phase de sortie, un compteur et un registre. Comme l'entrée analogique module la fréquence du VCO, le compteur accumule sans arrêt le nombre de transitions pendant une période d'échantillonnage. Finalement, le résultat est stocké dans un registre, le compteur est remis à zéro, et on répète le procédé. L'un des aspects intéressants du convertisseur à base de VCO est qu'il effectue, comme le sigma delta classique, une mise en forme du bruit de quantification. C'est-à-dire l'erreur à la fin de la période de conversion n'est pas perdue mais ajoutée à la conversion suivante. Ceci est rendu possible par construction car l'un des inverseurs du VCO peut commencer à changer d'état à la fin d'une conversion et finir durant la conversion suivante.

De grosses avancées ont été faites dans la recherche pour utiliser un ADC $\Delta\Sigma$ à base de VCO (oscillateur contrôlé en tension). Le VCO peut être utilisé à la fois comme un convertisseur et un intégrateur. Il y a plusieurs avantages à utiliser un VCO :

- Il est constitué simplement d'inverseurs et donc très facile à concevoir.
- La surface est réduite par rapport à un ADC sigma delta classique.
- Il peut être alimenté sous une faible alimentation.
- Il est facilement adaptable aux nouvelles technologies.

En effet, lorsque la taille des transistors diminue, sa vitesse augmente. Cela résulte à des délais d'inversion plus courts et donc une augmentation de la résolution temporelle. Par conséquent, la performance du CAN à base de VCO augmente naturellement avec la réduction de la taille de la technologie utilisée.

Malgré tous les avantages cités au-dessus, ce convertisseur souffre sévèrement d'une non-linéarité lors de la conversion tension vers fréquence. Cela peut créer dans le cas d'un imageur qui possède un CAN par colonne des erreurs de gain lors de la conversion. Pour surmonter cette erreur de non-linéarité,

plusieurs techniques de conception ont été étudiées. Une des façons de faire est d'utiliser un système de calibration numérique ou bien utiliser un système auto asservi, c'est-à-dire que l'on mettrait le VCO dans une boucle de contre réaction pour effectuer la correction.

Cependant toutes ces solutions augmentent significativement la surface sur le silicium ce qui ne permet pas avec la technologie actuelle de mettre en place cette architecture. C'est pour cette raison que cette idée a été abandonnée dans le cadre de la thèse.

III.3 Le convertisseur à Rampe linéaire

Le CAN simple rampe est le plus utilisé car il est compact et compatible avec le fait de le paralléliser en colonne. Ce type de convertisseur utilise une rampe comme référence afin de la comparer au signal du pixel. Il y a plusieurs variantes de cette architecture qui seront expliquées un peu plus loin dans ce chapitre. Un comparateur, un compteur et une mémoire de type SRAM sont nécessaires dans chaque colonne. Seul le générateur de rampe est commun pour tous les CAN. Cela requiert moins de surface sur le silicium par rapport aux autres types de CAN. Le schéma de ce CAN est illustré sur la Figure 34. Le principe de fonctionnement est assez simple, quand la rampe croise la valeur du pixel le comparateur flip et arrête le compteur dans lequel est sauvegardée la valeur du pixel.

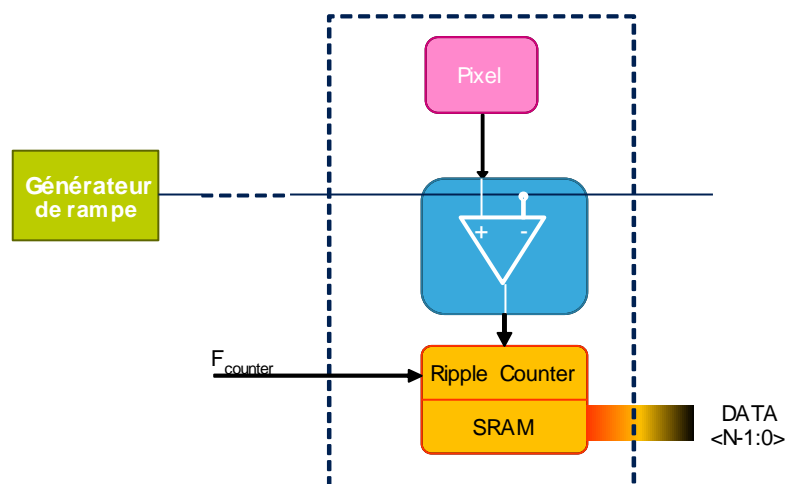


Figure 34: Architecture du convertisseur à rampe linéaire

Un autre paramètre important est le bruit colonne à colonne souvent dû aux mismatch. Pour réduire le bruit colonne à colonne on utilise le digital CDS comme dans [19]. Cela revient à décrémenter le compteur dans un premier temps pour la conversion du signal de reset puis à l'incrémenter ensuite pour la conversion du signal du pixel. Le principal problème avec un CAN à rampe est la vitesse de conversion qui est très lente. Pour une résolution de N bits on a besoin de 2^N coups d'horloge pour une conversion au lieu de N pour un SAR ou cyclique. Evidemment le convertisseur rampe limite la vitesse de lecture et n'est donc pas approprié pour des applications haute vitesse. Plusieurs techniques ont été

développées dans le but d'améliorer la vitesse de conversion comme le convertisseur multi-rampe multi-pente ou la rampe non-linéaire ou encore la rampe par morceau.

III.3.1 Multiple rampe simple pente (MRSS)

Cette technique est décomposée en deux étapes : une conversion dite grossière et une plus fine. Habituellement le convertisseur à rampe requiert 2^N coups d'horloge pour N bits de résolution mais avec la technique proposée dans [20] c'est un mélange entre le convertisseur à rampe et le convertisseur SAR. En effet ce CAN divise grossièrement la dynamique du signal en 'm' parties pour trouver la bonne référence pour la conversion plus fine. Ceci implique une contre réaction entre le comparateur et les références.

Sur la Figure 35, un diagramme du convertisseur MRSS est illustré. Le générateur de référence « dynamique » fourni 'm' différentes tensions de rampe. Chaque colonne possède plusieurs interrupteurs en plus, par rapport à une architecture classique ainsi que de la mémoire et de la logique combinatoire.

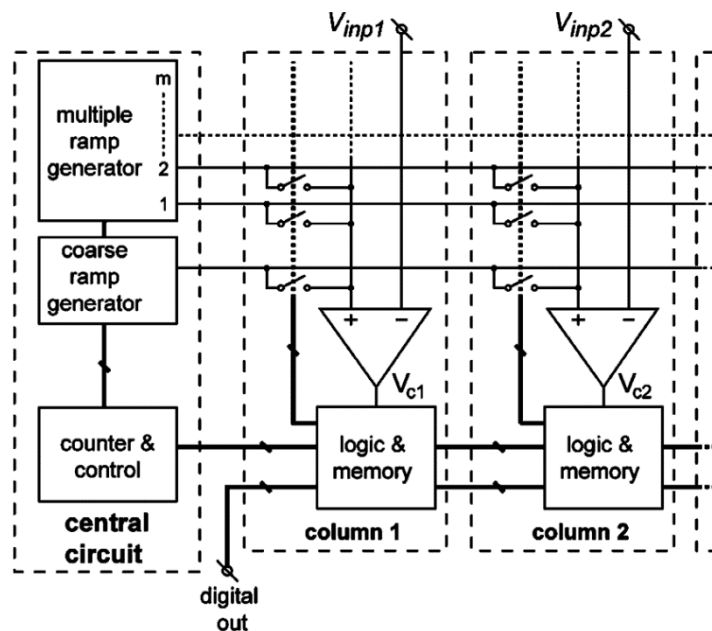


Figure 35: Architecture du convertisseur à multiple rampe

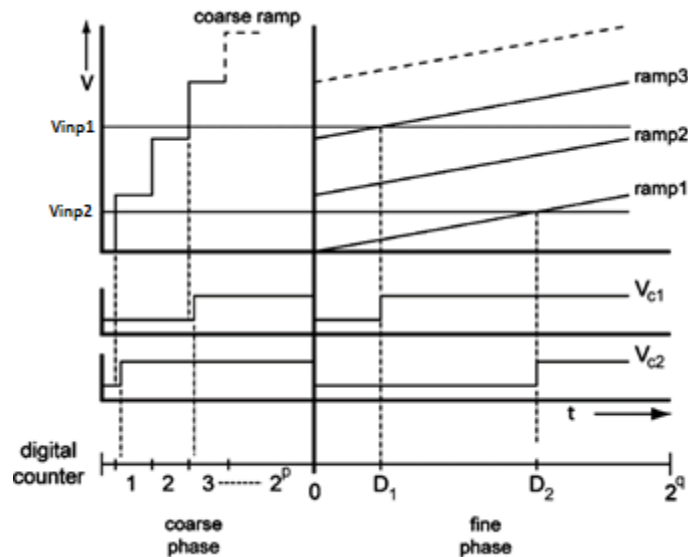


Figure 36: Timing du convertisseur à multiple rampe et simple pente

Sur la Figure 36, l'opération effectuée par le MRSS est illustrée temporellement. La conversion est bien divisée en 2 parties : basse puis haute résolution. Durant la basse résolution tous les comparateurs sont connectés à un même générateur de tension qui effectue la conversion grossière. Le résultat de cette opération est stocké dans la mémoire présente dans chaque colonne. Ensuite cette valeur est utilisée pour connecter la bonne rampe à la bonne colonne. Puis la conversion haute résolution est effectuée alors que toutes les rampes sont émises en même temps. Cette conversion plus fine est en réalité une simple conversion avec une rampe linéaire, cependant puisque chaque comparateur est connecté à une rampe correspondant au niveau du signal d'entrée cette rampe doit couvrir seulement ' $1/m$ ' de la dynamique du signal. C'est pour cela que la conversion est beaucoup plus rapide. Cette seconde valeur est elle aussi stockée dans une mémoire présente dans la colonne. La valeur numérique finale est une combinaison des deux résultats issus de ces phases de conversion. Le rapport temps de conversion et consommation est amélioré. Mais l'autre inconvénient est l'augmentation de la surface à cause de l'ajout de mémoire pour chaque colonne.

III.3.2 Multi-rampe & multi-pente

Une dernière amélioration pour augmenter la vitesse de conversion est de tirer profit du bruit photonique qui augmente seulement en \sqrt{N} avec N le nombre de photons. On peut grâce à cela faire varier la taille de la marche durant la première conversion afin de couvrir toute la dynamique plus rapidement, comme illustré sur la Figure 37.

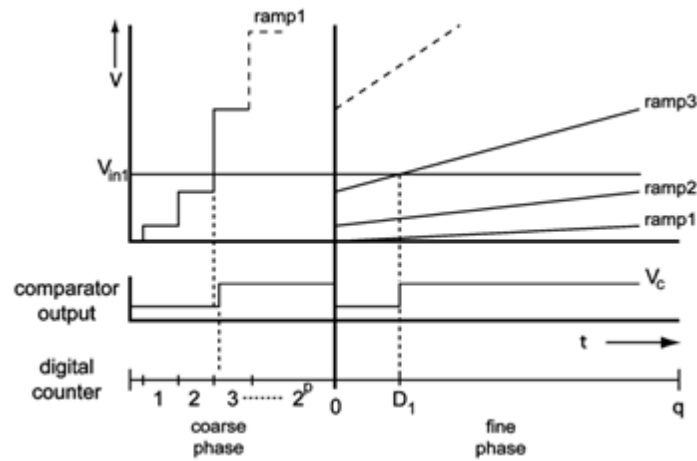


Figure 37: Timing du convertisseur à multiple rampe et multiple pente

Avec cette technique le temps de conversion est réduit sans augmentation de la consommation par rapport à la simple pente car seulement les tensions de référence changent. Cependant, la surface est toujours trop importante pour les mêmes raisons évoquées précédemment.

Pour éviter l'augmentation de surface et de consommation, une architecture tirant profit du bruit photonique peut être proposée avec un CAN à rampe. Dans ce cas, deux solutions ont été étudiées dans la littérature : la rampe non-linéaire et la rampe par morceau.

III.3.3 Le convertisseur à rampe non-linéaire

Dans [21], une rampe non-linéaire est utilisée afin de réduire le temps de conversion. Le changement de pente est très doux et ne doit pas avoir de perte de code durant la conversion. Cependant l'opération la plus délicate est la linéarisation de la donnée car la conversion se fait à travers une rampe de type exponentielle illustrée dans la Figure 38. Pour cela il faudrait un compteur dans la colonne de type lui aussi exponentiel et cela augmenterait la surface ainsi que la consommation. De plus, le compteur et la rampe devront être synchronisés ensemble ce qui est très compliqué à mettre en place à cause notamment des temps de propagation à travers la matrice de pixels.

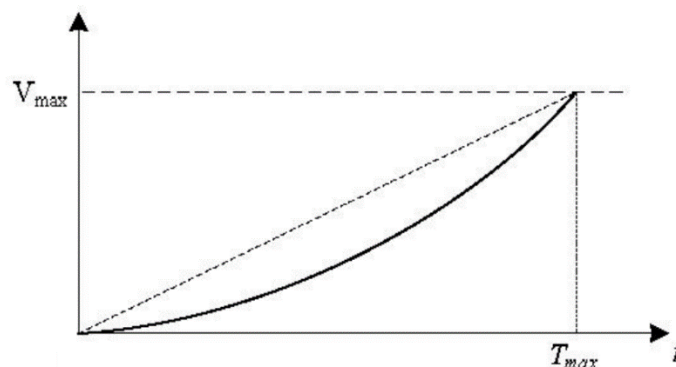


Figure 38: Principe d'un convertisseur à rampe non-linéaire

Pour pallier au problème du bruit colonne à colonne on utilise deux rampes : une pour convertir la valeur du reset et la deuxième pour la conversion du signal lui-même. Ces deux valeurs sont ensuite soustraites, c'est le CDS. Par conséquent on remarque que la première rampe doit être linéaire car ce n'est pas un signal qui provient de la lumière, dans ce cas il n'y a pas de bruit photonique. La première partie de la deuxième rampe doit être aussi linéaire pour effectuer cette soustraction avec la première rampe. Par conséquent seulement la fin de la 2^{ème} rampe pourrait être non-linéaire ce qui limite de beaucoup les avantages de cette solution.

III.3.4 Le convertisseur à rampe par morceaux

Une rampe par morceaux utilise une rampe analogue avec une pente programmable comme la rampe non-linéaire vue précédemment. Mais dans ce cas la pente de la rampe est une puissance de deux pour éviter d'utiliser un compteur exponentiel et donc d'augmenter la complexité et la surface sur le silicium. Dans [22] le digital CDS est utilisé pour supprimer le FPN causé par les variations du process, le mismatch des composants et le bruit thermique. La rampe par morceaux est utilisée dans ce cas pour augmenter la résolution de 8 bits à 10 bits et conserver le même temps de conversion comme illustré sur la Figure 39. Evidemment cette solution peut aussi être adaptée et être utilisée pour garder la même résolution mais réduire le temps de conversion.

En effet, la rampe par morceaux permet d'avoir une bonne résolution dans les petites valeurs de pixel, et de réduire le temps de conversion avec une rampe plus pentue. De plus la rampe analogue et le compteur digital sont synchronisés pour pouvoir modifier la vitesse du compteur en fonction de la rampe. Il y a aussi possibilité d'augmenter la dynamique du signal pour des grandes valeurs de pixel utilisant un compteur de résolution plus faible car il est dominé par le bruit photonique.

La Figure 39 illustre une conversion à rampe et l'utilisation de deux rampes pour le D-CDS. A (1) le pixel est remis à zéro, la valeur qui en résulte est convertie par la première rampe et stockée comme valeur de référence (2-3). Ensuite les charges stockées dans la photodiode sont transférées sur le nœud de lecture (4) et dans ce cas il en résulte le signal qui doit être aussi converti (5-6) et auquel on lui soustrait la valeur de référence. Cependant la pente change, elle devient plus accrue et peut être associée à un compteur avec des pas plus larges pour réaliser une conversion avec le même nombre de coups d'horloge. C'est cet effet que l'on peut observer sur la figure ci-dessous mais l'objectif de cette thèse est de pouvoir réduire le temps de conversion. Par conséquent, dans notre cas la dynamique de la rampe sera la même qu'une rampe linéaire mais le temps de conversion sera réduit.

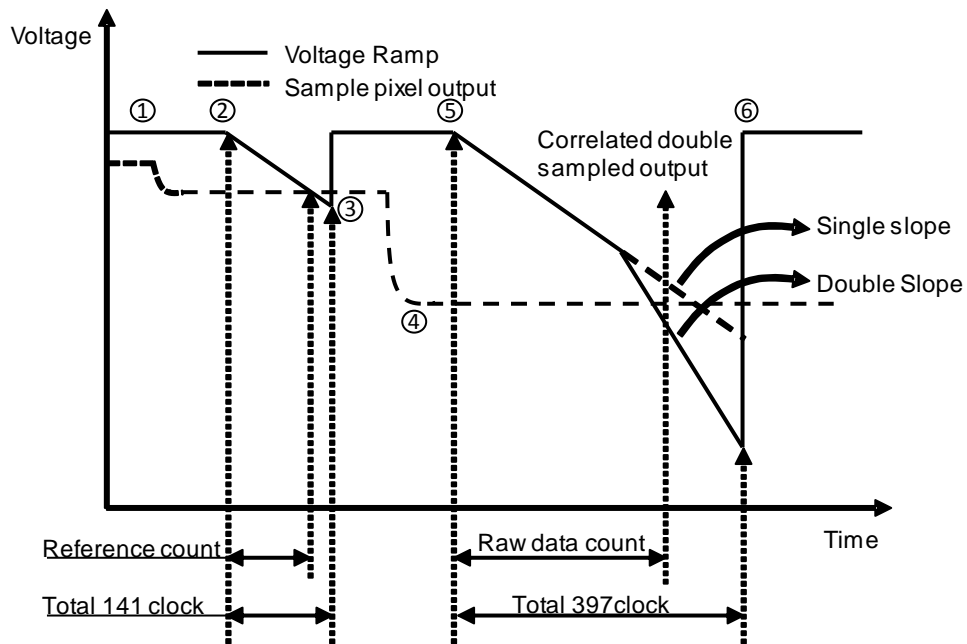


Figure 39: Timing d'un convertisseur à rampe avec cassure utilisant le D-CDS

Cette technique a plusieurs avantages par rapport à une rampe non-linéaire, car sa conception est plus simple et il n'y a pas besoin de compteur exponentiel. Comme illustré sur la Figure 40, le digital CDS linéarise précisément le premier segment de la rampe en condition de faible luminosité.

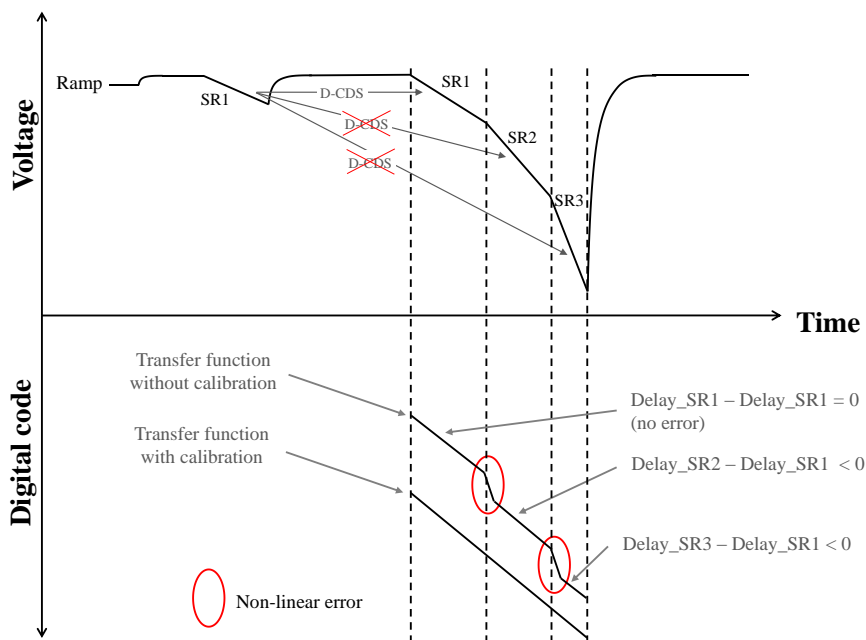
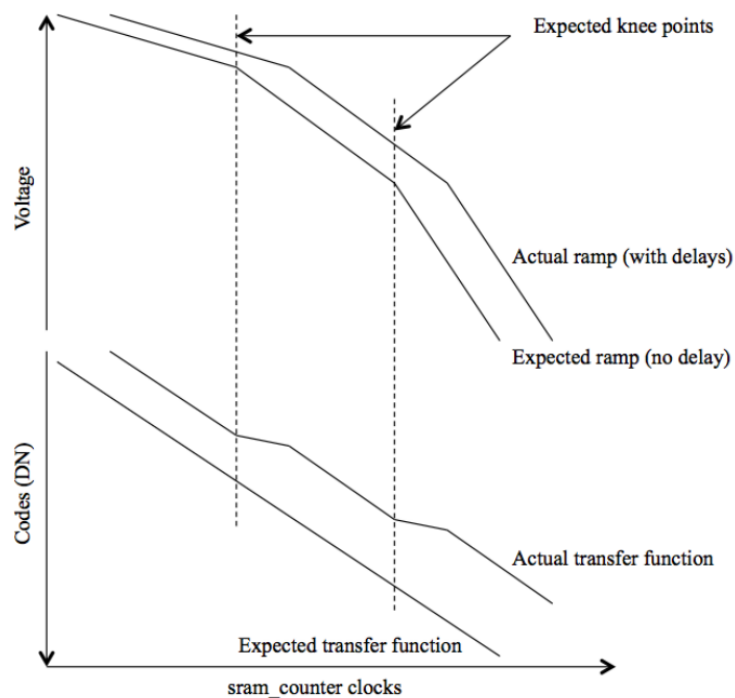


Figure 40: Erreur de conversion introduit par le comparateur

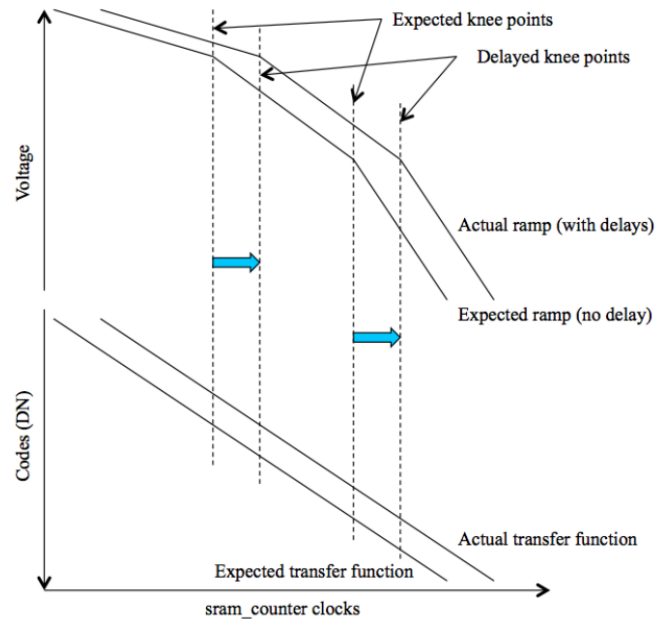
Néanmoins de grosses distorsions apparaissent au niveau des cassures de rampe. Il faut donc mettre en place une méthode de calibration. En supposant qu'on utilise 2 ou 3 segments, cette technique de calibration doit être assez flexible pour fonctionner dans une architecture colonne à colonne. Il y a deux

raisons majeures : la première est la bande passante du buffer de rampe qui n'est pas infini et qui donc arrondi la cassure de la rampe. Ce buffer sert notamment à fournir la rampe à toute la matrice de pixels. La deuxième raison est due à la modulation du délai du comparateur quand la rampe change de gain pendant la conversion. Les techniques de calibration doivent pouvoir assurer la reconstruction autour de chaque cassure de rampe et bien sûr colonne par colonne. Ces deux aspects seront expliqués plus en détail dans le prochain chapitre.

Comme expliqué précédemment, cette rampe par morceaux a beaucoup d'avantages par rapport à une rampe non-linéaire. Mais l'inconvénient d'utiliser un convertisseur à rampe par morceau avec un CAN par colonne est le délai inhérent introduit par le chemin de données qui donne un offset en fin de conversion. A vrai dire quand la pente change ça ne sera pas au même moment tout au long de la matrice notamment aussi à cause des changements de température et le mismatch. [23] a proposé une méthode pour mesurer ce délai et le corriger comme illustré sur la Figure 41.



a)



b)

Figure 41: Cassure de rampe a) sans calibration b) avec calibration

C'est une calibration en temps réel, il suffit de rajouter quelques lignes en plus à la matrice de pixels déjà existante. L'idée est de convertir la donnée avec une rampe linéaire et de faire ensuite une conversion en plus avec la rampe par morceaux. Après ces deux conversions on peut facilement extraire le délai en faisant la soustraction de ces 2 valeurs. Cette technique montre de bonne performance si l'on regarde la DNL et l'INL du convertisseur. Le problème de cette calibration est que l'on doit effectuer autant de conversions qu'il y a de LSB ce qui peut prendre beaucoup de temps.

III.4 Comparatif d'architecture de CAN

Une grande variété d'architecture d'ADC a été étudiée. Les deux principaux critères de sélection sont la vitesse et la surface. Ces architectures sont classifiées comme suit en fonction de la vitesse de conversion :

- **Architecture rapide** (Temps de conversion variant de 1 à N coup d'horloge)
 - o Flash
 - o Registre à approximation successive
 - o Pipeline
 - o Cyclique
- **Architecture semi rapide** (Temps de conversion très variant selon les CAN)
 - o Sigma delta
 - o Multiple rampe simple pente
 - o Multiple rampe multiple pente
 - o Rampe non-linéaire

- Rampe par morceaux
- **Architecture lente** (Temps de conversion de 2^N-1 coup d'horloge)
 - Rampe linéaire

En plus de la vitesse de conversion le convertisseur doit pouvoir rentrer dans une colonne de matrice de pixel de 1.1um de large, par les objectifs que nous avons définis dans le chapitre 1. En fonction de la taille disponible dans une colonne d'images, les architectures de CAN sont classées comme suit :

- **Architecture de grande taille**
 - Flash
 - Pipeline
- **Architecture de taille moyenne**
 - Registre à approximation successive
 - Cyclique
 - Sigma delta
 - Multiple rampe simple pente
 - Multiple pente multiple pente
- **Architecture de petite taille**
 - Rampe linéaire
 - Rampe Non linéaire
 - Rampe par morceaux

A la fin de cette étude le meilleur CAN pour l'application visée est le convertisseur à rampe par morceaux, comme on peut le constater sur le Tableau 1.

Tableau 1 : Synthèse des convertisseurs analogique numérique

	Rampe				SAR	Cyclique	Sigma-Delta (1 ^{er} ordre)
	Linéaire	Non-linéaire	MRMS	Par morceaux			
Vitesse	---	+	++	++	+++	+++	--
Consommation	++	-	-	+	+++	+	+
Précision	++	+	+	+	+	++	+++
Taille	+++	+	+	+++	-	+	+
Complexité	+++	+	+	+++	+	-	--
Bruit	++	++	++	++	+	++	+++

III.5 Conclusion

Dans ce chapitre plusieurs CAN ont été étudiés avec les avantages et inconvénients de chaque architecture. Les convertisseurs cycliques et SAR ont vite été écartés à cause de leur taille qui est

beaucoup trop grande pour l'application visée. Le convertisseur $\Sigma\Delta$ a été plus longuement étudié, notamment la version basée sur un VCO qui lui a la bonne taille mais qui est trop sensible aux dispersions technologiques. Il reste le convertisseur à rampe dont 3 méthodes tirant profit du bruit photonique ont été décrites. Les deux dernières méthodes semblent être meilleures que le convertisseur à rampe multiple à cause de leur simplicité d'implémentation. Le convertisseur à rampe par morceaux n'a pas besoin de compteur exponentiel mais un simple compteur suffit, ce qui signifie une consommation plus faible et une surface moins grande. La rampe par morceaux est le meilleur choix pour augmenter le frame rate mais l'architecture de la rampe a besoin d'être améliorée pour obtenir des bonnes caractéristiques d'INL et DNL. Dans le prochain chapitre, toute l'architecture d'un convertisseur à rampe par morceaux sera décrite en détail.

IV. Architecture global et conception de la solution embarquée

IV.1 Introduction

Dans le cadre de cette thèse un imageur de 13Mpix a été développé dans le but de tester de nouvelles fonctionnalités. Par rapport aux précédents produits de la division Imaging de STMicroelectronics, une nouvelle architecture a été développée. En effet cette architecture doit prendre en compte le « digital double sampling » pour la réduction du bruit et utilise une rampe par morceaux pour effectuer une conversion plus rapidement. La matrice de pixels a aussi été étudiée en détail pour la définition des spécifications du CAN.

IV.2 La matrice de pixels

Une matrice de 13Mpix (4216x3178) est utilisée dans le cadre de ce projet. La taille du pixel est un carré de 1.1 μ m de côté en BSI (Backside Illumination). Le Tableau 2 résume toutes les caractéristiques du pixel utilisé.

Tableau 2 : caractéristique d'un pixel

Paramètre	Unité	pixel
Gain de conversion	μ V/e-	150
Efficacité quantique	%	57
Sensitivité (3200K)	e-/Lux.s	2600
Sensitivité (3200K)	V/Lux.s	0.39
Capacité total (Saturation)	e-	5050
Max Signal swing	V	0.75
Dynamique Range	dB	61
Courant d'obscurité (60C)	e-/s	80
Bruit total (60C)	e-	3.7
Retard (Lag)	e-	<0.5

Le pixel est un pixel 2T, que l'on peut voir sur la Figure 42. Il permet un meilleur taux de remplissage et une meilleure sensibilité comparé au pixel 4T classique. Afin d'acquérir la valeur de ce pixel il y a 3 phases : la remise à zéro, l'intégration et la lecture. Tout d'abord, on reset le nœud SN à l'aide du signal RST ce qui a pour but aussi de sélectionner la ligne à lire car le transistor $T_{a_0/1}$ est activé. Sa polarisation est assurée par une source de courant situé en bas de la colonne. A la fin de l'intégration les charges de la photodiode sont transférées vers le nœud SN qui va progressivement se décharger. Le transistor $T_{a_0/1}$ étant un suiveur, on retrouve bien la valeur du pixel en sortie.

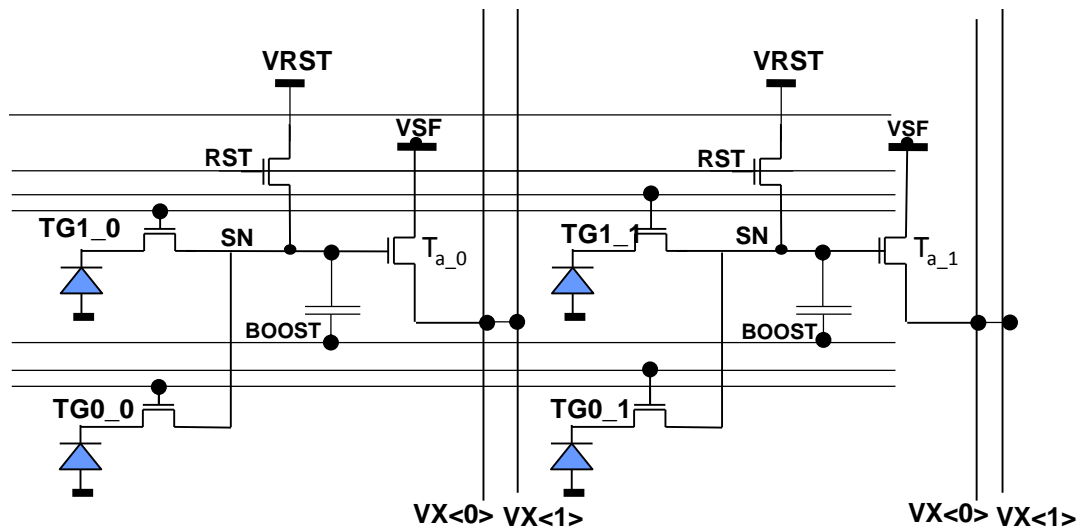


Figure 42: Architecture pixel 2T

Par la suite, en plus du BSI, sur ce test chip une amélioration supplémentaire a été apportée à la matrice de pixels car ce n'est pas une matrice RGB (Red Green Blue) classique mais RGBW (Red Green Blue White). La Figure 43 illustre ces différents types de matrice. Le pattern RGBW sera plus performant en faible luminosité car il est plus sensible à la lumière que les autres patterns. Typiquement le blanc est le plus sensible à la lumière ensuite c'est le vert et enfin le rouge et bleu, ces deux derniers sont plus utilisés pour la chrominance. C'est pour cela que l'on doit avoir 4 différents temps d'exposition, un pour chaque couleur.

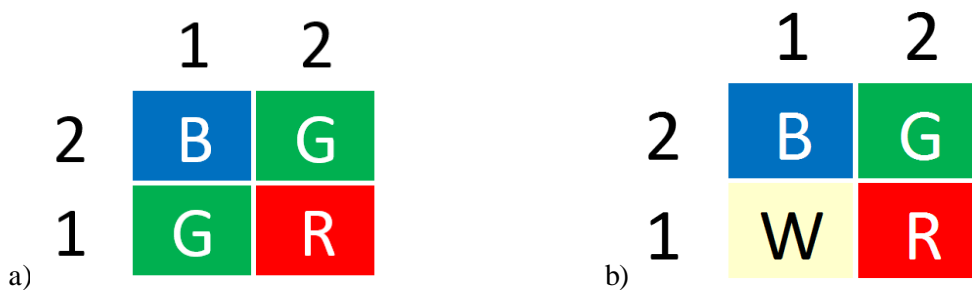


Figure 43: Pattern a) RGB (Bayern) b) RGBW

La Figure 44 montre la matrice complète avec les pixels utiles au centre, les pixels qui subissent l'effet de bord et enfin les dummies qui sont des pixels qui ne fonctionnent pas mais qui permettent de limiter l'effet de bord. Puis au-dessus on peut voir les « dark » qui sont des pixels qui sont plongés dans le noir et qui permettent de soustraire le signal indésirable du pixel généré par l'effet de la température.

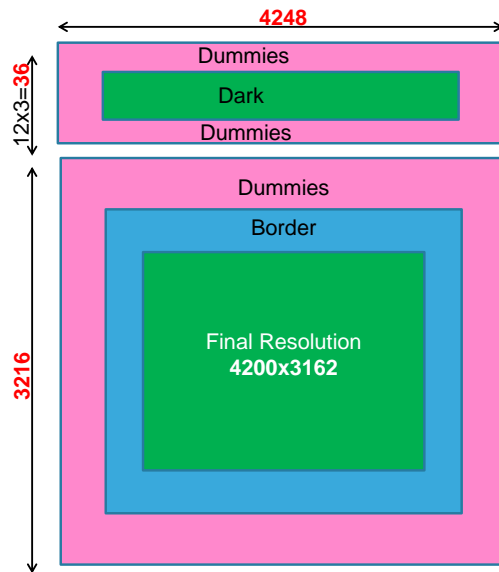


Figure 44: Matrice de pixels

IV.3 Architecture du convertisseur analogique-numérique

La nouvelle architecture de CAN qui a été développée est un convertisseur 10 bits qui est capable de faire du digital CDS et de générer une rampe par morceaux. De plus on doit pouvoir prendre une photo d'une scène en faible ou forte luminosité ce qui implique d'avoir plusieurs gains de rampe pour la conversion, en l'occurrence de 1 à 16.

Les 3 grandes parties qui composent ce CAN, sont illustrées sur la Figure 45 : le générateur de rampe, le comparateur et le compteur seront décrits dans cette partie.

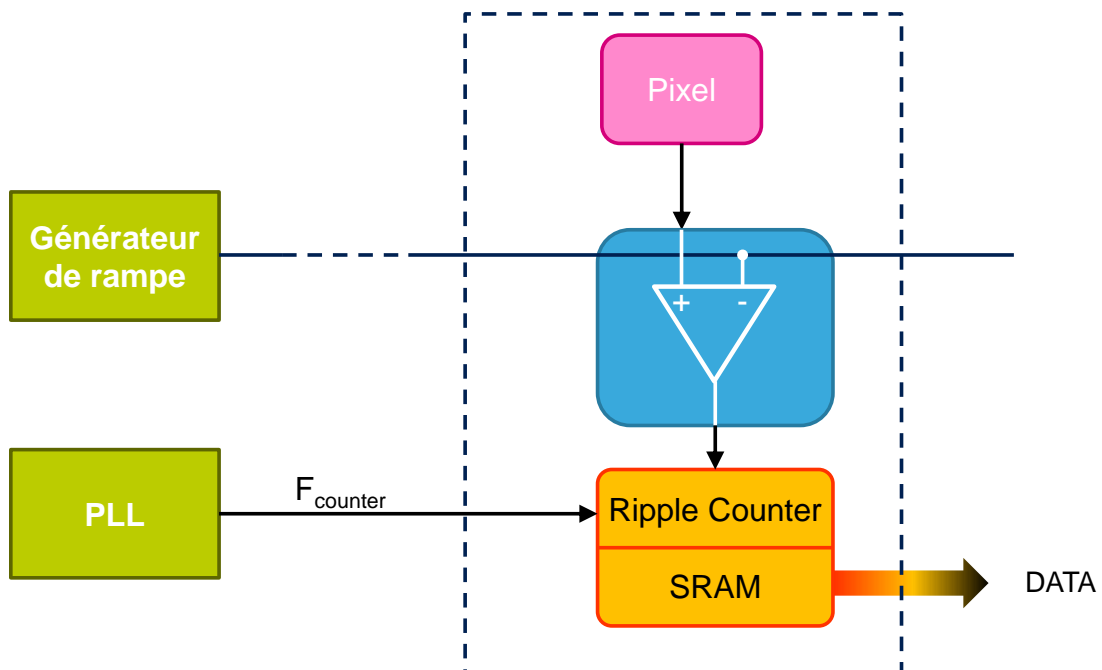


Figure 45: Architecture globale du CAN a rampe

IV.3.1 Le générateur de rampe

La principale motivation pour utiliser une rampe de type I/C est d'obtenir une meilleure granularité sur le contrôle du gain de la pente et une meilleure linéarité. Le principe est simple, c'est d'intégrer un courant sur une capacité. Après avoir étudié plusieurs architectures la meilleure en termes de surface et de consommation est celle où l'on distribue une capacité à travers toutes les colonnes comme on peut le voir sur la Figure 46 [24].

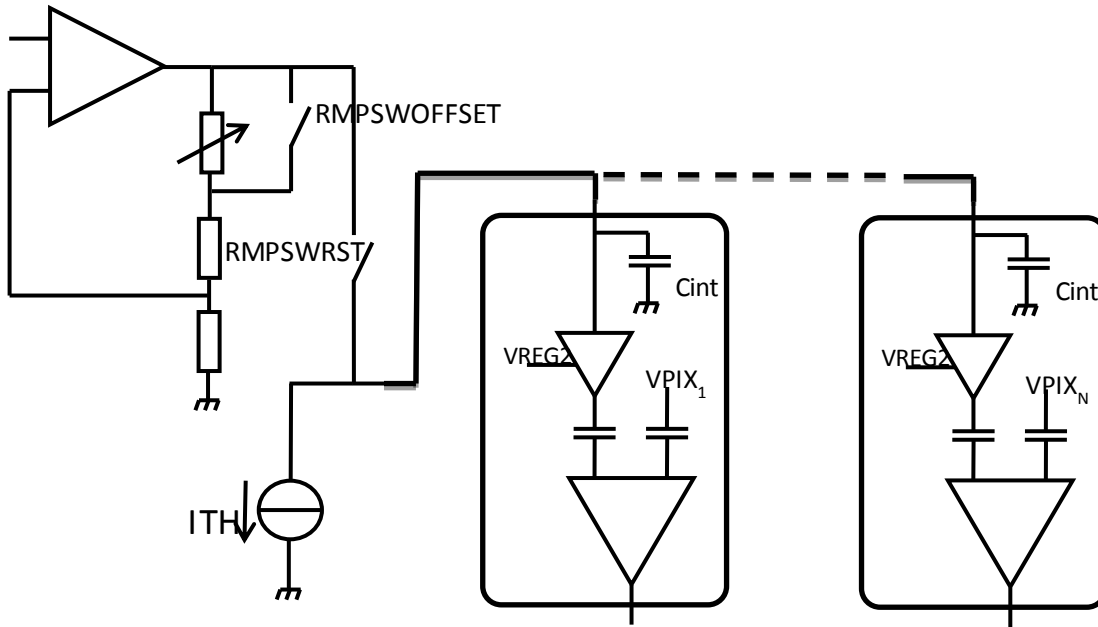


Figure 46: Schéma fonctionnel du générateur de rampe

En ce qui concerne l'amplitude de la rampe elle doit être de 750mV à gain 1 et de 46mv à gain 16, comme expliqué dans la table 1, mais en pratique cette rampe doit être plus grande. En effet l'offset du comparateur n'est pas corrigé, par conséquent le générateur de rampe doit avoir suffisamment d'amplitude pour absorber cet offset même avec la pente la plus faible à gain 16. Si on doit rajouter 10mv à la longueur de la rampe à gain 16 on devra en rajouter 10 fois plus à gain 1 c'est-à-dire 160mV.

Une marge en plus doit être prise pour le temps de propagation du comparateur, la pente doit être constante jusqu'à ce que le comparateur change complètement d'état. C'est le cas aussi pour le courant d'obscurité qui doit être pris en compte. Pour finir, un offset au début de la conversion est nécessaire pour s'assurer que tous les comparateurs soient dans le même état au début de chaque rampe. En prenant en compte tous ces facteurs la rampe doit avoir une amplitude de 1.1V.

Dans un premier temps, la capacité, que l'on peut voir sur la Figure 46, est chargée à un certain niveau, 1.8V dans notre cas pour assurer les 1.1V de dynamique de la rampe, grâce au régulateur puis la décharge peut être contrôlée par la source de courant ce qui crée la rampe. La valeur de la capacité distribuée dans toutes les colonnes est de 450pF, elle a été dimensionnée en fonction du bruit thermique provoqué par l'échantillonnage de la valeur du régulateur, une fois pour chaque rampe soit 2 fois. Ce bruit doit être de 10 fois inférieur au bruit aléatoire de l'image soit 6uV.

$$\frac{\sigma_{aleatoire}}{10} < \sqrt{\frac{2KT}{C}} \rightarrow C > \frac{2KT}{\left(\frac{\sigma_{aleatoire}}{10}\right)^2} = \frac{2 \times 1.38 \times 10^{-23} \times 400}{(6 \times 10^{-6})^2} = 307 \times 10^{-12} \quad (31)$$

Ce qui donne pour 4248 colonnes une capacité unitaire de 72fF. Face à cette valeur assez faible il a été décidé de mettre une capacité unitaire de 106fF ce qui correspond à toute la place libre dans la colonne et ce qui donne 450pF de capacité.

On peut voir aussi sur la Figure 46 la présence d'un buffer dans chaque colonne, qui est alimenté par la tension VREG2, il est nécessaire pour éviter des effets de smearing, c'est-à-dire que lorsque plusieurs comparateurs changent d'état en même temps cela pourrait venir perturber la rampe.

Pour le digital CDS cela consiste à effectuer 2 conversions : une pour le niveau de référence du pixel, et l'autre pour la valeur du pixel. Par conséquent, l'architecture requiert 2 rampes décroissantes comme on peut le voir sur la Figure 47 ci-dessous.

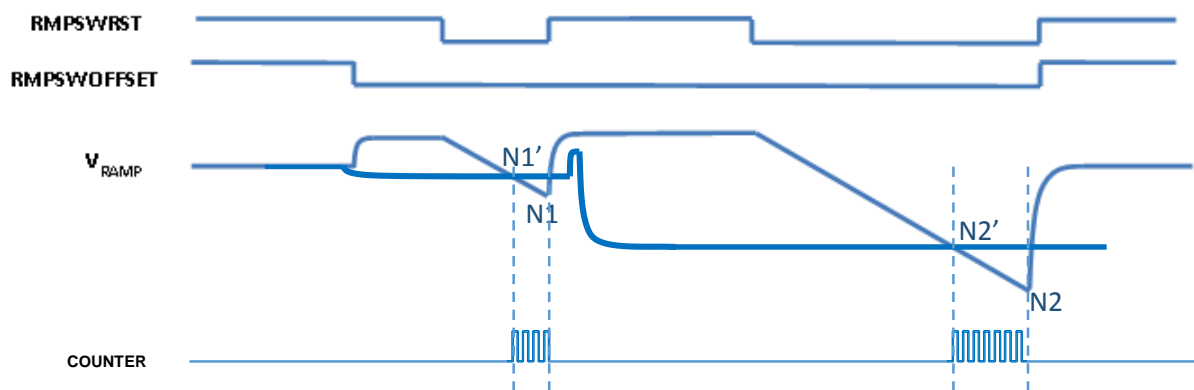


Figure 47: Chronogramme de la rampe pour le digital CDS

En effet, l'idée pour supprimer tous les mismatch colonne à colonne est d'utiliser une référence pour chaque colonne ($N1'$) et convertir la valeur du pixel pour chaque colonne ($N2'$), et soustraire c'est 2 valeurs pour obtenir seulement la valeur du pixel, c'est-à-dire $N2' - N1'$. Pour éviter de stocker ces deux valeurs puis de faire la soustraction en digital, une méthode a été mise en place pour faire la soustraction directement en analogue et plus précisément dans le compteur. En effet, on va commencer à compter non pas à partir du début de la première rampe, mais à partir de $N1'$ jusqu'à la fin de la rampe. On obtient donc : $N_{ref} = N1 - N1'$. Pour le signal, on commence à compter au tout début de la 2ème rampe et on arrête de façon normale à la valeur $N2'$ ce qui a pour effet d'incrémenter le compteur jusqu'à $N2'$ en partant de la valeur N_{ref} , on a donc $N_{conv} = N_{ref} + N2' = N1 - N1' + N2'$. On retrouve bien notre valeur de pixel $N2' - N1'$ en soustrayant la valeur $N1$ qui est une valeur connue et fixe car c'est la taille de la première rampe.

Le régulateur que l'on peut voir en haut à gauche de la Figure 48 est connecté aux capacités au début de la conversion jusqu'à la première rampe, puis de la fin de la première rampe jusqu'à ce que la deuxième rampe commence. Pendant toute la durée des rampes, la capacité est déconnectée du régulateur : RMP_SWRST est ouvert. En d'autres termes, le régulateur est échantillonné dans la capacité et maintenu jusqu'au début de chaque rampe. Cela augmente les risques de bruit en ligne, car dans ce cas tout ce qui peut entraîner un changement de tension entre les valeurs de rampe sera vu comme une erreur de conversion. Plus précisément le critère pour que ce bruit en ligne ne soit pas visible, est qu'il soit inférieur à $1/10 \cdot \text{Bruit aléatoire}$.

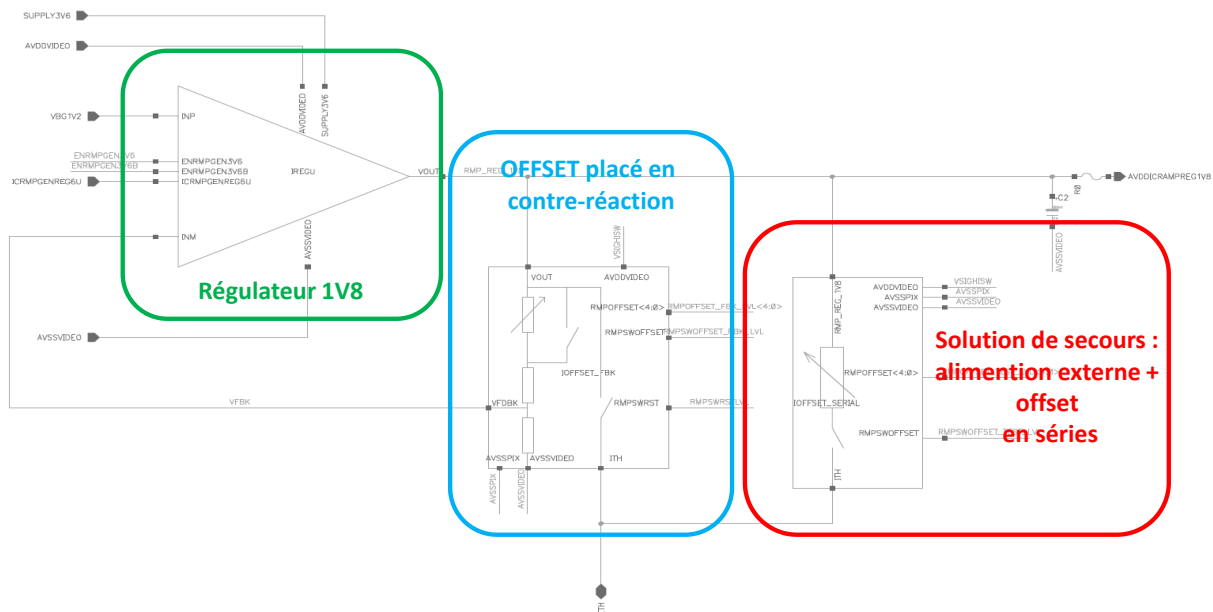


Figure 48: schéma bloc du régulateur pour le générateur de rampe

Pour la génération de l'offset, la configuration la plus critique est pour le gain 16, quand l'amplitude de la première rampe est la plus faible.

Comme la première rampe dépend de la décharge du courant, l'offset doit aussi dépendre de ce courant car comme cela l'amplitude de cet offset changera automatiquement en fonction de la sélection du gain. Ceci est facilement réalisable avec une résistance programmable placée entre la sortie du régulateur et la rampe. Dans ce cas, la valeur maximale de la résistance à gain 16 est de : $R = V_{\text{offset}} / I_{\text{th}} = 10\text{mV} / 12.5\mu\text{A} = 800\Omega$.

Où I_{th} est la valeur du courant qui vient décharger une capacité pour créer la rampe, et V_{offset} est la tension de l'offset qui est faite avant les deux rampes. Cet offset est déterminé par simulation et il doit être suffisamment grand pour initialiser les comparateurs dans l'état voulu. Quant à la valeur du courant elle est calculée en fonction de la pente voulue pour la rampe.

En l'occurrence pour le gain 16 la pente est de $V_{dyn}/gain=1.1/16=68.75mV$ pour une durée de 2.5us ce qui donne :

$$I = C \times \frac{du}{dt} = 450 * 10^{-12} \times \frac{68.75 * 10^{-3}}{2.5 * 10^{-6}} = 12.5uA \quad (32)$$

Le problème est que la résistance est trop élevée ce qui rallonge les temps d'établissement et donc le temps de conversion. C'est la raison pour laquelle nous avons choisi de créer l'offset à l'intérieur de la boucle de contre réaction du régulateur, même si l'offset n'est plus dépendant du courant et donc du gain.

Néanmoins, une solution de secours a été rajoutée pour autoriser la connexion d'une tension externe de 1.8 volt et dans ce cas nous n'aurions pas le choix que d'utiliser un diviseur de tension en série.

La Figure 49 illustre le diviseur de tension placé en contre réaction. La valeur de ces résistances a été minimisée pour des questions de bruit, on a donc une valeur de résistance unitaire de 40Ω et les résistances des interrupteur R_{on} ne sont pas négligeables non plus :

- Res_n = Valeur de la résistance quand l'interrupteur est ouvert.
- R_{int_n}/Res_n = Valeur de la résistance en parallèle avec l'interrupteur quand ce dernier est fermé.

Pour obtenir une variation monotone de l'offset à travers toutes les sélections, il a été choisi de garder le ratio Res_n/R_{int_n} constant. C'est pour cela que l'on connecte 2^i interrupteurs en parallèle aux 2^i résistances avec 'i' la valeur du bus de sélection de la résistance.

De plus pour minimiser l'impact des résistances des interrupteurs R_{on} sur la valeur de l'offset (en particulier pour les faibles valeurs d'offset), ces interrupteurs sont aussi utilisés pour court-circuiter les résistances quand l'offset est actif.

La valeur de l'offset à travers toutes les sélections est donnée par l'équation suivante :

- Valeur de sortie du régulateur en mode RESET

$$1V8_RESET = \frac{V_{BG}}{R2} \times [R1 + R2 + (31 - SEL) \times RES_{unit} + SEL \times RES_{unit} // RINT_{unit} + R0]$$

- Valeur de sortie du régulateur en mode OFFSET

$$1V8_OFFSET = \frac{V_{BG}}{R2} \times [R1 + R2 + 31 \times RES_{unit} // RINT_{unit} + R0 // Rint_{offset}]$$

- Ce qui nous donne au final

$$OFFSET = \frac{V_{BG} \times (R0 - R0 // Rint_{offset})}{R2} + (31 - SEL) \times \frac{V_{BG} \times (RES_{unit} - RES_{unit} // RINT_{unit})}{R2}$$

Avec :

- RES_{unit} : résistance unitaire 40Ω
- $RINT_{unit}$: résistance unitaire $R_{on}=3.8\Omega$
 $\rightarrow R// = RINT_{unit} // RES_{unit} = 3.5\Omega$
- $RINT_{offset}$: résistance de l'interrupteur qui court-circuite $R0 = 19\Omega$
- $R0=94\Omega$: résistance qui donne la plus petite valeur d'offset

- R1 = 8.6k Ω : résistance fixe entre le régulateur et le nœud VFBK
- R2 = 19.5k Ω : résistance entre VFBK et la masse
- VBG : tension de référence du band gap = 1.2V

Nous pouvons aussi exprimer l'offset comme cela : $OFFSET = 4.6mV + (31 - SEL) \times 2.3mV$

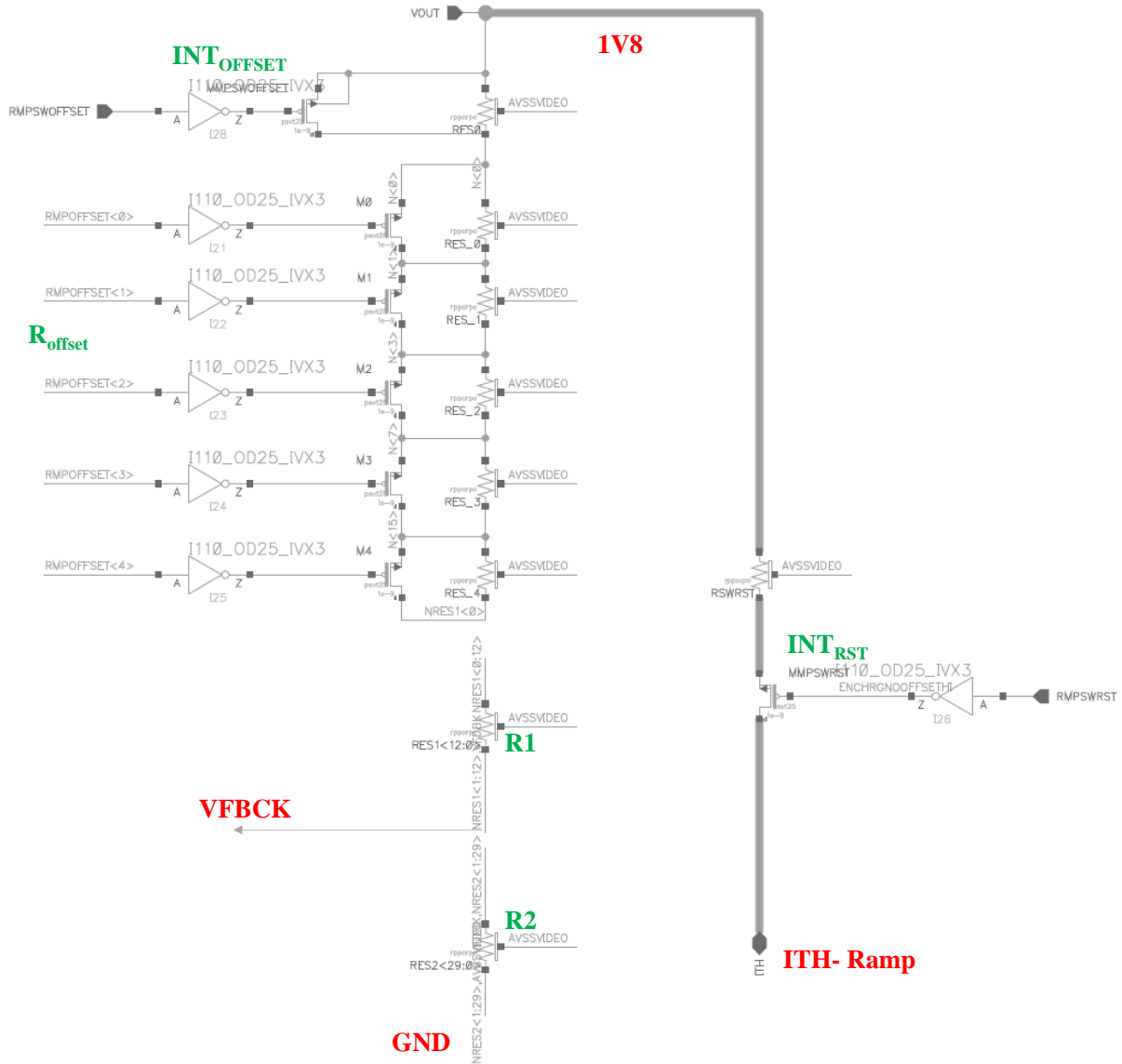


Figure 49 : Génération de l'offset à l'intérieur de la boucle de contre réaction

Ce qui donne le résultat du Tableau 3.

Tableau 3 : Différentes valeurs d'offset en fonction du process et de la température

OFFSET	Min	Typ	Max	Unité
Sélection 31 (Min)	4.10	4.81	5.29	mV
Sélection 29 \Rightarrow Gain 16	8.24	9.41	10.20	mV
Sélection 27 \Rightarrow Gain 12	12.39	14.00	15.12	mV
Sélection 24 \Rightarrow Gain 8	18.61	20.91	22.49	mV
Sélection 16 \Rightarrow Gain 4	35.19	39.31	42.14	mV
Sélection 0 (Max)	68.33	76.10	81.44	mV

On verra plus tard lors du chapitre des mesures que même la valeur max à 81.44mV est trop faible. Ce qui a pour conséquence une mauvaise initialisation du comparateur et donc un bruit en colonne plus élevé.

La même démarche a été effectuée pour la solution de secours mais dans ce cas l'offset est créé en insérant une résistance programmable entre le régulateur et la rampe comme illustré sur la Figure 50.

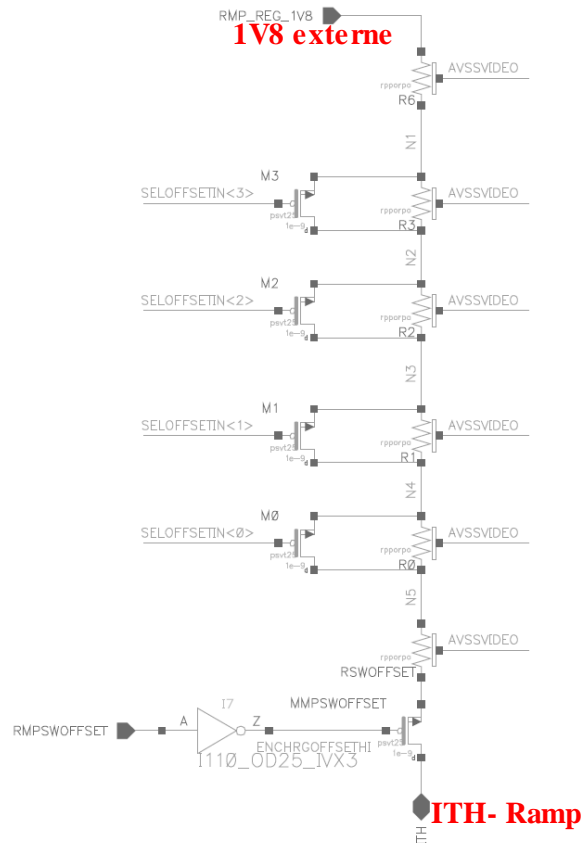


Figure 50 : Génération de l'offset à travers la solution de secours

L'expression de l'offset par rapport aux différentes valeurs de sélection du diviseur de tension est donnée par l'équation suivante :

$$OFFSET = [RES_0 + 15 \times RES_{unit} // RINT_{unit} + (15 - SEL) \times (RES_{unit} - RES_{unit} // RINT_{unit})] \times ITH$$

Avec :

- RES_{unit} : résistance unitaire 44.6Ω
- $RINT_{unit}$: résistance unitaire $R_{on}=4.5\Omega$
 $\rightarrow R// = RINT_{unit} // RES_{unit} = 4.1\Omega$
- $Res_0=94\Omega$: résistance qui donne la plus petite valeur d'offset
- ITH : courant qui permet de décharger la capacité
 - o $ITH=200\mu A$ à gain 1

- $ITH=12.5\mu A$ à gain 16

On peut aussi exprimer l'offset de la façon suivante : $OFFSET = (151\Omega + (15 - SEL) \times 40.5\Omega) \times ITH$

$$\Rightarrow OFFSET = 30.2mV + (15 - SEL) \times 8.1mV \quad \text{à gain 1}$$

$$\Rightarrow OFFSET = 1.9mV + (15 - SEL) \times 0.5mV \quad \text{à gain 16}$$

Ce qui donne le Tableau 4 pour les différentes valeurs d'offset.

Tableau 4 : Différentes valeur d'offset en fonction du process et de la température

Valeur d'offset	Gain 1			Gain 16			Unit
	Min	Typ	Max	Min	Typ	Max	
Sélection 15 (Min)	26.7	30.2	37.1	1.66	1.87	2.29	mV
Sélection 0 (Max, Target G16)	149.6	152.4	155.1	9.30	9.48	9.63	mV

La dispersion dans ce dernier cas est plus faible que l'offset créée à l'intérieur de la boucle de contre réaction car ici la tension est seulement du au produit de $R \times I$ avec $I = VBG/R$. Alors que la dispersion du régulateur rentre en compte dans la précision de la tension de sortie.

La Figure 51 illustre le régulateur qui est fondé sur 2 étages d'amplification fait à partir d'une paire d'entrée différentielle, un cascode replié et un suiveur NMOS en sortie. La charge de sortie peut varier de 400pF à 490pF à cause de la variation en process de $\pm 20\%$. La source de courant (ITH) en sortie varie elle de 0 à 200uA en fonction du gain et de la configuration (RESET, OFFSET, mode OUVERT).

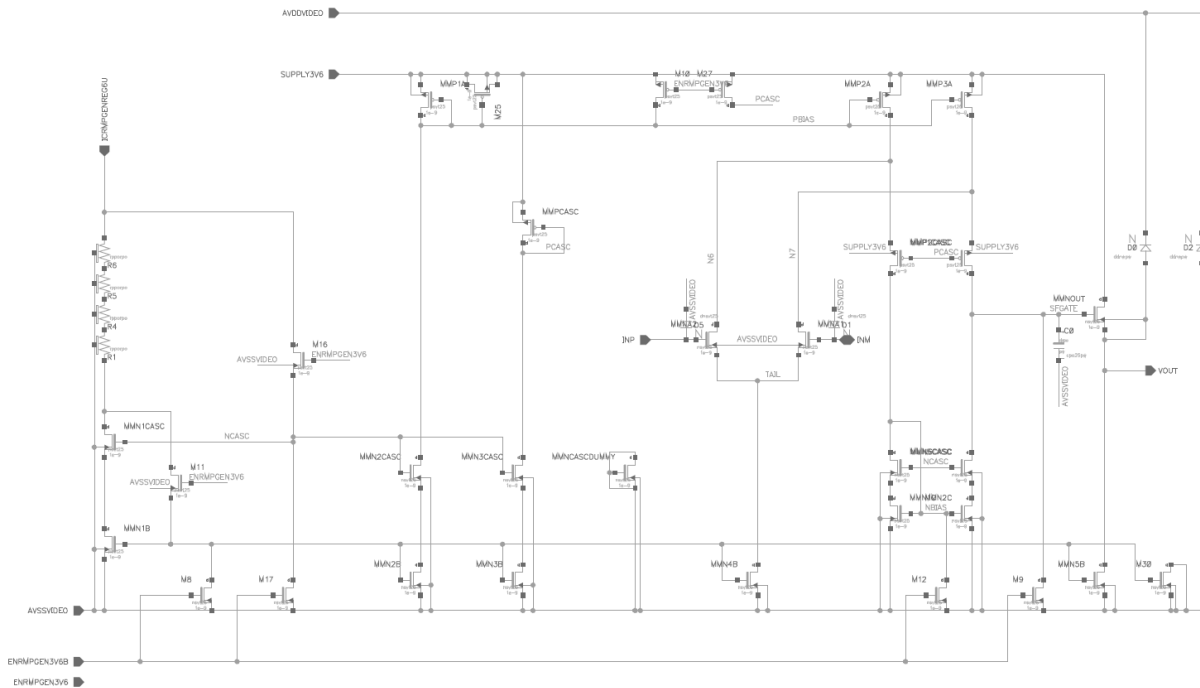


Figure 51: Schématique du régulateur 1V8

Après plusieurs simulations en process et température pour s'assurer de la stabilité de ce régulateur on obtient les résultats du Tableau 5.

Tableau 5 : Principaux résultats pour la stabilité du régulateur

	OPEN			RESET & OFFSET			Unit
	Min	Typ	Max	Min	Typ	Max	
Gain DC	60	56	72	59	64	71	dB
GBW	4.79	9.01	16.6	2.97	5.62	10.6	MHz
Phase Margin	62	71	77	67	71	74	Degree
Gain Margin	16	21	26	21	27	33	dB

L'autre critère important pour ce régulateur est le bruit et le PSRR (Power Supply Rejection Ratio). En effet, comme expliqué en début de chapitre, une différence supérieure à 15uV entre les deux niveaux de reset dans la génération de la rampe est considérée comme du bruit sur l'image finale et visible par l'œil humain. Puisque les deux niveaux de reset sont très proches l'un de l'autre temporellement cela est très difficile de maintenir un niveau de bruit aussi bas dans les hautes fréquences.

Après plusieurs simulations et améliorations du design le Tableau 6 montre les résultats :

Tableau 6 : Principaux résultats pour le bruit et le PSRR

	Min	Typ	Max	Objectif	Unit
PSRR DC	122	149	169	-	dB
PSRR 100kHz	72.7	73.3	74.0	-	dB
PSRR Max	62.7	67.4	69.6	63 (min)	dB
Bruit 100kHz-1G		54		15 (max)	µVrms

On constate que le bruit est supérieur au 15uV visé. Malheureusement lors de la conception, le temps était trop court pour mettre en place une autre architecture. Cependant l'idée aurait été de ne pas échantillonner 2 fois la valeur du reset, mais de recharger la capacité à l'aide de la source de courant ITH. Bien évidemment, il aurait fallu recharger la capacité pendant exactement le même temps que l'on la décharge.

La source de courant ITH

Le principe de génération de la rampe est assez simple, on vient intégrer un courant électrique sur une capacité. La source de courant en question est une source de courant thermométrique de 11bits. Il y a 8 bits qui sont dédiés au contrôle du gain et 3 bits à la calibration. Il y a un buffer dans chaque colonne, tous sont court-circuités, et ils sont présents pour éviter l'effet de smearing.

Comme expliqué précédemment, pour convertir le pixel, on a besoin d'une dynamique de rampe de 1.1V. Le compteur du CAN a une fréquence de 800MHz, ce qui veut dire que la valeur temporelle du LSB est de 1.25ns. De plus le CAN a une résolution de 10 bits ce qui donne un LSB de 614uV à gain 1. Ces différents paramètres définissent le timing pour les 2 rampes :

- 512 coups d'horloge pour la première rampe
- 1792 coups d'horloge pour la deuxième rampe

On peut retrouver toutes les caractéristiques de la rampe dans le Tableau 7 ci-dessous.

Tableau 7 : Caractéristique de la rampe

GAIN	LSB (μV)	OFFSET (mV)	Slew rate ($\text{mV}/\mu\text{s}$)	Dynamique de la rampe (V)	Valeur du courant (μA)
1	613.8	75	491.0	1.1	240
2	306.9	75	245.5	550m	120
4	153.5	40	122.8	275m	60
8	76.7	21	61.4	137.5m	30
16	38.4	9.8	30.7	68.8m	15
Opération	$\frac{\text{Dyn. rampe}}{\text{NB_Clock}}$	/	$\frac{1 \times 10^{-6} \times \text{Dyn. rampe}}{\text{NB_clock} \times \text{LSBtemporel}}$	$\frac{\text{Dynamique de la rampe}}{\text{Gain}}$	$C_{max} \times \text{SlewRate}$

Comme on peut le voir sur la Figure 52 la source de courant thermométrique est composée de 2 matrices de 5 bits chacune et 1 bit pour choisir la matrice, soit 11 bits. Parmi ces 11 bits on a 8 bits pour la granularité du contrôle du gain, et 3 bits pour corriger le mismatch entre les différentes sources de courant utilisées.

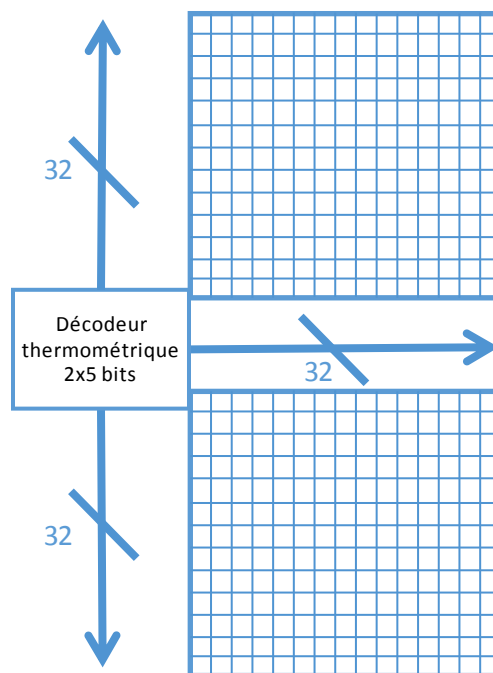


Figure 52 : Source de courant thermométrique

Le décodeur thermométrique de 11 bits permet de contrôler 2048 sources de courant une par une. Chaque cellule de la matrice fournit 500nA donc cette source de courant entière peut fournir 1.024mA, ce qui est utile pour la rampe par morceaux, car cela peut facilement augmenter le courant. Dans le Tableau 8 suivant un exemple est illustré d'une table de vérité d'un décodeur thermométrique de 3 bits vers 8 bits.

Tableau 8 : Table de vérité d'un décodeur thermométrique

Binary Input	3-to-8 Decoder Output
0 0 0	0 0 0 0 0 0 0 1
0 0 1	0 0 0 0 0 0 1 1
0 1 0	0 0 0 0 0 1 1 1
0 1 1	0 0 0 0 1 1 1 1
1 0 0	0 0 0 1 1 1 1 1
1 0 1	0 0 1 1 1 1 1 1
1 1 0	0 1 1 1 1 1 1 1
1 1 1	1 1 1 1 1 1 1 1

On remarque que l'une des sorties est toujours au niveau logique 1. Pour chaque incrémentation de l'entrée binaire on incrémente le nombre de 1 logique. Dans notre cas, le code thermométrique est divisé en ligne et colonne pour contrôler toute la matrice de courant. Grâce à cette approche on a besoin de rajouter simplement un peu de logique dans chaque cellule de courant afin de décoder les données provenant du décodeur thermométrique et déterminer si la cellule de courant doit s'allumer ou s'éteindre. La Figure 53 montre un exemple avec seulement 6 bits, cela est bien plus clair qu'avec les 11 bits qui sont utilisés.

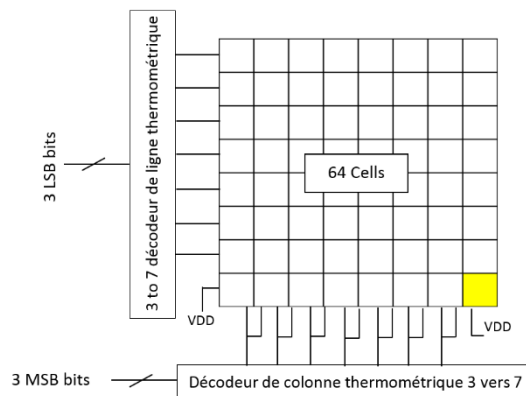


Figure 53: Schéma de principe d'une source de courant thermométrique

Le décodage thermométrique est implémenté de deux façons. L'entrée digitale est tout d'abord décodée par le code thermométrique utilisé pour contrôler les lignes et colonnes. Ensuite, la logique dans chaque cellule détermine soit d'allumer soit d'éteindre la source de courant à la position choisie.

La Figure 54 montre une cellule unitaire de miroir de courant avec leur logique combinatoire. Ces cellules de courant sont actives quand la rampe décroît, et que la cellule est allumée où « row » et « col » sont actifs ou « prevcol ». Lorsque toutes les cellules d'une colonne sont allumées, cela signifie que la colonne précédente est également allumée.

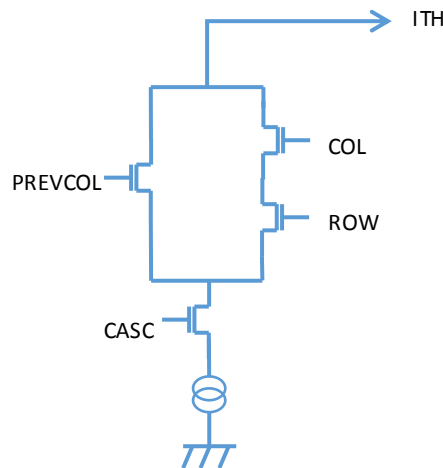


Figure 54: Cellule de courant unitaire

On a donc une source de courant thermométrique de 11 bits de résolution qui permet de fournir un courant allant de 500nA à 1.024mA par pas de 500nA. Typiquement le générateur permet de fournir des pentes allant de 30mV/us à 0.5V/us avec un pas de 1mV/us. Cela permet donc de facilement contrôler tous les gains de rampe dont on a besoin pour le générateur de rampe par morceaux et par conséquent pour le convertisseur global.

IV.3.2 Le comparateur : amplificateur opérationnel à transconductance

Le comparateur d'un convertisseur à rampe pour imageur est très sensible car il peut être à l'origine de beaucoup d'effets indésirables qui peuvent diminuer la qualité de l'image. Ils peuvent notamment provoquer du smearing, du droop, du FPN, line noise.... La Figure 55 montre le schéma block du comparateur.

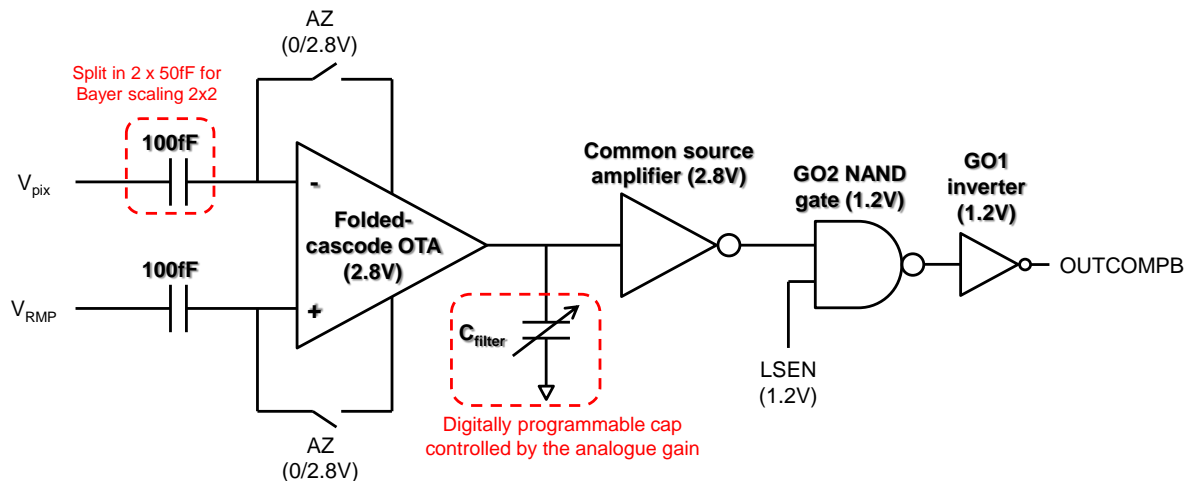


Figure 55: Comparateur colonne schéma block

L'amplificateur en source commune est présent pour augmenter le gain du comparateur. La porte logique NON-ET avec le signal LSEN servent à activer ou non la sortie du comparateur, dans la pratique il sera actif seulement le temps des rampes. Afin d'équilibrer les performances du comparateur pour

toutes les valeurs de gain, une capacité programmable a été rajoutée, elle est contrôlée par un gain analogue pour s'assurer un temps de propagation constant du gain 1 au gain 16. Sur la Figure 56 on peut voir un exemple du délai du comparateur en fonction du gain analogue avec et sans la capacité de filtrage.

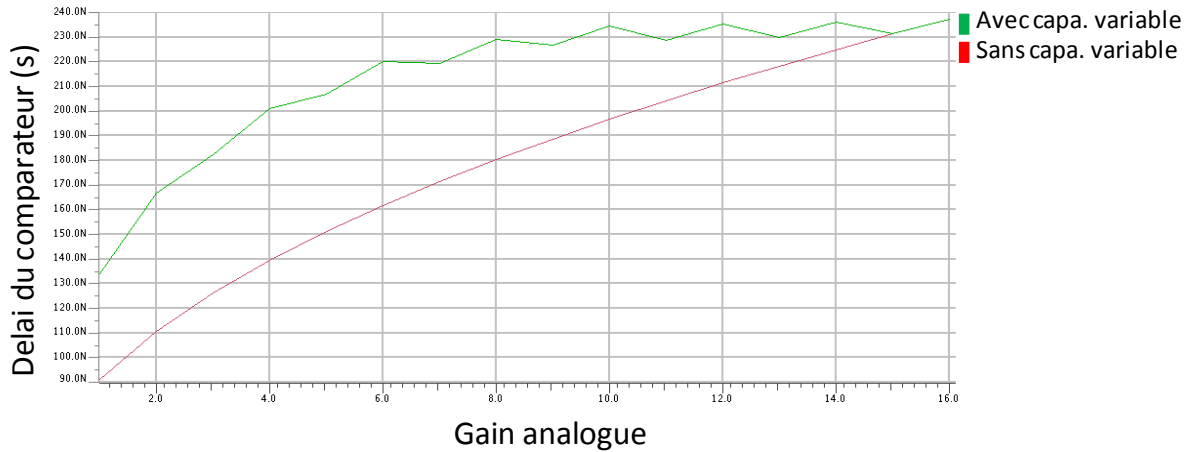


Figure 56: Délai du comparateur en fonction du gain analogue

On constate que ce délai est pratiquement constant du gain 4 à 16, cela devrait améliorer les performances en bruit.

En ce qui concerne les fonctionnalités, le comparateur doit pouvoir en gérer plusieurs, comme :

- La pleine résolution, c'est-à-dire connecter la totalité de la matrice aux comparateurs.
- Le mode de binning
 - o Le binning horizontale : Les tensions de pixel sont moyennées à l'entrée de l'ADC.
 - o Le binning vertical : Les charges du pixel sont additionnées dans le pixel.
 - o Full binning: Binning horizontal + binning vertical.
- Les modes de test:
 - o Le bruit fixe vertical : entrée du comparateur mis à la masse.
 - o La linéarité : Caractériser le convertisseur soit à l'aide de tension externe soit interne, cette dernière sera fournie grâce à un CNA (convertisseur numérique analogique).

Comme illustré sur la Figure 57, la structure du comparateur est fondée sur un amplificateur cascode replié, l'entrée est une paire différentielle NMOS et il est suivi d'un montage en source commune.

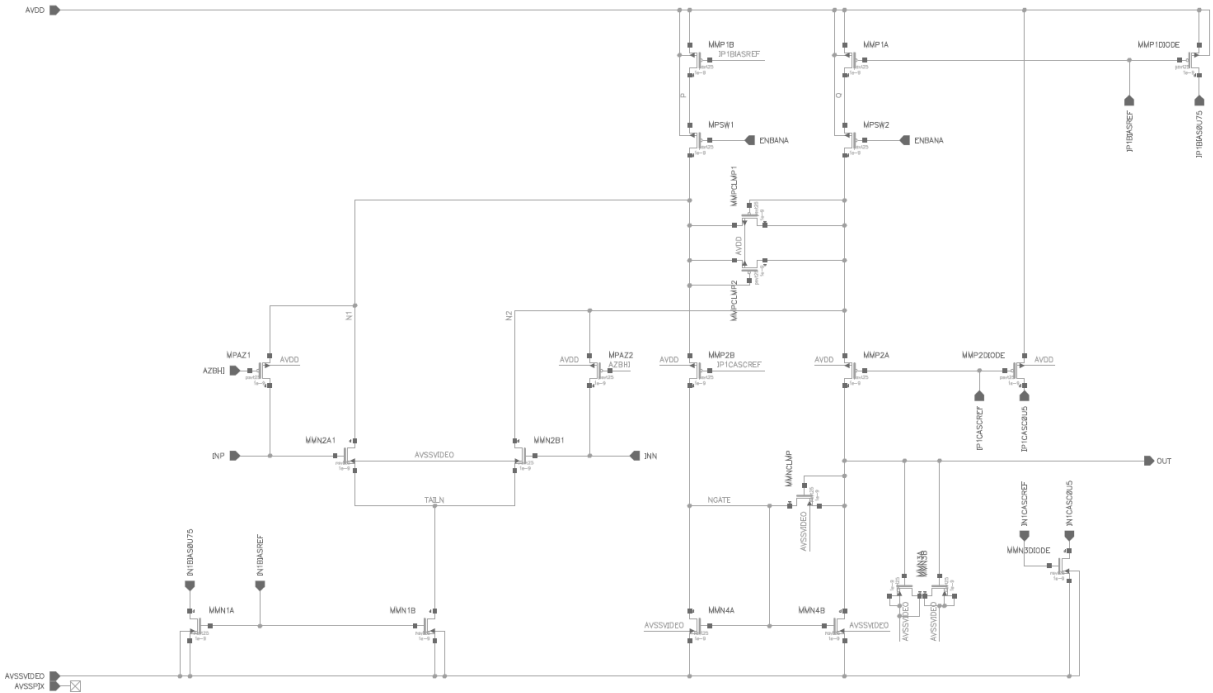


Figure 57: Comparateur base sur un montage à cascode replié

IV.3.3 Compteur et SRAM

La Figure 58 montre le schéma fonctionnel du compteur et de la SRAM.

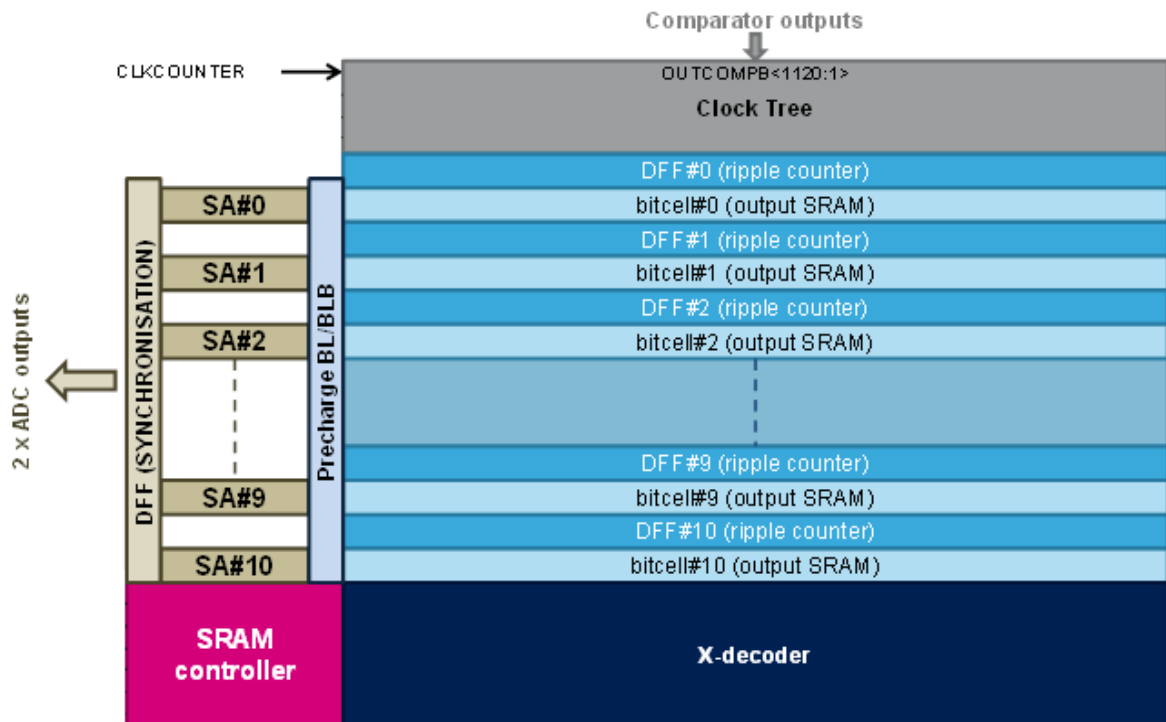


Figure 58: Schéma fonctionnel compteur + SRAM

Dès que la rampe commence à décroître, le compteur est lancé et il est arrêté lorsque la rampe croise la valeur du pixel. Le compteur est composé de bascules D rebouclées sur elles-mêmes, mises en série et alimentées par une horloge externe. C'est donc un compteur asynchrone ou encore un ripple counter. Ainsi chaque bascule sert de diviseur par deux et fournit l'horloge divisée par deux à la bascule suivante. Ensuite la valeur stockée dans la bascule est envoyée à une cellule de la SRAM puis envoyée vers le digital à l'aide d'un amplificateur (SA : Sense Amplifier).

Pour ce capteur on utilise le digital CDS, on doit donc effectuer une soustraction de la valeur stockée dans la SRAM. Dans un état de l'art antérieur, c'était le compteur croissant/décroissant qui était utilisé pour effectuer le digital CDS [25]. Actuellement, l'architecture du capteur permet au compteur d'avoir une fréquence de 800MHz. Cependant l'utilisation d'un compteur croissant/décroissant avec une telle fréquence consomme 50% de plus qu'un compteur basique croissant ou décroissant.

Le timing suivant est proposé pour effectuer une soustraction de la valeur de référence et du signal de manière intelligente avec un simple compteur croissant. Durant la phase de reset, le compteur ne va pas s'incrémenter au début de la rampe mais à partir du moment où le comparateur a changé d'état jusqu'à la fin de la rampe, on aura donc $N_{ref} = N1 - N1'$. Pour la phase de signal, le compteur va s'incrémenter du début de la rampe jusqu'à ce que le comparateur change d'état. On obtient seulement la valeur du signal $N_{sig} = N2$. Ce principe est illustré sur la Figure 59.

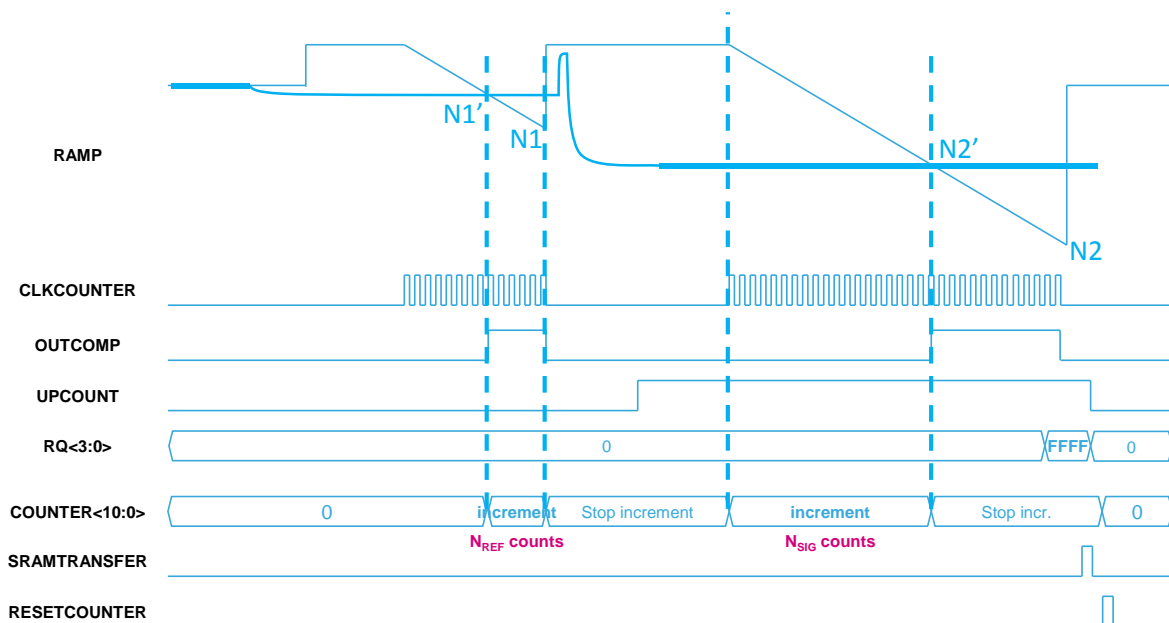


Figure 59: Timing du compteur

Le signal UPCOUNT sert à indiquer dans quelle phase on se situe, c'est-à-dire si on convertit avec la première rampe ou bien la seconde. Avec un tel timing la valeur présente à la fin du comptage est $N_{sig} - N_{ref} + N1$. L'opération de CDS est bien effectuée car on obtient $N_{sig} - N_{ref}$, il suffit simplement de soustraire la valeur $N1$, chose qui est faite facilement car cette valeur est commune et fixe pour toutes les colonnes, elle représente la longueur de la 1^{ère} rampe.

Pour s'assurer de la valeur maximale du compteur puis éviter qu'il reparte à zéro, le signal RQ est utilisé pour bloquer le compteur. En fin de conversion, les données sont transférées du compteur vers la cellule SRAM à partir du signal SRAMTRANSFER. Ensuite le compteur est remis à zéro, vu le grand nombre de bascules à remettre à zéro, le compteur est initialisé de 3 bits en 3 bits du LSB au MSB. Un registre à décalage s'assure de la bonne remise à zéro de tous les compteurs dans toute la matrice de pixels.

A vrai dire, le compteur est conçu à partir d'un compteur décroissant et toutes les bascules sont remises à zéro lorsque RESETCOUNTER est à '1'. Le premier étage du compteur est un latch qui permet de propager l'horloge à une fréquence divisée par deux. En effet, le LSB temporel est de 1.25ns (800MHz) mais le signal CLKCOUNTER est à 400MHz. Cependant, le duty cycle doit être de 50% tout le long du chemin de l'horloge. Dans le cas où le duty cycle se dégraderait, l'INL/DNL du CAN serait affecté.

La Figure 60 montre le schéma de la SRAM.

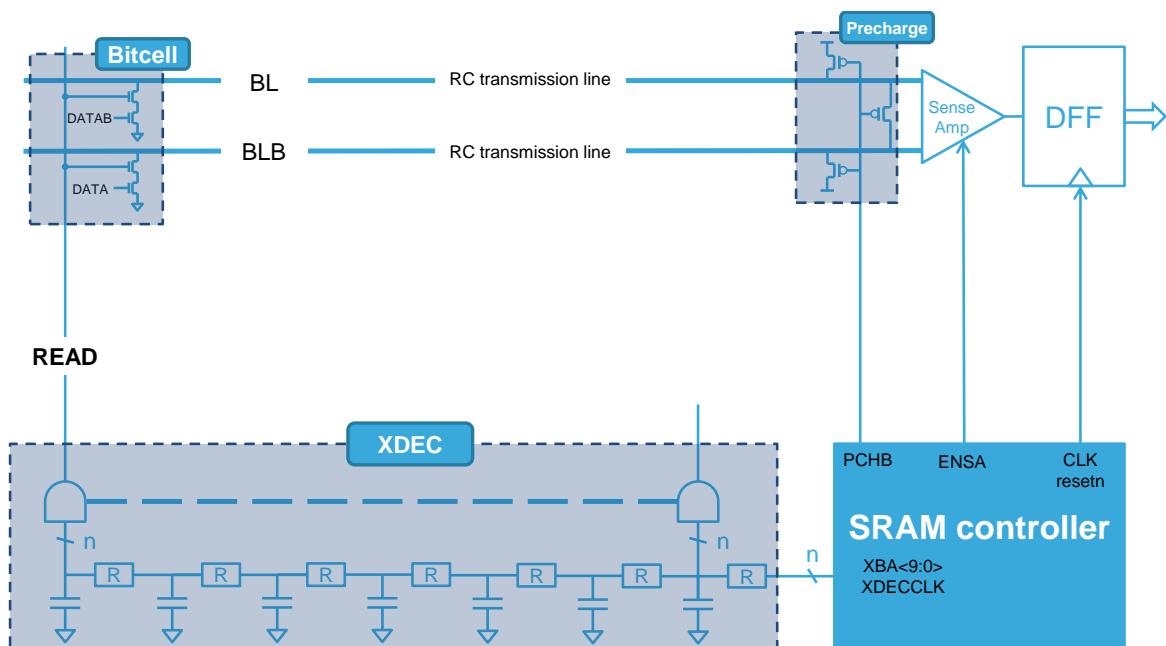


Figure 60: Schéma block de la SRAM

La cellule de SRAM est un 6T qui sert à sauvegarder la valeur provenant du compteur. Le signal XDECCLK définit en combien de temps la bitcell décharge la bitline de 50 à 100mV qui est pré-chargé à 1.2V. La bitline n'a pas besoin d'être trop déchargée sinon cela peut prendre du temps à la recharger, c'est d'ailleurs ce qui bloque l'augmentation de la fréquence du compteur.

Le sense amplifier s'active au front montant du signal ENSA et un système de non chevauchement a été mis en place. Pour éviter d'avoir en même temps le « pull-down » de la bitcell et la pré-charge de la bitline. La Figure 61 montre le timing de la SRAM.

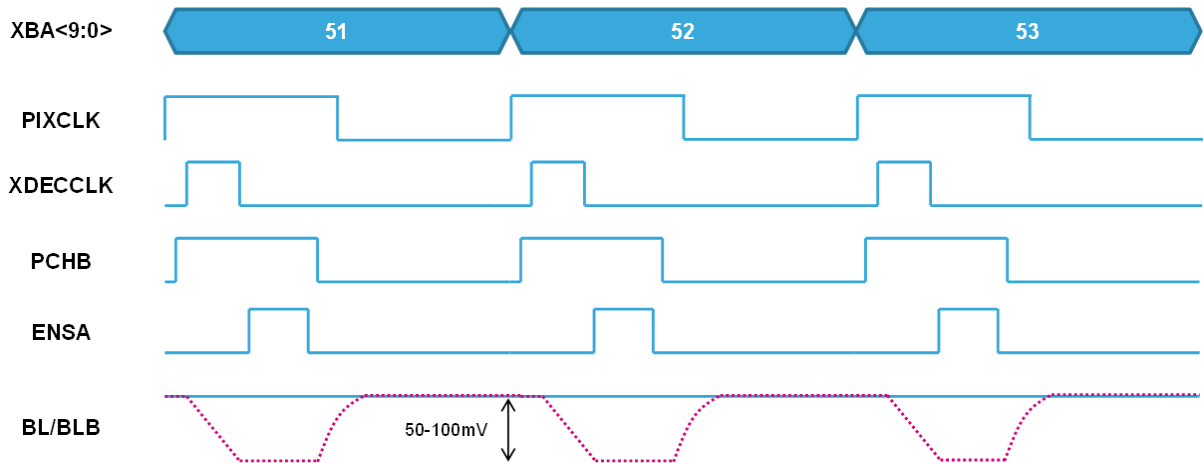


Figure 61: Timing de la SRAM

Lors du design de ce bloc compteur et SRAM, plusieurs paramètres ont été vérifiés, comme la consommation, la forme de l'horloge à travers toute son arborescence et les chutes de tensions. En effet, tous ces paramètres peuvent affecter l'INL et DNL dans le convertisseur. Sachant que la SRAM est très sensible aux capacités parasites, elles peuvent ralentir son fonctionnement et fournir en sortie une mauvaise valeur, on doit revoir tous ces paramètres après une extraction de toutes ces capacités parasites. Comme les blocks précédents les test et résultats de ce block seront présentés dans le dernier chapitre de ce rapport.

IV.4 Technique de calibration

Pour ce convertisseur avec une rampe par morceaux et Digital CDS, l'un des composants important est bien sûr le générateur de rampe. En effet, en plus de devoir créer 2 rampes décroissantes, pour pouvoir effectuer le digital CDS, la seconde rampe doit pouvoir changer de gain pendant la conversion.

Pour changer le gain de la rampe par morceaux il suffit lors de la seconde rampe de changer la valeur du courant comme expliqué dans la partie précédente. Les problèmes et les solutions liés au D-CDS et à ce changement de pente sont exposés ici.

Pour un convertisseur à rampe « classique », il est bien connu que le délai du comparateur dépend de la pente de la rampe et du mismatch tout au long de la matrice d'ADC. Ce phénomène est illustré sur la Figure 62.

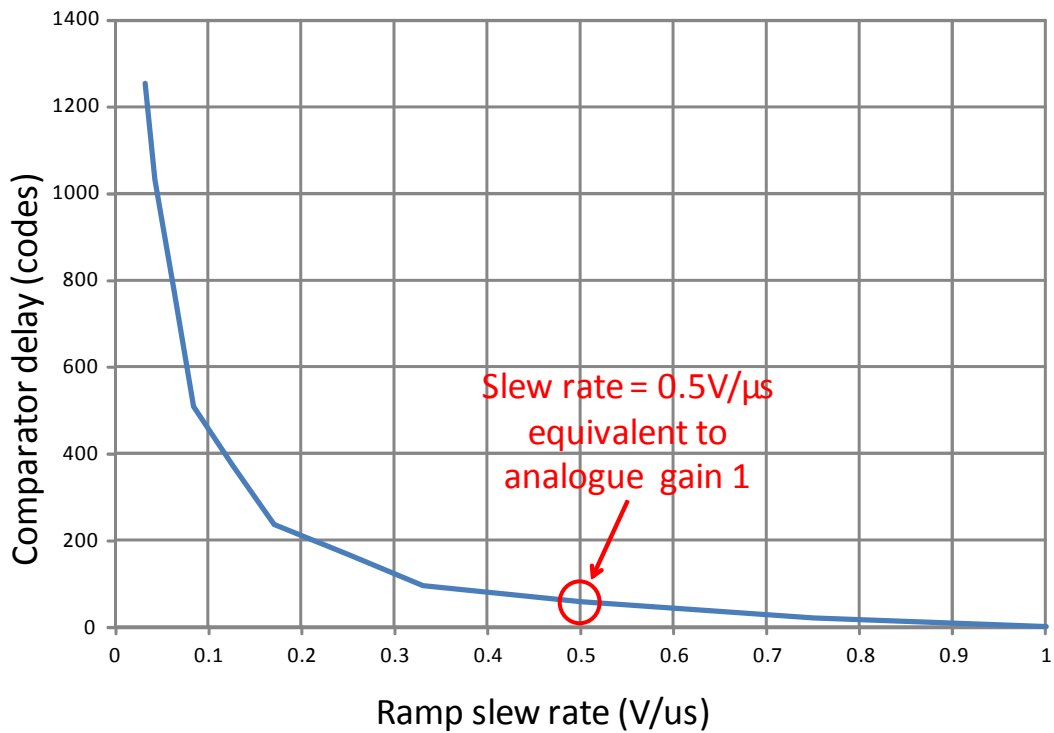


Figure 62: Délai du comparateur en fonction de la pente de rampe

Avec l'utilisation de différentes pentes dans la rampe par morceaux, le délai du comparateur est responsable d'un offset qui n'est pas constant sur toute la dynamique de la rampe. Dans ce cas le digital CDS permet de compenser seulement un segment de la rampe par morceaux. Comme on peut le voir sur la Figure 63, le digital CDS linéarise de façon très précise le premier segment. En effet, le premier segment de la deuxième rampe a la même pente que la première rampe ce qui n'est pas le cas pour les autres segments de la pente.

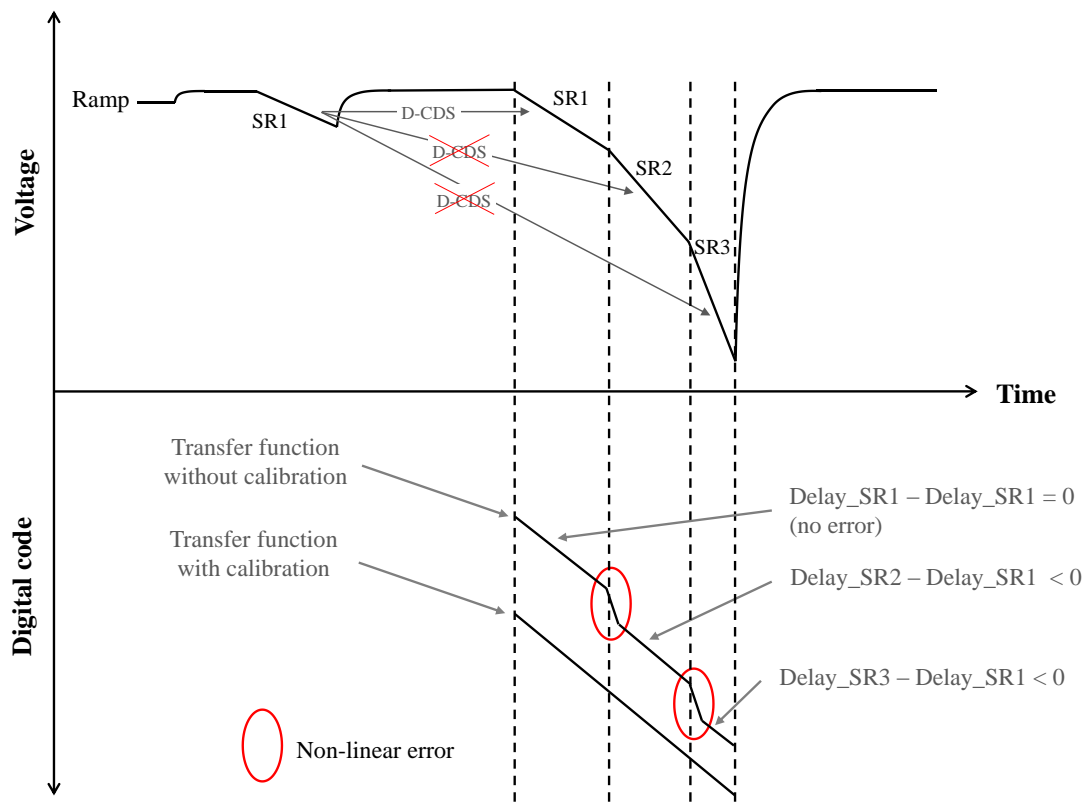


Figure 63: Erreur de conversion introduite par le comparateur

De plus une grande distorsion apparaît lors du changement de pente, une calibration est donc nécessaire. Il y a 2 raisons majeures à cette distorsion : la première est une bande passante qui n'est pas infinie du buffer de rampe et qui lisse la cassure de rampe. La deuxième raison est due à la modulation du délai du comparateur à cause du changement de pente. En supposant l'utilisation de 2 ou 3 segments, la technique de calibration employée doit être assez flexible pour pouvoir traiter les données de chaque colonne. Deux solutions ont été implémentées. La première est issue d'une mesure supplémentaire faite pour extraire l'offset créé par les différents segments. L'autre solution pour calibrer la non-linéarité est fondée sur une mesure supplémentaire et une interpolation. Tout d'abord, la reconstruction d'un segment linéaire avec la compensation du délai du comparateur peut facilement être implémentée en utilisant le digital CDS. En effet, les données de sortie pour le premier segment sont automatiquement calibrées par le digital CDS. Cependant, la technique de calibration doit pouvoir gérer la calibration des segments #2, #3... L'idée mise en place consiste à adapter le digital CDS pour déterminer la différence de délai entre la pente #1 et les autres pentes. Comme illustré sur la Figure 64, la différence de délai est extraite en convertissant la masse (tension=0), en utilisant la pente #1 pour la première rampe et les autres pentes pour la deuxième rampe. En effet, si l'entrée du comparateur est court-circuitée à la masse le résultat de cette conversion sera seulement le délai du comparateur. On pourra donc ensuite simplement le soustraire lors de la « vraie » conversion.

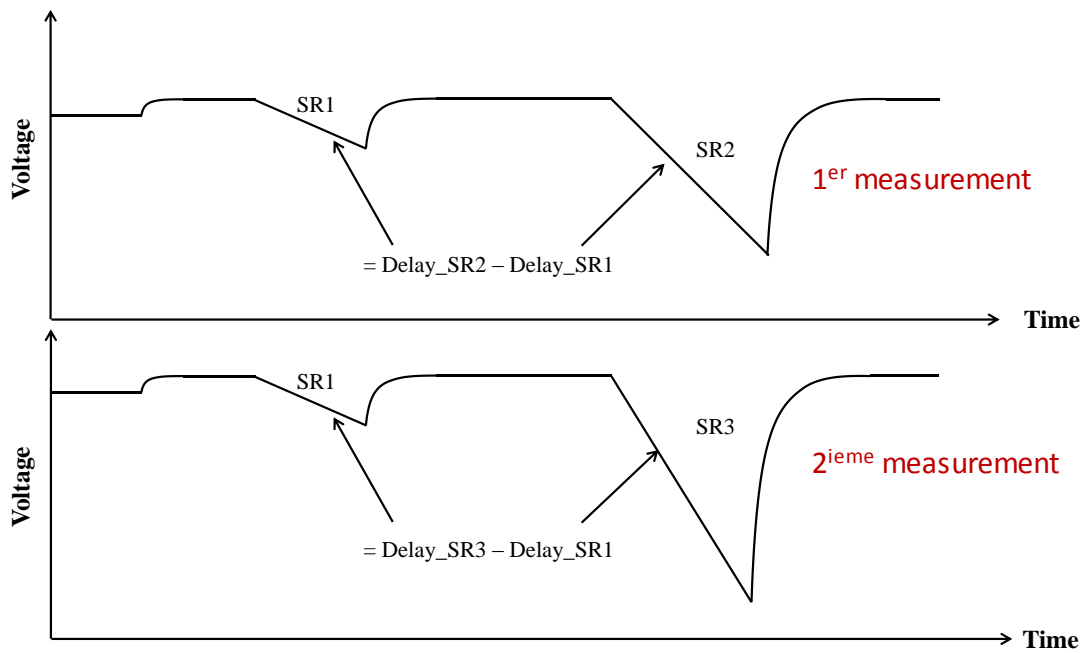


Figure 64: Mesure supplémentaire pour la calibration de l'offset d'un signal a la masse

Finalement, les données numérisées seront traitées en externe dans le cadre de la thèse mais le but final serait d'embarquer la partie digitale. Par ailleurs, les données calibrées devront être appliquées à toutes les colonnes dans le but de corriger les variations à cause des mismatch provoqués par les variations de température, process et alimentation. Les résultats de ces mesures sont montrés dans le chapitre suivant. En ce qui concerne la compensation de la non-linéarité au niveau de la cassure, là aussi une mesure supplémentaire doit être prise. La solution mise en place consiste à utiliser un pixel classique et de remplacer la photodiode par une résistance afin d'avoir un diviseur de tension le long de la matrice de pixels comme illustré sur la Figure 65. Une ligne supplémentaire en bas de la matrice avec ce pixel modifié doit être ajoutée pour pouvoir effectuer cette calibration.

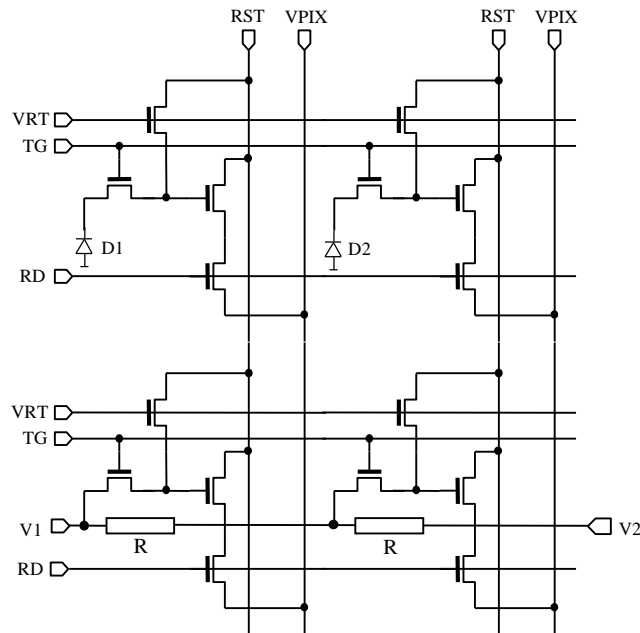


Figure 65: Pixel 4T avec un pont diviseur résistif horizontal

Grâce à ce diviseur de tension on va pouvoir comparer toutes les valeurs autour de la cassure, fondée sur une conversion à rampe linéaire. À partir de ces résultats, il faut calibrer la valeur convertie. Cependant, le problème avec cette solution est que si il faut l'embarquer sur circuit, le nombre de valeurs à stocker est trop important et prendra beaucoup de place sur silicium. L'idée est de réduire ce nombre de valeurs en venant interpoler les valeurs intermédiaires. Cela est possible car la valeur convertie est continue en fonction de la valeur d'entrée à convertir. Malheureusement, par manque de temps, ce diviseur de tension n'a pas pu être implémenté, seulement son layout et simulation PLS (post layout extraction) ont été faits.

En ce qui concerne l'algorithme d'interpolation, plusieurs solutions ont été étudiés.

L'interpolation polynomiale : C'est une généralisation de l'interpolation linéaire qui simplement possède un coefficient d'interpolation plus élevé et qui est un polynôme. Généralement, si on possède N points pour interpoler une courbe, il existe exactement un polynôme de degré N-1 qui passe par tous ces points.

L'interpolation linéaire : C'est l'une des méthodes les plus simples, dans ce cas le coefficient d'interpolation est une droite affine. En d'autres termes, on utilise seulement 2 points d'interpolation et à partir de cette équation

$$y = y_a + (y_b - y_a) \frac{x - x_a}{x_b - x_a} \quad \text{pour la donnée}(x, y)$$

On peut retrouver les inconnus entre ces 2 points.

L'interpolation cubique (spline) : Pour l'interpolation linéaire c'est une droite affine qui est utilisée mais pour la cubique c'est un polynôme de faible degré. Par rapport à l'interpolation polynomiale, celle-ci est bien évidemment plus facile à évaluer, car le polynôme a un degré plus faible.

Par rapport au nombre de points qui vont être extraits, c'est l'algorithme d'interpolation le plus simple qui a été choisi, c'est-à-dire, l'interpolation linéaire. Le principe est de convertir chaque valeur issue du diviseur de tension du pixel avec une rampe linéaire, puis une rampe par morceaux. Finalement, il faut établir la différence de ces deux valeurs pour obtenir l'offset créée par la cassure de rampe. Les valeurs se situant entre 2 points de mesure sont ensuite interpolées. Les résultats de cette interpolation seront présentés lors du test du circuit, dans le dernier chapitre.

IV.5 Conclusion

Le capteur développé a montré en simulation être capable de lire des signaux électriques ayant une excursion maximale de 1.1V avec un temps ligne de 6.438us avec le convertisseur à rampe linéaire. Au cours de ce travail, des modes de test ont aussi été pensés et mis en place pour permettre la caractérisation du circuit. La partie novatrice est l'utilisation d'une rampe par morceaux qui en simulation réduit le temps ligne de 1us qui a besoin d'une calibration. Cette dernière n'a malheureusement pas pu être mise en place totalement à cause d'un manque de temps. En effet, le pixel avec le diviseur de tension n'a pas pu être fini à temps pour être embarqué sur le test chip. Cependant, l'idée de secours serait d'utiliser - pour la caractérisation- l'un des modes de test du circuit pour fournir depuis l'extérieur toutes les tensions qui auraient été fournies par le diviseur de tension.

V. Test et résultats expérimentaux

Un prototype de capteur d'image CMOS de 13Mpixel a été fabriqué en 65 nm, 5 niveaux de métaux, 1 seul niveau de poly en technologie CMOS standard. La puce micrographique de ce prototype est montrée sur la Figure 66. La taille totale de la puce est de 6.5mm(V)x6.3mm(H) et ce circuit est packagé dans un module de 256 pins. Les résultats de mesure issus de ce prototype sont présentés dans ce chapitre.

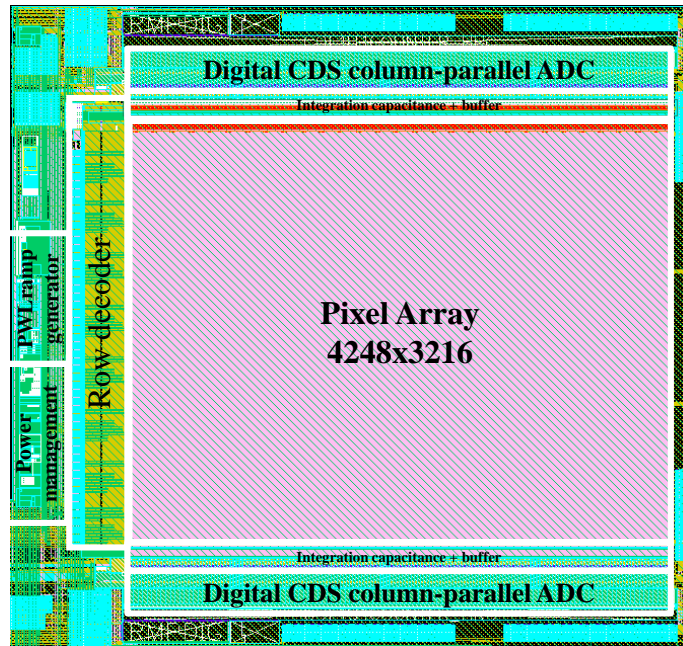


Figure 66: Puce micrographique

V.1 Environnement de test

La plateforme de test mise en œuvre a été conçue afin de laisser une grande flexibilité à l'utilisateur dans l'ensemble des mesures qu'il souhaite réaliser. C'est pourquoi les tensions d'alimentation du circuit sont générées en externe à l'aide de régulateurs de tension réglables via un potentiomètre, ou bien à l'aide de convertisseurs numérique-analogique programmables via le FPGA et l'ordinateur. La carte mise au point embarque plusieurs composants comme un FPGA, un circuit mémoire (Flash) et plusieurs types d'interfaces de communication (I2C, FIFO, protocoles spécifiques développés par ST). L'architecture de la plateforme est représentée par un schéma en Figure 67, où des codes couleur ont été utilisés pour séparer les éléments situés sur la carte analogique (en rouge) de ceux situés sur la carte de contrôle numérique (en bleu).

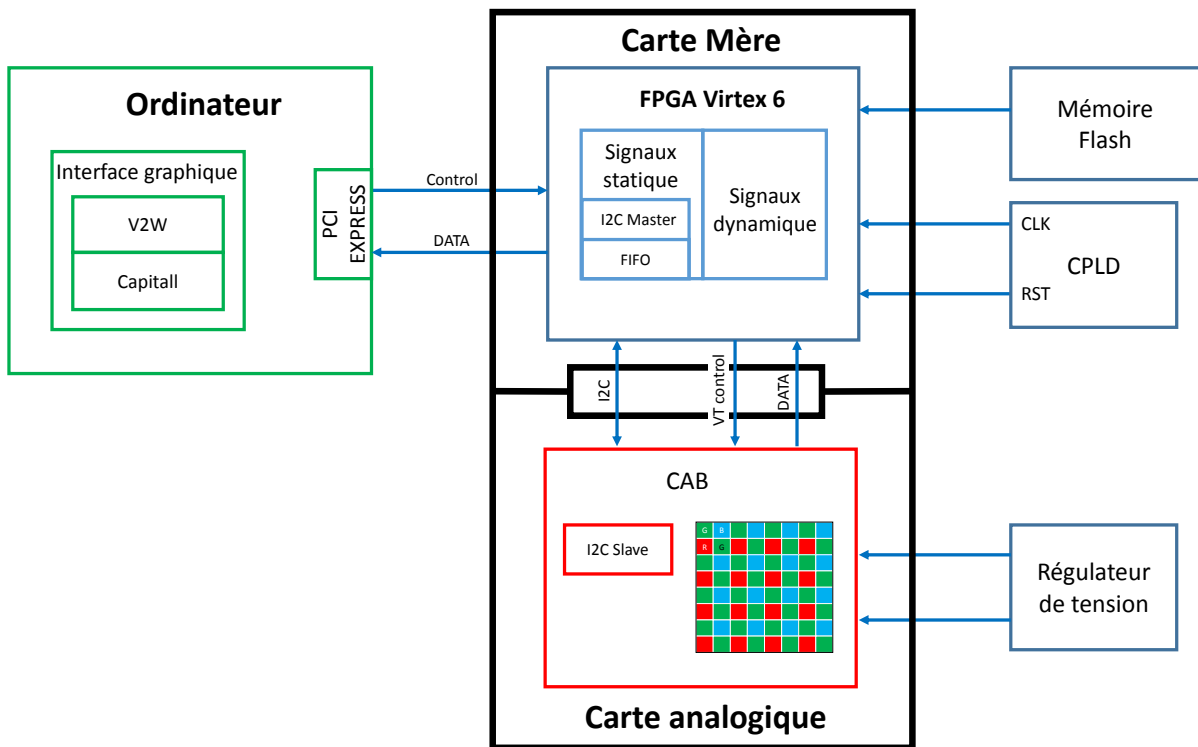


Figure 67: Schéma bloc décrivant la plateforme de test

Le FPGA a pour but de communiquer avec la plupart des composants présents sur la carte via des protocoles de transfert I²C (Inter-Integrated Circuit) ou SPI (Serial Peripheral Interface). Les diverses valeurs des signaux de contrôle du circuit, des convertisseurs analogique-numérique ou des régulateurs internes au circuit sont lues et écrites par l'intermédiaire du FPGA suite à des commandes émises par l'ordinateur. Le FPGA permet aussi de générer les signaux de contrôle du capteur et de programmer le registre de configuration de ce dernier lors de l'initialisation. Il s'occupe également de générer l'horloge de référence de la carte analogique et d'acquérir les données transmises par le convertisseur analogique-numérique. Aucune donnée n'est traitée dans le FPGA, en effet les données de sorties issues du CAN sont directement envoyées vers l'ordinateur. Ce dernier a pour but de reconstruire l'image complète à partir de toutes les valeurs de pixel converties sur le capteur. Enfin un circuit à logique programmable (« Complex Programmable Logic Device » CPLD) est présent pour gérer les horloges des différents composants.

V.1.1 Carte Mère

La Figure 68 montre la carte mère disposant de 12 connecteurs de tranches comptant plus de 400 entrées/sorties directement branchés au FPGA, ce qui permet la communication entre la carte mère et la carte analogique. Le FPGA reçoit de l'extérieur une horloge de 200 MHz générée à partir d'une PLL (Phase Locked Loop) présente dans le CPLD. De même, le FPGA dispose en interne d'une banque de plus de 25 Mo de mémoire SRAM fonctionnant jusqu'à 1600 MHz soit la possibilité de stocker les données de 2 images consécutives du capteur de 4248(H)x3218(V) pixels. La carte flash est la mémoire

où est stockée la configuration du FPGA en vérilog en prenant en compte aussi les différents timings des signaux qui pilotent la puce. Ce qui rajoute de la flexibilité sur les timings car ils peuvent être modifiés facilement pour tester les différentes spécificités du circuit. Des boutons poussoirs aussi ont été placés pour la remise à zéro du FPGA comme indiqué sur la Figure 69, ainsi que pour la carte mémoire flash dans laquelle est inscrite la configuration du FPGA. Cette carte à une dimension de 18x18 cm.

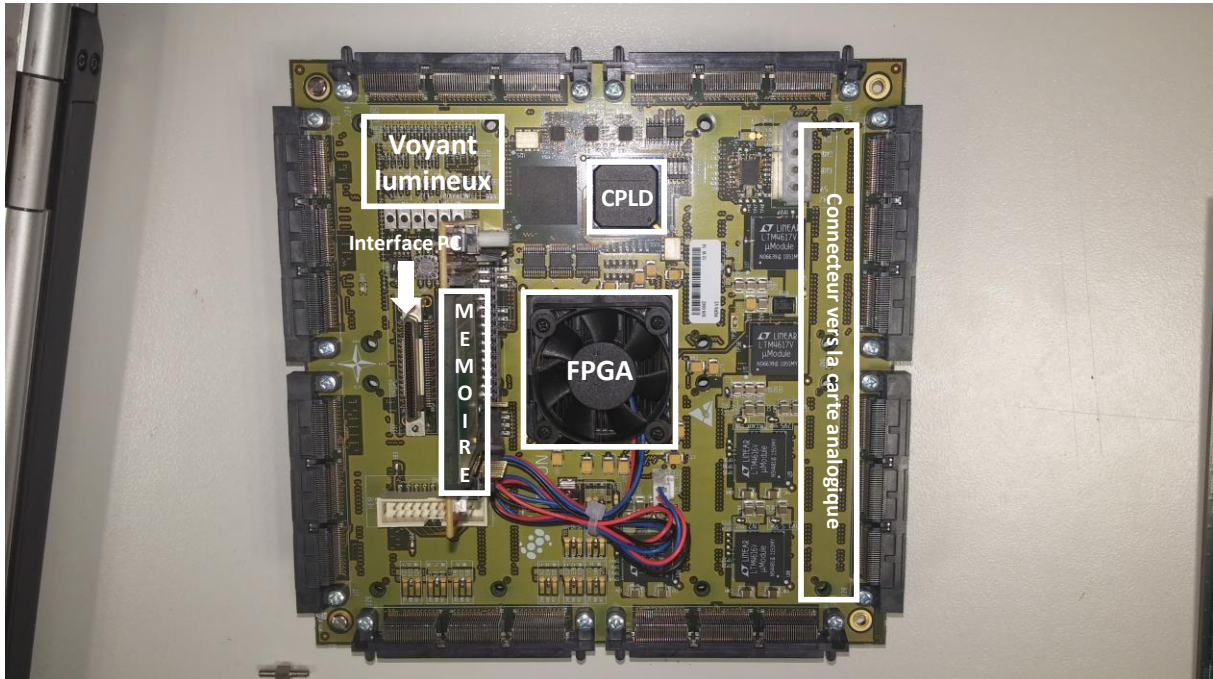


Figure 68: Vue d'ensemble de la carte mère

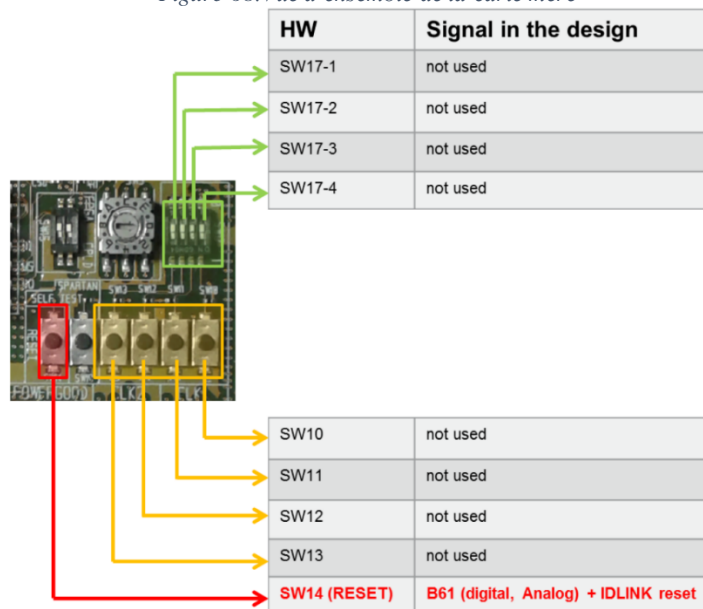


Figure 69: Zoom sur la partie remise à zéro

V.1.2 Carte Analogique

Sur la Figure 70 on peut voir tout d'abord sur la gauche les 12 connecteurs pour la liaison à la carte mère pour l'envoi des signaux provenant du FPGA vers le prototype. Cette carte a une dimension de 24.5x18 cm. Cette dernière a été conçue de façon à avoir une grande flexibilité pour le test. De cette façon, cette carte est composée d'un grand nombre de potentiomètres sur le contour pour pouvoir amener toutes les tensions désirées, notamment les tensions d'alimentation du pixel (VSF, VRSTLO, VRSTHI, VBOOSTHI, VRTRSTHI, VTGHI, VTGLO, VRTRSTLO), de la partie lecture des pixels (AVDDRMPGEN, VAZHI). Ces tensions fournies par l'extérieur peuvent être déconnectées et utiliser les régulateurs internes à la puce grâce aux cavaliers situés près des potentiomètres. Des points de test ont été prévus afin de déboguer facilement la carte, ou d'observer à l'oscilloscope certains signaux intermédiaires de la chaîne de traitement analogique.

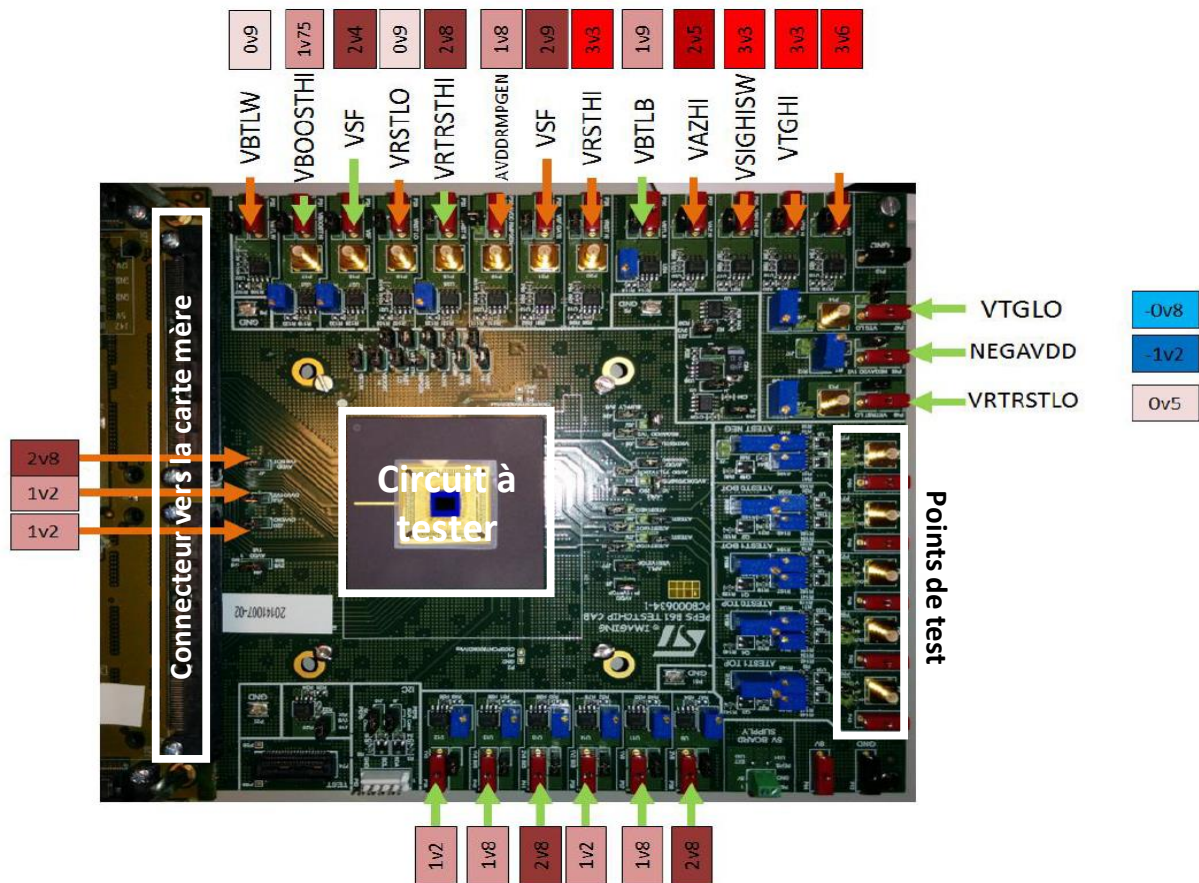


Figure 70: Vue d'ensemble de la carte Analogique

V.1.3 Interface Graphique

Une carte PCI express intégrée dans l'ordinateur fait le lien avec la plupart des composants présents sur la carte test. Cette dernière permet aussi de transmettre les images acquises par l'ordinateur à l'aide d'un protocole normalisé appelé IDLINK. Une photographie complète de la plateforme de test est donnée en Figure 71. On peut voir au centre de la photo la connexion entre la carte, le circuit programmable (FPGA) et la carte analogique avec le circuit à tester.

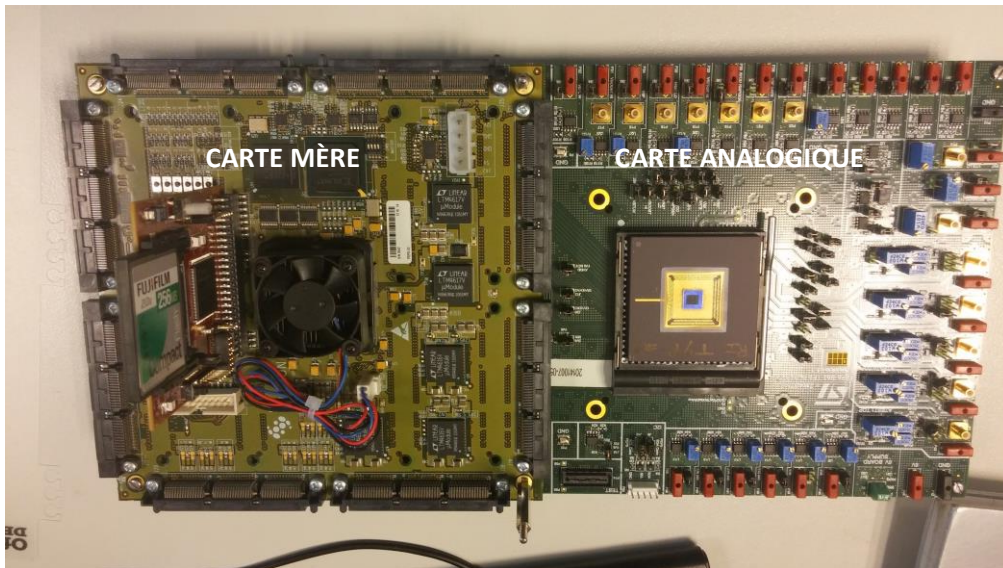


Figure 71: Vue d'ensemble de la plateforme de mesure.

L'utilisation de la carte d'interface capteur d'images/ordinateur a permis d'utiliser un certain nombre de logiciels développés par STMicroelectronics. Un de ces logiciels est une interface graphique V2W (voir Figure 72), codé en langage C++ permettant de contrôler les composants et les modes de fonctionnement spécifiques à l'application. Par exemple, le temps d'intégration, le gain analogique, la valeur des courants.

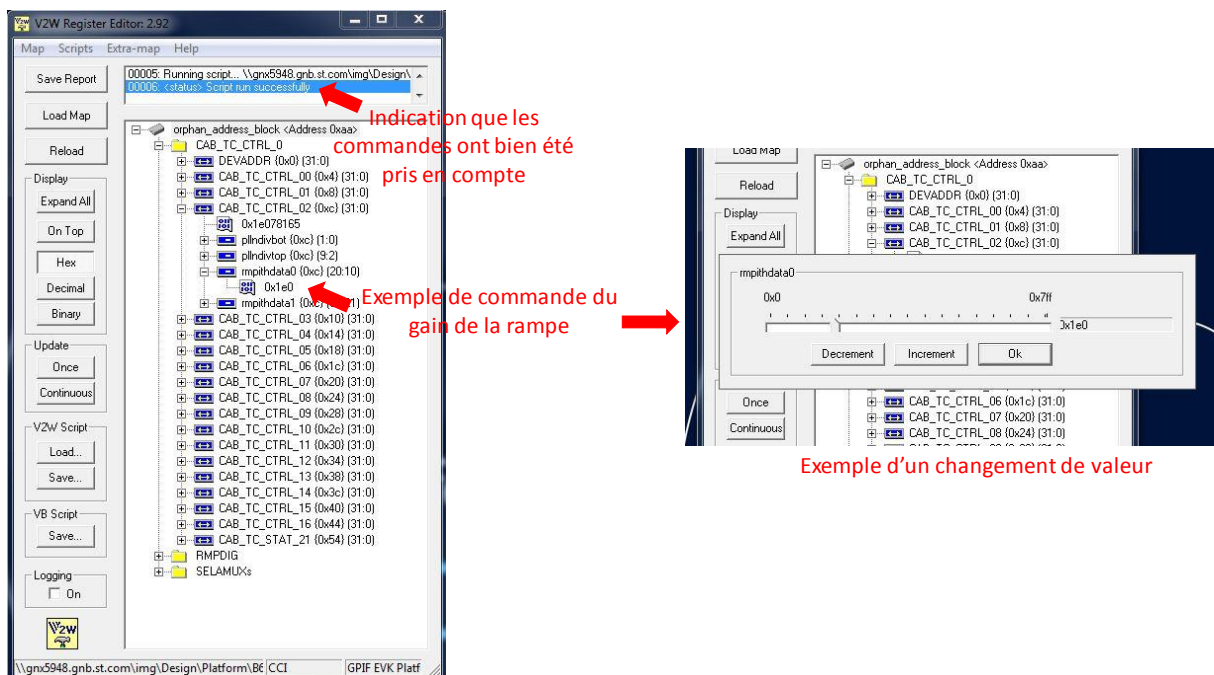


Figure 72: Interface de contrôle V2W.

L'ensemble des données transmises par le FPGA sont récupérées et affichées par un logiciel dédié à cet usage. Ce logiciel s'appelle CAPITALL développé en interne par ST. Ce logiciel permet surtout de sauvegarder les images dans un format non-compressé, 13Mpix dans le cas de ce capteur. Ces images

pourront ensuite être traitées hors ligne sous MATLAB pour mesurer la caractéristique souhaitée. Les valeurs acquises sont issues du convertisseur analogique-numérique codé sur 11bits. Ces valeurs dépendent bien sûr soit des valeurs provenant du pixel, soit de l'ADC test interne/externe, soit de la masse (cf. Figure 73). Ce dernier mode sera souvent utilisé pour la mesure du VFPN. Le mode ADC test quant à lui, fournit une tension équivalente à celle du pixel, cela est utile pour isoler l'ADC pendant le test. Des informations supplémentaires sont présentes en haut à gauche de la fenêtre de ce logiciel, ces informations sont les coordonnées et la valeur du pixel.

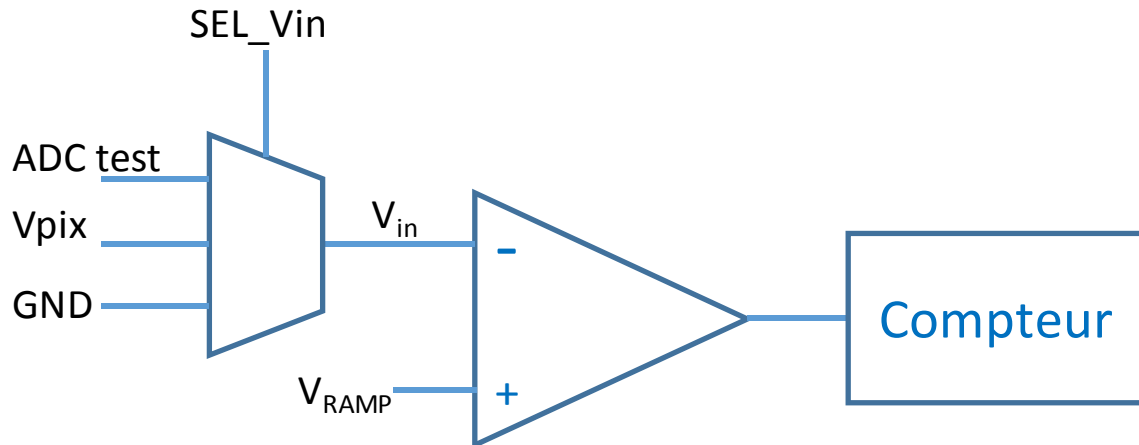


Figure 73: Sélection de l'entrée du comparateur

La Figure 74 ci-dessous illustre toutes ces informations. De plus, le menu « configuration » sert à charger un fichier contenant la correspondance entre les adresses de sortie du convertisseur analogique-numérique, du capteur et des adresses d'entrée de la carte PCI-express de l'ordinateur. Ce procédé permet d'afficher l'image dans le bon ordre.

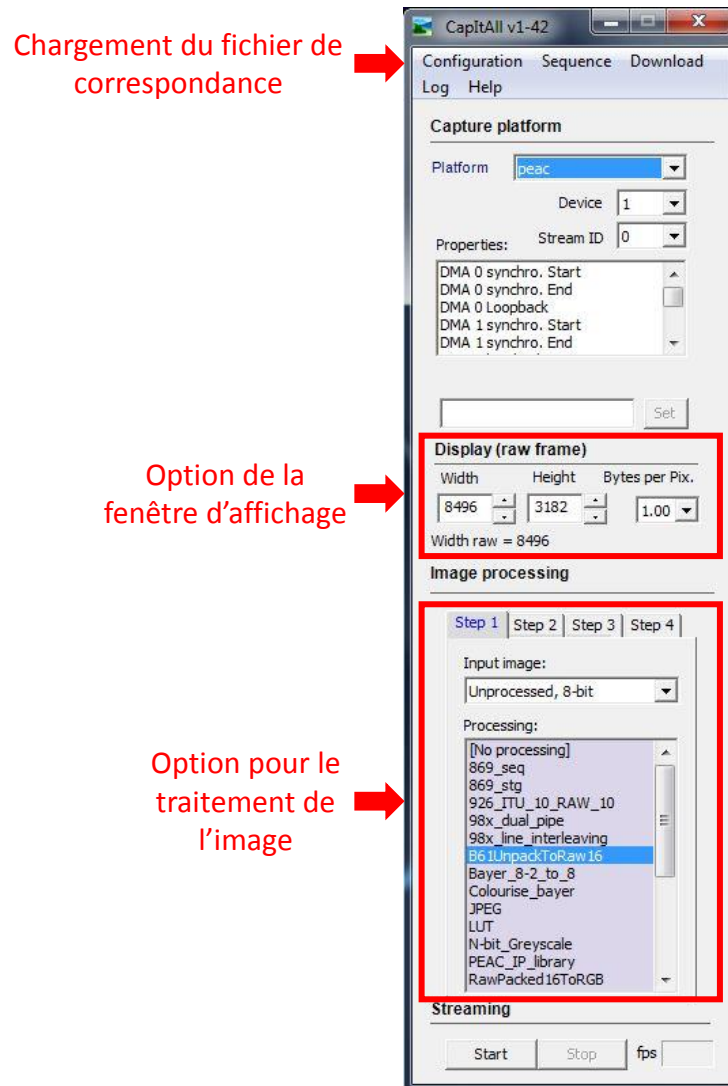


Figure 74:: Interface d'acquisition de Capitall

Dans les options pour le traitement de l'image sur la Figure 75, on peut ajouter un offset à l'image pour l'éclaircir ou l'assombrir, c'est l'option « pedestal ». Il est également possible d'appliquer un facteur multiplicatif, c'est l'option « right Shift ».

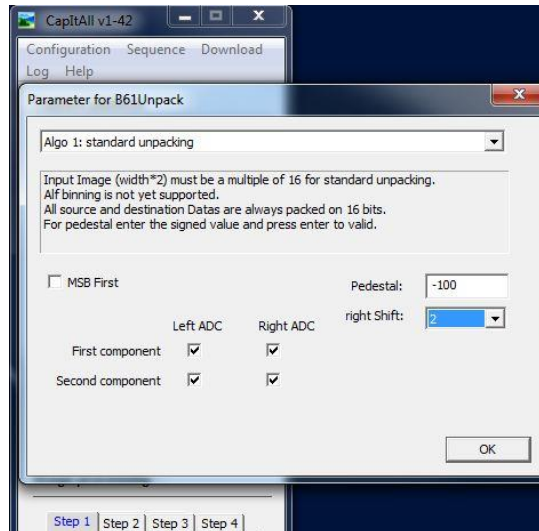


Figure 75: Interface pour le traitement de l'image sur CapItall

V.2 Caractérisation des performances et analyse d'images

Avant toute analyse des images obtenues avec la plateforme, l'évolution de la tension au niveau de la colonne pixel au cours de la lecture a été observée à l'oscilloscope. Ce nœud interne permet de vérifier que le contrôle du pixel se passe comme voulu. A partir des images obtenues dans les divers modes de fonctionnement, des paramètres du capteur tels que la consommation et la qualité d'image seront déduits. Les différents réglages seront effectués et comparés afin de déterminer si une conversion avec une rampe par morceaux est plus performante qu'une conversion avec une rampe linéaire. La meilleure architecture sera donc déterminée parmi les deux envisagées. Les performances de ce convertisseur confirmeront si cette architecture est suffisante pour augmenter la vitesse de lecture sans détériorer la qualité de l'image. Dans le cas négatif, des explications seront données pour expliquer quels sont les problèmes et comment ils pourraient être corrigés dans le futur. Des perspectives de ce travail seront avancées à l'issue des diverses mesures.

V.2.1 Tension d'une colonne de pixels

La Figure 76 montre la mesure à l'oscilloscope de la tension d'une colonne de pixels au cours d'une lecture d'un signal ambiant. Cela permet de vérifier que les temps d'établissement sont corrects et que le chronogramme est en accord avec la séquence mise en œuvre. On peut donc voir qu'il y a 3 étapes dans l'acquisition de la valeur du pixel : la valeur de reset, le transfert de charge et la valeur du signal du pixel.

La valeur du reset va servir de référence pour la lecture du signal du pixel. Ensuite on peut voir le transfert de charge, avec une injection de charge au début dû au transistor TG (Transfer Gate). Enfin, la valeur du signal du pixel lorsque toutes les charges ont été transférées de la photodiode jusqu'au nœud de lecture. Par exemple sur la courbe du milieu on peut voir qu'il faut 3 μ s pour que la valeur du signal soit établie parfaitement et la valeur du pixel pour cet exemple est d'environ 300mV.

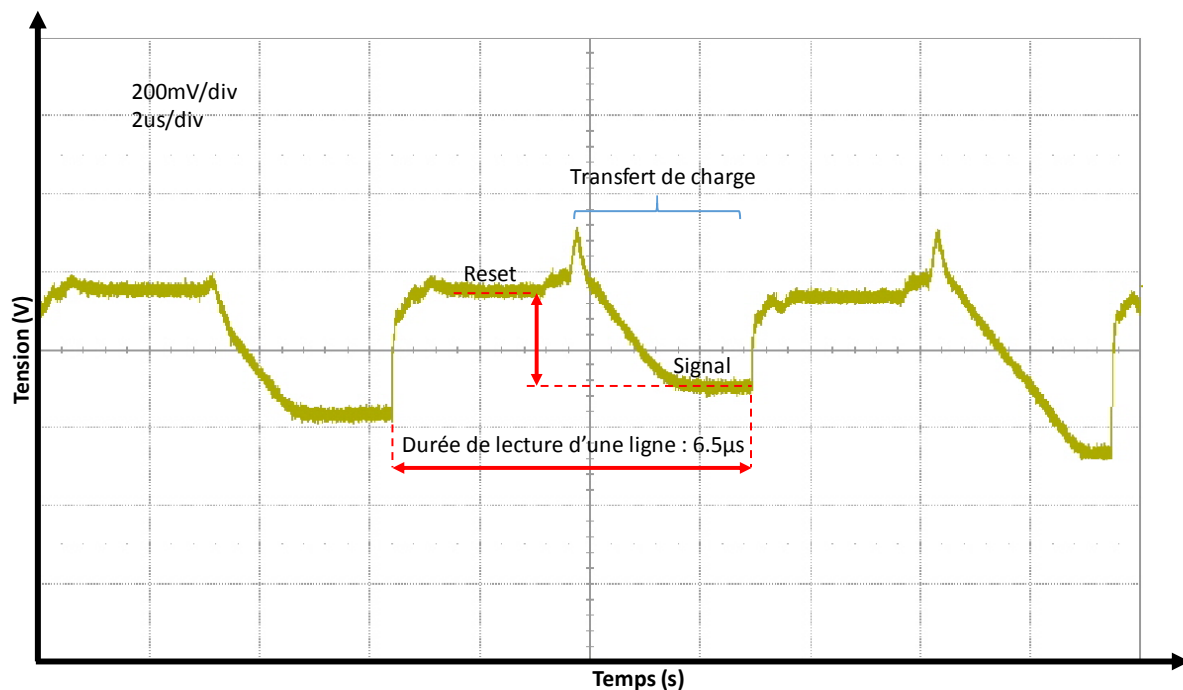


Figure 76: Evolution temporelle de la tension d'une colonne de pixels

V.2.2 Tension de la rampe linéaire et par morceaux

On peut voir sur la Figure 77 la mesure de la tension de la rampe linéaire durant une conversion. On doit vérifier le niveau de l'offset avant la première rampe. On attend une valeur d'offset pour le gain 1 de 74mV qui est confirmée à l'aide de cette mesure. On verra par la suite que cette valeur était bonne en simulation mais pas en mesure. Les gains de rampe ainsi que les timings sont également vérifiés. On peut voir notamment qu'à gain 1, la pente est de 625mV/us. Donc le temps ligne est 6.5µs et l'offset a une valeur de 100mV.

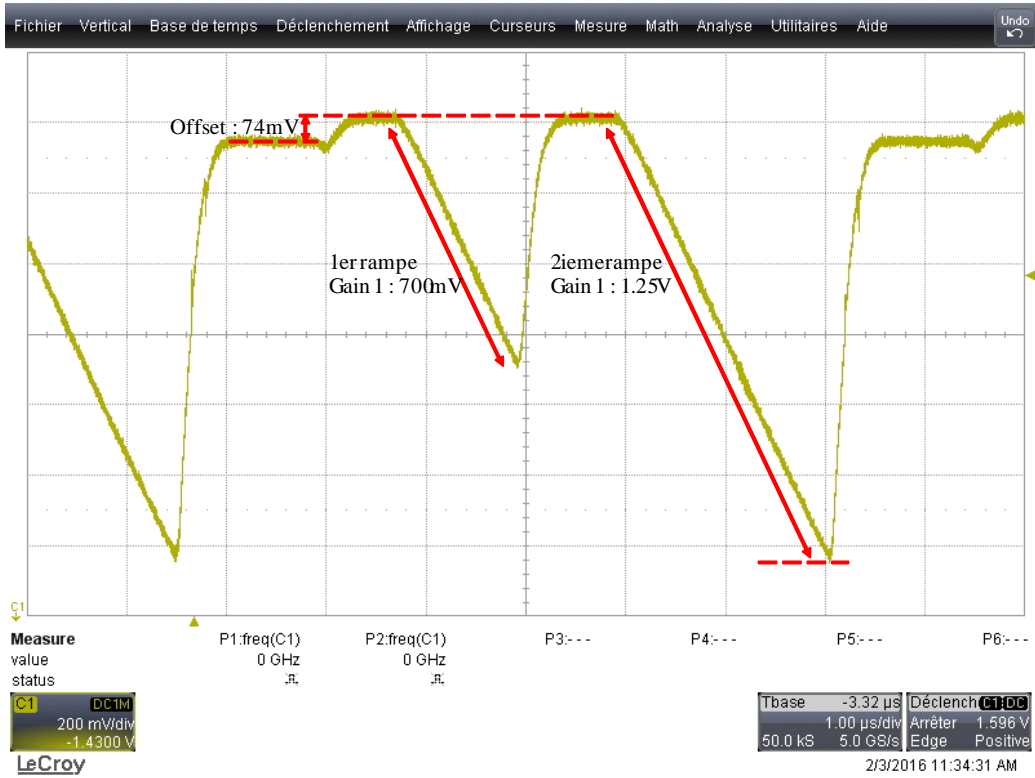


Figure 77: Evolution temporelle de la tension de la rampe linéaire

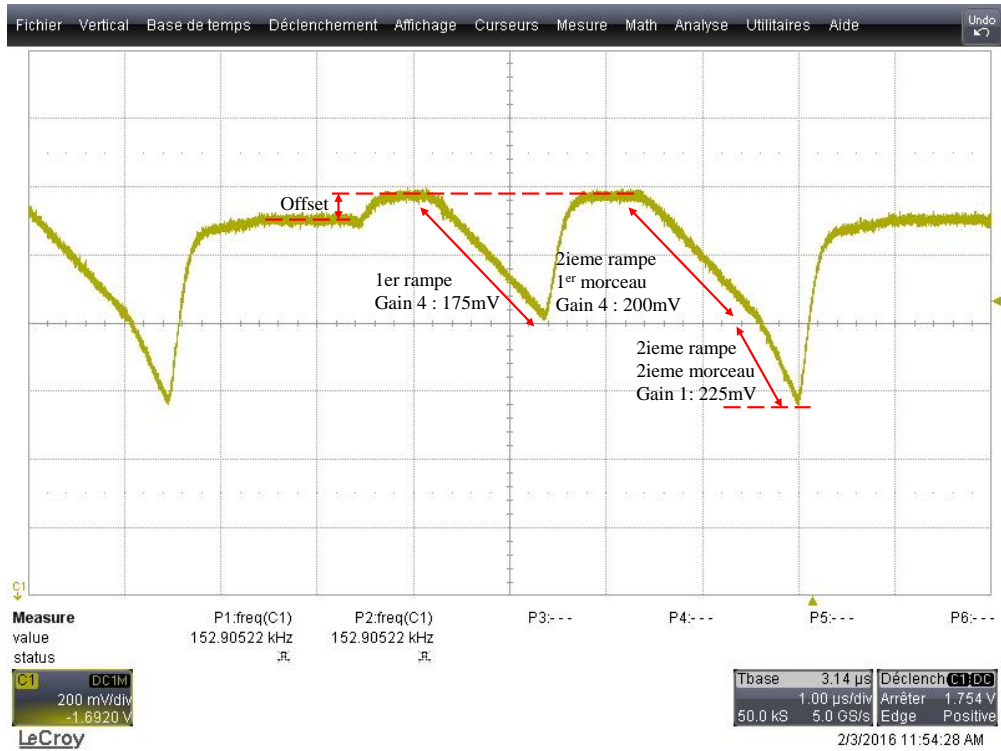


Figure 78: Evolution temporelle de la tension de rampe par morceau

Pour réaliser la rampe de la Figure 78, les timings de longueur de ligne ainsi que de gain bien évidemment sont modifiés à travers l'interface V2W décrit précédemment.

V.3 Caractérisation du capteur

Toutes les valeurs sont extraites du capteur de manière automatisée grâce à un programme en Python qui vient stimuler le capteur. Ce programme permet notamment de pouvoir prendre une séquence d'une trentaine d'images, afin d'augmenter le nombre d'échantillons pour les calculs statistiques et donc améliorer la qualité des résultats. Ce code en Python automatise la capture de plusieurs images consécutives. Le gain de la rampe du convertisseur varie en même temps, il est possible de récupérer les données en sortie de la SRAM pour les stocker directement dans un fichier de type EXCEL. Ce programme permet, en plus d'automatiser les mesures, de pouvoir gérer un générateur de tension externe pour la calibration d'une rampe par morceaux. On va pouvoir extraire la DNL du convertisseur puis le bruit en ligne et en colonne. Avant toute déduction des performances du capteur, il est nécessaire de faire des mesures en mode rampe linéaire et rampe par morceaux des performances de la chaîne de lecture en vue de corriger les données acquises.

V.3.1 Calibration d'une conversion avec la rampe par morceau

Suite à l'étude théorique développée au chapitre 3, les phases de calibration et de traitement de l'image ont été détaillées. Dû à un manque de temps lors de la conception de ce circuit, le pont diviseur de tension intégré au pixel n'a pas pu être implémenté. Par conséquent, à la place un générateur de tension externe programmable a été utilisé pour générer toutes les tensions nécessaires à la calibration. On peut extraire grâce à cela, toutes les valeurs autour de la cassure de la rampe avec une rampe par morceau et avec une rampe linéaire. Dans le cas de ces mesures, les écarts des tensions analogiques sont équivalentes à 5 LSB car cela demanderait une quantité de mémoire trop importante. Finalement, il faut utiliser l'algorithme d'interpolation, décrit dans le chapitre précédent, pour retrouver les valeurs intermédiaires. Cette phase de calibration a été automatisée et consiste donc à convertir des valeurs générées en externe tout au long de la dynamique de la rampe.

V.3.2 Linéarité

La Figure 79 montre la DNL du CAN avec une rampe par morceaux avant calibration. On constate que ces valeurs sont comme prévu, très détériorées au niveau de la cassure de la rampe. Ces mesures ont été faites à partir d'un générateur de tension externe, qui simule la valeur du pixel, sur toute la dynamique du convertisseur. Avec cette dernière méthode, cela oblige à faire autant de conversion que la dynamique du capteur est grande. C'est pour cela qu'il était prévu d'utiliser un pont diviseur de tension intégré dans un pixel pour faire cette opération en une seule conversion. Malheureusement, par manque de temps cette structure n'a pas pu être mise en place. De plus, il faut savoir que pour un imageur l'INL du convertisseur a peu d'intérêt car l'INL du signal fourni par le pixel n'est pas suffisamment bonne par rapport à celle de l'ADC. C'est pour cela que seul la DNL figure dans ce travail.

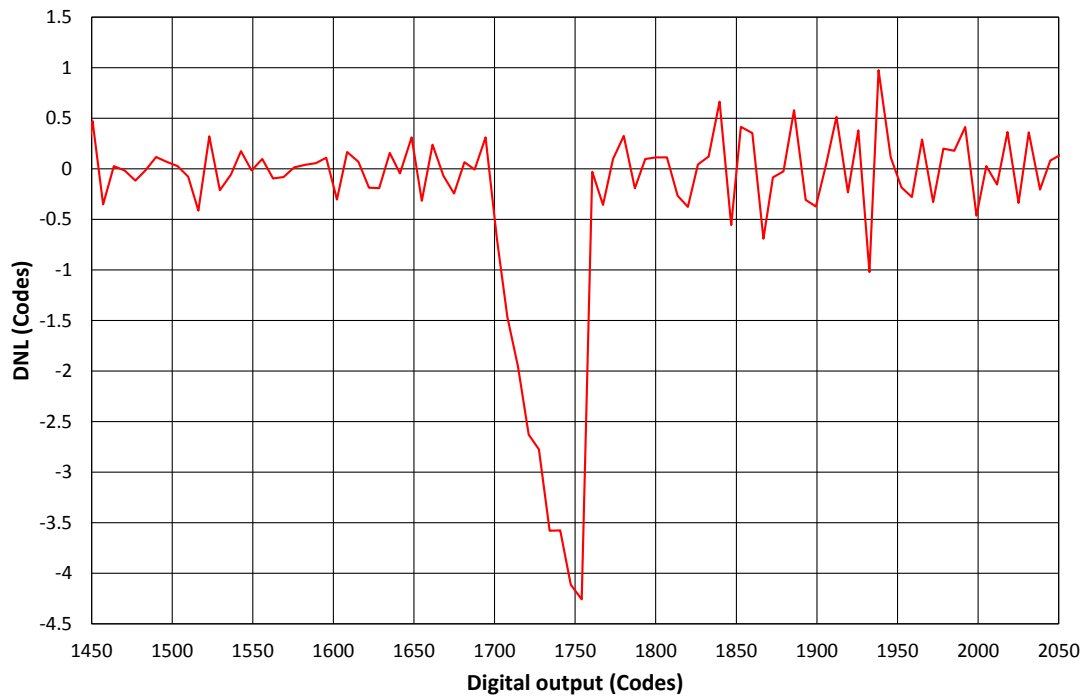


Figure 79: DNL sans calibration

Donc après extraction des données, afin de les calibrer on multiplie par le gain la partie se situant après la cassure. Enfin, à partir des données extraites on peut leur appliquer l'algorithme d'interpolation, décrit dans le chapitre précédent, et linéariser les valeurs converties. Toutes ces étapes sont illustrées sur la Figure 80 avec une différence de gain après la cassure de 4.

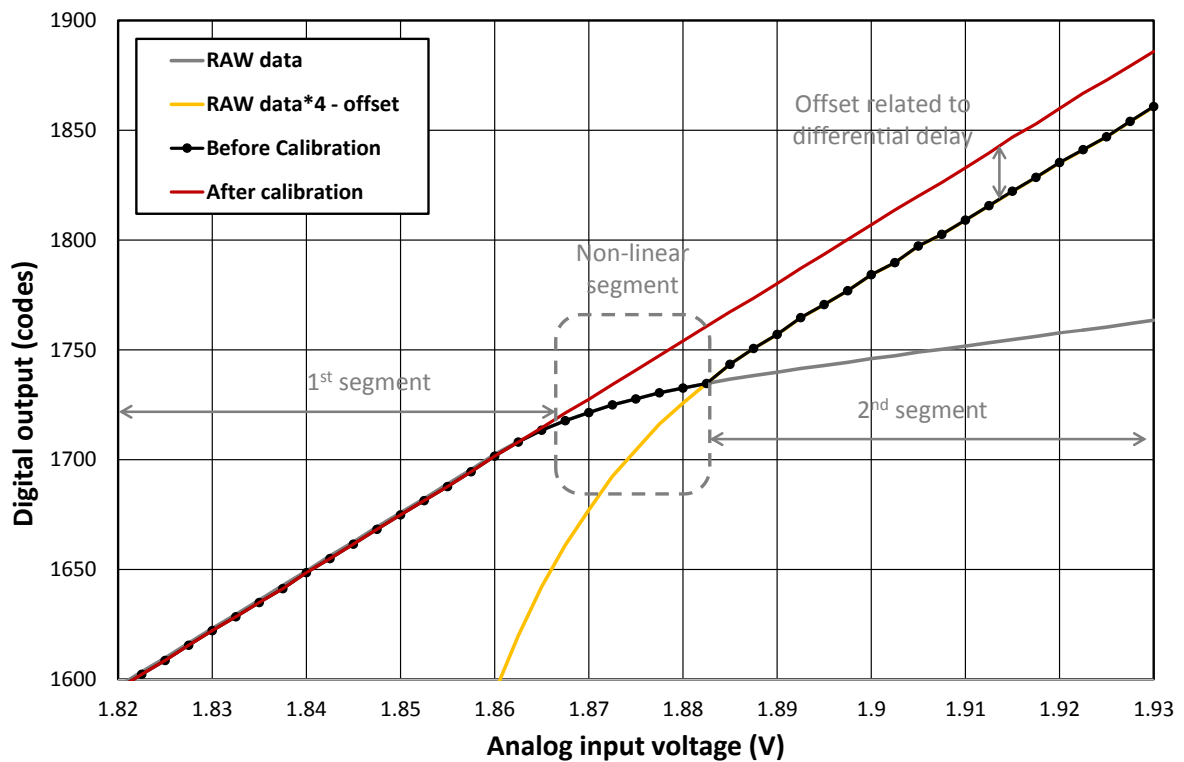


Figure 80: Les données durant la linéarisation

La Figure 81 montre la DNL du CAN avec une rampe par morceaux après calibration, on peut se rendre compte que la calibration améliore considérablement les performances.

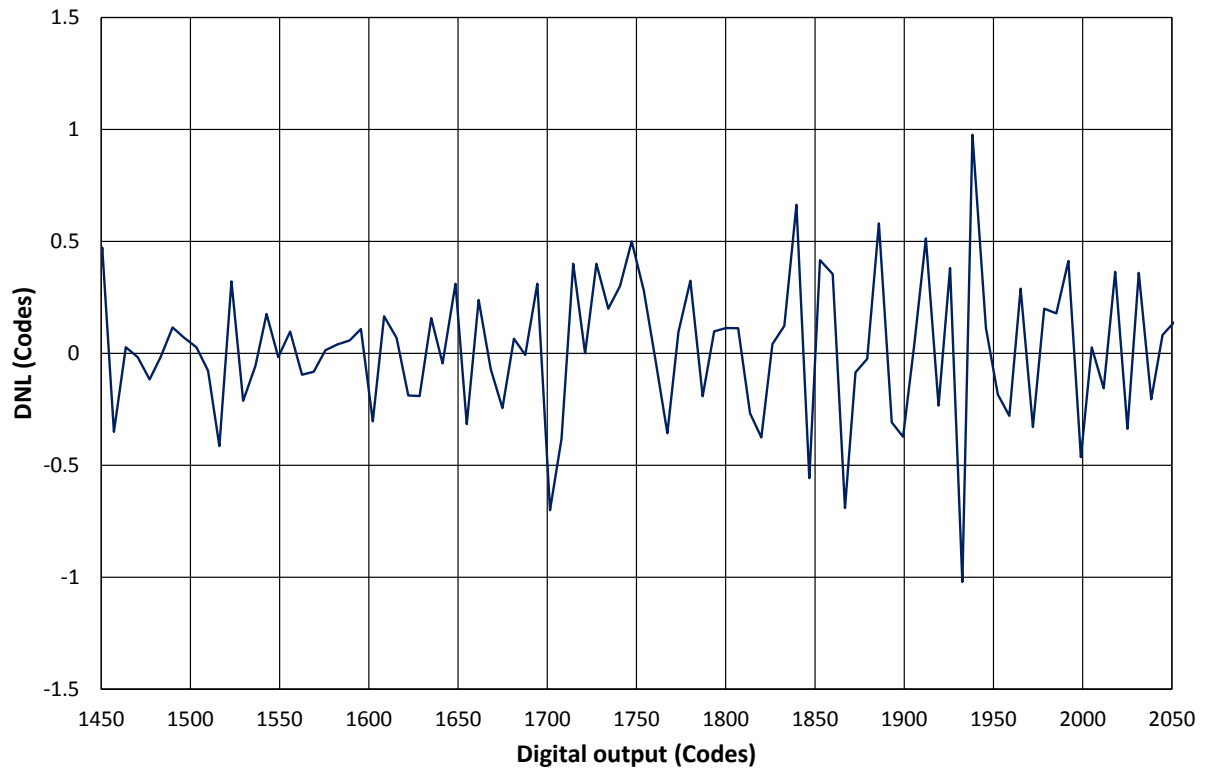


Figure 81: DNL avec calibration

On est donc passé d'une DNL de $+0.5/-4$ à ± 0.5 pour 10 bits de résolution et une vitesse de lecture de 55 frame par seconde. Sachant qu'en mesurant la valeur de la DNL pour une conversion « classique » avec une rampe linéaire, on obtient une DNL de $+0.5/-0.4$.

V.3.3 Mesures du bruit fixe en colonne (VFPN)

Le bruit fixe en colonne est la différence colonne à colonne de la valeur convertie en sortie pour une même valeur d'entrée. Les valeurs données dans le Tableau 9 ont été mesurées pour tous les différents gains de rampe (1, 2, 4, 8, 16) et fait sur une moyenne d'échantillon de 30 images pour la réduction du bruit temporelle. Comme cette mesure s'effectue en convertissant une valeur nulle, cela revient à convertir une image noire. Par conséquent, les valeurs pour une rampe linéaire ou par morceaux sont les mêmes.

Tableau 9 : Valeurs du bruit fixe en colonne pour les différents gains avec toutes les colonnes

Gain	VFPN (code)
1	0.405591584
2	0.769154719
4	1.216720876
8	2.336711967
16	4.398392573

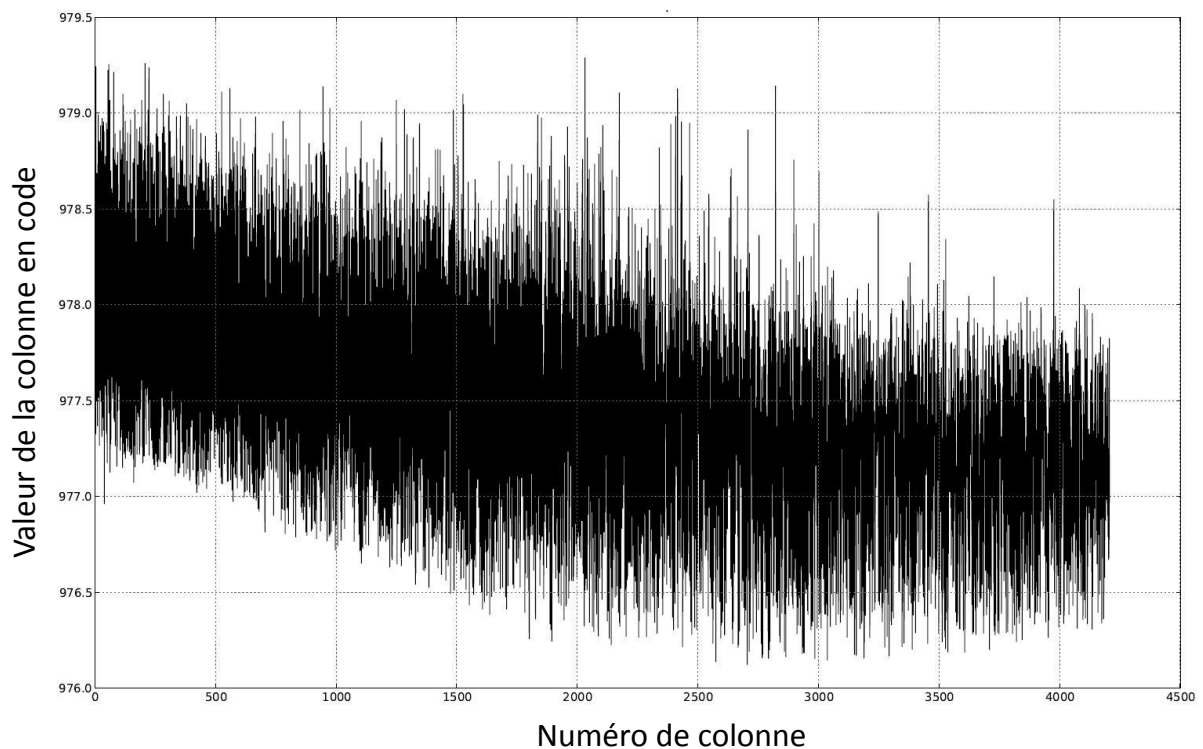
Ces valeurs sont supérieures aux attentes. L'une des raisons est la valeur maximale de l'offset qui a été mal évaluée lors du design. En effet, pour rappel, l'offset sert notamment à faire basculer le comparateur dans un état défini. Le problème dans notre cas est que la valeur n'est pas suffisamment élevée pour faire basculer le comparateur, ce qui a pour conséquence de créer des erreurs lors de la conversion, qu'on appelle VFPN. Il n'y a malheureusement pas de solution possible dans l'immédiat pour résoudre ce problème, il faudra seulement dans un prochain circuit augmenter la valeur de l'offset.

La deuxième raison est due à une pollution de la tension d'alimentation digitale 1.2 volt, appelée DVDD1V2. Comme expliqué dans le chapitre précédent, la tension DVDD1V2 est commune au compteur ainsi qu'au 2ième étage du comparateur. Par conséquent, la quantité de courant à fournir est beaucoup plus élevée quand tous les compteurs sont en marche, ce qui crée une plus grande différence de potentiel pour alimenter le comparateur. Par exemple, au début quand tous les compteurs fonctionnent, le DVDD1V2 ne sera plus exactement à 1V2 mais à 1V1 et au fur à mesure que les compteurs ont fini de compter ce niveau remonte pour les autres colonnes.

La solution mise en place est de passer en mode « basse consommation » c'est-à-dire que l'on garde seulement un sixième des colonnes ce qui relâche les contraintes sur le DVDD1V2 et donc réduit le VFPN. Mais une solution à plus long terme sera tout simplement de dissocier ces deux alimentations.

La Figure 82 montre la différence de VFPN sur 2 images en mode normal et basse consommation.

a)



b)

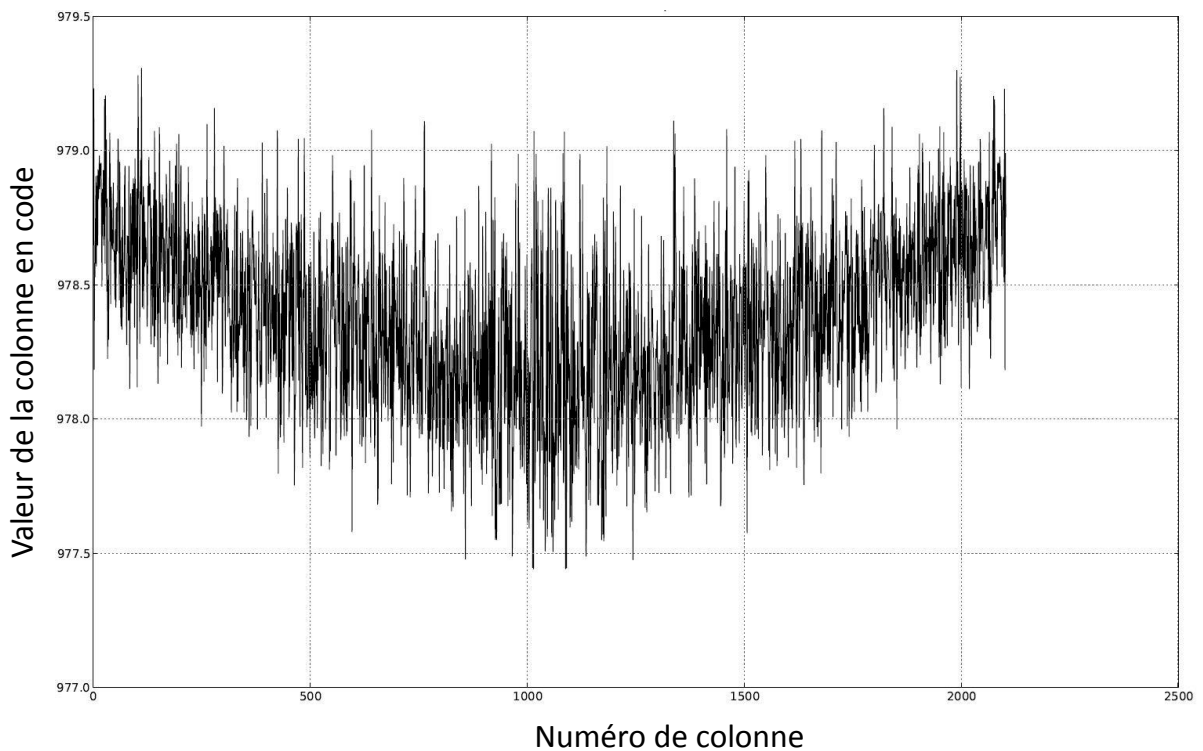


Figure 82: Image réelle montrant le VFPN en mode a) « normal » et b) « low power ».

On constate que la dispersion est plus importante quand toutes les colonnes sont actives. En effet, pour une valeur analogique correspondant au code 978 on obtient des codes allant de 979 à 976.5 et ces mêmes valeurs varient de 979 à 977.5 en mode basse consommation. Ceci valide bien l'hypothèse de la pollution de l'alimentation digitale. On obtient donc les valeurs du Tableau 10 : Valeurs du bruit fixe en colonne pour les différents gains en mode basse consommation pour les différents valeurs de gain.

Tableau 10 : Valeurs du bruit fixe en colonne pour les différents gains en mode basse consommation

Gain	VFPN (code)
1	0.266326687
2	0.316201101
4	0.31583816
8	0.543126227
16	1.965540754

V.3.4 Le bruit en ligne

Ce bruit est issu de composants qui sont communs à toutes les lignes comme les régulateurs pour les pixels. Par exemple, si leur niveau de PSRR n'est pas suffisamment performant, des artefacts d'image apparaissent. Au niveau du CAN c'est justement le générateur de rampe qui peut créer du bruit en ligne car il est commun à toutes les colonnes. Lors des simulations de ce générateur de rampe, une faiblesse a été remarquée au niveau de l'échantillonnage du régulateur. En effet, la moindre différence entre les

deux niveaux de reset de la rampe crée du bruit en ligne. Pour être invisible à l'œil nu le bruit en ligne doit être inférieur à $\frac{1}{10} \times le\ bruit\ aléatoire = 15\mu V_{rms}$ et lors des simulations on avait $54\mu V_{rms}$.

La mesure est effectuée en faisant l'acquisition d'une image uniforme, noire en l'occurrence, pour chaque ligne seule la moyenne de toutes les valeurs est sauvegardée. Finalement, la valeur de ce bruit en ligne est égale à la dispersion ligne à ligne. Le Tableau 11 : Valeurs du bruit en ligne pour les différents gains montre ces résultats pour différentes valeurs de gain.

Tableau 11 : Valeurs du bruit en ligne pour les différents gains

Gain	Bruit en ligne (code)
1	0.126591928
2	0.22182208
4	0.363255403
8	0.637012625
16	1.219879669

V.3.5 Images réelles et post-traitements

A l'issue des diverses caractérisations menées, tous les réglages sur les différentes valeurs de polarisation (par exemple du comparateur, la valeur du courant du générateur de rampe, etc.) ont été optimisés. Toutes ces valeurs sont stockées dans un fichier et vont permettre de comparer et de confirmer visuellement certains comportements déduits à partir des valeurs trouvées.

La Figure 83 met en évidence la différence de performance d'une conversion faite à gain 16 par rapport à la conversion de la Figure 82 faite à gain 1.

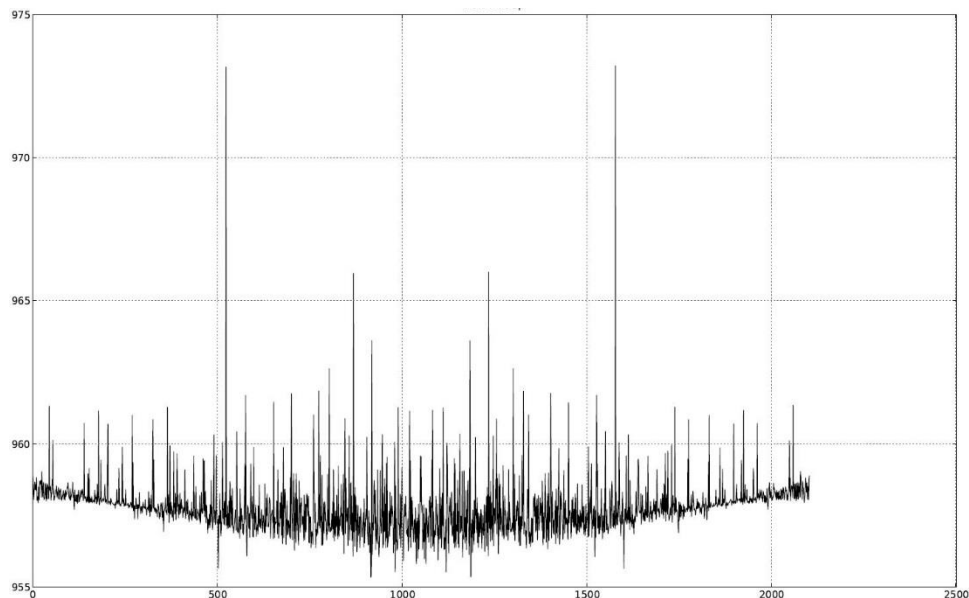
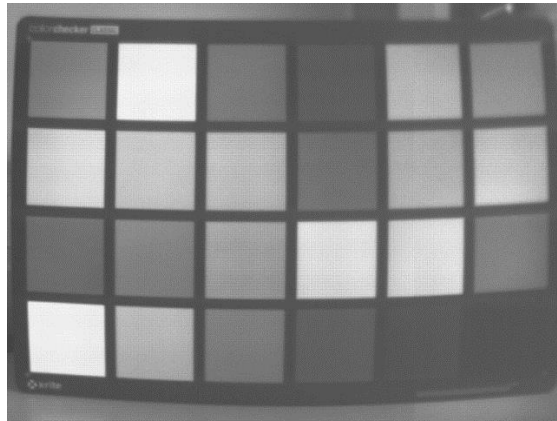


Figure 83 : Image réelle pour différent gain

Les deux images de la Figure 84 montrent la différence entre une image convertie avec une rampe linéaire a) et par morceaux avant calibration b). L'image prise avec une rampe par morceaux est faite avec seulement une seule cassure se situant au milieu de la rampe. Cette dernière image est donc prise avec un temps de conversion de $5.5\mu\text{s}$ au lieu des $6.5\mu\text{s}$ pour la conversion « classique », ce qui représente une lecture à une vitesse de 55 frames par seconde au lieu de 45. On remarque notamment une bonne qualité d'image car les défauts décrits précédemment sont assez faibles et donc invisibles à l'œil nu.

A)



B)

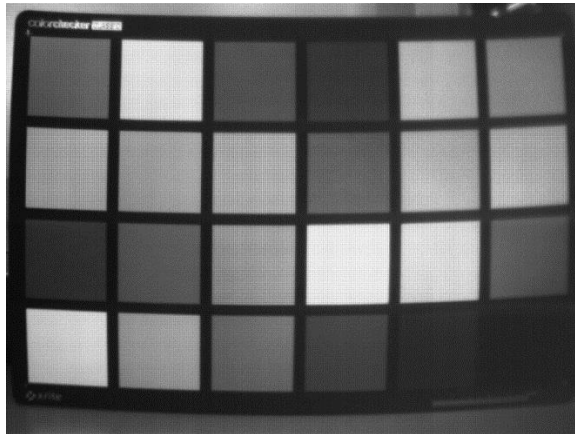


Figure 84 : Image réelle avec une conversion faite à partir de a) une rampe linéaire b) une rampe par morceau.

Enfin, la dernière image de la Figure 85 est le résultat de la conversion faite avec une rampe par morceaux après calibration. Tout le traitement des données issues du CAN a été effectué sous MATLAB. On remarque sur cette dernière que le contraste ainsi que la luminosité ont été améliorés.

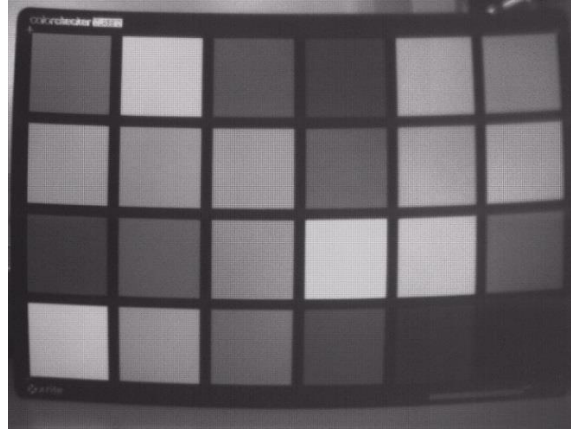


Figure 85 : Image réelle issu d'une conversion faite avec une rampe par morceau après calibration

V.4 Conclusion

Les mesures effectuées au cours de ce chapitre ont permis de se rendre compte de l'impact du bruit sur l'image. En effet, la plupart des manipulations ont été dans le but de trouver la meilleure configuration des registres pour minimiser les bruits en ligne et en colonne. Malgré cela, on peut voir qu'à gain 16 le bruit reste encore trop élevé mais cela reste très bien par rapport à ce que l'on peut trouver dans la littérature, voir Tableau 12 : Comparatif de différente architecture ci-dessous. On peut voir que l'algorithme de calibration décrit dans le chapitre précédent fonctionne très bien car on obtient pratiquement les mêmes résultats DNL qu'avec une rampe linéaire.

	[20]	[26]	[27]	[4]	This work
ADC type	MRMS	SS	Nonlinear Ramp	SS	PWL Ramp
ADC Resolution (bits)	5b-coarse / 6b-fine	12	12	10	10
Pixel Resolution (Mpix)	320x240	17.7	2352x1728	320x240	13
Pixel pitch (μm)	5.6	4.2	2.9	2.25	1.1
Row Line time (μs)	4.5	7.4	11.9**	29	5.5
Column FPN (LSB)	4.16	2.64*	5 (average)	0.8	0.26
CDS Type	A-CDS	D-CDS	A-CDS	H-CDS	D-CDS
Power consumption per column	150 μW	366 μW	N/A	109 μW	25 μW

Tableau 12 : Comparatif de différente architecture

VI. Conclusions et perspectives

Cette thèse s'inscrit dans le contexte de l'amélioration des performances des capteurs d'images CMOS destinés à être utilisés dans des applications mobiles. Les travaux de thèse présentés dans ce manuscrit sont focalisés sur le système de lecture d'une matrice de pixel. Dans un premier temps, nous avons pour but d'étudier et de comprendre les enjeux des capteurs de vision. Cela nous a permis de trouver la meilleure solution pour augmenter le frame rate du capteur, tout en respectant les contraintes de surface, de consommation, de bruit et de performance. Afin d'augmenter la vitesse de lecture, nous avons développé un capteur d'image de 13Mpixel en technologie CMOS BSI, dont la taille est de 6.5mm(V)x6.3mm(H), implémentant un convertisseur à rampe par morceaux. Les résultats des performances de ce nouveau convertisseur -et de la calibration associée- ont été présentés dans les différents chapitres de ce manuscrit. Plusieurs méthodes pour réduire le temps de conversion ont été étudiées.

Le choix de l'ADC s'est montré essentiel pour les performances du circuit de lecture, notamment sur la vitesse de conversion. Certains ADC, tel que le SAR ou l'ADC cyclique, ne se sont pas révélés satisfaisants pour cette étude -leur taille étant beaucoup trop grande-. Cela a permis de se focaliser sur le convertisseur à rampe. En effet, lorsque la rampe est accélérée, le bruit de quantification augmente. Cela est rendu possible car le bruit photonique est bien plus élevé. Dans le chapitre 3, un bilan des différentes caractéristiques des ADC -en tenant compte des contraintes purement liées aux imageurs- a été développé.

Durant l'étape de simulation, le capteur a effectué une conversion en 5.5us au lieu de 6.5us. Ceci est rendu possible grâce à l'utilisation du convertisseur à rampe par morceaux. Des modes de test ont été prévus pour effectuer les mesures. De plus, l'utilisation du Digital CDS a considérablement réduit le bruit en colonne. Cependant, cela a entraîné une erreur liée à la différence de délai du comparateur. Cette erreur peut être corrigée en effectuant une mesure supplémentaire. Durant la conversion, la cassure de rampe implique une non-linéarité qui doit être calibrée. Cette calibration consiste à ajouter une ligne supplémentaire dans la matrice de pixel, dont on remplace la photodiode par une résistance. De futurs travaux pourraient tirer profit de cette nouvelle fonctionnalité. Cependant, par manque de temps, cette méthode n'a pas pu être implémentée, j'ai ainsi fait le choix de pallier cette erreur en utilisant un des modes de test.

Les mesures ont montré que l'INL et DNL du convertisseur étaient aussi performantes qu'avec une rampe linéaire classique. La mesure du bruit de l'ADC est de $1.89e^{-}$ rms, le bruit aléatoire est de $1.07e^{-}$ rms. La dynamique du signal de 61dB est atteinte à 55 images par seconde avec le gain analogue 1, pour une consommation de 82.4mV. La mesure du bruit en colonne est de 0.03LSB.

Les solutions proposées sont simples à intégrer aux produits déjà existants sur le marché. Elles ont l'avantage de ne pas impacter la surface du pixel, et préservent donc les performances de ce dernier. Les résultats issus des mesures sur silicium sont très encourageants, car on obtient un gain de presque 20% sur le temps de lecture. Cependant, l'amélioration à apporter serait d'ajouter au circuit une ligne de pixels dont on a remplacé la photodiode par une résistance pour valider le fonctionnement de la calibration. Un nouveau développement serait de perfectionner la source de courant afin de réduire son temps d'établissement. Cela diminuerait la non-linéarité qui apparaît lors de la conversion. Ces nouvelles fonctionnalités pourraient améliorer la qualité des images pour les futurs capteurs.

VII. References

- [1] D. Handoko, S. Kawahito, Y. Takokoro, M. Kumahara, and A. Matsuzawa, "A CMOS image sensor for focal-plane low-power motion vector estimation," VLSI Circuits Symposium Digest of Technical Papers, pp. 28-29, 2000.
- [2] S.H. Lim, and A. El Gamal, "Integration of Image Capture and Processing – Beyond Single Chip Digital Camera," Proceedings of SPIE Electronic Imaging Conference, Vol. 4306, pp. 219-26, January 2001.
- [3] Boyle WS, Smith GE. Charge coupled semiconductor devices. Bell Sys Tech Journal, pp.587–593, 1970.
- [4] Amelio GF, Tompsett MF, Smith GE. *Experimental verification of the charge coupled device* concept. Bell Syst Tech Journal, pp.593–600, 1970.
- [5] Sze S.M. *Semiconductor Devices*. New York : John Wiley, pp.867 , 1981.
- [6] Johnson J.B. 'Thermal agitation of electricity in conductors', *Physical review of the American Physical society*, 32, pp.97-109, 1928.
- [7] Chao C, Tu H, Chou K, Chou P, Hsueh F. In: *Crosstalk metrics and the characterization of 1.1 μm -pixel CIS*. Proc. of 2011 Int. Image Sensor Workshop, no. 5. Hokkaido, Japan: IISS. 2011
- [8] Chen T, Catrysse P, Gamal AE, Wandell B. *How small should pixel size be?* In proceedings of SPIE vol. 3965, pp.451–459, 2000.
- [9] Kitamura K, Watabe T, Sadanaga Y, et al. *A 33 Mpixel, 120 fps CMOS image sensor for UDTV application with two-stage column-parallel cyclic ADCs*. Proc. of Int. Image Sensor Workshop. Hokkaido, Japan: IISS. 2011.
- [10] Kim YC, Kim YT, Choi SH, et al. In: *1/2-inch 7.2 MPixel CMOS image sensor with 2.25 μm pixels using 4-shared pixel structure for pixel-level summation*. IEEE Int. Solid State Circuits Conference – Dig. of Tech. Papers. IEEE. pp.1994–2003, 2006.
- [11] Takahashi H, Kinoshita M, Morita K, et al. *A 3.9- μm pixel pitch VGA format 10-b digital output CMOS image sensor with 1.5 transistor/pixel*. IEEE Journal of Solid-State Circuits. pp.2417–2425, 2004.
- [12] Z. Zhou et al., "CMOS Active Pixel Sensor with On-Chip Successive Approximation Analog-To-Digital Converter," IEEE Transactions on Electron Devices, vol. 44, n°1044, pp.1759–1763, 1997.
- [13] R. Baer, "Noise at the system level," in IEEE ISSCC 2007 short course – Noise in imaging systems, Feb. 2007.
- [14] S. Matsuo et al. , "8.9-Megapixel Video Image Sensor With 14-b Column-Parallel SA-ADC," IEEE Transactions on Electron Devices, vol. 56 (2009), pp.2380–2389.

- [15] Furuta, M., et al., A High-Speed, High-Sensitivity Digital CMOS Image Sensor with a Global Shutter and 12-bit Column-Parallel Cyclic A/D Converters. *IEEE journal of Solid-State Circuits*, Vol. 42, N°4. Pp.766 – 774, 2007.
- [16] R. Schreier and G. C. Temes, *Understanding Delta-Sigma Data Converters*, to appear, Wiley - IEEE Press, 2004.
- [17] Y. Chae, et al., “A 2.1 M Pixels, 120 Frame/s CMOS Image Sensor ADC Architecture with Column-Parallel,” *IEEE Journal of Solid-State Circuits*, vol. 46, no. 1, pp. 236–247, 2011.
- [18] K. Lee, “Design of Low-power Area-efficient Continuous-time $\Delta\Sigma$ ADC Using VCO-Based Integrators with Intrinsic CLA”, PhD thesis, The University of Texas at Austin, 2013.
- [19] Nitta, Y., et al., High-speed digital double sampling with analog CDS on column parallel ADC architecture for low-noise active pixel sensor. *IEEE ISSCC Dig. Tech. Papers*, pp. 500-501, 2006.
- [20] M. F. Snoeij, et al., “Multiple-Ramp Column-Parallel ADC Architectures for CMOS Image Sensors,” vol. 42, no. 12, pp. 2968–2977, 2007.
- [21] Seogheon Ham, Yonghee Lee and Wunki Jung, “CMOS Image Sensor with Analog Gamma Correction Using Nonlinear Single-Slope ADC,” *2006 IEEE International Symposium on Circuits and Systems*, 2006, 3578–3581.
- [22] O. Kwon, K. Park, D. Lee, K. Lee, S. Jun, C. Kim, and W. Yang, “A Novel Double Slope Analog-to-Digital Converter for a High-Quality 640x480 CMOS Imaging System,” no. 3, pp. 335–338, 1999.
- [23] J. Bergey, et al., “Real-time Calibration of a 14-Bit Single Slope ADC with 290MHz On-chip Accelerated Ramp Generator for Column-Parallel Image Sensors,” p1–4, 2013.
- [24] S. Kawahito, et al., “A distributed ramp signal generator of column-parallel single-slope ADCs for CMOS image sensors,” *IEICE Electron. Express*, vol. 9, n°24, p1893–1899, 2012.
- [25] S. Yoshihara, et al., “A 1/1.8-inch 6.4 MPixel 60 frames/s CMOS Image Sensor With Seamless Mode Change,” *IEEE Journal of solid-state Circuits*, vol. 41, n°12, 2006.
- [26] Toyama, et al. 2011. “A 17.7Mpixel 120fps CMOS Image Sensor with 34.8Gb/s Readout,” *IEEE ISSCC*, 506–7.
- [27] T. Otaka, et al., “12-Bit Column-Parallel ADC with Accelerated Ramp”, *International Image Sensor Workshop (IISW) Karuizawa*, Japan, 2005.
- [28] Y. Hwang, and M. Song. 2014. “Design of a CMOS Image Sensor Based on a 10-Bit Two-step Single-slope ADC,” *Journal of semiconductor technology and science*, vol.14, (2014), 246–51.

VII.1 Publications

C. Pastorelli, P. Mellot, C. Tubert, S. Mir, "Piece-Wise-Linear Ramp ADC for CMOS Image Sensor and Calibration Techniques" *International Image Sensor Workshop (IISW)*, Vaals, Netherland, 2015.

C. Pastorelli, P. Mellot, C. Tubert, S. Mir, "ADC Techniques for Optimized Conversion Time in CMOS Image Sensors" IS&T Electronic imaginig symposium, San Francisco, 2016.