



HAL
open science

Etude des couplages substrats dans des circuits mixtes "Smart Power" pour applications automobiles

Marc Veljko Thomas Tomasevic

► **To cite this version:**

Marc Veljko Thomas Tomasevic. Etude des couplages substrats dans des circuits mixtes "Smart Power" pour applications automobiles. Electronique. INSA de Toulouse, 2017. Français. NNT : 2017ISAT0002 . tel-01534228

HAL Id: tel-01534228

<https://theses.hal.science/tel-01534228v1>

Submitted on 7 Jun 2017

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université Fédérale



Toulouse Midi-Pyrénées

THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Institut National des Sciences Appliquées de Toulouse (INSA de Toulouse)

Présentée et soutenue par :
Marc Veljko THOMAS TOMASEVIC

le lundi 27 février 2017

Titre :

Étude des couplages substrats dans des circuits mixtes «Smart Power» pour applications automobiles

École doctorale et discipline ou spécialité :

ED GEET : Micro et Nanosystèmes

Unité de recherche :

LAAS CNRS

Directeur/trice(s) de Thèse :

Sonia BEN DHIA, Directrice & Professeur, INSA Euro Méditerranée
Alexandre BOYER, Maître de conférences, INSA Toulouse & LAAS CNRS

Jury :

M. Mohamed RAMDANI, Professeur, ESEO, Rapporteur
Mme. Geneviève DUCHAMP, Professeur, IMS, Rapporteur
M. Etienne SICARD, Professeur, INSA Toulouse, Président du Jury
M. Ramy ISKANDER, Fondateur & PDG, INTENTO DESIGN, Membre du Jury

Remerciements

Cette thèse a été effectuée au LAAS-CNRS, au sein de l'équipe ESE (Énergie-Systèmes-Embarquées) dans le cadre du projet européen FP7 intitulé "AUTOMICS". Une partie des travaux a été réalisée au sein du laboratoire CEM du département GEI de l'INSA Toulouse.

Je tiens tout d'abord à remercier Mr. Etienne Sicard qui m'a fait l'honneur de présider mon Jury de thèse et de sa disponibilité tout au long de ma thèse pour échanger sur des sujets scientifiques me permettant de mieux comprendre certains points complexes sur la CEM des composants. J'adresse mes sincères remerciements à Mr Mohamed Ramdani et Madame Geneviève Duchamp de m'avoir tout aussi fait l'honneur d'être les rapporteurs de ma thèse et pour leurs suggestions très utiles sur les points à améliorer dans mon manuscrit.

Je voudrais témoigner toute ma sympathie et vive reconnaissance à Mr. Ramy Iskander, non seulement d'avoir répondu présent à l'invitation d'être membre de mon Jury de thèse d'une part, mais surtout pour tout son soutien et toute son implication indirecte à l'élaboration de mes travaux de thèse en tant que chef du projet AUTOMICS. Grâce à lui le projet AUTOMICS a pu être sélectionné par le "7^{ème} cadre Projet Européen FP7". Par ailleurs, il a su mener à bon port avec ténacité et ferveur toute l'équipe internationale impliquée dans le projet. Sans lui le sujet passionnant de ma thèse n'aurait peut-être pas vu le jour et je ne serais pas en train de rédiger ce manuscrit mais un autre, qui sait...

Bien entendu, je ne souhaite en aucun cas minimiser la part considérable de mes deux directeurs de thèse, Mme Sonia Ben Dhia et Mr Alexandre Boyer, dans l'élaboration du sujet de ma thèse et pour leur très grande implication continue pendant toutes ces années. Je ne me suis jamais senti seul devant un problème à résoudre, je savais que je pouvais compter sur eux, bien qu'ayant eu une grande autonomie et liberté dans mes travaux de recherche ! Je leur témoigne toute ma gratitude et énorme reconnaissance de m'avoir soutenu pour devenir Docteur et de m'avoir fait apprendre énormément. Merci de m'avoir fait confiance dès le premier jour et d'avoir été là lors des moments parfois pas simples de ma vie privée ! Tous les thésards n'ont pas eu cette chance d'avoir des directeurs de thèse qui étaient comme les miens 😊

Tout au long de mes travaux au sein du projet AUTOMICS j'ai eu l'occasion de travailler beaucoup avec tous les doctorants du projet et ainsi enrichir mutuellement nos travaux de thèse. Un grand merci à mes collègues Yasser Noursi et Hao Zou avec lesquels j'ai beaucoup collaboré au sein de Paris UPMC pour prendre en main l'utilisation de leur outil AUTOMICS qu'ils ont créé et optimisé sous la tutelle de leurs directeurs de thèse Mme. Marie-Minerve Louërat et Mr. Ramy Iskander, lesquels je remercie par la même occasion. Sans leur grand soutien mon chapitre 5 n'aurait pas pu voir le jour. Aussi, dans le même

Remerciements

contexte, l'outil AUTOMICS n'aurait pas pu être exploité sans l'apport immense de l'équipe de doctorants et de leurs directeurs de thèse de l'école polytechnique de Lausanne (EPFL). Toute l'équipe de l'EPFL a réalisé un travail immense en créant un modèle du couplage substrat qui a été implémenté dans l'outil AUTOMICS. Je tiens vraiment à remercier et à exprimer ma reconnaissance pour tous les échanges fructueux avec Camillo Stefanucci et Pietro Buccella ainsi que leurs directeurs de thèse Mr. Maher Kayal et Jean-Michel Sallèse.

Dans le cadre du projet AUTOMICS j'ai eu l'opportunité de collaborer étroitement avec un industriel et fondateur de circuits intégrés de renommée internationale ams GmbH d'Autriche qui m'ont fourni le circuit intégré AUTOBENCH sans lequel aucun des travaux de cette thèse n'aurait vu le jour. J'adresse donc mes sincères remerciements à toute l'équipe d'ams GmbH impliquée dans le projet AUTOMICS Mr. Alexander Steinmair, Mr. Bernhard Weiss, Mr. Eehrenfried Seebacher, Mr. Gernot Heiling et Mr. Peter Rust. Un grand merci pour votre soutien, toutes vos réponses pertinentes à mes questionnements et votre accueil au sein d'ams Gratz pendant quelques jours. Merci de m'avoir fourni suffisamment de puces du circuit, j'en ai grillé tellement ☺

Je tiens aussi à remercier aussi tout le reste de l'équipe internationale du projet AUTOMICS, avec qui j'ai eu l'occasion d'échanger pendant nos nombreuses réunions de projet, je citerai ici Mr. Pierre Tisserand et Dieu-My Ton de Valeo Créteil ainsi que Mr. Thierry Bousquet de Continental Toulouse.

Je remercie toutes les personnes que j'ai rencontrées au cours de ces trois années de thèse et qui ont apporté leur pierre à ce grand édifice. Je souhaite remercier en particulier Mr. Anthony Coustou, administrateur système CAO du LAAS-CNRS qui a répondu présent à toutes mes sollicitations lors de la conception de mon circuit intégré et lors des différentes simulations du couplage substrat. Merci aussi à Nicolas Mauran de la plateforme Caractérisation du LAAS pour ses conseils et sa disponibilité afin d'utiliser au mieux toute la panoplie du matériel disponible au laboratoire afin de réaliser la caractérisation du couplage substrat. Un grand merci à mon collègue et maintenant ami, Willy Chaudat pour toutes ces heures passées ensemble jusqu'à tard le soir soit pour concevoir ma carte PCB de test avec l'usine à gaz qu'est Cadence ORCAD pour Windows, soit pour déboguer cette carte PCB, car tout ne marche pas du premier coup en science et en technique ☺. Je voudrais par la même occasion remercier tout le soutien technique dont l'aide m'a été précieuse pour le routage et câblage de cartes, je pense notamment à Mr. Daniel Medale et Mr. Xavier Bouquet du LAAS-CNRS et José Martin de l'INSA GEI. Je tiens vraiment à remercier Mr. Manuel Cavarroc du LAAS-CNRS pour son soutien à l'élaboration du logiciel Labview utilisé pour réaliser les mesures avec mon capteur sur puce. Je ne souhaite surtout pas oublier le grand soutien que j'ai eu de la part de mes collègues électroniciens Julien Roux et Mr. Christophe Escriba qui est aussi enseignant à INSA Toulouse, avec lesquels j'ai eu l'occasion de travailler et échanger sur des parties techniques, leurs conseils m'ont bien dépanné plus d'une fois ! Un grand merci aussi à toute l'équipe sysadmin du LAAS-CNRS d'avoir été un support informatique indispensable pendant toutes ses années, je pense notamment à Mr. Frédéric Ruault et ses collègues qui entretiennent le réseau afin de pouvoir avoir accès à toutes les belles

Remerciements

publications scientifiques et notre messagerie e-mail, sans lesquels une thèse est impossible à réaliser de nos jours...

Souvent dans les remerciements on omet de citer tout le personnel administratif qui nous aide à organiser nos missions et le suivi scolaire de notre thèse ou le suivi pendant mon engagement DCCE et ATER à INSA GEI. Je pense ici remercier toutes les assistantes de mon équipe ESE Mme Claude Laffore, Mme Ascension De Sousa, Mme Virginie Huguenot, puis le personnel du service administratif de l'INSA Mr. Thierry Gaffier, Mme Marie-José Cettolo, Mme Linda Clamens, Mme Bernadette Carnel et Mme Marie-Ange Ippolito. Un grand merci à Mr Alain Cazarre, à Mme Marie Estruga et à Mr. Thierry Camps de l'ED GEET pour leur soutien continu pendant toutes ses années ! Je remercie tout le reste d'équipe administrative du LAAS-CNRS, en pensant à Mr. Laurent Perez, Mme Camille Cazeneuve, Mme Claire Bardet, Mme Marie-Agnès Bellieres, et Mme Nathalie Romero-Alias. Merci au service gestion et à Mme Régine Durand. Je tiens aussi à remercier la direction actuelle et précédente du LAAS-CNRS, Mr Liviu Nicu et Mr. Jean Arlat pour les échanges très humains et amicaux que j'ai pu avoir avec eux sans aucune distance thésard/directeur du laboratoire et avec lesquels j'ai pu collaborer pendant presque 4 ans au sein du Conseil du Laboratoire. Je les remercie pour tout leur soutien dans mes divers projets, initiatives et activités extra-thèse que j'ai pu réaliser au sein du laboratoire ("Café de Doctorants", "Concert Du LAAS" lors de la fête du LAAS). Merci aussi à Mme Marie-Laure Pierucci du service communication pour son soutien et sa collaboration lors des journées portes ouvertes du LAAS 2013 et 2014 auxquelles j'ai eu la chance de participer et organiser le parcours jeunes. Je tiens ici aussi à remercier les collègues du laboratoire qui m'ont aidé à préparer au mieux les stands pour la fête de la science : Mr. David Collin, Mme Monique Dilhan, Emmanuelle Daran. Merci au service reprographie à Mr. Christian Dumoulin d'avoir imprimé si vite tous mes exemplaires de thèse destiné aux rapporteurs et aux membres du Jury, ce n'est pas rien d'avoir un service aussi disponible et réactif au sein du laboratoire ! Un grand merci à Mr. Eric Le Denmat du magasin du LAAS pour son humeur toujours joviale et sa réactivité !

Je tiens à remercier toute l'équipe ESE au sein de laquelle j'ai effectué tous mes travaux de thèse. Je remercie tout d'abord la direction actuelle et la direction précédente, Mr. Patrick Tounsi et Mr. Jean-Marie Dilhac de m'avoir soutenu jusqu'au bout pour terminer mes travaux de thèse.

Pendant toutes mes années de thèse j'ai eu le grand honneur et la chance d'enseigner à l'INSA Toulouse, au sein du département Génie Électrique et Informatique. Je tiens ici à remercier toute l'équipe pédagogique avec lesquels j'ai eu à collaborer, je pense notamment à Mr Vincent Mahout, Mr. Thierry Rocacher, Mr. Martin Aimé, Mr. Jean-Yves Fourniols, Mr. Patrick Tounsi, Mr. Pascal Acco sans omettre de citer de nouveau Mr. Jean-Marie Dilhac et mon directeur de thèse qui est aussi Maître de Conférences Mr. Alexandre Boyer avec qui j'ai eu l'opportunité de monter un TP en électronique numérique : quelle joie de voir les étudiants apprendre le côté pratique via un dispositif que j'ai créé ☺ Je voudrais exprimer toute ma gratitude aux précédentes directions du département GEI pour leur accueil très généreux dès le départ au sein de l'équipe enseignante, à Mme Colette Merce et à Mr. Christophe Chassot

Remerciements

avec qui j'ai aussi noué des rapports très humains et amicaux. Je souhaite ici citer tous mes nombreux collègues avec lesquels j'ai donné des tas de TP mais dont je ne me souviens pas de tous, pardonnez-moi, je n'en citerai que quelques-uns... Je pense à Catalin Codreanu qui m'a accompagné dès ma prise de fonction d'enseignant, puis Mihai Alexandru, Maxime Chéramy, Yassine Talbi, de nouveau je dois citer ici Julien Roux qui m'a beaucoup aidé à préparer mes TP pour informatique matérielle (Langage d'assemblage pour μ C STM 32).

Je tiens tout particulièrement à remercier mes deux collaborateurs thésards du Conseil du Laboratoire en tant que représentants des Doctorants, Aude Delagarde et Raphaël Marchand. On a tellement bien travaillé ensemble pendant toutes ses années. Je n'oublierai jamais le fait qu'on a excellé lors de la présentation de notre collègue Doctoral pendant la visite quinquennale de la commission HCERS au laboratoire☺ Quelle belle expérience !!! Par la même occasion je tiens aussi à remercier tous les membres du conseil du Laboratoire 2012-2016 avec lesquels j'ai pu échanger et proposer de nouvelles idées pour améliorer des conditions de travail des doctorants qui sont déjà excellentes au sein du LAAS-CNRS !

Mes longues journées au laboratoire, pouvant se terminer parfois après minuit selon la période (bien-sûr je ne commençais pas le lendemain à 9h☺), étaient animées par des échanges amicaux et plein de vie avec mes collègues de mon open space C115. Un grand merci à Christophe Furger avec qui j'ai tissé des liens vraiment amicaux, sans oublier toute l'équipe C115 avec laquelle on a organisé de nombreux petit déjeuners, barbecues voire même une session sushi au bureau : Sylvain Derick, Camille Gironde, Hakim Tahir, Paris Velez un post-doc venu de Barcelone avec qui j'ai aimé échanger. Merci aussi à mes collègues doctorants du C115, devenus Docteurs entre temps, He Huang et Tanguy Phulpin,, sans oublier ma collègue Hiba Rizk, qui va soutenir très prochainement (à huit clos, on pourra pas la soutenir ☺)...

J'ai eu la chance de connaître et de partager des moments vraiment très agréables à parler de tout, moins sur la science (ça suffit déjà avec les échanges directs sur mon sujet de thèse) avec mes nombreux collègues que je cite ici sans ordre particulier : Abdel Illah, Mustafa Zerarka, Hakim Tahir, Audrey Chappelle, Ahmet Lale, Ali Slimane, Estelle Nguyen, Naoko Abe, Héléne Cayron, Séraphin Nsele, Oana Lazar, Olga Bushueva, Romain Monthéard, Paul Durand Estebe, François Aris, Daniel Tartei, Nemanja Rakicevic, Sabeha Fettouma Zdek, Jean-Thomas Masse, Romain Serra, Thierry Sotiropoulos, Carla Sauvanaud, Ludovic Marigo-Lombart, Ksenia Sharshavina, Gaël Lafleur, Andrés Belisario, Clément Arlotti (un des rares à travailler souvent le dimanche sur sa thèse, tout comme moi parfois☺), Alexandre Rumeau... J'ai sûrement oublié beaucoup de personnes, c'est n'est pas voulu et je les prie d'avance de me pardonner, tout ce qui se reconnaîtront peuvent rajouter leur prénom et nom ici _____.

Un grand merci à Monsieur Damien Rambaud mon responsable lors de mon séjour à l'IRAP-CNRS à Toulouse (Institut de Recherche en Astrophysique et Planétologie) où j'ai commencé d'abord par un stage de fin d'études qui a été suivi par un CDD sur la mise en

Remerciements

œuvre d'un détecteur à rayons X pour utilisation spatiale. J'y ai tellement appris que cette expérience de recherche et développement m'a donné envie de faire une thèse et de rester dans le domaine scientifique. Un grand merci aussi Monsieur Martin Giard, le directeur de l'IRAP (2012) pour son aide et implication pour régulariser mes démarches administratives vis-à-vis de mon séjour en France, qui sont parfois compliqués et très restrictives pour un jeune qui souhaiterait poursuivre sa carrière scientifique et professionnelle en France, ce qui tout à fait compréhensible par ailleurs.

La vie d'un thésard chargé d'enseignement ne s'arrête heureusement pas, au seuls laboratoire et établissement supérieur où l'on enseigne. L'environnement amical a en effet une grande importance sur son rendement scientifique. Ils ont toujours été là à me rappeler par un sms en plein milieu de la journée de travail qu'il y a un apéro le soir, un anniversaire à fêter prochainement ou un concert d'électro ou de musique classique à ne pas rater. Je les remercie tous, Manon la doctorante puis Docteur, Léa la prof, Anthony et Pierre-André deux ingés spécialisés dans le spatial amis de ma promo de master, Sébastien l'ingé consultant aussi un ami de ma promo master, Adrien et Émilie (les sorties supermarché) avec leur petite fille Maëlle, puis Chris et Mary avec lesquelles j'ai bien aimé faire des petits dîners, mon amie Malika avec laquelle j'ai eu tant de discussions intéressantes, Sergio d'AIRBUS avec qui j'ai fait du side-car et développé des photos N&B, Elodie et Jean-Marc pour leur écoute et soutien quand j'en avais vraiment eu besoin ! Je souhaite aussi remercier mes amis de l'IRAP qui sont soit astrophysiciens comme Maxime, Robin, Laurianne et Olivier soit électroniciens comme Yann Parot, Pierre Devotto et Christopher avec lesquels j'ai passé des agréables moments et eu de conseils très utiles pour ma thèse ! Merci beaucoup à Albin Gasparetto de m'avoir aidé à entretenir mon vélo, c'est très écolo: il m'a bien dépanné plus d'une fois. Une petite pensée à mes amis des soirées musicales de Toulouse, Florian Calas, Guillaume Boyer et Véronique Bonnet avec lesquels j'ai découvert tellement de sonorités différentes et intéressantes. Je remercie aussi Vladimir Osmajic avec qui j'ai testé tous les bons restos de Toulouse, puis Ivana et Vojislav deux amis Serbes de Toulouse avec lesquels j'ai aimé partager un thé le dimanche après-midi. Je pense aussi aux personnes vivant loin, en Serbie, mais avec lesquelles j'ai pu garder des liens très amicaux malgré la distance, Marko et Vladimir de Belgrade, Sanja de Cacak, ou Ivan Ratkovic de Barcelone grâce à qui j'ai pu découvrir cette belle ville. Un grand merci à toute la famille Milosevic et mon ami Stéphane chez qui j'ai passé de si bons moments lors de mon séjour à Paris en travaillant à l'UPMC. Pareillement, merci aussi à mes amis serbes de Paris, Igor Matasic, Milica Savic et Aleksandra Spasic de m'avoir aussi accueilli chez eux pendant que j'effectuais mes travaux de recherche à Paris et d'avoir passé de si bon moments dans la ville des Lumières ! Je tiens aussi beaucoup à remercier mes trois collègues ingénieurs en électronique de Belgrade, Milos Radovanovic, Predrag Circkovic et Prica avec lesquels j'ai eu de nombreuses discussions Skype au sujet de mes travaux de thèse. Un tout particulier merci à mon ami Aleksandar Stepanovic Tajger de la télévision nationale Serbe avec qui j'ai eu l'occasion d'échanger tard le soir, lorsque ma thèse n'avancait pas aussi vite que je le voulais.

Remerciements

Une petite pensée à tous mes enseignants et professeurs que j'ai eus depuis la maternelle jusqu'à l'Université. Grâce à eux tous j'ai toujours continué à apprendre. Même si ils n'ont pas d'implication directe dans l'élaboration de ma thèse, la soif d'apprendre qu'ils m'ont transmise, m'a beaucoup servi pour devenir Docteur. Merci à tous mes professeurs de l'Université de Belgrade de la Faculté d'Électrotechnique. Merci tout particulièrement à Monsieur Milan Prokin qui m'a donné envie de choisir l'électronique comme spécialisation. Merci aussi à Monsieur Predrag Pejovic qui a dirigé mon mémoire de Master 2 en électronique de puissance à la Faculté d'Électrotechnique de Belgrade. Une pensée et un grand merci à Madame Irini Reljin qui a dirigé mon mémoire de fin d'études au sein de la même Faculté d'Électrotechnique. Un immense merci et reconnaissance à tous leurs collègues, dont je citerai ici juste quelques noms, comme Messieurs Radivoje Djuric, Vanja Popovic, Miroslav Dukic, Antonije Djordjevic, et Veljko Milutinovic...

Merci aussi à Madame Sandra Elezovic et à Madame Tatiana Milovanovic du Centre Culturel Français de Belgrade (devenu Institut Français entretemps) qui m'ont toujours accompagné à garder un contact avec la France et de bien y choisir mon Université où je pouvais continuer mes études. Par ailleurs, merci aussi à toute l'équipe du réseau "n+i"¹ qui m'ont permis de venir en France en 2010 pour faire un Master 2 en électronique à INP de Toulouse (grâce à une bourse d'excellence du Gouvernement Français qu'octroie chaque année l'Ambassade de France de Belgrade).

Cette thèse aurait peut-être pu être réalisée par quelqu'un d'autre si je n'avais pas été mis au monde par mes deux parents, mon papa Bosko et ma maman Rajka qui m'ont soutenu tout au long de ma vie depuis ma naissance, puis l'adolescence turbulente, et enfin pendant toutes ces longues années d'études qui ont nécessité beaucoup de patience, de compréhension et de soutien de leur part. Merci papa, merci maman ! J'adresse aussi une pensée pour remercier mon petit frère Jakov !

¹ <http://www.nplusi.com/fr>; Étudier l'ingénierie en France: Les Grandes Écoles françaises d'ingénieurs, parmi les meilleures, ont créé le Réseau "n+i" pour aider les étudiants à s'installer en France pour y faire des études supérieures et les accompagnent de près pendant toute la durée de leur séjour!

Remerciements



Figure 0-0: Merci à tous ceux que j'ai côtoyé durant dans mon parcours de thésard et à ceux qui m'ont permis d'entamer et accomplir une si belle aventure!

Enfin pour finir, je tenais à me remercier moi-même☺, d'avoir persévéré, toujours gardé espoir, sachant que même si la manip ou la simu ne fonctionnait pas, il y aurait une solution pour avoir un bon résultat à exploiter et présenter. Je sais que ça peut paraître narcissique ou égocentrique, je trouve qu'on exprime si rarement de la gratitude envers soi-même et on regarde sa réussite comme si cela allait de soi. Tous les efforts personnels et le soutien des autres, se voient récompensés à la fin, malgré le long et parfois dur chemin jusqu'à ce beau titre de Docteur en micro-électronique. Je tiens donc à me remercier d'avoir su évoluer dans un milieu qui me passionne et que j'aime, mais qui ne pardonne pas si on n'est pas assez tenace, rigoureux et créatif.

Et merci à mon sujet de thèse de m'avoir permis de vivre une si belle aventure scientifique et surtout humaine...

P.S.: On me demandera certainement pourquoi une si longue liste de remerciements? Tout simplement parce que après quelques années on ne se souvient que du nom de ses directeurs de thèse et des collaborateurs avec lesquels on a travaillé le plus sans oublier bien-sûr de ses amis proches qui ont toujours été là. Les autres disparaissent de notre mémoire et je souhaite que cette liste longue, mais non exhaustive, soit un témoignage de ma sincère considération de leur passage dans ma vie! Merci.

Remerciements

Table des matières

CHAPITRE I. INTRODUCTION.....	1
I.1. Généralités sur les CI Smart Power.....	4
I.2. Défaillances et points faibles des CI Smart Power.....	9
I.3. Modélisation des défaillances liées au couplage substrat dans les CI Smart Power	12
I.4. Contexte des travaux de thèse: le projet AUTOMICS avec une modélisation innovante du couplage substrat dans les CI de type Smart Power	13
I.5. Conclusion.....	15
CHAPITRE II. LE COUPLAGE SUBSTRAT.....	17
II.1. État de l'art du couplage substrat dans les CI Smart Power	18
II.1.1. L'impact de la nature du substrat sur le couplage.....	18
II.1.2. Le couplage substrat dans les CI mixtes basse tension.....	20
II.1.3. Le couplage substrat dans les CI Smart Power.....	21
II.1.3.1. Activation du transistor bipolaire NPN parasite.....	21
II.1.3.2. Activation du transistor bipolaire PNP parasite	22
II.2. Types de protections du couplage substrat dans les CI Smart Power	26
II.2.1. Protection passive: transistor isolé par jonction	26
II.2.2. Protection passive: anneaux de garde.....	27
II.2.3. Protection passive: barrière de type "Deep Trench"	27
II.2.4. Protection active: circuit de protection.....	29
II.2.5. Protection avec un substrat isolant: "SOI-Silicon On Insulator"	30
II.3. Couplage substrat: modélisation et simulation.....	31
II.3.1. Modélisation par un réseau R ou RC distribué du couplage substrat	31
II.3.2. Approche TCAD du couplage substrat.....	33
II.3.3. Modèle compact de transistors MOS	34
II.4. Conclusion	35
CHAPITRE III. CARACTERISATION DU COUPLAGE SUBSTRAT DANS LES CIRCUITS SMART POWER.....	39
III.1. Présentation du véhicule de test – AUTOBENCH 2.....	39
III.2. Cas d'étude 1: collection des porteurs par un puit de type n.....	43
III.2.1. Caractérisation du transistor bipolaire NPN parasite activé par le couplage substrat	47
III.2.2. Analyse de l'effet de la distance sur le couplage substrat	47
III.2.2.1. Description de l'expérience	47
III.2.3. Analyse de l'influence des pads de protection ESD sur le couplage substrat	49
III.2.3.1. Description de l'expérience	49
III.2.4. Analyse de l'effet de la température sur le couplage substrat	49
III.2.4.1. Description de l'expérience	49

III.3. Cas d'étude 2: couplage substrat entre un convertisseur DC-DC et une référence de tension Bandgap	51
III.3.1. La structure interne du cas d'étude 2	51
III.3.1.1. Le convertisseur DC-DC	53
III.3.1.2. La référence de tension Bandgap	55
III.3.1.3. Interaction entre le convertisseur DC-DC et le Bandgap sous l'effet du couplage substrat	58
A.) Injection de porteurs minoritaires dans le substrat (Activation du transistor bipolaire NPN parasite)	59
B.) Injection de porteurs majoritaires dans le substrat (Activation du transistor bipolaire PNP parasite)	61
III.3.2. Les expériences du cas d'étude 2	62
III.3.2.1. Dysfonctionnement du Bandgap lors d'une injection de courant statique	62
III.3.2.2. Effet des anneaux de garde sur le couplage substrat	63
III.3.2.3. Effet de la température sur le couplage substrat	64
III.3.2.4. Caractérisation du transistor bipolaire PNP parasite par l'injection de porteurs majoritaires dans le substrat	65
III.3.2.5. Dysfonctionnement du Bandgap lors d'une injection de courant dynamique	66
III.4. Instanciation du véhicule de test	66
III.5. Banc de test pour la caractérisation du couplage substrat.....	68
III.5.1. Banc de test pour le cas d'étude 1	70
III.5.1.1. Banc de test du cas d'étude 1 pour les analyses à température ambiante	70
III.5.1.2. Banc de test du cas d'étude simple pour l'analyse de l'effet de la température sur le couplage substrat	73
III.5.2. Banc de test pour le cas d'étude 2	74
III.5.2.1. Banc de test pour caractérisation du transistor bipolaire PNP parasite	74
III.5.2.2. Banc de test lors de l'injection de courant statique	75
III.5.2.3. Banc de test pour les mesures d'injection de courant dynamique	76
IV.6. Résultats des mesures du cas d'étude 1.....	77
III.6.1. Caractérisation du transistor NPN bipolaire parasite activé par le couplage substrat	77
III.6.2. Analyse de l'effet de la distance sur le couplage substrat	78
III.6.3. Analyse de l'influence des pads de protection ESD sur le couplage substrat	84
III.6.4. Analyse de l'effet de la température sur le couplage substrat	86
IV.7. Résultats des mesures du cas d'étude 2.....	90
III.7.1. Mesures pour caractérisation du transistor bipolaire PNP parasite	90
III.7.2. Impact sur le Bandgap l'injection statique du courant substrat via le drain du NMOS de puissance	91
III.7.3. Effet des anneaux de garde sur le couplage substrat lors d'une injection de courant statique	94
III.7.4. Effet de la température sur le couplage substrat lors d'une injection de courant statique	97
III.7.5. Mesures dynamiques de l'injection du courant dans le substrat	99
IV.8. Conclusion	102
 CHAPITRE IV. MISE EN ÉVIDENCE DU COUPLAGE SUBSTRAT PAR MESURES SUR PUCE	105
IV.1. État de l'art des capteurs sur puce.....	105
IV.2. Conception du capteur sur puce.....	108
IV.2.1. Architecture du capteur.....	108
IV.2.1.1. Le cœur du capteur sur puce.....	109
IV.2.1.2. Sondes du capteur sur puce	110
IV.2.2. Principe d'acquisition avec la méthode de sous-échantillonnage.....	113

IV.3. Caractérisation du capteur sur puce.....	115
IV.3.1. Calibration de la cellule de délai.....	115
IV.3.2. Calibration pour compenser l'offset en tension des sondes.....	118
IV.4. Mesures avec le capteur sur puce.....	120
IV.4.1. Analyse du couplage substrat et de son influence sur le Bandgap lors du fonctionnement du convertisseur DC-DC.....	121
IV.4.2. Analyse du couplage substrat et de son influence sur le Bandgap lors d'une injection conduite.....	122
IV.4.3. Banc de test pour les mesures avec le capteur sur puce.....	123
IV.4.4. Résultat des mesures réalisées avec le capteur sur puce.....	126
IV.4.4.1. Résultats de l'analyse du couplage substrat et de son influence sur le Bandgap lors du fonctionnement du convertisseur DC-DC.....	126
IV.4.4.2. Résultats de l'analyse du couplage substrat et de son influence sur le Bandgap lors d'une injection DPI.....	129
A.) L'activation du transistor bipolaire PNP parasite lors d'une injection DPI.....	129
B.) Activation du transistor bipolaire NPN parasite lors d'une injection DPI.....	130
IV.5. Conclusion.....	131
CHAPITRE V. EVALUATION D'UNE NOUVELLE METHODE DE MODELISATION DU COUPLAGE SUBSTRAT DANS LES CIRCUITS SMART POWER.....	135
V.1. Présentation des méthodes de modélisation du couplage substrat.....	136
V.1.1. Modèle EPFL du couplage substrat.....	136
V.2. Modèle du couplage substrat dans les Circuits Intégrés SMART POWER.....	138
V.2.1. Description des éléments localisés.....	138
V.2.1.1. Discrétisation de l'équation de dérive-diffusion.....	138
V.2.1.2. Résistance EPFL.....	145
V.2.1.3. Diode EPFL.....	145
V.2.1.4. Homojonction EPFL.....	146
V.2.2. Modélisation des transistors bipolaires parasites NPN et PNP du substrat avec les trois éléments localisés de l'EPFL.....	147
V.3. Outil AUTOMICS: extracteur du modèle de substrat dépendant du layout.....	148
V.3.1. Présentation du flot de simulation de l'outil AUTOMICS.....	148
V.3.1.1. L'étape de pré-processing de l'outil AUTOMICS.....	149
V.3.1.2. L'étape d'extraction du layout de l'outil AUTOMICS.....	151
A.) Phase de réduction de nombre d'éléments.....	151
B.) Phase de maillage du layout.....	152
C.) Phase d'extraction du layout.....	154
V.3.1.3. L'étape de post-processing de l'outil AUTOMICS.....	155
V.3.2. La calibration de l'outil AUTOMICS.....	155
V.4. Validation du modèle par simulation.....	156
V.4.1. Extraction du layout et génération de la netlist du substrat du cas d'étude 1.....	156
V.4.2. Extraction du layout et génération de la netlist du substrat du cas d'étude 2.....	162
V.4.3. Résultats des simulations du cas d'étude 1 réalisées avec l'extraction complète du layout.....	163
V.4.3.1. Caractérisation du transistor bipolaire parasite activé par le couplage substrat (avec l'extraction complète du layout).....	164
V.4.3.2. Analyse de l'effet de la distance sur le couplage substrat (avec l'extraction complète du layout)....	165

Table des matières

V.4.3.3. Analyse de l'effet de la température sur le couplage substrat.....	168
V.4.4. Résultats des simulations du cas d'étude 1 réalisées avec l'extraction simplifiée du layout	171
V.4.5. Récapitulatif des résultats de simulation sur le cas d'étude n°1	173
V.4.6. Résultats des simulations du cas d'étude 2	174
V.4.6.1. Impact l'injection statique de courant substrat sur le Bandgap.....	174
V.4.6.2. Effet des anneaux de garde sur le couplage substrat lors d'une injection de courant statique.....	178
V.4.6.3. Effet de la température sur le couplage substrat lors d'une injection de courant statique	181
A.) Le temps nécessaire pour les simulations	183
V.5. Simulations transitoires de l'injection du courant dans le substrat.....	183
V.5.1. Simulations transitoires de l'impact sur le fonctionnement du Bandgap lors de l'injection du courant dans le substrat	183
V.5.2. Simulations transitoires du courant collecté par les anneaux de garde des Bandgap et du convertisseur DC-DC	187
V.5.3. Récapitulatif des résultats de simulation transitoires sur le cas d'étude n°2	188
V.6. Conclusion.....	189
CHAPITRE VI. CONCLUSION ET PERSPECTIVES.....	195

Liste des figures

Figure I-1: Marché annuel des CI Smart Power en Milliards de Dollars [I-2].....	5
Figure I-2: CI Smart Power dans le secteur automobile, 27.4 Mrd\$ en 2015 (capteurs semi-conducteurs inclus) [I-3].....	5
Figure I-3: L'évolution de la source d'énergie du transport routier (automobiles, camions, bus) avec l'évolution de la technologie de propulsion, à l'horizon 2050, selon l'étude ERTRAC [I-5]	5
Figure I-4: L'évolution du module du contrôle du châssis des automobiles "BMW" [I-4].....	6
Figure I-5: les différentes utilisations des CI Smart Power dans une voiture moderne (schématique d'une Porsche® 911, image empruntée sur [I-6]).....	6
Figure I-6: Éléments fonctionnels d'un CI Smart Power.....	7
Figure I-7: les architectures de ces structures de puissance	8
Figure I-8: Architecture interne d'un CI Smart Power	8
Figure I-9: Pont en H pour le contrôle des moteurs, courants [I-11].....	10
Figure II-1: Deux types de wafer: a.) wafer faiblement dopé; b.) wafer à croissance épitaxiale	18
Figure II-2: Circulation du courant substrat dans un wafer faiblement dopé [II-1]	19
Figure II-3: Circulation du courant substrat avec une technologie à croissance épitaxiale [II-1]	19
Figure II-4: Activation du transistor bipolaire NPN parasite	22
Figure II-5: Activation du transistor bipolaire PNP vertical parasite.....	22
Figure II-6: Activation du transistor bipolaire PNP latéral parasite.....	23
Figure II-7: Effet latchup dans les CI Smart Power	24
Figure II-8: Protection passive, anneaux de garde	27
Figure II-9: Protection de type "Deep Trench"	28
Figure II-10: Microphotographie de l'isolation de type "Deep Trench" a.) Silicium dioxyde SiO ₂ comme isolant [II-5] b.) Avec de l'air comme isolant [II-4].....	28
Figure II-11: Vue en coupe d'une protection active [21II-9].....	29
Figure II-12: Schématique d'une protection active [II-9].....	29
Figure II-13: Protection avec un substrat isolant en oxyde enterré ("SOI").....	30
Figure II-14: Intégration du couplage substrat dans les modèles compacts de transistors MOSFET grâce à leurs transistors bipolaires inhérents le NPN latéral et les PNP latéraux et verticaux	34
Figure III-1: La vue en coupe du procédé technologique <i>ams GmbH</i> haute tension	40
Figure III-2: Schéma-bloc du véhicule de test AUTOBENCH 2	42

Liste des figures

Figure III-3: Vue en coupe de la sortie PAD_OUT ou "N Well agresseur", source d'injection des porteurs minoritaires dans le substrat	44
Figure III-4: Le layout de la puce V1, distance 145um entre les points d'injection et de collection	45
Figure III-5: Le layout de la puce V2, distance 290um entre les points d'injection et de collection	45
Figure III-6: Le layout de la puce V3, deux points de collection simultanée à la distance de 145um et 290um du point d'injection.....	46
Figure III-7: Le layout de la puce V4, distance 290um entre les points d'injection et de collection; la broche PAD_DNPS a juste un contact métallique et pas de protections ESD.....	46
Figure III-8: Cas d'étude 1, puce V1: couplage entre PAD_OUT et le N Well 1	48
Figure III-9: Cas d'étude 1, puce V2: couplage entre PAD_OUT et NWELL 2	48
Figure III-10: Cas d'étude simple, puce V4: couplage entre PAD_OUT et NWELL 2 sans la protection ESD de la broche PAD_DNPS	49
Figure III-11: Protocole expérimental de mesure de l'effet de la température sur le couplage substrat du cas d'étude 1	50
Figure III-12: Sortie du convertisseur DC-DC avec une charge inductive - Activation du couplage substrat.....	51
Figure III-13: Vue d'ensemble du véhicule de test AUTOBENCH 2 ; schéma bloc du cas d'étude 2	52
Figure III-14: Schéma-bloc du convertisseur DC-DC du cas d'étude 2	53
Figure III-15: Architecture interne de la référence de tension Bandgap 1,23V	56
Figure III-16: Référence de tension Bandgap instanciée sur la puce AUTOBENCH 2.....	58
Figure III-17: Vue en coupe du layout lors de l'injection des porteurs minoritaires issus du substrat et collectés dans un des trois transistors bipolaires du Bandgap Q ₀ , Q ₁ , Q ₂	59
Figure III-18: Référence de tension Bandgap en sortie V _{ref} = 1,23V: dysfonctionnement dû au couplage substrat	60
Figure III-19: Vue en coupe du layout lors de l'injection des porteurs majoritaires issus du substrat, variation du potentiel du substrat (couleur jaune du substrat).....	61
Figure III-20: Le layout des éléments clés du circuit dans notre cas d'étude 2: le drain du NMOS de puissance, les collecteurs des transistors bipolaires des deux circuits Bandgap et les anneaux de garde respectif de ses structures	62
Figure III-21: Vue en coupe du layout lors de l'injection des porteurs minoritaires via le drain du NMOS de puissance provoquant le dysfonctionnement du Bandgap - Mise en évidence du transistor bipolaire NPN parasite multi collecteur.....	63
Figure III-22: Effet de la température sur le couplage substrat, vue en coupe du layout lors de l'injection des porteurs minoritaires via le drain du NMOS de puissance provoquant le dysfonctionnement du Bandgap.....	65
Figure III-23: Caractérisation du transiter bipolaire PNP parasite par l'injection de porteurs majoritaires dans le substrat.....	66
Figure III-24: Layout (à gauche) et microphotographie (à droite) de la puce AUTOBENCH 2	67

Liste des figures

Figure III-25: puce AUTOBENCH 2 dans son boîtier QFN 32, sans la résine protectrice.....	68
Figure III-26: Carte de test AUTOMICS 2 et les câbles adaptés aux besoins de sa connectique	68
Figure III-27: Banc de test pour le cas d'étude 1 et le cas d'étude 2.....	70
Figure III-28: Banc de test pour cas d'étude 1 - puce V1: couplage entre PAD_OUT et le N Well 1	71
Figure III-29: Banc de test pour cas d'étude 1 - puce V2: couplage entre PAD_OUT et le N Well 2	71
Figure III-30: Banc de test pour cas d'étude 1 - puce V4: couplage entre PAD_OUT et le N Well 4 sans la protection ESD sur la broche PAD_DNPS	72
Figure III-31: Banc de test pour analyser les effets de la variation de la température sur le couplage substrat	73
Figure III-32: Banc de test pour caractérisation du transistor bipolaire PNP parasite	74
Figure III-33: Cas d'étude 2, le schéma bloc de la partie utilisée de la puce AUTOBENCH 2 avec les broches dédiés pour le convertisseur DC-DC et les deux Bandgap	75
Figure III-34: Banc de test pour analyser les effets du couplage substrat entre la sortie du convertisseur DC-DC et la référence de tension Bandgap.....	76
Figure III-35: Banc de test pour mesures dynamiques de l'injection du courant dans le substrat	77
Figure III-36: Caractérisation I(V) du transistor bipolaire NPN parasite activé par le couplage substrat; à gauche – échelle décimale, à droite - échelle logarithmique	78
Figure III-37: Caractérisation du transistor bipolaire NPN parasite activé par le couplage substrat; à gauche – $I_C (V_{CE})$, à droite - gain en courant $\alpha=I_C/I_E$	78
Figure III-38: Courant collecté en fonction de la tension V_{CE} (échelle linéaire & logarithmique)	79
Figure III-39: Agrandissement sur le déclenchement du couplage substrat:.....	79
Figure III-40: Courant collecté par N Well 1 et par N Well 2 en fonction du courant injecté dans le substrat via la broche PAD_OUT	80
Figure III-41: Gain en courant du transistor bipolaire parasite, $\alpha=I_C/I_E$ en fonction de la tension de PAD_OUT (gauche), en fonction du courant injecté (droite).....	80
Figure III-42: Rapport des gains en courant du transistor bipolaire parasite, α_1/α_2 en fonction de la tension de PAD_OUT (gauche), en fonction du courant injecté (droite).....	80
Figure III-43: puce V1, courant collecté par N Well 1, selon la tension du PAD_DNPS_ESD	81
Figure III-44: puce V2, courant collecté par N Well 2, selon la tension du PAD_DNPS_ESD	81
Figure III-45: Puce V1 Vs. V2 {temp=24°C}: PAD_DNPS_ESD Courant collecté par N Well 1 (gauche)	82
Figure III-46: Distance moyenne entre le point d'injection et les points de collecte, répartis sur les puits N well 1 et N well 2	83
Figure III-47: Courant collecté par les puits N Well 1 et N Well 2 en fonction du courant injecté dans le substrat via la broche PAD_OUT	83

Liste des figures

Figure III-48: Puce V2 & V4; PAD_DNPS_ESD & PAD_DNPS courant collecté par N Well 2 {temp=24°C}	85
Figure III-49: Puce V2; Courant collecté par le pad de protection ESD {temp=24°C}	85
Figure III-50: Gain en courant du transistor bipolaire parasite, $\alpha=I_C/I_E$ en fonction du courant injecté.....	86
Figure III-51: Puce V1 ; PAD_OUT I(V) - Courant injecté {temp=24°C, 55°C, 80°C et 105°C}	86
Figure III-52: Puce V1 ; PAD_OUT I(V), échelle semi logarithmique - Courant injecté {temp=24°C, 55°C, 80°C et 105°C}	87
Figure III-53: Puce V1 ; PAD_OUT I(V), échelle semi logarithmique, agrandissement	87
Figure III-54: Puce V1 ; Courant collecté par N Well 1 pour différentes températures en fonction du courant injecté.....	88
Figure III-55: Puce V1 ; Agrandissement du courant collecté par N Well 1 pour différentes températures en fonction du courant injecté.....	88
Figure III-56: Puce V1: variation du gain en courant $\alpha=I_C/I_E$ en fonction du courant injecté pour différentes températures.....	88
Figure III-57: Puce V1 ; Courant collecté par N Well 1 pour différentes températures en fonction de la tension de $V_{ce}=PAD_DNPS_ESD - PAD_OUT (PAD_DNPS_ESD=0V)$; Gauche: Toute la gamme des tensions ; Droite: Agrandissement sur la partie centrale.....	89
Figure III-58: Puce V1: Courant collecté par N Well 1 pour différentes températures au moment de l'apparition du couplage substrat ; PAD_DNPS_ESD=0V	89
Figure III-59: Caractéristique $I_C(V_{EC})$ et gain α du transistor bipolaire PNP parasite.....	90
Figure III-60: Caractérisation I(V) de la jonction pn formée par le drain du NMOS de l'étage de sortie du convertisseur DC-DC et le substrat.....	91
Figure III-61: Dysfonctionnement du Bandgap dû au couplage substrat, variation de la tension de sortie V_{ref} en fonction du courant injecté via la sortie du convertisseur DC-DC	92
Figure III-62: Variation de la consommation du Bandgap suite au couplage substrat.....	92
Figure III-63: Collection du courant substrat par les anneaux de garde du Bandgap.....	93
Figure III-64: Collection du courant substrat par les anneaux de garde du convertisseur DC-DC	93
Figure III-65: Dysfonctionnement des Bandgap dû au couplage substrat, avec et sans anneau de garde du convertisseur DC-DC (TX_DNPS); avec et sans anneau de garde des Bandgap (BG_DNPS); anneaux de garde: activés: 'ON' ; désactivés: 'OFF'	94
Figure III-66: Variation de la consommation du Bandgap suite au couplage substrat ; avec et sans anneau de garde du convertisseur DC-DC (TX_DNPS); avec et sans anneau de garde des Bandgap (BG_DNPS); anneaux de garde: activés: 'ON' ; désactivés: 'OFF'.....	95
Figure III-67: Collection du courant substrat par les anneaux de garde du Bandgap ; avec et sans anneau de garde du convertisseur DC-DC (TX_DNPS); anneaux de garde: activés: 'ON' ; désactivés: 'OFF'	96

Liste des figures

Figure III-68: Collection du courant substrat par les anneaux de garde du convertisseur DC-DC ; avec et sans anneau de garde des Bandgap (BG_DNPS); anneaux de garde: activés: 'ON' ; désactivés: 'OFF'	96
Figure III-69: Caractérisation I(V) du transistor bipolaire parasite activé par le couplage substrat	97
Figure III-70: Dysfonctionnement du Bandgap gauche dû au couplage substrat pour différentes températures ; variation de la tension de sortie V_{ref} en fonction du courant injecté via NMOS Drain.....	98
Figure III-71: Dysfonctionnement du Bandgap droit dû au couplage substrat pour différentes températures ; variation de la tension de sortie V_{ref} en fonction du courant injecté via NMOS Drain.....	98
Figure III-72: Injection dynamique NMOS Drain ; Fréquence des impulsions: à gauche=100Hz, à droite=200Hz ;	99
Figure III-73: Injection dynamique NMOS Drain ; Fréquence des impulsions: à gauche=400Hz, à droite=800Hz ;	99
Figure III-74: Injection dynamique NMOS Drain ; Fréquence des impulsions: à gauche=1.6kHz, à droite=3.2kHz ;	99
Figure III-75: Injection dynamique NMOS Drain ; Fréquence des impulsions: à gauche=6.4kHz, à droite=12.8kHz ;	100
Figure III-76: Injection dynamique NMOS Drain ; Fréquence des impulsions: à gauche=25.6kHz, à droite=51.2kHz ;	100
Figure III-77: Injection dynamique NMOS Drain ; Fréquence des impulsions: à gauche=102.4kHz à droite=204.8kHz ;	100
Figure III-78 Injection dynamique NMOS Drain ; Fréquence des impulsions = 409.6kHz ;	100
Figure III-79: Bandgap V_{ref} : valeur moyenne en fonction de la fréquence d'impulsions; échelle linéaire des fréquences à gauche, échelle logarithmique des fréquences à droite	101
Figure IV-1: L'architecture générale du circuit capteur sur puce	109
Figure IV-2: Caractéristiques de l'amplificateur rail-to-rail de type folded cascode À gauche: gain en boucle fermé avec $C_{out}=100pF$ et $C_{out}=1pF$ À droite: impédance d'entrée.....	109
Figure IV-3: Marge de phase de l'amplificateur rail-to-rail de type folded cascode	110
Figure IV-4: Le layout du cœur du capteur avec logiciel CAO	110
Figure IV-5: Microphotographie du layout du cœur du capteur	110
Figure IV-6: Architecture du bloc échantillonneur-bloqueur de chaque sonde avec l'atténuateur optionnel	112
Figure IV-7: Le layout du cœur de la sonde S3 (atténuateur 2/3) avec logiciel CAO	113
Figure IV-8: Microphotographie du layout de la sonde S3, atténuateur 2/3, $W \times L = 51\mu m \times 117\mu m$	113
Figure IV-9: Principe de sous-échantillonnage	114
Figure IV-10: Architecture interne de la cellule de délai	114
Figure IV-11: Délai simulé et mesuré en fonction de V_{analog} et V_{range}	117

Liste des figures

Figure IV-12: Délai simulé et mesuré en fonction de V_{analog} et V_{range} (agrandissement)	117
Figure IV-13: L'erreur relative entre simulations et mesures de la loi du délai (à droite: agrandissement pour les valeurs de V_{range} de 0.9V à 1.2V)	117
Figure IV-14: Échantillonnage d'une rampe 0-5V, par une sonde sans atténuateur.....	118
Figure IV-15: Calibration en offset pour la sonde S6 (sans atténuateur)	119
Figure IV-16: Principe de mesure et de post-traitement de signal avec le capteur sur puce	120
Figure IV-17: Impact du convertisseur DC-DC en commutation sur le fonctionnement du Bandgap	121
Figure IV-18: Impact d'une injection DPI sur le fonctionnement du Bandgap	122
Figure IV-19: Le banc de test pour les mesures avec le capteur sur puce pour l'analyse du couplage substrat et de son influence sur le Bandgap: a) lors du fonctionnement du convertisseur DC-DC b) lors d'une injection DPI	123
Figure IV-20: Photo du banc de test pour mesures avec le capteur sur puce	124
Figure IV-21: Perturbation du Bandgap lors du fonctionnement du convertisseur DC-DC à 100kHz, avec $Z_{\text{out}}=47\Omega$; TX_VDD20=12V; front montant à gauche; front descendant à droite;	126
Figure IV-22: Perturbation du Bandgap lors du fonctionnement du convertisseur DC-DC à 10kHz, avec $Z_{\text{out}}=(47+jw*22\mu\text{H})\Omega$; TX_VDD20=12V (à gauche); TX_VDD20=17V (à droite);	128
Figure IV-23: Perturbation du Bandgap lors du fonctionnement du convertisseur DC-DC à 10kHz, avec $Z_{\text{out}}=47\Omega$; TX_VDD20=12V (à gauche); TX_VDD20=17V (à droite);.....	128
Figure IV-24: Activation du PNP avec une perturbation DPI de 10 MHz avec différentes puissances d'injection (PFOR={25.88dBm; 27,88dBm; 30.99dBm; 32.41dBm}).....	129
Figure IV-25: Activation du NPN avec une perturbation DPI de 10 MHz avec différentes puissances d'injection (PFOR=25.88dBm; 30dBm; 33dBm; 35dBm; 37.77dBm).....	130
Figure V-1: Nouvelle approche de modélisation du couplage substrat de l'EPFL avec l'intégration des transistors bipolaires parasites inhérents au layout (les NPN latéraux avec les PNP latéraux et verticaux du modèle compact déjà existant).....	136
Figure V-2: Flot de conception avec et sans l'outil AUTOMICS	137
Figure V-3: Mécanisme de couplage entre les porteurs minoritaires et majoritaires défini par le phénomène de drift et diffusion des porteurs, [V-31].....	139
Figure V-4: discrétisation 1 D du semi-conducteur [V-34].....	140
Figure V-5: Le symbole (gauche) et le circuit équivalent (droite) de la résistance EPFL	145
Figure V-6: Le symbole (haut) et le circuit équivalent (bas) de la diode EPFL.....	146
Figure V-7: Le symbole (haut) et le circuit équivalent (bas) de l'homojunction EPFL	147
Figure V-8: Transistors bipolaires parasites du substrat modélisés par les éléments localisés développés par l'EPFL	148
Figure V-9: Flot d'extraction du modèle distribué du substrat avec l'outil [V-42].....	149

Liste des figures

Figure V-10: Un exemple du fichier XML.....	150
Figure V-11: Les couches disponibles dans l'outil AUTOMICS pour la technologie <i>ams 0.35μm CMOS haute tension</i> avec les éléments localisés de l'EPFL parasites du substrat (les résistances de l'EPFL sont omises pour simplifier la figure) [V-35]	150
Figure V-12: Construction du maillage 3D du substrat à partir du fichier XML et du layout	152
Figure V-13: Maillage basique non uniforme pour un process technologique <i>ams 0.35μm CMOS haute tension</i> [V-35]. La ligne bleue représente les contacts du substrat et du Deep N Well.....	153
Figure V-14: Maillage amélioré non uniforme pour un process technologique <i>ams 0.35μm CMOS haute tension</i> [V-35]. La ligne bleue représente les contacts du substrat et du Deep N Well.....	154
Figure V-15: Zone de layout pour l'extraction complète du cas d'étude 1	157
Figure V-16: Zone de layout pour l'extraction complète du cas d'étude 1 destinée à l'outil AUTOMICS (N Well, P Well, N ⁺ et P ⁺ conservés seulement).....	158
Figure V-17: Gauche: Zone de layout pour l'extraction réduite du cas d'étude 1; Droite: Zone de layout pour l'extraction réduite du cas d'étude 1, destinée à l'outil AUTOMICS (N Well, P Well, N ⁺ et P ⁺ conservés seulement).....	158
Figure V-18: Exemple du début de la netlist des parasites du substrat à l'issue de l'extraction avec l'outil AUTOMICS et composé uniquement des éléments localisés de l'EPFL	159
Figure V-19: Le layout du cas d'étude 1 à l'issue de l'extraction avec un maillage non uniforme amélioré en utilisant l'outil AUTOMICS incluant les éléments localisés de l'EPFL.....	160
Figure V-20: Le layout du cas d'étude 1 à l'issue de l'extraction avec l'outil AUTOMICS avec un maillage à maille fixe de 100 μm et incluant les éléments localisés de l'EPFL.....	161
Figure V-21: Le layout du cas d'étude 1 à l'issue de l'extraction simplifiée avec un maillage non uniforme amélioré en utilisant l'outil AUTOMICS incluant les éléments localisés de l'EPFL	161
Figure V-22: Zone de layout pour l'extraction du cas d'étude 2, destiné à l'outil AUTOMICS (N Well, P Well, N ⁺ et P ⁺ conservés seulement).....	162
Figure V-23: Le layout du cas d'étude 2 à l'issue de l'extraction simplifiée avec un maillage non uniforme amélioré en utilisant l'outil AUTOMICS incluant les éléments localisés de l'EPFL	163
Figure V-24: Comparaison des mesures et simulations de la caractérisation I(V) du transistor bipolaire NPN parasite activé par le couplage substrat; à gauche – échelle décimale, à droite - échelle logarithmique	164
Figure V-25: Comparaison des mesures et simulations de la caractérisation du transistor bipolaire NPN parasite activé par le couplage substrat; à gauche – I _C (V _{CE}), à droite - gain en courant α=I _C /I _E	165
Figure V-26: Comparaison des mesures et simulations du courant collecté en fonction de la tension V _{CE} (échelle linéaire & logarithmique)	166

Liste des figures

Figure V-27: Comparaison des mesures et simulations du courant collecté en fonction du courant injecté dans le substrat via PAD_OUT (échelle linéaire & logarithmique).....	166
Figure V-28: Comparaison des mesures et simulations du gain en courant du transistor bipolaire parasite, $\alpha=I_C/I_E$ en fonction de la tension de PAD_OUT (gauche), en fonction du courant injecté (droite).....	167
Figure V-29: Comparaison des mesures et simulations du courant collecté par les puits N Well 1 et N Well 2 en fonction du courant injecté dans le substrat via la broche PAD_OUT	167
Figure V-30: Gauche, la partie du circuit entier qui a été modélisée encadrée en rouge Droite, l'explication sur la différence entre mesures et simulations.....	168
Figure V-31: Comparaison simulations et mesures avec la puce V1 ; PAD_OUT I(V) - Courant injecté {température=24°C, 55°C, 80°C et 105°C}	168
Figure V-32: Comparaison simulations et mesures sur la puce V1 ; PAD_OUT I(V) - Courant injecté {temp=24°C, 55°C, 80°C et 105°C}, échelle logarithmique	169
Figure V-33: Comparaison mesures (haut) et simulations (bas) sur la Puce V1; Courant collecté par N Well 1 pour différentes températures en fonction de la tension de V_{CE} (avec PAD_DNPS_ESD=0V);	169
Figure V-34 Comparaison mesures (haut) et simulations (bas) sur la Puce V1; Courant collecté par N Well 1 pour différentes températures en fonction de la tension de V_{CE} (avec PAD_DNPS_ESD=0V); (Agrandissement sur la partie centrale).....	170
Figure V-35: Comparaison simulation et mesures sur Puce V1 ; variation du gain en courant $\alpha=I_C/I_E$ en fonction du courant injecté pour différentes températures	171
Figure V-36: Comparaison des mesures et simulations du courant collecté en fonction de la tension V_{ce} (échelle linéaire & logarithmique)	172
Figure V-37: Comparaison des mesures et simulations du courant collecté en fonction du courant injecté dans le substrat via PAD_OUT (échelle linéaire & logarithmique).....	172
Figure V-38: Comparaison du gain en courant du transistor bipolaire parasite, $\alpha=I_C/I_E$ en fonction du courant injecté.....	172
Figure V-39: Comparaison des mesures et simulations du courant collecté par les puits N Well 1 et N Well 2 en fonction du courant injecté dans le substrat via la broche PAD_OUT	173
Figure V-40: Comparaison mesures et simulations de la caractérisation I(V) de la jonction pn formée par le drain du NMOS de l'étage de sortie du convertisseur DC-DC et le substrat, gauche - échelle linéaire ; droite- échelle logarithmique)	175
Figure V-41: Comparaison mesures et simulations du dysfonctionnement du Bandgap dû au couplage substrat, variation de la tension de sortie V_{ref} en fonction du courant injecté.....	175
Figure V-42: Comparaison mesures et simulations de la variation de la consommation du Bandgap suite au couplage substrat.....	176
Figure V-43: Comparaison mesures et simulations de la collection du courant substrat par les anneaux de garde du Bandgap	176

Liste des figures

Figure V-44: Comparaison mesures et simulations de la collection du courant substrat par les anneaux de garde du convertisseur DC-DC.....	177
Figure V-45: Explications de la différence entre mesures et simulations de la collection du courant substrat par les anneaux de garde du Bandgap	177
Figure V-46: Dysfonctionnement des Bandgap dû au couplage substrat,.....	178
Figure V-47: Variation de la consommation du Bandgap suite au couplage substrat ;.....	179
Figure V-48: Variation de la consommation du Bandgap suite au couplage substrat ;.....	179
Figure V-49: Collection du courant substrat par les anneaux de garde du Bandgap ; avec et sans anneau de garde du convertisseur DC-DC (TX_DNPS); anneaux de garde: activés: 'ON' ; désactivés: 'OFF'.....	180
Figure V-50: Collection du courant substrat par les anneaux de garde du convertisseur DC-DC ; anneaux de garde: activés: 'ON' ; désactivés: 'OFF'.....	180
Figure V-51: Comparaison de la mesure et simulation de la caractérisation I(V) du transistor bipolaire parasite activé par le couplage substrat pour différentes températures.....	181
Figure V-52: Comparaison entre les mesures et les simulations du dysfonctionnement du Bandgap gauche dû au couplage substrat pour différentes températures ; variation de la tension de sortie V_{ref} en fonction du courant injecté via NMOS Drain.....	182
Figure V-53: Comparaison entre les mesures et les simulations du dysfonctionnement du Bandgap droit dû au couplage substrat pour différentes températures ; variation de la tension de sortie V_{ref} en fonction du courant injecté via NMOS Drain.....	182
Figure V-54: Comparaison des mesures et simulations pour l'injection dynamique via le NMOS Drain avec la fréquence des impulsions de 100Hz	184
Figure V-55: Comparaison des mesures et simulations pour l'injection dynamique via le NMOS Drain avec la fréquence des impulsions de 1,6kHz	184
Figure V-56: Comparaison des mesures et simulations pour l'injection dynamique via le NMOS Drain avec la fréquence des impulsions de 12,8kHz	185
Figure V-57: Comparaison des mesures et simulations pour l'injection dynamique via le NMOS Drain avec la fréquence des impulsions de 51,2kHz	185
Figure V-58: Comparaison des mesures et simulations pour l'injection dynamique via le NMOS Drain avec la fréquence des impulsions de 102,4kHz	186
Figure V-59: Comparaison des mesures et simulations pour l'injection dynamique via le NMOS Drain avec la fréquence des impulsions de 204.8kHz	186
Figure V-60: Courant collecté par les anneaux de garde des Bandgap (gauche) et l'anneau de garde du convertisseur DC-DC (droite) pour la fréquence d'impulsions de 100Hz	187
Figure V-61: Courant collecté par les anneaux de garde des Bandgap (gauche) et l'anneau de garde du convertisseur DC-DC (droite) pour la fréquence d'impulsions de 1.6kHz	187
Figure V-62: Courant collecté par les anneaux de garde des Bandgap (gauche) et l'anneau de garde du convertisseur DC-DC (droite) pour la fréquence d'impulsions de 12.8Hz	187
Figure V-63: Courant collecté par les anneaux de garde des Bandgap (gauche) et l'anneau de garde du convertisseur DC-DC (droite) pour la fréquence d'impulsions de 51.2Hz	188

Liste des figures

Figure V-64: Courant collecté par les anneaux de garde des Bandgap (gauche) et l'anneau de garde du convertisseur DC-DC (droite) pour la fréquence d'impulsions de 102.4kHz.....	188
Figure V-65: Courant collecté par les anneaux de garde des Bandgap (gauche) et l'anneau de garde du convertisseur DC-DC (droite) pour la fréquence d'impulsions de 204.8kHz.....	188

Liste des tableaux

Tableau III-A: R_{ON} des transistors MOS de la technologie ams 0.35 μ m CMOS haute tension.....	41
Tableau III-B: Bref descriptif des options de la technologie ams 0.35 μ m CMOS haute tension	41
Tableau III-C: Liste des entrées/sorties de la puce AUTOBENCH 2 pour le cas d'étude 1	43
Tableau III-D: Quatre versions de puce AUTOBENCH 2.....	44
Tableau III-E: Liste des entrées/sorties du convertisseur DC-DC	54
Tableau III-F: Liste des entrées/sorties des deux références de tension Bandgap	58
Tableau III-G: Différentes configurations de tests suivant la polarisation des anneaux de garde.....	64
Tableau III-H: Caractéristiques des instruments de mesure.....	69
Tableau III-I: PAD_OUT fixe, PAD_DNPS_ESD/PAD_DNPS variable	72
Tableau III-J: PAD_DNPS_ESD/PAD_DNPS fixe, PAD_OUT variable	72
Tableau III-K: Recul de la tension de seuil de la jonction pn	87
Tableau IV-A: La description détaillée des 8 sondes du capteur sur puce et leur taux d'occupation sur le layout de la puce AUTOBENCH 2	111
Tableau IV-B: coefficients à l'issue de la calibration des sondes S4 à S6 (exemple pour des puces AUTOBENCH 2).....	119
Tableau IV-C: Liste des entrées/sorties utilisées dans nos 2 expériences avec le capteur sur puce.....	124
Tableau IV-D: Caractéristiques des instruments de mesure utilisés avec le capteur sur puce	125
Tableau V-A: Temps de simulation pour différentes configurations du cas d'étude 1.....	174
Tableau V-B: Temps de simulations transitoires	189

Liste des tableaux

Liste des abréviations et acronymes des institutions

Abréviation	Sens technique
BCD	Bipolar-CMOS-DMOS Technology
BJT	Bipolar Junction Transistor
BT	Basse Tension
CMOS	Complementary Metal Oxide Semiconductor
CI	Circuit Intégré
DC-DC (Converter)	Direct Current-Direct Current (Converter)
DRC	Design Rules Check
DMOS	Double diffused MOS Transistor
DTI	Deep Trench Isolation
FBM	Finite Box Method
FDM	Finite Difference Method
FEM	Finite Elements Method
EMC	Electromagnetic Compatibility
EMI	Electromagnetic Interference
ESD	Electrostatic Discharge
ESR	Equivalent Series Resistance
HS	High Side
HT	Haute Tension
HV	High Voltage
HV-CMOS	High Voltage-Complementary Metal Oxide Semiconductor
LS	Low Side
LV	Low Voltage
LVS	Layout Versus Schematic
NMOS	Transistor MOS avec un canal de type N
MOS	Metal Oxide Semiconductor
PCB	Printed Circuit Board
PMOS	Transistor MOS avec un canal de type P
SOI	Silicon On Insulator
SPICE	Simulation Program with Integrated Circuit Emphasis
TCAD	Technology Computer Aided Design

Acronymes des institutions	Sens
ams	Austria Micro Systems
CNRS	Centre National de la Recherche Scientifique
EPFL	École Polytechnique de Lausanne
LAAS	Laboratoire d'Analyse et d'Architecture des Systèmes
UPMC	Université Pierre et Marie Curie, Paris VI

Production scientifique relative aux présents travaux

Conférences Internationales :

[1] Development of an On-Chip Sensor for Substrate Coupling Study in Smart Power Mixed ICs

Veljko Tomasevic, Alexandre Boyer, Sonia Ben Dhia

Asia-Pacific International EMC Symposium 2015, May 2015, Taipei, Taiwan, 4 pages

[2] Coupling study in smart power mixed ICs with a dedicated on-chip sensor;

Veljko Tomasevic, Alexandre Boyer, Sonia Ben Dhia, Alexander Steinmar, Weiss B. et al.

EMC Europe 2015, Proceedings of EMC Europe 2015, Aug 2015, Dresden, Germany, 6 pages

[3] Bandgap Failure Study Due To Parasitic Bipolar Substrate Coupling In Smart Power Mixed ICs

Veljko Tomasevic, Alexandre Boyer, Sonia Ben Dhia

10th International Workshop on the Electromagnetic Compatibility of Integrated Circuits (EMC Compo 2015), Proceedings of EMC Compo 2015, Nov 2015, Edimburgh, United Kingdom, 5 pages

[4] Smart Power Mixed ICs parasitic bipolar coupling issues analysis with a dedicated On-Chip sensor

V. Tomasevic, A. Steinmair, A. Boyer, S. Ben Dhia, B. Weiss, P. Rust, E. Seebacher

20th International Mixed-Signal Testing Workshop Paris 2015, Jun 2015, Paris, France, 6 pages

[5] AUTOMICS: A novel approach for substrate modeling for Automotive applications ;

Yasser Moursy, Sahar Afara, Pietro Buccella, Camillo Stefanucci, Ramy Iskander et al.

18th IEEE European Test Symposium, May 2013, Avignon, France, 2013, 5 pages

Conférences Nationales :

[6] Développement d'un capteur sur puce afin d'étudier le couplage parasite dans les circuits intégrés de type " Smart Power

Veljko Tomasevic, Alexandre Boyer, Sonia Ben Dhia.

17ème Colloque International et Exposition sur la Compatibilité ElectroMagnétique (CEM 2014), Jul 2014, Clermont-Ferrand, France, 5 pages

[7] Conception d'un système de mesure sur puce dédié à l'étude de l'activation des structures parasites bipolaires dans les circuits intégrés de type «SMART POWER»

V. Tomasevic, A. Boyer, S. Ben Dhia

JNRDM 2015 LILLE, 3 pages

[8] Etude de couplage substrat dans les circuits intégrés de type Smart Power avec un capteur sur puce dédié

Veljko TOMASEVIC

GEET DAY, INSA Toulouse 2015, 3 pages

Chapitre I. INTRODUCTION

Depuis de nombreuses décennies, l'électronique a complètement révolutionné les activités humaines et en particulier le secteur industriel. L'électronique a aujourd'hui de nombreuses applications dans presque tous les domaines de l'activité humaine comme les télécommunications et Internet, la médecine, l'exploration spatiale, le secteur militaire, l'informatique et la modélisation numérique, la robotique, les transports... L'électronique est omniprésente et la demande en circuits intégrés (CI) innovants continue d'augmenter de jour en jour. Les nouveaux produits électroniques qui sont mis sur le marché sont miniaturisés non seulement pour démocratiser et faciliter leur utilisation mais aussi dans le but d'une diminution de prix de production. Ceci rend nécessairement de plus en plus complexe l'intégration de ces différentes structures électroniques présentes sur une seule puce: l'électronique basse tension (BT), l'électronique haute tension (HT), l'électronique radiofréquence, les microcontrôleurs ou systèmes sur puce ("System On Chip") et enfin l'intégration des différents types de capteurs de mesures physiques... Cette intégration des différentes structures électroniques dans un seul CI comporte aussi des inconvénients, à cause des interactions entre ses différentes structures électroniques, pouvant mener au dysfonctionnement ou à une défaillance totale du circuit. Ces interactions se présentent souvent sous la forme de bruit issu de couplage rayonné ou conduit à travers le circuit, le plus souvent par les lignes de métal ou à travers le substrat.

Un des plus grands consommateurs de CI, à part l'industrie informatique et les télécommunications, reste l'industrie automobile avec l'avènement des voitures de plus en plus sûres (ABS, Airbag, assistance à la conduite, radars de proximité), lesquels sont de plus en plus écologiques, consommant toujours moins (contrôle du moteur et des transmissions, contrôle des émissions de CO₂), tout en offrant la possibilité à l'utilisateur de nombreuses options pour son confort (GPS, ordinateur de bord, climatisation, kit mains libres). Prochainement, on peut s'attendre aux voitures interconnectées et connectées à l'Internet (dans le cadre de l' "Internet des Objets"), ayant la possibilité de l'autopilote pour une conduite automatique. Toutes ces innovations dans le secteur automobile (qui intègre aussi les camions et les autobus) imposent une régulation des différentes normes dans le but d'augmenter leur sécurité, fiabilité et durabilité, lesquelles mettent constamment les fabricants à l'épreuve.

Afin d'intégrer toutes ces fonctionnalités électroniques, les fabricants ont de plus en plus recours à des CI de puissance "intelligents" communément désignés par le terme Smart Power. Les CI Smart Power intègrent sur le même substrat silicium des fonctions électroniques BT (pour le contrôle, le diagnostic

et supervision des parties de puissance, communication avec un microcontrôleur externe ou interne...) et des fonctions électroniques HT (convertisseur DC-DC, pont en H, "high side" ou "low side" driver) dans le but de miniaturiser les systèmes électroniques, tout en réduisant leurs coûts de fabrication et d'assemblage. Cependant, cette intégration des fonctions basse et haute tension dans les circuits Smart Power peut créer, sous certaines conditions, des phénomènes de couplage HT sous forme de bruit propagé à travers le substrat. Ce type de couplage, appelé couplage substrat, peut engendrer des défaillances de fonctionnement du circuit au cours de sa vérification après fabrication, voire même une fois le circuit mis sur le marché. Le développement d'un seul et même modèle du circuit peut nécessiter plusieurs dizaines de versions de prototype ou de séries avant d'aboutir à une version fiable et sûre, dépourvue des effets néfastes causés par le couplage substrat et menant aux défaillances du CI.

La cause principale du couplage substrat dans les circuits Smart Power reste la propagation des porteurs minoritaires, laquelle n'est pas encore prise en compte par les outils CAO modernes afin d'en simuler ses effets et conséquences. C'est dans ce contexte, pour répondre à la demande des fabricants et des concepteurs des CI, qu'est née l'idée de modéliser la propagation des porteurs minoritaires à travers le substrat; ainsi, avec les outils de CAO industriels on pourra prédire le comportement complexe à l'origine du couplage substrat HT. Le projet européen FP7 AUTOMICS [I-1] se place dans ce contexte, pour répondre à cette demande, en proposant de développer un outil d'extraction d'un modèle du substrat afin de prédire le couplage substrat HT. Cet outil dédié aux designers des CI Smart Power doit aider à prédire rapidement les problèmes liés au couplage substrat déjà lors des phases précoces de la conception du layout du circuit, avant même de lancer la production du premier prototype. Ce gain en temps considérable pour le designer et l'industriel ne serait possible sans une modélisation fiable des phénomènes apparaissant lors de la propagation complexe des porteurs minoritaires à travers le substrat, un travail réalisé par un des partenaires du projet AUTOMICS. L'utilisation de cet outil nécessite une calibration au préalable des paramètres technologiques pour chaque fondeur, un travail aussi réalisé par un des partenaires du projet. Enfin, toute une série de tests et de mesures sur des cas d'étude spécifiques sont réalisés par les différents partenaires du projet afin de caractériser le couplage substrat, un travail de recherche effectué dans le cadre du projet mais aussi dans cette thèse. Ensuite, une comparaison entre mesures et simulations est réalisée dans le cadre de cette thèse et aussi par des partenaires du projet AUTOMICS, afin de tester et valider l'utilisation de ce nouvel outil de prédiction du couplage substrat.

L'organisation de ce manuscrit de thèse se présente ainsi:

- Dans ce **premier chapitre**, nous allons définir les concepts de base des CI Smart Power et la problématique principale de leurs défaillances, c'est-à-dire la prédiction du couplage substrat HT lors de la conception du circuit. C'est le défi auquel le projet européen FP7 AUTOMICS [I-1] tente de répondre et dans le cadre duquel cette thèse est réalisée.
- Dans le **second chapitre**, nous parlerons du couplage substrat plus en détail en développant ses fondements théoriques. Nous présenterons les différents moyens développés par les industriels et scientifiques pour modéliser couplage substrat et y pallier grâce aux différentes stratégies de protection des structures sensibles BT du circuit.
- Dans le **troisième chapitre**, nous présenterons la caractérisation des effets du couplage substrat dans les CI Smart Power. Cette caractérisation est réalisée sur un CI spécialement conçu dans le cadre du projet AUTOMICS et intégrant deux cas d'études bien distincts. Le premier cas d'étude est basé sur des structures de tests simples afin de caractériser directement les effets du couplage substrat. Le second cas d'étude est plus complexe et plus proche d'un circuit Smart Power commercial, afin d'observer les effets du couplage substrat entre structures électroniques BT et HT communément utilisées dans les CI Smart Power.
- Dans le **quatrième chapitre** est présentée l'utilisation d'un capteur sur puce dédié à caractériser les effets du couplage substrat sur des structures sensibles. L'avantage du capteur sur puce est qu'il permet de réaliser les mesures directement dans le CI avec une grande bande passante et un minimum d'intrusivité sur la structure à mesurer. Nous pouvons ainsi observer avec une grande résolution temporelle, la forme d'onde de la perturbation produite sur les circuits sensibles suite au couplage substrat activé par une structure de puissance.
- Dans le **cinquième chapitre** est présenté l'outil d'extraction des parasites du substrat: l'outil AUTOMICS élaboré par l'Université UPMC Paris permettant l'extraction des parasites du substrat. Cet outil est basé sur un modèle de couplage substrat innovant créé par l'école EPFL. Ensuite, nous confronterons les mesures aux simulations réalisées avec les deux cas d'études présentés dans le chapitre 3.
- Avec le **sixième chapitre** nous terminerons cette thèse pour présenter une conclusion générale de nos travaux de recherche réalisés au sein du projet AUTOMICS. Nous présenterons les perspectives qu'offre l'utilisation de l'outil AUTOMICS pouvant être intégré dans le flot de design des nouveaux CI Smart Power afin d'en augmenter leur fiabilité tout en réduisant le temps de leur développement.

I.1. Généralités sur les CI Smart Power

De nos jours, l'usage du terme Smart Power est utilisé pour désigner un CI en faisant référence à deux notions bien distinctes:

- la première notion "Smart" porte sur l'usage des fonctions électroniques numériques BT dédiées au contrôle et au diagnostic des fautes du circuit. Pour ce faire, on procède souvent à l'intégration dans la puce des circuits d'électronique numérique, voire même des cœurs de microcontrôleurs embarquant souvent des programmes complexes, d'où leur dénomination de la partie intelligente du circuit ou "Smart" en anglais.
- la seconde notion "Power" fait référence à la partie de puissance du circuit (convertisseurs DC-DC, ponts en H, etc..) laquelle est observée et contrôlée finement par les fonctions électroniques numériques dans le but d'augmenter leur robustesse, efficacité et leur stabilité. De cette partie de puissance du circuit nous vient la dénomination "Power" pour son terme utilisé en anglais.

Bien entendu, chaque circuit Smart Power comporte aussi de nombreuses fonctions analogiques BT comme des amplificateurs opérationnels, des oscillateurs et PLL, des références de tensions de type Bandgap, des comparateurs... Ce sont des structures particulièrement sensibles au bruit substrat produit par la commutation à haute fréquence des étages de puissance. Celui-ci nécessite d'être pris en compte avec beaucoup d'attention afin d'éviter les défaillances et dysfonctionnement du circuit.

Les CI Smart Power sont particulièrement utilisés dans l'industrie automobile bien que d'autres applications voient le jour de plus en plus, comme par exemple les appareils intelligents (les smartphones, les tablettes et ordinateurs portables) ou dans le secteur des TIC (Technologies de l'Information et de la Communication) et sans doute très prochainement dans le secteur aérospatial. Aujourd'hui, le marché des CI Smart Power est en constante hausse, toutes applications confondues, avec environ 30 milliards de dollars en 2012 et une hausse annuelle estimée à 6.1% donnant une prévision d'un marché de 46 milliards de dollars en 2019 [I-2], comme présentée sur la Figure I-1. C'est un marché assez consolidé dont les principaux acteurs sont ams GmbH, STMicroelectronics, Texas Instruments, Infineon, Renesas Electronics, ON Semiconductor, Mitsubishi Electric, Linear Technology, Dialog Semiconductor PLC, Maxim Integrated, Rohm Co Ltd., Semtech Corporation, Fairchild Semiconductor, Toshiba, etc... Dans le secteur automobile, les principaux acteurs de la production des CI Smart Power sont NXP, Infineon, Renesas, STMicroelectronics et Texas Instruments avec un marché de 27.4 milliards de dollars en 2015 [I-3], dont la répartition des parts de marché des différents fabricants est présentée sur la Figure I-2. Avec les contraintes actuelles pour réduire les émissions des gaz à effet de serre et la gestion efficace de l'énergie, le contrôle du moteur des voitures devient primordial en utilisant les CI Smart Power. Bien qu'actuellement les voitures soient essentiellement propulsées à partir de la combustion d'énergie fossile, nous verrons de plus en plus des voitures électriques apparaître sur le marché, en estimant qu'on aura 50% de voitures électriques en 2050 (Figure I-3 et [I-5]). Ceci

ouvrira de nouvelles opportunités dans le secteur automobile et augmentera l'utilisation des CI Smart Power.

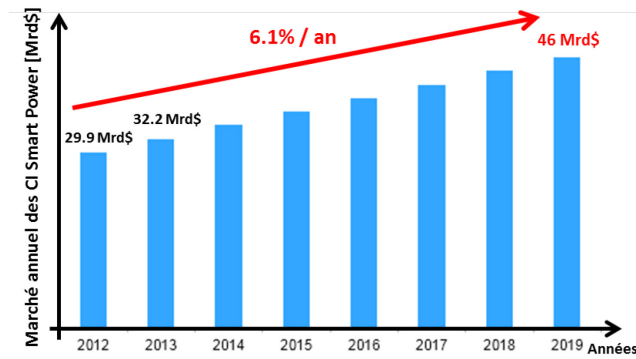


Figure I-1: Marché annuel des CI Smart Power en Milliards de Dollars [I-2]

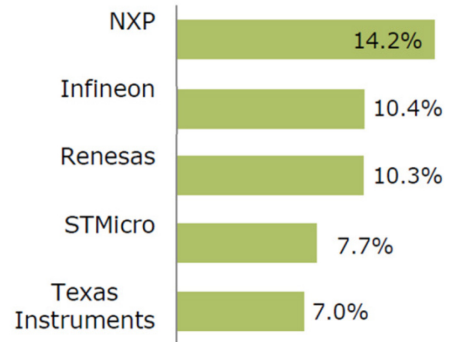


Figure I-2: CI Smart Power dans le secteur automobile, 27.4 Mrd\$ en 2015 (capteurs semi-conducteurs inclus) [I-3]

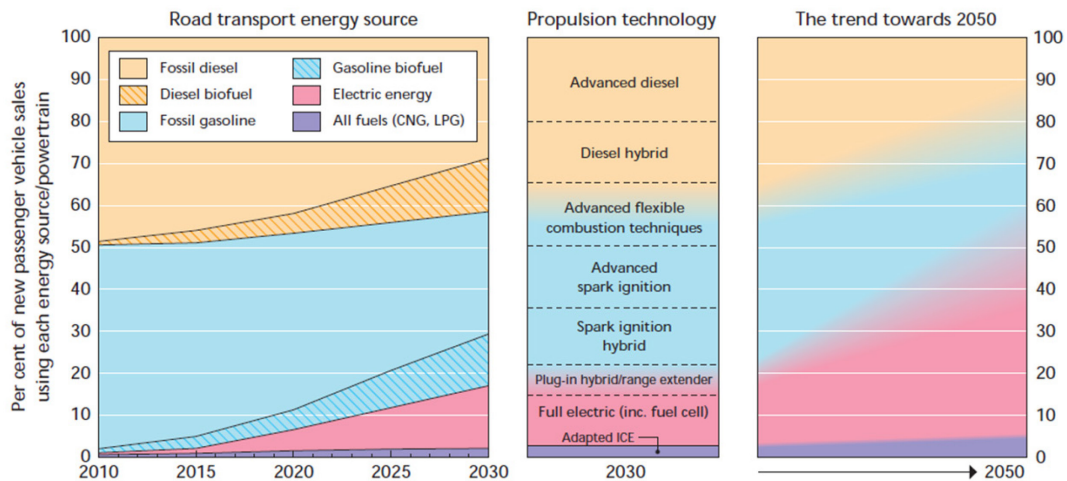


Figure I-3: L'évolution de la source d'énergie du transport routier (automobiles, camions, bus) avec l'évolution de la technologie de propulsion, à l'horizon 2050, selon l'étude ERTRAC [I-5]

Les premiers circuits mixtes à grande puissance ont été introduits sur le marché par STMicroelectronics dès 1986 [I-6], avec l'apparition des circuits haute tension de type BCD intégrant la technologie bipolaire et CMOS (Complementary Metal Oxide Semiconductor) BT en combinaison avec la technologie DMOS (Double-Diffused MOS) utilisée pour les parties de puissance. Cette innovation a servi comme fondement aux modules de puissance et aux circuits Smart Power actuels. Avec la technologie BCD, les fabricants ont pu exploiter les propriétés de ces trois procédés technologiques différents (bipolaire, CMOS et DMOS) afin de répondre aux besoins spécifiques de l'industrie automobile: les transistors bipolaires sont utilisés pour concevoir les circuits BT ayant une grande précision et un faible offset, les transistors CMOS sont utilisés pour créer des circuits BT à faible consommation pour les fonctions analogiques et numériques et enfin on utilise les transistors DMOS pour réaliser les étages de puissance des convertisseurs DC-DC ou des ponts en H.

Bien qu'au début les fabricants des CI pour l'automobile ont eu recours à des composants discrets pour les parties de puissance, faute de moyens technologiques

suffisamment fiables à l'époque, les progrès technologiques ont permis leur intégration monolithique sur un CI. Ainsi l'intégration des parties de puissance avec les parties BT s'est faite afin de bénéficier de nombreux avantages, tels que la diminution des prix de fabrication et d'assemblage, une plus grande fiabilité et finalement une réduction de la taille totale du système électronique, comme on peut le voir à l'exemple de l'évolution du module du contrôle du châssis des automobiles "BMW" [I-4], grâce à l'utilisation des CI Smart Power (Figure I-4).



Figure I-4: L'évolution du module du contrôle du châssis des automobiles "BMW" [I-4]

De nos jours, une voiture moderne possède plus d'une dizaine de systèmes électroniques réalisés avec des CI Smart Power pour contrôler ses différents blocs vitaux et assurer le confort des passagers (le moteur, la boîte à vitesses et l'embrayage, la direction, le freinage, les vitres, les sièges, la fermeture des portes, les feux et les éclairages, la climatisation...) avec leurs paramètres spécifiques, comme on peut le voir sur la Figure I-5.

Usage des circuits Intégrés Smart Power dans une voiture moderne : $1A < I < 250A$

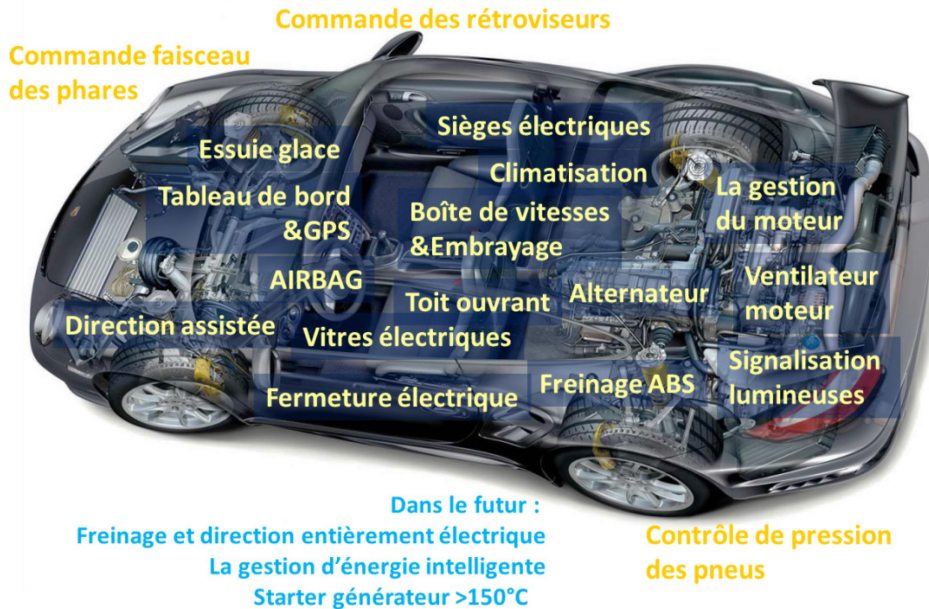


Figure I-5: les différentes utilisations des CI Smart Power dans une voiture moderne (schématisation d'une Porsche® 911, image empruntée sur [I-6])

Tous les CI Smart Power présents dans une voiture doivent avoir un haut niveau de fiabilité afin de résister à l'environnement particulièrement dur et contraignant: hautes tensions avec des courants forts, interférences électromagnétiques (EMC), perturbations

transitoires rapides (ESD) lesquelles peuvent conduire au latchup pouvant être destructif, les hautes températures et finalement le stress physique. Dans le cadre de la certification électrique d'une voiture, avant sa mise sur le marché, de nombreuses exigences normatives et standards de tests sont imposées aux fabricants. Par exemple, nous pouvons citer les normes CEM définissant le degré de leur immunité électromagnétique et leurs niveaux d'émissions électromagnétique. Les normes ISO11452-2 [I-7] et CISPR25 [I-8] imposent les conditions de tests (chambre anéchoïque, appareils de mesures, antennes, alimentations) ainsi que les valeurs des limites (minimales ou maximales) autorisées pour l'immunité ou l'émission électromagnétiques des équipements électriques d'une voiture. À cela se rajoute la norme ISO7673 [I-9] en ce qui concerne les perturbations transitoires rapides (perturbation ESD, impulsions par série ou burst d'impulsions, le load dump etc...), c'est-à-dire l'immunité des systèmes électriques à résister à des impulsions imposant une surtension ou sous-tension pendant un cours laps de temps bien défini.

Afin de mieux comprendre l'organisation interne d'un CI Smart Power classique, ses éléments fonctionnels sont présentés sur la Figure I-6, séparés en deux blocs: le block "Smart" (intelligence) et le block "Power" (puissance). Selon les besoins, certains de ses éléments fonctionnels peuvent être omis ou on peut en trouver d'autres spécifiques à une application donnée (oscillateurs, PLL/FLL, générateurs de rampe, générateurs de courant).

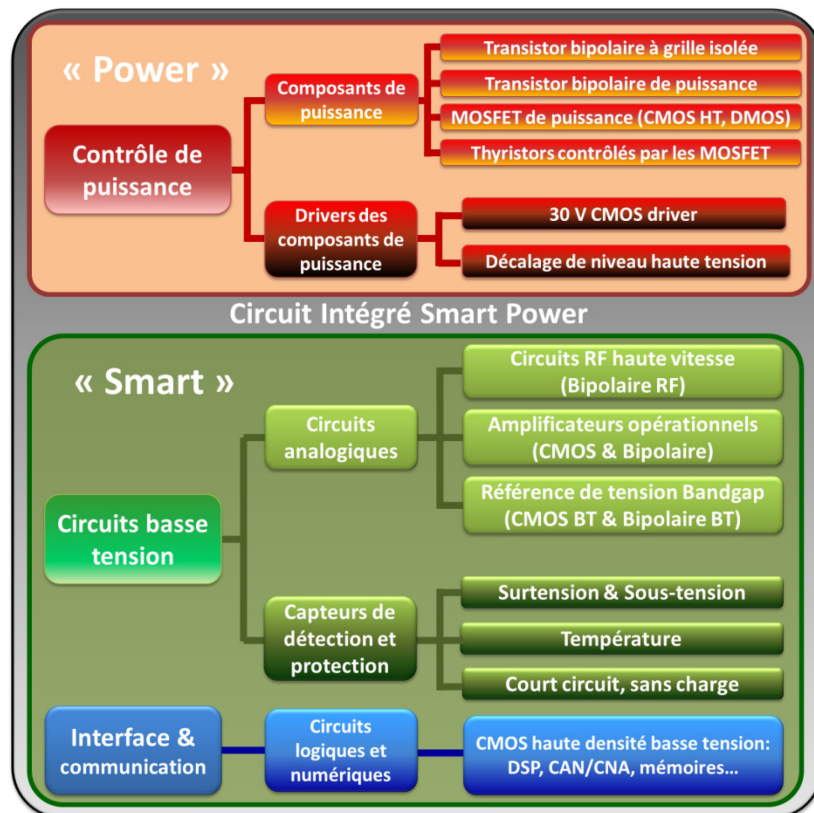


Figure I-6: Éléments fonctionnels d'un CI Smart Power

Sur la dernière figure, nous pouvons observer dans le bloc "Power" les différentes technologies silicium pour réaliser les fonctions de puissance d'un CI Smart Power opérant jusqu'à quelques centaines de Volts et pouvant délivrer de quelques centaines de milli Ampères jusqu'à quelques dizaines d'Ampères. Les architectures de ces structures de puissance sont en général (Figure I-7):

- a.) Des ponts en H pour le contrôle de la rotation des moteurs électriques.
- b.) Des étages de sortie des convertisseurs DC-DC de type push-pull, pour délivrer des forts courants en sortie avec une tension stable et contrôlée.
- c.) Des commutateurs de type "High Side drivers"
- d.) Des commutateurs de type "Low Side drivers"

Les commutateurs de type "High Side drivers" ou "Low Side drivers" sont utilisés selon la charge en sortie nécessitant d'être connectée soit à la masse ou soit à l'alimentation de puissance, respectivement.

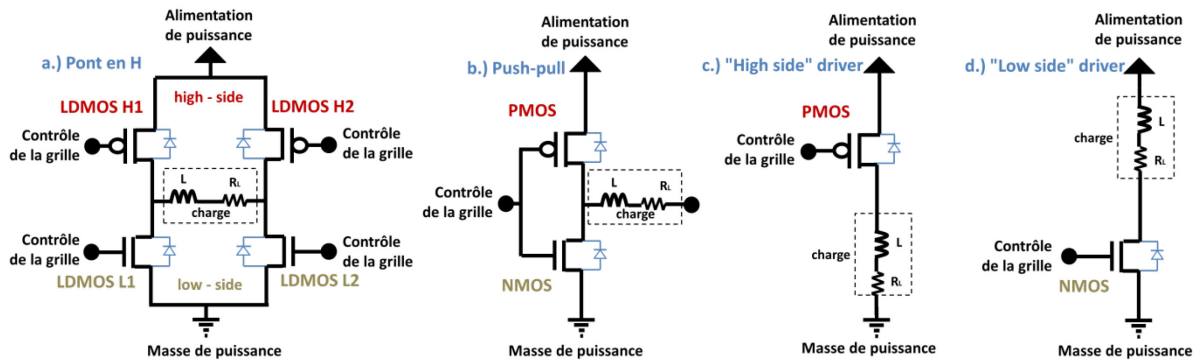


Figure I-7: les architectures de ces structures de puissance

Dans la partie du bloc "Smart" de la Figure I-6, nous observons deux parties distinctes:

- la première partie est composée de circuits électroniques BT pour réaliser les fonctions analogiques: circuits RF, oscillateurs, générateurs de PLL ou de PWM, amplification, référence de tension, différents capteurs et systèmes de protection analogiques (contre les ESD), générateurs de courant ou d'une rampe de tension, des systèmes analogiques de diagnose des erreurs et enfin les circuits inclus à la boucle de contre-réaction pour le contrôle analogique de la puissance de sortie.
- la seconde partie du bloc "Smart" est utilisée pour interfacer le CI Smart Power avec le monde extérieur: circuits de communications (protocoles LIN, I2C, SPI, UART, FlexRay) et pour réaliser les fonctions numériques (CAN/CNA, DSP, parfois même des microcontrôleurs entiers)

Sur la Figure I-8 est présentée l'architecture générale d'un CI Smart Power avec les différentes interconnexions et interactions de ses sous-systèmes.

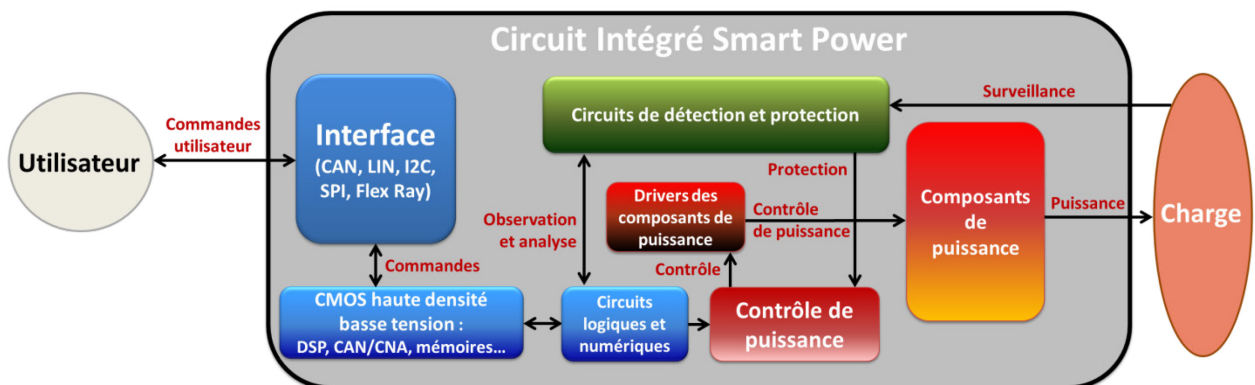


Figure I-8: Architecture interne d'un CI Smart Power

Concernant la technologie de fabrication des CI Smart Power on peut en différencier deux principales: le "process bulk" et le "process SOI" (Silicium On Isolator). Concernant le "process bulk" nous avons le substrat qui est constitué en silicium (généralement dopé p^+ pour augmenter sa résistivité). Selon les entrées et les sorties des étages de puissance dans la technologie "bulk", nous pouvons avoir des process verticaux (les entrées et les sorties se situent de part et d'autre de la surface supérieure et antérieure du wafer) et des process horizontaux (les entrées et les sorties se situent sur une des surfaces du wafer). Le "process SOI" par contre utilise un matériau isolant à la place du silicium pour réaliser le substrat. Ce second procédé technologique, le "process SOI", bien plus cher à la fabrication, est dépourvu de tout couplage substrat et ne nécessite pas autant de précautions de sécurité concernant le placement des composants sur le layout du circuit afin de limiter les effets néfastes du couplage substrat. En revanche, le procédé technologique "bulk" est bien moins cher à la fabrication et par conséquent beaucoup plus répandu dans l'industrie. Ce procédé technologique présente par contre le majeur inconvénient d'être susceptible au couplage substrat et fait l'objet de nombreux travaux de recherche industriels et scientifiques, comme par exemple notre projet AUTOMICS parmi tant d'autres actuels ou réalisées auparavant ...

Bien que conçus et construits pour être robustes dans un environnement particulièrement hostile, les CI Smart Power présentent certaines faiblesses et points faibles qui peuvent les mener à leur dysfonctionnement, voire à leur destruction. Nous allons maintenant présenter brièvement leurs principales défaillances que l'on peut rencontrer dans leur utilisation habituelle.

I.2. Défaillances et points faibles des CI Smart Power

La présence sur une même puce des parties électroniques HT (avec la possibilité de générer de forts courants) et des parties BT sur un même substrat, crée beaucoup de défis pour les industriels et les designers de circuits pour l'industrie automobile. Le contrôle des courants parasites issus du substrat reste un défi majeur et ce depuis le tout début de leur usage, un problème déjà posé en 1986 [I-10]: "A vrai dire, étant donné qu'ils sont essentiellement dépendants de la géométrie du layout, tous ces courants (issus du substrat) sont difficilement simulables et contrôlables seulement par les techniques de design; très souvent, bien que les designers en ont la connaissance, ils représentent en grande partie la cause majeure des défaillances et du re-design des circuits Smart Power". Aujourd'hui encore ce postulat reste malheureusement d'actualité et les courants issus de substrat posent de nombreux problèmes aux designers, les obligeant à repenser leur layout suite à des défaillances observées seulement une fois le circuit fabriqué.

Par exemple, un CI Smart Power ayant une architecture de puissance sous forme d'un pont en H, présente l'inconvénient de créer naturellement une injection de porteurs minoritaires et majoritaires dans le substrat lors du changement de sens de circulation du courant à travers la charge. Le concepteur du circuit doit se fier à sa propre expérience et employer des différentes stratégies de protection des structures sensibles du CI Smart Power.

Lors du fonctionnement d'un pont en H, présenté sur la Figure I-9, suite au changement du sens de circulation du courant dans le moteur (charge inductive L), nous observons la période de roue libre pendant laquelle aucun des 4 transistors de puissance n'est passant. Pendant ce temps, deux types de phénomènes apparaissent: soit des conditions de sous-tension du drain du low-side LDMOS L1 (qui est alors polarisé en-dessous de la tension de masse, c'est-à-dire du substrat), soit des conditions de surtension du drain du high-side LDMOS H2 (qui est alors polarisé au-dessus de la tension d'alimentation de puissance) [I-11]. Ces conditions de sous-tension ou surtension mènent obligatoirement à une injection de porteurs minoritaires et majoritaires dans le substrat, dans lequel ils circulent librement. Cette injection de porteurs dans le substrat peut mener au dysfonctionnement des parties BT du CI Smart Power et en particulier y affecter le contrôle du bloc de puissance pouvant mener aux défaillances plus graves, voire fatales, pour le CI Smart Power ou sa charge en sortie. Les explications des aspects théoriques de ce phénomène seront vues plus en détail dans un des prochains chapitres. Il est juste important de noter ici leur existence et leurs conditions de déclenchement.

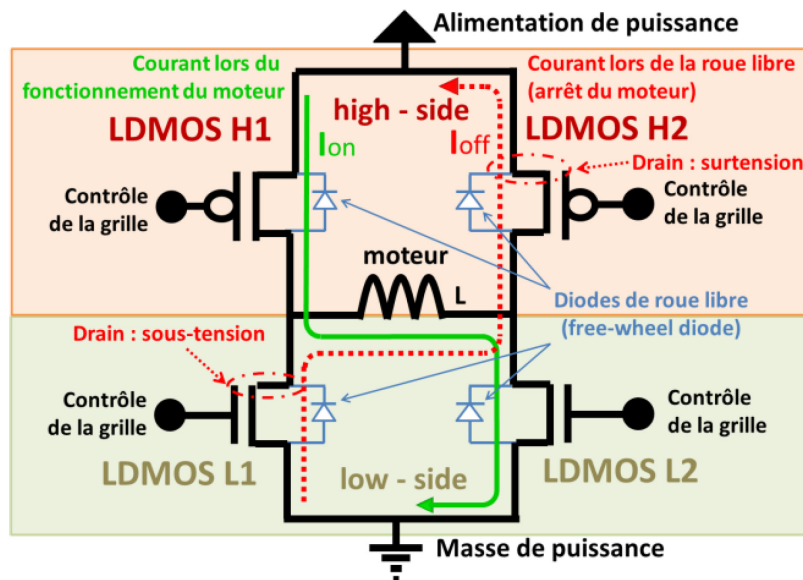


Figure I-9: Pont en H pour le contrôle des moteurs, courants [I-11]

Toute la difficulté qu'ont les fabricants de CI Smart Power repose sur le besoin de réduire les effets du couplage substrat sur des structures sensibles, tout en étant contraints d'accepter le fait qu'il y aura toujours une injection de porteurs minoritaires ou majoritaires dans le substrat lors de l'utilisation nominale d'un CI Smart Power et ce à cause de leurs charges souvent inductives fonctionnant en commutation avec des forts courants et des hautes tensions.

Un autre exemple d'architecture de la partie de puissance d'un CI Smart Power est l'utilisation d'un convertisseur DC-DC dévolteur, lequel possède une charge inductive en sortie. Avec une charge inductive, des retours de courant dans le circuit apparaissent lors de la période du "temps mort" (dead time, lorsque aucun des deux transistors CMOS de l'étage de sortie push-pull n'est passant) ce qui a pour conséquence directe de créer une injection de porteurs minoritaires dans le substrat et ainsi potentiellement perturber les structures sensibles du CI Smart Power. Par exemple, l'injection de porteurs majoritaires dans le substrat peut

conduire à un décalage de tension local du potentiel substrat du fait de sa résistivité. En outre, le fonctionnement du circuit BT peut être perturbé en raison d'un surplus de courant de porteurs minoritaires collecté par certains de ses nœuds sensibles. Nous avons réalisé dans le cadre de cette thèse des expériences pour observer les effets du couplage substrat (voir chapitre 3). Nous détaillerons à ce moment-là les aspects théoriques du couplage substrat inhérent aux CI Smart Power et y aborderons ses effets néfastes sur des structures sensibles BT.

Pour continuer notre présentation des défaillances des CI Smart Power, il serait intéressant de différencier le couplage substrat auquel ils peuvent être sujets et le couplage substrat caractéristique de CI mixtes basse tension.

En effet, dans les CI Smart Power, les fortes tensions transitoires apparaissant sur les sorties de puissance conduisent à l'activation de structures bipolaires parasites inhérentes à l'architecture du circuit et à son layout. L'activation de ces structures bipolaires engendre des variations de potentiel du substrat et une collection de porteurs minoritaires par les structures BT du circuit. Le pire cas est une destruction du circuit par activation d'un phénomène de latch-up, lié au déclenchement d'une structure thyristor parasite.

En revanche, dans les CI mixtes, les variations de tension n'ont pas une amplitude suffisante pour déclencher des structures bipolaires parasites induisant une injection de porteurs majoritaires ou minoritaires dans le substrat. Néanmoins, des perturbations conduites sont injectées par couplage résistif et capacitif dans le substrat et se propagent à travers par le réseau équivalent de résistances et capacités (RC) du substrat. L'origine de ces perturbations sont les blocs numériques commutant à des cadences élevés (généralement les signaux d'horloge ou signaux asynchrones de commande entre les différents blocs digitaux). Ces commutations peuvent d'une part faire varier localement la tension du substrat et d'autre part induire du bruit RF à travers les lignes de transmission le réseau d'alimentation ou de masse. Ce bruit RF peut à son tour localement induire des variations locales de la tension du substrat et peut mener au dysfonctionnement de certaines structures analogiques voire même numériques. Les effets de ce bruit RF ne sont cependant pas destructeurs.

Par ailleurs, il existe encore une autre différence notable entre ces deux types de couplage substrat:

- dans le cas du couplage substrat des CI Smart Power, de fortes tensions sont en jeu (plus de quelques dizaines voire centaines de Volts) et des courants forts (allant jusqu'à quelques dizaines d'Ampères) fonctionnant généralement à des fréquences faibles (de quelques dizaines de kHz à quelques MHz).
- dans le cas du couplage substrat des CI mixtes BT, nous sommes en présence de perturbations RF avec des fréquences élevées de quelques MHz à quelques GHz avec des tensions et courants faibles (fonctionnant à quelques Volts et avec des consommations en courant de quelques centaines de milli Ampères au maximum).

I.3. Modélisation des défaillances liées au couplage substrat dans les CI Smart Power

Dans le but de modéliser le couplage substrat, d'une manière générale, il existe deux approches bien distinctes:

- 1) La modélisation du substrat dans les CI mixtes avec des fonctions analogiques et numériques BT.
- 2) La modélisation du substrat dans les CI Smart Power.

Avant de présenter la problématique de la modélisation du couplage substrat dans les CI Smart Power, il serait intéressant d'aborder l'approche de la modélisation du couplage substrat dans les CI mixtes ayant des fonctions analogiques et numériques BT.

En effet, dans les CI mixtes BT, nous avons comme principale source de bruit se propageant dans le substrat la commutation des circuits numériques. Le couplage du bruit est principalement capacitif et il y a essentiellement une circulation de porteurs majoritaires à l'origine du courant substrat. La modélisation de la propagation de ce type de bruit à travers le substrat se base essentiellement sur un réseau de résistances et de capacités (réseau RC) voire même simplement un réseau de résistances en basse fréquence. Ce type de bruit est aujourd'hui modélisé par la plupart des outils CAO fonctionnant avec des simulateurs de type SPICE. Dans le flot de design d'un CI mixte moderne, le designer génère une matrice d'éléments parasites RC issus du substrat, une fois le layout terminé à l'aide d'une extraction "post-layout". Ainsi avec les simulations post-layout, il peut estimer le degré de couplage substrat auquel sera susceptible le CI mixte BT et réaliser un re-design si nécessaire.

Par contre, la modélisation du substrat dans les CI Smart Power nécessite une approche différente du fait que dans ce type de CI, les importants retours en courant vers la puce liés à la commutation des sorties de puissance sur des charges inductives stimulent l'activation de structures bipolaires parasites et causent l'injection de porteurs minoritaires dans le substrat. C'est justement ce bruit engendré par l'injection des porteurs minoritaires dans le substrat qui définit le couplage substrat haute tension des CI Smart Power et dont la modélisation nécessite une nouvelle approche.

Les structures bipolaires parasites sont en effet dépendantes du placement-routage des transistors composant le circuit. Or, les outils de simulation SPICE des outils de CAO utilisent des cellules paramétrables ne pouvant pas intégrer ces transistors bipolaires parasites. En outre, les simulateurs SPICE ne peuvent pas simuler la propagation d'un courant de porteurs minoritaires. Sous SPICE, dans un composant de type diode ou transistor bipolaire, les porteurs minoritaires se recombinent complètement à chaque terminal du composant. Parfois, on peut avoir recours à des simulateurs spécifiques de type TCAD pour modéliser précisément l'injection de porteurs minoritaires, mais ils restent limités à l'étude de petites structures composées de quelques transistors. Ils ne peuvent pas simuler un layout complet d'un CI Smart Power. Cette nouvelle modélisation en plus de prendre en compte les éléments

parasites bipolaires du substrat, devrait aussi inclure les parasites RC du substrat déjà cités afin d'avoir un modèle complet à simuler.

C'est dans ce contexte que se situe le projet AUTOMICS dont le but principal est d'intégrer un modèle innovant de couplage substrat développé par les équipes de l'EPFL dans le flot de conception industriel d'un CI Smart Power. En développant l'outil AUTOMICS dans le cadre du projet portant le même nom, le designer pourra simplement extraire les parasites bipolaires et RC issus du substrat et réaliser rapidement des simulations sous SPICE. De cette manière, il sera possible de prédire les effets néfastes du couplage substrat sur les structures BT du CI Smart Power, ce qui était jusqu'à présent impossible avec une telle précision. Actuellement, on ne se rend compte malheureusement des effets du couplage substrat qu'à posteriori, une fois le circuit prototype fabriqué et les différentes séries de tests de validation du circuit réalisées.

I.4. Contexte des travaux de thèse: le projet AUTOMICS avec une modélisation innovante du couplage substrat dans les CI de type Smart Power

L'objectif du projet AUTOMICS est de développer une nouvelle solution pragmatique, bien structurée et axée sur la modélisation, permettant une simulation rapide des effets destructifs du couplage substrat dans les CI Smart Power dédiés à l'industrie automobile en premier lieu. Pour ce faire, il est nécessaire d'encapsuler le nouveau modèle de couplage substrat dans un environnement de CAO déjà existant (en l'occurrence, l'environnement Cadence) et de développer une nouvelle méthodologie du flot de design de CI Smart Power. Le projet AUTOMICS se propose aussi de développer de nouveaux outils permettant l'extraction des parasites du substrat inhérents au layout du CI Smart Power et de valider sur des cas réels l'utilisation de ce nouveau modèle de couplage substrat HT. Ainsi les designers pourront déjà, lors des phases précoces du design du layout du circuit, prévoir les effets du couplage substrat et en fonction des résultats des simulations, adapter leur design pour limiter les effets destructifs qu'il peut engendrer. De cette manière, le temps et les coûts de la mise sur le marché d'un CI Smart Power se verront considérablement réduits, tout en augmentant la fiabilité des circuits dédiés aux voitures actuelles et ainsi qu'aux futurs véhicules électriques. Selon les sources industrielles, pendant la durée de commercialisation d'un CI (en moyenne 10-15 ans), environ une dizaine de versions d'une puce est réalisée pour son développement voire même après, une fois mis sur le marché (suite aux retours des consommateurs). Une réduction du nombre de prototypes d'un CI avant sa mise sur le marché réduira certainement son temps et prix de développement. De plus, en prédisant le couplage substrat, le designer pourra modifier selon le besoin, les différentes protections des structures sensibles (que nous développerons plus en détail dans le prochain chapitre) et, de ce fait, réduire la taille des composants, ce qui pourra représenter une économie de 2M€ à 4M€ pour un budget de 20M€ dédié au développement d'un CI Smart Power [I-12].

Il est intéressant de remarquer que le projet européen FP7 AUTOMICS se veut collaboratif incluant plusieurs partenaires industriels et universitaires dont: l'"Université Pierre et Marie Curie" avec le "Laboratoire d'Informatique de Paris 6" (UPMC-LIP6), "Continental Automotive France SAS", l'"École Polytechnique de Lausanne" (EPFL), "Austriamicrosystems AG" (ams GmbH), "STMicroelectronics SRL", "Valéo Equipments électriques moteur SAS", "AdMOS GmbH Advanced Modeling Solutions" et notre laboratoire le "LAAS CNRS".

Cette thèse, comme nous l'avons déjà stipulé, est réalisée dans le cadre du projet AUTOMICS, en étroite collaboration avec trois de ses partenaires industriels et Universitaires (ams GmbH, UPMC et EPFL).

La méthodologie employée pour réaliser cette thèse s'est basée sur deux approches empiriques distinctes. La première approche en exploitant les possibilités d'un capteur sur puce permettant de réaliser des mesures dynamiques directement sur le CI sans altérer la structure sous mesures et offrant une grande bande passante qui n'est pas limitée par les interconnexions et câbles utilisés lors des mesures externes à la puce. La seconde approche se basait sur des expériences ciblées et menées avec des appareils de mesures de laboratoire pour caractériser les effets du couplage substrat lors des injections continus du courant dans le substrat.

Pour réaliser les différentes mesures nécessaires à la caractérisation des effets du couplage substrat, une puce de test (dénommée AUTOBENCH 2) a été spécialement conçue et fabriqué dans le cadre du projet AUTOMICS en partenariat avec le fondeur ams GmbH. Le cahier des charges des structures de test a été écrit en étroite collaboration avec notre partenaire industriel. Le design du capteur sur puce a été réalisé dans le cadre de cette thèse au LAAS CNRS, tandis que le design des structures de test et la fabrication de la puce a été effectué par le fondeur ams. Plusieurs bancs de test ont été mis en place selon le type de caractérisation, et ont nécessité la conception et la fabrication d'une carte électronique dédiée à la puce AUTOBENCH 2.

Une fois les mesures terminées, la seconde partie de la thèse, plus théorique, consistait à développer et à étudier le modèle de couplage substrat présent dans la puce AUTOBENCH 2 pour comprendre l'origine du phénomène et de ses effets néfastes sur les structures sensibles. En ayant bien défini les sources et victimes du couplage substrat présent dans la puce AUTOBENCH 2, nous avons procédé à l'exploitation du nouvel outil d'extraction des parasites bipolaires du substrat développé au sein du projet AUTOMICS, se basant sur le modèle de couplage substrat innovant de l'EPFL. Grâce à ce nouvel outil, dénommé AUTOMICS, nous avons réalisé des séries de simulations de type SPICE en se basant sur les mesures effectuées au préalable. Ainsi nous avons pu intégrer et tester ce nouvel outil AUTOMICS dans notre environnement CAO afin de comparer nos mesures aux simulations. De plus, en comparant les mesures et simulation, nous avons pu valider le modèle de couplage substrat que nous avons proposé dans le contexte spécifique à la configuration interne de la puce AUTOBENCH 2.

Avant de passer en revue les résultats de nos mesures et simulations, nous allons d'abord présenter dans le prochain chapitre le couplage substrat présent dans le CI Smart Power afin de mieux comprendre ses origines et conséquences pour le circuit.

I.5. Conclusion

Les avancées techniques dans l'industrie électronique permettent aujourd'hui une plus grande intégration des différentes structures analogiques, numériques et de puissance sur une puce, afin de limiter les coûts de production et d'intégration, d'augmenter la fiabilité et la sécurité des systèmes électroniques tout en réduisant la taille des composants. Les CI Smart Power se placent dans cette optique et les fabricants sont aujourd'hui de plus en plus amenés à les intégrer dans leurs nouveaux produits, surtout dans l'industrie automobile qui est un marché en pleine expansion.

Bien qu'ils présentent de nombreux avantages, déjà cités ci-dessus, les CI Smart Power présentent certains points faibles, dont notamment le couplage substrat, lequel pose de nombreux problèmes aux fabricants. Ce type de couplage substrat intervient entre les parties de puissance et basse tension et il est inhérent à la structure interne du layout du circuit sans qu'il puisse être simulable par les outils CAO modernes. Le flow du design des CI Smart Power impose donc aujourd'hui aux fabricants de réaliser plusieurs prototypes du CI avant de garantir que le circuit ne comporte pas de risques d'apparition de défaillances et dysfonctionnement dus au couplage substrat haute tension.

Le projet AUTOMICS tente de répondre à cette demande croissante des industriels et des fondeurs des CI Smart Power afin de pouvoir simuler le couplage substrat haute tension et ainsi prédire ses effets néfastes sur les structures sensibles basse tension dès les phases précoces du design du layout. C'est aussi dans ce contexte qu'est réalisée cette thèse, au sein du projet AUTOMICS, afin de caractériser les effets du couplage substrat dans le CI Smart Power et de les confronter par la suite aux simulations basées sur le nouvel outil d'extraction des parasites du substrat haute tension développé par des partenaires du projet.

Références

- I-1 Site Internet du projet AUTOMICS: www.automics.eu
- I-2 Transparency marketre search :
<http://www.transparencymarketresearch.com/pressrelease/power-management-ics-market.htm>
- I-3 "Strategy Analytics: NXP Tops Automotive Semiconductor Vendor Rankings", April 2016: <https://www.strategyanalytics.com/strategy-analytics/news/strategy-analytics-press-releases/strategy-analytics-press-release/2016/05/02/strategy-analytics-nxp-tops-automotive-semiconductor-vendor-rankings#.WBOO9X9K5pg/>
- I-4 Leo Lorenz, Power Semiconductor – State of the Art and Development Trends, Infineon Technologies, Munich, 2010
- I-5 ERTRAC Strategic Research Agenda 2010
- I-6 Source web: http://www.st.com/content/st_com/en/about/innovation---technology/BCD.html<http://mycarparts.us/car/car-engine-schematic-diagram>
- I-7 "SAE Surface Vehicle Electromagnetic Compatibility (EMC) Standards Manual", 1999 Ed [M], Warrendale:SocietyofAuto-motive Engineers, Inc.,1999
- I-8 "IEC CISPR25 Radio disturbance characteristics for the protection of receivers used on board vehicles, boats, and on devices", Limits and methods of measurement 2nd Ed [S].Geneva, IEC, 2002
- I-9 ISO 7637-2:2011 Road vehicles -- Electrical disturbances from conduction and coupling - Part 2: Electrical transient conduction along supply lines only
http://www.iso.org/iso/home/store/catalogue_ics/catalogue_detail_ics.htm?csnumber=50925
- I-10 B. Murari, F. Bertotti, and G. A. Vignola, Eds., Smart Power ICs, 2nd ed. Berlin, Germany: Springer-Verlag, 2002.
- I-11 M. Schenkel, "Substrate current effects in smart power ICs", PhD thesis, ETHZ, 2003
- I-12 Source confidentielle, extrait du Grant Agreement no. 314135 du projet FP7 AUTOMICS, FP7-2012-ICT-GC

Chapitre II. LE COUPLAGE SUBSTRAT

La notion de "couplage substrat" prend en compte plusieurs phénomènes dont la principale caractéristique est la propagation de courants parasites incontrôlés et imprévisibles à travers le substrat due aux différences de potentiels pouvant apparaître dans le substrat. Pour être plus précis, le bruit de couplage substrat peut être décomposé en plusieurs phénomènes bien distincts: d'une part, la génération des perturbations par une source ou un agresseur, ensuite la propagation de ces perturbations à travers le substrat du circuit et enfin la collection des courants parasites issus du substrat par des structures victimes. En fonction de l'application et du type de circuit, différents types de couplage substrat peuvent être considérés tels que le couplage substrat des circuits intégrés mixtes basse tension ou le couplage substrat dans les circuits intégrés de puissance de type Smart Power par exemple. Dans tous les cas, le couplage substrat représente une des principales causes de défaillances et de dysfonctionnements des circuits modernes. Pour y pallier, les fabricants des circuits intégrés (CI) ont développé différentes stratégies pour protéger les structures sensibles du couplage substrat, en utilisant les anneaux de garde, ou les "deep trench" (tranchée profonde) comme moyens de collection de courants issus de substrat avant qu'ils atteignent les structures victimes. Ensuite, pour remédier à la problématique du couplage substrat, différentes approches sont employées afin de pouvoir le modéliser et le simuler dans le but de le prédire dès les phases de conception du circuit. C'est un sujet encore d'actualité faisant l'objet de nombreuses recherches et projets, notamment dans le cadre des CI Smart Power, dont il est question dans cette thèse. Dans ce chapitre, nous présenterons d'abord l'état de l'art du couplage substrat, puis nous continuerons par une brève description des différents types de protection du couplage substrat utilisés dans l'industrie de CI. Pour finir le chapitre, nous développerons les différentes approches de modélisation du couplage substrat et les moyens de simulation existants dans les outils de CAO modernes.

II.1. État de l'art du couplage substrat dans les CI Smart Power

Lorsqu'on parle du couplage substrat, on doit prendre en compte trois acteurs qui y interviennent: une source de puissance qui agit en tant qu'agresseur, une victime qui peut subir des défaillances ou voire être détruite et enfin un milieu de propagation du bruit: le substrat. Les caractéristiques du substrat et du couplage substrat dépendent significativement de la technologie utilisée (nature du substrat). Notons que le contact dorsal (ou backside contact) et le packaging du CI jouent aussi un rôle important dans le couplage substrat. Nous allons nous intéresser brièvement aux types de substrat présents dans les CI actuels.

II.1.1. L'impact de la nature du substrat sur le couplage

Le couplage substrat peut varier selon le type de wafer, dont on peut citer deux types: le wafer faiblement dopé et le wafer à croissance épitaxiale (Figure II-1), [II-1].

Le substrat faiblement dopé a une concentration de dopants typique de 10^{15} cm^{-3} tandis que le wafer à croissance épitaxiale est constitué d'une fine couche (de $5\mu\text{m}$ à $8\mu\text{m}$), la couche épitaxiale, ayant une faible concentration de dopants et reposant sur une couche épaisse fortement dopée de 10^{19} cm^{-3} , le bulk. La différence de résistivité des deux types de wafers implique une grande variation de la distribution du champ électrique dans le substrat [II-1].

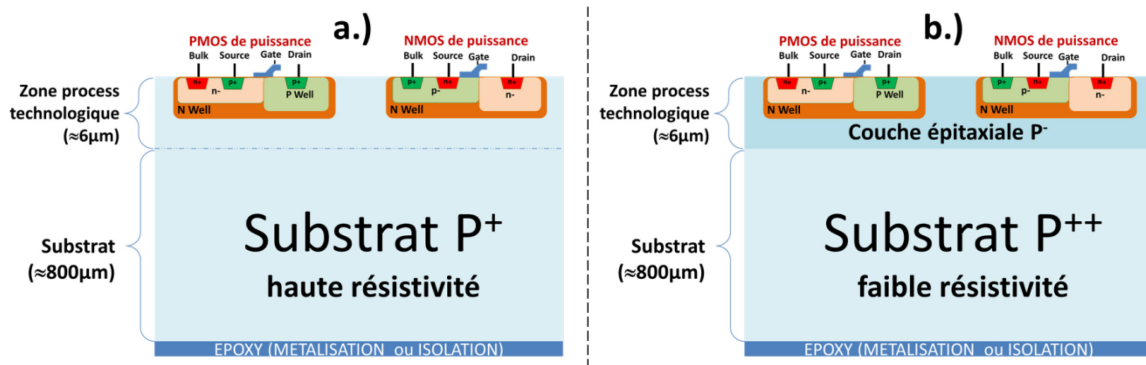


Figure II-1: Deux types de wafer: a.) wafer faiblement dopé; b.) wafer à croissance épitaxiale

Dans le cas du substrat faiblement dopé, la résistivité est de l'ordre de $15\Omega\text{cm}$. La distribution de la circulation du courant à travers le substrat est fortement dépendante de la distance entre la source et la victime ainsi que du rapport de cette distance par rapport à la profondeur du substrat. De plus, la distribution de la circulation du courant dans le substrat dépend de la présence d'un contact dorsal métallique connecté à la masse. En fonction de la distance d entre la source et la victime et de la hauteur du wafer H_w , nous avons trois cas de figures présentés sur la Figure II-2. Une première macro-modélisation simplifiée du substrat est présentée avec des résistances dans un but pédagogique. Si $d=H_w$, plus de 50% de courant est présentée avec des résistances dans un but pédagogique. Si $d=H_w$, plus de 50% de courant circulant dans le substrat va vers le contact dorsal métallisé, tandis que pour $d=2.5 \times H_w$ la

quasi-totalité de courant circule vers le contact dorsal métallisé [II-1]. En pratique, les CI Smart Power sont réalisés avec un substrat faiblement dopé pour avoir une résistivité suffisamment élevée et ainsi réduire l'impact du couplage substrat.

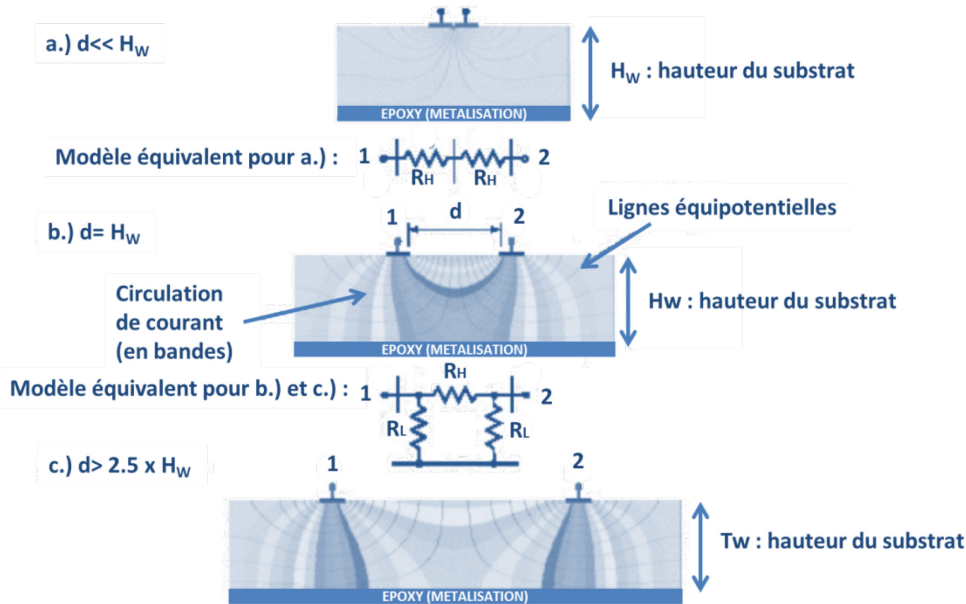


Figure II-2: Circulation du courant substrat dans un wafer faiblement dopé [II-1]

Dans le cas d'une technologie à croissance épitaxiale, la couche fortement dopée possède une très faible résistivité, de l'ordre de $0.015 \Omega\text{cm}$, faisant en sorte que le bulk est considéré comme un seul nœud ayant le même potentiel. Pour une première approche pédagogique nous pouvons réaliser un macro-modèle simplifié du substrat avec quelques résistances présentées sur la Figure II-3 [II-1]. Ainsi, pour des distances entre la source et la victime inférieures à 4 fois la hauteur de la couche épitaxiale (faiblement dopé), la totalité du courant circule à travers une résistance horizontale R_H entre la source et la victime et à travers deux résistances verticales R_V vers le bulk, lequel est considéré électriquement comme un seul nœud (Figure II-3 a.). Pour toute distance supérieure à 4 fois la hauteur de la couche épitaxiale, les deux résistances verticales R_V vers bulk depuis la source et la victime prédominent, la résistance horizontale étant trop grande et n'est pas prise en compte (Figure II-3 b.). La plupart des CI mixtes basse tension sont réalisés avec ce type wafer.

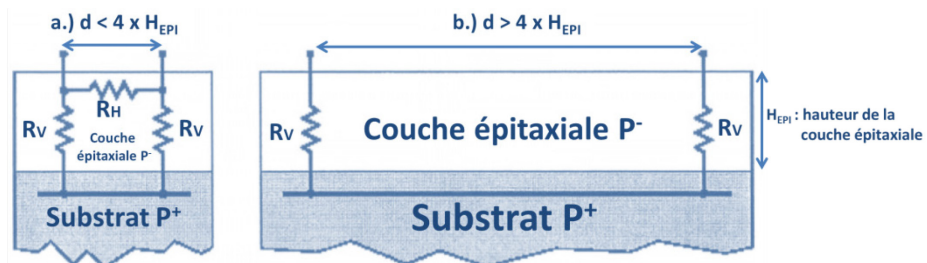


Figure II-3: Circulation du courant substrat avec une technologie à croissance épitaxiale [II-1]

Avant de présenter le couplage substrat que l'on peut observer dans les CI Smart Power, il serait intéressant de faire un bref exposé du couplage substrat pouvant apparaître dans les CI mixtes à basse tension afin de mieux appréhender la différence essentielle qui existe entre ces deux types de couplages. Notons que même dans un CI Smart Power peut

aussi apparaitre ce type de couplage substrat au sein des blocs basse tension entre les parties numériques cadencées souvent à des fréquences élevées et les parties analogiques sensibles (références Bandgap, amplificateurs opérationnels).

II.1.2. Le couplage substrat dans les CI mixtes basse tension

Dans un CI mixte basse tension, les blocs numériques sont responsables des perturbations dans la quasi-totalité des circuits actuels, du fait des rapides commutations des portes logiques, donnant la dénomination "bruit de commutation digitale".

En effet, un nœud en sortie d'une porte logique peut varier en quelques centaines de picosecondes de 0V à la tension d'alimentation (variant généralement 1,2V à 3.3V) ou vice versa. Ceci a pour conséquence l'apparition d'impulsions de courant à travers tout le réseau de lignes d'alimentation du circuit. De plus, des fluctuations rapides de la tension d'alimentation (spikes) peuvent apparaître suite à ces impulsions de courant qui circulent à travers les différentes impédances parasites (inductances et résistances) existant à travers les lignes d'alimentation et aux interconnexions avec les parties externes à la puce (fils de bonding, connexions métalliques des broches, pistes du circuit imprimé). Ce type de fluctuations de la tension d'alimentation est communément dénommé "bruit de commutations simultanées" ou "simultaneous switching noise" (SSN) [II-2].

Dans les CI mixtes basse tension, le traitement et la mise en forme des signaux sont réalisés aussi bien dans le domaine numérique que dans le domaine analogique. Le substrat dans les CI mixtes basse tension est généralement hautement résistif ce qui fait que les différents blocs de la puce sont couplés à travers le substrat: les lignes de masse sont souvent couplées directement au substrat tandis que les autres nœuds ont un couplage plutôt capacitif vis-à-vis du substrat. Du fait de ces différents couplages résistifs et capacitifs dans un CI mixte, leur partie numérique est directement impliquée dans la génération du bruit injecté dans le substrat. Ce bruit substrat est propagé à travers tout le substrat dont les principales victimes sont les parties analogiques basse tension, lesquelles sont aussi sujettes à d'autres sources de bruit (bruit thermal, flicker, bruit de grenaille) mais dans une moindre mesure. En effet, le bruit substrat des CI mixtes a une amplitude plus grande de plusieurs ordres de grandeurs par rapport aux autres sources de bruit auquel sont susceptibles les parties analogiques. Les conséquences de ce bruit substrat sont une dégradation rapport signal sur bruit (SNR, Signal to Noise Ratio) et aussi de la dynamique sans parasites (SFDR, Spurious-Free Dynamic Ratio) [II-2].

Le bruit substrat des circuits mixtes est la principale source des problèmes de fonctionnement des CI mixtes basse tension. Il y a trois approches pour réduire ce bruit substrat: en amont, les parties numériques sont conçues afin de réduire la génération de bruit et limiter l'injection du bruit dans le substrat; ensuite un layout plus adapté vise à réduire le degré de couplage entre parties numériques et parties analogiques et finalement les circuits analogiques peuvent être durcis afin d'être moins sensibles à ce type de bruit substrat.

II.1.3. Le couplage substrat dans les CI Smart Power

La principale caractéristique du couplage substrat dans le CI Smart Power est l'activation des structures bipolaires parasites associées au substrat pouvant mener à la défaillance ou destruction du circuit. Ces structures parasites bipolaires sont inhérentes au layout du circuit et leur activation est soumise à deux conditions particulières concernant les nœuds en sortie des blocs de puissance du CI Smart Power:

- soit lors d'une sous-tension faisant activer un transistor bipolaire NPN parasite, dont le substrat constitue la base
- soit lors d'une surtension faisant activer un transistor bipolaire PNP parasite, dont le substrat constitue le collecteur

Une fois qu'une de ces deux conditions est atteinte, l'activation de ces structures bipolaires parasites provoque une injection de porteurs dans le substrat de type p^+ :

- des porteurs minoritaires ou électrons lors de l'activation du NPN
- des porteurs majoritaires ou trous lors de l'activation du PNP

Si le substrat est de type n^+ (ce qui est plus rare dans l'industrie) les conditions d'activation sont inversées, donc une surtension active un transistor bipolaire NPN parasite et une sous-tension un transistor bipolaire PNP parasite. Par conséquent, nous avons injection dans le substrat des porteurs majoritaires lors de l'activation NPN parasite et des porteurs minoritaires lors de l'activation PNP parasite.

II.1.3.1. Activation du transistor bipolaire NPN parasite

L'activation du transistor bipolaire NPN parasite a lieu si une région de type n (n-épi, puit de type n ou N Well, n-sinker, couche enterrée de type n) d'un des blocs de puissance se retrouve en dessous de la tension de masse, c'est-à-dire la tension de polarisation du substrat. En effet, le substrat est polarisé à 0V en étant connecté à la masse du circuit via le contact dorsal métallisé (backside contact) ou via les différentes connexions bulk réparties de part et d'autre du layout du circuit.

En pratique, l'activation du transistor bipolaire NPN parasite arrive lorsque le drain d'un transistor NMOS de puissance (ou autre composant de puissance, le drain du LDMOS par exemple ou le collecteur d'un transistor bipolaire NPN de puissance) se retrouve en dessus de la tension de masse comme on peut l'observer sur la Figure II-4.

Comme conséquence, la jonction pn entre la région p^+ du substrat et la région de type n (dont le potentiel est négatif) est polarisée en direct, injectant ainsi des porteurs minoritaires dans le substrat. Ces porteurs minoritaires, injectés dans le substrat, sont collectés par des régions de type n ayant une polarisation positive et placées à proximité, appartenant par exemple à des blocs analogiques basse tension (ou parfois numériques). Ces porteurs collectés par les structures basse tension de CI Smart Power sont à l'origine de nombreux dysfonctionnements et défaillances voire de destructions.

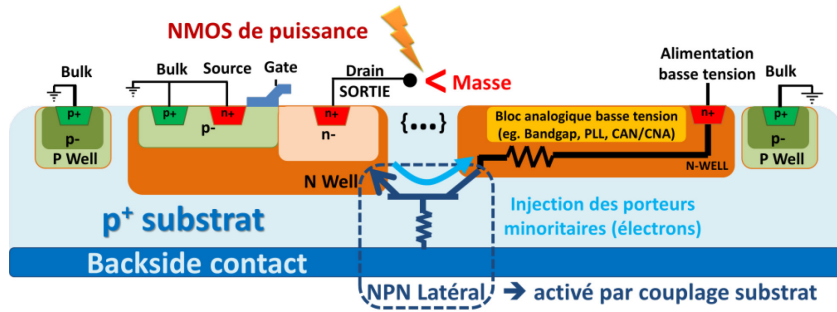


Figure II-4: Activation du transistor bipolaire NPN parasite

En somme, les régions de type n des blocs de puissance jouent le rôle de l'émetteur, le substrat de type p^+ joue le rôle de base et les régions de type n des blocs basse tension jouent le rôle de collecteur du transistor bipolaire NPN parasite. Ce transistor bipolaire NPN parasite issu du substrat a donc de multiples bases et collecteurs ce qui rend son analyse et sa modélisation plus difficile. La longueur de la base de ce transistor parasite peut être de plusieurs centaines de μm ce qui est bien plus long que la longueur de diffusion des porteurs minoritaires dans la base (le substrat). Par conséquent, la grande partie du courant circule à travers la jonction pn, c'est-à-dire à travers la jonction émetteur-base, les porteurs minoritaires se recombinant dans le substrat. Seule une très faible partie du courant injecté va vers le collecteur ($I_{\text{base}} \approx I_{\text{emetteur}} \gg I_{\text{collecteur}}$), ce qui est plutôt l'effet recherché pour limiter les effets du couplage substrat. En pratique, ceci veut dire que le gain de ce transistor est très faible et dépend fortement du temps de vie des porteurs minoritaires dans le substrat.

Du fait de leurs caractéristiques électriques qui dépendent exclusivement du layout, ces transistors NPN parasites ne sont pas pris actuellement en compte par les simulateurs modernes implémentés dans les systèmes CAO. Notons une fois de plus que le projet AUTOMICS se place dans cette optique afin de répondre au besoin de simulations de ce type de structures parasites issues du substrat et inhérentes au layout du circuit.

II.1.3.2. Activation du transistor bipolaire PNP parasite

L'activation du transistor bipolaire PNP vertical parasite intervient si une région de type p d'un des blocs de puissance se voit polarisée au-dessus de la tension de l'alimentation de puissance. En pratique, c'est le cas du drain du PMOS de puissance (ou par exemple le drain du LDMOS ou le collecteur d'un transistor bipolaire PNP de puissance) comme on peut l'observer sur la Figure II-5. Comme conséquence, la jonction pn entre la région p^- du drain du transistor de puissance et sa région de type n (ou couche enterrée de type n) est polarisée en direct, injectant des porteurs majoritaires (trous) dans le substrat de type p^+ .

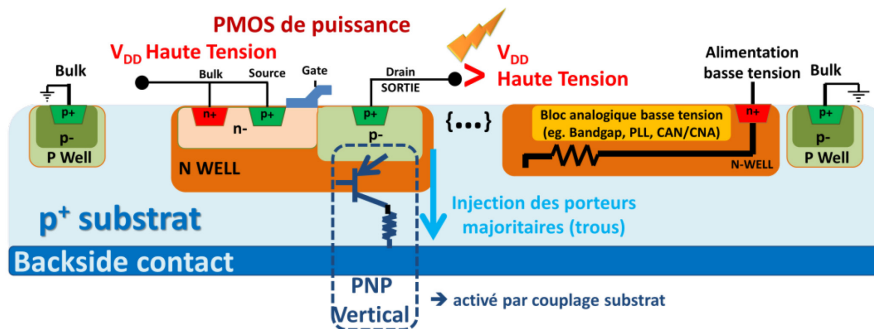


Figure II-5: Activation du transistor bipolaire PNP vertical parasite

Pour résumer, les régions de type p des blocs de puissance jouent le rôle de l'émetteur, les régions de type n des transistors de puissance jouent le rôle de base et le substrat de type p^+ joue le rôle de collecteur du transistor bipolaire vertical PNP parasite. La profondeur du puit de type n définit la longueur de la base qui est généralement de quelques μm ce qui est bien moins que la longueur de diffusion des trous. Pour réduire le gain de ce PNP parasite, au lieu d'utiliser un puit de type n non enterré, on réalise le PMOS de puissance avec un puit enterré de type n^+ , qui est fortement dopé, ce qui réduit l'efficacité de l'émetteur et le temps de vie de trous.

Comme conséquence directe de l'activation du PNP parasite, un décalage local de la tension du substrat du fait de l'injection des porteurs majoritaires et collectés par le substrat peut être observé. Ce phénomène en pratique pose peu de problèmes et ne perturbe pas le fonctionnement des circuits basse tension avoisinants. Cependant, dans certains cas, nous pouvons observer une augmentation locale de la tension de substrat suffisante pour activer d'autres jonctions pn avoisinantes et ainsi provoquer l'effet latchup (activation d'un thyristor dans le substrat).

Un autre transistor bipolaire PNP parasite peut être activé par le couplage substrat, il s'agit du PNP bipolaire latéral qui est représenté en rouge sur la Figure II-6. En effet, si la région de type p^+ de la source du transistor PMOS de puissance se voyait polarisée au-dessus de la tension d'alimentation, la jonction pn s'active avec la région de type n^- connectée à la tension de polarisation haute tension. Cette fois-ci, c'est le drain du PMOS de puissance qui joue le rôle du collecteur et nous pouvons observer une perturbation de la tension de sortie.

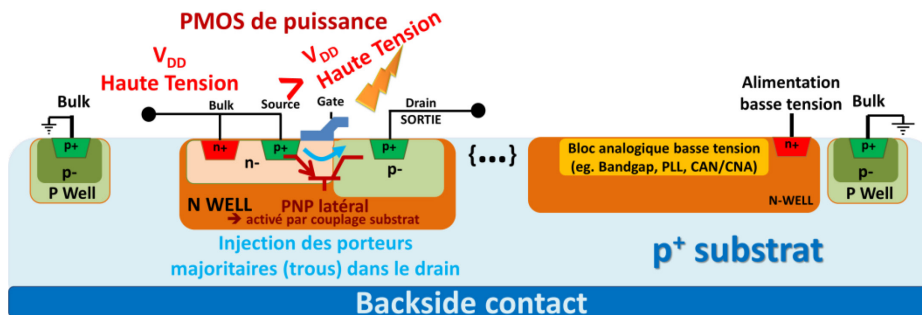


Figure II-6: Activation du transistor bipolaire PNP latéral parasite

Notons que ces transistors bipolaires PNP parasites (latéraux et verticaux) sont pris en compte actuellement par les modèles compacts des composants et sont entièrement simulables par les systèmes modernes CAO. Ceci s'explique par le fait que leurs caractéristiques électriques dépendent non seulement de leurs tailles (largeur et longueur, W et L) définies par le designer lors de la conception du schématique du circuit et de son layout mais aussi de leur hauteur qui dépend de la profondeur du substrat et de la technologie du fondeur.

II.1.3.3. Conséquences du couplage substrat dans le CI Smart Power

Bien que nous ayons déjà cité certains d'entre eux, nous pouvons observer plusieurs différents effets survenant suite à l'apparition du couplage substrat lesquels nous allons maintenant décrire brièvement [II-14].

Lors de l'activation du transistor bipolaire latéral NPN parasite (Figure II-7), le courant ainsi injecté dans le substrat peut être collecté par un des puits de type n avoisinants entraînant leur chute de tension, laquelle, si elle est trop importante, peut ensuite activer un transistor bipolaire vertical PNP. La conséquence de l'activation de ce transistor bipolaire PNP vertical parasite est l'apparition du phénomène de latchup lequel est basé sur une boucle à contre réaction positive entre le NPN latéral et le PNP vertical (l'activation d'un thyristor). L'apparition du latchup peut avoir de graves conséquences pour le circuit et peut mener à sa destruction s'il n'est pas arrêté à temps par des mécanismes de protection spécialement dédiés à cet effet.

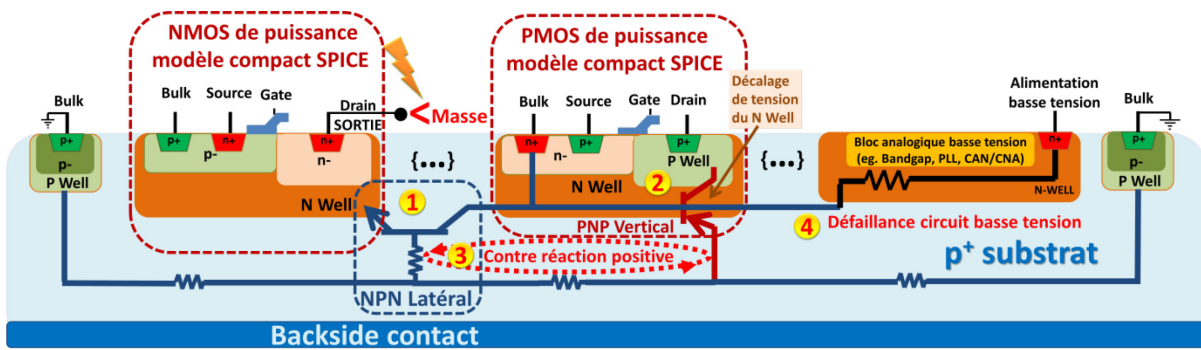


Figure II-7: Effet latchup dans les CI Smart Power

Une autre conséquence de l'activation du transistor bipolaire latéral NPN parasite est une augmentation de la dissipation de puissance pendant le temps mort de conduction des transistors de puissance en sortie du CI Smart Power (notamment dans les structures de type pont en H, ou push pull). En effet, nous avons une augmentation de courant fourni par les alimentations de puissance lors de l'activation des diodes de roue libre par exemple. Cette dissipation de puissance peut mener à l'échauffement de la puce et en altérer ainsi ses performances. Afin de limiter les effets, les fabricants et les designers ont recours à des structures de protections passives connectées à la masse, lesquelles entourent de près les transistors de puissance.

L'activation du transistor bipolaire latéral NPN parasite peut avoir d'autres effets tout aussi néfastes sur le bon fonctionnement des circuits basse tension [II-14]:

- L'impact sur la tension de seuil des transistors PMOS basse tension: les puits de type n de leurs structures d'isolation peuvent collecter du courant substrat. Ceci peut mener à un décalage négatif de la tension de polarisation du puit de type n (l'effet "body") de ses transistors PMOS; comme conséquence on peut observer une réduction de la tension de seuil du transistor et finalement une altération de fonctionnement des circuits numériques basse tension menant à des erreurs de décisions logiques.

- L'impact sur les structures passives basse tension telles que les résistances réalisées par des puits de type n: selon la polarisation du puit de type n de la résistance, il peut collecter des porteurs minoritaires issus du substrat. Pour réduire cet effet les fondeurs ont recours à des résistances isolées en les plaçant dans les puits de type p. De façon similaire, pour les capacités réalisées avec des puits de type n, on procède à la même technique d'isolation.
- L'impact sur les transistors bipolaires NPN et PNP basse tension utilisés dans les circuits de précision des structures analogiques basse tension (référence Bandgap, amplificateur d'instrumentation, capteurs de température): le collecteur du transistor NPN ou la base du transistor PNP ont des puits de type n lesquels sont directement implémentés dans le substrat et peuvent collecter les porteurs minoritaires y circulant. Pour réduire l'impact du couplage substrat, on a souvent recours à des transistors bipolaires basse tension qui sont isolés par des puits enterrés de type p.
- L'impact sur les structures non isolées de type NDMOS: leur drain peut faire office de collecteur du transistor bipolaire parasite latéral NPN et ainsi collecter du courant substrat. Par exemple, les NDMOS sont souvent utilisés comme structures de détection de courant dans les "low side driver" et une collection de courant substrat peut mener à un faux diagnostic suite à une mauvaise mesure de courant.
- L'impact sur les diodes de protection des décharges ESD (configurations avec deux diodes ou avec la grille du NMOS mise à la masse): ces diodes sont connectées aux broches d'entrées et sorties des circuits analogiques et numériques basse tension et sont généralement placées dans un puit de type n qui est directement implémenté dans le substrat. Dans cette configuration, lors du couplage substrat (la collection des porteurs par les puits de type n des protections), nous pouvons observer une augmentation de courants de fuite et une augmentation de la consommation du circuit.
- L'impact sur les circuits analogiques de précision, lorsqu'ils ont des isolations réalisées avec des puits de type n directement connectés à leurs sorties (pour une optimisation de leurs performances). Parfois, dans certains designs, on retrouve des puits de type n qui peuvent coïncider à certains nœuds internes du circuit, ce qui peut altérer les différentes polarisations internes en courant ou en tension. Citons les transistors PMOS basse tension, souvent utilisés dans les paires différentielles, dans les amplificateurs cascode ou les miroirs de courant, qui ont leur puit de type n, ou leur "body", souvent connectés à leur source pour justement éliminer l'effet "body". C'est pourquoi, afin de limiter les effets du couplage substrat, que les transistors PMOS ont chacun leur propre puit de type n qui est connecté à leur source. Cette technique augmente la taille du layout des structures utilisant des transistors PMOS, mais en limite la dégradation et en augmente la fiabilité. La collection des porteurs minoritaires par ces puits de type n formant la source de ces transistors PMOS peut résulter par une mauvaise polarisation en courant donnant un point de fonctionnement

différent que celui prévu par le concepteur. Comme conséquence nous pouvons observer que la précision du circuit se voit réduite par un ajout d'offset supplémentaire dû au couplage substrat.

Comme recommandation générale dans le but de réduire les effets du couplage substrat, il est conseillé aux designers de connecter les puits de type n intégrés au substrat à la tension d'alimentation basse tension plutôt qu'à un nœud interne du circuit [II-14].

Il existe d'autres moyens et techniques de réduction de couplage substrat en utilisant différentes structures de protection intégrées au design que nous allons maintenant décrire brièvement.

II.2. Types de protections du couplage substrat dans les CI Smart Power

Les designers ont à leur disposition différentes techniques afin de limiter les effets du couplage substrat, tout en ayant bien conscience qu'il y aura, quoi qu'il arrive, une injection du courant dans le substrat lors du fonctionnement nominal des CI Smart Power.

II.2.1. Protection passive: transistor isolé par jonction

Cette solution est la plus simple et sans doute la plus répandue applicable dans tous les types de technologie CMOS. Il s'agit de placer les transistors dans un puit de type n si l'on utilise un substrat de type p ou inversement pour un substrat de type n on place les transistors dans un puit de type p. Par conséquent, il est nécessaire de polariser correctement ces puits supplémentaires dans lesquels sont placés ces transistors CMOS afin de maintenir la jonction pn formée avec le substrat en polarisation inverse. De cette manière, la diode inhérente entre le substrat et l'isolation des transistors est bloquée, limitant ainsi le couplage substrat. Sur toutes les figures dans cette thèse, nous avons présenté des transistors NMOS et PMOS de puissance qui sont isolés avec un puit de type n placés dans un substrat de type p. Selon la tension maximale pouvant être appliquée aux transistors MOS de puissance, les dimensions de l'isolation augmentent en conséquence, ce qui peut parfois poser problème lorsque les dimensions du circuit sont limitées. Comme inconvénient de ce type de protection par jonction, il se peut que dans certaines conditions, le puit de type n qui isole le transistor agisse en tant que collecteur de porteurs minoritaires issus de substrat et perturbe ainsi le bon fonctionnement du circuit basse tension dont fait partie le transistor isolé en question.

II.2.2. Protection passive: anneaux de garde

Afin de limiter la propagation du courant substrat, des structures spécialement conçues sont placées autour des blocs de puissance et basse tension, d'où leur dénomination d'anneaux de garde ("guard ring" en anglais). Les anneaux de garde sont fabriqués avec des puits de type n pour un substrat de type p et inversement, avec des puits de type p pour un substrat de type n. On doit les polariser ainsi afin de collecter le plus possible de porteurs minoritaires issus du substrat et limiter ainsi les effets du couplage substrat. En effet, les anneaux de garde ont le rôle de collecteur du transistor bipolaire NPN latéral parasite que l'on a déjà présenté, qui est un transistor multi collecteur. Par conséquent, on limite ainsi le gain du transistor NPN parasite dont le collecteur est le puit de type n appartenant à des structures sensibles basse tension. Sur la Figure II-8 est présenté un anneau de garde en puit de type n dans un substrat de type p. De façon similaire que pour les transistors isolés, plus grande est la tension maximale de protection des anneaux de garde, plus leur dimensions sont conséquentes: pour que cette technique soit efficace, il est nécessaire d'utiliser une largeur conséquente des anneaux de garde. Ceci limite leur utilisation au strict nécessaire afin de réduire la taille finale du circuit. Les designers regroupent ainsi les structures qui sont censées ne pas se perturber entre elles et les entourent d'un seul anneau de garde. En général, on observe un anneau de garde autour des blocs de puissance, un autre entourant les blocs numériques BT et un autre les blocs analogiques BT.

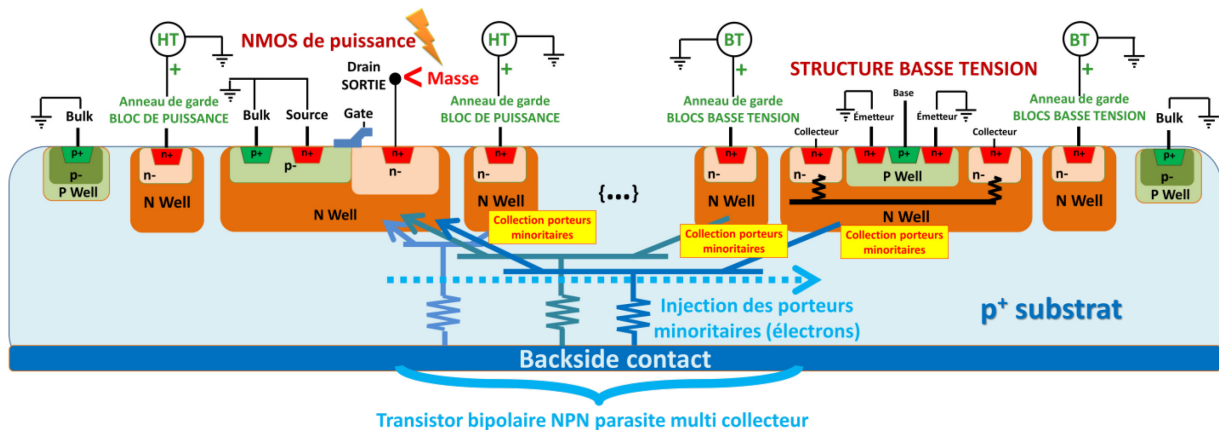


Figure II-8: Protection passive, anneaux de garde

II.2.3. Protection passive: barrière de type "Deep Trench"

Cette technique très efficace, développée par STMicroelectronics [II-3], est basée sur une isolation latérale entre différentes structures en utilisant une tranchée remplie d'un matériau diélectrique. Elle consiste à entourer les différentes structures du circuit par des tranchées profondes (d'où la dénomination en anglais "Deep Trench") remplies par exemple avec du dioxyde de silicium SiO_2 ou voire même par un trou d'air [II-4]. L'avantage de cette technique est qu'elle assure une plus grande isolation tout en réduisant la taille des protections et permet une meilleure intégration et une miniaturisation de différents systèmes sur une seule et même puce. Par contre, comme inconvénient, cette technique demande des coûts

supplémentaires de fabrication du fait d'avoir quelques étapes de plus lors de la fabrication du circuit.

Sur la Figure II-9 est présentée la vue en coupe du layout de deux transistors de puissance séparés par une barrière "Deep Trench", tandis que sur la Figure II-10 nous pouvons voir une microphotographie présentant les vues en coupe de circuits utilisant cette technique.

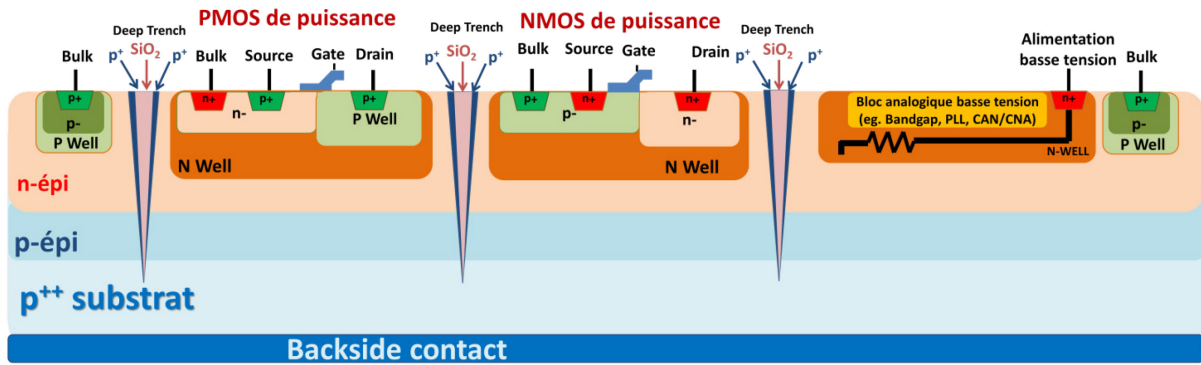


Figure II-9: Protection de type "Deep Trench"

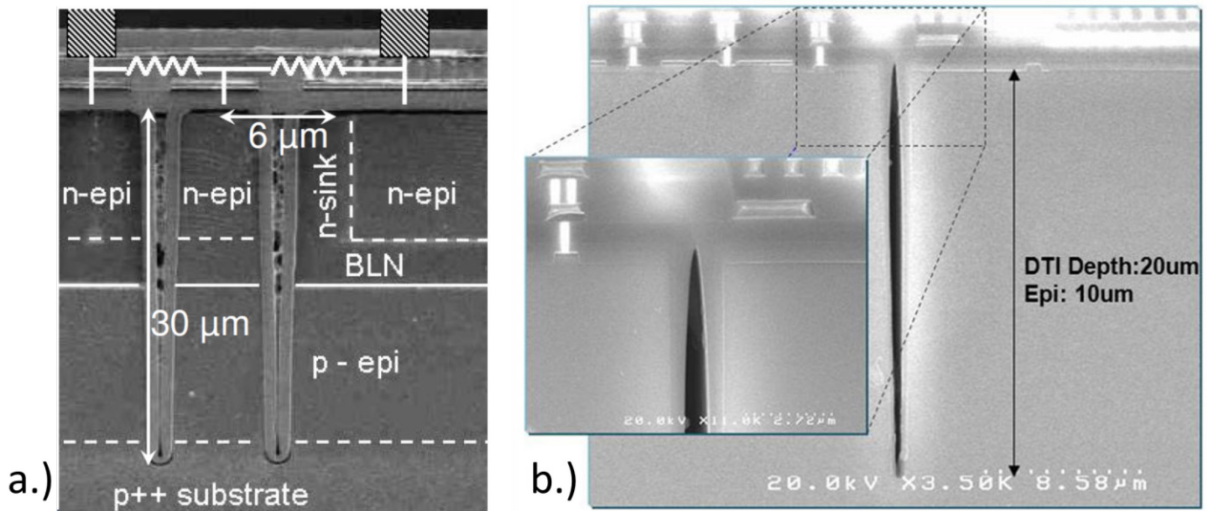


Figure II-10: Microphotographie de l'isolation de type "Deep Trench"
 a.) Silicium dioxyde SiO_2 comme isolant [II-5] b.) Avec de l'air comme isolant [II-4]

Notons que cette technique de protection est aussi très présente chez les fabricants des capteurs d'images CMOS, car elle permet d'isoler chaque pixel et ainsi de réduire leur diaphonie mutuelle [II-6], [II-7]. Du plus, chez les fabricants des circuits RF, elle est de plus en plus employée avec un "Deep Trench" réalisé avec de l'air comme isolant, et de ce fait présente une faible capacité parasite et limitant ainsi le couplage capacitif entre différentes structures.

II.2.4. Protection active: circuit de protection

Pour réduire plus efficacement le couplage substrat, les fabricants des CI Smart Power ont développé des techniques de détection de la chute du potentiel du substrat en dessous de la tension de masse aux alentours des blocs de puissance, puis de modulation du potentiel substrat local en utilisant des composants actifs commandables ou auto-polarisés [II-8] [II-9]. Pour ce faire, la zone émettrice de porteurs minoritaires dans le substrat doit être détectée rapidement. Ensuite, un autre transistor bipolaire s'active faisant office de collecteur de courant substrat, évitant ainsi que les structures sensibles basse tension deviennent collectrices. Les détails techniques du fonctionnement de ces différentes options actives font l'objet de nombreux brevets industriels [II-10], [II-11], [II-12], [II-13] et une étude plus avancée des méthodes employées sort du cadre de cette thèse (se référer à la thèse de O. Gonnard dans laquelle le sujet est expliqué en détail [II-9]).

Cependant il serait intéressant de présenter brièvement le principe de fonctionnement de ces protections actives du couplage substrat. Sur les Figure II-11 et Figure II-12 sont présentés la vue en coupe et le schéma d'une solution de protection active [II-9]. Lorsque la tension du drain en sortie du NMOS de puissance est comprise entre 0 et -0.6 V, le transistor de protection est inactif. Dans ce régime, il peut y avoir une collection de porteurs minoritaires par les structures sensibles basse tension mais elle n'est pas suffisante pour perturber son fonctionnement (un anneau de garde peut collecter les porteurs issus du substrat et ainsi rendre nulle la collection des porteurs par les structures sensibles). Si la tension du drain du NMOS de puissance continue à descendre en dessous de cette tension de seuil, le transistor de protection s'active et collecte la majorité des porteurs injectés dans le substrat dans le cas d'une faible injection. Par contre, dans le cas d'une forte injection, nous pouvons tout de même observer une collection de porteurs minoritaires par les structures sensibles, le couplage substrat apparait, mais dans une moindre mesure.

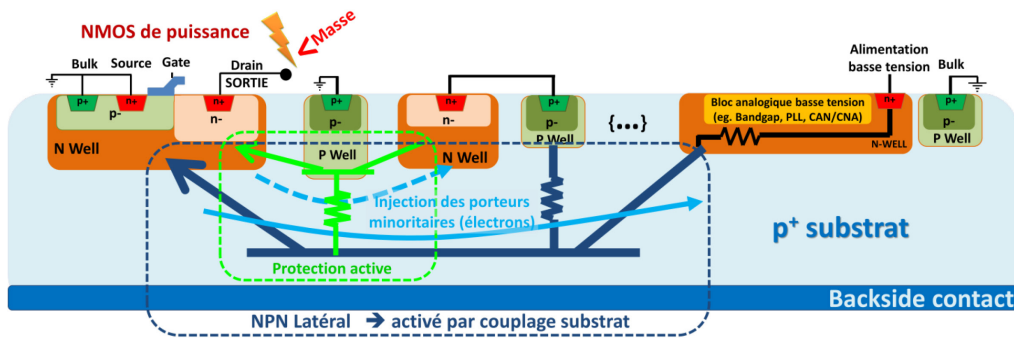


Figure II-11: Vue en coupe d'une protection active [36II-9]

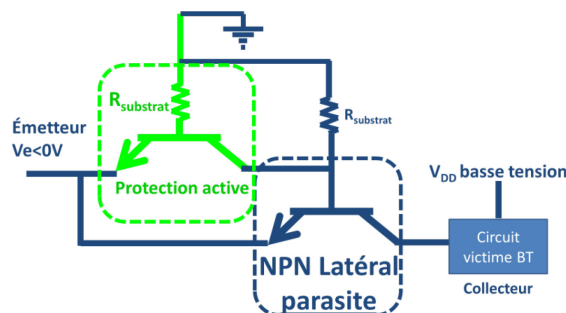


Figure II-12: Schématisation d'une protection active [II-9]

II.2.5. Protection avec un substrat isolant: "SOI-Silicon On Insulator"

Il s'agit sans doute de la meilleure protection contre les courants substrats puisque le substrat en lui-même est réalisé avec un oxyde isolant enterré (Burried Oxyde), d'où l'appellation en anglais "Silicon On Insulator" (SOI), et qui est présenté sur la Figure II-13.

Avec cette approche, le couplage substrat entre structures haute et basse tension disparaît. Les structures en silicium présentent de très faibles capacités parasites vers le substrat (capacités de jonction du drain ou de la source vers le substrat). Les CI réalisés avec cette technologie ont des caractéristiques uniques, sans possibilité d'activation de l'effet latchup, ils ont une meilleure robustesse aux radiations. Les technologies SOI disponibles sont silicium sur saphire ("Silicon On Sapphire"-SOS), séparation par l'oxygène implanté ("Separation by Implanted OXYgen"-SIMOX), le transfert de la couche épitaxiale (Epitaxial Layer TRANSfer"-ELTRAN)...

C'est aussi la solution la plus couteuse avec comme principal inconvénient des problèmes thermiques pouvant apparaître dûs à une plus grande résistance thermique du substrat isolant. Cependant, de plus en plus de fabricants des CI Smart Power choisissent cette solution pour se prémunir du couplage substrat et ainsi augmenter la fiabilité de leurs circuits.

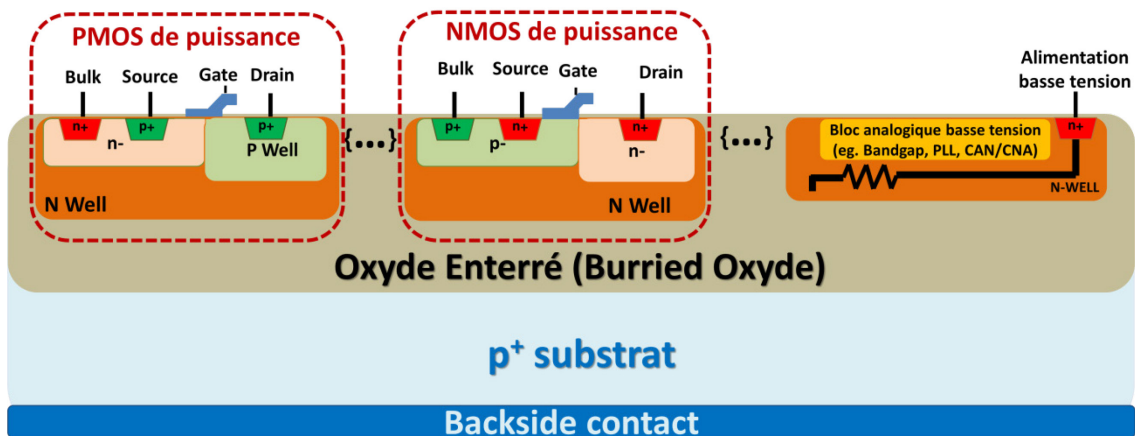


Figure II-13: Protection avec un substrat isolant en oxyde enterré ("SOI")

Pour terminer ce chapitre, en s'inspirant du vieux proverbe qu'il vaut mieux prévenir que guérir, il est intéressant de faire un rapide tour d'horizon des méthodes de modélisation du couplage substrat au niveau circuits intégrés, afin de pouvoir le simuler et le prédire. De plus, concernant les circuits Smart Power, il serait intéressant d'exposer les limitations actuelles de la prédiction des défaillances et problèmes suite au couplage substrat de puissance.

II.3. Couplage substrat: modélisation et simulation

La modélisation du couplage substrat a toujours fait l'objet de nombreuses recherches, aussi bien dans les CI basse tension mixtes que dans les CI Smart Power. Son étude et sa modélisation sont devenues indispensables de nos jours dans le développement de nouvelles technologies silicium proposées par les fondeurs et fabricants. Nous allons nous intéresser surtout à la modélisation du couplage substrat présent dans les CI Smart Power dans les prochains sous chapitres.

II.3.1. Modélisation par un réseau R ou RC distribué du couplage substrat

Dès le début du développement des circuits de type Smart Power, vers la fin des années 80 [I-10], les designers se sont confrontés à la problématique du couplage substrat lequel ne pouvait pas être prédit et analysé pendant la phase du développement du circuit avec les outils de CAO disponibles.

Ce type de problème revient à déterminer le potentiel en tout point du substrat, en faisant l'hypothèse d'un régime quasi-statique. Le problème électromagnétique revient à résoudre l'équation de Poisson avec différentes méthodes de résolution numérique. À partir de ces calculs, le substrat est modélisé par un circuit équivalent R ou RC. Les différentes méthodes de résolution numérique les plus courantes sont:

- Finite Difference Method (FDM): Le maillage du substrat est uniforme et par conséquent, pour obtenir plus de précision, on procède par une réduction de la taille de la maille en dépit d'une augmentation du temps de calcul. Dans [II-16], les auteurs présentent un maillage optimisé du substrat par un réseau de résistances tandis que dans [II-17] le substrat est maillé par un système de résistances et capacités. Ces deux études sont basées sur une minimisation du nombre de points par la méthode Multi-Grid (multi maille) [II-18] afin de réduire la matrice du modèle et le temps de calcul.
- Finite Element Method (FEM): Le maillage du substrat est adaptatif et par conséquent la taille de la maille dépend de la disposition des composants sur le layout limitant ainsi le nombre d'éléments nécessaires au calcul et réduisant le temps de calcul. Dans [II-19], les auteurs présentent un maillage du substrat par un réseau de résistances, intégrant aussi dans leurs simulations les capacités et inductances localisés du boîtier. Dans [II-20], les auteurs présentent un maillage du substrat par un réseau de capacités et d'admittances.
- Boundary Element Method (BEM): Le maillage se fait seulement aux abords du substrat, parfois même seulement juste autour des contacts. Cette méthode ne prend pas en compte les différents profils de dopage du substrat et le considère comme uniforme sur toute sa superficie externe. Cette approche permet de réduire le degré de complexité du circuit à simuler mais au prix d'une précision

moindre. Dans [II-21] les auteurs présentent un maillage de surface du substrat par un réseau de résistances et capacités, tandis que dans le [II-22] la surface du substrat est modélisée par un réseau de résistances.

- Semi-analytique basée sur le calcul de la fonction de Green: Dans le travail de recherche [II-23] l'approche consiste à utiliser la fonction de Green pour générer une matrice d'impédance complexe (résistances et capacités) entre contacts définis comme jonctions entre les composants et le substrat. Pour réaliser les simulations, une matrice d'admittances est calculée à partir de la matrice d'impédance du substrat.

Nous pouvons aussi citer des approches mixtes de modélisation du couplage substrat dans lesquelles il est modélisé en combinant une des méthodes citées ci-dessus, comme par exemple la FDM et FEM [II-24] ou FDM et BEM [II-25] donnant des résultats alliant la rapidité d'exécution et précision du résultat. Toute la difficulté repose sur la définition du périmètre de validité de chacune des méthodes de modélisation et ensuite leur intégration commune dans un unique modèle du couplage substrat pour un layout donné.

On peut aussi citer les macromodèles du substrat définissant un réseau en π lequel modélise la région du substrat entre chaque paire de contacts par des résistances (ou résistances et capacités) et en incluant une résistance (ou résistance et capacité) depuis le contact vers le contact dorsal métallisé du substrat [II-26]. On peut citer quelques outils basés sur ce type de modélisation du substrat, comme par exemple Silencer! [II-27], [II-28], ou SuPREME, (Substrate and Power-delivery Reluctance-Enhanced Macromodel Evaluation) [II-29].

Les chercheurs de l'EPFL ont proposé LAYIN [II-30], un extracteur d'éléments parasites du substrat basé sur le maillage non uniforme 3D du substrat avec un réseau distribué de résistances mises en parallèle avec des capacités. Il se base sur la technique de l'évaluation de la forme d'onde asymptotique (Asymptotic waveform evaluation, AWE) qui est utilisée pour développer des macromodèles permettant une simulation précise et efficace des effets de couplage électrique parasites liés au substrat en utilisant une version modifiée de SPICE pour réaliser les simulations [II-31].

On peut aussi citer les outils commerciaux tels que Substrate Storm de Cadence (maintenant intégré dans Assura RCX) ou Quantus QRC de Cadence, basés sur des méthodes de type FDM couplées à des méthodes de réduction d'ordre pour faciliter les simulations SPICE.

L'inconvénient de ces méthodes pour l'étude du couplage substrat dans les circuits smart power est que les éléments parasites de type transistors bipolaires ne sont pas pris en compte. Pour préciser, on peut commencer par dire qu'on ne considère pas le substrat comme un milieu semi-conducteur, mais comme un milieu multi-couche avec des conductivités et des permittivités électriques différentes. Par conséquent, les jonctions PN entre drain et substrat sont toujours considérées comme polarisées en inverse et donc modélisées par une capacité équivalente. Il est donc impossible de simuler une jonction pn polarisée en direct, et donc a fortiori le déclenchement de transistors bipolaires parasites formés avec le substrat et des structures voisines.

II.3.2. Approche TCAD du couplage substrat

D'autres outils de simulations des semi-conducteurs basés sur l'approche TCAD (1D ou 2D) ont été développés durant les années 90, tels que :

- le simulateur PISCES: Advanced 1D and 2D Device Simulation for Silicon, [II-32]
- le simulateur TAURUS MEDICI: 2D device simulator, [II-33]
- le simulateur SUPREM: 2D Process Simulation for Silicon & Gallium Arsenide, [II-34]

Ces simulateurs TCAD offrent la possibilité de simuler des petites structures composées de quelques transistors, par exemple des transistors de puissance si l'on reste dans le cadre du couplage substrat dans les circuits Smart Power. Au-delà de quelques transistors analysés, les simulations deviennent trop longues avec des problèmes de convergence qui apparaissent.

Les principaux avantages de ces simulateurs TCAD est leur précision offrant ainsi la possibilité d'évaluation à bas cout des options process. Ce type de simulateurs permettent de comparer des technologies silicium concurrentes et enfin constituent un guide efficace et rapide pour le développement et le transfert en production d'un process donné. Dans le cadre du couplage substrat leur avantage est de permettre de modéliser précisément l'ensemble des effets liés aux structures semi-conductrices, notamment l'injection de porteurs minoritaires qui est indispensable pour simuler l'activation des NPN parasites dans le substrat.

Nous pouvons citer par exemple le projet ESPRIT (Projet Européen: Project 29647 SUBSAFE) [II-35] dans le cadre duquel une thèse a été réalisée par M. Schenkel [II-36]. Celle-ci avait pour sujet les effets du couplage substrat dans les circuits Smart Power en s'appuyant sur des simulations TCAD et des mesures appliquées à des cas concrets du couplage substrat dans les circuits Smart Power (par exemple, sur des ponts en H comme structure de puissance). Ainsi, pour simuler les effets du couplage substrat sur des structures collectrices simples, un pont en H a été complètement simulé avec un simulateur TCAD dans la thèse de M. Schenkel et dans ses publications [II-37]. L'approche méthodologique dans cette étude intéressante est basée sur la réduction de la topologie du circuit, c'est-à-dire la simplification des structures agissant comme sources d'injection du courant substrat, la simplification des structures collectrices du couplage substrat et enfin la simplification du layout entier du circuit. Dans cette étude, les structures collectrices sont de simples puits de type n et les effets du couplage sur des circuits complexes basse tension ne sont pas étudiés justement en raison des limitations de l'approche TCAD.

L'approche TCAD peut aussi être utilisée comme outils de co-simulation avec un outil SPICE pour analyser certains problèmes locaux. Dans tous les cas, les outils TCAD ne sont pas compatibles avec les outils de type SPICE, largement utilisés dans les flots de conception des circuits intégrés.

Le principal inconvénient de l'approche TCAD est que pour les circuits complexes, composés de plusieurs centaines à plusieurs milliers de transistors, ayant des structures basse et haute tension, le designer n'a pas la possibilité de simuler le couplage substrat au niveau de toute la puce.

II.3.3. Modèle compact de transistors MOS

Le principal domaine d'utilisation des simulateurs TCAD reste dans le domaine de la caractérisation des structures silicium (transistors, diodes...). Grace aux simulateurs TCAD, en combinaison avec les résultats de mesures de calibration, sont développés les modèles compacts des composants actifs d'un circuit intégré. De cette manière, en leur fournissant les paramètres d'usage dépendant des données technologiques du fondeur, des modèles compacts sont ensuite utilisés dans les simulateurs de circuit classiques de type SPICE. Ces modèles compacts peuvent être intégrés à l'intérieur de P-cells (Parameterized Cells) dans les outils de CAO.

Dans le cadre du couplage substrat, cette méthode de modélisation avec les simulateurs TCAD permet de prédire les transistors bipolaires parasites inhérents aux composants afin de les inclure dans les modèles compacts des transistors de puissance NMOS ou PMOS utilisés dans les circuits Smart Power, comme le montre la Figure II-14. Ces modèles compacts de transistors sont utilisables avec des simulateurs de type SPICE pour tout type de circuit.

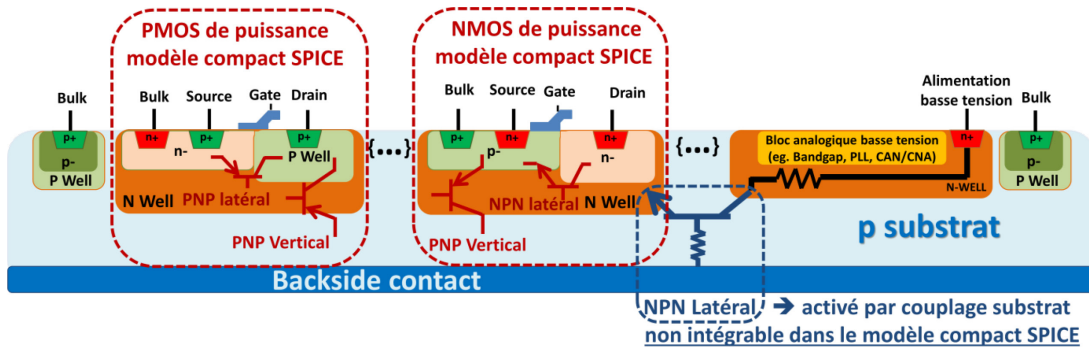


Figure II-14: Intégration du couplage substrat dans les modèles compacts de transistors MOSFET grâce à leurs transistors bipolaires inhérents le NPN latéral et les PNP latéraux et verticaux

Les transistors bipolaires verticaux utilisés dans ces modèles compacts ont des dimensions et paramètres dépendant non seulement de la largeur et de la longueur ($W \times L$) du transistor de puissance, variables selon les spécifications du design, mais aussi de la profondeur du substrat et des données technologiques du fondeur sur lesquelles le designer ne peut influencer. Ces modèles compacts de transistors MOS permettent donc seulement d'intégrer les transistors bipolaires NPN et PNP inhérents aux MOSFET, mais par contre n'offrent pas la possibilité de prédire les transistors NPN latéraux entre différentes structures et sont donc totalement inhérents au layout final du circuit (Figure II-14). En effet, les caractéristiques électriques de ces transistors bipolaires NPN latéraux dépendent de la disposition mutuelle et du type des différents éléments composant le layout du circuit Smart Power et c'est la raison principale de l'impossibilité de leur intégration dans un modèle compact de transistor pour un simulateur de type SPICE. L'approche de modélisation avec le "modèle compact" est localisée tandis que le couplage substrat est un phénomène distribué de part et d'autre du layout entre différentes structures. C'est la raison pour laquelle le designer n'a pas la possibilité de prédire ce type de couplage substrat apparaissant dans les circuits Smart Power, ce qui représente le principal inconvénient des modèles compacts.

II.4. Conclusion

Depuis le début de l'apparition des CI, le couplage substrat est un des phénomènes majeurs qui pose de nombreux problèmes et défis aux fondeurs et constructeurs. Qu'il s'agisse du couplage substrat dans les CI mixtes basse tension ou bien dans les CI Smart Power, qui sont de nature différente, les enjeux restent les mêmes: éviter ou juste limiter à tout prix les défaillances du circuit que le couplage substrat peut créer. La particularité du couplage substrat dans le CI Smart Power est qu'il n'est de nos jours pas prévisible en simulation contrairement au couplage substrat apparaissant dans les CI mixtes basse tension. En effet, dans le couplage substrat présent dans le CI Smart Power, nous observons l'activation des structures bipolaires parasites, notamment des transistors bipolaires NPN latéraux qui sont la source de différentes perturbations et défaillances pouvant apparaître, sous certaines conditions, lors du fonctionnement normal d'un CI Smart Power. En effet, étant donné que les circuits de puissance ont en général des charges inductives avec des commutations rapides sous haute tension, des retours de forts courants vers le CI existent et créent les conditions d'injection de porteurs minoritaires dans le substrat. Les conséquences de cette injection de courant dans le substrat ne sont pas actuellement correctement modélisées afin de pouvoir en prédire par simulation les effets à l'échelle d'un CI complet, avec ses milliers de transistors basse tension, auxquels s'ajoutent quelques transistors haute tension. Bien entendu, à petite échelle, à raison de quelques transistors de puissance et basse tension, le couplage substrat reste simulable avec des simulateurs utilisant les modèles physiques (TCAD), mais leur utilité reste dans le domaine de la recherche et développement des technologies silicium des fondeurs et restent inutilisables lors d'un développement d'un CI moderne. Par conséquent, aujourd'hui, les designers disposent de deux principales approches afin de se prémunir de couplage substrat dans leurs futurs CI: la première solution consiste à utiliser différentes structures de protection du couplage substrat, lesquelles peuvent en réduire plus ou moins les effets sur les structures sensibles, tandis que la seconde approche est leur savoir-faire et leur expérience. Le circuit est surtout bâti de façon empirique, et est validé une fois le prototype du CI Smart Power réalisé. C'est pour répondre à leurs besoins que le projet AUTOMICS tente de proposer une solution pragmatique qui aidera les designers à concevoir des CI plus fiables et dont le développement sera moins cher, tout en prenant beaucoup moins de temps puisque le couplage substrat sera simulable avec ses effets néfastes sur les circuits sensibles.

Références

- II-1 Donnay Stéphane, Gielen Georges (Editors), "Substrate Noise Coupling in Mixed-Signal ASICs", Pages 1-21, F.J.R. Clément, "Technology Impact on Substrate Noise", EPFL, Lausanne, Switzerland, Springer 2003
- II-2 Erik Backenius, "Reduction of Substrate Noise in Mixed-Signal Circuits", PhD thesis, Linköping University, Institute of Technology, 2007
- II-3 D. Dutartre, Z. Aitfirali-Guerry, Y. Campidelli, D. Pellissier-Tanon, "Process for producing at least one deep trench isolation", United States Patent 8975154, <http://www.freepatentsonline.com/8975154.html>
- II-4 Fr. Hébert, "Next-Generation Semiconductor Technologies Enable Smart Sensors for Mobile Products", MagnaChip Semiconductor, Ltd., 09/2013
- II-5 P. Moens, M. Tack, "High Performance Integrated Power MOSFETs", Invited Talk, ON Semiconductor, Belgium, International Workshop on Power Supply On Chip September 22nd - 24th, 2008, Cork, Ireland
- II-6 N. Ahmed et al., "MOS Capacitor Deep Trench Isolation for CMOS image sensors," 2014 IEEE International Electron Devices Meeting, San Francisco, CA, 2014
- II-7 Y. Kitamura et al. "Suppression of Crosstalk by Using Backside Deep Trench Isolation for 1.12 μ m Backside Illumination CMOS Image Sensor"
- II-8 Jean-Philippe Lainé. Mécanismes d'injection de porteurs minoritaires dans les circuits intégrés de puissance et structures de protections associées. Micro et nanotechnologies/Microélectronique. INSA de Toulouse, 2003. Français.
- II-9 Olivier Gonnard. "Efficacité d'isolation dans les circuits intégrés de puissance isolées par jonction", thèse Université Paul Sabatier - Toulouse III, 2001.
- II-10 F. Bertotti et al, "Integrated device for shielding charge injection into the substrate, in particular in driving circuits and capacitive loads", STMicroelectronics Incorporated, United States Patent N°4890149, 1989
- II-11 R.C. Peppiette et al., "Epitaxial island with adjacent asymmetrical structure to reduce collection of injected current from the island into others islands", Allegro Microsystems Incorporated, United States Patent, N°US5514901, 1996
- II-12 E.M. Ravanelli et al., "Method and device for suppressing parasitic effects in a junction isolation integrated circuit", STMicroelectronics Incorporated, United States Patent, N°US6060758, 2000
- II-13 Gerard G. Skebe, Steven M. Galecki, "Self-biased moat for parasitic current suppression in integrated circuits", United States Patent, N°US5610079 A, 1997
- II-14 P. Buccella, "Substrate current optimization in smart power ICs", PhD thesis, EPFL Lausanne, 2015
- II-15 B. Murari, F. Bertotti, and G. A. Vignola, Eds., Smart Power ICs, 2nd ed. Berlin, Germany: Springer-Verlag, 2002.
- II-16 M. A. Karami, N. Masoumi, E. Afjei, "Accelerated Multi-Grid Scheme for Substrate Coupling Modeling and Analysis", International Conference on Microelectronics, 2006
- II-17 J.M.S. Silva ; L.M. Silveira, "Multigrid-based substrate coupling model extraction", Proceedings of the 2004 International Symposium on Circuits and Systems ISCAS '04, 2004
- II-18 William L. Briggs. "A Multigrid Tutorial. Society for Industrial and Applied Mathematics", Philadelphia, Pennsylvania, 1987.

- II-19 D. K. Su, M. J. Loinaz, S. Masui, B. A. Wooley, "Experimental Results and Modelling Techniques for Substrate Noise in Mixed-Signal Integrated Circuits", IEEE Journal of Solid-State Circuits, vol. 28, no 4, April 1993
- II-20 G. R. Karimi, E. Akbari, "An Efficient Technique for Accurate Modeling and Simulation of Substrate Coupling in Deep Micron Mixed-Signal IC's, International Conference on Electronic Devices, Systems and Applications (ICEDSA), 2010
- II-21 T. Smedes, N.P. van der Meijs, A.J. van Genderen, " Boundary Element Methods for 3D Capacitance and Substrate Resistance Calculations in Inhomogeneous Media in a VLSI Layout Verification Package", Advances in Engineering Software, Vol.20, No.1, pp. 19-27, 1994
- II-22 H. Li, C. E. Zemke, G. Manetas, V.I. Okhmatovski, "An automated and efficient substrate noise analysis tool", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems 25(3):454-468, March 2006
- II-23 R. Gharpurey, R. G. Meyer, "Modeling and Analysis of Substrate Coupling in Integrated circuits", IEEE Journal of Solid-State Circuits, vol. 31, no 3, March 1996
- II-24 Y. Han, J. Zhao, "Accurate Substrate Analysis Based on a Novel Finite Difference Method via Synchronization Method on Layered and Adaptive Meshing", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 32, No. 10, October 2013
- II-25 E. Schrik, N. P. van der Meijs, "Substrate Resistance Modeling by Combination of BEM and FEM Methodologies", Scientific Computing in Electrical Engineering, Volume 4 of the series Mathematics in Industry pp 364-372, Proceedings of the SCEE-2002 Conference held in Eindhoven
- II-26 D. Ozis, T. Fiez, K. Mayaram, "A comprehensive geometry-dependent macromodel for substrate noise coupling in heavily doped CMOS processes"
- II-27 P. Birrer, T. S. Fiez, K. a Mayaram, "Silencer!: a tool for substrate noise coupling analysis", SOC Conference, Proceedings. IEEE International, 2004
- II-28 P. Birrer, S. K. Arunachalam, M. Held, K. Mayaram, T. S. Fiez, "Schematic-Driven Substrate Noise Coupling Analysis in Mixed-Signal IC Designs", IEEE transactions on circuits and systems, Regular Papers, Vol. 53, No. 12, December 2006
- II-29 T-H. Chen, C. Luk, Charlie C.-P. Chen "SuPREME: Substrate and Power-delivery Reluctance-Enhanced Macromodel Evaluation", IEEE Xplore International Conference on Computer Aided Design, 2003. ICCAD-2003.
- II-30 F.J.R. Clement, E. Zysman, M. Kayal, M. Declercq, "LAYIN: toward a global solution for parasitic coupling modeling and visualization", CICC, 1994.
- II-31 N. Verghese, D.J. Allstot, S. Masui, "Rapid simulation of substrate coupling effects in mixed-mode ICs", Custom Integrated Circuits Conference, Proceedings of the IEEE, 1993
- II-32 « PISCES, Advanced 1D and 2D Device Simulation for Silicon » de Stanford: <http://www-tcad.stanford.edu/tcad/programs/pisces.html>
- II-33 « Taurus Medici, a 2D device simulator » de Synopsys : <https://www.synopsys.com/TOOLS/TCAD/DEVICESIMULATION/Pages/TaurusMedici.aspx>
- II-34 « SUPREM-IV.GS, Two Dimensional Process Simulation for Silicon and Gallium Arsenide » de Stanford: <http://www-tcad.stanford.edu/tcad/programs/suprem-IV.GS/Book.html>
- II-35 SUBSAFE (Substrate Current Safe Smart Power IC Design Methodology), ESPRIT Project 29647, <http://www.iis.ee.ethz.ch/nwp/subsafe/index.html>
- II-36 M. Schenkel, "Substrate current effects in smart power ICs", PhD thesis, ETHZ, 2003.

- II-37 A. van Roermund, C. Herman, S. Michiel "Analog Circuit Design, High-Speed A-D Converters, Automotive Electronics and Ultra-Low Power Wireless", M. Schenkel, pages 151-182, "Substrate current formations, effects and protection strategies", 2006, Springer

Chapitre III. CARACTERISATION DU COUPLAGE SUBSTRAT DANS LES CIRCUITS SMART POWER

Dans le cadre de l'étude du couplage substrat dans les circuits Smart Power nous allons nous intéresser dans ce chapitre à sa caractérisation à travers plusieurs expériences. Pour ce faire, un véhicule de test intégrant des blocs typiques de circuits Smart Power a été spécialement conçu et fabriqué afin de mettre en valeur le couplage substrat et ses effets sur un circuit intégré (comportement en présence de lachup, de décharges électrostatiques, de perturbations électromagnétiques injectées lors d'essais de CEM). Dans ce chapitre, nous allons d'abord décrire le circuit intégré de test, puis nous présenterons plus en détail les deux cas d'étude implémentées. Le premier cas d'étude consiste à analyser une structure simple afin d'observer directement l'influence de la distance entre structures d'injection et de collection, de la température, de l'environnement proche (plots d'entrées-sorties) sur le couplage substrat entre différents blocs. La deuxième structure, un cas plus réaliste et industriel, est dédiée à l'analyse des interactions présentes entre un circuit de puissance et un circuit basse tension sous l'effet du couplage substrat. Dans un second temps, nous présenterons les résultats de mesure qui nous serviront, dans le chapitre V, de cas de validation de la simulation du couplage substrat dans les circuits Smart Power.

III.1. Présentation du véhicule de test – AUTOBENCH 2

Dans le cadre de l'étude du couplage substrat dans les circuits Smart Power un véhicule de test a été conçu en étroite collaboration avec *ams GmBH* [I-1], notre partenaire industriel autrichien. Le cahier des charges du circuit a été créé et validé par les deux équipes, l'équipe d'*ams GmBH* et notre équipe Énergie et Systèmes Embarqués - Compatibilité Électromagnétique (ESE-CEM) du LAAS CNRS [III-2]. Les structures de test des cas d'études présents sur le véhicule de test ont été conçues et routées par Peter Rust d'*ams GmBH*.

Notre partenaire industriel a choisi de fabriquer la puce avec un procédé technologique 0.35 μ m CMOS haute tension [III-3], employé pour la fabrication de circuits Smart Power pour l'automobile. Cette technologie a été notamment sélectionnée comme technologie test dans le cadre du projet AUTOMICS. Ce procédé technologique a été optimisé pour des circuits analogiques/numériques mixtes pouvant fonctionner de 3.3 V jusqu'à 120 V: les blocs analogiques et numériques faible puissance peuvent être alimentés sous 3.3 V ou 5 V tout en

offrant la possibilité d'avoir des blocs haute tension alimentés de 12 V jusqu'à 120 V selon les options sélectionnées. Par conséquent, en plus de proposer les transistors CMOS standards basse tension, cette technologie offre la possibilité d'intégrer dans le design une large palette de transistors de puissance tels que les High Voltage NMOS, High Voltage PMOS, High Voltage DMOS. Les transistors CMOS haute tension ont des grilles en oxyde et en mid-oxyde selon le type de transistor utilisé. Pour répondre à des besoins spécifiques de l'industrie le procédé technologique 0.35 μ m CMOS haute tension propose aussi les FETS à jonction N, les transistors NPN bipolaires isolés ainsi que les transistors Low Voltage NMOS isolés 3.3V et 5V (transistors NMOS isolés basse tension) grâce à une technique par des anneaux de garde réalisée avec des puits deep N Well (puit profond de type n) ou puits Shallow N Well (puit peu profond de type n).

Avec une basse consommation et des vitesses de transitions rapides, cette technologie permet une large gamme d'applications dans l'industrie automobile, le domaine médical et dans l'industrie en général. Les futures applications de cette technologie ciblent les Front-Ends analogiques utilisés dans les capteurs haute précision ou les transducteurs de puissance (notamment pour le marché automobile).

Cette technologie permet d'intégrer au sein d'une même puce des transistors CMOS basse tension avec des transistors haute tension, ce qui est caractéristique pour les circuits de type Smart Power. De plus, en combinaison avec les bibliothèques déjà existantes du fondeur, cette technologie récente (fin des années 2000) représente une solution idéale pour les circuits Smart Power possédant des fonctions de puissance combinées à des fonctions basse tension analogiques ou numériques. Le procédé propriétaire du fondeur *ams GmbH* permet une adaptabilité de l'architectures des composants allant de 3.3V jusqu'à 120V. Pour les transistors NMOS & PMOS les tensions maximales sont 3.3V et 5V pour les composants basse tension et 20V, 50V et 120V pour les composants haute tension.

Par rapport à un procédé CMOS de base, cette technologie ne nécessite que deux masques de plus dédiés pour les composants "haute tension" avec un minimum de 17 niveaux de masques en tout. Ce procédé offre 2 à 4 niveaux de métallisation en aluminium avec une possibilité pour le dernier niveau de métallisation d'être plus épais dans le but d'assurer les fonctions de puissance. Sur la Figure III-1 est présentée la vue en coupe des couches (layers) du procédé technologique pour des transistors de puissance NMOS et PMOS avec des anneaux de garde (Guard Rings) les entourant. Ses anneaux de garde sont conçus avec une couche de puit profond de type n (Deep N Well).

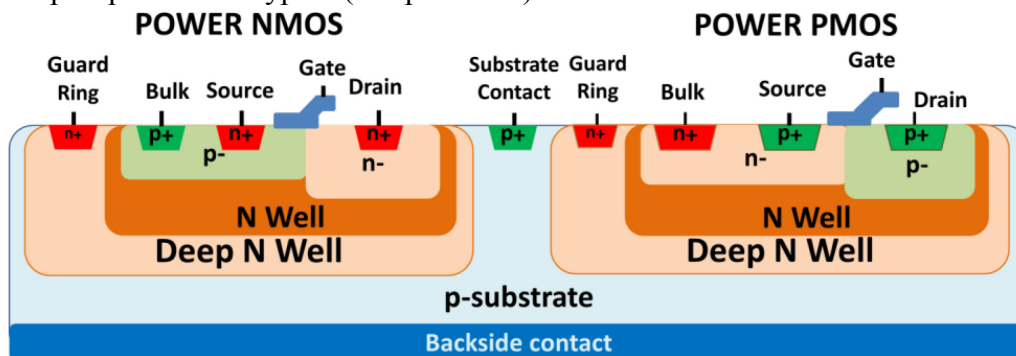


Figure III-1: La vue en coupe du procédé technologique *ams GmbH* haute tension

Un autre avantage intéressant de ce procédé technologique est la petite résistance de fonctionnement des transistors de puissance ("ON" résistance ou R_{ON}) permettant ainsi une plus grande performance des circuits avec des tailles plus réduites. La résistance R_{ON} des transistors NMOS et PMOS selon la tension maximale supportée est présentée dans le Tableau III-A.

Tableau III-A: R_{ON} des transistors MOS de la technologie $ams\ 0.35\mu m$ CMOS haute tension

Tension Maximale supportée	NMOS		PMOS	
	Modèle	R_{ON}	Modèle	R_{ON}
20V	NMOS20H	35 m Ω /mm ²	PMOS20H	90 m Ω /mm ²
50V	NMOS50H	120 m Ω /mm ²	PMOS50H	310 m Ω /mm ²
120V	NMOSI120H	350 m Ω /mm ²	PMOS120H	880 m Ω /mm ²

Un autre avantage de la technologie $0.35\mu m$ CMOS haute tension d'*ams GmBH* est qu'elle permet d'intégrer des composants basse tension isolés (3.3V et 5V) grâce à une technique par des anneaux de garde réalisée avec des puits deep N Well (puit profond de type n) ou puits Shallow N Well (puit peu profond de type n) [III-3]. Les transistors CMOS haute tension ont des grilles en oxyde et en mid-oxyde selon le type de transistor utilisé.

D'autres aspects et avantages de la technologie *ams GmBH* $0.35\mu m$ CMOS haute tension utilisé dans le cadre de notre étude sont présentés dans le Tableau III-B.

Tableau III-B: Bref descriptif des options de la technologie $ams\ 0.35\mu m$ CMOS haute tension

Classes de composant	Modèles disponibles
Capacités	20V MIM, CMIM, CPM, CPOLY, CWPM
Résistances	Résistance de diffusion (n^+ , p^+), résistance puit N Well haute et basse tension, poly haute résistance, résistance puit P Well
Mémoires	mémoire intégré EEPROM en option, mémoire fusible poly (polyfuse) "OTP", compilateur mémoire RAM & ROM
Librairie protections ESD	jusqu'à 8kV
Densité des portes	17K & 23K portes/mm ²

Pour le développement des puces conçues avec cette technologie $0.35\mu m$ CMOS haute tension, le fondeur a certifié l'outil CAO Cadence IC 6.1.5, l'outil de conception CAO utilisé pour notre design. Les autres environnements supportés sont RTL Compiler, Assura, QRC, IUS / AMS-Designer, Spectre / Ultrasim, Encounter Digital Implementation, Calibre, QuestaSim, DesignCompiler, PrimeTime, HSPICE.

Afin d'étudier et caractériser le couplage substrat, plusieurs expériences ont été menées sur un véhicule de test conçu en technologie $0.35\mu m$ CMOS haute tension d'*ams GmBH*. Les expériences pour la caractérisation du couplage substrat ont été basées sur deux cas d'étude bien distincts présents sur le véhicule de test. Un capteur de tension sur puce adapté aux besoins des tests a aussi été intégré au véhicule de test. Le véhicule de test comportait trois parties bien distinctes avec dans chacune d'entre elles plusieurs blocs fonctionnels :

- Cas d'étude 1: un cas d'étude simple, avec des structures de test basiques sans fonctionnalités électroniques (une source d'injection et deux points de collection du courant substrat).
- Cas d'étude 2: un cas d'étude plus complexe, avec des structures de test plus avancées ayant des fonctionnalités électroniques (un convertisseur DC-DC agissant comme agresseur et deux références de tension de type Bandgap étant les victimes).
- Capteur sur puce: l'outil élaboré au LAAS CNRS servant à faire les mesures de tension en temporel sur puce dédié au cas d'étude 2 (le cœur du capteur sur puce et ses 5 sondes, formant un oscilloscope sur puce). Celui-ci sera l'objet du chapitre IV.

Les principaux blocs fonctionnels du véhicule de test AUTOBENCH 2 sont présentés sur la Figure III-2. Nous allons dans les parties suivantes voir en détail les différents blocs de la puce et expliquer comment ils vont nous servir à caractériser le couplage substrat.

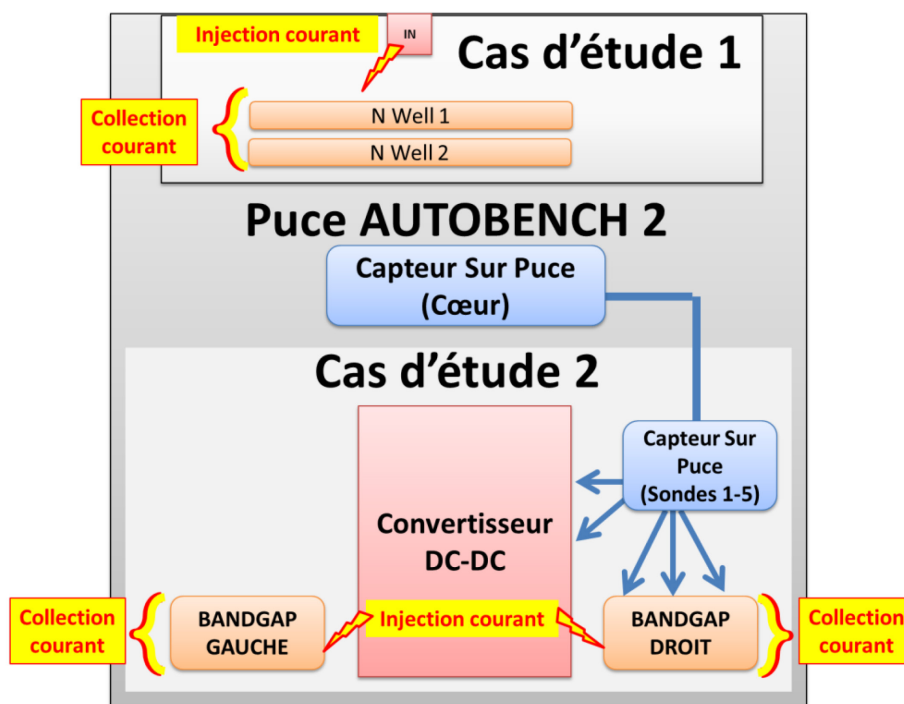


Figure III-2: Schéma-bloc du véhicule de test AUTOBENCH 2

Le but des expériences et mesures faites sur le véhicule de test est d'observer la variation de l'intensité du couplage substrat en fonction de différents facteurs tels que :

- l'intensité du courant injecté dans le substrat
- la géométrie du layout du circuit
- la température

Nous sommes partis d'un cas d'étude simple à analyser, le cas d'étude 1, avec une architecture composée d'un agresseur et deux victimes identiques à deux distances différentes de la source de perturbation. L'agresseur, tout comme les victimes, sont des puits de type n (N Well).

Ensuite nous avons continué notre analyse sur une deuxième structure plus proche d'un cas industriel (cas d'étude 2). Cette deuxième structure a une architecture plus complexe

à mettre en œuvre et a aussi pour mission de nous aider à comprendre les mécanismes de défaillance du circuit victime dus au couplage substrat. Ici aussi la source d'agression et la victime sont isolées du substrat à l'intérieur d'un puit profond de type n (Deep N Well). Sur cette deuxième structure, grâce au capteur sur puce, nous pouvons aussi analyser les événements transitoires rapides (voir les expériences décrites dans le Chapitre IV).

Les mesures obtenues avec ces deux cas d'étude pour caractériser le couplage substrat serviront aussi comme cas de validation de l'outil de simulation développé dans le cadre du projet AUTOMICS, dont les résultats seront présentés dans le Chapitre V.

III.2. Cas d'étude 1: collection des porteurs par un puit de type n

Dans ce premier cas d'étude, l'objectif est d'avoir un point d'injection dans le substrat et un point de collection de porteurs minoritaires issus du substrat. Notre véhicule de test AUTOBENCH 2 offre la possibilité d'être reconfigurable par la technique du laser cut afin de disposer de plusieurs versions de puces selon les besoins des tests.

Ainsi, selon une des quatre versions de la puce, nous avons pu exploiter différentes configurations de couplage entre le point d'injection et le point de collection des porteurs minoritaires. Nous avons aussi effectué des mesures en cuve thermique afin d'observer les effets de la température sur le couplage substrat. Pour accentuer les effets du couplage substrat, toute la série de tests a été réalisée sans le contact dorsal métallisé (backside contact) connecté à la masse. En effet, le contact dorsal métallisé collecte une grosse majorité de porteurs minoritaires injectés dans le substrat réduisant ainsi leur portée horizontale: ceci a pour conséquence que les structures collectrices sont moins sensibles au couplage substrat. C'est pourquoi lors d'une utilisation normale du circuit il est impératif de connecter ce contact dorsal métallisé à la masse du circuit.

Nous disposons de 3 broches d'entrée/sortie, le PAD_OUT, le PAD_DNPS_ESD et le PAD_DNPS, en plus des broches d'alimentations PAD_VDD et de masse PAD_VSS, présentées dans me Tableau III-C.

Tableau III-C: Liste des entrées/sorties de la puce AUTOBENCH 2 pour le cas d'étude 1

BROCHE N°	Nom de la broche	Fonction
25	PAD_DNPS	Sortie sans protection ESD du puit de type n (N Well 2)
26	PAD_DNPS_ESD	Sortie avec protection ESD des puits de type n (N Well 1 ou N Well 2, selon la version de la puce)
27	PAD_VDD	Alimentation des protections ESD du cas d'étude 1
28	PAD_OUT	Entrée, injection du curenent pour le cas d'étude 1
29	PAD_VSS	VSS, masse du cas d'étude 1

Les quatre différentes versions de la puce AUTOBENCH 2 sont présentées dans le Tableau III-D selon la configuration du couplage substrat étudié:

Tableau III-D: Quatre versions de puce AUTOBENCH 2

Version de la puce	Couplage substrat étudié	Broches utilisées → Puits connecté
puce version 1 (puce V1)	N Well agresseur ↔ N Well 1 (distance 145µm)	PAD_OUT → N Well agresseur
		PAD_DNPS_ESD → N Well 1
puce version 2 (puce V2)	N Well agresseur ↔ N Well 2 (distance 290µm)	PAD_OUT → N Well agresseur
		PAD_DNPS_ESD → N Well 2
puce version 3 (puce V3)	N Well agresseur ↔ N Well 1 & N Well 2 (distance 145µm & 290µm)	PAD_OUT → N Well agresseur
		PAD_DNPS_ESD → N Well 1 & N Well 2
puce version 4 (puce V4)	N Well agresseur ↔ N Well 2 (distance 145µm)	PAD_OUT → N Well agresseur
		PAD_DNPS → N Well 2

Nous allons maintenant décrire en détail les quatre versions de la puce avant de présenter les expériences menées avec elles dans le cadre du cas d'étude 1.

En interne de la puce AUTOBENCH 2, la broche PAD_OUT est connectée à la sortie d'un driver push-pull conçu avec les transistors CMOS de puissance NMOS et PMOS 20V, comme le montre la Figure III-3. Lorsque la polarisation du drain du NMOS de puissance (c'est-à-dire la sortie PAD_OUT) est en dessous de la tension de substrat nous avons l'injection des porteurs minoritaires dans le substrat: le puit de type n du drain du NMOS devient alors l'agresseur, nommé le « N Well agresseur ».

Une des deux conditions pour que les porteurs minoritaires soient injectés dans le substrat est qu'un puit de type n soit en contact direct avec le substrat de type p. La deuxième condition est que ce puit de type n soit polarisé en dessous de la tension du substrat. Dans notre cas, cela se vérifie si le potentiel du drain du transistor NMOS de puissance est négatif car le substrat est connecté à la référence de masse du circuit.

Le drain de notre NMOS de puissance étant connecté à la broche PAD_OUT nous utiliserons dans la suite de notre étude la broche PAD_OUT pour désigner le point d'injection des porteurs minoritaires.

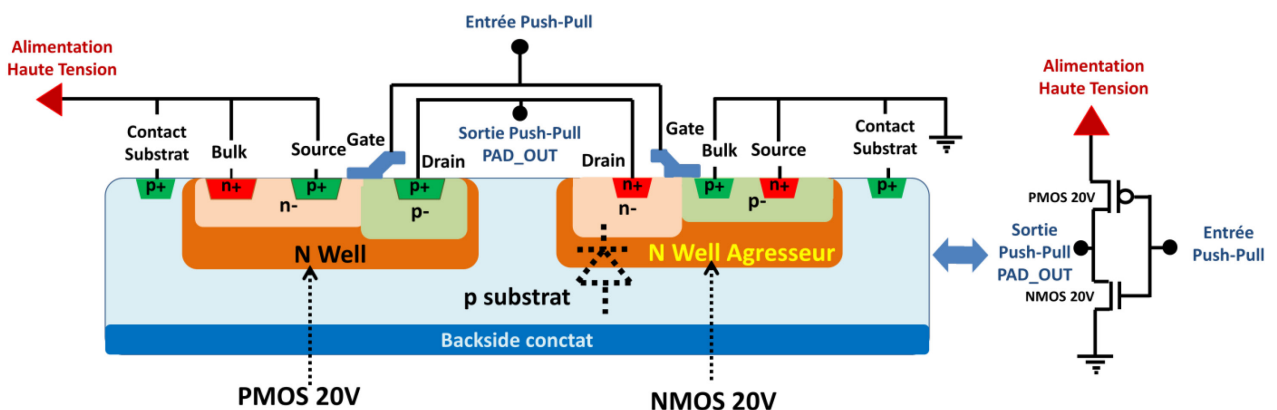


Figure III-3: Vue en coupe de la sortie PAD_OUT ou "N Well agresseur", source d'injection des porteurs minoritaires dans le substrat

Ce qui différencie les puces est la configuration du point de collection du courant substrat, c'est-à-dire le N Well collecteur. Pour chaque version de la puce, déjà présentées dans le Tableau III-D, la broche PAD_DNPS_ESD est connectée en interne :

- soit au puit N Well 1 pour la puce version 1 (puce V1), présentée sur la Figure III-4.
- soit au puit N Well 2 pour la puce version 2 (puce V2), présentée sur la Figure III-5.
- soit aux deux puits, le N Well 1 et le N Well 2 pour la puce version 3 (puce V3), présentée sur la Figure III-6.

Pour la dernière et quatrième version de la puce (puce V4), le puit N Well 2 est connecté à la broche de sortie PAD_DNPS qui n'a pas de protection ESD (Figure III-7).

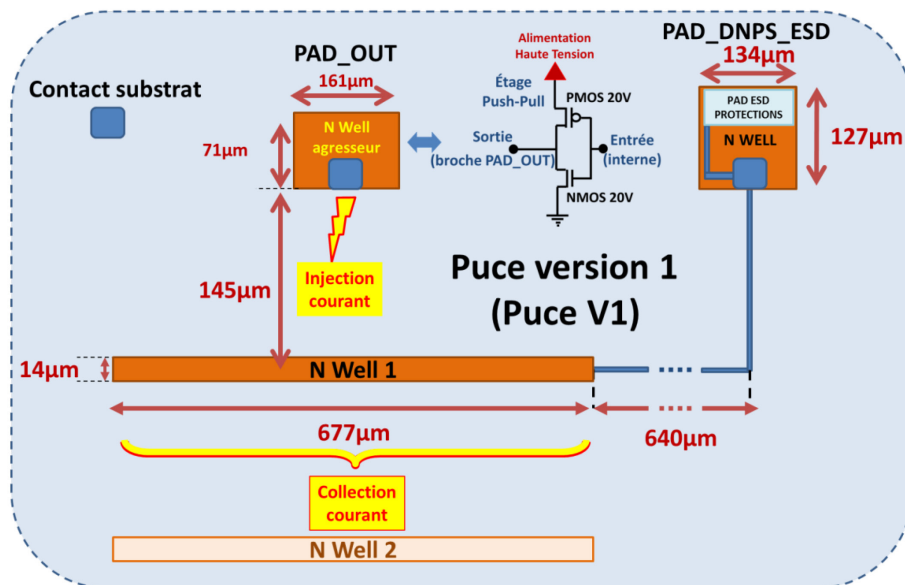


Figure III-4: Le layout de la puce V1, distance 145µm entre les points d'injection et de collection

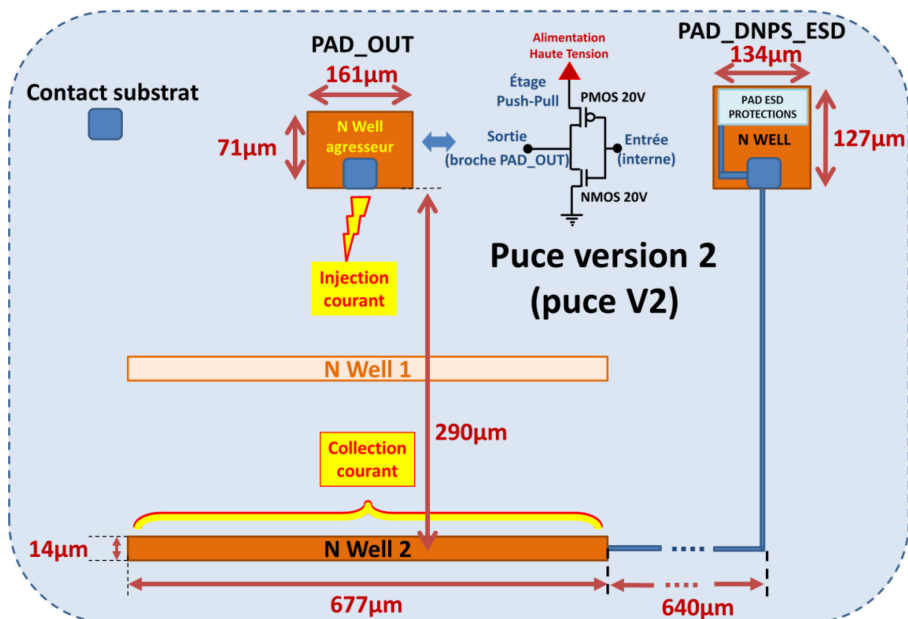


Figure III-5: Le layout de la puce V2, distance 290µm entre les points d'injection et de collection

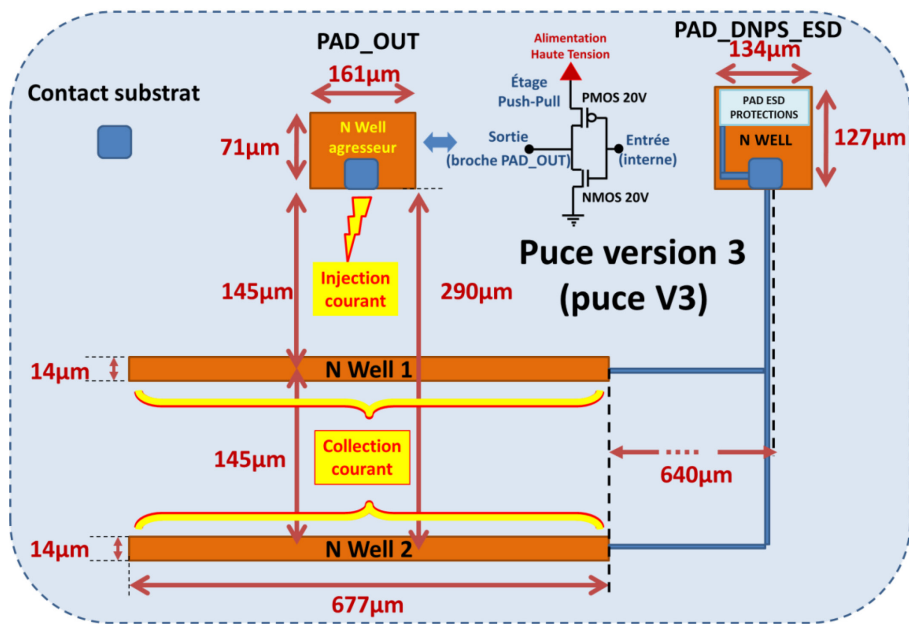


Figure III-6: Le layout de la puce V3, deux points de collection simultanée à la distance de 145µm et 290µm du point d'injection

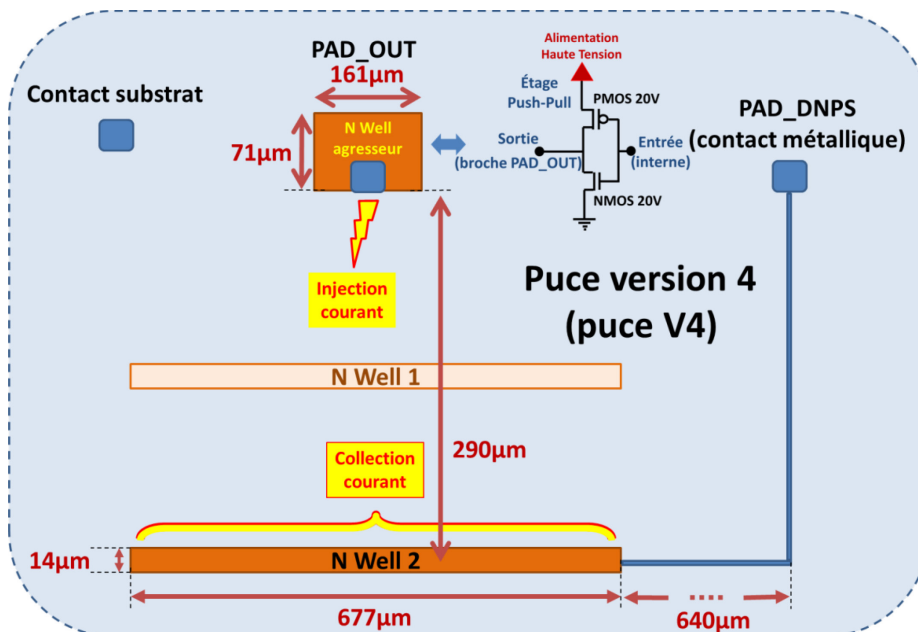


Figure III-7: Le layout de la puce V4, distance 290µm entre les points d'injection et de collection; la broche PAD_DNPS a juste un contact métallique et pas de protections ESD

Les paragraphes suivants décrivent les expériences menées dans le cadre du cas d'étude 1, utilisant les différentes configurations possibles des puces AUTOBENCH 2.

III.2.1. Caractérisation du transistor bipolaire NPN parasite activé par le couplage substrat

Dans cette étude simple, préliminaire à toutes les autres études qui suivront, il s'agit de caractériser le transistor bipolaire parasite qui s'active lorsque les conditions nécessaires sont réunies pour l'apparition du couplage substrat. Pour ce faire, du courant est injecté dans un puit de type n connecté à une broche externe nommée PAD_OUT (représentative de la sortie d'un circuit de puissance), afin de générer les conditions d'activation du couplage substrat. Une fois le couplage substrat activé, avec une injection constante des porteurs minoritaires dans le substrat, nous pouvons mesurer le courant collecté par deux autres puits de type n, N Well 1 et N Well 2, connectés à une broche externe commune PAD_DNPS_ESD. Dans cette étude, nous avons utilisé la première version de la puce, la puce V1, déjà présentée sur la Figure III-4.

III.2.2. Analyse de l'effet de la distance sur le couplage substrat

Nous voulons vérifier avec cette série d'expériences que l'intensité du courant collecté dépend de la distance entre le point d'injection et le point de collection des porteurs minoritaires. Pour cela, nous disposons des puces V1, V2 et V3 qui sont présentées sur les Figure III-4, Figure III-5 et Figure III-6, respectivement et détaillées dans le Tableau III-D. Pour chacune des trois versions de puce, le point d'injection est le même: la broche PAD_OUT qui polarise un puit de type n.

Ces deux puits de type n, les puits N Well 1 et N Well 2, nous serviront comme collecteurs des porteurs minoritaires provenant du substrat. Les deux puits sont parallèles et centrés perpendiculairement à deux distances différentes par rapport au point d'injection. Le puit N Well 1 est à une distance de 145 μ m du point d'injection (PAD_OUT) tandis que le puit N Well 2 est au double de cette distance, c'est-à-dire à 290 μ m du point d'injection.

Avec les configurations des puces V1 et V2, nous souhaitons analyser l'impact de la distance sur le couplage substrat. Avec la puce V3, nous souhaitons analyser l'effet cumulatif de la collection des porteurs minoritaires par les deux puits de type n, connectés simultanément à la broche PAD_DNPS_ESD.

III.2.2.1. Description de l'expérience

Notre approche expérimentale consiste à injecter du courant dans le substrat par le biais d'un puit de type n et à observer le courant collecté au niveau d'un autre puit de type n.

La source d'injection des porteurs minoritaires est un puit de type n polarisé avec une tension en dessous de la tension de masse (polarisation du substrat). Avec ses deux conditions acquises, nous polarisons en direct la jonction pn qui existe entre le puit de type n relié à PAD_OUT, le drain du transistor NMOS de puissance et le substrat de type p. Cette jonction pn représente aussi la jonction base émetteur d'un transistor bipolaire parasite NPN, où le substrat de type p représente sa base et le point d'injection représente son émetteur. Le point de collection des porteurs minoritaires, c'est-à-dire l'un des deux puits de type n, le N Well 1

et le N Well 2, représente finalement le collecteur de notre transistor bipolaire parasite. Ce transistor parasite est illustré sur la Figure III-8 et sur la Figure III-9 dans les cas des puces V1 et V2 respectivement.

Dans notre expérience, c'est la variation de la longueur de la base du transistor parasite bipolaire qui sera le facteur principal de l'influence de la distance au couplage substrat. La géométrie du layout des puits de type n de l'émetteur et du collecteur du transistor bipolaire parasite ont aussi leur incidence sur le couplage, mais ces aspect-là n'ont pas été pris en compte dans notre étude.

Pour des raisons de simplicité, nous n'avons pas intégré dans la vue en coupe les puits de type n dans lesquels reposent les protections ESD des broches PAD_DNPS_ESD et PAD_OUT. Nous les avons juste représentés avec une vue de dessus autour des contacts métalliques des broches. En effet, leur influence est moindre étant données leur taille et la distance à laquelle ils se trouvent par rapport aux régions N Well 1 et le N Well 2. Cependant, nous examinerons aussi l'influence du couplage substrat de la protection ESD de la broche PAD_DNPS_ESD dans la prochaine partie.

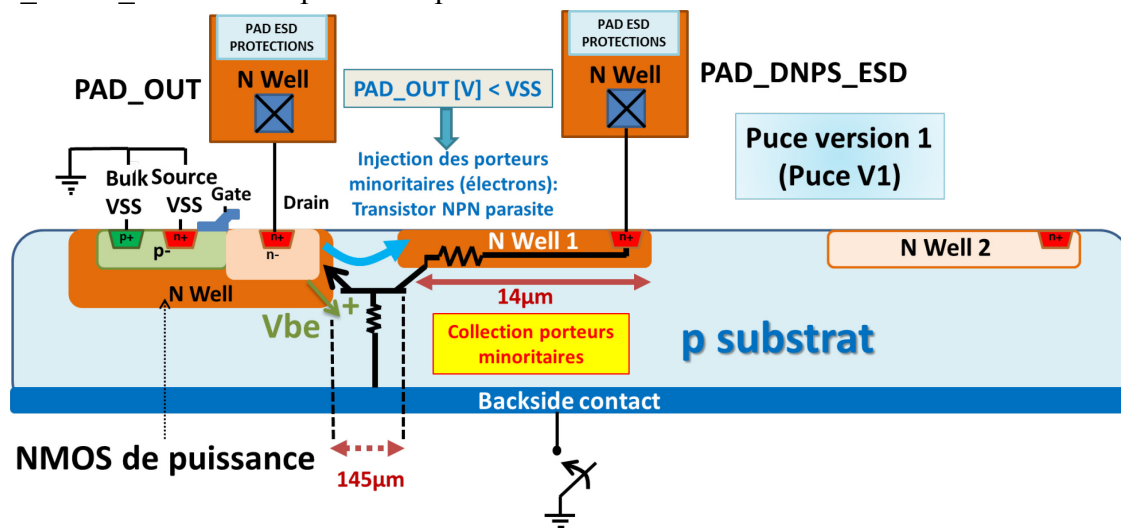


Figure III-8: Cas d'étude 1, puce V1: couplage entre PAD_OUT et le N Well 1

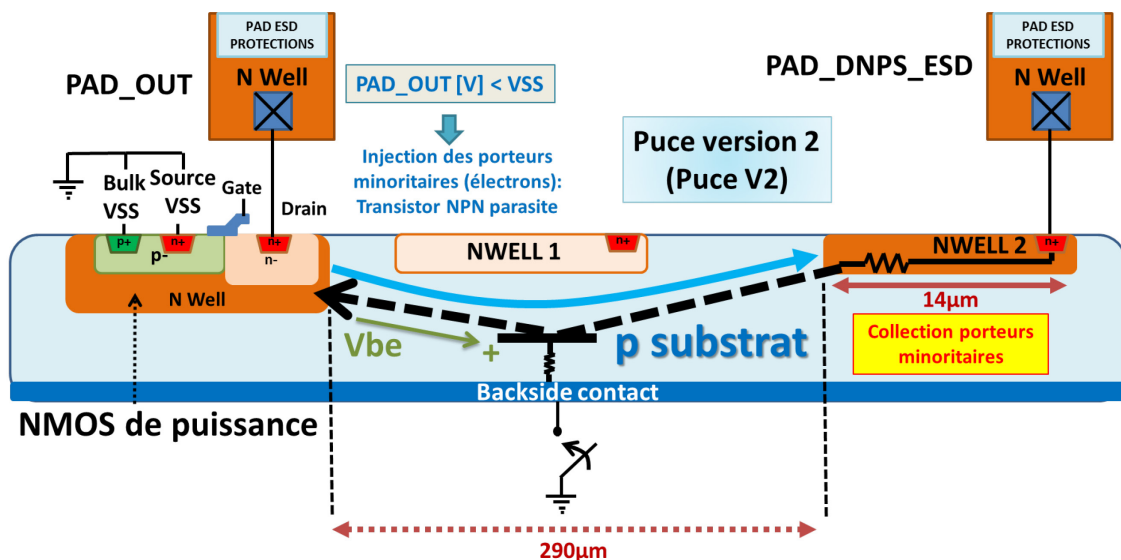


Figure III-9: Cas d'étude 1, puce V2: couplage entre PAD_OUT et NWELL 2

III.2.3. Analyse de l'influence des pads de protection ESD sur le couplage substrat

Comme nous l'avons déjà évoqué, les protections ESD des entrées/sorties de la puce se situent aussi dans un puit de type n. Elles sont potentiellement collectrices des porteurs minoritaires une fois que le couplage substrat apparait. Il est donc intéressant d'analyser leur impact sur l'intensité du couplage substrat. La différence entre la puce V2 et la puce V4 repose sur le fait que grâce au procédé du laser cut le N Well 2 est connecté en interne soit à la broche PAD_DNPS_ESD soit à la broche PAD_DNPS, respectivement (Figure III 7).

III.2.3.1. Description de l'expérience

Afin de comparer les résultats des mesures réalisées avec la puce V4, nous avons réutilisé les mesures faites avec la puce V2, qui avait aussi la broche PAD_DNPS_ESD connectée en interne sur le puit de type n, le N Well 2 (Tableau III-D). Sur la Figure III-10 est présentée la vue en coupe du layout de la puce V4.

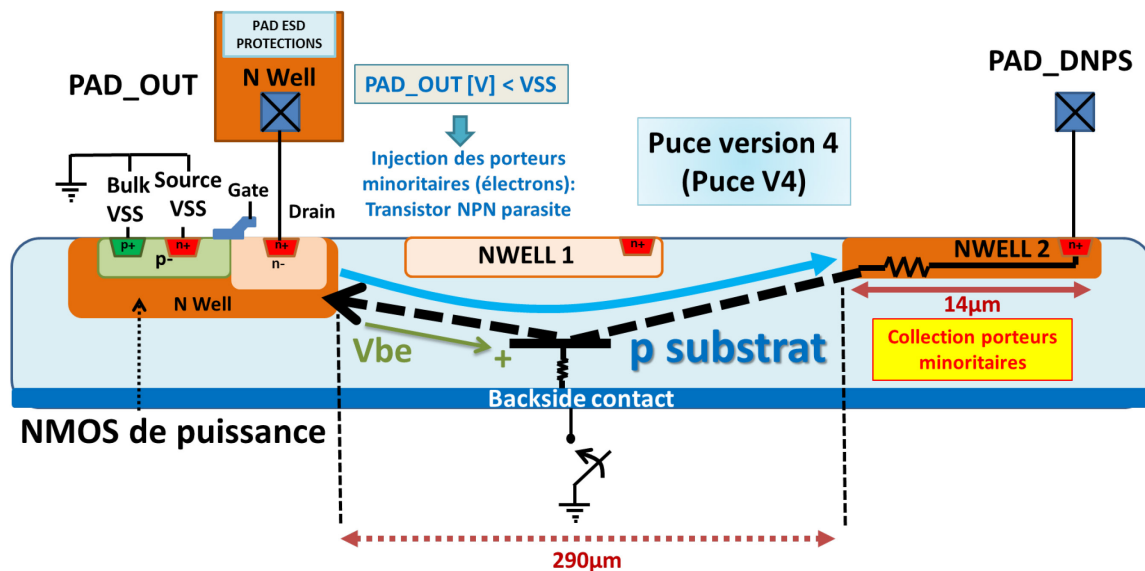


Figure III-10: Cas d'étude simple, puce V4: couplage entre PAD_OUT et NWELL 2 sans la protection ESD de la broche PAD_DNPS

III.2.4. Analyse de l'effet de la température sur le couplage substrat

Dans cette expérience, nous étudions l'effet de la variation de la température de jonction sur le couplage substrat. Pour cela, nous utilisons le même protocole que dans l'expérience précédente: du courant est injecté dans le substrat en polarisant la broche PAD_OUT en dessous de la tension à laquelle est polarisé le substrat. Les mesures sont réalisées pour 4 températures différentes (24°C, 55°C, 80°C, 105°C).

III.2.4.1. Description de l'expérience

Nous avons réalisé les tests avec le modèle V2 de la puce, c'est-à-dire nous avons utilisé la puce qui avait une plus grande distance entre le point d'injection et le point de

collection (Figure III-11). Dans cette configuration, la base du transistor bipolaire parasite est la plus large, ce qui devrait accentuer l'effet de la température. En effet, avec la distance émetteur-collecteur plus grande, les porteurs minoritaires auront un trajet plus long pour traverser la base du bipolaire parasite et par conséquent l'influence de la température sur la mobilité de ses porteurs sera plus forte. Avec une base plus courte, les effets de la température pourraient être moindres et donc moins bien observables.

La température ambiante est contrôlée en plaçant la puce de test dans une cuve thermique, comme le montre la Figure III-11. La température de jonction n'est pas parfaitement connue. Elle s'éloignera de la température ambiante dès que le courant injecté deviendra important. Afin de vérifier si le composant s'échauffe, la température du boîtier du composant est contrôlée avec un thermocouple placé directement sur la puce.

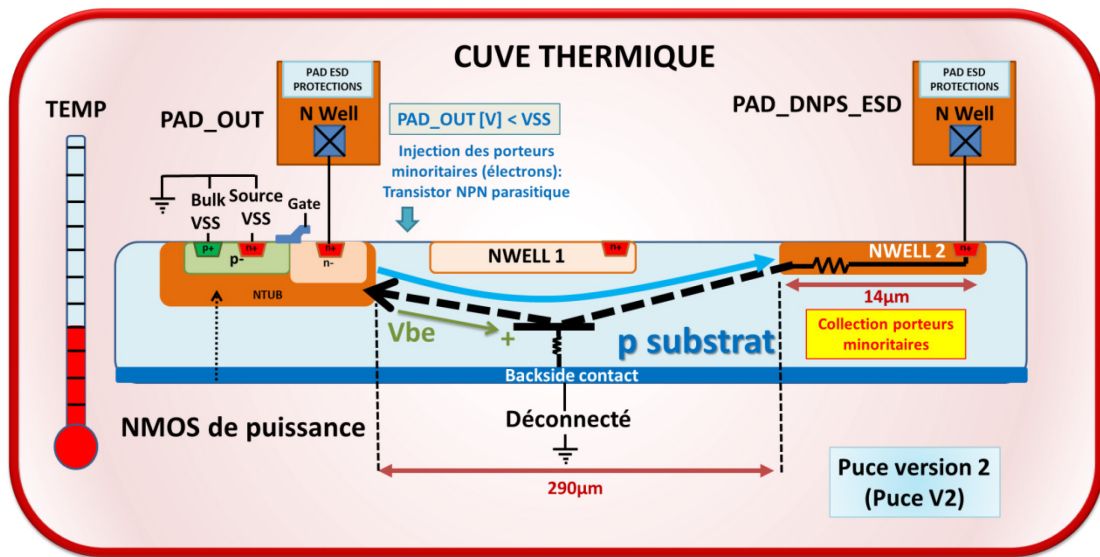


Figure III-11: Protocole expérimental de mesure de l'effet de la température sur le couplage substrat du cas d'étude 1

III.3. Cas d'étude 2: couplage substrat entre un convertisseur DC-DC et une référence de tension Bandgap

Dans ce second cas d'étude, un cas d'étude industriel, l'objectif est de voir dans un cas réel, l'interaction qui peut se créer entre les parties de puissance et les parties basse tension de la puce, lorsque le couplage substrat s'active. Pour ce faire, nous disposons comme élément de puissance d'un convertisseur DC-DC agissant en tant qu'agresseur et de deux structures basse tension, des références de tension de type Bandgap jouant le rôle de victimes. Cette configuration est un scénario classique agresseur/victime dans un circuit Smart Power. La sortie du convertisseur DC-DC représente en effet un point d'injection typique de porteurs minoritaires dans le substrat, comme l'illustre la Fig. III.12. En effet, dans le cadre d'une alimentation à découpage, cette sortie est chargée par une inductance qui, lors des commutations de la sortie, tend à accroître son potentiel au-dessus de la tension d'alimentation ou à l'abaisser sous le potentiel de masse. En outre, cette broche de sortie est soumise à de fortes contraintes CEM et ESD en pratique. Lors des essais de qualification ESD et de susceptibilité aux interférences électromagnétiques, elle est régulièrement exposée à des fluctuations de potentiels suffisantes pour déclencher une injection de porteurs minoritaires dans le substrat.

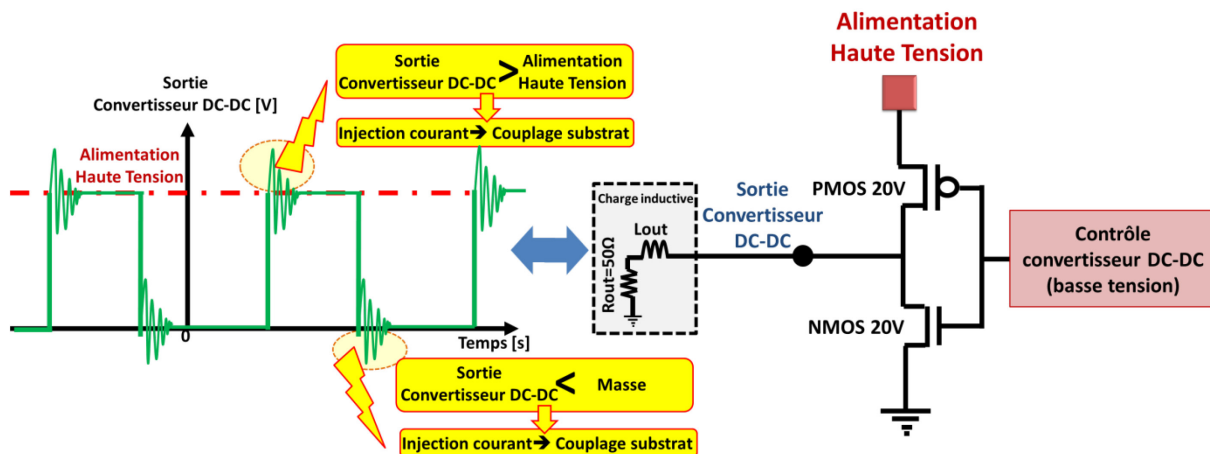


Figure III-12: Sortie du convertisseur DC-DC avec une charge inductive - Activation du couplage substrat

Notre véhicule de test AUTOBENCH 2 offre aussi la possibilité de mesures in situ grâce au capteur sur puce pouvant mesurer les nœuds sensibles du circuit du convertisseur DC-DC et d'une des deux références de tension Bandgap. Ces expériences et mesures seront présentées dans le chapitre suivant lorsque nous exposerons ce capteur sur puce plus en détail.

III.3.1. La structure interne du cas d'étude 2

La structure interne du cas d'étude 2 repose sur des blocs électroniques couramment utilisés dans les circuits de type Smart Power. Il s'agit de l'étage de puissance d'un convertisseur DC-DC, dont la structure interne a été simplifiée pour limiter sa surface sur la puce. Le contrôleur ainsi que la boucle de contre-réaction ont été supprimés. Cela ne

représente pas une limitation pour notre étude sur le couplage substrat. En effet, nous pouvons contrôler plus facilement l'état et le potentiel de la sortie de puissance du convertisseur DC-DC, et donc les conditions d'activation du couplage substrat. Pour la partie basse tension, nous disposons d'une référence de tension Bandgap (ou Bandgap dans la suite) délivrant à sa sortie une tension fixe de 1.23V, quasi indépendante de la tension d'alimentation et de la température. Il s'agit d'une structure électronique largement utilisée dans les circuits analogiques (CAN/CNA, régulateur linéaire ou alimentation à découpage). Ce type de structure est sensible à toute perturbation transitoire, comme l'ont montré des articles comme [III-4] [III-5] sur leur immunité aux interférences électromagnétiques. Celles-ci peuvent conduire à la génération d'un offset parasite s'ajoutant à la tension de sortie, décalant la tension de référence sans aucune possibilité de filtrage. La Figure III-13 décrit la structure interne du cas d'étude 2.

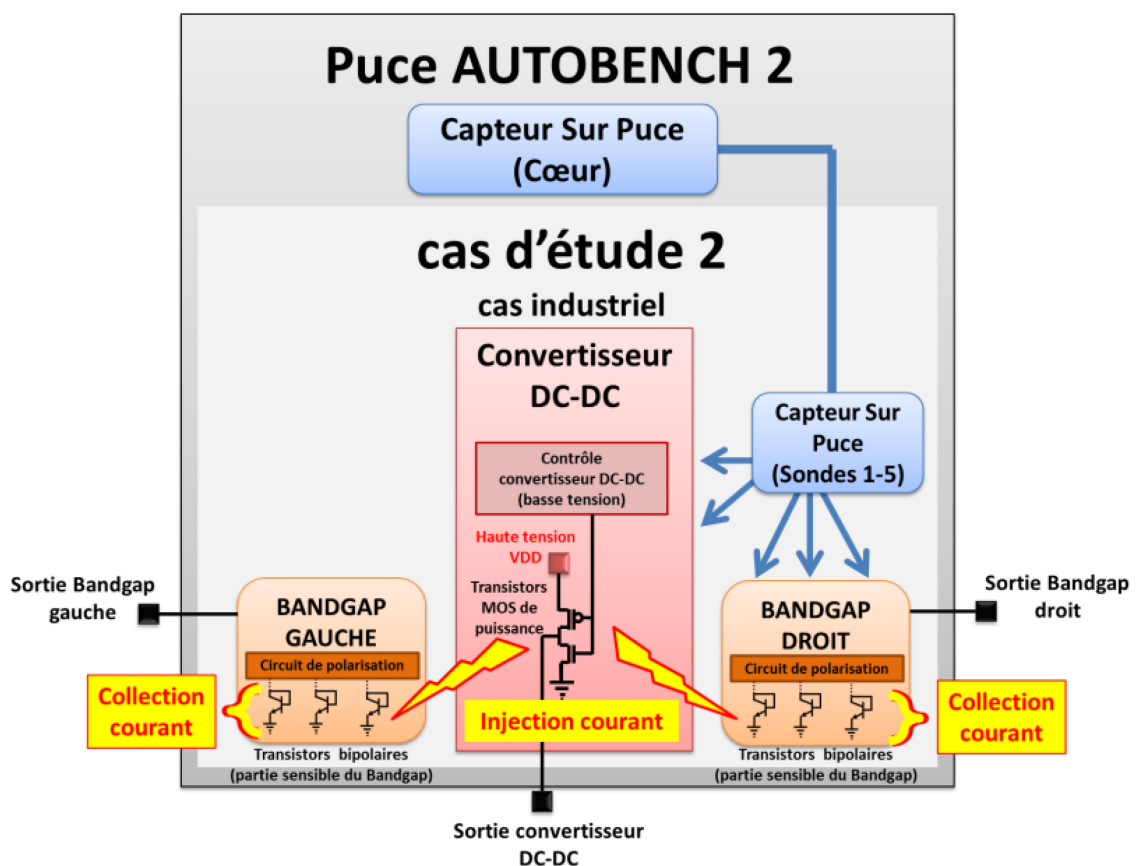


Figure III-13: Vue d'ensemble du véhicule de test AUTOBENCH 2 ; schéma bloc du cas d'étude 2

Ce cas d'étude inclut :

- le capteur sur puce avec ses 5 sondes, deux dédiées pour la mesure des nœuds du convertisseur DC-DC et trois des nœuds du Bandgap, décrit dans le chapitre III.
- le convertisseur DC-DC avec son étage de sortie commandable est accessible à travers une broche physique. Celui-ci représente la source de l'injection du courant dans le substrat. Dans cette expérience, il s'agit de l'agresseur.
- les deux Bandgap, le droit avec la possibilité de mesures in-situ grâce au capteur sur puce et le gauche sans l'option de mesures en interne, servant de témoin pour vérifier

si le capteur sur puce n'altère pas le fonctionnement du Bandgap. De par leur sensibilité au bruit véhiculé dans le substrat, les Bandgap sont considérés comme les victimes.

Dans les paragraphes suivants, nous allons décrire plus en détail les blocs convertisseur DC-DC, référence Bandgap, le capteur sur puce étant décrit dans le chapitre III. Ensuite nous décrirons l'interaction qui se crée entre ses deux blocs lorsque les conditions pour l'activation du couplage substrat sont acquises.

III.3.1.1. Le convertisseur DC-DC

Le convertisseur DC-DC est un bloc de puissance très répandu, utilisé comme alimentation à découpage. Le convertisseur DC-DC dont nous disposons, conçu par notre partenaire industriel *ams GmBH*, est présenté sous forme de schéma bloc sur la Figure III-14. Il ne s'agit que d'une partie d'une alimentation à découpage. Elle n'intègre pas complètement le contrôleur, la boucle de rétroaction et les éléments de mesure de courant, de détection de surtension et de température excessive.

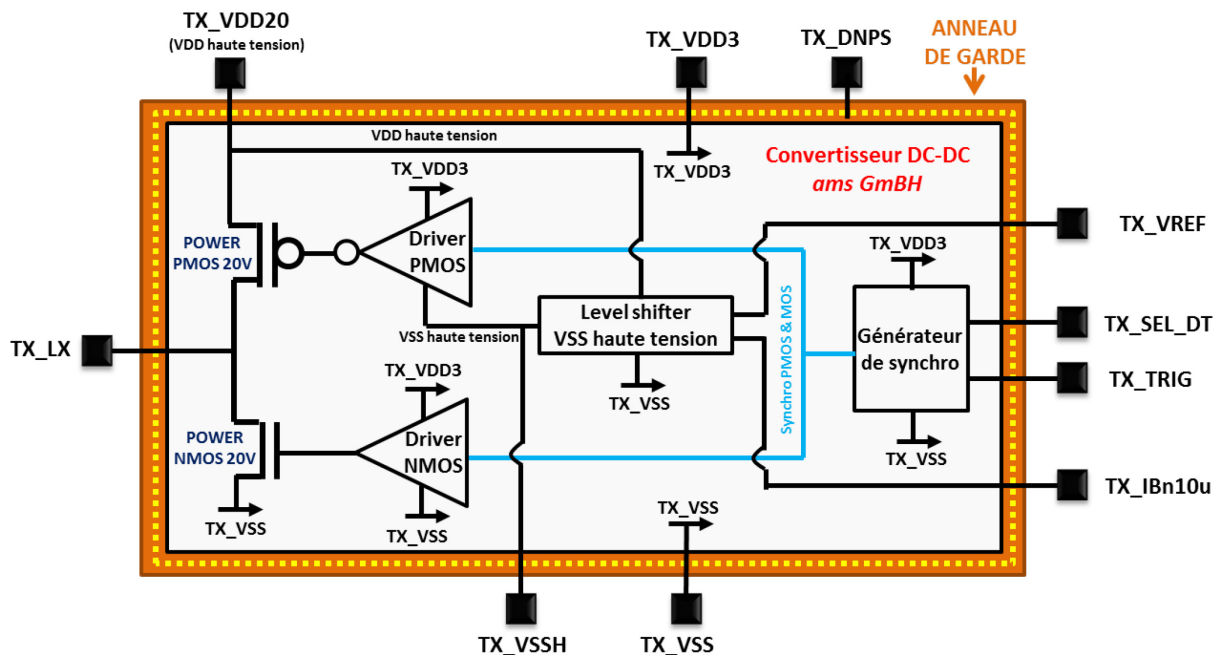


Figure III-14: Schéma-bloc du convertisseur DC-DC du cas d'étude 2

La liste des entrées/sorties du convertisseur DC-DC instancié sur notre puce AUTOBENCH 2 est présentée dans le Tableau III-E.

Tableau III-E: Liste des entrées/sorties du convertisseur DC-DC

BROCHE N°	Nom de la broche	Fonction
8	TX_IBn10u	Courant de polarisation de la diode NMOS du convertisseur DC-DC
9	TX_VDD3	Alimentation pour le contrôle logique du convertisseur DC-DC
10	TX_SEL_DT	Sélection du temps mort (dead time) des deux MOS de puissance du convertisseur DC-DC
11	TX_TRIG	Contrôle logique du convertisseur DC-DC
12	TX_VDD20	Alimentation pour les MOS de puissance du convertisseur DC-DC
13	TX_VSS	Masse du convertisseur DC-DC
14	TX_VSSH	Masse décalée haute tension pour le buffer haute tension du convertisseur DC-DC
15	TX_DNPS	Polarisation de l'anneau de garde (puits de type n, N Well) du convertisseur DC-DC
16	TX_LX	Sortie du convertisseur DC-DC; Injection du courant externe

L'architecture interne de ce convertisseur étant la propriété intellectuelle de notre partenaire industriel ams GmbH, nous ne pouvons pas décrire en détail son fonctionnement ni présenter les schémas de ses blocs internes. De toute manière, ce n'est pas son fonctionnement interne qui est la cause du couplage substrat, mais le fait de hacher une haute tension (dans notre cas, une tension maximum 20V sur la broche d'alimentation TX_VDD20) et de fournir des forts courants (jusqu'à 1A) via son étage de sortie push-pull. Cet étage de sortie push-pull est conçu avec deux transistors MOSFET de puissance, un PMOS 20V et un NMOS 20V, auxquels une charge inductive est connectée typiquement (bobine de filtrage de l'alimentation à découpage). C'est justement le retour du courant dans la puce provenant de la charge externe qui est à l'origine du couplage substrat via les drains de ses deux transistors de puissance, comme nous l'avons déjà décrit dans le second chapitre de nos travaux.

La commande de hachage est définie par un signal externe fourni par la broche TX_TRIG, tandis que le temps mort (temps pendant lesquels les deux transistors de puissance sont ouverts) est défini par le signal logique fourni par le pin TX_SEL_DT (TX_SEL_DT = 0 → temps mort = 10ns ; TX_SEL_DT = 1 → temps mort = 100ns). Nous pouvons ainsi analyser le couplage substrat en fonction de ce temps mort, car c'est pendant cette période que la tension de sortie peut être dans des conditions d'activation du couplage substrat. Le bloc interne générateur de synchronisation se charge de commander les deux drivers de puissance, lesquels polarisent les grilles des deux transistors de puissance en sortie.

Dans le schéma électrique interne du convertisseur DC-DC, on peut remarquer aussi un bloc appelé level shifter, qui sert à fournir une tension de référence décalée de 6V pour le driver du transistor PMOS 20V de sortie. Ce bloc analogique nécessite deux entrées: la broche TX_VREF (polarisée à 1.23V, tension de référence pouvant être fournie par un Bandgap en pratique) et la broche TX_IBn10u (connecté à une référence de courant fournissant 10uA). L'alimentation des blocs basse tension (driver du transistor NMOS et générateur de synchronisation) est fournie par le pin TX_VDD3.

Enfin, pour protéger les autres blocs analogiques et numériques de notre puce AUTOBENCH 2 de l'influence de notre convertisseur DC-DC, celui-ci est entouré d'un

anneau de garde, polarisé par la broche TX_DNPS. Celle-ci est mise au même potentiel que l'alimentation TX-VDD20 des blocs de puissance. Cet anneau de garde a pour fonction de limiter l'influence du couplage substrat une fois activé par l'étage push pull de notre convertisseur DC-DC.

III.3.1.2. La référence de tension Bandgap

Dans le cadre de notre étude du couplage substrat dans les circuits Smart Power, nous avons choisi ensemble avec notre partenaire industriel un circuit typique basse tension dont le fonctionnement peut être influencé par l'injection des porteurs minoritaires dans le substrat. Notre choix s'est porté sur une référence de tension de type Bandgap, fonctionnant sous une tension d'alimentation 3,3V et délivrant à sa sortie une tension fixe de 1,23V quasi indépendante de la température et de la tension d'alimentation.

Cette référence Bandgap possède une architecture largement décrite dans des ouvrages tels que [III-6], [III-7], [III-8], [III-9] et est connue sous le nom de " V_{BE} -referenced self-biased circuit". Cette référence est incluse dans la bibliothèque des cellules standards fournies par le fondeur *ams GmbH*. Cette fois aussi, pour des raisons de confidentialité, les tailles des transistors ne seront pas présentées ici ; nous nous limiterons à montrer seulement sur la Figure III-15 l'architecture du circuit au niveau transistors afin d'expliquer son principe de fonctionnement et les principales causes de son dysfonctionnement lorsque le couplage substrat apparaît dans la puce.

L'analyse de la schématique du circuit nous permet de définir trois sous-structures fonctionnelles :

- Le circuit de démarrage de la structure avec les transistors P_2 , P_0 et N_0 . Sans cette structure, les miroirs de courant ne peuvent pas démarrer correctement afin de fournir les bons courants dans les branches en question. Le Bandgap ne peut donc pas délivrer la tension de référence attendue.
- Deux miroirs de courant PMOS (formé par P_1 et P_3) et NMOS (formé par N_1 et N_2) en contre-réaction, chargés par les transistors bipolaires Q_1 , Q_2 et la résistance R_1 . Cet ensemble forme une référence de courant auto-alimentée par les 2 miroirs de courant. Le courant I_1 ou I_2 est proportionnel à la température.
- Un étage de sortie formé par le transistor PMOS P_4 , la résistance R_2 et le transistor bipolaire Q_0 . Le transistor P_4 correspond à l'étage de sortie du miroir PMOS précédent. Selon le rapport de largeur entre P_4 et P_1 , un courant I_0 proportionnel au courant de référence circule dans cet étage de sortie et est converti en tension V_{ref} par la résistance R_2 et le transistor Q_0 . Contrairement à la chute de potentiel aux bornes de R_2 , la tension base-émetteur V_{be0} de Q_0 tend à diminuer avec la température.

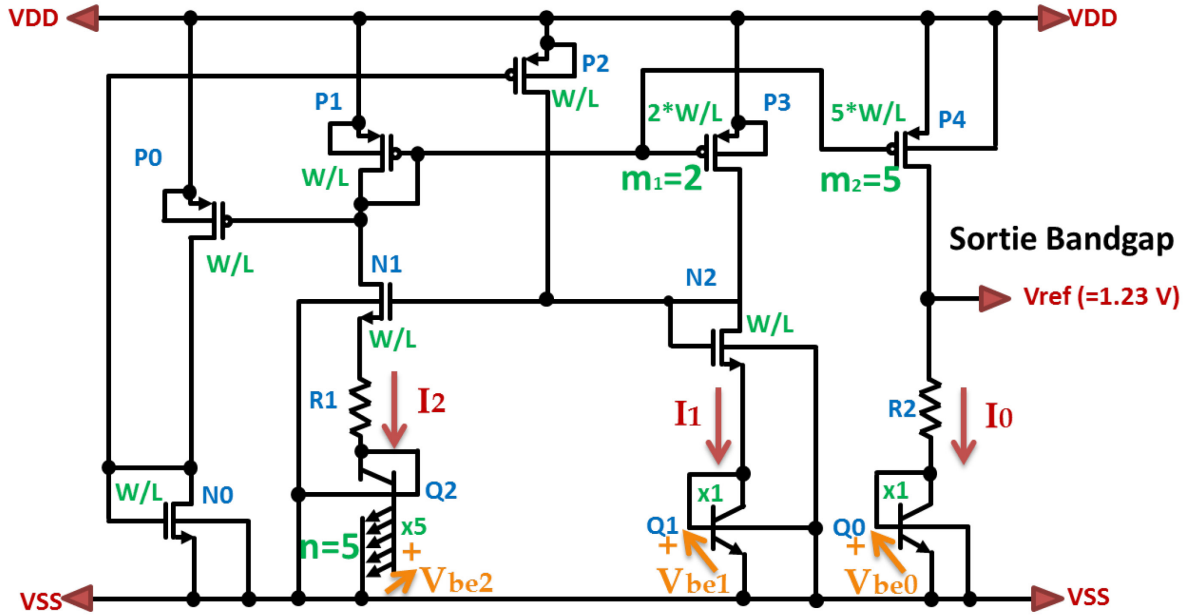


Figure III-15: Architecture interne de la référence de tension Bandgap 1,23V

Les équations Eq. III.1 et Eq. III.2 définissent le fonctionnement de notre circuit Bandgap donnant pour des valeurs adéquates des résistances R_1 et R_2 une tension en sortie de 1,23V, [III-6].

$$V_{ref} = \frac{R_2 m_2}{R_1 m_1} V_t \left(\ln(n) + \ln\left(\frac{I_1}{I_2}\right) \right) + V_t \ln\left(\frac{I_0}{I_s}\right) \quad \text{Eq. III.1}$$

$$V_{ref} = \frac{R_2}{R_1} 5V_t (\ln(5) + \ln(2)) + V_t \ln\left(\frac{I_0}{I_s}\right) = 1,23 \text{ V} \quad \text{Eq. III.2}$$

avec :

- $m_1=2$ et $m_2=5$: les rapports des tailles W/L pour les transistors PMOS
- $n=5$: le nombre de transistors bipolaires NPN mis en parallèle
- I_s [A]: courant de saturation de la diode pn, des transistors bipolaires
- V_t : potentiel thermique de la jonction pn du transistor bipolaire [$V_t(T = 293K) = \frac{kT}{q} = 26mV$]
- T: Température [en K]
- k: la constante de Boltzmann [k=1.381*10⁻²³J]
- q: la charge d'un porteur, c'est-à-dire un électron [q_e=-1,602×10⁻¹⁹ C]

D'après cette équation, on peut remarquer que pour un design donné, les résistances R_1 et R_2 étant fixes, tout comme le rapport de courant m_2/m_1 , nous pouvons nous attendre à une altération de la tension de référence V_{ref} si les courants I_0 , I_1 et I_2 venaient à être changés dû à un dysfonctionnement du circuit. Le dysfonctionnement du circuit pourrait provenir entre autres dû à l'apparition du couplage substrat dans la puce. Cela sera expliqué dans la partie suivante.

On remarque aussi l'influence directe de la température sur la tension de référence, à travers les termes V_t et I_s . Le Bandgap est cependant conçu pour compenser l'effet de la

température. Le principe de fonctionnement de tout circuit de type Bandgap est basé sur deux références de tensions internes à la structure, la référence de tension CTAT (Complementary to Absolute Temperature, Complémentaire à la Température Absolue) et la référence de tension PTAT (Proportional to Absolute Temperature, Proportionnel à la Température Absolue) :

- La référence de tension PTAT est formée les transistors bipolaires Q_1 et Q_2 : cette tension dépend de la différence des tensions base-émetteur ΔV_{be12} des transistors bipolaires Q_1 et Q_2 et définie par l'équation Eq. III.3:

$$\begin{aligned} \Delta V_{be12} &= V_{be1} - V_{be2} = V_t(\ln(n) + \ln(m_1)) = V_t(\ln(5) + \ln(2)) \\ &= R_1 I_2 \end{aligned} \quad \text{Eq. III.3}$$

Ici la référence de tension PTAT est liée au potentiel thermique V_t proportionnel à la température du circuit. La référence de tension PTAT est représentée par le premier terme dans la somme dans l'équation Eq. III.1.

- La référence de tension CTAT est formée par le transistor bipolaire Q_0 connecté en diode dont la tension V_{be0} est définie par l'équation Eq. III.4 suivante:

$$V_{be0} = V_t \ln\left(\frac{I_0}{I_s}\right) \quad \text{Eq. III.4}$$

Ici la référence de tension CTAT est issue de la propriété physique de la dépendance du courant de saturation I_s du transistor bipolaire à la température du circuit. La référence de tension CTAT est représentée par le second terme dans la somme dans l'équation Eq. III.1.

En sélectionnant judicieusement les rapports R_1/R_2 , m et n , les dépendances à la température du PTAT et du CTAT peuvent se compenser sur la gamme des températures de fonctionnement du circuit.

Sur la Figure III-16, nous avons présenté le Bandgap tel qu'il a été instancié sur la puce AUTOBENCH 2, avec les noms des broches externes auxquelles nous avons accès. Nous pouvons remarquer que chaque structure Bandgap a son propre anneau de garde afin de les protéger du bruit propagé par le substrat. Sur le Tableau III-F sont présentés les noms des broches utilisées pour les deux Bandgap instanciés dans notre circuit AUTOBENCH 2.

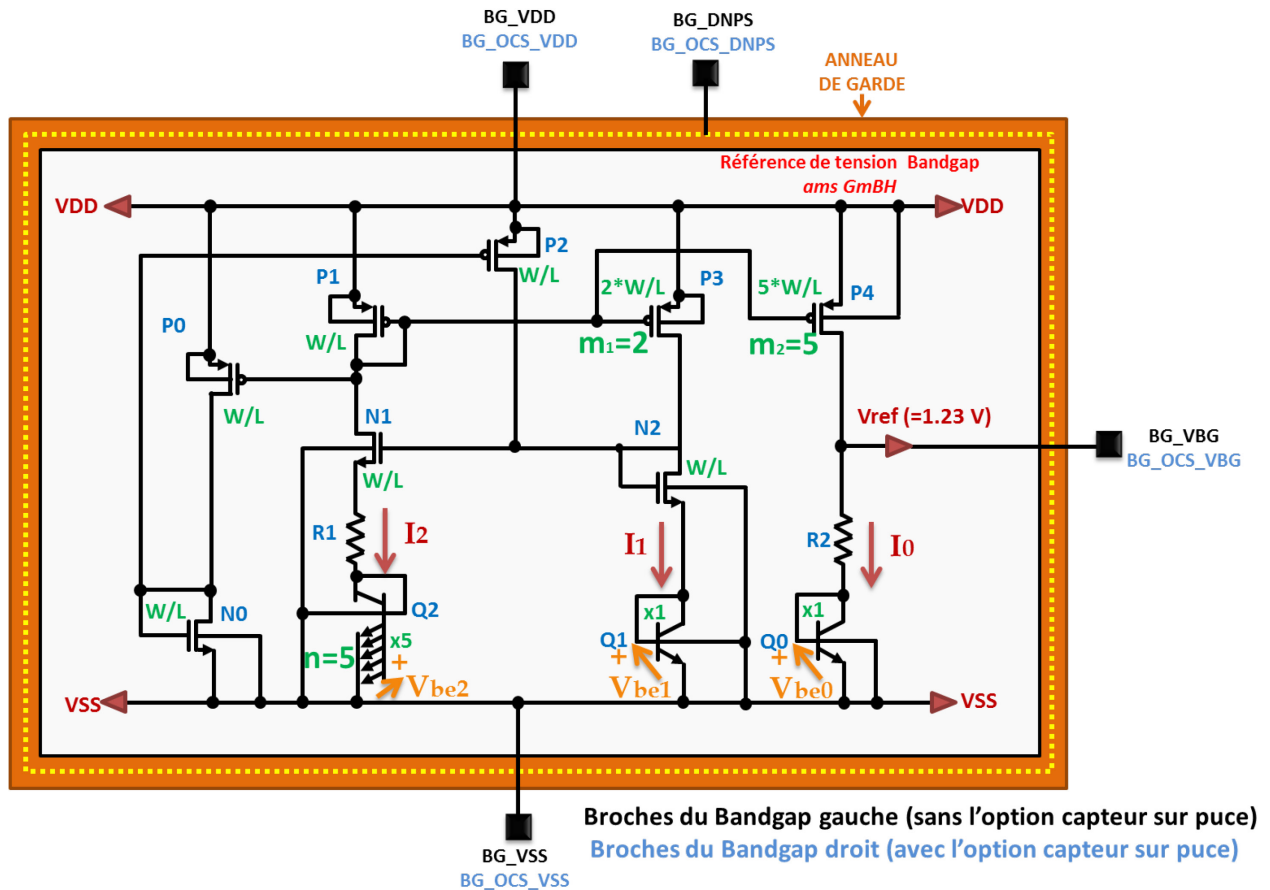


Figure III-16: Référence de tension Bandgap instanciée sur la puce AUTOBENCH 2

Tableau III-F: Liste des entrées/sorties des deux références de tension Bandgap

BROCHE N°	Nom de la broche	Fonction
3	BG_DNPS	Polarisation du puit n (N Well) du Bandgap sans le capteur sur puce
4	BG_VDD	VDD 3.3V alimentation du Bandgap sans le capteur sur puce
5	BG_VBG	Sortie du Bandgap sans le capteur sur puce
6	BG_VSS	VSS masse du Bandgap sans le capteur sur puce
17	BG_OCS_VSS	VSS masse du Bandgap avec le capteur sur puce
18	BG_OCS_VBG	Sortie du Bandgap avec le capteur sur puce
19	BG_OCS_VDD	VDD 3.3V alimentation du Bandgap sans le capteur sur puce
20	BG_OCS_DNPS	Polarisation de l'anneau de garde (puits de type n, N Well) du Bandgap avec le capteur sur puce

III.3.1.3. Interaction entre le convertisseur DC-DC et le Bandgap sous l'effet du couplage substrat

Sous l'effet du couplage substrat activé par l'étage de sortie du convertisseur DC-DC, le fonctionnement du Bandgap peut être altéré en modifiant la tension de sortie. Ici, nous allons présenter de manière théorique l'interaction entre le convertisseur DC-DC et le Bandgap sous l'effet du couplage substrat. Les conclusions que nous pourrions en tirer nous permettront de corréler les résultats expérimentaux.

A.) Injection de porteurs minoritaires dans le substrat (Activation du transistor bipolaire NPN parasite)

Tout d'abord, intéressons-nous aux mécanismes physiques pouvant être à l'origine de la défaillance du circuit Bandgap lors d'une injection de porteurs minoritaires dans le substrat. Sur la Figure III-17 est représentée la vue en coupe du layout du transistor de puissance NMOS du convertisseur DC-DC qui est à l'origine de l'activation du couplage substrat ainsi qu'un des trois transistors NPN bipolaires Q_0 , Q_1 and Q_2 , dont les collecteurs peuvent collecter les porteurs minoritaires. Les conditions pour que le couplage substrat s'active restent les mêmes que dans le cas d'étude simple: le drain du transistor de puissance NMOS doit avoir une chute de tension inférieure à la tension du substrat, c'est-à-dire la tension de masse dans notre cas.

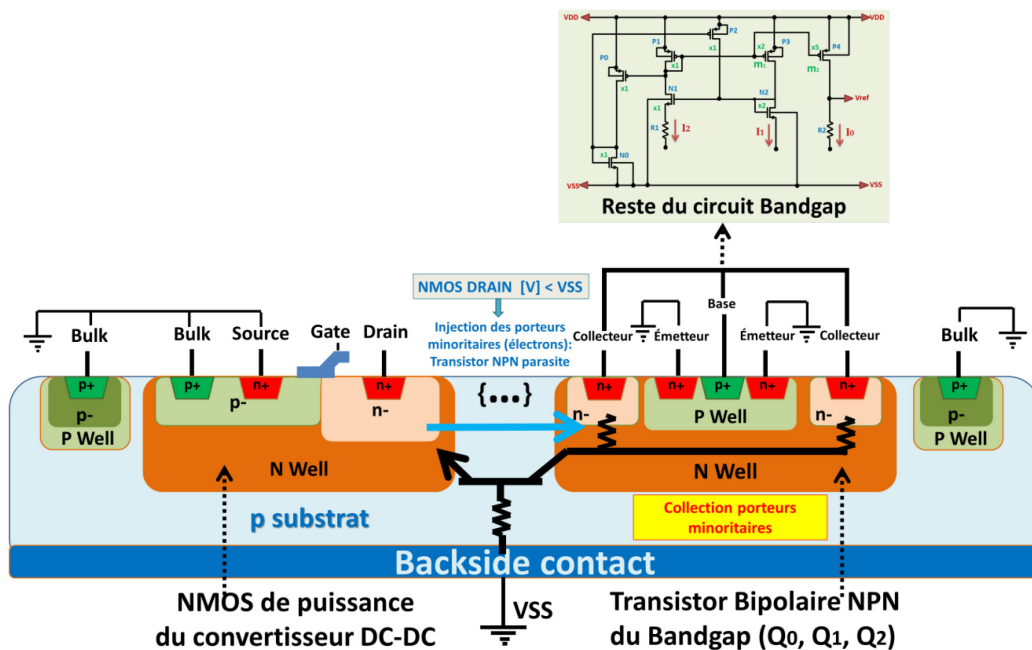


Figure III-17: Vue en coupe du layout lors de l'injection des porteurs minoritaires issus du substrat et collectés dans un des trois transistors bipolaires du Bandgap Q_0 , Q_1 , Q_2

Comme on peut le remarquer depuis la figure, les collecteurs des trois transistors bipolaires Q_0 , Q_1 and Q_2 sont en même temps les collecteurs du transistor bipolaire parasite issu du substrat. Par conséquent, tout courant collecté par le puit de type n (le N Well collecteur) sera immédiatement injecté dans le reste du circuit Bandgap via les collecteurs des trois transistors bipolaires Q_0 , Q_1 and Q_2 . L'effet direct de cette perturbation émanant du couplage substrat est le déséquilibre des courants entre les différentes branches des miroirs de courant NMOS et PMOS formant le Bandgap. Cela va entraîner par la suite une variation de la tension de référence V_{ref} en sortie du Bandgap, ce que nous allons démontrer par la suite. En outre, les anneaux de garde autour des Bandgap sont formés par une région n^+ polarisée sous 3.3 V. Ils peuvent donc aussi collecter une partie des porteurs minoritaires, protégeant ainsi les Bandgap. Dans la démonstration ci-dessous, cet effet est négligé.

Sur la Figure III-18 est représenté le schéma électrique équivalent du Bandgap en intégrant la collection des porteurs minoritaires par les transistors Q_0 , Q_1 et Q_2 . Celle-ci est

modélisée par 3 sources de courant ΔI_0 , ΔI_1 et ΔI_2 . Ces courants modifient les courants passant à travers les jonctions base-émetteur des transistors Q_0 , Q_1 et Q_2 . L'équation Eq. III.1 est modifiée par les nouvelles valeurs des courants $I_0 \pm \Delta I_{CS1}$, $I_1 \pm \Delta I_{CS1}$ et $I_2 \pm \Delta I_{CS2}$ définissant ainsi une nouvelle tension V_{ref} en sortie du Bandgap laquelle est exprimée par l'équation Eq. III.5 :

$$V_{refCS} = \frac{R_2 m_2}{R_1 m_1} V_t \left(\ln(n) + \ln \left(\frac{I_1 \pm \Delta I_{CS1}}{I_2 \pm \Delta I_{CS2}} \right) \right) + V_t \ln \left(\frac{I_0 \pm \Delta I_{CS0}}{I_s} \right) \quad \text{Eq. III.5}$$

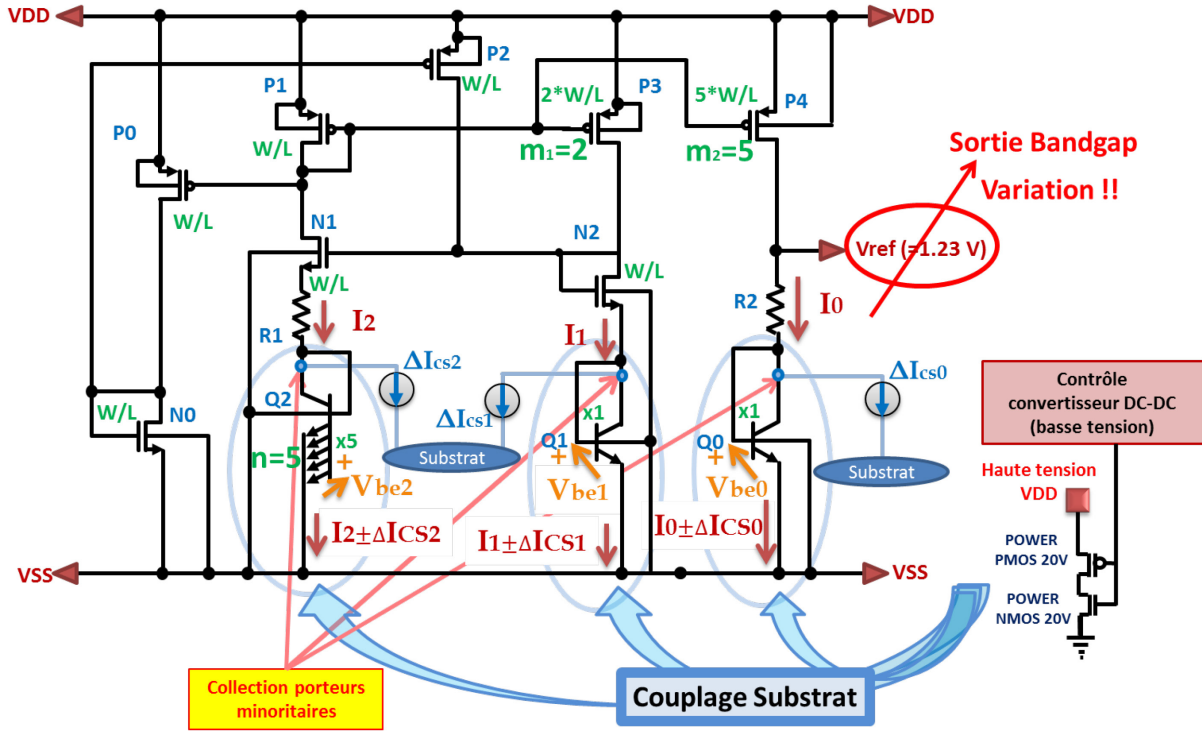


Figure III-18: Référence de tension Bandgap en sortie $V_{ref} = 1,23V$: dysfonctionnement dû au couplage substrat

Intéressons-nous maintenant au sens du courant collecté par les trois transistors bipolaires du Bandgap Q_0 , Q_1 , Q_2 afin de déterminer le signe des courants $\pm \Delta I_{CS1}$, $\pm \Delta I_{CS1}$ et $\pm \Delta I_{CS2}$ qui sont présents dans l'équation Eq. III.5. Comme le N Well du transistor bipolaire du Bandgap collecte les porteurs minoritaires issus du substrat, c'est-à-dire les électrons, et comme le sens du courant est à l'opposé du sens de la circulation des électrons, nous pouvons en conclure que le couplage substrat induit une réduction des courants I_0 , I_1 et I_2 qui entrent dans les transistors bipolaires Q_0 , Q_1 , Q_2 et que le sens des courants ΔI_{CS1} , ΔI_{CS1} et ΔI_{CS2} est négatif. Nous avons donc maintenant la nouvelle équation Eq. III.6 qui régit le dysfonctionnement du Bandgap, donnant une nouvelle référence de tension induite par le couplage substrat, V_{refCS} :

$$V_{refCS} = \frac{R_2 m_2}{R_1 m_1} V_t \left(\ln(n) + \ln \left(\frac{I_1 - \Delta I_{CS1}}{I_2 - \Delta I_{CS2}} \right) \right) + V_t \ln \left(\frac{I_0 - \Delta I_{CS0}}{I_s} \right) \quad \text{Eq. III.6}$$

En analysant en détail cette équation et en prenant en compte le fait que le collecteur du transistor Q_2 est 5 fois plus grand que celui des transistors Q_0 et Q_1 , l'effet du terme I_2 -

ΔI_{CS2} est prédominant. Nous pouvons conclure que la tension V_{refCS} va augmenter sous l'effet du couplage substrat. Des détails supplémentaires sur cette analyse sont fournis dans l'annexe sur l'analyse du Bandgap.

B.) Injection de porteurs majoritaires dans le substrat (Activation du transistor bipolaire PNP parasite)

Dans cette partie, nous considérons l'injection de porteurs majoritaires dans le substrat. Cet événement est la conséquence d'une surtension appliquée sur le drain du transistor de puissance PMOS, lorsque son potentiel dépasse la valeur de la tension de l'alimentation de puissance.

L'injection des porteurs majoritaires dans le substrat, décrite sur la Figure III-19, engendre l'activation du transistor bipolaire parasite PNP dont l'émetteur est constitué du drain du PMOS de puissance, la base est le puits de type n du PMOS de puissance et enfin, le collecteur est formé par le substrat. En raison de la résistivité non négligeable du substrat, l'injection de porteurs majoritaires dans le substrat conduit à une variation du potentiel du substrat concentrique autour du point d'injection des porteurs majoritaires. Cette variation de tension tend à décroître avec la distance. Elle peut cependant affecter le fonctionnement des transistors les plus proches par effet Body. En outre, dans le cas d'une augmentation locale importante du potentiel du substrat, la jonction pn formée par le substrat de type p et toute région de type n peut se déclencher. Un thyristor parasite peut se déclencher et conduire à un phénomène destructif de latch-up [III-10]. Dans notre cas, les Bandgap sont placés relativement loin du convertisseur DC-DC, de sorte qu'un phénomène de latch-up est peu probable. Une variation locale du potentiel substrat modifiera légèrement les tensions d'émetteur de Q_0 , Q_1 et Q_2 et affectera les MOSFET formant les miroirs de courant. Cependant, la grande distance entre le Bandgap risque de rendre cet effet mineur par rapport à celui provoqué par l'injection de porteurs minoritaires.

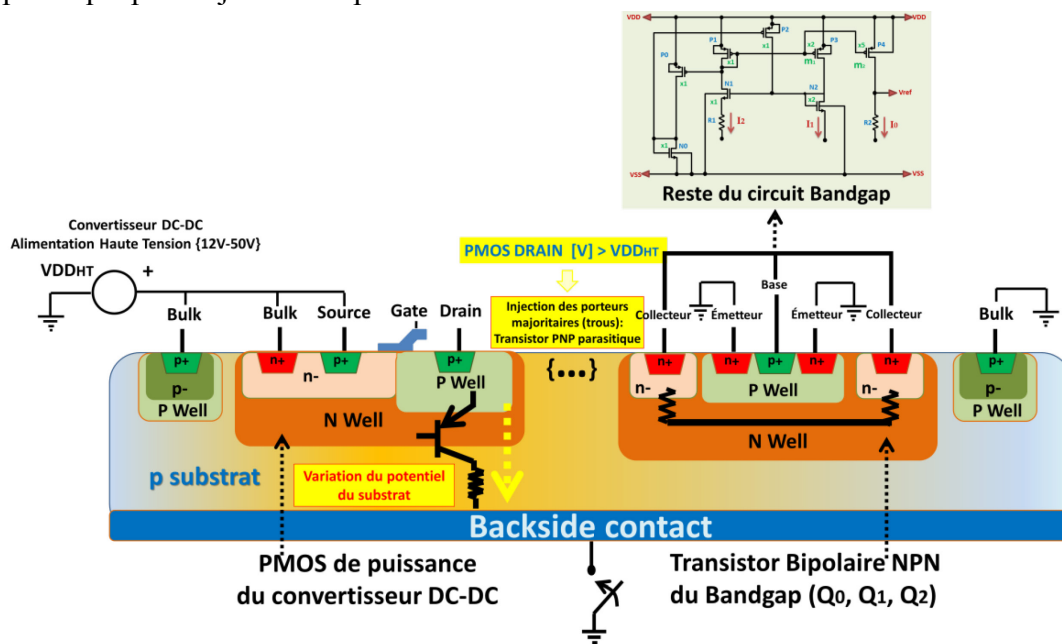


Figure III-19: Vue en coupe du layout lors de l'injection des porteurs majoritaires issus du substrat, variation du potentiel du substrat (couleur jaune du substrat)

III.3.2. Les expériences du cas d'étude 2

Pour étudier le couplage substrat dans notre circuit Smart Power AUTOBENCH 2, nous avons réalisé plusieurs expériences sur le cas d'étude 2. Ce cas d'étude 2 est plus proche d'un cas réel. Avant d'exposer les expériences du cas d'étude 2, observons sur la Figure III-20 la vue du layout de la puce AUTOBENCH 2: le point d'injection correspond au drain du NMOS de l'étage de sortie push-pull du convertisseur DC-DC, les points de collection des porteurs minoritaires qui sont les collecteurs des transistors bipolaires Q_0 , Q_1 , Q_2 des deux Bandgap et les anneaux de garde des trois structures du circuit. Pour simplifier la vue du layout nous avons intentionnellement omis de présenter le reste du circuit qui ne joue pas un rôle majeur dans le couplage substrat puisque les sources et miroirs de courants du Bandgap sont réalisés avec des MOSFET placés dans un puit de type n classique, tandis que les transistors bipolaires Q_0 , Q_1 , Q_2 sont placés dans un puit de type n profond, donc plus susceptible de collecter du courant substrat. Nous allons exposer dans le chapitre V l'étude détaillée de ce layout lorsque nous présenterons la modélisation et la simulation du couplage substrat. Notons juste ici que les deux Bandgap se situent à deux distances différentes de part et d'autre du point d'injection:

- environ 250 μm pour le Bandgap gauche
- environ 310 μm pour le Bandgap droit

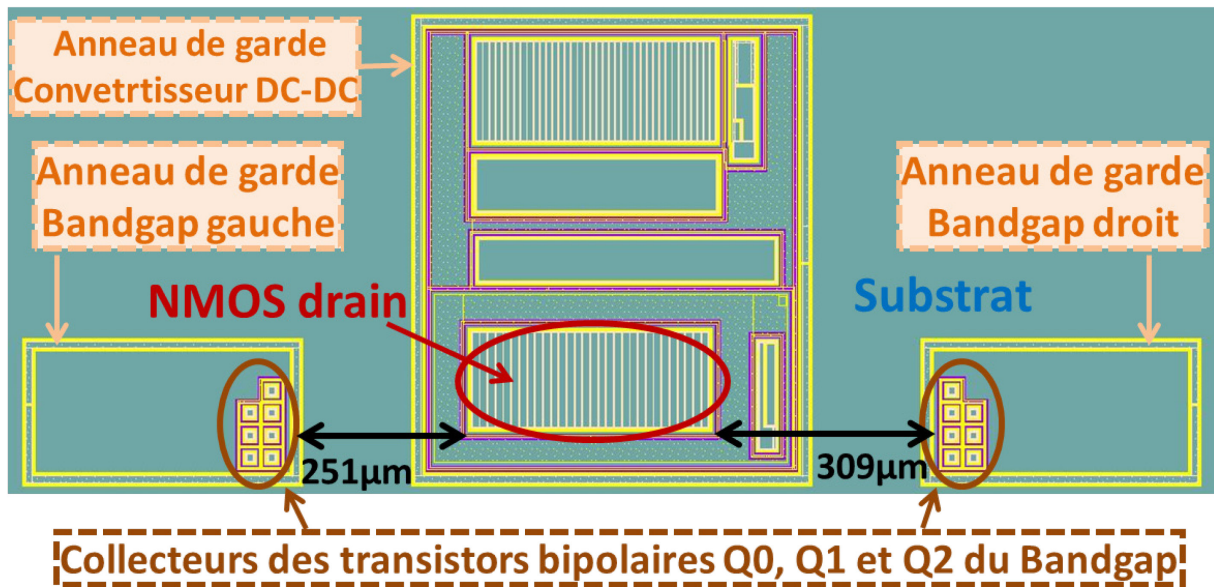


Figure III-20: Le layout des éléments clés du circuit dans notre cas d'étude 2: le drain du NMOS de puissance, les collecteurs des transistors bipolaires des deux circuits Bandgap et les anneaux de garde respectifs de ses structures

III.3.2.1. Dysfonctionnement du Bandgap lors d'une injection de courant statique

Dans cette analyse, nous sommes partis de l'hypothèse que la tension de sortie du Bandgap étudiée serait affectée lors d'une injection de porteurs minoritaires.

Suite à l'étude théorique du dysfonctionnement d'une référence de tension Bandgap, la Figure III-21 présente une vue en coupe du layout de l'expérience ainsi que les éléments du

circuit intervenant dans la défaillance du Bandgap liée au couplage substrat. Nous avons aussi inclus dans la vue en coupe les anneaux de garde du convertisseur DC-DC et du Bandgap. Afin d'observer les effets du couplage substrat sur le Bandgap, nous mesurons sa tension de sortie V_{ref} pendant l'injection du courant substrat via la sortie du convertisseur DC-DC, le drain du NMOS de puissance. Afin que l'injection des porteurs minoritaires ait lieu, le potentiel du drain du NMOS doit impérativement être inférieur à 0 V. Nous avons effectué un balayage statique des tensions de 0V jusqu'à -2 V, afin d'éviter un échauffement excessif de la puce. Nous avons aussi observé les courants collectés par les anneaux de garde du convertisseur DC-DC et du Bandgap.

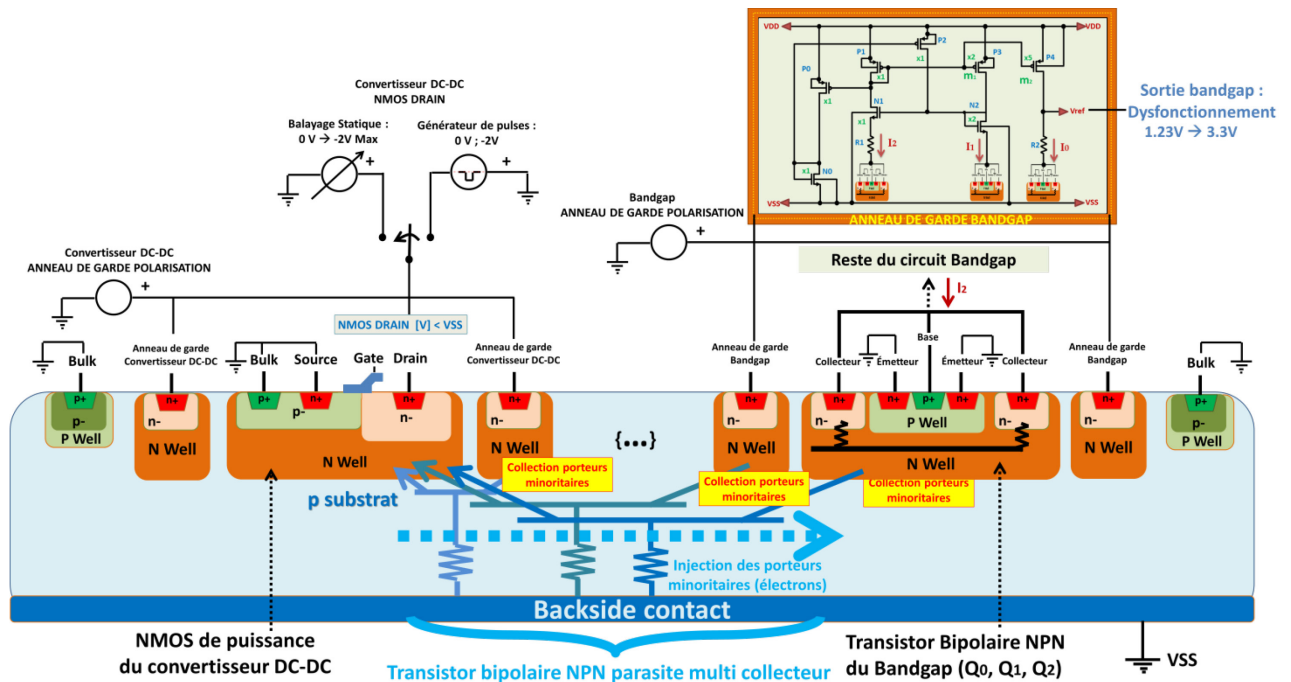


Figure III-21: Vue en coupe du layout lors de l'injection des porteurs minoritaires via le drain du NMOS de puissance provoquant le dysfonctionnement du Bandgap - Mise en évidence du transistor bipolaire NPN parasite multi collecteur

III.3.2.2. Effet des anneaux de garde sur le couplage substrat

Dans cette étude, qui est complémentaire à la précédente, l'impact de l'utilisation des anneaux de garde sur le couplage substrat est étudié. L'hypothèse de départ est que l'utilisation des anneaux de garde du convertisseur DC-DC et du Bandgap (simultanément les deux ou seulement un des deux) doit réduire l'impact du couplage substrat sur le fonctionnement du Bandgap.

Une fois que les anneaux de garde sont désactivés, l'hypothèse à vérifier par cette expérience est que pour une même injection de courant dans le substrat nous escomptons avoir plus de porteurs minoritaires collectés par les nœuds sensibles du Bandgap (les collecteurs des transistors NPN bipolaires Q_0 , Q_1 , Q_2). Notre hypothèse sera vérifiée si pour une même valeur de courant injecté, le dysfonctionnement en sortie du Bandgap est plus important lorsqu'un des deux anneaux de garde ou les deux simultanément sont désactivés.

La dernière Figure III-21 présente la même configuration de tests que l'étude précédente avec le même protocole de tests: un courant est injecté dans le substrat via le drain du NMOS de puissance par un balayage des tensions négatives de 0 V à -2 V. Dans le Tableau III-G sont présentées les différentes configurations de tests suivant la polarisation des anneaux de garde des Bandgap et du convertisseur DCDC. L'anneau de garde du convertisseur DC-DC est polarisé par la broche TX_DNPS et les anneaux de garde des Bandgap sont polarisés par la broche BG_DNPS pour le Bandgap droit et par la broche BG_OSC_DNPS pour le Bandgap gauche, que nous dénommerons communément dans cette étude juste BG_DNPS, pour plus de simplicité.

Tableau III-G: Différentes configurations de tests suivant la polarisation des anneaux de garde

	Polarisation de l'anneau de garde du convertisseur DC-DC (TX_DNPS)	Polarisation de l'anneau de garde des 2 Bandgap (BG_DNPS)
Test 1	Polarisé (TX_DNPS: ON)	Polarisé (BG_DNPS: ON)
Test 2	Flottant (TX_DNPS: OFF)	Polarisé (BG_DNPS: ON)
Test 3	Polarisé (TX_DNPS: ON)	Flottant (BG_DNPS: OFF)
Test 4	Flottant (TX_DNPS: OFF)	Flottant (BG_DNPS: OFF)

Nous avons observé selon la configuration des tests la tension en sortie du Bandgap V_{ref} , la consommation de l'alimentation de deux Bandgap, la collection des porteurs minoritaires par les anneaux de garde des deux Bandgap (suivant si l'anneau de garde du convertisseur DC-DC est activé ou pas). La collection des porteurs minoritaires du convertisseur DC-DC n'est pas influée par la polarisation des anneaux de garde des Bandgap, ce qui semble logique compte tenu que la source d'injection des porteurs est circonscrite par l'anneau de garde du convertisseur DC-DC.

III.3.2.3. Effet de la température sur le couplage substrat

Dans cette étude, qui est similaire aux deux précédentes en termes de configuration et de protocole de tests, nous voulons observer les effets de la température sur le couplage substrat qui mènent au dysfonctionnement de notre circuit Bandgap. Notre hypothèse de départ est qu'avec l'augmentation de la température du circuit, le dysfonctionnement du circuit Bandgap devrait arriver pour des plus petites valeurs de courant injecté. En effet, nous nous attendons à ce que la tension du seuil du déclenchement du couplage substrat soit réduite avec l'élévation de la température et par conséquent pour une même valeur de courant injecté, le dysfonctionnement en sortie du circuit Bandgap sera plus important avec des températures plus grandes. Sur la Figure III-22 est présentée la vue en coupe de l'expérience, laquelle est réalisée dans une cuve thermique. La température est contrôlée entre 24 et 115 °C.

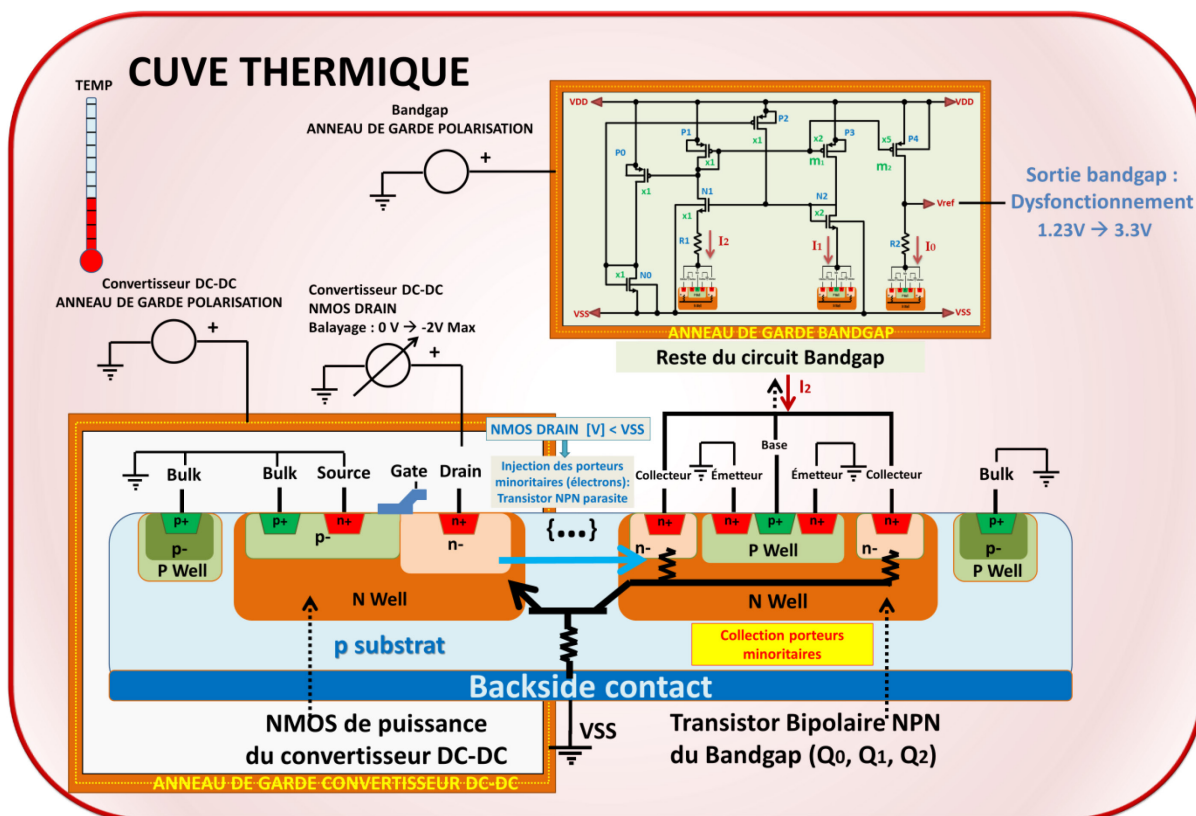


Figure III-22: Effet de la température sur le couplage substrat, vue en coupe du layout lors de l'injection des porteurs minoritaires via le drain du NMOS de puissance provoquant le dysfonctionnement du Bandgap

III.3.2.4. Caractérisation du transistor bipolaire PNP parasite par l'injection de porteurs majoritaires dans le substrat

Dans cette étude, nous nous intéressons à caractériser le transistor bipolaire PNP parasite par l'injection de porteurs majoritaires dans le substrat. Théoriquement, son déclenchement ne perturbe pas le bon fonctionnement du Bandgap car les porteurs majoritaires en surplus dans le substrat ne sont pas collectés par les nœuds sensibles du Bandgap, les collecteurs des transistors NPN bipolaires Q_0, Q_1, Q_2 . C'est pour cette raison que nous ne prêtons pas attention à mesurer la tension de sortie du Bandgap, mais pendant les mesures nous sommes tout de même assuré visuellement que la tension en sortie V_{ref} du Bandgap ne variait pas.

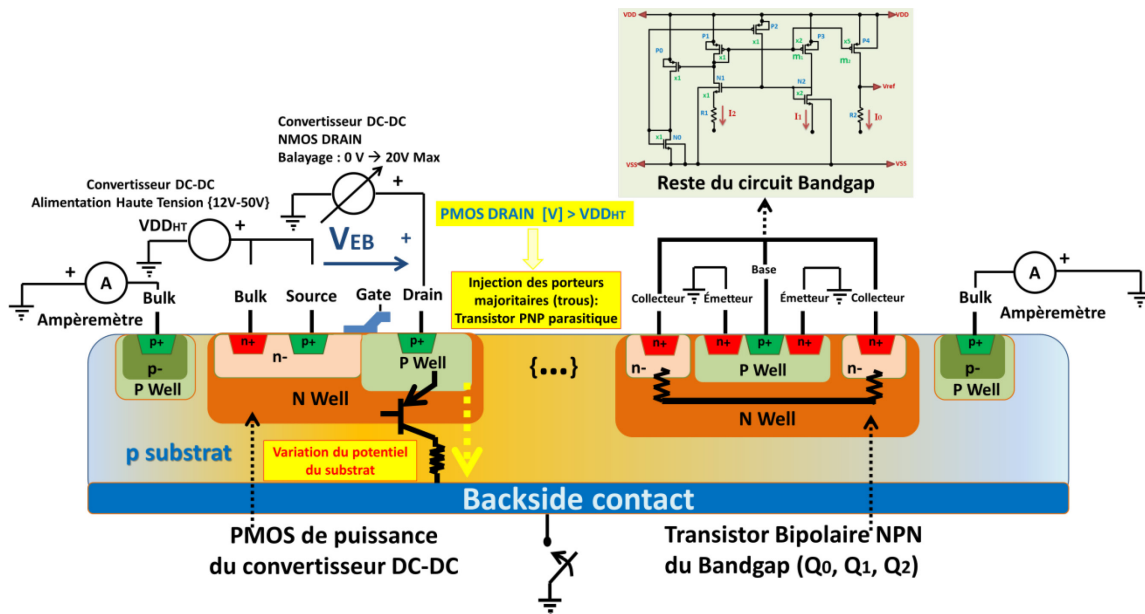


Figure III-23: Caractérisation du transistor bipolaire PNP parasite par l'injection de porteurs majoritaires dans le substrat

III.3.2.5. Dysfonctionnement du Bandgap lors d'une injection de courant dynamique

Dans cette étude, un courant pulsé est injecté dans le substrat via le drain des MOSFET de puissance de l'étage de sortie du convertisseur DC-DC. Nous avons utilisé une source externe, un générateur de pulses de puissance, afin d'obtenir des tensions et courants plus imposants que ceux fournis par le convertisseur DC-DC présent dans le circuit. Notre hypothèse de départ était que le dysfonctionnement du circuit Bandgap dû au couplage substrat devait aussi dépendre de la fréquence des pulses du courant injecté. Ici deux paramètres physiques du circuit rentrent en compte: la bande passante du Bandgap en fonction de la variation du courant de ses collecteurs de ses transistors bipolaires NPN, et aussi le comportement fréquentiel du substrat, plutôt de nature passe-bas. La combinaison de ces deux paramètres physiques augmente la complexité de l'étude de ce phénomène.

La figure précédente, Figure III-21, peut être réutilisée ici aussi, puisque ni la configuration ni le protocole de test n'ont changé: en observant la sortie du Bandgap, nous avons injecté un courant substrat pulsé avec un générateur d'impulsions négatives via le drain du NMOS de puissance au lieu d'injecter un courant statique comme pour les trois expériences précédentes.

III.4. Instanciation du véhicule de test

Dans le cadre de l'étude du couplage substrat dans les circuits Smart Power, en partant des besoins scientifiques et techniques définis par les partenaires du projet AUTOMICS, nous avons préparé et imaginé les expériences développées et intégrées sur le véhicule de test AUTOBENCH 2.

La puce AUTOBENCH 2 a été fabriquée avec un procédé technologique $0.35\mu\text{m}$ CMOS haute tension 120V en trois niveaux de métaux avec un contact dorsal métallisé. La taille de la puce nue fait $2500\mu\text{m} \times 3100\mu\text{m}$ avec une épaisseur du silicium de $750\mu\text{m}$, une épaisseur que l'on rencontre assez fréquemment dans les circuits de type Smart Power. Pour des fonctions de puissance du véhicule de test, des transistors MOS isolés ont été utilisés entourés par des anneaux de garde formés par des puits de type n. Nous avons la possibilité de ne pas polariser ces anneaux de garde et ainsi annuler leur fonctionnalité protectrice afin d'en évaluer l'effet expérimentalement et par simulation. Sur la Figure III-24 de gauche est présenté le dessin des masques depuis l'outil CAO (Cadence Virtuoso 6.15). Sur la même figure, à droite, est présentée la micro photographie de la puce une fois fabriquée chez notre partenaire industriel *ams GmbH*. On peut y distinguer en détail les différents blocs présents sur le véhicule de test: le cas d'étude 1, le cas d'étude 2 et la partie capteur sur puce. Il est intéressant aussi de remarquer les grandes dimensions des transistors de puissance en sortie du convertisseur DC-DC, lesquels occupent autant de place que la partie analogique et numérique basse tension du convertisseur complet. Aussi, chaque transistor de puissance à lui seul, le NMOS ou le PMOS, prend plus de place sur le layout qu'une seule référence de tension Bandgap: cela nous amène à penser que leur placement doit être judicieusement étudié compte tenu de leur implication dans l'activation du couplage substrat.

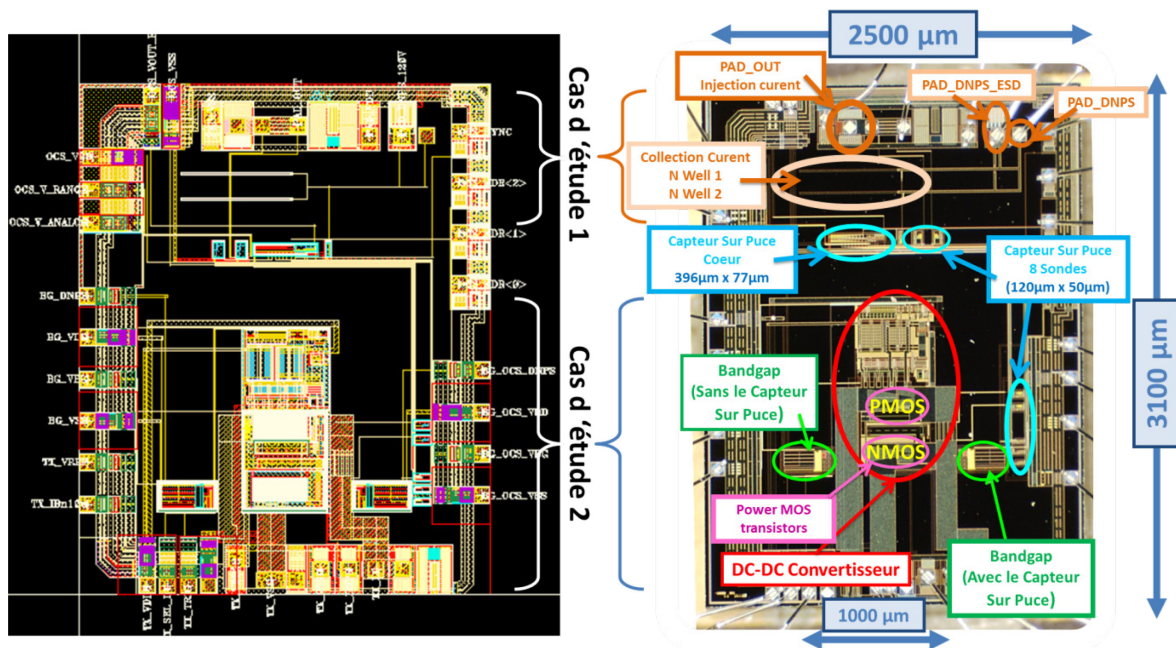


Figure III-24: Layout (à gauche) et microphotographie (à droite) de la puce AUTOBENCH 2

La puce a 32 plots d'entrées/sorties (E/S) et a été montée dans un boîtier Quad Flat No-leads QFN32. Celle-ci nous a été livrée en plusieurs versions selon le laser cut employé. Sur l'image suivante, Figure III-25, est présentée la puce AUTOBENCH 2 dans son boîtier QFN32 sans la résine protectrice.

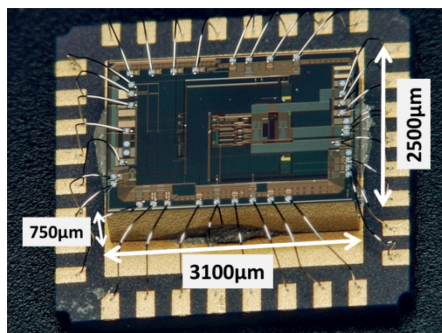


Figure III-25: puce AUTOBENCH 2 dans son boîtier QFN 32, sans la résine protectrice

III.5. Banc de test pour la caractérisation du couplage substrat

Pour pouvoir exploiter le véhicule de test, plusieurs cartes électroniques ont été spécialement conçues au LAAS-CNRS. Les mesures présentées durant cette thèse ont été réalisées sur cette carte, fabriquée avec 4 couches de métaux. Nous avons aussi élaboré des câbles spécialement dédiés à des fins de tests pour cette manipulation. Ils ont été adaptés à la carte AUTOBENCH 2 afin de limiter la longueur des connexions vers les instruments de tests de laboratoire. Sur la Figure III-26 est présentée la carte AUTOBENCH 2 (à gauche) avec sa connectique dédiée (à droite).

On peut remarquer sur cette figure que la puce est montée sur la carte via un socket QFN 32 afin de travailler avec la même carte quelle que soit la version de la puce testée. Dans le Tableau III-H sont présentés les équipements de test utilisés pour réaliser les mesures de la caractérisation du couplage substrat. L'essentiel de nos mesures ont été faites à température ambiante qui variait entre 24° et 27° selon les conditions dans la salle de mesures, hormis pour les essais en haute température en cuve thermique.

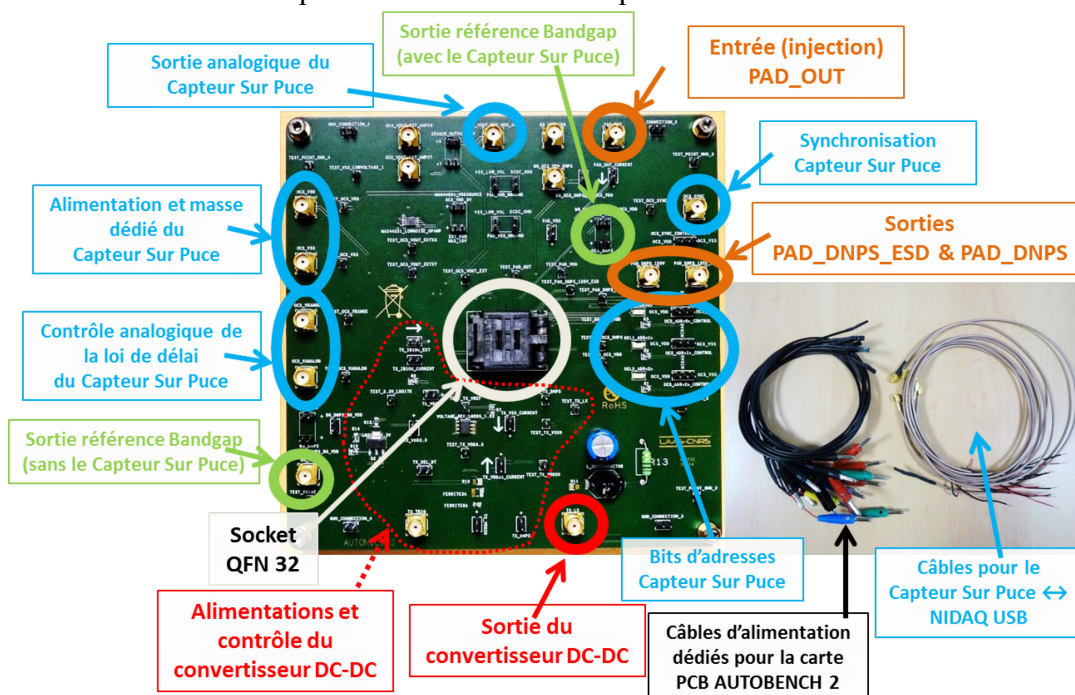


Figure III-26: Carte de test AUTOMICS 2 et les câbles adaptés aux besoins de sa connectique

Tableau III-H: Caractéristiques des instruments de mesure

Reference	Description	Caractéristiques
TTi CPX400SP	Alimentation de laboratoire	Sortie unique, 420 watts, contrôle numérique par USB, RS232, GPIB ou LAN (SP)
Hameg HM7042	Alimentation de laboratoire	2 x 0->32 V/0->2 A; 1 x 0->5.5 V/0->5 A ; Sorties protégés contre: flottant, surcharge et court circuit
Keithley 2601A	Source mètre	Single channel with <i>four-quadrant</i> source or sink operation and output power 40.4 W. (Source Current Range: ± 100 nA \rightarrow ± 10 A; Source Voltage Range: ± 100 mV \rightarrow ± 40 V)
HP 81110A	Générateur de pulses positives et négatives	Fréquence des pulses: 1mHz à 330MHz Amplitude 50 Ω sur 50 Ω : 100mVpp à 10Vpp Amplitude 1k Ω sur 50 Ω : 200mVpp à 20Vpp Niveaux des pulses: -10V à 10V Résolution: 10mV Courant de court-circuit: ± 400 mA Impédance de la source variable: 50 Ω à 1k Ω
Agilent 34405A	Multimètre numérique de laboratoire	120000 counts resolution; 16 measurement functions including temperature and capacitance
Metrix MX 554	Multimètre numérique de laboratoire	Fréquence d'échantillonnage: 50000 Méch./sec;
Agilent U1272A	Multimètre numérique de précision portable	Fréquence d'échantillonnage: 30000 Méch./sec;
ISO TECH IDM 72	Multimètre numérique de précision portable	Fréquence d'échantillonnage: 6000 Méch./sec;
Tektronix MSO 2024	Mixed Signal Digital Phosphor Oscilloscope	Bande passante 200MHz; 4 voies analogiques; 16 voies numériques; échantillonnage 1 GS/s
MEMMERT UNE 200	Cuve Thermique	Plage de température: ambiante à 250°; Précision affichage +/- 0.5°C
RS1319A	Thermomètre numérique	Thermocouple type K Plage de mesure: -50°C à +1350°C Fréquence d'échantillonnage: 2,5 éch./sec
NIDAQ USB-6351	Interface d'acquisition numérique	-16 entrées analogiques, 1,25 Méch./s sur une seule voie, 1 Méch./s sur plusieurs voies ; résolution de 16 bits, ± 10 V -2 sorties analogiques, 2,86 Méch./s, résolution de 16 bits, ± 10 V -24 E/S numériques (8 cadencées par le matériel jusqu'à 1 MHz) -4 compteurs/timers 32 bits, pour la modulation de la largeur d'impulsion, l'encodeur, la fréquence, le comptage d'événements.

III.5.1. Banc de test pour le cas d'étude 1

Le banc de test pour le cas d'étude 1 est présenté sur la Figure III-27. Nous avons développé un logiciel sur LabView™ afin de contrôler le source mètre Kethley™ 2601A et les multimètres de laboratoire. Nous avons injecté du courant pendant un court laps de temps de l'ordre de 250ms pour limiter l'échauffement de la puce et analysé le couplage substrat pendant cette période. Nous avons mesuré simultanément avec les multimètres les points d'intérêt et en même temps observé la température de la puce. La mesure de la température de la puce a été faite avec un thermocouple directement placé sur la résine protectrice de la puce à l'intérieur de son socket.

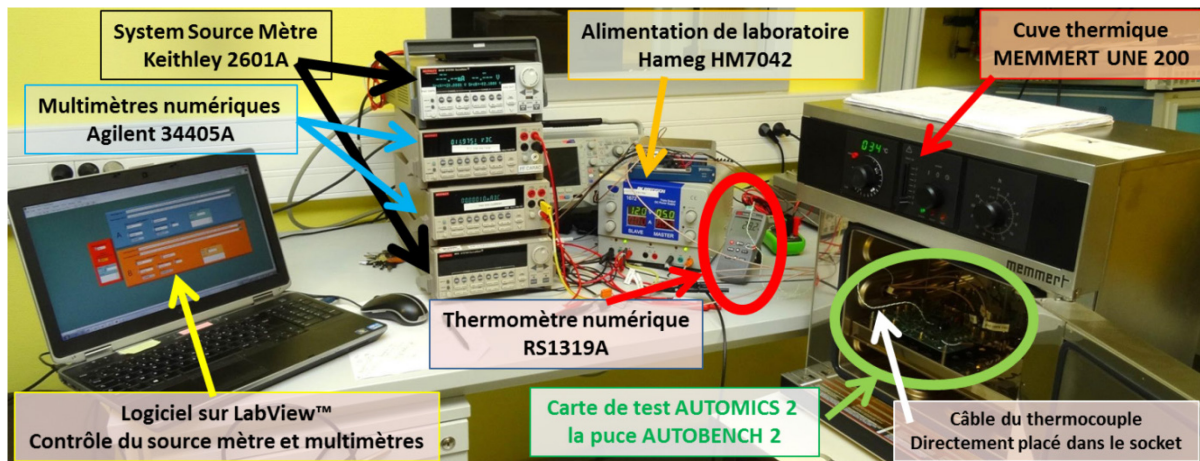


Figure III-27: Banc de test pour le cas d'étude 1 et le cas d'étude 2

Dans les prochaines parties, nous allons décrire les bancs de tests pour nos expériences faites pour le cas d'étude 1. Nous avons regroupé les bancs de tests pour les mesures à température ambiante et un banc de test pour ceux en cuve thermique.

III.5.1.1. Banc de test du cas d'étude 1 pour les analyses à température ambiante

Ce banc de test regroupe les analyses suivantes :

- Caractérisation du transistor bipolaire parasite activé par le couplage substrat
- Analyse de l'effet de la distance sur le couplage substrat
- Analyse de l'influence des pads de protection ESD sur le couplage substrat

Les mesures pour la caractérisation du transistor bipolaire parasite et les trois autres analyses citées ci-dessus ont été réalisées avec une injection du courant continu sur la broche PAD_OUT en utilisant un source mètre (Keithley 2601A) et des multimètres (Agilent 34405A) mesurant sur les broches PAD_DNPS_ESD ou PAD_DNPS la tension et le courant collecté, selon la version de la puce. Sur les figures suivantes, Figure III-28, Figure III-29, Figure III-30 sont présentés les bancs de tests de nos quatre types d'expériences.

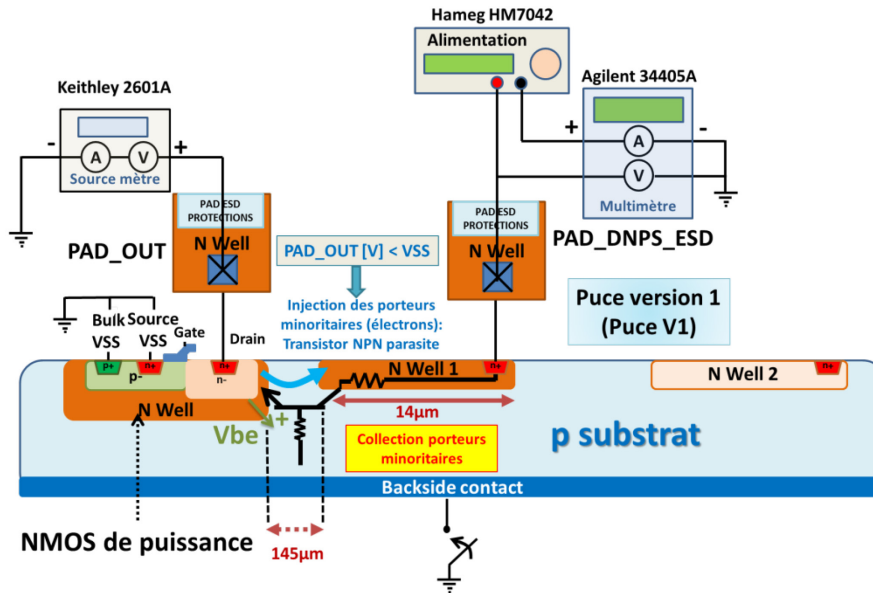


Figure III-28: Banc de test pour cas d'étude 1 - puce V1: couplage entre PAD_OUT et le N Well 1

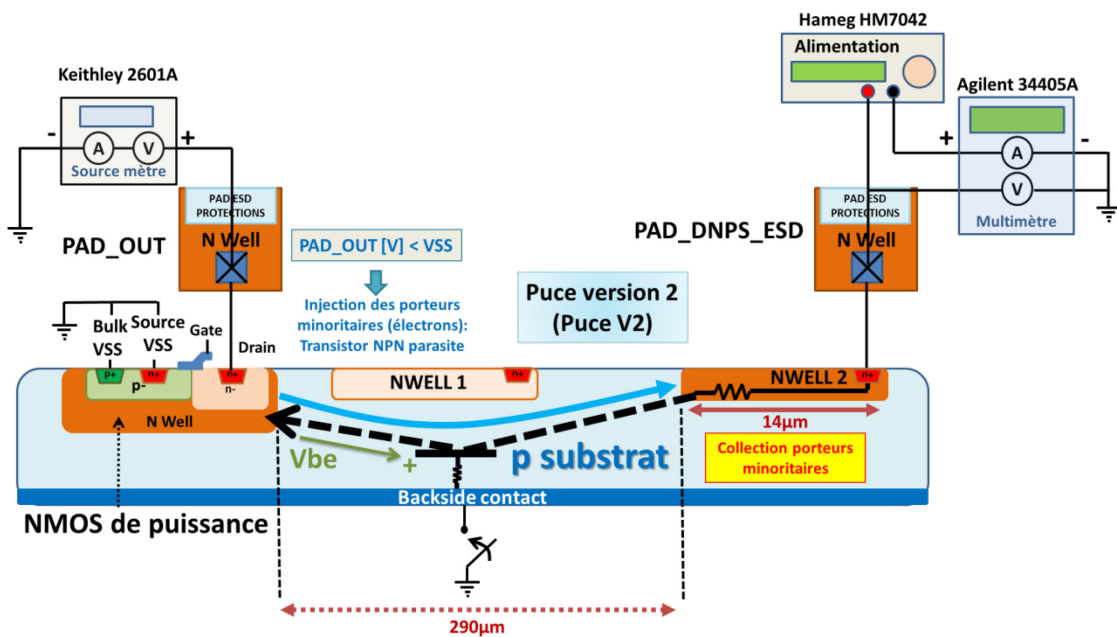


Figure III-29: Banc de test pour cas d'étude 1 - puce V2: couplage entre PAD_OUT et le N Well 2

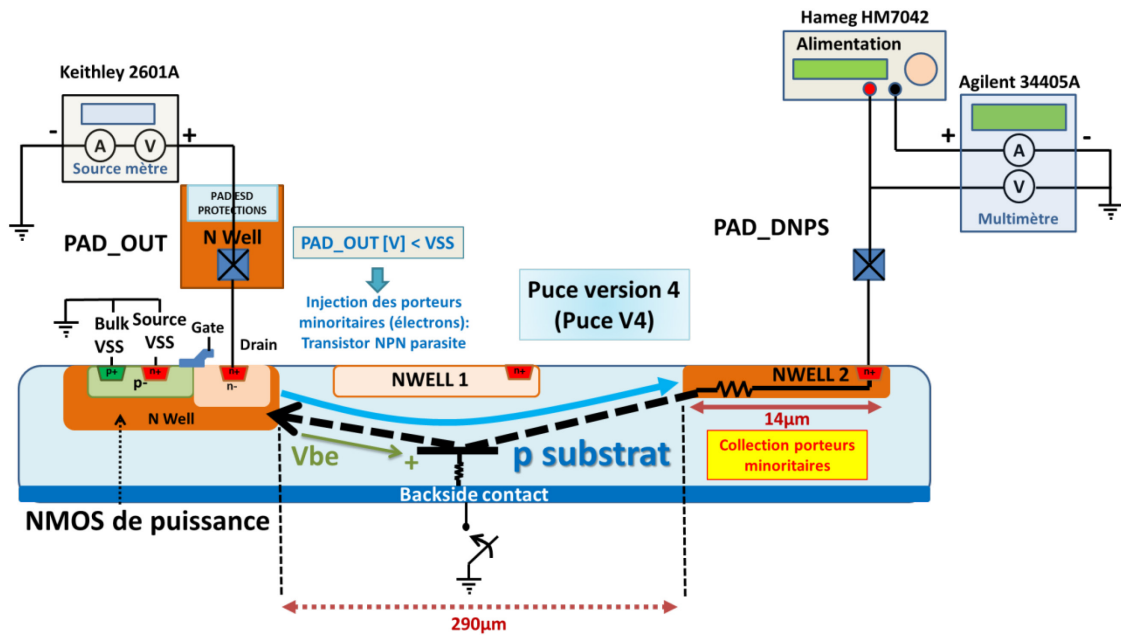


Figure III-30: Banc de test pour cas d'étude 1 - puce V4: couplage entre PAD_OUT et le N Well 4 sans la protection ESD sur la broche PAD_DNPS

Pour la caractérisation du transistor bipolaire parasite activé par le couplage substrat nous avons réalisé une simple caractérisation $I(V)$ de l'entrée PAD_OUT en contrôlant sa tension de 0 à -2V et nous avons observé le courant injecté dans le substrat de cette manière. Pour les autres analyses, nous avons réalisé deux séries de mesures :

- la première consiste à fixer le potentiel de l'émetteur (pin PAD_OUT) et à varier la tension du collecteur (pin PAD_DNPS_ESD), comme le montre le Tableau III-I.
- la seconde consiste à fixer le potentiel du collecteur (pin PAD_DNPS_ESD ou PAD_DNPS) et à varier la tension de l'émetteur (pin PAD_OUT), comme le montre le Tableau III-J.

Tableau III-I: PAD_OUT fixe, PAD_DNPS_ESD/PAD_DNPS variable

PAD_OUT constant	-0.4V	-0.8V	-1V	-1.2V	-1.4V
Balayage tension par pas de 1V PAD_DNPS_ESD/PAD_DNPS	0→20V	0→20V	0→20V	0→20V	0→20V

Tableau III-J: PAD_DNPS_ESD/PAD_DNPS fixe, PAD_OUT variable

PAD_DNPS_ESD/PAD_DNPS constant	0V	3V	7V	12V	17V	20V
Balayage tension par pas de -0.1V PAD_OUT	0→-2V	0→-2V	0→-2V	0→-2V	0→-2V	0→-2V

De cette manière, nous observerons la dépendance du courant collecté en fonction de la différence de tension entre les pins d'entrée PAD_OUT et le PAD_DNPS_ESD, représentant respectivement l'émetteur et le collecteur du transistor bipolaire parasite associé au couplage substrat, d'où la dénomination de l'axe des abscisses des figures suivantes $V_{CE} =$

$V(\text{PAD_DNPS_ESD}) - V(\text{PAD_OUT})$. Cette dénomination n'est pas tout à fait exacte car le transistor bipolaire, formé dans le substrat par des îlots de puits de type n en guise de collecteurs, est reparti sur toute la surface du circuit.

III.5.1.2. Banc de test du cas d'étude simple pour l'analyse de l'effet de la température sur le couplage substrat

Pour les mesures utilisant la cuve thermique, nous avons contrôlé directement la température du boîtier grâce au thermocouple installé dessus afin d'avoir plus de précision sur la mesure. De cette manière, nous nous approchons plus de la température de la puce qu'en utilisant directement la température ambiante affichée par la cuve thermique. En outre, en raison d'une certaine latence pour obtenir une température stable dans tout le volume de la cuve thermique, nous avons réduit le temps des séries de mesures réalisés et en même temps garanti la température au plus près de la puce. Sur la Figure III-31 est présenté le banc de test pour l'étude de l'influence de la température sur le couplage substrat.

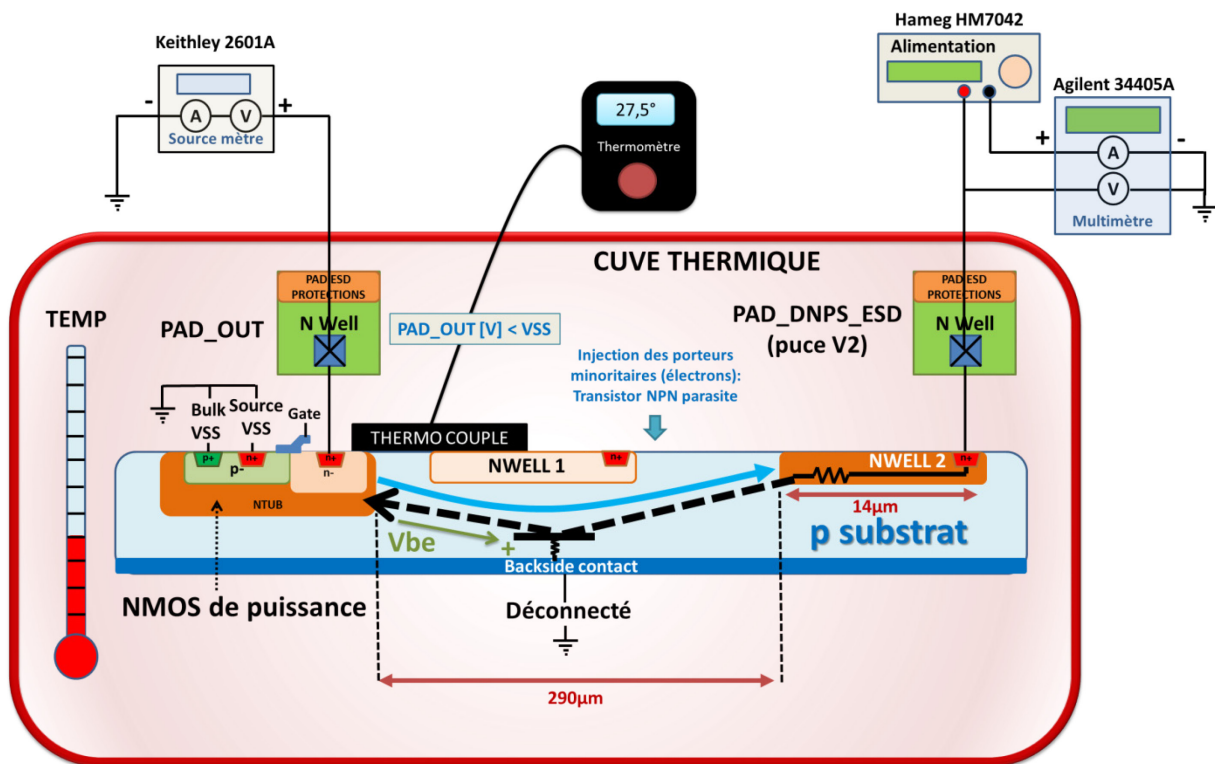


Figure III-31: Banc de test pour analyser les effets de la variation de la température sur le couplage substrat

Nous avons réalisé nos mesures pour 4 températures différentes de la cuve thermique: 24°C, 55°C, 80°C et 105°C. Les mesures sont réalisées en veillant à ce que la même température se stabilise aussi au niveau de la puce dans son socket grâce au contrôle de la température avec le thermocouple. Comme pour les expériences précédentes, nous avons réalisé les deux séries de mesures avec une tension sur PAD_OUT fixe et un balayage de la tension PAD_DNPS_ESD, et inversement (Tableau III-I et Tableau III-J).

III.5.2. Banc de test pour le cas d'étude 2

La photo du banc de test pour le cas d'étude 2 a déjà été présentée sur la Figure III-27, lors de la présentation du banc de test du cas d'étude 1. Seulement les broches du circuit changent.

III.5.2.1. Banc de test pour caractérisation du transistor bipolaire PNP parasite

Sur la Figure III-32 est présenté le banc de test pour les mesures statiques réalisées afin de caractériser le transistor bipolaire PNP parasite, dont l'émetteur est défini par le puit de type p du drain du PMOS de puissance, la base correspondant au puit de type n du PMOS de puissance et avec pour collecteur tout le substrat de type p de la puce. Nous procédons ici aussi par une injection statique du courant substrat via le drain du NMOS de puissance (broche TX_LX) et observons les courants collectés par le substrat en mesurant le courant sortant par la connexion à la masse du circuit (la broche TX_VSS). Le Bandgap et le capteur sur puce consomment relativement peu de courant (de l'ordre de $30\mu\text{A}$), ce qui permet de déduire que la majeure partie du courant circulant par la broche de masse de la puce AUTOBENCH 2 provient des porteurs majoritaires issus du substrat.

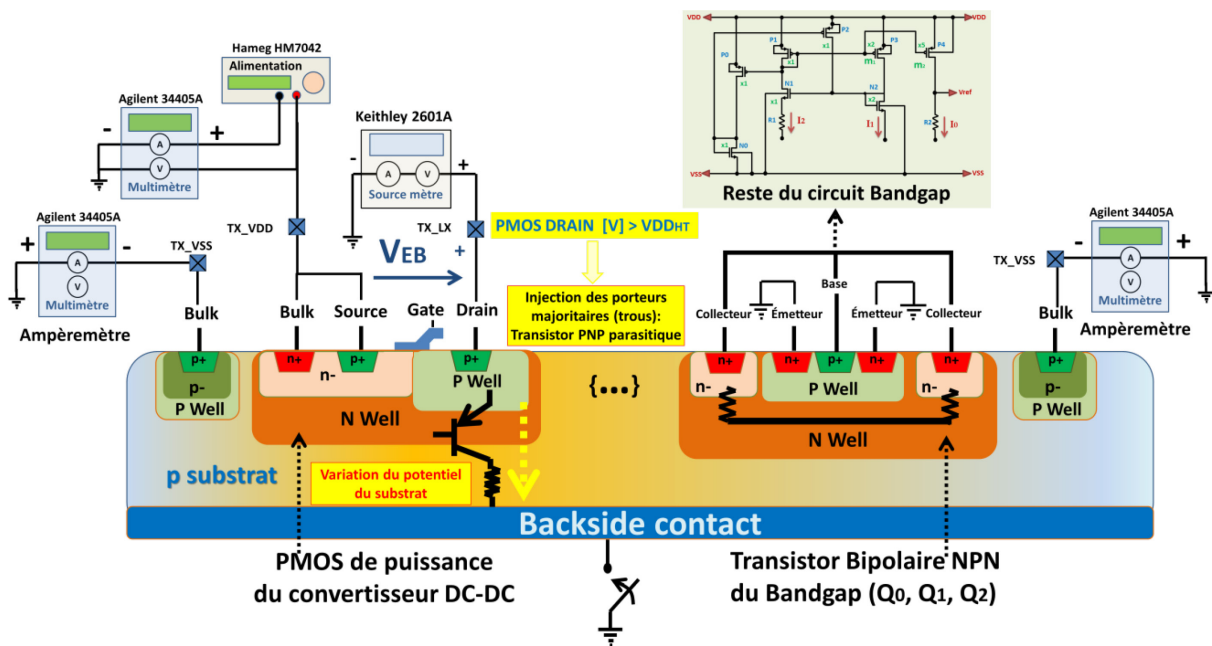


Figure III-32: Banc de test pour caractérisation du transistor bipolaire PNP parasite

Les mesures sont réalisées pour 4 différentes tensions $V_{EB} = \{0\text{V}; -0,8\text{V}; -0,9\text{V}; -1\text{V}\}$ qui est définie entre la broche TX_VDD et la broche TX_LX, c'est-à-dire la tension d'alimentation de puissance VDD_{HT} et le drain du NMOS de puissance, respectivement.

III.5.2.2. Banc de test lors de l'injection de courant statique

Ce banc de test regroupe les analyses suivantes :

- Étude du dysfonctionnement du Bandgap (anneaux de garde polarisés)
 - Effet des anneaux de garde sur le couplage substrat
 - Effet de la température sur le couplage substrat (anneaux de garde polarisés).
- Ici, comme pour l'expérience similaire du cas d'étude 1, le circuit est placé dans une cuve thermique. On a utilisé le même modèle de cuve thermique MEMMERT UNE 200.

Sur la Figure III-33 est présenté le schéma bloc de la partie de la puce AUTOBENCH 2 utilisé dans le cas d'étude 2 avec les tensions de polarisations des broches d'alimentation des deux Bandgap instanciés et d'alimentation et du contrôle du convertisseur DC-DC.

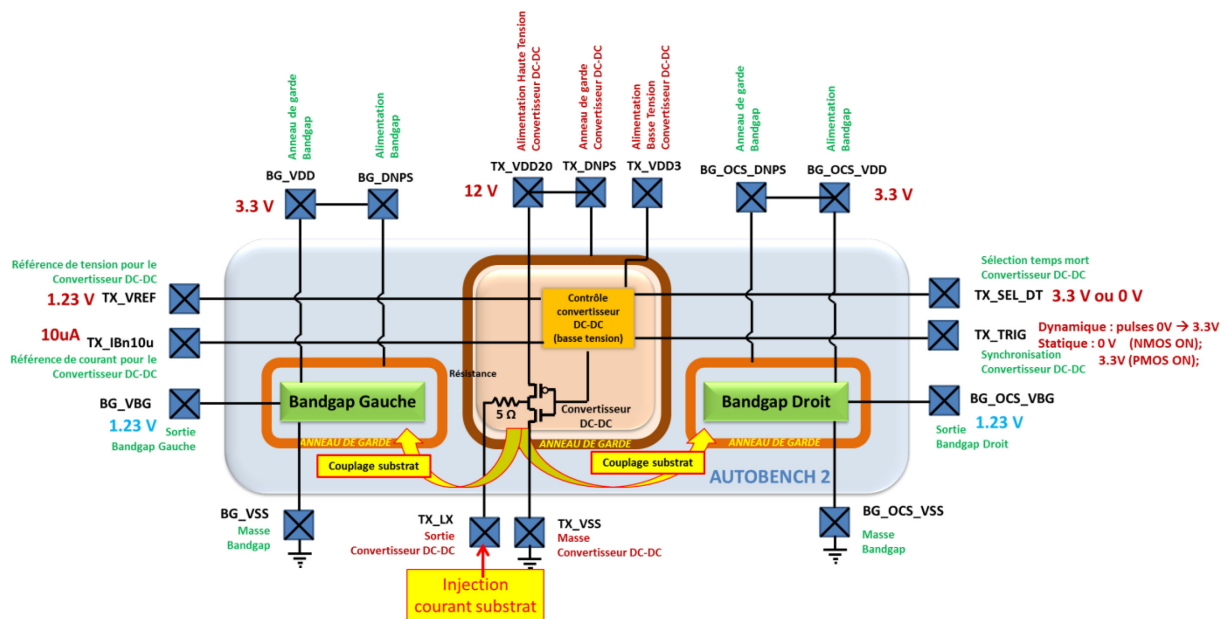


Figure III-33: Cas d'étude 2, le schéma bloc de la partie utilisé de la puce AUTOBENCH 2 avec les broches dédiés pour le convertisseur DC-DC et les deux Bandgap

Sur la Figure III-34 est présenté le banc de test pour les mesures statiques réalisées dans notre cas d'étude 2 lors de l'injection statique du courant substrat via le drain du NMOS de puissance. Pour tous les tests, le courant est injecté à la sortie du convertisseur DC-DC, via la broche TX_LX pendant un court laps de temps, de l'ordre de 250ms, pour limiter l'échauffement de la puce. La température de la puce est mesurée grâce à un thermo couple placé dans son socket, au contact du circuit AUTOBENCH 2. La sortie TX_LX du convertisseur DC-DC est connecté à un source mètre Kethley™ 2601A lequel est contrôlé via un logiciel spécialement développé sur LabVIEW™. Les multimètres de laboratoire sont aussi commandés par ce logiciel pour mesurer simultanément les nœuds d'intérêt dans notre cas d'étude.

Pendant la période d'injection du courant, les effets du couplage substrat sont analysés en observant le dysfonctionnement du Bandgap par la variation de sa tension en sortie V_{ref} et la variation de sa consommation de courant via ses broches d'alimentation. Pour des raisons techniques, nous avons réalisé les mesures sur seulement un des deux Bandgap à la fois, bien

que les deux aient été alimentés et fonctionnels au moment des mesures. Si l’anneau de garde est polarisé selon le test réalisé, nous avons aussi mesuré le courant collecté via son alimentation dédiée. Pour des questions de lisibilité de la Figure III-34, nous n’avons pas représenté le circuit placé dans la cuve thermique MEMMERT UNE 200 pour décrire le banc de test destiné à l’étude de l’effet de la température sur le couplage substrat.

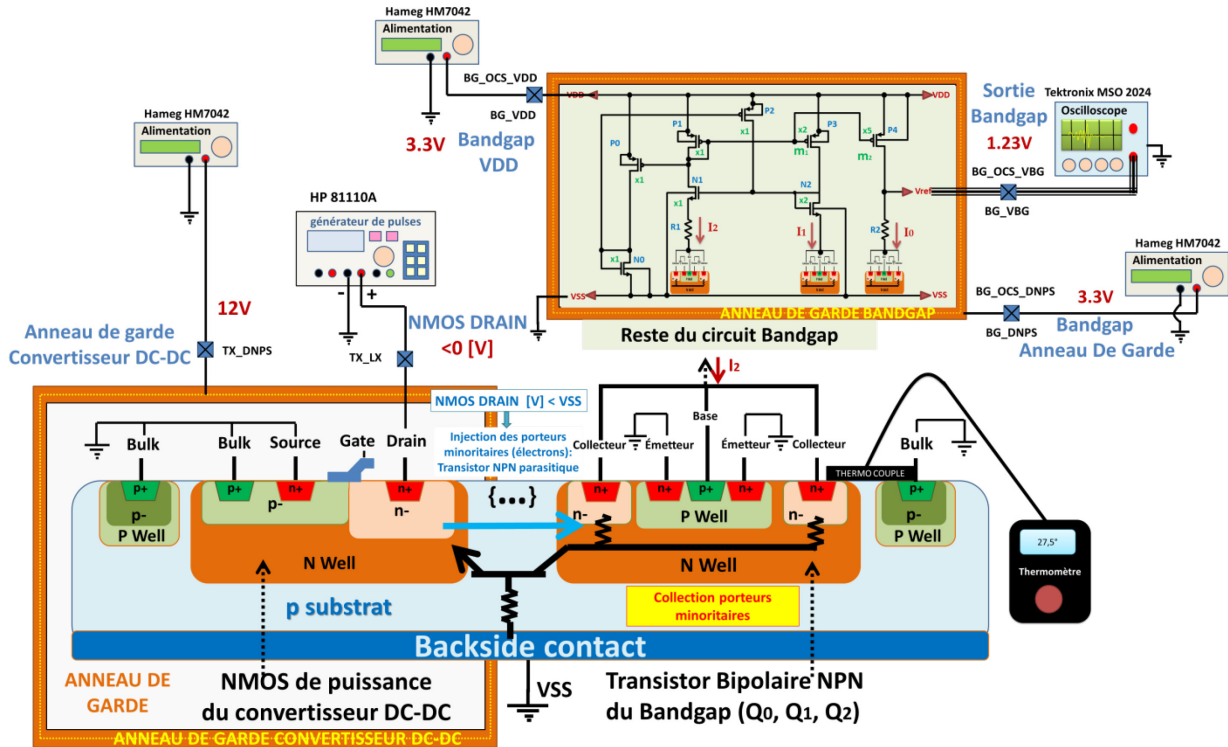


Figure III-34: Banc de test pour analyser les effets du couplage substrat entre la sortie du convertisseur DC-DC et la référence de tension Bandgap

III.5.2.3. Banc de test pour les mesures d’injection de courant dynamique

Le banc de test destiné à réaliser les mesures dynamiques est présenté sur la Figure III-35. La différence de ce banc de test par rapport au précédent est qu’à la sortie du convertisseur DC-DC, c’est-à-dire broche TX_LX, est connecté un générateur de pulses négatives, le HP 81110A. Nous avons observé avec un oscilloscope numérique, le Tektronix MSO 2024, la tension de sortie du Bandgap simultanément avec la tension de sortie du convertisseur DC-DC du fait que nous ne disposions pas des moyens pour mesurer les courants injectés avec une grande résolution dynamique. Nous ne pouvions pas non plus mesurer en dynamique la variation des courants de consommation du Bandgap et les courants collectés par les anneaux de garde, qui sont de l’ordre de quelques μA .

Notre expérience nous permettra néanmoins de voir qualitativement les effets dynamiques du couplage substrat lors d’une injection pulsée, ce qui est souvent le cas dans une utilisation nominale des circuits Smart Power.

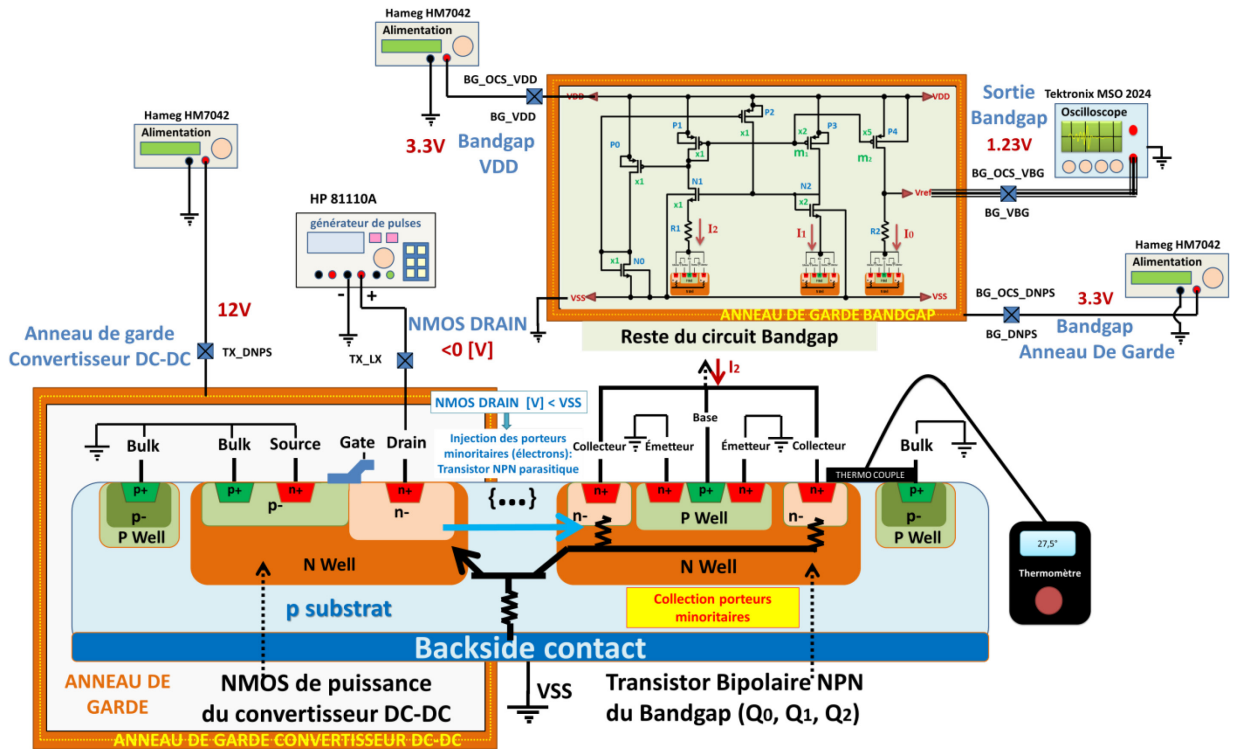


Figure III-35: Banc de test pour mesures dynamiques de l'injection du courant dans le substrat

IV.6. Résultats des mesures du cas d'étude 1

Dans cette partie, les résultats des mesures faites sur la puce AUTOBENCH 2 vont être présentés et analysés. Les résultats de mesures du cas d'étude 1 sont présentés dans les prochains paragraphes.

III.6.1. Caractérisation du transistor NPN bipolaire parasite activé par le couplage substrat

Sur la Figure III-36 est présentée la caractérisation $I(V)$ du transistor bipolaire NPN parasite activé par le couplage substrat inhérent à la configuration de la puce V1.

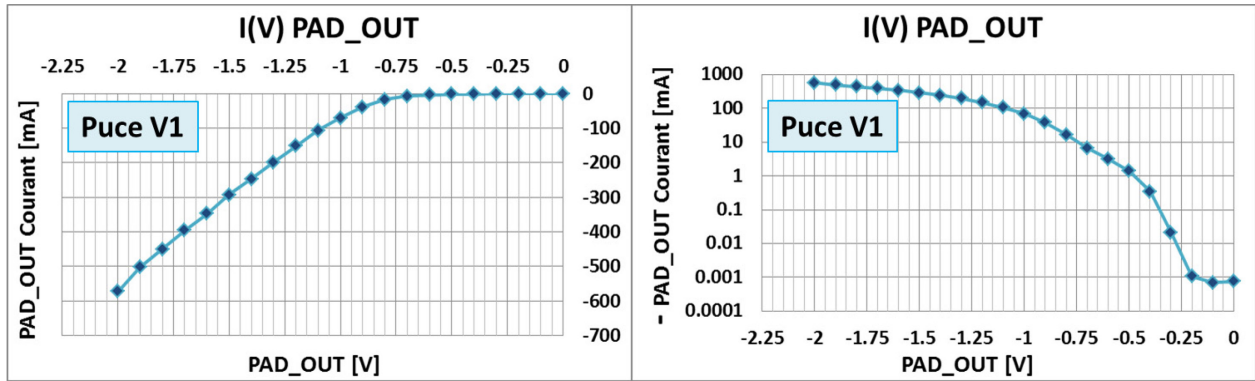


Figure III-36: Caractérisation I(V) du transistor bipolaire NPN parasite activé par le couplage substrat; à gauche – échelle décimale, à droite - échelle logarithmique

Comme nous pouvons le constater, le seuil de déclenchement est de l'ordre de $-0.7V$, ce qui est caractéristique pour une jonction pn. Comme nous l'avons déjà expliqué, dans notre cas, cette jonction pn est formée par le substrat de type p et d'un puit de type n dans lequel se situe le drain de transistor NMOS de l'étage de sortie du convertisseur DC-DC (Figure III-28). Lorsque la tension du drain d'un transistor de puissance descend en dessous de $0V$, une injection assez importante de courant dans le substrat se produit. Elle est de l'ordre de $0.5 A$ pour une tension du drain de $-2V$ dans notre cas, ce qui n'est pas négligeable. Cette jonction pn formant la jonction base-émetteur d'un transistor bipolaire parasite, ces porteurs pourront être collectés par toute zone proche de type n polarisée par une tension positive.

Afin de compléter notre analyse du transistor bipolaire NPN parasite inhérent à la configuration de la puce V1, sur la Figure III-37 sont présentés, à gauche, le courant collecteur I_C en fonction de la tension V_{CE} puis, à droite, son gain en courant I_C/I_E . On peut en conclure que son gain en courant est très faible, mais pourtant assez suffisant pour influencer sur le bon fonctionnement des structures sensibles du circuit, ce que nous verrons plus tard lorsque nous traiterons le cas d'étude 2.

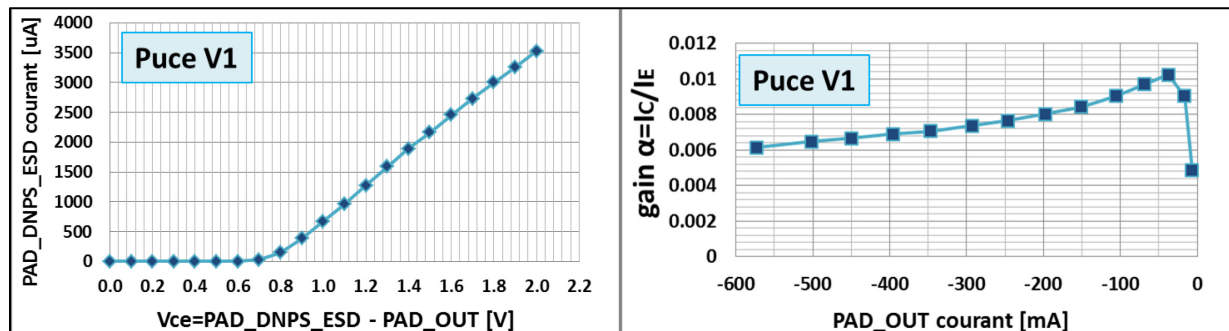


Figure III-37: Caractérisation du transistor bipolaire NPN parasite activé par le couplage substrat; à gauche – $I_C (V_{CE})$, à droite - gain en courant $\alpha=I_C/I_E$

III.6.2. Analyse de l'effet de la distance sur le couplage substrat

Dans cette expérience, nous avons réalisé deux types de séries de mesures (Tableau III-I et Tableau III-J). Une première série est réalisée avec la tension de l'entrée PAD_OUT

maintenue constante tandis qu'on fait varier la tension de la broche PAD_DNPS_ESD. Dans la seconde série, on intervertit la polarisation de ces deux broches.

Nous allons d'abord examiner le couplage substrat lorsque le PAD_DNPS_ESD est polarisé à 0V, c'est-à-dire le collecteur du transistor bipolaire connecté à la masse de notre circuit. Sur les figures suivantes sont présentés les courants collectés par les puits de type n connectés au PAD_DNPS_ESD selon la version de la puce, V1 ou V2. Les résultats sont présentés sur la Figure III-38, en fonction de la tension V_{CE} (la différence de tension entre PAD_DNPS_ESD et PAD_OUT).

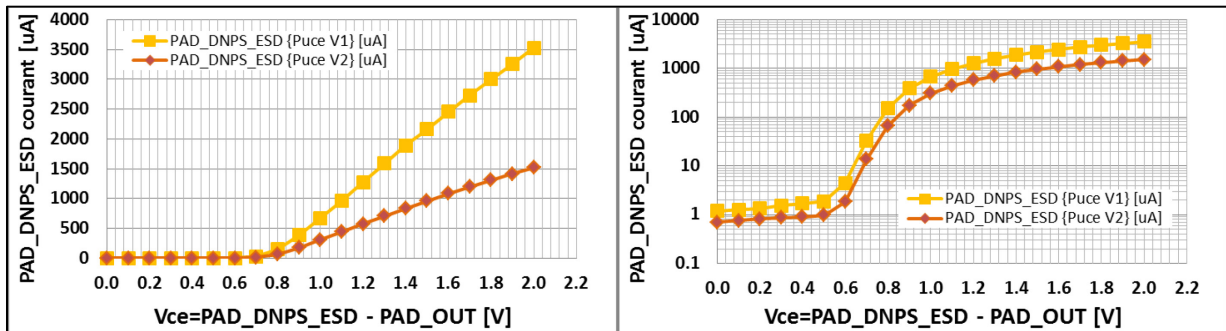


Figure III-38: Courant collecté en fonction de la tension V_{CE} (échelle linéaire & logarithmique)

Comme on pouvait s'y attendre, le puit le plus proche, le puit N Well 1 (puce V1), collecte plus de courant que le puit N Well 2 (puce V2) plus éloigné de PAD_OUT. Cela confirme l'influence de la distance entre le point d'injection et le point de collection. En effet, en raison du temps de vie moyen de porteurs minoritaires, moins de porteurs arrivent à rejoindre le puit le plus éloigné pour un même courant injecté.

Nous avons aussi comparé la dépendance du courant collecté sur N Well1 et N Well 2 par rapport au courant injecté sur la Figure III-39 et sur la Figure III-40. Comme attendu, le déclenchement du couplage substrat se fait pour des courants plus faibles pour le puit N Well 1 (environs -1.8mA) par rapport au puit N Well 2 (environs -3.5mA).

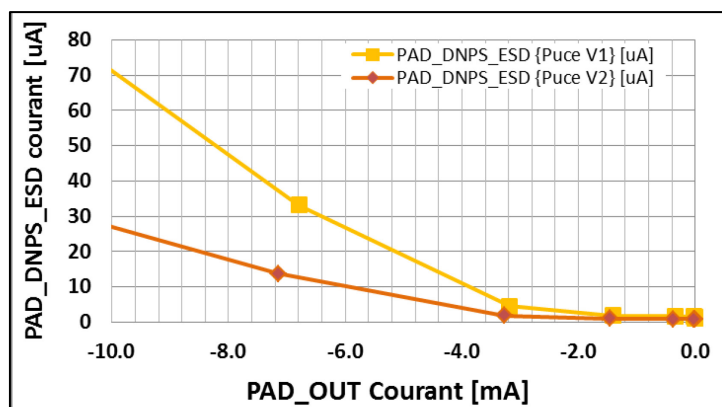


Figure III-39: Agrandissement sur le déclenchement du couplage substrat:

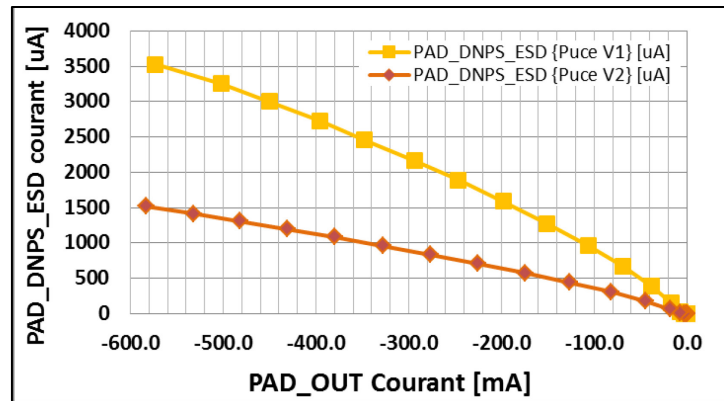


Figure III-40: Courant collecté par N Well 1 et par N Well 2 en fonction du courant injecté dans le substrat via la broche PAD_OUT

Pour continuer notre analyse, l'effet de la distance sur le gain en courant du transistor bipolaire parasite est caractérisé. Sur la Figure III-41 est présenté le gain en courant en fonction de la tension de PAD_OUT (gauche) et en fonction du courant injecté (droite). Sur la figure de gauche, nous sommes partis de -0.6V pour la tension de PAD_OUT car pour des tensions plus basses, le courant collecté était trop faible. Comme on peut remarquer sur ces figures, le gain est faible: il est de l'ordre de $3 \cdot 10^{-3}$ - $4 \cdot 10^{-3}$ pour la puce V1 (collection par N Well 1, plus éloigné de la source d'injection) et de $7 \cdot 10^{-3}$ - $8 \cdot 10^{-3}$ pour la puce V2 (collection par N Well 2, plus proche de la source d'injection). C'est un bon indicateur que nous avons là un transistor bipolaire de médiocre qualité mais sa présence et son activation peuvent être suffisantes pour engendrer des défaillances des parties du circuit sensibles.

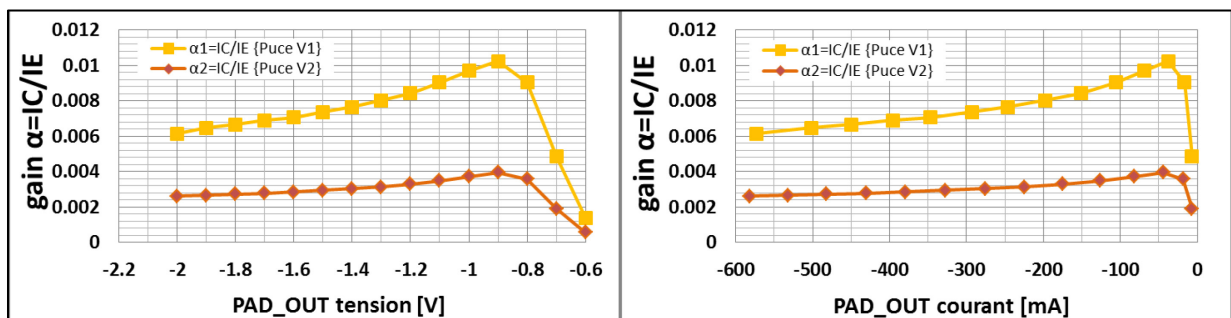


Figure III-41: Gain en courant du transistor bipolaire parasite, $\alpha = I_C/I_E$ en fonction de la tension de PAD_OUT (gauche), en fonction du courant injecté (droite)

Par ailleurs, le rapport des gains reste constant (environ $\alpha_1/\alpha_2 = 2.5$) indépendamment de I_E , une fois que le transistor bipolaire NPN parasite est activé, ce que nous pouvons constater sur la prochaine Figure III-42 :

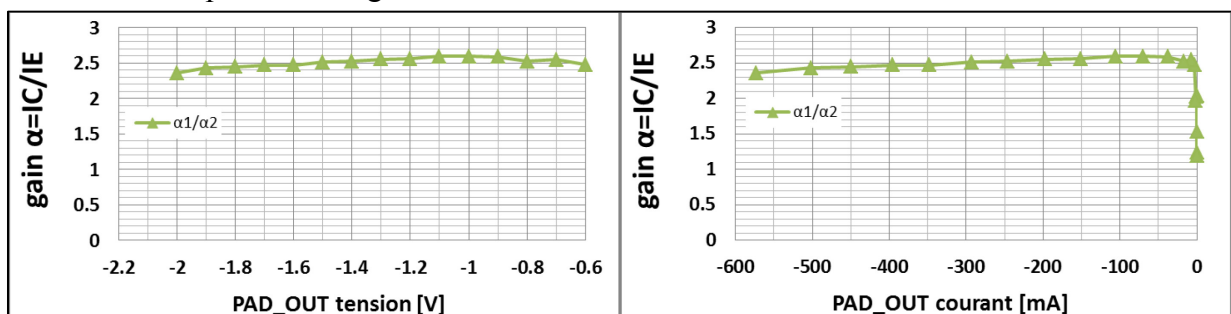


Figure III-42: Rapport des gains en courant du transistor bipolaire parasite, α_1/α_2 en fonction de la tension de PAD_OUT (gauche), en fonction du courant injecté (droite)

La suite de notre analyse consiste à faire les mêmes mesures en variant PAD_OUT de 0 à -2V pour différentes valeurs de tension PAD_DNPS_ESD, afin de voir si la tension des puits de type n qui sont collecteurs (N Well 1 et N Well 2) peut influencer sur le couplage substrat, ce qui est présenté sur la Figure III-43 et la Figure III-44.

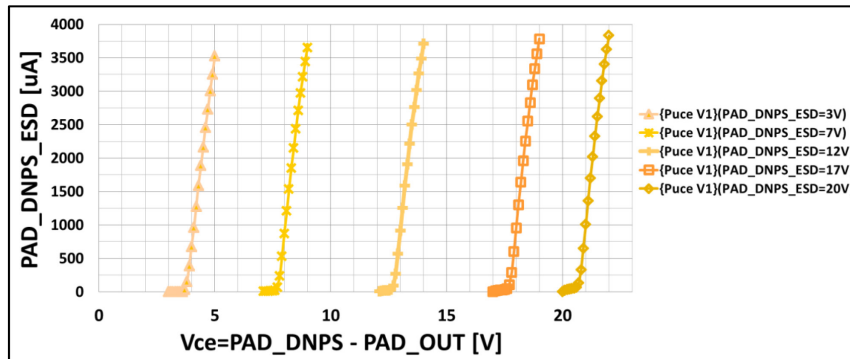


Figure III-43: puce V1, courant collecté par N Well 1, selon la tension du PAD_DNPS_ESD

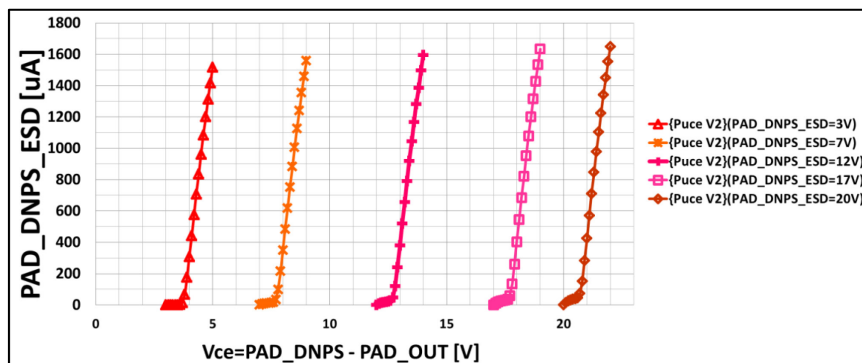


Figure III-44: puce V2, courant collecté par N Well 2, selon la tension du PAD_DNPS_ESD

Ici, on peut remarquer que la tension à laquelle est polarisé le puit de type n (le N Well 1 ou N Well 2) ne joue pas un rôle important dans le fonctionnement du couplage substrat, une fois que la jonction pn du puit agresseur est activé (ici PAD_OUT). Les autres puits aux alentours de l'agresseur et jouant le rôle du collecteur vont d'une manière identique collecter les porteurs minoritaires issus du substrat. Cela implique que le couplage substrat dépend essentiellement du courant injecté dans le substrat dans une configuration donnée de circuit (technologie fondeur, architecture du layout). Pour continuer l'analyse dans le même sens, nous avons réalisé les mesures avec la tension de la broche PAD_OUT tenue constante et celle de PAD_DNPS_ESD variant de 0 à 20V. Les résultats sont présentés sur la Figure III-45. Ici aussi nous venons à la même conclusion: le couplage substrat dépend uniquement du courant injecté dans le substrat à partir d'un puit de type n qui agit en agresseur. La tension du puit de type n qui est victime n'influe pas le couplage substrat. La légère variation que l'on peut tout de même observer est sans doute due à une erreur du protocole de test, car en variant la tension du PAD_DNPS_ESD de 0V à 20V, le courant injecté via le PAD_OUT dans le substrat on échauffait la puce et les effets de la température commençaient à apparaître.

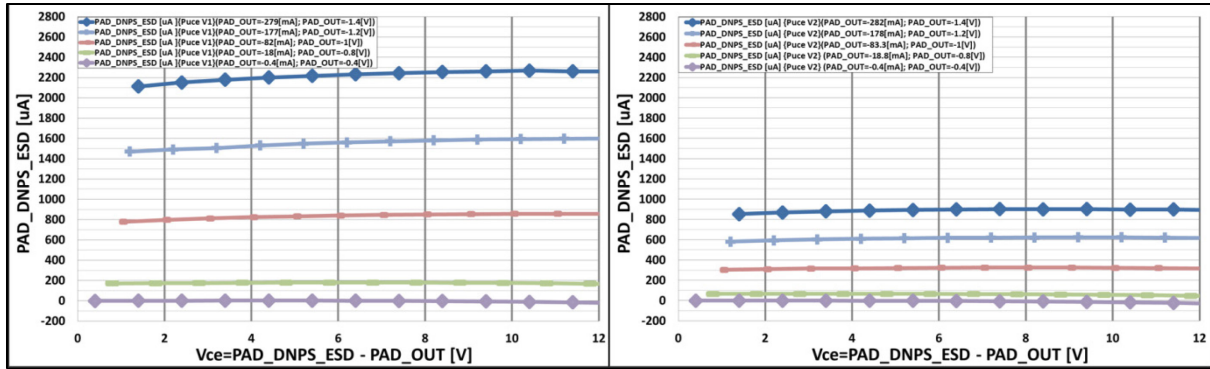


Figure III-45: Puce V1 Vs. V2 {temp=24°C}:
PAD_DNPS_ESD Courant collecté par N Well 1 (gauche)
PAD_DNPS_ESD Courant collecté par N Well 2 (droite)

Nous pouvons aussi observer depuis la dernière Figure III-45 que le puit N Well 1 collecte bien plus de courant par rapport au puit N Well 2, et il en collecte même un peu plus que le double. Ici une remarque importante vient s'ajouter à notre analyse. D'une part, les équations du transistor bipolaire parasitant son fonctionnement, et notamment les équations des courants de base n'ont pas de forme linéaire, et par conséquent on ne peut pas s'attendre à avoir une linéarité de collection des porteurs minoritaires en fonction de la distance (c'est-à-dire de la longueur de la base). D'autre part nous avons pris en compte la distance orthogonale qui existe entre le point d'injection (PAD_OUT) et le point de collection, le N Well 1 ou le N Well 2. Comme on peut le constater sur la Figure III-4 et sur la Figure III-5, le puit N Well 2 est à la distance orthogonale double par rapport au puit N Well 1. Cela ne voulait pas forcément dire que N Well 1 allait collecter deux fois plus de porteurs minoritaires que le N Well 2. En nous intéressant à la distance moyenne entre le point d'injection et les différents points des puits de collection, et non pas à la distance orthogonale entre le point d'injection et le point de collection, nous pouvons constater que le rapport de distances de N Well 1 et de N Well 2 n'est pas égal à 2, mais plutôt égal à 1.5. La Figure III-46 et les équations Eq. III.7 - Eq. III.9 qui s'en suivent le démontrent bien: la distance moyenne pour N Well 1 est de 233µm et la distance moyenne pour N Well 2 est de 346 µm.

Afin d'avoir une distance moyenne égale à 2, on aurait pu imaginer plusieurs scénarios de layout, comme de créer deux puits de type n en forme d'anneaux concentriques autour du point d'injection avec un ratio de rayons pour les puits qui serait de $\frac{1}{2}$. On aurait pu aussi faire en sorte que le N Well 1 soit plus court ou que le N Well 2 soit plus large, c'est-à-dire qu'ils aient chacun leur longueur différente afin d'obtenir au bout du compte la même distance moyenne.

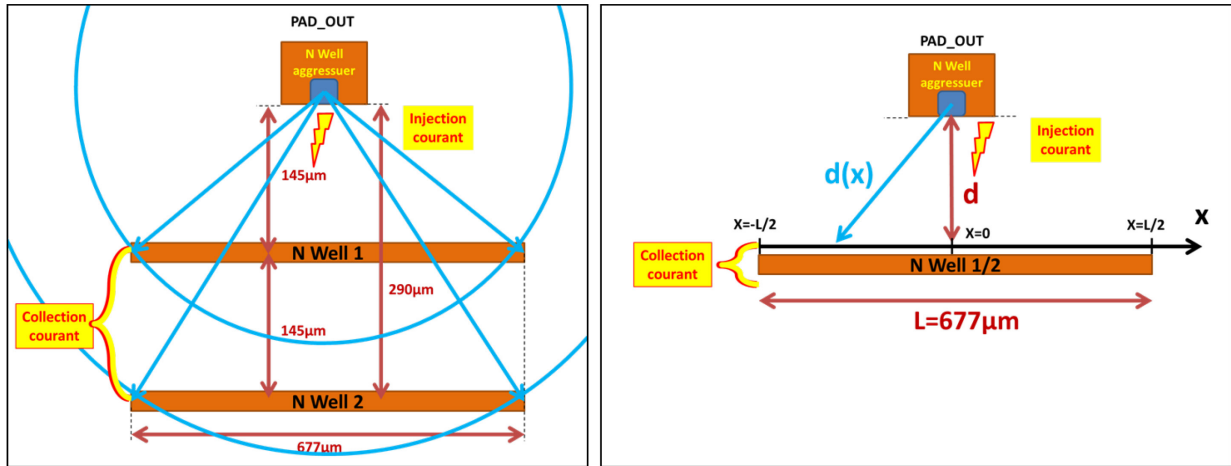


Figure III-46: Distance moyenne entre le point d'injection et les points de collecte, répartis sur les puits N well 1 et N well 2

$$d_{moyenne} = \frac{1}{L} \int_{-L/2}^{L/2} \sqrt{x^2 + d^2} dx = \frac{x}{2} \sqrt{x^2 - d^2} + \frac{d^2}{2} \ln(x + \sqrt{x^2 - d^2}) \quad \text{Eq. III.7}$$

$$d_{moyenne}(NWell1) = \frac{1}{677 \mu m} \int_{-677 \mu m/2}^{677 \mu m/2} \sqrt{(145 \mu m)^2 + x^2} dx = 233 \mu m \quad \text{Eq. III.8}$$

$$d_{moyenne}(NWell2) = \frac{1}{677 \mu m} \int_{-677 \mu m/2}^{677 \mu m/2} \sqrt{(290 \mu m)^2 + x^2} dx = 346 \mu m \quad \text{Eq. III.9}$$

Cette dernière analyse nous amène à analyser l'effet de la collection simultanée par les deux puits de type n, le N Well 1 et le N Well 2, qui seraient interconnectés. Nous souhaitons voir si la collection des porteurs minoritaires était plus grande, égale ou plus petite par rapport à un seul puit polarisé en même temps, soit par le N Well 1 soit par le N Well 2. Sur la Figure III-47 est présenté le résultat de notre analyse.

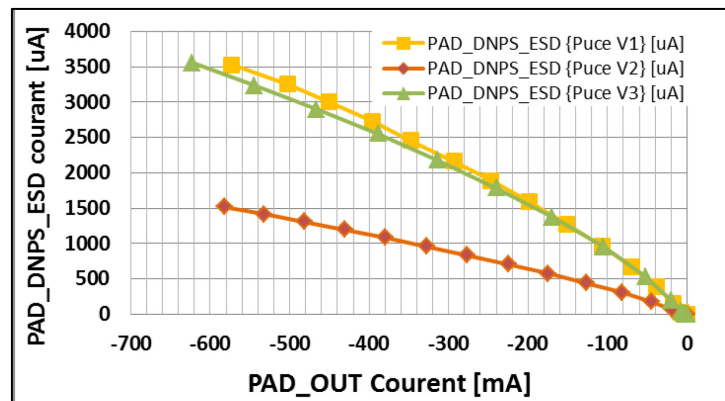


Figure III-47: Courant collecté par les puits N Well 1 et N Well 2 en fonction du courant injecté dans le substrat via la broche PAD_OUT

Nous pouvons constater que l'essentiel des porteurs minoritaires est collecté par le puit le plus proche c'est-à-dire le puit N Well 1, les résultats des mesures de la puce V1 sont similaires de ceux de la puce V3.

Nous pouvons constater depuis la dernière figure que la courbe verte (collection par N Well 1+ N Well 2) est quasiment identique à la courbe jaune (collection que par N Well 1), ce que nous pouvons interpréter comme s'il ne restait pratiquement aucun porteur minoritaire pour être collecté par le puit N Well 2. S'il n'en était pas ainsi, nous aurions pu observer sur la figure que la collection simultanée par les deux puits N Well 1 et N Well 2 est supérieure à la collection des porteurs minoritaires avec seulement le puit N Well 1. Tout se passe comme si le puit N Well 1 agissait comme un anneau de garde pour le N Well 2; il blinde tout le flux des porteurs minoritaires destinés à être collectés par N Well 2. La petite différence entre la collection par le puit N Well 1 seul (courbe jaune, puce V1) et par les deux puits simultanément (courbe verte, puce V3) est aussi due en partie aux erreurs de mesure liées à l'échauffement de la puce (la différence apparait à partir de -300mA d'injectés) et à la dispersion des paramètres technologiques selon la puce utilisée.

De cette expérience on peut en conclure qu'il n'est pas très utile d'avoir des anneaux de garde concentriques trop proches autour d'un bloc bruyant, mais plutôt un seul pour économiser la place dans le layout. Par contre, il serait intéressant de voir si nous aurions le même effet en éloignant les deux anneaux de garde, c'est-à-dire les puits N Well 1 et N Well 2: en effet, une partie des porteurs minoritaires circule peut-être trop profondément dans le substrat, ce qui donnera que la collection simultanée par les deux puits est supérieure que la collection seule avec le puit le proche, ici le N Well 1. Nous verrons ce cas de figure en partie lors de l'analyse du cas d'étude 2.

III.6.3. Analyse de l'influence des pads de protection ESD sur le couplage substrat

Dans cette expérience, deux configurations différentes ont été confrontées afin d'observer l'impact sur le couplage substrat d'une protection ESD: on s'intéresse à l'effet de la collection des porteurs minoritaires par le puit de type n dans lequel se situe la protection ESD de la broche qui sert à polariser le puit N Well 2. En effet, cette protection ESD peut aussi collecter les porteurs minoritaires et donc avoir un effet sur le couplage substrat. Dans ce cas, la prise en compte des pads d'entrées-sorties deviendrait indispensable pour la simulation du couplage substrat.

Sur la figure suivante, la Figure III-48, nous pouvons observer une petite différence entre la puce qui possède la protection ESD (broche PAD_DNPS_ESD) et celle qui n'en a pas (broche PAD_DNPS). Ce résultat est très intéressant car il nous informe que lorsqu'il y a une injection de porteurs minoritaires directement au niveau d'une broche d'entrée/sortie avec une protection ESD nous pouvons aussi perturber le bon fonctionnement des autres protections ESD des broches adjacentes si l'injection de courant devient trop importante. En ce qui concerne la prédiction du couplage substrat, ce résultat nous incite à penser que l'inclusion des protections ESD dans l'estimation du couplage substrat limitera l'erreur induite par la simulation, ce que nous verrons par la suite, dans le chapitre V.

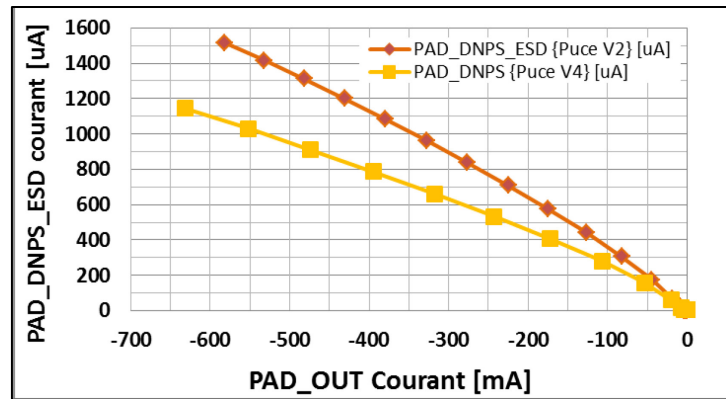


Figure III-48: Puce V2 & V4; PAD_DNPS_ESD & PAD_DNPS courant collecté par N Well 2 {temp=24°C}

Nous avons voulu analyser de plus près le courant collecté par le puit de type n dans lequel se situait la protection ESD. Pour cela nous avons appliqué sous MATLAB™ une régression linéaire en utilisant les données que nous avons pour le courant collecté par le PAD_DNPS_ESD et le PAD_DNPS afin d’obtenir une fonction mathématique pour les deux courbes de la Figure III-48. Nous avons procédé ensuite par une simple soustraction algébrique des deux fonctions obtenues sous MATLAB™ décrivant la collection des porteurs minoritaires et nous avons obtenu le résultat présenté sur la Figure III-49. On peut de suite constater que cette différence n’est pas négligeable, c’est-à-dire que le pad de protection ESD collecte bel et bien du courant en provenance du substrat. Notons une petite précision ici, en s’appuyant sur la Figure III-5, que la distance qui sépare le point d’injection (PAD_OUT) et le point de collection, le pad de protection ESD, est de $640\mu\text{m} + 677\mu\text{m}/2 = 978.5\mu\text{m}$ et que la taille du puit de type n du pad de protection ESD est de $127\mu\text{m} \times 134\mu\text{m}$. Le résultat obtenu correspond bien à ce qu’on l’on pouvait s’attendre compte tenu des résultats des mesures de la collection des porteurs minoritaires avec le N Well 1 et le N Well 2: par exemple, pour le même niveau d’injection la protection ESD collecte environ deux fois et demi de moins de porteurs que le N Well 2 ($1200\mu\text{A}$ contre $500\mu\text{A}$ pour 600mA d’injectés), alors que le rapport de distance est de 3.5 environ entre le point d’injection et le point de collection ($978,5\mu\text{m}$ contre $290\mu\text{m}$).

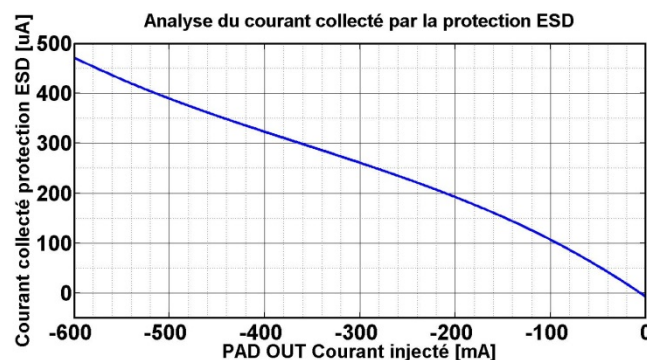


Figure III-49: Puce V2; Courant collecté par le pad de protection ESD {temp=24°C}

La suite de notre analyse nous amène à observer le gain en courant de la collection des porteurs minoritaires uniquement par le puit N Well 2, lorsque la protection ESD n’est pas présente dans le circuit. Sur la Figure III-50, les gains mesurés sur les deux versions de puce

avec ou sans la protection ESD sont comparés. On peut constater que le gain en courant a diminué pour la version de la puce sans la protection ESD, qui est un résultat escompté vu que l'on a collecté moins de courant dans ce cas de figure.

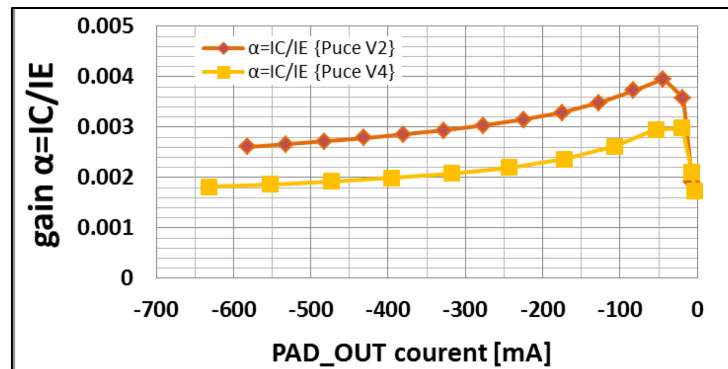


Figure III-50: Gain en courant du transistor bipolaire parasite, $\alpha = I_C/I_E$ en fonction du courant injecté

Cette expérience démontre bien l'impact de la protection ESD sur le couplage substrat. Pour un designer, cette notion peut être très intéressante lorsqu'il s'agira de répondre aux certaines contraintes EMC concernant les niveaux de collection des porteurs minoritaires des protections ESD.

III.6.4. Analyse de l'effet de la température sur le couplage substrat

Dans cette partie, il s'agit d'observer l'effet de la température sur le couplage substrat. Les mesures sont réalisées sur la puce V1 (avec le puit N Well 1 plus proche du point d'injection de courant) dans une cuve thermique pour les températures 24°C, 55°C, 80°C et 105°C. Sur la Figure III-51, nous avons analysé la dépendance du courant injecté via PAD_OUT à la température.

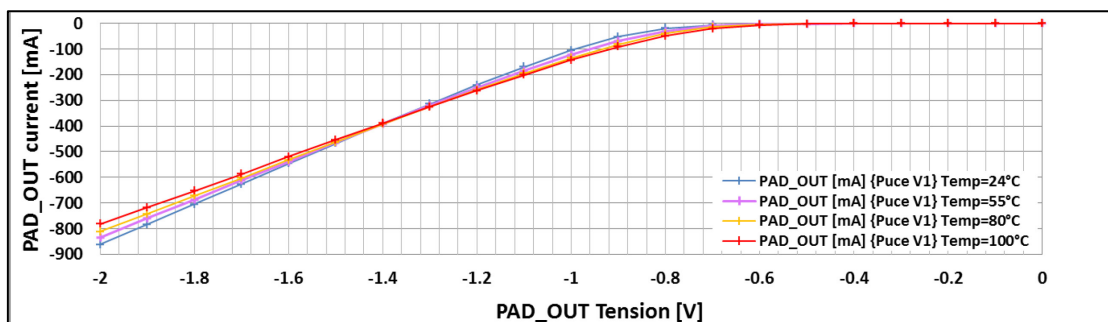


Figure III-51: Puce V1 ; PAD_OUT I(V) - Courant injecté {temp=24°C, 55°C, 80°C et 105°C}

Sur la dernière Figure III-51, nous pouvons observer une petite différence du coefficient de la courbe I(V) pour sa partie linéaire qui s'explique par un changement de la résistance équivalente de la région de type n dans lequel est situé le PAD_OUT et la résistance équivalente du substrat du type p. Cette augmentation de la résistance équivalente provient du fait du changement de la température de la puce dans la cuve thermique. Bien que le petit changement de cette résistance influe peu sur l'intensité du courant injecté dans le substrat, ces petites différences compliquent l'analyse précise de l'effet du couplage substrat

sous l'effet de la température. Le principe de cause à effet n'est plus direct mais implique une compréhension plus poussée du phénomène étudié.

Sur la Figure III-52 avec l'échelle logarithmique pour les courants injectés, apparait un recul de la tension de seuil de la diode définie entre le puit de type n correspondant au PAD_OUT et le substrat de type p. Sur les jonctions pn, on observe habituellement un recul du seuil d'environ 2 mV/°C, notamment parce que le courant de saturation I_S augmente avec la température dans la caractéristique I(V) de la diode donnée par $I(V_{diode}) = I_S * e^{(V_d / (n * kT / q))}$. Afin d'y voir plus clair, nous avons calculé dans le Tableau III-K le recul du seuil escompté pour les différences de températures que nous avons entre deux mesures dans notre expérience, et nous avons agrandi le moment de déclenchement sur la Figure III-53 avec l'échelle logarithmique. On peut y observer un facteur d'environ 2 entre la valeur théorique et la valeur que l'on peut estimer depuis nos mesures. Il nous manque certainement des points de mesure supplémentaires aux alentours de la tension de seuil afin d'avoir une comparaison plus précise entre celle escompté théorique et celle mesurée.

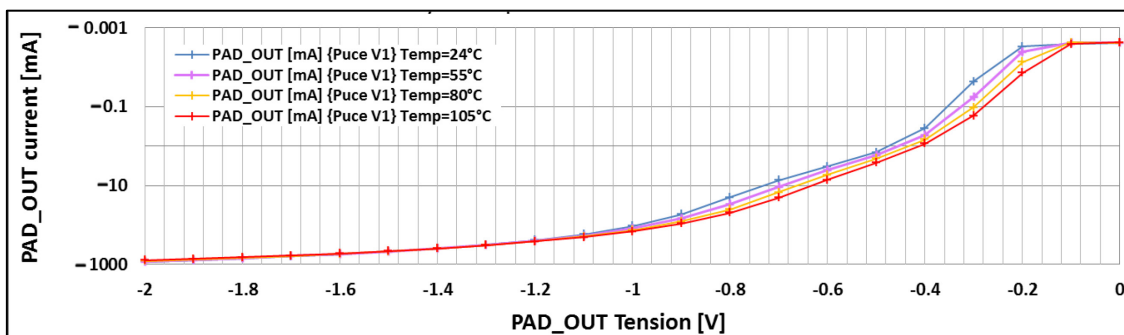


Figure III-52: Puce V1 ; PAD_OUT I(V), échelle semi logarithmique - Courant injecté {temp=24°C, 55°C, 80°C et 105°C}

Tableau III-K: Recul de la tension de seuil de la jonction pn

Température	Δ Température	Δ seuil
24 ° C		
55 ° C	55 ° C - 24 ° C = 31 ° C	-25 mV (-0.81mV/°C)
80 ° C	80 ° C - 55 ° C = 25 ° C	-20 mV (-0.8mV/°C)
100 ° C	100 ° C - 80 ° C = 20 ° C	-30 mV (-1.5mV/°C)

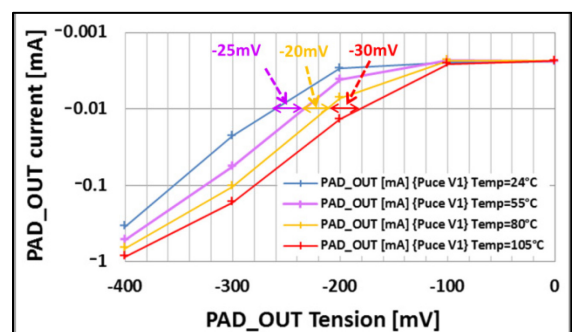


Figure III-53: Puce V1 ; PAD_OUT I(V), échelle semi logarithmique, agrandissement

Les deux figures suivantes, Figure III-54 et Figure III-55 présentent les résultats de mesures en fonction du courant injecté dans le substrat, avec PAD_DNPS_ESD tenu à 0V. Sur la première figure, Figure III-54, nous avons présenté nos mesures sur toute la gamme de courants injectés dans le substrat, mais comme la différence du courant collecté pour différentes températures était assez petite pour être bien observable nous avons aussi présenté nos résultats sur la Figure III-55 en agrandissant certaines parties intéressantes.

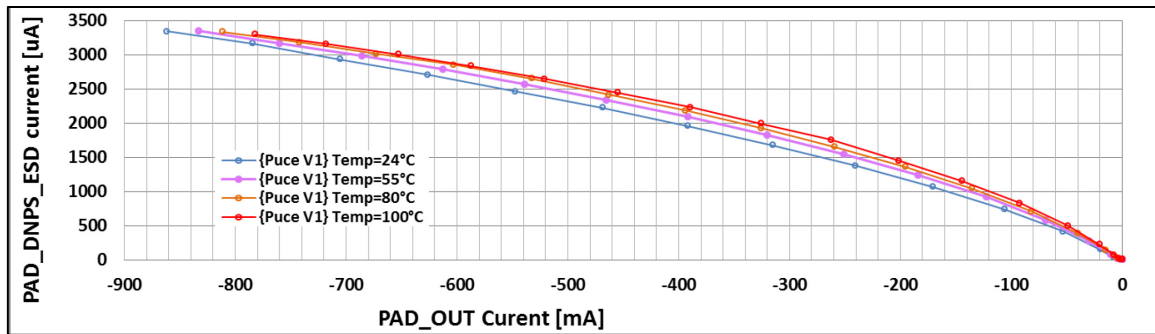


Figure III-54: Puce V1 ; Courant collecté par N Well 1 pour différentes températures en fonction du courant injecté

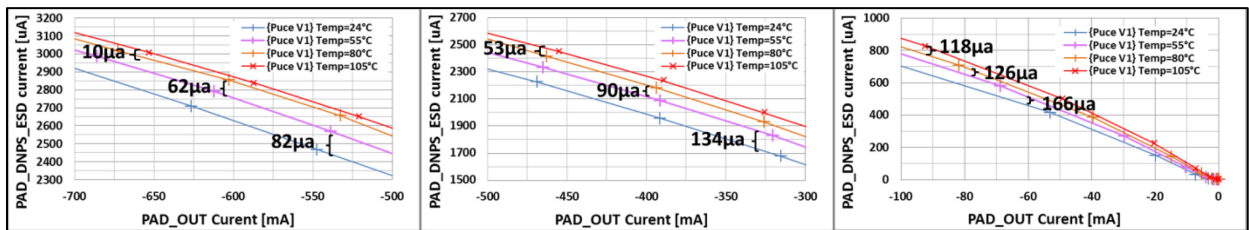


Figure III-55: Puce V1 ; Agrandissement du courant collecté par N Well 1 pour différentes températures en fonction du courant injecté

Portons notre attention maintenant sur le gain en courant avec l'élévation en température de la puce. Les résultats de cette analyse sont présentés sur la Figure III-56.

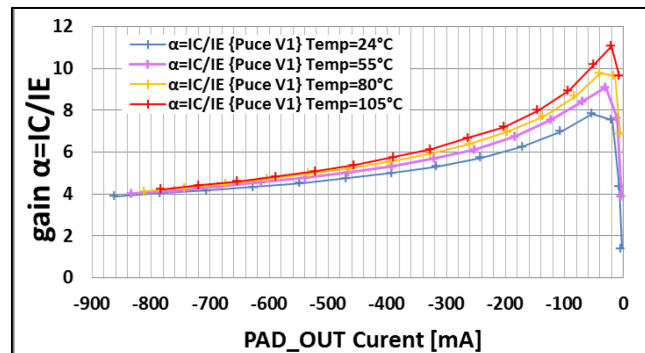


Figure III-56: Puce V1: variation du gain en courant $\alpha=IC/IE$ en fonction du courant injecté pour différentes températures

Ce que l'on peut remarquer de suite est que la température influe sur le couplage substrat dans le sens où elle a tendance à l'intensifier légèrement, de l'ordre de $100\mu A$ pour une température de puce qui monte de $24^{\circ}C$ à $105^{\circ}C$. Cet évènement qui peut souvent apparaître dans le cours normal d'utilisation d'une puce.

On peut aussi remarquer sur les figures précédentes que pour différentes températures, les courbes de courant collecté convergent pour des gammes élevées de courants injectés. Une des explications à cela provient du fait que la puce elle-même chauffe par effet Joule en raison du courant injecté dans le substrat. Ceci démontre aussi la difficulté de caractériser correctement le couplage substrat sous l'effet de la température: on se rend bien compte que la simple injection du courant dans le substrat modifie la température de la puce, ce qui par la suite modifie les caractéristiques de la puce et ses propriétés de couplage substrat. De ce fait, on comprend mieux la nécessité de contrôler l'injection du courant dans le substrat avec la

commande du source mètre par le logiciel LabView™, dans le but de faire des caractérisations qui ont des pulses de courant les plus courts possibles mais suffisants pour créer le couplage substrat.

Sur la Figure III-57, nous avons présenté nos résultats en fonction de la tension V_{CE} , c'est-à-dire la différence de tension appliquée sur la broche PAD_OUT et PAD_DNPS_ESD avec PAD_DNPS_ESD = 0V. Ici aussi nous pouvons remarquer que la collection des porteurs minoritaires augmente avec la température et converge vers une même valeur lorsque la tension de PAD_OUT descend en dessous de -1.5V, c'est-à-dire pour des courants plus importants impliquant une forte élévation en température de la puce.

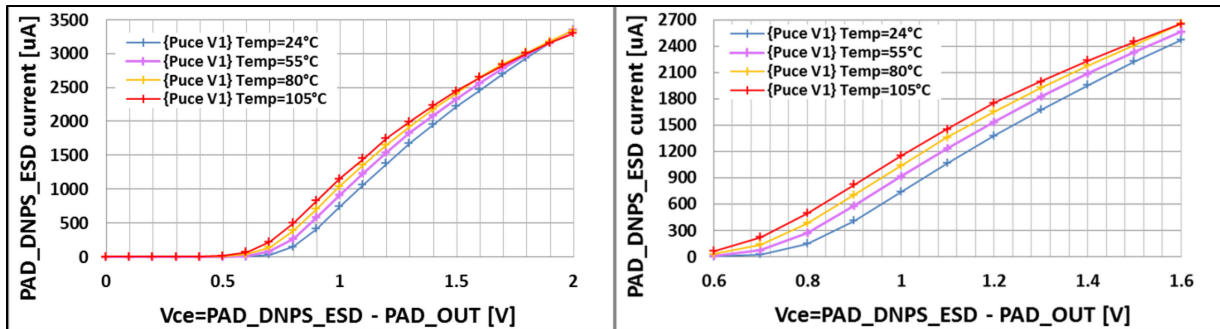


Figure III-57: Puce V1 ; Courant collecté par N Well 1 pour différentes températures en fonction de la tension de $V_{CE}=PAD_DNPS_ESD - PAD_OUT$ ($PAD_DNPS_ESD=0V$); Gauche: Toute la gamme des tensions ; Droite: Agrandissement sur la partie centrale

Intéressons-nous de plus près sur le début de l'apparition du couplage substrat pour des niveaux faibles de courants injectés en fonction de la température. Sur la Figure III-58 nous pouvons observer que le couplage substrat apparaît avant pour des températures plus élevées, un résultat escompté du fait que l'élévation de la température de la puce accentue le couplage substrat.

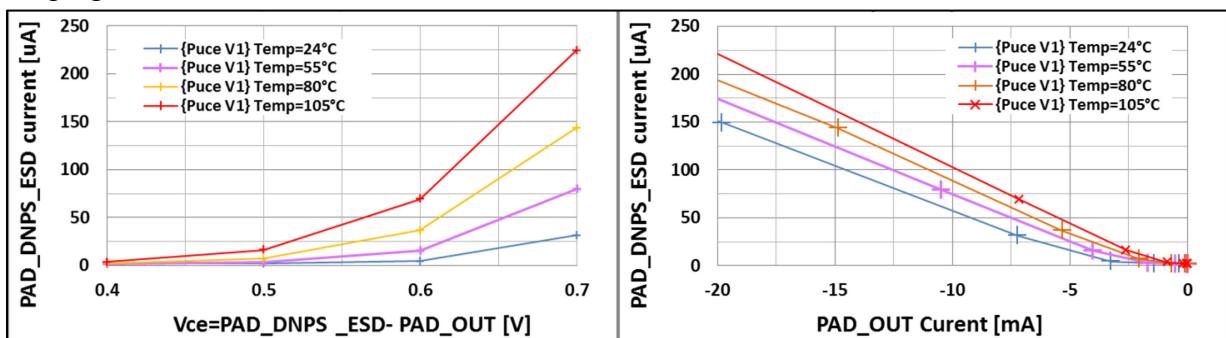


Figure III-58: Puce V1: Courant collecté par N Well 1 pour différentes températures au moment de l'apparition du couplage substrat ; $PAD_DNPS_ESD=0V$

Ces résultats confirment bien que la température a un impact sur le phénomène du couplage substrat: sous l'effet de l'augmentation de la température les puits de type n collectent plus de courant en provenance du substrat. Cet effet doit être pris en compte lors des tests et validations des circuits de type Smart Power concernant sa susceptibilité au couplage substrat.

IV.7. Résultats des mesures du cas d'étude 2

Dans les prochains paragraphes nous continuons à présenter et à analyser les résultats des mesures faites sur la puce AUTOBENCH 2 avec cette fois-ci les expériences menées sur le cas d'étude 2.

III.7.1. Mesures pour caractérisation du transistor bipolaire PNP parasite

Nous allons nous intéresser maintenant à la caractérisation du transistor bipolaire PNP parasite dont la caractéristique $I_C(V_{EC})$ et son gain en courant $\alpha = I_{TX_VSS} / I_{TX_LX}$ sont présentés sur la Figure III-59.

Ce que nous pouvons observer depuis la caractéristique $I_C(V_{EC})$ du transistor bipolaire PNP parasite est que pour différentes tensions de polarisations de la jonction émetteur-base ($V_{EB} = \{0V; -0,8V; -0,9V; -1V\}$) les mesure présentent un résultat identique jusqu'à la région de saturation du transistor. Ces mesures confirment la forme canonique de la caractéristique $I_C(V_{EC})$ escompté pour le transistor bipolaire. De plus, ce résultat est complété par le gain en courant qui reste identique pour les 4 polarisations de la jonction émetteur-base. Nous pouvons aussi observer que le gain en courant est d'environ 40 pour des faibles niveaux d'injections et ce gain chute ensuite rapidement car le transistor PNP passe en région de saturation.

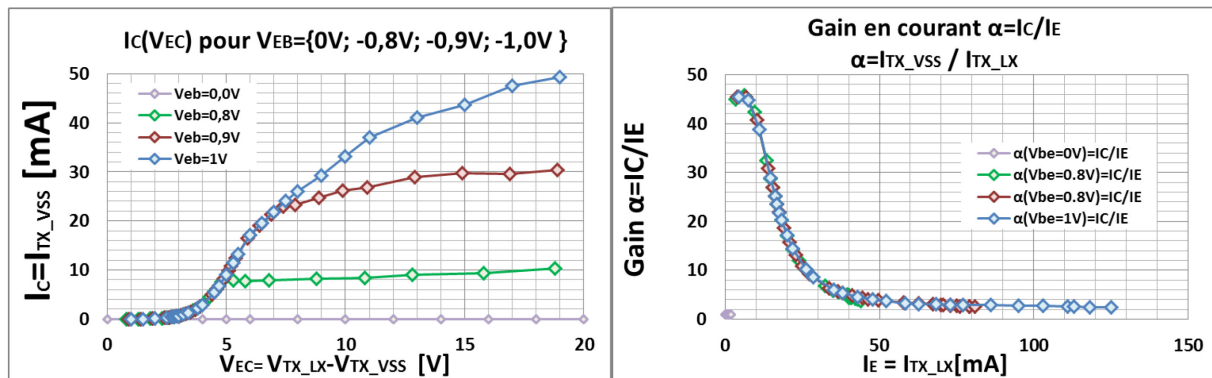


Figure III-59: Caractéristique $I_C(V_{EC})$ et gain α du transistor bipolaire PNP parasite

Comme conclusion, nous pouvons tirer de cette expérience que le transistor bipolaire PNP parasite pourrait influencer sur le bon fonctionnement du circuit pour des faibles niveaux d'injections (car son gain α est plus grand) avec la combinaison d'un autre transistor bipolaire NPN parasite latéral issu du substrat. En effet, les deux transistors bipolaires issus du substrat, peuvent engendrer l'effet latchup qui pourra entrainer la destruction du circuit s'il n'est pas arrêté à temps.

III.7.2. Impact sur le Bandgap l'injection statique du courant substrat via le drain du NMOS de puissance

Nous allons présenter ici les mesures réalisées afin d'étudier l'impact sur le Bandgap que produit l'injection statique du courant substrat via le drain du NMOSFET de l'étage de sortie du convertisseur DC-DC. Les tests sont réalisés sur deux puces identiques, la Puce A et la Puce B, afin de vérifier et valider la répétabilité des résultats.

Nous commençons par présenter sur la Figure III-60 la caractérisation I(V) de la jonction pn formée par le drain du NMOS de l'étage de sortie du convertisseur DC-DC et le substrat. Dès que la tension de drain devient négative, cette jonction pn s'active produisant une injection de porteurs minoritaires dans le substrat. La même caractéristique I(V) est mesurée sur les deux versions de puce, indiquant une bonne répétabilité de la mesure et une faible dispersion entre les puces.

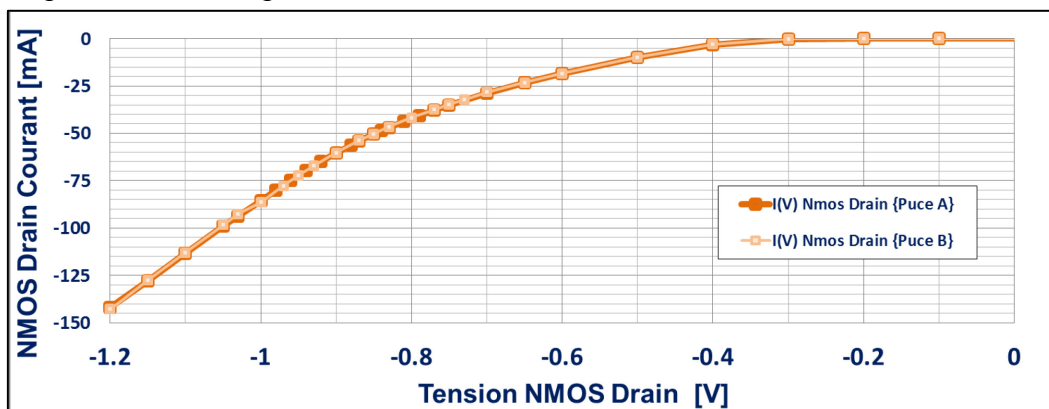


Figure III-60: Caractérisation I(V) de la jonction pn formée par le drain du NMOS de l'étage de sortie du convertisseur DC-DC et le substrat

Sur la Figure III-61, nous pouvons observer une augmentation de la tension de sortie V_{ref} du Bandgap lorsque la jonction pn précédente est polarisée en direct. Cet effet représente le dysfonctionnement escompté du circuit dû au couplage substrat. Ce dysfonctionnement commence à être observable à partir d'un courant injecté de l'ordre de -20mA pour le Bandgap gauche et à partir de -30mA pour le Bandgap droit. Ce résultat présente donc la confirmation du scénario de défaillance décrit dans la partie III.5.1.3, c'est-à-dire l'augmentation de la tension V_{ref} par rapport à la tension de référence nominale à la sortie du Bandgap ($V_{ref} = 1.23V$). La tension monte jusqu'à 3.3 V environ, lorsque plus aucun courant ne circule dans l'étage de sortie du Bandgap.

On peut aussi remarquer que les deux Bandgap ne présentent pas exactement la même sensibilité: cette différence de comportement des deux structures provient du fait que les deux Bandgap ne se situent pas à la même distance par rapport au point d'injection, comme nous l'avons déjà vu sur la Figure III-20. En effet, le Bandgap gauche est à environ 250 μ m alors que le Bandgap droit à environ 310 μ m de part et d'autre du point d'injection. Ce résultat démontre et confirme l'importance que joue la distance entre le point d'injection et le point de collection dans le couplage substrat, un des paramètres que nous avons déjà étudié dans le cadre du cas d'étude 1. En outre, les mêmes résultats sont observés sur les 2 versions de puce,

prouvant encore une fois la bonne répétabilité de la mesure et une faible dispersion entre les puces.

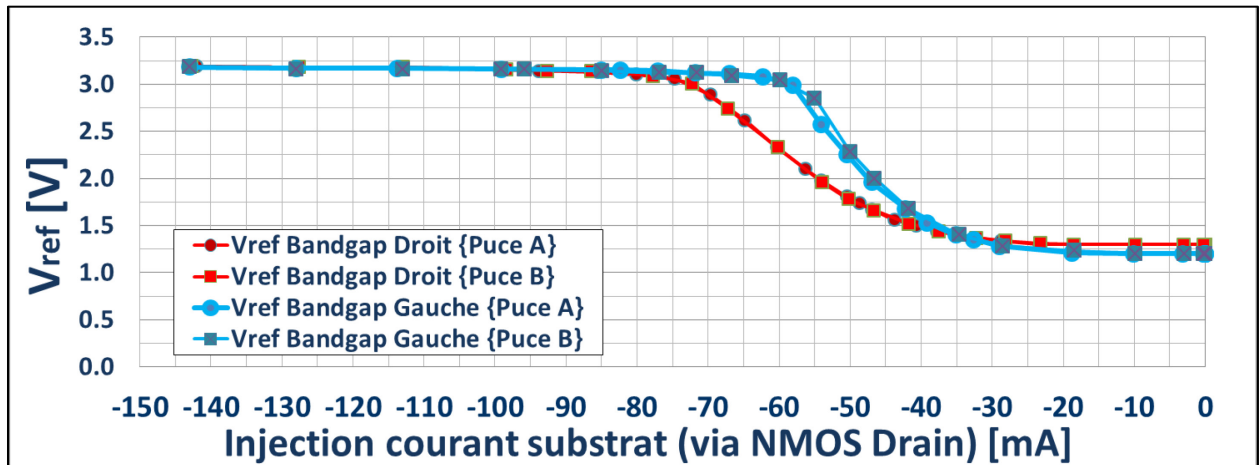


Figure III-61: Dysfonctionnement du Bandgap dû au couplage substrat, variation de la tension de sortie V_{ref} en fonction du courant injecté via la sortie du convertisseur DC-DC

Sur la Figure III-62, la défaillance est analysée à travers la consommation en courant des deux Bandgap.

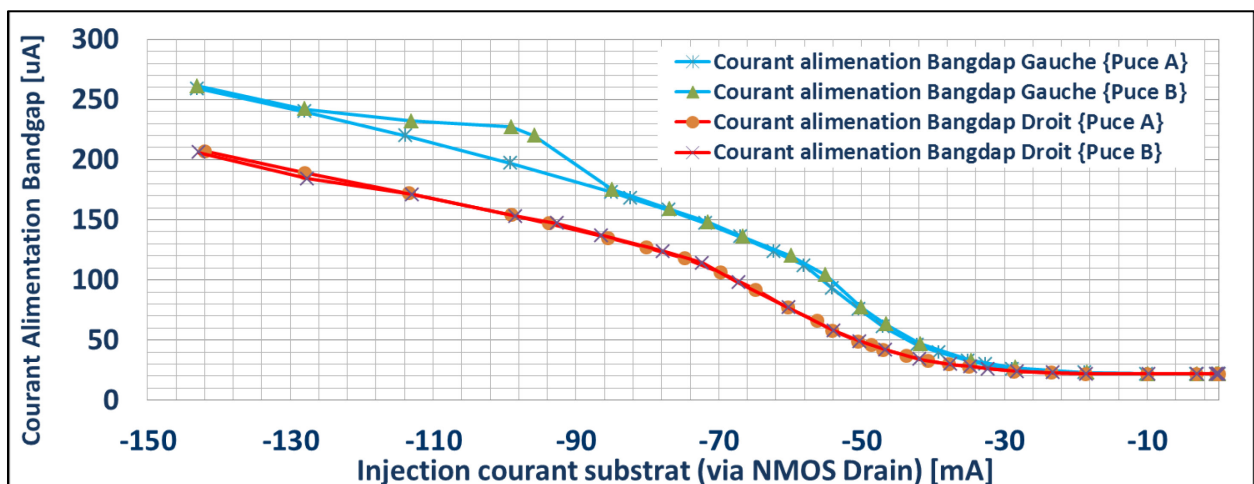


Figure III-62: Variation de la consommation du Bandgap suite au couplage substrat

On peut remarquer que la consommation en courant augmente avec le courant injecté dans le substrat. C'est une des conséquences de la modification de l'équilibre en courant imposé par la source de courant et les deux miroirs de courant que nous avons expliqués dans notre étude sur le fonctionnement du circuit Bandgap (voir chapitre III.5.1.3. et la Figure III 18). En effet, la contre réaction qui existe au sein de l'architecture Bandgap tend à compenser la « fuite » en courant depuis les collecteurs des transistors bipolaires Q_0 , Q_1 , Q_2 vers le substrat.

Ici aussi nous pouvons constater une différence de consommation selon s'il s'agit du Bandgap gauche (plus proche) ou Bandgap droit (plus éloigné). Ce résultat confirme une fois de plus l'effet de distance sur le couplage substrat.

Sur les deux prochaines figures, Figure III-63 et Figure III-64, sont présentés les résultats de mesures de la collection des porteurs minoritaires par les anneaux de garde du Bandgap et du convertisseur DC-DC, respectivement.

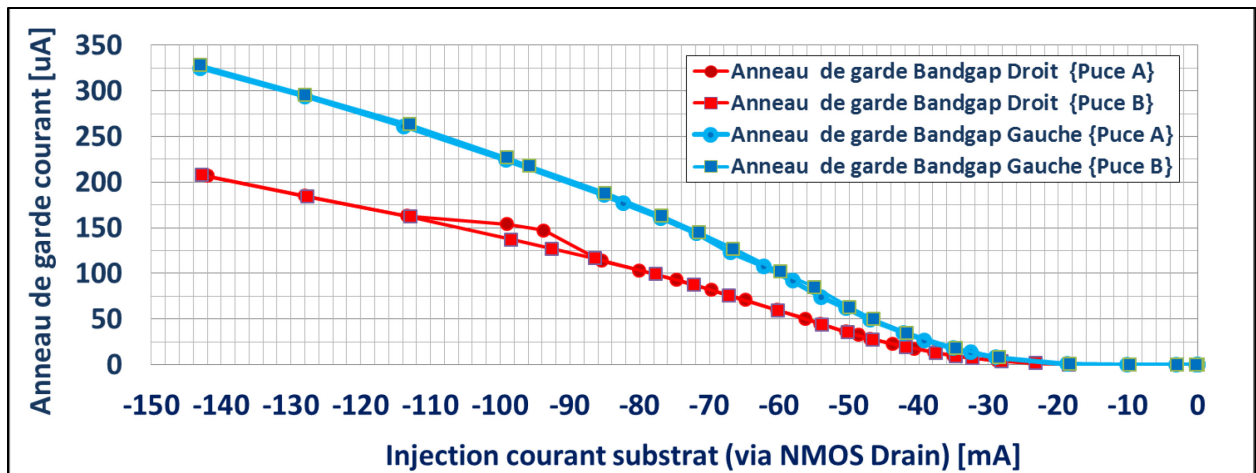


Figure III-63: Collection du courant substrat par les anneaux de garde du Bandgap

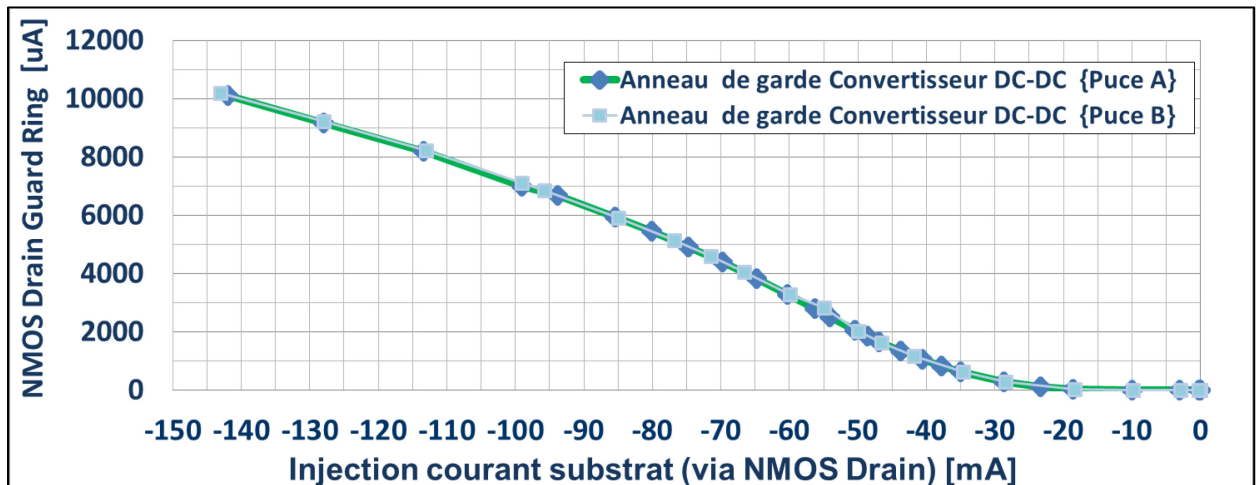


Figure III-64: Collection du courant substrat par les anneaux de garde du convertisseur DC-DC

L'anneau de garde du convertisseur DC-DC, qui est le plus proche du point d'injection et qui l'entoure dans sa totalité collecte plus de 30 fois de porteurs minoritaires que les anneaux de garde de chaque Bandgap séparément. Ceci démontre bien l'importance de circonscrire les structures de puissance par des anneaux de garde qui limitera ensuite l'impact du courant substrat sur les autres structures plus sensibles. Ici il y a deux effets qui se cumulent: l'effet de la distance entre le point de collection et le point d'injection (dans notre cas, la distance entre le drain du NMOS de puissance et l'anneau de garde du convertisseur DC-DC) qui cumulé au fait que le point d'injection est totalement circonscrit par la structure de collection (dans notre cas, l'anneau de garde du convertisseur DC-DC entoure complètement le point d'injection, le drain du NMOS de puissance). On peut aussi remarquer la différence de collection de porteurs minoritaires entre les deux anneaux de garde des deux Bandgap: celui de droite collecte 1.5 fois de plus que celui de gauche, ce qui n'est pas négligeable.

III.7.3. Effet des anneaux de garde sur le couplage substrat lors d'une injection de courant statique

Dans cette partie, nous allons présenter les résultats de l'effet de l'utilisation des anneaux de garde comme protection du couplage substrat.

L'anneau de garde du convertisseur DC-DC est polarisé par la broche TX_DNPS et les anneaux de garde des Bandgap sont polarisés par la broche BG_DNPS, comme nous l'avons vu dans la partie expliquant le banc de test du cas d'étude 2.

Sur la première figure, la Figure III-65, est présentée l'évolution de la tension de sortie des deux Bandgap avec les quatre configurations de test présentés dans le Tableau III-G.

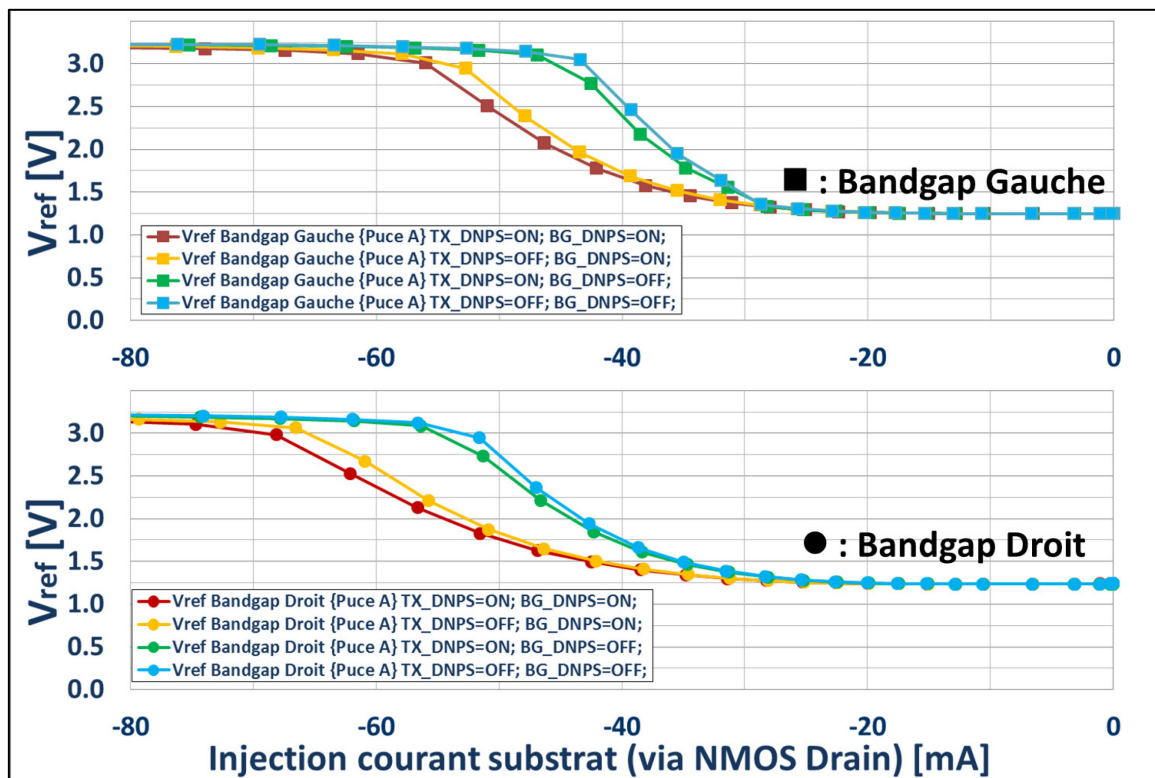


Figure III-65: Dysfonctionnement des Bandgap dû au couplage substrat, avec et sans anneau de garde du convertisseur DC-DC (TX_DNPS); avec et sans anneau de garde des Bandgap (BG_DNPS); anneaux de garde: activés: 'ON' ; désactivés: 'OFF'

On peut observer une petite différence entre les deux cas de figures selon la polarisation ou pas de l'anneau de garde du convertisseur DC-DC, sur les courbes en rouge et en orange. Par contre, on observe une nette différence selon la polarisation des anneaux de garde des Bandgap, sur les courbes en vert et en bleu. Ce résultat porte à conclusion que les anneaux de garde des Bandgap les protègent plus du couplage substrat que les anneaux de garde du convertisseur bien qu'ils ont eux aussi un petit impact sur la protection du Bandgap. Ceci peut s'expliquer que les anneaux de garde du convertisseur DC-DC sont trop près disposés de la source d'injection, le drain du transistor de puissance NMOS, Figure III-20, et qu'une partie des porteurs minoritaires est injectée dans les couches profondes du substrat, qui est, rappelons-le, dans les circuits Smart Power assez épais. Par conséquent, les porteurs

minoritaires collectés par les transistors bipolaires Q_0 , Q_1 , Q_2 du Bandgap proviennent de la profondeur du substrat, ce qui explique une meilleure protection des anneaux de garde des Bandgap du couplage substrat.

Par contre, sur la Figure III-65, nous n'observons pas de différence nette pour les 4 configurations de test du moment de déclenchement du couplage substrat, qui se situe aux alentours de 30mA d'injectés dans le substrat. Ceci nous porte à conclusion que la sensibilité du Bandgap pour des bas courants d'injection reste la même. Pour le designer cette information peut se révéler très utile, car c'est surtout sur la distance entre les structures haute et basse tension qu'il pourra jouer afin de limiter le dysfonctionnement des éléments du circuit sensibles au couplage substrat.

Sur la Figure III-66, nous pouvons observer le courant d'alimentation des deux Bandgap. On peut aussi noter que pour des courants d'injection plus grands, nous observons une différence entre les cas où l'anneau de garde des Bandgap est activé et désactivé, tandis que pour des courants d'injection faibles cette différence est infime et à peine perceptible. Les conditions de déclenchement du couplage substrat restent les mêmes.

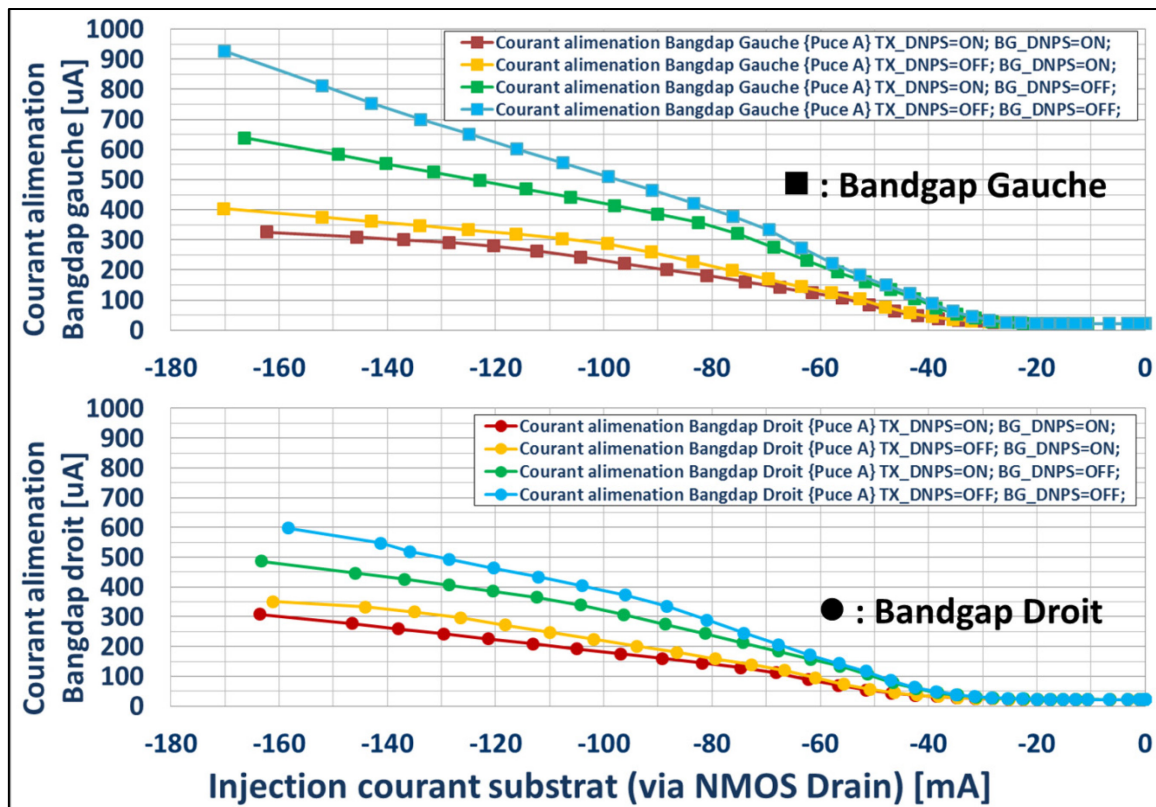


Figure III-66: Variation de la consommation du Bandgap suite au couplage substrat ; avec et sans anneau de garde du convertisseur DC-DC (TX_DNPS); avec et sans anneau de garde des Bandgap (BG_DNPS); anneaux de garde: activés: 'ON' ; désactivés: 'OFF'

Sur la Figure III-67, nous pouvons observer le courant collecté par les anneaux de garde des deux Bandgap suivant l'activation (en rouge) et la désactivation (en orange) de l'anneau de garde du convertisseur DC-DC. Comme nous l'avons vu, l'activation et la désactivation de l'anneau de garde du convertisseur DC-DC a un impact important sur le

dysfonctionnement du Bandgap. Par cette expérience on peut conclure que son effet reste notable en ce qui concerne la collection des porteurs par les anneaux de garde des Bandgap.

On peut remarquer une différence de 20 fois entre la collection des porteurs minoritaires par les anneaux de garde du convertisseur DC-DC (Figure III-68) et ceux du Bandgap (Figure III-67). Il est intéressant de constater la grande sensibilité de l'architecture de notre Bandgap au couplage substrat: juste quelques μA suffisent à être collectés par ses collecteurs des transistors bipolaires Q_0, Q_1, Q_2 pour déstabiliser les miroirs de courants et en fin de compte mener à un dysfonctionnement du Bandgap. Pour limiter les effets du couplage substrat, le designer doit jouer surtout sur le judicieux placement des anneaux de garde et la disposition mutuelle de la source d'injection et les points de collection des porteurs minoritaires.

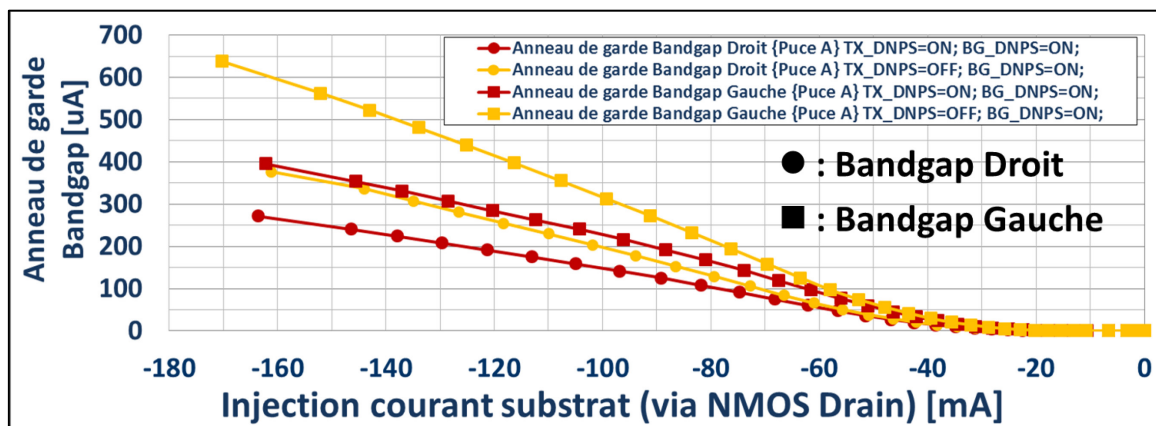


Figure III-67: Collection du courant substrat par les anneaux de garde du Bandgap ; avec et sans anneau de garde du convertisseur DC-DC (TX_DNPS); anneaux de garde: activés: 'ON' ; désactivés: 'OFF'

Depuis la Figure III-68, présentant la collection du courant substrat par les anneaux de garde du convertisseur DC-DC, nous ne pouvons observer aucune différence entre l'activation et la désactivation des anneaux de garde du Bandgap. Ce résultat est attendu compte tenu de la disposition mutuelle des anneaux de garde sur le layout (Figure III-20). En effet, les anneaux de garde des Bandgap se situent hors du chemin parcouru par les porteurs minoritaires depuis le point d'injection et le point de collection, ici l'anneau de garde du convertisseur DC-DC.

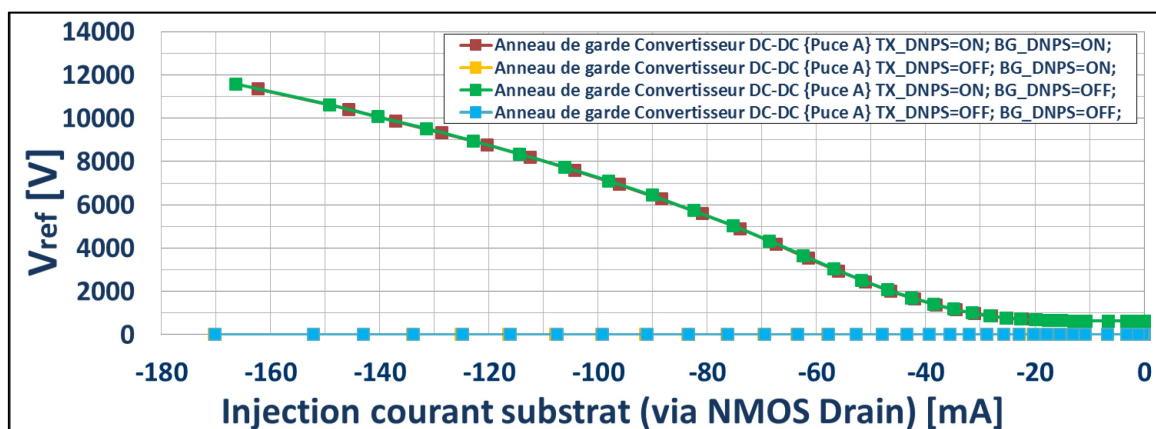


Figure III-68: Collection du courant substrat par les anneaux de garde du convertisseur DC-DC ; avec et sans anneau de garde des Bandgap (BG_DNPS); anneaux de garde: activés: 'ON' ; désactivés: 'OFF'

Pour conclure, grâce à cette expérience, on peut observer une nette différence lors de l'utilisation des anneaux de garde des Bandgap, ils protègent davantage la structure que l'anneau de garde du convertisseur DC-DC dont l'impact sur la protection du couplage substrat est moindre, mais observable depuis les résultats de mesures. Pour le designer ce résultat peut-être très utile s'il a des contraintes spatiales sur le layout et il doit faire le choix entre une des deux structures de protection. Il devra surtout rapprocher les structures de protection aux potentielles victimes du couplage substrat. Nous pouvons aussi conclure, en observant les résultats des mesures plus en détail que pour des faibles courants injectés dans le substrat, l'utilisation des structures de protection autour des points d'injection, les anneaux de garde ne produisent pas un effet observable sur le début du dysfonctionnement du Bandgap par le déclenchement du couplage substrat. Ceci ne veut pas dire que dans d'autres configurations de circuit (layout différent, différentes structures d'injection et de collection du couplage substrat) le même résultat sera obtenu. Comme nous l'avons déjà dit, dans la conception des circuits Smart Power, le designer se réfère souvent aux résultats empiriques. Son savoir-faire est jusqu'à présent mis à l'épreuve par manque de modèles pour la simulation de ce type de problèmes.

III.7.4. Effet de la température sur le couplage substrat lors d'une injection de courant statique

Nous allons présenter maintenant l'influence de la température sur l'intensité du couplage substrat par l'injection de courant statique via le drain du NMOS de puissance. Avant de présenter le dysfonctionnement des deux Bandgap dû au couplage substrat en fonction de la température du circuit, nous allons d'abord présenter sur la Figure III-69 la caractérisation I(V) de la jonction pn formée par le drain du NMOS de l'étage de sortie du convertisseur DC-DC et le substrat. La tension du seuil de cette jonction joue un rôle important sur le déclenchement du couplage substrat.

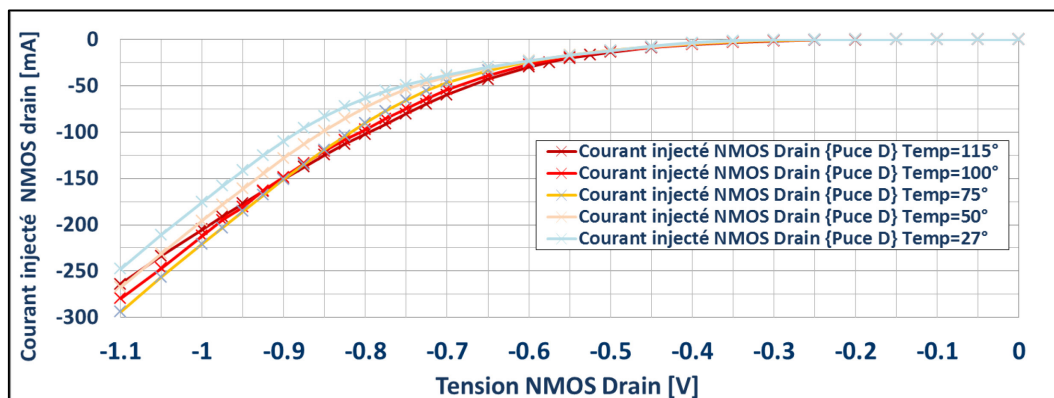


Figure III-69: Caractérisation I(V) du transistor bipolaire parasite activé par le couplage substrat

Sur la dernière figure, on peut bien observer que le seuil du déclenchement de la jonction pn est dépendant de la température du silicium, un résultat qui correspond bien aux fondements théoriques de la jonction pn [III-6] et qui est similaire aux résultats du cas

d'étude 1 (Figure III-51). On peut bien remarquer sur la Figure III-69, que la tension de déclenchement de la jonction pn se décale vers des tensions plus faibles lors d'une augmentation de la température. Nous pouvons aussi remarquer sur la même figure que pour des températures plus élevées nous avons une réduction de la résistivité de la structure qui peut être observée par une diminution du coefficient directeur de la courbe I(V) une fois la jonction pn déclenchée.

Sur les deux figures suivantes, Figure III-70 et Figure III-71, sont présentés les résultats de mesures pour différentes températures pour le Bandgap gauche et le Bandgap droit, respectivement. On peut remarquer de suite que la température accentue le couplage substrat et décale son activation pour des courants injectés plus faibles. Ce résultat n'a rien d'étonnant quand on prend en compte la diminution de la tension de seuil du déclenchement de la jonction pn en fonction de la température. Ainsi, pour un même courant injecté, plus de courant est collecté lorsque la température augmente, conduisant à l'apparition de la défaillance du Bandgap pour un courant injecté plus faible.

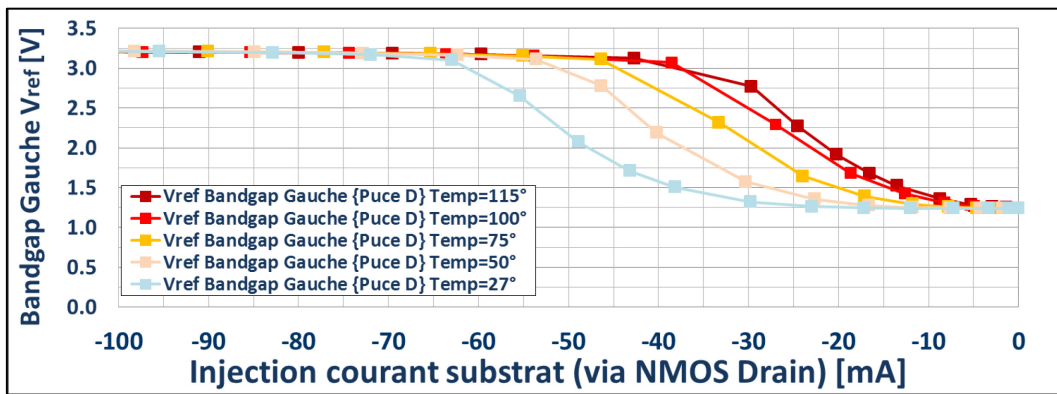


Figure III-70: Dysfonctionnement du Bandgap gauche dû au couplage substrat pour différentes températures ; variation de la tension de sortie V_{ref} en fonction du courant injecté via NMOS Drain

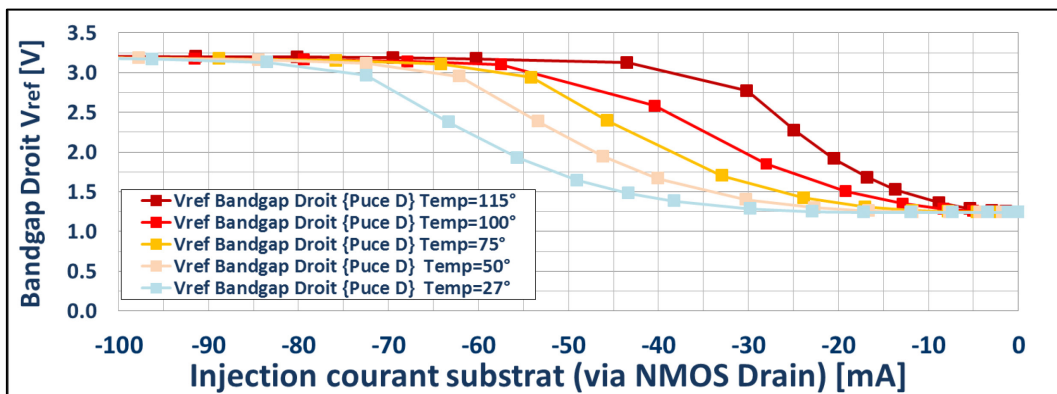


Figure III-71: Dysfonctionnement du Bandgap droit dû au couplage substrat pour différentes températures ; variation de la tension de sortie V_{ref} en fonction du courant injecté via NMOS Drain

III.7.5. Mesures dynamiques de l'injection du courant dans le substrat

Dans cette partie, nous allons présenter les résultats de mesures du couplage substrat pour une injection pulsée de porteurs minoritaires. Nous avons injecté une impulsion négative de -0.75V pour différentes fréquences avec un rapport cyclique de 50%. Nous avons observé l'impact du comportement du couplage substrat sur le Bandgap selon la fréquence des pulses négatifs. Sur les Figure III-72 à Figure III-78 sont présentés les résultats de mesures sur lesquels nous avons aussi indiqué la tension moyenne en sortie du Bandgap pour chaque fréquence donnée.

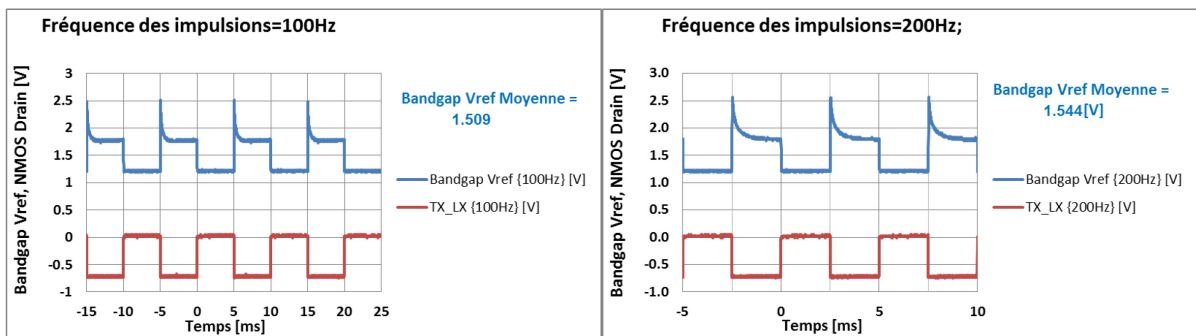


Figure III-72: Injection dynamique NMOS Drain ;
Fréquence des impulsions: à gauche=100Hz, à droite=200Hz ;

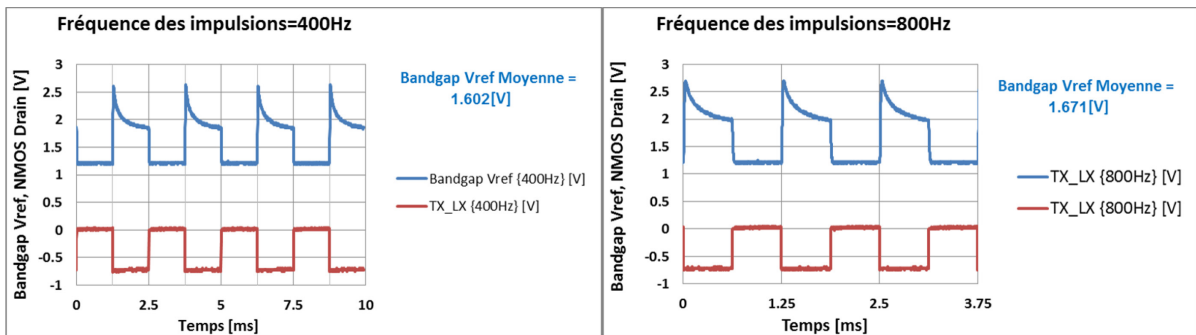


Figure III-73: Injection dynamique NMOS Drain ;
Fréquence des impulsions: à gauche=400Hz, à droite=800Hz ;

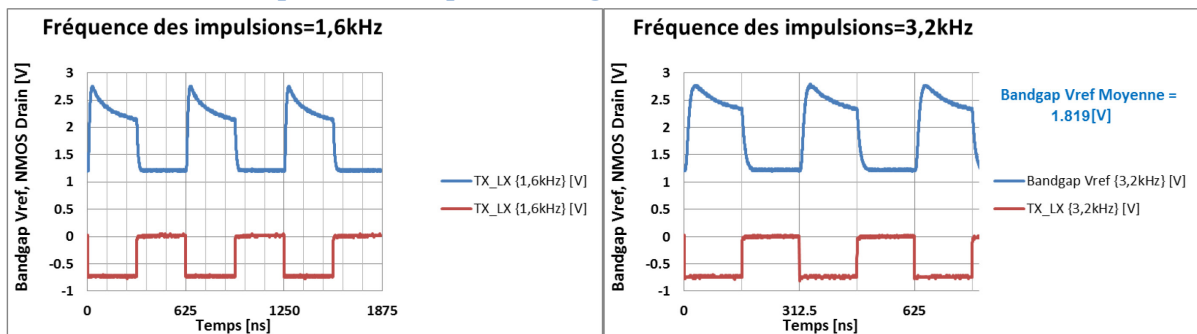
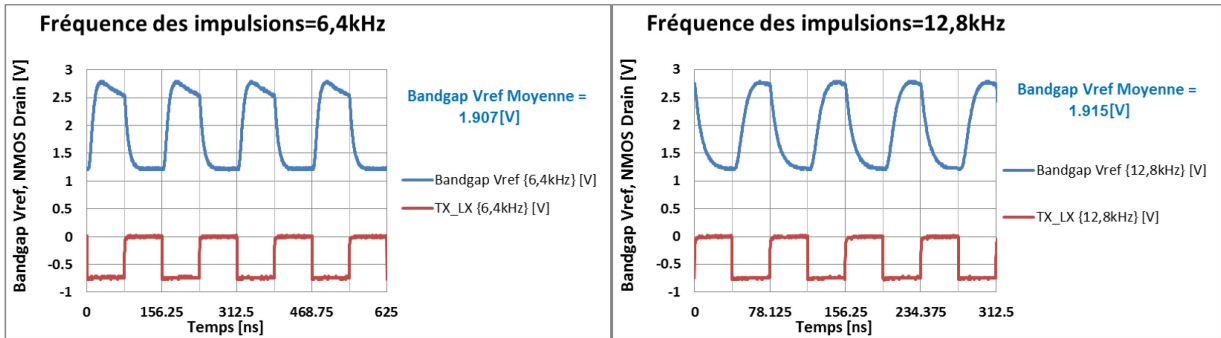
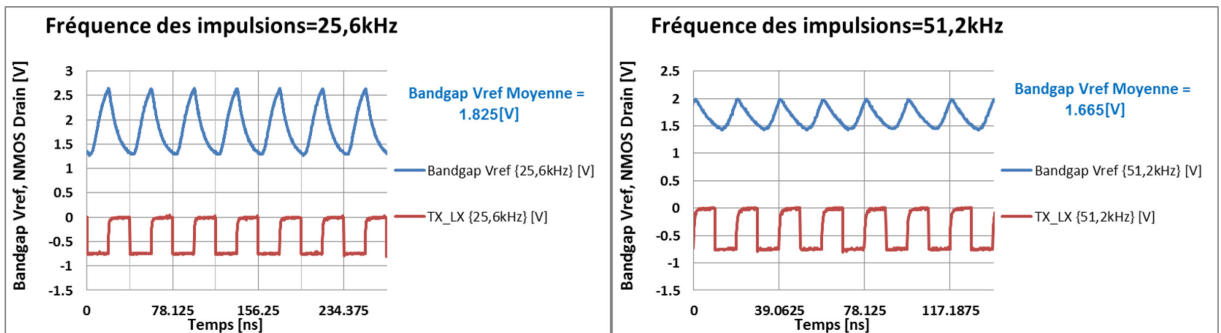


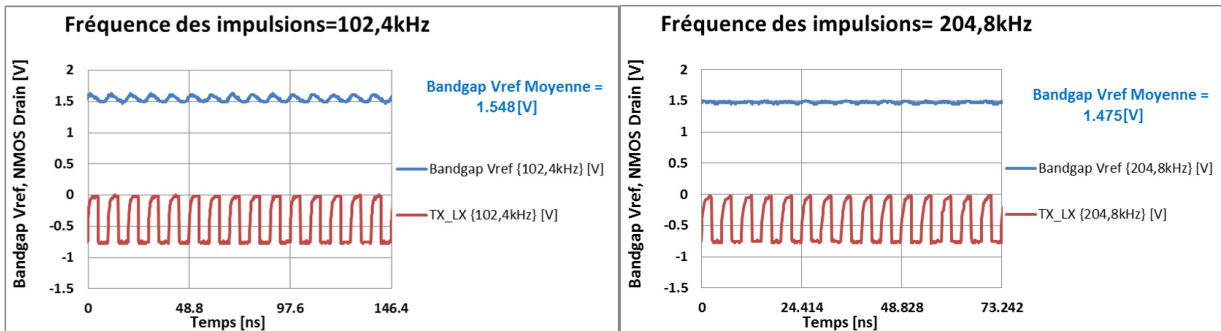
Figure III-74: Injection dynamique NMOS Drain ;
Fréquence des impulsions: à gauche=1.6kHz, à droite=3.2kHz ;



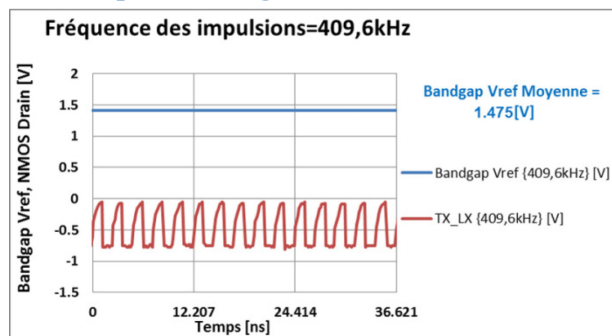
**Figure III-75: Injection dynamique NMOS Drain ;
Fréquence des impulsions: à gauche=6.4kHz, à droite=12.8kHz ;**



**Figure III-76: Injection dynamique NMOS Drain ;
Fréquence des impulsions: à gauche=25.6kHz, à droite=51.2kHz ;**



**Figure III-77: Injection dynamique NMOS Drain ;
Fréquence des impulsions: à gauche=102.4kHz à droite=204.8kHz ;**



**Figure III-78 Injection dynamique NMOS Drain ;
Fréquence des impulsions = 409.6kHz ;**

On observe qu'en fonction de la fréquence de l'injection, l'amplitude des fluctuations de la tension moyenne de V_{ref} du Bandgap varie entre 1.5V et 2V avec un pic à 10kHz. Ce résultat s'explique en raison de deux phénomènes :

- l'un provient de la bande passante du circuit Bandgap (en fonction de la variation du courant injecté dans les collecteurs des transistors bipolaires Q_0 , Q_1 et Q_2). Le Bandgap met un certain temps à réagir aux variations de courant collecté par les transistors bipolaires, comme le montrent les pics de tension sur V_{ref} après chaque commutation.
- l'autre est le comportement passe-bas du substrat. Sur la Figure III-79, nous avons présenté la valeur moyenne de la tension de V_{ref} en fonction de la fréquence des impulsions du courant injecté.

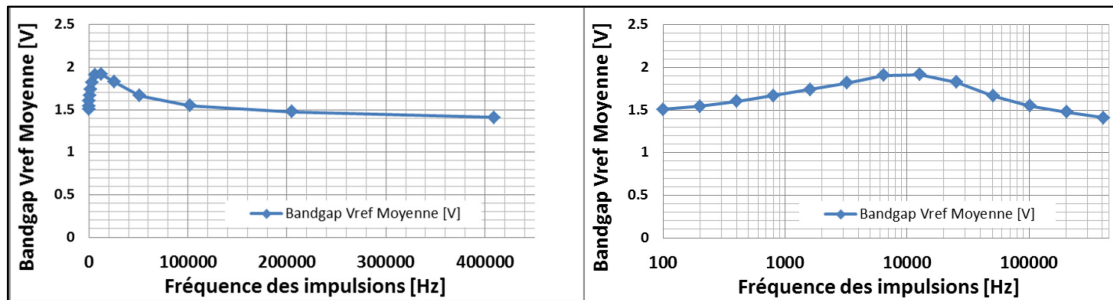


Figure III-79: Bandgap Vref: valeur moyenne en fonction de la fréquence d'impulsions; échelle linéaire des fréquences à gauche, échelle logarithmique des fréquences à droite

Ce que l'on peut conclure depuis la dernière figure c'est que pour des impulsions de fréquences aux alentours de 10KHz nous avons le maximum de la valeur moyenne V_{ref} suite à la perturbation dynamique d'un convertisseur DC-DC. Dans le contexte de l'utilisation habituelle des convertisseurs DC-DC leurs fréquences d'hachage varient de quelques dizaines de kHz à quelques MHz selon le domaine d'application. Notre expérience démontre que dans la configuration actuelle du circuit AUTOBENCH 2, le Bandgap aura systématiquement une perturbation dynamique pour toute la gamme de fréquences d'hachage des convertisseurs DC-DC. Pour le designer c'est une information importante lui donnant des directives nécessaires pour refaire le design du layout du circuit, afin d'éviter ou limiter encore plus ce type de défaillances du Bandgap.

Une injection du courant continu dans le substrat est un évènement rarissime et souvent fatal pour le circuit mais leur analyse détaillée permet de comprendre les mécanismes de défaillances du circuit sensible dû au couplage substrat et d'en estimer l'impact. Par contre, les évènements perturbateurs dynamiques dus au couplage substrat sont plus fréquents dans une utilisation courante des circuits Smart Power et par conséquent pour le designer il convient de ne pas négliger ces aspects lors du design final du layout.

IV.8. Conclusion

Dans ce chapitre, nous avons présenté la caractérisation du couplage substrat dans la configuration donnée par le circuit de test AUTOBENCH 2. Les aspects théoriques que nous avons développés dans les chapitres précédents et en partie dans ce chapitre, sont confirmés par les mesures réalisées à travers les différentes expériences que nous avons exposées ici.

Nous sommes partis d'une structure simple à étudier, le cas d'étude 1 qui nous a permis de mieux comprendre le phénomène du couplage substrat dans les circuits Smart Power. Ce cas d'étude simple nous servira à valider les modèles du couplage substrat proposés dans le cadre du projet AUTOMICS. Dans le chapitre V, nous présenterons ce nouveau modèle de couplage substrat en confrontant les mesures présentées dans ce chapitre aux simulations basées sur ce modèle.

Nous avons vérifié que le couplage substrat dépendait de la distance entre le point d'injection et le point de collection des porteurs minoritaires. Une étude plus complète destinée à analyser plus en détail le type de dépendance du couplage substrat à la distance n'a pu malheureusement être faite dans le cadre de ce travail par manque de moyens techniques et du temps. Cependant dans [III-11] et [III-12], ce type de recherche a pu être menée où l'on démontre que la dépendance du couplage substrat à la distance n'est pas linéaire. Par contre, une des conclusions intéressantes réalisées dans notre étude portait sur l'effet des 2 N-Well interconnectés (sur la puce V3 présenté sur la Figure III-6), montrant que le second puit n'avait pas beaucoup d'influence. Il est donc inutile de mettre deux anneaux de garde.

Nous avons aussi vu que le couplage substrat dépendait de la température, un aspect non négligeable en pratique car la plupart des circuits de puissance sont confrontés à l'échauffement dû aux forts courants qui circulent dans les parties de puissance. Une augmentation de la température conduit à favoriser l'apparition de dysfonctionnements liés aux couplages substrat.

Un point intéressant est l'influence des broches d'entrée-sortie, notamment les protections ESD (leurs puits N-Well) qui participent aussi à la collecte de porteurs minoritaires. Dans le cadre d'une simulation du couplage substrat, un designer pourrait omettre de les prendre en compte pour simplifier le modèle. Selon la distance du point d'injection aux broches d'entrée-sortie, une erreur plus ou moins importante pourrait être commise. La prise en compte des plots d'entrée-sortie ne mérite pas d'être négligée trop rapidement.

Afin de mieux comprendre le phénomène du couplage substrat activé au sein des structures plus complexes présentes dans les circuits Smart Power, nous avons aussi réalisé des expériences sur un cas plus proche de l'utilisation industrielle, le cas d'étude 2. Avec cette configuration d'architecture du circuit, comprenant un convertisseur DC-DC et une structure Bandgap, les résultats des expériences menées nous permettent de tirer des conclusions intéressantes: la manière dont le couplage substrat va se manifester est fortement liée à l'architecture de la structure sensible, son layout et son emplacement par rapport à la source

d'injection des porteurs minoritaires. Nous avons pu analyser l'effet des protections réalisées avec des anneaux de garde qui peuvent dans une certaine mesure limiter le couplage substrat mais ne pas l'annuler. Les mesures du cas d'étude 2 vont aussi être confrontées aux simulations basées sur le layout du circuit AUTOBENCH 2 et le nouveau modèle du couplage substrat dans un des prochains chapitres.

C'est au concepteur, avec son savoir-faire et son expérience de déterminer les risques possibles de dysfonctionnement des structures sensibles du circuit. Jusqu'à présent l'évaluation de ses risques se faisait à posteriori une fois le prototype de test de la puce réalisé, sans aucune possibilité de simuler les événements liés au couplage substrat présentés ici. D'où la nécessité une fois de plus de proposer un nouveau modèle de couplage substrat utilisable pendant la conception pour des circuits industriels: le projet AUTOMICS avec son nouveau modèle intégré dans les outils CAO a pour objectif de faire évoluer le protocole de conception des circuits intégrés Smart Power. Cette partie sera présentée dans le chapitre V traitant de la modélisation et simulation des circuits Smart Power avec le nouveau modèle de couplage substrat. Avant de présenter le nouveau modèle du couplage substrat et le flot de simulations permettant de le prévoir, nous allons présenter dans le prochain chapitre le capteur sur puce implémenté sur la puce AUTOBENCH 2 et les mesures associées.

Références

- III-1 Site Internet du fabricant: www.ams.com
- III-2 Site Internet de l'équipe Énergie et Systèmes Embarqués - Compatibilité Électromagnétique (ESE-CEM) du LAAS CNRS: <https://www.laas.fr/public/fr/ESE>
- III-3 <http://ams.com/eng/Products/Full-Service-Foundry/Process-Technology/High-Voltage-CMOS/0.35-m-HV-CMOS-process>
- III-4 F. Fiori, P. S. Crovetto, "Investigation on RFI Effects in Bandgap Voltage References", *Microelectronics Journal*, vol. 35, 2004, pp. 557-561.
- III-5 E. Orietti, N. Montemezzo, S. Buso, G. Meneghesso, A. Neviani, G. Spiazzi, "Reducing the EMI Susceptibility of a Kuijk Bandgap", *IEEE Transactions on Electromagnetic Compatibility*, vol. 50, no. 4, November 2008.
- III-6 P.R. Gray and R.G. Meyer, *Analysis and Design of Integrated Circuits*. New York: John Wiley & Sons, Inc. 1993.
- III-7 B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, 2000.
- III-8 Cosmin Radu Popa, *Superior-Order Curvature-Correction Techniques for Voltage*, Springer, 2009.
- III-9 http://ecee.colorado.edu/~ecen4827/slides/L20_ECEN5827_out.pdf
- III-10 M. D. Ker, S. F. Hsu, "Transient-Induced Latchup in CMOS Integrated Circuits", Wiley, 2009
- III-11 P. Buccella, "Substrate current optimization in smart power ICs", PhD thesis, EPFL Lausanne, 2015
- III-12 C. Stefanucci, "Substrate modeling of parasitic couplings in Smart Power ICs with generalized lumped devices", PhD thesis, EPFL Lausanne, 2015

Chapitre IV. MISE EN ÉVIDENCE DU COUPLAGE SUBSTRAT PAR MESURES SUR PUCE

Afin de pouvoir étudier de près les différents phénomènes parasites pouvant perturber l'intégrité du signal dans les circuits intégrés, l'utilisation d'un capteur sur puce reste une solution idéale. Dans ce chapitre, après avoir décrit les différents types de capteurs sur puce couramment utilisés dans la recherche et dans l'industrie, nous proposons un capteur sur puce dédié à l'étude du couplage substrat au sein du projet AUTOMICS. Ensuite, nous décrirons sa mise en œuvre et sa calibration avant son utilisation. Finalement, afin d'en exploiter les possibilités pour étudier le couplage substrat, notre capteur sur puce a servi lors de deux expériences menées sur le cas d'étude 2 de la puce AUTOBENCH 2. La première expérience consiste à observer l'impact du couplage substrat sur une référence de tension Bandgap lorsqu'un convertisseur DC-DC est en fonctionnement nominal, tandis que la seconde expérience consiste à étudier l'impact sur le Bandgap du couplage substrat créé par une perturbation électromagnétique externe.

IV.1. État de l'art des capteurs sur puce

De nos jours, le concept "Design For Testability" (*Design pour les Fins de Tests*) [IV-1] est encore d'actualité bien que le concept date du début des années 90. Avec l'accroissement de la complexité des circuits électroniques, il est impératif de développer des stratégies de test en parallèle du design d'une puce électronique. Ces systèmes de tests et de mesures sur puce sont souvent utilisés dans le cadre du prototypage d'un circuit ou bien la caractérisation d'un processus technologique. De cette manière, ces systèmes de tests répondent aux demandes des designers ayant besoin des outils précis de prédiction de phénomènes électromagnétiques dans un circuit (émission conduite, crosstalk, couplage de perturbation électromagnétique externe...). Ainsi, les capteurs sur puce peuvent être une méthode intéressante pour analyser certains de ces problèmes, valider les modèles établis ou optimiser le design d'un circuit. Il arrive parfois aussi que des capteurs sur puce soient intégrés sur des plateformes de type "System-On-Chip" afin de permettre non seulement l'observabilité et le contrôle d'un système électronique mais aussi l'auto-calibration du circuit et l'auto-diagnostic suite à un dysfonctionnement du circuit généré par le bruit ou une autre perturbation externe [IV-2].

L'utilisation d'un système de mesures sur puce est une méthode très efficace pour la caractérisation des différents phénomènes qui peuvent intervenir lors de l'utilisation d'un circuit, tels que la fluctuation des tensions d'alimentation, les temps de propagation des signaux, le délai induit par le couplage, le bruit induit par la diaphonie [IV-3]. Par ailleurs pour un quelconque nœud interne du circuit, on peut déterminer son niveau de sensibilité dû aux fluctuations de tension produite par une source de perturbations électromagnétiques (EM) et y caractériser le degré de couplage, la dégradation ou la distorsion d'un signal [IV-4]. Dans le cadre de notre travail, nous avons exploité les possibilités d'un capteur sur puce afin de caractériser l'effet du bruit produit par un étage de puissance sur un étage faible tension et propagé par le couplage substrat dans un circuit de type Smart Power. Certes, il est aussi possible de réaliser ce type de caractérisations par un système externe de mesure (oscilloscope externe, mesures sous pointe) mais aux dépens de la bande passante due aux limitations du buffer analogique CMOS de la chaîne d'échantillonnage, des éléments parasites de la puce (éléments RC des lignes de métal), du boîtier, de la carte électroniques et enfin des différentes interconnexions externes et câbles [IV-5].

La plupart des systèmes de mesures sur puce sont basés sur un système de sous-échantillonnage [IV-7], [IV-8], décrit prochainement dans le sous-chapitre IV.2.2 et la Figure IV-9. Ce système d'échantillonnage est dédié à numériser un signal répétitif avec une grande résolution temporelle comprise entre 100ps [IV-9] et 10ps [IV-10], [IV-11] voire moins [IV-12]. La réalisation d'un système de mesures sur puce en utilisant le sous-échantillonnage permet d'être peu intrusif avec une électronique simple et basse fréquence. Le sous-échantillonnage est réalisé avec des fréquences nettement plus basses que la bande passante du signal mesuré. Il s'agit d'un avantage considérable par rapport aux systèmes de mesures externes, lesquels sont souvent beaucoup plus intrusifs du fait d'avoir une capacité d'entrée plus importante. En effet, il est impossible d'avoir un échantillonneur à large bande et en même temps avoir une taille relativement petite du circuit de mesure, qui définit une autre contrainte non négligeable dans la conception d'un capteur sur puce. Par contre, l'inconvénient des systèmes de mesures sur puce basés sur le sous-échantillonnage provient de la nécessité de générer un événement à mesurer périodique et synchronisé au capteur lors des mesures. De ce fait, en utilisant cette méthode de sous-échantillonnage, il est impossible de mesurer un bruit quelconque pouvant se produire lors de l'utilisation normale du circuit. Pour pallier à ce problème, d'autres solutions de mesure sur puce existent en utilisant le sous-échantillonnage en mode de mesure asynchrone, mais avec l'inconvénient cette fois ci de ne pas pouvoir reconstruire la forme d'onde exacte du signal étudié, mais seulement donner des caractéristiques statistiques de son amplitude à un moment précis [IV-13]. Dans les systèmes de mesure sur puce utilisant le sous échantillonnage, il existe deux approches de post-traitement du signal, afin d'obtenir la forme d'onde du signal numérisé:

- la première consiste à fournir à un système de traitement de données externe une valeur de tension ou courant constante en sortie de la puce. Cette valeur correspond au point temporel mesuré du signal, lequel est traité numériquement avant de passer au suivant [IV-6], [IV-7], [IV-8], [IV-8], [IV-10] et [IV-11]. L'avantage de cette technique est d'avoir un circuit de mesure de petite taille mais au dépens d'être dépendant d'un système de post traitement externe.

- la seconde approche consiste à réaliser le post-traitement du signal numérisé au sein même du circuit intégré donnant à sa sortie des signaux numériques [IV-2], [IV-13], [IV-14]. Elle peut être basée sur la technique de conversion analogique numérique à simple rampe en utilisant un comparateur analogique lequel compare le signal numérisé au signal en sortie d'un CAN générant une rampe de tension à sa sortie dont la valeur est communiquée en sortie du circuit une fois la comparaison terminée [IV-13]. On peut aussi avoir recours à la technique en utilisant deux cellules à échantillonnage, l'une échantillonnant un signal de référence (avec le déclenchement une horloge de référence) et l'autre échantillonnant le signal mesuré (avec le déclenchement grâce à une horloge avec délai variable). La suite du traitement du signal consiste à la conversion du temps en signal numérique (Time-To-Digital converter) en combinaison d'un convertisseur parallèle/série afin d'avoir juste une seule sortie numérique du système d'échantillonnage [IV-14]. L'avantage de ces approches avec le traitement de données en interne de la puce est d'être indépendant d'un système externe, mais a pour inconvénient d'occuper une plus grande place sur le circuit.

Une autre approche de capteur sur puce est basée sur une détection aléatoire non cohérente d'un signal bruitée lors des investigations de susceptibilité électromagnétique [IV-15]. Ce système de mesure sur puce a une architecture interne composée d'un échantillonneur-bloqueur aléatoire, d'un convertisseur CAN et d'un processeur de signaux intégré. Afin de réaliser l'échantillonneur-bloqueur aléatoire, son déclenchement est commandé par une bascule RS laquelle est, pour sa part, commandée par deux oscillateurs en anneaux fonctionnant chacun à des fréquences différentes. De plus, ce système de mesure est basé sur la technique de sous-échantillonnage asynchrone donnant à sa sortie une estimation de la probabilité d'apparition de l'amplitude du bruit mesuré.

Avant de décrire en détail notre système de capteur sur puce basé sur le sous-échantillonnage, notons qu'il y a aussi d'autres techniques de mesure sur puce qui ne sont pas basées sur cette technique de mesure certes intéressante, mais qui a ses limites toutefois.

Il existe des capteurs sur puce destinés à mesurer des photo-courants (en dessous du pico Ampère) avec une bande passante de quelques kHz en utilisant des amplificateurs trans-résistance suivis d'une cellule à échantillonnage et d'un système sur puce (comprenant comparateur à fenêtre, compteur, μ -Processeur) [IV-16].

Un autre capteur a été développé afin de mesurer des courants de l'ordre du fA en utilisant pour échantillonner un seul transistor CMOS comme intégrateur et amplificateur du signal mesuré, qui est ensuite traité localement par un comparateur de courant à fenêtre, suivi d'un compteur et d'un processeur de signaux numériques [IV-18].

Dans le but de mesurer le bruit des lignes d'alimentations et des plans de masse dans les circuits intégrés numériques, on peut retrouver des matrices de capteurs sur puce dont chaque sonde de mesure est connectée à la grille d'un NMOS avec son drain connecté à un source-follower. Après le source-follower, on a soit un comparateur à verrouillage (avec une résolution de la tension en sortie de $100\mu\text{V}$ et une résolution temporelle de 100ps) soit un amplificateur à transconductance [IV-19]. Notons que le post-traitement du signal numérisé

avec ce type capteur sur puce se fait à l'extérieur du circuit intégré ce qui permet d'économiser de la place sur le circuit.

Nous allons maintenant décrire en détail le fonctionnement et la conception de notre capteur sur puce intégré sur le circuit AUTOBENCH 2.

IV.2. Conception du capteur sur puce

Le capteur sur puce proposé ici est spécialement conçu et adapté à la technologie haute tension d'*ams GmbH* [I-1] en se basant sur des versions précédentes du capteur utilisé dans notre équipe du LAAS CNRS. Nous sommes partis d'une architecture définie par les précédentes versions du capteur et nous l'avons adaptée à nos besoins. Les tailles des différents composants (transistors, capacités et résistances) sont dépendantes de la technologie employée pour la réalisation du capteur, dans notre cas la technologie H35 d'*ams*. Nous avons dû réaliser un certain nombre d'analyses numériques et simulations des différents sous blocs du capteur pour obtenir les performances et le fonctionnement voulus afin de respecter le cahier des charges (le nombre de sondes du capteur, une fonction linéaire du délai du front descendant du signal de déclenchement d'échantillonnage, une large bande passante et un faible offset de toute la chaîne entrée-sortie du capteur complet, une faible capacité d'entrée de chaque sonde du capteur...). Dans le cadre de notre collaboration avec notre partenaire industriel, et dans le cadre de cette thèse, notre part consistait donc à réaliser un système de mesure sur puce destiné à caractériser le couplage substrat. Nous avons fourni à notre partenaire industriel le layout complet du circuit du capteur sur puce. Pour sa part, notre partenaire *ams* a conçu le reste du circuit AUTOBENCH 2 avec les deux cas d'étude, lesquels ont déjà été présentés dans le chapitre précédent et dont nous avons ensemble élaboré le cahier des charges. Notre partenaire industriel a aussi intégré le capteur sur puce dans le design du circuit AUTOBENCH 2 et a fabriqué les puces dans ses usines.

IV.2.1. Architecture du capteur

Une des premières versions du capteur sur puce a été réalisée à la fin des années 90 afin d'analyser l'intégrité du signal et le bruit perturbant les sources d'alimentation [IV-21], [IV-22]. L'architecture générale du circuit est décrite sur la Figure IV-1 laquelle est composée du cœur du capteur et d'un certain nombre de sondes en fonction du nombre de points à mesurer. Nous avons défini huit points de mesures pour nos expériences: trois pour le cas d'étude 1 et cinq pour le cas d'étude 2 de la puce AUTOBENCH 2. Le capteur est réalisé avec des transistors CMOS isolés basse tension 5V. Le cœur et les sondes du capteur sur puce ont chacun un anneau de garde afin de limiter l'impact du bruit lequel pourrait perturber leur bon fonctionnement, dégrader leurs signaux internes et finalement fausser la mesure. Le capteur a sa propre alimentation et masse dans le but de le protéger de l'impact du bruit et perturbation en provenance du reste du circuit AUTOBENCH 2. Notre capteur permet d'avoir une fréquence d'échantillonnage virtuelle allant de 74,15MHz jusqu'à 2.75GHz en fonction la longueur de la fenêtre temporelle observé, qui va de 4.45 μ s jusqu'à 120,42ns, respectivement.

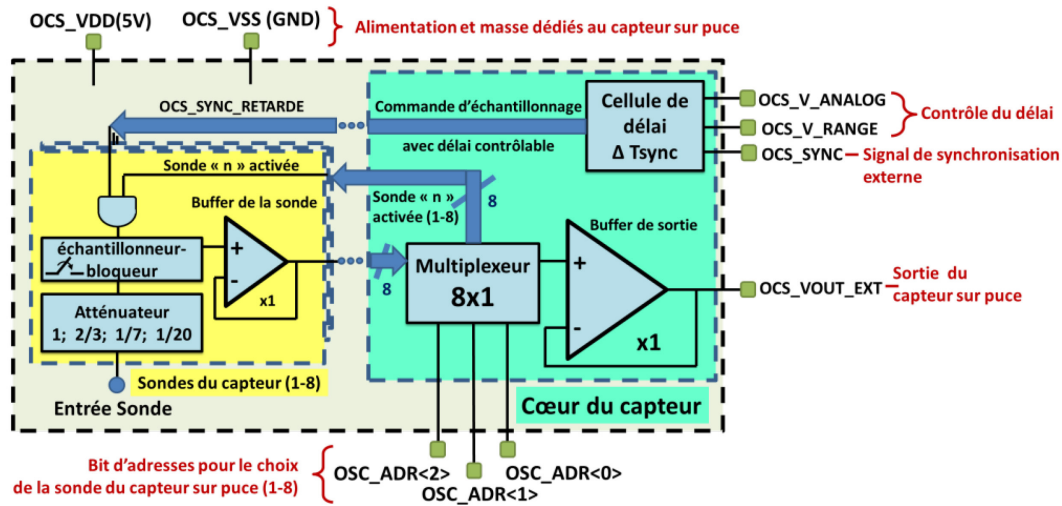


Figure IV-1: L'architecture générale du circuit capteur sur puce

IV.2.1.1. Le cœur du capteur sur puce

Le cœur du capteur sur puce est constitué d'un buffer de sortie avec un gain unitaire, d'un multiplexeur 8x1 et d'une cellule de délai que nous allons décrire plus en détail dans le sous chapitre traitant du principe d'acquisition.

Le multiplexeur 8x1 nous permet de réaliser deux opérations en une: sélectionner une des huit sondes en y activant sa cellule à échantillonnage (échantillonneur-bloqueur) et son alimentation et en même temps de sélectionner le signal de sortie d'une des huit sondes choisies et de le router vers le buffer de sortie (fonction de démultiplexeur 8x1).

Le buffer de sortie est réalisé avec un amplificateur rail-to-rail de type folded cascode avec comme principales caractéristiques prévues par les simulations:

- une bande passante de 27MHz pour une des charge en sortie de 100pF pouvant aller jusqu'à 46MHz pour une charge en sortie de 1pF, (Figure IV-2, à gauche).
- une grande impédance d'entrée ($Z_{in}=5,6G\Omega$ pour $F_{in}=1kHz$, $Z_{in}=61,5M\Omega$ pour $F_{in}=100kHz$, $Z_{in}=1,5M\Omega$ pour $F_{in}=46MHz$), (Figure IV-2, à droite).
- un offset moyen lors de l'échantillonnage en dessous de -100mV sur toute la gamme de tension en entrée (0,25V à 4V).
- circuit optimisé en stabilité afin d'avoir une marge de phase de 74° à 11,16Mhz avec une des charges en sortie de 100pF, (Figure IV-3).

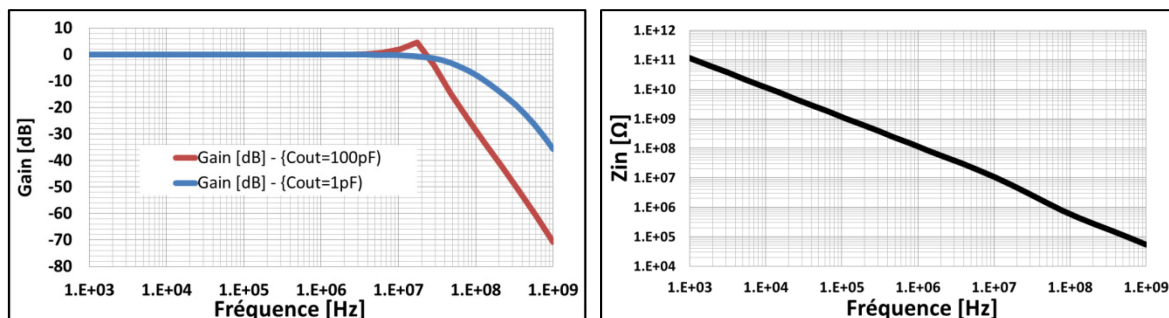


Figure IV-2: Caractéristiques de l'amplificateur rail-to-rail de type folded cascode
 À gauche: gain en boucle fermée avec $C_{out}=100pF$ et $C_{out}=1pF$
 À droite: impédance d'entrée

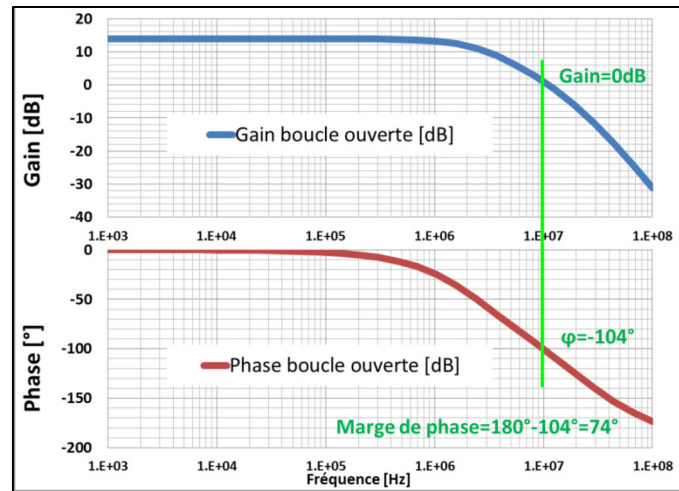


Figure IV-3: Marge de phase de l'amplificateur rail-to-rail de type folded cascode

La taille du layout du cœur du capteur est de $396\mu\text{m} \times 77\mu\text{m}$ laquelle représente seulement 0.39% de la taille totale du circuit AUTOBENCH 2 ($2500\mu\text{m} \times 3100\mu\text{m}$). Le layout du cœur du capteur et sa microphotographie de la AUTOBENCH 2, sont respectivement présentés sur la Figure IV-4 et la Figure IV-5:

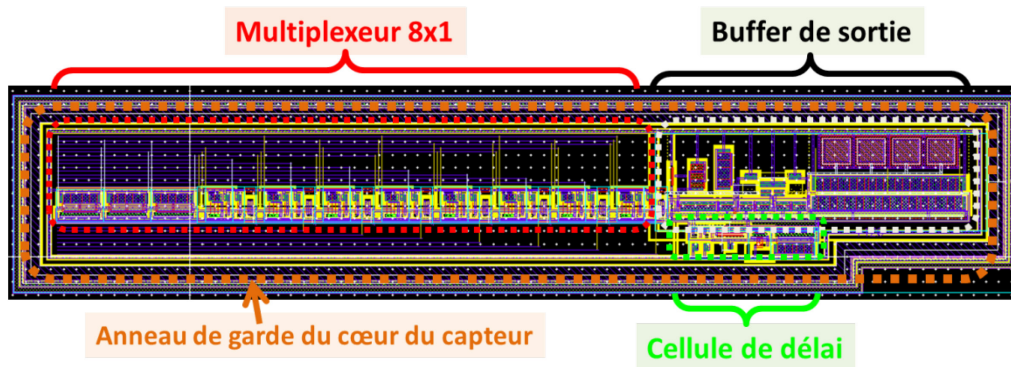


Figure IV-4: Le layout du cœur du capteur avec logiciel CAO

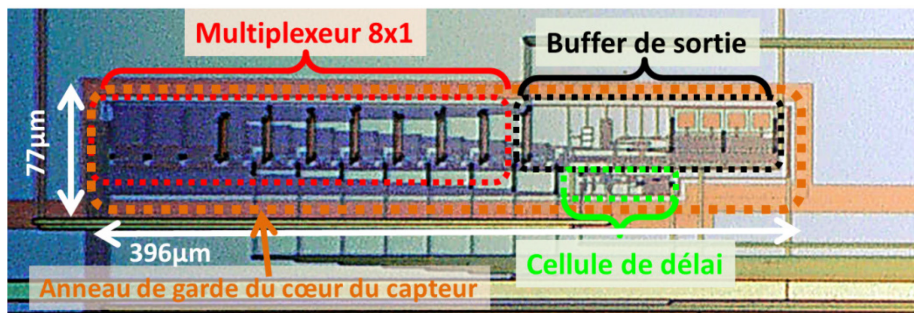


Figure IV-5: Microphotographie du layout du cœur du capteur

IV.2.1.2. Sondes du capteur sur puce

Notre capteur sur puce possède 8 sondes adaptées en fonction de la tension maximale d'entrée grâce à un atténuateur résistif optionnel. Chaque atténuateur a été compensé en fréquence avec un pont diviseur capacitif mis en parallèle d'un pont diviseur de tension

résistif. Dans le Tableau IV-A est présentée la description détaillée pour chacune des 8 sondes du capteur sur puce.

L'architecture de chaque sonde du capteur sur puce est identique, mis à part le design de l'atténuateur dont la taille des résistances et des capacités de compensation font varier la taille finale de la sonde. Chaque sonde possède un bloc logique pour son adressage, un atténuateur optionnel en entrée suivi d'un bloc d'échantillonneur-bloqueur et d'un buffer de sortie dédié à la sonde.

Dans le bloc d'échantillonneur-bloqueur, la cellule d'échantillonnage est l'élément le plus critique de tout le capteur sur puce dont dépendent fortement ses performances finales. Ce bloc doit être capable de commencer rapidement à suivre le signal d'entrée en limitant son offset, puis, une fois échantillonné sur un des fronts de la commande de synchronisation, conserver sa valeur suffisamment longtemps pour qu'elle puisse être lue correctement sans offset ni déformation. À cet effet, nous utilisons une capacité de charge de 6.5fF servant pour le stockage de l'énergie du signal échantillonné.

Tableau IV-A: La description détaillée des 8 sondes du capteur sur puce et leur taux d'occupation sur le layout de la puce AUTOBENCH 2

Sonde	Cas d'étude	Plage de tension en entrée	Ratio d'atténuation	Résistances et capacités du pont diviseur	Taille W x L [μm] (% du circuit)
S1	Cas d'étude 1	8 V - 80 V	1/20	R1 = 18.05k Ω ; C1 = 70fF; R2= 9.5k Ω ; C2 = 1100fF;	85 x 122 (0.13%)
S2	Cas d'étude 1	8 V - 80 V	1/20	R1 = 18.05k Ω ; C1 = 70fF; R2= 9.5k Ω ; C2 = 1100fF;	85 x 122 (0.13%)
S3	Cas d'étude 1	0.6 V - 6 V	2/3	R1 = 4.7k Ω ; R2= 2.35k Ω	51 x 117 (0.07%)
S4	Cas d'étude 2	2.8 V - 28 V	1/7	R1 = 18k Ω ; C1 = 77fF; R2= 3k Ω ; C2 = 201fF;	67 x 117 (0.1%)
S5	Cas d'étude 2	2.8 V - 28 V	1/7	R1 = 18k Ω ; C1 = 77fF; R2= 3k Ω ; C2 = 201fF;	67 x 117 (0.1%)
S6	Cas d'étude 2	0.4 V - 4 V	Absent		51 x 117 (0.07%)
S7	Cas d'étude 2	0.4 V - 4 V	Absent		51 x 17 (0.07%)
S8	Cas d'étude 2	0.4 V - 4 V	Absent		51 x 117 (0.07%)
Σ Sondes	Aire totale des sondes				0.060286 [mm^2] (0.78%)
Σ Sondes +Coeur	Aire totale des sondes et du cœur du capteur				0.090778 [mm^2] (1.17%)
Puce	Aire totale de la puce AUTOBENCH 2 (2500 μm *3100 μm)				7.75 [mm^2]

La cellule d'échantillonnage est optimisée afin d'être peu intrusive tout en ayant une grande bande passante avec un offset minimal: pour la gamme des signaux en entrée de l'échantillonneur-bloqueur variant de 0V à 4.5V, nous avons un offset qui est compris de -100mV à 25mV et une bande passante qui varie de 4.47GHz à 1.1GHz, respectivement. La cellule d'échantillonnage est conçue avec les transistors CMOS isolés basse tension 5V, dont les tailles ont été rigoureusement choisies de manière à ce que leurs résistances R_{ON} (résistances en état passant) et leur capacités parasites soient minimales. De plus, afin de limiter l'offset introduit par les capacités parasites, une cellule de compensation (dummy cell)

a été intégrée en ayant son entrée et sa sortie court-circuitée et fonctionnant avec des commandes inversées [IV-23]. Sur la Figure IV-6 est présentée l'architecture interne du bloc d'échantillonneur-bloqueur précédé d'un atténuateur optionnel compensé en fréquence (jusqu'à 2GHz).

Notons que la fréquence de la commande d'échantillonnage doit être inférieure à la bande passante du reste du circuit en aval: le buffer de la sonde, le multiplexeur 8x1 et le buffer de sortie. Cette condition, essentielle pour extraire correctement la forme d'onde du signal, est réalisable facilement du fait que notre capteur fonctionne sur le principe de sous échantillonnage (décrite dans le sous chapitre suivant). C'est par ailleurs un des principaux avantages des capteurs fonctionnant sur ce principe qui leur permet d'être construits à l'aide de circuits basse fréquence, réduisant ainsi considérablement la taille et le nombre des composants du reste du circuit (les circuits électronique hyperfréquence nécessitent plus d'espace du fait d'utiliser des éléments capacitifs et inductifs de taille non négligeable). Ainsi la taille du capteur sur puce reste modeste par rapport au reste du circuit sous test, comme nous l'avons déjà vu.

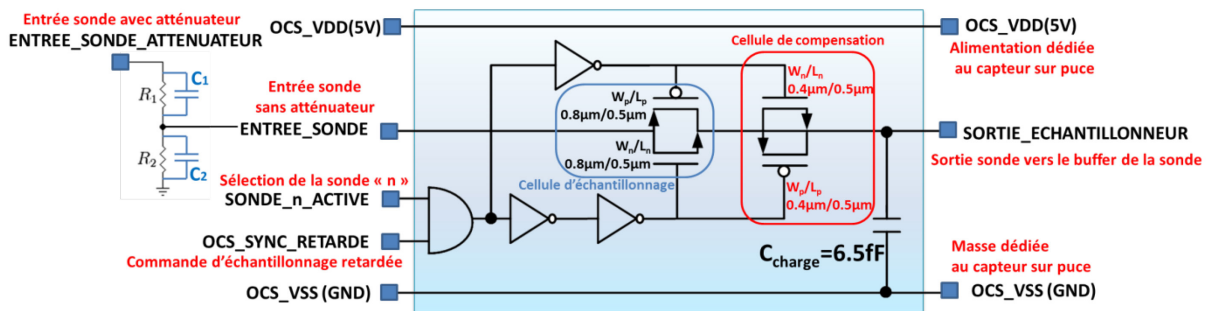


Figure IV-6: Architecture du bloc échantillonneur-bloqueur de chaque sonde avec l'atténuateur optionnel

Le buffer de sortie de chaque sonde est aussi un amplificateur opérationnel rail-to-rail de type folded cascode. Il possède la même architecture utilisée pour le buffer de sortie du cœur du capteur mais avec des tailles de transistors réduites afin d'avoir une capacité en courant (fan-out) réduite. Sa stabilité est assurée par une charge capacitive de compensation de 60fF à 100fF. Il a une bande passante de 110MHz. De cette manière nous avons réduit considérablement la taille de chaque sonde et par la même occasion la taille du capteur entier. La taille du layout entier du capteur sur puce (le cœur du capteur + 8 sondes) ne fait que 1.17% de la taille entière du circuit AUTOBENCH 2 (2500µm x 3100µm).

Sur la Figure IV-7 et sur la Figure IV-8 sont présentés le layout de la sonde S3 avec son atténuateur de ratio 2/3, réalisé avec le logiciel CAO (Cadence Virtuoso 6.15) puis sa microphotographie, respectivement.

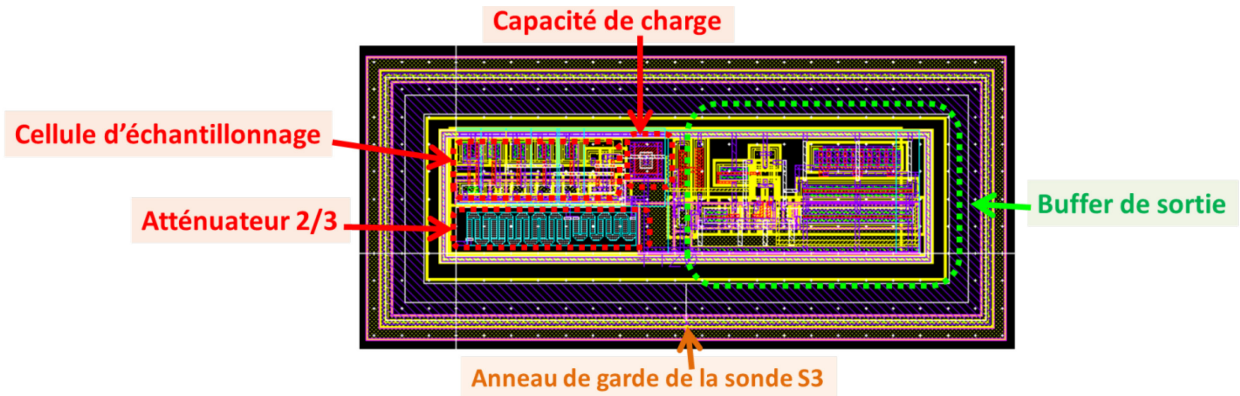


Figure IV-7: Le layout du cœur de la sonde S3 (atténuateur 2/3) avec logiciel CAO

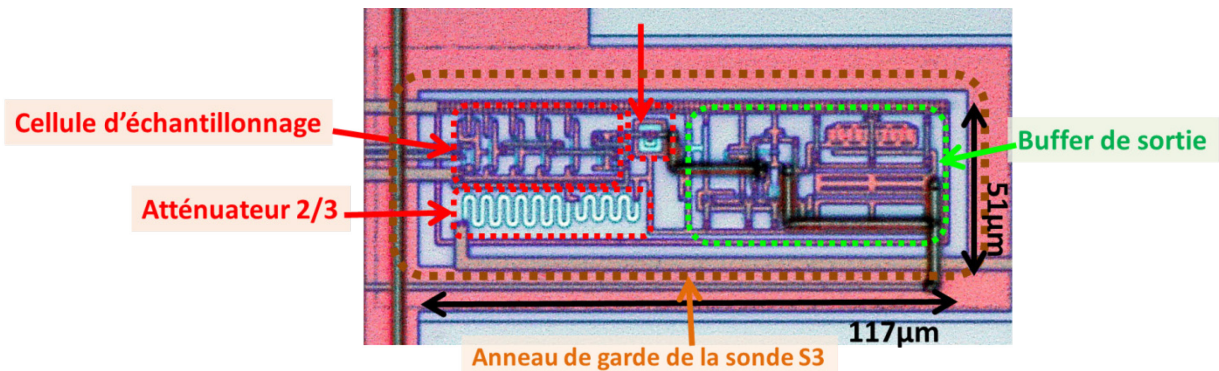


Figure IV-8: Microphotographie du layout de la sonde S3, atténuateur 2/3, $W \times L = 51\mu\text{m} \times 117\mu\text{m}$

IV.2.2. Principe d'acquisition avec la méthode de sous-échantillonnage

Comme nous l'avons déjà évoqué, le capteur sur puce est basé sur le principe de sous-échantillonnage ou plus précisément l'échantillonnage séquentiel à temps équivalent afin d'obtenir une plus grande fréquence virtuelle d'échantillonnage de notre capteur sur puce, 2.75GHz dans notre cas. Le signal échantillonné doit être périodique ou tout de moins réitérable afin d'avoir le même phénomène à mesurer à chaque période. L'apparition du phénomène à mesurer est déclenchée par une source de bruit qui est aussi synchronisée à la commande d'échantillonnage, externe au capteur. Sur la Figure IV-9 est présenté le principe de sous échantillonnage où est exagéré le temps de délai et où l'on a simplifié la reconstruction du signal. La forme temporelle du signal échantillonné est reconstituée à partir des différents échantillons en calculant leur instant d'apparition à partir de la commande d'échantillonnage. Cette opération s'effectue en post traitement en utilisant un programme LabView™ spécialement conçu pour l'occasion.

Pour que la commande d'échantillonnage soit décalée dans le temps à chaque nouvelle mesure on emploie une cellule de délai contrôlée en tension (Figure IV-10) par deux signaux analogiques continus V_{range} et V_{analog} . La sortie de la cellule de délai commande la cellule d'échantillonnage avec un certain délai ΔT_i finement contrôlé grâce à deux transistors CMOS dont on fait varier la transmissivité avec deux signaux analogiques continus V_{range} et V_{analog} , lesquels sont appliqués à leur grille. La taille W/L de ses deux transistors est judicieusement

étudiée et adaptée à la technologie afin d'obtenir un délai maximal et quasi-linéaire en fonction de V_{range} et V_{analog} . Notons que le pas de délai Δt représente la résolution du délai, c'est-à-dire le pas "virtuel" d'échantillonnage que l'on peut obtenir. Il dépend directement de la précision du délai qui est fonction de la résolution en tension des sources externes polarisant V_{range} et V_{analog} . De plus, la fenêtre d'observabilité de notre signal dépend du délai maximal que l'on peut avoir, tandis qu'au delà, il est nécessaire d'ajouter un déphasage fixe entre la commande d'échantillonnage et la commande de perturbation générant le phénomène observé.

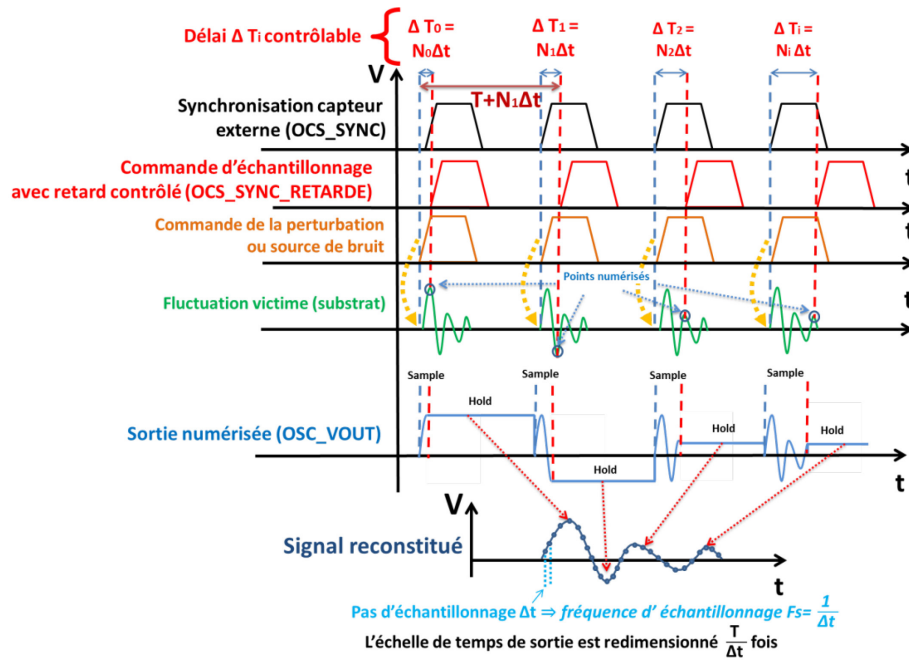


Figure IV-9: Principe de sous-échantillonnage

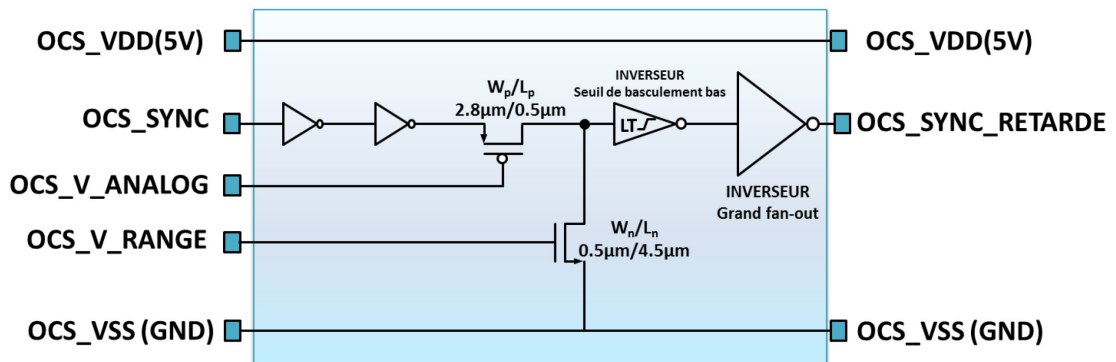


Figure IV-10: Architecture interne de la cellule de délai

Avant de présenter les résultats de mesures en utilisant notre capteur sur puce sur le cas d'étude 2, il est impératif de calibrer la cellule de délai et chaque sonde à part. Cette étape est incontournable pour chaque puce fabriquée et va être décrite maintenant.

IV.3. Caractérisation du capteur sur puce

Pour pouvoir utiliser le capteur sur puce nous procédons à deux types de calibrations afin de compenser les imperfections et dispersions liées à la fabrication:

- une calibration temporelle afin de déterminer la loi de délai de la cellule de délai
- une calibration statique de chaque sonde afin de déterminer leur fonction de transfert entre la tension d'entrée et la tension de sortie mesurée.

IV.3.1. Calibration de la cellule de délai

Pour calibrer la loi de délai, notre capteur passe en régime de fonctionnement asynchrone, c'est-à-dire qu'il échantillonne pas à pas tout en augmentant progressivement V_{analog} par des échelons ΔV pour un V_{range} fixe. Les échelons ΔV sont dans une plage de tensions donnée qui est définie par l'utilisateur avant de commencer la calibration. Notons que le pas d'échelons ΔV définit la résolution temporelle Δt de la loi de délai. Celle-ci fixe au final la fréquence virtuelle d'échantillonnage.

On choisit une sonde du capteur à l'entrée de laquelle on injecte un signal sinusoïdal de fréquence adaptée à la fenêtre d'observabilité, c'est-à-dire le délai maximal, qui est fonction de V_{range} . L'utilisateur doit aussi informer le logiciel de post-traitement sous LabView™ de la fréquence de la sinusoïde utilisée qui est synchronisée à la commande d'échantillonnage du capteur. Pour ce faire, on utilise deux générateurs de signaux basse fréquence synchronisés entre eux, l'un donnant à sa sortie la sinusoïde et l'autre un signal carré destiné à la commande d'échantillonnage du capteur. Pour chaque point échantillonné V_s en fonction de V_{analog} nous avons:

$$V_s(V_{\text{analog}}) = A * \sin(2\pi * F_{\text{in}} * t) \quad \text{Eq. IV.1}$$

Où nous avons A pour l'amplitude du signal avec une fréquence sinusoïdale F_{in} .

La sinusoïde $V_s(V_{\text{analog}})$ capturée, n'est pas suffisante pour déterminer la loi de délai. Comme pour chaque point mesuré $V_s(V_{\text{analog}})$ correspond à une seule valeur de tension V_{analog} , nous pouvons calculer la phase du signal en connaissant la fréquence de la sinusoïde F_{in} et en utilisant la fonction trigonométrique inverse *arcsin*. Pour cela, on normalise d'abord notre sinusoïde échantillonnée à avoir une amplitude unitaire et on annule son offset. On calcule d'abord avec Eq. IV.1 et Eq. IV.2 l'amplitude et l'offset de la sinusoïde échantillonnée, respectivement:

$$V_{\text{amp}} = \frac{V_{s\text{MAX}} - V_{s\text{MIN}}}{2} \quad \text{Eq. IV.2}$$

$$V_o = \frac{V_{s\text{MAX}} + V_{s\text{MIN}}}{2} \quad \text{Eq. IV.3}$$

Ensuite on applique l'équation Eq. IV.4 pour chaque échantillon afin d'avoir une sinusoïde unitaire centrée autour de 0 V:

$$V_{s_unit}(V_{analog}) = \frac{V_s(V_{analog}) - V_o}{V_a} \quad \text{Eq. IV.4}$$

Avant d'appliquer la fonction trigonométrique inverse \arcsin , on doit aussi déterminer la pente du signal $V_s(V_{analog})$ dans chaque point et ainsi délimiter deux régions: les régions à pente positive et régions à pente négative de la sinusoïde.

Finalement pour tout point échantillonné $V_{s_unit}(V_{analog})$ on calcule la phase du signal:

- avec la pente positive

$$T_{phase} = \arcsin(V_{s_unit}(V_{analog})) \text{ [rad]} \quad \text{Eq. IV.5}$$

- avec la pente négative

$$T_{phase} = \pi - \arcsin(V_{s_unit}(V_{analog})) \text{ [rad]} \quad \text{Eq. IV.6}$$

Comme nous avons besoin de mesurer le temps en secondes, on a au bout de compte notre loi de délai en fonction de $V_s(V_{analog})$:

$$T_{délai} = V_{analog}(t) = \frac{T_{phase}}{2\pi * F_{in}} \text{ [s]} \quad \text{Eq. IV.7}$$

Sur les deux figures suivantes, Figure IV-11 et Figure IV-12, nous avons présenté la loi de délai caractérisée en simulation et en mesure sur notre puce AUTOBENCH 2. Sur la seconde figure, nous présentons un agrandissement pour des valeurs de V_{range} donnant un faible délai maximal.

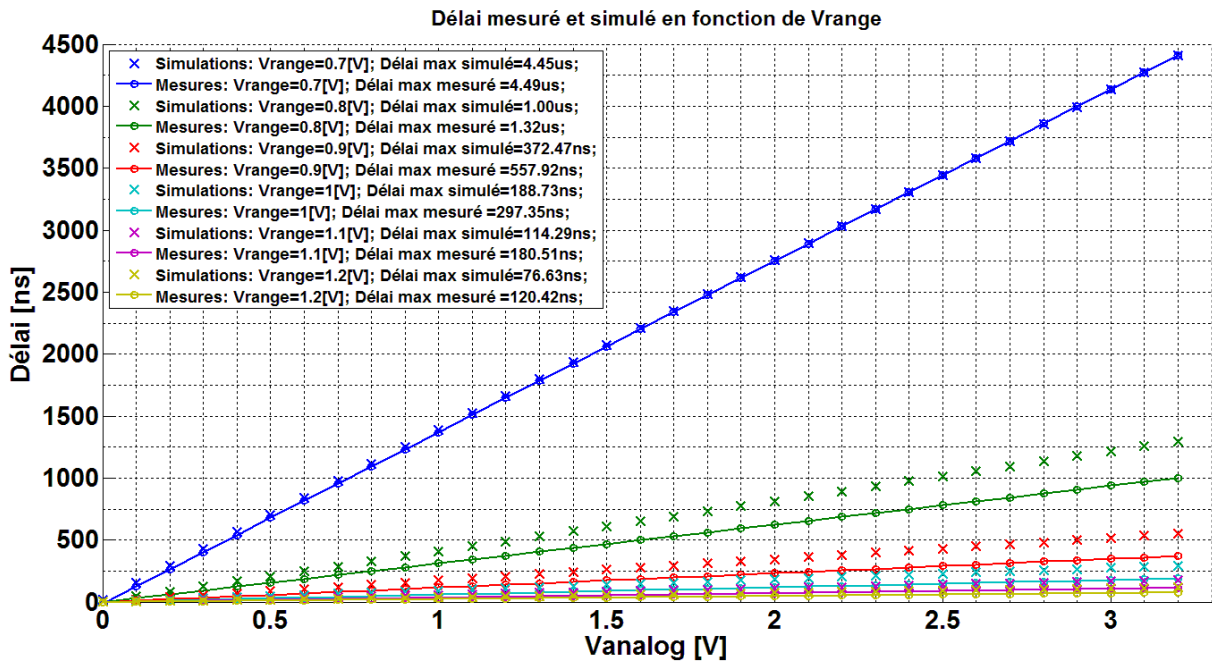


Figure IV-11: Délai simulé et mesuré en fonction de V_{analog} et V_{range}

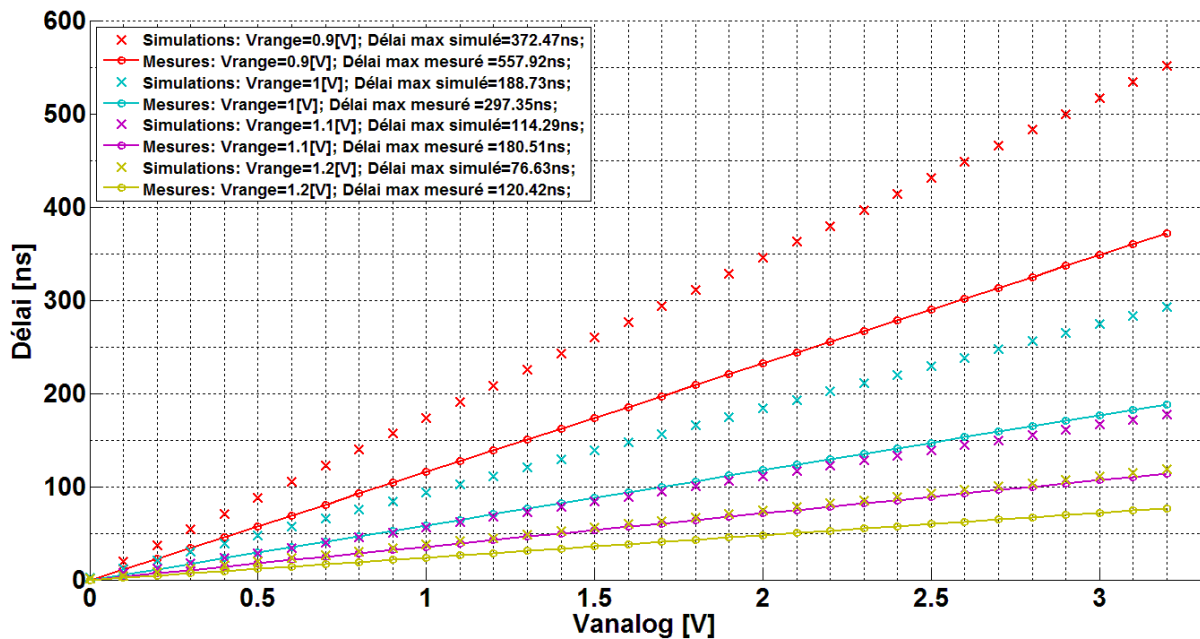


Figure IV-12: Délai simulé et mesuré en fonction de V_{analog} et V_{range} (agrandissement)

Nous avons aussi étudié l'erreur relative de la loi du délai entre simulations et mesures sur la Figure IV-13 afin d'observer l'impact des différents facteurs physiques sur la loi de délai, tels que la variation process, la précision des sources de tension V_{analog} et V_{range} , des offsets induits entre ses deux sources de tension et la grille des transistors CMOS de la cellule de délai.

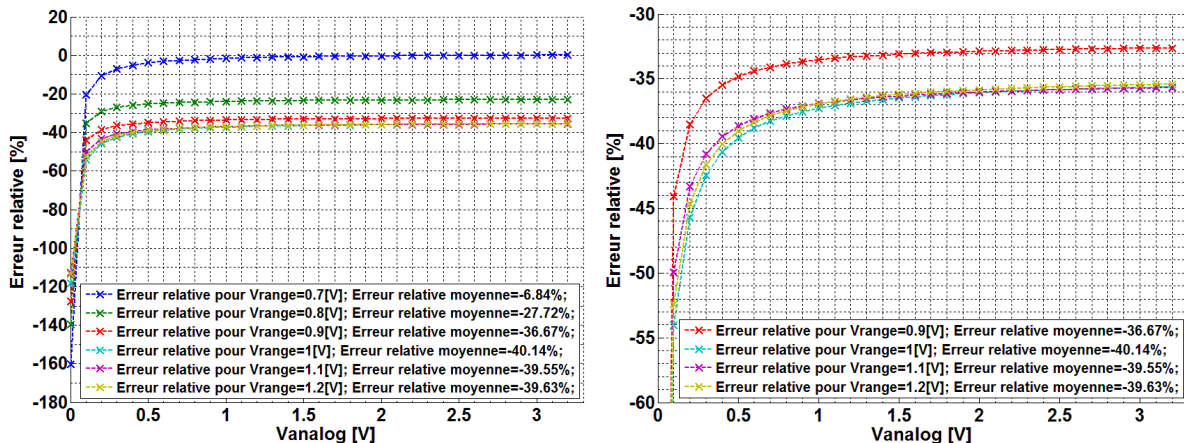


Figure IV-13: L'erreur relative entre simulations et mesures de la loi du délai (à droite: agrandissement pour les valeurs de V_{range} de 0.9V à 1.2V)

Ce que l'on peut noter c'est que l'erreur relative est stable et constante à partir de $V_{analog}=0.5V$ ce qui nous laisse à suggérer que nous n'avons pas une bonne estimation du délai pour des faibles valeurs de V_{analog} . Ensuite plus la valeur de V_{range} est grande plus notre erreur relative s'accroît et stabilise vers -40%. Ceci peut s'expliquer que l'on est beaucoup plus sensible en offset de la tension de commande V_{analog} (qui définit la loi de délai pour chaque V_{range}) pour des valeurs de V_{range} supérieures à 0.7V. Notons qu'en mesure nous ne savons pas exactement qu'elle est la valeur exacte de la tension appliquée directement sur la grille des deux transistors CMOS de la cellule de délai, qui peut être aussi source de l'erreur relative. Il

existe sans doute un petit écart entre la source de tension V_{range} et V_{analog} et la grille de ses deux transistors que l'on n'a pas en simulation.

IV.3.2. Calibration pour compenser l'offset en tension des sondes

Pour calibrer en offset chacune des 8 sondes, une rampe de tension est appliquée en entrée de chaque sonde sur une plage des tensions adaptées en fonction des spécifications de chaque sonde. Pendant le temps de calibration, la cellule de délai produit un délai constant, l'utilisateur fixant une valeur quelconque pour les tensions V_{analog} et V_{range} avant la calibration en offset. Bien entendu, la valeur de V_{analog} et V_{range} doit être comprise dans la gamme des tensions définie précédemment lors de la calibration de la cellule de délai.

Sur la Figure IV-14 est présenté l'échantillonnage en simulation d'une rampe de 0 à 5V à partir de laquelle on a extrait la valeur de l'offset pour différentes valeurs de tensions appliquées en entrée du capteur sans atténuateur. En mesure, nous n'avons pas accès à ces informations mais juste la valeur numérisée après le post-traitement en sortie du logiciel LabView™. En simulation sur la figure nous avons défini la valeur échantillonnée, en vert, lorsque la cellule d'échantillonnage est en mode "hold" et conserve la valeur du signal au moment du déclenchement sur le front descendant du signal de synchronisation.

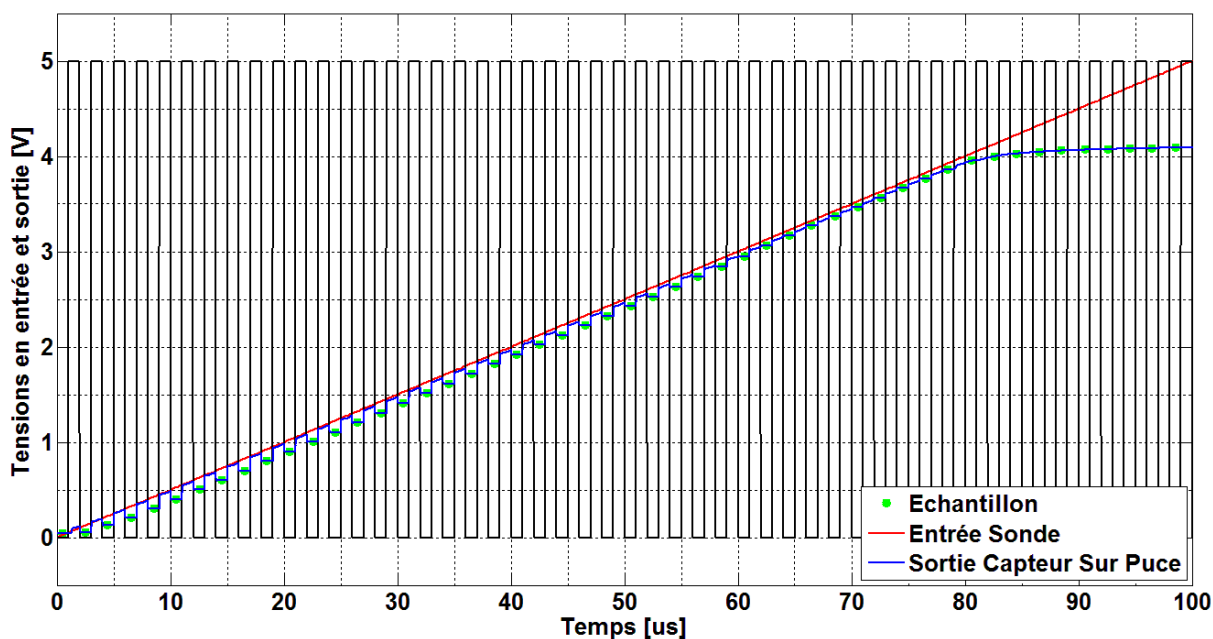


Figure IV-14: Échantillonnage d'une rampe 0-5V, par une sonde sans atténuateur

Sur la Figure IV-15 nous avons comparé simulations et mesures faites avec la sonde S6. Nous pouvons observer une différence entre mesures et simulations que l'on attribue à des éléments électriques que nous n'avons pas pris en compte en simulation et aussi par le fait que nous ne les avons pas échantillonné en mode de sous-échantillonnage en simulation et n'avons réalisé aucun post-traitement.

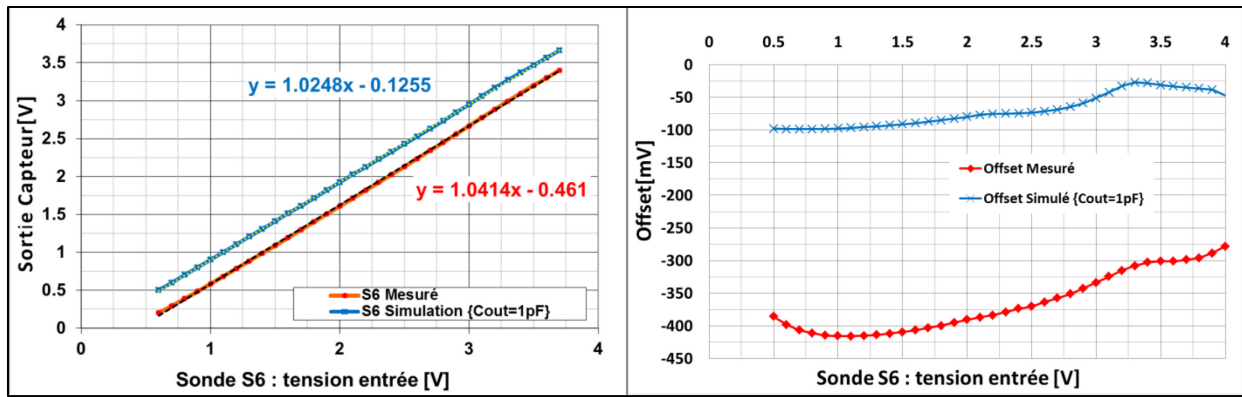


Figure IV-15: Calibration en offset pour la sonde S6 (sans atténuateur)

Le but de la calibration en offset est d'obtenir les coefficients de l'équation de la droite, c'est-à-dire la fonction de transfert pour chaque sonde, Eq. IV.8. On applique ensuite la relation inverse en post-traitement, définie par l'équation Eq. IV.9, afin d'obtenir la valeur exacte du signal échantillonné en entrée de la sonde.

$$V_{out}[V] = k * V_{in}[V] + a \tag{Eq. IV.8}$$

$$V_{in}[V] = m * V_{out}[V] + b; \quad m = \frac{1}{k}; b = -\frac{a}{k} \tag{Eq. IV.9}$$

Il est nécessaire de réaliser la même procédure pour chaque sonde avec son atténuateur et par conséquent, à appliquer la gamme de tensions adaptée à la sonde afin d'obtenir les valeurs des coefficients de la droite, présentés pour les sondes S4 à S6 dans le Tableau IV-B.

Tableau IV-B: coefficients à l'issue de la calibration des sondes S4 à S6 (exemple pour des puces AUTOBENCH 2)

coefficient	Sonde S4	Sonde S5	Sonde S6	Sonde S7	Sonde S8
k	0.148	0.151	1.041	0.973	1.029
a [V]	-0.017	-0.321	-0.461	-0.257	-0.153
m=1/k	6.743	6.609	0.960	1.027	0.971
b=-a/k [V]	0.114	2.121	0.442	0.265	0.149

Pour mieux comprendre tout le protocole employé pour le post-traitement nous avons illustré sur la Figure IV-16 la mesure avec le capteur sur puce d'une sinusoïde de fréquence 25MHz, avec une amplitude de 0.5V et un offset de 3.3V. Comme paramètres du capteur sur puce nous avons défini $V_{range}=1.2V$ donnant un délai maximal de 120ns et pour V_{analog} la valeur maximale de 3.3V et un pas en tension de 0.01V. Ces valeurs nous donnent un pas temporel de sous échantillonnage de $\Delta t = \frac{120ns}{\frac{3.3}{0.01}} = 363.64ps$, offrant une fréquence virtuelle d'échantillonnage de notre capteur sur puce de $Fvs = \frac{1}{\Delta t} = 2.75 \text{ GHz}$. De façon similaire, pour le délai maximal de 4.45µs nous obtenons une fréquence virtuelle d'échantillonnage qui est de $Fvs = 74,15 \text{ MHz}$. Lors des mesures, à chaque pas de V_{analog} , le capteur réitère la mesure 500 fois pour qu'en post traitement, lors de la reconstruction du signal, il en calcule la moyenne avant de passer au point suivant.

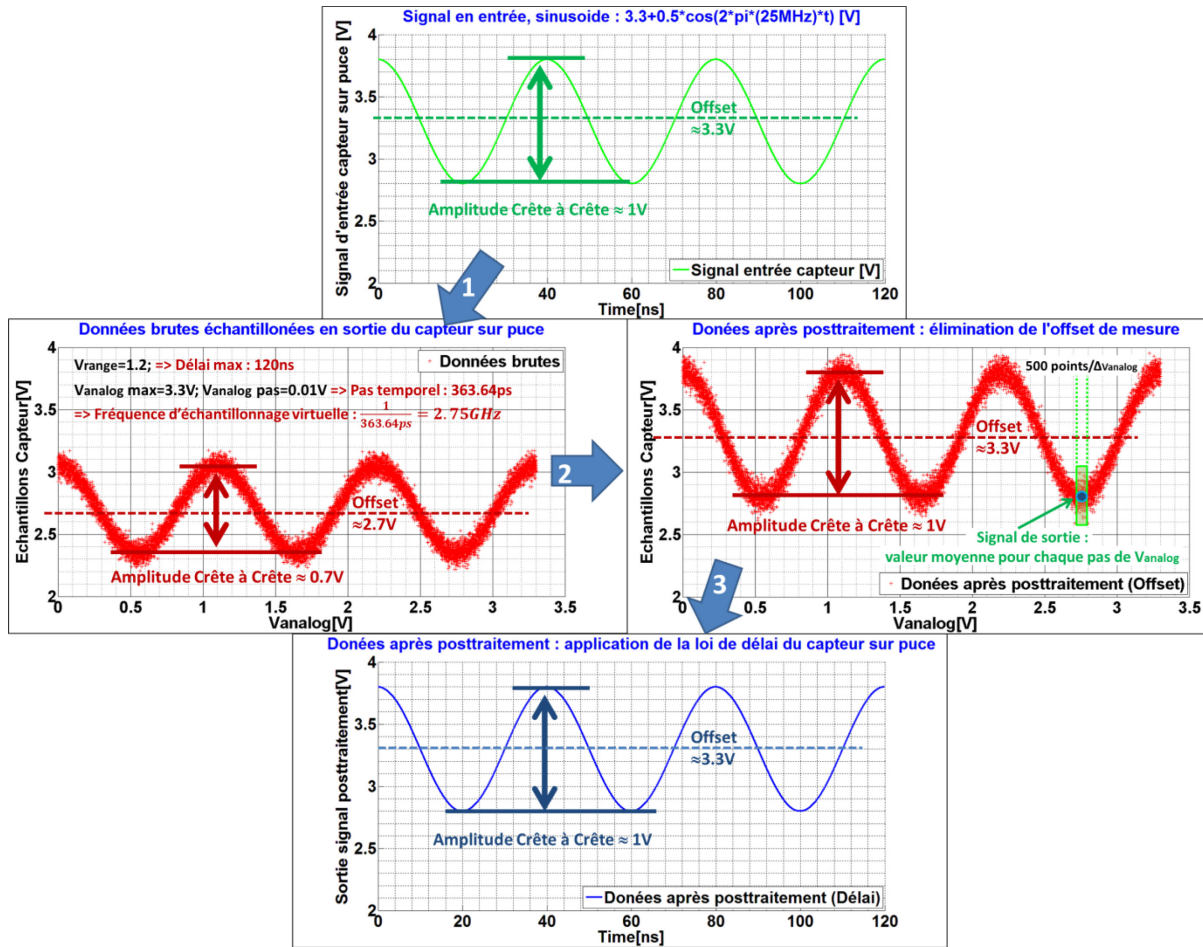


Figure IV-16: Principe de mesure et de post-traitement de signal avec le capteur sur puce

Nous sommes prêts maintenant à utiliser notre capteur sur puce dans les expériences effectuées sur le cas d'étude 2. En effet, pour le cas d'étude 1, dans le but de caractériser le couplage substrat (présenté dans le chapitre 3), nous ne nous sommes rendus compte qu'à posteriori qu'avec le capteur nous n'avions pas plus d'informations qu'avec les mesures utilisant le matériel de laboratoire (le source-mètre et multimètres). En revanche on aurait pu l'utiliser pour des mesures dynamiques dans le cadre du cas d'étude 1, mais nous n'avons pas eu le temps de les réaliser malheureusement.

IV.4. Mesures avec le capteur sur puce

Nous allons maintenant présenter les mesures réalisées avec le capteur sur puce sur deux expériences distinctes. Dans la première expérience, il s'agit d'analyser les effets du couplage substrat sur le Bandgap lors du fonctionnement du convertisseur DC-DC. La seconde expérience s'intéresse à observer les effets du couplage substrat sur le Bandgap lors de l'injection d'une perturbation électromagnétique.

IV.4.1. Analyse du couplage substrat et de son influence sur le Bandgap lors du fonctionnement du convertisseur DC-DC

Dans cette étude, nous allons nous intéresser sur l'impact du convertisseur DC-DC en commutation sur le circuit Bandgap. Comme nous l'avons déjà dit, le convertisseur DC-DC peut commuter à la fréquence fournie par un signal de synchronisation externe (via la broche TX_TRIG) sans qu'il y ait de contrôle de la puissance délivrée à sa sortie. Ce signal externe est aussi le signal de synchronisation de capteur.

Du fait de la simple commutation d'une haute tension, les conditions d'activation du couplage substrat peuvent être atteintes et les conséquences peuvent être observables à la sortie V_{ref} du Bandgap. Ces conditions en sortie du convertisseur DC-DC sont soit une surtension au niveau du drain du PMOS (au-dessus de la tension d'alimentation de puissance), soit une sous-tension du drain du NMOS (en dessous de la tension de masse). Ces conditions sont atteintes lorsqu'une charge inductive est placée en sortie du convertisseur. Répétons-le une fois de plus, il n'est pas inhabituel de voir des charges inductives en sortie des circuits de type Smart Power (des moteurs électriques, alternateurs, etc...), ce qui rend notre expérience plus proche des cas réels. Sur la Figure IV-17 est présenté le principe de l'expérience menée avec la possibilité de choisir pour l'impédance en sortie soit purement résistive avec $Z_{out}=47\ \Omega$, soit inductive avec $Z_{out}=(47+jw*22\mu H)\ \Omega$.

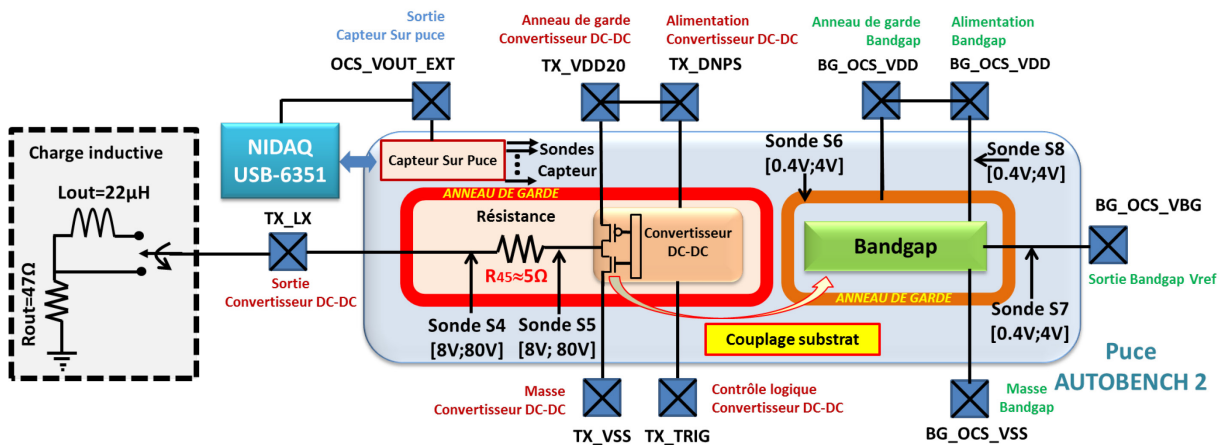


Figure IV-17: Impact du convertisseur DC-DC en commutation sur le fonctionnement du Bandgap

Dans cette expérience, les sondes du capteur ont été placées aux nœuds sensibles du Bandgap (sonde S6 - l'anneau de garde; sonde S7 - sortie Bandgap V_{ref} ; sonde S8 – ligne d'alimentation Bandgap) ainsi qu'en sortie du convertisseur DC-DC (sonde S4).

La sortie du convertisseur DC-DC (le push-pull CMOS) est commandée avec un signal carré auquel le capteur sur puce est synchronisé. Cette synchronisation s'opère via un générateur basse fréquence (GBF) à deux voies synchronisées entre elles au sein de l'instrument: l'une de ses voies est dédiée à la commande du convertisseur DC-DC et l'autre à la commande du capteur via son interface numérique de contrôle et lecture, la carte NIDAQ USB-6351.

IV.4.2. Analyse du couplage substrat et de son influence sur le Bandgap lors d'une injection conduite

Lorsqu'il s'agit de réaliser les mesures de susceptibilité d'un circuit intégré aux interférences électromagnétiques, les recommandations du standard IEC 62132 [IV-24] sont largement utilisées par les industriels. Ce standard définit les règles et moyens techniques pour caractériser la sensibilité des circuits intégrés à des perturbations EM conduites ou rayonnées jusqu'à 1GHz. Afin de diagnostiquer les défaillances ou pour des tests de pré-qualification d'un circuit intégré, les fabricants et les académiques utilisent habituellement la méthode IEC 62132-4. Cette méthode consiste à une injection directe de puissance (DPI) [IV-25], qui est un procédé basé sur des injections conduites de signaux harmoniques appliquées sur une ou plusieurs broches d'entrée/sortie du circuit.

Dans cette expérience, deux séries de tests d'injection DPI avec différentes puissances d'injection, sont réalisées avec les recommandations du standard IEC 62132:

- Dans la première série de tests, la tension d'alimentation du convertisseur DC-DC (TX_VDD20) est réglée à 12 V, sans aucune charge résistive à sa sortie et le PMOS de l'étage du push-pull en sortie est activée.

Le but de cette configuration est d'observer l'activation du transistor bipolaire PNP parasite.

- Dans la deuxième série de tests, le convertisseur DC-DC a été désactivé (les transistors NMOS et PMOS sont en état de haute impédance) et les tests ont été effectués autour de la tension de masse.

Le but de cette configuration est d'observer l'activation du transistor bipolaire NPN parasite.

Pour les deux séries de tests, les mesures avec le capteur sur puce sont réalisées aux mêmes points: aux nœuds sensibles du Bandgap (sonde S6 - l'anneau de garde; sonde S7 - sortie Bandgap V_{ref} , sonde S8 – ligne d'alimentation Bandgap) ainsi qu'en sortie du convertisseur DC-DC (sonde S4).

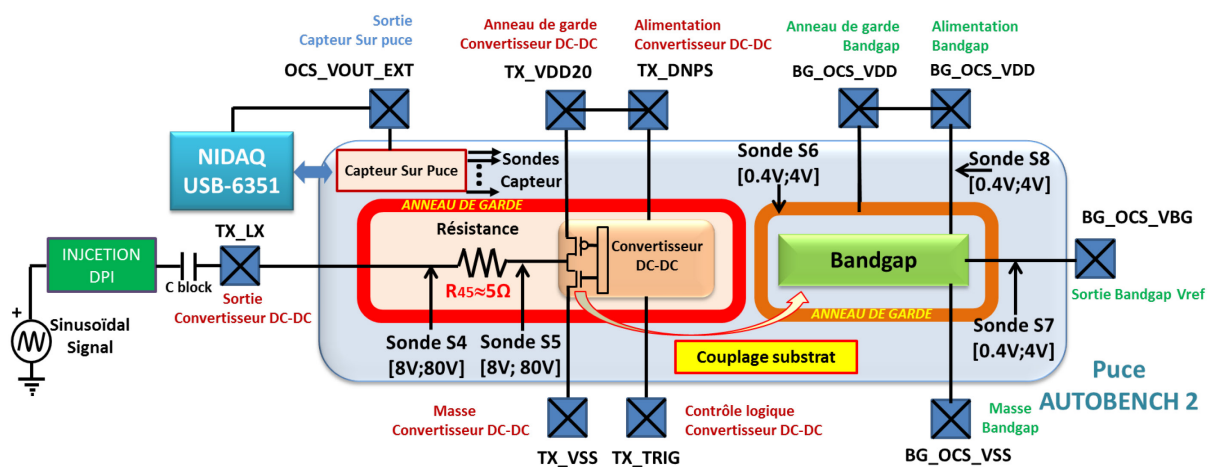


Figure IV-18: Impact d'une injection DPI sur le fonctionnement du Bandgap

IV.4.3. Banc de test pour les mesures avec le capteur sur puce

Pour réaliser les mesures avec le capteur sur puce, le banc de test utilisé est présenté sur la Figure IV-19. Pour utiliser le capteur sur puce, nous avons eu recours à une carte d'acquisition numérique (NIDAQ USB-6351) interfacée à un ordinateur et un logiciel dédié tournant sur la plateforme LabView™. Avec le même banc de test, nous avons réalisé deux types de mesures en fonction de la charge en sortie du convertisseur DC-DC :

- Pour réaliser les mesures pour l'analyse de l'influence du couplage substrat sur le Bandgap lors du fonctionnement du convertisseur DC-DC une charge résistive ($Z_{out}=47\Omega$) ou inductive ($Z_{out}=(47+j\omega 22\mu H)\Omega$) est placée à sa sortie, la broche TX_LX. Le convertisseur est commandé par un signal externe à différentes fréquences (10kHz et 100kHz).
- Pour réaliser les mesures afin d'analyser l'influence du couplage substrat sur le Bandgap lors d'une injection DPI, nous disposons d'une source haute fréquence pouvant générer un signal sinusoïdal de fréquence comprise entre 9 kHz et 2.2 GHz. Dans nos tests nous avons réglé la fréquence de la sinusoïde à 10MHz. Ensuite, cette source sinusoïdale alimente l'entrée d'un amplificateur de puissance de 10W suivi d'un coupleur directionnel connecté à un "power meter" (système de mesure de puissance délivré) afin de pouvoir mesurer et finement contrôler la puissance délivrée via un logiciel dédié sous LabView™. Enfin, en sortie du "power meter" nous avons placé un T-BIAS pour découpler la composante continue et régler via une source de tension V_{DC} , le point de polarisation DC de l'entrée de notre carte AUTOBENCH 2, c'est-à-dire de la broche TX_LX, la sortie du convertisseur DC-DC.

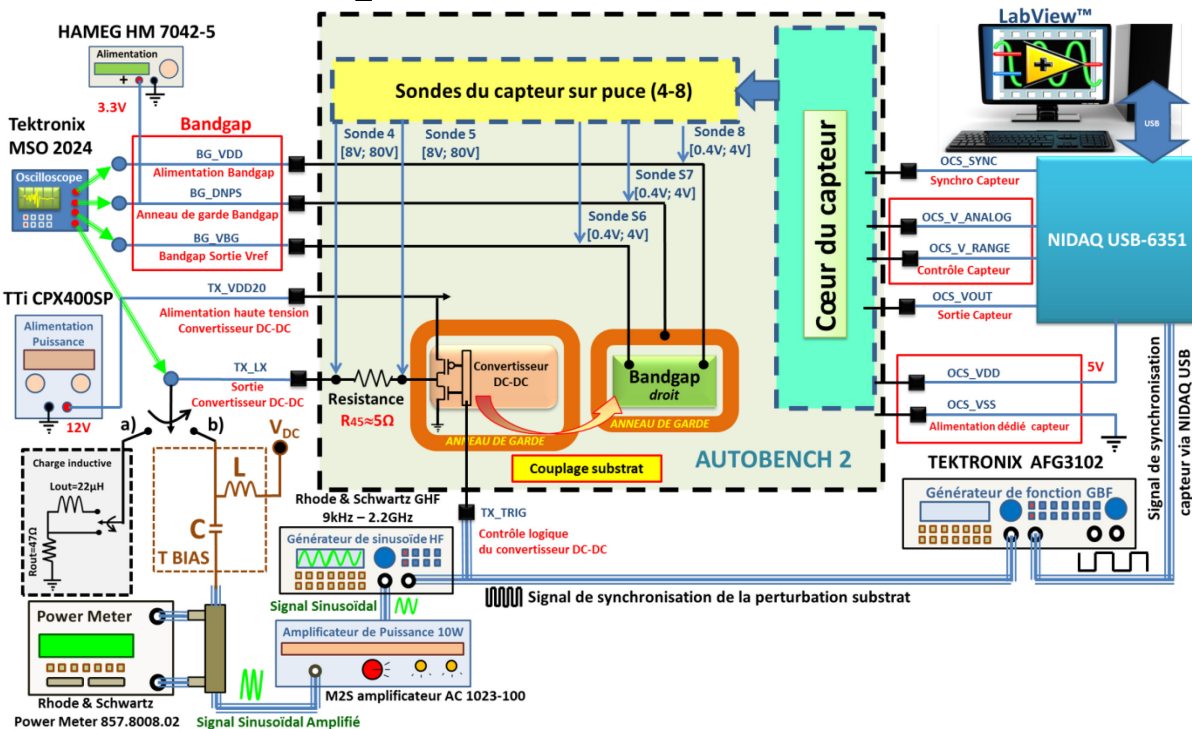


Figure IV-19: Le banc de test pour les mesures avec le capteur sur puce pour l'analyse du couplage substrat et de son influence sur le Bandgap:
 a) lors du fonctionnement du convertisseur DC-DC
 b) lors d'une injection DPI

Sur la Figure IV-20 est présentée la photo du banc de test pour réaliser les mesures avec le capteur sur puce afin d'analyser l'effet du couplage substrat sur le Bandgap:

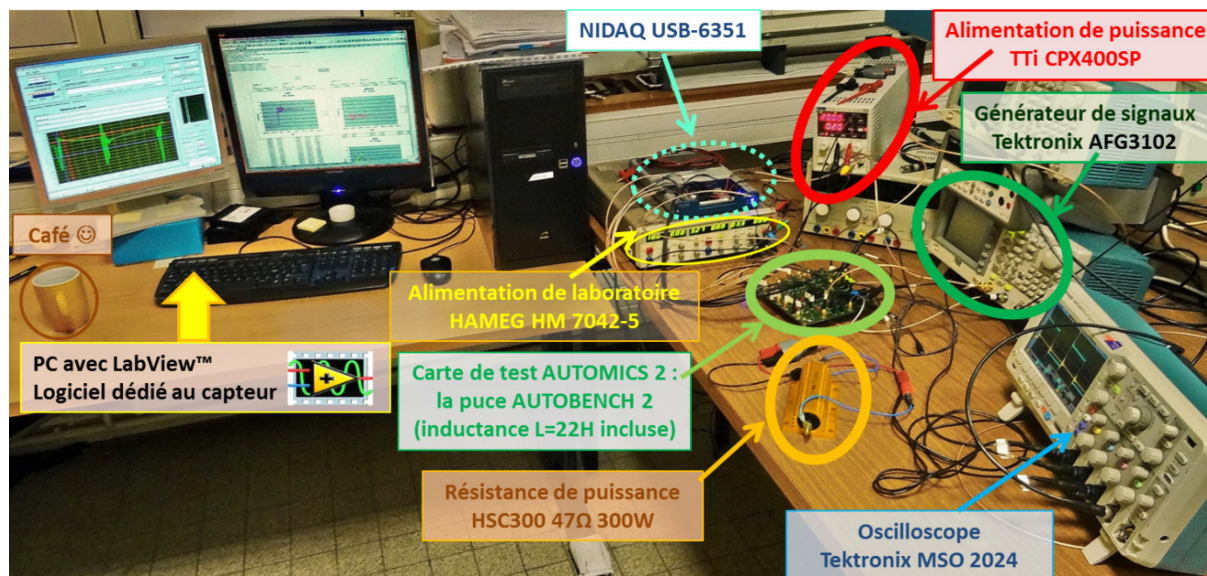


Figure IV-20: Photo du banc de test pour mesures avec le capteur sur puce

Dans le Tableau IV-C sont présentées les entrées/sorties utilisées lors des deux expériences.

Tableau IV-C: Liste des entrées/sorties utilisées dans nos 2 expériences avec le capteur sur puce

BROCHE N°	Nom de la broche	Fonction
17	BG_OCS_VSS	Masse du Bandgap avec le capteur sur puce
18	BG_OCS_VBG	Sortie du Bandgap avec le capteur sur puce
19	BG_OCS_VDD	Alimentation 3.3V du Bandgap sans le capteur sur puce
20	BG_OCS_DNPS	Polarisation de l'anneau de garde (puits de type n, N Well) du Bandgap avec le capteur sur puce
8	TX_IBn10u	Courant de polarisation de la diode NMOS du convertisseur DC-DC
9	TX_VDD3	Alimentation pour le contrôle logique du convertisseur DC-DC
10	TX_SEL_DT	Sélection du temps mort (dead time) des deux MOS de puissance du convertisseur DC-DC
11	TX_TRIG	Contrôle logique du convertisseur DC-DC
12	TX_VDD20	Alimentation pour les MOS de puissance du convertisseur DC-DC
13	TX_VSS	Masse du convertisseur DC-DC
14	TX_VSSH	Masse décalé haute tension pour le buffer haute tension du convertisseur DC-DC
15	TX_DNPS	Polarisation de l'anneau de garde (puits de type n, N Well) du convertisseur DC-DC
16	TX_LX	Sortie du convertisseur DC-DC ; Injection du courant externe
1	OCS_V_RANGE	Contrôle analogique de la cellule de délai (Vrange)
2	OCS_V_ANALOG	Contrôle analogique de la cellule de délai (Vanalog)
21	OCS_ADR<0>	Bit d'adresse 0 des sondes du capteur sur puce
22	OCS_ADR<1>	Bit d'adresse 1 des sondes du capteur sur puce
23	OCS_ADR<2>	Bit d'adresse 2 des sondes du capteur sur puce
24	OCS_SYNC	Synchronisation externe du capteur sur puce
30	OCS_VSS	Masse dédiée au capteur sur puce
31	OCS_VOUT_EXT	Sortie analogique du capteur sur puce
32	OCS_VDD	Alimentation dédiée au capteur sur puce

La liste du matériel utilisé dans les tests est présentée dans le Tableau IV-D.

Tableau IV-D: Caractéristiques des instruments de mesure utilisés avec le capteur sur puce

Reference	Description	Caractéristiques
NIDAQ USB-6351	Interface d'acquisition numérique	-16 entrées analogiques, 1,25 Méch./s sur une seule voie, 1 Méch./s sur plusieurs voies ; résolution de 16 bits, ± 10 V -2 sorties analogiques, 2,86 Méch./s, résolution de 16 bits, ± 10 V -24 E/S numériques (8 cadencées par le matériel jusqu'à 1 MHz) -4 compteurs/timers 32 bits, pour la modulation de la largeur d'impulsion, l'encodeur, la fréquence, le comptage d'événements.
Ordinateur avec LabView™	Contrôle via NIDAQ: -du capteur -des sources de bruit	Windows XP et LabView™ 2012 avec logiciel dédié: - pour le contrôle du capteur, -pour le contrôle du générateur de signaux HF -lecture des signaux HF
TTi CPX400SP	Alimentation de laboratoire	Sortie unique, 420 watts, contrôle numérique par USB, RS232, GPIB ou LAN (SP)
Hameg HM7042	Alimentation de laboratoire	2 x 0- \rightarrow 32 V/0- \rightarrow 2 A; 1 x 0- \rightarrow 5.5 V/0- \rightarrow 5 A ; Sorties protégés: flottant, surcharge, court-circuit
Tektronix AFG3102	Générateur de fonctions arbitraire	2 voies, génération signaux ARB/ fonction, Modulation: AM, FM, FSK, PM, PWM, Plage de fréquence: 1Hz à 50MHz (lin/log)
Tektronix MSO 2024	Mixed Signal Digital Phosphor Oscilloscope	200MHz Bande passante;4 voies analogiques; 16 voies numériques; échantillonnage à 1 GS/s
Rhode & Schwartz NRVD Dual-Channel Power Meter 857.8008.02	Mesure de puissance injectée (DPI)	2 canaux, Mesure d'atténuation & réflexion; Mode de lecture: puissance moyenne, réflexion, puissance pulsée, AM, DC; Affichage absolu en W, dBm, V, dBV, dB μ V, Affichage relatif en dB, %, A/B, B/A, A-B, B-A Contrôle à distance de toutes les fonctions via le bus GPIB IEC/IEEE avec SCPI
Rhode & Schwartz signal generator 1090.3000.12	Générateur de signaux haute fréquence	Plage de fréquence: 9 kHz - 2.2 GHz (résolution de 0.1 Hz) Modulation: AM/FM/PHIM; Puissance délivré: -140 dBm à +13 dBm (+19 dBm overrange); SSB bruit phase <-122 dBc/Hz(f=1GHz, Δ f=20kHz) Setting times <10 ms High level accuracy (<0.5 dB at levels >-120 dBm)
M2S amplificateur AC 1023-100	Amplificateur de puissance HF	Puissance délivrée: 10 W cw 3 bandes 1Hz - 200MHz, 200MHz - 1000MHz, 800MHz-2GHz; classe A linéaire; facteur de bruit max 6db; Harmonique -20dbc min; Parasites -70dbc max.
T-BIAS	Découpleur composante continue et réglage du point de polarisation DC	Adapté à 50 Ω Passe haut à atténuation fixe de -9dB à partir de 1MHz L=47 μ H+47nH; C=1 μ F 10 μ F 10nF
HSC300 47R 1329	Résistance de puissance	47 Ω , 300W

IV.4.4. Résultat des mesures réalisées avec le capteur sur puce

Nous allons maintenant présenter les résultats de mesures réalisées avec le capteur sur puce dans deux configurations du banc de test afin d'observer l'impact du couplage substrat sur le fonctionnement du Bandgap. Le capteur sur puce nous est utile pour pouvoir observer avec une grande résolution temporelle les événements produits au niveau des nœuds sensibles du Bandgap avec un minimum d'altération du signal mesuré dû à la faible intrusivité des sondes du capteur sur puce. Ceci représente un avantage comparé aux mesures réalisées par un système de mesures externes à la puce (oscilloscope, mesure sous pointes).

IV.4.4.1. Résultats de l'analyse du couplage substrat et de son influence sur le Bandgap lors du fonctionnement du convertisseur DC-DC

La première série de mesures est réalisée pour une charge purement résistive de 47Ω avec une tension d'alimentation du convertisseur DC-DC de 12V qui est commandé à une fréquence de hachage de 100kHz.

Lors du fonctionnement du convertisseur DC-DC, faisant commuter sa tension de sortie à une amplitude égale à sa tension d'alimentation, nous pouvons observer sur la Figure IV-21, l'apparition de parasites aux nœuds sensibles du Bandgap. L'amplitude de ce bruit parasite est fonction de la variation de la tension en sortie du convertisseur DC-DC (TX_VDD20) et du courant de commutation en sortie (liée à la résistance et l'inductance de charge).

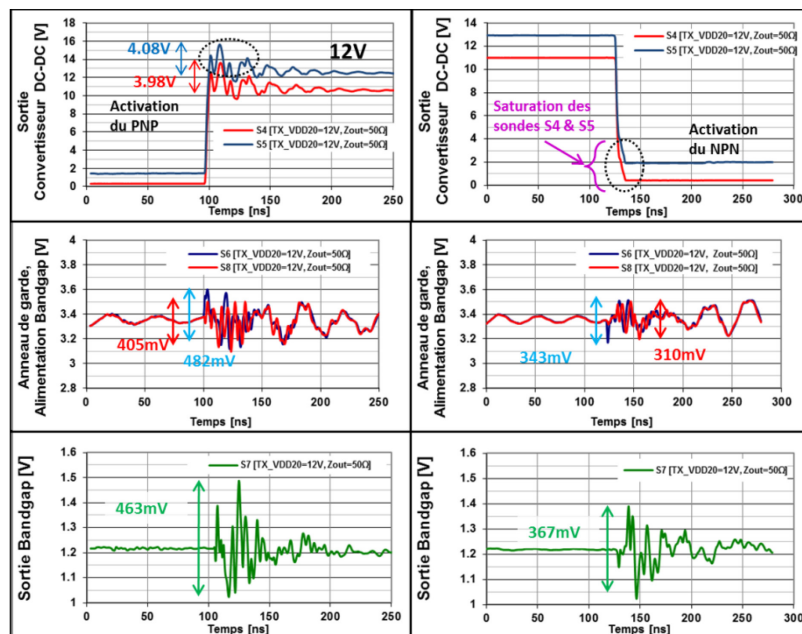


Figure IV-21: Perturbation du Bandgap lors du fonctionnement du convertisseur DC-DC à 100kHz, avec $Z_{out}=47\Omega$; TX_VDD20=12V; front montant à gauche; front descendant à droite;

En raison de la haute résolution temporelle des mesures faites avec le capteur sur puce (en comparaison avec les mesures de l'oscilloscope avec une bande passante moindre due au filtrage des interconnexions), les fluctuations des tensions observées sur les nœuds sensibles du Bandgap nous permettent une meilleure compréhension du mécanisme de couplage présent dans les circuits Smart Power.

La surtension observée sur le drain du PMOS en sortie du convertisseur DC-DC, en dépassant sa tension d'alimentation provoque l'activation du transistor PNP parasite et l'injection de porteurs majoritaires dans le substrat. Comme conséquence, nous avons localement un décalage positif de la tension du substrat lequel provoque à son tour le décalage positif des puits de type n avoisinants, comme celui du Bandgap, par exemple. Ainsi nous pouvons observer, depuis la dernière Figure IV-21, que la tension d'alimentation du Bandgap, de ses anneaux de garde et de sa sortie, ont la même forme d'onde du signal à l'origine de cette perturbation. Les fluctuations suivantes sont des résidus causées par la résonance du réseau RLC du substrat et des lignes d'alimentation et de masse. Nous pouvons aussi observer que la tension en sortie du Bandgap n'est pas perturbée par ces fluctuations résiduelles, un effet qui est conforme à la théorie.

Par contre, lors d'un front descendant en sortie du convertisseur DC-DC (lequel n'est pas observable pour des tensions en dessous de 0,4V due à la saturation de la sonde du capteur), le drain du NMOS de sortie voit sa tension chuter en dessous de la tension de masse. Cet effet conduit à l'activation du transistor NPN parasite qui provoque localement un décalage négatif de la tension du substrat et une injection de porteurs minoritaires dans le substrat. Comme déjà observé dans le précédent chapitre 3, lors de l'analyse du cas d'étude 2, les transistors bipolaires du Bandgap collectent ce courant substrat, ce qui se répercute à sa tension de sortie V_{ref} , laquelle garde la même forme d'onde que le signal perturbateur. Nous observons par ailleurs, les mêmes perturbations de la tension d'alimentation du Bandgap ainsi que de son anneau de garde. Comme pour le précédent cas de figure, les fluctuations des résidus suivants sont causées par la résonance le réseau RLC du substrat et des lignes d'alimentation. Comme prévu, le signal en sortie Bandgap n'est pas perturbé par ces fluctuations résiduelles.

Nous avons aussi réalisé deux séries de mesures avec le convertisseur DC-DC fonctionnant à 10kHz, avec pour tension d'alimentation de son push-pull de sortie TX_VDD20=12V et TX_VDD20=17V. Pour la première série des mesures nous avons $Z_{out}=(47+jw22\mu H)\Omega$ et pour la seconde série $Z_{out}=47\Omega$. Nous n'avons observé que le front montant de l'impulsion en sortie du convertisseur DC-DC.

On peut remarquer sur la Figure IV-22 et Figure IV-23 deux conséquences du couplage substrat sur le Bandgap:

- L'amplitude de la perturbation dépend du swing de sortie du convertisseur DC-DC: plus une tension d'alimentation du push-pull de sortie est grande, plus elle induit une surtension laquelle active le NPN parasite du substrat qui se répercute sur la sortie du Bandgap V_{ref}
- La charge inductive induit une surtension plus grande à la sortie du convertisseur DC-DC qui a aussi comme conséquence une perturbation plus grande visible en sortie du Bandgap V_{ref}

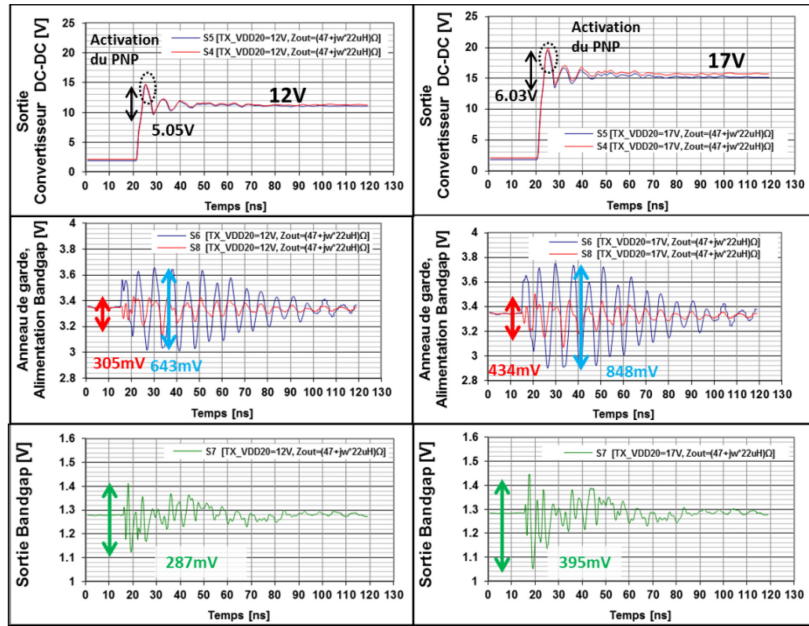


Figure IV-22: Perturbation du Bandgap lors du fonctionnement du convertisseur DC-DC à 10kHz, avec $Z_{out}=(47+jw*22\mu H)\Omega$; TX_VDD20=12V (à gauche); TX_VDD20=17V (à droite);

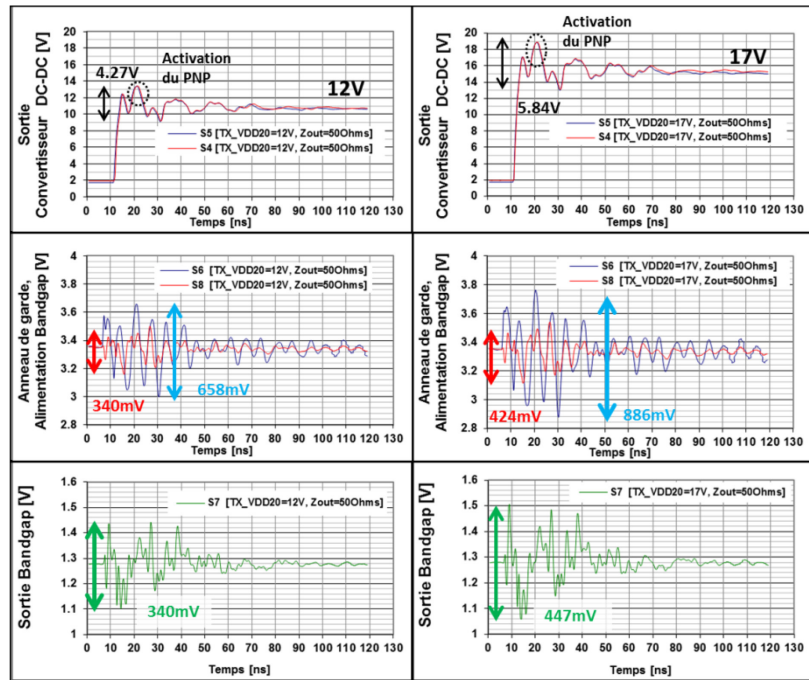


Figure IV-23: Perturbation du Bandgap lors du fonctionnement du convertisseur DC-DC à 10kHz, avec $Z_{out}=47\Omega$; TX_VDD20=12V (à gauche); TX_VDD20=17V (à droite);

IV.4.4.2. Résultats de l'analyse du couplage substrat et de son influence sur le Bandgap lors d'une injection DPI

A.) L'activation du transistor bipolaire PNP parasite lors d'une injection DPI

La première série de tests est réalisée avec différentes amplitudes de perturbation (puissance incidente PFOR = {25.88dBm; 27,88dBm; 30.99dBm; 32.41dBm}) avec une tension d'alimentation fixée à 12 V. Les mesures sur la Figure IV-24 montrent très bien la nature du couplage entre la sortie du convertisseur DC-DC et les nœuds sensibles du Bandgap (les collecteurs des transistors bipolaires Q₀, Q₁ et Q₂), observée par l'altération de la tension V_{ref}.

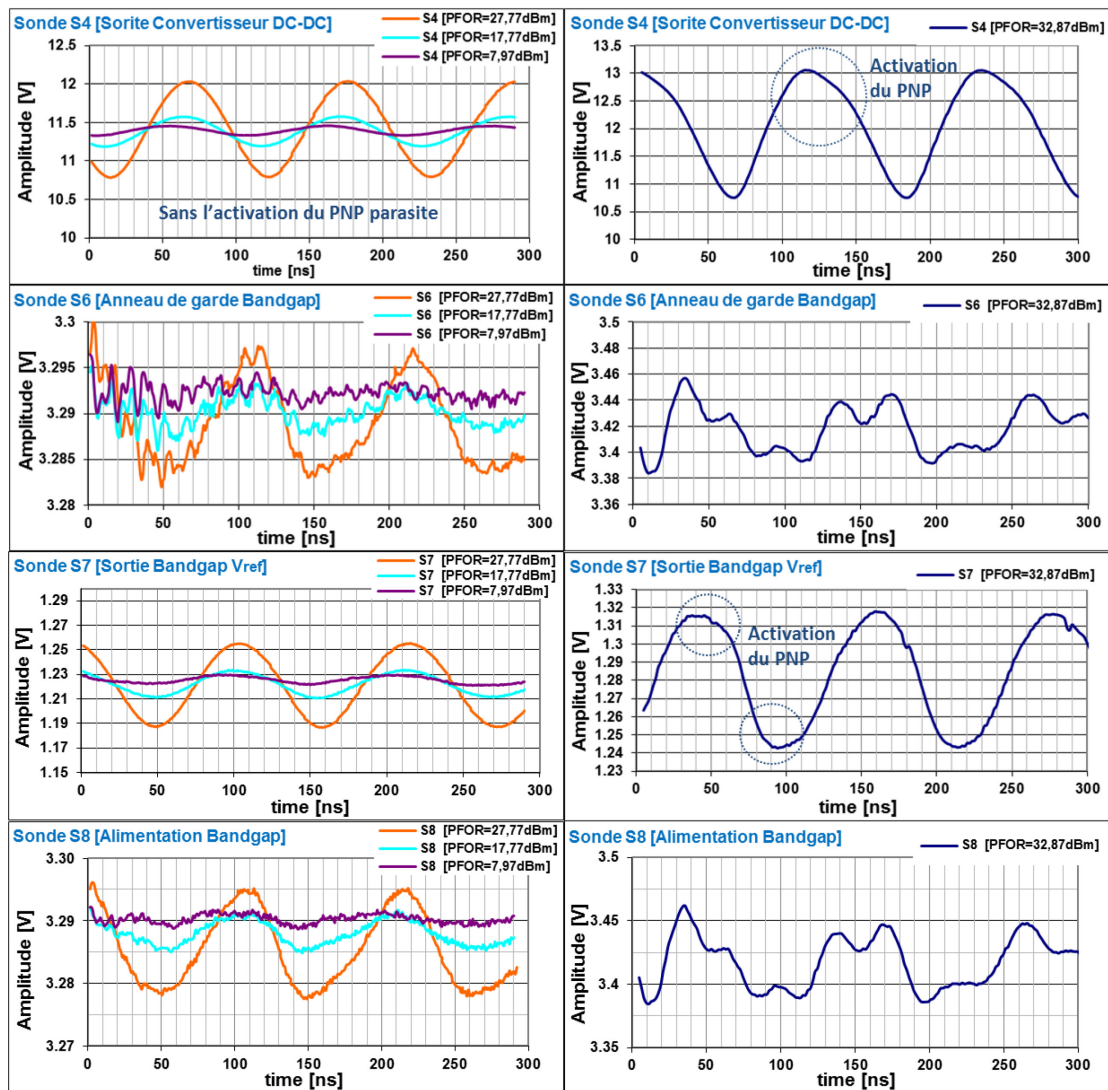


Figure IV-24: Activation du PNP avec une perturbation DPI de 10 MHz avec différentes puissances d'injection (PFOR={25.88dBm; 27,88dBm; 30.99dBm; 32.41dBm})

Le rôle du mécanisme de couplage substrat est bien mis en évidence dans cette expérience et on peut y observer le rôle de la jonction pn entre le drain du dispositif PMOS de la sortie du convertisseur DC-DC et le puit de type n subjacent. De plus, en fonction de l'amplitude de la perturbation, la nature du couplage peut être modifiée comme on peut le remarquer sur la dernière Figure IV-24.

En effet, lorsque la fluctuation de la tension sinusoïdale (injection DPI) couplée à la broche TX_LX est inférieure d'environ 0.6 V à la tension d'alimentation de 12V nous n'observons quasiment aucune déformation de signal: il n'y pas d'activation du transistor PNP parasite issu du substrat.

En revanche, lorsque l'amplitude de cette fluctuation dépasse d'environ 0.6V la tension d'alimentation 12 V, le signal en sortie présente une distorsion qui est due à l'activation du transistor PNP du substrat. Le degré de la distorsion du signal dépend de la puissance injectée, de la fréquence d'entrée de l'injection DPI ainsi que du point de collection des porteurs minoritaires au sein du Bandgap. Le couplage entre la sortie du convertisseur DC-DC et le Bandgap présente un régime non linéaire dû à l'activation de la jonction pn du drain du PMOS et des puits de type n subjacents. L'impact de l'intégrité de la tension de sortie du Bandgap devient négatif avec les fluctuations de tensions des quelques dizaines à quelques centaines de millivolts et l'apparition d'une tension d'offset.

B.) Activation du transistor bipolaire NPN parasite lors d'une injection DPI

La seconde série de mesures a également été réalisée avec différentes amplitudes d'injection DPI (puissance incidente $PFOR=\{25.88dBm; 30dBm; 33dBm; 35dBm; 37.77dBm\}$) et avec le convertisseur DC-DC désactivé afin d'avoir les transistors PMOS et NMOS de puissance en mode haute impédance. Les mesures présentées sur la Figure IV-25 montrent bien la nature du couplage entre la sortie du convertisseur DC-DC et le nœud en sortie du Bandgap. Ici, pour d'accentuer le mécanisme de couplage, l'anneau de garde Bandgap n'a pas été polarisé afin d'annuler la collection d'électrons issus du courant substrat.

Ce test met bien en évidence le rôle du mécanisme de couplage de substrat et le rôle de la jonction pn entre le drain du dispositif NMOS de la sortie du convertisseur DC-DC et les puits de type n adjacents appartenant à des dispositifs de faible puissance, comme notre Bandgap.

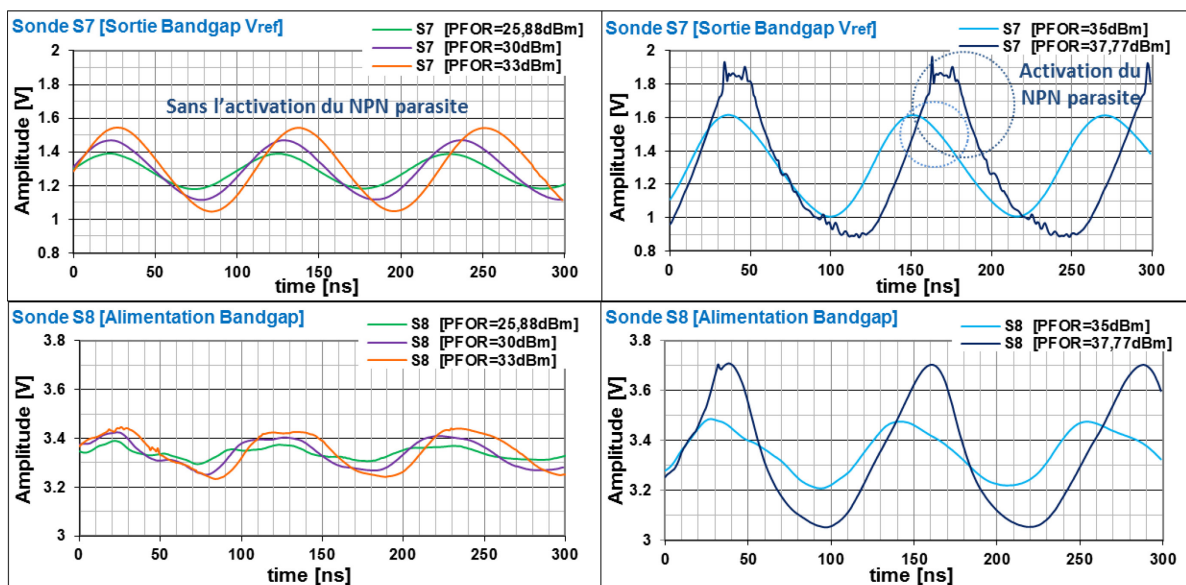


Figure IV-25: Activation du NPN avec une perturbation DPI de 10 MHz avec différentes puissances d'injection (PFOR=25.88dBm; 30dBm; 33dBm; 35dBm; 37.77dBm)

Cette expérience nous montre plus précisément le mécanisme du couplage du substrat, que nous avons déjà expliqué dans le précédent chapitre 3: les électrons injectés dans le substrat produisent une variation de tension des nœuds sensibles du Bandgap ce qui a pour conséquence une variation de sa tension de sortie V_{ref} .

Comme lors de la précédente expérience démontrant l'activation du transistor PNP parasite, nous avons aussi deux cas de figures en fonction de la puissance injectée de la perturbation DPI via la broche TX_LX.

Si la sinusoïde sans offset injecté fluctue autour de 0V avec une amplitude inférieure à une tension de seuil de 0.6V, nous n'observons aucune déformation du signal en sortie.

Par contre, au-delà de cette tension de seuil de 0.6V, les conditions d'activation de la jonction pn du substrat sont réunies et le couplage substrat s'active via le transistor NPN parasite entre le drain du NMOS de puissance et le puit de type n du Bandgap. Ici aussi le degré de la distorsion du signal dépend de la puissance injectée, de la fréquence d'entrée de l'injection DPI ainsi que du point de collection des porteurs minoritaires au sein du Bandgap. Nous observons un régime non linéaire dû à l'activation de la jonction pn. Cette jonction pn activée joue sur l'intégrité de la tension en sortie du Bandgap qui présente des fluctuations de la tension en sortie V_{ref} comprises entre quelques dizaines et quelques centaines de millivolts, ainsi qu'une tension d'offset.

IV.5. Conclusion

Dans ce chapitre, nous avons présenté un capteur sur puce adapté et optimisé pour la technologie CMOS haute tension 035 μ m d'ams dédié aux circuits Smart Power. Nous avons vu qu'il existe différentes techniques et approches pour réaliser les mesures sur puce directement avec leurs avantages et inconvénients. Notre capteur, fonctionnant sur le principe de sous-échantillonnage, nécessite un signal périodique et réitérable. Il est spécialement conçu pour réaliser les mesures aux nœuds sensibles des deux cas d'études présents sur la puce AUTOBNECH2.

Cependant, notre capteur sur puce n'a été utilisé que dans le cadre du cas d'étude 2, où il a servi à réaliser des mesures dans deux expériences bien distinctes. Le capteur a été conçu avec des transistors isolés et avait ses propres anneaux de garde. De plus, il a été placé sur le layout en l'éloignant des perturbations provoquant le couplage substrat pour en limiter son effet sur le fonctionnement du capteur. Nous avons testé notre capteur confirmant qu'il ne perturbe pas le bon fonctionnement du Bandgap en dehors d'une perturbation externe via le couplage substrat.

Le but de ces deux expériences est d'analyser le couplage substrat et son influence sur le Bandgap, soit lors du fonctionnement du convertisseur DC-DC avec une charge inductive ou résistive, soit lors de l'injection d'une perturbation électromagnétique sur sa sortie.

Grâce aux mesures réalisées avec le capteur sur puce, nous avons pu observer avec une grande résolution temporelle les effets néfastes sur le fonctionnement du Bandgap liés au couplage substrat. Nous avons pu ainsi, une fois de plus, mieux comprendre les mécanismes du couplage substrat. Ces deux expériences confirment les postulats théoriques déjà définis, expliqués et observés lors du précédent chapitre 3.

La première expérience visant à observer les effets du couplage substrat sur le Bandgap lors du fonctionnement du convertisseur DC-DC montre bien l'intérêt de protéger le Bandgap des effets néfastes dus à la commutation rapide haute tension des charges inductives à la sortie du convertisseur DC-DC. La meilleure stratégie reste à éloigner la victime de la source bien que les anneaux de garde ont un rôle important pour limiter les effets du couplage substrat.

La seconde expérience, visant à observer les effets du couplage substrat sur le Bandgap lors d'une injection DPI montre bien que la forme d'onde du signal sinusoïdal est déformée sur les nœuds sensibles du circuit et ce en fonction de la puissance injectée (mais aussi de la fréquence, pas présentée ici). Ceci nous confirme bien que l'activation des jonctions pn du substrat est à l'origine de cette dégradation de la forme d'onde du signal perturbateur menant à l'activation du couplage substrat, comme prévu théoriquement.

Comme perspectives des améliorations à apporter au capteur sur puce est la possibilité de mesurer des tensions en dessous de la tension de masse: sa masse devrait être décalée de quelques dizaines de millivolts par rapport à la masse globale du circuit observé. Cette possibilité, initialement prévue lors de la spécification du capteur, n'a pas été conservée par le fondeur. Une étude plus approfondie permettra aussi de trouver des solutions dans le but de pouvoir mesurer la forme d'onde de courant avec l'utilisation synchronisée et simultanée de deux sondes aux bords d'une résistance de valeur bien connue.

Références

- IV-1 A. Hajjar and G.W. Roberts, "A high speed and area efficient on-chip analog waveform extractor." In Proc. IEEE Int. Test Conf., 1998, pp. 688–697.
- IV-2 Koichiro Noguchi, Makoto Nagata. "On-Chip Multi-Channel Waveform Monitoring for Diagnostics of Mixed-Signal VLSI Circuits", EDAA - European design and Automation Association, DATE'05, Mar 2005, Munich, Germany. 1, pp.146-151, 2005.
- IV-3 Sonia Ben Dhia, "Une nouvelle méthodologie de caractérisation de l'intégrité du signal en cmos submicronique profond", PhD thèse, INSA Toulouse, 1998
- IV-4 A. Boyer, S. Ben Dhia, C. Lemoine, B. Vrignon, « Characterizing Circuit Susceptibility with On-chip Sensors », 2012 Asia-Pacific Int. Symp. on Electromagnetic Compatibility, May 21 – 25, 2012, Singapore.
- IV-5 Sonia Ben Dhia, Alexandre Boyer. Design of on-chip sensors to monitor electromagnetic activity in ICs: Towards on-line diagnosis and self-healing. Test Workshop - LATW, 2014 15th Latin American, Mar 2014, Fortaleza, Brazil. pp.1-6, 2014.
- IV-6 P. Larsson and C. Svensson, "Measuring high-bandwidth signals in CMOS circuits." Electron. Lett., vol. 29, no. 20, pp. 1761–1762, 1993.
- IV-7 R. Ho, B. Amrutur, K. Mai, B. Wilburn, T. Mori, and M. Horowitz, "Applications of on-chip samplers for test and measurement of integrated circuits." In Proc. Symp. VLSI Circuits Dig. Tech. Papers, 1998, pp. 138–139.
- IV-8 S. Delmas-Bendhia, F. Caignet, E. Sicard, M. Roca, "On-chip sampling in CMOS integrated circuits", IEEE Transactions on Electromagnetic Compatibility, Vol. 41, No. 4, November 1999.
- IV-9 M. Takamiya, M. Mizuno, and K. Nakamura, "An on-chip 100 GHz-sampling rate 8-channel sampling oscilloscope with embedded sampling clock generator." In Proc. Solid-State Circuits Conf., Feb. 2002, vol. 1, pp. 182–458.
- IV-10 Y. Zheng, K. L. Shepard, "On-chip oscilloscopes for non invasive timedomain measurement of waveforms in digital integrated circuits", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 11, No. 3, June 2003.
- IV-11 Rashid Rashidzadeh, Majid Ahmadi, William C. Miller, "On-chip measurement of waveforms in mixed-signal circuits using a segmented subsampling technique", Analog Integrated Circuits and Signal Processing, Volume 50, Issue 2, pp 105–113, February 2007
- IV-12 S. Ben Dhia, A. Boyer, B. Vrignon, M. Deobarro, T. V. Dinh, "On-Chip Noise Sensor for Integrated Circuit Susceptibility Investigations", IEEE Transactions on Instrumentation and Measurement, vol. 61, no. 3, pp.696-707, March 2012.
- IV-13 Hajjar and G.W. Roberts, "A High Speed and Area Efficient On-Chip Analog Waveform Extractor," Proc. of the IEEE International Test Conference, pp. 688-697, Washington D.C., Oct. 1998.
- IV-14 Mona Safi-Harb, Gordon W. Roberts, "A 70-GHz Effective Sampling Rate On-Chip Oscilloscope with Time-Domain Digitization", IEEE 2006 Custom Integrated Circuits Conference (CICC), San Jose, USA, 2006
- IV-15 Calogero Bona and Franco Fiori, "A new filtering technique that makes power transistors immune to EMI", IEEE Transactions on Power Electronics 26 (10), 2946-2955
- IV-16 W. Guggenbühl, T. Loeliger, M. Uster, and F. Grogg, "CMOS circuit for low photocurrent measurements," in IEEE International Workshop on Emergent Technologies for Instrumentation and Measurement, June 1996, pp. 62-67

- IV-17 T. Loeliger, P. Bächtold, G.K. Binnig, G. Cherubini, U. Dürig, E. Eleftheriou and P. Vettiger, M. Uster and H. Jäckel, "CMOS Sensor Array with Cell-Level Analog-to-Digital Conversion for Local Probe Data Storage," IEEE European Solid-State Circuit Conference 2002, Florence, Italy
- IV-18 M. Uster, T. Loeliger, W. Guggenbühl, and H. Jäckel, "Integrating ADC using a single transistor as integrator and amplifier for very low (1 fA minimum) input currents," in IEE International Conference on Advanced A/D and D/A Conversion Techniques and their Applications, July 1999, pp. 86-89.
- IV-19 M. Nagata, T. Okumoto, K. Taki, "A Built-in Technique for Probing Power Supply and Ground Noise Distribution Within Large-Scale Digital Integrated Circuits" IEEE J solid-state circuits, vol. 40, No. 4, April 2005, pp.813-819
- IV-20 Site Internet du fabricant: www.ams.com
- IV-21 S. Delmas - Ben Dhia, E. Sicard, F. Caignet, "A new method for measuring signal integrity in CMOS ICs", Microelectronic International Journal, Vol. 17, No. 1, MCB University Press, pp. 17-21, January 2000.
- IV-22 B. Vrignon, S. Ben Dhia, "On-chip sampling sensors for high frequency signals measurement: evolution and improvements", IEEE Caracas Conference on Design of Circuits and Systems, Punta Cana, Dominican Republic, November 2004.
- IV-23 Mikko E. Waltari, PhD Thesis, "Circuit Techniques for Low-Voltage and High-Speed A/D Converters", Helsinki University of Technology, Department of Electrical and Communications Engineering, Electronic Circuit Design Laboratory, Finland 2002
- IV-24 Integrated Circuits, Measurement of Electromagnetic Immunity, 150 KHz–1 GHz: General and Definitions, IEC62132-1 Part 1, 2007, International Electrotechnical Commission: Geneva, Switzerland
- IV-25 Direct RF power injection to measure the immunity against conducted RF-disturbances of integrated circuits up to 1 GHz, IEC 62132-4, 2003, International Electrotechnical Commission: Geneva, Switzerland.

Chapitre V. EVALUATION D'UNE NOUVELLE METHODE DE MODELISATION DU COUPLAGE SUBSTRAT DANS LES CIRCUITS SMART POWER

Le projet FP7 européen AUTOMICS [I-1], dans le cadre duquel cette thèse est réalisée, propose de développer une solution pragmatique et innovante ayant pour objectif de modéliser le couplage substrat. L'idée principale du projet repose sur le besoin que le couplage substrat soit rapidement simulable pendant le développement et la conception d'un circuit intégré Smart Power afin de prédire les défaillances du circuit bien avant sa fabrication. Pour ce faire, le projet AUTOMICS propose un outil d'extraction du layout du circuit basé sur une nouvelle méthode de modélisation par maillage 3D du substrat en utilisant les éléments localisés bipolaires inhérents à la physique des semi-conducteurs. Ce maillage 3D du substrat permet de créer une "netlist" des éléments parasites du substrat, laquelle, une fois "*backannoté*", est combinée avec la "netlist" originale du circuit afin d'étudier, par simulation, les possibles effets du couplage substrat sur les éléments sensibles du design. Dans ce chapitre, nous allons tout d'abord présenter le cadre du projet AUTOMICS. Ensuite, nous exposerons le nouveau modèle de couplage substrat développé par EPFL [V-3]. Nous continuerons par décrire la méthodologie employée par l'outil AUTOMICS, conçue par l'équipe partenaire du LIP6 de UPMC [V-4], pour faire le maillage 3D du substrat du circuit en utilisant les éléments localisés déterminés par le partenaire EPFL. Pour finir ce chapitre, nous présenterons les cas de validation de ce nouveau modèle de couplage substrat en utilisant le nouvel outil d'extraction AUTOMICS. Pour ce faire, les simulations basées sur la netlist des éléments parasites du substrat des cas d'étude 1 et 2 seront confrontés aux mesures déjà présentées dans les précédents chapitres.

V.1. Présentation des méthodes de modélisation du couplage substrat

Le projet AUTOMICS, financé par le 7^{ème} Programme Cadre de Recherche et Développement (7^{ème} PCRD ou FP7) s'inscrit dans une lignée de projets similaires traitant la problématique du couplage substrat dans les circuits de puissance de type Smart Power. Avant AUTOMICS, il y a eu d'autres projets et travaux de recherche qui se proposaient d'offrir des solutions de prédiction du couplage substrat essentiellement basées sur des simulateurs de type TCAD (Technology Computer Aided Design), comme nous l'avons abordé dans le chapitre 2 traitant le couplage substrat plus en détail. Le projet AUTOMICS est créé afin de pallier aux problèmes de couplage substrat des circuits Smart Power, auxquels sont confrontés les designers depuis des années. L'élaboration d'un outil CAO portant le même nom que le projet AUTOMICS, propose d'apporter une solution pragmatique et innovante ayant pour objectif de modéliser le couplage substrat dans les circuits Smart Power.

V.1.1. Modèle EPFL du couplage substrat

Pour modéliser le couplage substrat, ce nouveau modèle intègre l'ensemble des transistors bipolaires parasites verticaux et latéraux, déjà cités précédemment (Figure II-14). En proposant de faire l'extraction, puis le maillage 3D du layout, en intégrant les éléments discrets et localisés utilisant le nouveau modèle de couplage substrat développé par EPFL, le designer peut maintenant disposer d'une netlist supplémentaire du circuit modélisant le couplage substrat. En utilisant cette nouvelle netlist du substrat et en la combinant avec la netlist originale du circuit (back annotation), le concepteur a la possibilité de simuler facilement et rapidement sous SPICE le couplage substrat et ses effets potentiellement néfastes pour le circuit en développement. Ainsi, le flot de conception et de fabrication du circuit (Figure V-2) se voit considérablement réduit en temps, tout en économisant la fabrication de plusieurs prototypes du circuit avant sa version finale mise sur le marché. Notons que les tests de fiabilité et de robustesse du circuit restent toujours dans la boucle du flot de développement ; en effet, l'outil AUTOMICS ne garantit pas que tous les tests passent du premier coup pour un circuit donné. Il permet néanmoins de détecter les problèmes de couplage substrat liés à l'activation des transistors bipolaires parasites.

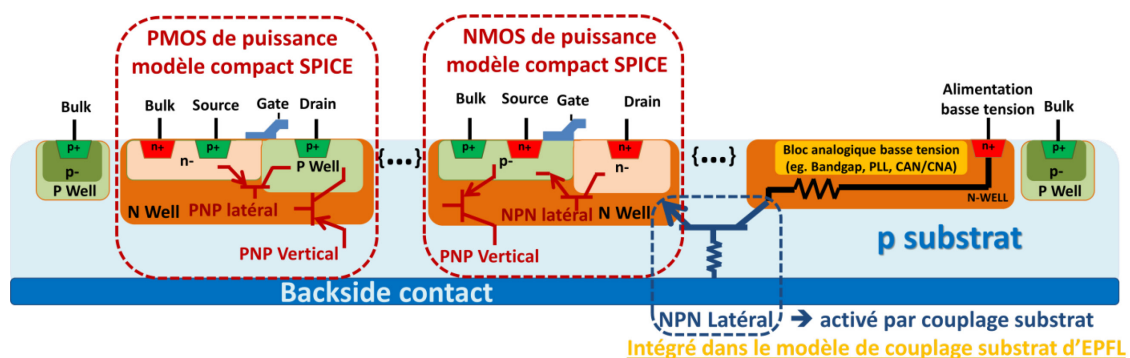


Figure V-1: Nouvelle approche de modélisation du couplage substrat de l'EPFL avec l'intégration des transistors bipolaires parasites inhérents au layout (les NPN latéraux avec les PNP latéraux et verticaux du modèle compact déjà existant)

Voici une manière simple de présenter la philosophie de l'outil: comme les approches RC distribuées et TCAD, l'approche de l'EPFL consiste à représenter le substrat comme un réseau distribué de composants (diodes, résistances), qui intègrent les phénomènes de propagation de porteurs majoritaires et minoritaires dans le substrat. Mais contrairement à l'approche TCAD, une méthode de résolution numérique de type FDM ou FEM n'est pas utilisée pour calculer les courants/tension en tout point du circuit. Ici, la résolution se fait directement avec SPICE. Cela permet d'intégrer complètement la simulation du couplage substrat dans le flot de conception d'un circuit avec les outils de CAO conventionnels.

Mis à part d'être complètement intégrable dans le flot de conception et simulation sur des outils CAO basés sur SPICE, les autres points forts du modèle EPFL du couplage substrat sont:

- la prise en compte des conditions de faible et forte injection des porteurs minoritaires dans le substrat
- les simulations pour déterminer le comportement statique, fréquentiel et temporel du couplage substrat
- la prise en compte de l'effet de la température, basé sur le modèle de MEDICI [II-33]

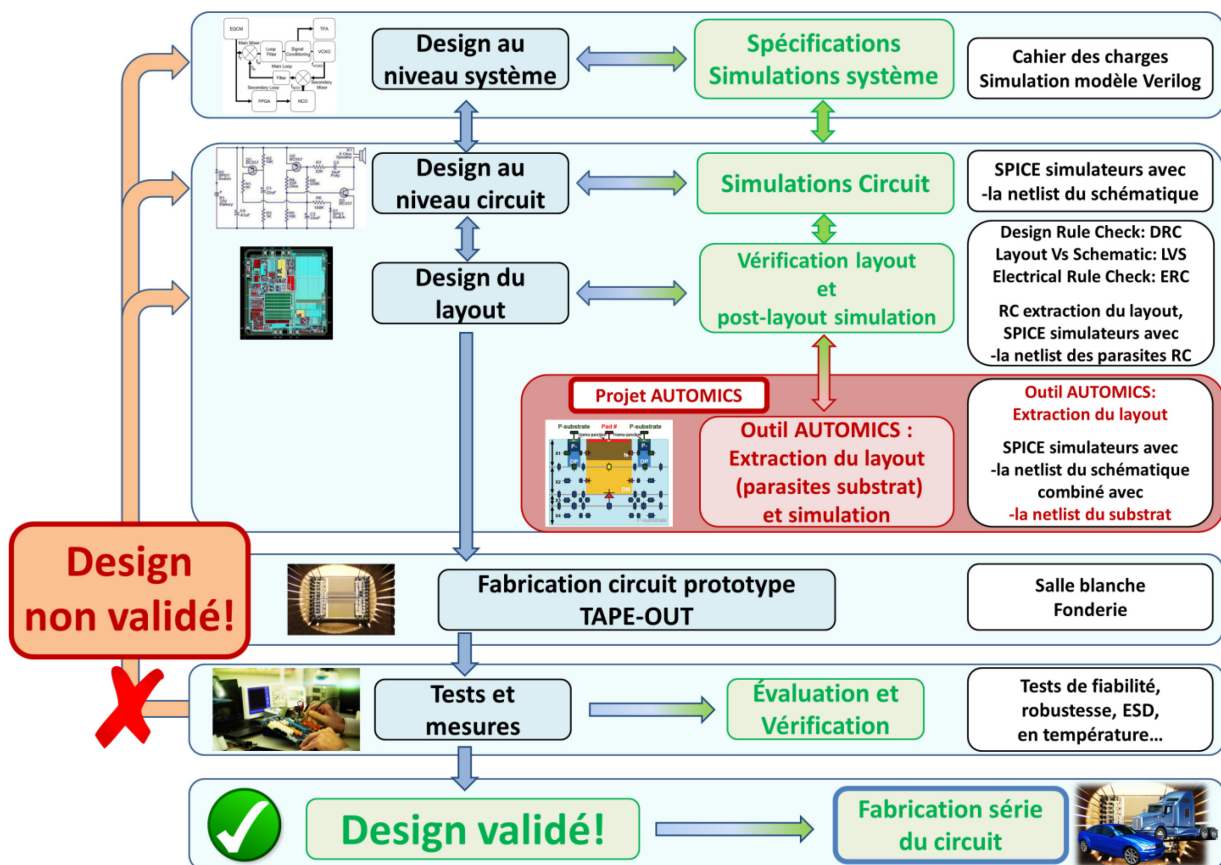


Figure V-2: Flot de conception avec et sans l'outil AUTOMICS

Avant de parler de l'outil AUTOMICS, développé par l'équipe de chercheurs de l'UPMC au sein du projet AUTOMICS, qui discrétise le layout en un ensemble de composants élémentaires modélisant l'injection de porteurs majoritaires et minoritaires, nous

allons décrire la manière dont ces composants élémentaires sont modélisés. Cette approche est issue des travaux effectués ces dernières années à l'EPFL, notamment à travers les thèses de Fabrizio Lo Conte [V-29] et de Camillo Stefanucci [III-12].

V.2. Modèle du couplage substrat dans les Circuits Intégrés SMART POWER

Depuis plusieurs années, les chercheurs de l'EPFL [V-3] travaillent sur le développement d'une nouvelle méthode de modélisation du couplage substrat dans les circuits Smart Power. Leur modèle de substrat, basé sur une distribution de trois types d'éléments localisés: des diodes, des résistances, des homojunctions. Il s'agit de modèles spéciaux intégrant non seulement la propagation des porteurs majoritaires, mais aussi celles des porteurs minoritaires. Ce modèle de substrat composé d'éléments localisés et codé sous VerilogA, a une forme complètement exploitable par les simulateurs modernes basés sur SPICE. Il peut donc être associé au modèle du circuit complet et simulé rapidement, contrairement aux approches TCAD. Les éléments localisés ont chacun deux bornes supplémentaires prenant en compte la propagation des porteurs minoritaires du substrat [V-32], offrant ainsi la possibilité de modéliser les transistors bipolaires parasites inhérents au substrat. Le placement et le dimensionnement de ces transistors bipolaires parasites sont uniquement basés sur le dessin du circuit et les paramètres technologiques du fondeur.

V.2.1. Description des éléments localisés

La nouvelle approche de modélisation du couplage substrat de l'EPFL repose sur la prise en compte de la propagation des porteurs minoritaires dans le substrat [III-12]. Le modèle est basé sur une discrétisation de l'équation de dérive-diffusion. La propagation des porteurs minoritaires par les phénomènes de diffusion et de dérive (*drift*) est incluse dans un circuit équivalent composé d'éléments localisés spéciaux, compatibles SPICE.

V.2.1.1. Discrétisation de l'équation de dérive-diffusion

Le modèle 1D de diffusion et de dérive des porteurs majoritaires (trous) et minoritaires (électrons) dans le substrat est présenté sur la Figure V-3. Sur cette figure, les broches V1 et V2 correspondent aux deux terminaux physiques du composant. Les broches $V_{eq,1}$ et $V_{eq,2}$ représentent les deux broches supplémentaires de chaque élément localisé de l'EPFL dont la fonction est de prendre en compte la diffusion des porteurs minoritaires entre les différents éléments localisés du substrat.

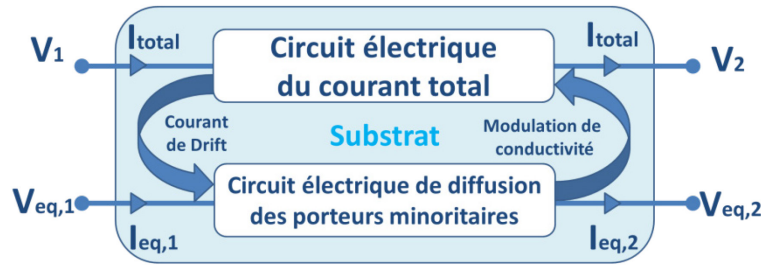


Figure V-3: Mécanisme de couplage entre les porteurs minoritaires et majoritaires défini par le phénomène de drift et de diffusion des porteurs, [III-12]

Dans le modèle de l'EPFL du couplage substrat, lors des conditions de faible injection, la propagation des porteurs minoritaires est prise en compte pour chaque élément localisé en se basant sur la solution analytique de l'équation 1D de continuité Eq. V.1, Eq. V.2 et Eq. V.3, [V-30]:

$$\frac{\partial p_n}{\partial t} = D_p \frac{\partial^2 p_n}{\partial x^2} - \frac{p_n - p_{n0}}{\tau_p} \quad \text{Eq. V.1}$$

$$\frac{\partial n_p}{\partial t} = D_n \frac{\partial^2 n_p}{\partial x^2} - \frac{n_p - n_{p0}}{\tau_n} \quad \text{Eq. V.2}$$

$$D_n = V_t \mu_n = \frac{kT}{q} \mu_n; \quad D_p = V_t \mu_p = \frac{kT}{q} \mu_p \quad (\text{Relations d'Einstein}) \quad \text{Eq. V.3}$$

Où:

- D_p, D_n** : la constante de diffusion des trous et des électrons, respectivement
- p_n, n_p** : la concentration des porteurs minoritaires, des trous dans un matériau de type n et des électrons dans un matériau de type p, respectivement
- p_{n0}, n_{p0}** : la concentration des porteurs minoritaires lors de l'équilibre thermique, des trous dans un matériau de type n et des électrons dans un matériau de type p, respectivement
- τ_p, τ_n** : la durée de vie des porteurs, des trous et des électrons, respectivement
- V_t** : Tension thermique, $V_t(300K)=27mV$
- k** : Constante de Boltzmann ($1,38 \times 10^{-23} \text{ m}^2 \cdot \text{kg} \cdot \text{s}^{-2} \cdot \text{K}^{-1}$)
- T** : Température en Kelvins

En négligeant les courants de diffusion des porteurs majoritaires et en incluant les courants de diffusion pour les porteurs minoritaires, les équations de continuité Eq. V.1 et Eq. V.2 peuvent maintenant être réécrites pour le régime permanent ($\frac{\partial p_n}{\partial t} = 0$ et $\frac{\partial n_p}{\partial t} = 0$), sous forme des équations Eq. V.4 et Eq. V.5 :

$$D_p \frac{\partial^2 p_n}{\partial x^2} + \mu_n \frac{\partial(p_n E)}{\partial x} - \frac{n_p}{\tau_p} = 0 \quad \text{Eq. V.4}$$

$$D_n \frac{\partial^2 n_p}{\partial x^2} + \mu_p \frac{\partial(n_p E)}{\partial x} - \frac{p_n}{\tau_n} = 0 \quad \text{Eq. V.5}$$

Nous pouvons en plus développer le second terme dans les dernières équations :

$$\frac{\partial(p_n E)}{\partial x} = \varepsilon \frac{\partial(p_n)}{\partial x} + p_n \frac{\partial(\varepsilon)}{\partial x} \quad \text{Eq. V.6}$$

$$\frac{\partial(n_p E)}{\partial x} = \varepsilon \frac{\partial(n_p)}{\partial x} + n_p \frac{\partial(\varepsilon)}{\partial x} \quad \text{Eq. V.7}$$

Pour les conditions de faible injection de courant dans le substrat, on peut considérer que le champ électrique est quasi-inexistant ($\varepsilon \approx 0$) et par conséquent le second terme, dans les Eq. V.4 et Eq. V.5 où apparaît le champ électrique peut être négligé.

De plus, lors des conditions de forte injection (phénomène ESD par exemple), le mécanisme de couplage substrat par le biais des porteurs majoritaires devient significatif. Comme on peut l'observer sur la Figure V-3, si le surplus de concentration de porteurs injectés module localement la conductivité, la chute de la tension de substrat induit un champ électrique non négligeable qui engendre un courant de dérive. Celui-ci s'ajoute au courant de diffusion des porteurs minoritaires déjà existants dans le substrat [V-33].

Pour le cas de l'état d'équilibre du semi-conducteur, les équations des courants de diffusion et de dérive peuvent être résolues dans une dimension. Dans un semi-conducteur de type p, le modèle EPFL repose sur un maillage du substrat de longueur $2\Delta x$ dans la direction x (Figure V-4). Le problème est ainsi réduit à une dimension, dont la solution pourra facilement être extrapolée à trois dimensions avec un système d'interconnexions des nœuds du maillage dans les trois directions de l'espace [V-36].

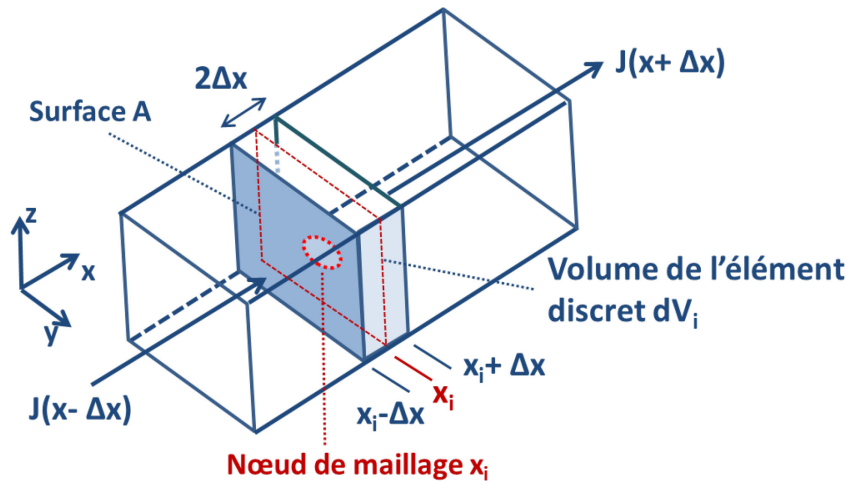


Figure V-4: discrétisation 1 D du semi-conducteur [III-11]

Ce modèle, basé sur le système d'équations de densité de courant de diffusion et de dérive pour les trous et les électrons, est défini par les équations Eq. V.8, Eq. V.9 et Eq. V.10 pour un semi-conducteur de type p [V-30], [V-36]. Les équations pour un semi-conducteur de type n pourront être déduites de manière symétrique.

$$J_{total}(x) = \underbrace{J_{p,drift} + J_{p,diffusion}}_{J_p(x)} + \underbrace{J_{n,drift} + J_{n,diffusion}}_{J_n(x)} \quad \text{Eq. V.8}$$

$$J_p(x) = \underbrace{q\mu_p \varepsilon(x)(\delta p + N_a)}_{J_{p,drift}} - \underbrace{qD_p \frac{d\delta p}{dx}}_{J_{p,diffusion}} \quad \text{Eq. V.9}$$

$$J_n(x) = \underbrace{q\mu_n \mathcal{E}(x)(\delta n + n_{p0})}_{J_{n,drift}} + \underbrace{qD_n \frac{d\delta n}{dx}}_{J_{n,diffusion}} \quad \text{Eq. V.10}$$

Avec :

- δn et δp** : est l'excès des porteurs minoritaires et majoritaires du substrat de type p, respectivement
 N_a : densité de dopage du substrat de type p
 μ_p, μ_n : Mobilité des porteurs, des trous et des électrons, respectivement
 $\mathcal{E}(x)$: champ électrique supposé constant dans la région d'intérêt [V/cm]

En prenant en compte les conditions de neutralité $\delta n = \delta p$ et en supposant que le champ électrique est constant: $\mathcal{E}(x) = \text{const} = \mathcal{E}$ dans le volume V du maillage du substrat (Figure V-4), nous avons maintenant:

$$J_{total}(x) = q\mathcal{E} \left(\mu_p(\delta n + N_a) + \mu_n(\delta n + n_{p0}) \right) + q(D_n - D_p) \frac{d\delta n}{dx} \quad \text{Eq. V.11}$$

Le courant total I_{total} de l'élément localisé (incluant la contribution des porteurs minoritaires) de longueur $2\Delta x$ [m] avec l'aire de la coupe transversale A [m²] est défini par l'Eq. V.12:

$$I_{total} = J_{total} * A \quad \text{Eq. V.12}$$

Nous avons maintenant une des équations à partir de laquelle se basent les différents circuits équivalents des éléments localisés du modèle du couplage substrat de l'EPFL, l'Eq. V.13:

$$I_{total} = q\mathcal{E}A \left(\mu_p(\delta n + N_a) + \mu_n(\delta n + n_{p0}) \right) + qA(D_n - D_p) \frac{d\delta n}{dx} \quad \text{Eq. V.13}$$

Dans cette dernière équation, définissant le courant total du modèle du couplage substrat présenté sur la Figure V-3, nous avons deux parties distinctes [V-36]:

- la première partie de l'équation a la forme d'une résistance due à la tension appliquée aux bords de l'élément localisé $\mathcal{E} = \frac{\Delta V}{2\Delta x}$. Pour les besoins de modélisation, on définit ainsi la conductivité σ de l'élément localisé qui peut avoir trois expressions différentes selon les conditions d'injection:
 - $\sigma = (\mu_p N_a + \mu_n n_0)$ pour les conditions de faible injection ($\delta n \ll N_a$);
 - $\sigma = q \left(\mu_p(\delta n + N_a) + \mu_n(\delta n + n_{p0}) \right)$ pour les conditions de moyenne et forte injection;
 - $\sigma = q(\mu_p + \mu_n)\delta n$ pour les conditions de très forte injection ($\delta n \gg N_a$);

- la seconde partie définit le courant de diffusion I_{bulk} , correspondant à la différence entre le courant de diffusion des porteurs minoritaires et le courant de diffusion des porteurs majoritaires;

Pour définir la partie du circuit électrique de diffusion des porteurs minoritaires (Figure V-3), nous allons nous baser sur la discrétisation de l'équation de continuité appliquée sur l'élément discret dV_i du substrat (Figure V-4), lequel est combiné au simple modèle de recombinaison-génération:

$$\frac{1}{q} \frac{dJ_n(x)}{dx} = \frac{\delta n}{\tau_n} \quad \text{Eq. V.14}$$

$$\left. \frac{dJ_n(x)}{dx} \right|_{x=x_i} \approx \frac{J_n(x_i + \Delta x) - J_n(x_i - \Delta x)}{2 * \Delta x} = q \frac{\delta n}{\tau_n} \quad \text{Eq. V.15}$$

Ici $J_n(x_i + \Delta x)$ et $J_n(x_i - \Delta x)$ définissent les densités de courants aux abords postérieurs et antérieurs de l'élément discret dV_i présenté sur la Figure V-4. En partant de l'Eq. V.10, nous pouvons maintenant définir $J_n(x_i + \Delta x)$ et $J_n(x_i - \Delta x)$ avec les équations Eq. V.16 et Eq. V.17:

$$J_n(x_i + \Delta x) = q\mu_n \delta n(x_i + \Delta x) \mathcal{E}(x_i + \Delta x) + qD_n \frac{\delta n(x_i + \Delta x) - \delta n(x_i)}{\Delta x} \quad \text{Eq. V.16}$$

$$J_n(x_i - \Delta x) = q\mu_n \delta n(x_i - \Delta x) \mathcal{E}(x_i - \Delta x) + qD_n \frac{\delta n(x_i) - \delta n(x_i - \Delta x)}{\Delta x} \quad \text{Eq. V.17}$$

Dans la dernière équation, le champ électrique est constant aux abords postérieurs et antérieurs de l'élément discret dV_i . Ce champ électrique peut être défini comme un gradient de tension (Eq. V.18 et Eq. V.19):

$$\mathcal{E}(x_i + \Delta x) = \frac{V(x_i + \Delta x) - V(x_i)}{2 \Delta x} \quad \text{Eq. V.18}$$

$$\mathcal{E}(x_i - \Delta x) = \frac{V(x_i) - V(x_i - dx)}{2 \Delta x} \quad \text{Eq. V.19}$$

En prenant $I_n = J_n * A$ dans l'équation de départ Eq. V.15 (en multipliant par l'aire A les deux côtés de l'équation), nous pouvons maintenant définir le courant de diffusion des porteurs minoritaires présenté sur la Figure V-3. En incluant les équations Eq. V.16 et Eq. V.17 combinées avec les équations Eq. V.18 et Eq. V.19 dans Eq. V.15 nous avons :

$$\begin{aligned} & q\mu_p A \delta n(x_i + \Delta x) \mathcal{E}(x_i + \Delta x) - q\mu_p A \delta n(x_i - \Delta x) \mathcal{E}(x_i - \Delta x) \\ & + qAD_n \frac{\delta n(x_i + \Delta x) - \delta n(x_i)}{\Delta x} - qAD_n \frac{\delta n(x_i) - \delta n(x_i - \Delta x)}{\Delta x} \\ & = 2 \Delta x * A * q \frac{\delta n(x_i)}{\tau_n} \end{aligned} \quad \text{Eq. V.20}$$

L'étude et le développement des dernières équations Eq. V.1 à Eq. V.20 proviennent des aspects théoriques du semi-conducteur définis dans la littérature, par exemple [V-37], [III-6]. Ces dernières équations sont adaptées pour les besoins du modèle du couplage substrat EPFL (développées dans les travaux des chercheurs de l'EPFL [V-30], [III-12], [V-33]).

En se basant sur les dernières équations que nous venons d'exposer, Eq. V.8 - Eq. V.20, nous avons défini les dénominations et fonctions de transfert des composants utilisés dans le modèle de résistance, de diode et d'homojunction. Ces composants du modèle seront présentés dans les prochains sous-chapitres (sur les figures Figure V-5, Figure V-6 et Figure V-7).

V₁, V₂ La tension appliquée à l'élément localisé de longueur $2\Delta x$ [m] avec l'aire de la coupe transversale A [m²]

V_{eq,i} : La tension représentant la concentration des porteurs minoritaires au nœud i défini par l'Eq. V.21

$$V_{eq,i} = q\delta n(i) \quad \text{Eq. V.21}$$

I_{bulk}: Le courant de diffusion des porteurs minoritaires est défini par l'Eq. V.22; il correspond au second terme qui apparait dans l'Eq. V.13

$$I_{bulk} = qA(D_n - D_p) \frac{d\delta n}{dx} \quad \text{Eq. V.22}$$

I_{eq,i} : Le courant représentant le gradient des porteurs minoritaires au nœud i défini par l'Eq. V.23

$$I_{eq,i} = q \frac{d\delta n}{dx} \quad \text{Eq. V.23}$$

I_{total}: Le courant total dans la région de déplétion est la somme des courants de drift et de diffusion des trous et des électrons [V-37]. Cette source de courant est définie par la valeur du gradient de concentration des porteurs minoritaires et la tension appliquée à la jonction. Pour le cas des faibles injections ce courant est composé des électrons dans la région dopée p et de trous dans la région dopée n. Pour des fortes injections, ce courant devient le courant de dérive des porteurs.

V_j: La tension aux abords de la région de déplétion

G₀: La conductance fixe définie pour faible et forte injection (Eq. V.24).

$$G_0 = \frac{qA(\mu_p N_a + \mu_n n_0)\delta n}{dx} \quad \text{Eq. V.24}$$

G_{min}: La conductance variable qui émule la modulation de la conductance dû à la variation de concentration des porteurs minoritaires lors de forte injection (Eq. V.25).

$$G_{min} = \frac{qA(\mu_p + \mu_n)\delta n}{dx} \quad \text{Eq. V.25}$$

G_d : La "diffusance" représente la conductance qui dépend du coefficient de diffusion et émule le courant de diffusion, défini par l'Eq. V.26.

$$G_d = \frac{AD_{n,p}}{\Delta x} \quad \text{Eq. V.26}$$

G_c : La "combinance" représente la conductance qui dépend de la durée de vie des porteurs et émule la portion du courant des porteurs minoritaires qui sont recombinaés dans le volume $V_i = A * 2\Delta x$ (Eq. V.27).

$$G_c = \frac{A * 2\Delta x}{\tau_{n,p}} \quad \text{Eq. V.27}$$

g_{md} : La "driftance" représente la transconductance qui pondère l'effet du champ électrique sur le courant de diffusion des porteurs minoritaires, défini par l'Eq. V.28

$$g_{md} = A\mu_{n,p}\mathcal{E}(x_i \pm \Delta x) \quad \text{Eq. V.28}$$

$\Delta V_{eq,p/n}$: La source de tension dépendante représentant le surplus de concentration des porteurs minoritaires entre deux circuits équivalents P et P⁺ ou N et N⁺ (Eq. V.29)

$$V_{eq,p} = q(\delta n_2 - \delta n_1); V_{eq,n} = q(\delta p_2 - \delta p_1); \quad \text{Eq. V.29}$$

C_j : Capacité de jonction (la capacité de la couche de déplétion), dominante dans les conditions de polarisation en inverse de la jonction, définie par l'Eq. V.30, [V-37]. Cette capacité est formée par les charges des donneurs et accepteurs dans la région de déplétion.

$$C_j = \left| \frac{dQ}{d(V_b - V_j)} \right| = \frac{\epsilon A}{W} = \epsilon A \sqrt{\frac{q}{2\epsilon(V_b - V_j)} \frac{N_d N_a}{N_d + N_a}} \quad \text{Eq. V.30}$$

Où nous avons \mathcal{E} pour le champ électrique dans la jonction, W la largeur de la région de déplétion, A l'aire de la région de déplétion, V_j la tension appliquée aux bornes de la jonction, V_b est le potentiel de barrière inhérent, q la charge d'un électron, N_d et N_a la concentration des donneurs et accepteurs respectivement.

C_d : Capacité de diffusion (la capacité stockage de charges), dominante dans les conditions de polarisation en direct de la jonction, Eq. V.31, [V-37]. Cette capacité provient de l'injection des porteurs minoritaires, dont l'effet direct est le retard de phase entre le courant et la tension afin de décharger le surplus de charges.

$$C_d = \frac{q^2}{2KT} (p_{n0} \cdot L_p + n_{p0} \cdot L_n) e^{\frac{qV_b}{KT}} \quad \text{Eq. V.31}$$

Ici nous avons L_p et L_n pour la longueur de diffusion des trous et des électrons, respectivement.

α Paramètre définissant le type de couche dans lequel se trouve l'élément localisé de longueur Δx [m] avec l'aire de la coupe transversale A [m²], défini par l'Eq. V.32

$$\alpha = 1 ; \text{ pour les électrons dans une couche de type p}$$

$$\alpha = -1 ; \text{ pour les trous dans une couche de type n}$$

Eq. V.32

En partant de la modélisation de type RC du substrat, le modèle EPFL du substrat est une extension pouvant simuler les effets de la propagation des porteurs minoritaires à travers le substrat. Ainsi, les structures de type thyristor et les conditions d'apparition des latch-up peuvent être simulées facilement sans aucune modélisation supplémentaire du layout du circuit.

Le modèle de substrat de l'EPFL est composé de trois éléments localisés à 4 broches qui sont la résistance EPFL, la diode EPFL et l'homojonction EPFL. Nous allons les décrire en détail dans les paragraphes suivants.

V.2.1.2. Résistance EPFL

La résistance du substrat est remplacée par une résistance équivalente EPFL modélisant la propagation des porteurs minoritaires dans le substrat aussi bien lors des conditions de faible injection (modèle de diffusion des porteurs minoritaires) que lors de forte injection (modèle de dérive des porteurs minoritaires) [V-33] [V-35]. Ce modèle découle directement de la traduction de l'équation de dérive-diffusion sous la forme d'un circuit électrique équivalent.

Le symbole et le circuit équivalent de la résistance EPFL utilisés dans le modèle sont présentés sur la Figure V-5.

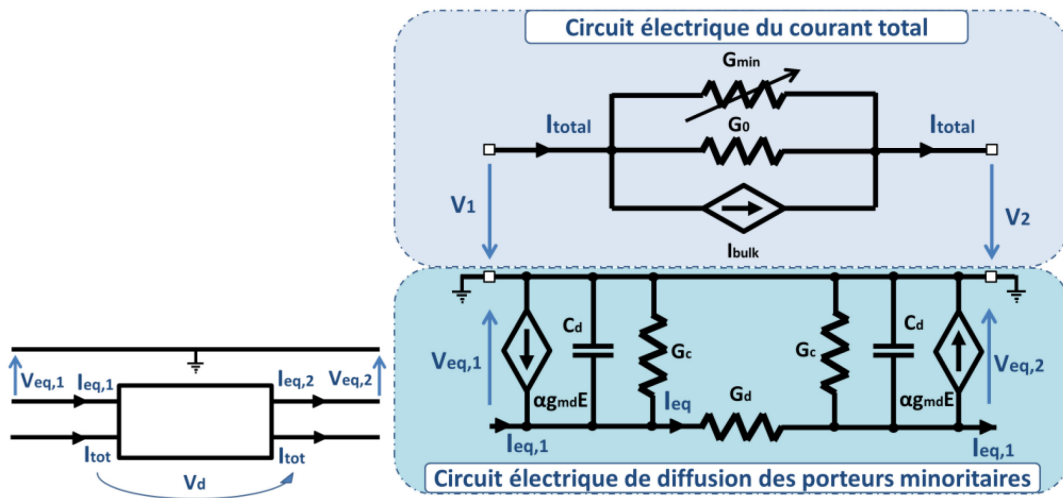


Figure V-5: Le symbole (gauche) et le circuit équivalent (droite) de la résistance EPFL

V.2.1.3. Diode EPFL

Dans le but de modéliser l'injection et la collection des porteurs minoritaires, la capacité de jonction C_j de la diode parasite, définie par la jonction pn du substrat, est remplacée par une diode équivalente EPFL, [V-33], [V-35].

La jonction pn peut être considérée comme une structure définie par trois régions distinctes [V-35]:

- la région quasi neutre de type p, modélisée par une résistance EPFL de type p
- la région quasi neutre de type n, modélisée par une résistance EPFL de type n
- la zone de déplétion

Étant donné que le courant total I_{tot} dans la zone de déplétion est la somme des courants de dérive et de diffusion des trous et des électrons [V-37], ce courant peut être représenté dans le modèle comme une source de courant dépendante du gradient de concentration des porteurs minoritaires et de la différence des tension appliquée aux bornes de la jonction pn. Dans le cas d'une faible injection, la composante dominante de cette source de courant sont les courants de diffusion des électrons dans la région de type p et les courants de diffusion des trous dans la région de type n. À l'opposé, lors d'une forte injection, les courants

dominants sont les courants de dérive des porteurs. Ces courants de dérive sont inclus dans le modèle de diode EPFL en généralisant le modèle conventionnel de la jonction pn et en intégrant les conditions de grande injection [V-33].

Le symbole et le circuit équivalent de la diode EPFL utilisés dans le modèle sont présentés sur la Figure V-6:

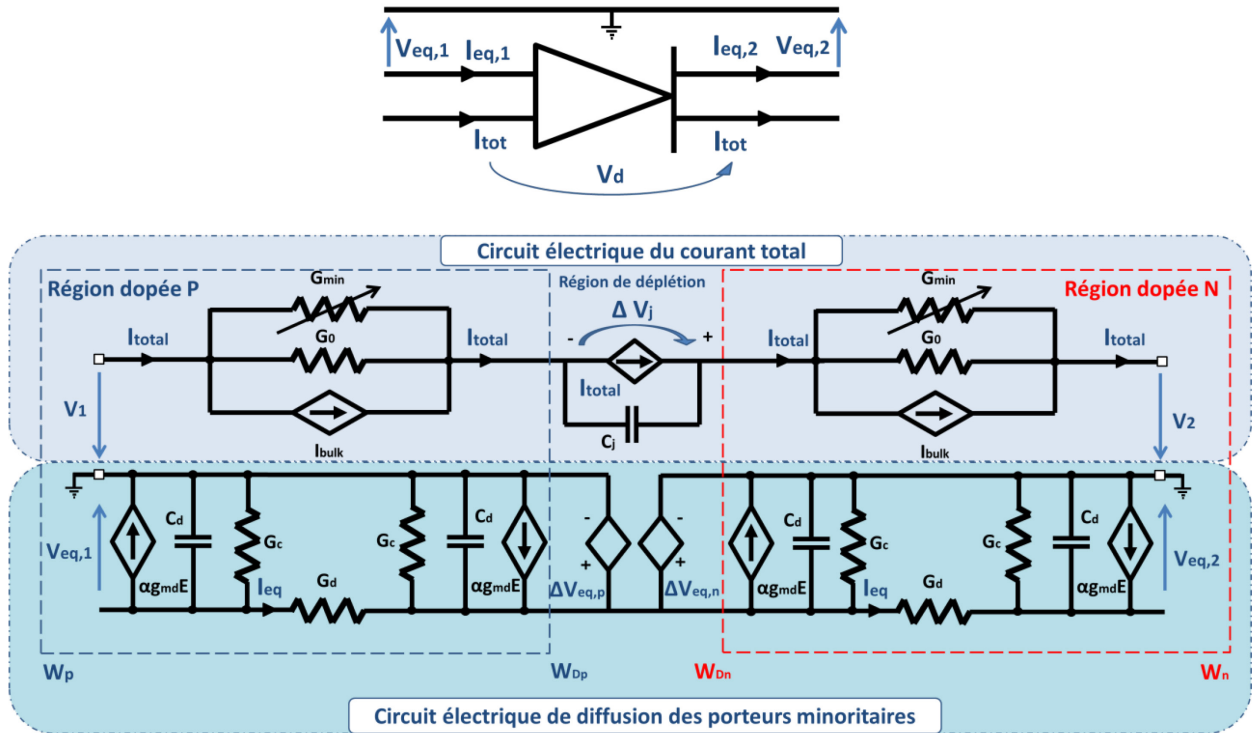


Figure V-6: Le symbole (haut) et le circuit équivalent (bas) de la diode EPFL

V.2.1.4. Homojonction EPFL

Dans le modèle équivalent du substrat créé à l'EPFL, l'élément localisé homojonction EPFL a pour rôle de modéliser la variation de concentration des porteurs minoritaires dans les régions avec une variation abrupte du dopage, par exemple aux contacts entre couches de layout de même type (jonction entre des régions p-p⁺ ou des régions n-n⁺). L'homojonction EPFL modélise en effet la connexion entre deux résistances différentes définies chacune par le type et le dopage de la couche du layout en question [V-33], [V-35].

Ainsi, en raison de la grande variation de résistivité de la jonction p-p⁺ ou n-n⁺ et avec le courant total la traversant tenu pour constant, nous avons aux abords de cette jonction une abrupte chute de tension. Ce phénomène joue un rôle non négligeable dans la propagation des porteurs minoritaires dans le substrat que le modèle de l'EPFL prend en compte utilisant la même technique que pour modéliser une jonction pn du substrat. La seule différence est que nous avons ici entre deux régions de même type un surplus de porteurs minoritaires qui change brusquement entre chaque région. Le circuit équivalent de l'homojonction EPFL pour les contacts de type n-n⁺ est présenté sur la Figure V-7. De façon similaire, l'homojonction EPFL peut être présentée pour les contacts de type p-p⁺.

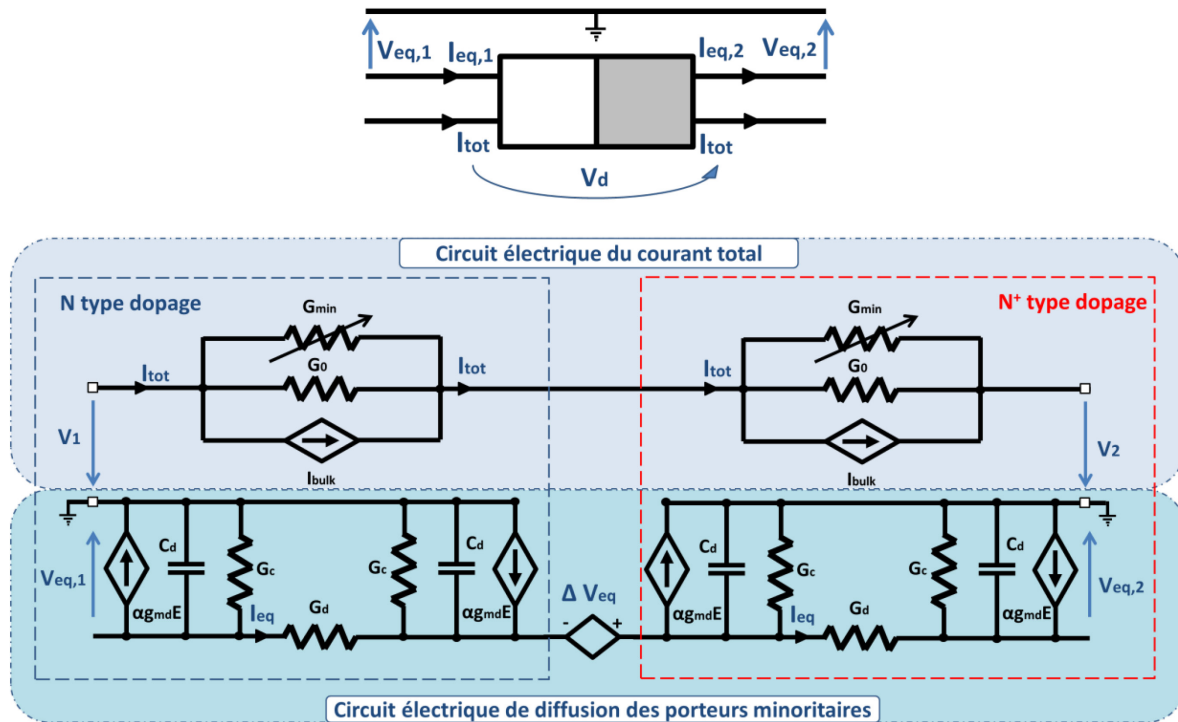


Figure V-7: Le symbole (haut) et le circuit équivalent (bas) de l'homojonction EPFL

V.2.2. Modélisation des transistors bipolaires parasites NPN et PNP du substrat avec les trois éléments localisés de l'EPFL

Le réseau équivalent du substrat composé d'éléments localisés de l'EPFL peut être interfacé aux modèles compacts (PCell) de transistors dans le but de simuler les effets du couplage substrat avec le schématique original du circuit [V-32].

Comme nous l'avons vu, sur la Figure V-3 et sur la Figure V-6, les broches $V_{eq,1}$ et $V_{eq,2}$ ont pour fonction de prendre en compte la diffusion des porteurs minoritaires entre les différents éléments localisés du substrat. Ainsi, si l'on partait du modèle compact classique de diode utilisé communément par les simulateurs SPICE, nous ne pourrions pas modéliser l'effet transistor simplement en plaçant deux diodes tête bêche pour le transistor NPN ou face à face pour le transistor PNP. En effet, la recombinaison de tous les porteurs aux contacts des diodes serait totale, puisqu'ils seraient considérés comme des contacts ohmiques. En revanche, le modèle de l'EPFL permet de modéliser les transistors bipolaires, car nous n'avons plus la recombinaison de tous les porteurs aux contacts entre les éléments localisés.

Il est important de noter que le modèle de l'EPFL ne remplace pas les modèles compacts (PCell) des transistors bipolaires déjà existants pour les simulateurs SPICE lesquels sont basés sur le système d'équations de transistors d'Ebers Moll [V-39] modifiés par Gummel and Poon [V-40]. Pour rappel, le modèle de Gummel et Poon prend en compte l'effet Early, la correction de courant pour des petites tensions de polarisation par Sah-Noyce-Schockley, l'effet Kirk et Webster-Rittner, effets non pris en compte en grande partie par le modèle de l'EPFL. Par conséquent, afin de simuler les effets de couplage substrat, la simulation doit être

faite avec la combinaison de la netlist originale du circuit et la netlist des éléments localisés de l'EPFL issus du substrat du circuit en question (après *back annotation*), ce que nous allons développer plus tard lorsque nous présenterons les simulations du cas d'étude 2.

Sur les Figure V-8 sont présentés les transistors bipolaires NPN et PNP parasites du substrat modélisés avec les trois types éléments localisés développés par l'EPFL.

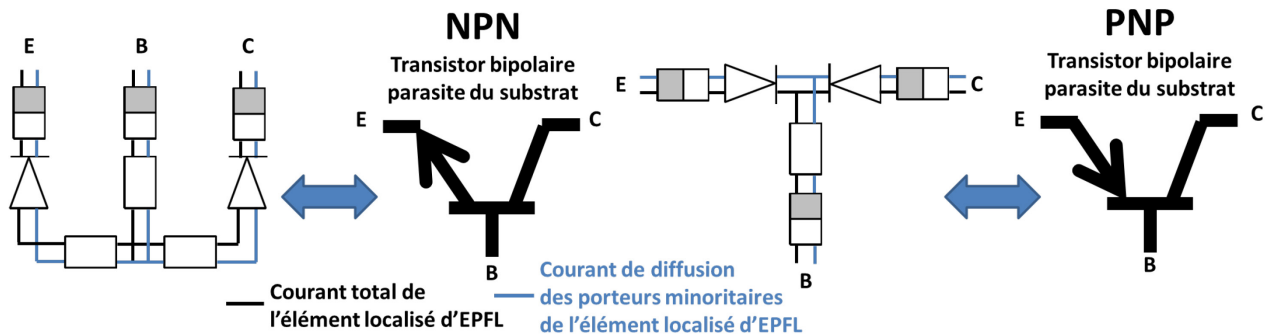


Figure V-8: Transistors bipolaires parasites du substrat modélisés par les éléments localisés développés par l'EPFL

V.3. Outil AUTOMICS: extracteur du modèle de substrat dépendant du layout

Afin d'exploiter le nouveau modèle de couplage substrat que nous venons d'exposer, un outil a été développé au sein du projet AUTOMICS permettant le maillage en 3 dimensions du substrat avec les nouveaux éléments localisés de l'EPFL. Ce nouvel outil, semi automatisé, offre la possibilité, à partir du layout du circuit étudié et des données du fondeur, de créer une netlist des éléments localisés parasites du substrat intégrable dans un simulateur de type SPICE. Pour chaque technologie, l'outil nécessite une phase de calibration pour ajuster les paramètres des éléments localisés. Avec ce nouvel outil développé par l'équipe des chercheurs LIP6 de UPMC [V-2] [V-4], les designers ont la possibilité aujourd'hui de simuler et ainsi de prévoir les effets du couplage substrat dans les circuits Smart Power.

V.3.1. Présentation du flot de simulation de l'outil AUTOMICS

En partant du layout final du circuit, l'utilisation de l'outil AUTOMICS repose sur 3 étapes bien distinctes, [V-42]:

- I. L'étape de pré-processing: lors de l'étape préparatoire de l'extraction, le designer informe l'outil des parties du layout à extraire selon ses besoins spécifiques: désignation des parties du layout avec la source d'injection du courant substrat et des parties du layout avec les éléments sensibles du circuit susceptibles d'être perturbés par le couplage substrat. Le designer doit aussi définir les règles d'extraction et paramétrer l'outil selon ses besoins spécifiques.
- II. L'étape d'extraction du layout: la principale étape de maillage du substrat avec les éléments localisés, suite à laquelle le designer dispose d'une netlist des parasites du substrat.
- III. L'étape de post-processing: l'étape de simulation et d'analyse du couplage substrat. Le designer peut juste lancer des simulations SPICE avec seulement la netlist du substrat pour observer la propagation des porteurs minoritaires jusqu'aux points sensibles ou bien combiner cette netlist du substrat avec la netlist originale du circuit pour observer les effets du couplage substrat sur le fonctionnement des éléments sensibles du circuit.

Le flot de l'utilisation de l'outil AUTOMICS avec ses entrées et les sorties est présenté sur la Figure V-9 [V-42]. Nous pouvons y observer les différentes étapes de son utilisation que nous allons maintenant développer plus en détail.

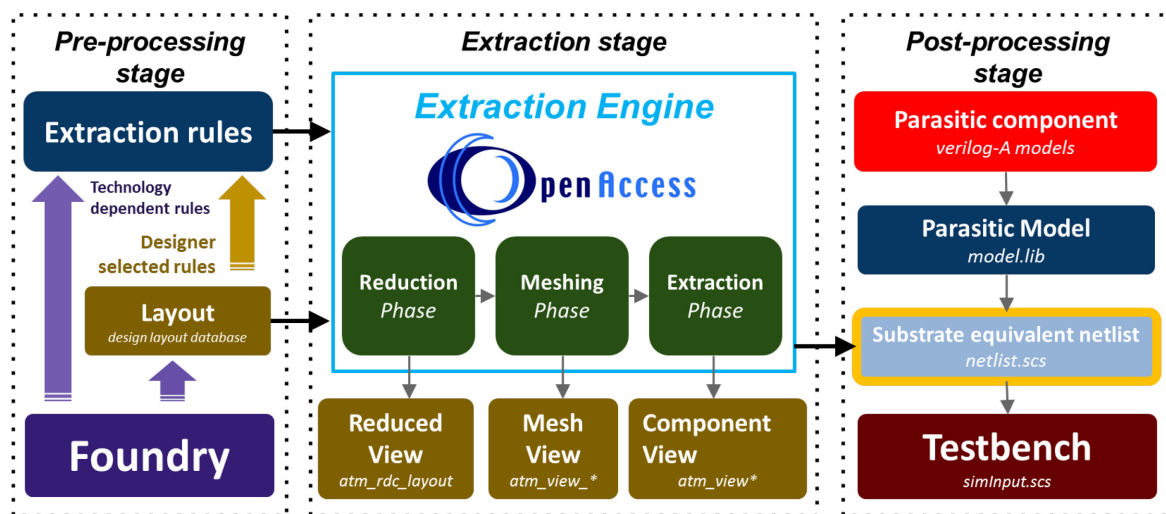


Figure V-9: Flot d'extraction du modèle distribué du substrat avec l'outil [V-42]

V.3.1.1. L'étape de pré-processing de l'outil AUTOMICS

Pour le designer, le layout est un environnement 2D sur lequel il place et interconnecte les différents composants du circuit selon les règles imposées par le fondeur. Durant cette partie du design, le designer peut, selon son expérience, limiter l'analyse aux couplages entre différents blocs dans le cadre des règles de la compatibilité électromagnétique (diaphonie entre différentes lignes de signal, couplage rayonnant, couplage conduit par les plans de masse ou par les lignes d'alimentation). Mais pour étendre l'analyse aux problèmes liés au couplage substrat (latch-up par exemple), il manque la troisième dimension de la puce, la

profondeur des différentes couches du layout du circuit et la profondeur du substrat, qui sont des paramètres dépendants de la technologie employée par le fondeur.

L'algorithme d'extraction d'éléments localisés prend en compte des critères modifiables par le designer, permettant ainsi d'agencer le nombre d'éléments du modèle utilisés dans la netlist finale du substrat. De cette manière, le designer peut choisir en fonction de ses besoins entre la précision souhaitée des simulations et le temps de simulation. Pour utiliser l'outil AUTOMICS, il est nécessaire de définir les largeurs des différentes couches du layout et du substrat dans un fichier de règles d'extraction, lequel est écrit dans un langage XML (Extensible Markup Language), dont on peut voir un exemple sur la Figure V-10. Par ailleurs, le designer peut aussi définir quels types de couches du layout vont être pris en compte par l'outil AUTOMICS lors de l'extraction, en se référant aux couches disponibles pour la technologie et les options du process utilisé (par exemple les couches N Well, P Well, N⁺ Well, P⁺ Well, Shallow N Well, Shallow P Well, Deep N Well, Deep P Well, le type de substrat p ou n, etc...).

```

<?xml version="1.0" encoding="UTF-8"?>
<DesignKit name="AMS">
  <Layers>
    <substrate depth="750e-6"/>
    <layer name="NPLUS" type="NPLUS"/>
    <layer name="PPLUS" type="PPLUS"/>
    <layer name="DPTUB" type="P" depth="1.55e-6"/>
    <layer name="DNTUB" type="N" depth="6.50e-6"/>
    <defsub start="6.5e-6" end="100e-6" type="P"/>
    <defsub start="100e-6" end="200e-6" type="P"/>
    <defsub start="200e-6" end="300e-6" type="P"/>
    <defsub start="300e-6" end="400e-6" type="P"/>
    <defsub start="400e-6" end="500e-6" type="P"/>
  </Layers>
  <Operations>
  </Operations>
</DesignKit>

```

Desing kit utilisé : ams GmbH

La profondeur du substrat : 750µm

Différentes couches utilisées

Type des différentes couches utilisées

Les profondeurs des couches utilisées

Le substrat est divisé en plusieurs sous couches:
-la première commence à 6.5um (la profondeur du Deep N Well)
-ensuite par pas de 100µm par sous couche

Figure V-10: Un exemple du fichier XML

Sur la Figure V-11 sont présentées les différentes couches disponibles pour la technologie 0.35µm CMOS haute tension, ainsi que les éléments localisés de l'EPFL parasites du substrat que l'outil AUTOMICS prend en compte [V-35].

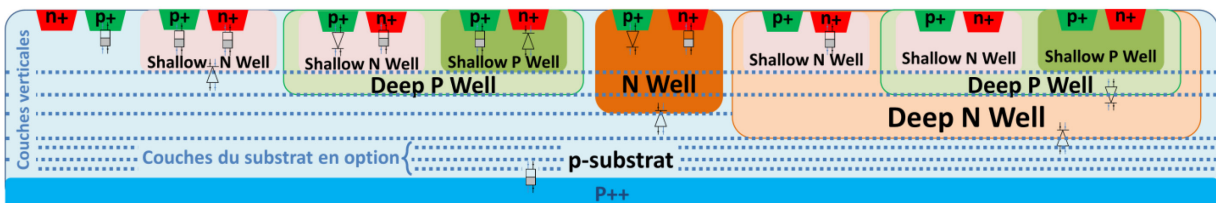


Figure V-11: Les couches disponibles dans l'outil AUTOMICS pour la technologie ams 0.35µm CMOS haute tension avec les éléments localisés de l'EPFL parasites du substrat (les résistances de l'EPFL sont omises pour simplifier la figure) [V-35]

Par contre, le designer n'a pas accès aux profils exacts de dopage des différentes couches du layout et du substrat, qui restent un paramètre confidentiel du fondeur. Ces paramètres de dopage, définis dans un fichier spécifique du modèle du substrat de l'EPFL,

sont fournis lors de l'étape de calibration de l'outil AUTOMICS que nous aborderons prochainement dans ce chapitre.

Ensuite le designer définit les parties d'intérêt du layout pour évaluer le couplage substrat, en fonction du design. Le designer doit identifier les sources d'injection possibles (les blocs de puissance principalement) et les blocs sensibles (circuits analogiques faibles tension placés à proximité). Les sources d'injection peuvent être les drains des transistors de puissance car, comme nous l'avons déjà vu dans les précédents chapitres traitant des phénomènes du couplage substrat, ces nœuds sont exposés à des conditions de polarisation susceptibles d'activer l'injection de porteurs majoritaires et minoritaires dans le substrat. Le designer doit aussi évaluer les parties du circuit sensibles aux fluctuations de potentiel du substrat ou susceptibles de collecter les porteurs minoritaires, comme par exemple les collecteurs des transistors bipolaires basse tension d'un Bandgap, comme nous l'avons vu dans le cas d'étude 2 du chapitre III. Cette partie de l'utilisation de l'outil AUTOMICS est la plus délicate et dépend beaucoup de l'expérience du designer et de sa bonne compréhension du couplage substrat.

Le layout comprend de nombreuses couches: le substrat, les zones actives (N-Well, P+, N+), couches d'oxyde, de polysilicium et de métallisations. La description de toutes ces couches dans l'outil AUTOMICS n'est pas indispensable. Seules les régions participant au couplage substrat sont nécessaires, c'est-à-dire les régions avec les couches de type p et de type n, comme exposées sur la Figure V-10. Par conséquent toutes les régions du layout avec les différents niveaux de métaux, de polysilicium, les contacts ou les vias sont supprimés.

V.3.1.2. L'étape d'extraction du layout de l'outil AUTOMICS

L'idée principale sur lequel repose l'algorithme d'extraction est d'extraire un minimum d'éléments localisés définis dans le modèle du substrat de l'EPFL pour limiter le temps de calcul [V-41], comme par exemple en se référant à la Figure V-11:

- DN-PS diodes EPFL situées à la jonction entre un puit profond de type n et le substrat de type p (Deep N Well → Substrat de type p)
- DN résistances EPFL situées dans un puit profond de type n (Deep N Well)
- PS résistances EPFL situées dans un puit profond de type p (Deep P Well)
- n/n⁺ homojunctions EPFL situées à la jonction entre un puit de type n et un puit de type n⁺ (N Well → N⁺ Well)
- p/p⁺ homojunctions EPFL situées à la jonction entre un puit de type n et un puit de type p⁺

A.) Phase de réduction de nombre d'éléments

La diminution du nombre d'éléments localisés du substrat est très importante afin de réduire la complexité de la netlist du substrat tout en gardant l'information la plus importante pour l'évaluation et l'analyse du couplage substrat du circuit Smart Power afin de préserver la précision de la simulation. Par exemple, afin de limiter le nombre d'homojonctions de type n/n⁺ ou p/p⁺, un critère du seuil de différence de dopage entre des couches du layout du même

type est défini. Sur la Figure V-11, on peut citer le cas de l'homojonction Shallow P Well et Deep P Well que l'outil AUTOMICS considère comme une seule couche de type Deep P Well lors de l'extraction et qui limite ainsi le nombre d'homojonctions de type p/p⁺ [V-44]. On peut aussi citer un autre critère de réduction dans le cadre des couches enterrées (burried layers) disponibles dans la technologie BCD de ST Microelectronics [V-45] grâce auxquelles les gains des transistors PNP verticaux sont négligeables et par conséquent, l'effet de latchup devient très rare. Dans ce cas-là, les diodes de l'EPFL ne seront définies qu'aux abords des couches enterrées de type n⁺ et du substrat de type p.

Le designer peut aussi aider l'outil AUTOMICS afin de limiter le nombre d'éléments localisés du substrat, en ne prenant pas en compte les parties du layout qui sont court-circuitées comme c'est souvent le cas entre le bulk et la source des transistors de puissance. Une prochaine évolution de l'outil AUTOMICS permettra d'intégrer les couches de métal du layout afin d'éviter ce genre de situations.

B.) Phase de maillage du layout

Dans cette phase, une stratégie optimisée non uniforme de maillage 2D est définie pour chaque couche du layout (définie dans le fichier XML des règles d'extraction) afin de réduire le nombre de mailles pour chaque sous-couche du layout. Ensuite, vient le maillage 3D du layout en prenant en compte le nombre de couches du layout existant.

Les contacts d'entrée/sortie de la netlist des parasites du substrat sont définis entre les couches de diffusion et les couches p⁺ ou n⁺. C'est par ces broches d'entrée/sortie que le designer pourra interconnecter la netlist du circuit original avec la netlist du circuit parasite composé d'éléments localisés de l'EPFL du substrat (méthode de *back-annotation*).

Tout d'abord, l'outil AUTOMICS procède au maillage vertical du layout en direction Z (de haut en bas du substrat), présenté sur la Figure V-12, [V-41], [V-42]. Les épaisseurs des sous couches du layout sont définies dans le fichier XML, dans la partie <Layers>, Figure V-10. De cette manière, nous obtenons une approximation 3D du substrat par des cuboïdes de différentes tailles. Chaque cuboïde dans la représentation 3D du substrat contient des informations technologiques comme le type de dopage, les informations géométriques du cuboïde (taille longueur, largeur, profondeur) et enfin les informations du positionnement du cuboïde dans l'espace confiné du substrat en question.

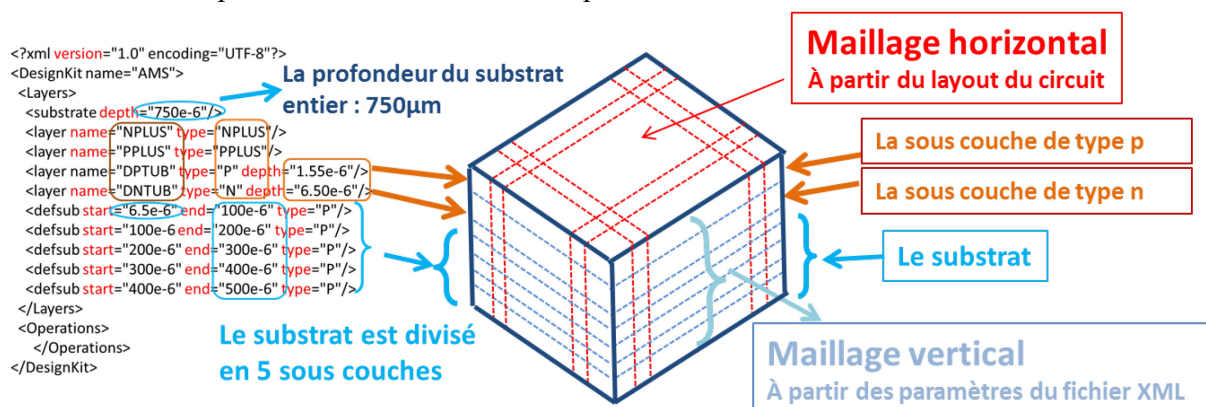


Figure V-12: Construction du maillage 3D du substrat à partir du fichier XML et du layout

À partir du maillage vertical, pour chaque sous-couche verticale du circuit (définie dans la partie <Layers> du fichier XML, Figure V-10) vient le maillage 2D horizontal qui dépend de la disposition des composants sur le layout. La stratégie pour cette étape de maillage consiste en plusieurs étapes avec des règles pouvant être résumées [V-35], [V-41], [V-42]:

- Les contacts doivent être définis au centre de chaque maille. Cette règle permet d'assurer que le nœud de la maille, qui est le point de connexion de l'élément localisé de l'EPFL, soit connecté verticalement au contact métallique du circuit original. De cette manière, on garantit par la back annotation, la connexion de chaque nœud de la netlist parasite au circuit original. Ceci permet au simulateur de garantir les mêmes conditions initiales pour les deux netlist, l'originale et celle des parasites du substrat. Notons que le designer peut aussi utiliser la netlist issue d'une extraction RC des parasites pour la partie du circuit qui n'a pas été prise en compte par l'outil AUTOMICS (la partie dont nous n'avons pas fait l'extraction des parasites modélisés par les éléments localisés de l'EPFL).
- La ligne de maillage se situe à l'interface entre deux parties de layout différentes. De cette façon, l'outil AUTOMICS nous garantit que chaque maille est issue d'une seule couche du même type et du même profil de dopage du layout. Cette ligne de maillage ne se limite pas au contour d'une seule couche de layout, mais traverse de bord à bord la zone de maillage prise en compte par l'outil (Figure V-13).

Sur la Figure V-13 est présenté le maillage basique non uniforme d'une sous-couche du substrat donnant 81 nœuds de maille, entre lesquels seront définis les éléments EPFL. Certains de ces nœuds de maille définiront les contacts d'entrée/sortie de la netlist pour le cas de la première couche du maillage vertical (en partant de haut en bas).

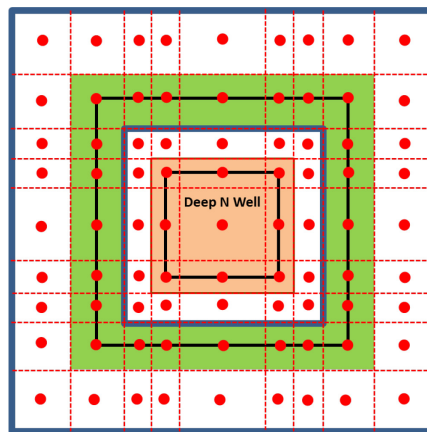


Figure V-13: Maillage basique non uniforme pour un process technologique ams 0.35µm CMOS haute tension [V-35]. La ligne bleue représente les contacts du substrat et du Deep N Well

Par des stratégies algorithmiques différentes, une réduction considérable du nombre des mailles peut être obtenue par un maillage amélioré non uniforme. Par exemple, à partir du maillage basique non uniforme (Figure V-13), avec ses 81 nœuds de maille pour la couche du layout donné, à l'aide de l'algorithme de maillage amélioré non uniforme du même layout, présenté sur la Figure V-14, nous avons maintenant 33 de nœuds de maille, ce qui donne une

réduction relative de 60% du nombre de mailles. Cette réduction du nombre de mailles se répercute ensuite sur le nombre d'éléments localisés de l'EPFL, donnant ainsi en sortie une netlist des parasites du substrat nettement réduite. De cette manière, la réduction du nombre d'éléments localisés de l'EPFL est une aide au simulateur de type SPICE pour trouver plus rapidement la solution des équations du circuit, limitant ainsi les problèmes de convergence pouvant parfois apparaître.

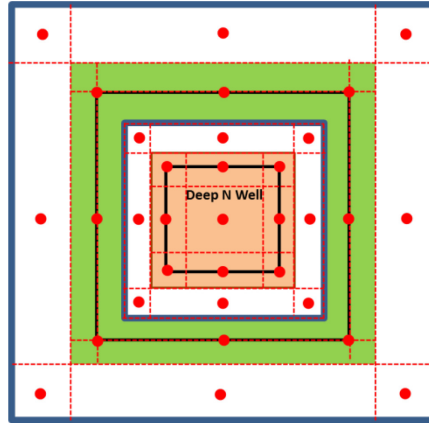


Figure V-14: Maillage amélioré non uniforme pour un process technologique ams 0.35µm CMOS haute tension [V-35]. La ligne bleue représente les contacts du substrat et du Deep N Well

Le détail des différentes stratégies employées pour réduire le nombre de mailles du substrat sort du cadre de cette thèse et l'on peut les retrouver dans les travaux de recherche réalisés et publiés par l'équipe LIP6 de l'UPMC [V-35] [V-42] [V-43].

C.) Phase d'extraction du layout

Les éléments localisés EPFL issus du substrat sont ensuite déterminés et inclus dans la netlist des parasites du substrat. Pour définir quel type d'élément localisé de l'EPFL à intégrer dans la netlist des parasites du substrat, la règle est la suivante à partir de l'analyse du maillage:

- Si l'interface entre deux couches de layout est du même type, nous avons une résistance de diffusion de l'EPFL entre les contacts orthogonaux adjacents.
- Si l'interface entre deux couches de layout est du même type mais avec des profils de dopage différents, nous avons une homojonction de l'EPFL de type n/n^+ ou p/p^+ entre les contacts orthogonaux adjacents.
- Si l'interface entre deux couches de layout de type différent, nous avons une diode de l'EPFL entre les contacts orthogonaux adjacents.

Ici, la ligne d'interface peut être aussi bien définie sur une couche du layout dans un plan horizontal ou entre les différentes couches du layout dans le plan vertical. Par conséquent, pour définir les éléments EPFL à l'interconnexion entre différents cuboïdes du maillage vertical (Figure V-12) la règle est la même que pour le cas du maillage horizontal 2D. Des exceptions à la règle sont spécialement définies pour les cuboïdes se situant aux abords d'une des six surfaces externes du substrat ainsi qu'aux coins du substrat du circuit donné.

V.3.1.3. L'étape de post-processing de l'outil AUTOMICS

Dans cette étape finale, le designer dispose d'une netlist des éléments parasites associés au substrat qu'il pourra simuler dans tout simulateur de type SPICE. Au préalable, il est nécessaire de configurer l'environnement de simulation afin d'y intégrer les modèles des éléments EPFL dans la bibliothèque des composants, pour que le simulateur puisse les utiliser et éviter tout message d'erreur.

On peut analyser les caractéristiques des différents transistors parasites latéraux NPN du layout en simulant exclusivement la netlist des parasites du substrat. Ainsi le designer pourra évaluer le degré de couplage existant dans le layout donné.

Par la suite, dans le cadre de l'utilisation escompté de l'outil AUTOMICS, le designer devra intégrer simultanément dans le simulateur la netlist des parasites du substrat et la netlist originale du circuit. Pour ce faire, il utilisera les entrées/sorties de chaque netlist afin de les interconnecter ensemble. Ainsi le designer pourra analyser les effets du couplage substrat sur le fonctionnement du circuit Smart Power et suivant les résultats des simulations estimer les situations à risque, revoir son design si nécessaire, et finalement valider son design avant de l'envoyer à la fonderie pour le tape-out comme nous l'avons déjà vu sur la Figure V-2.

V.3.2. La calibration de l'outil AUTOMICS

La calibration de modèles de couplage substrat de l'EPFL est une étape nécessaire qui doit être faite en amont avant l'utilisation de l'outil AUTOMICS. Cette étape est faite soit chez le fondeur soit dans un organisme agréé auquel cette tâche a été déléguée. Celle-ci relève du secret industriel étant donné que dans le modèle de couplage substrat de l'EPFL sont intégrées des données confidentielles de la technologie (profils de dopage pour chaque option process, tensions de claquage, temps de vie de porteurs, taux de recombinaisons, etc.).

La calibration peut être faite en utilisant la simulation TCAD en lui fournissant les différentes données technologiques du fondeur. Une deuxième approche est basée sur les bancs de test industriels. Dans les deux cas, on définit des petites structures de test qui seront implantées soit dans un simulateur TCAD soit dans un circuit prototype fabriqué chez le fondeur [III-12]. Ses différentes structures de test ont des formes différentes, elles sont placées en différentes configurations mutuelles, ont des différents types de dopage (de type p ou de type n) ou de profils de dopage. En se basant sur les données en sortie des simulations faites sur TCAD ou sur les résultats des mesures de caractérisation du circuit prototype, on fournit ensuite au modèle EPFL les différents paramètres de ses éléments localisés.

Dans le cadre de cette thèse, nous avons présenté dans le chapitre III deux cas d'étude qui vont nous servir à évaluer l'outil AUTOMICS en comparant les données de mesures aux simulations faites avec le modèle du couplage substrat EPFL pour le circuit AUTOBENCH 2. Dans le cadre du projet AUTOMICS c'est notre partenaire industriel adMOS GmbH (Advanced Modeling Solutions, [V-5]) qui a réalisé tous les tests et mesures pour la calibration du modèle de couplage substrat de l'EPFL adapté à la technologie ams 0.35 μ m CMOS haute tension. Les résultats de ces mesures restent confidentiels, nous citerons juste en

annexe quelques configurations de test afin que le lecteur puisse se faire une idée de la démarche employée pour calibrer le modèle.

Le cas d'étude 1 est plus proche de l'analyse du couplage substrat seul, et pourrait être une structure de test d'une puce prototype servant de calibration du modèle, tandis que le cas d'étude 2 est plus intéressant pour analyser les effets du couplage substrat sur une structure sensible, tel qu'un circuit de référence de tension de type Bandgap.

V.4. Validation du modèle par simulation

Dans cette partie, nous allons présenter les résultats de simulation réalisés à partir du modèle de couplage substrat de l'EPFL des cas d'étude 1 et 2 obtenus à l'aide de l'outil AUTOMICS. Les bancs de tests pour les simulations reproduisent ceux pour réaliser les mesures. Nous les présenterons ici juste au niveau schématique afin de rendre l'interprétation des simulations plus simple, en omettant les aspects théoriques déjà présentés.

En fonction des caractéristiques du matériel CAO dépendent fortement les différents temps de simulations ainsi que la convergence de la solution DC du circuit. C'est dans ce contexte que nous les citons ici, afin d'avoir une vision plus complète de nos moyens utilisés. Toutes les simulations ont été réalisées sous le logiciel CAO Cadence Virtuoso 6.15 avec les bibliothèques ams *hitkit v4.1 H35* (ams 0.35 μ m CMOS haute tension) [V-47]. En ce qui concerne le matériel informatique, nous avons à notre disposition une station Dell Precision 690 [V-48] sous Linux 64 bits (CentOS 5) avec un monoprocesseur Intel[®] Xeon[®] (modèle 5300) quadricore 64 bits cadencé à 2.33GHz et avec 64 GB DDR2 de mémoire vive (RAM).

V.4.1. Extraction du layout et génération de la netlist du substrat du cas d'étude 1

Pour réaliser les simulations du couplage substrat, il est nécessaire d'extraire à partir du layout de notre circuit AUTOBENCH 2 le modèle du couplage substrat basé sur les éléments localisés de l'EPFL en utilisant l'outil AUTOMICS. Pour ce faire, il est nécessaire de bien définir au niveau layout les structures électriques susceptibles d'être à l'origine du couplage substrat.

Pour bien montrer l'intérêt et l'importance de cette étape, nous avons choisi de faire deux extractions:

- une extraction complète avec tous les composants inclus dans le cas d'étude 1, prenant en compte les protections ESD en plus de la source d'injection PAD_OUT et les deux puits collecteurs de type n, N Well 1 et N Well 2
- une autre extraction simplifiée (en nombre d'éléments initiaux du layout) avec seulement la broche PAD_OUT (avec ses transistors PMOS et NMOS) et ses deux puits collecteurs de type n, N Well 1 et N Well 2

Il est utile ici d'ajouter que le modèle de couplage substrat serait vraiment complet si l'on prenait en compte toute la superficie du layout original du circuit AUTOBENCH 2 en y incluant tous les éléments qui y étaient polarisés lorsque les expériences et les mesures ont été faites.

Notre hypothèse de départ est de vérifier si le nombre d'éléments inclus dans l'extraction joue un rôle important dans l'analyse du couplage substrat par la simulation. En effet, le designer du circuit a surtout besoin d'avoir une estimation la plus rapide du couplage substrat afin de pouvoir intervenir rapidement dès le début de la conception du circuit, comme dans le cadre du design en suivant les règles de compatibilité électromagnétique en mode rayonné et en mode conduit.

Sur la Figure V-15 est présentée la partie du layout utilisée pour l'extraction complète du cas d'étude 1 avec toutes les couches du layout de la partie concernée.

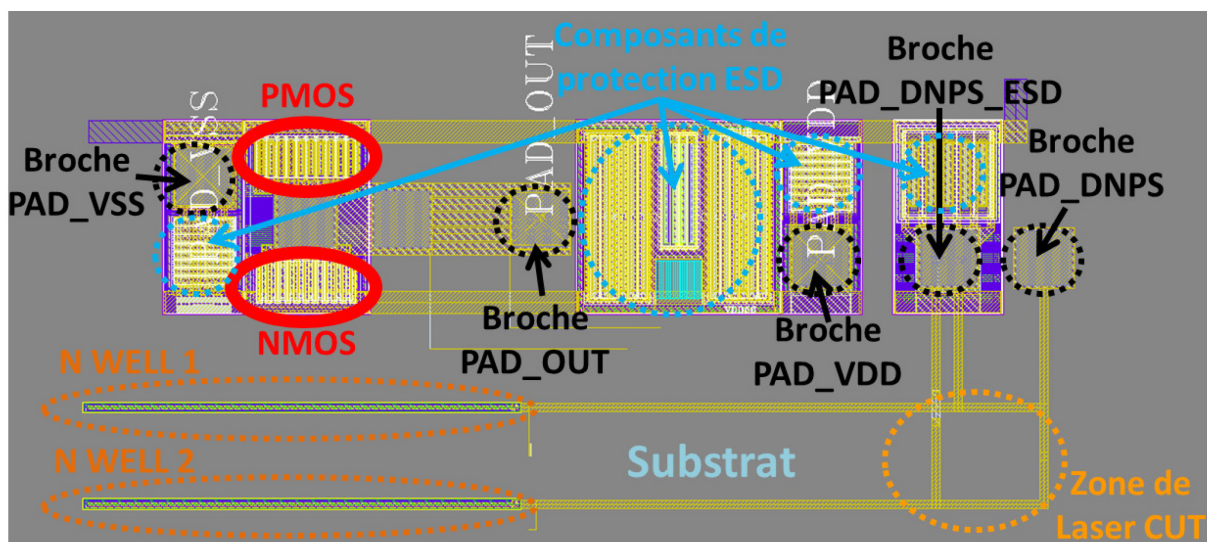


Figure V-15: Zone de layout pour l'extraction complète du cas d'étude 1

Dans la Figure V-15 nous pouvons observer tous les éléments que nous avons déjà cités dans le chapitre 3 pour décrire le cas d'étude 1. Nous pouvons remarquer en bas à droite une zone de "Laser Cut" où l'on a procédé à une déconnexion physique (par un découpage à rayon laser des lignes métalliques) d'un des deux puits de type n à la broche de sortie: PAD_DNPS_ESD ou PAD_DNPS. De cette manière nous avons pu avoir plusieurs versions de puce différentes utilisées dans les expériences décrites dans le chapitre 3.

Avant de procéder à l'extraction avec l'outil AUTOMICS, le layout nécessite d'être préparé pour ne conserver que les couches suivantes (Figure V-16):

- le puit de type n (N Well)
- le puit de type p (P Well)
- la région de type n⁺ (N⁺)
- la région de type p⁺ (P⁺)

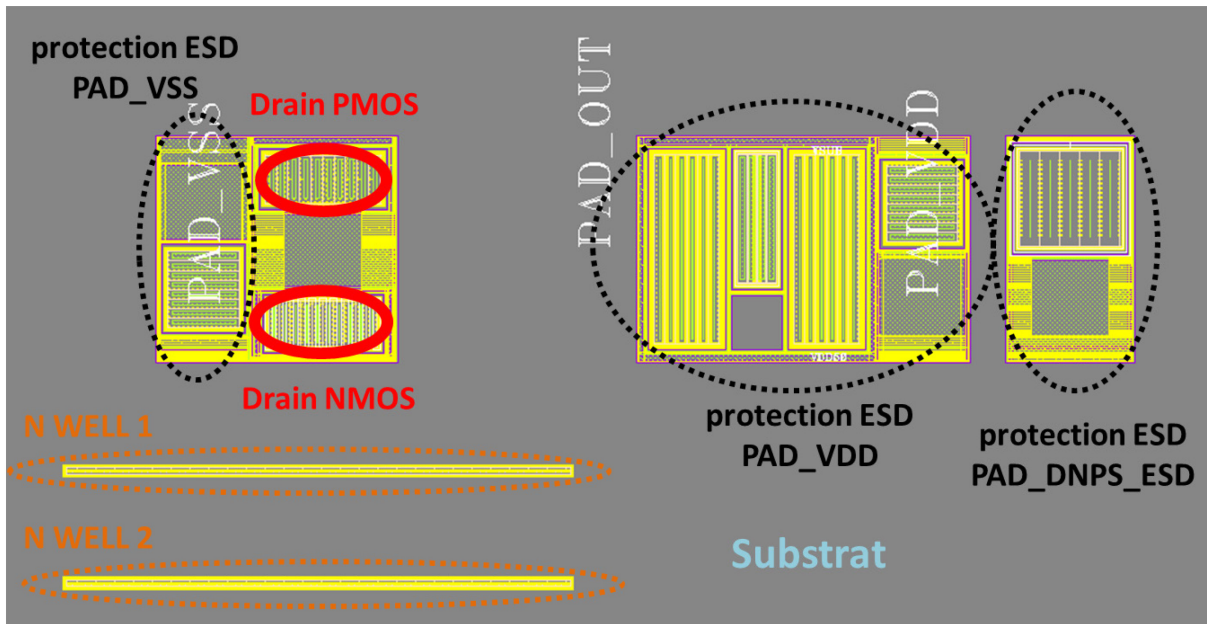


Figure V-16: Zone de layout pour l'extraction complète du cas d'étude 1 destinée à l'outil AUTOMICS (N Well, P Well, N⁺ et P⁺ conservés seulement)

Sur la Figure V-17 est présentée à gauche la partie du layout destinée à générer l'extraction simplifiée, tandis qu'à droite, nous avons le layout réduit destiné à être envoyé à l'outil AUTOMICS .

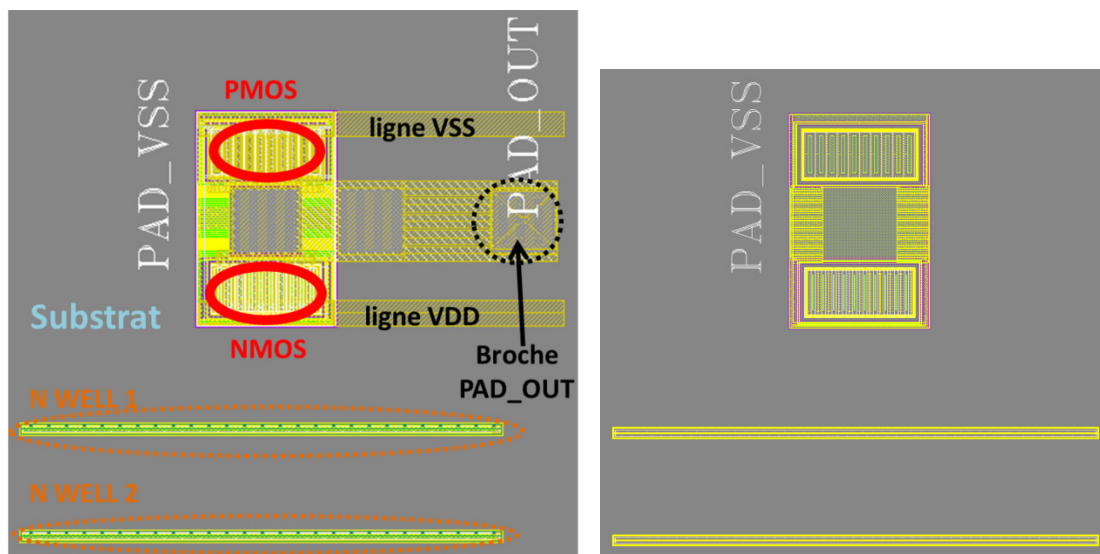


Figure V-17: Gauche: Zone de layout pour l'extraction réduite du cas d'étude 1; Droite: Zone de layout pour l'extraction réduite du cas d'étude 1, destinée à l'outil AUTOMICS (N Well, P Well, N⁺ et P⁺ conservés seulement)

Une fois que la phase d'extraction avec l'outil AUTOMICS a été réalisée, nous obtenons une netlist des parasites du substrat avec en tout 19810 composants localisés de l'EPFL, Figure V-18 :

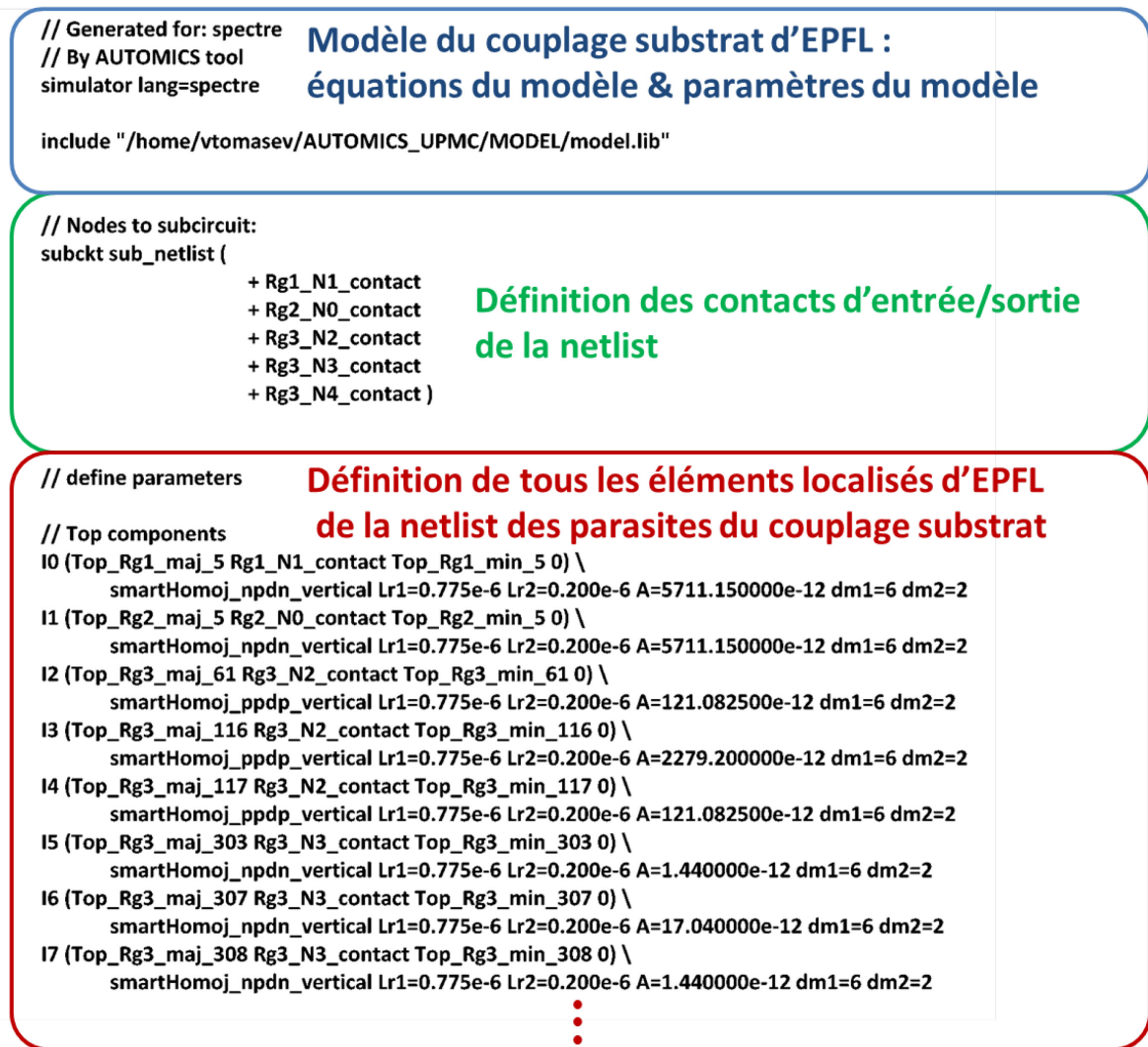


Figure V-18: Exemple du début de la netlist des parasites du substrat à l'issue de l'extraction avec l'outil AUTOMICS et composé uniquement des éléments localisés de l'EPFL

On peut remarquer que la netlist est constituée de trois parties:

- la définition du modèle du couplage substrat où sont stockés les différentes équations régissant le fonctionnement des éléments localisés de l'EPFL et les paramètres technologiques affiliés à une technologie donnée, dans notre cas la technologie 0.35 μ m CMOS haute tension d'ams.
- la définition des contacts entrée/sortie de la netlist grâce auxquels sera réalisée la back-annotation avec la netlist originale du circuit combiné avec une netlist du banc de test pour réaliser les simulations.
- la définition de tous les éléments localisés de l'EPFL (en tout 19180) représentant le modèle du couplage substrat de notre circuit. Tous ces éléments sont définis en fonction de leur taille qui est régie par la taille de la maille dans laquelle ils se situent.

Sur la Figure V-19, nous voyons une représentation de cette netlist de parasites du substrat combinée avec le layout original (version pré-extraction), sur laquelle nous pouvons observer les éléments localisés EPFL représentant les parasites du substrat. On peut remarquer

que le maillage est de type non uniforme amélioré, ce qui limite le nombre d'éléments de la netlist considérablement, comme nous l'avons déjà vu.

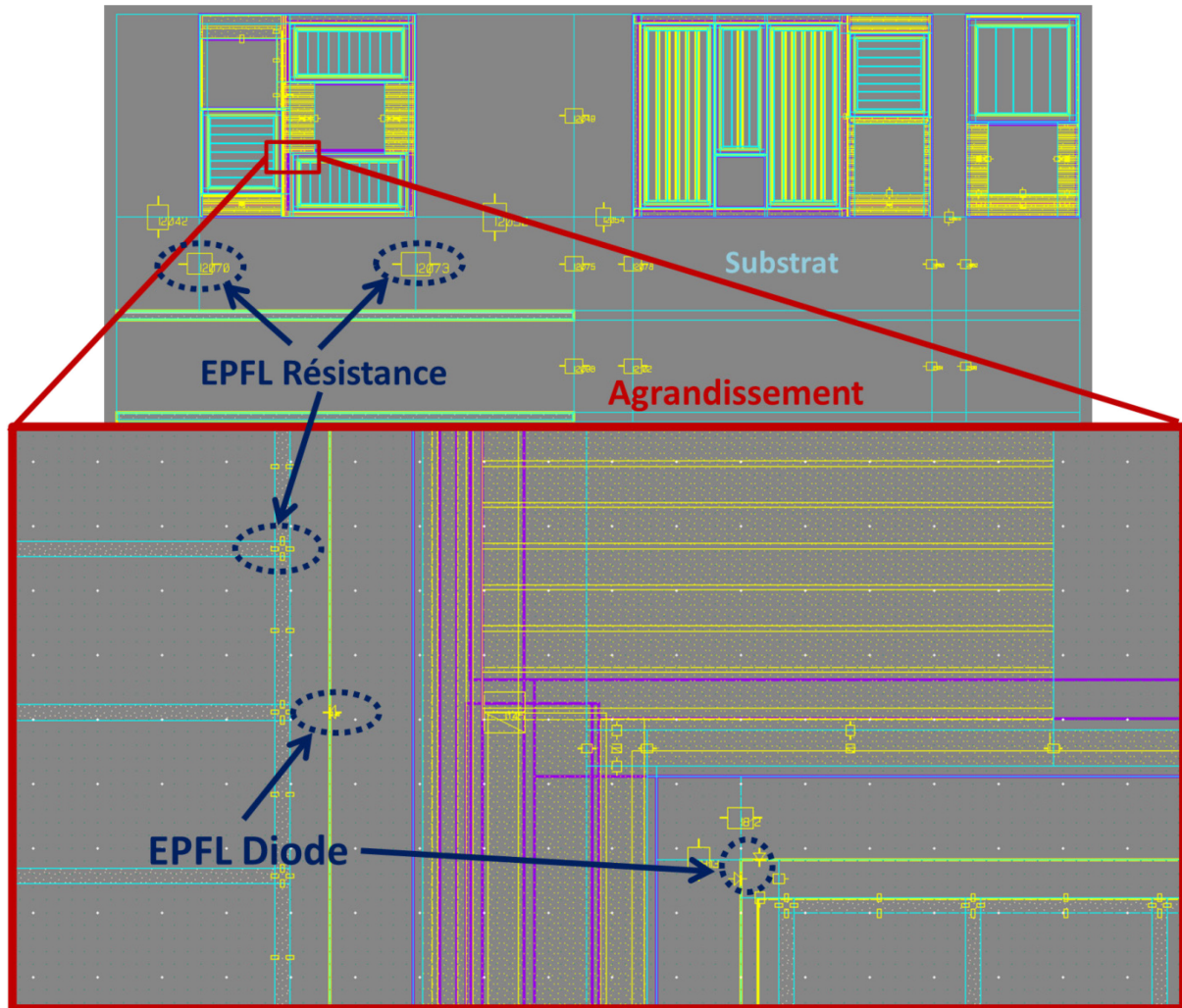


Figure V-19: Le layout du cas d'étude 1 à l'issue de l'extraction avec un maillage non uniforme amélioré en utilisant l'outil AUTOMICS incluant les éléments localisés de l'EPFL

À titre d'illustration, si nous avons choisi d'extraire le layout avec le maillage fixe en ayant fixé la taille de la maille à $100\mu\text{m}$ (Figure V-20), nous aurions eu 176959 éléments localisés de l'EPFL, ce qui nous donne environ 8 fois de plus d'éléments de la netlist par rapport au maillage non uniforme amélioré ! Pour un simulateur de type SPICE c'est un gain de temps considérable pour réaliser les simulations, mais il reste à vérifier par des études supplémentaires le gain en précision avec la réduction de la taille du maillage. Bien que très intéressant, ce travail de recherche sort du cadre d'étude de cette thèse et nécessiterait un temps supplémentaire que nous n'avons malheureusement pas eu.

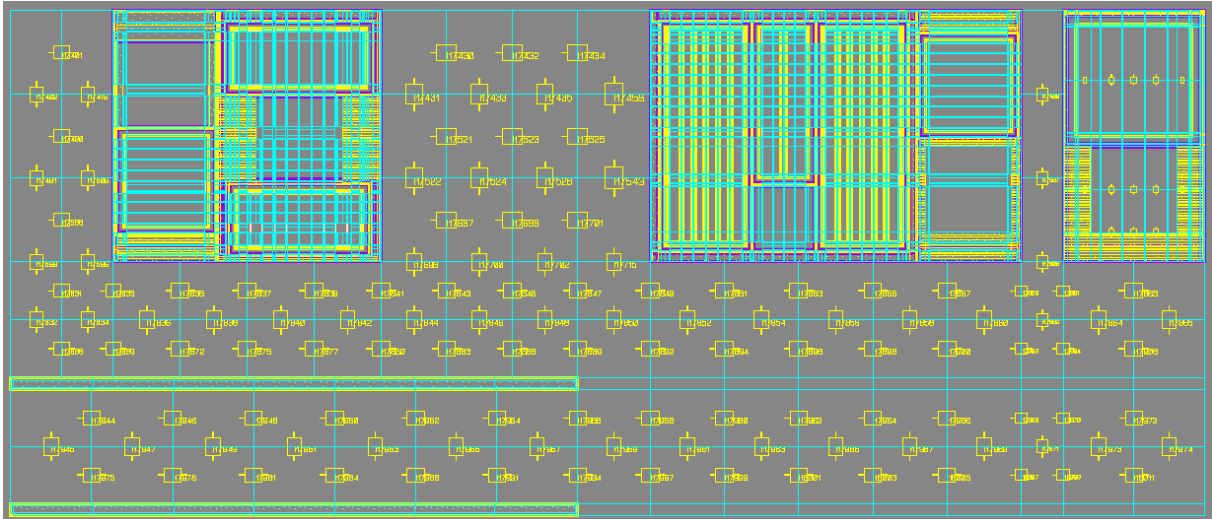


Figure V-20: Le layout du cas d'étude 1 à l'issue de l'extraction avec l'outil AUTOMICS avec un maillage à maille fixe de 100 µm et incluant les éléments localisés de l'EPFL

Sur la Figure V-21, nous observons le résultat d'extraction réduite du layout du cas d'étude 1 en n'ayant pris en compte que les drains des transistors PMOS et NMOS du PAD_OUT et les deux puits de type n (N Well 1 et N Well 2).

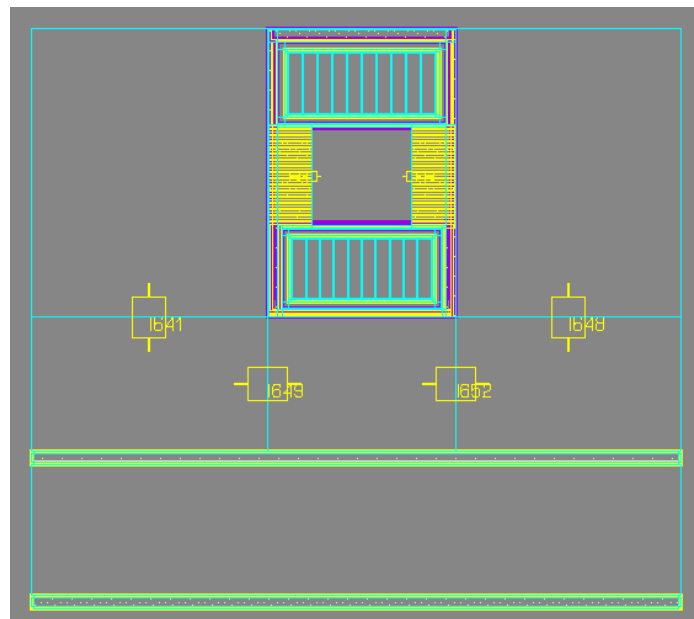


Figure V-21: Le layout du cas d'étude 1 à l'issue de l'extraction simplifiée avec un maillage non uniforme amélioré en utilisant l'outil AUTOMICS incluant les éléments localisés de l'EPFL

Comme nous pouvons le constater, nous avons réduit considérablement la complexité du circuit des parasites du substrat, puisqu'il ne reste que 2944 éléments EPFL dans la netlist du modèle de couplage substrat de notre cas d'étude 1.

Pour un designer, tout l'art de l'utilisation de l'outil AUTOMICS repose donc sur le bon choix des éléments à inclure dans la phase d'extraction des parasites du substrat. Il lui reste aussi l'option de définir par lui-même la taille de la maille, mais au risque d'avoir un trop grand nombre d'éléments à l'issue de l'extraction. De ses choix dépendront les estimations du couplage substrat que les simulations vont lui fournir.

V.4.2. Extraction du layout et génération de la netlist du substrat du cas d'étude 2

Nous allons maintenant présenter l'extraction du layout du cas d'étude 2. Sur la Figure V-22, nous pouvons observer les parties du layout destinées à l'outil AUTOMICS qui sont jugées d'intérêt pour notre analyse du couplage substrat: les drains des transistors PMOS et NMOS de puissance, les collecteurs des transistors bipolaires Q_0 , Q_1 , Q_2 des deux Bandgap et enfin les anneaux de garde du convertisseur DC-DC et des deux Bandgap. Le choix de ces éléments du layout est porté essentiellement suite à l'étude détaillée du fonctionnement du Bandgap et de son dysfonctionnement dû à l'injection du courant dans le substrat à partir du drain du NMOS de puissance (comme nous l'avons vu plus en détail dans le chapitre III).

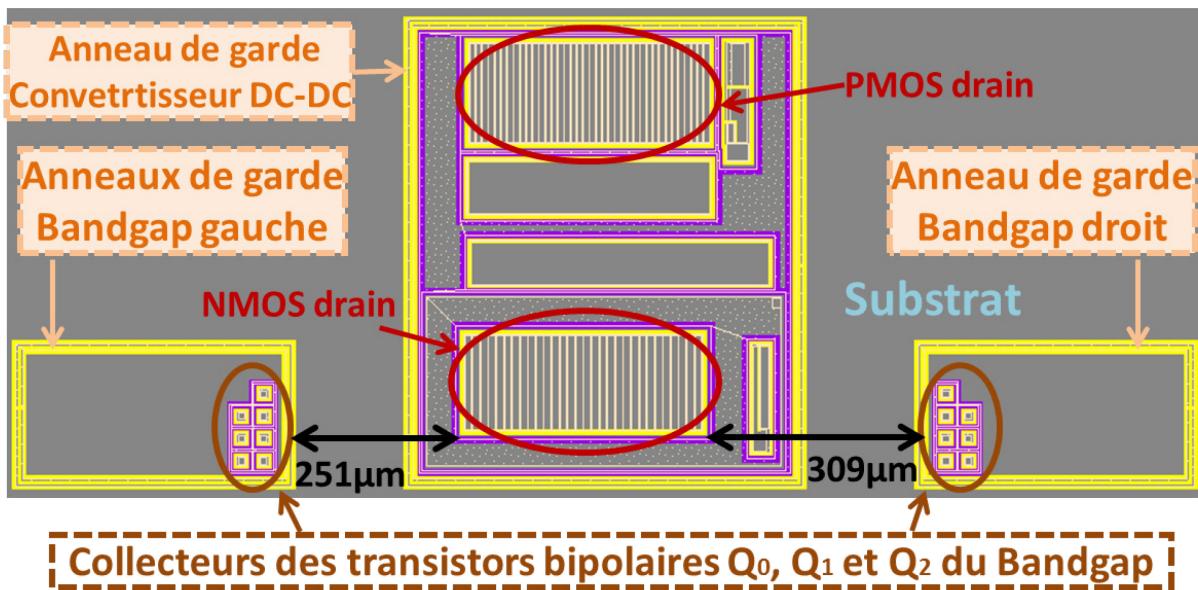


Figure V-22: Zone de layout pour l'extraction du cas d'étude 2, destiné à l'outil AUTOMICS (N Well, P Well, N^+ et P^+ conservés seulement)

Une fois la phase d'extraction du modèle du couplage substrat du cas d'étude 2 ayant été réalisée avec l'outil AUTOMICS, nous avons à notre disposition une netlist des parasites du substrat avec en tout 38698 éléments localisés EPFL. Le layout représentant le modèle du couplage substrat du cas d'étude 2 est présenté sur la Figure V-23. Nous pouvons y observer plusieurs niveaux d'agrandissement afin de nous rendre compte de la finesse modulable du maillage non uniforme amélioré, permettant ainsi une nette réduction d'éléments de la netlist du modèle du couplage substrat. À titre d'exemple, si nous définissons une taille de maille fixe à $100\ \mu\text{m}$, nous obtenons 651125 éléments localisés EPFL, c'est-à-dire presque 17 fois de plus! Ce nombre imposant bloquerait tous les simulateurs de type SPICE sur une station de CAO classique, à défaut d'avoir un cluster de calcul que l'on peut retrouver dans les grands centres d'études spatiales ou nucléaires, rarement disponibles dans le cadre d'une utilisation industrielle ou dans un laboratoire scientifique, par exemple le LAAS CNRS.

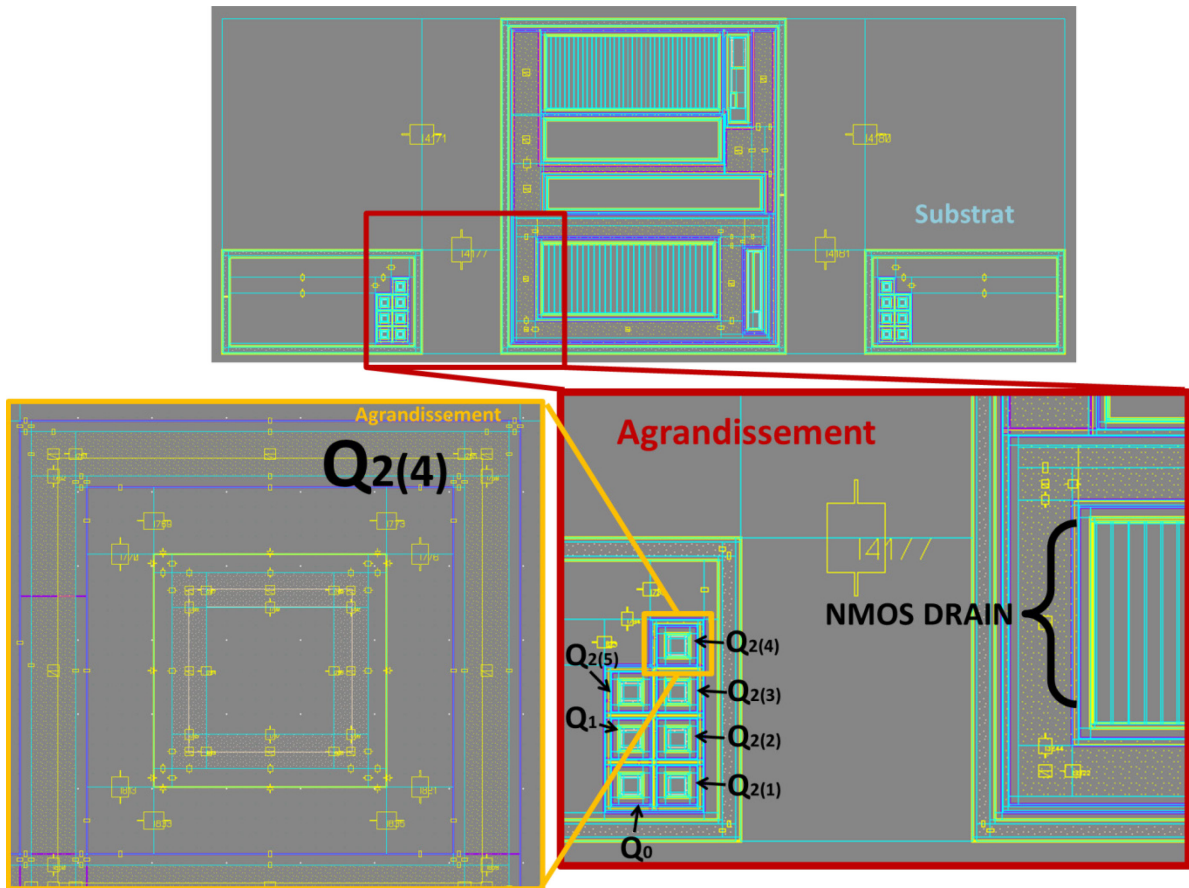


Figure V-23: Le layout du cas d'étude 2 à l'issue de l'extraction simplifiée avec un maillage non uniforme amélioré en utilisant l'outil AUTOMICS incluant les éléments localisés de l'EPFL

Nous allons maintenant présenter la comparaison des résultats des mesures faites sur la puce AUTOBENCH 2 et des simulations faites avec le modèle du couplage substrat de l'EPFL obtenus grâce à l'outil AUTOMICS. On s'attend que les simulations suivent bien la tendance du degré de couplage substrat observé en mesures en acceptant une erreur dans les marges qui peuvent être entre 4 et 50% comparé au modèle TCAD avec les mêmes paramètres [V-46]. Notons par ailleurs que le modèle de couplage substrat n'intègre pas une extraction RC, puisque les couches de métal ne sont pas prises en compte dans l'extracteur AUTOMICS. C'est au designer s'il le souhaite, de faire une extraction RC de son layout et de relier ensuite les deux netlist (la netlist du substrat et la netlist avec des parasites RC) par la méthode de back annotation déjà évoqué.

V.4.3. Résultats des simulations du cas d'étude 1 réalisées avec l'extraction complète du layout

Les résultats des simulations comparés aux mesures du cas d'étude 1 seront présentés dans les prochains paragraphes, en prenant en compte l'analyse appropriée pour chaque expérience déjà présentée dans le chapitre III. Pour les simulations a été utilisée la netlist issue de l'extraction complète du layout avec 19810 éléments discrets.

V.4.3.1. Caractérisation du transistor bipolaire parasite activé par le couplage substrat (avec l'extraction complète du layout)

Sur la Figure V-24 est présentée la comparaison entre mesures et simulations de la caractéristique I(V) du transistor bipolaire NPN parasite activé par le couplage substrat inhérent à la configuration de la puce V1. Nous pouvons remarquer une reproduction du couplage substrat par la simulation qui est pratiquement comparable aux résultats obtenus par la mesure hormis la partie pour les faibles courants, faute d'avoir des instruments de mesure plus précis et de n'avoir pas intégré plus d'éléments au modèle qui prendraient en compte toute la partie entre le point mesuré et l'électronique d'échantillonnage inhérent à l'instrument de mesure. Depuis la Figure V-24, à droite sur l'échelle logarithmique, on peut constater que le seuil en mesure est à 1 μA qui est la limitation physique du source mètre.

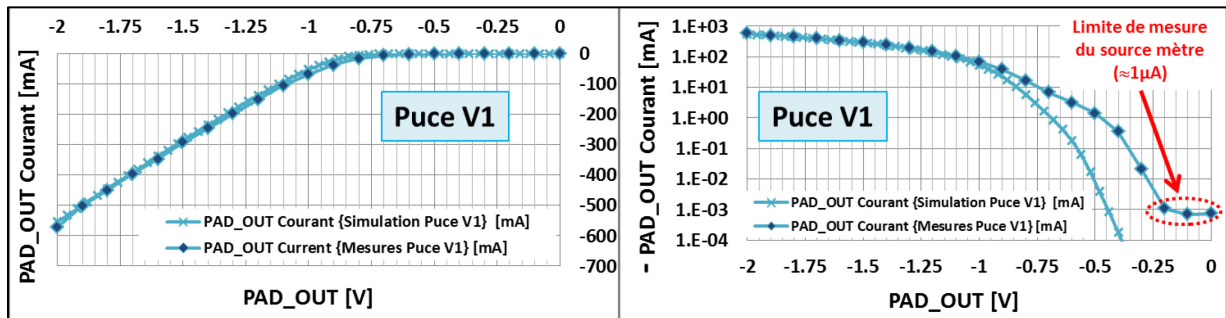


Figure V-24: Comparaison des mesures et simulations de la caractérisation I(V) du transistor bipolaire NPN parasite activé par le couplage substrat; à gauche – échelle décimale, à droite - échelle logarithmique

Les différences que l'on peut observer entre mesures et simulations peuvent provenir de plusieurs facteurs :

- imperfections de calibration des paramètres de modèles d'éléments localisés de l'EPFL
- approximations faites par le simulateur pour obtenir la convergence des solutions de la simulation DC
- manque de modèles précis du boîtier QFN32, de la carte électronique de test PCB et des instruments de mesure qui ne sont pas complètement inclus dans la simulation. Un modèle générique du boîtier QFN32 a été cependant utilisé lors des simulations ainsi qu'une résistance mise en série avec la source d'injection de courant sur la broche PAD_OUT. Cette résistance série a été estimée depuis les résultats de mesures.
- pour finir, la différence pourrait aussi provenir en raison d'une taille de la maille qui n'est pas assez fine pour certaines localisations critiques du layout suite au maillage non uniforme amélioré

Les différences entre simulations et mesures que l'on pourra observer tout au long des prochains résultats trouveront leur origine dans un ou plusieurs de ces facteurs. On tiendra compte de ces postulats si l'on ne stipule pas autrement pour donner plus de précisions sur l'origine des différences observées entre mesures et simulations.

Afin de compléter la comparaison entre les mesures et les simulations de notre analyse du transistor bipolaire NPN parasite, sur la Figure V-25 sont présentés, à gauche, le courant collecteur I_C en fonction de la tension V_{CE} puis, à droite, son gain en courant I_C/I_E . On peut observer ici aussi que le modèle de couplage substrat reproduit assez bien la collection des porteurs minoritaires par les puits de type n, c'est-à-dire le N Well 1 de la puce V1. L'écart sur le gain alpha pour de faibles courants d'injection provient de la faible précision de la prédiction du courant injecté (I_E). Notons que pour des faibles courants injectés, il y a peu de risques d'avoir un événement perturbateur tel que le latchup ou autre défaillances dues au problème de susceptibilité. Par conséquent, le designer ne devrait prendre en compte le gain alpha qui est surestimé en simulation pour les faibles courants injectés.

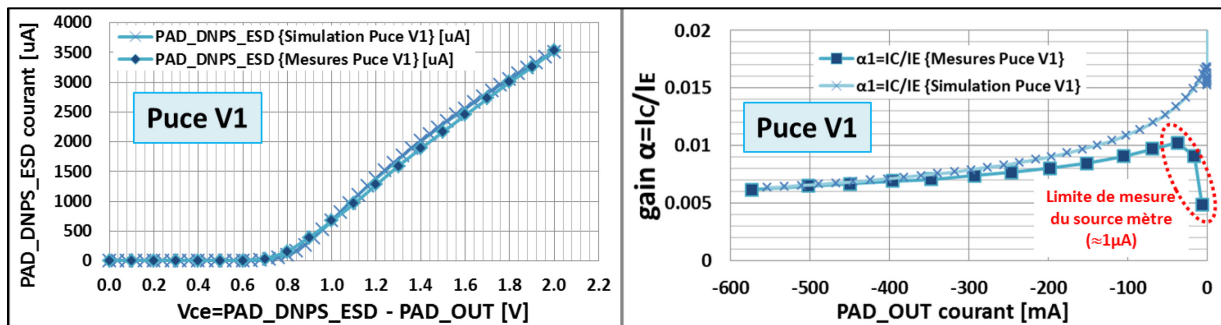


Figure V-25: Comparaison des mesures et simulations de la caractérisation du transistor bipolaire NPN parasite activé par le couplage substrat; à gauche - I_C (V_{CE}), à droite - gain en courant $\alpha=I_C/I_E$

V.4.3.2. Analyse de l'effet de la distance sur le couplage substrat (avec l'extraction complète du layout)

Dans cette expérience, nous avons reproduit deux types de séries de mesures présentés au chapitre 3. Une première série réalisée avec la tension de l'entrée PAD_OUT maintenue constante tandis qu'on fait varier la tension de la broche PAD_DNPS_ESD. Dans la seconde série on intervertit la polarisation de ces deux broches.

Nous allons d'abord examiner le couplage substrat lorsque le PAD_DNPS, c'est-à-dire le collecteur du transistor bipolaire est à 0V. Sur les figures suivantes sont présentés les courants collectés par les puits de type n connectés au PAS_DNPS_ESD selon la version de la puce, V1 ou V2, lesquelles sont différenciés par la distance entre le point d'injection et collection (145 μm pour le N Well1, 290 μm pour le N Well2). Les résultats sont présentés sur la Figure V-26, en fonction de la tension V_{CE} (la différence de tension entre PAD_DNPS_ESD et PAD_OUT).

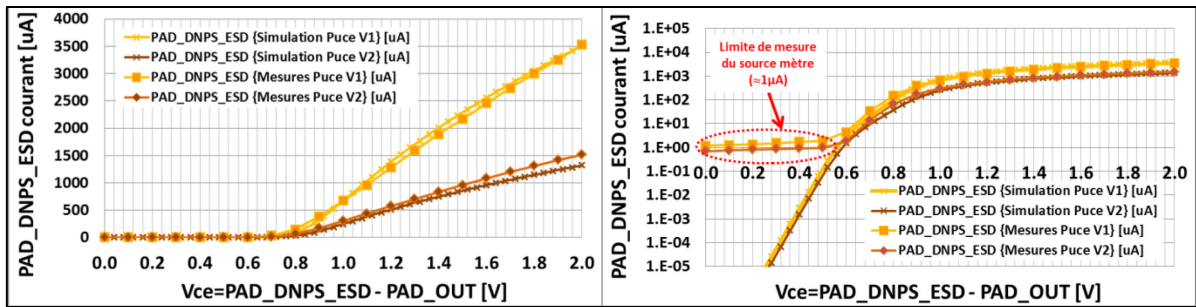


Figure V-26: Comparaison des mesures et simulations du courant collecté en fonction de la tension V_{CE} (échelle linéaire & logarithmique)

Comme on pouvait s'y attendre, nous observons aussi en simulation que le puit le plus proche de PAD_OUT (N Well 1 pour la puce V1), collecte plus de courant que le puit le plus éloigné (N Well 2 pour la puce V2). Cela confirme que l'influence de la distance entre le point d'injection et le point de collection est aussi prise en compte par le modèle du couplage substrat. Par la simulation il est possible d'observer des niveaux très bas de courant collectés, ce qui nous est impossible de faire en mesure dû aux limites en résolution des instruments de mesure.

Nous avons aussi comparé les résultats de simulations et de mesures concernant la dépendance du courant collecté sur N Well1 et N Well 2 par rapport au courant injecté. Comme le montre la Figure V-27, le déclenchement du couplage substrat se fait pour des courants plus faibles pour le puit N Well 1 par rapport au puit N Well 2 aussi bien en simulation qu'en mesure.

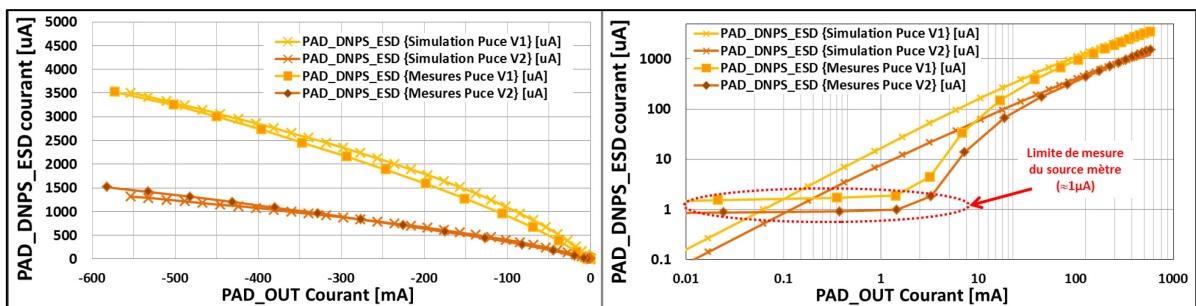


Figure V-27: Comparaison des mesures et simulations du courant collecté en fonction du courant injecté dans le substrat via PAD_OUT (échelle linéaire & logarithmique)

La simulation du couplage substrat nous donne une estimation et un ordre de grandeur du couplage auquel on peut s'attendre, une information très importante pour le designer qui cherche avant tout à éviter tout couplage substrat ou à en limiter l'impact sur les parties sensibles du circuit.

Pour continuer notre analyse, l'effet de la distance sur le gain en courant du transistor bipolaire parasite est caractérisé. Sur la Figure V-28 est présenté le gain en courant en fonction de la tension de PAD_OUT (gauche) et en fonction du courant injecté (droite).

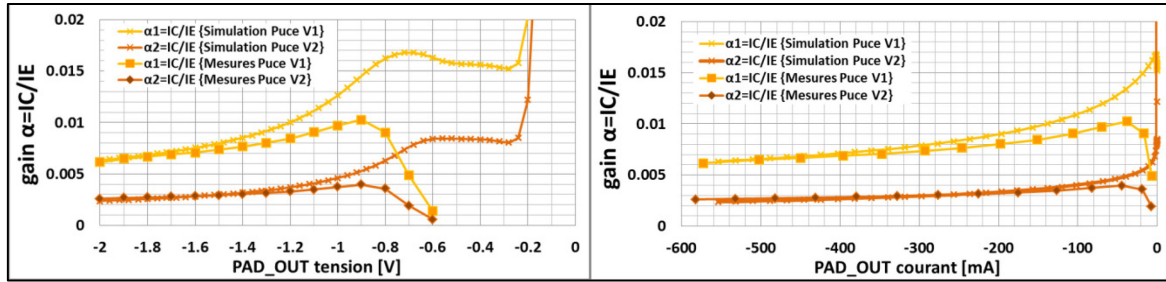


Figure V-28: Comparaison des mesures et simulations du gain en courant du transistor bipolaire parasite, $\alpha=I_C/I_E$ en fonction de la tension de PAD_OUT (gauche), en fonction du courant injecté (droite)

Sur la figure de gauche, nous sommes partis pour les mesures de -0.6V pour la tension de PAD_OUT car pour de tensions plus basses, le courant collecté était trop faible pour être mesuré correctement. Nous avons cependant la possibilité de simuler et observer des courants plus faibles, mais cette information nous est juste informative. En effet, pour des très faibles injections, le modèle prédit des gains très forts qui n'auront pas un grand impact sur les effets du couplage substrat observés sur le circuit victime.

Nous allons maintenant analyser l'effet de la collection simultanée par les deux puits de type n, le N Well 1 et le N Well 2, qui seraient interconnectés (puce V3). Nous souhaitons voir si la collection des porteurs minoritaires est plus grande, égale ou plus petite par rapport à un seul puit polarisé, soit par le N Well 1 soit par le N Well 2. Sur la Figure V-29 est présenté le résultat de notre analyse.

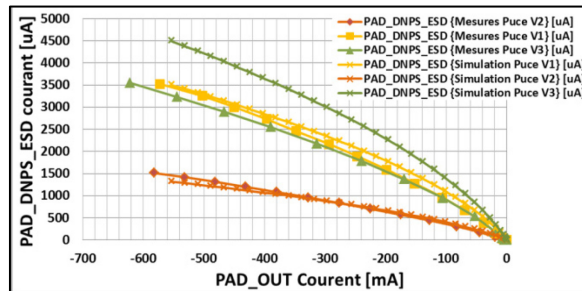


Figure V-29: Comparaison des mesures et simulations du courant collecté par les puits N Well 1 et N Well 2 en fonction du courant injecté dans le substrat via la broche PAD_OUT

Nous pouvons constater que les simulations pour la puce V3 ne correspondent pas aux mesures: en simulation, le courant collecté est surestimé d'environ 25% par rapport au courant mesuré, ce qui reste dans le domaine de l'acceptable en prenant en compte les erreurs qui peuvent apparaître en fonction du maillage [V-46]. La simulation prédit que la collection sera pratiquement la somme de la collection des porteurs par le N Well 1 et le N Well 2. Par contre, les mesures nous informent que l'essentiel des porteurs minoritaires est collecté par le puit le plus proche, c'est-à-dire le puit N Well 1. On observe donc en mesure un effet de masquage du puit N Well 2 par le puit N Well 1.

Une des explications à cela reste l'analyse détaillée du circuit extrait représentant le modèle du couplage substrat. Il ne prend en compte qu'une petite partie du layout du circuit original, représenté sur la Figure V-30, afin de limiter le nombre d'éléments de la netlist du substrat. On peut y observer que tous les porteurs minoritaires injectés dans le substrat sont

limités à se déplacer dans un espace confiné du layout et pas sur toute la superficie du layout original: par conséquent, il est compréhensible que l'on collecte pratiquement le double des porteurs en ayant interconnecté les deux puits collecteurs, afin d'y observer la collection simultanée du courant substrat.

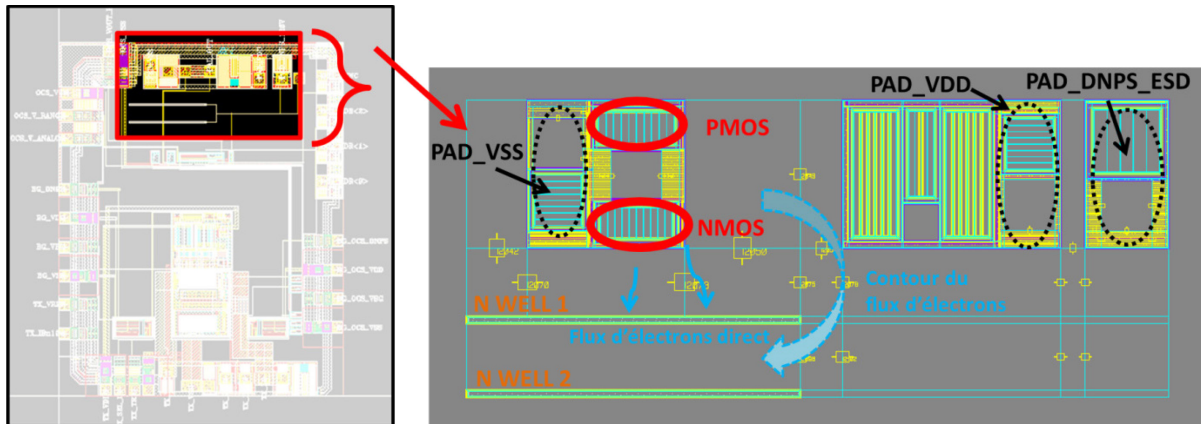


Figure V-30: Gauche, la partie du circuit entier qui a été modélisée encadrée en rouge
Droite, l'explication sur la différence entre mesures et simulations

Cette expérience montre la nécessité pour le designer de définir bien précisément la zone d'intérêt du couplage substrat susceptible de perturber le bon fonctionnement du circuit basse tension et de comprendre les bases des mécanismes de propagation des porteurs minoritaires afin de mieux interpréter les résultats des simulations.

V.4.3.3. Analyse de l'effet de la température sur le couplage substrat

Dans cette partie, il s'agit de comparer les simulations et les mesures de l'effet de la température sur le couplage substrat. Les mesures et simulations sont réalisées sur la puce V1 (avec le puit N Well 1 le plus proche du point d'injection de courant) pour les températures suivantes: 24°C, 55°C, 80°C et 105°C. Sur la Figure V-31, nous avons comparé les mesures et simulations du courant injecté via PAD_OUT à la température. Sur la Figure V-32 nous avons représenté les mêmes résultats en échelle logarithmique.

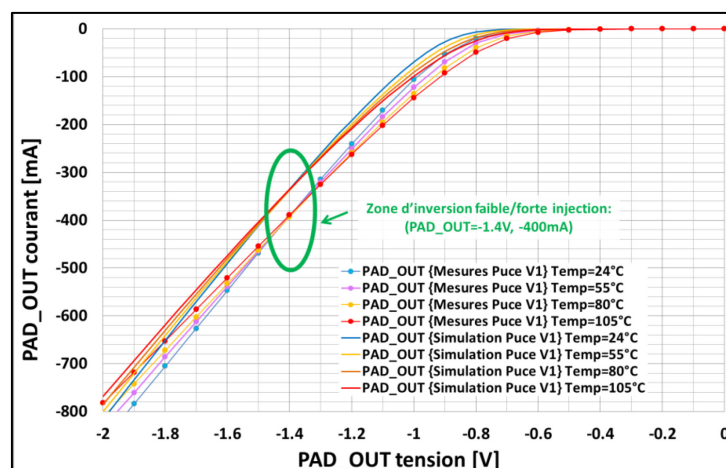
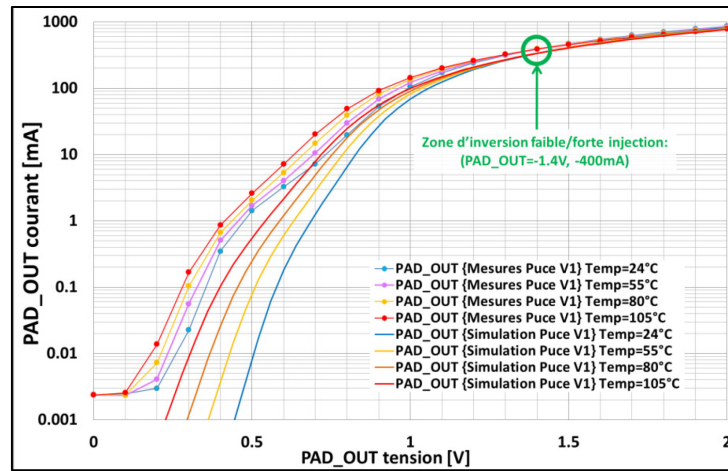


Figure V-31: Comparaison simulations et mesures avec la puce V1 ;
PAD_OUT I(V) - Courant injecté {température=24°C, 55°C, 80°C et 105°C}



Nous pouvons observer que les simulations de la caractérisation I(V) de PAD_OUT pour différentes températures ont la même tendance que les mesures, avec une petite différence due aux imperfections de modélisations et erreurs de mesures que nous avons déjà citées. Il est intéressant de noter que la zone d'inversion de la tendance se situe dans la même zone aux alentours de (-1.4V, -350mA).

Sur la Figure V-33, nous avons présenté nos résultats en fonction de la tension V_{CE} ($V_{CE} = \text{PAD_DNPS_ESD} - \text{PAD_OUT}$), c'est-à-dire la différence de tension appliquée entre les broches PAD_OUT et PAD_DNPS_ESD avec PAD_DNPS_ESD = 0V.

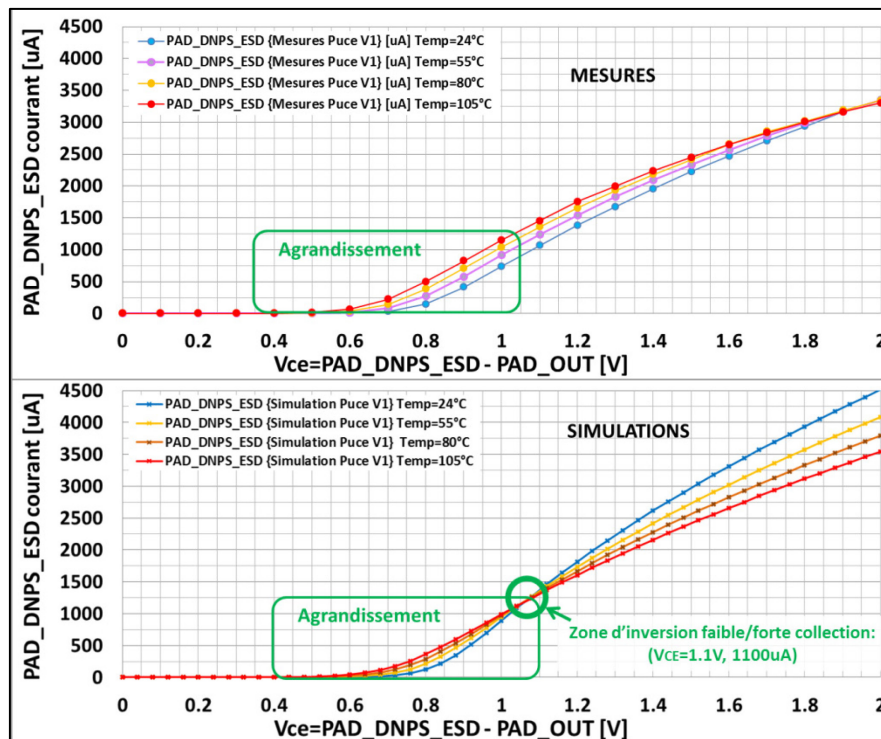


Figure V-33: Comparaison mesures (haut) et simulations (bas) sur la Puce V1; Courant collecté par N Well 1 pour différentes températures en fonction de la tension de V_{CE} (avec PAD_DNPS_ESD=0V);

Ce que l'on peut observer, c'est que la tendance de la collection des porteurs minoritaires est inversée en simulation par rapport aux mesures en fonction de l'élévation de la température de la puce. Dans notre cas, le modèle ne prend pas en compte favorablement l'effet de la température lorsqu'on observe le phénomène de la collection de porteurs minoritaires par un puit de type n. Néanmoins, si l'on agrandit la partie centrale de la dernière figure, nous pouvons observer sur la Figure V-34, au tout début de la collection de porteurs minoritaires que la tendance des simulations correspond bien aux mesures lorsque nous avons une élévation en température du circuit. On pourrait en déduire que la collection des porteurs n'est pas bien modélisée lors de fortes injections. Ceci peut être dû aussi à un défaut de calibration du modèle, car les lois de propagation, le temps de vie et de la recombinaison des porteurs minoritaires et majoritaires sont établies d'une manière empirique et adaptées à chaque technologie.

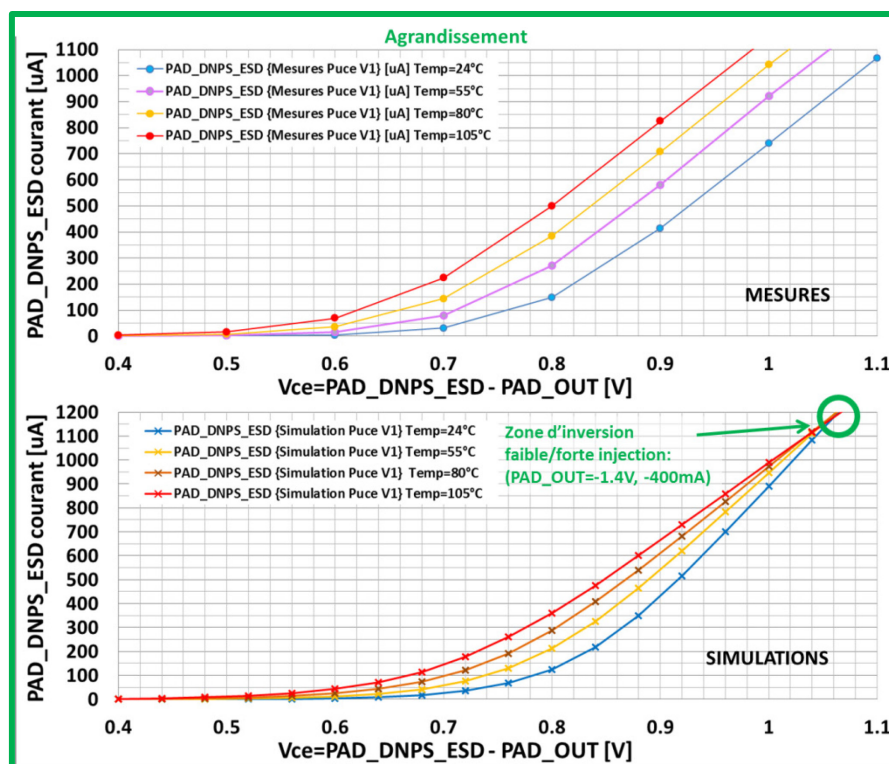


Figure V-34 Comparaison mesures (haut) et simulations (bas) sur la Puce V1; Courant collecté par N Well 1 pour différentes températures en fonction de la tension de V_{CE} (avec $PAD_DNPS_ESD=0V$); (Agrandissement sur la partie centrale)

Portons notre attention maintenant sur le gain en courant $\alpha=I_C/I_E$ avec l'élévation en température de la puce afin de comparer mesures et simulations. Les résultats de cette analyse sont présentés sur la Figure V-35.

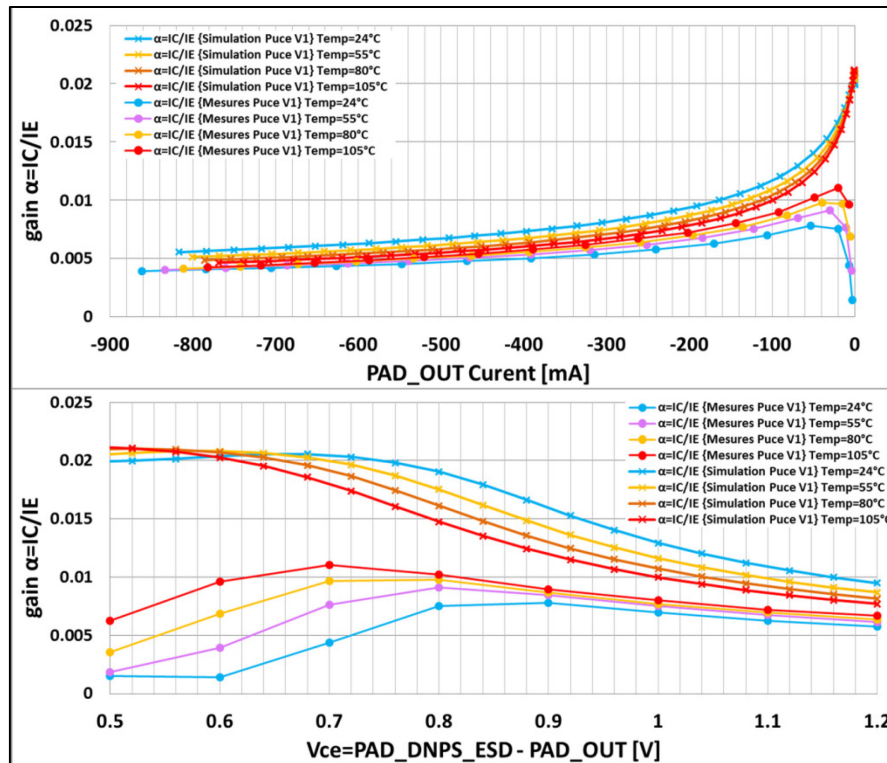


Figure V-35: Comparaison simulation et mesures sur Puce V1 ; variation du gain en courant $\alpha = I_C/I_E$ en fonction du courant injecté pour différentes températures

Nous avons ici aussi une tendance inversée du gain entre les résultats de simulations et de mesures. Cette différence laisse à penser que la collection en fonction de la température en simulation n'est pas modélisée correctement dans notre cas et nécessite d'être étudiée plus en détail pour trouver la source du défaut.

V.4.4. Résultats des simulations du cas d'étude 1 réalisées avec l'extraction simplifiée du layout

Dans cette partie, nous allons présenter les résultats des simulations réalisées avec l'extraction simplifiée du layout et les comparer aux mesures et résultats de simulation avec l'extraction complète du layout. En comparant les deux modèles de couplage substrat de notre circuit, l'un "plus" complet et l'autre simplifié, nous allons pouvoir étudier l'impact du choix des composants à inclure dans le layout à envoyer dans l'outil AUTOMICS pour générer la netlist des parasites du substrat. Pour les simulations utilisant l'extraction simplifiée du layout avec ses 2944 éléments discrets le temps moyen de chaque simulation est d'environ 15 secondes.

Nous allons d'abord examiner le couplage substrat lorsque le pad PAD_DNPS (c'est-à-dire le collecteur du transistor bipolaire) est polarisé à 0V. Sur les figures suivantes sont présentés les courants collectés par les puits de type n connectés à PAS_DNPS_ESD selon la version de la puce, V1 ou V2. Les résultats sont présentés sur la Figure V-36, en fonction de la tension V_{CE} (la différence de tension entre PAD_DNPS_ESD et PAD_OUT) et sur la Figure V-37 nous avons les résultats présentés en fonction du courant injecté via PAD_OUT.

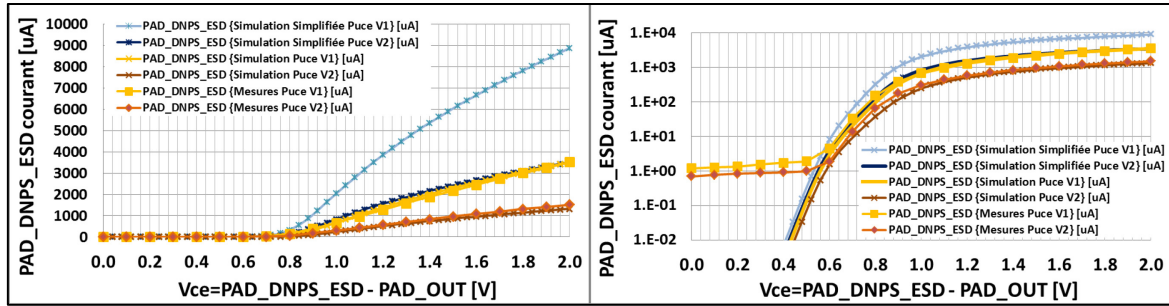


Figure V-36: Comparaison des mesures et simulations du courant collecté en fonction de la tension V_{ce} (échelle linéaire & logarithmique)

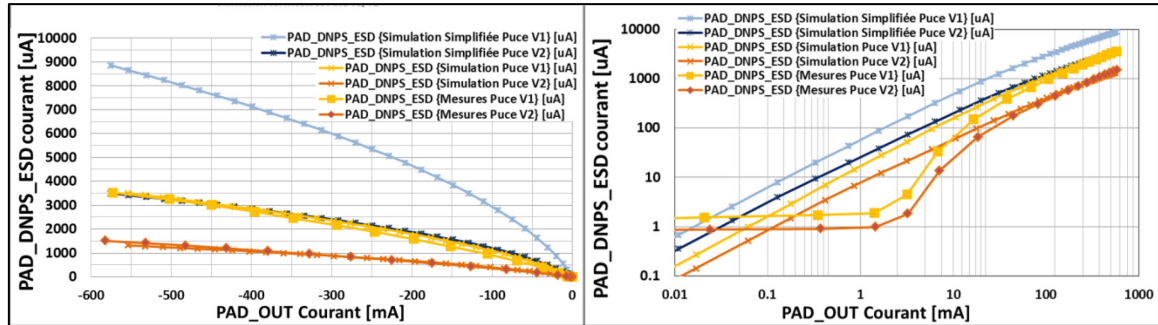


Figure V-37: Comparaison des mesures et simulations du courant collecté en fonction du courant injecté dans le substrat via PAD_OUT (échelle linéaire & logarithmique)

Sur les deux dernières figures, on peut remarquer qu'avec une extraction simplifiée le couplage substrat est surestimé avec une collection de porteurs minoritaires plus de deux fois plus grande. Ceci peut s'expliquer de la même manière que précédemment: tous les porteurs injectés dans le substrat sont contraints de circuler vers les puits de type n, N Well 1 et N Well 2, sans qu'ils puissent diverger vers les autres directions du circuit, ce qui est le cas dans l'extraction complète et ce qui est certainement le cas physiquement.

Nous avons aussi comparé les simulations aux mesures de la dépendance du courant collecté par N Well1 et N Well 2 par rapport au courant injecté sur la Figure V-38. Comme attendu, le déclenchement du couplage substrat se fait pour des courants plus faibles pour le puit N Well 1 par rapport au puit N Well 2 aussi bien en simulation qu'en mesure. Nous observons ici aussi une surestimation du couplage substrat avec le modèle simplifié.

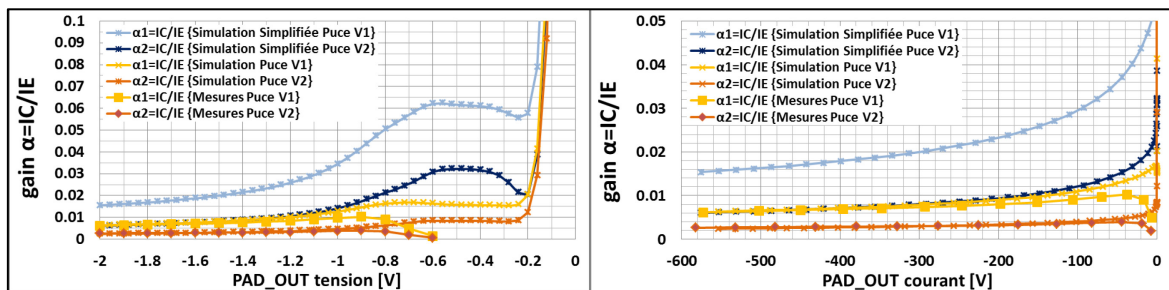


Figure V-38: Comparaison du gain en courant du transistor bipolaire parasite, $\alpha = I_C/I_E$ en fonction du courant injecté

Nous allons maintenant analyser l'effet de la collection simultanée par les deux puits de type n: N Well 1 et N Well 2, qui sont interconnectés. Nous souhaitons voir si la collection des porteurs minoritaires par le puit N Well 2 est masquée par le puit N Well 1, ce qui n'a pas été le cas lors de l'extraction complète du modèle. Sur la Figure V-39 est présenté le résultat de notre analyse.

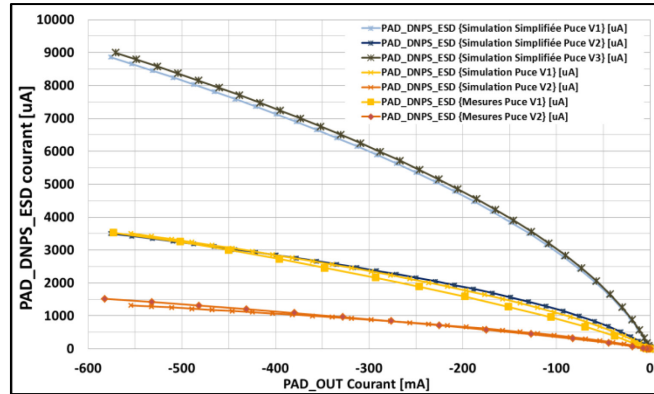


Figure V-39: Comparaison des mesures et simulations du courant collecté par les puits N Well 1 et N Well 2 en fonction du courant injecté dans le substrat via la broche PAD_OUT

Sur la dernière figure, nous pouvons bien observer l'effet de masquage que produit le puit N Well 1 sur la collection des porteurs minoritaires par le puit N Well 2. Bien qu'en surestimant de plus du double la collection des porteurs minoritaires, cette information reste intéressante pour le designer afin de prévoir les protections nécessaires pour les circuits sensibles aux alentours du point d'injection potentiel.

V.4.5. Récapitulatif des résultats de simulation sur le cas d'étude n°1

Le cas d'étude 1 nous a démontré l'impact de la distance sur le couplage substrat, observable aussi bien en simulation qu'en mesures et l'effet de la température sur la jonction pn sur la partie injection des porteurs minoritaires dans le substrat. Par contre, nous n'avons pas pu observer en simulation l'effet de masquage ni l'impact de la température sur la collection des porteurs minoritaires. On a aussi pu se rendre compte de la différence de temps de simulation sur une station CAO avec performances standards de nos jours (en 2016) entre la version d'extraction complète (19810 éléments localisés – 7-8 min de simulation) et extraction réduite (2944 éléments localisés, environs 15 secondes).

Nous avons ainsi exploré en partie les possibilités qu'offre l'outil AUTOMICS à tout designer souhaitant anticiper rapidement les effets néfastes que peut induire le couplage substrat sur les parties circuit entourant les sources potentielles d'injection de porteurs minoritaires dans le substrat. Comme nous l'avons escompté, les simulations suivent bien la tendance avec une erreur dans les marges qui ne dépasse pas 50% comparé au modèle TCAD avec les mêmes paramètres [V-46].

Il serait ici intéressant de présenter les temps de simulations nécessaires pour réaliser nos simulations du cas d'étude 1 et de les comparer suivant les différentes options d'extraction

et de la version de la puce. Un récapitulatif des temps de simulation est présenté dans le Tableau V-A :

Tableau V-A: Temps de simulation pour différentes configurations du cas d'étude 1

	Extraction Simplifié			Extraction Complète		
	Puce V1	Puce V2	Puce V3	Puce V1	Puce V2	Puce V3
Temps simulation conditions initiales DC	24.09s	24.26s	23.25s	968.65s (16m 8.7s)	976.68s (16m 16.7s)	926.036s (15m26.0s)
Temps de simulation total	26s	26.1s	25.1s	974s (16m 13.8s)	982s (16m 21.9s)	931s (15 m 31.0s)

Comme on peut le constater, c'est surtout le calcul des conditions initiales DC qui prend le plus de temps aussi bien que pour l'extraction simplifiée que pour l'extraction complète et c'est surtout là que se joue la différence du gain de temps entre ses deux types d'extraction. Ensuite, la simulation lors de la variation de la tension PAD_OUT (dc sweep) prend relativement peu de temps comparé au temps total de la simulation. Cet aspect-là doit être pris en compte par le designer, afin qu'il optimise son temps de travail, tout en gardant en vue qu'en simplifiant trop le circuit il risque de surestimer le degré de couplage.

Afin de mieux appréhender les effets néfastes du couplage substrat sur un circuit sensible, nous avons réalisé des simulations sur le cas d'étude 2 et les avons confrontées aux mesures. Nous allons les présenter dans la section suivante.

V.4.6. Résultats des simulations du cas d'étude 2

Nous allons continuer notre analyse du modèle du couplage substrat en comparant les mesures et simulations réalisées sur le cas d'étude 2 (perturbation d'une référence de tension Bandgap par un convertisseur DC-DC). Tout d'abord, nous allons nous intéresser à l'injection statique de courant dans le substrat et analyser ses effets par la simulation sur le Bandgap. Ensuite, nous présenterons les simulations transitoires pour différentes fréquences d'injections d'impulsions de courant substrat.

V.4.6.1. Impact l'injection statique de courant substrat sur le Bandgap

Nous allons présenter ici la comparaison des mesures et simulations réalisées afin d'étudier l'impact sur le Bandgap que produit l'injection statique du courant substrat via le drain du NMOS de l'étage de sortie du convertisseur DC-DC.

Nous commençons par comparer les mesures et simulations présentées sur la Figure V-40. On peut observer la caractérisation I(V) de la jonction pn formée par le drain du NMOS de l'étage de sortie du convertisseur DC-DC et le substrat. Dès que la tension de drain devient négative, cette jonction pn s'active produisant une injection de porteurs minoritaires dans le substrat.

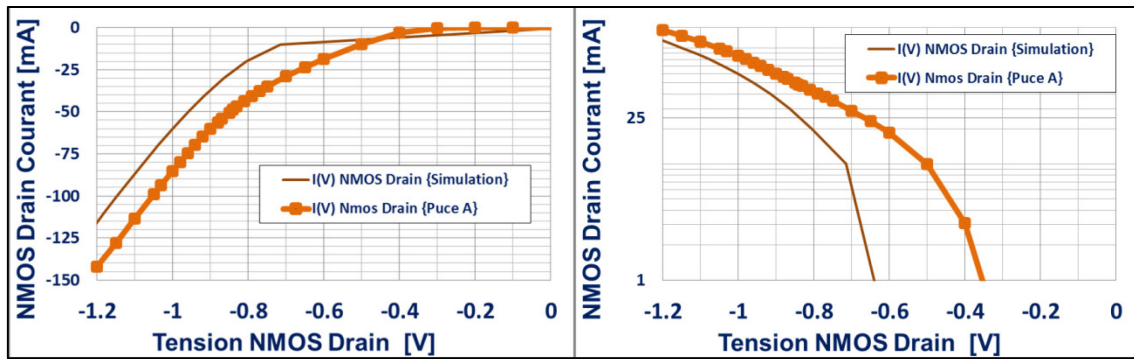


Figure V-40: Comparaison mesures et simulations de la caractérisation I(V) de la jonction pn formée par le drain du NMOS de l'étage de sortie du convertisseur DC-DC et le substrat, gauche - échelle linéaire ; droite- échelle logarithmique)

On peut observer que la simulation suit bien la tendance de la caractéristique mesurée I(V) de la jonction pn avec une petite erreur dans les marges de l'acceptable que nous avons déjà définie.

Sur la Figure V-41, nous pouvons observer aussi bien en mesure qu'en simulation une augmentation de la tension de sortie V_{ref} du Bandgap, lorsque la jonction pn précédente est polarisée en direct. Cet effet représente le dysfonctionnement escompté du circuit dû au couplage substrat. Pour observer le même offset en simulation, il est cependant nécessaire d'injecter un courant environ 30 mA plus faible que celui nécessaire en mesure. Ce qui est intéressant pour le designer est surtout le fait de savoir que le Bandgap est susceptible d'être défaillant dans une telle configuration et que le modèle le prédit bien avec même une marge de sécurité, en surestimant l'effet pour des faibles courants injectés. Ainsi, selon le degré de sévérité des critères de sensibilité du circuit, le designer peut repenser le layout du Bandgap et des structures de puissance avoisinantes, tout en prenant garde de ne pas surprotéger les structures sensibles, afin d'économiser la place nécessaire aux protections dans le layout.

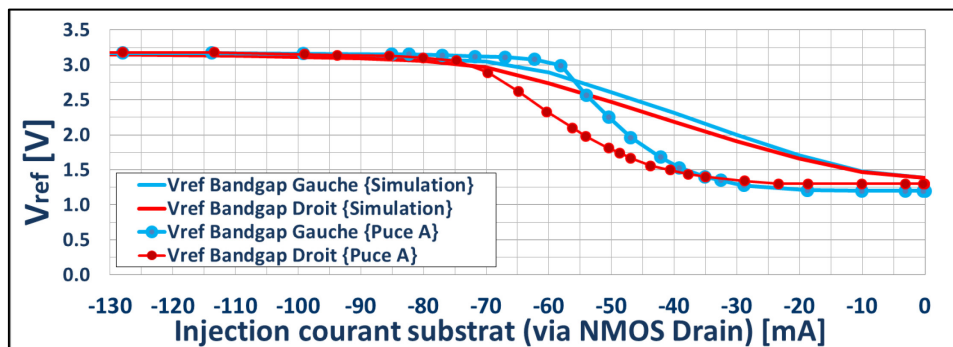


Figure V-41: Comparaison mesures et simulations du dysfonctionnement du Bandgap dû au couplage substrat, variation de la tension de sortie V_{ref} en fonction du courant injecté via la sortie du convertisseur DC-DC

Sur la Figure V-42, la comparaison mesures et simulations de la défaillance du Bandgap est analysée à travers la consommation en courant des deux Bandgap.

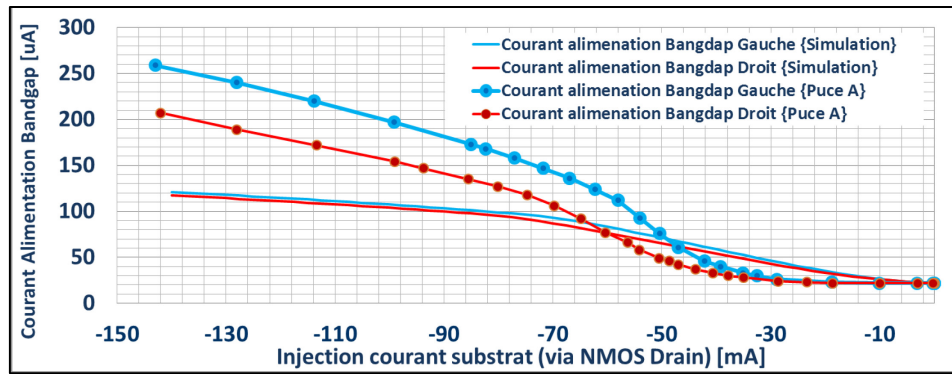


Figure V-42: Comparaison mesures et simulations de la variation de la consommation du Bandgap suite au couplage substrat

On peut remarquer que le modèle sous-estime la variation de la consommation des deux Bandgap, tout en conservant la différence de la sensibilité au couplage substrat qui existe entre les deux Bandgap. Notons que c'est un effet indirect que nous observons, qui est lié à l'augmentation du courant dans la source de courant et dans les deux miroirs du courant du Bandgap. Cet effet n'est pas correctement modélisé, car le modèle que nous avons utilisé n'a pas pris en compte tous les aspects de la puce réelle et les différents courants de fuite qui existent dans les transistors MOSFET du Bandgap. Pour limiter le nombre de composants dans la netlist du substrat, dans le modèle est inclus seulement le courant de fuite des transistors bipolaires Q_0 , Q_1 , Q_2 vers le substrat mais pas le courant de fuite des transistors MOSFET qui contribuent moins au couplage substrat selon l'étude théorique que nous avons élaboré sur la défaillance du Bandgap dû au couplage substrat dans le chapitre III. En effet, les N Well des transistors MOSFET sont connectés à la tension d'alimentation du Bandgap réduisant ainsi considérablement leur impact dans le couplage substrat.

Sur les deux prochaines figures, Figure V-43 et Figure V-44, sont présentés les résultats de mesures de la collection des porteurs minoritaires par les anneaux de garde du Bandgap et du convertisseur DC-DC, respectivement.

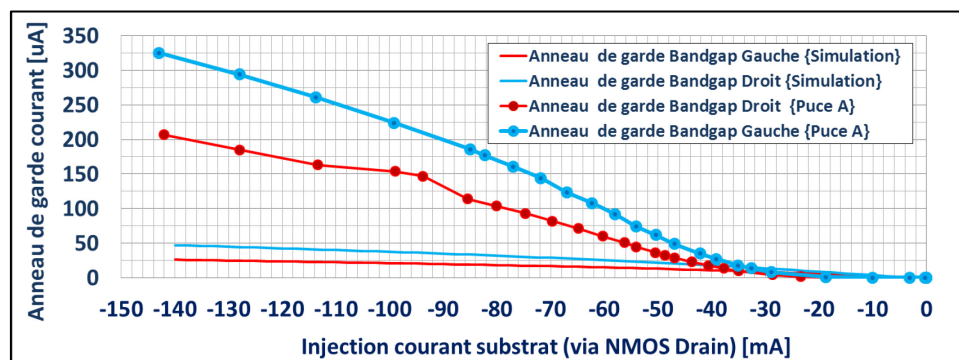


Figure V-43: Comparaison mesures et simulations de la collection du courant substrat par les anneaux de garde du Bandgap

Nous pouvons constater ici que la collection du courant par les anneaux de garde des Bandgap suit bien la tendance observée en mesures avec une erreur qui pourrait s'expliquer par la taille de la maille qui est trop grande, surtout dans les parties latérales et supérieures des anneaux de garde des deux Bandgap représentés seulement par une seule maille respectivement (Figure V-45). Ainsi notre modèle de couplage substrat (défini par l'extraction

avec l'outil AUTOMICS des parasites haute tension de la puce AUTOBENCH 2) sous-estime le courant collecté par les anneaux de garde des Bandgap, et par conséquent, son efficacité à protéger le Bandgap qu'on n'observe pas en mesures.

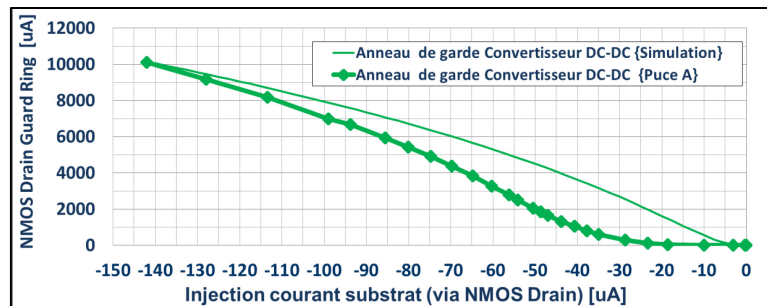


Figure V-44: Comparaison mesures et simulations de la collection du courant substrat par les anneaux de garde du convertisseur DC-DC

Par contre, nous pouvons remarquer que la tendance et l'estimation du couplage substrat collecté par l'anneau de garde du convertisseur DC-DC est plus semblable à la mesure ce qui peut aussi s'expliquer par une taille de la maille plus fine à l'intérieur du layout de la structure du convertisseur DC-DC. Comme l'outil AUTOMICS gère par ses propres algorithmes le maillage en fonction de la disposition des différentes couches du layout (déjà expliqué en détail dans le sous chapitre V.3.1.2 0.), nous avons pu ainsi indirectement observer l'effet du maillage sur la modélisation du couplage substrat. Afin de mieux observer les effets du couplage substrat, il aurait fallu réduire la taille de la maille aux alentours des anneaux de garde des deux Bandgap et entre le Bandgap et le convertisseur DC-DC. En même temps, il aurait fallu garder ailleurs dans le layout la taille de la maille plus grande qui est par défaut définie par l'outil AUTOMICS, en fonction de son algorithme de maillage non uniforme amélioré.

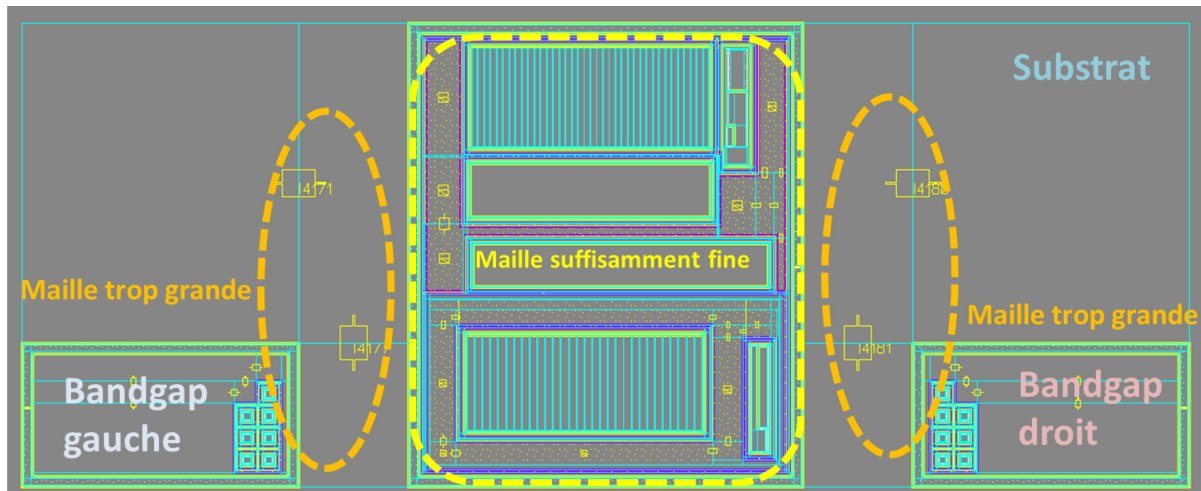


Figure V-45: Explications de la différence entre mesures et simulations de la collection du courant substrat par les anneaux de garde du Bandgap

V.4.6.2. Effet des anneaux de garde sur le couplage substrat lors d'une injection de courant statique

Dans cette partie, nous allons présenter la comparaison des mesures et simulations analysant l'effet de l'utilisation des anneaux de garde comme protection du couplage substrat.

L'anneau de garde du convertisseur DC-DC est polarisé par la broche TX_DNPS et les anneaux de garde des Bandgap sont polarisés par la broche BG_DNPS, comme nous l'avons vu dans la partie expliquant le banc de test du cas d'étude 2.

Sur la Figure V-46 est présentée l'évolution de la tension de sortie des deux Bandgap avec les quatre configurations de tests présentés dans le Tableau III G du chapitre III.

Mis à part les différences qui existent entre les mesures et simulations, on peut observer que les tendances sont observées et que les effets des anneaux de garde sur le dysfonctionnement du Bandgap sont observables à partir des simulations. Ici aussi, le manque d'un maillage plus fin aux abords des anneaux de garde des Bandgap fait que nous avons une large surestimation du couplage substrat lorsque les deux anneaux de garde ne sont pas polarisés. Nous avons alors une surestimation du courant injecté qui est aussi liée par la non prise en compte des autres parties du layout. Seule la zone du convertisseur DC-DC et les deux Bandgap est considérée. Nous avons vu dans le cas d'étude 1, que le fait de ne pas prendre en compte une partie plus large du layout dans l'analyse du couplage substrat nous donne une surestimation du couplage substrat. Cela démontre bien l'intérêt de prévoir aussi une marge de sécurité autour des zones d'intérêt où l'on risque de rencontrer des défaillances dues au couplage substrat.

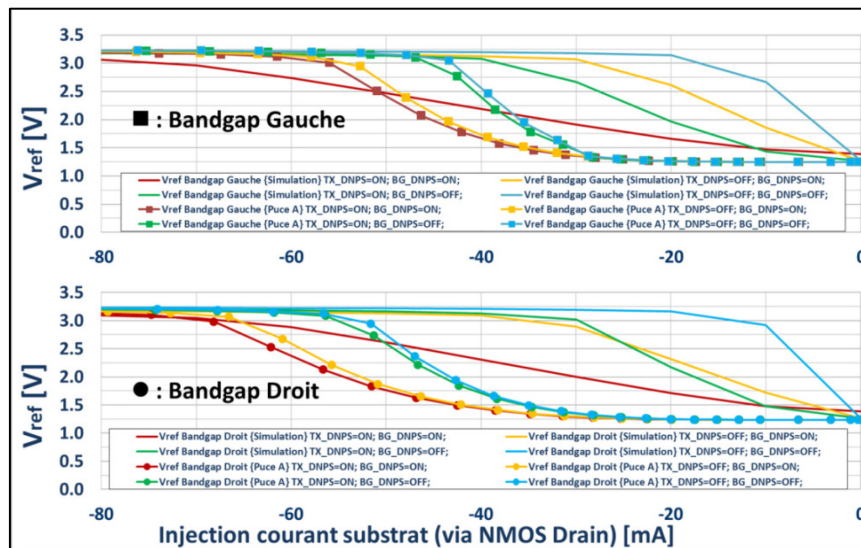


Figure V-46: Dysfonctionnement des Bandgap dû au couplage substrat, avec et sans polarisation des anneaux de garde du convertisseur DC-DC (TX_DNPS) et des Bandgap (BG_DNPS); anneaux de garde: activés: 'ON' ; désactivés: 'OFF'

Sur les Figure V-47 et Figure V-48, nous pouvons observer des différences entre mesures et simulations du courant d'alimentation des deux Bandgap qui sont aussi dues à un maillage trop grossier et le fait que nous ne modélisons pas les courants du substrat collectés par les MOSFET des Bandgap. On peut aussi noter que pour des courants d'injection plus grands, à partir de -40mA, nous observons une différence si l'anneau de garde des Bandgap

est activé ou désactivé aussi bien en mesure qu'en simulation. Cependant, pour des courants d'injection faibles, cette différence est à peine perceptible en mesures à cause de la résolution en courant du source-mètre (en dessous de -30mA d'injectés le courant d'alimentation est bien en dessous de 100uA) mais toute fois observable en simulation, même pour des courants très faibles.

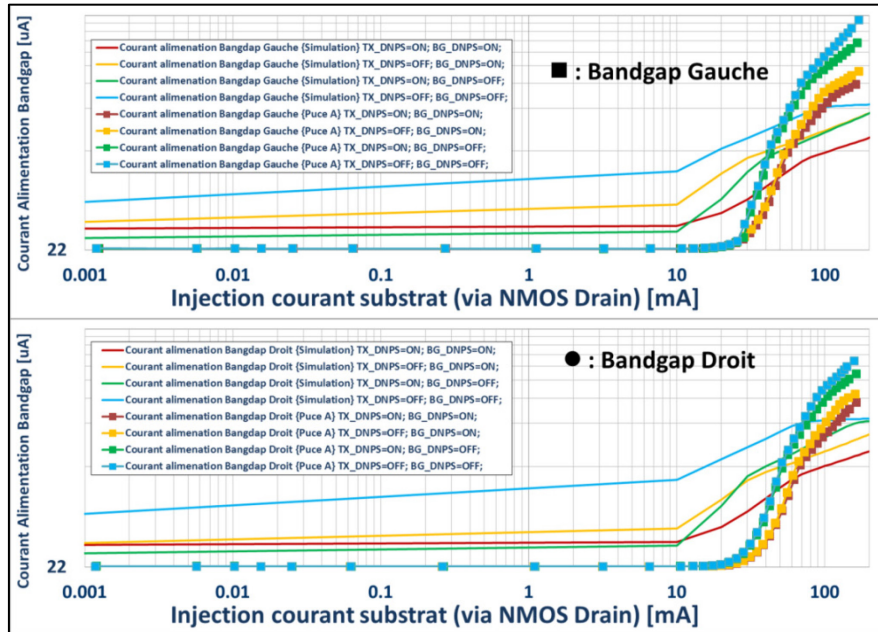


Figure V-47: Variation de la consommation du Bandgap suite au couplage substrat ; avec et sans polarisation des anneaux de garde du convertisseur DC-DC (TX_DNPS) et des Bandgap (BG_DNPS); anneaux de garde: activés: 'ON' ; désactivés: 'OFF'

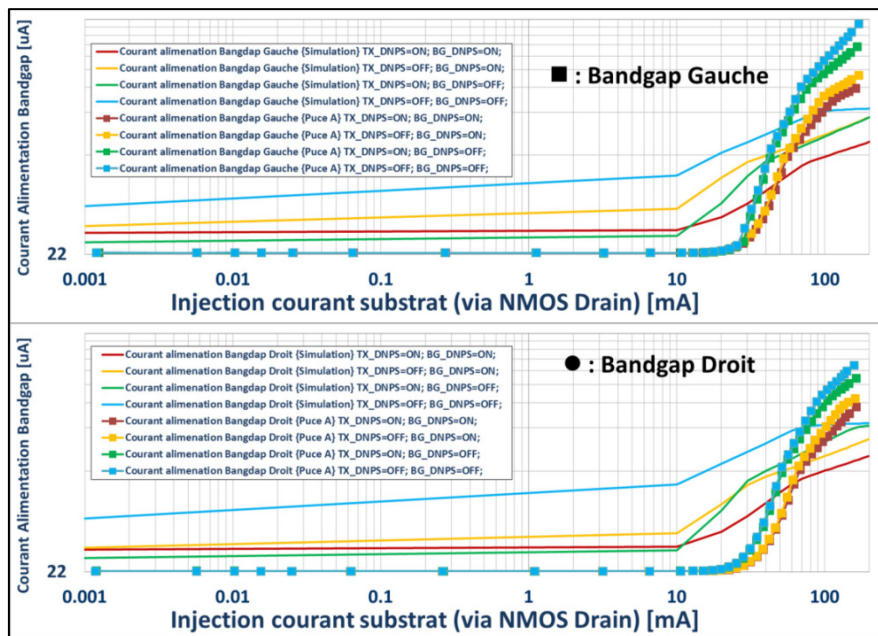


Figure V-48: Variation de la consommation du Bandgap suite au couplage substrat ; avec et sans polarisation des anneaux de garde du convertisseur DC-DC (TX_DNPS) et des Bandgap (BG_DNPS); anneaux de garde: activés: 'ON' ; désactivés: 'OFF'
Échelle Logarithmique;

Sur la Figure V-49, nous pouvons observer la comparaison entre les simulations et mesures du courant collecté par les anneaux de garde des deux Bandgap suivant l'activation (en rouge) et la désactivation (en jaune) de l'anneau de garde du convertisseur DC-DC. Comme nous l'avons vu, l'activation et la désactivation de l'anneau de garde du convertisseur DC-DC ont un impact important sur le dysfonctionnement du Bandgap ainsi que sur la collection des porteurs par les anneaux de garde des Bandgap. Par contre en simulation, comme nous l'avons déjà vu précédemment, par un manque du maillage assez fin, nous n'avons pas une représentation plus proche des mesures de la collection des porteurs minoritaires par les anneaux de garde.

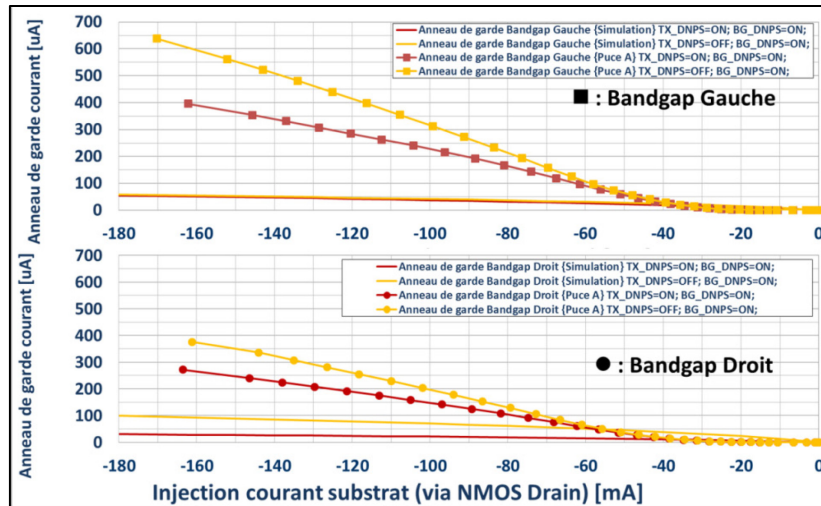


Figure V-49: Collection du courant substrat par les anneaux de garde du Bandgap ; avec et sans anneau de garde du convertisseur DC-DC (TX_DNPS); anneaux de garde: activés: 'ON' ; désactivés: 'OFF'

La Figure V-50 présente la collection du courant substrat par les anneaux de garde du convertisseur DC-DC. Nous n'observons quasiment aucune différence entre l'activation et la désactivation des anneaux de garde du Bandgap aussi bien en mesure qu'en simulation: les anneaux de garde du Bandgap n'ont aucune incidence sur la collection des porteurs par l'anneau de garde du convertisseur. L'inverse par contre n'est pas valable où l'anneau de garde du convertisseur DC-DC produit l'effet de masquage du couplage substrat entre le drain du NMOS et les anneaux de garde des Bandgap. Le résultat observé confirme donc les explications théoriques compte tenu de la disposition mutuelle des anneaux de garde sur le layout (Figure III 19). Les anneaux de garde des Bandgap se situent hors du chemin parcouru par les porteurs minoritaires entre le point d'injection, le drain du NMOS de puissance et le point de collection, qui est ici l'anneau de garde du convertisseur DC-DC.

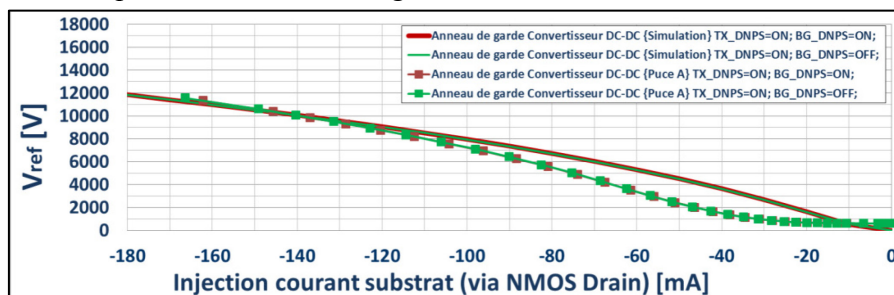


Figure V-50: Collection du courant substrat par les anneaux de garde du convertisseur DC-DC ; anneaux de garde: activés: 'ON' ; désactivés: 'OFF'

V.4.6.3. Effet de la température sur le couplage substrat lors d'une injection de courant statique

Nous allons présenter maintenant la comparaison de l'influence de la température sur l'intensité du couplage substrat par l'injection de courant statique via le drain du NMOS de puissance. Avant de présenter le dysfonctionnement des deux Bandgap dû au couplage substrat en fonction de la température du circuit, nous allons d'abord présenter sur la Figure V-51 la caractérisation I(V) de la jonction pn formée par le drain du NMOS de l'étage de sortie du convertisseur DC-DC et le substrat. La tension du seuil de cette jonction joue un rôle important sur le déclenchement du couplage substrat qui est ici assez bien reproduit par la simulation. Nous pouvons aussi observer que les simulations en température suivent la même tendance que les mesures, c'est-à-dire que plus on monte en température, plus la tension de seuil diminue.

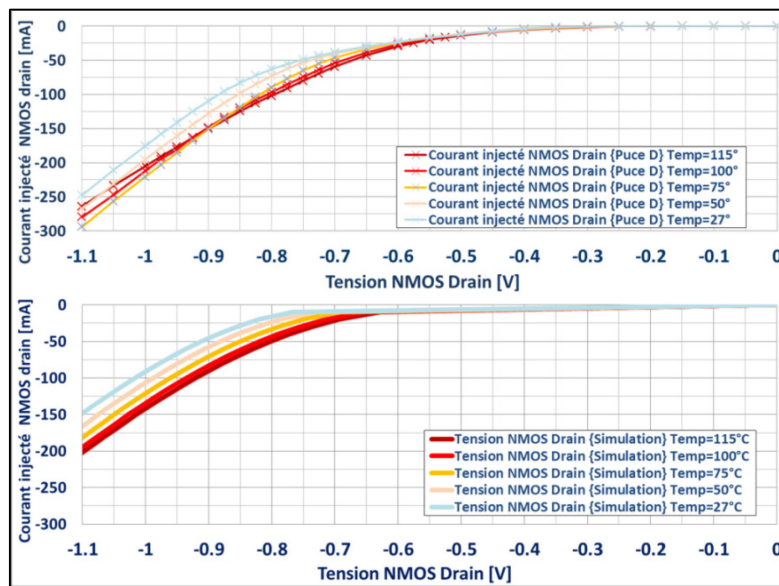


Figure V-51: Comparaison de la mesure et simulation de la caractérisation I(V) du transistor bipolaire parasite activé par le couplage substrat pour différentes températures

Sur les Figure V-52 et Figure V-53, la comparaison des mesures et simulations des tensions de sortie des Bandgap gauche et droit, respectivement, est présentée pour différentes températures. On peut une fois de plus remarquer que le modèle de couplage substrat dans notre cas ne prend pas en compte l'effet de la température dans le bon sens lorsqu'il s'agit d'observer la partie collection des porteurs minoritaires issus du couplage substrat. En effet, la tendance simulée est inversée par rapport à celle observée en mesure.

Cet effet observé en simulation doit être étudié plus en détail afin de comprendre d'où l'erreur provient. On peut émettre l'hypothèse que le modèle n'a peut-être pas été bien calibré en température avec des lois empiriques manifestement mal définies pour la technologie utilisée dans notre cas.

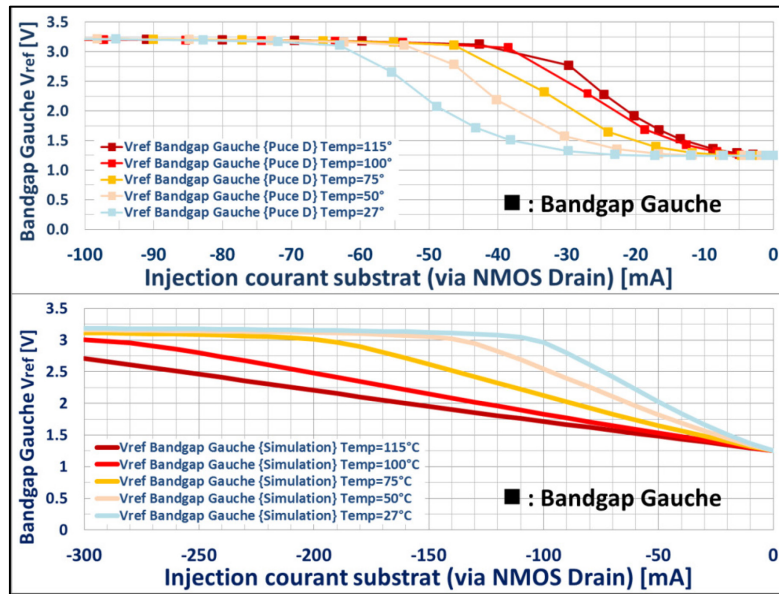


Figure V-52: Comparaison entre les mesures et les simulations du dysfonctionnement du Bandgap gauche dû au couplage substrat pour différentes températures ; variation de la tension de sortie V_{ref} en fonction du courant injecté via NMOS Drain

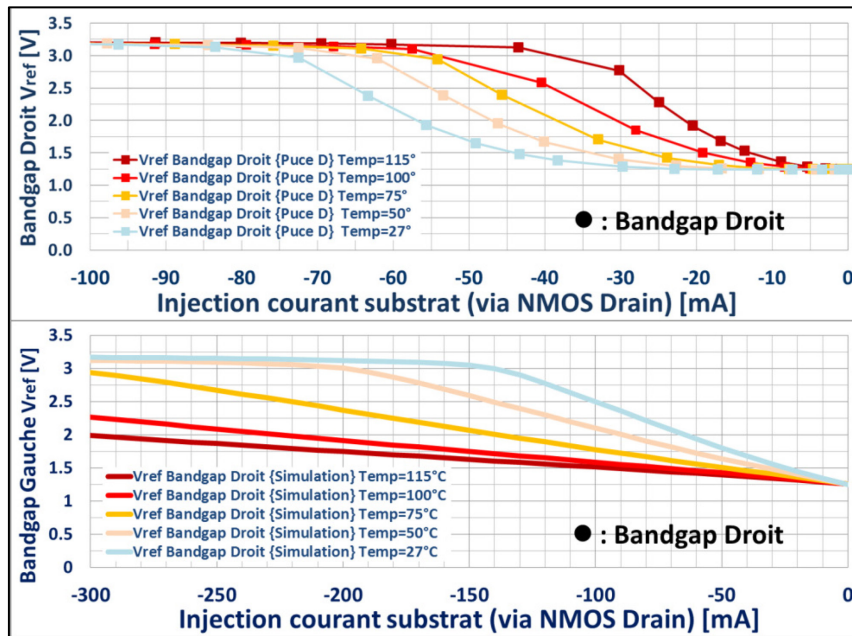


Figure V-53: Comparaison entre les mesures et les simulations du dysfonctionnement du Bandgap droit dû au couplage substrat pour différentes températures ; variation de la tension de sortie V_{ref} en fonction du courant injecté via NMOS Drain

A.) Le temps nécessaire pour les simulations

Avant de passer à l'étude des simulations transitoires, notons ici que le temps nécessaire à réaliser une simulation d'injection en courant statique était en moyenne inférieur à deux heures (1h48minutes pour la configuration complète avec tous les anneaux de garde), et ce pour toutes les différentes configurations de simulation confondues (différentes polarisations des anneaux de garde et différentes températures). Ce temps de simulation peut paraître long, mais les informations qu'on peut en tirer le designer peuvent lui faire économiser du temps. En effet, il n'aura pas à lancer en fabrication des prototypes du circuit pour se rendre compte à posteriori du degré de couplage substrat et de ses effets sur les circuits sensibles. De plus, si une simulation de type TCAD était faisable sur ce type de circuit avec plusieurs dizaines de transistors, le temps nécessaire à la réaliser serait certainement plus long, le problème à traiter étant très complexe.

V.5. Simulations transitoires de l'injection du courant dans le substrat

Dans cette partie, nous allons présenter une comparaison des résultats de mesures et des simulations du couplage substrat pour une injection pulsée de porteurs minoritaires.

V.5.1. Simulations transitoires de l'impact sur le fonctionnement du Bandgap lors de l'injection du courant dans le substrat

Comme nous l'avons déjà vu au chapitre III, nous avons injecté une impulsion négative de -0.75V pour différentes fréquences, avec un rapport cyclique de 50%. En simulation, par contre nous avons injecté une impulsion négative avec une amplitude un peu plus grande, d'environ -0.9 V (-35mA d'injectés via le drain du NMOS de puissance), afin d'observer le même décalage de la tension V_{ref} du Bandgap pour une fréquence de 100Hz.

Nous avons observé l'impact du comportement du couplage substrat sur le Bandgap selon la fréquence des pulses négatives. Sur les Figure V-54 à Figure V-59 sont présentés les résultats de mesures sur lesquels nous avons aussi indiqué la tension moyenne en sortie du Bandgap pour chaque fréquence.

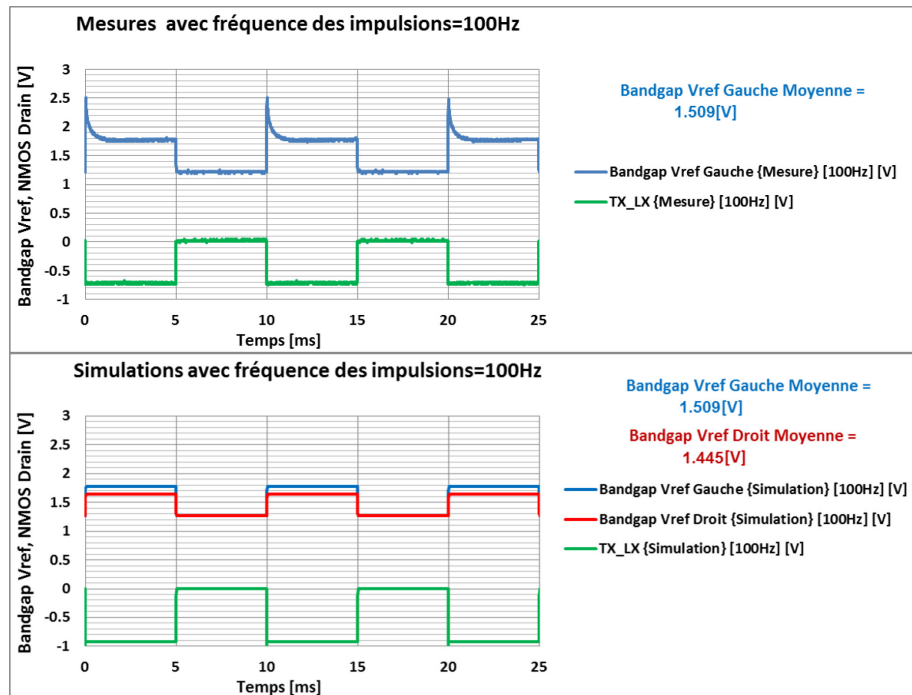


Figure V-54: Comparaison des mesures et simulations pour l'injection dynamique via le NMOS Drain avec la fréquence des impulsions de 100Hz

On peut remarquer à partir des Figure V-54 et V-55 que le modèle du couplage substrat reproduit bien l'événement lorsqu'il est stabilisé. La tension d'offset moyenne est correctement prédite par le modèle. Par contre, nous n'observons pas le même phénomène transitoire. Cela peut s'expliquer par le fait que nous n'avons pas modélisé toutes les capacités et inductances parasites qui existent entre l'oscilloscope et la sortie V_{ref} du Bandgap sur le layout du circuit AUTOBENCH 2. Celles-ci sont liées au boîtier du circuit et aux pistes du circuit imprimé.

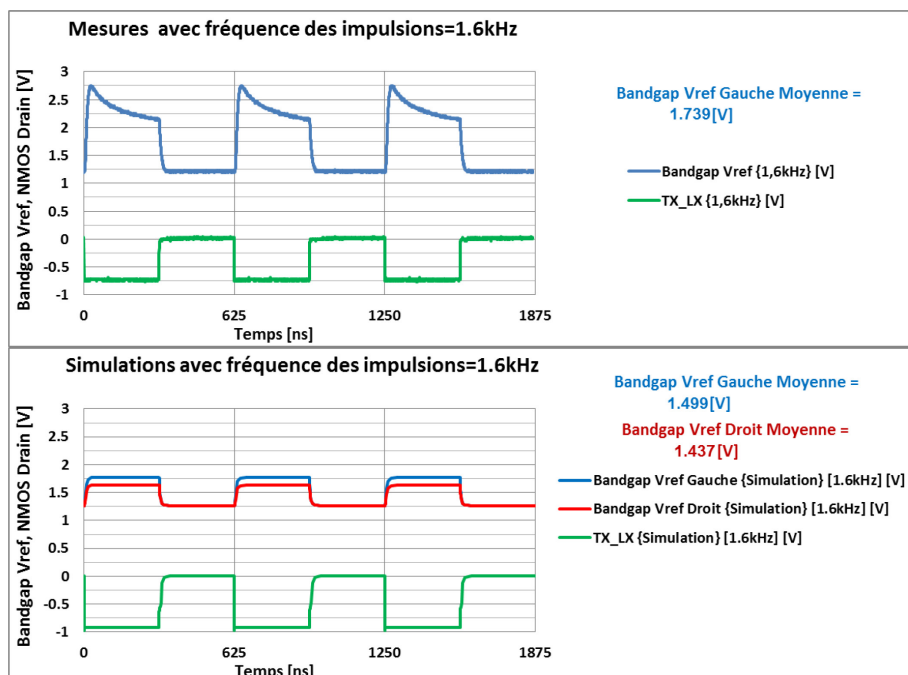


Figure V-55: Comparaison des mesures et simulations pour l'injection dynamique via le NMOS Drain avec la fréquence des impulsions de 1,6kHz

Les autres figures qui suivent, depuis la Figure V-56 jusqu'à la Figure V-59 présentent les mêmes caractéristiques. Néanmoins, bien que la tendance soit bien représentée, l'offset est sous-estimé en simulation dû aux raisons qui viennent d'être évoquées. Cependant, pour le designer il est important de savoir que le modèle de l'EPFL prend en compte les événements transitoires rapides. Ici, le modèle prédit une défaillance en sortie du Bandgap, ce qui est suffisant pour inciter le designer à revoir le design s'il estime qu'une injection de courant substrat d'une amplitude semblable peut survenir (via les circuits de puissance avoisinants du Bandgap, par exemple).

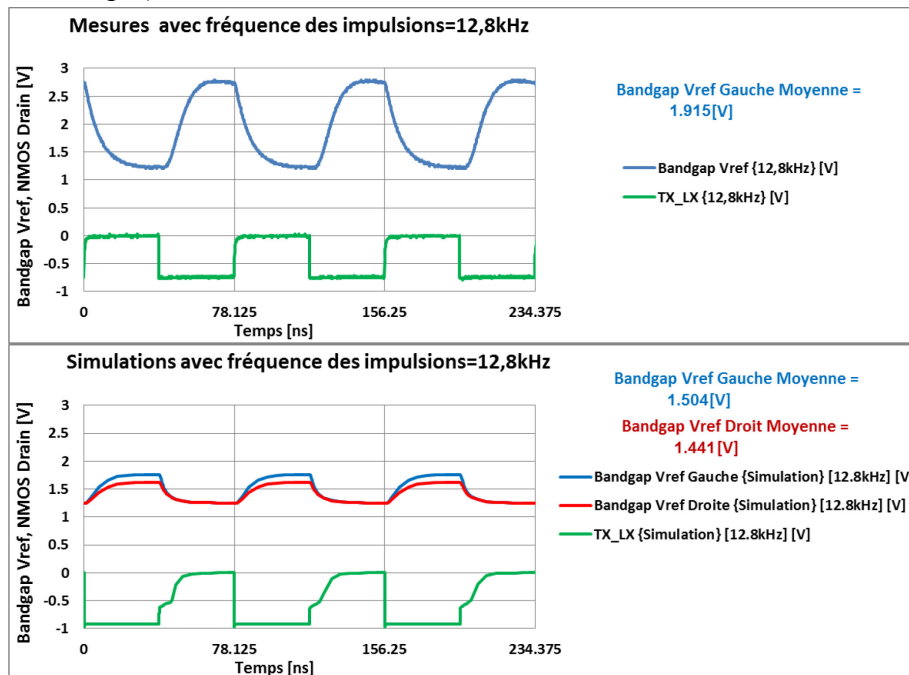


Figure V-56: Comparaison des mesures et simulations pour l'injection dynamique via le NMOS Drain avec la fréquence des impulsions de 12,8kHz

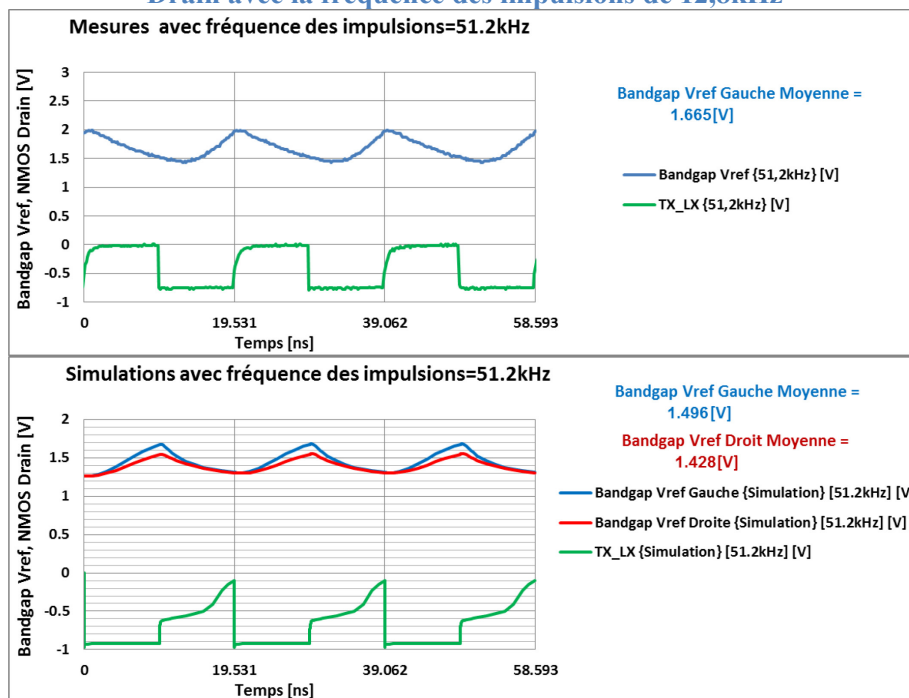


Figure V-57: Comparaison des mesures et simulations pour l'injection dynamique via le NMOS Drain avec la fréquence des impulsions de 51,2kHz

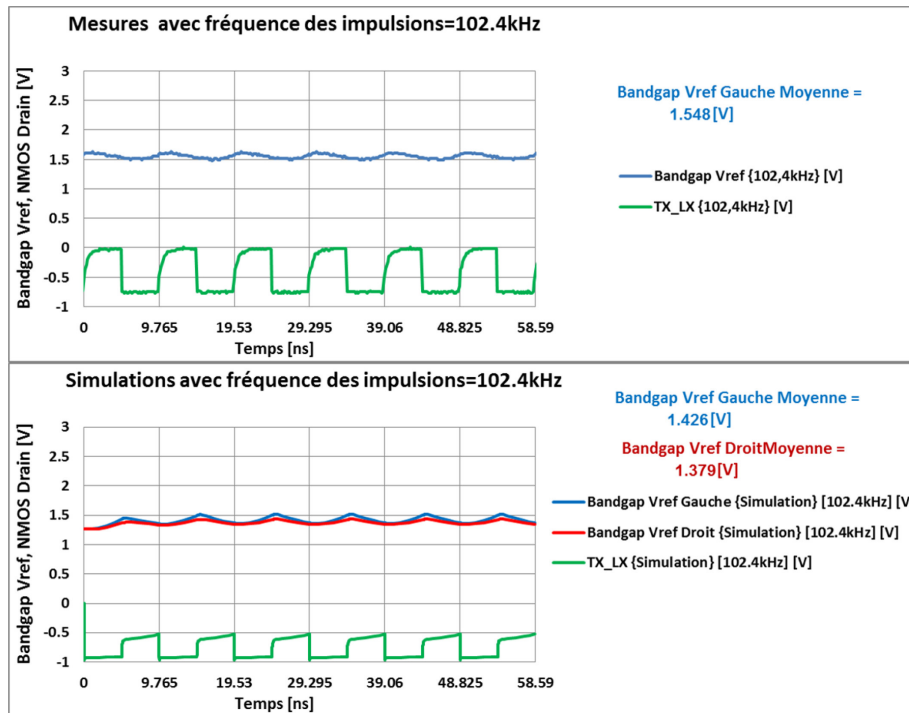


Figure V-58: Comparaison des mesures et simulations pour l'injection dynamique via le NMOS Drain avec la fréquence des impulsions de 102,4kHz

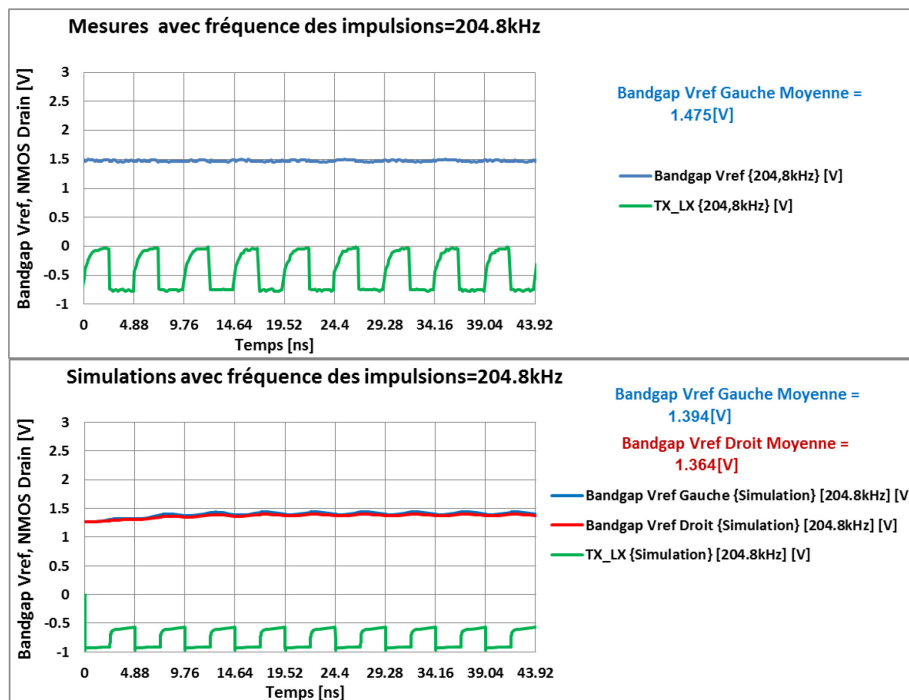


Figure V-59: Comparaison des mesures et simulations pour l'injection dynamique via le NMOS Drain avec la fréquence des impulsions de 204.8kHz

V.5.2. Simulations transitoires du courant collecté par les anneaux de garde des Bandgap et du convertisseur DC-DC

Pour continuer notre analyse, il serait intéressant d'observer le courant collecté par les anneaux de garde des Bandgap et du convertisseur DC-DC. Sur la Figure V-60 jusqu'à la Figure V-65, nous présentons le résultat de cette analyse qui complète d'une certaine manière le cas d'étude 1, pour lequel nous n'avons présenté aucune mesure et simulations transitoires pour la collection des porteurs minoritaires par des puits de type n que les anneaux de garde représentent finalement. La raison de n'avoir pas réalisé ces mesures transitoires de collection de porteurs minoritaires est le manque de moyens de mesures rapides pour des courants très faibles de l'ordre de quelques mA à quelques μA .

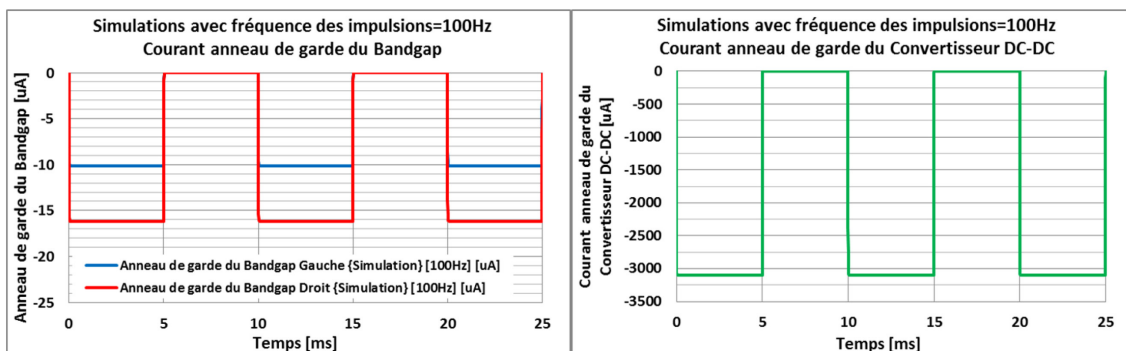


Figure V-60: Courant collecté par les anneaux de garde des Bandgap (gauche) et l'anneau de garde du convertisseur DC-DC (droite) pour la fréquence d'impulsions de 100Hz

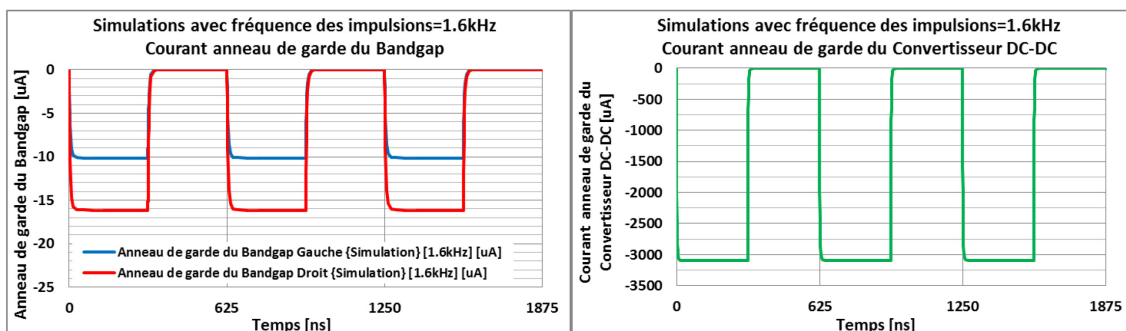


Figure V-61: Courant collecté par les anneaux de garde des Bandgap (gauche) et l'anneau de garde du convertisseur DC-DC (droite) pour la fréquence d'impulsions de 1.6kHz

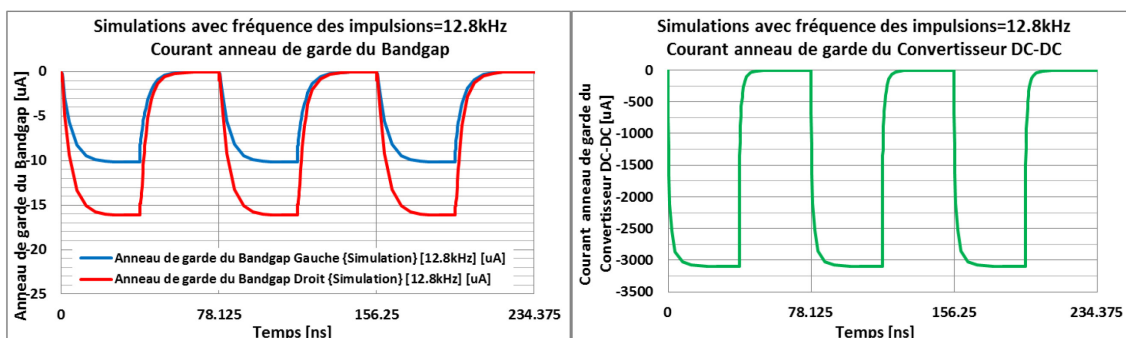


Figure V-62: Courant collecté par les anneaux de garde des Bandgap (gauche) et l'anneau de garde du convertisseur DC-DC (droite) pour la fréquence d'impulsions de 12.8kHz

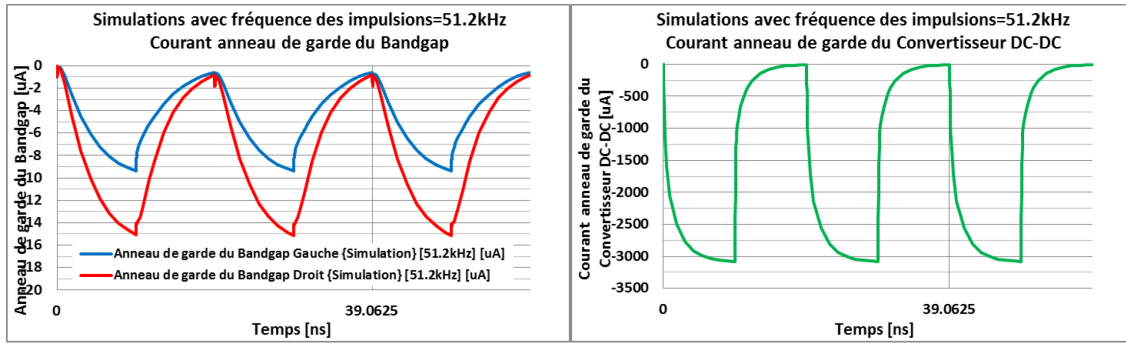


Figure V-63: Courant collecté par les anneaux de garde des Bandgap (gauche) et l'anneau de garde du convertisseur DC-DC (droite) pour la fréquence d'impulsions de 51.2Hz

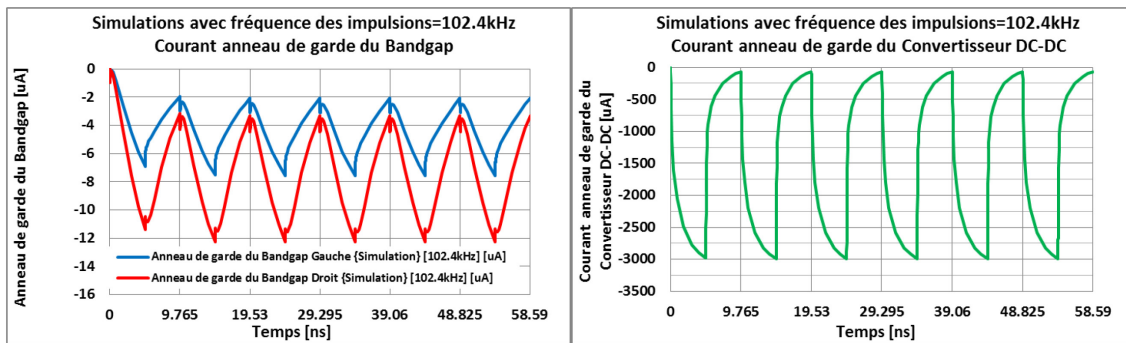


Figure V-64: Courant collecté par les anneaux de garde des Bandgap (gauche) et l'anneau de garde du convertisseur DC-DC (droite) pour la fréquence d'impulsions de 102.4kHz

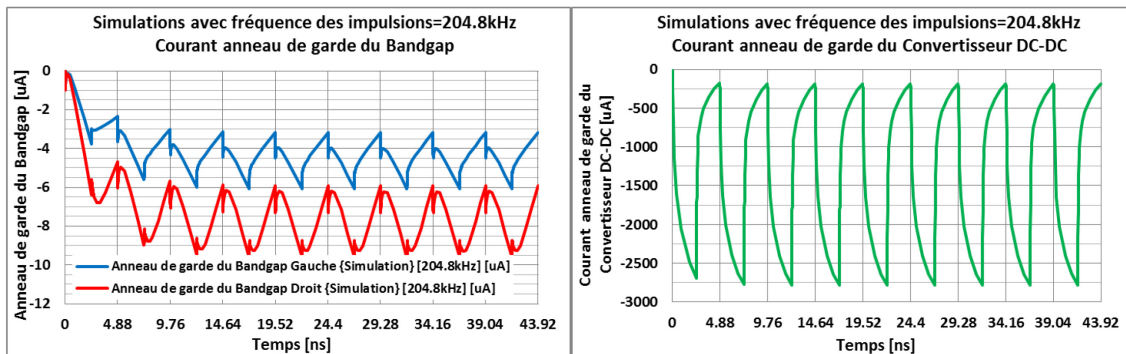


Figure V-65: Courant collecté par les anneaux de garde des Bandgap (gauche) et l'anneau de garde du convertisseur DC-DC (droite) pour la fréquence d'impulsions de 204.8kHz

V.5.3. Récapitulatif des résultats de simulation transitoires sur le cas d'étude n°2

Les simulations transitoires du couplage substrat dans le cadre du cas d'étude 2 mettent en évidence la tendance à la défaillance de la sortie du Bandgap: V_{ref} est bien représentée avec cependant une petite sous-estimation en simulation avec le modèle de couplage substrat par rapport aux mesures. Notons que la différence qui existait en injection statique entre les deux Bandgap, due à leurs distances différentes du point d'injection, est bien prise en compte par le modèle: l'effet de distance est aussi observable par les simulations transitoires.

Les simulations transitoires avec la collection des porteurs minoritaires par des anneaux de garde montrent bien l'effet de la distance sur le couplage substrat, étant donné que chacun des anneaux de garde présents dans le circuit étaient à une distance moyenne différente du drain du NMOS, le point d'injection.

Notons que selon la durée des événements transitoires observés le temps de simulations peut changer considérablement; de plus, la simulation est surtout ralentie lors de l'analyse des passages du signal sur les fronts montants et descendants. Par exemple, pour les précédentes séries de simulations pour différentes fréquences le temps pouvait varier entre 1h et 3h, ce que l'on peut observer dans le Tableau V-B suivant:

Tableau V-B: Temps de simulations transitoires

	Fréquence des impulsions lors de l'Injection dynamique:					
	100Hz	1.6kHz	12.8kHz	51.2kHz	102.4kHz	204.8kHz
Temps de simulation DC conditions initiales	1.44633 ks	1.35062 ks	1.42454 ks	1.43276 ks	1.42905 ks	1.41875 ks
Temps de simulation transitoires	9.1825 ks	5.77535 ks	5.83769 ks	5.56744 ks	1.79651 ks	8.66572 ks
Temps simulation total	10.6394 ks (2h 57m 19s)	7.13636 ks (1h 58m 56s)	7.27263 ks (2h 1m 13s)	7.01128 ks (1h 56m 51s)	3.2381 ks (53m 58.1s)	10.0977 ks (2h 48m 18s)

Nous avons aussi réalisé une simulation avec une injection en courant de -300mA via le drain du NMOS, au lieu des -37.5mA utilisés pour nos simulations présentées ici. Ainsi, avec une injection en courant de -300mA et avec la fréquence des impulsions de 100Hz, le temps d'une simulation d'une fenêtre temporelle de 40ms (4 périodes à 100Hz, donc avec 8 fronts montants/descendants) fut 32h ce qui est un temps considérable mais sans doute bien moindre que celui nécessaire pour une simulation du couplage substrat sous un simulateur TCAD. Ceci montre bien une fois de plus la nécessité de bien maîtriser l'outil AUTOMICS et le simulateur sous SPICE pour avoir un résultat rapide et utile lors du design d'une puce Smart Power afin de limiter les effets du couplage substrat sur des circuits basse tension.

V.6. Conclusion

Dans ce chapitre, nous avons présenté les comparaisons entre les mesures et simulations du couplage substrat dans les deux cas d'étude disponibles sur le circuit de test AUTOBENCH 2. Les aspects théoriques que nous avons développés dans les chapitres précédents mais aussi dans ce chapitre pour expliquer le modèle de couplage substrat de l'EPFL, sont confirmés par les mesures et simulations réalisées à travers les différentes expériences que nous avons exposées ici.

Le modèle de couplage substrat de l'EPFL intégré dans l'outil AUTOMICS présente une avancée considérable dans le domaine de la modélisation appliquée dans le flot de conception et de design des circuits intégrés présents dans l'industrie de nos jours. Ce modèle novateur est complètement intégrable dans les outils CAO actuels et compatible avec les simulateurs de type SPICE. Il est basé sur trois types d'éléments localisés (diode de l'EPFL, résistance de l'EPFL et homojonction de l'EPFL) sous forme de quadripôles qui prennent en compte non seulement la propagation des porteurs majoritaires, ce qui est le cas pour tous les

modèles de composants classiques sous SPICE, mais aussi la propagation de porteurs minoritaires, ce qui est une innovation en soi, permettant ainsi l'intégrabilité dans les simulateurs de type SPICE. Notons une fois de plus, que le temps de calcul des simulations avec le modèle de couplage de l'EPFL est sans doute bien moins inférieur au temps nécessaire pour un simulateur de type TCAD, ce qui est un avantage considérable dont tout designer saura apprécier. Une analyse comparative de la différence temporelle du temps de simulation entre ces deux approches différentes est cependant quasi impossible à réaliser pour des structures complexes telles que le cas d'étude 2, du fait du nombre de composants qui demanderait trop de ressources de calcul à un simulateur de type TCAD.

Afin de pouvoir utiliser ce modèle novateur de couplage substrat, il fut nécessaire de développer l'extracteur d'éléments parasites du substrat (rôle de l'outil AUTOMICS), dont le résultat est une netlist de type SPICE du modèle de couplage substrat inhérent au circuit en cours de design. Cet outil présente l'avantage d'être adaptable aux besoins en précision du designer qui peut le paramétrer à sa guise. Cependant, avant de bâtir le modèle, le designer doit comprendre les mécanismes du couplage substrat afin de mieux cerner les potentielles sources et victimes des phénomènes d'injection et de collection des porteurs minoritaires du substrat. De cette façon il pourra limiter la taille modèle afin de réduire le nombre de composants dans la netlist du substrat et par la même occasion le temps de calcul nécessaire à la simulation. Bien entendu, le designer veillera aussi à ne pas trop simplifier le modèle s'il ne souhaite pas avoir une surestimation du couplage substrat obtenu par simulation qui le mènera à des conclusions erronées.

Dans les comparaisons entre mesures et simulations basées sur le modèle de l'EPFL du couplage substrat, nous sommes partis d'une structure simple à étudier, le cas d'étude 1 qui nous a permis de mieux comprendre le phénomène du couplage substrat dans les circuits Smart Power. Ce cas d'étude simple nous a servi à valider les modèles du couplage substrat proposés dans le cadre du projet AUTOMICS. Nous avons rencontré quelques différences entre mesures et simulations car dans le modèle extrait par l'outil AUTOMICS, nous n'avons pas intégré tous les parasites du circuit existant mis à part du substrat lui-même qui a été simulé. Pour les raisons que nous avons déjà évoquées, certaines simulations ne correspondaient pas aux mesures, notamment l'effet de masquage d'un puit par un autre avec l'extraction complète du layout. Ceci montre une fois de plus la nécessité de bien maîtriser l'outil AUTOMICS dans la phase d'extraction afin de mieux tirer profit du modèle de l'EPFL lors des simulations et interpréter les résultats. Malheureusement, nous n'avons pas pu valider l'effet de la température sur le couplage substrat dans notre cas bien qu'il soit censé être pris en compte par le modèle. Cette partie mérite d'être approfondie afin de trouver une solution.

Afin de mieux comprendre le phénomène du couplage substrat activé au sein de structures plus complexes présentes dans les circuits Smart Power, nous avons aussi comparé les mesures et simulations des expériences sur un cas d'étude réaliste: le cas d'étude 2. Cette configuration comprend un convertisseur DC-DC et une structure Bandgap. Les résultats de la comparaison mesures/simulations nous permettent de tirer des conclusions intéressantes: le couplage substrat est bien pris en compte et la défaillance de la sortie V_{ref} du Bandgap est reproduite. Le modèle extrait du cas d'étude 2, bien que surestimant l'effet du couplage

substrat dans certains cas, prend bien en compte l'effet de protection des structures par les anneaux de garde. De plus, dans les simulations transitoires, nous observons aussi une tendance similaire de défaillance de la sortie du Bandgap. Les différences observées sont sans doute liées à l'extraction du layout du circuit qui n'a pas pris tous les éléments en compte qui pouvant intervenir dans le couplage. On peut notamment pointer le maillage assez grossier, mais dont le but est de simplifier le modèle, de réduire le nombre d'éléments localisés de l'EPFL dans la netlist finale et ainsi de conserver le temps de simulation raisonnable. Cependant, nous n'avons pas pu valider les effets de la température sur le couplage substrat une fois de plus, ce qui nécessitera de trouver l'origine du problème en partenariat avec nos collègues de l'EPFL et de l'UPMC.

Concernant le temps nécessaire pour réaliser les simulations du couplage substrat il reste raisonnable, bien que parfois cela peut paraître long à première vue en comparant à la simulation d'une simple netlist SPICE d'un circuit quelconque n'incluant pas les parasites du substrat. Le temps de simulation est certainement plus court que de produire un prototype de la puce et de réaliser les mêmes tests qu'en simulations. Par contre, utiliser un simulateur TCAD afin d'y intégrer tout le design d'un circuit moderne de type Smart Power reste aujourd'hui impossible: ce type d'approche n'est pas adapté à cette utilisation du simulateur TCAD. Malgré la résolution plus faible par rapport à un simulateur TCAD et une possible surestimation du couplage substrat, le modèle de couplage substrat de l'EPFL avec l'outil AUTOMICS peut "rapidement" donner des indications au designer pour adapter son design afin de limiter les effets du couplage substrat sur les parties sensibles du circuit.

Pour finir, c'est au concepteur, avec son savoir-faire et son expérience de déterminer les risques possibles de dysfonctionnement des structures sensibles du circuit. Jusqu'à présent, l'évaluation de ces risques se faisait à posteriori une fois le prototype de test de la puce réalisée sans aucune possibilité de simuler les événements liés au couplage substrat. Grâce au nouveau modèle de couplage substrat utilisable pendant la conception de circuits industriels et à l'outil AUTOMICS, le designer a la possibilité de réaliser des simulations des défaillances potentielles du circuit dû au couplage substrat lors des phases du développement du circuit au niveau du layout. Pour le designer, il est important de savoir que le modèle de l'EPFL prend en compte aussi bien les événements d'injection continue et les événements transitoires rapides.

Pour conclure, nous pouvons dire que le modèle de couplage substrat de l'EPFL, intégré grâce à l'outil AUTOMICS dans le flot de conception et de simulation des circuits de type Smart Power, donne une estimation de couplage substrat très utile au designer. Le but est qu'il soit averti des dangers et défaillances potentielles, tels que le placement inapproprié de certains composants dans son layout peut provoquer. En aucun cas, le modèle de l'EPFL n'a la prétention de remplacer de par sa précision les outils de type TCAD. En effet, ces simulations physiques restent inutilisables dans le cadre du développement du layout des circuits modernes, comprenant plusieurs centaines de transistors basse tension combinés avec quelques transistors haute tension, ce qui est bien spécifique aux circuits de type Smart Power.

Références

- V-1 Site Internet du projet AUTOMICS: www.automics.eu
- V-2 <https://ec.europa.eu/digital-single-market/en/news/when-chips-are-down-making-electronics-safer-more-reliable-and-cheaper>
- V-3 Site Internet de l'École Polytechnique Fédérale de Lausanne, EPFL: www.epfl.ch
Faculté des Sciences et Techniques de l'Ingénieur, groupe Kayal
- V-4 Site Internet du Laboratoire d'Informatique de Paris 6, UPMC LIP6: www.lip6.fr
Département « Systèmes embarqués sur puce »
- V-5 AdMOS - Advanced Modeling Solutions GmbH: <http://www.admos.de/en/>
- V-6 SUBSAFE (Substrate Current Safe Smart Power IC Design Methodology), ESPRIT Project 29647, <http://www.iis.ee.ethz.ch/nwp/subsafe/index.html>
- V-7 M. Schenkel, "Substrate current effects in smart power ICs", PhD thesis, ETHZ, 2003.
- V-8 A. van Roermund, C. Herman, S. Michiel "Analog Circuit Design, High-Speed A-D Converters, Automotive Electronics and Ultra-Low Power Wireless", M. Schenkel, pages 151-182, "Substrate current formations, effects and protections strategies", 2006, Springer
- V-9 B. Murari, F. Bertotti, and G. A. Vignola, Eds., Smart Power ICs, 2nd ed. Berlin, Germany: Springer-Verlag, 2002.
- V-10 M. A. Karami, N. Masoumi, E. Afjei, "Accelerated Multi-Grid Scheme for Substrate Coupling Modeling and Analysis", International Conference on Microelectronics, 2006
- V-11 J.M.S. Silva ; L.M. Silveira, "Multigrid-based substrate coupling model extraction", Proceedings of the 2004 International Symposium on Circuits and Systems ISCAS '04, 2004
- V-12 D. K. Su, M. J. Loinaz, S. Masui, B. A. Wooley, "Experimental Results and Modelling Techniques for Substrate Noise in Mixed-Signal Integrated Circuits", IEEE Journal of Solid-State Circuits, vol. 28, no 4, April 1993
- V-13 William L. Briggs. "A Multigrid Tutorial. Society for Industrial and Applied Mathematics", Philadelphia, Pennsylvania, 1987.
- V-14 T. Smedes, N.P. van der Meijs, A.J. van Genderen, " Boundary Element Methods for 3D Capacitance and Substrate Resistance Calculations in Inhomogeneous Media in a VLSI Layout Verification Package", Advances in Engineering Software, Vol.20, No.1, pp. 19-27, 1994
- V-15 G. R. Karimi, E. Akbari, "An Efficient Technique for Accurate Modeling and Simulation of Substrate Coupling in Deep Micron Mixed-Signal "IC's, International Conference on Electronic Devices, Systems and Applications (ICEDSA), 2010
- V-16 H. Li, C. E. Zemke, G. Manetas, V.I. Okhmatovski, "An automated and efficient substrate noise analysis tool", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems 25(3):454-468, March 2006
- V-17 R. Gharpurey, R. G. Meyer, "Modeling and Analysis of Substrate Coupling in Integrated circuits", IEEE Journal of Solid-State Circuits, vol. 31, no 3, March 1996
- V-18 Y. Han, J. Zhao, "Accurate Substrate Analysis Based on a Novel Finite Difference Method via Synchronization Method on Layered and Adaptive Meshing", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 32, No. 10, October 2013
- V-19 E. Schrik, N. P. van der Meijs, "Substrate Resistance Modeling by Combination of BEM and FEM Methodologies", Scientific Computing in Electrical Engineering,

- Volume 4 of the series Mathematics in Industry pp 364-372, Proceedings of the SCEE-2002 Conference held in Eindhoven
- V-20 D. Ozis, T. Fiez, K. Mayaram, "A comprehensive geometry-dependent macromodel for substrate noise coupling in heavily doped CMOS processes"
- V-21 P. Birrer, T. S. Fiez, K. a Mayaram, "Silencer!: a tool for substrate noise coupling analysis", SOC Conference, Proceedings. IEEE International, 2004
- V-22 P. Birrer, S. K. Arunachalam, M. Held, K. Mayaram, T. S. Fiez, "Schematic-Driven Substrate Noise Coupling Analysis in Mixed-Signal IC Designs", IEEE transactions on circuits and systems, Regular Papers, Vol. 53, No. 12, December 2006
- V-23 T-H. Chen, C. Luk, Charlie C.-P. Chen "SuPREME: Substrate and Power-delivery Reluctance-Enhanced Macromodel Evaluation", IEEE Xplore International Conference on Computer Aided Design, 2003. ICCAD-2003.
- V-24 F.J.R. Clement, E. Zysman, M. Kayal, M. Declercq, "LAYIN: toward a global solution for parasitic coupling modeling and visualization", CICC, 1994.
- V-25 N. Verghese, D.J. Allstot, S. Masui, "Rapid simulation of substrate coupling effects in mixed-mode ICs", Custom Integrated Circuits Conference, Proceedings of the IEEE, 1993
- V-26 « PISCES, Advanced 1D and 2D Device Simulation for Silicon » de Stanford: <http://www-tcad.stanford.edu/tcad/programs/pisces.html>
- V-27 « Taurus Medici, a 2D device simulator » de Synopsys: <https://www.synopsys.com/TOOLS/TCAD/DEVICESIMULATION/Pages/TaurusMedici.aspx>
- V-28 « SUPREM-IV.GS, Two Dimensional Process Simulation for Silicon and Gallium Arsenide » de Stanford: <http://www-tcad.stanford.edu/tcad/programs/suprem-IV.GS/Book.html>
- V-29 F. Lo Conte, Substrate current modeling for high temperature Smart Power BCD technology, PhD thesis, Ecole Polytechnique Fédérale de Lausanne (EPFL), 2012, Nr. 14925
- V-30 F. Lo Conte, J. M. Sallese, M. Pastre, F. Krummenacher, and M. Kayal, "Global Modeling Strategy of Parasitic Coupled Currents Induced by Minority-Carrier Propagation in Semiconductor Substrates", IEEE Trans. Electron Devices, vol. 57, pp. 263-272, January 2010
- V-31 C. Stefanucci, "Substrate modeling of parasitic couplings in Smart Power ICs with generalized lumped devices", PhD thesis, EPFL Lausanne, 2015
- V-32 C. Stefanucci, P. Buccella, Y. Moursy, H. Zou, R. Iskander, M. Kayal and J.M. Sallese, "Substrate Modeling to Improve Reliability of High Voltage Technologies", IMSTW, Paris, France, 2015
- V-33 C. Stefanucci, P. Buccella, M. Kayal and J.M. Sallese, "Spice-compatible modeling of high injection and propagation of minority carriers in the substrate of Smart Power ICs", Solid-State Electronics, 105:21-29, 2015
- V-34 P. Buccella, "Substrate current optimization in smart power ICs", PhD thesis, EPFL Lausanne, 2015
- V-35 Y. Moursy, "Réalisation d'une nouvelle méthodologie de conception pour l'immunisation des circuits intégrés HV/HT contre les couplages de substrats pour les applications automobiles", PhD thèse, LIP6 (Laboratoire d'informatique de Paris 6, UPMC), 2016
- V-36 P. Buccella, C. Stefanucci, J.M. Sallese and M. Kayal, "Spice Simulation of Substrate Minority Carriers Propagation with Equivalent Electrical Circuit", Mixed Design of Integrated Circuits & Systems (MIXDES), pages 347-350, Lublin, June 2014

- V-37 S. M. Sze and K. K. Ng, "Physics of semiconductor devices", Wiley-interscience, 2006.
- V-38 P.R. Gray and R.G. Meyer, Analysis and Design of Integrated Circuits. New York: John Wiley & Sons, Inc. 1993.
- V-39 J. Ebers and J.Moll, "Large-signal behavior of junction transistors," Proceedings of the IRE, vol. 42, pp. 1761–1772, Dec 1954.
- V-40 H. Gummel and H. Poon, "An integral charge control model of bipolar transistors," Bell System Technical Journal, The, vol. 49, pp. 827–852, May 1970.
- V-41 H. Zou, Y. Moursy, R. Iskander, J.P. Chaput, M.M. Louerat, C. Stefanucci, P. Buccella, M. Kayal, J.M. Sallese, T. Gnetiting, H. Alius, A. Steinmair, E. Seebacher, "A CAD Integrated Solution of Substrate Modeling for Industrial IC Design" IMSTW, Paris, France, 2015
- V-42 H. Zou, Y. Moursy, R. Iskander, C. Stefanucci, P. Buccella, M. Kayal and J.M. Sallese, "Substrate Noise Modeling with Dedicated CAD Framework for Smart Power ICs" ISCAS Lisbon, Portugal, 2015
- V-43 H. Zou, Y. Moursy, R. Iskander, J.P. Chaput, M.M. Louerat, "An adaptive mesh refinement strategy for substrate modeling", Accepted in Circuits and Systems (ISCAS), 2016 IEE International Symposium on IEE, 2016, 39
- V-44 P. Buccella, C. Stefanucci, H. Zou, Y. Moursy, R. Iskander, J.M. Sallese, M. Kayal "Methodology for 3-D Substrate Network Extraction for Spice Simulation of Parasitic Currents in Smart Power Ics", Submitted to IEEE Transactions on CAD for IC, 2015
- V-45 ST Microelectronics http://www.st.com/content/st_com/en.html
- V-46 C. Stefanucci, P. Buccella, M. Kayal, J.M. Sallese, Influence of substrate meshing on the accuracy of EPFL substrate model for Smart Power ICs, International Journal of Microelectronics and Computer Science, 2014.
- V-47 hitkit v4.10 for 0.35 μ m CMOS Processes; <http://asic.ams.com/hitkit/hk410/index.html>
- V-48 Dell Precision™ 690 Workstation:
http://www.dell.com/downloads/global/products/precn/en/spec_precn_690_en.pdf

Chapitre VI. CONCLUSION ET PERSPECTIVES

Depuis le début des premières puces monolithiques, conçues en 1958 par Jack Kilby de Texas Instruments, les circuits intégrés n'ont cessé d'évoluer d'un point de vue technologique offrant un spectre d'applications s'élargissant d'année en année. L'évolution des performances et de la fiabilité des circuits intégrés, accompagnée de leur miniaturisation et intégration de différents sous-systèmes sur une seule puce, posent de nombreux défis à surmonter pour les concepteurs et fabricants de circuits intégrés. Bien entendu, à chaque nouveau bond technologique, avec tous les bénéfices et avantages qu'il représente, on est souvent confronté aux défaillances et lacunes à résoudre rapidement afin de rendre les systèmes plus fiables et robustes, tout en réduisant leurs dimensions physiques et leur consommation électrique.

Les circuits intégrés Smart Power font partie des dernières grandes avancées technologiques dans l'industrie électronique, dont l'utilisation est de plus en plus répandue. Le principal atout des circuits intégrés Smart Power est d'intégrer des blocs de puissance avec des blocs basse tension dans une seule puce électronique. Par contre, un de leur principal inconvénient reste toujours le même, presque 30 ans après leur première apparition dans les années 80: la perturbation des blocs entre eux par couplage substrat lors du fonctionnement nominal du circuit. Ce type de couplage substrat issu des porteurs minoritaires injectés dans le substrat intervient suite à des commutations en courant pouvant aller jusqu'à quelques dizaines d'Ampères et avec des tensions jusqu'à plusieurs centaines de Volts sur des charges typiquement inductives, telles que des moteurs électriques. Le phénomène physique derrière le couplage substrat observé, est l'activation de structures bipolaires parasites entre blocs de puissance et les blocs basse tension du circuit intégré Smart Power. Comme conséquences du couplage substrat nous avons le plus souvent des défaillances et des dysfonctionnements des structures sensibles basse tension, pouvant mener dans certains cas à la destruction du circuit suite aux événements de type latchup ou à un trop grand échauffement de la puce à cause de l'activation des structures bipolaires parasites du substrat.

Le projet européen AUTOMICS a réuni une équipe internationale scientifique et industrielle, dans le but justement de pouvoir prédire ces effets néfastes du couplage substrat, et ce déjà pendant la phase de conception du layout du circuit intégré Smart Power. L'idée principale sur laquelle repose ce projet est de pouvoir extraire les parasites bipolaires du substrat qui sont intrinsèques au layout de circuit en conception. Le designer aura ensuite la possibilité de pouvoir simuler le couplage substrat et ses effets dans un environnement CAO standard, ce qui est aujourd'hui impossible à réaliser avec les modèles compacts de transistors.

Cette thèse, réalisée dans le cadre du projet AUTOMICS, avait dans un premier temps comme thématique principale la caractérisation des effets du couplage substrat et de ses effets néfastes sur les circuits sensibles basse tension, en réalisant des mesures sur un circuit industriel prototype spécialement conçu et fabriqué pour l'occasion par le fondeur *ams GmbH*. Dans un second temps, on s'est intéressé à l'analyse du modèle de couplage substrat élaboré

par l'équipe de l'EPFL de Lausanne. De plus, nous avons eu l'occasion d'être les premiers utilisateurs de l'outil AUTOMICS, conçu par l'équipe de chercheurs du LIP6-UPMC de Paris, avec laquelle nous avons eu la possibilité de faire l'extraction des parasites bipolaires issus du substrat afin d'obtenir une netlist simulable par des outils CAO modernes, ce qui est une grande innovation.

Dans le premier et second chapitre de cette thèse, nous avons fait le tour des principales caractéristiques des circuits intégrés Smart Power, de la nature particulière du couplage substrat, pouvant y apparaître dans certaines conditions et des solutions actuelles de protections afin d'en diminuer les effets. De même, pour pouvoir prédire le couplage substrat et ses effets sur les circuits sensibles, on a pu se rendre compte des lacunes en outils et modèles de simulation efficaces pour la simulation de circuits complexes.

Dans le troisième chapitre a été réalisée sur deux cas d'études, une série de mesures sur une puce dédiée à la caractérisation du couplage substrat et de ses effets sur les circuits sensibles basse tension. Nous avons pu ainsi analyser dans le premier cas d'étude l'activation des structures bipolaires NPN latérales parasites issues du substrat. On a observé l'effet de la distance sur le couplage substrat avec l'effet de masquage; de plus, on a mis en évidence l'incidence de la température sur les performances du transistor bipolaire parasite issu du substrat. Dans le second cas d'étude, nous nous sommes intéressés aux effets du couplage substrat crée par une structure de puissance sur une structure sensible basse tension de type Bandgap. Une analyse détaillée du fonctionnement de la référence de tension Bandgap nous a permis de déterminer ses points faibles et ainsi de mieux comprendre les phénomènes qui entrent en jeu lors de l'apparition du couplage substrat. Étant donné que nous avions à notre disposition deux Bandgap à des distances différentes de part et d'autre de la source d'injection de porteurs minoritaires dans le substrat, nous avons pu observer l'effet de la distance sur le couplage substrat dans un cas industriel. De plus, en activant ou désactivant les anneaux de garde protégeant les structures basse et haute tension du circuit, nous avons pu observer leur efficacité sur la réduction des effets du couplage substrat. Pour terminer, une analyse des effets de la température nous a permis de confirmer les fondements théoriques du couplage substrat et les conclusions de l'expérience menée dans le cadre du cas d'étude 1.

Dans le quatrième, chapitre nous avons eu recours à un capteur sur puce spécialement dédié à l'étude des effets transitoires rapides du couplage substrat au sein du circuit intégré de test que nous avions à notre disposition, la puce AUTOBENCH 2. Il nous a permis d'observer l'apparition des structures bipolaires parasites lors du fonctionnement nominal d'un convertisseur DC-DC et lors d'une injection d'une perturbation haute fréquence sur la sortie de puissance de la puce.

Dans le cinquième chapitre, nous avons présenté le modèle innovant du couplage substrat développé par les chercheurs de l'EPFL qui est complètement intégrable au flot de design d'un environnement de CAO moderne. En effet, ce modèle est complètement exploitable grâce à l'outil AUTOMICS, développé par l'équipe LIP6-UPMC, lequel offre la possibilité d'extraire les parasites du substrat sous forme de netlist de type SPICE. Nous avons pu être l'un des premiers utilisateurs de cet outil performant avec lequel nous avons créé les modèles de couplage substrat présent dans notre puce AUTOBENCH 2. Avec la netlist des

parasites bipolaires du substrat, nous avons réalisé toute une série de simulations basées sur les expériences menées dans le cadre des cas d'études 1 et 2. Nous avons ainsi pu confronter nos mesures aux résultats de simulations afin d'analyser le nouveau modèle de couplage substrat proposé par l'EPFL. Nous avons observé une assez bonne corrélation entre les résultats des mesures et simulations avec certes quelques différences. En effet, les différences entre mesures et simulations proviennent sans doute de n'avoir pas pris en compte tous les éléments pouvant avoir un impact sur le couplage substrat et la simulation d'une part (manque de modèles précis du boîtier QFN32, de la carte électronique de test PCB et des instruments de mesure qui ne sont pas inclus dans la simulation, sans oublier les approximations faites par le simulateur pour obtenir la convergence de la simulation DC). D'autre part en ayant à l'esprit que la calibration du modèle de l'EPFL dédié à la technologie *d'ams GmbH* et la façon même d'utiliser l'outil AUTOMICS nécessiterait, peut-être, quelques améliorations. Somme toute, nous pouvons conclure que l'outil AUTOMICS, couplé avec le modèle de couplage de substrat de l'EPFL, donne de bons résultats compte tenu de la rapidité des simulations d'un système aussi complexe, comprenant plusieurs dizaines de transistors. En effet, on doit garder à l'esprit que les simulations physiques de type TCAD donneront sans doute de meilleurs résultats, mais resteront limitées à des petites structures, ce qui est loin d'être suffisant dans le flot de design des circuits intégrés Smart Power actuels.

Comme perspectives de ce nouveau flot de conception des circuits intégrés Smart Power qui est issu du projet AUTOMICS, nous pouvons proposer plusieurs directions de réflexion dans le but d'améliorer l'outil d'extraction et de son utilisation:

- Une optimisation et une validation de la méthodologie de calibration des paramètres des modèles de l'EPFL de couplage substrat et ce pour chaque technologie fondeur.
- Une étude spécialement dédiée à l'impact de la taille du maillage 3D du substrat permettra de trouver le bon compromis entre précision des résultats des simulations et le temps nécessaire à les réaliser.
- Une amélioration et une optimisation du modèle pour les simulations transitoires. On a noté que dans certaines conditions, le pas des simulations devient extrêmement petit, à cause des problèmes de convergence lors de la simulation d'évènements transitoires rapides (perturbations électromagnétiques, décharges électrostatiques).
- Une automatisation de l'utilisation de l'outil AUTOMICS afin que le designer n'ait pas besoin de préparer le layout pour l'extraction, ni de réaliser à la main la "back-annotation", c'est-à-dire le lien entre la netlist des parasites du substrat et la netlist du circuit original. Pour ce faire, dans l'outil AUTOMICS il serait peut-être intéressant d'intégrer l'option permettant d'utiliser les couches métalliques du layout original afin de faire automatiquement l'interconnexion entre différentes structures du circuit, ce qui est fait manuellement pour l'instant.
- Une modélisation de haut niveau, basée sur ce nouveau modèle de couplage substrat de l'EPFL afin de permettre les simulations avant même que le layout soit réalisée. En effet, pour extraire les transistors bipolaires parasites issus du

substrat, nous avons besoin de l'architecture du layout entier, ce qui peut poser problème si l'on doit réaliser d'importants changements suite aux simulations démontrant les effets néfastes dus au couplage substrat. Bien qu'il soit bien plus simple de refaire un layout du circuit, si les simulations ne valident pas le design, au lieu de fabriquer à nouveau le circuit prototype si les mesures ne valident pas le design, il serait intéressant et utile de pouvoir simuler les effets du couplage substrat déjà au niveau schématique.

- Une automatisation du placement des composants en fonction des contraintes dues au couplage substrat. Ainsi selon les critères obtenus par la simulation du couplage substrat, les outils CAO plus sophistiqués réaliseront le placement des composants dans le but de limiter le couplage substrat et permettront ainsi un gain de temps supplémentaire dans le flot de conception du circuit.

Enfin pour conclure, le couplage substrat dans les circuits intégrés Smart Power bien qu'imminent et inhérent dans ce type de composants, est maintenant simulable grâce à un outil innovant basé sur un modèle de substrat tout aussi innovant. Comme conséquence directe, le flot de conception des circuits intégrés Smart Power devient plus simple et rapide, ce qui représente une avancée considérable dans le domaine de l'électronique de puissance dédié à l'industrie automobile et sans doute prochainement applicable à d'autres applications.