



HAL
open science

Évolution des Architectures des Systèmes Avioniques Embarqués

Marc Gatti

► **To cite this version:**

Marc Gatti. Évolution des Architectures des Systèmes Avioniques Embarqués. Systèmes embarqués. Université Pierre et Marie Curie - Paris VI, 2016. Français. NNT : 2016PA066725 . tel-01653192

HAL Id: tel-01653192

<https://theses.hal.science/tel-01653192v1>

Submitted on 1 Dec 2017

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

**Dossier de Validation des Acquis de l'Expérience en
vue de l'obtention d'un Doctorat dans l'École
Doctorale Informatique, Télécommunication et
Électronique de Paris, de l'UPMC**

Année Universitaire 2015 - 2016

**Évolution des Architectures des
Systèmes Avioniques Embarqués**

par

Marc GATTI

Directeur Recherche & Technologie de la Division Avionique de Thales

Évolution des Architectures des Systèmes Avioniques Embarqués

"La connaissance s'acquiert par l'expérience, tout le reste n'est que de l'information."

Albert Einstein

Mathématicien, Physicien, Scientifique (1879 - 1955)

Évolution des Architectures des Systèmes Avioniques Embarqués

REMERCIEMENTS

Ce manuscrit concrétise l'aboutissement de ma démarche de VAE pour l'obtention du Doctorat. Il présente mes travaux effectués au sein de la Division Avionique du Groupe Thales, principalement au niveau de la Direction Technique Centrale ainsi que dans le Centre de Compétences Calculateur. Ces travaux sont le fruit d'une étroite collaboration entre Thales Avionics et les Laboratoires de Recherche dont l'UPMC, Telecom Paristech, SUPELEC, l'ONERA, IMS, ESTIA Recherche, le GRETHA, l'IAE et l'IRIT.

Je tiens tout d'abord à remercier chaleureusement Philippe BENQUET, VP Recherche et Technologie de la Division Avionique pour m'avoir accordé sa confiance en me donnant l'opportunité de soutenir mes travaux.

Je tiens également à remercier mon Directeur de VAE, Patrick GARDA, Professeur à l'Université Pierre et Marie CURIE, pour ses conseils avisés et le temps qu'il m'a consacré.

Je remercie Pascal FOUILLAT, Professeur à l'Institut Polytechnique de Bordeaux, et Michel ROBERT, Professeur à l'Université de Montpellier, d'avoir accepté d'être rapporteurs de ma VAE. Leurs relectures m'ont apporté un regard nouveau sur ma thèse et fait entrevoir d'autres perspectives de réflexion.

Je remercie Cédric DEMEURE d'avoir accepté de faire partie de mon Jury de VAE. Je le remercie pour sa minutieuse relecture qui m'a permis d'ouvrir le champ des investigations futures.

Mes remerciements vont également à Bertrand GRANADO pour m'avoir fait l'honneur d'accepter d'être Président de mon Jury de VAE et à Alain GONZALEZ Directeur UPMC-Formation Continue et Président de la Formation Continue Universitaire pour son soutien.

Je tiens à remercier tous les membres de la Direction Technique Centrale et du Centre de Compétences Calculateur avec qui j'apprécie de travailler au quotidien. Je remercie également les étudiants que j'ai encadrés pour leur bonne humeur, leurs compétences et leur aide, et particulièrement Xavier, Michaël, Aurélie, Antoine, Romain, Alexandre, Thomas, Hicham et Sébastien.

Un très grand merci à mes enfants : Sébastien, Christophe, Stéphanie et Nicolas, ainsi qu'à leurs conjoints, toujours présents et attentifs, pour leurs encouragements au quotidien.

Merci à mes petits-enfants : Nathan, Enzo, Anna, Lucas et ceux à venir, pour leur joie de vivre et leurs éclats de rire, un joli moment de détente pour leur Papi pendant la rédaction de ce manuscrit.

Enfin, je dédie cette thèse et l'ensemble de mes travaux à mon épouse, Lucette, pour son soutien inconditionnel. Elle a toujours su m'encourager et me pousser à me dépasser. Elle est ma plus belle motivation.

Évolution des Architectures des Systèmes Avioniques Embarqués

" A ceux qui ont cru : Ils m'ont soutenu; A ceux qui n'y ont pas cru : ils m'ont motivé."

Clément ADER

Ingénieur Français né le 2 avril 1841 à Muret et mort le 3 mai 1925 à Toulouse

Évolution des Architectures des Systèmes Avioniques Embarqués

TABLES DES MATIÈRES

DOCUMENT 1

1	<i>Pourquoi une démarche vers une VAE</i>	12
1.1	La démarche	12
1.2	L'École Doctorale	14
2	<i>État civil et déroulement de carrière</i>	16
2.1	État civil.....	16
2.2	Déroulement de carrière	16
2.2.1	Graphique du déroulement de Carrière	16
2.2.2	Résumé des activités professionnelles	17
2.2.3	Résumé des activités académiques	20
3	<i>Parcours</i>	22
3.1	Parcours Académique	22
3.1.1	Formation de Base.....	22
3.1.2	Formation Continue.....	22
3.1.3	Formation Complémentaire	22
3.1.4	Compléments de formation	24
3.2	Parcours Professionnel et de Recherche	24
3.2.1	Une première expérience professionnelle enrichissante et motivante pour aborder le métier de la Recherche (1980 – 1984).....	24
3.2.2	L'évolution vers le Management de Projets Innovants (1987 – 1999).....	26
3.2.3	Acquérir des compétences Industrielles (1999 – 2000)	35
3.2.4	Du Management de Projet de Recherche au Management d'une Equipe de Recherche (2000 – 2007)	36
3.2.5	Du Directeur de Département au Rôle de Directeur de la Recherche (depuis 2008)	39
3.3	Parcours d'Innovation ou de Recherche appliquée	43
3.4	Congrès internationaux	44
3.5	Pôles de compétitivité	45
3.5.1	Aerospace Valley (AESE)	45
3.5.2	Route des Lasers (RDL)	46
4	<i>Brevets</i>	48
5	<i>Conférences</i>	50
5.1	Conférences Internationales avec Comité de Lecture et Actes Publiés	50
5.2	Conférences Internationales Sans Comité de Lecture avec Actes publiés.....	51
6	<i>Preuves</i>	52
6.1	Diplômes Obtenus	52
6.2	Formations Complémentaires	55
6.3	Evolutions Thales	58

Évolution des Architectures des Systèmes Avioniques Embarqués

6.4	Prix de l'Invention.....	61
6.5	Conférences.....	62
6.6	Diffusion des Connaissances et Compétences	70
7	Références.....	76
8	ANNEXES.....	78
8.1	Annexe 1 : TRL ou Technology Readiness Level ou Niveau de Maturité Technique	78
1	Table des Illustrations.....	88
2	Introduction générale	90
2.1	Contexte.....	91
2.2	Problématique	92
2.3	Résumé des contributions	94
2.4	Plan du mémoire.....	96
3	Enjeux industriels et scientifiques.....	98
3.1	Contexte Avionique	99
3.1.1	Technologies embarquées dans les systèmes avioniques.....	99
3.1.2	Synthèse	114
3.2	De l'IMA de première génération (1G) vers l'IMA de seconde génération (2G)	115
3.2.1	Une étape intermédiaire, l'IMA_1,5G	115
3.2.2	Vers l'IMA_2G.....	119
4	Démarche scientifique	122
4.1	Stratégie de Recherche	123
4.2	Les axes d'évolution.....	124
4.2.1	Au niveau Architectural	124
4.2.2	Processing : du mono-cœur aux multi-cœurs	127
4.2.3	Du Calculateur à la Notion de Plate-forme Avionique	130
4.2.4	Réseau : Évolution ARINC664	133
4.2.5	Operating System	136
4.2.6	Gestion des Entrées / Sorties	140
4.2.7	La problématique DSM	145
4.2.8	Synthèse	156
5	Contributions.....	160
5.1	Recherche de solutions non intrusives permettant de mesurer les effets du vieillissement des composants électroniques	162
5.1.1	Description.....	162
5.1.2	Bilan	165
5.2	Maîtrise des architectures processeurs multi-cœurs COTS dans des environnements aéronautiques certifiables.....	166
5.2.1	Description.....	166
5.2.2	Bilan	169

Évolution des Architectures des Systèmes Avioniques Embarqués

5.3	Conversion analogique / numérique versatile dans un environnement avionique contraint	170
5.3.1	Description.....	170
5.3.2	Bilan	175
5.4	Modélisation et interprétation des effets combinés vieillissement / SEE (Single Event Effect) dans les technologies d'échelles nanométriques	176
5.4.1	Description.....	176
5.4.2	Vieillessement et radiations	176
5.4.3	Bilan	178
5.5	IMA et Multi-cœurs.....	179
5.5.1	Description.....	179
5.5.2	Bilan	183
5.6	Avionics Networks	184
5.6.1	Description.....	184
5.6.2	Bilan	189
6	RAYONNEMENT SCIENTIFIQUE	190
6.1	Congrès internationaux	191
6.2	Pôles de compétitivité.....	192
6.2.1	<i>Aerospace Valley (AESE)</i>	192
6.2.2	<i>Route Des Lasers™ (RDL)</i>	193
7	LISTE DES TRAVAUX ET PUBLICATIONS.....	196
7.1	Conférences Internationales Avec Comité de Lecture et Actes Publiés (CI_ACL_AP)	197
7.2	Conférences Internationales Sans Comité de Lecture avec Actes publiés (CI_SCL_AP)	198
7.3	Conférences Internationales Sans Actes Publiés (CI_SPL_SP)	198
7.4	Rapport d'Études	199
7.5	Revue.....	199
7.6	Brevets	199
8	Conclusions et Perspectives.....	202
8.1	Conclusions Générales	203
8.1.1	Résumé des travaux effectués.....	203
8.1.2	Limites de l'approche	210
8.2	Perspectives	210
8.2.1	Perspectives à court terme.....	210
8.2.2	Perspectives à long terme	211
9	Bibliographie.....	214
10	Abréviations.....	216

Évolution des Architectures des Systèmes Avioniques Embarqués

Cette page est laissée blanche intentionnellement.

Évolution des Architectures des Systèmes Avioniques Embarqués

**Dossier de Validation des Acquis de l'Expérience en
vue de l'obtention d'un Doctorat dans l'École
Doctorale Informatique, Télécommunication et
Électronique de Paris, de l'UPMC**

**Mémoire pour l'obtention d'une thèse de
doctorat**

École doctorale Informatique, Télécommunications et Électronique de Paris

Université Pierre et Marie Curie

Évolution des Systèmes Embarqués

Marc GATTI

Directeur Recherche & Technologie de la Division Avionique de Thales

Ce document présente l'ensemble des travaux de Recherche que nous avons conduits sur le thème proposé

Évolution des Architectures des Systèmes Avioniques Embarqués

*La science, c'est ce que le père
enseigne à son fils. La
technologie, c'est ce que le fils
enseigne à son papa.*

*Michel Serres
Académicien, Artiste, écrivain,
Historien, Philosophe,
Scientifique (1930 -)*

Évolution des Architectures des Systèmes Avioniques Embarqués

Table des matières

1	<i>Pourquoi une démarche vers une VAE</i>	12
1.1	La démarche	12
1.2	L'Ecole Doctorale	14
2	<i>État civil et déroulement de carrière</i>	16
2.1	État civil	16
2.2	Déroulement de carrière	16
2.2.1	Graphique du déroulement de Carrière	16
2.2.2	Résumé des activités professionnelles	17
2.2.3	Résumé des activités académiques	20
3	<i>Parcours</i>	22
3.1	Parcours Académique	22
3.1.1	Formation de Base	22
3.1.2	Formation Continue	22
3.1.3	Formation Complémentaire	22
3.1.4	Compléments de formation	24
3.2	Parcours Professionnel et de Recherche	24
3.2.1	Une première expérience professionnelle enrichissante et motivante pour aborder le métier de la Recherche (1980 – 1984)	24
3.2.2	L'évolution vers le Management de Projets Innovants (1987 – 1999)	26
3.2.2.1	Une première prise de Responsabilité de 1987 à 1990	26
3.2.2.2	De la Responsabilité d'un Projet à celle d'un Système 1991 – 1993 et 1997 - 2000	28
3.2.2.2.1	MU90 - Première Etape vers le développement du Système Autodirecteur : 1991 – 1993	28
3.2.2.2.2	MU90 - Deuxième Etape, vers une numérisation et une intégration : 1997 – 2000	31
3.2.2.3	D'une Responsabilité de Projet à une Responsabilité de Service de Conception Numérique (1993 – 1997)	35
3.2.3	Acquérir des compétences Industrielles (1999 – 2000)	35
3.2.4	Du Management de Projet de Recherche au Management d'une Equipe de Recherche (2000 – 2007)	36
3.2.4.1	Le management d'une Equipe de Recherche Appliquée 2000 – 2003 (3 ans et demi)	36
3.2.4.1	Du rôle de Manager à celui de Directeur du Département de Recherche Industrielle de 2004 à 2007 (4 ans)	38
3.2.5	Du Directeur de Département au Rôle de Directeur de la Recherche (depuis 2008)	39
3.2.5.1	Directeur Technique du Centre de Compétences Calculateur de 2008 à juin 2013	40
3.2.5.1	Directeur Recherche et Technologie pour la Division Avionique juillet 2013 à maintenant	42
3.3	Parcours d'Innovation ou de Recherche appliquée	43
3.4	Congrès internationaux	44
3.5	Pôles de compétitivité	45
3.5.1	Aerospace Valley (AESE)	45
3.5.2	Route des Lasers (RDL)	46

Évolution des Architectures des Systèmes Avioniques Embarqués

4	<i>Brevets</i> _____	48
4.1	Conférences Internationales avec Comité de Lecture et Actes Publiés _____	50
4.2	Conférences Internationales Sans Comité de Lecture avec Actes publiés _____	51
5	<i>Preuves</i> _____	52
5.1	Diplômes Obtenus _____	52
5.2	Formations Complémentaires _____	55
5.3	Evolutions Thales _____	58
5.4	Prix de l'Invention _____	61
5.5	Conférences _____	62
5.6	Diffusion des Connaissances et Compétences _____	70
6	<i>Références</i> _____	76
7	<i>ANNEXES</i> _____	78
7.1	Annexe 1 : TRL ou Technology Readiness Level ou Niveau de Maturité Technique _____	78

Évolution des Architectures des Systèmes Avioniques Embarqués

1 POURQUOI UNE DÉMARCHE VERS UNE VAE

1.1 La démarche

Ingénieur depuis 35 ans au sein de Thomson puis de Thales, j'ai toujours orienté mon **parcours professionnel vers la Recherche**, que celle-ci soit conduite par des objectifs R&D (Recherche et Développement) ou qu'elle soit destinée à nous permettre de lever des risques technologiques dans une démarche de R&T (Recherche et Technologies). Ces Recherches ont été majoritairement conduites dans le Domaine des Systèmes Embarqués, tout d'abord en adressant le seul périmètre militaire puis en favorisant la dualité entre le périmètre civil et le périmètre militaire.

Alors que je suis rentré dans le monde industriel avec un diplôme de Technicien Supérieur en Électronique, diplôme plutôt technique, j'ai toujours cherché à m'investir dans le domaine de la Recherche appliquée et c'est justement ce choix personnel de rentrer avec un niveau Bac +2 associé aux responsabilités qui m'avaient été confiées de travailler sur un nouveau type de Sonar dit adaptatif qui ont été à la source de mon appétence pour mon évolution dans le domaine de la recherche.

Durant mon parcours professionnel, j'ai toujours fait en sorte d'orienter ma carrière autour de mon appétence à la Recherche. Je me suis donc toujours donné les moyens pour que ma carrière professionnelle soit toujours orientée autour du monde de la recherche en saisissant les opportunités professionnelles et en retournant vers le domaine académique afin d'obtenir les diplômes nécessaires (DEST au CNAM et Diplôme d'Ingénieur à l'ENSEEIH) afin que cette évolution puisse se concrétiser.

De ce fait, à partir d'une forme d'ambition liée à mon intérêt pour la recherche appliquée, j'ai construit l'ensemble de ma carrière autour de cet objectif qui est de rester dans le domaine de la Recherche que je peux modestement résumer par les actions que je conduis qui sont de

- Poser le problème auquel il faut répondre,
- Commencer par faire une analyse de l'état de l'art,
- Réaliser une veille technologique permettant d'anticiper sur les évolutions technologiques en prenant des risques maîtrisés,
- Décomposer ce problème en questions élémentaires à résoudre,
- Apporter des solutions innovantes.

Mon poste actuel en tant que Directeur de la Recherche et Technologies pour la Division Avionique de Thales ne peut être tenu que parce que j'ai démontré avoir les capacités à me former tout au long de mon parcours professionnel dans le but d'obtenir les compétences nécessaires à mettre en œuvre pour pouvoir continuer et progresser dans le domaine de la recherche et faire face aux nouveaux challenges apportés par les ruptures technologiques introduites dans les systèmes embarqués.

Évolution des Architectures des Systèmes Avioniques Embarqués

Durant ces 10 dernières années, j'ai eu à mettre en place des axes de Recherche amonts construits autour de partenariats académiques avec la mise en place de Thèses CIFRE¹ et j'ai effectué l'encadrement industriel de ces doctorants.

Ces axes de Recherche ont été valorisés à la fois par la rédaction de publications présentées dans des conférences à comité de relecture et également par le dépôt de brevets nous permettant de démontrer la haute valeur ajoutée des études que nous avons conduites. De plus, deux brevets ont obtenu le prix de l'invention au sein de Thales.

J'ajouterai que le fruit de mes travaux et des présentations que j'ai effectuées dans des colloques internationaux m'ont permis d'être appelé, en tant qu'Expert au sein de Comités Scientifiques de Conférences Internationales telles que SAE AEROTECH, ENC (European Navigation Conference), MEPHOCO (Mediterranean PHotonics CONference) et d'être appelé à occuper le poste de Chairman de ces Conférences.

De ce fait, bien que reconnu pour mon expertise auprès de mes pairs scientifiques et industriels du domaine, la démarche de VAE que j'entreprends est, pour moi, une démarche naturelle car elle est la **concrétisation de toutes ces années consacrées à la recherche et à l'innovation** dans le domaine des Systèmes Embarqués, dans le domaine militaire au début de ma carrière jusqu'à la dualité entre domaines civil / militaire actuellement.

Le grade de Docteur va me permettre d'obtenir, auprès de la communauté internationale, la **reconnaissance de mes compétences** acquises durant ces années d'expérience passées dans le domaine de l'innovation au profit des projets, de **certifier la démarche technique** que je mets en œuvre dans le cadre de mes activités professionnelles et va également me permettre de **renforcer les liens avec le monde académique** en m'offrant la possibilité de pouvoir assurer l'encadrement de doctorants. Cette reconnaissance ne peut être obtenue par le seul titre d'Ingénieur.

Cette démarche s'inscrit tout naturellement dans le **cadre de mes nouvelles responsabilités** et elle va s'articuler autour de deux objectifs liés à mes fonctions actuelles de Directeur Recherche et Technologies :

- Le premier est orienté autour de la **Recherche Théorique** pour laquelle je suis en charge de construire les **partenariats académiques** les plus pertinents pour les besoins du Domaine Avionique que je représente. L'objectif de ces partenariats est de se concrétiser par la mise en place et l'encadrement de thèses dans les domaines de recherche que nous aurons définis avec nos partenaires académiques voire par la mise en place de Chaires Industrielles en partenariat avec le monde académique,
- Le second est orienté autour de la **Recherche Applicative** dans le but de déployer les résultats de la recherche théorique dans des produits et équipements du domaine avionique en prenant en compte l'ensemble des aspects liés à la certificabilité.

¹ CIFRE : Conventions Industrielles de Formation par la REcherche

Évolution des Architectures des Systèmes Avioniques Embarqués

1.2 L'École Doctorale

Je sollicite l'École Doctorale ED130, Informatique, Télécommunications et Électronique et l'Université Paris 6 - Pierre et Marie Curie (UPMC) pour l'obtention du grade de Docteur en Informatique, Télécommunications et Électronique pour plusieurs raisons :

- La première est que les travaux réalisés par cette École Doctorale sont **reconnus sur le plan international** par le biais des actions que cette École conduit, comme le présente le rapport d'évaluation de l'École Doctorale n°130 conduite par l'AERES² [REF_01] dont je ne reprendrai que quelques extraits :
 - « L'ED a une action volontariste à l'International. Elle est impliquée dans plusieurs programmes de l'UPMC et notamment dans un programme Européen KIC (Knowledge and Innovation Communities) »
 - « Le Suivi des Doctorants pendant la thèse est très satisfaisant »
 - « Il s'agit d'une très bonne école doctorale qui bénéficie du support de laboratoires reconnus et de forts liens avec l'industriel ».
- La seconde est que les **thèmes adressés** par cette École correspondent à ceux que j'ai eu à mettre en œuvre tout au long de mon parcours professionnel, au niveau de l'Architecture électronique, informatique, synchronisation et temps, capteurs et actionneurs et sont également liés au monde industriel dans lequel j'évolue : le monde Aéronautique. Ses principales thématiques sont en effet :
 - Architecture électronique, informatique, synchronisation et temps, capteurs et actionneurs ;
 - Télécommunications ;
 - Aéronautique, Espace et Société : Sécurité des biens et des personnes, protection de l'environnement (bruit, pollution, débris spatiaux,...), normalisation, qualité, médecine spatiale, sciences sociales, droit spatial,...

De plus, étant l'un des acteurs du Pôle de Compétitivité *System@tic*, je considère que l'implication de l'UPMC dans ce Pôle est un atout car ses travaux s'inscrivent directement dans la Feuille de Route du Pôle : transport, sécurité et télécommunications, et de ce fait s'inscrivent directement dans le cadre de ma démarche professionnelle.

L'obtention du Grade de Docteur délivré par cette École Doctorale, de par son rayonnement scientifique, serait un atout significatif me permettant de valoriser les compétences que j'ai acquises tout au long de ma carrière dans le domaine de la Recherche.

Je peux donc résumer ma démarche en précisant que je me considère comme un chercheur ayant su compléter sa formation initiale pour me permettre de toujours pouvoir orienter mon activité professionnelle autour de la Recherche Appliquée. Mon parcours professionnel résumé dans le chapitre suivant est celui d'un chercheur et c'est cette reconnaissance que je viens chercher auprès de l'École Doctorale afin d'obtenir le grade de Docteur.

Je me propose de vous détailler mon parcours professionnel dans le cadre d'un manuscrit scientifique en mettant en avant l'évolution des systèmes embarqués. Ce manuscrit sera présenté et soumis au Jury d'Expertise de mon expérience.

² AERES : Agence d'Évaluation de la Recherche et de l'Enseignement Supérieur

Évolution des Architectures des Systèmes Avioniques Embarqués

Cette page est laissée blanche intentionnellement.

Évolution des Architectures des Systèmes Avioniques Embarqués

2 ÉTAT CIVIL ET DÉROULEMENT DE CARRIÈRE

2.1 État civil

Marc GATTI

Né le 15 septembre 1958 en France, à Nice (06)

Nationalité : Française

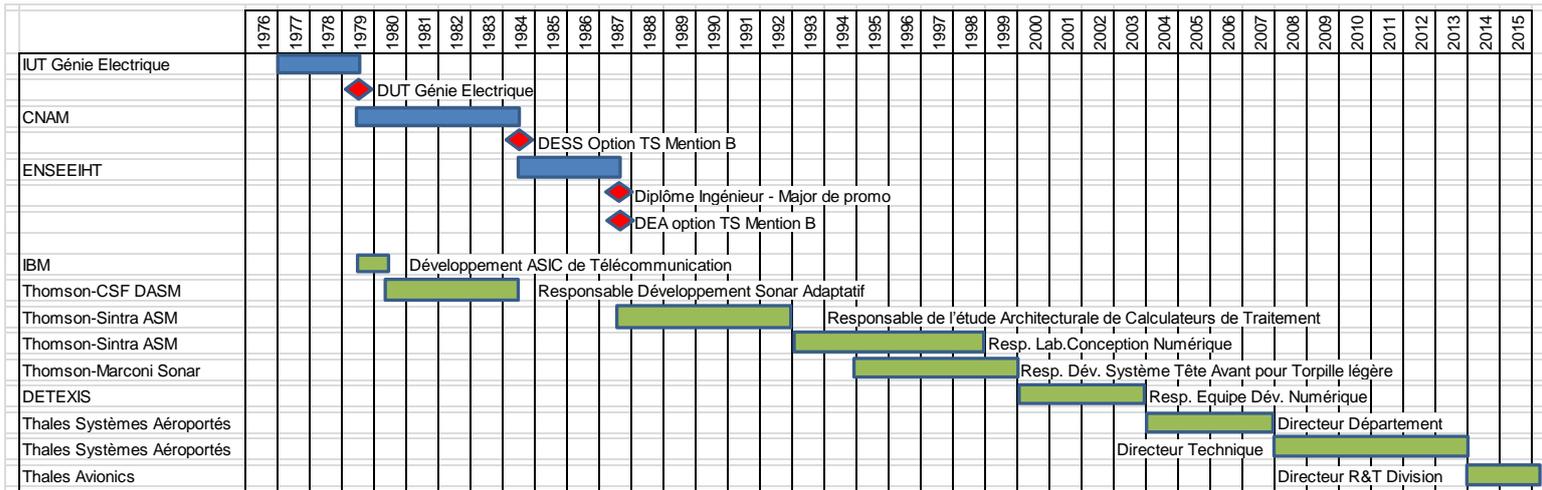
Situation familiale : Marié, 4 enfants

Coordonnées professionnelles

Thales Division Avionique
 19-21 Avenue Morane Saulnier
 78140 Vélizy-Villacoublay
 Tél. : +33 (0)1 39 45 59 02 / +33 (0) 5 57 26 73 48
 Fax : +33 (0)1 39 45 51 56 / +33 (0)5 57 26 31 40
 Mobile : +33 (0)6 84 51 95 42
 Mail : marc-j.gatti@fr.thalesgroup.com

2.2 Déroulement de carrière

2.2.1 Graphique du déroulement de Carrière



Évolution des Architectures des Systèmes Avioniques Embarqués

2.2.2 Résumé des activités professionnelles

Si l'on analyse mon parcours, on peut considérer que ma carrière professionnelle est des plus atypiques.

Après avoir obtenu mon Diplôme de Technicien Supérieur délivré par l'IUT de Nice, j'ai intégré le groupe Thomson-CSF dans la Division Activités Sous-Marines (DASM), en avril 1980 en tant que Technicien Supérieur en électronique en charge des activités de développement et d'intégration des calculateurs Sonar de type adaptatif. Ce sont ces activités innovantes qui m'ont **encouragé à continuer dans la voie de la Recherche** et de ce fait de reprendre mes études.

En parallèle de mes activités professionnelles, j'ai mené des études au CNAM qui ont conduit à l'obtention du DEST option Traitement du Signal avec la **Mention Bien**.

Après l'obtention de ce diplôme, je décide de continuer à approfondir encore plus mes connaissances. J'ai donc passé, durant l'année 1984, les concours d'entrée dans plusieurs écoles dont l'ENSEIRB, l'ENSERG, l'ENSEEIHRT que je réussis : je décide donc d'intégrer l'ENSEEIHRT.

J'ai démissionné du groupe Thomson-CSF pour reprendre des études à temps complet sur un cycle classique de 3 ans de 1984 à 1987 afin d'obtenir le diplôme d'Ingénieur en Électronique.

Après l'obtention de ce diplôme d'ingénieur en tant que **Major de Promotion** et l'obtention d'un DEA « Option Traitement de Signal » **Mention Bien**, les deux en 1987, j'intègre le groupe THALES.

Depuis juin 2013 - Directeur Recherche & Technologies de la Division Avionique de THALES

Au sein de la division Avionique, division de 16 000 personnes, traitant de domaines variés tels que Calculateurs, Cockpits, Inertie, Génération Électrique, j'ai en charge l'ensemble des domaines dits de R&T³ ou d'études avancées couvrant l'innovation technologique ainsi que les activités de réduction de risques sur ces nouvelles technologies avant leur déploiement opérationnel dans des programmes.

En tant que Directeur R&T amont, je suis Responsable de la définition et de la mise en place de partenariats de Recherche avec nos partenaires académiques (l'ESTIA Recherche, l'IMS Bordeaux, l'IRIT, Telecom ParisTech, Supélec, UPMC, ...) et également en charge de la définition et de la mise en place de Chaires Académiques Industrielles.

En parallèle de ces activités, je suis :

- Responsable, au sein du Pôle de Compétitivité Aerospace Valley (AESE) :
 - Du pilotage du Domaine d'Activité Stratégique (DAS) Systèmes Embarqués, Électronique et Logiciel (SE²L);
- Responsable, au sein du Pôle Route Des Lasers (RDL) :

³ R&T : Research & Technology

Évolution des Architectures des Systèmes Avioniques Embarqués

- De la mise en place de l'accord de partenariat entre ce Pôle et le Pôle AESE, partenariat qui s'est concrétisé par la création d'un nouveau DAS « Photonique, Aéronautique et Spatial » (PHAROS),
- Du Co-pilotage de ce nouveau DAS.
- Représentant Thales Avionics au sein du Pôle de compétitivité System@tic

Je suis également

- Chairman et Reviewer au sein de SAE⁴ International Aerospace pour la Conférence annuelle AeroTech Congress & Exhibition
- Chairman et Reviewer au sein de AEE⁵, ex Avionics Europe Expo pour la Conférence Avionique annuelle
- Chairman et Reviewer au sein de AIRTEC 2015 « 10th International Aerospace Supply Fair » (www.airtec.aero)
- Membre du Comité d'Organisation et du Comité Scientifique pour la conférence ENC⁶ 2015
- Membre du Comité d'Organisation et du Comité Scientifique pour la conférence MEPHOCO⁷ 2015

De 2008 à Juin 2013 - Directeur Technique du Centre de Compétences Calculateur au sein de Thales Avionics

Au sein du Centre de Compétences Calculateur (CCC⁸), centre de compétences de plus de 300 personnes réparties sur les sites de Meudon et de Bordeaux, j'ai été en charge de la définition de la Stratégie et de l'orientation Technique à déployer au niveau des projets et des programmes mais également au niveau des partenariats académiques qui se sont concrétisés par la **définition des thématiques de recherche** et **l'encadrement de thèses CIFRE**.

J'ai eu en charge la mise en place de partenariats de Recherche au niveau Industriel et Académique au travers de projets Français (DGAC – CORAC) et Européens (FP7 – H2020)

De 2003 à 2007 - Directeur du Département « Digital Platform Solution » au sein de Thales Systèmes Aéroportés

Au sein de ce Département de plus de 180 personnes réparties sur les sites de Paris, de Brest et de Pessac, j'étais **en charge de la définition des solutions techniques** permettant de pouvoir proposer des solutions dans les domaines du traitement du signal (RADAR – Guerre Électronique), du traitement de données (Mission), de l'enregistrement (Compression MPEG, MP3) et du Traitement d'Images (Console).

J'étais également en charge du Management Opérationnel du Département (gestion des Ressources Humaines, de **l'évolution des compétences**, des charges et du budget).

⁴ SAE : Society of Automotive Engineers

⁵ AEE : Avionics Electronics Europe

⁶ ENC : European Navigation Conference

⁷ MEPHOCO : MEditerranean PHOtonics COncference

⁸ CCC : Computer Competence Center

Évolution des Architectures des Systèmes Avioniques Embarqués

De 2000 à 2003 – Responsable du Pôle de Conception Numérique

Dans ce Pôle de plus de 60 personnes sur Bordeaux, j'ai eu la Responsabilité de **l'élaboration des solutions architecturales** dans le cadre de la réponse à appel d'offre sur les différents types de calculateurs numériques : Traitement du Signal, Traitement de Données, Enregistrement, Mémoire.

J'étais également en charge **de l'orientation technique et technologique** du Pôle ainsi que de son Management opérationnel.

De 1994 à 2000 – Au sein de Thomson Marconi Sonar

1) Responsable du Laboratoire de Conception Numérique

En charge du développement des **architectures calculateur en rupture** permettant d'offrir des solutions ouvertes, « scalables » et « upgradables », afin d'adresser différents marchés et besoins pour les applications Sonars, que ce soit sur des porteurs sous-marins, des bâtiments de surface ou encore des hélicoptères ou avion de patrouille maritime (PATMAR) et/ou de surveillance maritime (SURMAR).

2) Responsable du Développement d'un Système Tête Avant pour Torpille légère

Système intégrant les fonctions Émission / Réception, Contrôle / Commande, Traitement de Signal / de Données & Conversion dans un environnement très sévère soumis à de fortes contraintes mécaniques et thermiques, d'où une recherche à la fois sur le domaine électronique et mécanique.

De 1987 à 1992 - Responsable de l'étude Architecturale de Calculateurs de Traitement au sein de Thomson-Sintra Activités Sous-Marines

Première introduction de calculateurs dits ouverts permettant de réaliser :

- Des fonctions de traitement de signal ;
- Des fonctions de traitement d'image.

Ces réalisations ont fait l'objet de publications internes au Groupe mais n'ont pu être diffusées du fait de leur caractère confidentiel.

En conclusion de ce résumé de mes activités professionnelles, je peux conclure que depuis que je suis rentré dans le monde professionnel en 1979 et après 35 ans de carrière, j'ai toujours été amené à mobiliser les compétences qui sont attendues de la part d'un chercheur, à la fois dans le domaine du transfert de compétences (formation des équipes) ainsi que dans le domaine de la Recherche et de l'Innovation en apportant sans cesse de nouvelles solutions aux problèmes posés. Outre les compétences spécifiques à celles requises dans le domaine professionnel, j'ai valorisé les résultats de mes travaux de recherche :

- Au travers de brevets et de publications scientifiques,
- Par ma participation à des congrès scientifiques à la fois en tant que « Speaker » mais également en tant que « Chairman »
- Par l'encadrement des projets
 - Maîtrise des compétences
 - Maîtrise des Délais
 - Maîtrise des Risques
 - Maîtrise des Coûts

J'ai donc durant ces 35 années acquis avec une grande maturité, des compétences à la fois dans le Domaine Industriel et dans le Domaine de la Recherche.

Évolution des Architectures des Systèmes Avioniques Embarqués

2.2.3 Résumé des activités académiques

DUT⁹ Génie Électrique obtenu à l'IUT de Nice en 1979.

DEST option Traitement de Signal, obtenu au CNAM en 1983, avec la **Mention Bien**.

Diplôme d'Ingénieur en Électronique, au sein de l'École Nationale Supérieure d'Électronique, d'Électrotechnique, d'Informatique et d'Hydraulique de Toulouse (ENSEEIH) obtenu en 1987 en tant que **Major de Promotion**.

En parallèle de la troisième année (1987), j'ai mené des études qui ont conduit à l'obtention du DEA option Traitement du Signal (TS) avec la **Mention Bien**.

J'ai alors engagé, avec l'ENSEEIH, et avec le Professeur BAJON et le Professeur CATOËN (Traitement d'Image) et Thomson-Sintra Activités Sous-Marines (TS-ASM), les démarches pour poursuivre des **travaux de Recherche** dans le cadre d'une thèse sur le Traitement d'Images ; cette approche s'inscrivant dans le cadre du **développement de calculateurs innovants** de traitement d'image à destination des sous-marins.

Cette thèse n'a pu être conduite à son terme car, du fait des succès rencontrés par l'approche que je proposais sur le développement de Calculateurs Ouverts, Thomson-Sintra Activités Sous-Marines m'a demandé de prendre la Responsabilité de Chef de Projet pour le Développement des Calculateurs de Traitement de Signal. Cette prise de responsabilités étant incompatible de la conduite de la Thèse.

⁹ DUT : Diplôme Universitaire de Technologies

Évolution des Architectures des Systèmes Avioniques Embarqués

Cette page est laissée blanche intentionnellement.

Évolution des Architectures des Systèmes Avioniques Embarqués

3 PARCOURS

3.1 Parcours Académique

Comme je vais le détailler dans la suite de ce chapitre, le parcours académique et les formations complémentaires que j'ai suivies m'ont permis d'acquérir un socle de connaissances validé par l'obtention de diplômes. Ces diplômes m'ont permis d'obtenir une reconnaissance dans le monde professionnel mais ce parcours m'a surtout donné le goût de la Recherche et m'a amené à me former à la Recherche par la Recherche tout au long de ma carrière professionnelle.

3.1.1 Formation de Base

J'ai commencé, après l'obtention d'un Baccalauréat série D (Mathématiques et Sciences de la Nature) par une formation de Technicien Supérieur et l'obtention d'un DUT (Diplôme Universitaire de Technologie) Option Génie Électrique.

Pour raisons personnelles, j'ai décidé d'intégrer très tôt, juste après cette formation, le monde industriel durant un an au sein d'IBM puis dans le groupe Thomson-CSF.

3.1.2 Formation Continue

Les responsabilités qui m'ont été confiées au sein de Thomson-CSF sur le développement d'un nouveau Sonar Adaptatif mettant en œuvre des technologies innovantes permettant d'augmenter la résolution angulaire et le pouvoir de discernement des Sonars m'ont incité à reprendre mes études afin de pouvoir passer du rôle de contributeur au sein d'un projet (position offerte par le Diplôme de Technicien) au rôle d'Architecte en charge de la définition des axes de Recherche et d'Innovation permettant d'offrir de nouvelles potentialités.

J'ai donc décidé de continuer mes études en parallèle (soir et week-end) de mes activités professionnelles, au sein du CNAM¹⁰, dans le domaine du Traitement du Signal.

Ces études se sont conclues par l'obtention d'un *DEST ou Diplôme d'Etudes Supérieures Techniques* avec la **Mention Bien**.

3.1.3 Formation Complémentaire

La réussite du DEST et la réussite dans les actions qui m'étaient confiées dont la formation des opérateurs aux nouvelles capacités des Sonars à Antenne Active, m'ont conforté dans ma volonté de mener à terme les études que j'avais commencées.

Je souhaitais reprendre ces études dans le cadre d'un cursus « classique », c'est-à-dire, intégrer une école d'Ingénieur à BAC + 2 pour une durée de trois ans.

¹⁰ CNAM : Conservatoire National des Arts et Métiers

Évolution des Architectures des Systèmes Avioniques Embarqués

J'ai donc initialisé cette démarche en 1984 en m'inscrivant et en passant plusieurs concours (niveau BAC+3) et entretiens auprès des Grandes Écoles d'Ingénieur.

J'ai été accepté, grâce à mes diplômes DUT et DEST et mes compétences professionnelles acquises entre 1980 et 1984, dans les écoles suivantes :

- ENSEEIHT en première année,
- ENSEIRG en seconde année,
- ENSEIRB en seconde année,
- ENSEM en première année,
- École des Mines de Douai en première année.

Souhaitant avoir un cursus sur 3 ans, j'ai donc décidé, de par la réputation de l'École, d'intégrer l'ENSEEIHT en première année en septembre 1984 dans la filière Électronique.

J'ai donc démissionné de l'entreprise Thomson-CSF et nous avons, mon épouse et mes deux enfants en bas âges (1 et 4 ans), rejoint Toulouse afin que je puisse reprendre un cursus académique.

Fort des compétences professionnelles et académiques acquises, j'ai obtenu mon diplôme en septembre 1987 étant **Major de Promotion** dans la filière Électronique.

La reprise de ces études et la qualité de l'enseignement, dont celle du Professeur BAJON dans le domaine du traitement d'Images, m'ont donné le goût pour la Recherche d'où ma volonté de conduire, en parallèle de la troisième année, un DEA (Diplôme d'Études Approfondi) en Traitement du Signal, diplôme nécessaire à la poursuite des études dans le cadre d'une thèse.

J'ai obtenu ce DEA également en 1987 avec la **mention Bien**.

La réussite de ces deux diplômes et mon appétence pour la Recherche m'ont conduit à poursuivre par une thèse CIFRE dans le Domaine du Traitement d'Images.

J'ai initialisé cette thèse entre l'ENSEEIHT et Thomson-Sintra ASM que j'ai intégré en septembre 1987, sur l'étude d'un nouveau type de calculateur permettant le Traitement et la mémorisation d'Images Sonars.

Cette thèse s'est arrêtée au bout de 9 mois car le succès rencontré par les études que je conduisais dans ce domaine s'est transformé en une opportunité de prise de Responsabilité du Développement des Machines de Traitement de Signal et d'Images génériques pour le Sous-Marin Nucléaire Lance-Engins de Nouvelle Génération, projet sur lequel j'étais impliqué.

Évolution des Architectures des Systèmes Avioniques Embarqués

3.1.4 Compléments de formation

Durant toute ma carrière professionnelle, les enjeux ont été **l'étude et le développement de nouvelles architectures de calcul** permettant de supporter les différents algorithmes, qu'ils soient de Traitement de Signal, de Données ou d'Images, tout en respectant des exigences de Performance, d'encombrement, de dissipation et de coûts.

J'ai conduit ces études dans le cadre du Domaine Militaire entre 1987 et 2008 puis dans un cadre dit dual entre les domaines Civil et Militaire.

Dans la première période, seules les publications ou brevets, à diffusion restreinte et à usage interne ou publications à destination des clients étatiques étaient autorisés car ces informations relevaient d'un niveau de confidentialité ne permettant pas leurs diffusions externes.

Dans la seconde période, l'ouverture vers les projets Internationaux m'a permis de présenter et de publier mes travaux de recherche dans le Domaine des Calculateurs.

Ce sont ces travaux et publications reconnus qui m'ont conduit à être appelé :

- Pour intégrer les Pôles de Compétitivité Aerospace Valley et Route Des Lasers™ et,
- En tant que **Chairman et Reviewer** auprès d'organismes internationaux tels que SAE, Avionics Electronics Europe, AIRTEC ou encore en tant que **membre du Comité Scientifique** des conférences ENC¹¹ 2015 ou MEPHOCO¹² 2015.

Mon complément de formation est basé sur ces travaux de recherche ainsi que sur les formations que j'ai suivies durant mon parcours professionnel :

- 1988 – Formation à la Conception de Systèmes Microprocesseur évolués,
- 1992 – Cycle de management de la R&D,
- 2002 – Operational Management Program,
- 2006 et 2009 Formation Immersion en Anglais,
- 2010 – Expert Leadership Program.

3.2 Parcours Professionnel et de Recherche

3.2.1 Une première expérience professionnelle enrichissante et motivante pour aborder le métier de la Recherche (1980 – 1984)

Je suis rentré dans la vie professionnelle après l'obtention de mon DUT en 1979. Après une année passée au sein du Département de développement d'ASIC de télécommunication d'IBM, j'ai rejoint le groupe Thomson-CSF Division Activités Sous-Marines à Cagnes-Sur-Mer.

¹¹ ENC : European Navigation Conference

¹² MEPHOCO : MEditerranean PHOtonic COncference

Évolution des Architectures des Systèmes Avioniques Embarqués

Durant la première année, je me suis formé et j'ai appris ce qu'était un Sonar, son principe de fonctionnement et ses algorithmes en travaillant principalement à son intégration dans le cadre d'un projet pour la modernisation des Sous-Marins Nucléaires d'Attaque ou SNA.

Cette première expérience a été très enrichissante car elle m'a permis de comprendre comment le Sonar¹³ pouvait devenir les yeux et les oreilles d'un sous-marin et lui permettre de naviguer, de détecter, d'identifier et d'attaquer des cibles ou encore d'éviter les obstacles.

L'écoute des « sons » se fait grâce à des antennes situées dans le nez du sous-marin ou *antennes cylindriques*, au niveau de son étrave ou antennes dites *pseudo-conformes*, sur les flancs du sous-marin, ou antennes dites *flanks array* ou encore via des antennes remorquées que le sous-marin traîne derrière lui, assez loin de son sillage dans le but d'éliminer son bruit propre.

L'écoute se fait dans une bande de fréquences inférieure au MHz du fait de l'affaiblissement progressif de l'onde en fonction de sa fréquence de la Divergence Spatiale et de l'Atténuation liée au milieu. Cet affaiblissement est représenté par la figure 1/9 jointe.

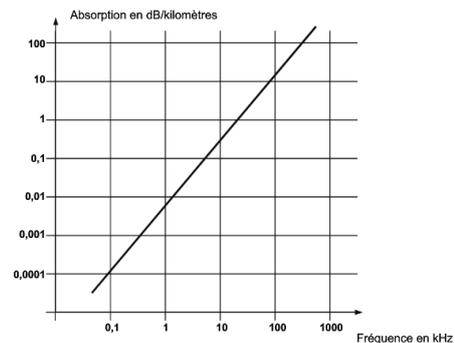


Figure 1.9. Atténuation du son dans l'eau (en dB/kilomètres)

En 1981, j'ai intégré l'équipe de développement du nouveau Sonar dit Adaptatif, dirigée par Georges BIENVENU. L'innovation est le résultat des travaux présentés [REF_03] dont le principe permet d'augmenter le pouvoir de discernement de cibles proches.

Dans cette équipe, j'ai eu à développer, intégrer et valider :

- Les cartes de Traitement Adaptatif basées sur un ASIC de Traitement de Signal spécifiquement développé pour réaliser cette fonction,
- Le coffret de traitement numérique permettant d'intégrer les voies adaptatives au Sonar.

Pour permettre la validation de cet équipement complet, j'ai intégré une fonctionnalité de test basée sur l'analyse de signature permettant de vérifier le bon fonctionnement complet du coffret par injection de stimuli et réception et analyse de la signature.

Ces développements ont été concluants et se sont concrétisés par la réalisation de programmes Sonar à destination des bâtiments de la Marine Néerlandaise pour laquelle j'ai eu également à réaliser les séances de formation à l'utilisation de ce nouveau mode Sonar.

Ce sont ces travaux dans un cadre de **Recherche Appliquée** à un projet qui ont été mes premiers travaux de Recherche et qui m'ont donné envie de continuer dans cette voie en passant du statut de Développeur au statut d'Architecte.

Ce changement ne pouvait s'effectuer que par une reprise de mes études et l'obtention d'un diplôme d'Ingénieur.

¹³ SONAR : SOund Navigation And Ranging

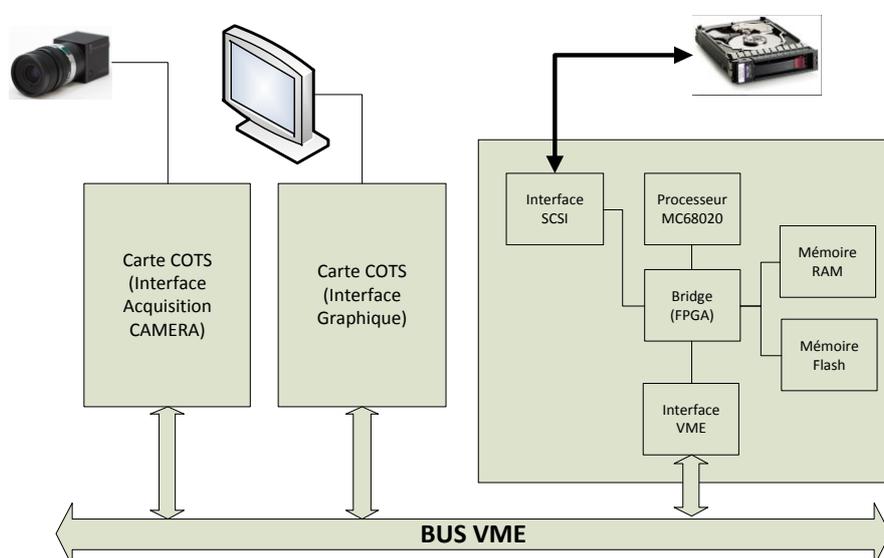
Évolution des Architectures des Systèmes Avioniques Embarqués

3.2.2 L'évolution vers le Management de Projets Innovants (1987 – 1999)

3.2.2.1 Une première prise de Responsabilité de 1987 à 1990

Mon projet de fin d'études a été effectué au sein du laboratoire de Traitement d'Images du Professeur BAJON, au cours duquel j'ai étudié et réalisé un système d'acquisition et de mémorisation d'Images.

Le système devait se coupler d'une part sur un bus standard industriel, le bus VME¹⁴ permettant de réaliser l'interface avec les cartes de traitement d'images et d'autre part sur un système de mémorisation dont il devait en assurer la gestion : création d'un file system et gestion des archives. Après analyse des différents standards, j'ai opté pour le nouveau standard permettant de réaliser l'interface de mémorisation : le standard SCSI¹⁵, c'est ce standard ouvert qui m'a permis de proposer des **solutions innovantes** indépendantes du type de média qui était connecté au bus.



Lorsque j'ai intégré Thomson-Sintra-ASM, l'entreprise venait de gagner un contrat dans lequel devait être réalisé un Système Sonar intégrant un calculateur de traitement d'images.

Fort de ces compétences acquises, on m'a alors confié ce projet dans lequel j'ai **défini l'architecture** en prenant en compte les critères de performance, traitements, interfaces avec les différents systèmes du Sonar et robustesse aux évolutions et/ou aux obsolescences. C'est ce projet qui alliait **Recherche et Produit** qui constituait l'objet de mon sujet de Thèse avec le laboratoire du professeur BAJON à l'ENSEEIH.

On ne peut bien concevoir que si l'on maîtrise les technologies à utiliser, pour cela, j'ai intégré la formation dispensée par ICS¹⁶ sur la Conception de Systèmes.

Les difficultés à résoudre pour la définition de cette machine appelée Mémoire d'Images étaient liées au fait qu'elle se trouvait être le goulot d'étranglement du système Sonar, en

¹⁴ VME : Versa Module Eurocard

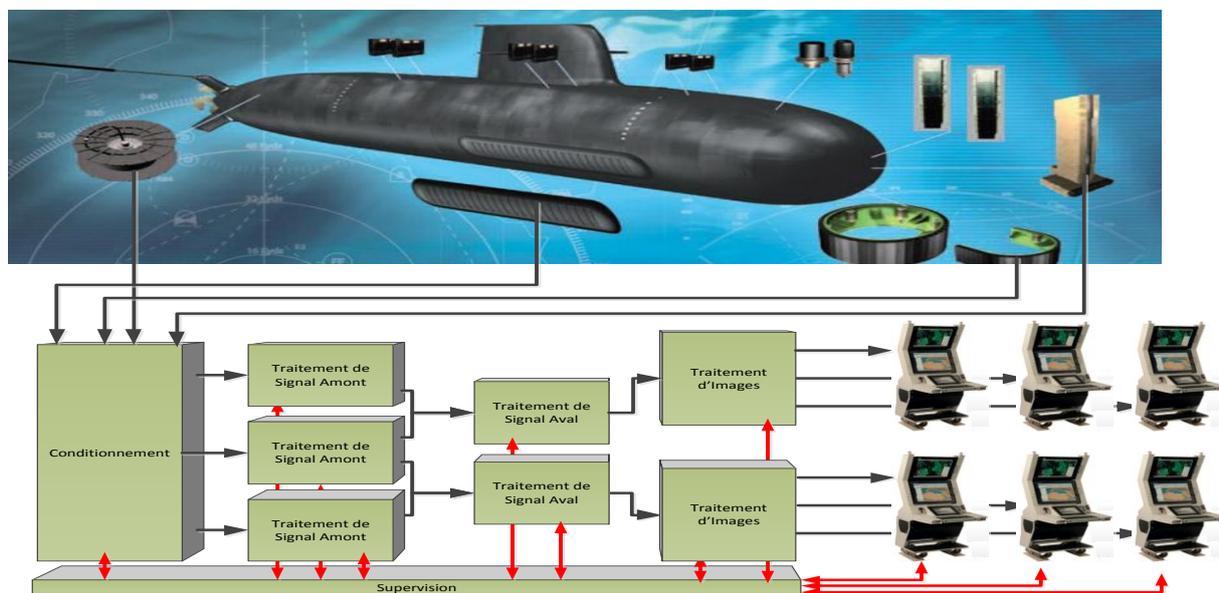
¹⁵ SCSI : Small Computer System Interface

¹⁶ ICS : Integrated Computer System

Évolution des Architectures des Systèmes Avioniques Embarqués

effet, cette machine se trouve entre les machines de Traitement de Signal et les Consoles de visualisation à destination des Opérateurs Sonar.

Elle doit assurer l'interface de toutes les données à destination des consoles, la mémorisation de ces données, l'interface avec les enregistreurs, la datation des informations et la gestion des Images à des fins opérationnelles et d'entraînement.



La figure ci-dessus représente l'architecture Sonar déployée sur les sous-marins dits de Nouvelle Génération.

L'approche Innovante apportée à la Mémoire de d'Images, m'a permis de devenir Responsable de la définition des architectures des Machines de Traitement de Signal Aval, des Machines de Traitement d'Images ainsi que de l'infrastructure de Supervision.

Ces architectures devaient être « ouvertes » afin de pouvoir être facilement « upgradées » pendant toute la durée de vie d'un sous-marin (plus de 20 ans).

Fort de l'expérience acquise dans le domaine des calculateurs industriels, j'ai **orienté la définition architecturale** autour de standards industriels en particulier le VME¹⁷ et le VSB¹⁸. J'ai introduit à ce niveau des concepts innovants d'extension de ces bus, concepts qui ont fait l'objet de publications internes.

Ces deux typologies de bus offrent l'ouverture nécessaire à l'adjonction de fonctions complémentaires, à condition toutefois de prendre en compte ces « spares » dans la construction de l'architecture initiale (**conception en rupture par rapport à l'utilisation « classique » de ces bus dans l'industrie**) afin de pouvoir garantir le respect de l'exécution temps-réel quelles que soient les modifications que l'on serait amené à introduire au sein de l'équipement.

Afin de respecter les échanges temps-réels entre les différents éléments de la chaîne, j'ai étudié et développé un ASIC réalisant l'interface entre les réseaux d'acquisition des signaux Sonar et les unités de mémorisation, chaque type de signal étant affecté à une mémoire associé à un transfert DMA propriétaire géré par l'identifiant.

¹⁷ VME : Versa Module Eurocard

¹⁸ VSB : VME Subsystem Bus

Évolution des Architectures des Systèmes Avioniques Embarqués

Cette définition architecturale ainsi que la réalisation qui en a découlé et les performances obtenues ont été couronnées de succès, à la fois durant les phases d'essais en laboratoire avec des moyens de simulation de l'environnement acoustique ainsi que durant les phases d'essais opérationnels en conditions réelles.

3.2.2.2 De la Responsabilité d'un Projet à celle d'un Système : 1991 – 1993 et 1997 - 2000

Ma volonté a toujours été de rester dans le Domaine de la Recherche Appliquée. J'ai donc tout naturellement saisi les opportunités qui se sont offertes afin de pouvoir exprimer mes compétences de Chercheur au niveau équipement puis au niveau système.

Suite à la réussite de l'étude et du développement des calculateurs embarqués, à la fois au niveau des performances mais également du fait de leurs **caractères innovants basés sur une architecture ouverte** autour de standards industriels « maîtrisés » c'est-à-dire pour lesquels des « spares » ont été réservés dès la phase amont de conception afin de soutenir le « growth potential » requis durant la durée de vie du porteur, je me suis vu confier deux responsabilités :

- La première activité a consisté à assurer le Management du Service de Conception Numérique, service constitué d'une vingtaine de personnes dans les domaines à la fois de la conception matérielle, logicielle et bureau d'études électroniques.
- La seconde activité a consisté à assurer le Management du projet de développement du Système autodirecteur de la torpille légère MU90. Cette activité était également le point fort, en termes de charge et d'équipes, pour supporter la première.

Faisons un zoom sur l'activité Système liée à la MU90, elle s'est déroulée en deux étapes :

- La première de 1991 à 1993 (3 ans)
- La seconde de 1997 à 2000 (3 ans et demi)

3.2.2.2.1 MU90 - Première Étape vers le développement du Système Autodirecteur : 1991 – 1993

La MU90 est issu de la signature d'un accord de partenariat, en 1991, entre la France et l'Italie pour le développement d'une torpille légère commune à ces deux pays sous le label EuroTorp.

Cet accord signe le lancement de la MU90-IMPACT, concurrente directe de la Mark 46 Américaine, qui va devenir l'un des plus grands succès à l'export avec plus d'un millier de torpilles vendues à ce jour. Trois Sociétés sont concernées par cet accord : DCN¹⁹ St Tropez, THOMSON-MARCONI SONAR et WASS²⁰.

La MU90 est née de deux programmes de torpille légère : la MURÈNE pour la France et la A290 pour l'Italie. Il s'agit, sur la base de ces deux développements, de construire une nouvelle torpille ayant les performances attendues.

¹⁹ DCN : Direction des Constructions Navales

²⁰ WASS : Whitehead Alenia Subacquai Systemi

Évolution des Architectures des Systèmes Avioniques Embarqués

Souhaitant rester dans le domaine de l'innovation et de la Recherche Appliquée au produit d'une part et fort du succès rencontré sur le programme précédent, j'ai fait acte de candidature et ai été nommé Responsable du Développement du Système Autodirecteur de la Torpille MU90.



Photo issue du site Eurotorp (http://www.eurotorp.com/IMG/pdf/MU90_alwt_system.pdf)

Cet autodirecteur se compose de six sous-ensembles :

- Un Bloc Acoustique,
- Un sous-ensemble Émission / Réception,
- Un sous-ensemble Mise en forme des signaux,
- Un sous-ensemble Traitement du Signal,
- Un sous-ensemble Traitement de Données,
- Un sous-ensemble Convertisseur.

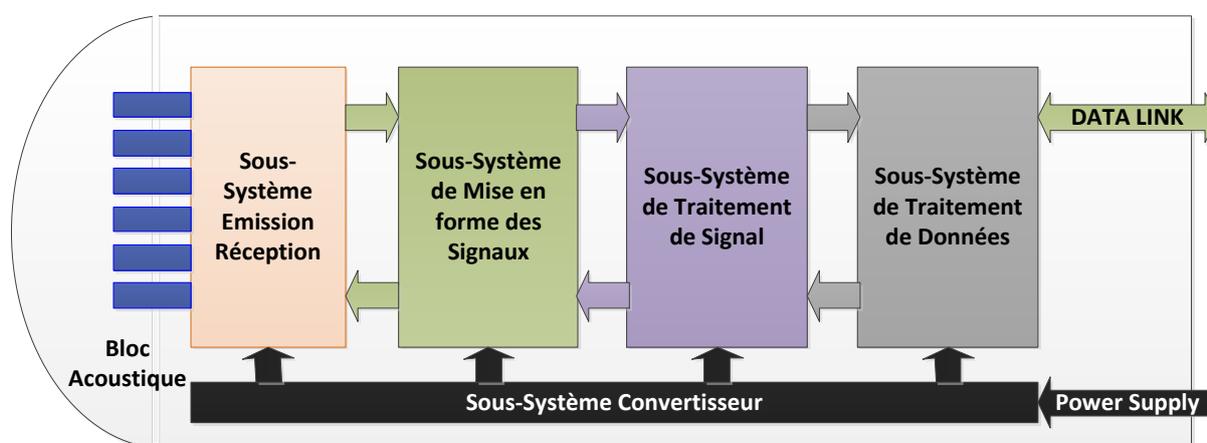
Ces sous-ensembles ont fait l'objet d'une re-conception complète afin de pouvoir respecter les différentes contraintes à la fois en termes de performance mais également en termes environnementaux ; la caractéristique d'une torpille légère étant, en effet, de pouvoir être larguée depuis un avion ou un hélicoptère.



Photo issue du site Netmarine.com

Les contraintes environnementales sont des plus sévères car lors de l'entrée à l'eau, la torpille subit un choc de plusieurs centaines de G.

Évolution des Architectures des Systèmes Avioniques Embarqués



Le sous-ensemble Émission / Réception représente un **défi technique et technologique** de par la performance à atteindre dans un environnement des plus restreints et dans des conditions environnementales des plus contraintes, car c'est lui qui va subir le premier choc, avec le Bloc Acoustique, lors de l'entrée à l'eau. C'est ce sous-système qui gère les formes d'ondes à émettre en fonction des cibles visées et de la phase d'activation de la Torpille.

Le sous-système de Mise en Forme des signaux est un bloc analogique réalisant les fonctions de filtrage et de numérisation des signaux d'entrée.

Afin de pouvoir garantir les performances opérationnelles de la Torpille en termes de pouvoir de détection, de discrimination et de classification, j'ai proposé de réaliser le sous-système de Traitement de Signal en utilisant un ordinateur déjà éprouvé basé sur l'utilisation de processeurs de type AM29116, ces processeurs ont été associés à un atelier de développement logiciel basé sur l'utilisation de µcode permettant de réaliser l'ensemble des fonctions de calcul de base.

Le sous-ensemble de Traitement de Données a été construit autour de processeurs Motorola 68020 architecturés autour d'un bus VME dont le transfert est également maîtrisé entre les différents sous-ensembles. Ces processeurs portent le Système d'Exploitation ou « Operating System » temps réel VRTX et une couche middleware développée spécifiquement afin de pouvoir garantir les performances clés de ce ordinateur qui, en plus de réaliser les fonctions de Traitement de Données, va venir assurer la liaison avec la Centrale de Guidage de la Torpille

Évolution des Architectures des Systèmes Avioniques Embarqués

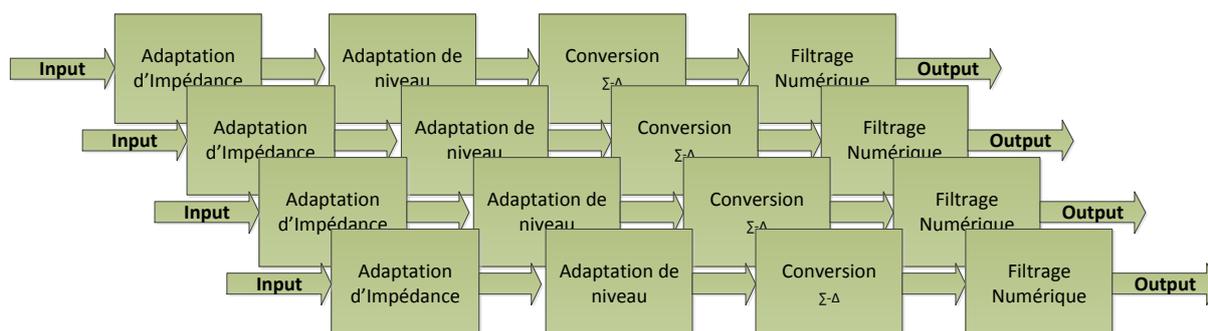
demandé de compléter la phase architecturale en prenant en charge la phase de développement.

J'ai été aidé par William PERY, alors Secrétaire de la Défense Américaine qui en 1994 publie son "Mémoire" for "Best Practice" dont le principe est simple : il s'agit de laisser une plus grande liberté au fabricant, tout en garantissant un certain niveau de qualité au travers du DSCC ("meeting the Military Quality and Reliability requirements").

Ce mémorandum m'a permis de proposer l'introduction de composants en gamme industrielle (-40°C / +85°C) et en boîtier SMD²¹ c'est-à-dire en montage de surface donc « implantable » par une machine automatique de type « pick & place » : ce changement de technologie de composants m'a ouvert l'accès à des fonctions inexistantes en gamme dite militaire.

Au niveau du sous-ensemble de Mise en forme des Signaux, j'ai effectué **l'analyse de l'état de l'art** technologique et sur les capacités et performances **offertes par les filtres numériques** et j'ai proposé une architecture en rupture : filtres associés à des convertisseurs Σ - Δ comme décrit par la figure ci-dessous.

Cette approche a permis de supprimer l'ensemble des fonctions analogiques, et de diviser par deux le nombre de cartes d'interface et d'adaptation nécessaires pour réaliser toutes les fonctions. Elle a également permis de réduire significativement le coût de fabrication de l'ensemble.

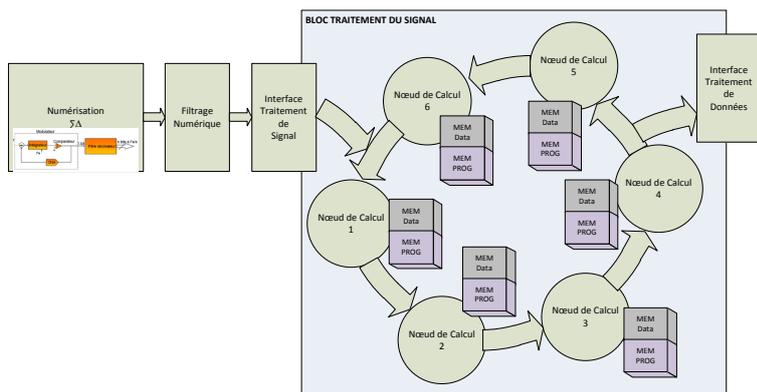


L'introduction du **filtrage numérique nous a permis d'améliorer les caractéristiques du signal** (réduction du niveau de bruit, réduction des harmoniques, filtrage plus sélectif). Ce sous-ensemble a été qualifié et les performances obtenues étant supérieures et englobantes par rapport au matériel « legacy », cette approche a été validée.

L'ensemble du logiciel de Traitement de Signal ayant fait l'objet d'une qualification au niveau de l'ensemble des algorithmes étudiés, déployés et validés, il a été décidé de conserver le processing de ce bloc.

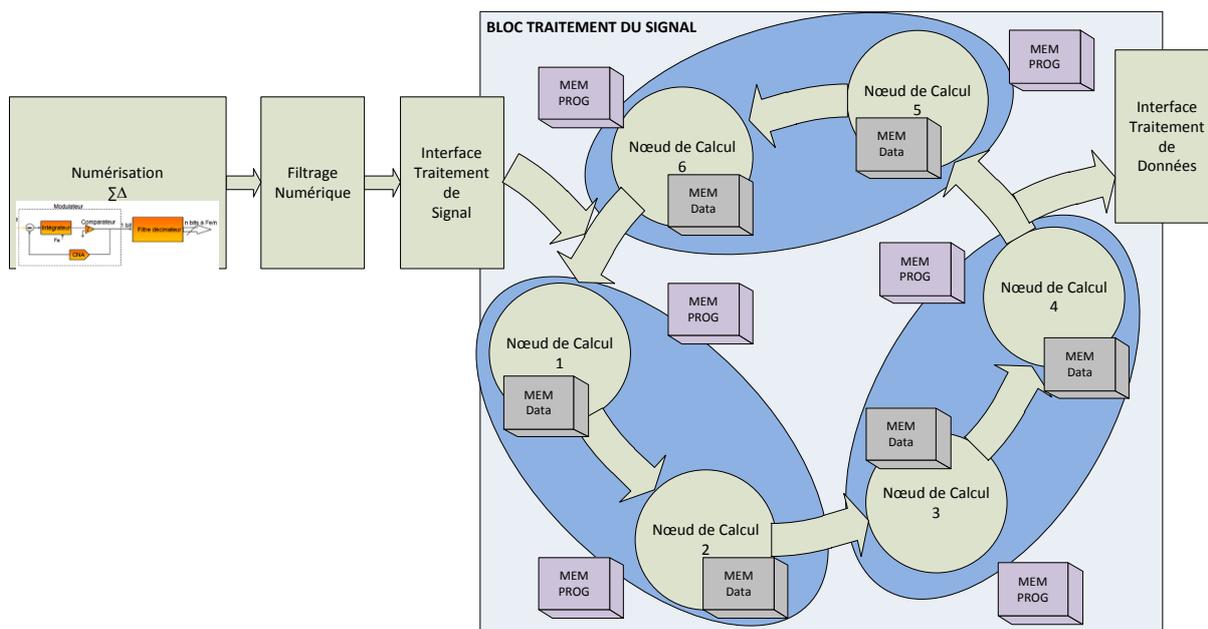
²¹ SMD : Surface Mount Device

Évolution des Architectures des Systèmes Avioniques Embarqués



Néanmoins, afin de pouvoir garantir l'augmentation des performances opérationnelles de la Torpille, j'ai proposé de réaliser le sous-système de Traitement en intégrant dans un ASIC deux processeurs de Traitement de Signal comme présenté par la figure ci-dessus et celle-ci-dessous. Ce « shrink » a permis de diviser par deux le nombre de cartes internes du Sous-Ensemble de Traitement du Signal.

L'innovation ou le challenge, à ce niveau, a été de garantir que l'intégration dans un ASIC de cette fonctionnalité se faisait à performances constantes sans accroître unitairement les performances de chaque ASIC : fréquence de fonctionnement identique, séquençement identique, ...



Au niveau du sous-ensemble de Traitement des Données, le challenge a été de proposer une solution permettant de conserver le code « legacy » existant. J'ai donc proposé de conserver la famille de processeurs (MC68020 → MC68040) tout en augmentant les performances intrinsèques de chaque composant grâce aux capacités fréquentielles offertes par le nouveau processeur. L'exécution à « l'identique » a été rendue possible par la synchronisation des données d'entrées / sorties.

Le bloc Convertisseur n'a subi que de très légères améliorations uniquement au niveau de sa fabricabilité par l'introduction de composants SMD.

Évolution des Architectures des Systèmes Avioniques Embarqués

Au niveau du Bloc Émetteur / Récepteur, j'avais proposé d'introduire les mêmes évolutions que celles introduites sur le sous-ensemble de Mise en forme des Signaux, c'est-à-dire de numériser 80% des fonctions dont celles associées à la génération des formes d'ondes d'émission, à la réception et à la commande du bloc de puissance.

Cette approche a été jugée risquée, j'ai donc proposé une solution alternative combinant les avantages de la solution actuelle et de la solution dite « numérisée » en conservant le bloc module de puissance de l'émission en analogique ainsi que le filtre primaire de réception ; en revanche, les commandes d'émission (forme d'ondes) ont, elles, été numérisées.

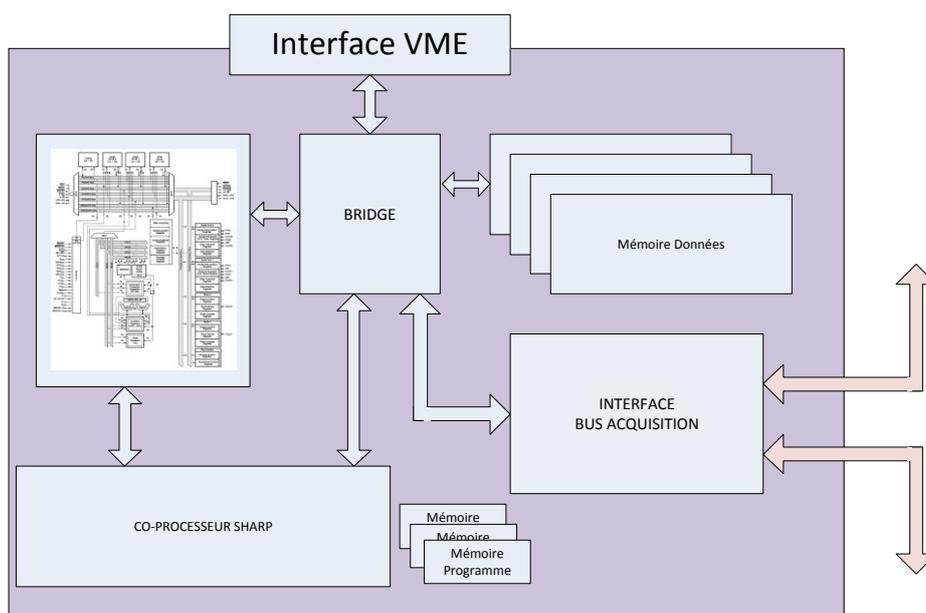
Cette approche globale a permis de satisfaire l'ensemble des objectifs qui avaient été assignés par les États, de démontrer que les crédits de qualification obtenus avaient pu être conservés et de gagner en « fabricabilité ». L'introduction de composant CMS nous a permis de pouvoir nous adresser à un plus grand nombre de sous-traitants pour la fabrication des sous-ensembles électroniques.

Durant cette même période, on m'a confié la charge du développement du bloc de Traitement du Signal du Sonar trempé FLASH. J'ai continué la démarche entreprise en 90 en basant ce développement sur le standard VME ouvert tout en introduisant des contraintes sur la maîtrise des accès des différents éléments au bus (management des transferts et garantie d'un temps maximal de transfert et donc d'exécution).



Le Sonar trempé FLASH, voir la figure ci-contre, a la particularité d'être embarqué sur des hélicoptères. Sa principale caractéristique, en dehors de la performance de sa mécanique (treuil rapide), est de pouvoir offrir l'ensemble des performances d'un Sonar embarqué dans un volume plus contraint que celui que l'on peut trouver sur une Torpille même légère.

Il a donc été nécessaire d'introduire une nouvelle architecture de calcul basée sur l'utilisation de processeurs DSP de TEXAS associés à des coprocesseurs réalisant les fonctions dites répétitives telles que les FFT. J'ai donc introduit une architecture à deux niveaux : un « front-end » sur la base d'un processeur SHARP associé à un « back-end » basé sur un processeur TEXAS comme présenté ci-dessous.



Évolution des Architectures des Systèmes Avioniques Embarqués

Le data processing a été confié à des cartes COTS basée sur des Processeurs de type PowerPC associées à un Operating System temps réel VxWorks de WindRiver. Une des caractéristiques pour « l'embarquabilité » de ce type de processing est de pouvoir assurer sa dissipation dans un environnement conducteur. Pour cela, nous avons développé une technologie dite « de drain conforme » que nous avons brevetée.

Là encore, les réalisations ont fait l'objet d'essais, de démonstration de performances qui ont conduit au succès de ce produit auprès des Marines de plusieurs nations dont les USA.

Après avoir réalisé des Machines de Traitements pour les Sous-Marins, les Torpilles, les Sonars trempés, j'ai eu envie de continuer dans le Domaine Avionique et j'ai donc décidé de rejoindre le Groupe THALES au sein de son entité Systèmes Aéroportés.

3.2.2.3 D'une Responsabilité de Projet à une Responsabilité de Service de Conception Numérique (1993 – 1997)

Suite à la réussite de la première phase, je saisis l'opportunité qui m'est offerte en prenant la Responsabilité du Service de Conception Numérique entre 1993 et 1997 (4 ans).

Cette période m'a offert la possibilité de transmettre mes acquis sur le management de projet et ceux acquis sur le plan technologique à l'ensemble des équipes que j'ai encadrées à la fois dans le domaine matériel et logiciel mais également dans le domaine de la conception des circuits imprimés.

J'ai également profité de cette période pour me former, en 1994, au Management de la R&D. Cette formation permettait en effet d'acquérir les compétences nécessaires pour maîtriser les bases de la Recherche Industrielle.

Ces années ont vu l'abandon des composants dit militaires selon la norme MIL-STD-883 et leurs remplacements par des composants en gamme industrielle. Nous avons eu à faire face au traitement de beaucoup d'obsolescences de composants.

Devant cet afflux de composants obsolètes, j'ai développé un système de gestion prévisionnelle d'analyse d'obsolescence des nomenclatures de cartes que j'ai couplé au système de CAO²² utilisé pour le développement des cartes électroniques.

3.2.3 Acquérir des compétences Industrielles (1999 – 2000)

Durant deux ans, en parallèle des activités de Recherche, j'ai été volontairement à l'initiative de la création d'une entité de production et de test de cartes électroniques.

L'objectif pour moi était de comprendre les différentes étapes de la fabrication d'une carte électronique depuis l'élaboration du programme de pose de composants, la sérigraphie, la pose, la refusion et le test sous pointe ou in situ.

²² CAO : Conception Assistée par Ordinateur

Évolution des Architectures des Systèmes Avioniques Embarqués

Analyse des limitations liées à la pose, à la réparation et au test, recherche de solutions innovantes dans la pose de composants BGA²³, dans la définition du circuit imprimé (classe de gravure), dans la mise en œuvre de tests JTAG²⁴ permettant de densifier les circuits.

Cette activité a été très utile car elle m'a apporté un complément de formation dans le domaine de la fabrication industrielle et dans la compréhension des limitations liées à l'utilisation de ces cartes dans nos environnements contraints que ce soit au niveau embarqué militaire ou civil.

3.2.4 Du Management de Projet de Recherche au Management d'une Équipe de Recherche (2000 – 2007)

Deux activités sont à considérer durant cette période, au sein de Thales Systèmes Aéroportés (TSA) ; la première de 2000 à 2003 en tant que Manager et la seconde de 2004 à 2007 en tant que Directeur de Département.

3.2.4.1 Le management d'une Équipe de Recherche Appliquée 2000 – 2003 (3 ans et demi)

Suite aux compétences acquises et démontrées dans le Management de service, de Projets et dans le développement de Systèmes Embarqués à architecture innovante, j'ai fait acte de candidature, au sein de Thales Systèmes Aéroportés (TSA) – Paris, pour le Poste de Responsable du Service de Conception Numérique (SCN) d'une soixantaine de personnes.

Afin d'acquérir l'ensemble des bases nécessaires à la Gestion d'un Service de Conception Numérique dont les activités sont essentiellement tournées autour de la Recherche Industrielle, je me suis formé au travers d'un programme de formation Thales : Operational Management Program.

Au sein de SCN, j'ai eu comme Responsabilités :

- Le **management** de l'ensemble des collaborateurs dans les Domaines Matériel Analogique et Logiciel (Operating System, Middleware et Applicatif Algorithmique) : Management au sens *hiérarchique* mais également au sens **évolution des compétences**, afin de pouvoir préparer mes collaborateurs à faire face aux enjeux que nous avons à affronter ;
- **L'élaboration des architectures Systèmes Embarqués innovantes** pour les programmes MIRAGE 2000 et RAFALE avec présentation au client de ces architectures et de leurs impacts en termes de performance, d'utilisation, « d'upgradabilité » ;
- Le suivi des différents projets réalisés au sein de SCN ;
- Le gain de projet d'études amont ou PEA²⁵ permettant d'adresser des domaines avec des TRL²⁶ (voir en Annexe la définition des TRL's) bas intégrant des concepts en rupture.

²³ BGA : Ball Grid Array

²⁴ JTAG : Joint Test Action Group ou norme IEEE 1149.1 « Standard Test Access Port and Boundary-Scan Architecture »

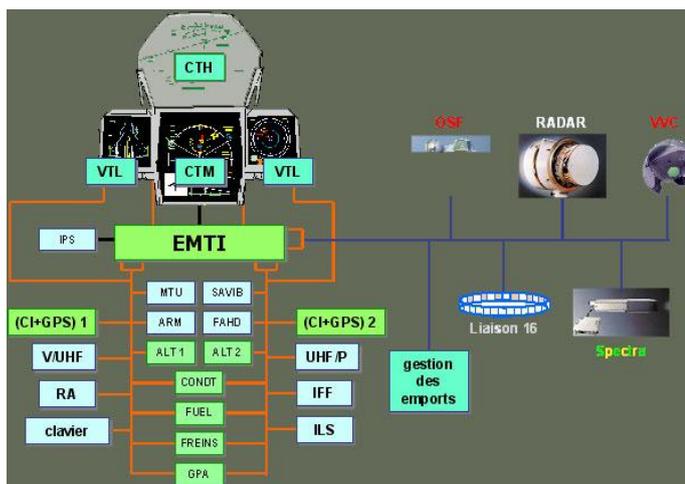
²⁵ PEA : Plan d'Etudes Amont

Évolution des Architectures des Systèmes Avioniques Embarqués

J'ai pu exprimer mon savoir-faire au travers de deux programmes clés que sont le MIRAGE 2000 pour la Grèce et l'Arabie Saoudite et le RAFALE pour la France.

Dans les deux cas, il a fallu définir et développer le calculateur de mission assurant l'ensemble des fonctions critiques de l'avion, y compris celles liées aux armements, définir et développer les enregistreurs de crash ou boîtes noires, les enregistreurs de paramètres permettant de rejouer la mission au sol ainsi que le calculateur du RADAR assurant l'ensemble des fonctions de pointage, de traitement de signal et de données.

Le Rafale bénéficie d'un potentiel de croissance suffisant pour garantir une efficacité opérationnelle pendant de nombreuses décennies. L'EMTI²⁷ ou MDPU²⁸ constitue la pierre angulaire de tout le concept évolutif de l'avionique et du système d'armes qui équipent cet avion futuriste. Son architecture modulaire en fait un système à haut niveau d'adaptabilité, permettant une intégration aisée des nouveaux systèmes d'avionique ou d'armement.



La fusion des données acquises par les différents capteurs embarqués s'appuie sur la puissance de calcul de l'EMTI pour traiter les données du radar RBE2, de l'OSF, du système SPECTRA, du système d'identification IFF, des autodirecteurs de missiles et de la liaison Datalink (L16 ou personnalisée).

Au niveau de l'EMTI, une **architecture innovante** a été introduite, basée sur un concept de modularité. Ce concept introduit ici est le précurseur du concept IMA²⁹ qui sera introduit dans l'aviation civile avec le développement de l'Airbus A380 dans les années 2000.

Il s'agit de disposer de modules permettant de réaliser plusieurs fonctions indépendantes en garantissant que l'exécution d'une fonction ne puisse jamais venir perturber l'exécution des autres, et ce, quel que soit l'état de la fonction qui s'exécute (normal ou défaillant).

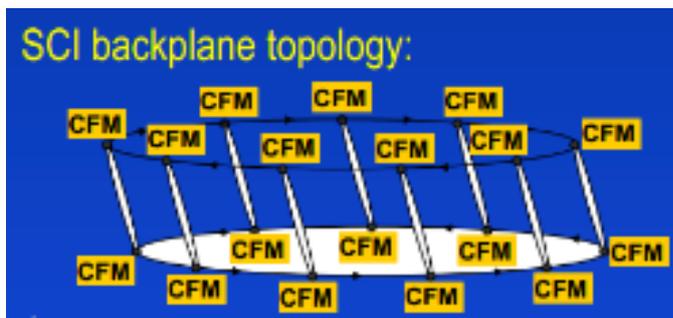
²⁶ TRL : Technology Readiness Level

²⁷ EMTI : Ensemble Modulaire de Traitement de l'Information

²⁸ MDPU : Modular Data processing Unit

²⁹ IMA : Integrated Modular Avionics

Évolution des Architectures des Systèmes Avioniques Embarqués



L'architecture EMTI est constituée de modules de calcul ou CFM³⁰ reliés entre eux via un réseau qui assure l'ensemble des échanges de données entre ces modules. Le réseau utilisé autorise la migration d'applications d'un nœud de calcul vers un autre en fonction de l'état du module et de ses capacités de calcul.

Figure issue d'une présentation Dassault-Aviation

(<http://www.portail-aviation.com/2014/12/rafale-la-revolution-dans-levolution.html>)

3.2.4.1 Du rôle de Manager à celui de Directeur du Département de Recherche Industrielle de 2004 à 2007 (4 ans)

En tant que Manager du service de Conception Numérique, j'ai mis en œuvre mes compétences à la fois Techniques et Managériale pour assurer la réussite des activités de ce Service, que ce soit sur

- Le plan humain lié d'une part à la **montée en compétences de mes collaborateurs** sur les nouvelles technologies dont celles nécessaires pour le développement de l'EMTI,
- Le plan technique, avec le gain de plusieurs affaires dont celles concernant la modernisation du RAFALE (standard F2), le projet MELTEM (Avion de Patrouille et de Surveillance Maritime) et le projet FREMM³¹.

Je souhaitais continuer à progresser dans le Management de projets de Recherche Industrielle et j'ai saisi l'opportunité qui s'est offerte lorsque l'on m'a proposé de prendre la Direction du Département de Conception Numérique ou Digital Platform Solution (DPS).

Il s'agit d'un Département de 200 personnes situé sur les trois sites de Thales Systèmes Aéroportés : Brest, Paris et Pessac et dont les activités de développement sont :

- La Guerre Électronique sur Brest
- Les Calculateurs de Traitement Radar sur Paris
- Les Calculateurs Mission et Systèmes Enregistreurs sur Bordeaux

Durant ces 4 années, j'ai assuré les fonctions de Directeur en charge de l'organisation du Département, du Management des personnes et de la définition de la Stratégie Technique.

J'ai directement été impliqué dans la **définition architecturale** des Systèmes Embarqués :

- Au niveau du Programme MELTEM
 - Principe novateur intégrant à la fois le Traitement de Données, le Traitement d'Images et Interface Utilisateur au sein d'une console embarquée



³⁰ CFM : Common Functional Modules

³¹ FREMM : FREgate Multi-Missions

Évolution des Architectures des Systèmes Avioniques Embarqués

- Principe en rupture pour l'enregistrement de paramètres permettant de communaliser les différentes sources à enregistrer sur un seul équipement chargé de l'acquisition et la compression audio, l'acquisition et la compression vidéo et l'acquisition de données.
- Au niveau du Programme MIRAGE 2000D
 - Définition d'une architecture de calcul permettant d'upgrader les calculateurs existants (ou « legacy ») en utilisant les slots libres et donc les bus « legacy » pour réaliser les nouvelles fonctions de traitement (cohabitation de technologies ayant plus de 20 ans d'écart) :
 - Élaboration de la solution et échange avec le client final,
 - Validation de la solution avec les équipes de design avion,
 - Développement, validation et qualification du produit.
- Au niveau du programme RAFALE
 - Définition des upgrades fonctionnels à appliquer sur le calculateur existant en démontrant la capacité à conserver l'ensemble des logiciels existants (aucune modification n'était acceptée) tout en offrant des possibilités d'augmentation des capacités de calcul, de mémorisation et d'interface,
 - Définition d'une architecture en rupture pour les fonctions de traitement des données missions en conservant la structure et les interfaces des calculateurs existants,
 - Définition d'une nouvelle architecture pour le Calculateur de Traitement de Signal prenant en compte les besoins actuels et l'ensemble des besoins à venir intégrant les possibilités des nouveaux RADAR à Antenne Active :
 - Architecture sur base de standards industriels matériels et logiciels,
 - Utilisation de réseaux très haut débit inter-cartes,
 - Intégration d'une fonction de mémorisation à des fins d'entraînement et de re-jeu au sol.
 - Élaboration des solutions → développement → intégration → qualification :
 - Qualification en usine,
 - Qualification en vol.
- Au niveau du programme FREMM
 - Définition de l'architecture d'acquisition de l'ensemble des antennes d'interception (front-end de traitement),
 - Définition de l'architecture du calculateur de Traitement de Signal,
 - Élaboration des solutions → développement → intégration → qualification :
 - Qualification en usine,
 - Qualification en essais mer.

La communication est essentielle y compris dans le domaine du développement de systèmes embarqués militaires. Cette communication passant par la maîtrise de l'Anglais, j'ai donc suivi, en 2006, une formation d'Anglais en immersion à Cambridge.

3.2.5 Du Directeur de Département au Rôle de Directeur de la Recherche (depuis 2008)

Deux rôles distincts sont à considérer durant cette période

- Le premier en tant que Directeur Technique de 2008 à juin 2013 (5 ans et demi),

Évolution des Architectures des Systèmes Avioniques Embarqués

- Le second en tant que Directeur Recherche et Technologies de juillet 2013 à maintenant (2 ans et demi →).

3.2.5.1 Directeur Technique du Centre de Compétences Calculateur de 2008 à juin 2013

En 2008, deux divisions ont fusionné pour donner naissance à la Division Aéronautique ou DAé. Les deux Départements de Conception Numérique, militaire pour TSA et Civil pour Thales Avionics l'ont été également.

Deux postes étaient à pourvoir, l'un plutôt management et le second Technique. En tenant compte de mon appétence pour le domaine de la Recherche, j'ai fait acte de candidature pour ce second poste. Compte-tenu de mon souhait d'évolution de carrière, de mon parcours, des réalisations et des succès rencontrés auprès de nos clients quant aux performances des produits et de leurs architectures, il m'a été proposé de prendre la Direction technique du Centre de Compétence Calculateur (CCC) qui venait de se créer suite à cette fusion.

Au sein de ce poste, j'ai eu à

- Définir les orientations Techniques et Technologique de CCC sur les projets et propositions en particulier sur le programme A380 et sur le programme A350,
- Définir et gagner les études amont nécessaires pour supporter nos axes de recherche TRL3 à TRL5 au sein du programme FP7 Europe (ASHLEY, PRIMAE), DGAC (IDEEx, IREHDO), CORAC (AME),
- Définir et mettre en place les partenariats académiques stratégiques pour supporter nos axes de recherche TRL1 à TRL3 avec :
 - UPMC,
 - Télécom ParisTech,
 - L'IRIT,
 - SUPELEC,
 - L'ESTIA-Recherche.

Durant ces années, j'étais en charge, de **définir le périmètre technique** couvert par l'architecture IMA, de déployer cette architecture au sein des programmes AIRBUS A380 et AIRBUS A350 pour le périmètre Aviation Commerciale, ATR et SSJ³² pour le périmètre Aviation Régionale, S76D pour le périmètre Hélicoptère et AIRBUS A400M pour le périmètre Aviation Militaire.

J'étais également en charge de l'élaboration de la Stratégie Technique permettant de définir l'orientation architecturale de l'IMA_2G, de la Stratégie d'acquisition des compétences et de mise en place des partenariats nécessaires afin de pouvoir développer un démonstrateur des capacités offertes par l'IMA_2G.

J'ai donc élaboré les propositions techniques, rechercher les partenaires industriels et académiques des études suivantes :

- Au niveau Européen :

³² SSJ : Sukoï Super Jet

Évolution des Architectures des Systèmes Avioniques Embarqués

- SCARLETT³³,
- EASA³⁴ - MULCORS³⁵.
- Au niveau National :
 - IREHDO³⁶,
 - IDEE5³⁷,
 - CORAC³⁸ – AME³⁹,
 - SYRENA⁴⁰,
 - HdF⁴¹.

Ces études ont toutes comme point commun de définir l'architecture et les fonctionnalités des Calculateurs Embarqués de type IMA ou Temps Réel Dur (commande de vol, FADEC⁴² par exemple) à destination des futurs porteurs.

Un des axes que j'ai mis en avant lors de ces recherches est de centrer le réseau comme pierre angulaire de l'architecture de calcul. C'était le but du projet IREHDO que de définir un réseau AFDX⁴³ haute vitesse et faible latence (> Gbps⁴⁴) permettant de soutenir un architecture centrée réseau. Associé à cet axe, j'ai mis en avant le développement d'un middleware réparti permettant d'assurer la gestion de l'ensemble de la plate-forme avionique, cette approche a été soutenue par le projet SCARLETT. Des projets sont en cours de dépôt de brevets suite à ce projet.

Les projets IDEE5 et MULCORS ont eu pour objectif de définir l'architecture du nœud de calcul intégrant des processeurs multi-cœurs et donc de maîtriser cette introduction et son impact sur le niveau applicatif d'une part et la certification de l'équipement d'autre part. Des brevets ont été déposés sur cette thématique.

Les projets CORAC-AME et HdF ont pour objectif dans une première phase de définir l'architecture de la plate-forme Avionique IMA étendue appelée AME et dans une seconde phase de développer un démonstrateur et de valider l'ensemble des concepts définis dans la phase d'architecture. Des brevets sont en cours de dépôt sur cette thématique.

Enfin, le projet SYRENA a pour objectif de définir les concepts architecturaux d'une boucle d'asservissement à haute intégrité et temps réel. Ce projet nous a permis de définir de nouveaux systèmes intégrant des fonctions de monitoring directement au niveau des senseurs et des actuateurs afin d'augmenter leur fiabilité intrinsèque et ainsi de réduire l'empreinte globale de la fonction au niveau du porteur. Des brevets ont été déposés suite à ce projet.

³³ SCARLETT : SCAlable & Reconfigurable Electronics platforms and Tools

³⁴ EASA : European Aviation Safety Agency

³⁵ MULCORS : The Use of MULTicore proCessORs in airborne Systems

³⁶ IREHDO : Intégration Réseau Embarqué Haut Débit Optique

³⁷ IDEE5 : Intégration De l'Electronique Embarquée 5ème Phase

³⁸ CORAC : COnseil pour la Recherche Aéronautique Civile

³⁹ AME : Avionique Modulaire Etendue

⁴⁰ SYRENA : SYstème de REgulation Nouvelle Architecture

⁴¹ HdF : Hélicoptère du Futur

⁴² FADEC : Full Authority Digital Engine Control

⁴³ ADFX : Avionics Full Duplex Switched Ethernet

⁴⁴ Gbps : Giga bit per second

Évolution des Architectures des Systèmes Avioniques Embarqués

Les études et Recherche que j'ai conduites dans le cadre des programmes A380 et A350, dans le cadre des études Amonts SCARLETT, IDEE5 se sont concrétisées par **six (6) dépôts de brevets** dans les domaines :

- De la maîtrise thermique [B_01] ; [B_02] ; [B_04] ;
 - Mise en œuvre et test de Caloducs.
- Émulation Logicielle [B_03] ;
- Méta-Conteneur [B_05] ;
- Architecture Middleware Innovante [B_06].

En 2013, j'ai reçu deux prix de l'invention qui récompense les meilleures inventions de la Division Avionique de Thales (16000 collaborateurs).

Les partenariats académiques que j'ai eus à mettre en place se sont concrétisés autour de Thèses CIFRE dont j'ai élaboré les thématiques de Recherche Industrielle afin qu'ils puissent nous permettre de se projeter sur les technologies à utiliser pour nos prochains produits ou équipements.

Afin de compléter mes connaissances dans le domaine du management de la Recherche et du Développement, j'ai suivi une formation « Expert Leadership Program » dispensé par Thales aux experts reconnus de par leurs compétences en R&D et leur contribution à l'innovation dans les programmes de Recherche.

De plus, afin de faire connaître ces métiers qui sont les nôtres, j'ai décidé de participer en 2011 et en 2012 à un concours vidéo à destination des Lycéens. En 2011 nous avons remporté le prix du « Clap des Nouveaux métiers » avec le film sur le Calculateur.

3.2.5.1 Directeur Recherche et Technologie pour la Division Avionique juillet 2013 à maintenant

La réussite du programme A350, des projets d'études et la reconnaissance des publications internationales, des présentations faites au sein de conférences internationales et des brevets déposés dans le cadre des études amont m'ont valu d'être nommé Directeur Recherche et Technologie Amont pour la Division Avionique.

La division Avionique regroupe 12000 collaborateurs sur plusieurs sites en France, en Angleterre et aux États-Unis. Au sein de ce poste, j'ai la Responsabilité de :

- Valider les orientations Techniques et Technologique des Centres de Compétence de la division sur les thématiques des Domaines :
 - Calculateur,
 - Cockpit et Casques,
 - Navigation et Inertie,
 - Applications.
- Définir les axes de Recherche Amont à mettre en place et la Stratégie d'Acquisition et de réduction des risques des briques technologiques nécessaires :
 - Études amont,
 - Partenariat Académique,
 - Partenariat Industriel :
 - Start-up,
 - PME,

Évolution des Architectures des Systèmes Avioniques Embarqués

Suite à la mise en place des partenariats académiques effectués dans le cadre de mon poste précédent, j'ai pu compléter ce partenariat pour supporter nos axes de recherche TRL1 à TRL3 avec :

- Le GRETHA et le CEREGE,
- L'ONERA.

3.3 Parcours d'Innovation ou de Recherche appliquée

En 2008, lorsque j'ai pris mes fonctions de Directeur Technique, j'ai fait le constat que nous avions beaucoup d'activités de R&D orientées produits mais peu d'activités de R&T et très peu de partenariats académiques.

Fort de ce constat, je me suis employé à tisser des partenariats académiques, partenariats qui se sont concrétisés par la mise en place de thèses CIFRE avec les laboratoires suivants

- Télécom ParisTech,
- SUPELEC.

J'ai élaboré les sujets de thèses, mis en place les partenariats académiques, recruté les candidats et défendu l'ensemble de ces sujets auprès de l'ANR sur les Domaines :

- De la mesure du vieillissement des composants,
- De la modélisation de plate-forme HW et SW,
- Des I/O versatiles.

Je me suis impliqué dans la direction des thèses suivantes, toutes soutenues. La liste suivante donne les éléments essentiels (titre, date, répartition de l'encadrement, financement) et précise le devenir des doctorants.

1. Sébastien THOMAS (2010 – 2013),
 - a. «Recherche de solutions non intrusives permettant de mesurer les effets du vieillissement des composants électroniques»,
 - b. Encadrement à hauteur de 50%, co-encadrement Didier REGIS, collaboration avec Télécom ParisTech (Jean-Luc DANGER, Guillaume DUC),
 - c. Financement CIFRE.
2. Michaël LAFAYE (2010-2012),
 - a. «Modélisation de Plate-Forme Avionique pour Exploration de Performance en Avance de Phase»,
 - b. Encadrement à hauteur de 50 %, co-encadrement David FAURA, collaboration avec Télécom ParisTech (Laurent PAUTET),
 - c. Financement CIFRE,
 - d. Michaël LAFAYE, à l'issue de son Doctorat a été recruté par Dassault Aviation.
3. Antoine CANU (2010-2013),
 - a. «Conversion Analogique/Numérique versatile dans un environnement avionique contraint»,
 - b. Encadrement à hauteur de 40 %, co-encadrement Philippe BIETH, collaboration avec SUPELEC (Philippe BENABES),
 - c. Financement CIFRE,
 - d. Antoine CANU, à la suite de son Doctorat a été recruté par SAGEM.

Évolution des Architectures des Systèmes Avioniques Embarqués

Je me suis impliqué personnellement dans le management des thèses suivantes et dans la co-rédaction et présentation des articles :

1. «Recherche de solutions non intrusives permettant de mesurer les effets du vieillissement des composants électroniques» :
 - a. Conférences Internationales avec Comité de Lecture et Actes Publiés :
 - i. [CI_CL01] et [CI_CL02] ;
 - b. Conférences Internationales Sans Comité de Lecture avec Actes publiés.
2. «Modélisation de Plate-Forme Avionique pour Exploration de Performance en Avance de Phase» :
 - a. Conférences Internationales avec Comité de Lecture et Actes Publiés :
 - i. [CI_CL03] ; [CI_CL04] ; [CI_CL05] ;
 - b. Conférences Internationales Sans Comité de Lecture avec Actes publiés :
 - i. [CI_CS01].
3. «Conversion Analogique/Numérique versatile dans un environnement avionique contraint» :
 - a. Conférences Internationales avec Comité de Lecture et Actes Publiés :
 - i. [CI_CL06] et [CI_CL07] ;
 - b. Conférences Internationales Sans Comité de Lecture avec Actes publiés :
 - i. [CI_CS02].

3.4 Congrès internationaux

Chairman et Reviewer depuis 2010 du Congrès international « Avionics Europe » devenu en 2014 « Avionics Electronics Europe » qui se tient une fois par an à Munich et qui regroupe l'ensemble des acteurs du Domaine Aéronautique civil & Militaire et du Domaine Spatial.

<http://www.ae-expo.eu/advisory-committee/>

Membres de l'association mondiale SAE et en tant que membre, Chairman et Reviewer pour la Conférence « Aerospace Systems and Technologie Conference - ASTC 2014 » au niveau des Track :

- ASTC301 – Integrated architectures and IMA (Integrated Modular Avionics),
- ASTC310 – Aircraft Displays, Instruments and Instrumentation.

<http://www.sae.org/events/astc/>

Membre du Comité Scientifique de relecture et de sélection des publications dans le cadre de la Conférence « European Navigation Conference 2015 ».

<http://www.enc2015.eu/committees/>

Membres de l'association mondiale SAE et en tant que membre, Chairman et Reviewer pour la Conférence « SAE 2015 AeroTech Congress & Exhibition - ASTC 2015 » au niveau des Track :

- ATC400 – Avionics – Advanced System Architectures and IMA,

Évolution des Architectures des Systèmes Avioniques Embarqués

- ATC401 – Avionics – Airborne Electronics Hardware Certification and DO-254,
- ATC405 – Avionics – Display Technology and Visualization,
- ATC410 – Avionics – Software Platforms & Middleware.

<http://www.sae.org/events/atc/cfp/>

Chairman et Reviewer dans le cadre de la Conférence « Mediterranean Photonics Conference (MEPHOCO) 2015 ».

www.mephoco2015.org

Chairman et Reviewer dans le cadre de la 10^{ième} Conférence AIRTEC 2015 (Congrès International) qui se tiendra du 3 au 5 novembre à Munich.

http://www.airtec.aero/fileadmin/airtec/upload_dateien/2015/AIRTEC_Call_for_Abstracts.pdf

3.5 Pôles de compétitivité

3.5.1 Aerospace Valley (AESE)

Thales est membre du Pôle de compétitivité Aerospace Valley (AESE), et j'ai été mandaté pour intégrer le Domaine d'Activités Stratégiques ou DAS – Systèmes Embarqués Électronique et Logiciel ou SE²L dont j'assure le pilotage depuis Juillet 2013.

Le DAS SE²L s'intéresse aux applications des grands segments des marchés de la Feuille de Route Stratégique Aerospace Valley, à savoir de l'aéronautique, de l'espace, du transport au sens large, et plus récemment de l'e-santé.

Il couvre la conception de systèmes embarqués critiques fortement contraints, complexes, intégrés, devant répondre à des règles de certification ou pour lesquels les exigences sont particulièrement élevées (fiabilité, sûreté de fonctionnement, sécurité, réactivité temps réel, adaptabilité), parfois très spécifiques (biocompatibilité ou innocuité pour l'e-santé) et les services en ingénierie des systèmes embarqués critiques (outils et ateliers de conception, test, certification, réutilisation de briques génériques et partagées d'exécution qu'elles soient matérielles ou logicielles).

L'ambition du DAS Systèmes Embarqués Électroniques et Logiciels (DAS SE²L) est de soutenir l'excellence et la compétitivité du secteur industriel impliqué dans le développement des systèmes embarqués, à la fois en consolidant les compétences, le savoir-faire produit et les technologies à tous les niveaux de la filière en support des industries ayant une empreinte régionale ou internationale majeure, et en développant un écosystème spécifiquement favorable à l'innovation et à la croissance des PME régionales.

Évolution des Architectures des Systèmes Avioniques Embarqués

Le DAS SE²L recense plus de deux cent cinquante (250) acteurs dont ceux du monde de la formation et de la recherche, se répartissant comme suit :

Grandes Entreprises	49
PME / ETI	162
Formation/ Recherche	27
Institutions	13
Total	251

3.5.2 Route des Lasers (RDL)

Thales est membre du Pôle de compétitivité Route Des Lasers, et j'ai été mandaté pour représenter la Division Avionique au sein de ce Pôle.

Fort de mes implications au sein du Pôle AESE et Route Des Lasers, j'ai été l'un des moteurs dans l'élaboration de la Convention de Partenariat qui a été signée le 18 juin dernier lors du Symposium ISROS, entre ces deux Pôles.

Ce partenariat a donné naissance au DAS – Photonique, Aéronautique et Spatial (ou PHAROS) dont j'assure le pilotage et pour lequel nous avons établi sa feuille de route pour les 5 ans à venir.

La photonique est l'ensemble des technologies qui permettent de créer, modifier, transporter et utiliser la lumière. Elle couvre notamment le laser, la fibre optique, et toutes ces nouvelles technologies qui nous entourent et qui changent notre façon de communiquer. Les propriétés particulières de la lumière permettent de nombreuses applications dans différents domaines : les sciences de l'univers, la recherche médicale, les technologies de production et de contrôle, les télécommunications. Les thèmes abordés dans le cadre de PHAROS⁴⁵ sont : la fiabilité des composants, la transmission, la communication, la mesure, les contrôles non destructifs, l'usinage et le traitement des matériaux.

Les systèmes Photoniques sont des systèmes présents dans de très nombreux produits, qu'ils soient industriels ou grand-public. Ils doivent respecter des contraintes fortes relatives à leur domaine d'utilisation dans des environnements où l'humain est présent. L'économie des systèmes Photoniques est l'une des plus dynamiques pour les prochaines décennies.

Le DAS⁴⁶ PHAROS s'intéresse aux applications de la Photonique dans la Feuille de Route Stratégique du Pôle Aerospace Valley, à savoir l'utilisation des Technologies de la Photonique dans les Domaines de l'Aéronautique, de l'Espace, du Transport au sens large, et plus récemment de l'e-santé et de l'Agriculture.

⁴⁵ PHAROS : PHotonique, AÉRONautique & Spatial

⁴⁶ DAS : Domaine d'Activité Stratégique

Évolution des Architectures des Systèmes Avioniques Embarqués

Il couvre les thèmes relatifs à la Fiabilité des Composants, à la Transmission, à la Communication, à la Mesure, aux Contrôles Non Destructifs, à l'Usinage et au Traitement des Matériaux

Évolution des Architectures des Systèmes Avioniques Embarqués

4 BREVETS

[B_01] Procédé de Test de Caloduc et Dispositif de test correspondant

- Numéro : 2 925 693
- Publié le : 26 juin 2009
- Author(s): GATTI Marc; NEMOZ Gérard; BELLIN Bruno; PITOT Christian;

[B_02] Contact Thermique

- Numéro : TSP10X0017
- Publié le : 25 février 2010
- Author(s): VANIER Antoine; BELLIN Bruno; SARNO Claude; GATTI Marc;

[B_03] Solution certifiable d'émulation logicielle de calculateurs avioniques

- Numéro : TSP10X0170
- Publié le : 12 juillet 2010
- Author(s): GATTI Marc; BARDET Laurent; Jean-Michel ANGE

[B_04] Architecture de Méta-conteneurs pour la qualification incrémentale de plateformes avioniques

- Numéro : TSP13X0386
- Publié le : 19 mars 2013
- Author(s): GATTI Marc; Laurent BARDET

[B_05] Global Avionics Innovation Concept

- Numéro : BCS 15P0003
- Publié le : 20 janvier 2015
- Author(s): GATTI Marc; Laurent BARDET, Damien JUGIE, Jean-Michel ANGE

[B_06] Dispositif d'interfaçage à gain en tension et / ou impédance d'entrée programmable comprenant un interrupteur analogique comportant des transistors à effet de champ de type N et P connectés en série.

- Numéro : 2 974 959
- Publié le : 09 novembre 2012
- Author(s): CANU Antoine; GATTI Marc, FAURA David; BENABES Philippe;

[B_07] Procédé de contrôle du fonctionnement d'un composant électronique, dispositif électronique et calculateur électronique embarqué correspondant

- Numéro : 2 974 634
- Publié le : 02 novembre 2012
- Author(s): THOMAS Sébastien G.; REGIS Didier; GATTI Marc; DUC Guillaume; DANGER Jean-Luc;

[B_08] Procédé de modélisation, simulation et évaluation en avance de phase d'une plate-forme de calcul

- Numéro : 2 973 908
- Publié le : 12 octobre 2012
- Author(s): LAFAYE Michaël; FAURA David; GATTI Marc; PAUTET Laurent;

Évolution des Architectures des Systèmes Avioniques Embarqués

Cette page est laissée blanche intentionnellement.

Évolution des Architectures des Systèmes Avioniques Embarqués

5 CONFÉRENCES

5.1 Conférences Internationales avec Comité de Lecture et Actes Publiés

[CI-CL01] Non-intrusive fault detection through electromagnetism analysis

- **This paper appears in:**
 - Emerging Technologies & Factory Automation (ETFA), 2011 IEEE 16th Conference on
- **Date of Conference:** 5-9 Sept. 2011
- **Author(s):** THOMAS Sébastien, REGIS Didier, FAURA David, GATTI Marc, DUC Guillaume, DANGER Jean-Luc

[CI-CL02] Use of Electro-Magnetic Analysis to monitor activity of a digital circuit in a non-intrusive way

- **This paper appears in:**
 - Sensors, 2011 IEEE
- **Date of Conference:** 28-31 Oct. 2011
- **Author(s):** THOMAS Sébastien, FAURA David, DUC Guillaume, DANGER Jean-Luc, REGIS Didier, GATTI Marc,

[CI-CL03] Model-based approach for IMA platform exploration

- **This paper appears in:**
 - RTNS, 2010
- **Date of Conference:** 4 Nov. 2010
- **Author(s):** LAFAYE Michaël, GATTI Marc, FAURA David, PAUTET Laurent

[CI-CL04] Model driven early exploration of IMA execution platform

- **This paper appears in:**
 - 30th Digital Avionics System Conference (DASC), 2011 IEEE
 - Best of Session Paper
- **Date of Conference:** 16-20 Oct. 2011
- **Author(s):** LAFAYE Michaël, FAURA David, GATTI Marc, PAUTET Laurent

[CI-CL05] Model driven resource usage simulation for critical embedded systems

- **This paper appears in:**
 - Design, Automation & Test in Europe (DATE), 2012 : 312 - 315
- **Date of Conference:** 12 Mar. 2012
- **Author(s):** LAFAYE Michaël, Laurent PAUTET, Etienne BORDE, Marc GATTI, FAURA David

[CI-CL06] A versatile input interface for avionic computers

- **This paper appears in:**
 - 30th Digital Avionics System Conference (DASC), 2011 IEEE
- **Date of Conference:** 16-20 Oct. 2011
- **Author(s):** CANU Antoine, GATTI Marc, BENABES Philippe, FAURA Davis, Patrice TOILLON

Évolution des Architectures des Systèmes Avioniques Embarqués

[CI-CL07] A High Voltage Programmable Input Interface for Avionic Equipment

- **This paper appears in:**
 - International Instrumentation and Measurement Technology Conference ,
IEEE
- **Date of Conference:** 13-16 May 2012
- **Author(s):** CANU Antoine, GATTI Marc, BENABES Philippe, FAURA Davis, Patrice TOILLON

5.2 Conférences Internationales Sans Comité de Lecture avec Actes publiés

[CI-SC01] Model-based approach for IMA platform exploration

- **This paper appears in:**
 - Avionics Europe Expo, 2011
- **Date of Conference:** 21-22 Mar. 2011
- **Author(s):** LAFAYE Michaël, FAURA David, GATTI Marc, PAUTET Laurent

[CI-SC02] A reconfigurable avionic input interface

- **This paper appears in:**
 - Avionics Europe Expo 2012, M.O.C. Event
- **Date of Conference:** 21-22 Mar 2012
- **Author(s):** CANU Antoine, GATTI Marc, BENABES Philippe, FAURA Davis, Patrice TOILLON

Évolution des Architectures des Systèmes Avioniques Embarqués

6 PREUVES

6.1 Diplômes Obtenus

Baccalauréat



Diplôme Universitaire de Technologie



Évolution des Architectures des Systèmes Avioniques Embarqués

Diplôme d'Etudes Supérieures Techniques (CNAM)



République Française
Ministère de l'Éducation Nationale

CONSERVATOIRE NATIONAL DES ARTS ET MÉTIERS

Vu le décret du 22 mai 1920 modifié, portant règlement du Conservatoire National des Arts et Métiers,
Vu la décision ministérielle du 24 janvier 1958, portant création du diplôme d'études supérieures techniques du CNAM,
Vu le règlement de délivrance du diplôme d'études supérieures Technique, adopté par le Conseil d'Administration du CNAM,
le 24 novembre 1980, approuvé par arrêté du Ministre de l'Éducation Nationale le 20 décembre 1982,
Vu le procès-verbal des délibérations du jury en date du **10 DEC. 1984**

le **DIPLÔME D'ÉTUDES SUPÉRIEURES TECHNIQUES** du **CONSERVATOIRE NATIONAL DES ARTS ET MÉTIERS**

spécialité ELECTRONIQUE
est décerné à M^{onsieur} Marc, Jacques, Yvon GATTI
né (N) le 15 Septembre 1958 à Nice (ALPES-MARITIMES)

Fait à Paris, le **09 MAI 1985**
Le Directeur du Conservatoire
National des Arts et Métiers.

Jean SAUJOT
Jean SAUJOT

Diplôme d'Ingénieur ENSEEIHT

RÉPUBLIQUE FRANÇAISE
MINISTÈRE DE L'ÉDUCATION NATIONALE
INSTITUT NATIONAL POLYTECHNIQUE de Toulouse

DIPLÔME D'INGÉNIEUR
DE L'ÉCOLE NATIONALE SUPÉRIEURE

d'Electrotechnique d'Electronique d'Informatique et d'Hydraulique de Toulouse
Filière ELECTRONIQUE

LE DIRECTEUR ET LES PROFESSEURS DE L'ÉCOLE NATIONALE SUPÉRIEURE
d'Electrotechnique, d'Electronique, d'Informatique et d'Hydraulique de Toulouse
certifient que Me Gatti Marc, Jacques, Yvon
né à Nice (Alpes-Maritimes), le 15 Septembre 1958
a satisfait aux conditions prescrites pour l'obtention du Diplôme d'Ingénieur de l'E.N.S.
d'Electrotechnique d'Electronique et d'Hydraulique de Toulouse

Fait à Toulouse, le 26 juin 1987

Les Membres du Jury, Le Directeur,
[Signatures] *[Signature]*
NOUS, PRÉSIDENT DE L'INSTITUT NATIONAL POLYTECHNIQUE
de Toulouse, **Professeur B. TRANNON**

Vu l'article 11 du décret du 16 janvier 1947,
Vu le décret n° 69-930 du 14 octobre 1969,
délivrons le présent diplôme à Me Gatti Marc, Jacques, Yvon

Fait à TOULOUSE, le **10 JAN. 1988**

Le Président de l'Institut national polytechnique, Le Titulaire,
[Signature] *[Signature]*
Professeur M. MARTY **C. MONTALCINO**

Le Ministre de l'Éducation nationale,
#Le Directeur des Universités Supérieures
et par autorisation
N° 31.4.88.130

Évolution des Architectures des Systèmes Avioniques Embarqués

Diplôme d'Etudes Approfondies



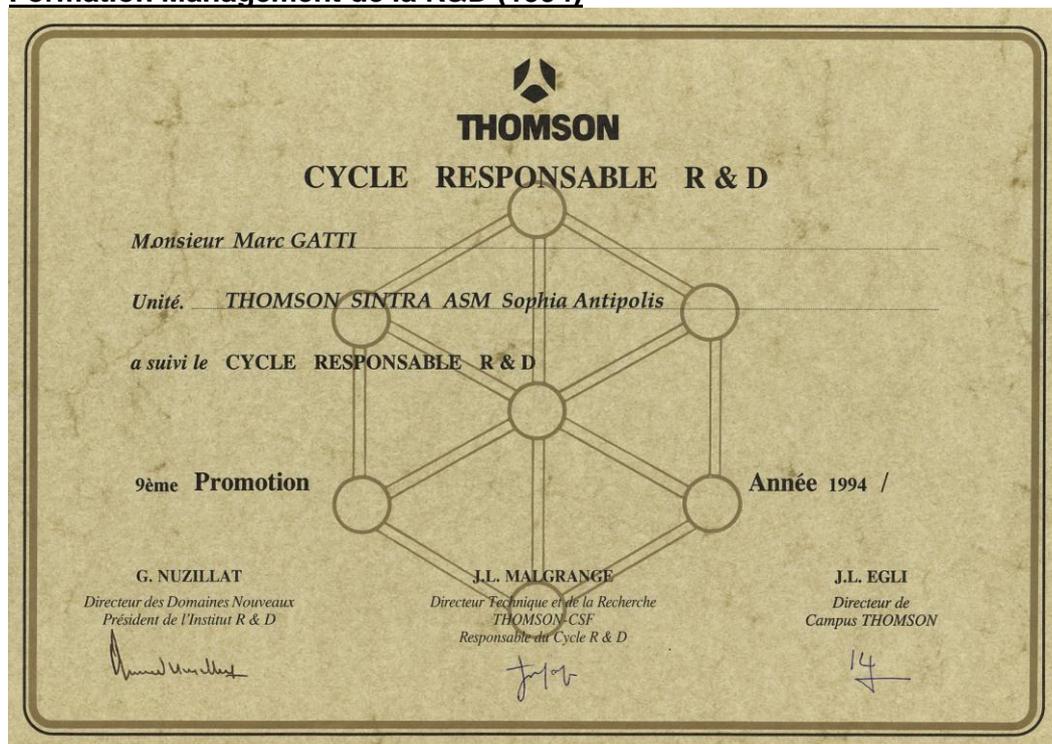
Évolution des Architectures des Systèmes Avioniques Embarqués

6.2 Formations Complémentaires

Formation Conception Systèmes DSP (1988)

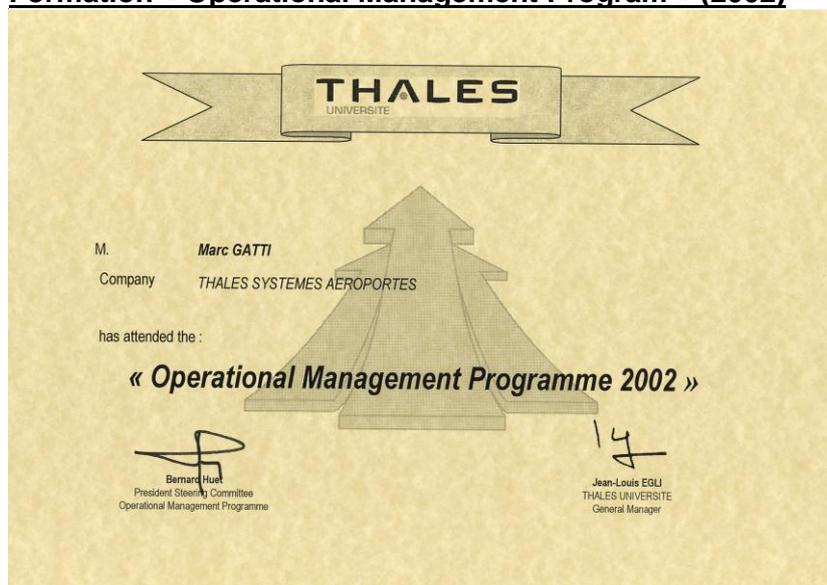


Formation Management de la R&D (1994)

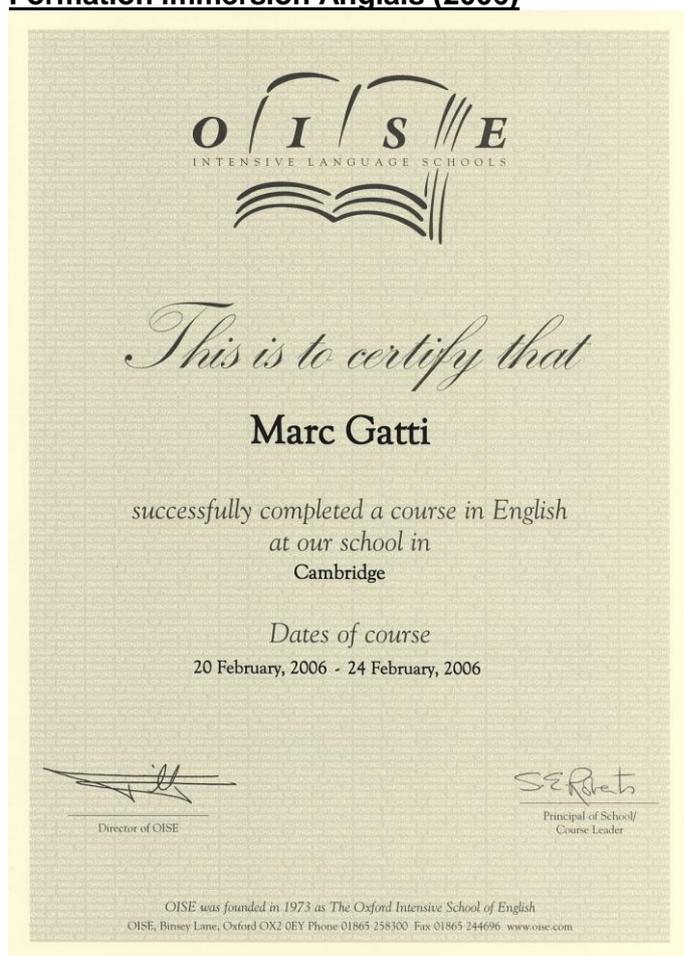


Évolution des Architectures des Systèmes Avioniques Embarqués

Formation « Operational Management Program » (2002)



Formation immersion Anglais (2006)



Évolution des Architectures des Systèmes Avioniques Embarqués

Expert Leadership Program (2010)

THALES

Direction des Ressources Humaines
G.I.E ASIRH / Département Formation

Convocation Individuelle

Pour :

MARC GATTI**S/C : SEGUINEAU JEAN-CHRISTOPHE** □

mardi 17 février 2015,

N° Session : 6292**Objet :** Convocation Formation

Nous avons le plaisir de vous confirmer votre inscription à la formation :

Expert leadership programme - Session 1 (Jouy en Josas)**Dates :** 24/05/2010, 25/05/2010, 26/05/2010, 27/05/2010, 28/05/2010, 20/09/2010, 21/09/2010,
22/09/2010, 23/09/2010, 24/09/2010, 29/11/2010, 30/11/2010, 01/12/2010, 02/12/2010,
03/12/2010**Adresse de formation :**

67 rue Charles de Gaulle

78350 JOUY-EN-JOSAS

Le premier jour de formation, l'heure de rendez-vous est à 09:00 et le dernier jour la formation devrait se terminer à 17:00.

Nous attirons votre attention sur le fait que toute annulation d'une inscription confirmée de votre part, dans les 10 jours avant le début de la session, sera facturée à votre société.

Conformément à l'accord groupe sur l'anticipation des évolutions d'emploi, du développement professionnel et de la formation signé le 22/11/2006 (paragraphe B 3.6), nous vous proposons d'effectuer cette formation dans le cadre de votre Droit Individuel à la Formation (DIF). Pour ce faire, merci de nous renvoyer le courrier ci-joint dûment rempli, pour la partie vous concernant.

Nous vous adressons également l'évaluation de stage à nous renvoyer dès la fin de votre formation.

Nous vous souhaitons une très bonne formation.

Bien cordialement,

Le GIE FORMATION

Évolution des Architectures des Systèmes Avioniques Embarqués

6.3 Evolutions Thales

Parcours au sein de Thomson Marconi Sonar



**THOMSON MARCONI
SONAR**

THOMSON MARCONI SONAR S.A.S.

525, Route des Dolines - B.P. 157
06903 SOPHIA ANTIPOLIS CEDEX - FRANCE

Tél. (+33) 04 92 96 30 00 - Fax (+33) 04 92 96 41 24

N/REF. : TMS SAS 2000/SRH/YM/MH

C E R T I F I C A T D E T R A V A I L

Je soussigné, Yves MARTIN, Responsable Ressources Humaines du centre THOMSON MARCONI SONAR S.A.S. de Valbonne Sophia Antipolis, atteste que :

Monsieur **GATTI Marc**

né le : 15 Septembre 1958 à NICE (06)

n° S.S. : 1 58 09 06 088 138 35

domicilié : **21, Avenue Ste Marguerite
BAT B
06200 NICE**

a fait partie de notre personnel en C.D.I. :
du 14/04/1980 au 31/10/2000

en qualité de :

Du 14/04/1980 au 31/10/1980 **Technicien Electronique Niveau IV2 (K270)**
Du 01/11/1980 au 31/01/1982 **Technicien Electronique Niveau IV3 (K285)**
Du 01/02/1982 au 31/05/1984 **Technicien Electronique Niveau V1 (K305)**
Du 01/10/1987 au 31/12/1991 **INGENIEUR 2**
Du 01/01/1992 au 31/10/2000 **INGENIEUR 3A**

il nous quitte ce jour, libre de tout engagement. Remis l'original en mains propres à l'intéressé.

Fait à Sophia Antipolis, le 31 Octobre 2000, pour servir et valoir ce que de droit.




Yves MARTIN
Responsable Ressources Humaines

Évolution des Architectures des Systèmes Avioniques Embarqués

Directeur Département

THALES

THALES SYSTEMES AEROPORTES

MEMO

De : J-Ch. ALESSANDRINI

Date : 25 novembre 2003

A :

Réf. : TASFR00258800

**CODIR TAS
CODOP
Personnel CTN***Copie :*

J. MASSOL

E. GRAVE

OBJET : NOMINATION

Sur proposition de Benoit PLANTIER, Marc GATTI prend la responsabilité du Département Calculateur et Traitement Numérique (CTN) de l'Unité Technique et Technologique, en remplacement d'Antoine SUIRE appelé à d'autres fonctions au sein de TAS.

Cette nomination prend effet à compter du 1^{er} décembre 2003.

J-Ch. ALESSANDRINI

Évolution des Architectures des Systèmes Avioniques Embarqués

Directeur Technique

THALES

Division Aéronautique / Aerospace Division

MEMO

De/From : Pierre IDRAC TBU ACS

Meudon, le 1er février 2008

A/To : CODIR FRANCE

CODIR ACS

Ref : ACS/08/001103 IR00

NOMINATION / APPOINTMENT

A compter du 1^{er} février 2008, **Marc GATTI** est nommé Directeur Technique et de la Stratégie de la TBU ACS.

From 1st February 2008, **Marc GATTI** is appointed Technical and Strategy Director of the TBU ACS.

Pierre IDRAC

Directeur de la TBU ACS

Évolution des Architectures des Systèmes Avioniques Embarqués

6.4 Prix de l'Invention



Évolution des Architectures des Systèmes Avioniques Embarqués

6.5 Conférences

DASC 2011



Évolution des Architectures des Systèmes Avioniques Embarqués

IMA MOSCOU 2012



Программа международной научно-практической конференции «Состояние и перспективы развития интегрированной модульной авионики»
Москва, гостиница «Аэростар», зал «Петровский»
29–30 октября 2012

International Scientific and Practical Conference «Integrated Modular Avionics State and Prospects of Development»
Moscow, Hotel Aerostar, Hall “Petrovskiy”
October 29-30, 2012

День 1. 29 октября 2012

Day 1. October 29, 2012

9:00 *Регистрация, чай/кофе*

9:00 *Registration, Welcome coffee*

10:00 Приветствие – А.И. Богинский, Директор Департамента авиационной промышленности Минпромторга России

10:00 Welcome – A. Boginskiy, Ministry for Industry and Trade of Russia, Director of Aviation Industry Department

Открытие конференции – С. Ю. Желтов, Генеральный директор ФГУП «ГосНИИАС»

Opening – S. Zheltov, GosNIAS Director General

Секция № 1. Перспективные направления развития архитектуры и компонентов интегрированной модульной авионики

Panel No. 1. Long-term lines of IMA architecture and components development

10:15 Перспективы развития комплекса бортового оборудования на базе ИМА в Российской Федерации (В. Косьянчук, ГосНИИАС)

10:15 Future prospect of Airborne Equipment Complex based on IMA in the Russian Federation (V. Kosyanchuk, GosNIAS)

10:45 Результаты проекта 7-ой ПП ЕС SCARLETT (M. Gatti, J. Huysseune, Thales)

10:45 Results of the FP7 SCARLETT Project (M. Gatti, J. Huysseune, Thales)

Évolution des Architectures des Systèmes Avioniques Embarqués

11:15 Операционная система реального времени для ИМА (S. Tverdyshev, Sysgo)

11:45 *Чай/кофе*

12:00 Новые технологические решения для систем ИМА (M. Gatti, Thales)

12:30 Архитектура перспективных многопроцессорных вычислительных систем для ИМА (А. Тимченко, ОАО НКБ ВС)

13:00 Разработка компонентов вычислительных систем (А. Федоров, ЗАО «КОТЛИН-НОВАТОР»)

13:30 Разработка информационно-вычислительной системы на базе платформы интегрированной модульной авионики (М. Панков, ОАО Раменское ПКБ)

14:00 *Чай/кофе*

Секция № 2. Новая функциональность бортового оборудования на платформе ИМА, совершенствование интерфейса «экипаж – бортовое оборудование»

15:00 Состояние и перспективы развития ИМА системы связи (Л. Вдовин, ОАО НПП «Полет»)

11:15 Real Time Operating System for IMA (S. Tverdyshev, Sysgo)

11:45 *Coffee-break*

12:00 New technological solutions for IMA systems (M. Gatti, Thales)

12:30 Architecture of advanced multiprocessor computer systems for IMA (A. Timchenko, Taganrog Scientific Design Bureau of Computer Systems)

13:00 Development of computer system components (A. Fedorov, Kotlin Novator)

13:30 Development of Information and Computer System based on IMA platform (M. Pankov, Ramenskoye Design Bureau)

14:00 *Coffee-break*

Panel No. 2. New functionality of airborne equipment on IMA platform. Improvement of “crew – airborne equipment” interface

15:00 State and future prospect of IMA Communication System (L. Vdovin, Polet)

Évolution des Architectures des Systèmes Avioniques Embarqués

Avionics Europe 2013



THALES MAKES WAVES AT AVIONICS EUROPE 2012

In March 2012, Thales Avionics was among the corporate sponsors of Avionics Europe, a unique event that draws almost 1,000 participants from the electronics field for civil and military avionics in Munich, Germany.

Other than the Thales booth, which showcased the TopDeck avionics suite, our Electronic Flight Bag (EFB) and the latest progress achieved on the SESAR (Single European Sky Air traffic management Research) programme, experts also featured heavily in the programme of technical conferences.

Marc Gatti, Technical Director of Thales's Computers competence centre, led two sessions in conjunction with postgraduate students who are currently in his team, Antoine Canu and Hicham Agrou. The first keynote was on reconfigurable avionics interfaces, while the other focused on improving the determinism of multi-core processing for avionics needs.

Marc Gatti also chaired a conference about innovation when developing certification, with Senior Expert Marc Fournier in hand to discuss the shift from Integrated Modular Avionics to Extended Integrated Modular Avionics.

The show also provided the opportunity to meet players from the aeronautical industry, airlines and suppliers. The next event is scheduled for February 2013.

Avionics Europe is a European event that brings together experts and policy makers from the worlds of avionics and defence. At the exhibition and conferences, the event welcomes scientists, engineers, certification specialists and the main European avionics manufacturers, software and hardware components suppliers, integrators, airlines etc.

Pictured: Thales's Marc Gatti being interviewed by news channel CNN.

Évolution des Architectures des Systèmes Avioniques Embarqués

SAE 2014



Évolution des Architectures des Systèmes Avioniques Embarqués

Aviation Electronics Europe



[Home](#)
[Registration](#)
[Conference](#)
[Exhibition](#)
[Venue](#)
[Avionics Magazine](#)
[Contacts](#)

Advisory Committee

[Home](#) / [Advisory Committee](#)

Aviation Electronics Europe would like to thank the support, expert guidance and contributions from our Conference Advisory Committee:

- ✓ Mark Holmes, Editorial Director, Avionics Magazine and Via Satellite, UK (Chair)
- ✓ Thierry Harquin, Engineering – Systems Senior Manager, Airbus
- ✓ Lars Lindberg, President, AVTECH Sweden AB, Sweden
- ✓ Jakob Gartner, LEA Consulting, Germany
- ✓ Abdoulaye N'Diaye, Secretary General, EUROCAE, France
- ✓ Peter Green, Head of Single European Sky (SES) unit, EUROCONTROL, Belgium
- ✓ Darren L'Heureux, Director, Technical Sales – Avionics, Honeywell, UK
- ✓ Philippe Lievin, EuMEA Senior Director of Marketing and Strategy, Rockwell Collins, Netherlands
- ✓ William Cecil, Director of Business Development, Teledyne Controls, USA
- ✓ Marc Gatti, Advanced R&T Director, Thales Avionics SAS, France
- ✓ Mirko Jakovljevic, Director, TTTech, Austria
- ✓ Alex Wilson, Director, Business Development, Aerospace and Defence, Wind River, UK

Évolution des Architectures des Systèmes Avioniques Embarqués

ENC 2015

07 - 10 April 2015

European Navigation Conference 2015
Technology - Innovation - Business

Centre de Congrès Cité Mondiale
Bordeaux - France

<ul style="list-style-type: none"> About ENC 2015 <li style="background-color: orange; color: white; padding: 2px;">Conferences: ▪ Welcome <li style="background-color: orange; color: white; padding: 2px;">▪ Committees ▪ Programme-at-a-glance ▪ Programme ▪ Social programme <li style="background-color: #4a86e8; color: white; padding: 2px;">Papers ▪ Information to authors ▪ Call for papers <li style="background-color: #4a86e8; color: white; padding: 2px;">Registration <li style="background-color: #4a86e8; color: white; padding: 2px;">Sponsors / Exhibitors <li style="background-color: #4a86e8; color: white; padding: 2px;">Practical information ▪ Venue ▪ Hotels <li style="background-color: #2c3e50; color: white; padding: 2px;">Partners <li style="text-align: center; padding: 10px;"> <li style="background-color: #2c3e50; color: white; padding: 2px;">Exhibitors <li style="text-align: center; padding: 10px;"> <li style="background-color: #2c3e50; color: white; padding: 2px;">Media Partner 	<div style="display: flex; align-items: center;"> <h2 style="margin: 0;">Committees</h2> </div> <h3 style="color: #4a86e8; margin-top: 10px;">Local organising committee</h3> <ul style="list-style-type: none"> ▪ Pierre BOUNIOL – IFN ▪ Florence GHIRON – TOPOS ▪ Roxanne VILLET – TOPOS ▪ Philippe LAVIRON – Thales ▪ César LACAILLE – Thales ▪ Chantal DELABARRE – CNES <h3 style="color: #4a86e8; margin-top: 10px;">Scientific committee</h3> <ul style="list-style-type: none"> ▪ Boubeker BELABBAS – DLR ▪ Loic BERNARD – Institut Saint-Louis ▪ Sébastien CHANGEY – Institut Saint-Louis ▪ Mark DUMVILLE – NSL ▪ Pierre-Yves DUSSAUZE – CNES ▪ Marc GATTI – Thales ▪ Martin HOLLREISER – ESA ▪ Andriy KONOVALTSEV – DLR ▪ Philippe LAVIRON – Thales ▪ Juan De MATEO – ESA Toulouse ▪ Bertrand MERMINOD – Ecole Polytechnique Fédérale de Lausanne (EPFL) ▪ Michael MEURER – DLR ▪ Marc REVOL – Thales ▪ Mohamed SAHMOUDI – ISAE ▪ Jaron SAMSON – ESA ▪ Norbert SUARD – CNES <div style="margin-top: 20px; display: flex; gap: 10px;"> Print PDF </div>	<div style="background-color: orange; color: white; text-align: center; padding: 5px; font-weight: bold;">Registrations are open</div> <div style="background-color: orange; color: white; text-align: center; padding: 5px; margin-top: 5px;"> My account </div> <div style="background-color: orange; color: white; text-align: center; padding: 5px; margin-top: 5px;"> Access committees </div> <div style="background-color: #2c3e50; color: white; text-align: center; padding: 5px; font-weight: bold; margin-top: 10px;">Important dates</div> <div style="padding: 5px;"> <p>Last Deadline Abstract Submission! 15th January 2015</p> <p>Registrations opening 2nd February 2015</p> <p>Notification of Acceptance 16th February 2015</p> <p>Deadline Early Bird Registration 16th March 2015</p> <p>Deadline Paper Submission – Best Paper Award Student Challenge 16th March 2015</p> <p>Deadline Paper Submission 31st March 2015</p> </div> <div style="background-color: #2c3e50; color: white; text-align: center; padding: 5px; font-weight: bold; margin-top: 10px;">Contact</div> <div style="padding: 5px;"> <p>Conference Secretariat ENC 2015 – TOPOS AQUITAINE 25 rue Marcel Issartier BP 2005 33700 MERIGNAC - FRANCE conference.secretariat@enc2015.eu</p> <p>Registration Secretariat contact@enc2015.eu</p> </div> <div style="background-color: #2c3e50; color: white; text-align: center; padding: 5px; font-weight: bold; margin-top: 10px;">Search</div>
---	---	--

Évolution des Architectures des Systèmes Avioniques Embarqués

MEPHOCO 2015

FOURTH MEDITERRANEAN PHOTONICS CONFERENCE

Details on the conference location, registration, and accommodation will be soon available on the web site of the conference.

For any preliminary information, please, contact: v.penouil@routedeslasers.com

PATRONAGE & SPONSORSHIP



Associazione Gruppo
Italiano di Elettronica



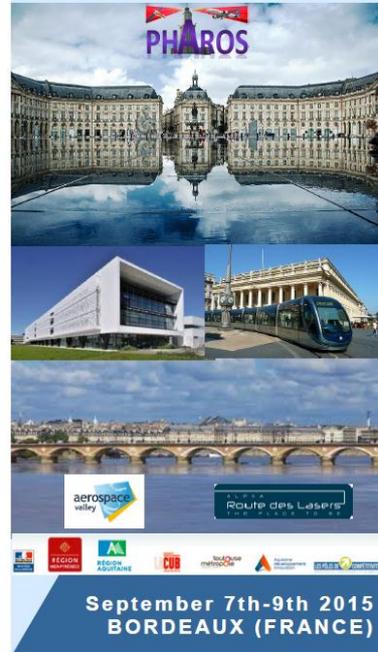
Politecnico di Bari



Università degli Studi
del Sannio

Fourth Mediterranean Photonics Conference

July 8th-10th 2015-Bordeaux (France)



September 7th-9th 2015
BORDEAUX (FRANCE)

The fourth edition of the Mediterranean Photonics Conference, will be held in Bordeaux (France) after the successful past editions in Ischia (Italy, 2008), Eilat (Israel, 2010) and Trani (Italy, 2014).

The objective is to create a forum to discuss new ideas and emerging technologies in optoelectronics and photonics from the research levels to the commercial applications.

Due to the incredible growth of new technologies and the wide diffusion of photonic devices in several application fields, the aim is to encourage contributions able to stimulate multidisciplinary approach towards future research, looking, at the same time, at new materials, technologies and numerical techniques.

The organizers intend to create a colloquial and informal atmosphere in order to help the knowledge exchanges and the activation of new collaborations.

General Chair *Alain Bensoussan*

Co-Chairs *Mario N. Armenise
Antonello Cutolo
Andrea Cusano
Caterina Ciminelli*

Program Committee

*Alireza Bahrapour (Sharif University, IRAN)
Alain Bensoussan (IRT Saint Exupery, France)
Richard M. De La Rue (Glasgow Univ., UK)
Marc Gatti (Thales Avionics, France)
Norbert Grote (Fraunhofer Inst. Berlin, Germany)
Gerald Guibaud (Thales Comm. & Security, France)
Thomas Krauss (York Univ., UK)
Françoise Lozes (LAAS-CNRS, France)
Paolo Lugli (Tech, Univ. Munich, Germany)
Iain Mc Kenzie (ESA, Netherlands)
Georg Pucker (Bruno Kessler Found. Trento, Italy)
Graham Reed (Southampton Univ., UK)
Conchita Sibilio (Univ. Rome La Sapienza Italy)
Marc Sorel (Glasgow Univ., UK)
Meint Smit (Eindhoven Univ., Netherlands)
Massimo Vanzi (Univ. Cagliari, Italy)*

Organizing Committee

*Aerospace Valley Cluster (Toulouse, France)
Route des Lasers Cluster (Bordeaux, France)
Strategic Activity PHAROS (France) supported by:*

*Alain Bensoussan (IRT Saint Exupery, France)
Hervé Floch (Route des Lasers, France)
Bertrand Viellerobe (Route des Lasers, France)
Marc Gatti (Thales Avionics, France)
Olivier Guérineau (Thales Syst. Aéroportés, France)
Celestin Sedgbo (Thales Avionics, France)
Françoise Lozes (LAAS-CNRS, France)*

Veronique Penouil (Route des Lasers, France)

Topics include but are not restricted to:

Materials and technologies

Semiconductors, Silicon and post silicon materials
Polymers, carbon nanotubes, organic and metamaterials for photonics, devices and technology

Components and devices

Micro and nanophotonics devices, Photonic crystals, plamomics
Optical fibers, Guided and integrated optics, Integrated laser sources

And their applications to

Telecommunications and telecommunication systems
Non linear optics
Optical sensors and Microwave Photonics
Optical contactless characterization techniques
High precision measurements and nanometrology
Industrial applications
Aeronautic, space and underwater applications
Structural and environment monitoring
Biosensors and biomedical applications
Homeland security

Deadline for submitting a three page summary:
March 1st 2015

Acceptance notification by May 1st 2015

For further information, please, contact:
v.penouil@routedeslasers.com

Évolution des Architectures des Systèmes Avioniques Embarqués

6.6 Diffusion des Connaissances et Compétences

Auprès de Collégiens (2012)

THALES PEOPLEONLINE

Accueil > Au quotidien > Thales Avionics SAS > Ressources humaines > Actualités > Sensibiliser les collégiens à nos métiers?

RESSOURCES HUMAINES

A la Une

- Qui sommes-nous ?

Au quotidien

- Fiches pratiques
- Télétravail
- Administration / paie
- Déplacement / missions
- Formulaires

PARTAGER UNE CULTURE COMMUNE

- Valeurs
- Together
- e-HR Together
- Info news RH

DEVELOPPER TOUS LES TALENTS AU SEIN DE THALES

Sensibiliser les collégiens à nos métiers?

Publiée le mardi 21 février 2012 (modifiée le 21 février 2012, 16:02)

Dans le cadre de l'édition 2012 de l'initiative « Je filme le métier qui me plaît », le site de Pessac a accueilli le 1er février dernier une équipe de tournage d'une dizaine de collégiens venus découvrir différents métiers de l'entreprise en compagnie de Marc Gatti, directeur Technique et Études Amonts du centre de compétence Calculateurs.

Initiative « Je filme le métier qui me plaît » : tournage sur le site de Pessac

Revenir aux actualités

Auprès de la communauté Thales (2011)

THALES PEOPLEONLINE

Accueil > Au quotidien > Thales Avionics SAS > Actualités > 4ème édition des midis du personnel

TAV_VÉLIZY

- Accueil & Actualités
- Notre Etablissement
- Activités TAV-Vélizy
- TEAM BRIEF TAV Vélizy
- Ressources humaines
- Communication
- Environnement et sécurité
- Accéder à / liens utiles
- Vie Sociale

4ème édition des midis du personnel

Publiée le lundi 6 juin 2011 (modifiée le 20 mai 2014, 17:05)

le 7 juin 2011, Marc Gatti et Mickael Lafaye vous présentent : La modélisation et son apport pour l'IMA

Les midis du Personnel
7 juin 2011
2 sessions : 13h-15h / 15h-17h
Site de Vélizy

IMA PLATFORM SIZING PROCESS
Management of constraints
Solve a solution

EARLY VALIDATION TOOL PRINCIPLE
Scoping
CAPACITES
Early Validation Tool

Évolution des Architectures des Systèmes Avioniques Embarqués

Avec les étudiants (2009)

JEUDI 4 JUIN 2009
WWW.SUDOUEST.COM

Bordeaux riv

PESSAC / TALENCE

Des ondes positives

THALÈS-ENSEIRB À Talence, trois prix remis par l'industriel, implanté notamment à Pessac, récompensent des étudiants en télécommunications de la grande école

WILLY DALLAY

w.dallay@sudouest.com

Chez Thalès, l'habit ne fait pas le moine. Christian Alberdi, par exemple, directeur technique des sites de Pessac et du Haillan : qui aurait dit que, dans son uniforme gris métallisé de cadre d'une entreprise qui veille électro-techniquement à la sécurité des états, il sortirait de son ordinateur un éloge de « l'homme déraisonnable » par Bernard Shaw ? Un provocateur en attaché-case ? « Recherchez le plaisir dans les problèmes. » Cette étrange recette a, au moins, un avantage par les temps qui courent : la matière première ne manque pas.

Eh bien, les très sérieux élèves de l'Enseirb, École nationale supérieure d'électronique, informatique et radiocommunications de Bordeaux, ont bu ses paroles comme du petit-lait ! Il ne faut pas croire... « Les ingénieurs ne sont pas des machines », témoigne Coleen Desbois, l'une des lauréates des prix Thalès-Enseirb récompensant trois projets collectifs. « Pour nous qui suivons des cours très techniques, ce n'est pas négligeable d'avoir le point de vue d'un manager », ajoute Nicolas Bouny. Un manager-ingénieur, en ce qui concerne M. Alberdi, lui-même ancien élève de l'Enseirb.

Recette anti-crise

Thalès, leader international d'électronique et de systèmes aussi bien militaires que civils, est un bon débouché pour l'école implantée à Talence. La crise n'exclut pas les embauches : « Le pessimiste se cache



Un contact profitable entre professionnels et étudiants. PHOTO W. D.

TROIS PRIX, UN PARTENARIAT

« Ces projets nous ont donné l'occasion de nous confronter au regard critique de professionnels. Cela nous permet de nous projeter dans la réalité du métier d'ingénieur », ont dit les étudiants. Les projets d'étude, avec applications concrètes, étaient déjà inscrits dans le cursus des élèves de l'école. La nouveauté, c'est le partenariat avec

en attendant que ça passe. L'optimiste cherche les opportunités », a dit Marc Gatti, un autre directeur technique. « Les crises sont cycliques et on en sort à un point toujours supérieur. » Il est vrai que Thalès ne dépend pas, comme un constructeur automobile, du blues

des ménages. À voir la présentation séduisante de l'entreprise pour susciter des vocations, on pouvait en déduire d'intéressantes perspectives.

Même s'il n'était pas question d'embauche, ni officiellement de repérage, la directrice des ressour-

ces humaines, Axelle Bruzzone avait fait le déplacement, accompagnée notamment du responsable parisien des liens avec l'Enseirb, Éric Raiser... un ancien de l'école (1).

Savoir être

Tous les élèves ne « finissent » pas chez Thalès. Ceux de la filière télécom sont aussi recherchés par des opérateurs de téléphonie, des entreprises de services informatiques, des banques... avec de bonnes rémunérations à la clé. Mais Christian Alberdi l'a dit : « L'argent ne doit pas être un moteur. Juste une conséquence. » Le savoir-être selon Thalès ?

(1) L'Enseirb était représentée par deux maîtres de conférence, Éric Grivel et Laurent Revellère.

Évolution des Architectures des Systèmes Avioniques Embarqués

Une journée d'échanges autour du Vieillessement des Compétences

Vieillessement des technologies et domaines submicroniques → Partage des compétences et partenariats académiques



22 avril 2010, rencontre à Meudon des experts des technologies 'DSM' (Deep Sub Micron*)
* technologies inférieures au µm

Sur cette photo : Au premier rang de droite à gauche : Patrick Carton Thales EPM, Arnaud Grasset TRT, Eric Duroi Thales Optronics, Sébastien Thomas Doctorant THAV CCC, David Faura THAV CCC, Francine Pierre THAV CCC, Michel Gueguen DAV, Jean-Christophe Séguineau Directeur site THAV Meudon, Marc Gatti THAV CCC Etudes amont, Antoine Canu Doctorant THAV CCC. Au deuxième rang de gauche à droite : Eric Debes et Sami Yehia TRT, Guillaume Duc ENST ParisTech, Jean-Claude Clément Thales LATPI, Bruno Foucher EADS IW, Patrick Gremillet DAV, Gérard Lagarde DAV Achats, Brian Ripert THAV NAV, Didier Régis THAV CCC, Pascal Lorho THAV ASW, Dominique Carisetti Thales LATPI, Florian Molière Doctorant EADS IW, Franck Bayle THAV NAV.



Avril 2010 / THAV / Centre de Compétences Calculateurs/Etudes amont

Autres invités/participants : Bernard Candaele Thales Com, Alain Bertrand THAV CCC, Dominique Beauvallet THAV CCC, Alain Tucoulet THAV CCC, François Giersch Thales Air System, Vincent Pouget IMS Bordeaux, Martin Pottendorfer Thales Rail Signalling Solutions, Peter Durrant Thales UK

Évolution des Architectures des Systèmes Avioniques Embarqués

Avec les Lycéens

« Je filme le métier qui me plaît » : Remise des Prix

Publiée le mardi 24 mai 2011 (modifiée le 20 mai 2014, 17:05)

Le 12 mai dernier la remise des prix de l'opération « Je filme le métier qui me plaît » avait lieu au Forum des images à Paris.

La cérémonie était présidée par Claude Pinoteau* et structurée autour de 14 prix.

Le film « LE CALCULATEUR » tourné au sein de CCC à Meudon a remporté le « Clap Nouveaux Métiers »!

Merci aux acteurs Thales CCC : V. Arvis, B. Bellin, JP. Borel, C. Boudard, P. Dupeux, M. Gatti, P. Manesse, P. Montigny

* Réalisateur de « La Boum », « La Gifle », « L'Etudiante »...



Remise du Prix par Thales, représenté par Didier Pignon, aux élèves du collège Elsa Triolet, leurs professeurs et l'équipe Thales ayant participé à la réalisation de ce film

Évolution des Architectures des Systèmes Avioniques Embarqués

Initiative « Je filme le métier qui me plaît » : tournage sur le site de Pessac



Publiée le mardi 14 février 2012 (modifiée le 14 février 2012, 10:02)

Le 1er février dernier, le site Thales Systèmes Aéroportés de Pessac a accueilli une équipe de tournage d'une dizaine de collégiens dans le cadre de l'édition 2012 de l'initiative « Je filme le métier qui me plaît ».

Ces élèves âgés de 14 à 15 ans, venus en Gironde depuis leur collège de Varennes-sur-Seine (Seine-et-Marne) avec le reste de leur classe de 3e et accompagnés par leur professeur de mathématiques (et passionné de cinéma) Didier Chabenet, ont pu découvrir différents métiers de l'entreprise en compagnie de Marc Gatti, directeur Technique et Études Amonts du centre de compétence Calculateurs (Thales Systèmes Aéroportés / Thales Avionics).

Chacun de ces jeunes cinéastes a assuré un rôle précis (réalisateur, cadreur, preneur de son, technicien en charge du « clap », etc.) sur la base d'un plan de tournage - comprenant script et découpage complète par séquences et scènes - élaboré par Marc Gatti.

Le reportage s'est focalisé sur la zone « essais spéciaux » du site, conjuguant présentations, témoignages et démonstrations de différents moyens de tester la résistance aux chocs, aux vibrations ou encore au brouillard salin de nos équipements, dont l'enceinte climatique d'essais « Qualmark ». Merci pour leurs participations et témoignages à Aurélie OLIVIER-LATAPIE, Hubert JEUSEL et Philippe DESCOURS.



Sensibiliser les collégiens

C'est ce même collège de Varennes-sur-Seine qui avait remporté un grand prix dans le cadre de l'édition 2011 de l'opération « Je filme le métier qui me plaît » pour le clip sur « le calculateur » tourné sur le site Thales Avionics de Meudon. Ce concours, qui est aujourd'hui dans sa cinquième année, est menée par leCanaldesMetiers.tv et Euro-France Médias et a pour objectif de sensibiliser les collégiens et lycéens sur les différentes représentations des métiers et du monde du travail.

Évolution des Architectures des Systèmes Avioniques Embarqués

Cette page est laissée blanche intentionnellement.

Évolution des Architectures des Systèmes Avioniques Embarqués

7 RÉFÉRENCES

[REF_01] AERES (Agence d'évaluation de la Recherche et de l'enseignement supérieur) – Rapport d'évaluation de l'école doctorale n°130 – Informatique, télécommunication et Electronique de l'Université Paris 6 – pierre et marie Curie – Vague D – 2014-2018 – Campagne d'évaluation 2012-2013

[REF_02] Sonars et acoustique sous-marine Vol. 1: le milieu marin, l'interface acoustique électrique, structures d'antennes
Jean-Paul MARAGE et Yvon MORIN de Thomson-Marconi Sonar
Hermes Science

[REF-03] Traitement d'Antenne Adaptatif à Large bande pour les Sonars Actifs ou passif
Quatrième colloque sur le Traitement du Signal et de ses applications – Mai 73
Georges BIENVENU, Thomson-CSF Division des Activités Sous-Marines

[REF-XX] Pour l'ensemble des références, se référer aux bibliographies décrites dans les publications .

Évolution des Architectures des Systèmes Avioniques Embarqués

Cette page est laissée blanche intentionnellement.

Évolution des Architectures des Systèmes Avioniques Embarqués

8 ANNEXES

8.1 Annexe 1 : TRL ou Technology Readiness Level ou Niveau de Maturité Technique

Ci-dessous le référentiel de gestion des niveaux de TRL :

NIVEAUX DE MATURITÉ DE TECHNOLOGIES (GÉNÉRIQUES ET APPLIQUÉES)

APPELLATION	VALEUR	CRITÈRES À SATISFAIRE
Essais systèmes, vols, missions opérationnelles	9	Produit série, bon fonctionnement en vol démontré lors de missions opérationnelles réussies
Développement produits et sous-ensembles	8	Produit développé et «qualifié vol» lors d'essais sol ou vol
	7	Produit prototype, bon fonctionnement démontré en environnement réel
Démo produit	6	Démonstrateur ou prototype d'ensemble ou sous-ensemble, fonctionnement démontré en environnement représentatif
Démo technologie	5	Sous-ensembles validés en environnement représentatif
	4	Sous-ensembles validés en environnement laboratoire
	3	Fonctions et/ou caractéristiques critiques démontrées analytiquement ou expérimentalement
Recherche	2	Concept et/ou application technologique formulé(s)
	1	Principes de base identifiés ou décrits

Évolution des Architectures des Systèmes Avioniques Embarqués

*" Fais de ta vie un rêve, et d'un rêve,
une réalité."*

Antoine de St Exupéry

*Né le 29 juin 1900 à Lyon1 et disparu en vol le 31
juillet 1944*

**Dossier de Validation des Acquis de l'Expérience en
vue de l'obtention d'un Doctorat dans l'École
Doctorale Informatique, Télécommunication et
Électronique de Paris, de l'UPMC**

Année Universitaire 2015 - 2016

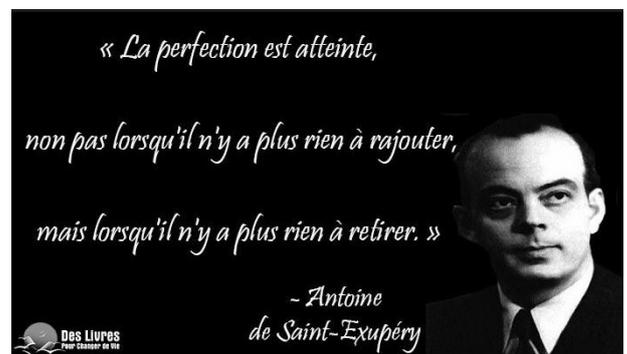
**Évolution des Architectures des
Systèmes Avioniques Embarqués**

par

Marc GATTI

Directeur Recherche & Technologie de la Division Avionique de Thales

Évolution des Architectures des Systèmes Avioniques Embarqués



Évolution des Architectures des Systèmes Avioniques Embarqués

Résumé

De nos jours, les systèmes embarqués sont les éléments Cœurs des Systèmes avioniques. De plus en plus de fonctions sont intégrées et de ce fait leurs complexités croît.

Afin que cette complexité puisse rester maîtrisable, l'architecture des systèmes avionique a également évolué de façon à minimiser les interactions entre les équipements. Cette évolution des Architectures a introduit, au niveau avionique, la notion de réseau largement répandue dans le monde dit « consumer ».

Nos travaux de Recherche ont pour but d'accompagner cette évolution architecturale en minimisant l'impact des ruptures technologiques qu'il a été nécessaire d'introduire afin de supporter cette évolution.

Pour cela, nous proposons une approche qui va nous permettre de dé-risquer chaque nouvelle brique technologique avant son introduction au sein des Systèmes Embarqués. Cette introduction pourra donc être réalisée en ayant au préalable défini les conditions ainsi que les limites d'utilisation de chaque nouvelle technologie, qu'elle soit matérielle et/ou logicielle.

Mots-clés : Systèmes Embarqués, Architecture, Systèmes Avioniques.

Évolution des Architectures des Systèmes Avioniques Embarqués

Abstract

Nowadays, Embedded Systems are key elements of the Avionic Systems. As more and more functions are integrated, their complexity goes increasing.

In order to keep mastering this complexity, Avionic Systems Architecture has also evolved so as to minimize the interactions between equipment. This evolution of the Architectures introduced, at the avionic level, the notion of network widely spread in the consumer domain.

Our research works aim at accompanying this architectural evolution by minimizing the impact of the technological breakthroughs which were necessary to introduce to support this evolution.

For that purpose, we propose an approach which is going to allow us to derisk every new technological brick before its introduction within the Embedded Systems. This introduction can thus be performed by having beforehand defined the conditions as well as the limits of use of every new technology that it is Hardware and/or Software.

Keywords: Embedded Systems, Architecture, Avionic Systems.

Évolution des Architectures des Systèmes Avioniques Embarqués

Table des matières

1	Table des Illustrations	88
2	Introduction générale	90
2.1	Contexte	91
2.2	Problématique	92
2.3	Résumé des contributions	94
2.4	Plan du mémoire	96
3	Enjeux industriels et scientifiques	98
3.1	Contexte Avionique	99
3.1.1	Technologies embarquées dans les systèmes avioniques	99
3.1.1.1	Introduction	99
3.1.1.2	Évolution des systèmes avioniques	100
3.1.1.2.1	Avionique dite Analogique	100
3.1.1.2.2	Avionique dite Numérique Fédérée	101
3.1.1.2.3	Architecture Avionique Modulaire	102
3.1.1.3	Architecture d'un système IMA	104
3.1.1.3.1	Le besoin	104
3.1.1.3.2	Avionique Modulaire Intégrée (IMA)	105
3.1.1.4	Propriété de Partitionnement Robuste	110
3.1.1.4.1	Space Partitioning	111
3.1.1.4.2	Time partitioning au niveau exécution logicielle	112
3.1.1.5	Time partitioning au niveau communication	112
3.1.1.6	Profil des applications déployées dans les systèmes IMA	113
3.1.2	Synthèse	114
3.2	De l'IMA de première génération (1G) vers l'IMA de seconde génération (2G)	115
3.2.1	Une étape intermédiaire, l'IMA_1,5G	115
3.2.1.1	Architecture IMA_1G	115
3.2.1.2	Architecture IMA_1,5G	116
3.2.1.3	Principales évolutions entre IMA_1G et IMA_1,5G	116
3.2.1.3.1	Au niveau processing	116
3.2.1.3.2	Au niveau des entrées / sorties	117
3.2.1.3.3	Au niveau configuration	117
3.2.2	Vers l'IMA_2G	119
4	Démarche scientifique	122
4.1	Stratégie de Recherche	123
4.2	Les axes d'évolution	124
4.2.1	Au niveau Architectural	124
4.2.1.1	Au niveau Blade de Calcul	125
4.2.1.2	Au niveau Blade d'entrées / sorties	126
4.2.2	Processing : du mono-cœur aux multi-cœurs	127
4.2.3	Du Calculateur à la Notion de Plate-forme Avionique	130

Évolution des Architectures des Systèmes Avioniques Embarqués

4.2.3.1	Des Services plateforme, pour Qui ? et pour Quoi ?	131
4.2.4	Réseau : Évolution ARINC664	133
4.2.5	Operating System	136
4.2.5.1	Introduction	136
4.2.5.2	Multi-Processing Asymétrique (AMP)	137
4.2.5.3	Symmetric multiprocessing (SMP)	138
4.2.5.4	Bound multiprocessing (BMP)	139
4.2.5.5	Stratégie de Migration	140
4.2.5.6	Choix entre AMP, SMP et BMP	140
4.2.6	Gestion des Entrées / Sorties	140
4.2.6.1	Introduction	140
4.2.6.2	La versatilité : Vers une réduction du nombre de « Parts Number »	142
4.2.6.3	Caractéristiques de ces interfaces d'Entrées / Sorties	145
4.2.7	La problématique DSM	145
4.2.7.1	Position du Problème	145
4.2.7.2	Impact des Radiations sur l'Accélération de ces Mécanismes	150
4.2.7.3	Conséquences	152
4.2.7.3.1	Prise en compte du vieillissement	152
4.2.7.3.2	Cas des composants DSM	153
4.2.7.3.3	Le vieillissement des DSM	154
4.2.8	Synthèse	156
5	Contributions	160
5.1	Recherche de solutions non intrusives permettant de mesurer les effets du vieillissement des composants électroniques	162
5.1.1	Description	162
5.1.1.1	L'Electromigration	163
5.1.1.2	Le HCI	164
5.1.1.3	Le NBTI	164
5.1.2	Bilan	165
5.1.2.1	Publications	165
5.1.2.2	Partenariat académiques	165
5.1.2.3	Encadrement	165
5.2	Maîtrise des architectures processeurs multi-cœurs COTS dans des environnements aéronautiques certifiables	166
5.2.1	Description	166
5.2.2	Bilan	169
5.2.2.1	Publications	169
5.2.2.2	Partenariat académiques	169
5.2.2.3	Encadrement	169
5.3	Conversion analogique / numérique versatile dans un environnement avionique contraint	170
5.3.1	Description	170
5.3.1.1	La versatilité ou comment réduire le nombre de « Parts Numbers »	171
5.3.1.2	Interface d'entrées / sorties avionique conventionnelles	173
5.3.1.3	Principe d'une interface versatile de type entrée	174
5.3.1.4	L'architecture d'une Interface d'entrée Versatile	175
5.3.2	Bilan	175

Évolution des Architectures des Systèmes Avioniques Embarqués

5.3.2.1	Publications	175
5.3.2.2	Partenariat académique	175
5.3.2.3	Encadrement	175
5.4	Modélisation et interprétation des effets combinés vieillissement / SEE (Single Event Effect) dans les technologies d'échelles nanométriques	176
5.4.1	Description	176
5.4.2	Vieillessement et radiations	176
5.4.3	Bilan	178
5.4.3.1	Publications	178
5.4.3.2	Revue	178
5.4.3.3	Partenariat académique	178
5.4.3.4	Encadrement	178
5.5	IMA et Multi-cœurs	179
5.5.1	Description	179
5.5.1.1	Le Multi-Cœur	179
5.5.1.1.1	Origines	179
5.5.1.1.2	Évolution de la technologie	179
5.5.1.2	Contraintes logicielles	180
5.5.1.3	Systèmes partitionnés	180
5.5.1.4	Évolution des composants pour tirer bénéfice d'une plateforme multi-cœurs	180
5.5.1.5	Déploiement de partitions	181
5.5.1.6	Symmetrical Multi-processing	181
5.5.1.7	Asymmetrical Multi-processing	182
5.5.2	Bilan	183
5.5.2.1	Publications	183
5.5.2.2	Partenariat académique	183
5.6	Avionics Networks	184
5.6.1	Description	184
5.6.1.1	Au niveau architectural	184
5.6.2	Bilan	189
5.6.2.1	Publications	189
5.6.2.2	Partenariat académiques	189
6	RAYONNEMENT SCIENTIFIQUE	190
6.1	Congrès internationaux	191
6.2	Pôles de compétitivité	192
6.2.1	<i>Aerospace Valley (AESE)</i>	192
6.2.2	<i>Route des Lasers™ (RDL)</i>	193
7	LISTE DES TRAVAUX ET PUBLICATIONS	196
7.1	Conférences Internationales Avec Comité de Lecture et Actes Publiés (CI_ACL_AP)	197
7.2	Conférences Internationales Sans Comité de Lecture avec Actes publiés (CI_SCL_AP)	198
7.3	Conférences Internationales Sans Actes Publiés (CI_SPL_SP)	198
7.4	Rapport d'Études	199
7.5	Revue	199

Évolution des Architectures des Systèmes Avioniques Embarqués

7.6	Brevets	199
8	Conclusions et Perspectives	202
8.1	Conclusions Générales	203
8.1.1	Résumé des travaux effectués	203
8.1.1.1	D'une Architecture Fédérée à une Architecture IMA_1G	203
8.1.1.2	D'une architecture IMA_1G vers une Architecture IMA_2G	204
8.1.1.2.1	Séparation I/O versus Unité de Calcul	206
8.1.1.2.2	Accroissement de la puissance de calcul d'un module	207
8.1.1.2.3	Introduction d'un Middleware au niveau de la plate-forme Avionique	208
8.1.1.2.4	Développement d'un Process Outillé	209
8.1.2	Limites de l'approche	210
8.2	Perspectives	210
8.2.1	Perspectives à court terme	210
8.2.2	Perspectives à long terme	211
8.2.2.1	Au niveau processing	211
8.2.2.2	Au niveau Architecture Plate-forme	213
9	Bibliographie	214
10	Abréviations	216

Évolution des Architectures des Systèmes Avioniques Embarqués

1 TABLE DES ILLUSTRATIONS

Figure 1 : Système	92
Figure 2 : Composants	92
Figure 3 : Sous-Système	92
Figure 4 : Positionnement ARP4764 vs DO-178 et DO-254.....	94
Figure 5 : Projection de l'évolution sur 2030	99
Figure 6 : Évolution du Trafic Aérien Mondial	99
Figure 7 : Évolution des Systèmes Avioniques	100
Figure 8 : Calculateur Cde de Vol du Concorde.....	100
Figure 9 : Architecture Avionique B777	101
Figure 10 : Évolution du Périmètre Avionique.....	102
Figure 11 : D'une architecture Fédérée vers une Architecture Intégrée	104
Figure 12 : Architecture Avionique sur base IMA	106
Figure 13 : Rôle et responsabilités au niveau Module IMA	108
Figure 14 : Rôles et responsabilités au niveau Avionic data Network	109
Figure 15 : Robust Partitioning	111
Figure 16 : Major and Minor Frame	112
Figure 17 : VL et BAG sur l'ADN.....	113
Figure 18 : Architecture IMA_1G	115
Figure 19 : Architecture IMA_1,5G	116
Figure 20 : Architecture ARINC653 typique et Table de Configuration	118
Figure 21 : Tables de Configuration - Rôles et Acteurs.....	119
Figure 22 : Un exemple d'Architecture IMA_2G.....	119
Figure 23 : Projection Architecture IMA_2G.....	123
Figure 24 : Module CPM.....	125
Figure 25 : Module d'Entrées / sorties	126
Figure 26 : Loi de MOORE	127
Figure 27 : Comparaison mono & Multi-Cœurs.....	128
Figure 28 : Concept IMA.....	128
Figure 29 : Une vue des Services Plateformes	132
Figure 30 : D'une gestion Réseau Centralisée à Une gestion Répartie.....	134
Figure 31 : Exemple de Topologies Réseau PlaNet	135
Figure 32 : End System & Intermediate System	136
Figure 33 : Architecture AMP.....	137
Figure 34 : Architecture SMP.....	138
Figure 35 : Ex d'une interconnexion sur base de 3 calculateurs et Modules I/O dédiés	142
Figure 36 : Calculateur Conventionnel.....	143
Figure 37 : Calculateur sur Base I/O Versatile	143
Figure 38 : Plate-Forme Avionique utilisant des Calculateurs à i/O versatile	144
Figure 39 : The International Technology Roadmap for Semiconductors – 2013.....	148
Figure 40 : Normalized Manufacturers Data On Product Level Failure Rate	149
Figure 41 : Classe de Gravure et Assemblage	151
Figure 42 : Enjeux relatifs de la fiabilité	152
Figure 43 : Intrinsic wear out trends.....	154
Figure 44 : Effet conjoint d'une dispersion initiale $p(X)$ d'un paramètre critique X , et des contraintes sur la densité de probabilité de panne $p(tf)$ due au dépassement d'un seuil critique pour X	155

Évolution des Architectures des Systèmes Avioniques Embarqués

Figure 45 : Effet simulé du vieillissement d'un transistor sur la dérive d'une fonction analogique (miroir de courant) et diagramme de Weibull déduit pour un critère donné.....	155
Figure 46 : Electromigration, BTI, HCI, TDDDB	163
Figure 47 : Mécanismes d'Electromigration	163
Figure 48 : Exemple d'Electromigration	163
Figure 49 : illustration de la génération du phénomène HCI dans un MOSFET	164
Figure 50 : champs électrique latéral dans le canal	164
Figure 51 : Phénomène NBTI	165
Figure 52 : D'une Architecture Fédérée à une Architecture Distribuée.....	166
Figure 53 : Mise en évidence des Contentions dans un Processeur Multi-Cœurs	168
FIGURE 54: Calculateur Avionique conventionnel.....	172
FIGURE 55: Calculateur avionique à interface versatile	172
FIGURE 56 - Description fonctionnelle d'une interface avionique de type entrée	173
FIGURE 57. Description fonctionnelle d'une interface d'entrée versatile.....	174
FIGURE 58: Deux exemples d'applications de l'interface versatile	174
Figure 59: Architecture HW/SW pour un futur Module IMA Multi-Cœurs	180
Figure 60: Exemple de déploiement de partitions SMP	182
Figure 61: Exemple de déploiement d'un partitionnement type AMP	182
Figure 62 : Évolution des Architectures Avioniques	184
Figure 63 : ARINC653 et ARINC664 Part 7	187
Figure 64 : Redondance	187
Figure 65 : Virtual Link.....	187
Figure 66 : D'une Architecture Fédérée vers une Architecture Distribuée	203
Figure 67 : D'une Architecture IMA_1G vers une Architecture IMA_2G	204
Figure 68 : Les Innovations introduites par l'Architecture IMA_2G.....	205
Figure 69 : Séparation I/O versus Unité de Calcul	206
Figure 70 : Accroissement de la Puissance de Calcul	207
Figure 71 : Introduction d'un Middleware au niveau Plate-forme Avionique	208
Figure 72 : Process Outillé IMA_2G	209
Figure 73 : D'une Architecture Distribuée vers une Distribution d'Architectures Fédérées ..	212
Figure 74 : Exemple d'exécution sur une plate-forme Many-Cœurs	212

Évolution des Architectures des Systèmes Avioniques Embarqués

2 INTRODUCTION GÉNÉRALE

Sommaire

2	<i>Introduction générale</i>	90
2.1	Contexte	91
2.2	Problématique	92
2.3	Résumé des contributions	94
2.4	Plan du mémoire.....	96

Évolution des Architectures des Systèmes Avioniques Embarqués

2.1 Contexte

Ce mémoire traite de l'« Évolution des Architectures des Systèmes Embarqués Avioniques ». Ce titre en lui-même introduit plusieurs termes à approfondir au regard de la notion d'Architecture des Systèmes Avioniques Embarqués :

- Tout d'abord qu'est-ce qu'un Système ?
 - Puis qu'est-ce qu'un système embarqué ?
 - Et enfin quelle spécificité l'Avionique entraîne-t-elle ?

La suite de cette section aborde les deux premières questions, tandis que le dernier point sera traité dans la partie « problématique ».

Qu'est-ce qu'un Système ?

La notion de système est une notion floue, en effet, le terme « système » a été très largement utilisé pour donner une idée de complexité [dès que l'orateur voulait traduire la complexité il parlait alors de Système].

Dans ce mémoire, je retiens la définition déposée au sein de la communauté scientifique : « un système est un ensemble d'éléments interagissant entre eux selon certains principes ou règles, il est déterminé par la nature de ses éléments constitutifs, les interactions entre ces derniers et sa frontière » (von Bertalanffy, 1968).

Un système est déterminé par :

- La nature de ses éléments constitutifs ;
- Les interactions entre ces derniers ;
- Sa frontière, c'est-à-dire le critère d'appartenance au système (déterminant si une entité appartient au système ou fait au contraire partie de son environnement) ;
- Ses interactions avec son environnement.

Un sous-système ou module est un système participant à un système de rang supérieur.

Un système peut être ouvert, fermé, ou isolé selon son degré d'interaction avec son environnement. En grec ancien, *sustēma* signifie « organisation, ensemble », terme dérivé du verbe *συνίστημι* *sunistēmi* (de *σύν* *syn* *histēmi* : « établir avec »), qui signifie « mettre en rapport, instituer, établir ».

Généralement un système se compose d'éléments Matériel (Hardware) et d'éléments Logiciel (Software) assemblés pour réaliser une fonction ou une partie d'une fonction donnée. Cette intégration Hardware et Software génère la complexité du niveau Système.

Qu'est-ce qu'un Système Embarqué ?

Les définitions⁴⁷ sont multiples, selon l'angle de description choisi (technologique, fonctionnel, économique, ...). Les systèmes embarqués (S.E.) représentent « l'autre » informatique, celle qui ne se voit pas (les anglo-saxons parlent *d'embedded systems*, de systèmes enfouis). Pourtant, telle la partie immergée de l'iceberg, leur réalité est imposante.

Très simplement, on pourrait dire que les systèmes embarqués sont constitués de puces électroniques sur lesquelles fonctionnent des logiciels dédiés à l'exécution de fonctions spécifiques ; le tout étant destiné à être intégré dans des sous-ensembles, équipements, appareils et produits divers.

⁴⁷ Référence : Le livre blanc des systèmes embarqués – Syntec Informatique

Évolution des Architectures des Systèmes Avioniques Embarqués

Initialement, les systèmes embarqués ont été utilisés pour des applications temps réel critiques, de sûreté et/ou de sécurité, comme le contrôle des fusées, missiles, satellites ; la production d'énergie ; le contrôle de vol ; les télécommunications.

Le premier système⁴⁸ moderne embarqué reconnaissable a été celui de l'Apollo Guidance Computer ou AGC en 1967, le système de guidage de la mission lunaire Apollo, développé par Charles Stark Draper du Massachusetts Institute of Technology. Chaque mission lunaire était équipée de deux systèmes AGC : un chargé du système de guidage inertiel et un pour le Module Lunaire ou LEM⁴⁹. Au commencement du projet, l'ordinateur AGC d'Apollo était considéré comme l'élément le moins fiable du projet. Par contre, grâce à l'utilisation de nouveaux composants qu'étaient à l'époque les circuits intégrés, des gains substantiels sur l'encombrement disponible et la charge utile ont été réalisés, avec une diminution supposée des risques déjà nombreux des missions.



FIGURE 2 : Composants



FIGURE 3 : Sous-Système



FIGURE 1 : Système

Comme nous avons pu le définir, un système embarqué tel que celui de la Figure 1 se compose de sous-systèmes ou cartes électroniques développées pour répondre à une fonctionnalité donnée (voir Figure 3), eux-mêmes composés de composants qu'ils soient matériels comme ceux de la Figure 2 ou logiciels.

En résumé, un système embarqué se définit par la réalisation d'une fonctionnalité donnée dans un équipement à environnement contraint soit par la taille, par la consommation, par le poids ou par l'ensemble de ces contraintes.

Quelles spécificités l'Avionique apporte-t-elle ?

La section suivante aborde les spécificités apportées par le Domaine Avionique sur les Systèmes Embarqués.

2.2 Problématique

Le domaine de l'avionique apporte des contraintes de développement complémentaires liées à la certificabilité ainsi qu'à la sécurité (*Safety* au sens Anglo-Saxon) des équipements.

Au niveau Avionique, les équipements sont développés en fonction de la criticité des logiciels à héberger, le terme de criticité adresse ici le niveau de « Safety » de l'aéronef qui

⁴⁸ Source : (en) David A. Mindell, Digital Apollo: Human and Machine in Spaceflight, MIT Press, 31 mai 2008

⁴⁹ LEM : Lunar Exploration Module

Évolution des Architectures des Systèmes Avioniques Embarqués

se définit sur 5 niveaux ou DAL⁵⁰ : du niveau DAL A (le plus critique), jusqu'au niveau DAL E (le moins critique).

Les systèmes avioniques sont dits critiques. Ils sont classés en fonction de l'impact de leur taux de panne ou défaillance sur le vol et les conditions de vol incluant l'état de l'équipage ou des passagers comme le précise le tableau ci-dessous :

Design Assurance Level	Impact of Failure	Failure Condition	Probability	
			Level	Per Flight Hour
A	Catastrophic	Failure that would prevent continued safe flight and landing.	Extremely Improbable	$< 10^{-9}$
B	Hazardous / Severe-Major	Large reduction in safety margins or functional capabilities, physical distress or higher workload such that the flight crew could not be relied on to perform their tasks accurately or completely, or adverse effects on occupants including serious or potentially fatal injuries to a small number of those occupants.	Extremely Remote	$< 10^{-7}$
C	Major	Significant reduction in safety margins or functional capabilities, a significant increase in flight crew workload or in conditions impairing flight crew efficiency, or discomfort to the occupants, possibly including injuries	Remote	$< 10^{-5}$
D	Minor	Slight reduction in safety margins or functional capabilities, a slight increase in flight crew workload, such as routine flight plan changes, or some inconvenience to the occupants.	Probable	$< 10^{-3}$
E	No Effect	Failure conditions that do not affect the operational capability of the aircraft or increase the flight crew workload.	-	-

La conception des systèmes avioniques est à réaliser avec un volume de preuves à apporter proportionnel à l'impact de leur panne ou défaillance sur le bon déroulement de la mission que l'aéronef a à exécuter. On peut résumer ces Systèmes Avioniques en fonction de leurs besoins de :

- ⇒ Déterminisme,
- ⇒ Sécurité ou « *Safety* » (pas de défaillance),
- ⇒ Sûreté ou « *Security* » (robustesse aux malveillances),
- ⇒ Disponibilité (Une panne ne doit pas remettre en question la mission).

⁵⁰ DAL : Design Assurance Level

Évolution des Architectures des Systèmes Avioniques Embarqués

Comme le précise le tableau ci-dessus, plus l'impact de panne du Système Avionique est élevé, plus sa probabilité d'occurrence doit être faible, et plus le niveau de l'assurance de sa conception (DAL) est élevé.

De ce fait, tout matériel développé dans un cadre avionique devra démontrer sa conformité aux exigences réglementaires déposées par les autorités de certification (FAA aux USA, EASA en Europe). Un moyen acceptable de conformité (AMC⁵¹) pour le développement de Systèmes Avioniques en regard de la Part-21 (« EASA - AMC & GM Part 21 - Issue 2 ») est la démonstration du suivi des recommandations de développement qui fixent des objectifs de certification à satisfaire au niveau Système (ARP-4754 / ED79), au niveau Logiciel (DO-178 C / ED-12) ou encore Matériel (DO-254 / ED-80) et environnementale (DO-160) tel que présenté Figure 4.

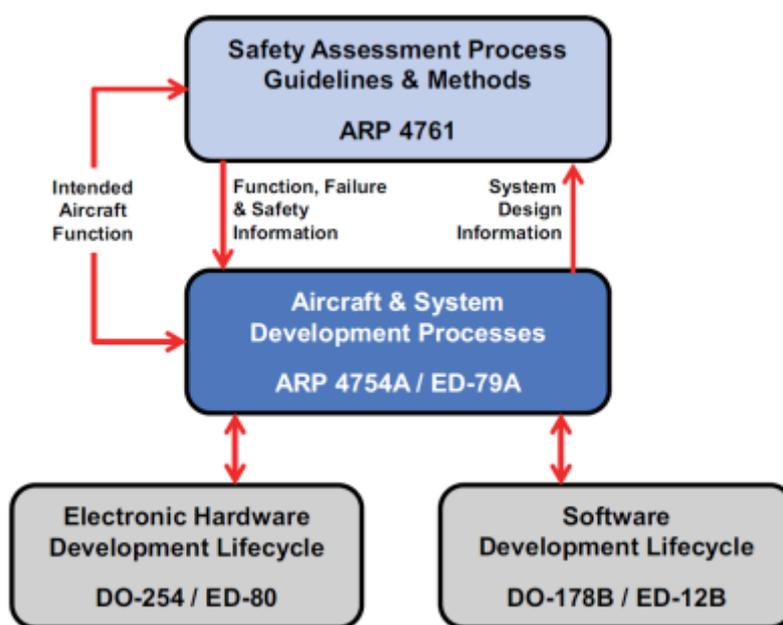


FIGURE 4 : Positionnement ARP4764 vs DO-178 et DO-254

Dans le cadre des « Études Amont », concernant la définition et le développement de prototypes permettant de démontrer l'apport de nouvelles fonctionnalités ou de nouveaux équipements, il sera indispensable de prendre en considération cet aspect réglementaire afin d'envisager le déploiement opérationnel de ces innovations.

2.3 Résumé des contributions

Durant ma carrière, j'ai pu travailler sur cinq grands domaines d'activités mettant en œuvre des systèmes embarqués :

⁵¹ AMC : Acceptable Means of Compliance

Évolution des Architectures des Systèmes Avioniques Embarqués

1. Le domaine des Sous-Marins :
 - Traitement du signal Sonar⁵² (TS),
 - Traitement d'Images (TI),
 - Traitement Audio (TA).
2. Le domaine des Torpilles :
 - Traitement du Signal Sonar,
 - Traitement de Données (TD),
 - Guidage.
3. Le domaine des Bâtiments de Surface :
 - Traitement du Signal Sonar,
 - Traitement de Données.
4. Le domaine des Avions d'Armes :
 - Traitement du Signal RADAR et Guerre Électronique,
 - Traitement de Données,
 - Gestion Mission,
 - Display,
 - Enregistrement Données vol,
 - Enregistreur de Crash.
5. Le domaine de l'Aviation Commerciale :
 - Integrated Modular Avionics,
 - Display,
 - Flight Control Command,
 - FADEC.

Depuis plus de trente ans, je conduis des travaux d'Étude et de Recherche sur l'évolution des Systèmes Embarqués afin d'apporter des solutions au paradoxe que constitue l'augmentation de performances d'une part et la réduction de poids, de taille, de consommation et de coûts d'autre part. Un résumé de l'ensemble de ces travaux a été décrit dans le Document 1.

Cette recherche architecturée autour de ces 5 domaines dans le contexte des Systèmes Embarqués est à l'origine :

- De l'ensemble de mes brevets,
- Des publications avec Comité de Relecture présentées lors de congrès internationaux en France, Allemagne, États-Unis.

Pourquoi parlons-nous de paradoxe dans le domaine des Systèmes Embarqués ?

Les recherches que nous effectuons sont axées autour du terme « embarqués » impliquant alors de la mise sous contraintes e.g. performance versus encombrement, consommation ou encore dissipations. Ces contraintes ne sont généralement pas présentes dans les applications dites grands public ou « consumer ».

Nous avons un paradoxe à résoudre : d'une part nous sommes aidés dans une certaine mesure par la loi de Moore, qui va nous permettre de disposer de composants plus intégrés

⁵² SONAR : SOund Navigation And Ranging

Évolution des Architectures des Systèmes Avioniques Embarqués

et plus performants, et d'autre part, nous avons à respecter des contraintes d'embarquabilité où la consommation, la puissance dissipée et l'encombrement sont des facteurs clés de plus en plus contraints..

Moore Law: In 1965, Gordon Moore made a prediction that would set the pace for our modern digital revolution. From careful observation of an emerging trend, Moore extrapolated that computing would dramatically increase in power, and decrease in relative cost, at an exponential pace.

Nos recherches vont donc adresser l'identification de solutions possibles permettant d'offrir l'optimum global vis-à-vis de l'utilisation que l'on cherche à adresser :

- Sonar pour les domaines Sous-Marins, Torpilles ou Bâtiment de Surface,
- Mission et Cockpit pour les Domaines d'Avions d'Armes ou d'Avions Commerciaux.

Je vous propose, dans la suite de ce Mémoire, de faire un focus plus particulier sur l'évolution des Systèmes Embarqués dans le domaine des Avions Commerciaux.

2.4 Plan du mémoire

Je propose de structurer ce document autour de 5 grands chapitres :

- Le chapitre 2 « Contexte » :
Ce chapitre présente le contexte retenu : l'évolution des Architectures des Systèmes Embarqués dans le domaine Avionique.
- Le chapitre 3 « Enjeux Industriels et Scientifiques » :
Ce chapitre explore le contexte Avionique en précisant les grandes tendances de l'évolution des Systèmes Embarqués, les raisons de cette évolution, les problématiques de mise en œuvre ainsi que les architectures retenues pour les générations actuelles et futures.
- Le chapitre 4 « Démarche Scientifique » :
Ce chapitre reprend la problématique générale liée à l'évolution de ces architectures et présente les axes de Recherche relatifs à ces évolutions au niveau des principales technologies utilisées dans ces architectures (processing, réseaux, senseurs ou encore composants)
- Le chapitre 5 « Contributions » :
Ce chapitre présente les axes de Recherche relatifs à ces différentes technologies conduits durant ces dernières années pour nous permettre d'adresser les architectures de seconde voire de troisième génération.
- Le chapitre 6 « Conclusions et Perspectives » :
Ce chapitre présente une conclusion sur l'ensemble de nos travaux ainsi que les perspectives pour des travaux futurs.

Évolution des Architectures des Systèmes Avioniques Embarqués

Cette page est laissée blanche intentionnellement.

Évolution des Architectures des Systèmes Avioniques Embarqués

3 ENJEUX INDUSTRIELS ET SCIENTIFIQUES

Sommaire

3	<i>Enjeux industriels et scientifiques</i>	98
3.1	Contexte Avionique	99
3.1.1	Technologies embarquées dans les systèmes avioniques.....	99
3.1.1.1	Introduction.....	99
3.1.1.2	Évolution des systèmes avioniques.....	100
3.1.1.2.1	Avionique dite Analogique.....	100
3.1.1.2.2	Avionique dite Numérique Fédérée	101
3.1.1.2.3	Architecture Avionique Modulaire	102
3.1.1.3	Architecture d'un système IMA.....	104
3.1.1.3.1	Le besoin	104
3.1.1.3.2	Avionique Modulaire Intégrée (IMA).....	105
3.1.1.4	Propriété de Partitionnement Robuste.....	110
3.1.1.4.1	Space Partitioning	111
3.1.1.4.2	Time partitioning au niveau exécution logicielle.....	112
3.1.1.5	Time partitioning au niveau communication	112
3.1.1.6	Profil des applications déployées dans les systèmes IMA	113
3.1.2	Synthèse	114
3.2	De l'IMA de première génération (1G) vers l'IMA de seconde génération (2G)	115
3.2.1	Une étape intermédiaire, l'IMA_1,5G	115
3.2.1.1	Architecture IMA_1G.....	115
3.2.1.2	Architecture IMA_1,5G.....	116
3.2.1.3	Principales évolutions entre IMA_1G et IMA_1,5G	116
3.2.1.3.1	Au niveau processing.....	116
3.2.1.3.2	Au niveau des entrées / sorties	117
3.2.1.3.3	Au niveau configuration.....	117
3.2.2	Vers l'IMA_2G.....	119

Évolution des Architectures des Systèmes Avioniques Embarqués

3.1 Contexte Avionique

3.1.1 Technologies embarquées dans les systèmes avioniques

3.1.1.1 Introduction

Depuis le début des années 50, le monde des transports, et plus particulièrement celui de l'aéronautique, est en perpétuelle croissance. À ce jour, à tout instant, plus d'un demi-million de passagers sillonnent la planète à bord de plus de 80000 avions. Les prévisions actuelles des principaux avionneurs (Airbus et Boeing), des compagnies aériennes et organisations internationales spécialisées, s'accordent sur le maintien d'une croissance avoisinant les 5% (voir Figure 6 – Source « ICAO ») pour atteindre plus de **12 milliards par an en 2031** (voir Figure 5 – Source « Airports Council International Global Traffic Forecast 2011»). Le nombre d'avions en circulation va doubler en vingt ans et les nouveaux avions en circulation seront plus gros et transporteront plus de passagers.

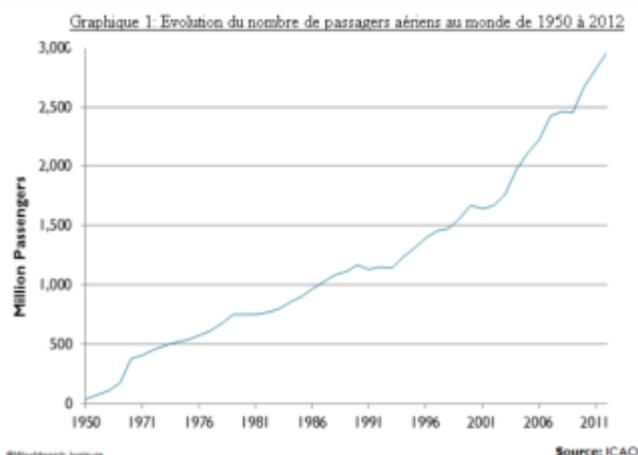


FIGURE 6 : Évolution du Trafic Aérien Mondial

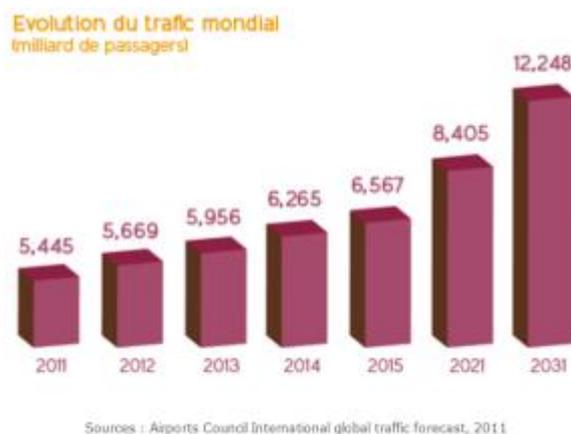


FIGURE 5 : Projection de l'évolution sur 2030

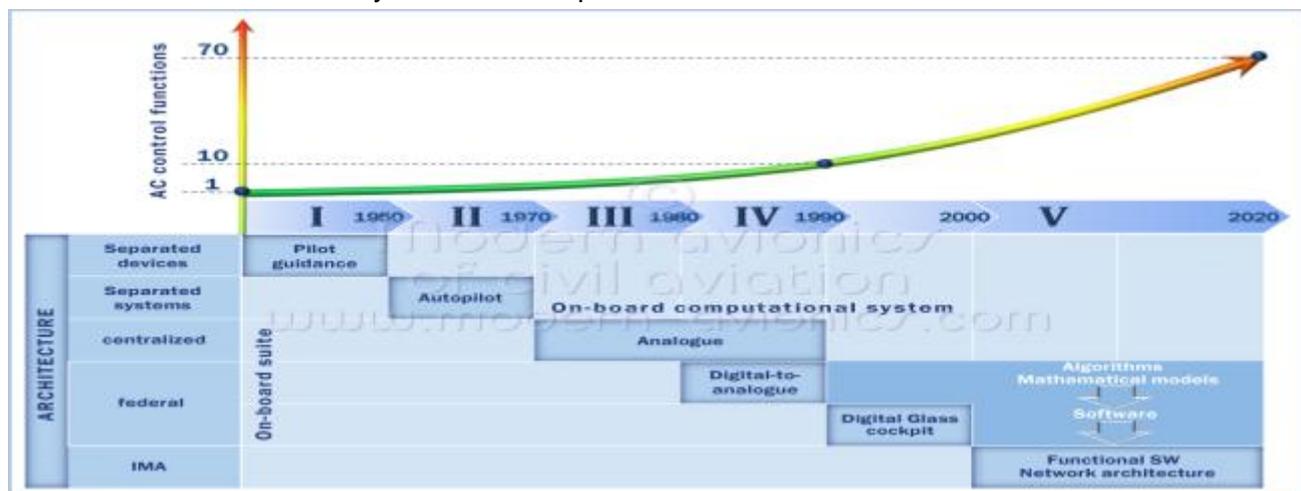
Ces prévisions soulèvent ainsi d'importantes questions : comment peut-on transporter des millions de personnes en leur assurant un confort accru, tout en limitant l'impact environnemental de leurs déplacements, et en toute sécurité ?

Ces différents challenges ont été, sont aujourd'hui et seront demain les principaux acteurs de l'évolution de l'industrie aéronautique, et plus particulièrement de l'avionique. L'avionique représente l'ensemble des équipements électroniques, électriques et informatiques nécessaires au fonctionnement d'un aéronef.

La complexité grandissante des systèmes avioniques, notamment l'introduction des commandes de vol électriques, a provoqué plusieurs évolutions majeures dans l'architecture des systèmes.

Évolution des Architectures des Systèmes Avioniques Embarqués

3.1.1.2 Évolution des systèmes avioniques



Source : <http://www.modern-avionics.com/analytcs/2014/modern-role-of-avionics-aircraft/part-1/#>

FIGURE 7 : Évolution des Systèmes Avioniques

La Figure 7 présente l'évolution des Systèmes Avioniques sur 7 décennies depuis :

- l'introduction des calculateurs analogiques,
- jusqu'à l'introduction de l'IMA en passant par l'étape clé que constitue la révolution numérique.

Ces différentes étapes vont être décrites dans les chapitres suivants.

3.1.1.2.1 Avionique dite Analogique

La première véritable suite avionique à destination d'aéronefs commerciaux a été testée et exploitée dans le Concorde, au début des années 1970.

Le Concorde est aussi le premier avion civil sur lequel les commandes de vol ont perdu toute liaison mécanique entre le manche des pilotes et les gouvernes au profit de commandes de vol électriques. L'avion comprenait alors différents équipements électroniques, chargés chacun de l'exécution d'une unique fonction particulière : freinage, gestion des gouvernes ou gestion du carburant par exemple.

Tous ces équipements étaient entièrement analogiques, et ne communiquaient pas ou peu entre eux, un exemple est donné par la Figure 8 qui présente le calculateur de commande de vol du Concorde, calculateur analogique.

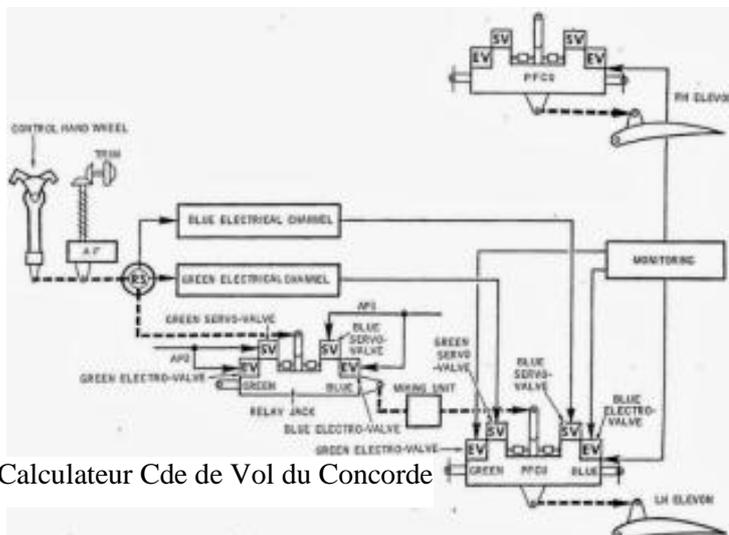


FIGURE 8 : Calculateur Cde de Vol du Concorde

Évolution des Architectures des Systèmes Avioniques Embarqués

3.1.1.2 Avionique dite Numérique Fédérée

L'apparition des premiers processeurs, dès le début des années 80, a permis le développement de véritables calculateurs numériques. Ils constituent la première révolution dans le monde de l'avionique. La capacité de calcul de ces nouveaux équipements a changé radicalement la manière de piloter un avion : le pilote ne commande plus directement les éléments séparés de l'avion (réacteurs, ailerons, volets), mais commande l'avion à un « plus haut niveau d'abstraction ». Le pilote va, par exemple, demander une certaine poussée, un cap précis, et laisse aux calculateurs le soin de gérer et d'asservir les actionneurs afin de répondre au mieux à ses ordres grâce à un certain nombre de senseurs.

Dans ce type d'architecture dite fédérée, chaque calculateur gère alors une seule fonction complexe, ou un seul aspect du vol : un premier calculateur est dédié aux commandes de vol, un second à la gestion du carburant, un troisième à la navigation, un quatrième au freinage et ainsi de suite. Selon sa fonction, chacun de ces ordinateurs interagit avec un certain nombre de capteurs et d'actionneurs, au moyen de circuits électroniques d'acquisition et de commandes spécifiques.

Ainsi, chaque calculateur Embarqué comprend des moyens d'interaction avec le monde extérieur qui dépendent de sa fonctionnalité. Depuis la généralisation de l'architecture fédérée, l'avionique n'a cessé d'évoluer en fonction des besoins opérationnels des avions, toujours plus complexes. Cette complexité grandissante a entraîné une importante augmentation du nombre de fonctions applicatives à gérer au sein d'un avion. De ce fait, le nombre de calculateurs dédiés à la gestion de ces fonctions a lui aussi fortement augmenté.

Un exemple est donné par la Figure 9 autour de l'architecture Avionique du Boeing B777 :

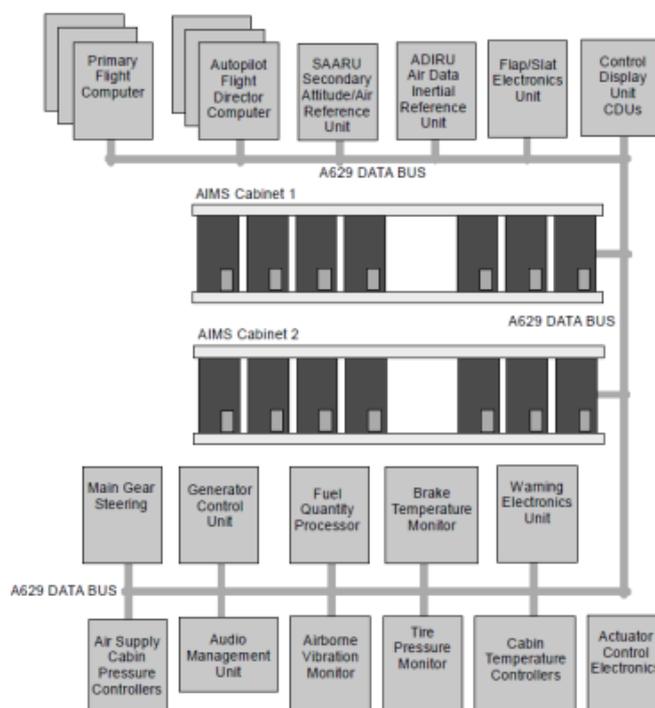


FIGURE 9 : Architecture Avionique B777

Évolution des Architectures des Systèmes Avioniques Embarqués

Comme nous pouvons le constater sur la Figure 9, nous avons autant de calculateurs que de fonctions à réaliser. Cette architecture est fonctionnelle et ne traduit pas le nombre de calculateurs physiques qui sont embarqués ni l'ensemble des liaisons, que ce soit sur bus CAN ou sur bus ARINC429 ou 629 entre les calculateurs, les senseurs et les actuateurs.

Il est à noter que cette architecture dite fédérée offrait un certain nombre d'avantages vis-à-vis de la certification avionique du fait :

- Absence de partage de ressources de calcul et de communication :
 - Une fonction par calculateur et par bus.
- Maîtrise du comportement temps-réel du système avionique (comprendre, prévoir, dimensionner),
- Fonctionnalités d'upgrade simples car limitées à la fonctionnalité impactée sans effet de bord vis-à-vis des autres fonctionnalités avioniques.

3.1.1.2.3 Architecture Avionique Modulaire Intégrée

Les dernières générations d'avions, utilisant de plus en plus de technologies composites telles que le carbone, représentées par l'Airbus A380, le Boeing 787, ou plus récemment l'Airbus A350, ont conduit à l'accroissement accéléré du nombre de fonctions applicatives à embarquer par rapport à la génération précédente.

Cette augmentation est telle qu'elle ne peut plus être absorbée par une simple augmentation du nombre de calculateurs comme par le passé. La Figure 10 illustre à la fois l'augmentation en termes de nombres de calculateurs embarqués mais également en nombre de Lignes de Code représentant l'ensemble des fonctions applicatives.



Source : <http://www.modern-avionics.com/analytics/2014/modern-role-of-avionics-aircraft/part-1/#>

FIGURE 10 : Évolution du Périmètre Avionique

Évolution des Architectures des Systèmes Avioniques Embarqués

On constate que l'encombrement, la masse ainsi que la consommation liés à l'utilisation de l'ensemble de ces équipements électroniques auraient alors été beaucoup trop importantes au regard des contraintes déposées sur l'aéronef.

De plus, il est à noter que les fonctions ne peuvent plus être ségréguées et demandent à échanger de plus en plus d'informations, ainsi les liens actuels avec un débit inférieur à 1 Mbits par seconde ne suffisent plus.

Il a donc été nécessaire d'introduire une rupture technologique majeure permettant de limiter voire de réduire le nombre de calculateurs nécessaires à l'exécution de toutes ces fonctions. Cette rupture porte le nom d'architecture avionique modulaire intégrée, ou IMA (de l'anglais « Integrated Modular Avionics »).

Les enjeux de cette nouvelle architecture sont de devoir concevoir des calculateurs **génériques**, **configurables**, et pouvant **héberger** et **exécuter** plusieurs applications dont le **niveau de DAL** peut être **différent**.

La principale difficulté à résoudre lors du passage d'une Architecture Fédérée à une Architecture Modulaire Intégrée est de pouvoir « offrir », dans l'IMA, un comportement applicatif identique à celui qu'il avait en Architecture Fédérée.

Cette exigence se traduit par le fait que :

- Chaque application qui s'exécute doit pouvoir se considérer comme seule sur le nœud de calcul et disposant de la totalité de ses ressources ;
- Toutes les applications hébergées sur un nœud de calcul doivent disposer d'entrées / sorties et de zones mémoires distinctes ;
- Le temps d'exécution d'une application doit être maîtrisé et borné.

Le concept IMA est construit autour d'un calculateur générique, c'est-à-dire un calculateur susceptible d'exécuter différentes applications quel que soit son emplacement au sein de la baie avionique. Une conception générique implique une conception modulaire permettant d'offrir à la fois la généricité et la réutilisabilité desdits calculateurs, ce qui va permettre de réduire l'empreinte environnemental de la plate-forme Avionique : moins de calculateurs ⇒ moins de consommation d'énergie ⇒ Réduction du Poids ⇒ Réduction de l'espace occupé dans l'appareil [Li and Xiong, 2009].

L'IMA permet donc d'améliorer le SWaP⁵³ de la plate-forme Avionique et ainsi d'avoir un effet bénéfique sur la consommation de carburant.

L'introduction de l'IMA s'est accompagnée de l'introduction d'un média de communication entre ces calculateurs, auparavant dédiées au travers de liaisons ARINC⁵⁴429 ou CAN, celles-ci se font désormais au travers d'un réseau standardisé au travers de l'ARINC664 que présentent [Alena et al. 2006] et [Alena et al. 2007].

⁵³ SWaP : Size, Weight and Power

⁵⁴ ARINC : Aeronautical Radio Inc.

Évolution des Architectures des Systèmes Avioniques Embarqués

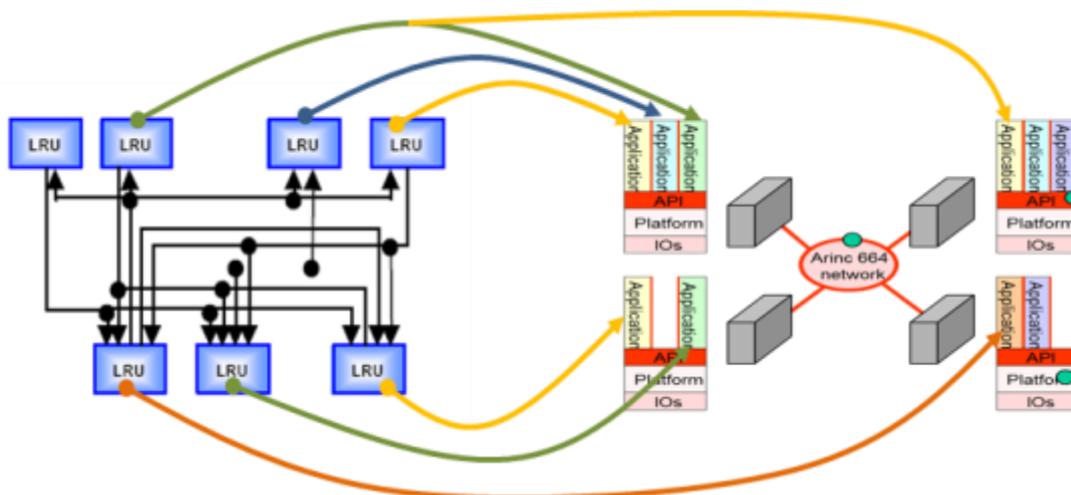


FIGURE 11 : D'une architecture Fédérée vers une Architecture Intégrée

La Figure 11 ci-dessus illustre la transposition des fonctions applicatives entre les deux Architectures de Plate-forme Avionique et permet de mieux comprendre comment ces applications ont été transposées. Nous allons détailler dans le paragraphe suivant les effets bénéfiques de ce changement ainsi que les verrous technologiques qu'il a été nécessaire de lever.

3.1.1.3 Architecture d'un système IMA

3.1.1.3.1 Le besoin

L'objectif introduit par l'Architecture IMA est de pouvoir instancier une avionique nouvelle permettant de maîtriser l'augmentation de la complexité des systèmes embarqués compte-tenu de l'augmentation des besoins en ressources de calcul et de communications.

Cette augmentation de la puissance de calcul disponible a permis l'intégration de nouvelles fonctions telles que :

- Fonctionnalités Opérationnelles :
 - Gestion du vol via le Flight Management Systems ou FMS,
 - Gestion du carburant via la Fuel Management Systems.
- Nouvelles fonctionnalités permettant l'augmentation de la « sécurité » ou safety :
 - Enveloppe de protection du vol,
 - Alerte de proximité du sol,
 - Système d'anticollision ou « Traffic Collision Avoidance System (TCAS) ».
- Nouvelles fonctionnalités pour améliorer la maintenance :
 - Monitoring des équipements,
 - Monitoring des stress subis par la structure durant le vol.
- Nouvelles fonctionnalités pour l'amélioration du confort du passager :
 - Gestion de l'environnement cabine.

Évolution des Architectures des Systèmes Avioniques Embarqués

Le besoin d'exécuter plus de fonctions en offrant sur une plate-forme plus de puissance de calcul dans un environnement plus contraint (intégration) nécessite la conception de nouveaux mécanismes autour de partage des ressources, que ce soit :

- Entre les unités de calcul autour d'un réseau multiplexé permettant de garantir l'échange de données d'une façon déterministe :
 - Le temps de transfert est connu et borné.
- Au niveau des ressources de traitement grâce à l'utilisation d'un exécutif temps réel :
 - Cet exécutif assurant la gestion des slots temporels durant lesquels pourront s'exécuter les différentes applications.

Cette plateforme avionique va se construire autour de ressources de calcul et de communications banalisées c'est-à-dire non spécifiques à une application ou à une fonction donnée. L'introduction de cette « banalisation » des ressources de calcul et d'échanges va devoir être accompagnée d'outils logiciels permettant d'évaluer d'une part et de valider d'autre part le comportement temps réel déterministe du système.

3.1.1.3.2 Avionique Modulaire Intégrée (IMA)

Comme nous l'avons présenté dans les paragraphes précédents, le principe de l'IMA consiste à « banaliser » l'organe de calcul d'une part, et à augmenter suffisamment sa puissance de calcul pour permettre d'héberger sur un seul calculateur plusieurs fonctions avioniques.

L'IMA a introduit de nouveaux concepts : là où un calculateur supportait autrefois une seule fonction et disposait de l'ensemble des interconnexions nécessaires avec les capteurs et actionneurs dédiés à cette fonction, il a été nécessaire d'introduire des mécanismes permettant de partager les ressources de calcul ; mais également les interconnexions vers les différents capteurs et actionneurs requis par toutes les fonctions hébergées sur le calculateur.

L'IMA a donc permis de limiter le nombre de calculateurs à embarquer dans un avion, mais au prix d'une complexification des nouveaux calculateurs multifonctions. Afin de répondre à cette complexification, les calculateurs se sont progressivement « spécialisés » dans un domaine, en fonction de la criticité de la fonction embarquée, du niveau de temps-réel qu'ils doivent assurer ainsi que du type de capteurs et actionneurs qu'ils ont à gérer.

Donc nous allons retrouver au sein d'une architecture Avionique plusieurs types de calculateurs :

- Les concentrateurs de données, ou RDC (Remote Data Concentrator) n'effectuent pas ou peu de calculs. Ils ont pour fonction de s'interconnecter à un maximum de capteurs, et de concentrer les données en un seul lieu, afin de les renvoyer vers les calculateurs IMA,
- Les calculateurs IMA ou « Core Processing » reçoivent les données directement des concentrateurs, via un réseau avionique dédié ou des bus de terrain. Des applications logicielles, hébergées par le calculateur, traitent alors ces données.

Évolution des Architectures des Systèmes Avioniques Embarqués

- Les calculateurs spécifiques sont dédiés à une tâche en particulier, à la manière d'un ordinateur d'architecture fédérée possédant leurs propres interconnexions aux capteurs et actionneurs nécessaires à l'unique fonction qu'ils hébergent :
 - Les calculateurs de commandes de vol qui gèrent les gouvernes, les ailerons à partir des informations issues du manche du pilote,
 - Les régulateurs de moteurs (FADEC⁵⁵) qui gèrent tous les paramètres de commande des moteurs.

Nous ne traiterons, dans la suite que les calculateurs IMA ainsi que les RDC's qui leur sont associés.

Comme nous l'avons caractérisé précédemment, l'évolution vers l'architecture IMA doit permettre de conserver, vis-à-vis des applicatifs, une indépendance totale identique à celle qu'ils avaient en s'exécutant sur des plateformes dédiées, ce qui signifie :

- ⇒ La maîtrise du temps d'exécution,
- ⇒ La maîtrise des accès mémoire,
- ⇒ La maîtrise de l'accès aux entrées-sorties
- ⇒ Et la maîtrise des échanges.

La Figure 12 ci-dessous représente une architecture IMA typique dans laquelle nous pouvons distinguer les calculateurs pour l'exécution des applicatifs CPM⁵⁶ 1 à 12 ainsi que les interconnexions au réseau via les modules switch.

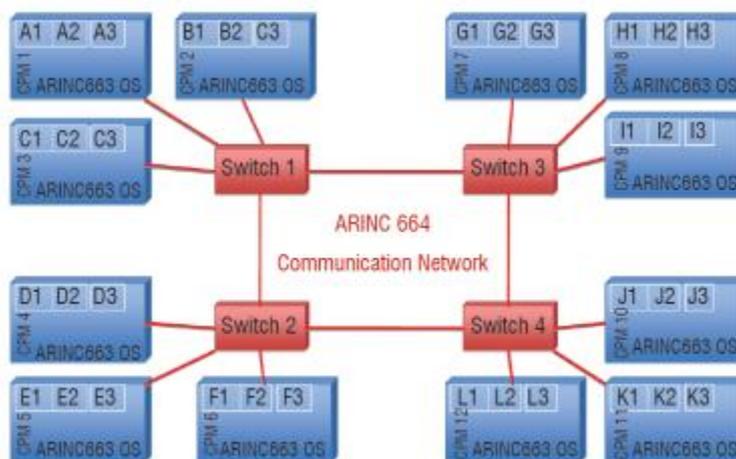


FIGURE 12 : ARCHITECTURE AVIONIQUE SUR BASE IMA

L'introduction de l'Architecture Avionique IMA s'est accompagnée d'une redéfinition des rôles entre les différents intervenants. Chacun des rôles s'est vu attribuer des responsabilités vis-à-vis de la certification par rapport à son périmètre :

- Operating System Supplier :
 - Le fournisseur de l'Operating System qui va permettre d'assurer la gestion de l'exécution des différents applicatifs en fonction de leurs caractéristiques (temps d'exécution, espace mémoire, etc...),

⁵⁵ FADEC : Full Authority Digital Engine Control

⁵⁶ CPM : Core processing Module

Évolution des Architectures des Systèmes Avioniques Embarqués

- Platform Provider :
 - Le fournisseur de plate-forme traite la livraison et la certification de la plate-forme de base (matériel et logiciel associé),
- Function Supplier :
 - Les fournisseurs d'application sont responsables de leurs applications et de la démonstration du respect des contraintes dites de « domaine d'usage » déposées par le « platform provider »,
- System Integrator :
 - L'intégrateur Système est responsable de la consolidation de tous les artefacts de sécurité de ces sources séparées pour garantir la sécurité globale du Système.

En conséquence, l'approche IMA consistant à instancier des applications de niveau de DAL multiples sur une plate-forme matérielle unique a nécessité la mise en place de « contrats » beaucoup plus stricts entre ces composants séparés, tant au niveau Système qu'au niveau Composant.

Bien que ces contrats et la séparation entre les composants (ressources matérielles et logicielles) soit plus stricte, l'intégrateur Système se voit confier le défi d'allocation de l'ensemble des ressources disponibles entre tous ses fournisseurs d'application. Il a en charge de fournir une plate-forme qui peut permettre à chacune de ces applications d'avoir un crédit de certification associé à son propre DAL, éventuellement différents de celui des autres applications hébergées par la plateforme, et ce d'une façon indépendante.

L'IMA présente alors la capacité dite de certification incrémentale tel que décrit dans la DO-297. En cas d'évolution, d'un applicatif, il n'est plus nécessaire de redémontrer la compliance de la totalité de la plate-forme, celle-ci n'est plus exigée, seul un test portant sur l'applicatif modifié sera à réaliser afin de démontrer qu'il conserve les propriétés qui lui ont été assignées.

Afin de pouvoir aider les différents acteurs de l'Architecture IMA (System Integrator – Function Supplier – Platform Provider – RTOS Provider), et assurer la gestion de la plateforme, nous avons donc complété l'introduction de l'IMA par un descriptif du système IMA au :

- Niveau application :
 - Décomposition des applications en « Partitions »,
 - Décomposition des communications en « Liens Virtuels »,
 - Caractérisation temps réel des applications et des communications.
- Niveau architecture physique :
 - Mezzanines, Modules...
 - Bus, Switches ou Commutateurs...
- Niveau allocation :
 - Allocation spatiale et temporelle des « partitions » sur les CPMs,

Évolution des Architectures des Systèmes Avioniques Embarqués

- Allocation spatiale et temporelle des « liens virtuels » sur le réseau AFDX⁵⁷.
- Niveau exécution :
 - Stratégie (protocole) d'exécution des traitements partageant une même ressource,
 - Stratégie (protocole) d'émission des messages sur un réseau Multiplexé.

La Figure 13 suivante permet de représenter ces rôles et responsabilités en fonction des éléments constitutifs du développement de la plate-forme avionique :

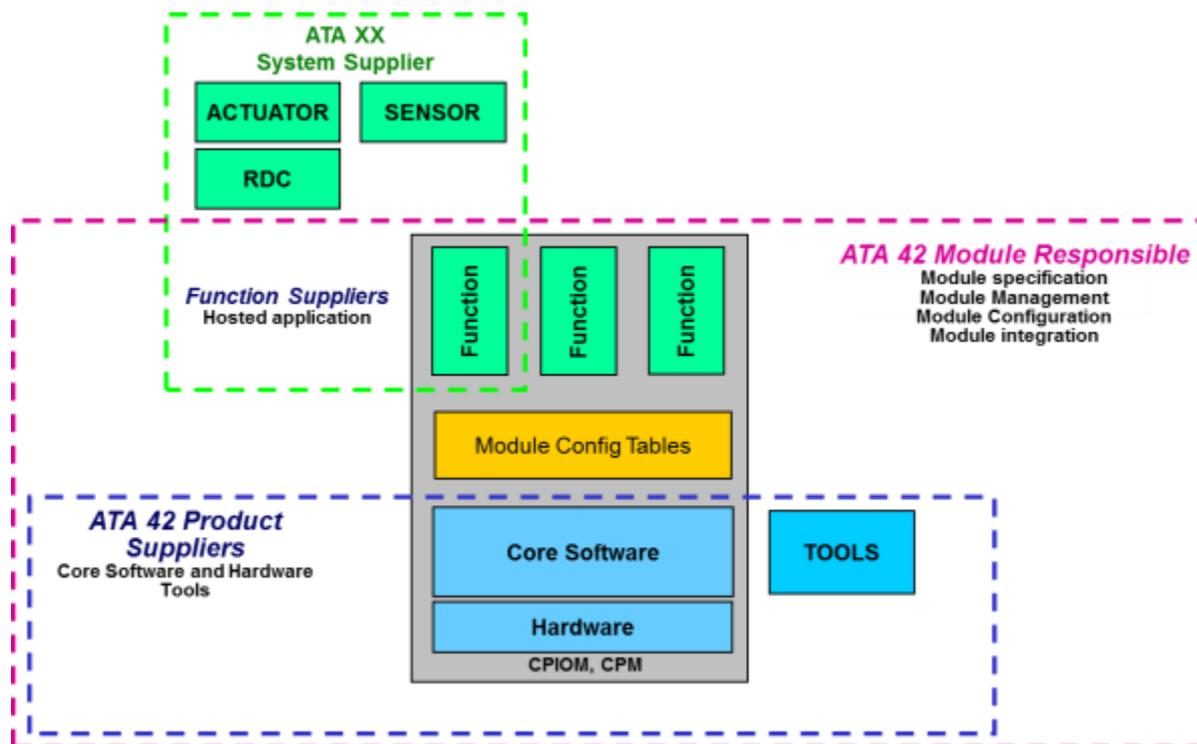


FIGURE 13 : Rôle et responsabilités au niveau Module IMA

L'Architecture d'une Plateforme Avionique IMA doit prendre en considération à la fois l'aspect Module mais également l'aspect communication au travers du réseau déterministe commuté ou « switché ».

La Figure 14 va offrir la même représentation que la Figure 13 précédente mais au niveau du réseau Avionique ou ADN⁵⁸ constitué :

- Du ou des switch ARINC664 part 7 associés à leur table de configuration,
- Les câbles physiques ainsi que les harnais associés (Liens ARINC664),
- La fonction d'interconnexion ou Gateway,
- La fonction de monitoring de l'ADN ou BITE⁵⁹,

⁵⁷ AFDX : Avionics Full Duplex

⁵⁸ ADN : Avionic Data Network

Évolution des Architectures des Systèmes Avioniques Embarqués

- Les outils de configuration du réseau :

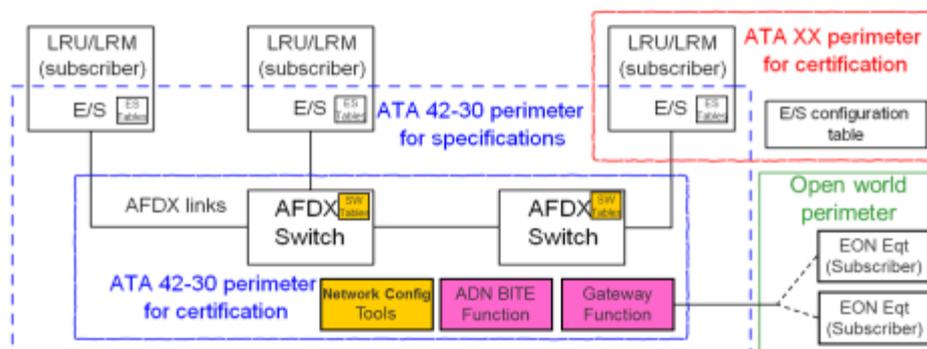


FIGURE 14 : Rôles et responsabilités au niveau Avionic data Network

L'ensemble de ces descriptions va permettre à la fois de définir la capacité de la plateforme avionique pour l'avionneur mais également l'allocation des exigences en termes de performances prévisionnelles vérifiables auprès des différents acteurs

- Analyse du comportement global d'un système avionique :
 - Vérification de propriétés attendues des applications et des données (fraîcheurs des données en entrée des applications...),
 - Mise en évidence et analyse de phénomènes dynamiques (variation de charge, variation de latence...).
- Aide à la mise en œuvre des applications :
 - Comparaison de différents partitionnements,
 - Analyse du comportement temps réel d'une application répartie...
- Aide à l'intégration :
 - Comparaison de différents choix d'allocation spatiale des partitions et des liens virtuels,
 - Comparaison de différents choix d'exécution (ordonnancement des partitions, des traitements internes aux partitions et des messages)...
- Aide au dimensionnement de l'architecture physique :
 - Comparaison entre différentes configurations au niveau de l'architecture et du réseau AFDX.

En résumé, comme nous l'avons détaillé dans les paragraphes précédents, la criticité des équipements avioniques a été classifiée en fonction de l'impact de leur défaillance sur l'avion, l'équipage et les passagers, ainsi que sur le bon déroulement de la mission : du niveau dit catastrophique DAL A ou DAL B pouvant mettre en danger l'équipage et/ou les passagers au niveau Majeur dont la défaillance met en cause le bon déroulement de la mission.

⁵⁹ BITE : Built In Test Equipment

Évolution des Architectures des Systèmes Avioniques Embarqués

Il est donc nécessaire, afin de pouvoir supporter ces applicatifs en fonction de leur niveau de criticité que la plate-forme avionique puisse répondre aux exigences suivantes :

- ⇒ Besoin de déterminisme,
- ⇒ Besoin de « Safety » : taux de défaillance maîtrisé par design et au niveau architectural,
- ⇒ Besoin de sûreté (« security » au sens anglo-saxon du terme) : robustesse aux malveillances, aux intrusions,
- ⇒ Besoin de disponibilité au niveau de l'ensemble des systèmes essentiels à la bonne conduite du vol.

L'ensemble des exigences de déterminisme, sécurité, sûreté, disponibilité ont pour conséquences :

- ⇒ Au niveau architectural, la nécessité d'introduire :
 - Une redondance matérielle avec ou sans dissimilarités (matérielle et logicielle) en fonction des systèmes mis en œuvre, (IMA, Commande de Vol, Contrôle Moteur, ...),
 - Une notion de ségrégation géographique afin que la perte d'un élément de la plate-forme ne puisse pas avoir d'impact sur le fonctionnement nominal de l'aéronef.
- ⇒ Au niveau fonctionnel :
 - La maîtrise du déterminisme devient un élément clé de la plate-forme que nous allons détailler dans le paragraphe suivant,
 - La conception de la plate-forme, au niveau du « System Integrator » doit être tolérante à une ou plusieurs pannes et doit également être robuste à l'asynchronisme de l'architecture et donc de l'ensemble des équipements qui la composent.

3.1.1.4 Propriété de Partitionnement Robuste

Comme présenté précédemment, le partage des ressources est l'élément clé d'une plate-forme Avionique basée sur une Architecture IMA, ce partage se situe au niveau du processeur et donc de l'ensemble des entrées / sorties qui lui sont associées. Ce partage se base sur le concept dit de « Robust Partitioning » permettant de garantir à chaque applicatif qu'il peut avoir un comportement identique à celui qu'il aurait eu sur une plate-forme dédiée.

Le partage des ressources et le Robust Partitioning associé ont été définis autour de deux standards :

- ⇒ Le standard ARINC653 qui définit l'ensemble des principes de partitionnement au niveau du module,
- ⇒ Le standard ARINC664 qui définit l'ensemble des principes de partitionnement au niveau du réseau de communication.

Le standard ARINC653 définit la façon de gérer l'exécution des applications avioniques sur un module de calcul (CPM). Une Application Avionique est composée de plusieurs fonctions élémentaires pouvant être exécutées sur des Modules de calcul différents.

Évolution des Architectures des Systèmes Avioniques Embarqués

Selon les principes définis par le standard ARINC653 les fonctions de différentes applications se trouvant sur un même module processing sont exécutées en respectant le principe de partitionnement :

- ⇒ Spatial (Space Partitionning) :
 - Le partitionnement est affecté aux différentes ressources nécessaires à l'exécution de l'applicatif (mémoire, entrées / sorties, bus, ...),
- ⇒ Temporel (Time Partitionning) :
 - Une période de temps est affectée à une application pour qu'elle puisse s'exécuter.

3.1.1.4.1 Space Partitioning

À chaque partition est alloué un sous-espace des ressources accessibles par le processeur (mémoire RAM, ROM, I/O, etc.) d'une façon statique via une table de configuration.

De cette façon, le « Module Integrator » a la responsabilité d'assigner, via une table de configuration, l'ensemble des ressources adressables à chaque fonction de chaque applicatif en respectant le partitionnement effectué comme présenté Figure 15.

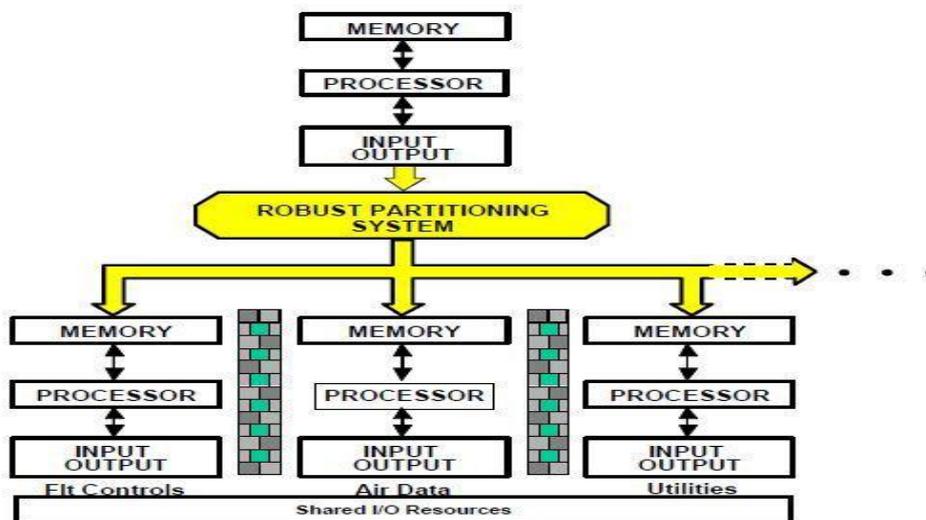


FIGURE 15 : Robust Partitioning

L'Operating System dit ARINC653 dispose de mécanismes de protection permettant d'assurer que seules les ressources accessibles par la fonction en cours d'exécution sont accessibles et que toute tentative d'accès à une ressource non autorisée sera détectée et sanctionnée.

Évolution des Architectures des Systèmes Avioniques Embarqués

3.1.1.4.2 Partitionnement Temporel au niveau exécution logicielle

Le « scheduling » des fonctions sur chaque module est défini durant la phase de « design » en allouant un « slot » temporel à chacune d'entre elles. L'exécution de ces fonctions est périodique et une période complète est appelée MAJor Frame (MAF) comme présenté Figure 16.

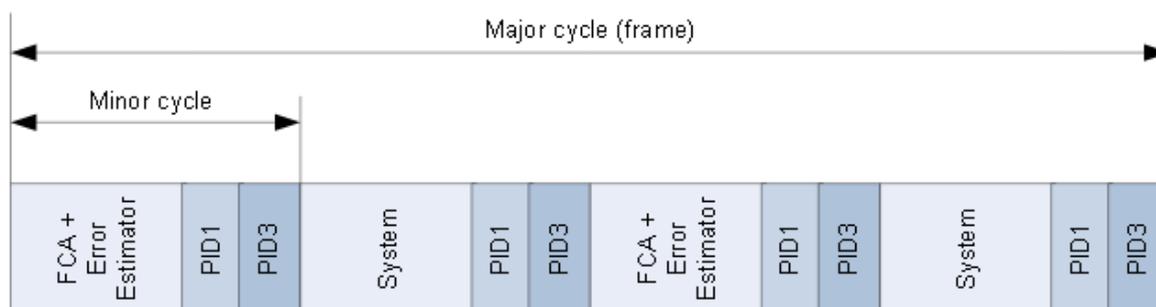


FIGURE 16 : Major and Minor Frame

Dans l'exemple de la Figure 16, les fonctions à exécuter sont représentées par FCA, PID1 et PID3. À chacune de ces fonctions est alloué un slot temporel ou « partition » pour son exécution. À la fin de cette période de temps, la partition est suspendue et une partition Système est exécutée pour reprogrammer le module de calcul avant de reprendre l'exécution d'une nouvelle.

De ce fait, chaque fonction est exécutée à intervalle périodique, aucun asynchronisme d'exécution n'est autorisé telles que les « interruptions ». Les fonctions deviennent, donc de cette façon, entièrement indépendantes et une erreur d'exécution lorsqu'elle se produit va se trouver limitée au slot temporel durant lequel la fonction fautive est exécutée.

3.1.1.5 Partitionnement Temporel au niveau communication

Le standard ARINC664 décrit la façon dont les échanges sont gérés au niveau des ressources assurant l'interface avec l'ADN. Les flots d'échanges sont ségrégués en Virtual Links (VL). Chaque VL est associé à une fonction et implémente une segmentation du trafic ou « *traffic shaper* ». Cette segmentation est caractérisée par l'allocation d'une bande passante spécifique appelée Bandwidth Allocation Gap (BAG), définissant l'intervalle de temps minimal séparant deux messages successifs.

Ce principe a été implémenté au niveau de l'architecture AFDX ou Avionics Full Duplex Switched Ethernet comme présenté par la Figure 17.

Évolution des Architectures des Systèmes Avioniques Embarqués

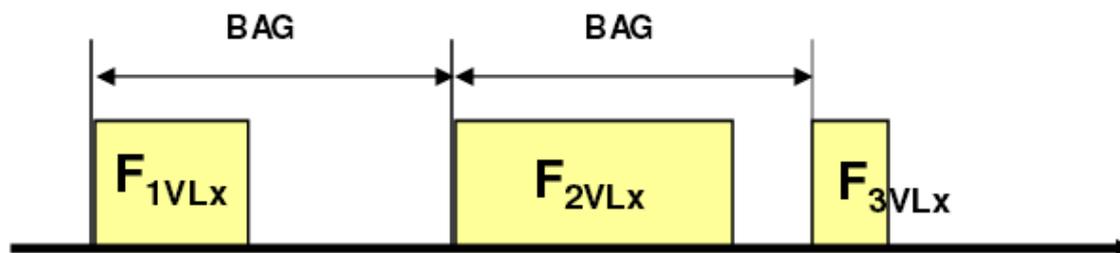


FIGURE 17 : VL et BAG sur l'ADN

L'AFDX constitue l'une des percées technologiques majeures de l'avionique de l'Airbus A380. En effet, pour la première fois sur une telle catégorie d'avions, le système avionique est basé sur un réseau Ethernet redondé et fiable.

Les critères clefs permettant l'introduction de la technologie AFDX étaient liés aux contraintes avioniques spécifiques telles que sûreté, la gestion des échanges temporels. Le choix final s'est donc porté sur l'Ethernet commuté (en full duplex). Le standard AFDX définit les spécifications électriques ainsi que le protocole d'échange des données entre les Sous-Systèmes Avioniques.

Une plateforme IMA typique comprend plusieurs modules de calcul interconnectés entre eux via un réseau commuté ARINC664. Les unités de calcul peuvent être regroupées en « cluster » interconnectés via le même switch. De ce fait, les allocations des applications tiendront compte de cette répartition en cluster.

3.1.1.6 Profil des applications déployées dans les systèmes IMA

L'architecture ARINC653 associée au standard de développement logiciel DO-178 sont les clés de la certification incrémentale. Sans la caractéristique démontrée de « robust partitionning », les systèmes ARINC653 seront de base très complexes et difficilement maintenables, chaque modification demanderait une revalidation complète de la plate-forme matérielle ainsi que de l'ensemble des applicatifs.

La notion de certification incrémentale portée par le standard DO-297 permet de garantir que les applicatifs hébergés et exécutés sur la plate-forme pourront être considérés comme indépendants uniquement si la plate-forme matérielle et son logiciel de base permettent de démontrer la caractéristique essentielle de « *Robust partitionning* » :

- Tous les services offerts par la plate-forme (matériel et logiciel de base) sont bornés temporellement, notion de WCET⁶⁰ au niveau des accès à l'ensemble des ressources matérielles et des services logiciels :
 - Maîtrise du « *Time Partitionning* ».
- La plate-forme (matériel et logiciel de base) dispose de mécanismes permettant d'assurer l'indépendance des ressources matérielles :
 - Maîtrise du « *Space Partitionning* ».

⁶⁰ WCET : Worst Case Execution Time

Évolution des Architectures des Systèmes Avioniques Embarqués

Le « *Robust Partitionning* », démontré au niveau de la plateforme assure aux « *Functions Supplier* » ainsi qu'au « *System Integrator* » la capacité de développer les applicatifs indépendamment les uns des autres ainsi que la capacité à les intégrer indépendamment les uns des autres. Pour garantir cette indépendance application / plate-forme, la norme ARINC653 a défini une interface applicative ou API⁶¹.

Chaque applicatif s'exécute sur la plate-forme dans un espace temporel défini qui lui est associé, pour cela, un fichier de configuration va permettre à « *l'Operating System* » de définir :

- Cet espace temporel :
 - Programmation des « *Timers* » et des chiens de garde (ou « *watchdog* ») associés.
- L'ensemble des ressources associées :
 - Espace mémoire,
 - Entrées / sorties,
 - Bus d'échanges,
 - VL's.

3.1.2 Synthèse

En résumé, ce chapitre nous a permis de décrire le passage d'une Architecture Fédérée à une Architecture Modulaire de type IMA ainsi que les caractéristiques principales nécessaires pour soutenir cette transformation :

- Sécurité,
- Sûreté,
- « *Robust Partitionning* »,
- Certification Incrémentale.

Comme nous le verrons par la suite, ces fonctionnalités devront être conservées lors de l'évolution de l'Architecture IMA vers la seconde génération.

⁶¹ API : Application Programming Interface

Évolution des Architectures des Systèmes Avioniques Embarqués

3.2 De l'IMA de première génération (1G) vers l'IMA de seconde génération (2G)

3.2.1 Une étape intermédiaire, l'IMA_1,5G

Avant de présenter les axes de Recherche qui vont sous-tendre les fonctionnalités qui seront offertes par l'IMA de seconde génération, il est nécessaire de présenter la démarche intermédiaire que constitue l'introduction de l'IMA_1,5G.

3.2.1.1 Architecture IMA_1G

La Figure 18 représente une plate-forme Avionique basée sur une IMA dite de première génération ou IMA_1G :

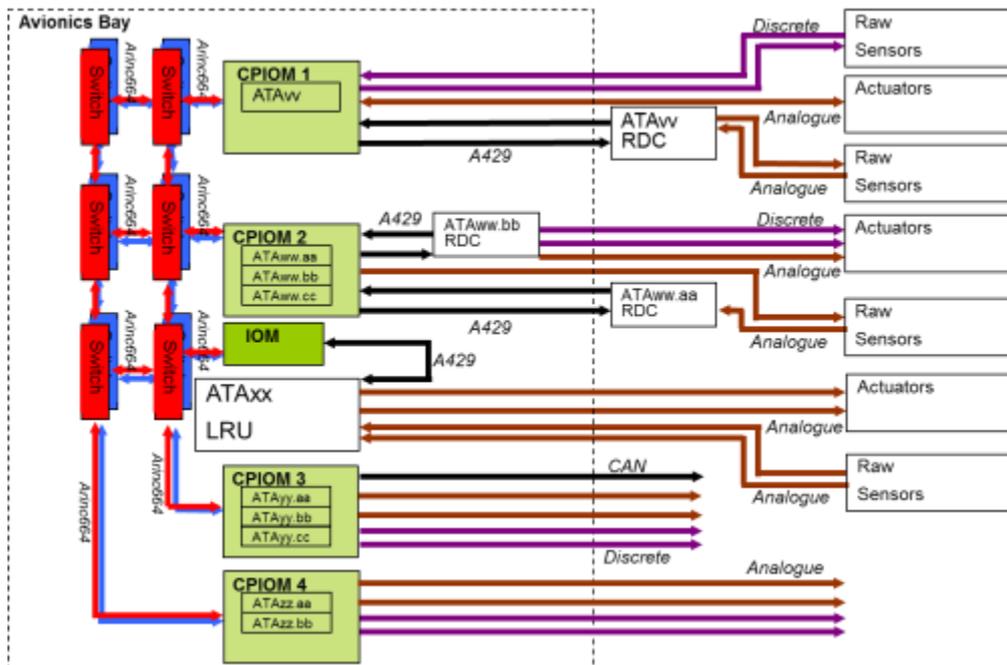


FIGURE 18 : Architecture IMA_1G

Évolution des Architectures des Systèmes Avioniques Embarqués

3.2.1.2 Architecture IMA_1,5G

Les premières évolutions par rapport à l'IMA_1G ont été introduites pour adresser les programmes Airbus A350 et Boeing B787, l'architecture IMA_1,5G est présentée Figure 19.

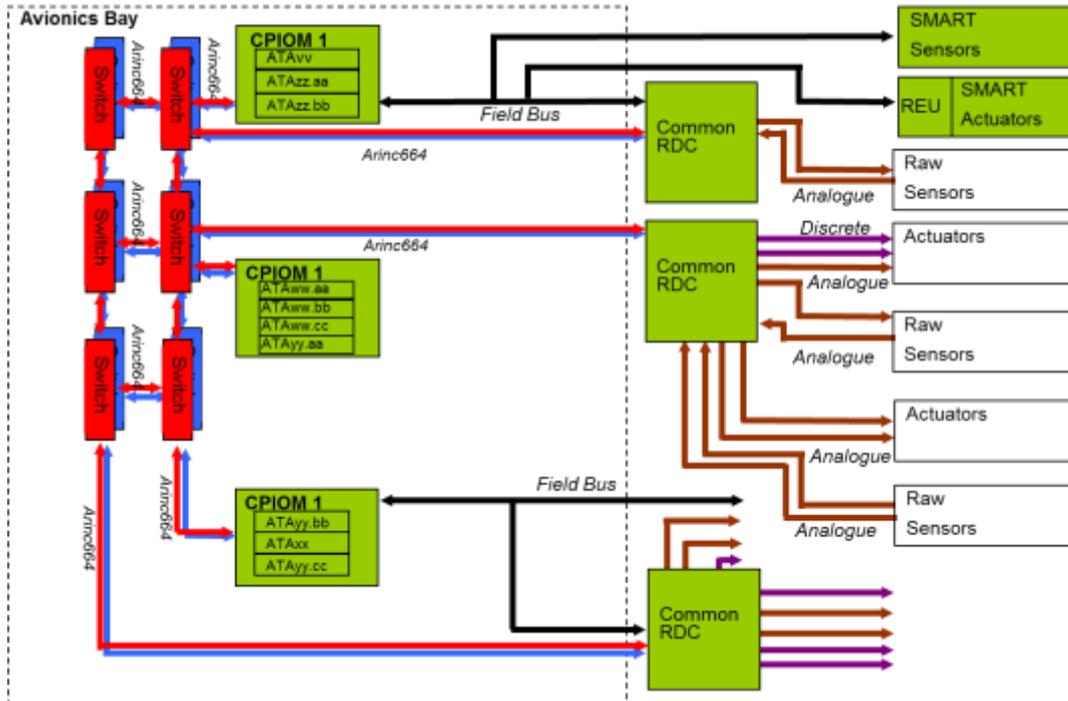


FIGURE 19 : Architecture IMA_1,5G

3.2.1.3 Principales évolutions entre IMA_1G et IMA_1,5G

Nous allons présenter, dans ce paragraphe, les principales évolutions introduites par l'architecture IMA_1,5G prémices des axes d'Études et de recherche vers l'IMA de seconde génération.

3.2.1.3.1 Au niveau processing

Au niveau de la capacité à héberger des fonctions avioniques, il faut noter que :

- ⇒ Les plates-formes avioniques basées sur un IMA_1G avaient la capacité de pouvoir héberger environ une vingtaine de fonctions ;
- ⇒ Les plates-formes avioniques basées sur un IMA_1,5 G ont la capacité d'héberger deux fois plus de fonctions.

Une puissance de calcul plus que doublée.

Évolution des Architectures des Systèmes Avioniques Embarqués

3.2.1.3.2 Au niveau des entrées / sorties

Au niveau IMA_1G, l'architecture présentée Figure 18 montre un ensemble d'éléments de calcul ou CPIOM⁶² connectés entre eux au réseau ARINC664 via des commutateurs ou Switches.

Ces éléments de calcul reçoivent la totalité des entrées / sorties nécessaires à l'exécution des applications qu'ils hébergent, de ce fait, même en étant basé sur une structure de calcul identique, ils ont été spécialisés par fonction :

- ⇒ Une évolution de l'IMA_1,5 consiste à banaliser l'ensemble des modules CPIOM en les rendant identique à la fois au niveau de leur partie calcul mais également de leur partie I/O.

Les senseurs et actuateurs utilisés en IMA_1G généraient des données « brutes » analogiques ou numériques en fonction du type de capteurs :

- ⇒ Une première évolution introduite par l'IMA_1,5G a permis de rendre une partie de ces senseurs et acteurs « smart ». Cette « smartisation » consiste à transformer les signaux analogiques en signaux numériques au plus près du senseur ou de l'actuateur. Ces données numériques seront directement transférables sur le réseau de terrain ou « *Field Bus* ».
- ⇒ Une seconde évolution consiste, pour les senseurs et actuateurs non smart (c'est-à-dire non numérisés à la source) à les interfacier via des équipements de type RDC⁶³ ou cRDC⁶⁴ qui vont se charger de les numériser. Ces données numérisées seront ensuite transférées directement sur le réseau Avionique de type ARINC664 à destination des éléments de calcul.

3.2.1.3.3 Au niveau configuration

La plate-forme Avionique IMA ainsi que son réseau ARINC664 dispose de fichiers de configuration écrits en XML standardisés au travers de la norme ARINC653 section 5.0 de la partie 1. Ce standard va définir un format pour les tables, ou fichiers de configuration d'un OS ARINC653.

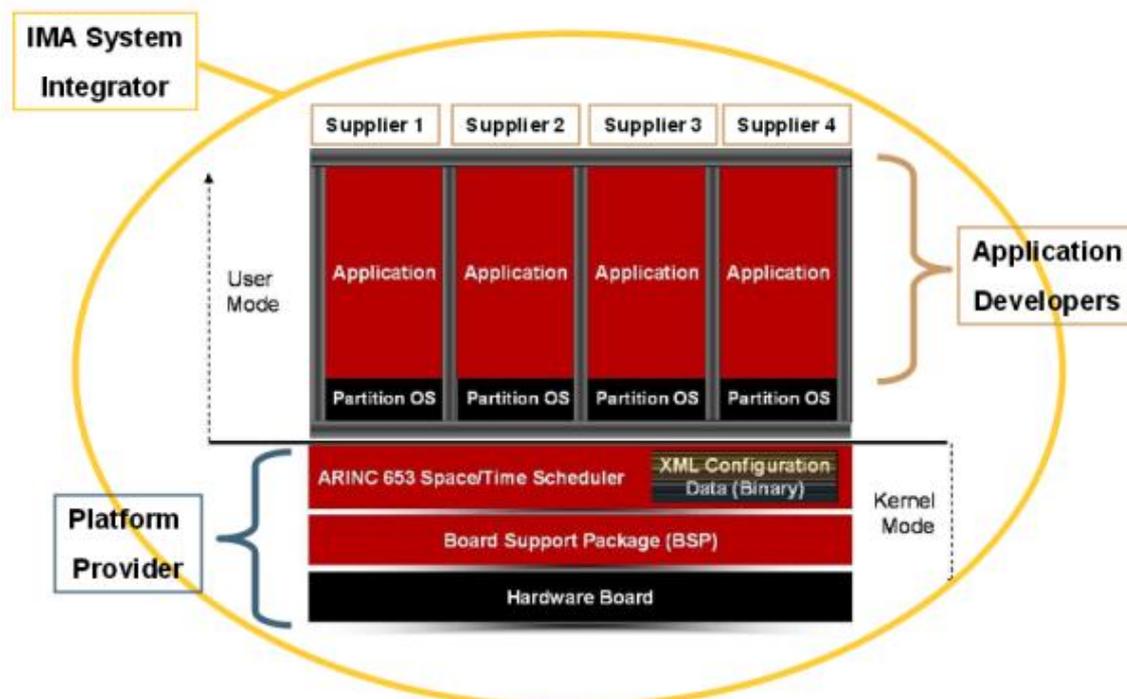
La structure et les types des données nécessaires à la configuration sont explicités et sont cohérentes des définitions données par le standard DO-297

⁶² CPIOM : Computer Processing Input Output Module

⁶³ RDC : Remote Data Concentrator

⁶⁴ cRDC : common Remote Data Concentrator

Évolution des Architectures des Systèmes Avioniques Embarqués



Courtesy of © Wind River Inc. 2008 – IEEE-CS Seminar – June 4th, 2008

FIGURE 20 : Architecture ARINC653 typique et Table de Configuration

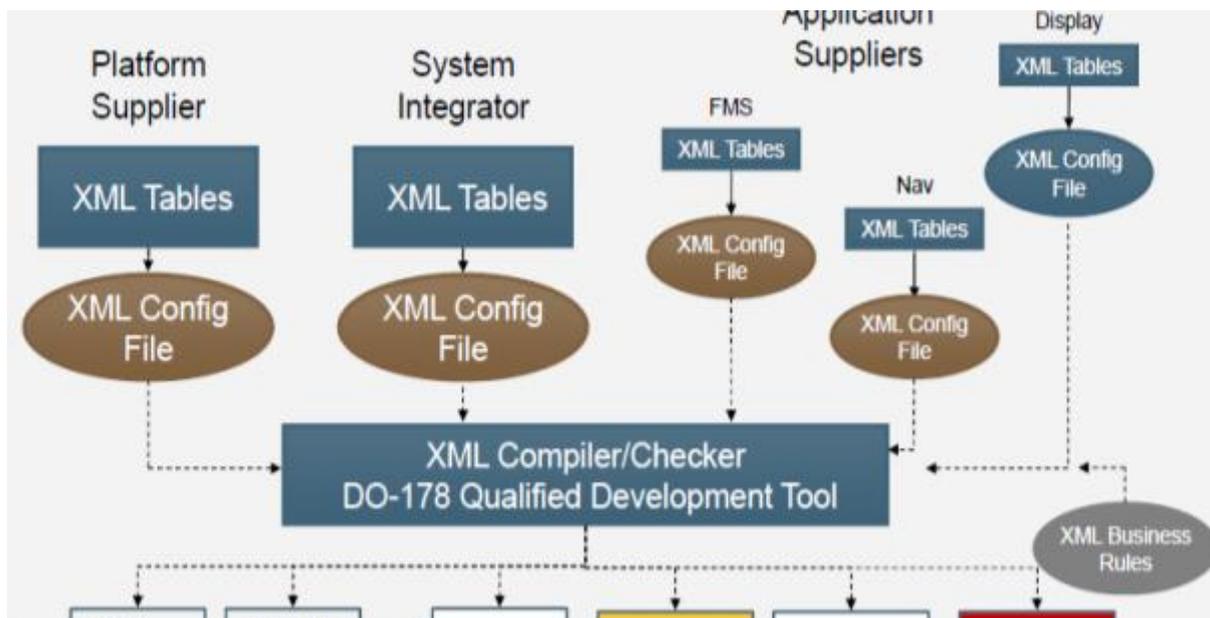
Comme présenté Figure 20, cette table de configuration permet de garantir la séparation des responsabilités entre les différents acteurs : « *Platform Provider* », « *System Integrator* » et « *Application ou Function Supplier ou Developer* » de façon à offrir une solution dite « *plug-n-play* ».

La table de configuration XML est divisée en plusieurs fichiers, chacun correspondant à un rôle particulier et correspondant à un contrat :

- Entre « *l'Application Developer* » et le « *System Integrator* » pour garantir l'allocation des ressources,
- Entre le « *Platform Provider* » et le « *System Integrator* » pour garantir les performances vis-à-vis de l'intégration,
- Entre le « *Platform Provider* » et « *l'Application Developer* » pour garantir les performances vis-à-vis de l'application.

Les avancées introduites au niveau de l'IMA_1,5G ont permis d'améliorer la gestion des ressources internes de la plate-forme Avionique IMA en introduisant la notion de variables globales et de variables locales au sein de la table de configuration. De ce fait, les responsabilités et séparations entre acteurs sont accrues réduisant ainsi le nombre de configurations possibles et limitant de ce fait le nombre de vérification à effectuer vis-à-vis de la certification, un exemple est donné Figure 21 (« Alex Wilson – Wind River »).

Évolution des Architectures des Systèmes Avioniques Embarqués



ARINC-653 AND VIRTUALIZATION - CONCEPTS FOR SAFETY - CRITICAL SYSTEMS - ALEX WILSON, WIND RIVER, DIRECTOR, EMEA AEROSPACE AND DEFENCE

FIGURE 21 : Tables de Configuration - Rôles et Acteurs

3.2.2 Vers l'IMA_2G

Nous allons présenter dans ce chapitre les principaux axes de Recherche qui vont supporter l'évolution de l'IMA vers sa seconde génération pour une entrée en service entre 2020 et 2030 en fonction de la maturité de chaque nouvelle fonctionnalité qu'elle soit réalisée au niveau Matériel, Operating System ou Middleware.

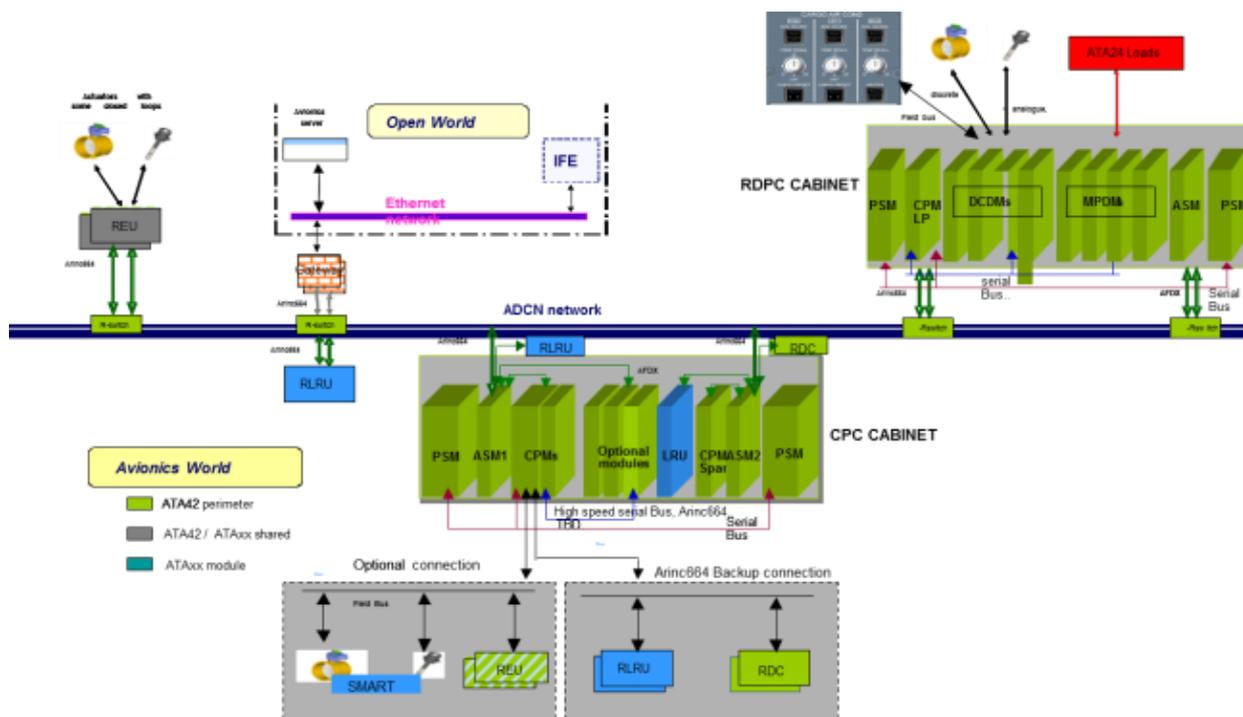


FIGURE 22 : Un exemple d'Architecture IMA_2G

Évolution des Architectures des Systèmes Avioniques Embarqués

La Figure 22 nous présente une Plate-forme Avionique basée sur une Architecture IMA dite de seconde génération ou IMA_2G. Nous pouvons introduire ci-dessous quelques-unes des évolutions majeures envisagées :

- La première concerne la gestion des entrées / sorties :
 - De plus en plus de capteurs vont être rendus « Smart » c'est-à-dire qu'ils auront la capacité de pouvoir se connecter directement sur le réseau de terrain (ou « field-bus » en anglais),
 - Les entrées / sorties seront gérées par des concentrateurs de données communs ou cRDC⁶⁵ (issu de l'architecture IMA_1,5G) qui auront la capacité :
 - de numériser les signaux qui le nécessiteront,
 - d'effectuer quelques éléments de processing.Ils permettront l'accès direct des informations au travers du réseau Avionique de seconde génération.
 - L'ensemble de ces I/O's sera géré au travers du coffret ou Cabinet RDPC⁶⁶ qui assurera les fonctions de Safety et de Disponibilité au travers de la redondance et du « dispatch » (le dispatch représente la séparation des fonctions traitées afin d'éviter la panne unique ou « single mode failure » en anglais).
- La seconde va concerner les équipements d'interface avec les actionneurs tels que ceux avec le manche, la commande de direction, les becs et volets, les spoilers (ou aérofreins) et les ailerons qui vont être connectés directement au réseau Avionique via des équipements dédiés dénommés REU⁶⁷.
- La troisième va concerner la banalisation de la fonction de calcul qui sera hébergée sur un module ou CPM. L'ensemble de ces modules seront eux-mêmes concentrés dans des fermes de calcul ou Cabinet CPC⁶⁸. Les CPM's auront pour objectif de réaliser l'hébergement et l'exécution de l'ensemble des fonctions Avioniques.
 - L'ensemble de ces CPM's seront interconnectés sur le réseau Avionique via un module Switch interne au CPC.
- La quatrième, élément clé de l'IMA_2G, concerne le middleware qui permettra d'assurer la banalisation des fonctions de traitement. Cette banalisation va autoriser la reconfiguration des fonctions applicatives sur ces éléments de calcul ce qui signifie :
 - Re-routage des messages à destination de ces fonctions et issus de ces fonctions :
 - Réallocation des VL,
 - Réallocation des Entrées / Sorties.

Le chapitre 5 suivant détaille chacune de ces évolutions en précisant pour chacune d'elles l'ensemble des axes de Recherche.

⁶⁵ cRDC : Commun Remote Data Concentrator

⁶⁶ RDPC : Remote Data Processing Concentrator

⁶⁷ REU : Remote Electronic Unit

⁶⁸ CPC : Core Processing Cabinet

Évolution des Architectures des Systèmes Avioniques Embarqués

Cette page est laissée blanche intentionnellement.

Évolution des Architectures des Systèmes Avioniques Embarqués

4 DÉMARCHE SCIENTIFIQUE

Sommaire

4 Démarche scientifique	122
4.1 Stratégie de Recherche	123
4.2 Les axes d'évolution.....	124
4.2.1 Au niveau Architectural	124
4.2.1.1 Au niveau Blade de Calcul	125
4.2.1.2 Au niveau Blade d'entrées / sorties	126
4.2.2 Processing : du mono-cœur aux multi-cœurs	127
4.2.3 Du Calculateur à la Notion de Plate-forme Avionique	130
4.2.3.1 Des Services plateforme, pour Qui ? et pour Quoi ?.....	131
4.2.4 Réseau : Évolution ARINC664	133
4.2.5 Operating System	136
4.2.5.1 Introduction.....	136
4.2.5.2 Multi-Processing Asymétrique (AMP)	137
4.2.5.3 Symmetric multiprocessing (SMP)	138
4.2.5.4 Bound multiprocessing (BMP).....	139
4.2.5.5 Stratégie de Migration	140
4.2.5.6 Choix entre AMP, SMP et BMP.....	140
4.2.6 Gestion des Entrées / Sorties	140
4.2.6.1 Introduction.....	140
4.2.6.2 La versatilité : Vers une réduction du nombre de « Parts Number ».....	142
4.2.6.3 Caractéristiques de ces interfaces d'Entrées / Sorties.....	145
4.2.7 La problématique DSM	145
4.2.7.1 Position du Problème	145
4.2.7.2 Impact des Radiations sur l'Accélération de ces Mécanismes.....	150
4.2.7.3 Conséquences.....	152
4.2.7.3.1 Prise en compte du vieillissement	152
4.2.7.3.2 Cas des composants DSM	153
4.2.7.3.3 Le vieillissement des DSM.....	154
4.2.8 Synthèse	156

Évolution des Architectures des Systèmes Avioniques Embarqués

4.1 Stratégie de Recherche

Le chapitre 3 nous a présenté les évolutions fonctionnelles entre les différentes générations d'architecture IMA : IMA_1G déployée opérationnellement sur l'Airbus A380, l'IMA_1,5G déployée opérationnellement sur l'Airbus A350 et le Boeing B787 et l'IMA_2G en cours de définition.

Nous allons détailler dans ce chapitre les axes de recherche liés à ces évolutions fonctionnelles.

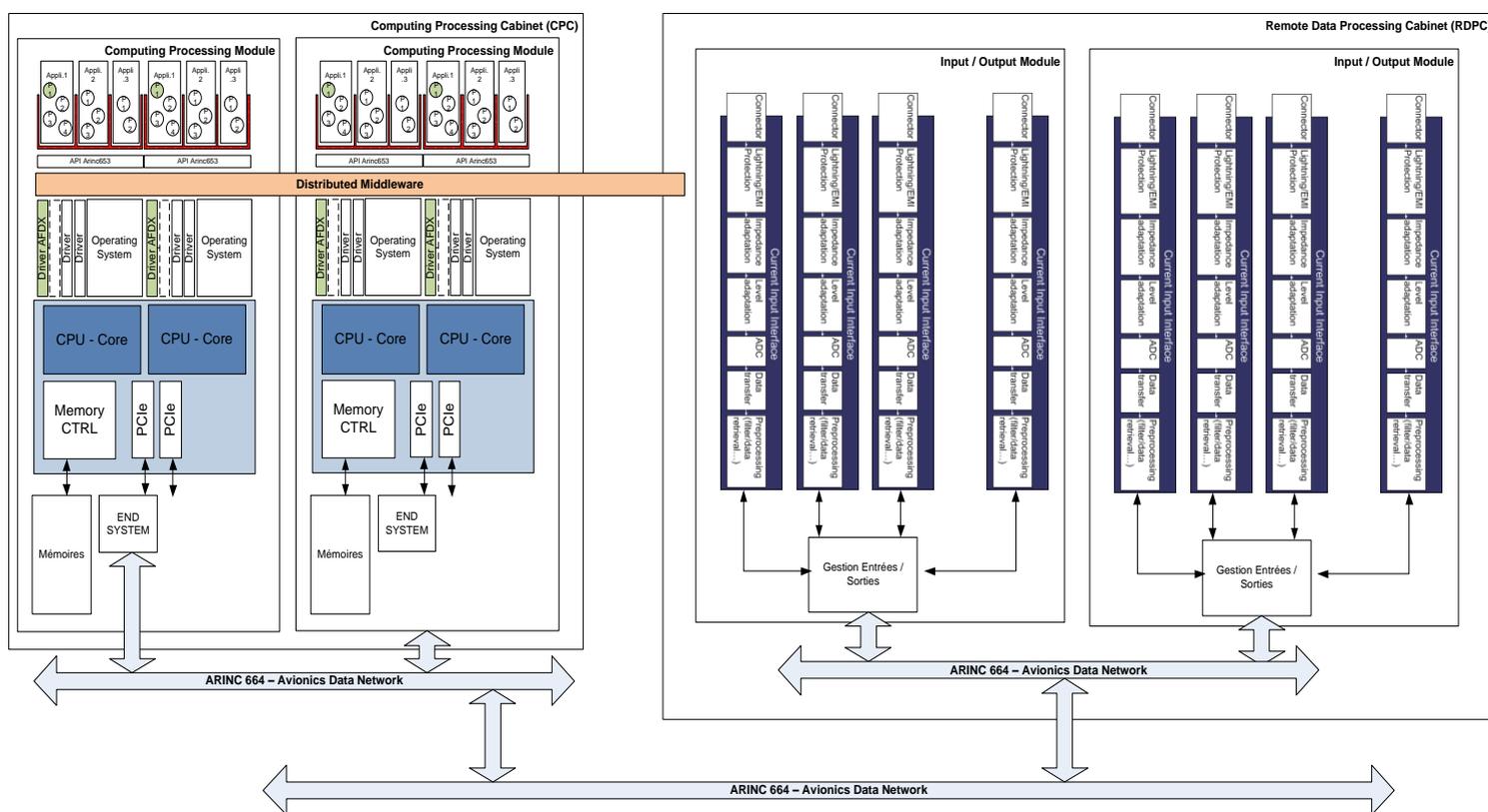


FIGURE 23 : Projection Architecture IMA_2G

La Figure 23 nous donne une vue schématique d'une architecture sur base IMA_2G intégrant le Cabinet CPC ou « Ferme de calcul » sur la gauche, le Cabinet RDPC ou Gestionnaire d'entrées / Sorties sur la droite ainsi que le mode de communication et d'échange de données.

Nous allons décrire pas à pas, dans les chapitres suivants, comment les évolutions fonctionnelles font et feront l'objet de Recherches sur les différents éléments constitutifs de la Plate-forme Avionique.

Évolution des Architectures des Systèmes Avioniques Embarqués

4.2 Les axes d'évolution

4.2.1 Au niveau Architectural

Sur la Figure 23, nous avons représenté l'architecture de la Plateforme Avionique autour de deux de ses composantes principales : le Cabinet RDPC et le Cabinet CPC. L'évolution architecturale n'est pas simplement liée à la séparation entre l'Unité de Calcul et l'Unité d'Entrées / Sorties, cette évolution va permettre d'apporter une liberté d'utilisation au « System Integrator » en lui offrant la capacité de disposer d'une configurabilité dynamique de sa plate-forme en fonction d'événements extérieurs tels que panne, évolution, exécution applicative fonction des différentes phases de la mission telles que : roulage, décollage, montée, palier, descente, atterrissage, roulage.

L'évolution de la plateforme Avionique doit également permettre de continuer la migration vers la plate-forme IMA des applicatifs qui restent encore hébergés sur des équipements spécifiques.

Faisons un bref rappel

- L'introduction de l'IMA_1G a permis d'héberger et d'exécuter environ une quinzaine d'applicatifs différents,
- L'IMA_1,5G a quant à elle permis d'héberger et d'exécuter environ deux fois plus d'applicatifs,
- L'objectif de l'IMA_2G est de pouvoir disposer d'une capacité d'hébergement et d'exécution de plus d'une centaine d'applicatifs distincts. En effet, les normes et standards avioniques évoluent, le domaine de vol de l'avion évolue également et l'ensemble de ces évolutions demandent à devoir héberger et exécuter de plus en plus applications spécifiques.

Évolution des Architectures des Systèmes Avioniques Embarqués

4.2.1.1 Au niveau Blade de Calcul

Analysons l'impact de l'évolution de ces besoins sur la plate-forme Avionique, la Figure 24 nous présente ce que va être un module de calcul encore appelé « Blade » :

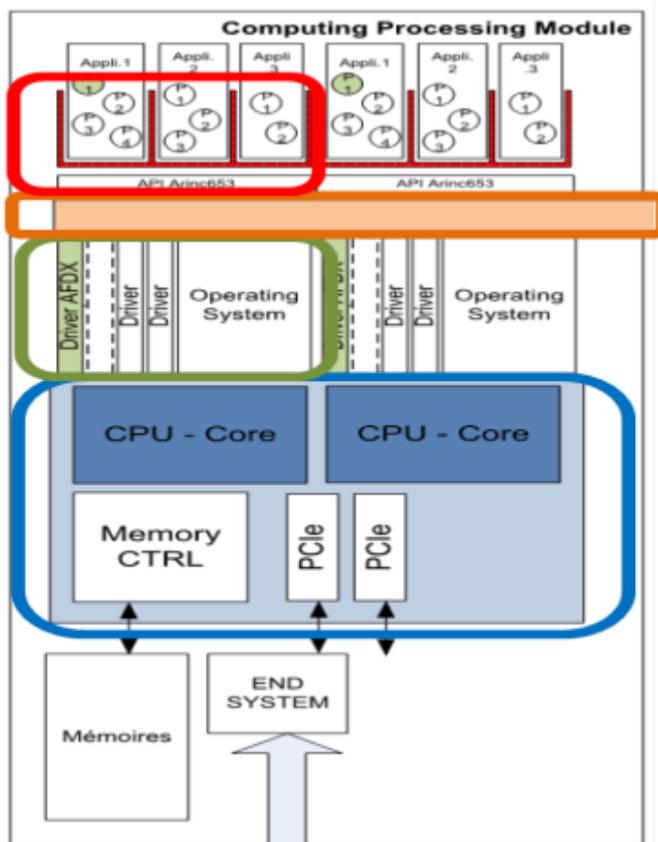


FIGURE 24 : Module CPM

- Entouré de **BLEU**, le cœur de ce module : le processeur.
 - Les processeurs sont des éléments sur étagère ou COTS⁶⁹. Ce domaine évolue du mono au multi ou many cœurs, afin de pouvoir offrir la puissance de calcul nécessaire à l'exécution des applicatifs cette évolution sera à intégrer au sein du Module de Calcul.
- Entouré de **VERT**, l'Operating System (ou OS) et ses drivers associés,
 - Un processeur multi-cœur doit être maîtrisé dans un environnement IMA c'est-à-dire en conservant le « Robust partitionning ». dans ce contexte, l'OS sera l'une des clés.
- Entouré **D'ORANGE**, le Middleware Distribué,
 - C'est la clé de voute de l'IMA_2G qui va permettre de considérer la plate-forme avionique comme un élément « fédéré ».

⁶⁹ COTS : Commercial Off The Shelves

Évolution des Architectures des Systèmes Avioniques Embarqués

- Nous pouvons considérer que l'IMA_1G a introduit l'architecture distribuée, l'IMA_1,5G a quant à elle, introduit la notion de « Network Centric », un réseau interconnectant l'ensemble des ressources.
- L'IMA_2G va introduire une rupture architecturale avec la notion de « Data Centric », l'important reste le traitement et la mise à disposition, au moment voulu, de la données où elle est nécessaire et avec le niveau de « safety » donné. C'est cette notion qui sera supportée par ce middleware inter-opérable sur l'ensemble des éléments constitutifs de la plate-forme.
- Enfin entouré en **ROUGE**, l'interface applicative qui va devoir évoluer afin de tirer bénéfice de la capacité offerte par le middleware.

L'IMA est un système complexe qu'il est nécessaire de maîtriser afin de pouvoir héberger et exécuter des applicatifs. Cette maîtrise est nécessaire dans les phases amont de réponse aux appels d'offre et dans les phases aval durant le développement de la plate-forme afin de pouvoir maîtriser l'impact des évolutions.

4.2.1.2 Au niveau Blade d'entrées / sorties

Nous avons analysé l'impact de l'évolution de ces besoins sur la plate-forme Avionique au niveau du Module (ou « Blade ») de calcul, analysons maintenant l'impact de l'évolution de ces besoins au niveau de la brique d'entrées / sorties.

La Figure 25 détaille l'architecture d'un Module (ou Blade) I/O. Une des particularités du domaine avionique est le nombre très important d'entrées / sorties traitées par un Module de Calcul (plusieurs centaines). En effet chaque application doit pouvoir disposer de ses ressources propres afin de définir son contexte d'évolution et la façon d'interagir sur ce domaine.

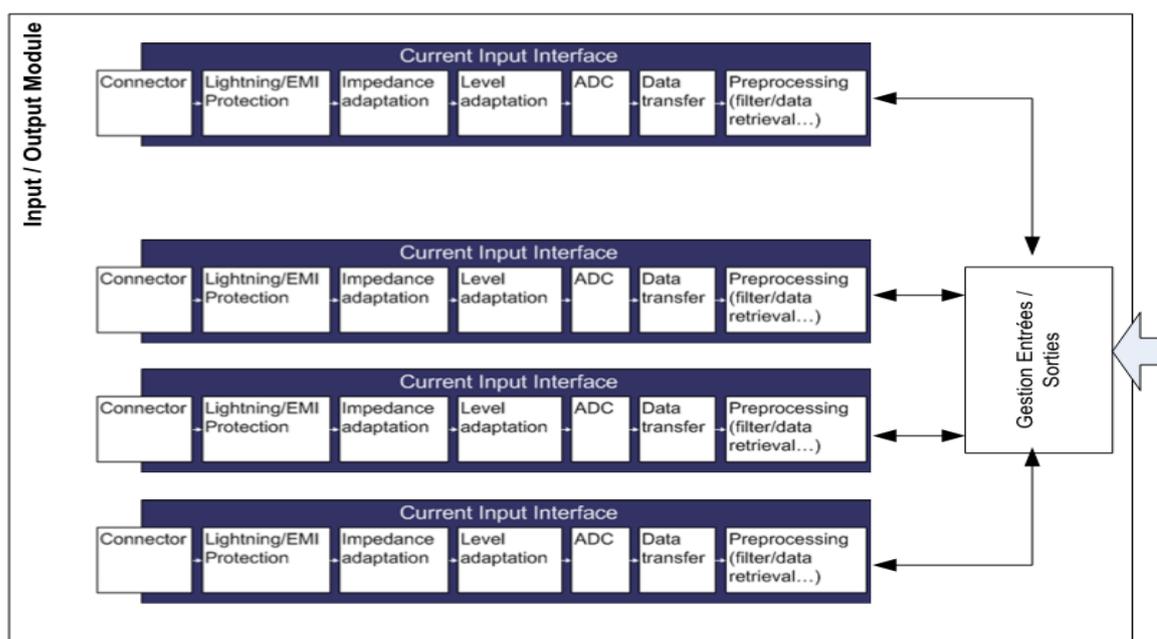


FIGURE 25 : Module d'Entrées / sorties

Évolution des Architectures des Systèmes Avioniques Embarqués

Chaque porteur Avionique est différent non seulement au regard du nombre d'interfaces à traiter mais également des caractéristiques de ces interfaces ou entrées / sorties.

De ce fait, l'un des axes majeur de recherche, dans le cadre de l'IMA_2G, consiste à étudier comment banaliser ces interfaces, on introduit alors la notion de versatilité.

Nous allons détailler les axes de Recherche que nous avons menés dans le cadre de l'introduction de ces ruptures.

4.2.2 Processing : du mono-cœur aux multi-cœurs

Depuis plusieurs années, le marché des processeurs a évolué des architectures dites mono-cœurs vers des architectures dites multi-cœurs.

« Le règne des architectures mono-cœur est terminé »



La version la plus populaire de la loi de Moore qui prévoyait un doublement de la performance par processeur élémentaire tous les deux ans s'est arrêtée aux environs de 2006. La course au GHz est stoppée du fait de la dissipation de plus en plus élevée observée au-delà de 1 GHz (environ 50% de la consommation est liée au maintien de l'état statique – Source Intel).

Au contraire, la version originale de la loi de Moore qui consistait à observer le doublement du nombre de transistors tous les 18 à 24 mois demeure, elle, d'actualité, comme nous le montre la Figure 26 ci-dessous.

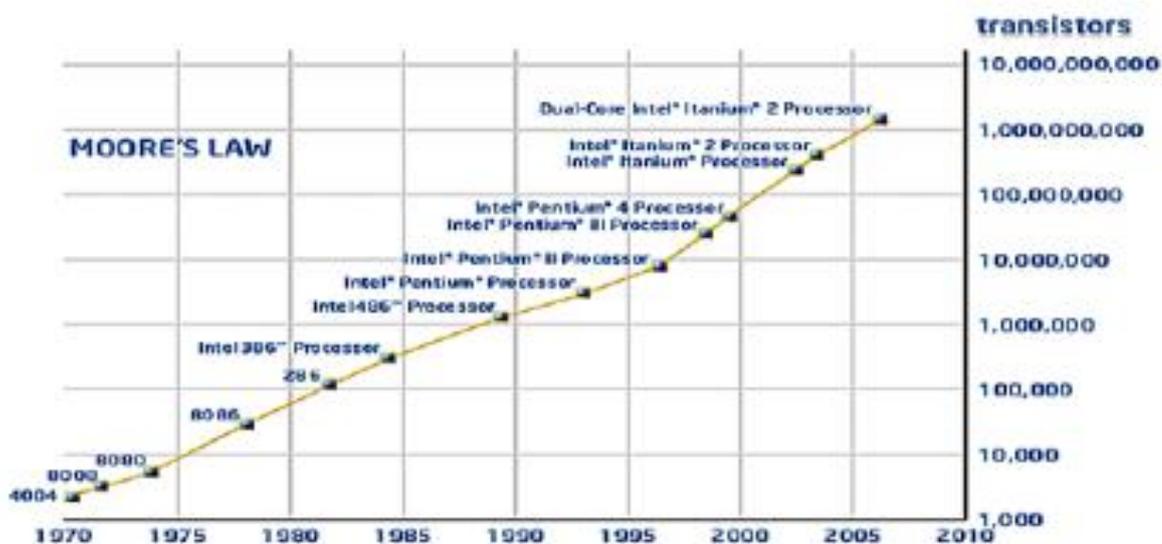


FIGURE 26 : Loi de MOORE

Intel, IBM, AMD et d'autres fondeurs ne peuvent plus limiter l'offre de performance de leurs composants uniquement en augmentant leurs fréquences de fonctionnement car la puissance à dissiper devient trop importante.

Évolution des Architectures des Systèmes Avioniques Embarqués

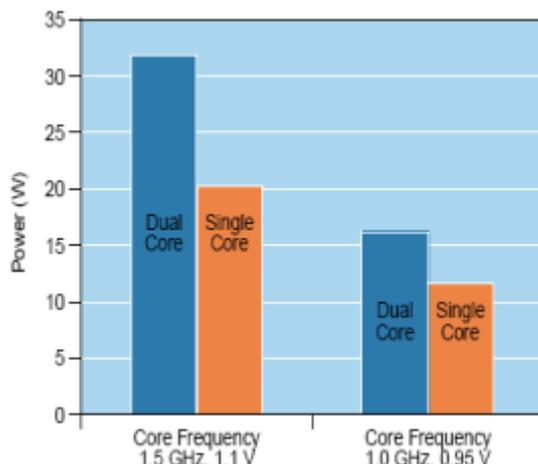


FIGURE 27 : Comparaison mono & Multi-Cœurs

Toutefois, ces mêmes fondeurs ont compris l'intérêt qu'il y avait à utiliser la surface de silicium offerte par la réduction des finesses de gravure en multipliant le nombre de cœurs dans le but de maintenir la puissance à dissiper à des valeurs acceptables tout en multipliant la puissance de calcul offerte (théoriquement par le nombre de cœurs embarqué), comme l'illustre la Figure 27.

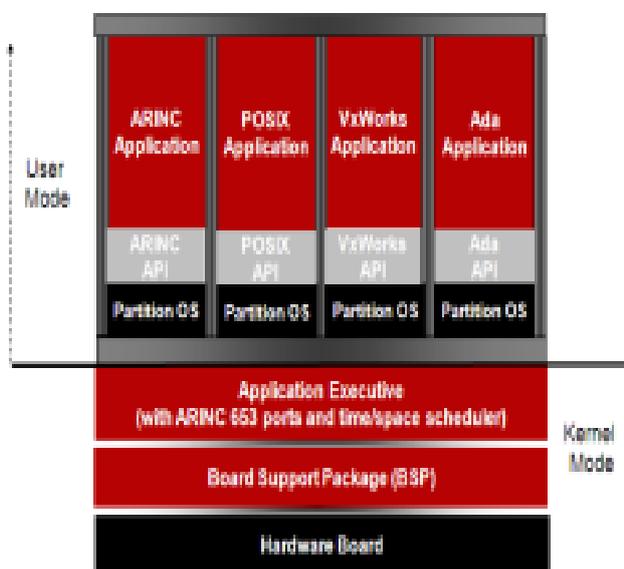


FIGURE 28 : Concept IMA

Le concept IMA présenté par la Figure 28, introduit avec le développement de l'Airbus A380 a permis d'intégrer plusieurs applications au sein d'un seul calculateur et d'une seule unité de calcul mono-cœur, ce faisant, l'indépendance entre les applications était assurée par des mécanismes de ségrégation spatiale et temporelle. La ségrégation spatiale concerne l'accès aux ressources maîtrisé de façon à éviter qu'un bug ne puisse se propager hors des espaces mémoires alloués à l'application fautive et la ségrégation temporelle permet aux applications ou aux « threads » de chaque application de pouvoir s'exécuter de façon séquentielle.

Cette ségrégation spatio-temporelle répond à la norme ARINC653.

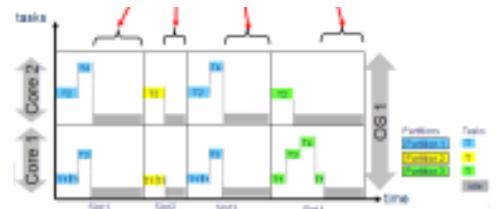
Dans un environnement avionique certifié, la migration d'une architecture processeur mono-cœur à une architecture processeur multi-cœurs introduit plusieurs problématiques à résoudre :

- La première va concerner le maintien de l'acquis obtenu sur l'architecture mono-cœur via le concept IMA et l'ARINC653 :

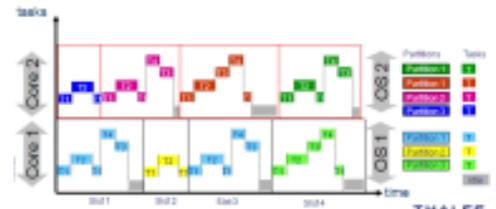
Évolution des Architectures des Systèmes Avioniques Embarqués

- ⇒ savoir exécuter plusieurs applications sur une seule plate-forme en garantissant la ségrégation spatiale et temporelle des ressources (il faut s'assurer qu'une application « n » ne peut accéder qu'aux ressources « n » qui lui sont dédiées).
- La seconde va concerner l'accès aux ressources communes au sein du processeur, à savoir, définir quels sont les mécanismes à implémenter afin de pouvoir garantir un temps d'exécution maximal pour chaque service offert aux applications :
 - ⇒ Notion de WCET (Worst Case Execution Time),
 - ⇒ Maîtrise de l'hyperviseur : couche logicielle et matérielle virtualisant l'accès aux ressources internes et/ou externes du processeur.
- La troisième va concerner directement l'Operating System et la gestion de la parallélisation et de ce fait va déterminer l'architecture du logiciel :

⇒ Architecture SMP : un seul Operating System assurant la gestion de l'ensemble des cœurs du processeur et de ce fait allouant les "threads" d'une seule application aux cœurs disponibles.



⇒ Architecture AMP : un Operating System est supporté par chaque cœur, cette architecture permet donc de pouvoir exécuter plusieurs applications (une par cœur) dans un même slot temporel.



Comme indiqué précédemment, que cela soit au niveau du contexte ou au niveau de la problématique, nous avons à faire face à l'évolution de plusieurs critères de façon simultanée :

- Le domaine couvert par l'IMA s'est accru et continue de s'accroître.
- Les performances demandées sont de plus en plus contraignantes :
 - Plus de puissance de calcul demandée,
 - Plus de fonctions hébergées,
 - Plus de mémoire consommée,
 - Plus de bande passante utilisée,
 - Maîtrise plus fine des latences,
 - Maîtrise plus fine des WCETs.
- Maîtrise de l'évolution des technologies processeurs et introduction des multi-cœurs, gestion de l'accès aux ressources communes grâce à la maîtrise de l'hyperviseur.

L'ensemble de ces contraintes va nous amener à étudier la façon de maîtriser un processeur multi-cœurs afin de pouvoir l'utiliser dans un environnement avionique certifié.

Cette maîtrise et donc sa gestion doivent porter sur le processeur au niveau de la couche dite hyperviseur mais également sur la définition de l'architecture logicielle à embarquer

Évolution des Architectures des Systèmes Avioniques Embarqués

permettant de satisfaire les objectifs de performances, sécurité (« safety »), certification, WCET.

L'approche envisagée consiste, en s'appuyant sur l'architecture interne des processeurs multi-cœurs, à comprendre les mécanismes de fonctionnement permettant la gestion de l'accès aux ressources communes. L'objectif est de définir comment les contrôler d'une façon prédictive.

Nous détaillerons dans le Chapitre suivant l'ensemble de nos travaux de Recherche liés à cette thématique.

4.2.3 Du Calculateur à la Notion de Plate-forme Avionique

La première génération d'architecture IMA ou IMA_1G a fait l'objet de Recherches au travers des succès d'un certain nombre de Programmes de Recherche. Nous pouvons citer entre autres : NEVADA, PAMELA ou VICTORIA. Ces programmes nous ont permis de passer des Architectures dites Fédérées aux Architectures dites Distribuées.

Cependant, de nouveaux drivers ont émergé, qu'ils soient de nature marché ou encore socio-économiques, depuis l'introduction de l'IMA_1G ou encore 1,5G à bord des Avions Airbus A380, Airbus A400M, Airbus A350 ou encore Boeing B787, demandant à analyser comment accroître d'une façon significative les capacités de l'Architecture IMA.

Ces drivers peuvent être traduits par :

- Une réduction des temps de développement des nouvelles générations d'avions liée à l'augmentation croissante du trafic aérien (+5% par an). Les programmes de développement d'avion sont réduits de 10 ans à 5 à 8 ans :
 - Afin d'éviter les re-design pour chaque nouveau programme (Regional tel ATR42, Sort Range tel A320 ou B737, Long Range tel A330 ou B787 et Business Jet), l'architecture de l'avionique doit être rendue adaptable, « scalable » et mature.
- Une réduction des coûts d'exploitation pour les compagnies aériennes avec un effet direct sur la réduction du coût des billets :
 - Cette réduction est liée en partie à l'augmentation de la fiabilité des équipements tout en réduisant leurs coûts et leur empreinte environnementale (taille, poids, consommation).
- Disponibilité à 100% qui va avoir un impact direct à la fois sur les coûts d'exploitation et sur le confort des passagers :
 - Une disponibilité à 100% demande à pouvoir proposer une réponse architecturale à cette exigence afin d'être tolérant aux fautes et de proposer des mécanismes de configuration et de reconfiguration, dynamiques permettant d'atteindre cet objectif sans nécessiter de moyens ou redondances supplémentaires.

Ces drivers qu'ils soient socio-économiques ou liés au marché demandent à ce que la prochaine génération d'IMA :

- Soit « scalable » sur une large variété de porteurs :

Évolution des Architectures des Systèmes Avioniques Embarqués

- Business Jet, Regional, Short Range, Long Range.
- Supporte beaucoup de fonctions actuellement hors du périmètre classiquement adressé par l'IMA_1G telles que :
 - Fonctions dites « safety-critical »,
 - Fonction à forts niveaux d'entrées / sorties,
 - Boucle de contrôle / commande,
 - Gestion des Charges électriques afin de pouvoir adresser « l'Avion plus Électrique ».
- Offre une compatibilité avec les interfaces applicatives standards du marché,
- Offre un niveau de maturité de niveau au moins égale à un TRL6 dès les premières intégrations et ce, quelle que soit la complexité de la plateforme avionique, afin d'aider au développement et à l'intégration des applicatifs,
- Offre un très haut niveau de fiabilité et de disponibilité tout en garantissant le respect des standards de « Safety » et de « Security ».

Et enfin, la prochaine génération d'IMA devra être supportée par des outils de développement et d'intégration au niveau Système, Software et hardware

Les architectures IMA_1G et IMA_1,5G ont permis de finaliser la première étape step de « rationalisation » de l'électronique embarquée, par contre ces architectures n'ont pas été étudiées et conçues pour prendre en considération les nouvelles exigences émergentes que nous venons de décrire.

Nous allons présenter dans le paragraphe suivant les axes de recherche permettant d'adresser ces nouvelles exigences et orienter les futurs développements.

4.2.3.1 Des Services plateforme, pour Qui ? et pour Quoi ?

Tout d'abord tâchons de répondre à la question suivante : quels sont ces services plateforme offerts par la plate-forme ?

Les services plateforme qui constituent l'objet de nos recherches peuvent et doivent bénéficier à chaque contributeur de l'Architecture IMA :

- Intégrateur Système ou System Integrator,
- Développeur Applicatif ou Function Supplier,
- Développeur de la plate-forme ou Platform Provider.

L'interface entre les Applicatifs et les Services Plateformes se fera au travers d'interface de programmation applicative ou API⁷⁰ (par exemple, l'interface applicative API ARINC653 encore nommée APEX653). Ces services plateformes vont assurer, entre autres, les fonctions classiques telles que :

⁷⁰ API : Application Programming Interfaces

Évolution des Architectures des Systèmes Avioniques Embarqués

- Le « Scheduling » (cadencement),
- La gestion de la mémoire,
- La gestion des communications,
- La gestion du temps,
- La surveillance de bon fonctionnement ou health monitoring.

Elles vont également prendre en charge la gestion de ressources spécifiques telles que :

- La mémoire de masse,
- Les ressources graphiques,
- etc.

Les opérateurs avioniques ont également des besoins spécifiques qu'il faudra prendre en considération durant les phases opérationnelles ou lors d'opérations de maintenance. Ces services peuvent être :

- Le téléchargement,
- La configuration de la plateforme avionique.

L'architecture IMA2G elle-même, de par ses capacités offertes au niveau reconfiguration va demander à disposer de services de monitoring très performants permettant également de connaître la charge utile de chaque élément de la plateforme (puissance de calcul consommée, disponible, allocation mémoire, allocation bus, etc.).

Enfin nous aurons à prévoir des services complémentaires permettant de couvrir l'ensemble de son cycle de vie : de la fabrication à la maintenance de façon à pouvoir concevoir, fabriquer, tester, monitorer et réparer chaque élément de la plateforme avionique.

La Figure 29 va donner une vue schématique de l'ensemble des services plateformes nécessaires pour la plateforme avionique.

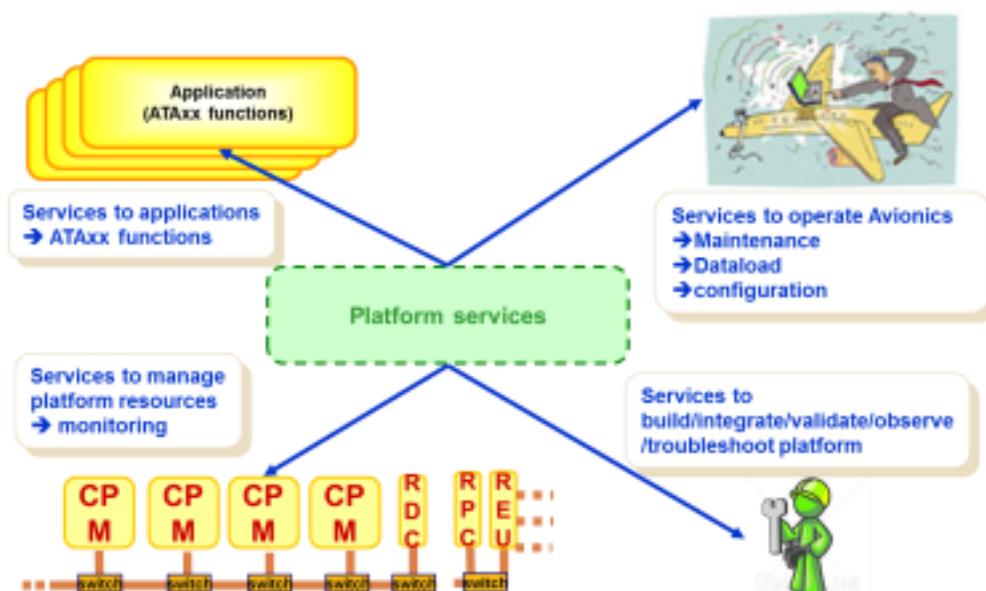


FIGURE 29 : Une vue des Services Plateformes

Nous détaillerons ces travaux et notre contribution dans le chapitre 5 suivant.

Évolution des Architectures des Systèmes Avioniques Embarqués

4.2.4 Réseau : Évolution ARINC664

Aujourd'hui, les plateformes avioniques sont développées selon le concept (IMA) Avionique Modulaire Intégré, permettant à un module de traitement d'héberger une ou plusieurs applications dans le but de réduire l'Espace, le Poids, la Puissance consommée et les coûts tout en augmentant la performance.

Suivant cette évolution, les architectures réseau ont été développées afin de permettre aux différents modules d'être interconnectés et de pouvoir communiquer entre eux via un réseau déterministes qui doit supporter des échanges de données entre les fonctions critiques (niveau de DAL élevé), que ces communications soient intra module ou inter modules.

La réponse apportée est entièrement conforme aux propriétés de la plateforme IMA pour l'architecture du Réseau de Données Avionique. Il s'agit d'un système de communication centralisé utilisant plusieurs Commutateurs (ou Switchs) Avioniques comme équipement central. L'ensemble du réseau étant conforme à la norme ARINC664 Part7, qui définit un réseau de communication commuté déterministe à 100Mbps par lien utilisant une base Ethernet.

Ce réseau a fait l'objet de plusieurs études afin d'accroître sa bande passante, vers le Gbps, tout en réduisant la latence d'échanges.

Cependant, il est à noter qu'un système de communication centralisé se trouve avoir une empreinte physique « lourde » lorsqu'il s'agit d'adresser des porteurs tels que les avions régionaux, les Business Jet ou les hélicoptères. Ces porteurs exigent de disposer d'un réseau de Données Avionique compatible de leurs contraintes de taille, de poids et de coûts mais qui offre des qualités de service garantissant la disponibilité et la ségrégation à l'intérieur du système de communication compatible de celles des avions commerciaux.

Cet impact négatif est souligné par la nécessité pour télécharger vers le serveur les tables de configuration pour chaque End System et contrôleur A664 Part7, du Commutateur à l'ensemble des équipements avioniques.

Nos travaux ont porté sur une approche en rupture, par rapport au système A664 actuel, permettant de minimiser le SWaP⁷¹ (réduction de l'encombrement, du Poids et de la Puissance consommée). Notre approche permet, au niveau du Réseau de Données Avionique de le faire évoluer d'un système de communication centralisé vers un système de communication distribué sans qu'aucun équipement de commutation dédié supplémentaire ne soit nécessaire.

Néanmoins, afin de pouvoir respecter les contraintes telles que la maîtrise de la latence du flux de données, la ségrégation ou encore la disponibilité du réseau en cas de la perte d'abonné, nous avons fait porter nos travaux sur la configurabilité du réseau tout en conservant la compatibilité avec l'ARINC664 au niveau des propriétés telles que le partitionnement du flux de données, le contrôle et la structure de la trame.

⁷¹ SWaP : Size, Weight and Power

Évolution des Architectures des Systèmes Avioniques Embarqués

La Figure 30 montre l'évolution d'une gestion du réseau centralisée (autour de Switchs) à une gestion du réseau répartie (Switch Distribués).

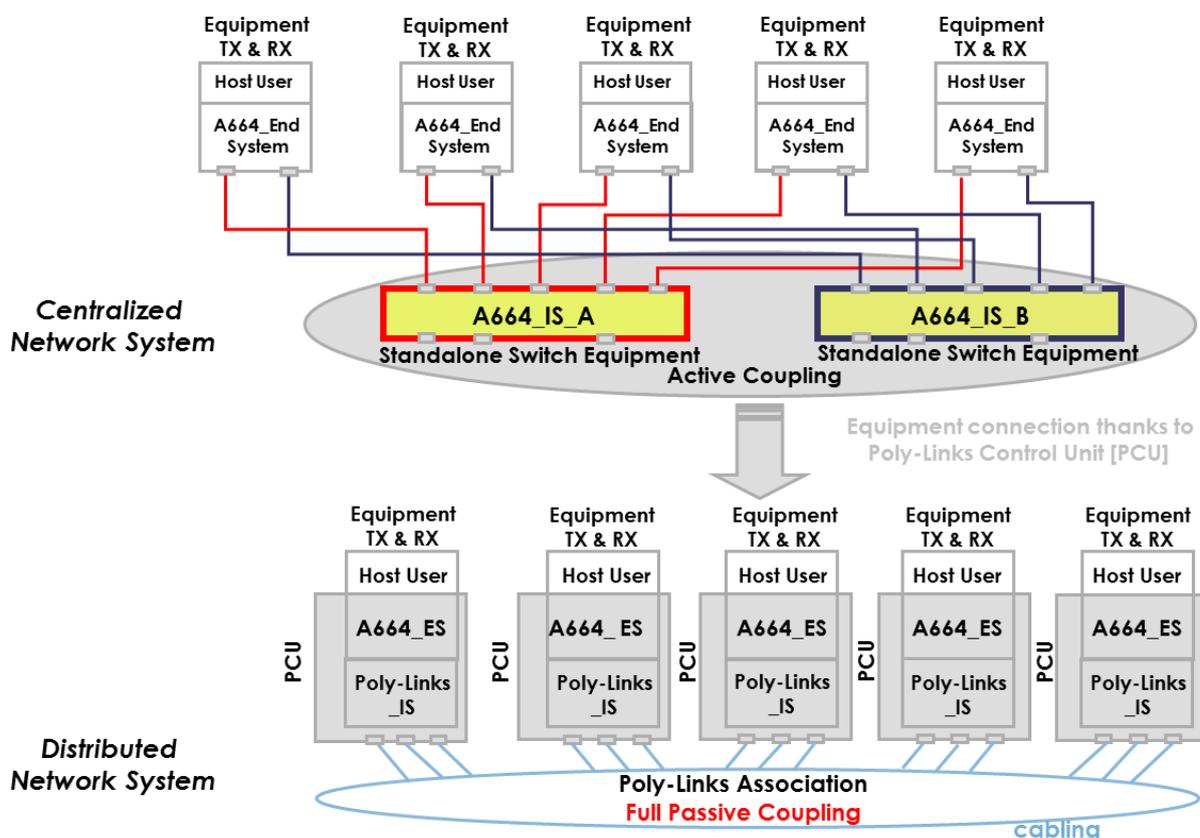


FIGURE 30 : D'une gestion Réseau Centralisée à Une gestion Répartie

Nous avons orienté nos travaux autour d'une Architecture Réseau que nous avons nommé PlaNet pour Polylinks Avionics Network qui va définir un jeu de principes pour la gestion du flux des données adaptée à plusieurs topologies de liaisons inter-équipement.

Évolution des Architectures des Systèmes Avioniques Embarqués

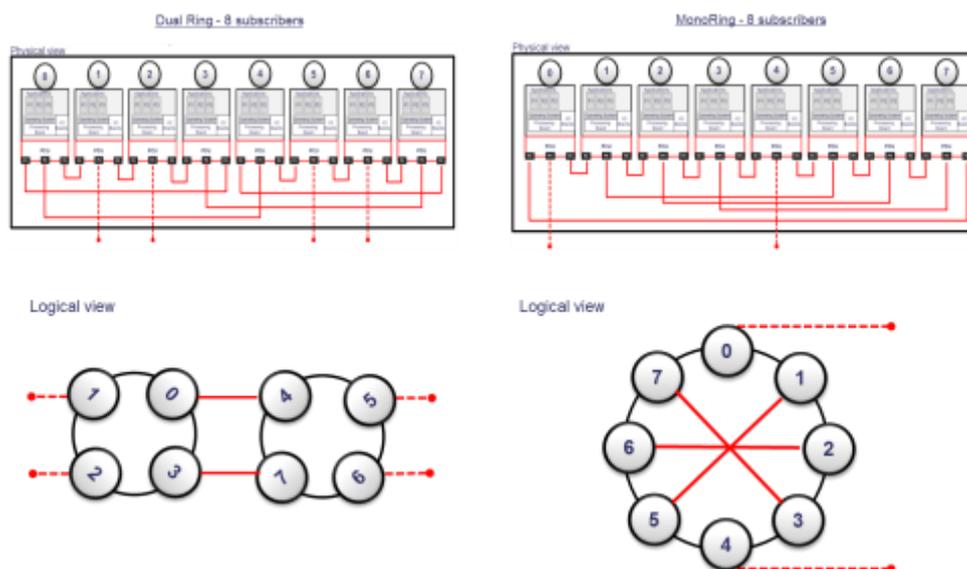


FIGURE 31 : Exemple de Topologies Réseau PlaNet

La Figure 31 donne un exemple de représentation de topologies réseaux basées sur PlaNet.

L'ensemble des principes de communication soutenus par PlaNet permettent de garantir le comportement déterministe de l'ensemble du réseau, pour ce faire, nous avons intégré l'ensemble des principes de communication au sein d'une Unité de Communication Hardware ou PCU⁷² organisée en deux sous-ensembles distincts :

- Un « End System » ou ES,
- Un « Intermediate System » ou IS.

Les deux sous-ensembles étant supportés par chaque abonné au réseau, la Figure 32 donne un aperçu du contenu de ces deux éléments.

⁷² PCU : PlaNet Communication Unit

Évolution des Architectures des Systèmes Avioniques Embarqués

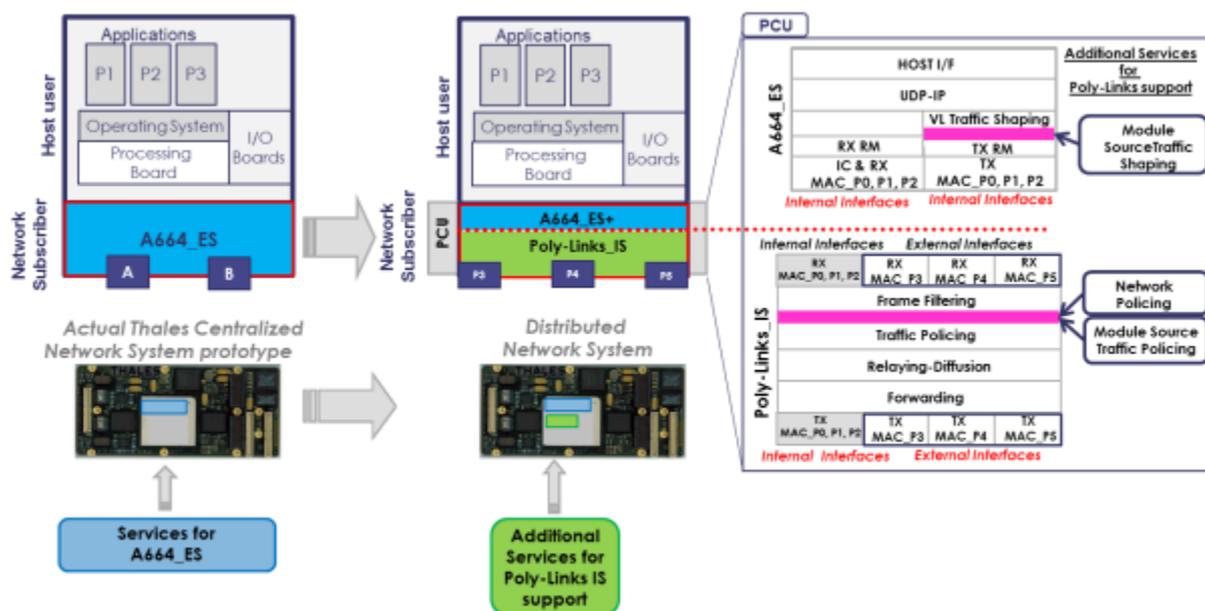


FIGURE 32 : End System & Intermediate System

PlaNNet est construit sur un protocole de gestion de flux conservant les propriétés définies par l'ARINC664 tout en mettant l'accent sur le process de configuration. Ce protocole est basé sur l'analyse pire cas de temps de transfert pour chaque flux de données adapté au contexte avionique.

4.2.5 Operating System

4.2.5.1 Introduction

"Deux têtes valent mieux qu'une" dit un vieux proverbe et ce dicton se vérifie pour des systèmes informatiques, où deux - ou plus - processeurs peuvent grandement améliorer la performance globale.

Les systèmes peuvent être basés sur des processeurs :

- Mono-Cœur :
 - Il s'agit d'un système disposant de processeurs physiques séparés qui, via un réseau, permettent de réaliser des fonctions de Multi-processing.
- Multi-cœurs :
 - Il s'agit d'un système ou processeur disposant, en son sein de plusieurs cœurs de calcul interconnectés via une unité spécifique de type bus ou réseau (voir paragraphe précédent).

Des processeurs multi-cœurs délivrent une puissance de calcul supérieure du fait du nombre de cœurs qu'ils hébergent. Ils offrent un niveau d'intégration intéressant (SWaP) et permettent de fonctionner à des fréquences d'horloge inférieures à celles des processeurs mono-cœur afin d'offrir le meilleur compromis Puissance de Calcul / Watt.

Évolution des Architectures des Systèmes Avioniques Embarqués

L'utilisation d'un processeur multi-cœurs peut se faire selon trois modes opératoires :

- Multi-processing asymétrique (AMP⁷³) :
 - Des OS séparés ou une instanciation séparée du même OS, fonctionnent sur chaque cœur.
- Multi-processing symétrique (SMP⁷⁴) :
 - Une instanciation unique d'un OS gère tous les cœurs simultanément et les « threads » ou tâches d'une application vont être exécutées sur n'importe lequel d'entre eux en fonction de leur disponibilité.
- Multi-processing « mixte » (BMP⁷⁵) :
 - Une instanciation unique d'un OS gère tous les cœurs simultanément, mais l'exécution des « Threads » applicative est figée sur un cœur spécifique (déterminisme d'exécution).

4.2.5.2 Multi-Processing Asymétrique (AMP)

Le Multi-Processing Asymétrique, au regard de chaque Cœur, délivre un fonctionnement qui est très proche de celui d'un mono-cœur. Il offre la capacité à porter du code existant facilement d'un processeur mono-cœur vers un processeur multi-cœurs. Le développeur applicatif a la connaissance directe du Cœur qui exécute la fonction, dans la plupart des cas, les outils disponibles pour le mono-cœur ainsi que les techniques de "debug" peuvent être reconduites

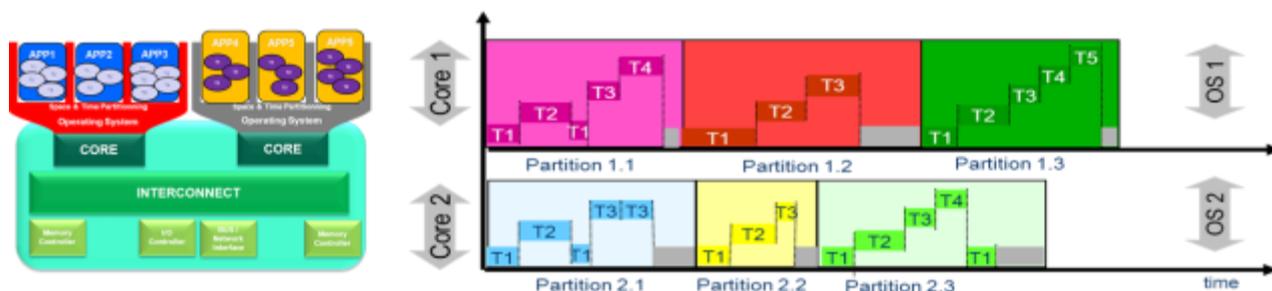


FIGURE 33 : Architecture AMP

La Figure 33 donne un exemple d'architecture AMP sur un processeur bi-cœurs, l'architecture AMP peut être :

- *Homogène* :
 - Chaque cœur va exécuter le même type et la même version de l'Operating System.

⁷³ AMP : Asymmetric Multi-Processing

⁷⁴ SMP : Symmetric Multi-Processing

⁷⁵ BMP : Bound Multi-Processing

Évolution des Architectures des Systèmes Avioniques Embarqués

- *Hétérogène :*
 - *Chaque cœur va exécuter un Operating System différent, en type et / ou en version.*

Le mode AMP permet de décider comment partager les ressources hardware entre les différentes applications. Cette allocation sera effectuée statiquement lors de la phase d'initialisation et permettra d'adresser la mémoire, les périphériques et la gestion des entrées / sorties y compris la gestion des interruptions. Cette allocation devra pouvoir être démontrée vis-à-vis des autorités de certification vis-à-vis de la notion fondamentale de l'Architecture constituée par le « Robust Partitioning ».

Dans un système multi-cœurs fonctionnant en mode AMP, les applicatifs sont attribués d'une façon statique à l'un des cœurs du processeur y compris en cas de non utilisation de tous les cœurs. Cette approche ne favorise pas l'utilisation du processeur d'une façon optimale vis-à-vis de la performance mais permet de garantir une répétabilité à chaque MIF⁷⁶ ou MAF⁷⁷, exigence nécessaire pour permettre la certificabilité de la solution proposée.

4.2.5.3 Symmetric multiprocessing (SMP)

Comme précisé dans le paragraphe précédent, le mode AMP demande à maîtriser l'allocation des ressources entre les différentes applications. Cette allocation peut être rendue difficile lorsque le fournisseur du processeur ne donne pas accès à l'ensemble des mécanismes permettant de la réaliser. Dans ce cas il sera nécessaire de rajouter des mécanismes types Hyperviseur afin de garantir l'indépendance des cœurs par rapport aux ressources communes.

De ce fait le mode SMP peut être une alternative vis-à-vis de la certificabilité des processeurs multi-cœurs.

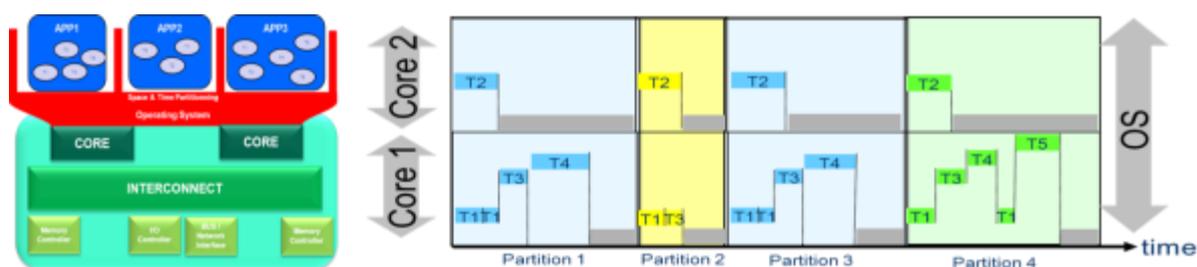


FIGURE 34 : Architecture SMP

La Figure 34 donne un aperçu du fonctionnement du mode SMP. Ce mode de fonctionnement est proche du fonctionnement en mono-cœur. En effet, durant une période de temps l'ensemble des ressources du processeur est allouée à une seule application.

⁷⁶ MIF : Minor Frame

⁷⁷ MAF : Major Frame

Évolution des Architectures des Systèmes Avioniques Embarqués

Afin de pouvoir tirer bénéfice du nombre de cœurs disponibles vis-à-vis du SWaP et donc de la performance par Watt du processeur, il sera nécessaire de repenser l'architecture des applicatifs afin d'introduire du parallélisme d'exécution au niveau des « Threads ». Ce parallélisme va permettre de tirer la performance de l'ensemble.

En mode SMP contrairement au mode AMP, un seul Operating System est exécuté et prend en charge l'allocation des « Threads » sur l'ensemble des cœurs disponibles.

La certificabilité d'une architecture multi-cœurs passe par la maîtrise du déterminisme d'exécution. Celui-ci impose que l'on puisse démontrer qu'à chaque espace temporel on puisse avoir connaissance des threads en cours d'exécution, le mode SMP réalise l'allocation dynamique des « threads » vers les cœurs en fonction de leurs taux d'occupation.

Nous allons voir dans le paragraphe suivant comment rendre le mode SMP déterministe par allocation statique des « Threads » sur les cœurs, il s'agit du mode BMP.

4.2.5.4 Bound multiprocessing (BMP)

Le mode BMP permet d'assurer le contrôle d'exécution des « Threads » pour un modèle multiprocesseurs. Ce mode permet de passer d'un modèle d'allocation dynamique des « Threads » à un modèle d'allocation statique.

La performance globale sera nécessairement inférieure au modèle d'allocation dynamique mais sera reproductible et offrira donc de meilleures garanties d'exécution et de déterminisme vis-à-vis de la certificabilité de la solution.

En mode BMP, comme en mode SMP, un seul Operating System assurera la gestion de l'ensemble des ressources du processeur multi-cœurs, toutefois, l'Operating System disposera d'une table de configuration pour réaliser l'allocation statique des « Threads » de chaque application.

Le mode BMP, en comparaison au mode SMP, offre plusieurs avantages :

- Il élimine le « flush » de la mémoire cache qui peut réduire la performance dans un système SMP en permettant aux applications qui partagent le même groupe de données de fonctionner exclusivement sur le même cœur.
- Il offre une facilité de mise au point et de débogage d'applications par rapport au mode SMP puisque toutes les « Threads » d'exécution d'une application fonctionnent sur un même cœur.
- Il aide les applications, dites « legacy », qui utilisent des techniques de synchronisation faibles pour synchroniser des données partagées de fonctionner correctement en les allouant sur un seul cœur.

En mode BMP, l'application peut utiliser l'ensemble des cœurs disponibles d'une façon statique par allocation de ses « Threads », ce qui rend ce mode déterministe. Par contre il sera nécessaire de reprendre les développements des applications afin de leur permettre de réaliser des tâches en parallèle.

Évolution des Architectures des Systèmes Avioniques Embarqués

4.2.5.5 Stratégie de Migration

Le mode BMP, contrairement aux modes AMP et SMP va offrir la meilleure stratégie de migration d'un processeur mono-cœur vers un processeur multi-cœurs du fait de l'allocation statique des ressources que ce mode réalise.

Ce mode, « At Design Time », peut permettre de garantir l'isolation des ressources partagées vis-à-vis des « Threads » de l'application en cours d'exécution et ainsi assurer la maîtrise du déterminisme d'exécution vis-à-vis de la certificabilité de la solution.

4.2.5.6 Choix entre AMP, SMP et BMP

Nos travaux portent sur l'utilisation de processeurs multi-cœurs dans le domaine IMA et le choix du mode de fonctionnement de l'Operating System afin d'assurer à la fois le portage des « applications Legacy » et la maîtrise du « Robust Partitionning ».

En résumé, nos travaux portent sur le choix entre AMP, SMP et BMP :

- Le mode AMP est plus favorable au portage d'Applications Legacy s'exécutant actuellement sur un processeur mono-cœur vers un processeur multi-cœurs. Par contre, ce mode est difficilement certifiable du fait de la non maîtrise des accès aux ressources partagées du processeur,
- Le mode SMP permet de concentrer l'accès aux ressources communes au niveau d'une seule application, ce mode est plus favorable à la certificabilité de la solution par contre il va nécessiter de maîtriser d'une part le parallélisme d'exécution et d'autre part la répétabilité de l'exécution,
- Le mode BMP, quant à lui, va permettre de compléter l'apport du mode SMP en rendant l'allocation de « Threads » vers les cœurs déterministes.

4.2.6 Gestion des Entrées / Sorties

4.2.6.1 Introduction

Chaque nouvelle génération d'avions inclut de nouvelles fonctionnalités permettant d'améliorer les performances, la sécurité, la maintenance, ou le confort de passagers. Grâce au concept IMA, plusieurs de ces fonctionnalités peuvent être exécutées sur un même calculateur, limitant ainsi l'augmentation du nombre de calculateurs nécessaires dans une classique architecture fédérée.

Néanmoins, le nombre et le type d'applications que l'on peut héberger sur un calculateur unique, sont toujours en fin de compte limités par le matériel disponible au sein du calculateur et en particulier les interfaces d'entrées / sorties mises en œuvre.

Évolution des Architectures des Systèmes Avioniques Embarqués

Ces entrées / sorties peuvent être analogiques ou numériques et elles nécessitent toutes des dispositifs d'interface spécifiques, dispositifs qui forcent les calculateurs à devoir être déclinés en plusieurs versions chacun ayant des capacités d'interfaçage différentes.

De plus, l'ensemble des suites avioniques sont conçues pour avoir des durées de vie de plusieurs dizaines d'années (> 30 ans) dans des conditions environnementales sévères telles que des variations de température où le vieillissement peut causer des dérives permanentes ou provisoires sur des ensembles électroniques analogiques.

Il est à noter que les équipements avioniques peuvent également être soumis aux effets de la foudre ainsi qu'à ses effets induits pouvant générer des hautes tensions et de forts courants dans les calculateurs. Ces contraintes environnementales doivent être prises en considérations lors des phases de conception de l'équipement et de ses entrées / sorties.

Notre recherche consiste à élaborer une interface versatile polyvalente permettant d'interfacer les entrées / sorties les plus « génériques » du domaine avionique telles que :

- Entrées discrètes Vdd / Open, Ground / Open,
- Liaisons Numériques A429,
- Entrées DC⁷⁸ voltage,
- Acquisitions analogiques,
- Entrées de type LVDT⁷⁹ or RVDT⁸⁰.

Le premier objectif de cette interface polyvalente est de permettre le développement de cartes ou Blade d'entrées / sorties génériques pouvant, par configuration, adresser plusieurs besoins différents. Cette capacité de configuration par programmation va permettre de réduire d'une façon conséquente nombre de versions différentes d'un calculateur avionique et entraîner des réductions des coûts de développement et d'exploitation importants.

Le second objectif de cette interface polyvalente est de réduire d'une façon importante la surface occupée par les interfaces d'entrées / sorties : cette surface est actuellement en hausse de par les protections et la variabilité des interfaces en atteignant près de soixante-dix pour cent de la surface globale d'une carte ou « blade » d'entrée-sortie.

Nous détaillerons dans les paragraphes suivants :

- Le concept de versatilité sur un point de vue global,
- Le contexte dans lequel l'interface versatile sera utilisée,
- Les caractéristiques de cette interface d'entrée-sortie avioniques ainsi que les principales différences par rapport aux interfaces existantes,
- L'architecture versatile pour les signaux d'entrées avec un point particulier pour celles analogiques,
- Le dernier point décrit les caractéristiques de cette interface polyvalente ainsi que ses aspects « configurabilité » et auto-calibration.

⁷⁸ DC : Direct Current

⁷⁹ LVDT : Linear Variable Differential Transformer

⁸⁰ RVDT : Rotary Variable Differential Transformer

Évolution des Architectures des Systèmes Avioniques Embarqués

4.2.6.2 La versatilité : Vers une réduction du nombre de « Parts Number »

L'introduction de l'architecture IMA a été notre première réponse pour nous permettre d'atteindre la performance, la "Safety" et les fonctionnalités requises tout en réduisant le Poids, le Volume et le Coût des équipements avioniques.

Cependant, les principes qui régissent l'introduction de l'IMA consistent à héberger plusieurs applicatifs au sein d'un même calculateur en s'assurant que chaque applicatif puisse disposer de l'ensemble des entrées / sorties dont il a besoin pour s'exécuter correctement. Cette contrainte entraîne des limitations sur le nombre d'applicatifs que le calculateur peut potentiellement « héberger » de par le grand nombre d'entrées / sorties qu'il aura à gérer, voir Figure 36.

Sur cette figure nous allons retrouver les différents éléments constitutifs du Calculateur :

- Un module alimentation,
- Un module cœur processeur hébergeant et exécutant les différents applicatifs,
- Un module d'Entrées / Sorties contenant l'ensemble des ressources d'interface avec le monde extérieur.

Afin de satisfaire à l'ensemble des fonctionnalités d'interface, un calculateur sera décliné en plusieurs variantes en fonction de ses capacités d'interconnexion avec le monde extérieur, cette déclinaison limitant de fait la réutilisation de cet élément de calcul pour d'autres applicatifs ayant des entrées / sorties non supportées par ce calculateur. La Figure 35 nous donne un exemple d'un porteur avionique disposant de trois types de calculateurs permettant d'exécuter trois applicatifs différents.

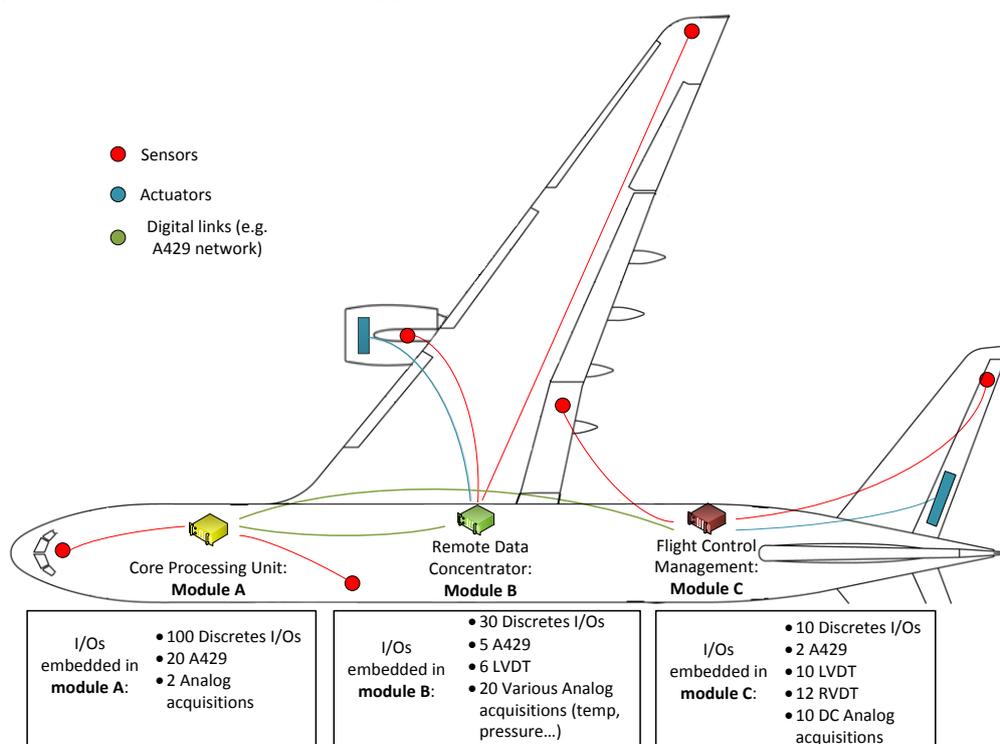


FIGURE 35 : Ex d'une interconnexion sur base de 3 calculateurs et Modules I/O dédiés

Évolution des Architectures des Systèmes Avioniques Embarqués

Chacun des trois calculateurs dispose d'un Module d'entrées / sorties gérant des interfaces spécifiques aux applicatifs qu'il aura à exécuter.

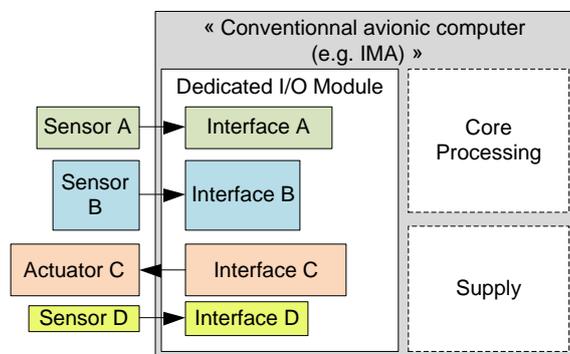


FIGURE 36 : Calculateur Conventionnel

Comme nous pouvons le constater, chaque interface est spécifiquement réalisée pour être utilisée avec un type de capteur ou d'actuateur spécifique en étant adapté aux caractéristiques particulières de ce capteur ou actuateur.

Nos travaux de recherche consistent à développer une interface générique ou « versatile », la Figure 37 montre une implémentation de ce type d'interface au sein d'un Module I/O d'un calculateur IMA. De ce fait, le module I/O peut être reconfiguré en fonction du type d'interface et des caractéristiques de ces interfaces afin de lui permettre de pouvoir être, lui-aussi, rendu générique.

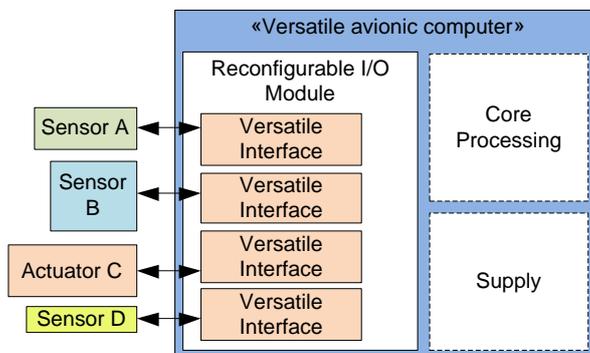


FIGURE 37 : Calculateur sur Base I/O Versatile

Évolution des Architectures des Systèmes Avioniques Embarqués

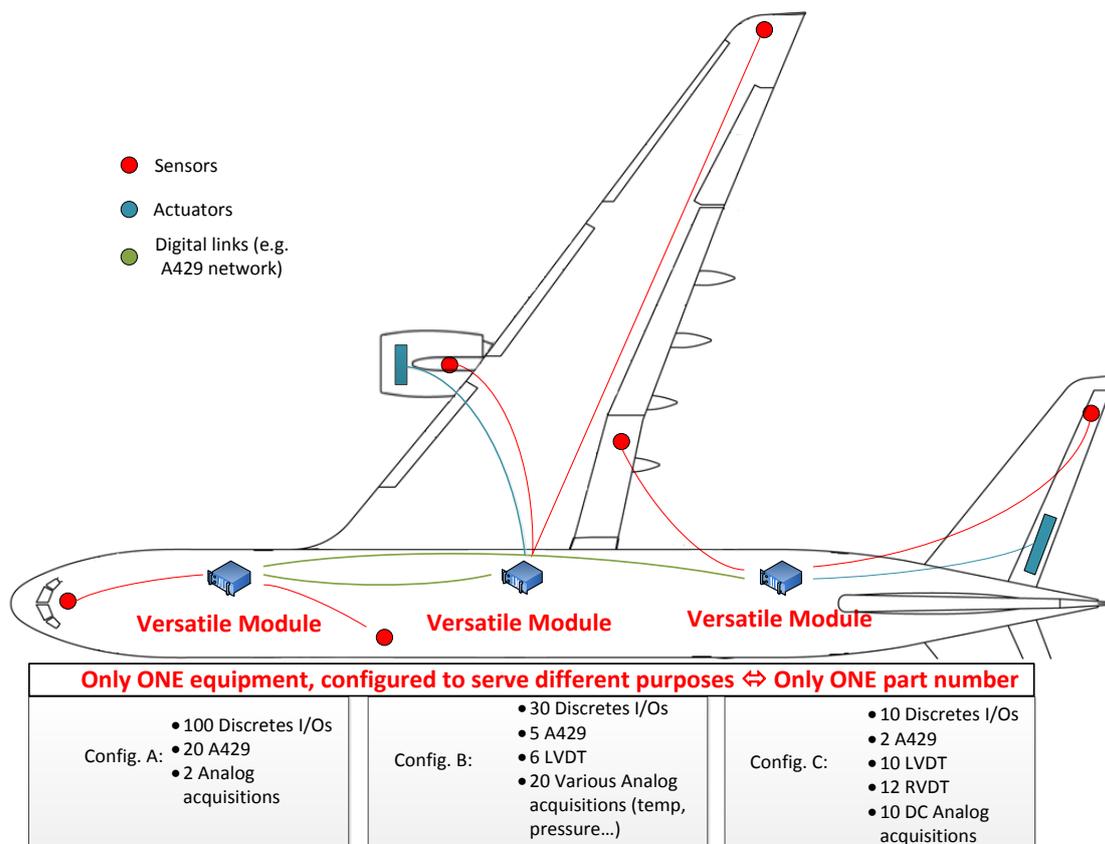


FIGURE 38 : Plate-Forme Avionique utilisant des Calculateurs à i/O versatile

La Figure 38 reprend l'exemple proposé précédemment de plate-forme avionique comportant trois calculateurs, rendus identiques dans cet exemple par leur capacité « versatile » au niveau du module d'entrée / sortie. Seule la configuration, lors de la mise sous tension de ces calculateurs sera différente. Il est à noter que l'ensemble des configurations devra avoir fait l'objet d'une analyse pour présentation aux autorités de certification.

Évolution des Architectures des Systèmes Avioniques Embarqués

4.2.6.3 Caractéristiques de ces interfaces d'Entrées / Sorties

Avec l'augmentation croissante de la complexité des calculateurs embarqués, les interfaces de communication avec l'environnement extérieur se sont également complexifiées et diversifiées, de nouveaux types de bus, de nouveaux senseurs ont fait leur apparition ainsi que de nouveaux protocoles de communication.

Néanmoins, le besoin de pouvoir rester compatible des interfaces dites « legacy » demeure et ce besoin ne fait que renforcer le nombre de types d'interfaces différentes à prendre en considération lors de la réalisation d'un Module I/O, d'autant que les caractéristiques de ces interfaces seront, quant à elles, fonction des caractéristiques du porteur (coque Carbone, Métallique, Isolation, etc.).

Nos travaux de recherche ne nous permettent pas de garantir de couvrir l'exhaustivité des caractéristiques de ces entrées. Néanmoins nous allons orienter nos travaux autour de celles le plus souvent utilisées afin de pouvoir les remplacer par une approche versatile.

4.2.7 La problématique DSM

4.2.7.1 Position du Problème

Le domaine Avionique ainsi que tous les autres domaines tels que l'Espace, l'Automobile ou le Médical nécessitent de disposer d'équipements ayant un haut niveau de « Safety ». Ces domaines ont à faire face à de nouveaux défis liés à la réduction des classes de gravure des composants électroniques. On introduit ici la notion de composants DSM ou Deep Sub Micron.

Les équipements actuellement déployés dans ces différents domaines utilisent, des technologies de composants dont les classes de gravure sont de 90nm, 65nm voire 45 nm. Ces composants ont fait l'objet de qualification et permettent de répondre aux enjeux actuels à la fois en termes de performances et de fiabilité.

Il est à noter le paradoxe auquel nous avons à faire face :

- L'évolution des besoins dans le domaine Avionique à la fois en termes d'augmentation de performances (Display, IMA⁸¹, Serveurs) et de réduction de consommation nécessite l'utilisation de composants dits COTS⁸² de dernière génération.
- Le marché dit « consumer » est le marché moteur de l'évolution des technologies de composants demandant des composants de plus en plus performants et de plus en

81 IMA : Integrated Modular Avionics

82 COTS : Commercial Off The Shelves

Évolution des Architectures des Systèmes Avioniques Embarqués

plus intégrés (on va introduire la notion de SoC⁸³). Pour répondre à cette demande d'intégration et de performances, les classes de gravure atteignent actuellement 16nm avec une projection à 10 nm en 2020. Cette réduction de classe de gravure s'accompagne d'une réduction de la fiabilité intrinsèque du composant, réduction non linéaire car fonction de l'environnement d'utilisation des composants.

La feuille de route technologique Internationale des Semi-conducteurs (ITRS⁸⁴) introduit, dans les tables PIDS⁸⁵ :

- Une projection des limitations des technologies CMOS⁸⁶ actuelles et l'émergence à la fois de nouveaux matériaux et de nouvelles architectures de transistors (2D / 3D / Multi-Gates),
- Les Challenges à relever pour prendre en compte l'évolution de ces technologies.

⁸³ SoC : System On Chip

⁸⁴ ITRS : International Technology Roadmap for Semiconductors

⁸⁵ PIDS : Program Integrity Dominates System Integrity

⁸⁶ CMOS : Complementary Metal Oxyde Semiconductor

Évolution des Architectures des Systèmes Avioniques Embarqués

<i>Table PIDS1</i> <i>Process Integration Difficult Challenges</i>	
<i>Near-Term 2011-2018</i>	<i>Summary of Issues</i>
1. Scaling Si CMOS	<p>Scaling planar bulk CMOS</p> <p>Implementation of fully depleted SOI and multi-gate (MG) structures</p> <p>Controlling source/drain series resistance within tolerable limits</p> <p>Further scaling of EOT with higher κ materials ($\kappa > 30$)</p> <p>Threshold voltage tuning and control with metal gate and high-κ stack</p> <p>Inducing adequate strain in new structures</p>
2. Implementation of high-mobility CMOS channel materials	<p>Basic issues same as Si devices listed above</p> <p>High-κ gate dielectrics and interface states (D_{it}) control</p> <p>CMOS (<i>n</i>- and <i>p</i>-channel) solution with monolithic material integration</p> <p>Epitaxy of lattice-mismatched materials on Si substrate</p> <p>Process complexity and compatibility with significant thermal budget limitations</p>
3. Scaling of DRAM and SRAM	<p>DRAM—</p> <p>Adequate storage capacitance with reduced feature size; implementing high-κ dielectrics</p> <p>Low leakage in access transistor and storage capacitor; implementing buried gate type/saddle fin type FET</p> <p>Low resistance for bit- and word-lines to ensure desired speed</p> <p>Improve bit density and lower production cost in driving toward $4F^2$ cell size</p> <p>SRAM—</p> <p>Maintain adequate noise margin and control key instabilities and soft-error rate</p> <p>Difficult lithography and etch issues</p>
4. Scaling high-density non-volatile memory	<p>Endurance, noise margin, and reliability requirements</p> <p>Multi-level at < 20 nm nodes and 4-bit/cell MLC</p> <p>Non-scalability of tunnel dielectric and interpoly dielectric in flash memory – difficulty of maintaining high gate coupling ratio for floating-gate flash</p> <p>Few electron storage and word line breakdown voltage limitations</p> <p>Cost of multi-patterning lithography</p> <p>Implement 3-D NAND flash cost effectively</p> <p>Solve memory latency gap in systems</p>
5. Reliability due to material, process, and structural changes, and novel applications.	<p>TDDB, NBTI, PBTI, HCI, RTN in scaled and non-planar devices</p> <p>Electromigration and stress voiding in scaled interconnects</p> <p>Increasing statistical variation of intrinsic failure mechanisms in scaled and non-planar devices</p> <p>3-D interconnect reliability challenges</p> <p>Reduced reliability margins drive need for improved understanding of reliability at circuit level</p> <p>Reliability of embedded electronics in extreme or critical environments (medical, automotive, grid...)</p>

Évolution des Architectures des Systèmes Avioniques Embarqués

<i>Table PIDS1 Process Integration Difficult Challenges</i>	
<i>Long-Term 2021-2028</i>	<ul style="list-style-type: none"> • <i>Summary of Issues</i>
1. Implementation of advanced multi-gate structures	<ul style="list-style-type: none"> • Fabrication of advanced non-planar multi-gate and nanowire MOSFETs to below 10 nm gate length • Control of short-channel effects • Source/drain engineering to control parasitic resistance • Strain enhanced thermal velocity and quasi-ballistic transport
2. Identification and implementation of new memory structures	<ul style="list-style-type: none"> • Scaling storage capacitor for DRAM • DRAM and SRAM replacement solutions • Cost effective installation of high density 3-D NAND (512 Gb – 4 Tb) with high layer numbers or tight cell pitch • Implementing non-charge-storage type of NVM cost effectively • Low-cost, high-density, low-power, fast-latency memory for large systems
3. Reliability of novel devices, structures, and materials.	<ul style="list-style-type: none"> • Understand and control the failure mechanisms associated with new materials and structures for both transistor and interconnect • Shift to system level reliability perspective with unreliable devices • Muon-induced soft error rate
4. Power scaling	<ul style="list-style-type: none"> • V_{dd} scaling while supplying sufficient current drive • Controlling subthreshold current or/and subthreshold slope • Margin issues for low V_{dd}
5. Integration for functional diversification	<ul style="list-style-type: none"> • Integration of multiple functions onto Si CMOS platform • 3-D integration

FIGURE 39 : The International Technology Roadmap for Semiconductors – 2013

Évolution des Architectures des Systèmes Avioniques Embarqués

Les incertitudes de fiabilité liées à l'introduction de nouveaux matériaux, processus et architectures, couplées avec les pressions économiques dans le but de concevoir des composants à durée de vie limitée (par rapport à la durée de vie exigée en Aéronautique et Espace), posent une problématique à l'utilisateur de ces technologies de composants. Ces aspects économiques sont de plus liés à une augmentation de la densité de puissance et de consommation augmentant le risque de présenter des nouveaux mécanismes de défaillance ou d'accélérer les mécanismes de défaillance déjà connus.

La microélectronique est entrée dans l'ère du DSM⁸⁷, les utilisateurs des technologies CMOS de pointe, particulièrement dans les applications à haute fiabilité, doivent réévaluer comment les effets de réduction d'échelle ont un impact à la fois sur la fiabilité à long terme et également sur les performances.

Comme nous l'avons présenté dans le tableau précédent, l'introduction de nouveaux matériaux, de nouvelles architectures va augmenter le risque de présenter de nouveaux mécanismes de défaillance et accélérer les mécanismes de défaillance déjà connus.

Ces risques doivent être identifiés et gérés au niveau qu'il convient :

- Composant,
- Carte,
- Équipement,
- Système.

afin que le problème lié aux incertitudes sur la fiabilité dues à l'introduction de ces nouvelles technologies puisse être « managé » pour garantir leur utilisation au sein de Domaines à fort niveau de « Safety ».

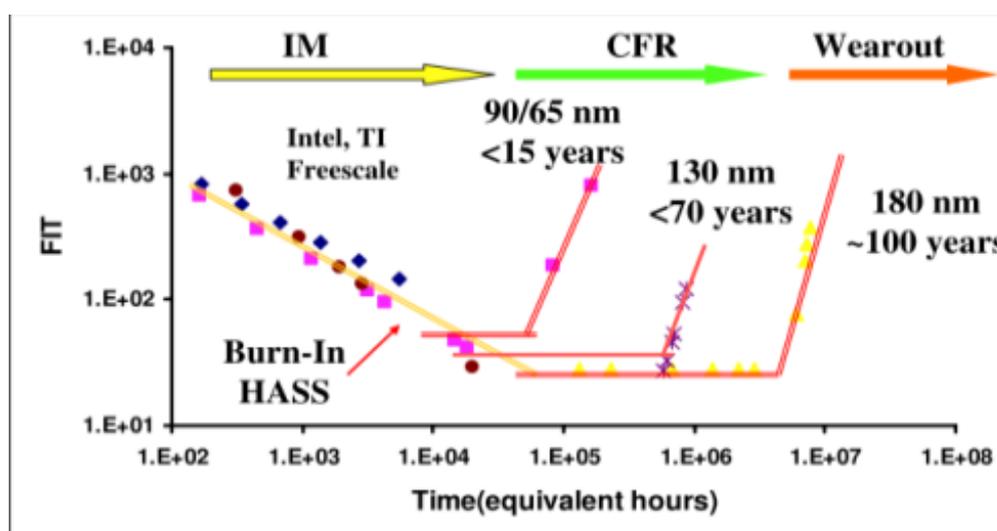


FIGURE 40 : Normalized Manufacturers Data On Product Level Failure Rate

⁸⁷ DSM : Deep Sub Micron

Évolution des Architectures des Systèmes Avioniques Embarqués

La Figure 40 présente quelque uns des impacts de la réduction de la classe de gravure sur la fiabilité intrinsèque des composants :

- Réduction de la durée de vie de la technologie, de plus de 100 ans pour le 180 nm à environ 15 ans pour le 65 nm,
- Augmentation du taux de panne ou FIT⁸⁸ :
 - 1 FIT équivaut à une panne par 10⁹ heure soit environ 114155 années,
 - Pour un complément d'information :
<http://www.businessdictionary.com/definition/failure-in-time-FIT.html#ixzz467NrU4FI>

La réduction de gravure au-delà du nœud technologique que représente le 28nm peut révéler de nombreux problèmes, dont l'impact sur le design de niveau carte, équipement ou système n'a pas encore été évalué et fait l'objet de nos recherches.

L'introduction de technologies dites DSM ouvre un champ d'investigation à explorer afin de pouvoir apporter des réponses quant à l'utilisation de ces technologies dans des environnements où la « safety » est un enjeu majeur. Cette exploration constitue la base de nos travaux.

Parmi d'autres, nous pouvons citer la variabilité non linéaire de la fiabilité ainsi que la dégradation progressive des caractéristiques électriques des différents nœuds technologiques ainsi que des niveaux de métallisation.

Les dégradations lentes (SBD⁸⁹) dans l'oxyde de « GATE » des portes (particulièrement important dans les oxydes high-K), les mécanismes d'injection de porteurs chauds (HCI⁹⁰), de Negative Bias Temperature Instability (NBTI⁹¹) impactant la tension de seuil des transistors PMOS, d'Electro-Migration (EM) dans les interconnexions, la rupture des diélectriques dans les matériels bas-k poreux, ou autres effets que nous avons considéré comme effets du second ordre jusqu'à présent deviennent une vraie menace lors de l'utilisation de ces composants DSM dans nos équipements et Systèmes.

4.2.7.2 Impact des Radiations sur l'Accélération de ces Mécanismes

Au niveau des composants de type Mémoire ou au niveau des composants embarquant des fortes zones mémoires tels que les FPGA⁹² ou les Processeurs, selon l'ITRS, 100 % du Taux d'Erreur Logiciel ou SER⁹³ seront imputables à des effets radiatifs de type MBU⁹⁴ nécessitant la mise en œuvre de mécanismes plus complexes et plus longs afin de reconstituer les valeurs des données corrompues (impact WCET⁹⁵).

⁸⁸ FIT : Failure In Time

⁸⁹ SDB : Soft Break Down

⁹⁰ HCI : Hot Carrier Injection

⁹¹ NBTI : Negative Bias Temperature Instability

⁹² FPGA : Field Programmable Gate Array

⁹³ SER : Software Error Rate

⁹⁴ MBU : Multiple Bit Upset

⁹⁵ WCET : Worst Case Execution Time

Évolution des Architectures des Systèmes Avioniques Embarqués

Les composants COTS utilisés dans le domaine des applications grand public ont une durée de vie estimée de quelques années (5 ans dans le domaine des calculateurs, 7 ans ou 5000h de fonctionnement garanties dans le domaine automobile) ce qui est très loin des exigences requises pour le domaine Aéronautique ou Spatial (25 ans pour le domaine Aéronautique, de 7 à 15 ans pour le domaine Spatial).

De par le faible impact volume du marché du domaine Aéronautique et Spatial (moins de 2% de la production mondiale de composants) les fabricants de composants ont majoritairement orienté leur qualification autour du domaine grand public négligeant les domaines où la « Safety » est un critère prépondérant.

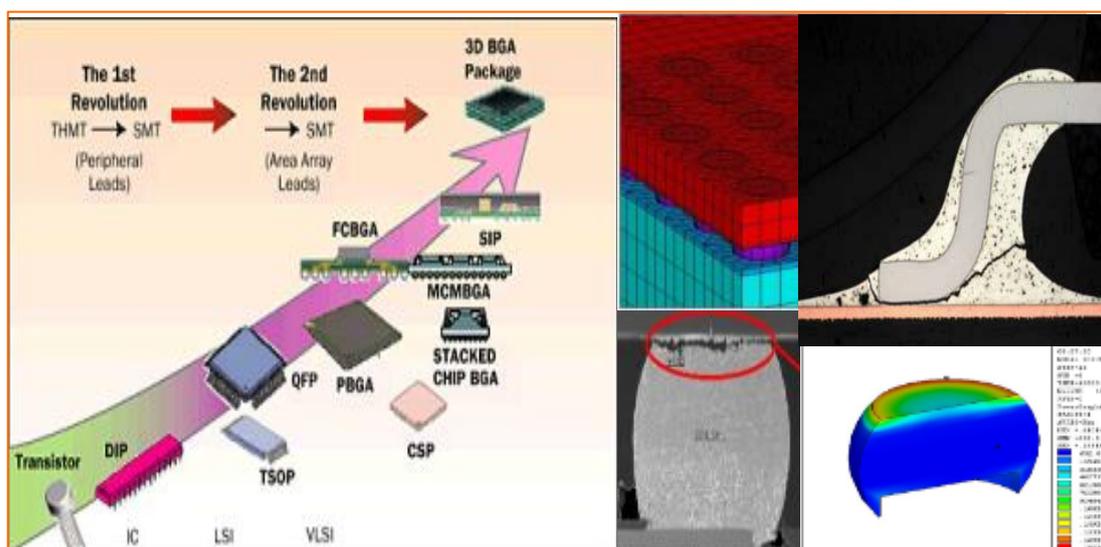


FIGURE 41 : Classe de Gravure et Assemblage

Comme le montre la Figure 41 **Erreur ! Source du renvoi introuvable.**, à côté de la réduction de la classe de gravure qui peut conduire à une réduction de la durée de vie des composants DSM, des évolutions sont également attendues au niveau des technologies d'assemblage et de packaging des composants.

Une des évolutions doit permettre d'augmenter la fonctionnalité globale du composant en offrant des capacités telles que : le multi-chip, l'empilement de puces, le package « in or on package », etc.

Une autre évolution est liée à la réduction du « span » inter-pins ou « pitch » permettant de réduire la surface d'implantation du composant. Ces évolutions sont demandées par le marché « consumer » afin de pouvoir proposer aux consommateurs des systèmes de plus en plus intégrés offrant toujours plus de fonctionnalités.

À l'inverse la robustesse contre le stress mécanique et thermique n'est pas la préoccupation des fabricants adressant le marché dit « Grand Public ».

Par contre, l'utilisation de ces composants dans un domaine orienté « Safety » demande à avoir connaissance de l'impact de la robustesse d'assemblage sur la fiabilité globale :

- L'empilement de « puces », l'augmentation de la densité à l'intérieur des composants a tendance à faire augmenter la disparité du CTE (Coefficient d'Expansion

Évolution des Architectures des Systèmes Avioniques Embarqués

Thermique) entre le composant et le PCB⁹⁶ entraînant une forte sensibilité au cyclage thermique mis en œuvre par les fabricants,

- La réduction du pitch a également tendance à faire augmenter la sensibilité au stress mécanique et thermomécanique.

4.2.7.3 Conséquences

Nous pouvons faire référence aux résultats des travaux du Professeur Joseph Bernstein qui montrent l'implication de la fiabilité caractérisé par le λ des composants avec le domaine de la conception et le domaine du support, relations décrites par la figure suivante :

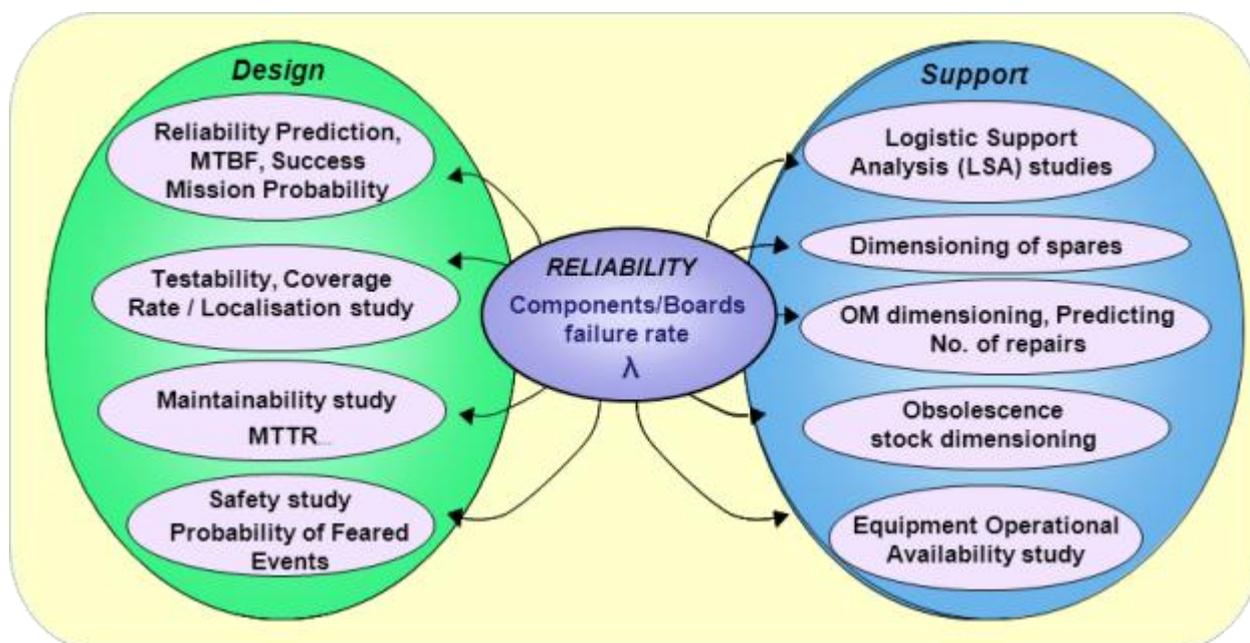


FIGURE 42 : Enjeux relatifs de la fiabilité

4.2.7.3.1 Prise en compte du vieillissement

Jusque récemment, les durées de vie des semi-conducteurs pouvaient être mesurées en décades, ce qui, comparés à leur durée d'utilisation pouvait être considéré comme infini. De ce fait, il n'était pas critique de disposer d'une quantification exacte de la durée de vie des composants.

Pour des applications avioniques, il est d'usage de considérer que tous les composants ont des taux d'échec constants et relativement bas durant toute la durée de vie du système ; cette hypothèse a été introduite au niveau du design ainsi qu'au niveau du processus d'analyse de fiabilité et de « Safety ».

⁹⁶ PCB : Printed Circuit Board ou Circuit Imprimé

Évolution des Architectures des Systèmes Avioniques Embarqués

Si l'hypothèse de taux de panne constant est valide pour les pannes brutales liées à des causes externes, elle est notoirement fautive pour les mécanismes liés au vieillissement des équipements électroniques. Pour ceux-ci, le taux de défaillance croît significativement avec le temps et la durée de vie est finalement limitée de façon presque déterministe. Néanmoins, moyennant quelques hypothèses supplémentaires comme la maintenance préventive ou réactive des équipements critiques et leur remplacement par des équipements neufs, il reste possible de modéliser la fiabilité des équipements par un taux de défaillance constant équivalent. Le calcul de ce taux de défaillance équivalent doit cependant prendre en compte non seulement le taux de défaillance de chaque partie du système, mais aussi la politique de maintenance (maintenance préventive ou réactive, périodicité de la maintenance, taux de remplacement effectif).

4.2.7.3.2 Cas des composants DSM

La pression du marché sur l'industrie de l'électronique ayant pour objectif de réduire la taille des transistors ainsi que le coût de fabrication tout en augmentant le nombre de transistors par puce, va à l'encontre des exigences d'accroissement de la fiabilité ainsi que des demandes d'allongement de la durée de vie.

La réduction des classes de gravure ainsi que l'intégration plus poussée entraînent :

- Une réduction des marges de design,
- Une augmentation de la consommation électrique,
- Une réduction des marges au niveau des tensions d'alimentation (la tension d'alimentation est de 0,8V pour le cœur processeur par exemple).

La plupart des grands systèmes actuels sont construits en supposant que les composants électroniques garderont les mêmes performances durant des décades sans échec.

Cependant, la physique liée à la fiabilité des composants de mieux en mieux maîtrisée par les fondeurs, associée à la demande du marché, les amènent à réaliser des composants dont la durée de vie est de quelques années (de 5 à 10 ans), alors que les besoins du Domaine Aéronautique ou Spatial sont de plusieurs dizaines d'années.

De plus, la réduction des budgets et la compétitivité accrue font que les équipementiers ne peuvent plus s'orienter vers la réalisation de composants spécifiques de type ASIC's⁹⁷ ; ils sont contraints d'utiliser les composants COTS et donc d'apprendre à mitiger les risques induits par leurs utilisations.

Les études conduites par le Professeur Joseph BERNSTEIN, dans le cadre de travaux que nous menons avec lui au sein du projet ROBUSTESSE de l'IRT St Exupéry, confirment que l'hypothèse autour de la constance de la fiabilité n'est plus correcte (le λ des composants ne peut plus être assimilé à une constante), voir la Figure 43 donnant un aperçu des résultats de ces travaux sur ce domaine :

⁹⁷ ASIC : Application Specific Integrate Circuit

Évolution des Architectures des Systèmes Avioniques Embarqués

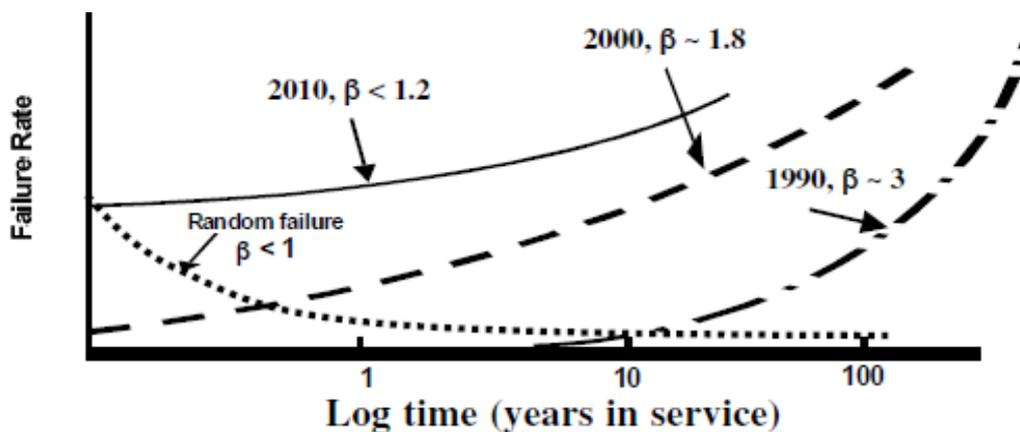


FIGURE 43 : Intrinsic wear out trends

Nous pouvons donc en conclure que si le taux de panne d'un composant DSM ne peut plus être considéré comme une constante (cas du vieillissement où Beta >1), alors les hypothèses actuelles prises pour le calcul des études de Safety et de maintenabilité sont à revoir, les modèles utilisés actuellement dans la MIL HDBK217F⁹⁸ ou par FIDES ne sont plus exploitable en l'état et doivent donc prendre en compte cette non linéarité du λ .

4.2.7.3.3 Le vieillissement des DSM

Les circuits DSM, qui sont des circuits numériques, constituent un cas un peu particulier du point de vue de la fiabilité. En effet, les mécanismes de vieillissement des transistors de ces technologies peuvent être rangés en deux catégories :

- Les pannes brutales quasi-aléatoires (électro migration, claquages d'oxydes principalement) que l'on peut caractériser correctement par leur taux de défaillance fonction du temps $\lambda(t)$,
- Les pannes progressives (porteurs chauds, NBTI, PBTI, TDDB et EM) caractérisées par une dérive progressive et continue des paramètres des transistors.

Contrairement à la première catégorie, la deuxième catégorie devrait être traitée selon une procédure différente, dans laquelle les probabilités jouent un rôle secondaire. Pour ces mécanismes progressifs, la panne est la conséquence de la dérive excessive des composants qui, au-delà d'un seuil lié à l'architecture et au fonctionnement du circuit, va entraîner une défaillance fonctionnelle.

Ce seuil peut être intrinsèque au circuit ou dépendre des conditions d'utilisation au sein du système (par exemple de la fréquence d'horloge) et des conditions d'environnement sévères imposés au niveau des systèmes embarqués (radiation par exemple).

Du point de vue de la fiabilité, le vieillissement des composants élémentaires du circuit intégré se modélise donc comme un mélange de pannes brutales aléatoires et de dérives

⁹⁸ MIL HDBK217F : MILITARY HANDBOOK: RELIABILITY PREDICTION OF ELECTRONIC EQUIPMENT

Évolution des Architectures des Systèmes Avioniques Embarqués

paramétriques. Les pannes paramétriques comportent elles aussi une composante aléatoire liée notamment à la variabilité technologique (très significative dans les DSM) et à la variabilité des conditions d'utilisation (voir Figure 44 et Figure 45). Ces dernières devraient donc en principe être traitées comme dans le cas des circuits analogiques.

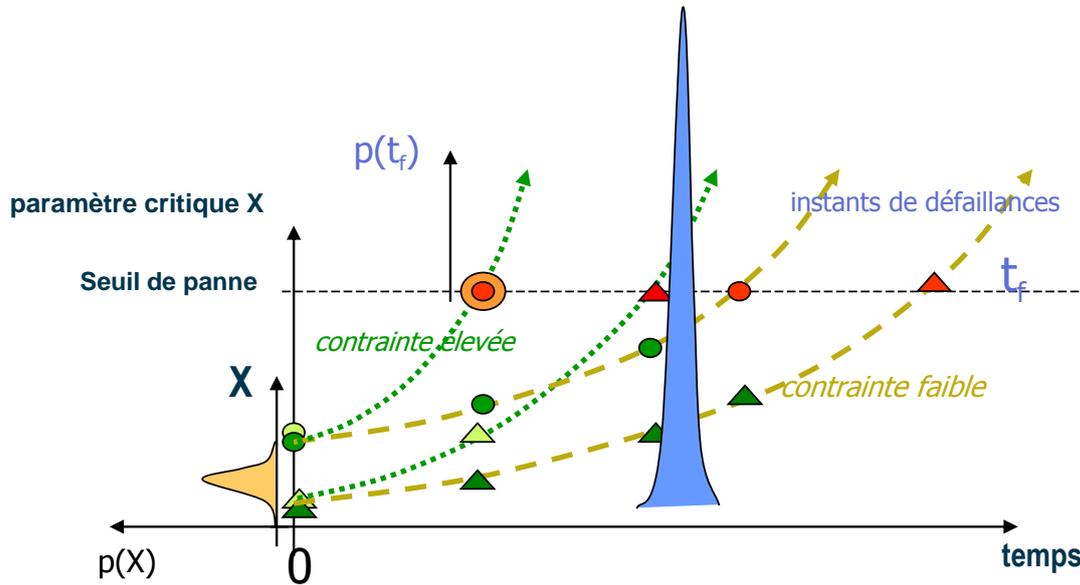


FIGURE 44 : Effet conjoint d'une dispersion initiale $p(X)$ d'un paramètre critique X , et des contraintes sur la densité de probabilité de panne $p(t_f)$ due au dépassement d'un seuil critique pour X .

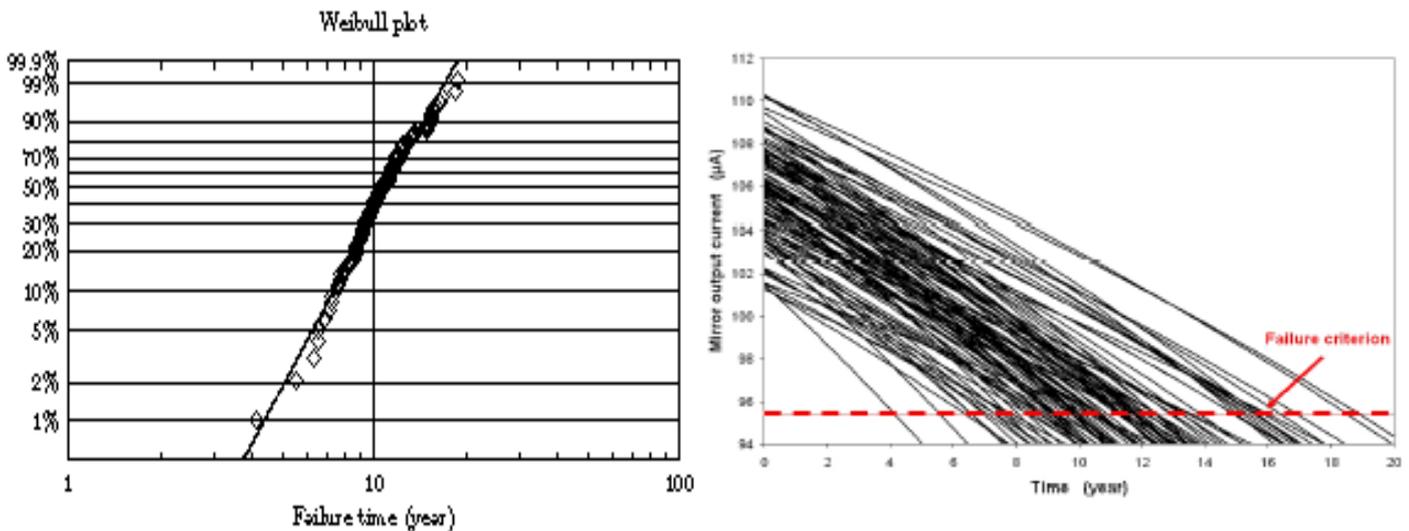


FIGURE 45 : Effet simulé du vieillissement d'un transistor sur la dérive d'une fonction analogique (miroir de courant) et diagramme de Weibull⁹⁹ déduit pour un critère donné.

⁹⁹ Loi de Weibull : La loi de Weibull est une loi de probabilité souvent utilisée dans le domaine de l'analyse de la durée de vie, grâce à sa flexibilité car elle permet de représenter au moins approximativement une infinité de lois de probabilité

Évolution des Architectures des Systèmes Avioniques Embarqués

Cependant, au niveau de la carte électronique qui intègre l'ensemble des composants électroniques, il devient presque impossible d'identifier les effets non catastrophiques de la dérive car ils sont masqués par la complexité du circuit et la présence de seuils logiques et de resynchronisations internes. Le circuit DSM apparaît donc de nouveau comme un composant ne présentant que des pannes brutales quasi-aléatoires, caractérisables par un taux de défaillance fonction du temps $\lambda(t)$.

En ce qui concerne la mesure, la caractérisation de la fiabilité des circuits intégrés peut être faite selon deux approches, à travers des tests de vieillissements, accélérés si possible :

- Par étude statistique des instants de panne,
- Par étude de la dérive paramétrique des composants élémentaires (Wafer Level Reliability) ou de blocs fonctionnels.

La première approche est celle des équipementiers. La seconde, plus proche de la physique, est celle des fondeurs (qui peuvent la réaliser sur des structures de tests dédiées). Elle peut aussi être partiellement mise en œuvre par les équipementiers dans le cas des ASICs ou des FPGAs.

L'approche statistique souffre d'une difficulté majeure sur les circuits DSM : ceux-ci ont généralement une fiabilité élevée et les dégradations sont difficilement « accélérables », ce qui entraîne des durées de tests importantes et donc des coûts élevés, pour au final n'observer que très peu de pannes. L'évaluation quantitative de la fiabilité devient alors peu précise.

La mesure des dérives, lorsqu'elle est possible, permet d'obtenir des informations sur la fiabilité de la technologie. Cependant, les résultats des mesures ne sont pas directement des probabilités de pannes mais des lois d'évolutions des paramètres électriques du circuit.

Il est donc nécessaire d'identifier clairement le lien existant entre les lois de probabilité de pannes, fonction du temps, des circuits intégrés numériques, et les lois temporelles de vieillissement des paramètres des transistors ou des blocs fonctionnels simples qui les constituent. Cette relation permettrait à la fois d'améliorer la qualité de la prévision de la fiabilité par un meilleur choix des lois probabilistes et de réduire le coût de la caractérisation de la fiabilité.

4.2.8 Synthèse

Nous venons de voir dans ce Chapitre 4 l'ensemble des travaux que nous avons réalisés pour préparer l'introduction de l'Architecture IMA_2G, au niveau :

- Du bloc processing en analysant comment intégrer plus de performances par l'utilisation de processeurs multi-cœurs :
 - D'autres travaux sont actuellement en cours afin d'analyser l'introduction de composants Many-Cœurs, composants qui devraient se révéler plus déterministes que les composants multi-cœurs du fait de la présence de réseaux entre les cœurs, réseaux dont il est sera nécessaire de gérer l'allocation de bande passante pour permettre le déterminisme des accès aux ressources.

Évolution des Architectures des Systèmes Avioniques Embarqués

- De l'Architecture Middleware permettant de découpler complètement les applicatifs de l'architecture HW en offrant une globalisation et une banalisation de toutes les ressources :
 - Configuration et reconfiguration dynamique,
 - Gestion répartie de l'ensemble des ressources,
 - Monitoring de l'ensemble des ressources :
 - Calcul,
 - Réseaux,
 - Mémoires,
 - Entrées / sorties,
 - Allocation des applications en fonction de ce monitoring.

- De l'Operating System
 - Pièce maîtresse pour la maîtrise des échanges au sein d'un processeur multi-cœurs et/ou many-cœurs en fonction du mode de fonctionnement retenu : AMP, SMP et/ou BMP.
 - L'Operating System, en fonction du mode de fonctionnement utilisé, sera associé :
 - À un « Framework » de développement permettant de maîtriser le développement d'applications sans conflit d'accès aux ressources communes – en mode SMP et/ou BMP :
 - La preuve de la maîtrise du déterminisme étant de ce fait à la charge des applicatifs par suppression des conflits inter-threads.
 - À un « Hyperviseur » permettant de réaliser l'allocation des ressources partagées vers l'ensemble des cœurs disponibles :
 - La preuve de la maîtrise du déterminisme étant de ce fait à la charge du « plate-forme supplier ».

- Des réseaux
 - Les réseaux constituent la colonne vertébrale de l'Architecture IMA :
 - Au niveau IMA_1G, le réseau permet l'échange de données entre les unités de calcul,
 - Au niveau IMA_1,5 G, le réseau permet l'échange de données entre les I/Os et les Unités de Calcul via les RDC's et entre les Unités de Calcul elles-mêmes,
 - Au niveau IMA_2G, nous allons passer d'une architecture dite « Network Centric » à une architecture dite « Data Centric » où la propriété principale est la Qualité de Service de chaque donnée et sa mise à disposition vers l'Applicatif le nécessitant quelle que soit l'Unité de Calcul l'hébergeant en garantissant la mise à disposition de la donnée dans la fenêtre temporelle et avec le niveau de « safety » attendus.

Évolution des Architectures des Systèmes Avioniques Embarqués

- Des Entrées / Sorties
 - Un calculateur Avionique gère plus d'une centaine d'entrées / sorties distinctes,
 - Au niveau Avionique, chaque porteur dispose de ses propres spécifications pour les Entrées / Sorties,
 - Il est donc important de réduire de façon significative l'électronique permettant de gérer les Entrées / Sorties afin de les banaliser, au niveau du connecteur et au niveau de sa gestion applicative.

- Des Technologies de Composants
 - Comme nous l'avons mentionné dans le paragraphe 4.2.7, les technologies de composants évoluent. Cette évolution entraîne une rupture dans la durée de vie intrinsèque des composants et, de ce fait, une modification importante de la fiabilité des équipements.

Nous allons détailler, dans le Chapitre suivant, notre contribution aux différentes études liées aux travaux décrits dans le présent Chapitre.

Évolution des Architectures des Systèmes Avioniques Embarqués

Cette page est laissée blanche intentionnellement.

Évolution des Architectures des Systèmes Avioniques Embarqués

5 CONTRIBUTIONS

Sommaire

5 Contributions.....	160
5.1 Recherche de solutions non intrusives permettant de mesurer les effets du vieillissement des composants électroniques	162
5.1.1 Description.....	162
5.1.1.1 L'Electromigration	163
5.1.1.2 Le HCI.....	164
5.1.1.3 Le NBTI.....	164
5.1.2 Bilan	165
5.1.2.1 Publications	165
5.1.2.2 Partenariat académiques	165
5.1.2.3 Encadrement	165
5.2 Maîtrise des architectures processeurs multi-cœurs COTS dans des environnements aéronautiques certifiables.....	166
5.2.1 Description.....	166
5.2.2 Bilan	169
5.2.2.1 Publications	169
5.2.2.2 Partenariat académiques	169
5.2.2.3 Encadrement	169
5.3 Conversion analogique / numérique versatile dans un environnement avionique contraint 170	
5.3.1 Description.....	170
5.3.1.1 La versatilité ou comment réduire le nombre de « Parts Numbers ».....	171
5.3.1.2 Interface d'entrées / sorties avionique conventionnelles	173
5.3.1.3 Principe d'une interface versatile de type entrée.....	174
5.3.1.4 L'architecture d'une Interface d'entrée Versatile.....	175
5.3.2 Bilan	175
5.3.2.1 Publications	175
5.3.2.2 Partenariat académique.....	175
5.3.2.3 Encadrement	175
5.4 Modélisation et interprétation des effets combinés vieillissement / SEE (Single Event Effect) dans les technologies d'échelles nanométriques	176
5.4.1 Description.....	176
5.4.2 Vieillissement et radiations	176
5.4.3 Bilan	178
5.4.3.1 Publications	178
5.4.3.2 Revues	178
5.4.3.3 Partenariat académique.....	178
5.4.3.4 Encadrement	178

Évolution des Architectures des Systèmes Avioniques Embarqués

5.5	IMA et Multi-cœurs.....	179
5.5.1	Description.....	179
5.5.1.1	Le Multi-Cœur	179
5.5.1.1.1	Origines.....	179
5.5.1.1.2	Évolution de la technologie	179
5.5.1.2	Contraintes logicielles	180
5.5.1.3	Systèmes partitionnés	180
5.5.1.4	Évolution des composants pour tirer bénéfice d'une plateforme multi-cœurs	180
5.5.1.5	Déploiement de partitions	181
5.5.1.6	Symmetrical Multi-processing.....	181
5.5.1.7	Asymmetrical Multi-processing.....	182
5.5.2	Bilan	183
5.5.2.1	Publications	183
5.5.2.2	Partenariat académique.....	183
5.6	Avionics Networks	184
5.6.1	Description.....	184
5.6.1.1	Au niveau architectural	184
5.6.2	Bilan	189
5.6.2.1	Publications	189
5.6.2.2	Partenariat académiques	189

Évolution des Architectures des Systèmes Avioniques Embarqués

5.1 Recherche de solutions non intrusives permettant de mesurer les effets du vieillissement des composants électroniques

5.1.1 Description

Au cours de ces vingt dernières années, l'utilisation des circuits CMOS¹⁰⁰ s'est démocratisée et le nombre de produits les intégrant s'est multiplié. Ce marché est en expansion continue et pousse les fabricants à toujours plus d'innovations pour rester concurrentiels.

La cadence d'apparition de nouvelles générations de produits ainsi que la nécessité de tirer toujours davantage de performance des puces orientent la politique de fabrication des fondeurs. En effet, comme nous l'avons introduit précédemment, la quasi-totalité de leur production est destinée au marché des produits électroniques de grande consommation dits « consumer », tels que les téléphones / Smartphones, ordinateurs / portables / tablettes, télévisions, consoles ou autres.

De nombreuses évolutions technologiques sont apparues, telles que la multiplication des cœurs au sein des processeurs, l'hétérogénéité des composants ainsi que les évolutions au niveau des transistors eux-mêmes, avec l'apparition des transistors en trois dimensions (FinFET) ou l'évolution des matériaux utilisés. Ces évolutions adressent l'objectif de miniaturisation croissante et donc une croissance continue de la densité d'intégration.

Cette évolution s'accompagne d'une réduction de la finesse de gravure des composants, qui est passée de 100 nm au début des années 2000 à moins de 20 nm actuellement (technologies submicroniques ou DSM¹⁰¹). Cette tendance devrait continuer jusqu'à une limite actuellement identifiée de l'ordre de 4 nm (limité atomique).

Cette réduction de la finesse de gravure s'accompagne d'effets secondaires, dits de vieillissement, qui entraînent une non-linéarité de la fiabilité des composants mesurée en FIT pour « Failure In Time », ou défaillance dans le temps. Ces effets, s'ils ne sont pas impactants pour le « grand public », deviennent problématiques dans le domaine avionique où la fiabilité attendue est de plusieurs dizaines d'années.

Les phénomènes de vieillissement prépondérants dans les technologies DSM sont l'Electromigration (EM), le HCI¹⁰² et le BTI¹⁰³ (N ou P), le TDDB¹⁰⁴ est moins impactant dans les phénomènes de vieillissement. Chacun est caractérisé par ses propres conséquences et peut être mis en évidence selon sa propre méthodologie. Ces phénomènes sont présentés Figure 46.

¹⁰⁰ CMOS : Complementary Metal Oxide Semi-conductor

¹⁰¹ DSM : Deep Sub Micron

¹⁰² HCI : Hot Carrier Injection

¹⁰³ BTI : Bias Temperature Instability P (Positive) ou N (Negative)

¹⁰⁴ TDDB : Time-Dependent Dielectric Breakdown

Évolution des Architectures des Systèmes Avioniques Embarqués

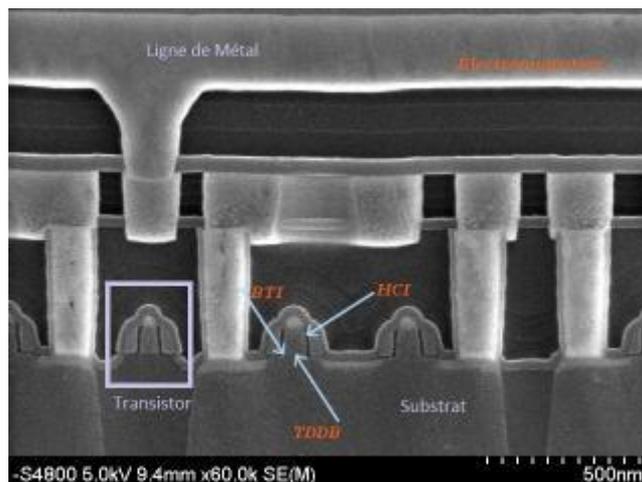


FIGURE 46 : Electromigration, BTI, HCI, TDDB

5.1.1.1 L'Electromigration

Le déséquilibre créé par le phénomène d'électromigration, avant la cassure irréversible, génère une augmentation locale de la consommation de courant et de la température. La Figure 47 et la Figure 48 nous montrent un exemple d'électromigration ainsi que les mécanismes associés mis en œuvre (accumulation et/ou suppression de matière).

Pour mettre en évidence ce phénomène, le circuit doit être utilisé à des températures très élevées, pouvant aller jusqu'à 450°C. Les tests effectués dans ce but, sont réalisés par les fondeurs à l'étape précédant le packaging, directement au niveau du silicium. Il est aussi possible de coupler ce stress avec une augmentation de la densité de courant d'entrée pour obtenir des effets similaires en moins de temps ou à des températures moins extrêmes, de l'ordre de 300°C.

Cependant, il est à noter qu'à ces températures, avec des tests de durées prolongées, la carte électronique supportant ces composants serait rapidement détruite.

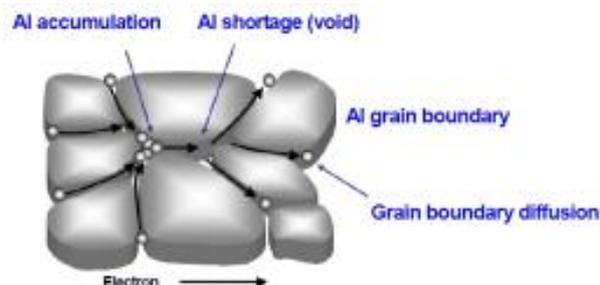


FIGURE 47 : Mécanismes d'Electromigration

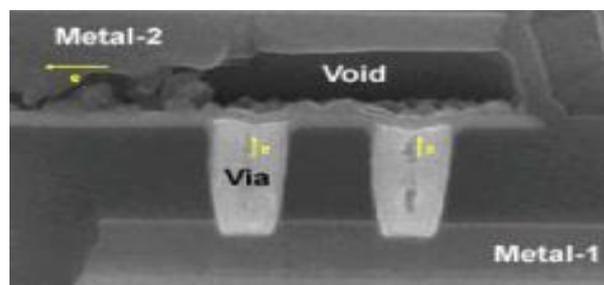


FIGURE 48 : Exemple d'Electromigration

Évolution des Architectures des Systèmes Avioniques Embarqués

5.1.1.2 Le HCI

La dégradation du NMOSFET¹⁰⁵ due au phénomène de HCI se traduit essentiellement par une augmentation de la tension de seuil V_{TH} ¹⁰⁶, et une diminution du courant de drain I_{DS} ¹⁰⁷ ainsi que du maximum de transconductance.

Pour mettre en évidence le phénomène de HCI, il est nécessaire de placer le circuit à vieillir dans une étuve de basse température fixe comprise entre -55°C et 0°C , (généralement -20°C) et faire basculer les portes aussi souvent et aussi rapidement que possible.

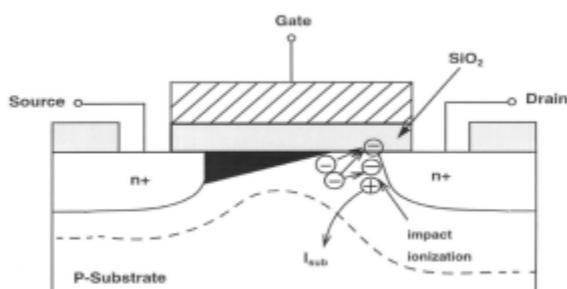


FIGURE 49 : illustration de la génération du phénomène HCI dans un MOSFET

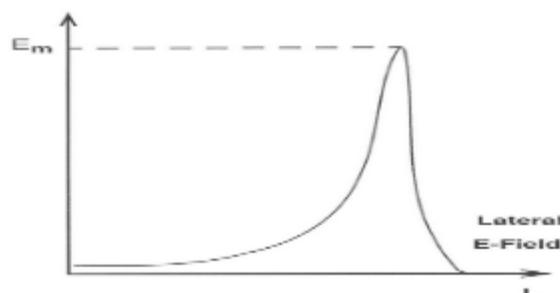


FIGURE 50 : champs électrique latéral dans le canal

La Figure 49 et la Figure 50 nous montrent à la fois l'illustration de la génération du phénomène HCI dans un composant de type MOSFET et d'autre part le Champ électrique latéral dans le Canal du composant MOSFET.

5.1.1.3 Le NBTI

La dégradation due à ce phénomène est similaire à celle due au HCI : augmentation de V_{TH} et diminution du courant de drain et du maximum de transconductance.

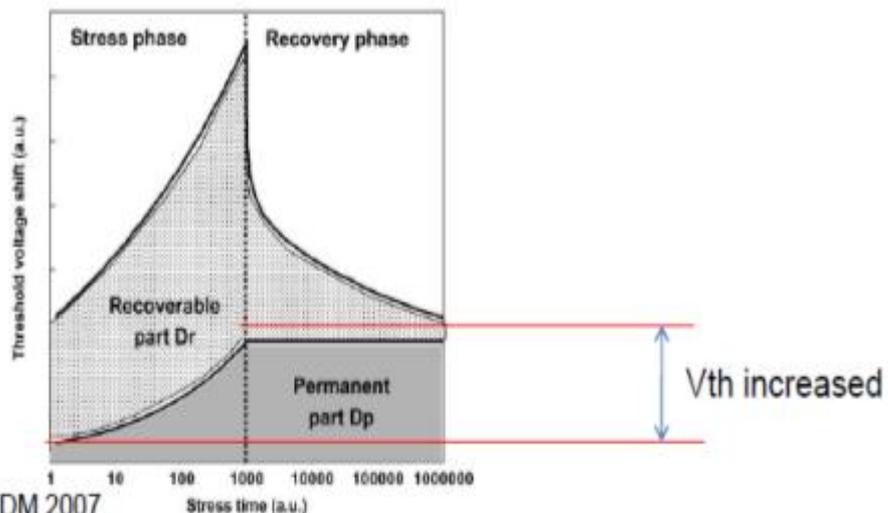
Pour mettre en évidence le phénomène de NBTI, comme l'illustre la Figure 51, le circuit doit être placé à une température fixe élevée, aux alentours de 125°C . Il est alors nécessaire de stresser de manière statique les points mémoires à vieillir en figeant leurs valeurs sur une durée variant de plusieurs minutes à plusieurs heures.

¹⁰⁵ NMOSFET : Negative - Metal-Oxide Semiconductor Field-Effect Transistor

¹⁰⁶ V_{TH} : Voltage THreshold

¹⁰⁷ I_{DS} : Courant Drain Source

Évolution des Architectures des Systèmes Avioniques Embarqués



Source : Vincent Huard, IEDM 2007

FIGURE 51 : Phénomène NBTI

5.1.2 Bilan

5.1.2.1 Publications

- 2 Communications Internationales Avec Comité de Lecture et Actes Publiés :
 - [CI_ACL_AP01] [CI_ACL_AP02]
- 2 Brevets dont un primé (en gras) :
 - [B_01] **[B_02]**

5.1.2.2 Partenariat académiques

- Thèse conduite avec Télécom ParisTech :
 - Jean-Luc DANGER
 - Guillaume DUC

5.1.2.3 Encadrement

- Cette thèse conduite par Sébastien THOMAS est terminée et a été soutenue le 5 Juillet 2013 ; encadrement à 50%

Évolution des Architectures des Systèmes Avioniques Embarqués

5.2 Maîtrise des architectures processeurs multi-cœurs COTS dans des environnements aéronautiques certifiables

5.2.1 Description

Le programme A380 a marqué le début d'une mutation de l'architecture des systèmes informatiques dans l'avionique. Ce programme a démontré la faisabilité et les avantages du passage d'une architecture distribuée reposant sur des calculateurs à fonction unique (architecture dite fédérée) vers une architecture où un seul ordinateur hébergerait plusieurs fonctions. De là est né le concept dit d'IMA. La Figure 52 représente cette évolution.

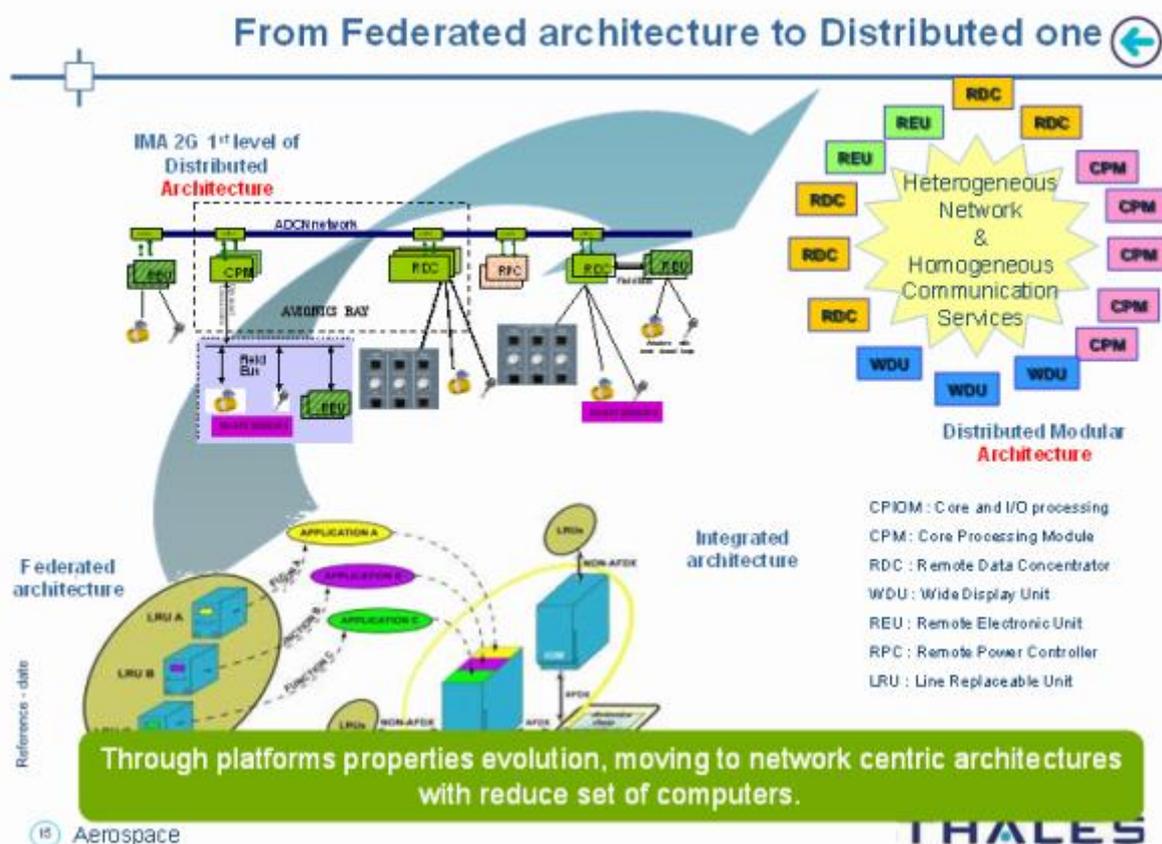


FIGURE 52 : D'une Architecture Fédérée à une Architecture Distribuée

Ce concept d'IMA a permis de rationaliser l'électronique de bord en réduisant de plusieurs dizaines les différents types de calculateurs nécessaires pour exécuter l'ensemble des applications embarquées dans un avion (carburant, freinage, moteur, électricité, cabine, climatisation, pilote automatique, « flight management system », etc.).

Cette mutation a pu être observée chez les deux principaux constructeurs avec l'A380 et l'A350 côté AIRBUS et le B787 côté BOEING. Cette convergence a donné naissance à un standard : l'IMA dit de première génération ou IMA_1G.

Évolution des Architectures des Systèmes Avioniques Embarqués

Une des finalités de l'IMA est de proposer une vision de l'architecture centrée sur des modules logiciels « indépendants » déployés sur un nombre réduit de calculateurs relativement puissants de type COTS. Pour atteindre cet objectif, il faut s'assurer que ces modules logiciels puissent partager les ressources matérielles tout en restant les plus indépendants possible du point de vue de leurs propriétés fonctionnelles et non-fonctionnelles. La maîtrise du comportement de l'architecture logicielle requiert celle du matériel, ainsi qu'une bonne connaissance des moyens disponibles pour contrôler le matériel depuis le logiciel à l'exécution.

Ces dernières années, le marché des processeurs a évolué depuis les architectures dites mono-cœurs vers des architectures dites multi-cœurs.

Conjointement aux problèmes posés par le changement d'architecture logicielle dus à l'IMA, il est nécessaire de prendre en compte l'évolution de la chaîne d'approvisionnement en processeurs. Au-delà du gain potentiel immédiat en termes de puissance de calcul, les architectures multi-cœurs sont simplement davantage présentes sur le marché que les architectures mono-cœurs.

Il est possible qu'à moyen terme, l'approvisionnement en composants processeurs mono-cœurs offrant des performances suffisantes soit tout simplement impossible. Ce constat motive de nombreux acteurs de l'industrie aéronautique à mener des recherches sur l'impact des technologies multi-cœurs sur les résultats acquis dans la conception des architectures logicielles déployées sur mono-cœurs.

La maîtrise de ces évolutions d'architectures logicielles et matérielles ne pourra se faire que si les méthodes et technologies de génie logiciel associées sont-elles mêmes maîtrisées. Par exemple, il sera indispensable d'assurer la **conservation des acquis de l'IMA**, particulièrement les propriétés d'isolation spatio-temporelle des modules logiciels. Les deux propriétés à conserver concernant l'approche IMA sont les propriétés de **ségrégation des modules** et la **maîtrise des pires temps de réponse de chaque module**. Ces propriétés sont assurées soit par synthèse de solutions correctes par construction, soit au travers d'un processus de conception assisté grâce à des procédures de vérification formelle automatiques.

Les supports d'exécution IMA tels que ceux compatibles avec le standard ARINC653 doivent être **configurés statiquement** en déclarant les propriétés de chaque module logiciel a priori. Cette configuration permet, en opération, de maintenir l'isolation spatiale et temporelle entre modules malgré leurs défaillances potentielles. Le cœur de cette configuration consiste à **spécifier les caractéristiques temporelles des tâches** constituant les modules logiciels indépendants (appelés partitions).

Cette configuration logicielle passe par une **estimation a priori du temps d'exécution de chaque tâche** d'un module, et de l'impact des dépendances entre tâches sur le pire temps de réponse du module complet. De nombreuses études ont été menées sur le problème de l'estimation des pires temps d'exécution sur des architectures multi-cœurs. Cependant, il est possible que l'obligation de ségrégation temporelle et spatiale modifie en profondeur les performances des processeurs. Il s'agit donc d'étudier ces problématiques d'estimation des caractéristiques temporelles d'une tâche dans le cas où le fonctionnement interne du processeur et celui de l'Operating System gérant l'interface ARINC déployée ont été adaptés pour assurer l'isolation des modules au sein même du processeur.

L'évolution conjointe de l'architecture logicielle et matérielle de l'informatique de bord d'un avion est une problématique forte en termes de recherche appliquée. Cette évolution

Évolution des Architectures des Systèmes Avioniques Embarqués

transforme en profondeur la nature et les contraintes de réalisation de tels systèmes sur plusieurs points :

- L'élargissement constant des domaines concernés par l'approche IMA ;
- L'augmentation du nombre et de la précision des contraintes imposées par le déploiement des applications logicielles concernant :
 - La puissance de calcul et la bande passante consommées ;
 - Les fonctionnalités intégrées dans un même module ;
 - L'espace mémoire requis par le module ;
 - L'estimation des bornes de latence de propagation et pire temps de réponse.
- L'apparition de ressources partagées enfouies dans le matériel pouvant modifier la manière dont l'isolation spatiale et temporelle entre modules est implémentée. La Figure 53 met en évidence les différents points de contention qu'il s'agit de maîtriser dans une architecture de calcul disposant d'un processeur Multi-Cœurs.

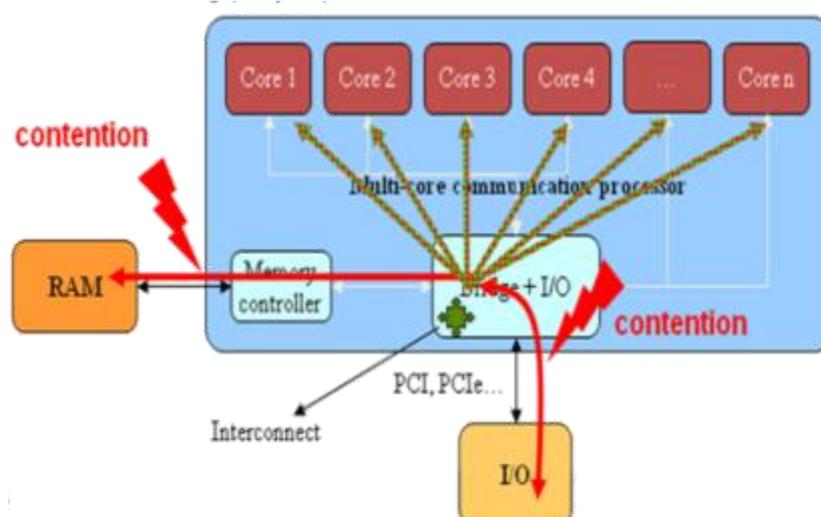


FIGURE 53 : Mise en évidence des Contentions dans un Processeur Multi-Cœurs

Pour répondre aux défis posés par ces trois changements, nous avons étudié et mis en œuvre, au cours d'une thèse, des méthodes de vérification et d'analyse reposant sur une modélisation conjointe de l'architecture matérielle et logicielle du système.

L'objectif des analyses conduites a été de valider les propriétés d'isolation spatiale et temporelle, et d'estimer finement les pires temps d'exécution d'une tâche sur un système multi-cœurs.

L'un des enjeux clé a été la modélisation des interférences entre les cœurs de calcul, engendrées par le partage de ressources physiques tels que les contrôleurs mémoires ou les bus de données. La Figure 53 représente une architecture matérielle classique pour un système multi-cœurs. Il apparaît clairement que l'accès aux entrées-sorties des cœurs de calcul vers les ressources partagées devra être strictement contrôlé.

L'utilisation des processeurs multi-cœurs, dans des conditions où l'on peut instaurer un niveau d'indépendance satisfaisant entre cœurs de calcul, demande à adapter d'une part le

Évolution des Architectures des Systèmes Avioniques Embarqués

5.3 Conversion analogique / numérique versatile dans un environnement avionique contraint

5.3.1 Description

Durant les dix dernières années, l'évolution de l'architecture de la plate-forme Avionique vers le concept d'IMA a permis d'importantes réductions de coûts de développement et d'exploitation grâce à la réduction du nombre de modules nécessaires à l'exécution des applications avioniques.

Cependant cette modularité au niveau avionique est limitée par des considérations matérielles. En effet, les calculateurs avioniques, contrairement à leurs homologues du domaine industriel, doivent s'interfacer avec plusieurs centaines d'entrées / sorties de différents types analogiques et numériques, du senseur au réseau en passant par le bus de terrain. Les applications hébergées par ces modules doivent avoir accès directement à ces différentes entrées / sorties.

Nous avons décidé, avec SUPELEC, de traiter cette problématique au sein d'une thèse en introduisant un concept novateur d'interfaces dénommées entrées / sorties versatiles. Cette versatilité va permettre de réduire les efforts de développement et surtout favoriser la réutilisation des équipements avioniques en offrant une flexibilité dans le développement des éléments d'entrées / sorties.

Les interfaces versatiles sont destinées à être utilisées dans un environnement avionique et devront, de ce fait, être compatibles avec des procédures de test en environnement telles que celles décrites dans la norme DO-160-F / ED-14F.

Les interfaces que nous proposons de couvrir via les I/O¹⁰⁹ versatiles sont celles les plus couramment répandues en Avionique, à savoir :

- Entrées / sorties discrètes Vdd / Open, Ground / Open,
- Liaisons ARINC429,
- Bus numériques dont la fréquence de fonctionnement est ≤ 1 MHz,
- Signaux analogiques AC¹¹⁰ ou DC¹¹¹
- Interfaces LVDT¹¹² ou RVDT¹¹³.

Le premier objectif fixé pour l'interface versatile est de pouvoir développer des cartes d'entrées / sorties génériques configurables. Chaque entrée / sortie pourra être associée indifféremment à l'une des interfaces décrites ci-dessus. Cette association, fixe pour un type de porteur, sera configurée à l'initialisation du calculateur et pourra être modifiée lors d'un déploiement sur un autre porteur afin de pouvoir réaliser l'allocation « type de signal \leftrightarrow pin physique » en fonction des besoins du porteur donné.

¹⁰⁹ I/O : Input / Output

¹¹⁰ AC : Alternating Current

¹¹¹ DC : Direct Current

¹¹² LVDT : Linear Variable Differential Transformer

¹¹³ RVDT : Rotary Variable Differential Transformer

Évolution des Architectures des Systèmes Avioniques Embarqués

Le second objectif visé par l'interface versatile est de pouvoir réduire l'empreinte occupée par l'interface au niveau d'une carte d'entrées / sorties.

5.3.1.1 La versatilité ou comment réduire le nombre de « Parts Numbers »

Le concept IMA a été la première réponse permettant de supporter les contraintes de performances, de Safety tout en offrant les fonctionnalités requises au sein d'un avion moderne en prenant en compte les contraintes de réduction de poids, de volume, de consommation et de coûts.

Cependant, le principe de l'IMA consistant à héberger plusieurs fonctions ou applications sur le même calculateur a ses limites : le nombre d'applications qu'un calculateur peut héberger dépend de la performance de calcul du calculateur mais principalement de ses capacités à pouvoir s'interfacer avec le monde extérieur.

Cette limitation peut être mieux appréhendée en analysant l'exemple d'architecture hardware d'un calculateur IMA donné par la **FIGURE 54**.

Un calculateur est généralement composé de plusieurs modules, tels que le module alimentation, le module processing sur lequel les applications sont exécutées, et le module d'entrées / sorties qui réalise l'interfaçage du calculateur avec son monde extérieur.

Grâce à ce module d'entrées / sorties, le calculateur, et de ce fait les applications, peut recevoir les stimuli issus des senseurs, les traiter et générer des informations à destination des actuateurs ou des consoles de visualisation pour le pilote et l'équipage.

Cependant, les différentes applications hébergées par ce calculateur nécessitent différents types d'entrées / sorties différents et de ce fait, le nombre d'entrées / sorties physiques du calculateur étant limité, le nombre de signaux interfaçables va l'être également, contraignant en conséquence le nombre d'applications que le calculateur va pouvoir héberger.

Afin de satisfaire les besoins complets d'un Avion, le calculateur va être décliné en plusieurs versions dépendantes de ses capacités d'entrées / sorties. La configuration du calculateur se fera donc en fonction de ses capacités. Cette configuration n'autorise que l'exécution des types d'applications utilisant les seules I/O's disponibles sur le calculateur afin de minimiser les temps de latences.

Pour toutes ces raisons, en dépit de la capacité d'un calculateur à pouvoir exécuter plusieurs fonctions, ces calculateurs seront « typés » en fonction de leurs capacités d'entrées / sorties.

Chaque calculateur va reposer sur un module d'entrées / sorties disposant d'interfaces différentes entre les calculateurs afin de satisfaire aux besoins des applicatifs embarqués. L'ensemble des différents calculateurs va permettre d'adresser l'ensemble des besoins applicatifs.

Évolution des Architectures des Systèmes Avioniques Embarqués

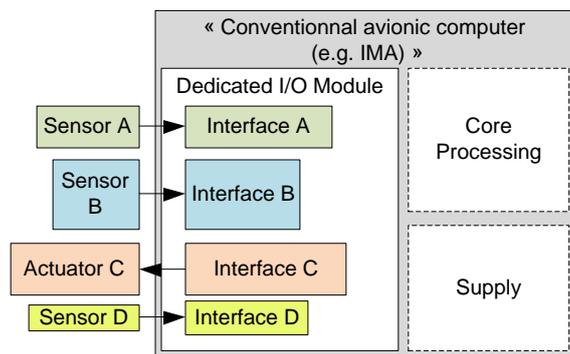


FIGURE 54: Calculateur Avionique conventionnel

Il est à noter qu’au sein d’un module d’entrées / sorties, chaque interface a été spécifiquement développée pour répondre aux besoins d’un type de senseurs ou d’actuateurs.

Notre solution, développée durant cette thèse, consiste à remplacer ces interfaces d’entrées / sorties spécifiques par une interface générique. La **FIGURE 55** montre comment est implémentée cette interface générique au sein d’un module d’entrées / sorties. Le hardware du calculateur peut être reconfiguré afin d’étendre les capacités d’interfaçage et donc d’exécution du calculateur.

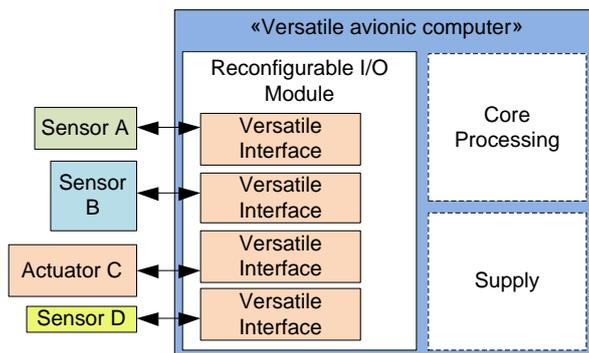


FIGURE 55: Calculateur avionique à interface versatile

Dans le précédent exemple, il avait été nécessaire de développer des modules différents en fonction des signaux à interfacier par calculateur. Dans cet exemple, un seul module est nécessaire et grâce à la versatilité, une interface peut être reprogrammée afin de correspondre au signal à interfacier.

La versatilité permet de réduire le nombre de développements et donc de réduire les coûts de développement mais également les coûts de certification associés ainsi que les coûts de maintenance au niveau des compagnies aériennes.

Évolution des Architectures des Systèmes Avioniques Embarqués

5.3.1.2 Interface d'entrées / sorties avionique conventionnelles

Chaque chaîne d'acquisition d'un signal est construite autour de la même architecture de référence comme présenté sur la **FIGURE 56** :

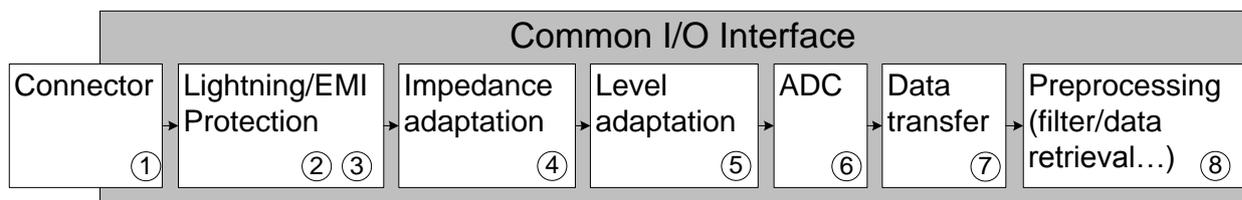


FIGURE 56 - Description fonctionnelle d'une interface avionique de type entrée

- 1) Un connecteur permettant de réaliser l'acquisition du signal à acquérir via une "pin" dédiée ;
- 2) Une interface de protection foudre ;
- 3) Une interface de filtrage EMI¹¹⁴, souvent regroupée avec la protection foudre ;
- 4) Un étage d'adaptation d'impédance permettant d'adapter l'impédance d'entrée avec celle correspondante au signal à interfacer ;
- 5) Un étage d'adaptation de niveau permettant de réduire ou d'amplifier le signal afin qu'il puisse être compatible des étages de traitement ;
- 6) Un étage de conversion analogique → numérique dont la fonction de conversion dépend du type de signal à convertir (haute ou basse résolution voire une simple comparaison pour l'acquisition de signaux discrets) ;
- 7) Une fonction de transfert de l'information digitale vers la partie processing ;
- 8) Une fonction processing externe au module d'entrées / sorties.

Au sein des calculateurs avioniques actuels, les paramètres des chaînes d'acquisition sont fixes et dépendent du type de signal à acquérir. Chaque interface se trouve dédiée (ex : une interface de type CAN ne peut recevoir que des signaux de type CAN¹¹⁵) et le nombre de signaux possibles sur un module est fonction de la capacité d'entrées / sorties physiques du connecteur du module.

¹¹⁴ EMI : ElectroMagnetic Interference

¹¹⁵ CAN : Controller Area Network

Évolution des Architectures des Systèmes Avioniques Embarqués

5.3.1.3 Principe d'une interface versatile de type entrée

La solution étudiée dans le cadre de cette thèse est basée sur le même squelette que celui d'une interface d'entrée Avionique actuelle avec sensiblement les mêmes fonctionnalités. Toutefois la différence, ou l'innovation, est que les paramètres de ces différents étages peuvent être paramétrables comme l'illustre les fonctions en gras au sein de la **FIGURE 57**.

Ces paramètres constituent ce que nous avons appelé « les ressources programmables », ces ressources pouvant être analogiques ou numériques. En modifiant ces ressources, l'interface d'entrées versatile va adapter sa plage d'entrée : au niveau tension, fréquence de coupure, impédance d'entrée et pourra modifier le type de conversion et de processing qui va lui être appliqué. Grâce à ces capacités, l'entrée va pouvoir, sur la même « pin » physique, recevoir différents types de signaux qu'ils soient numériques ou analogiques.

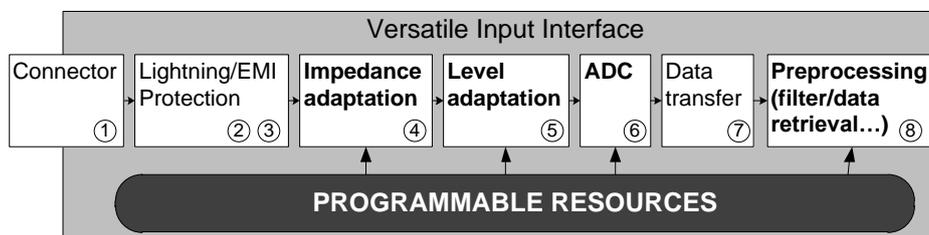


FIGURE 57. Description fonctionnelle d'une interface d'entrée versatile

L'interface d'entrées versatile va disposer de plusieurs canaux d'entrée pouvant être configurés en mode différentiel ou « single-ended » afin d'autoriser une flexibilité maximale.

La **FIGURE 58** illustre deux exemples d'utilisation de l'entrée versatile :

- La figure de gauche montre l'interface configurée pour recevoir les signaux suivants :
 - Récepteur ARINC429 ;
 - Acquisition d'un signal de $\pm 10V$;
 - Acquisition de signaux discrets.
- La figure de droite est un autre exemple d'utilisation de l'interface versatile avec :
 - 3 canaux dédiés pour réaliser l'interface d'un senseur LVDT ;
 - Le 4^{ème} canal permettant de réaliser l'acquisition d'une tension analogique.

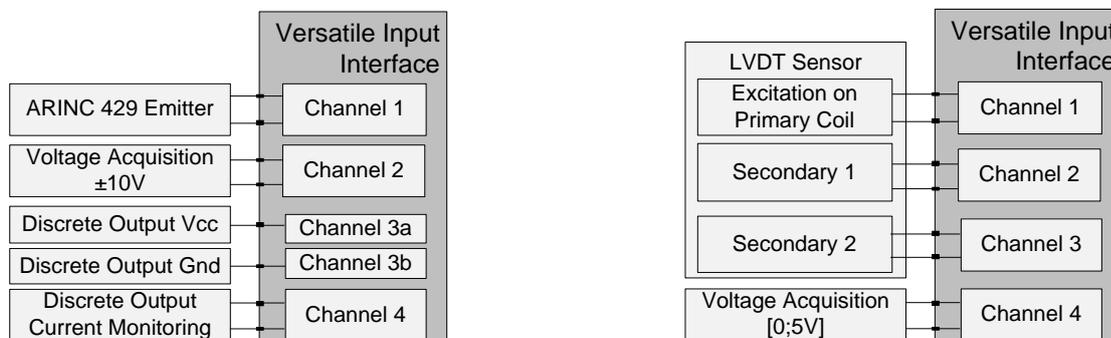


FIGURE 58: Deux exemples d'applications de l'interface versatile

Évolution des Architectures des Systèmes Avioniques Embarqués

5.3.1.4 L'architecture d'une Interface d'entrée Versatile

L'architecture complète d'une interface d'entrée versatile est construite autour de deux composants, le premier est un composant ASIC mixte analogique / numérique, le second est un composant programmable de type FPGA. Chacun de ces deux composants intégrant l'ensemble des ressources programmes permettant de réaliser l'acquisition des différents types de signaux analogiques ou numériques.

5.3.2 Bilan

5.3.2.1 Publications

- 2 Communications Internationales Avec Comité de Lecture et Actes Publiés :
 - [CI_ACL-AP05] [CI_ACL-AP06]
- 1 Communications Internationales Sans Comité de Lecture Avec actes Publiés :
 - [CI_SCL-AP03]
- 3 brevets :
 - [B_04] [B_05] [B_06]

5.3.2.2 Partenariat académique

- Thèse conduite avec SUPELEC :
 - Philippe BENABES.

5.3.2.3 Encadrement

- Cette thèse conduite par Antoine CANU est terminée et a été soutenue le 25 Février 2013 ; encadrement à 40%.

Évolution des Architectures des Systèmes Avioniques Embarqués

5.4 Modélisation et interprétation des effets combinés vieillissement / SEE (Single Event Effect) dans les technologies d'échelles nanométriques

5.4.1 Description

Les systèmes électroniques interviennent dans des équipements embarqués de l'aéronautique où la sûreté de fonctionnement est requise, compte-tenu des conséquences critiques qui peuvent résulter de leur panne. Les systèmes électroniques sont de plus en plus complexes et intègrent des quantités croissantes de composants élémentaires.

Cette évolution exige une amélioration considérable de la fiabilité des composants élémentaires et des équipements. Au niveau élémentaire, l'intégration des technologies microélectroniques conduit à une réduction d'échelle toujours croissante qui atteint aujourd'hui ses limites et exige l'introduction de nouveaux matériaux et/ou de proposer de nouvelles architectures (FinFET, composant 3D ...). Dans ce type de transistor, les dimensions de la zone active sont réduites à moins de quelques dizaines de nanomètres dans toutes les directions.

Les systèmes électroniques subissent un grand nombre de contraintes qui peuvent d'une part être la conséquence de leurs conditions opérationnelles d'utilisation (thermique, mécanique etc.) et d'autre part résulter de certaines propriétés intrinsèques de l'environnement naturel (radiation) dans lequel ils opèrent. Les contraintes, qu'elles soient par exemple thermiques ou mécaniques, induisent des problématiques qui contribuent, en plus des effets liés à la technologie, à accélérer le vieillissement des composants entraînant une dérive fonctionnelle des composants.

Parmi ces modes de dégradation, le phénomène de NBTI est aujourd'hui reconnu comme rédhibitoire au bon fonctionnement des circuits à hautes températures. Quant aux particules de l'environnement radiatif naturel atmosphérique, qui se compose de particules secondaires (neutrons, protons, électrons, muons) résultant de l'interaction des particules ionisantes primaires de l'environnement radiatif spatial avec les atomes de l'atmosphère, elles sont capables d'induire des défaillances dans les circuits réversibles ou non. Ces effets sont appelés Single Event Effect (SEE) ou encore SER (Software Error Rate) lorsqu'il s'agit de mesurer leurs effets au niveau du(es) logiciel(s) applicatif(s).

5.4.2 Vieillissement et radiations

Les problématiques liées au vieillissement et celles liées aux radiations sont habituellement abordées de manières disjointes. Compte-tenu des évolutions technologiques qui induisent une diminution des seuils de sensibilité SEE des technologies et des puissances consommées en constante augmentation, il convient de reconsidérer cette hypothèse d'indépendance et d'évaluer les effets combinés de ces deux contraintes. Cela signifie que les dégradations fonctionnelles induites par les mécanismes de vieillissement peuvent impacter de manière significative la sensibilité des technologies aux SEE, et réciproquement, certains effets SEE (micro-latchup, modification morphologique des oxydes dues aux ions, etc.) sont susceptibles d'amplifier les mécanismes de vieillissement.

En tant que leader européen dans le marché de l'avionique, Thales Avionics S.A.S. conçoit, développe et produit :

- Des équipements et des systèmes avioniques pour le cockpit et la cabine ;

Évolution des Architectures des Systèmes Avioniques Embarqués

- Des systèmes auxiliaires ;
- Des équipements de génération de puissance ;
- Des systèmes de divertissement pour passagers.

Ces équipements avioniques, souvent critiques pour la sécurité des avions et des passagers, se caractérisent par une intégration de plus en plus poussée des composants électroniques, et donc par une plus grande sensibilité aux phénomènes de radiation. La mise en œuvre de méthodes adaptées pour garantir la bonne fonctionnalité des équipements doit évoluer en même temps que les technologies de façon à prendre en compte ces nouveaux phénomènes, qu'ils soient intégrés dès la phase amont de la conception des systèmes / équipements.

L'ONERA développe depuis 2007 une plateforme de prédiction des SEE nommée MUSCA SEP3. Cette plateforme modélise les effets induits par des environnements neutronique, protonique ou ionique (applications spatiales, atmosphériques et terrestres). MUSCA SEP3 intègre des modèles de transport/collection et d'occurrence SEE dédiés à l'échelle nanométrique des structures planar 2D et/ou FinFET. Elle permet de considérer les niveaux physiques et électriques des composants.

Sachant que les paramètres caractérisant la robustesse d'un composant par rapport aux radiations cosmiques peuvent être résumés par les deux paramètres suivants :

- La Section Efficace qui va caractériser le seuil de modification d'une cellule interne sans destruction de la cellule (la modification de la cellule peut entraîner une modification du comportement du composant mais la cellule est toujours opérationnelle),
- Le « Let seuil » qui caractérise le seuil au-delà duquel les radiations (ou le cumul) provoqueront une défaillance du composant.

et qu'actuellement, ces paramètres sont considérés comme constants pendant toute la durée de vie du composant, les objectifs de cette thèse seront :

- De confirmer ou non cette hypothèse pour les futurs composants et si on identifie une modification de ces paramètres pendant le vieillissement, de déterminer la loi d'évolution correspondante,
- De combiner la plateforme MUSCA SEP3 avec des modèles de vieillissement, et ce, avec pour finalité d'anticiper les tendances des risques SEE/vieillessement en fonction de la Roadmap technologique. Par ailleurs, une phase expérimentale aura pour objectif de valider cette approche sur un ou plusieurs véhicules de tests.

Des travaux complémentaires sont en cours au sein de Thales sur ce sujet. Ces travaux ont permis l'élaboration et la présentation de deux publications et d'une revue, un brevet est en cours d'édition.

Évolution des Architectures des Systèmes Avioniques Embarqués

5.4.3 Bilan

5.4.3.1 Publications

- 2 Communications Internationales Avec Comité de Lecture et Actes Publiés :
 - [CI_ACL_AP07] [CI_ACL_AP09]

5.4.3.2 Revues

- 1 Revues :
 - [RV_01]

5.4.3.3 Partenariat académique

- Cette thèse est conduite avec l'ONERA Toulouse (INP Toulouse) :
 - M. Guillaume HUBERT.

5.4.3.4 Encadrement

- Cette thèse est en cours (T0 en Juillet 2014) et est assurée par Thomas ROUSSELIN ; encadrement à 30%.

Évolution des Architectures des Systèmes Avioniques Embarqués

5.5 IMA et Multi-cœurs

5.5.1 Description

5.5.1.1 Le Multi-Cœur

5.5.1.1.1 Origines

Le terme « multi-cœurs » est employé pour décrire un processeur composé d'au moins deux cœurs (ou unités de calcul) gravés au sein de la même puce. Le premier multi-cœur a été commercialisé par IBM dans les années 2000 sur la base d'une architecture PowerPC. Intel et AMD ont rallié la génération multi-cœurs vers 2005.

Au sein des composants multi-cœurs, nous pouvons distinguer deux familles :

- Une famille de processeurs disposant de cœurs homogènes, c'est-à-dire de cœurs identiques ;
- Une famille de processeurs disposant de cœurs hétérogènes et spécialisés dans des domaines bien précis (audio, affichage, calcul pur, etc.) tel le processeur CELL d'IBM disposant d'un cœur de calcul et d'unités de traitement algorithmiques.

Le multi-cœur est apparu car il n'était plus possible de gagner en puissance de calcul uniquement par une augmentation de la fréquence de calcul. Il a été constaté qu'au-delà de 1 GHz, la moitié de la consommation était liée au maintien statique du composant. La réduction de la finesse de gravure a permis d'utiliser la surface de silicium libre pour implanter de nouvelles fonctionnalités dans la puce d'où dans un premier temps les SoC¹¹⁶ puis les multi-cœurs.

5.5.1.1.2 Évolution de la technologie

Les demandes en puissance de calcul ne cessant de croître, la première utilisation des processeurs multi-cœurs a été orientée vers cet objectif avec comme fonctionnalité principale, le traitement de signal (Image, Guerre Électronique, Radar ou Sonar).

Les algorithmes de traitement de signal dans ces domaines étant très parallélisables, l'exécution dite symétrique (SMP) a permis l'accroissement de performances grâce à la répartition dynamique de la charge de calcul sur l'ensemble des cœurs appelé « load balancing » et géré automatiquement au niveau de l'Operating System. Il est à noter que le SMP n'est efficace que si l'application à exécuter dispose de processus ou « threads » pouvant être exécutés en parallèle.

¹¹⁶ SoC : System on Chip

Évolution des Architectures des Systèmes Avioniques Embarqués

5.5.1.2 Contraintes logicielles

Afin de pouvoir assurer le portage d'applications avioniques fonctionnant actuellement sur des plateformes mono-cœur vers des plateformes multi-cœurs, le développeur applicatif doit s'assurer que :

- L'exécution logicielle reste identique (pas de dégradation),
- Un WCET puisse toujours être calculé pour chaque tâche ou process.

Il est à noter qu'une application avionique multitâches peut ne pas s'exécuter de façon efficiente sur un processeur multi-cœurs si ces différentes tâches ont des dépendances demandant un ordre d'exécution spécifique.

5.5.1.3 Systèmes partitionnés

Les recherches sont conduites au niveau des équipements de type IMA. Nous adressons les systèmes partitionnés, en prenant en référence, la terminologie décrite dans la standard ARINC653 :

- Une application avionique est composée d'une ou de plusieurs partitions, chaque partition gérant un ou plusieurs process
- Les process sont exécutés dans le même espace temporel et spatial que celui de la partition active.

Les développeurs d'applicatifs sont en charge du développement des partitions

5.5.1.4 Évolution des composants pour tirer bénéfice d'une plateforme multi-cœurs

Nous allons présenter ici notre point de vue (en tant que fournisseur d'équipements avionique) de ce que pourrait être un modèle de partitionnement permettant à une plateforme IMA de tirer bénéfice de l'introduction de processeurs multi-cœurs avec le support de la Figure 59.

Les applicatifs existant dits « legacy » ne vont pas être modifiés ou d'une façon mineure (équivalent à un portage d'une plateforme mono-cœur à une autre plateforme mono-cœur) car existants et déjà certifiés.

Deux approches vont être analysées. La première consisterait à tirer bénéfice d'une plateforme multi-cœurs, demandant un effort considérable de re-engineering logiciel tandis que la seconde consisterait à permettre la

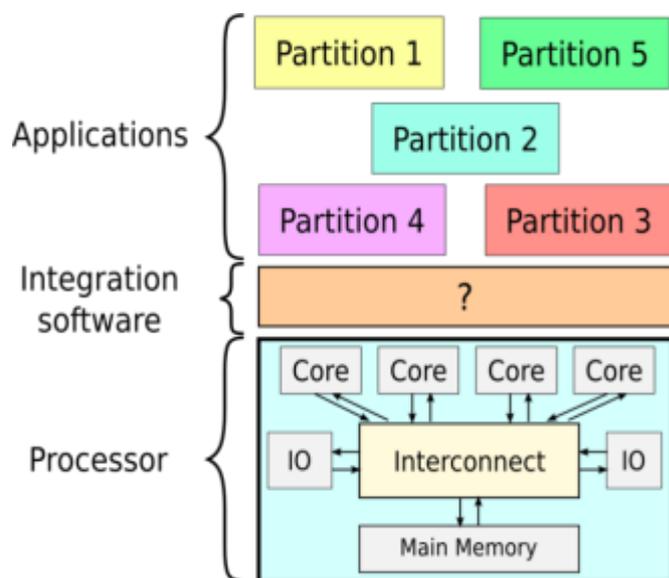


FIGURE 59: Architecture HW/SW pour un futur Module IMA Multi-Coeurs

Évolution des Architectures des Systèmes Avioniques Embarqués

réutilisation telle qu'elle du logiciel déjà développé et certifié.

Du point de vue du fournisseur de la plateforme embarquée, la solution la plus « flexible » serait l'intégration d'une couche logicielle entre les cœurs et les applicatifs. Ce niveau d'abstraction peut se caractériser par :

- Un seul OS partagé sur l'ensemble des cœurs et gérant l'ensemble du processeur multi-cœurs ;
- Une instance d'OS par cœur ;
- Une couche de virtualisation permettant de gérer l'exécution de plusieurs OS différents sur des machines virtuelles dédiées.

Actuellement, l'expérience acquise dans la maîtrise des architectures à destination d'un environnement avionique embarqué certifié de type IMA n'est pas suffisante pour déterminer la stratégie de développement à adopter. Des travaux complémentaires sont en cours actuellement pour poursuivre l'analyse.

5.5.1.5 Déploiement de partitions

L'enjeu principal de l'introduction d'un processeur multi-cœur sur une plateforme avionique embarquée de type IMA est la maîtrise de l'exécution en parallèle, sur chaque cœur, de plusieurs logiciels. Ce parallélisme peut être géré de deux façons :

- Parallélisme intra-partition :
 - Le scénario extrême à analyser est celui où une partition est active simultanément sur tous les cœurs en ayant accès à l'ensemble des ressources de la plate-forme. Ce mode d'exécution est appelé SMP.
- Parallélisme inter-partition :
 - Le scénario extrême à analyser est celui où sur chaque cœur une partition spécifique est activée avec une concurrence d'exécution entre les partitions. Ce mode d'exécution est appelé AMP.

Il existe un troisième mode d'exécution appelé BMP qui consiste, comme sur le mode SMP, à ne disposer que d'une seule instanciation d'OS sur l'ensemble du processeur mais dans lequel l'attribution de l'exécution des process ou des tâches est statique et a été préalablement définie.

5.5.1.6 Symmetrical Multi-processing

Le déploiement de type SMP sur une plateforme signifie que chaque cœur dispose d'un OS et qu'une partition est active en même temps sur tous les cœurs comme le présente la Figure 60.

Au sein d'une partition, les tâches ou process peuvent être exécutés en parallèle sur l'ensemble des cœurs. Au niveau du processeur, la notion d'intégrité et de calcul du WCET peut rester valide (comme sur un processeur mono-cœur).

Évolution des Architectures des Systèmes Avioniques Embarqués

Des conflits peuvent apparaître lorsque chaque cœur va adresser les ressources communes de façon simultanée. Conflits n'impactent pas le partitionnement spatial ou temporel car ils interviennent au sein d'une même partition, par contre ils peuvent générer des interférences d'exécution devant être prises en compte au niveau du développement logiciel.

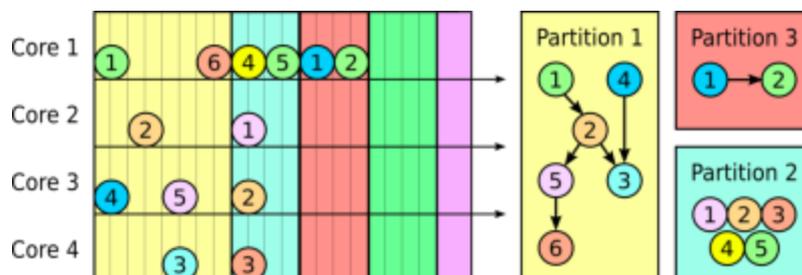


FIGURE 60: Exemple de déploiement de partitions SMP

Le déploiement de partitions de type SMP offre les bonnes propriétés suivantes :

- Respect du partitionnement spatial et temporel tel que décrit au niveau de la norme ARINC653 ;
- Pas de conflit inter-partition (exécution similaire à celle sur un processeur mono-cœur).

5.5.1.7 Asymmetrical Multi-processing

Un déploiement de type AMP signifie que chaque cœur dispose d'un déploiement de partitions qui lui est propre et donc les partitions vont s'exécuter en parallèle sur chacun des cœurs (voir Figure 61). Ainsi, tout comme sur un processeur mono-cœur, l'exécution des tâches ou process va se faire de façon séquentielle.

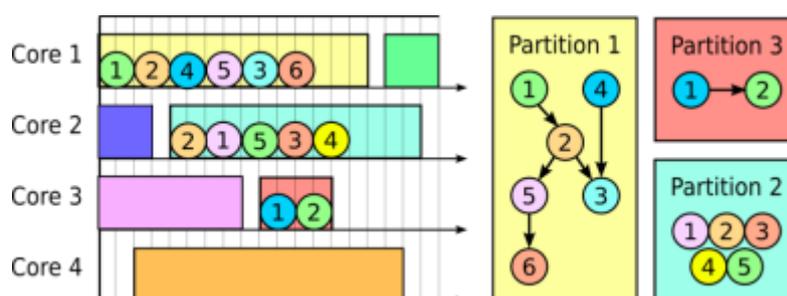


FIGURE 61: Exemple de déploiement d'un partitionnement type AMP

Les bonnes propriétés offertes par un déploiement de type AMP sont :

- Pas de modification du modèle de partition entre un processeur mono-cœur et un des cœurs du processeur multi-cœurs. De ce fait, il peut exister une rétrocompatibilité logicielle avec les logiciels existant, les ajustements étant mineurs. Les règles actuelles gérant les communications inter-partitions, au sein d'un même cœur ou

Évolution des Architectures des Systèmes Avioniques Embarqués

inter-cœurs restent valides. Un exemple : la partition 1 doit être terminée avant l'exécution de la partition 2, sans impact sur les performances ;

- Le déploiement est scalable en fonction du nombre de cœurs et des performances intrinsèques de chacun des cœurs et du réseau d'interconnexion entre les cœurs et entre les cœurs et les ressources partagées (mémoire, bus d'entrées / sorties, réseaux, etc.).

Cependant, l'ensemble des travaux restant à conduire sont ceux concernant le « Robust Partitioning » qui n'est plus à assurer entre les partitions sur un même cœur mais entre les cœurs d'un processeur multi-cœurs, il faut donc pouvoir garantir le déterminisme d'exécution de l'ensemble des applicatifs et donc celui d'accès aux ressources communes.

Ces travaux sont conduits dans le cadre de l'analyse de l'évolution des plateformes IMA dites de seconde génération.

5.5.2 Bilan

5.5.2.1 Publications

- 2 Communications Internationales Sans Comité de Lecture Sans actes Publiés :
 - [CI_SCL_SP01] [CI_SCL_SP02]

5.5.2.2 Partenariat académique

- Je conduis ces recherches en interne au sein de Thales Avionics SAS.
- Ces travaux font suite aux deux thèses encadrées de :
 - Xavier JEAN conduite avec Télécom ParisTech,
 - Hicham AGROU conduite avec l'IRIT.

Un recrutement est en cours pour compléter ces travaux internes par une thèse afin d'analyser l'apport du many-cœurs et de son « Network on Chip ou NoC » par rapport à la maîtrise du WCET et du déterminisme d'accès aux ressources communes.

Des travaux sont actuellement en cours avec l'INP de Toulouse et le Professeur Christian FRABOUL dans le cadre d'une coopération autour du projet CORAC-AME, les résultats de ces travaux seront présentés en juin 2017.

Évolution des Architectures des Systèmes Avioniques Embarqués

5.6 Avionics Networks

5.6.1 Description

Au niveau de l'Avionique, une révolution a été introduite via l'introduction de l'Architecture IMA ou distribuée venant remplacer l'Architecture « conventionnelle » dite Fédérée.

5.6.1.1 Au niveau architectural

Depuis les années 70, le nombre de fonctions logicielles n'a cessé de croître. Ces fonctions sont essentiellement développées afin d'offrir les capacités de contrôle de l'ensemble des équipements embarqués nécessaires à assurer la « Safety » d'un vol.

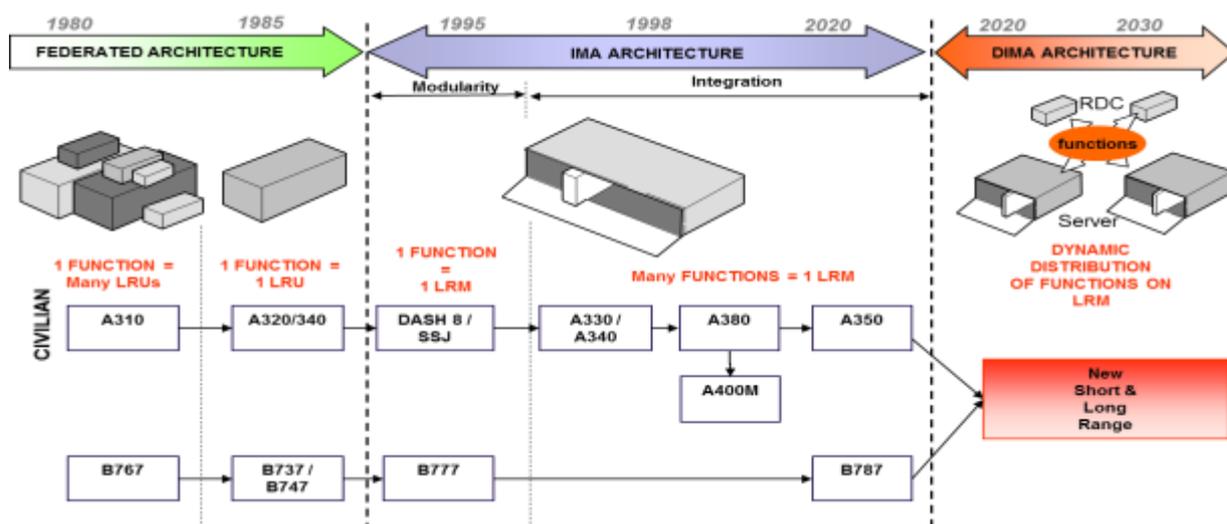


FIGURE 62 : Évolution des Architectures Avioniques

Comme nous pouvons le constater sur la Figure 62, les architectures avioniques ont évolué :

- Dans les années 70 : un système est réalisé par plusieurs éléments matériels ou LRU¹¹⁷ analogiques,
- Dans les années 80 : un Système est réalisé par un LRU disposant de son système d'acquisition, des informations senseurs dédiées, de son unité de calcul et de son système d'actionneurs dédié,
- Une évolution a été introduite au début des années 2000 avec la standardisation des unités de calcul sur le B777 ainsi que sur les avions régionaux type SSJ,
- Une première rupture a été introduite avec l'IMA permettant de réduire :
 - Le câblage nécessaire pour interconnecter l'ensemble des équipements,
 - Le nombre d'équipements nécessaires pour réaliser l'ensemble des fonctions,

¹¹⁷ LRU : Line Replacable Unit

Évolution des Architectures des Systèmes Avioniques Embarqués

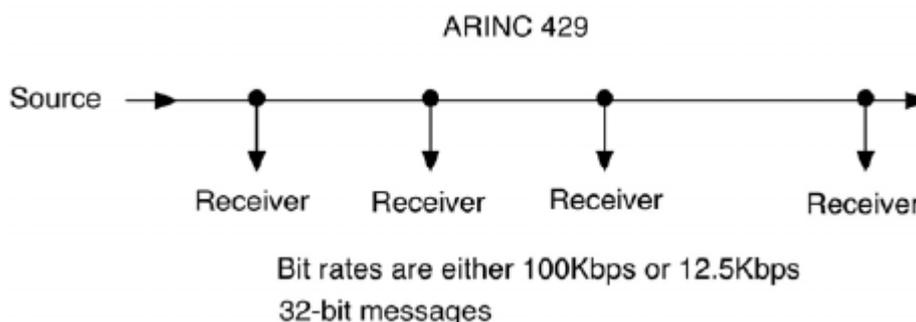
- La consommation globale de la plate-forme avionique.

L'introduction de l'IMA a permis :

- De réduire les coûts de développement pour les avionneurs ainsi que pour les équipementiers et/ou développeurs d'applicatifs,
- De réduire les coûts récurrents (coûts de production) grâce à la réduction du nombre d'équipements nécessaire à l'exécution de l'ensemble des fonctions,
- De réduire les coûts de Maintenance pour les « Airlines »,
- D'offrir des capacités de mise à niveau matérielles et logicielles.

Par contre, l'introduction de l'IMA s'est traduite par un partage des ressources matérielles et logicielles sur un même équipement par plusieurs systèmes avioniques avec deux implications :

- La première au niveau du calculateur lui-même :
 - Sur un système fédéré : une fonction avionique = un calculateur,
 - Sur un système distribué avec X fonctions, l'Operating System doit assurer la gestion de l'exécution des différentes applications.
- La seconde au niveau du réseau entre les équipements :
 - Sur un système fédéré, la liaison entre les équipements ou entre les senseurs / actuateurs et les équipements était assurée par l'intermédiaire de bus ARINC429 unidirectionnel ou bidirectionnel,



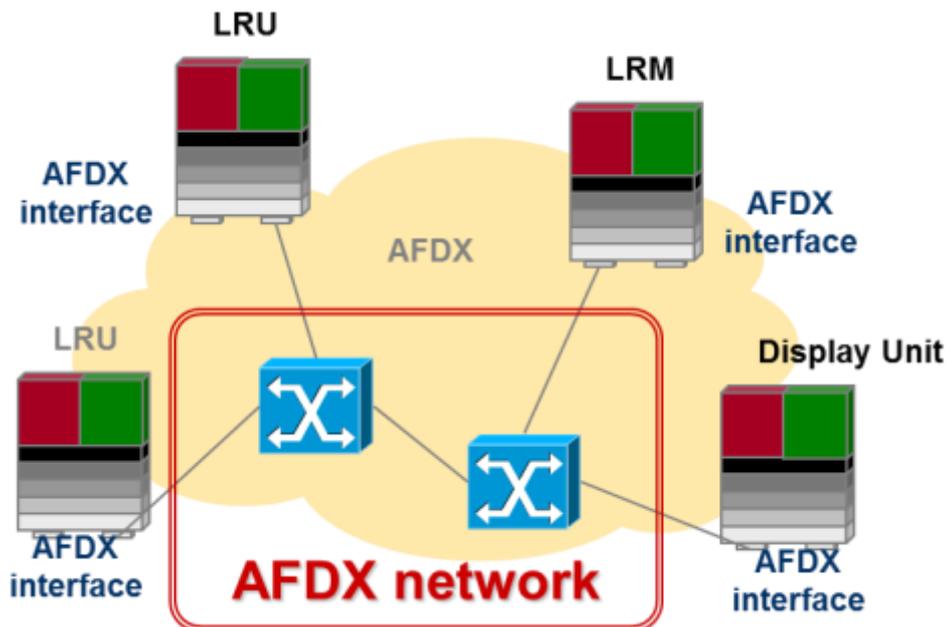
- Sur un système distribué, la liaison entre les équipements est réalisée au moyen d'un réseau de type AFDX (Avionics Full Duplex Switched Ethernet).

Que ce soit au niveau de l'Operating System ou au niveau du réseau AFDX, l'introduction de l'IMA s'est effectuée en garantissant :

- La même disponibilité que celle d'une architecture Fédérée,
- Le même niveau de « Safety » que celui offert par une architecture fédérée,
- La capacité de pouvoir augmenter les performances globales du système tout en offrant des marges de fonctionnement,
- Le même niveau d'indépendance et de ségrégation que celui apporté par l'architecture Fédérée.

Les exigences de ségrégation et d'indépendance entre les applications sont simples à appréhender au niveau de l'équipement. Ces exigences ont dû être déployées également au niveau du réseau de communication entre les équipements. L'AFDX est la réponse apportée à ces exigences comme indiqué sur la figure suivante.

Évolution des Architectures des Systèmes Avioniques Embarqués



L'AFDX est le protocole de communication utilisé au niveau des Architectures IMA comme le montre la Figure 63

- L'AFDX est basé sur un « **Standard Ouvert** » (l'Ethernet) :
 - Afin de pouvoir garantir une accessibilité au média physique, aux interfaces, aux objectifs d'interconnexion entre équipements et aux objectifs de coûts.
- L'AFDX introduit la notion de « **Ressources Partagées** » :
 - Afin de pouvoir supporter les exigences de modularité, de réutilisation, d'upgrade.
- L'AFDX est compatible de la notion de « **Robust Partitioning** » Spatial et Temporel :
 - Afin de pouvoir garantir la notion de partage de ressources (le réseau), d'indépendance applicative, de « safety »,
 - Afin d'être compatible des exigences de certification.
- L'AFDX est compatible des exigences de « **Déterminisme** » et de « **Disponibilité** »
 - Afin d'être compatible des exigences de « safety »,
 - Afin d'être compatible des exigences de certification
- L'AFDX est standardisé au niveau ARINC sous le libellé ARINC664 Part7.

Évolution des Architectures des Systèmes Avioniques Embarqués

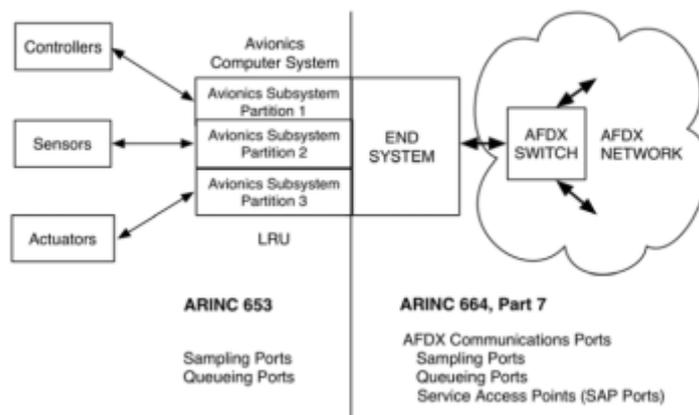


FIGURE 63 : ARINC653 et ARINC664 Part 7

L'AFDX offre l'ensemble des exigences de déterminisme, de Safety et de « Robust Partitioning » par :

- La redondance d'émission et de réception permettant de reconstituer le message même en cas de rupture d'un lien comme le montre la Figure 64.

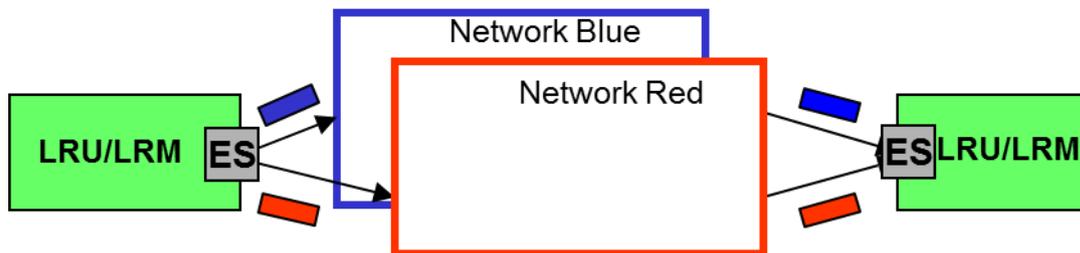


FIGURE 64 : Redondance

- L'instanciation de liens virtuels ou VL permettant de gérer l'ensemble des échanges entre applicatifs, entre applicatif et senseurs et/ou actuateurs comme le montre la Figure 65.

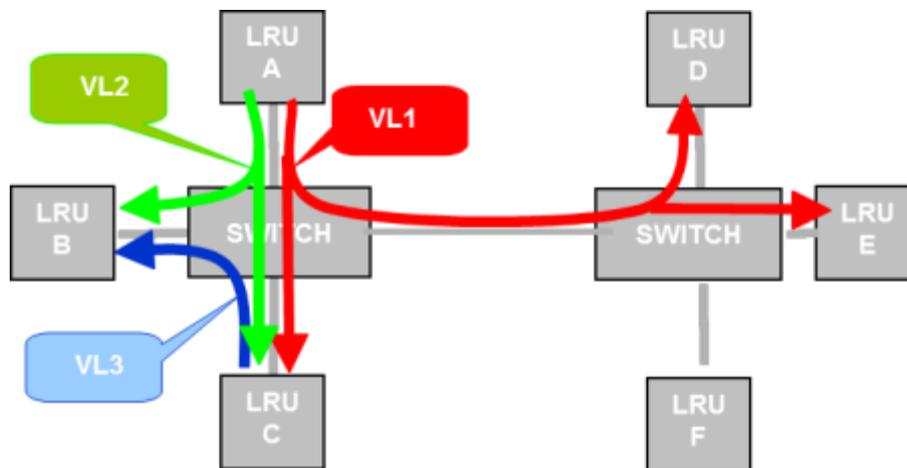


FIGURE 65 : Virtual Link

Évolution des Architectures des Systèmes Avioniques Embarqués

L'AFDX est instancié, en version switchée (ou commutée) 100 MHz, sur l'ensemble des plates-formes avioniques de dernière génération, que ce soit :

- Au niveau de l'aviation commerciale :
 - Avec l'A380 et l'A350 chez Airbus,
 - Avec le B787 chez Boeing.
- Au niveau de l'aviation régionale :
 - Avec le SSJ 100 chez Sukhoi,
 - Avec l'ATR 47.
- Au niveau de l'aviation militaire :
 - Avec l'A400M chez Airbus Military.

Toutes les dernières plates-formes avioniques sont développées selon une architecture composée autour des équipements (IMA) Avioniques Modulaires Intégrés, permettant à un module de traitement d'héberger une ou plusieurs applications comme nous l'avons décrit, dans le but de réduire l'Encombrement, le Poids, la Puissance consommée et les coûts.

Pour répondre aux exigences de « Safety » et de certificabilité, les architectures réseau ont été développées afin que les modules puissent être connectés et communiquer via un réseau déterministe supportant les communications critiques intra ou inter équipements.

L'AFDX a été la réponse apportée, au niveau du réseau avionique, pour pouvoir satisfaire toutes les exigences. Cette réponse est construite autour d'un réseau Ethernet 100 Mbits sur lequel le protocole AFDX a été instancié.

Il est à noter que ce réseau est satisfaisant pour l'Aviation Commerciale mais introduit des contraintes d'encombrement, de poids et de coûts qui peuvent se révéler difficilement supportable pour l'Avionique Régionale ou encore pour le domaine hélicoptère.

En effet, ces deux derniers domaines exigent une empreinte réseau la plus faible possible que ce soit au niveau du « End System » mais également au niveau de la configuration du réseau, tout en continuant à garantir les exigences de disponibilité et de ségrégation du système de communication.

Nos travaux sont orientés autour d'une approche en rupture permettant d'optimiser le SWaP (réduction de l'encombrement, du poids et la puissance consommée) par rapport au réseau actuel A664.

Il s'agit en fait de faire évoluer le Réseau de Communication Avionique d'une architecture de communication centralisée (construite autour de switchs) vers une architecture de communication distribuée ne nécessitant plus d'équipements spécifiques.

Néanmoins, afin de garantir la maîtrise de latence de flux de données, la ségrégation, la disponibilité de réseau en cas de la perte d'abonnés, la configuration de notre réseau va être basée sur les propriétés offertes par l'ARINC664 comme la maîtrise du flux de données (partitionnement temporel), le contrôle et la structure de la trame.

Nos travaux sont basés autour d'un ensemble de principes permettant de garantir la gestion du flux de données en fonction de la topologie du réseau avionique multi-liens.

Évolution des Architectures des Systèmes Avioniques Embarqués

Ces principes sont :

- Bien adaptés afin de garantir le comportement global du système de communication distribué.
- Intégrés dans une Unité de Communication Hardware (HCU) organisée autour de deux axes fonctionnels situés sur chaque abonné du réseau :
 - Le premier axe étant constitué par un « End-System »
 - Le second axe étant constitué par un « Intermediate System »,

La réponse apportée par nos travaux est basée sur un protocole de communication régulé permettant de garantir les principales propriétés de l'ARINC664 tout en offrant la possibilité d'alléger l'électronique d'interface de chaque abonné du réseau.

Ce protocole est basé sur l'analyse pire cas de transmission pour chaque flux de données dans le contexte avionique.

Ces travaux sont conduits dans le cadre de l'analyse de l'évolution des plateformes IMA dites de seconde génération.

5.6.2 Bilan

5.6.2.1 Publications

- 1 Communication Internationale avec Comité de Lecture et Actes Publiés :
 - [CI_ACL_AP08]

5.6.2.2 Partenariat académiques

- Ces recherches sont conduites, en interne, au sein de Thales Avionics SAS.

Évolution des Architectures des Systèmes Avioniques Embarqués

6 RAYONNEMENT SCIENTIFIQUE

Sommaire

6	RAYONNEMENT SCIENTIFIQUE	190
6.1	Congrès internationaux	191
6.2	Pôles de compétitivité.....	192
6.2.1	<i>Aerospace Valley (AESE)</i>	192
6.2.2	<i>Route des Lasers™ (RDL)</i>	193

Évolution des Architectures des Systèmes Avioniques Embarqués

Dans ce paragraphe, je vais présenter mes activités de Recherche conduites hors de Thales au sein des Instances Internationales lors de Congrès ainsi qu'au Sein des Pôles de Compétitivité.

6.1 Congrès internationaux

Je suis Chairman et Reviewer depuis 2010 du Congrès international « Avionics Europe » devenu en 2014 « Avionics Electronic Europe » qui se tient une fois par an à Munich. Ce congrès regroupe l'ensemble des acteurs du Domaine Aéronautique civil & Militaire et du Domaine Spatial

<http://www.ae-expo.eu/advisory-committee/>

Membre de l'association mondiale SAE et en tant que Membre, Chairman et Reviewer pour la Conférence « Aerospace Systems and Technologie Conference - ASTC 2014 » au niveau des Tracks :

- ASTC301 – Integrated architectures and IMA (Integrated Modular Avionics),
- ASTC310 – Aircraft Displays, Instruments and Instrumentation.

<http://www.sae.org/events/astc/>

Membre de l'association mondiale SAE et en tant que membre, Chairman et Reviewer pour la Conférence « SAE 2015 AeroTech Congress & Exhibition » au niveau des Tracks,

- ATC400 – Avionics - Advanced System Architectures and IMA,
- ATC401 – Avionics - Airborne Electronics Hardware Certification and DO-254,
- ATC405 – Avionics - Display Technology and Visualization,
- ATC410 – Avionics - Software Platforms & Middleware.

<http://www.sae.org/events/atc/cfp/>

Membre du Comité Scientifique de relecture et de sélection des publications dans le cadre de la Conférence « European Navigation Conference 2015 »

<http://www.enc2015.eu/committees/>

Chairman et Reviewer dans le cadre de la Conférence « PHAROS Event 2016 »

<http://www.routedeslasers.com/fre/pharos>

Chairman et Reviewer dans le cadre de la Conférence AIRTEC 2015

http://www.airtec.aero/fileadmin/airtec/upload_dateien/2015/AIRTEC_Call_for_Abstracts.pdf

Chairman et Reviewer dans le cadre de la Conférence AIRTEC 2016

<http://airtec.aero/wp-content/uploads/AIRTEC-Call-for-Abstracts-2016.pdf>

Évolution des Architectures des Systèmes Avioniques Embarqués

6.2 Pôles de compétitivité

6.2.1 Aerospace Valley (AESE)

Thales est membre du Pôle de compétitivité Aerospace Valley (AESE) et j'ai été mandaté pour intégrer le Domaine d'Activités Stratégiques ou DAS¹¹⁸ – Systèmes Embarqués Électronique et Logiciel ou SE²L¹¹⁹ dont j'en assure le pilotage depuis Juillet 2013.

Le DAS SE²L s'intéresse aux applications des grands segments des marchés de la Feuille de Route Stratégique Aerospace Valley, à savoir de l'aéronautique, de l'espace, du transport au sens large, et plus récemment de l'e-santé.

Il couvre la conception de systèmes embarqués critiques fortement contraints, complexes, intégrés, devant répondre à des règles de certification ou pour lesquels les exigences sont particulièrement élevées (fiabilité, sûreté de fonctionnement, sécurité, réactivité temps réel, adaptabilité), parfois très spécifiques (biocompatibilité ou innocuité pour l'e-santé) et les services en ingénierie des systèmes embarqués critiques (outils et ateliers de conception, test, certification, réutilisation de briques génériques et partagées d'exécution qu'elles soient matérielles ou logicielles).

L'ambition du DAS SE²L est de soutenir l'excellence et la compétitivité du secteur industriel impliqué dans le développement des systèmes embarqués, à la fois en consolidant les compétences, le savoir-faire produit et les technologies à tous les niveaux de la filière en support des industries ayant une empreinte régionale ou internationale majeure, et en développant un écosystème spécifiquement favorable à l'innovation et à la croissance des PME¹²⁰/ETI¹²¹ régionales.

Le DAS SE²L recense plus de deux cent cinquante (250) acteurs dont ceux du monde de la formation et de la recherche, se répartissant comme suit :

Grandes Entreprises	49
PME / ETI	162
Formation/ Recherche	27
Institutions	13
Total	251

¹¹⁸ DAS : Domaines d'Activités Stratégiques

¹¹⁹ SE²L : Systèmes Embarqués Électronique et Logiciel

¹²⁰ PME : Petites & Moyennes Entreprises

¹²¹ ETI : Établissement de Taille Intermédiaire

Évolution des Architectures des Systèmes Avioniques Embarqués

6.2.2 Route Des Lasers™ (RDL)

Thales est membre du Pôle de compétitivité Route Des Lasers™, et j'ai été mandaté pour représenter la Division Avionique au sein de ce Pôle.

Fort de mes implications au sein du Pôle AESE et Route Des Lasers, j'ai été l'un des moteurs dans l'élaboration de la Convention de Partenariat signé le 18 juin 2015, lors du Symposium ISROS¹²², entre ces deux Pôles.

Ce partenariat a donné naissance au DAS – Photonique, Aéronautique et Spatial (ou PHAROS) dont j'assume le pilotage et pour lequel nous avons établi sa feuille de route pour les 5 ans à venir.

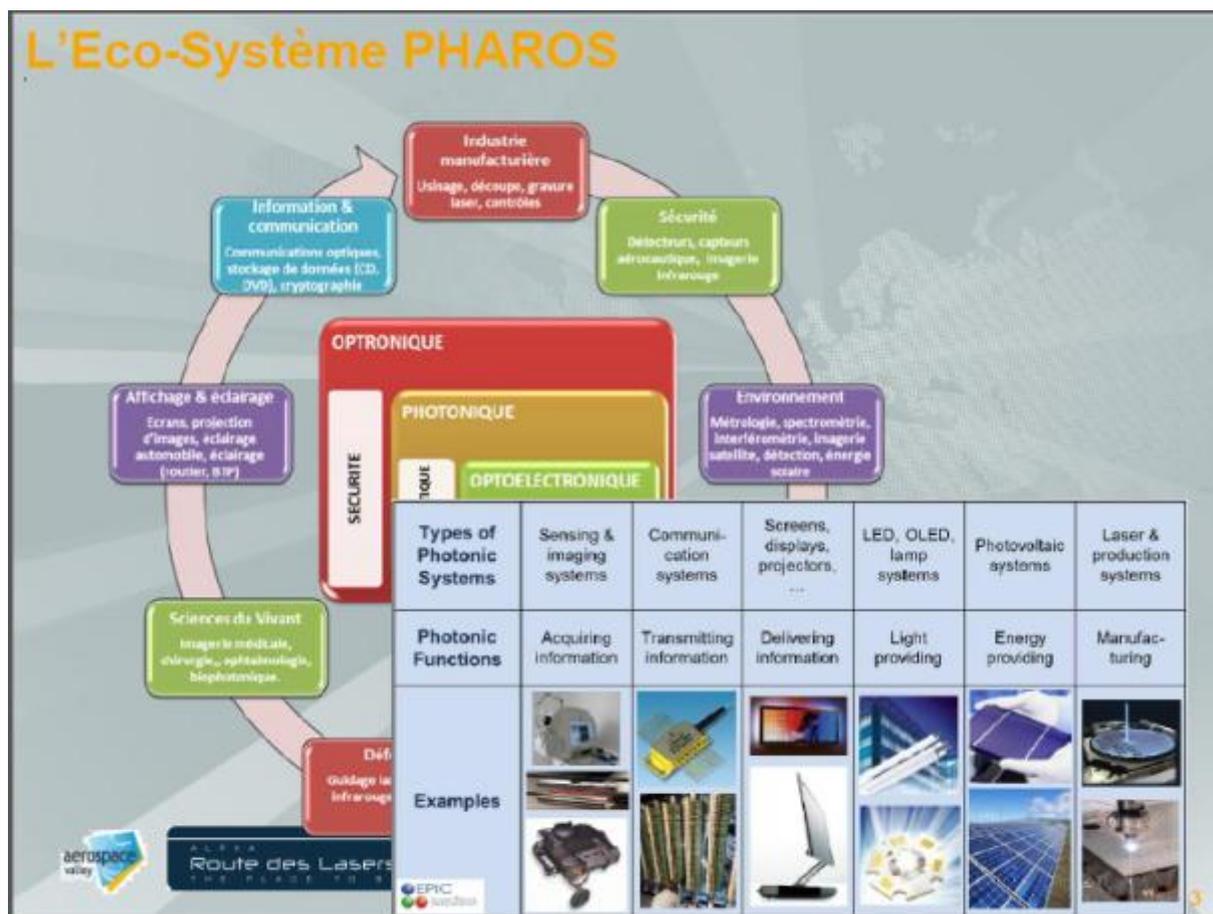
La photonique est l'ensemble des technologies qui permettent de créer, modifier, transporter et utiliser la lumière. Elle couvre notamment le laser, la fibre optique, et toutes ces nouvelles technologies qui nous entourent et qui changent notre façon de communiquer. Les propriétés particulières de la lumière permettent de nombreuses applications dans différents domaines : les sciences de l'univers, la recherche médicale, les technologies de production et de contrôle, les télécommunications. Les thèmes abordés dans le cadre de PHAROS sont : la fiabilité des composants, la transmission, la communication, la mesure, les contrôles non destructifs, l'usinage et le traitement des matériaux.

Les systèmes Photoniques sont des systèmes présents dans de très nombreux produits, qu'ils soient industriels ou grand-public. Ils doivent respecter des contraintes fortes relatives à leur domaine d'utilisation dans des environnements où l'humain est présent. L'économie des systèmes Photoniques est l'une des plus dynamiques pour les prochaines décennies.

Le DAS PHAROS s'intéresse donc aux applications de la Photonique dans les Feuilles de Route Stratégique des Pôles Aerospace Valley et Route Des Lasers, à savoir l'utilisation des Technologies de la Photonique dans les Domaines de l'Aéronautique, de l'Espace, du Transport au sens large, et plus récemment de l'e-santé et de l'Agriculture.

¹²² ISROS : International Symposium on Reliability of Optoelectronics for Systems

Évolution des Architectures des Systèmes Avioniques Embarqués



La figure précédente permet d'indiquer les thèmes couverts par le DAS PHAROS qui peuvent se résumer à quatre grands secteurs :

- Fiabilité des Composants,
- Transmission et Communication,
- Mesure et Contrôles Non Destructifs,
- Usinage et Traitement des Matériaux

Évolution des Architectures des Systèmes Avioniques Embarqués

Cette page est laissée blanche intentionnellement.

Évolution des Architectures des Systèmes Avioniques Embarqués

7 LISTE DES TRAVAUX ET PUBLICATIONS

Sommaire

7	<i>LISTE DES TRAVAUX ET PUBLICATIONS</i>	196
7.1	Conférences Internationales Avec Comité de Lecture et Actes Publiés (CI_ACL_AP)	197
7.2	Conférences Internationales Sans Comité de Lecture avec Actes publiés (CI_SCL_AP)	198
7.3	Conférences Internationales Sans Actes Publiés (CI_SPL_SP)	198
7.4	Rapport d'Études	199
7.5	Revue.....	199
7.6	Brevets	199

Évolution des Architectures des Systèmes Avioniques Embarqués

7.1 Conférences Internationales Avec Comité de Lecture et Actes Publiés (CI_ACL_AP)

[CI_ACL_AP01] Non-intrusive fault detection through electromagnetism analysis

- This paper appears in :
 - Emerging Technologies & Factory Automation (ETFAs), 2011 IEEE 16th Conference
- Date of Conference : 5-9 Sept. 2011
- Author(s) : THOMAS Sébastien, REGIS Didier, FAURA David, GATTI Marc, DUC Guillaume, DANGER Jean-Luc

[CI_ACL_AP02] Use of Electro-Magnetic Analysis to monitor activity of a digital circuit in a non-intrusive way

- This paper appears in :
 - Sensors, 2011 IEEE
- Date of Conference : 28-31 Oct. 2011
- Author(s) : THOMAS Sébastien, FAURA David, DUC Guillaume, DANGER Jean-Luc, REGIS Didier, GATTI Marc

[CI_ACL_AP03] Ensuring Robust Partitioning In Multicore Platforms for IMA Systems

- This paper appears in :
 - IEEE/AIAA 31st Digital Avionics Systems Conference (DASC), 2012, 7A4-1 -7A4-9
- Date of Conference : 14-18 Oct. 2012
- Author(s) : JEAN Xavier, FAURA David, Marc GATTI, ROBERT Thomas, PAUTET Laurent

[CI_ACL_AP04] A Software Approach for Managing Shared Resources in Multicore IMA Systems

- This paper appears in :
 - IEEE/AIAA 32st Digital Avionics Systems Conference (DASC), 2013
 - Best of Track Paper (Awards)
- Date of Conference : 05-10 Oct. 2013
- Author(s) : JEAN Xavier, Marc GATTI, FAURA David, ROBERT Thomas, PAUTET Laurent

[CI_ACL_AP05] A versatile input interface for avionic computers

- This paper appears in :
 - 30th Digital Avionics System Conference (DASC), 2011 IEEE
- Date of Conference : 16-20 Oct. 2011
- Author(s) : CANU Antoine, GATTI Marc, BENABES Philippe, FAURA Davis, Patrice TOILLON

[CI_ACL_AP06] A High Voltage Programmable Input Interface for Avionic Equipment

- This paper appears in :
 - International Instrumentation and Measurement Technology Conference , IEEE
- Date of Conference : 13-16 May 2012
- Author(s) : CANU Antoine, GATTI Marc, BENABES Philippe, FAURA Davis, Patrice TOILLON

[CI_ACL_AP07] DSM Reliability Concerns - Impact on safety Assessment

- This paper appears in :
 - SAE AEROTECH 2014 - Avionics - Avionics SW Certification - DO-178 - ASTC300 - 2014-01-2197
- Date of Conference : 23-25 September 2014
- Author(s) : REGIS Didier, BERTHON Valérie, GATTI Marc

[CI_ACL_AP08] An optimized answer toward a Switchless Avionics Communication Network

- This paper appears in :

Évolution des Architectures des Systèmes Avioniques Embarqués

- 34th Digital Avionics Systems Conference (DASC), IEEE
- **Date of Conference** : 13-17 Septembre 2015
- **Author(s)** : TOILLON Patrice, BOIVIN-CHAMPEAUX Paul, FAURA David, TERROY William, GATTI Marc

[CI_ACL_AP09] A New Platform to Study the Correlation between Aging and SEE Sensitivity for the Reliability of Deep SubMicron Electronics Devices

- **This paper appears in** :
 - SAE AEROTECH 2015 - Avionics - Avionics Component Management Challenges: Supply Chain, Obsolescence, Reliability, Counterfeit – ATC412 – 15 ATC-0176
- **Date of Conference** : 22-24 Septembre 2015
- **Author(s)** : ROUSSELIN Thomas, HUBERT Guillaume, REGIS Didier, GATTI Marc

7.2 Conférences Internationales Sans Comité de Lecture avec Actes publiés (CI_SCL_AP)

[CI_SCL_AP01] Enforcing predictability on multicore COTS platforms through the hypervisor layer

- **This paper appears in** :
 - Avionics Europe Expo 2013, M.O.C. Event
- **Date of Conference** : 20-21 Feb. 2013
- **Author(s)** : JEAN Xavier, Marc GATTI, FAURA David, ROBERT Thomas, PAUTET Laurent

[CI_SCL_AP02] Shared Resources Management on IMA Multicore Platforms, a Software Solution

- **This paper appears in** :
 - Avionics International, 20th – 21st February 2013, M.O.C. Event
- **Date of Conference** : 04-05 Mar. 2014
- **Author(s)** : JEAN Xavier, Marc GATTI, FAURA David, PAUTET Laurent ROBERT Thomas,

[CI_SCL_AP03] A reconfigurable avionic input interface

- **This paper appears in** :
 - Avionics Europe Expo 2012, M.O.C. Event
- **Date of Conference** : 21-22 Mar 2012
- **Author(s)** : CANU Antoine, GATTI Marc, BENABES Philippe, FAURA Davis, Patrice TOILLON

7.3 Conférences Internationales Sans Actes Publiés (CI_SPL_SP)

[CI_SCL_SP_01] IMA & What Next ?

- **This paper appears in** :
 - SAE AEROTECH 2014 - Integrated Architectures and IMA (part 2 of 2) - ASTC301
- **Date of Conference** : 23-25 September 2014
- **Author(s)** : GATTI Marc

[CI_SCL_SP_02] IMA & What Next part 2 ?

- **This paper appears in** :
 - Avionics Electronics Europe 2015
- **Date of Conference** : 25-26 Mars 2015

Évolution des Architectures des Systèmes Avioniques Embarqués

- **Author(s)** : GATTI Marc

7.4 Rapport d'Études

[RE_01] Multicores for Avionics (MULCORS)

- **This report for** : EASA
- (http://www.easa.europa.eu/system/files/dfu/safety-and-research-research-projects-docs-large-aeroplanes-MULCORS_Final_Study_Report_EASA.6-2011.pdf)
- **Date** : December 2012
- **Author(s)** : JEAN Xavier, GATTI Marc, BERTHON Guy, FUMEY Marc

7.5 Revues

[RV_01] Multi-physics modeling contributions to investigate the atmospheric cosmic rays on the single event upset sensitivity along the scaling trend of CMOS technologies.

- **This paper appears in** :
 - Radiat Prot Dosimetry 2014 Oct 4;161(1-4):290-4. Epub 2014 Feb 4.
- **Author(s)** : HUBERT Guillaume, REGIS Didier, CHEMINET Adrien, GATTI Marc, LACOSTE V.

7.6 Brevets

[B_01] Procédé de contrôle prédictif de fonctionnement d'un équipement électronique, équipement et dispositif de contrôle

- **Numéro** : 2 970 783
- **Publié le** : 27 juillet 2012
- **Author(s)** : REGIS Didier ; GATTI Marc ; JUGIE Damien ; THOMAS Sebastien G; DUC Guillaume; DANGER Jean-Luc;

[B_02] Procédé de contrôle du fonctionnement d'un composant électronique, dispositif électronique et calculateur électronique embarqué correspondant

- **Numéro** : 2 974 634
- **Publié le** : 02 novembre 2012
- **Author(s)** : THOMAS Sebastien G; REGIS Didier; GATTI Marc; DUC Guillaume; DANGER Jean-Luc;

[B_03] Calculateur comprenant un processeur multi-cœur et procédé de contrôle d'un tel calculateur

- **Numéro** : 2 974 959
- **Publié le** : 09 novembre 2012
- **Author(s)** : JEAN Xavier; GATTI Marc, FAURA David; ROBERT Thomas;

[B_04] Dispositif d'interfaçage à gain en tension et / ou impédance d'entrée programmable comprenant un interrupteur analogique comportant des transistors à effet de champ de type N et P connectés en série.

- **Numéro** : 2 974 959
- **Publié le** : 09 novembre 2012
- **Author(s)** : CANU Antoine; GATTI Marc, FAURA David; BENABES Philippe;

Évolution des Architectures des Systèmes Avioniques Embarqués

[B_05] Procédé et dispositif d'acquisition d'un capteur LVDT comportant une démodulation par moindres carrés

- **Numéro** : 2 995 992
- **Publié le** : 28 mars 2014
- **Author(s)** : CANU Antoine; GATTI Marc, FAURA David; BENABES Philippe;

[B_06] Procédés et dispositifs de mesure de tension avec correction d'erreurs

- **Numéro** : 2 996 645
- **Publié le** : 11 Avril 2014
- **Author(s)** : CANU Antoine ; GATTI Marc ; BENABES Philippe ;

Évolution des Architectures des Systèmes Avioniques Embarqués

Cette page est laissée blanche intentionnellement.

Évolution des Architectures des Systèmes Avioniques Embarqués

8 CONCLUSIONS ET PERSPECTIVES

Sommaire

8	<i>Conclusions et Perspectives</i>	202
8.1	Conclusions Générales	203
8.1.1	Résumé des travaux effectués.....	203
8.1.1.1	D'une Architecture Fédérée à une Architecture IMA_1G	203
8.1.1.2	D'une architecture IMA_1G vers une Architecture IMA_2G	204
8.1.1.2.1	Séparation I/O versus Unité de Calcul	206
8.1.1.2.2	Accroissement de la puissance de calcul d'un module	207
8.1.1.2.3	Introduction d'un Middleware au niveau de la plate-forme Avionique.....	208
8.1.1.2.4	Développement d'un Process Outillé	209
8.1.2	Limites de l'approche	210
8.2	Perspectives	210
8.2.1	Perspectives à court terme.....	210
8.2.2	Perspectives à long terme	211
8.2.2.1	Au niveau processing.....	211
8.2.2.2	Au niveau Architecture Plate-forme	213

Évolution des Architectures des Systèmes Avioniques Embarqués

8.1 Conclusions Générales

8.1.1 Résumé des travaux effectués

8.1.1.1 D'une Architecture Fédérée à une Architecture IMA_1G

L'objectif des travaux de Recherche présentés dans ce mémoire, centrés sur l'évolution des Architectures des Systèmes Avioniques Embarqués, est de présenter les différents éléments de Recherche ayant conduit :

- Au développement de l'IMA_1G,
- À l'amélioration de l'Architecture IMA_1G avec l'introduction de l'IMA_2G,
- À l'étude des caractéristiques de l'Architecture IMA_2G.

Thales Avionics et ses équipes de Recherche que j'ai animées, en tant que Directeur Technique et que j'anime en tant que Directeur R&T, ont été pionniers dans le développement du concept d'Architecture IMA et de son déploiement opérationnel sur l'Airbus A380, fleuron de la flotte Airbus.

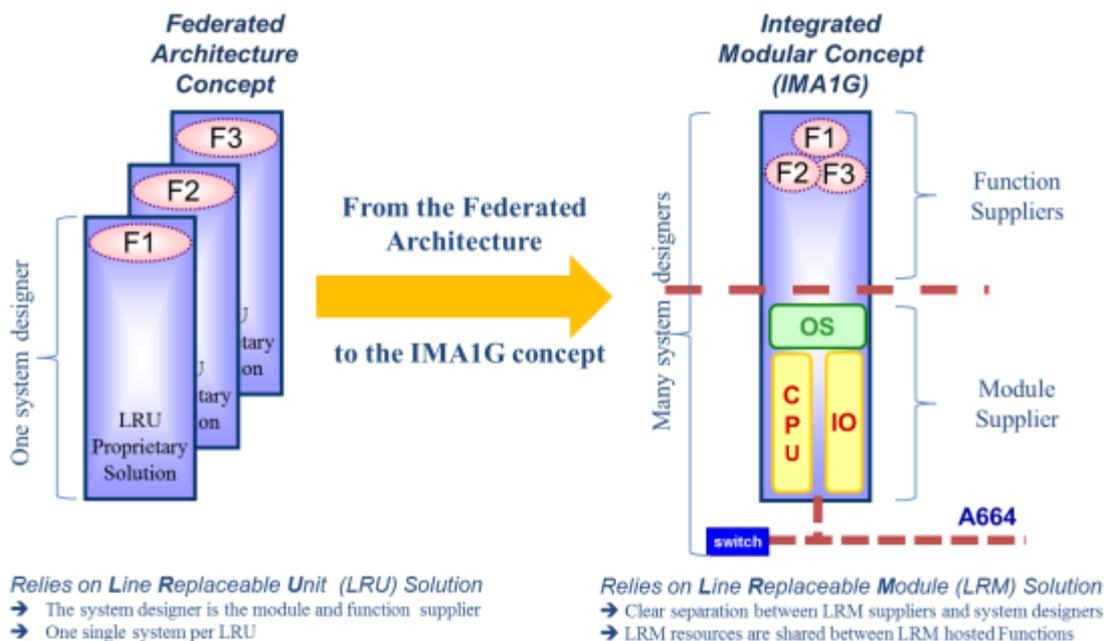


FIGURE 66 : D'une Architecture Fédérée vers une Architecture Distribuée

La Figure 66 nous présente la première étape d'évolution de ces Architectures Avionique et de ses conséquences sur le plan applicatif. Comme nous l'avons présenté, l'Architecture IMA_1G nous a fait passer d'une Architecture basée sur des LRU où chaque élément ou unité de calcul n'hébergeait qu'une seule fonction à une Architecture basée sur des LRM¹²³

¹²³ LRM : Line Replaceable Module

Évolution des Architectures des Systèmes Avioniques Embarqués

où chaque Module héberge plusieurs fonctions indépendantes, chaque fonction devant pouvoir se comporter comme si elle était hébergée sur un LRU.

L'Architecture IMA a également introduit plusieurs niveaux de Responsabilité :

- L'Autorité de Certification,
- L'Intégrateur Système ou « System Integrator »,
- Le Développeur Applicatif ou « Function Supplier »,
- Le Développeur de la Plate-forme ou « Module Supplier »,
- Le Fournisseur de l'Operating System ARINC653 ou « OS Provider ».

À chacun de ces rôles sont attribuées des Responsabilités vis à vis de la certification, nous avons introduit la notion de certification incrémentale au niveau du Module lorsque nous pouvons démontrer :

- L'indépendance de la Plateforme vis à vis des applicatifs qu'elle héberge et qu'elle exécute,
- L'indépendance des applicatifs entre eux.

Cette notion de certification incrémentale va permettre au « System Integrator » de collecter les preuves de certification à tous les niveaux et de les assembler pour les présenter aux Autorités de certification sans avoir à rejouer tout ou partie des tests d'intégration et de validation au niveau du Système Avionique.

8.1.1.2 D'une architecture IMA_1G vers une Architecture IMA_2G

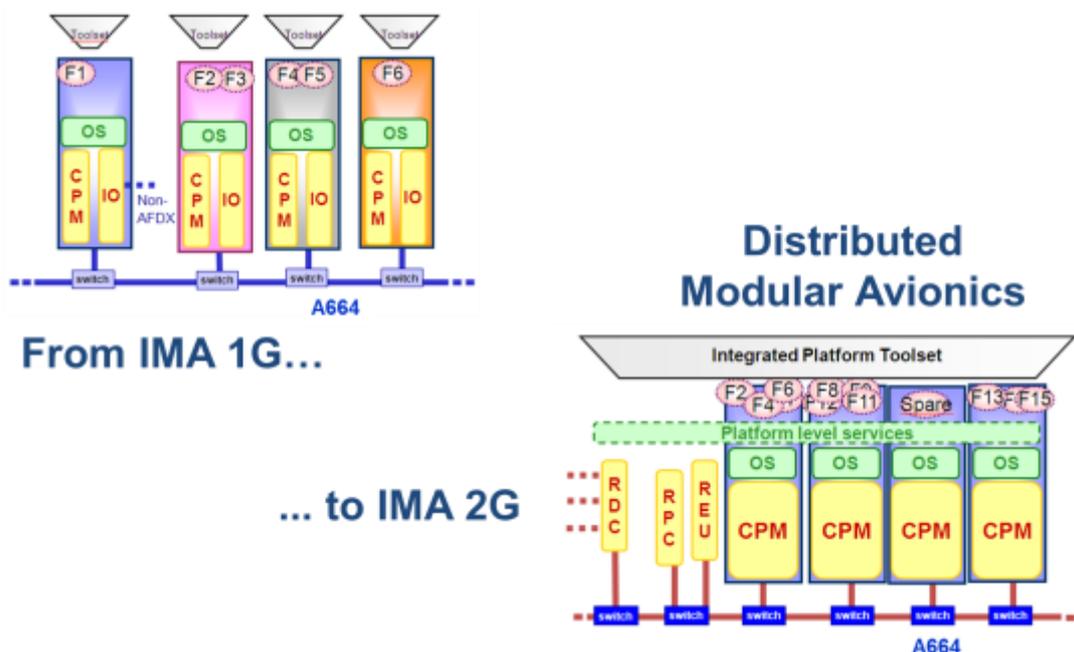


FIGURE 67 : D'une Architecture IMA_1G vers une Architecture IMA_2G

La Figure 67 nous montre l'évolution Architecturale introduite par l'Architecture IMA_2G, l'évolution principale est de considérer la plate-forme Avionique et l'ensemble de ses modules qu'ils soient dédiés aux entrées / sorties ou dédiés au Calcul, comme un ensemble

Évolution des Architectures des Systèmes Avioniques Embarqués

sur lequel il sera possible d'effectuer l'allocation applicatif (Puissance de Calcul, Mémoire, Bande passante Réseau) et besoin Ressources.

Cette allocation Ressources / Besoins peut être effectuée statiquement ou dynamiquement.

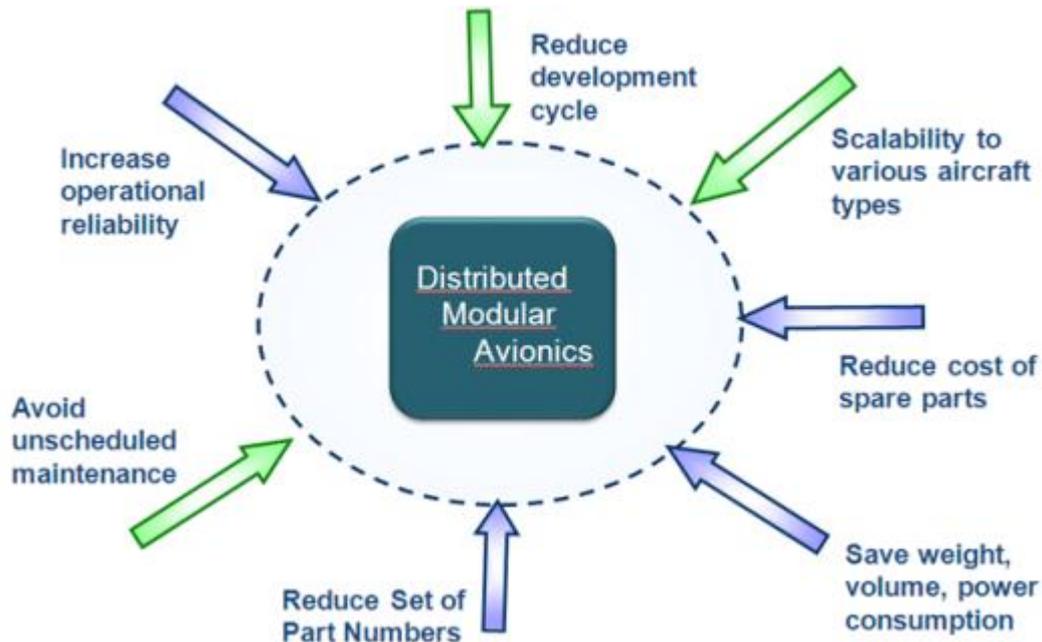


FIGURE 68 : Les Innovations introduites par l'Architecture IMA_2G

La Figure 68 donne un résumé des axes de Recherche que nous poursuivons dans le cadre du développement de l'ensemble des concepts soutenant l'Architecture IMA_2G :

- La séparation des Entrées / Sorties et des Unités de Calcul,
- L'accroissement de la puissance de calcul d'un module,
- L'introduction d'un Middleware au niveau de la plate-forme Avionique,
- Le développement d'un Process Outillé.

Évolution des Architectures des Systèmes Avioniques Embarqués

8.1.1.2.1 Séparation I/O versus Unité de Calcul

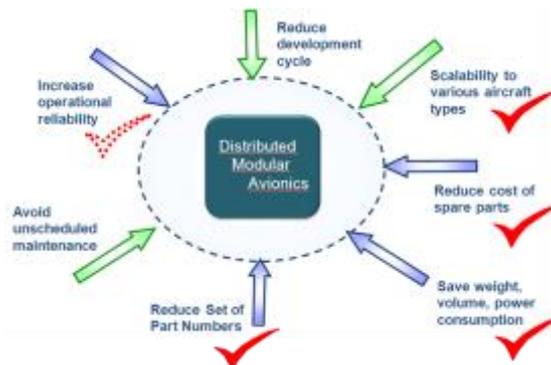


FIGURE 69 : Séparation I/O versus Unité de Calcul

La Figure 69 nous donne un aperçu des critères impactés par cette séparation qui va permettre :

- De réduire le nombre de Modules I/O,
- De pouvoir adapter au mieux les puissances nécessaires au niveau alimentation entre les Unités de Calcul et les Unités d’Entrées / Sorties,
- De pouvoir accroître l’indépendance entre le niveau Applicatif et le Système de gestion des Entrées / Sorties :
 - Cette amélioration de l’indépendance est l’une des clés de la reconfiguration applicative.
- De réduire le poids de câblage.

Cette séparation sera effectuée au travers de Systèmes Électroniques déportés ou « Remote Electronics ». Il s’agit en fait de ressources spécifiques de gestion des Entrées / Sorties, ne se trouvant pas au sein des éléments de calcul ou « Core Electronics ».

L’ensemble “Remote Electronics” est principalement constitué par les REU¹²⁴, RDC¹²⁵ et RPC¹²⁶.

- RDC = Remote Data Concentrator :
 - Il s’agit d’un équipement qui va supporter l’ensemble des échanges d’information entre d’une part les senseurs / actuateurs (Données discrètes et/ou analogiques) et le réseau Avionique ou (ADCN¹²⁷),
 - Ces RDC’s sont situés dans les zones pressurisées de l’Avion tout en étant proches des senseurs et actuateurs, ils peuvent supporter des fonctions de calcul primaire sur ces senseurs / actuateurs,
 - On peut les considérer comme étant proches des modules IOM existant au sein des Architectures IMA_1G et IMA_1,5G. De par les travaux en cours sur les I/O versatiles, ces modules peuvent être conduits à devoir gérer plusieurs

¹²⁴ REU : Remote Electronics Unit

¹²⁵ RDC : Remote Data Concentrator

¹²⁶ RPC : Remote Power Controller

¹²⁷ ADCN : Avionic Data Core Network

Évolution des Architectures des Systèmes Avioniques Embarqués

fonctions applicatives différentes ; on va alors leur associer la notion de capacité multi-ATA.

- RPC = Remote Power Controller :
 - Les RPCs sont des équipements qui combinent dans une unité la capacité d'exécuter toutes les fonctions nécessaires : de commutation, de charge, de protection contre les surcharges en fournissant une indication directe de l'état de la charge : connecté ou non,
 - Les RPCs fournissent la protection globale des équipements et de leurs câblages,
 - Les RPCs sont conçus pour être localisés près de la charge et assurer son monitoring à distance.

- REU = Remote Electronic Unit :
 - Il s'agit d'un élément d'interface pouvant réaliser une fonction applicative. Cet élément va se trouver proche des éléments physiques liés à cette fonction. Les REU's ne sont généralement pas considérés comme des unités génériques et sortent du périmètre adressé par l'Architecture IMA. Cependant les interfaces des REU's avec le monde extérieur sont standardisées (ADCN, A429 ou bus de terrain, Alimentation, BITE, Dataloading, principes de reconfiguration,...).

8.1.1.2 Accroissement de la puissance de calcul d'un module

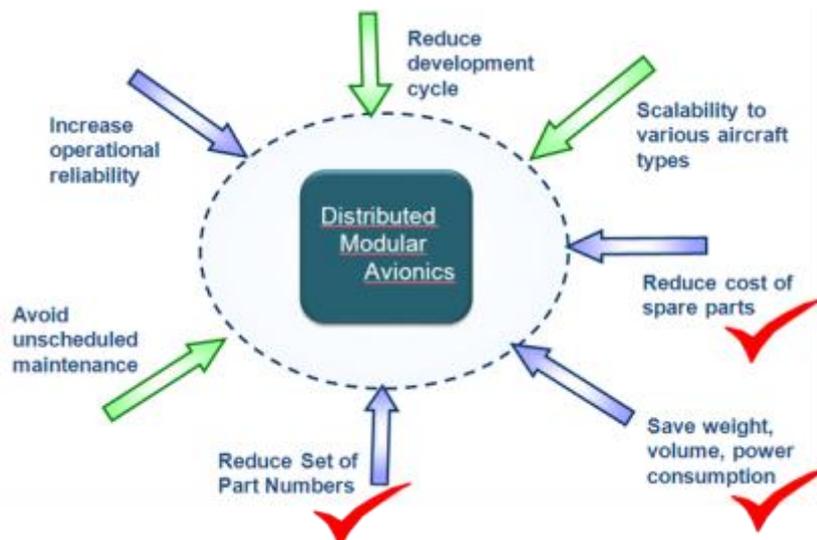


FIGURE 70 : Accroissement de la Puissance de Calcul

La Figure 70 donne un aperçu des critères impactés par le besoin d'accroissement de la puissance de calcul d'un module.

L'accroissement de la puissance de calcul d'un module va permettre, comme nous l'avons vu de :

- Introduire de nouveaux type de fonctions actuellement hors périmètre IMA :
 - Fonctions temps critique,

Évolution des Architectures des Systèmes Avioniques Embarqués

- Fonction de « Data Distribution ».
- D'accroître le nombre de fonctions supportées par Module.

Comme mentionné dans les paragraphes précédents, l'accroissement de la puissance de calcul d'un module va passer :

- Par l'utilisation de processeurs multi-cœurs :
 - Donc par la maîtrise de la concurrence d'accès des différents cœurs aux ressources communes, que ce soit au niveau du développement d'applicatifs (Design Time) ou que ce soit durant les phases d'exécution des applicatifs (Run Time).
- Par le développement d'Operating System permettant la gestion de processeurs multi-cœurs en mode AMP, SMP ou BMP dans le respect de l'interface API ARINC653.

L'utilisation de composants COTS à haute performance va demander à maîtriser leur fiabilité intrinsèque ainsi que celle des équipements pour lesquels ils sont utilisés. Cette maîtrise des composants dits DSM fait également partie de nos travaux de Recherche.

8.1.1.2.3 Introduction d'un Middleware au niveau de la plate-forme Avionique

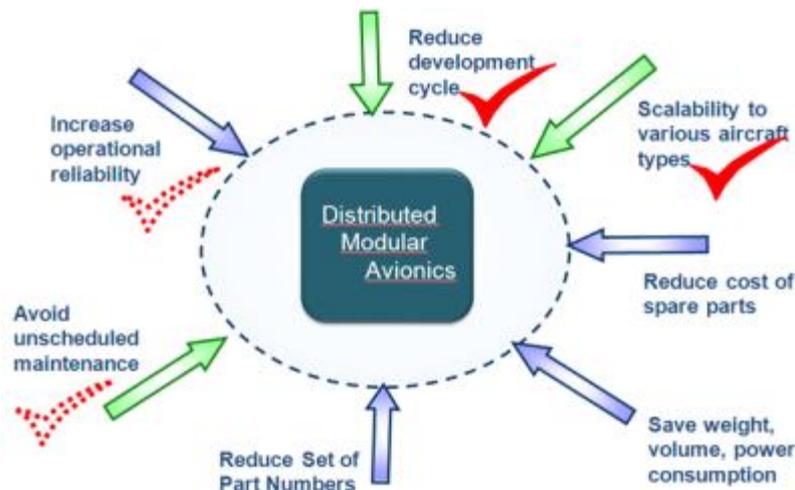


FIGURE 71 : Introduction d'un Middleware au niveau Plate-forme Avionique

Les apports de l'introduction d'un Middleware au niveau de la plate-forme Avionique, c'est-à-dire au niveau du Système, est présenté par la Figure 71.

Cette approche nous permet de :

- Isoler l'ensemble des fonctions avioniques de la plate-forme de calcul :
 - De ce fait la portabilité Applicative est grandement améliorée,
 - La plate-forme est beaucoup plus robuste aux pannes et/ou événements extérieurs en fournissant l'ensemble des mécanismes de reconfiguration :
 - Transfert des applicatifs d'un module de calcul vers un autre,

Évolution des Architectures des Systèmes Avioniques Embarqués

- Re-routage des Entrées / Sorties,
- Re-routage des VL's.
- Autoriser une très grande souplesse au niveau de l'intégration des applications sur la plate-forme Avionique :
 - Suppression du lien entre Fonction Applicative et Nœud de calcul.

Nous avons pu voir dans les Chapitres précédents les éléments faisant l'objet de nos Recherches :

- Service de gestion de Base de Données permettant de considérer l'ensemble des bases de données Avionique comme une et une seule base Multi-clients,
- Stockage de Masse mis à disposition de l'ensemble des Modules sans préjuger de l'endroit où seront stockées les données,
- Mécanismes de configuration et de Reconfiguration sur événement extérieur :
 - Panne,
 - Surcharge d'un Module,
 - Etc.

8.1.1.2.4 Développement d'un Process Outillé

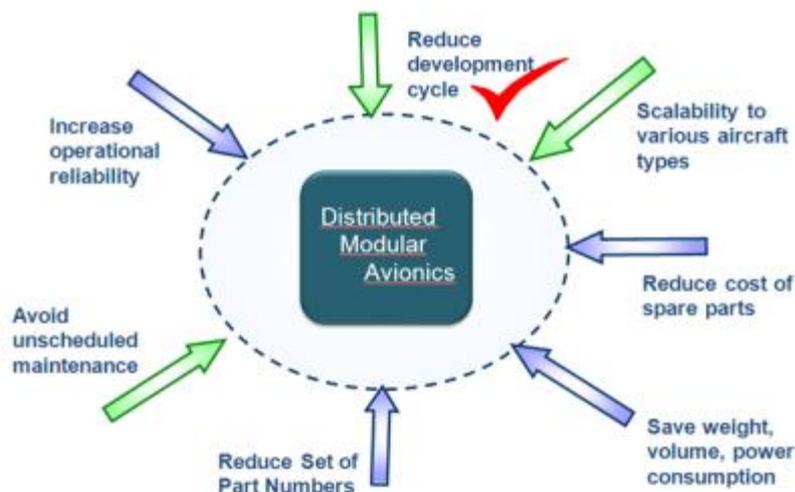


FIGURE 72 : Process Outillé IMA_2G

La Figure 72 nous montre l'apport d'un process outillé IMA_2G. Ce process outillé va être mis à disposition du « System Integrator » et des « Functions Suppliers » afin de :

- Aider le premier à dimensionner l'ensemble de sa plate-forme et de ses nœuds de communication associés,
- Aider les seconds à concevoir des Applicatifs indépendants de la plate-forme Avionique tout en garantissant le respect de règles de domaine d'usage nécessaires afin de pouvoir supporter la certification incrémentale de l'ensemble de la plate-forme.

Évolution des Architectures des Systèmes Avioniques Embarqués

8.1.2 Limites de l'approche

L'Architecture IMA_1G a commencé à faire l'objet d'Études dès le début des années 1990 avec une concrétisation de ses travaux en 1998, concrétisation qui se retrouve dans le premier vol de l'Airbus A380 le 27 Avril 2005.

Il faut environ 15 ans pour introduire une nouvelle génération d'Architecture Avionique en rupture avec l'existant. Comme nous l'avons montré dans ce mémoire, l'Architecture IMA_1,5G est une évolution de l'Architecture IMA_1G, la rupture Architecturale sera, quant à elle, obtenue avec le développement et le déploiement de l'Architecture IMA_2G.

La prochaine génération d'Avions qui utilisera cette Architecture en rupture sera lancée vers 2020 / 2025 pour une mise en service en 2025 / 2030.

Les concepts régissant l'Architecture IMA_2G sont encore amenés à évoluer et pourraient intégrer des ruptures encore plus importantes comme nous allons essayer de le présenter dans le chapitre suivant.

8.2 Perspectives

8.2.1 Perspectives à court terme

Comme nous l'avons détaillé dans ce Mémoire, l'Architecture IMA_2G introduit un certain nombre de ruptures, certaines sur le plan Hardware, d'autre sur le plan Software et d'autres encore sur le plan Architectural ou Système.

Les travaux que nous réalisons dans le cadre IMA_2G peuvent être partiellement intégrés au sein de Projets ou de Programmes dans un horizon de 5 à 10 ans. Ces introductions peuvent concerner :

- Les multi-cœurs :
 - Le marché des processeurs est un marché essentiellement tourné vers le domaine « Grand Public » où la Puissance de Calcul est le facteur de Sélection, de ce fait plus aucun processeur produit actuellement n'est architecturé autour d'un mono-cœur.
 - Cette introduction pourra se faire en plusieurs étapes :
 - Un processeur multi-cœurs utilisé en mono-cœur, cette approche permet de maîtriser le fonctionnement intrinsèque du processeur,
 - Un processeur multi-cœurs utilisé en multi-cœurs avec des applications de niveau de DAL différents (priorisation des accès en fonction du niveau de DAL).
- Les Services Plateforme :
 - Un certain nombre de Services tels que le Monitoring peuvent tirer bénéfice des travaux de Recherche conduits dans ce domaine afin d'améliorer :

Évolution des Architectures des Systèmes Avioniques Embarqués

- La couverture de test du module et / ou de l'équipement,
 - La localisation de la panne au sein d'un équipement afin de favoriser les opérations de maintenance.
- Les Réseaux
 - Nos travaux consistent d'abord à augmenter la fréquence de fonctionnement du réseau, de 100 Mbps actuels à 1 Gbps voire 10 Gbps :
 - Cette évolution dans un contexte commuté peut être directement instanciable, avec ses mécanismes de gestion des VL sur un bus haute vitesse,
 - Le nouveau réseau est en cours de définition et fera l'objet d'une demande de standardisation.

8.2.2 Perspectives à long terme

Dans une perspective long terme, d'autres évolutions peuvent être envisageables, que ce soit au niveau du Processing, au niveau de la Gestion de la Plate-forme, au niveau de l'Architecture de la Plate-forme.

Nous pouvons résumer quelques-uns de nos travaux préliminaires de Recherche autour de ce que nous pourrions appeler l'Architecture IMA de troisième génération ou IMA_3G.

8.2.2.1 Au niveau processing

Nous avons abordé, dans ce Mémoire, l'introduction des composants Multi-cœurs et les difficultés à surmonter dans le cadre de leur déploiement opérationnel dans le contexte de l'Architecture IMA où le concept de « Robust Partitionning » doit être préservé et démontré afin de garantir l'indépendance entre les différentes fonctions applicatives hébergées et exécutées sur et par un Module de Calcul.

Une des voies de Recherche consiste à utiliser des processeurs Many-Cœurs, voir Figure 73, non pas pour augmenter le nombre de cœurs de calcul et donc la Puissance globale du Système mais pour tirer bénéfice de leur architecture interne orienté autour du NoC.

Évolution des Architectures des Systèmes Avioniques Embarqués

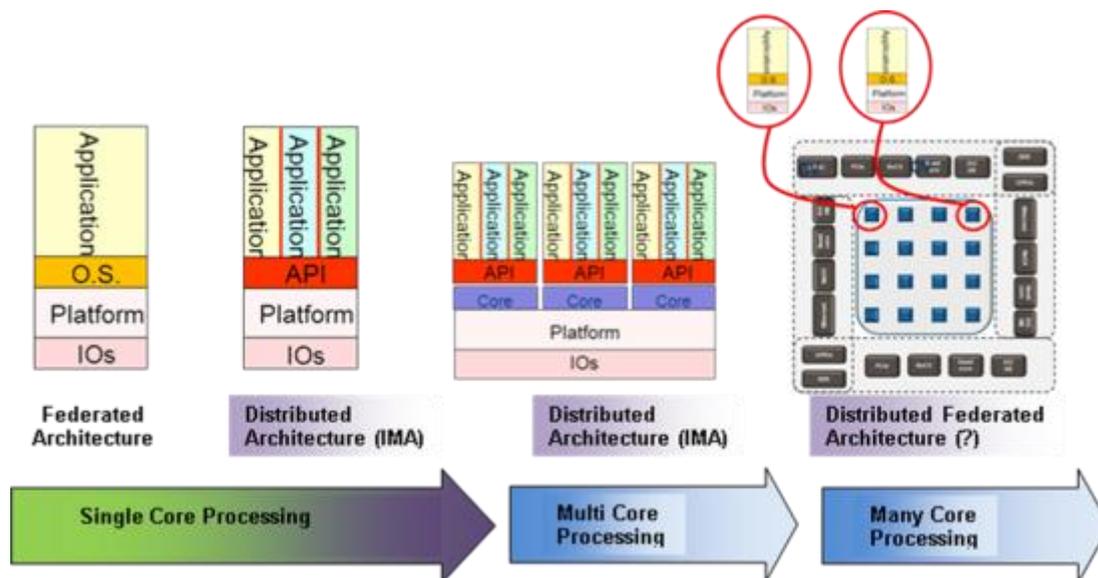


FIGURE 73 : D'une Architecture Distribuée vers une Distribution d'Architectures Fédérées

Avec les Many-cœurs nous pouvons introduire un concept différent : au lieu de faire exécuter plusieurs applicatifs par un seul cœur de calcul comme c'est le cas dans l'Architecture IMA actuelle, utilisons le nombre de cœurs d'un composant Many-Cœurs pour faire exécuter une et une seule application par cœur, comme c'était le cas dans les architectures dites Fédérées.

Notre approche consiste à :

- Utiliser à la fois le grand nombre de cœurs ou « cluster offerts par l'Architecture Many-Cœurs pour héberger et exécuter plus d'applications que ce que peut réaliser l'Architecture IMA_1G ou IMA_1,5G,
- Gérer le réseau interne afin de garantir l'indépendance de transfert entre les cœurs et les ressources partagées, que ces ressources soient : la Mémoire locale ou les Entrées / Sorties du composants.

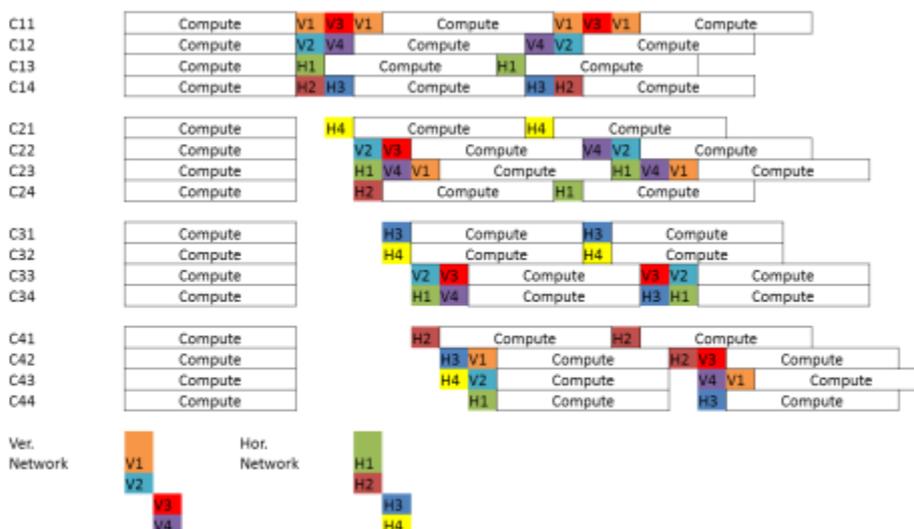


FIGURE 74 : Exemple d'exécution sur une plate-forme Many-Cœurs

Évolution des Architectures des Systèmes Avioniques Embarqués

La Figure 74 donne un exemple d'exécution pour un processeur disposant de 16 clusters, chacun utilisé pour héberger une et une seule application.

8.2.2.2 Au niveau Architecture Plateforme

Il s'agit de trouver une alternative au besoin d'augmentation de la Puissance de Calcul de la Plateforme Avionique. La question à laquelle nous devons répondre est la suivante :

- Pouvons-nous proposer une architecture de la plate-forme Avionique qui tende à réduire le nombre de calculateurs embarqués ?

C'est cette approche qui a orienté les travaux autour de l'Architecture IMA. Il s'agit maintenant, dans nos travaux de Recherche, d'analyser comment utiliser les technologies offertes par le Domaine du « Cloud Computing » afin de permettre de décentraliser une partie des travaux actuellement réalisés à Bord, vers des Systèmes sol.

Nous en sommes actuellement au début de l'analyse et le champ des perspectives reste ouvert.

Évolution des Architectures des Systèmes Avioniques Embarqués

9 BIBLIOGRAPHIE

- REF 1. RTCA DO-254, Design Assurance Guidance for Airborne Electronic Hardware (AEH)
a. www.rtca.org/
- REF 2. EUROCAE D-80: Design Assurance Guidance for Airborne Electronic Hardware
b. www.eurocae.eu/
- REF 3. RTCA DO-178 - Software Considerations in Airborne Systems and Equipment Certification
c. www.rtca.org/
- REF 4. Eurocae ED-12C - Software Considerations in Airborne Systems and Equipment Certification
d. www.eurocae.eu/
- REF 5. RTCA DO-297 Integrated Modular Avionics (IMA) Development Guidance and Certification Considerations
e. www.rtca.org/
- REF 6. SAE Standard: Certification Considerations for Highly-Integrated Or Complex Aircraft Systems. Standard: ARP4754
f. <http://standards.sae.org/arp4754/>
- REF 7. ARINC664 part 7 : Avionics Full Duplex switched ethernet (AFDX)
g. <http://standards.sae.org/>
- REF 8. ED-135 / ARP4761 : Guidelines and Methods for Conducting the Safety Assessment process on Civil Airborne Systems and Equipment
h. <http://standards.sae.org/>
- REF 9. EASA CM No.: EASA CM – SWCEH – 001 Issue: 01
i. <http://easa.europa.eu/document-library/public-consultations/certification-memoranda>
- REF 10. Wind River Inc. 2008 – IEEE-CS Seminar – June 4th, 2008
j. http://www.computersociety.it/wp-content/uploads/2008/08/ieee-cc-arinc653_final.pdf
- REF 11. ARINC653 and Virtualization, Concepts for Safety - Critical Systems from Alex Wilson, Wind River, Director, EMEA, Aerospace and Defence
k. http://www.ssm.gov.tr/anasayfa/hizli/duyurular/etkinlikler/konferanslar/Documents/20121130_ARINC/ARINC-653%20and%20%20Virtualization%20Concepts%20for%20Safety-Critical%20Systems%20-%20Ale.pdf
- REF 12. THE 3-rd INTERNATIONAL CONFERENCE «INTEGRATED MODULAR AVIONICS AND CNS/ATM. STATE AND PROSPECTS OF DEVELOPMENT»
l. <http://www.gosniias.ru/pages/ima-3-2015-e.html>
- REF 13. The role and importance of aircraft on-board equipment on the current aviation development stage
m. <http://www.modern-avionics.com/analytics/2014/modern-role-of-avionics-aircraft/part-1/#>
- REF 14. Dossier de faisabilité de VAE en vue de l'obtention d'un Doctorat en Informatique, Télécommunication et Électronique
n. Document 1 - Parcours

Évolution des Architectures des Systèmes Avioniques Embarqués

Cette page est laissée blanche intentionnellement.

Évolution des Architectures des Systèmes Avioniques Embarqués

10 ABRÉVIATIONS

Abréviations	Signification
AC	Advisory Circular
ADCN	Avionic Data Core Network
ADN	Avionic Data Network
AEH	Airborne Electronic Hardware
AFDX	Avionics Full Duplex
AMP	Asymetrical Multi Processing
APEX	APplication/EXecutive
API	Application Interface
ARINC	Aeronautical Radio, Inc.
ARP	Aerospace recommended practice
ASIC	Application Specific Integrated Circuit
ASP	Architecture support package
BAG	Bandwidth Allocation Gap
BMP	Bound Multi Processing
BSP	Board support package
CCA	Common cause analysis
CEH	Complex Electronic Hardware
CM	Configuration management
COTS	Commercial off-the-shelf
CPU	Central processing unit
CPM	Core Processing Module
CRI	Certification Review Item
DAL	Design Assurance Level
EASA	Euopean Aviation Safety Agency
EQP	Equipment Qualification Plan
FAA	Federal Aviation Administration
FADEC	Full Authority Digital Engine Control
FIT	Failure In Time
FPGA	Field Programmable Gate Array
FMS	Flight Management System
FWS	Flight Warning System
GPS	Global Positionning system
HCI	Hot Carrier Injection
HUD	Head-Up Display
HW	HardWare
I / O	Input / Output
IMA	Integrated Modular Avionics
IMASVA	IMA System Vulnerability Analysis
IS	Infrastructure software
IVVQ	Integration – Verification – Validation – Qualification
LEM	Lunar Excursion Module
LRM	Line Replaceable Module

Évolution des Architectures des Systèmes Avioniques Embarqués

LRU	Line replaceable unit
LVDT	Linear Variable Differential Transformer
MBU	Multiple Bit Upset
MFD	Multiple Function Display
MMU	Memory Management Unit
NBTI	Negative Bias Temperature Instability
PCU	Planet Communication Unit
PFD	Primary Flight Display
PHAC	Plan for Hardware Aspects of Certification
PLD	Programmable Logical Device
PSAC	Plan for Software Aspects of Certification
PSSA	Preliminary System Safety Assessment
RAM	Random Access Memory
RDC	Remote Data Concentrator
RMA	Rate Monotonic Analysis
RMS	Rate Monotonic Scheduler
RNAV	Radio NAVigation
ROM	Read Only Memory
RTCA	RTCA, Inc. (formerly Radio Technical Commission for Aeronautics)
RTOS	Real-time Operating System
RVDT	Rotary Variable Differential Transform
SAE	Society of Automotive Engineers
SBD	Soft Break Down
SE	Système(s) Embarqué(s)
SEE	Single Event Effect
SER	Software Error Rate
SEU	Single Event Upset
SMP	Symetrical Multi-Processing
SOI	Stage Of Involvement
SONAR	SOund And Navigation Ranging
SQA	Software Auality Assurance
SSA	System Safety Assessment
SW	SoftWare
SWaP	Size Weight and Power
TAWS	Terrain Awareness and Warning System
TCAS	Traffic Collision Avoidance System
TC	Type Certificate
TA	Traitement Audio
TD	Traitement de Données
TI	Traitement d'Images
TD	Traitement de Données
TSO	Technical Standard Order
V&V	Verification and validation
VL	Virtual Link
WCET	Worst-Case Execution Time
WDT	Watchdog timer