



**HAL**  
open science

# Technique et Méthodologie de Conception du Réseau de Distribution d’Alimentation d’une Carte Electronique Rapide à Haute Densité d’Interconnexion

Benoit Goral

► **To cite this version:**

Benoit Goral. Technique et Méthodologie de Conception du Réseau de Distribution d’Alimentation d’une Carte Electronique Rapide à Haute Densité d’Interconnexion. Energie électrique. Université Paris Saclay (COMUE), 2017. Français. NNT : 2017SACLN037 . tel-01679942

**HAL Id: tel-01679942**

**<https://theses.hal.science/tel-01679942>**

Submitted on 10 Jan 2018

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L’archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d’enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# Techniques et Méthodologie de Conception du Réseau de Distribution d'Energie d'une Carte Electronique Complexe à Haute Densité d'Interconnexion

Thèse de doctorat de l'Université Paris-Saclay  
préparée à l'Ecole Normale Supérieure de Cachan (Ecole Normale  
Supérieure Paris-Saclay)

École doctorale n°575 : electrical, optical, bio : physics and  
engineering (EOBE)  
Spécialité de doctorat: Génie Electrique

Thèse présentée et soutenue à Cachan, le 12 Octobre 2017, par

**Benoit GORAL**

Composition du Jury :

|   |                    |
|---|--------------------|
| Eric Labouré<br>Professeur, Université de Paris Saclay              | Président          |
| Sonia Ben Dhia<br>Professeur, INSA de Toulouse                      | Rapporteur         |
| Françoise Paladian<br>Professeur, Université Clermont Auvergne      | Rapporteur         |
| Alexandre Boyer<br>Maître de conférence, INSA de Toulouse           | Examineur          |
| Bernard Fléchet<br>Professeur, Université de Savoie-Mont-Blanc      | Examineur          |
| Cyrille Gautier<br>Maître de conférence, Université de Paris Saclay | Directeur de thèse |
| Alexandre Amédéo<br>Docteur, Thales Communications & Security       | Invité             |





# Remerciement

Ces travaux sont présentés dans le cadre d'une convention CIFRE (Convention Industrielle de Formation à la Recherche) qui lie la société Thales Communications and Security et le laboratoire SATIE (Systèmes et applications des Technologies de l'Information et de l'Energie) de l'ENS Paris-Saclay.

C'est par la rédaction de ces quelques lignes de remerciement que se concluent plus de 3 années de travail riches et intenses. Bien qu'au final, un seul nom figure au bas de l'ouvrage, c'est un véritable travail d'équipe qui a été réalisé pour mener à bien ce projet de thèse. Les personnes avec lesquelles j'ai pu échanger et qui ont su me conseiller sont si nombreuses qu'il m'est impossible de toutes les citer. A ces personnes, sachez que sans même peut-être vous en rendre compte, vous avez à votre manière participé au succès de cette thèse.

Je souhaiterais remercier en premier lieu mes deux rapporteurs, Sonia Ben Dhia et Françoise Palladian, d'avoir accepté d'évaluer mes travaux et d'avoir pris la peine de lire intégralement et en détail, le conséquent manuscrit qui suit. Je remercie ensuite Eric Labouré qui m'a fait l'honneur de présider le jury lors de la soutenance, ainsi que Bernard Fléchet et Alexandre Boyer d'avoir accepté l'invitation à prendre part au jury. J'ai fortement apprécié la qualité de nos différents échanges et vos points de vue sur différentes parties de mon travail lors de la soutenance. Merci également à Cécile Labarre qui a également lu le manuscrit sans pouvoir assister cependant à la soutenance.

L'ensemble de ces travaux ont été instigués par Dominique Dupray, Chef de service conception et développement de cartes électroniques dont la vision de l'électronique, de ses métiers et de son orientation est remarquable. Je remercie vivement Monsieur Dupray de son support et de ses conseils lors de nos différents points d'avancement du jeudi matin à Gennevilliers. S'il n'a malheureusement pas pu suivre l'ensemble du déroulement de la thèse, c'est bien lui qui l'a mise sur de solides rails lors de la première année.

Je remercie également vivement Dominique Bolot qui a pris la relève de Dominique Dupray et n'a pas montré moins d'implication et d'intérêt dans l'avancement de la thèse.

Je remercie évidemment l'ensemble des personnes du laboratoire de conception de cartes numériques. Tout nos échanges m'ont souvent permis de donner du sens à mes travaux en les rapprochant de problématiques concrètes. Je remercie particulièrement Alexis Sourice, Monsieur Mesure, qui avait toujours la réponse sur les précautions à prendre pour les manipulations les plus loufoques, Sandrine, Maryse et Christelle, les maquettistes de choc, les petits doigts si agiles qui ont permis de faire des merveilles sur les différents véhicules de test de cette thèse. Je remercie également Cédric Urbain pour sa collaboration sur le routage de la carte.

Je n'oublie pas de citer les membres de l'autre organisme de cette thèse : Le laboratoire SATIE. Changement d'ambiance radical! Bien que n'y étant que très peu, j'ai quand même su y trouver ma place et y lier des amitiés assez fortes. Quelle joie d'y retrouver

---

des camarades rencontrant des difficultés similaires et de pouvoir les partager. Je remercie vivement Alex, Christelle et Gnimdu pour tous les bons moments que j'ai passé à vos côtés durant presque 4 ans. Nous étions comme les 4 mousquetaires de l'équipe EPI en quelque sorte. Denis, Stéphane, Mickaël, Bertrand, Fabien, l'ambiance au SATIE ne serait pas du tout la même sans vous. Merci également à Sophie, Béatrice et Aurore pour leur soutien logistique et administratif. Etant loin du laboratoire elles étaient principalement mon point d'entrée pour toutes les interactions avec l'ENS de Cachan (ou Paris-Saclay, décidément ce changement m'aura perturbé). Enfin, un grand merci à François Costa pour son suivi constant alors que je ne m'y attendais pas, ces conseils et le temps qu'il a passé à relire et à corriger quelques passages de mon manuscrit.

Il me reste encore à remercier les deux personnes sans qui réellement, rien de tout ça n'aurait été possible. Merci Cyrille, merci Alexandre. Merci de m'avoir fait confiance pour mener à bien ces travaux de thèse. Merci également pour tout le temps et l'énergie que vous avez consacré au suivi et au bon déroulement de ces travaux. Je pense avoir beaucoup mûri pendant ces années de thèse et si j'ai grandi "droit", c'est parce que j'avais à mes côtés deux tuteurs solides sur lesquels m'appuyer. Alexandre, merci de m'avoir encouragé à chaque moment de cette épreuve, même lorsque je voyais la vague déferler sur moi, tes encouragements me permettait de refaire surface. Certes, les encouragements étaient peut être un peu plus rares de ton côté Cyrille, néanmoins, ta vision et ton sens du détail et des choses bien faites sont deux éléments qui t'ont permis de me repousser dans mes retranchements et de sortir le meilleur de moi-même. Encore merci à vous deux de m'avoir permis de réaliser ce projet de thèse et de construire de solides fondations pour ma carrière future.

Sans transition, il existe encore un groupe de personnes que je souhaiterais remercier. Ceux-ci n'ont pas de lien direct avec le projet de thèse. Il s'agit de personnes qui ont fait un bout de chemin avec moi bien avant ma décision de commencer une thèse, voir même de devenir ingénieur. Aux amis de Lyon et d'ailleurs, merci à ceux qui ont pris le temps de faire un passage sur Cholet, cela m'a permis de me changer grandement les idées durant ces week-end, ou de m'avoir accueilli chez vous, le temps de séjours parisiens, ou dans le sud, d'avoir pris de mes nouvelles à des fréquences variables. Delia, Joan, Timothée, Greg Napo, Chiara, El pelon, Pilip, Clément.

Merci aussi à tous les amis d'Epinal, même si Cholet paraît être au bout du monde pour vous, merci d'avoir été présents à chacun de mes séjours dans les Vosges et de m'avoir permis de retrouver chaque fois un cadre stable pour me ressourcer à chacune de mes venues. Merci aux gars du PEF pour leurs histoires incroyables auxquelles j'ai encore la chance de participer quelques fois. Thibaud, Matmat, Yohan, Marion, Etienne, Celest, toujours un grand plaisir de vous retrouver au bidule ou ailleurs.

Viens enfin le tour des personnes que je n'ai pas choisies. Papa, Maman, merci de m'avoir soutenu depuis toujours dans chacun de mes projets et d'y mettre toujours autant d'énergie. Merci d'avoir partagé à tout moment avec moi mes joies et mes peines durant ces trois années qui n'ont pas toujours été simples. Je n'ose pas dire que je vous dois tout, mais la vérité n'est pas trop loin. Vous avez su tout au long de mon cursus me guider et me faire réfléchir sur les décisions à prendre qui se sont révélées être d'excellent choix. Merci également à Matthieu, Marie et Claire d'avoir toujours été là pour moi également.

"Detras de cada gran hombre, esta una gran mujer". "Gran" no sería exactamente la palabra correcta pero la frase toma todo su sentido. Mil gracias no bastan Yosa para agradecer todo lo que hiciste para mí. Dejar a tu familia y a tu país para seguirme hasta

---

Francia. Aguantarme todos los días, no importa el humor en que este. Apoyarme cuando el trabajo era tal que no me dejaba hacer mas cosas en la casa. Eso es el tipo de pruebas que cada persona quisiera de su pareja. Tu alegría y tus ocurrencias son el sol de mi vida. Gran parte de la fuerza que necesite para acabar con este proyecto, me la supiste dar. Nunca hubiera podido lograrlo sin ti. Espero un día saber apoyarte a ti como me apoyas a mi.

*A mes grands-parents*



# Résumé

Les contraintes économiques actuelles amènent les entreprises du secteur de l'électronique, non seulement à innover à un rythme très soutenu, mais aussi à réduire au minimum le cycle de conception des nouveaux produits. Afin de rester compétitives, ces entreprises doivent proposer régulièrement de nouveaux produits comportant de nouvelles fonctionnalités, ou améliorant les performances des produits de la génération précédente. Les progrès réalisés d'une génération à l'autre peuvent être quantifiés, par exemple en termes de vitesse de fonctionnement, encombrement, autonomie et consommation d'énergie.

La conception des cartes électroniques découlant de ces contraintes est alors très délicate. En effet, l'intégration de nouvelles fonctions tout comme la miniaturisation des produits entraînent une densification du circuit imprimé. Le nombre de couches utilisé augmente, et l'isolement entre les signaux diminue. L'utilisation de circuits intégrés comportant différentes fonctions comme les [System-on-Chip, système embarqué sur une même puce de silicium \(SOC\)](#) ou les [System-in-package, système embarqué au sein d'un même boîtier mais constitué de différentes puces de silicium \(SIP\)](#) entraîne une multiplication du nombre de potentiels d'alimentation. L'augmentation des performances des systèmes implique en outre une élévation du taux de débits de données circulant au sein du circuit imprimé et par conséquent l'augmentation des fréquences d'horloge et des signaux sur la carte. Ces contraintes entraînent l'apparition de problèmes de compatibilité électromagnétique, d'intégrité du signal et d'intégrité de puissance. Il est alors nécessaire de limiter les risques de dysfonctionnement de la carte par une maîtrise parfaite des phénomènes qui se produisent d'une part par une analyse de dimensionnement précise afin d'éliminer ou de réduire les problèmes le plus tôt possible dans la phase de conception et d'autre part par des simulations de vérification une fois la carte terminée.

Cette thèse proposée par la société Thales Communications and Security en collaboration avec le laboratoire des Systèmes et Applications des Technologies de l'Information et de l'Énergie (SATIE) de l'École Normale Supérieure de Cachan dans le cadre d'une Convention Industrielle de Formation par la REcherche (CIFRE) a pour but le développement d'une méthodologie d'analyse et de conception du réseau de distribution d'énergie de cartes numériques complexes dans le but de garantir leur fonctionnement sans, ou en réduisant le nombre d'itérations de prototypage.

Une introduction au contexte de l'étude, une description précise du système étudié et des phénomènes physiques régissant son fonctionnement ainsi qu'un état de l'art des techniques d'analyse d'intégrité de puissance constituent le premier chapitre de ce mémoire. La présentation du véhicule de test, support de tous les résultats de mesure, conçu durant la deuxième année de thèse est l'objet du second chapitre. Celui-ci dénombre et décrit l'ensemble des scénarios et des réalisations créés pour l'observation et la mesure des phénomènes propres à l'intégrité de puissance et la corrélation de résultats de simulation avec les résultats obtenus en mesure. Dans une troisième partie sont exposées

---

les techniques de modélisations de chaque élément constituant le réseau de distribution d'énergie. Afin de démontrer la validité des modèles utilisés, les résultats de simulation obtenus pour chaque élément ont été confrontés à des résultats de mesure. Le quatrième chapitre présente la méthodologie de conception et d'analyse de la stabilité des alimentations développée suite aux résultats obtenus des différentes techniques de modélisation présentées. Les outils utilisés et leur configuration sont également précisément décrits et les résultats de simulation confrontés aux résultats de mesure sur le véhicule de test pour le système complet. Dans le cinquième chapitre, l'intérêt de la modélisation des réseaux de distribution d'énergie sera étendu aux études d'intégrité du signal en démontrant comment son inclusion aux simulations permet d'obtenir, lors de la mise en œuvre de co-simulations intégrité de signal-intégrité de puissance, une meilleure corrélation entre résultats de simulation et résultats de mesures. Enfin, la dernière partie de ce document synthétise le travail réalisé durant cette thèse, y porte un regard critique et propose quelques perspectives de travaux futurs afin d'approfondir les connaissances et la maîtrise des phénomènes d'intégrité de puissance.

# Abstract

Today's economical context leads electronics and high-tech corporations not only to innovate with a sustained rhythm but also to reduce the design cycle of new products. In order to remain competitive, these corporations must release regularly new products with new functionalities or enhancing performances of the last generation of this product. The enhancement from one generation to the other can be quantified by the speed of execution of a task, the package size or form factor, the battery life and power consumption.

The design methodology following these constraints is thus very tough. Indeed, integration of new functionalities as miniaturization of products implies a densification of the printed circuit board. The number of layer in the stack up is increased, isolation between nets is reduced, the use of integrated circuits embedding different functions as **SOC** or **SIP** implies a multiplication of the number of voltages. Moreover the increase of circuit performances implies an increasing data rate exchanged between components of the same printed circuit board and causing a widening of the reference clock and signal frequency spectrum. These design constraints are the root cause of the apparition of electromagnetic compatibility, signal integrity and power integrity issues. Failure risks must then be limited by fully understanding phenomenon occurring on the board by, on one side, achieving a precise dimensioning pre layout analysis aiming the elimination or reduction of the issues at the beginning of the design cycle, and on the other side, validating the layout by post layout simulation once the printed circuit board is routed.

This study proposed by Thales Communication and Security in collaboration with public research laboratory SATIE (System and Application of Energy and Information Technologies) of Ecole Normale Supérieure de Cachan within an industrial convention for development through research aims to develop a design methodology for power delivery network of digital printed circuit board with the goal of ensuring good behavior without or by reducing the number of prototypes.

The first chapter of this manuscript includes an introduction to the context of the study, a precise description of the studied system and the physical phenomenon ruling its behavior, and finally a state of the art of the power integrity technique analysis. A presentation of the test vehicle, designed during the work which supports all measurements results will constitute the focus of second chapter. This chapter presents and describes all the scenarios and implementations created for the observation and measurement of Power Integrity phenomenon and realise measurement-simulation results correlation. In a third part, modeling techniques of each element of the Power Delivery Network are described. The validity of the models is proven by correlating simulation results of each element with measurement results. The fourth chapter presents the analysis and design methodology developed from the results of the different modeling techniques presented in the previous chapter. Simulation tools and their configuration are precisely described and simulation results are compared with measurement results obtained on the test vehicle for the whole system. In the fifth chapter, the interest of power delivery network model



---

will be extended to signal integrity analysis demonstrating how taking into account this model allows to obtain simulation results closer from measurement results by running Signal Integrity Power aware simulation. Finally, the last part of this document synthetizes and takes a critical look on the wwork realized in this document. It proposes also future works tracks and orientations to extend knowledges and understanding of Power Integrity Phenomenon.

# Introduction Générale

Le contexte économique actuel, très concurrentiel, pousse les acteurs du domaine de l'électronique et des hautes technologies à innover et à proposer à ses clients de nouveaux produits ou solutions à un rythme très soutenu. Afin de rester compétitives, ces entreprises font face à des problématiques de réduction du temps de cycle de conception de leurs produits mais aussi de coût de production. Les principaux axes d'amélioration apportés aux produits de dernière génération sont les performances - à savoir, puissance de calcul, vitesse d'exécution -, l'introduction de nouvelles fonctionnalités, le gain en encombrement (taille, poids), l'allongement de l'autonomie des équipements portatifs comme des appareils de radiocommunication ou la réduction de la consommation électrique. Ces buts d'optimisation des produits sont résumés dans le sigle anglais **Size (taille), Weight (Poids) and Power (et puissance) - Cost (coût) (SWAP-C)** particulièrement en vogue dans les domaines des appareils de télécommunication mobile mais aussi de la défense, de l'aéronautique et du spatial. Cette course à la performance des systèmes a pour moteur principal l'exemplaire essor du domaine de la micro et nanoélectronique.

Le premier circuit intégré voit le jour en 1958 au sein de la compagnie Texas Instrument. Depuis cette date, l'électronique numérique connaît un développement exponentiel. En 1975, Gordon E. Moore co-fondateur de la compagnie Intel, alors ingénieur à Fairchild Semiconductor fait le postulat que le nombre de transistors embarqués au sein d'une puce de silicium doublera tous les deux ans, pour un coût de fabrication égal. Ce postulat se trouvera être exact jusqu'en 2015 **MOORE et collab. [1998]**. Bien qu'il devienne de plus en plus complexe et de moins en moins économiquement viable de poursuivre la course à la réduction des transistors au sein d'une même puce, de nouvelles solutions de densification comme les architectures 3D de puce à l'intérieur des boîtiers de composants ou l'intégration de transistors verticaux dans le silicium **COURTLAND [2016]** permettent de poursuivre les efforts de densification des circuits intégrés. La rupture dans la loi de Moore est illustrée par la figure 1 qui compare les prévisions du rapport ITRS de 2013 (en bleu) à celle du dernier rapport de ce même organisme en 2015 (en orange).

Les progrès constants réalisés dans le domaine de la microélectronique ont permis de créer et d'améliorer sans cesse de nouveaux composants intégrés dont la puissance de calcul et la vitesse de fonctionnement dépassent les générations précédentes. Ces composants, de plus en plus complexes comme les **SOC** ou les **SIP**, embarquent de nombreuses fonctions, comportent de nombreux bus d'entrée/sortie et bien que chaque nœud technologique permette de diminuer la consommation des transistors, l'augmentation du nombre de transistors au millimètre carré de silicium implique une consommation globale des composants plus importante. En outre, la cohabitation de différentes fonctions au sein d'un même composant augmente le nombre de potentiel d'alimentation à fournir à ce dernier. Enfin, les fréquences d'horloge cadencant les processeurs augmentent afin d'améliorer à la fois la vitesse d'exécution des calculs mais aussi d'augmenter le taux d'échange de données grâce aux technologies de liens série rapide ou liens **Multi-Gigahertz**

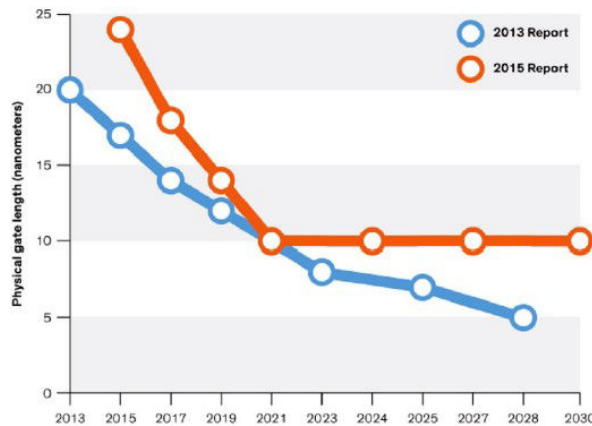


FIGURE 1 – Figure illustrant les prévisions sur la réduction de la taille des transistors données par les road-map de l’ITRS en 2013 et en 2015 et la rupture avec la loi de Moore

(MGH)

Pour les fabricants de cartes électroniques, l’utilisation de composants performants se traduit par une réduction du nombre de composants à placer sur leur carte pour réaliser une fonction donnée ou alors l’utilisation du même nombre de composants mais dont le boîtier est plus petit. Cela leur permet alors de réduire la taille des cartes et donc l’encombrement et le poids de leurs produits. Afin de suivre l’évolution des circuits intégrés, les technologies de fabrication des circuits imprimés ont aussi dû se développer et être adaptées afin notamment d’être capable d’accueillir une grande densité d’interconnexions autour des composants. Ainsi, l’augmentation du nombre de couches, la réduction de la largeur minimale de gravure des pistes des circuits imprimés ainsi que l’utilisation de nouvelles techniques de perçage et d’assemblage peuvent être évoquées comme conséquences directes de l’utilisation de composants intégrant de nombreuses fonctions. Sur ces cartes denses, l’isolement entre signaux diminue, tant d’un point de vue plan que d’un point de vue en trois dimensions, les spectres de fréquence mis en jeu s’élargissent avec l’élévation des fréquences d’horloge et des taux d’échange de données entre composants ou entre cartes, la densité de courant augmente puisque les composants consomment plus sur une surface plus réduite. L’ensemble de ces phénomènes mène à des problématiques d’intégrité du signal (IS), de Power Integrity, Intégrité de puissance en français (PI) et de compatibilité électromagnétique (CEM).

Ce contexte technologique rend les analyses de l’intégrité des signaux, de la stabilité des réseaux de distribution d’énergie et de compatibilité électromagnétique indispensables dans le flux de conception des cartes électroniques. Des analyses de dimensionnement réalisées au plus tôt dans la phase de conception permettent d’éliminer ou de réduire les problèmes en amont et de définir des contraintes de conception et de routage afin d’éviter les phénomènes de diaphonie, de réflexion et de bruit sur les alimentations tandis que des analyses post-routage justifient du bon fonctionnement de la carte et valident le routage avant l’envoi en fabrication.

La complexité des cartes empêche d’accéder à nombre de signaux de la carte pour vérifier leur fonctionnement car ils sont enterrés. De plus sur des cartes rapides, l’instrumentation perturbe le fonctionnement de la carte car les temps de propagation des signaux au sein de celles-ci sont très courts. C’est pourquoi l’utilisation d’outils de simulation est aujourd’hui primordiale dans le flux de conception de cartes électroniques. Ils se doivent de donner des résultats suffisamment précis, cohérents avec la réalité et dans

---

un temps acceptable. Il faut souvent savoir faire un compromis entre la précision du résultat et le temps de simulation. L'utilisation de simulateurs efficaces permet d'une part de minimiser les risques de dysfonctionnement de la carte et donc le nombre de prototypes d'essai et d'autre part de réaliser l'optimisation du réseau de distribution d'énergie et particulièrement du découplage afin de baisser le coût de production de la carte. La qualité des résultats d'analyses dépend fortement de la qualité des modèles employés. Il est donc important premièrement de savoir caractériser les éléments propres au circuit imprimé comme son comportement électrique, mais aussi deuxièmement d'obtenir des modèles représentatifs des composants employés, soit par caractérisation en mesure sur carte, soit donnés par le fabricant.

Au cours des vingt dernières années, de nombreux efforts ont été fournis pour améliorer, standardiser et promouvoir des modèles comportementaux de composants intégrés (processeurs, [Field Programmable Gate Array \(FPGA\)](#), buffers) [CUNY \[1996\]](#) afin de réaliser une analyse rigoureuse de la qualité de transmission des signaux. Le résultat de ces efforts est par exemple le modèle [Input/Output Buffer Information Specification, Spécification d'information de dispositif entrée/sortie en français \(IBIS\)](#), aujourd'hui très répandu et communément utilisé par les fabricants de composants, les concepteurs de cartes et les éditeurs de simulateurs circuits ou électromagnétiques. Alors que l'analyse de l'intégrité de signal a connu de nombreuses et rapides améliorations, l'analyse du comportement du réseau de distribution d'énergie n'a pas bénéficié du même intérêt. Même si quelques méthodes consensuelles émergent pour sa caractérisation, aucun modèle n'est pour l'instant très répandu pour la modélisation entière du réseau de distribution d'énergie. L'accroissement de la densité de courant au sein des cartes, résultant de l'augmentation de la consommation en courant des composants et de la diminution de la surface disponible due à la densification des cartes, ajouté à la diminution des potentiels d'alimentation résultant de l'introduction des nouvelles technologies de transistors rendent les réseaux de distribution d'énergie extrêmement sensibles aux variations de tension. Il est donc important de maîtriser le comportement du réseau d'alimentation afin d'une part de protéger les composants d'une surtension ou encore de dysfonctionnement de la carte en cas de niveau de tension trop faible. Alors que les fonctions intégrées au sein des composants permettent de réduire leur nombre, la part de surface du circuit imprimé dédié à l'alimentation devient de plus en plus importante. Il devient alors nécessaire de comprendre le comportement du réseau de distribution d'énergie afin de l'optimiser en réduisant au plus juste son filtrage pour réduire la surface occupée par des composants inutiles.

Le contexte de l'étude, les objectifs de la thèse, la constitution du réseau de distribution d'énergie et l'état de l'art des modèles et techniques de modélisation du réseau de distribution d'énergie sont présentés dans une première partie.

Le deuxième chapitre sera consacré à la présentation du véhicule de test, principal support des mesures effectuées dans le cadre de ces travaux ainsi que la présentation de différentes maquettes développées durant la deuxième année de thèse pour la caractérisation de différents composants du réseau de distribution d'alimentation.

Dans le troisième chapitre de ce document, sont exposés les techniques de modélisation, les configurations de mesures servant à l'obtention des modèles, les outils de simulation ainsi que l'utilisation faite des modèles obtenus. Tous les modèles obtenus sont confrontés à des résultats obtenus par mesure afin d'être validés et d'en estimer le degré de précision.

La quatrième partie présente deux méthodologies de conception différente, l'une ba-

---

sée dans le domaine temporel, l'autre dans le domaine fréquentiel se basant sur l'analyse des réseaux de distribution d'énergie obtenus à l'aide des techniques de modélisation présentées dans la partie précédente. Les résultats de l'analyse du réseau de distribution complet sont à nouveau comparés à des résultats de mesure afin d'en vérifier la validité et d'en estimer l'efficacité ainsi que de conclure sur certains avantages ou inconvénients d'utiliser l'une ou l'autre des méthodologies de conception. De plus ce chapitre comportera une partie dans laquelle l'optimisation du réseau de distribution sera effectuée afin de réduire l'espace occupé par le réseau de distribution d'énergie ainsi que le nombre de composants de filtrage utilisés.

Enfin la dernière partie replace l'analyse de l'intégrité de puissance dans un cadre de conception plus large. Les informations obtenues sur le comportement du réseau d'alimentation sont en effet utilisées pour préciser d'une part l'impact du comportement du réseau de distribution d'énergie sur la transmission de signaux notamment grâce à l'utilisation de modèles IBIS de dernière génération et d'autre part faciliter le dimensionnement de la mécanique autour de la carte en réalisant une co-simulation thermoélectrique.

## 0.1 Références

- COURTLAND, R. 2016, «Transistor could stop shrinking in 2021», *IEEE Spectrum*, , n° 7. [ix](#)
- CUNY, R. 1996, «Spice and ibis modeling kits the basis for signal integrity analyses», dans *Proceedings of Symposium on Electromagnetic Compatibility*, p. 204–208, doi :10.1109/ISEMC.1996.561229. [xi](#)
- MOORE, G. E. et collab.. 1998, «Cramming more components onto integrated circuits», *Proceedings of the IEEE*, vol. 86, n° 1, p. 82–85. [ix](#)

# Table des matières

|  |              |
|--|--------------|
| <b>Remerciement</b>  | <b>iii</b>   |
| <b>Résumé</b>  | <b>v</b>     |
| <b>Abstract</b>  | <b>vii</b>   |
| <b>Introduction Générale</b>   | <b>ix</b>    |
| 0.1 Références . . . . .   | xii          |
| <b>Table des matières</b>  | <b>xiii</b>  |
| <b>Liste des figures</b>   | <b>xvii</b>  |
| <b>Liste des tableaux</b>  | <b>xxvii</b> |
| <b>1 Introduction, Contexte et Etat de l'Art</b>                                   | <b>1</b>     |
| 1.1 Besoins et contraintes industrielles . . . . .                                 | 3            |
| 1.1.1 Introduction . . . . .   | 3            |
| 1.1.2 Description d'une carte électronique . . . . .                               | 4            |
| 1.1.3 Complexification des cartes . . . . .  | 7            |
| 1.1.4 Le réseau de distribution d'énergie . . . . .                                | 12           |
| 1.2 Objectifs de l'étude . . . . .   | 14           |
| 1.2.1 Les études d'intégrité de puissance à THALES . . . . .                       | 16           |
| 1.2.2 Mise en place du flot de conception du réseau de distribution d'énergie      | 17           |
| 1.3 Présentation du réseau de distribution d'énergie . . . . .                     | 20           |
| 1.3.1 Système étudié . . . . .   | 20           |
| 1.3.2 Les problèmes liés à l'intégrité de puissance . . . . .                      | 31           |
| 1.3.3 Conclusion partielle . . . . .   | 41           |
| 1.4 Les outils de dimensionnement et d'analyse du réseau de distribution d'énergie | 42           |
| 1.4.1 L'impédance cible . . . . .  | 42           |
| 1.4.2 Les outils d'analyse en un point ou single node . . . . .                    | 50           |
| 1.4.3 Les outils d'analyse multi-point ou multinode . . . . .                      | 51           |
| 1.4.4 Les outils d'analyse statique . . . . .                                      | 52           |
| 1.4.5 Les outils d'analyse dynamique . . . . .                                     | 53           |
| 1.5 Conclusion du chapitre . . . . .   | 57           |
| 1.6 Références . . . . .   | 57           |
| <b>2 Véhicule de Test</b>  | <b>61</b>    |
| 2.1 Introduction . . . . .   | 62           |
| 2.2 Présentation du véhicule de test . . . . .                                     | 62           |

|          |   |            |
|----------|---|------------|
| 2.2.1    | Objectifs   | 62         |
| 2.2.2    | Définition de l'architecture  | 63         |
| 2.2.3    | Définition des scénarios de test  | 68         |
| 2.3      | Conclusion du chapitre  | 79         |
| 2.4      | Références  | 82         |
| <b>3</b> | <b>Modélisation et Techniques de Mesure des Eléments du Réseau de Distribution d'Energie</b>                    | <b>85</b>  |
| 3.1      | Introduction  | 87         |
| 3.2      | Les convertisseurs DC-DC  | 88         |
| 3.2.1    | Modélisation temporelle   | 88         |
| 3.2.2    | Modélisation fréquentielle  | 95         |
| 3.2.3    | Mesure fréquentielle du module régulateur de tension  | 100        |
| 3.2.4    | Extraction de l'impédance de sortie à partir de modèle SPICE  | 107        |
| 3.2.5    | Calcul ou mesure des éléments parasites du modèle   | 108        |
| 3.3      | Les régulateurs linéaires   | 112        |
| 3.3.1    | Modélisation temporelle   | 112        |
| 3.3.2    | Modélisation fréquentielle  | 112        |
| 3.3.3    | Conclusion partielle  | 116        |
| 3.4      | Le condensateur de découplage   | 117        |
| 3.4.1    | Modélisation du condensateur  | 117        |
| 3.4.2    | Mesure du condensateur  | 120        |
| 3.4.3    | Validité des résultats de mesure et comparaison avec des outils de modélisation des condensateurs de découplage | 126        |
| 3.4.4    | Conclusion partielle  | 129        |
| 3.5      | Les plans d'alimentation  | 129        |
| 3.5.1    | Modélisation des plans d'alimentation   | 130        |
| 3.5.2    | Influence des paramètres de configuration sur la modélisation du plan   | 135        |
| 3.5.3    | Conclusion partielle  | 143        |
| 3.6      | Le circuit intégré  | 143        |
| 3.6.1    | Modélisation du circuit intégré   | 145        |
| 3.6.2    | Méthodologie de mesure des caractéristiques du circuit intégré  | 147        |
| 3.6.3    | Conclusion partielle  | 156        |
| 3.7      | Conclusion du chapitre  | 156        |
| 3.8      | Références  | 157        |
| <b>4</b> | <b>Outils et Méthodologie de Simulation, Corrélation avec la Mesure</b>   | <b>161</b> |
| 4.1      | Introduction  | 163        |
| 4.2      | Interaction entre les condensateurs de découplage et circuit imprimé  | 163        |
| 4.2.1    | Inductance montée   | 164        |
| 4.2.2    | Inductance de boucle  | 180        |
| 4.2.3    | Difficulté de l'approvisionnement multi-sources et de tolérance des condensateurs                               | 193        |
| 4.2.4    | Conclusion partielle  | 195        |
| 4.3      | Méthodologie de conception du réseau de distribution d'énergie  | 196        |
| 4.3.1    | Phase d'architecture  | 196        |
| 4.3.2    | Phase de saisie de schéma   | 197        |
| 4.3.3    | Phase de placement/routage  | 197        |
| 4.3.4    | Tolérance sur les variations de tension   | 198        |
| 4.3.5    | Conclusion partielle  | 200        |

|          |  |            |
|----------|--|------------|
| 4.4      | Impédance cible  | 200        |
| 4.4.1    | Calcul de l'impédance cible par simulation   | 201        |
| 4.4.2    | Calcul de l'impédance cible d'après des résultats de mesures   | 207        |
| 4.4.3    | Conclusion partielle   | 210        |
| 4.5      | Circuit imprimé  | 210        |
| 4.5.1    | Densité de courant sur les plans   | 211        |
| 4.5.2    | Densité de courant dans les vias   | 216        |
| 4.5.3    | Conclusion partielle   | 219        |
| 4.6      | Méthodologie de simulation   | 220        |
| 4.6.1    | L'outil de simulation électromagnétique  | 220        |
| 4.6.2    | L'outil de modélisation circuit  | 222        |
| 4.6.3    | Méthodologie globale   | 229        |
| 4.6.4    | Conclusion partielle   | 229        |
| 4.7      | Mise en application de la méthodologie de simulation   | 231        |
| 4.7.1    | Configuration  | 231        |
| 4.7.2    | Simulation dans le domaine temporel  | 231        |
| 4.7.3    | Domaine fréquentiel  | 235        |
| 4.7.4    | Conclusion partielle   | 239        |
| 4.8      | Conclusion du chapitre   | 240        |
| 4.9      | Références   | 240        |
| <b>5</b> | <b>Optimisation du Découplage et Impact de l'Alimentation sur la Transmission de Signaux</b>         | <b>243</b> |
| 5.1      | Introduction   | 245        |
| 5.2      | Optimisation du découplage du véhicule de test   | 245        |
| 5.2.1    | Optimisation du découplage   | 245        |
| 5.2.2    | Découplage préconisé par Xilinx  | 247        |
| 5.2.3    | Respect des variations de tension en fonctionnement  | 249        |
| 5.2.4    | Impact du découplage sur les performances de la carte  | 264        |
| 5.2.5    | Conclusion partielle   | 272        |
| 5.3      | Inclusion du comportement des circuits d'alimentation dans les simulations de transmission de signal | 273        |
| 5.3.1    | Etude d'une interface parallèle  | 273        |
| 5.3.2    | Etude d'une interface série  | 285        |
| 5.3.3    | Conclusion partielle   | 290        |
| 5.4      | Conclusion du chapitre   | 291        |
| 5.5      | Références   | 291        |
|          | <b>Conclusions Générales</b>   | <b>293</b> |
| <b>A</b> | <b>Annexes</b>   | <b>I</b>   |
| A.1      | Rapport de micro-section   | I          |
| A.2      | Caractéristiques des matériaux utilisés pour la fabrication du circuit imprimé du véhicule de test   | III        |





# Liste des figures

|      |  |    |
|------|--|----|
| 1    | Prévision de la réduction de la taille des transistors logiques en 2013 et en 2015 . . . . .       | x  |
| 1.1  | Illustration de la loi de Moore . . . . .  | 3  |
| 1.2  | Diagramme du taux d'occupation de surface du circuit imprimé par famille de composants . . . . .   | 4  |
| 1.3  | Exemple de routage . . . . .   | 5  |
| 1.4  | Technologies de via et empilement . . . . .  | 7  |
| 1.5  | Illustration des technologie via-in-pad et via empilé . . . . .                                    | 8  |
| 1.6  | Evolution de la taille des condensateurs de découplage . . . . .                                   | 8  |
| 1.7  | Evolution des technologies de boîtiers de composant au cours du temps . . . . .                    | 9  |
| 1.8  | Description du réseau d'alimentation au niveau système . . . . .                                   | 13 |
| 1.9  | Exemple d'arbre d'alimentation d'une carte numérique . . . . .                                     | 14 |
| 1.10 | Illustration du cycle de conception d'une carte électronique . . . . .                             | 19 |
| 1.11 | Tâches de l'ingénieur PI durant le développement d'une carte électronique . . . . .                | 20 |
| 1.12 | Description du réseau d'alimentation propre aux travaux de thèse . . . . .                         | 21 |
| 1.13 | Schéma d'un convertisseur de type Buck . . . . .   | 21 |
| 1.14 | Schéma d'un convertisseur multi phase à base de cellule de type buck . . . . .                     | 22 |
| 1.15 | Modèle 4 éléments du VRM . . . . .   | 23 |
| 1.16 | Impédance de sortie d'une modèle 4 éléments . . . . .  | 24 |
| 1.17 | Condensateur électrolytique . . . . .  | 25 |
| 1.18 | Condensateur céramique . . . . .   | 25 |
| 1.19 | Analogie Hydraulique . . . . .   | 27 |
| 1.20 | Schéma simplifié d'un réseau de distribution d'énergie . . . . .                                   | 27 |
| 1.21 | Illustration de l'effet d'un condensateur à une variation de courant . . . . .                     | 27 |
| 1.22 | Dimension de la cavité résonante . . . . .   | 28 |
| 1.23 | Evolution dans le temps de la proportion de broches d'alimentation des circuits intégrés . . . . . | 29 |
| 1.24 | Photographie d'un FPGA embarquant des condensateurs de découplage dans son boîtier . . . . .       | 30 |
| 1.25 | Illustration des éléments parasites du package du circuit intégré . . . . .                        | 30 |
| 1.26 | Capacités parasites du transistor . . . . .  | 30 |
| 1.27 | PDN d'un circuit intégré . . . . .   | 31 |
| 1.28 | Zone de forte chute de potentiel . . . . .   | 32 |
| 1.29 | Chute de potentiel au sein d'un plan de cuivre . . . . .   | 33 |
| 1.30 | Effet de l'inductance parasite sur le potentiel d'alimentation . . . . .                           | 34 |
| 1.31 | Effet des condensateurs de découplage lors d'une variation potentiel d'alimentation . . . . .      | 36 |
| 1.32 | Réponse fréquentielle d'un condensateur non idéal . . . . .  | 37 |
| 1.33 | Illustration de l'inductance montéel . . . . .   | 37 |

|   |    |
|---|----|
| 1.34 Inductance montée en fonction du routage   | 38 |
| 1.35 Surface occupée par le réseau de découplage  | 39 |
| 1.36 Schéma des parasites d'un buffer d'entrée/sortie   | 40 |
| 1.37 Transmission bruit de commutation simultanée   | 41 |
| 1.38 Illustration de l'impédance cible  | 43 |
| 1.39 Tolérance sur les variations de tension en sortie de VRM   | 44 |
| 1.40 Illustration de l'effet des condensateurs de découplage sur l'impédance du réseau de distribution d'énergie                      | 46 |
| 1.41 Illustration du phénomène d'anti-résonance   | 47 |
| 1.42 Décomposition spectrale d'un signal carré  | 48 |
| 1.43 Schéma du circuit analysé lors d'une analyse single node   | 50 |
| 1.44 Résultat d'analyse single node   | 51 |
| 1.45 Modèle de plan en éléments localisés   | 52 |
| 1.46 Résultat d'une analyse multinode   | 53 |
| 1.47 Résultats d'une analyse de chute de tension à l'aide des outils d'analyse statique   | 54 |
| 1.48 Corrélation entre simulation et mesure pour le circuit imprimé seul et équipé de 30 condensateurs                                | 56 |
| 2.1 Diagramme de l'architecture du véhicule de test   | 64 |
| 2.2 Arbre d'alimentation du véhicule de test  | 65 |
| 2.3 Arbre d'horloge du véhicule de test   | 66 |
| 2.4 Description de l'empilement du circuit imprimé  | 67 |
| 2.5 Schéma de la méthodologie de mesure de l'impédance de sortie du module régulateur de tension                                      | 69 |
| 2.6 Maquette de mesure de l'impédance de sortie des composants d'alimentation   | 69 |
| 2.7 Schéma des modules de perturbation des rails d'alimentation   | 70 |
| 2.8 Schéma de principe du module de perturbation des modules régulateur de tension  | 70 |
| 2.9 Kit de caractérisation et de calibration pour la mesure des condensateurs de découplage   | 71 |
| 2.10 Illustration de l'inductance montée d'un condensateur de découplage  | 72 |
| 2.11 Illustration de l'inductance de boucle d'un condensateur de découplage   | 73 |
| 2.12 Illustration du scénario mise en place sur le véhicule de test pour mesurer l'impact de la distance de connexion du condensateur | 73 |
| 2.13 Vue de l'interposeur   | 75 |
| 2.14 Diagramme de la mesure de Simultaneous Switching Noise, bruit de commutation simulé en français (SSN)                            | 76 |
| 2.15 Illustration du montage de mesure de la tension interne au composant   | 77 |
| 2.16 Aperçu du montage Spyhole sur le véhicule de test  | 78 |
| 2.17 Motifs de paires différentielles couplées  | 79 |
| 2.18 Aperçu de l'interface de contrôle du véhicule de test  | 80 |
| 2.19 Vue du Circuit imprimé en CAO  | 80 |
| 2.20 Diagramme de Gant de la conception et fabrication du véhicule de test  | 82 |
| 2.21 Vue du Véhicule de test  | 82 |
| 3.1 Schéma du montage Buck à l'état 1   | 89 |
| 3.2 Evolution des courants et des tensions au sein des composants du montage en fonction du temps                                     | 90 |
| 3.3 Schéma du montage Buck à l'état 2   | 91 |

|      |  |     |
|------|--|-----|
| 3.4  | Modèle en diagramme de bloc du convertisseur DC-DC . . . . .   | 91  |
| 3.5  | Schéma équivalent du convertisseur DC-DC avec ses éléments parasites . . . . .   | 91  |
| 3.6  | Schéma du convertisseur LTC3418 mesuré . . . . .   | 92  |
| 3.7  | Schéma du montage du convertisseur DC-DC monolithique LTC3418 simulé sous LTspice . . . . .  | 93  |
| 3.8  | Corrélation entre simulation et mesure de la tension de sortie d'un régulateur DC-DC . . . . .   | 93  |
| 3.9  | Corrélation entre simulation et mesure de la tension en sortie du filtre de sortie du convertisseur LTC3418 . . . . .  | 94  |
| 3.10 | Schéma du convertisseur LTC3612 mesuré . . . . .   | 94  |
| 3.11 | Schéma d'une cellule Buck du convertisseur multi-phasé TPS53647 . . . . .  | 95  |
| 3.12 | Représentation du modèle petits signaux d'un convertisseur Buck . . . . .  | 97  |
| 3.13 | Représentation du modèle linéaire du module régulateur de tension à 4 éléments . . . . .   | 98  |
| 3.14 | Réponse du modèle 4 élément à un échelon de courant . . . . .  | 99  |
| 3.15 | Schéma simplifié de mesure en réflexion et en transmission à l'aide d'un Vectorial Network Analyzer, Analyseur de réseau vectoriel en français (VNA) . . . . .                                       | 101 |
| 3.16 | Schéma simplifié du phénomène de boucle résistive introduite par les câbles de mesure . . . . .  | 102 |
| 3.17 | Schéma simplifié de la configuration de mesure avec un transformateur d'isolation . . . . .  | 102 |
| 3.18 | Schéma simplifié de la configuration de mesure avec les références de ports flottants . . . . .  | 103 |
| 3.19 | Schéma du montage permettant de mesurer l'impédance de sortie des composants d'alimentation . . . . .  | 104 |
| 3.20 | Photographie des sondes de mesure de l'impédance de sortie du module régulateur de tension . . . . .   | 104 |
| 3.21 | Photographie de la configuration de mesure de l'impédance de sortie des composants d'alimentation . . . . .  | 105 |
| 3.22 | Comparaison de la mesure de l'impédance de sortie du module régulateur de tension comportant le composant LTC3418 éteint et alimenté . . . . .   | 105 |
| 3.23 | Comparaison de l'impédance du réseau de distribution en basse fréquence lorsque le convertisseur DC-DC est en fonctionnement et lorsqu'il est éteint . . . . .                                       | 106 |
| 3.24 | Mesure de l'impédance de sortie de la carte d'évaluation du convertisseur multi-phasé TPS53647 en fonctionnement et éteint . . . . .   | 107 |
| 3.25 | Photographie de la sortie du module régulateur de tension court-circuité pour la mesure des éléments de sortie parasite . . . . .  | 108 |
| 3.26 | Comparaison entre l'impédance du montage mesurée et l'impédance des éléments parasites en sortie du convertisseur . . . . .  | 109 |
| 3.27 | Comparaison entre l'impédance du montage mesurée et le modèle corrigé dont les éléments $L_{out}$ et $R_0$ ont été mesurés au point de mesure de la boucle de rétroaction du convertisseur . . . . . | 110 |
| 3.28 | Comparaison entre l'impédance du montage mesurée et le modèle 4 éléments pour le convertisseur DC-DC LTC3612 . . . . .   | 110 |
| 3.29 | Comparaison de l'impédance de sortie du DC-DC LTC3612 pour différents débits de courant . . . . .  | 111 |
| 3.30 | Mesure de l'impédance de sortie de la carte d'évaluation du convertisseur multi-phasé TPS53647 . . . . .   | 112 |
| 3.31 | Schéma du montage LDO TPS749 étudié . . . . .  | 113 |

|      |  |     |
|------|--|-----|
| 3.32 | Mesure de l'impédance du régulateur linéaire TPS74901 en fonctionnement et éteint . . . . .  | 114 |
| 3.33 | Configuration de la simulation effectuée pour l'extraction des éléments du modèle d'impédance de sortie du régulateur linéaire . . . . .   | 115 |
| 3.34 | Mesure de l'impédance du régulateur linéaire TPS74901 et comparaison au modèle équivalent . . . . .  | 115 |
| 3.35 | Mesure de l'impédance du régulateur linéaire TPS74901 pour différents débits de courant . . . . .  | 116 |
| 3.36 | Parasites engendrés par la structure d'un condensateur céramique multicouches . . . . .  | 117 |
| 3.37 | Comparaison de la mesure de l'impédance d'un condensateur et son modèle RLC équivalent . . . . .   | 118 |
| 3.38 | Schéma du modèle de ligne de transmission du condensateur de découplage  | 119 |
| 3.39 | Schéma du montage de mesure d'un condensateur en shunt . . . . .   | 121 |
| 3.40 | Représentation et cotes du connecteur SMA utilisé pour la mesure des condensateurs . . . . .   | 122 |
| 3.41 | Dispositif de caractérisation de condensateurs de découplage . . . . .   | 122 |
| 3.42 | Illustration de l'utilité de la calibration pour déplacer le plan de mesure de l'appareil aux broches du composant à caractériser . . . . .  | 123 |
| 3.43 | Détail du motif de calibration de l'analyseur de réseau vectoriel pour un condensateur de boîtier 0805 . . . . .   | 123 |
| 3.44 | Détail du motif de mesure pour un condensateur de boîtier 0805 . . . . .   | 124 |
| 3.45 | Représentation en 3 dimensions du motif de mesure pour un condensateur de boîtier 0805 . . . . .   | 125 |
| 3.46 | Impact de la calibration sur les résultats de mesure . . . . .   | 125 |
| 3.47 | Mesure des éléments parasites du kit de caractérisation . . . . .  | 126 |
| 3.48 | Comparaison entre le modèle fourni par le fabricant et le résultat obtenu en mesure . . . . .  | 127 |
| 3.49 | Résultat de mesure de 3 composants de la même référence . . . . .  | 127 |
| 3.50 | Comparaison du modèle fourni par le fabricant à son modèle RLC équivalent dont la valeur de capacité varie de sa valeur maximale et sa valeur minimale par rapport aux tolérances indiquées par le fabricant . . . . . | 128 |
| 3.51 | Comparaison entre le modèle de la solution Modelithics et le résultat obtenu en mesure . . . . .   | 129 |
| 3.52 | Illustration de la cohabitation de 5 plans d'alimentation sous un composant BGA . . . . .  | 130 |
| 3.53 | Exemple d'îlot formé par un plan d'alimentation . . . . .  | 131 |
| 3.54 | Maillage effectué par le logiciel de simulation électromagnétique pour le calcul d'impédance des plans en utilisant la méthode des éléments finis . . . . .  | 132 |
| 3.55 | Détail du maillage implémenté pour l'analyse électromagnétique du circuit imprimé . . . . .  | 133 |
| 3.56 | Photographie de connecteurs pour la mesure d'impédance du plan d'alimentation . . . . .  | 134 |
| 3.57 | Vue du plan du potentiel 1,0 V analysé dans le solveur électromagnétique . . . . .   | 134 |
| 3.58 | Corrélation entre simulation et mesure pour l'impédance du plan 1 V du véhicule de test . . . . .  | 135 |
| 3.59 | Vue du plan du potentiel 3,3 V analysé dans le solveur électromagnétique . . . . .   | 136 |
| 3.60 | Corrélation entre simulation et mesure pour l'impédance du plan 3,3 V du véhicule de test . . . . .  | 136 |

|      |   |     |
|------|---|-----|
| 3.61 | Valeur de constante diélectrique et de tangente de pertes du matériau Hiper-V R-1755V de Panasonic . . . . .                            | 137 |
| 3.62 | Constante de permittivité relative et tangente de pertes calculée grâce au modèle de Djordjevic-Sarkar . . . . .                        | 138 |
| 3.63 | Comparaison des résultats de simulation pour 3 définitions différentes de modèle de matériau . . . . .                                  | 139 |
| 3.64 | Comparaison des résultats de simulation pour l'empilement défini avant fabrication et l'empilement mesuré après fabrication . . . . .   | 141 |
| 3.65 | Comparaison des résultats de simulation dont tous les éléments sont connus avec les résultats de mesure . . . . .                       | 142 |
| 3.66 | Photographie d'un composant illustrant la technologie de wirebonding . . .  | 144 |
| 3.67 | Illustration de technologie flipchip . . . . .  | 144 |
| 3.68 | Modèle de circuit intégré en éléments localisés . . . . .   | 145 |
| 3.69 | Simulation de l'interaction plan-composant en éléments localisés . . . . .  | 146 |
| 3.70 | Interposeur de circuit intégré . . . . .  | 146 |
| 3.71 | Photographie des sondes fabriquées pour la mesure de l'impédance du circuit intégré . . . . .   | 147 |
| 3.72 | Répartition des broches du FPGA Kintex 7 160T . . . . .   | 148 |
| 3.73 | Détail du montage de la mesure d'impédance du circuit intégré . . . . .   | 149 |
| 3.74 | Photographie de la manipulation . . . . .   | 149 |
| 3.75 | Résultat de la mesure de l'impédance du potentiel VCCINT du FPGA . . . . .  | 150 |
| 3.76 | Vue au rayon-X du montage du composant sur le circuit imprimé à l'aide de 4 billes . . . . .  | 151 |
| 3.77 | Photographie de la mesure de l'impédance du composant et du plan . . . . .  | 152 |
| 3.78 | Comparaison de l'impédance du plan seul avec l'impédance du composant soudé sur le plan . . . . .                                       | 152 |
| 3.79 | Mesure de l'impédance de l'ensemble composant-circuit imprimé pour le composant soudé par 16 broches et par 2 broches . . . . .         | 153 |
| 3.80 | Comparaison de la mesure avec un modèle équivalent RLC . . . . .  | 154 |
| 3.81 | Schéma équivalent des deux configurations de mesure . . . . .   | 155 |
| 3.82 | Comparaison entre le résultat de mesure et le modèle de boîtier fourni par le fabricant . . . . .                                       | 156 |
| 4.1  | Illustration de l'inductance montée d'un condensateur de découplage . . . . .   | 164 |
| 4.2  | Illustration de l'inductance de boucle d'un condensateur de découplage . . .  | 164 |
| 4.3  | Photographie de la connexion de l'appareil de mesure au scénario pour mesurer l'inductance montée des différents scénarios . . . . .    | 165 |
| 4.4  | Comparaison de l'impédance mesurée du condensateur utilisé pour la mesure d'inductance montée et de son modèle RLC équivalent . . . . . | 166 |
| 4.5  | Impédance mesurée du plan seul du montage permettant d'estimer la capacité de plan . . . . .  | 166 |
| 4.6  | Comparaison des résultats de mesure des 8 montages avec le condensateur 100 nF . . . . .  | 169 |
| 4.7  | Comparaison des résultats de simulation des 8 montages avec le modèle du condensateur de 100 nF . . . . .                               | 170 |
| 4.8  | Comparaison des résultats de mesure et de simulation pour l'étude des montages avec le condensateur 100nF . . . . .                     | 173 |
| 4.9  | Comparaison des résultats de mesure des 8 montages en court-circuit . . . . .   | 174 |
| 4.10 | Comparaison des résultats de simulation des 8 montages en court-circuit . . .   | 176 |

|  |     |
|--|-----|
| 4.11 Comparaison des résultats de mesure et de simulation pour l'étude des montages en court-circuit . . . . .   | 177 |
| 4.12 Aperçu du résultat visuel de la simulation de calcul d'inductance montée dans le logiciel de simulation . . . . .   | 179 |
| 4.13 Graphique de l'inductance montée par type de montage pour tous les cas de mesure et de simulation rencontrés . . . . .  | 179 |
| 4.14 Représentation du scénario de mesure permettant d'évaluer l'inductance de boucle du condensateur . . . . .  | 181 |
| 4.15 Simulation du plan du scénario seul et estimation de la capacité de plan . . . . .  | 182 |
| 4.16 Représentation du scénario simulé pour évaluer l'évolution de l'inductance de boucle dans un cas plus réaliste . . . . .  | 184 |
| 4.17 Comparaison des résultats de mesure d'inductance de boucle pour un condensateur de 1 $\mu$ F . . . . .  | 185 |
| 4.18 Comparaison des résultats de mesure d'inductance de boucle pour un condensateur de 100 nF . . . . .   | 186 |
| 4.19 Comparaison des résultats de simulations d'inductance de boucle pour un condensateur de 100 nF . . . . .  | 187 |
| 4.20 Comparaison des résultats de mesure d'inductance de boucle pour un condensateur de 1 nF . . . . .   | 188 |
| 4.21 Corrélation entre résultats de simulation et de mesure pour un condensateur de 100 nF . . . . .   | 190 |
| 4.22 Comparaison des résultats de simulation pour un condensateur de 100 nF dans un cas plus complexe . . . . .  | 191 |
| 4.23 Estimation de la contribution de chaque phénomène à l'inductance parasite du condensateur de découplage . . . . .   | 192 |
| 4.24 Mesure réalisée sur le scénario d'inductance montée avec deux condensateurs différents . . . . .  | 194 |
| 4.25 Résultat de simulation de type Monte Carlo effectuée pour 3 valeurs de condensateur faisant varier la valeur de capacité . . . . .                                | 195 |
| 4.26 Exemple de résultat d'analyse réalisée pour le dimensionnement du réseau de distribution d'énergie en phase de saisie de schéma . . . . .                         | 197 |
| 4.27 Graphique représentant en pourcentage la contribution de chaque phénomène des circuits de distribution d'alimentation aux fluctuations de tension . . . . .       | 199 |
| 4.28 Graphique représentant en niveau de tension la contribution de chaque phénomène des circuits de distribution d'alimentation aux fluctuations de tension . . . . . | 199 |
| 4.29 Diagramme de la méthodologie de conception du réseau de distribution d'énergie d'une carte électrique . . . . .   | 200 |
| 4.30 Schéma de configuration de la simulation pré-routage de la transmission d'un signal de donnée entre le FPGA et le bloc de mémoire DDR3 . . . . .                  | 201 |
| 4.31 Profil du courant en fonction du temps issu de la simulation pré-routage . . . . .  | 202 |
| 4.32 Décomposition spectrale du courant calculé par FFT . . . . .  | 202 |
| 4.33 Impédance cible calculée . . . . .  | 203 |
| 4.34 Profil du courant en fonction du temps d'un signal idéal . . . . .  | 204 |
| 4.35 Décomposition spectrale du courant d'un signal numérique idéal comparée à la décomposition spectral du courant de la simulation des modèles IBIS . . . . .        | 204 |
| 4.36 Comparaison de l'impédance cible calculée pour la simulation utilisant de modèles IBIS et celle pour un signal idéal . . . . .                                    | 205 |

|   |     |
|---|-----|
| 4.37 Comparaison de l'impédance cible calculée pour la simulation d'un signal et des 16 signaux du bus de mémoire . . . . .   | 205 |
| 4.38 Comparaison des modèles d'impédances cible présentés . . . . .   | 206 |
| 4.39 Méthodologie de calcul de l'impédance cible d'après simulation . . . . .   | 207 |
| 4.40 Tension mesurée aux broches du composant grâce au montage "spyhole" . . . . .  | 208 |
| 4.41 Transformée de Fourier rapide de la tension mesurée au "spyhole" . . . . .   | 208 |
| 4.42 Décomposition fréquentielle calculée du courant de fonctionnement du composant . . . . .   | 209 |
| 4.43 Impédance cible obtenue par mesure et nouveau modèle proposé . . . . .   | 209 |
| 4.44 Illustration du résultat de simulation statique effectuée sur un véhicule de test . . . . .  | 212 |
| 4.45 Détail des court-circuits réalisés au niveau d'un composant BGA du circuit imprimé permettant la circulation du courant . . . . .                              | 213 |
| 4.46 Photographie des pointes de test utilisées pour la mesure de chute de potentiel engendrée par le passage du courant . . . . .                                  | 213 |
| 4.47 Configuration de la mesure de chute de potentiel engendrée par le passage du courant . . . . .   | 214 |
| 4.48 Données statistiques de la comparaison des résultats de mesure avec les résultats obtenus par simulation . . . . .   | 215 |
| 4.49 Description des étapes de calcul permettant de calculer la chute de tension provoquée par le passage du courant au travers d'un via . . . . .                  | 216 |
| 4.50 Illustration du scénario de simulation permettant de calculer la chute de tension provoquée par le passage du courant au travers d'un micro-via . . . . .      | 218 |
| 4.51 Illustration du scénario de simulation permettant de calculer la chute de tension provoquée par le passage du courant au travers d'un trou métallisé . . . . . | 218 |
| 4.52 Illustration de la répartition du courant dans le scénario de simulation . . . . .   | 219 |
| 4.53 Illustration de la chute de tension lors du passage du courant au travers d'un trou métallisé . . . . .  | 220 |
| 4.54 Aperçu de l'interface de l'outil de simulation du circuit imprimé SIwave . . . . .   | 221 |
| 4.55 Menu de configuration de la simulation . . . . .   | 222 |
| 4.56 Schéma de simulation du réseau de distribution complet sous Electronic Desktop dans le domaine fréquentiel . . . . .   | 223 |
| 4.57 Schéma de simulation du réseau de distribution complet sous Electronic Desktop dans le domaine temporel . . . . .  | 224 |
| 4.58 Définition des scénarios d'appel de courant . . . . .  | 226 |
| 4.59 Schéma de principe de mesure du courant . . . . .  | 227 |
| 4.60 Photographie de la manipulation de mesure du courant . . . . .   | 227 |
| 4.61 Mesure des appels de courant provoqués par l'allumage des blocs de consommation . . . . .  | 227 |
| 4.62 Variation du courant dans l'inductance durant le fonctionnement du convertisseur DC-DC . . . . .   | 228 |
| 4.63 Comparaison entre l'échelon de courant mesuré et l'échelon de courant modélisé pour la simulation . . . . .  | 228 |
| 4.64 Comparaison entre l'échelon de courant mesuré à l'extinction des blocs de consommation et de l'échelon de courant modélisé pour la simulation . . . . .        | 229 |
| 4.65 Diagramme de la méthodologie de simulation du réseau de distribution d'énergie dans le domaine temporel et dans le domaine fréquentiel . . . . .               | 230 |
| 4.66 Vue de l'emplacement des différents ports d'observation sur le fichier de Conception assistée par ordinateur (CAO) . . . . .                                   | 232 |



|      |  |     |
|------|--|-----|
| 4.67 | Schéma de la simulation effectuée pour obtenir un résultat dans le domaine temporel . . . . .  | 233 |
| 4.68 | Corrélation simulation mesure de la réponse du réseau de distribution d'énergie pour l'échelon de courant défini d'après les résultats de mesure . . . . .                 | 234 |
| 4.69 | Corrélation simulation mesure de la réponse du réseau de distribution d'énergie pour l'échelon de courant descendant défini d'après les résultats de mesures . . . . .     | 235 |
| 4.70 | Schéma de la simulation effectuée pour obtenir un résultat dans le domaine fréquentiel . . . . .   | 236 |
| 4.71 | Paramètres Z de la simulation du réseau de distribution complet . . . . .  | 236 |
| 4.72 | Contribution de chacun des éléments du réseau de distribution d'énergie à l'impédance . . . . .  | 237 |
| 4.73 | Comparaison entre le résultat de la simulation et l'impédance cible calculée d'après la mesure sur véhicule de test . . . . .  | 238 |
| 4.74 | Comparaison entre le résultat de la simulation et l'impédance cible calculée d'après la mesure sur véhicule de test . . . . .  | 239 |
| 5.1  | Comparaison de l'impédance pré-routage du réseau de distribution d'énergie avec l'impédance cible . . . . .  | 246 |
| 5.2  | Comparaison de l'impédance du réseau de distribution d'énergie avec l'impédance cible après correction des différents modèles par mesure sur le véhicule de test . . . . . | 247 |
| 5.3  | Comparaison de l'impédance pré-routage du réseau de distribution d'énergie avec l'impédance cible pour le découplage préconisé par le fabricant du FPGA . . . . .          | 249 |
| 5.4  | Comparaison de l'impédance mesurée du réseau de distribution d'énergie avec l'impédance cible calculée d'après la mesure . . . . .   | 250 |
| 5.5  | Montage permettant la mesure de la tension en sortie du composant d'alimentation . . . . .   | 251 |
| 5.6  | Montage permettant la mesure de la tension à l'empreinte d'un condensateur de découplage . . . . .   | 251 |
| 5.7  | Montage permettant la mesure de la tension au sein du composant . . . . .  | 252 |
| 5.8  | Relevé de la tension sur le montage Spyhole pour la carte 1 à l'état 4 . . . . .   | 253 |
| 5.9  | Comparaison de la mesure de tension du Spyhole des cartes 1 et 2 pour un fonctionnement dans l'état 2 . . . . .  | 254 |
| 5.10 | Agrandissement de la mesure de tension du Spyhole des cartes 1 et 2 pour un fonctionnement dans l'état 2 . . . . .   | 254 |
| 5.11 | Comparaison du calcul de FFT réalisé sur la tension du Spyhole des cartes 1 et 2 pour un fonctionnement dans l'état 2 . . . . .  | 255 |
| 5.12 | Agrandissement du calcul de FFT réalisé sur la tension du Spyhole des cartes 1 et 2 pour un fonctionnement dans l'état 2 autour de la fréquence 50 MHz . . . . .           | 255 |
| 5.13 | Comparaison des impédances cibles des cartes 1 et 2 . . . . .  | 256 |
| 5.14 | Comparaison des impédances cibles simulée en pré-routage en post routage et mesurée pour la carte 2 . . . . .  | 257 |
| 5.15 | Comparaison tensions mesurée au Spyhole des cartes 1 ;2 et 3 pour un fonctionnement en état 4 . . . . .  | 257 |
| 5.16 | Tension mesurée au niveau des condensateurs de découplage et au sein du composant pour le passage de l'état 1 à l'état 4 de la carte 1 . . . . .                           | 259 |

|  |     |
|--|-----|
| 5.17 Tension mesurée au niveau des condensateurs de découplage et au sein du composant pour le passage de l'état 1 à l'état 4 de la carte 2 . . . . .  | 259 |
| 5.18 Tension mesurée au niveau des condensateurs de découplage et au sein du composant pour le passage de l'état 1 à l'état 4 de la carte 3 . . . . .  | 260 |
| 5.19 Agrandissement de la tension mesurée au sein du composant pour le passage de l'état 1 à l'état 4 de la carte 1 . . . . .  | 261 |
| 5.20 Tension mesurée au niveau des condensateurs de découplage et au sein du composant pour le passage de l'état 4 à l'état 1 de la carte 1 . . . . .  | 261 |
| 5.21 Tension mesurée au niveau des condensateurs de découplage et au sein du composant pour le passage de l'état 4 à l'état 1 de la carte 2 . . . . .  | 262 |
| 5.22 Tension mesurée au niveau des condensateurs de découplage et au sein du composant pour le passage de l'état 4 à l'état 1 de la carte 3 . . . . .  | 263 |
| 5.23 Paramètres quantifiant la qualité d'un diagramme de l'œil . . . . .   | 265 |
| 5.24 Photographie de la manipuloir de mesure du diagramme de l'œil . . . . .   | 265 |
| 5.25 Mesure du diagramme de l'œil de la carte 1 à l'état 1 . . . . .   | 266 |
| 5.26 Comparaison du digramme de l'œil des cartes 1 et 3 . . . . .  | 267 |
| 5.27 Diagramme fonctionnel du test de l'interface DDR3 . . . . .   | 268 |
| 5.28 Comparaison de la tension de sortie du module régulateur de tension sans perturbation et en présence de perturbation . . . . .  | 270 |
| 5.29 Comparaison du diagramme de l'œil pour le potentiel non perturbé (en haut) et un potentiel perturbé (en bas) . . . . .  | 271 |
| 5.30 Schéma du modèle IBIS 5.1 et chemins empruntés par le courant . . . . .   | 274 |
| 5.31 Photographie de la manipulation de mesure des signaux de DDR3 . . . . .   | 275 |
| 5.32 Photographie détaillée de l'interposeur et de la sonde différentielle de mesure   | 275 |
| 5.33 Diagramme de l'œil du signal DQS0 mesuré sur le véhicule de test . . . . .  | 276 |
| 5.34 Tension mesurée simultanément sur le plan d'alimentation et au niveau du signal DQS de l'interposeur . . . . .  | 277 |
| 5.35 Calcul de la décomposition spectrale de la tension d'alimentation mesurée   | 278 |
| 5.36 Diagramme de processus d'une simulation de transmission de signal . . . . .   | 279 |
| 5.37 Schéma de simulation de l'interface DDR3 . . . . .  | 281 |
| 5.38 Diagramme de l'œil de la simulation du bit DQS pour les références de pull-up et pull down laissée connectée en interne . . . . .   | 281 |
| 5.39 Comparaison de la tension mesurée sur la carte et de la tension issue de la simulation dans le cas des pull-up connectées à une source idéale . . . . .   | 282 |
| 5.40 Corrélation des signaux obtenus en mesure et en simulation . . . . .  | 283 |
| 5.41 Diagramme de l'œil de la simulation du signal différentiel DQS0 pour les références de pull-up et pull down laissées connectées en interne . . . . .  | 283 |
| 5.42 Comparaison de la tension mesurée sur la carte et de la tension issue de la simulation dans le cas des pull-up connectées au modèle du réseau de distribution d'énergie . . . . .                               | 285 |
| 5.43 Comparaison de la décomposition spectrale de la tension mesurée sur la carte et de la tension issue de la simulation dans le cas des pull-up connectées au modèle du réseau de distribution d'énergie . . . . . | 286 |
| 5.44 Corrélation des signaux obtenus en mesure et pour les deux cas de simulation  | 286 |
| 5.45 Diagramme de l'œil obtenu par mesure pour le lien série rapide . . . . .  | 287 |
| 5.46 Schéma de configuration de la simulation du lien série rapide dans le simulateur circuit . . . . .  | 288 |
| 5.47 Diagramme de l'œil de la simulation pour laquelle les référence des pull-up sont connectée à une source idéale . . . . .  | 289 |

- 5.48 Diagramme de l'œil de la simulation pour laquelle les références des pull-up sont connectées au réseau de distribution d'énergie et la gigue est définie . 290

# Liste des tableaux

|     |   |     |
|-----|---|-----|
| 1.1 | Potentiels fréquemment présent sur les cartes électroniques . . . . .   | 10  |
| 1.2 | Variation de la valeur des condensateurs céramique en fonction de la température . . . . .  | 26  |
| 2.1 | Montages de condensateur évalués dans le scénario d'évaluation d'inductance montée . . . . .  | 74  |
| 2.2 | Données significatives du véhicule de test . . . . .  | 81  |
| 3.1 | Domaine de simulation de chaque élément du réseau de distribution d'énergie . . . . .   | 87  |
| 3.2 | Modèle 4 éléments du LTC3418 . . . . .  | 100 |
| 3.3 | Valeur des éléments du modèle 4 éléments du convertisseur DC-DC LTC3612 dont les éléments $L_{out}$ et $R_0$ ont été calculés par simulation . . . . .                  | 100 |
| 3.4 | Modèle 4 éléments du LTC3418 corrigé après mesure au point de mesure de la boucle de rétroaction . . . . .  | 109 |
| 3.5 | Paramètres de configuration des modèles de matériau . . . . .   | 138 |
| 3.6 | Comparaison des épaisseurs de l'empilement du circuit imprimé définies et mesurées d'après micro-section . . . . .  | 140 |
| 3.7 | Comparaison de la capacité inter-plan de l'empilement défini et mesurée d'après la micro-section . . . . .  | 141 |
| 3.8 | Modèle RLC du Circuit intégré . . . . .   | 154 |
| 4.1 | Valeur des éléments du modèles RLC du condensateur utilisé pour la mesure de l'inductance montée . . . . .  | 165 |
| 4.2 | Valeur de la fréquence de résonance, d'inductance montée et de la résistance introduite par le montage en mesure et en simulation pour le cas du condensateur . . . . . | 171 |
| 4.3 | Valeur de la fréquence de résonance, d'inductance montée introduite par le montage en mesure et en simulation pour le cas du court-circuit . . . . .                    | 175 |
| 4.4 | Valeur de l'inductance montée de chaque condensateur calculée par l'outil de simulation . . . . .   | 178 |
| 4.5 | Classement des montages de condensateur du moins résistif au plus résistif . . . . .  | 180 |
| 4.6 | Calcul de l'inductance et de la résistance de boucle introduites par l'éloignement du condensateur du composant à découpler . . . . .                                   | 183 |
| 4.7 | Fréquence et calcul de l'inductance de boucle introduit par l'éloignement du condensateur du composant à découpler en simulation pour un cas plus réaliste . . . . .    | 189 |
| 4.8 | Budget de variation de tension pour le dimensionnement du circuit d'alimentation d'une carte électronique . . . . .   | 198 |

|      |   |     |
|------|---|-----|
| 4.9  | Comparaison des résultats des calculs de résistance et de chute de potentiel pour un micro-via . . . . .  | 218 |
| 4.10 | Types de composants simulés sous SIWave et nature de leur modèle . . . . .  | 221 |
| 4.11 | Caractéristique de chaque état de consommation du véhicule de test . . . . .  | 226 |
| 5.1  | Caractéristiques des condensateurs de découplage du potentiel d'alimentation du cœur du FPGA du véhicule de test . . . . .  | 248 |
| 5.2  | Composition du découplage de chacune des cartes du véhicule de test . . . . .   | 248 |
| 5.3  | Tension et courant moyen et crête à crête mesurés sur la carte 1 . . . . .  | 252 |
| 5.4  | Valeur de l'impédance à la fréquence de 50 Mhz . . . . .  | 256 |
| 5.5  | Valeur de l'impédance mesurée à la fréquence de 50 Mhz . . . . .  | 256 |
| 5.6  | Valeur des pics de tension mesurés pour chacune des cartes . . . . .  | 263 |
| 5.7  | Résultat de mesure de diagramme de l'œil pour les trois cartes à l'état 1 et à l'état 4 . . . . .   | 266 |
| 5.8  | Caractéristiques du diagramme de l'œil du lien série rapide avec et sans perturbation du potentiel d'alimentation . . . . .   | 270 |
| 5.9  | Résultat de mesure de diagramme de l'œil pour le signal différentiel DQS0 . . . . .   | 276 |
| 5.10 | Liste des ports d'observation placés lors de la simulation du circuit imprimé . . . . .   | 280 |
| 5.11 | Caractéristiques du diagramme de l'œil obtenu par simulation avec des sources de tension idéales . . . . .  | 281 |
| 5.12 | Caractéristiques du diagramme de l'œil obtenu par simulation avec les modèles reliés au réseau de distribution d'énergie . . . . .  | 284 |
| 5.13 | Caractéristiques du diagramme de l'œil présenté en figure 5.45 . . . . .  | 287 |
| 5.14 | Caractéristiques du diagramme de l'œil obtenu par simulation du modèle Input/Output Buffer Information Specification-Algorithm Modeling Interface, Spécification d'information de dispositif entrée/sortie interface de modélisation algorithmique en français (IBIS-AMI) du lien série rapide pour le modèle relié à une source interne idéale . . . . . | 289 |
| 5.15 | Caractéristiques du diagramme de l'œil obtenu par simulation du modèle IBIS-AMI du lien série rapide pour le modèle câblé sur le réseau de distribution d'énergie et la gigue paramétrée . . . . .  | 290 |

# Chapitre 1

## Introduction, Contexte et Etat de l'Art

*« The technology at the leading edge changes so rapidly that you have to keep current after you get out of school. I think probably the most important thing is having good fundamentals »*

---

Gordon Moore

### Sommaire

---

|   |           |
|---|-----------|
| <b>1.1 Besoins et contraintes industrielles</b> . . . . .                               | <b>3</b>  |
| 1.1.1 Introduction . . . . .  | 3         |
| 1.1.2 Description d'une carte électronique . . . . .                                    | 4         |
| 1.1.2.1 Les composants . . . . .  | 4         |
| 1.1.2.2 Le circuit imprimé . . . . .  | 4         |
| 1.1.3 Complexification des cartes . . . . .   | 7         |
| 1.1.3.1 Amélioration des techniques de fabrication des circuits imprimés . . . . .      | 7         |
| 1.1.3.2 Diminution de la taille des boîtiers des composants . . . . .                   | 8         |
| 1.1.3.3 problématiques d'alimentation . . . . .   | 10        |
| 1.1.3.4 Augmentation des fréquences mises en jeu . . . . .                              | 11        |
| 1.1.3.5 Diminution de la testabilité . . . . .  | 11        |
| 1.1.4 Le réseau de distribution d'énergie . . . . .                                     | 12        |
| 1.1.4.1 Constitution du Réseau de distribution d'énergie . . . . .                      | 12        |
| 1.1.4.2 Son rôle . . . . .  | 12        |
| 1.1.4.3 Conclusion partielle . . . . .  | 13        |
| <b>1.2 Objectifs de l'étude</b> . . . . .   | <b>14</b> |
| 1.2.1 Les études d'intégrité de puissance à THALES . . . . .                            | 16        |
| 1.2.2 Mise en place du flot de conception du réseau de distribution d'énergie . . . . . | 17        |
| 1.2.2.1 Un nouveau flot de simulation . . . . .   | 18        |
| 1.2.2.2 Définition d'une nouvelle méthodologie . . . . .                                | 19        |
| <b>1.3 Présentation du réseau de distribution d'énergie</b> . . . . .                   | <b>20</b> |
| 1.3.1 Système étudié . . . . .  | 20        |
| 1.3.1.1 Module Régulateur de tension . . . . .  | 20        |

|            |  |           |
|------------|--|-----------|
| 1.3.1.2    | Les condensateurs de découplage . . . . .  | 24        |
| 1.3.1.3    | La capacité de plan . . . . .  | 26        |
| 1.3.1.4    | Le Circuit intégré . . . . .   | 29        |
| 1.3.2      | Les problèmes liés à l'intégrité de puissance . . . . .  | 31        |
| 1.3.2.1    | Pertes statiques . . . . .   | 31        |
| 1.3.2.2    | Fluctuation du niveau de tension . . . . .   | 32        |
| 1.3.2.3    | efficacité du condensateur . . . . .   | 35        |
| 1.3.2.4    | Espace occupé par le réseau de distribution d'énergie . . . . .  | 38        |
| 1.3.2.5    | Bruit de commutation simultanée . . . . .  | 39        |
| 1.3.3      | Conclusion partielle . . . . .   | 41        |
| <b>1.4</b> | <b>Les outils de dimensionnement et d'analyse du réseau de distribution d'énergie . . . . .</b>        | <b>42</b> |
| 1.4.1      | L'impédance cible . . . . .  | 42        |
| 1.4.1.1    | définition de l'impédance cible . . . . .  | 43        |
| 1.4.1.2    | Utilisation de l'impédance cible pour le dimensionnement du réseau de distribution d'énergie . . . . . | 45        |
| 1.4.1.3    | Modèle d'impédance cible . . . . .   | 47        |
| 1.4.2      | Les outils d'analyse en un point ou single node . . . . .  | 50        |
| 1.4.3      | Les outils d'analyse multi-point ou multinode . . . . .  | 51        |
| 1.4.4      | Les outils d'analyse statique . . . . .  | 52        |
| 1.4.5      | Les outils d'analyse dynamique . . . . .   | 53        |
| <b>1.5</b> | <b>Conclusion du chapitre . . . . .</b>  | <b>57</b> |
| <b>1.6</b> | <b>Références . . . . .</b>  | <b>57</b> |

---

## 1.1 Besoins et contraintes industrielles

### 1.1.1 Introduction

Le développement exponentiel qu'a connu le domaine de la microélectronique comme l'avait prédit le postulat de seconde loi de Gordon Moore a amené les fondeurs à produire des composants intégrés toujours plus performants 1.1.

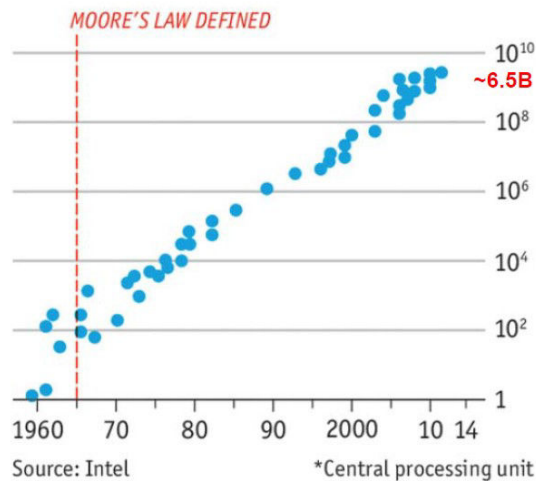


FIGURE 1.1 – Illustration de la seconde loi de Moore (source : Intel)

En effet, l'intégration à l'heure actuelle de plusieurs millions de transistors au sein d'une même puce **MOORE et collab. [1998]** permet de produire des circuits intégrés développant une puissance de calcul considérable, comportant plusieurs centaines d'**Input/Output, entrée/sortie en français (I/O)** et intégrant de nombreuses fonctions. Les composants tels que les **SOC** ou les **SIP** en sont un exemple. L'utilisation de ces composants au sein de circuits imprimés ont introduit de fortes contraintes chez les fabricants de cartes électroniques. De plus, la volonté des entreprises de haute technologie de développer des produits plus performants, plus petits, plus légers et avec une autonomie améliorée ou consommant moins d'énergie implique une augmentation de la densité des circuits imprimés. En conséquence, l'isolation entre signaux diminue, le nombre de couches au sein du circuit imprimé augmente, impliquant une dégradation des propriétés de propagation dû au phénomène de diaphonie et de réflexion.

De même, ce phénomène d'intégration et de densification entraîne l'augmentation de la densité de courant au sein des cartes électroniques. Les composants utilisés consomment plus d'énergie, sur une surface plus réduite. L'intégration de plusieurs fonctions au sein d'un même composant implique en outre le côtoiement de nombreux potentiels différents dans un espace très réduit. Enfin, la réduction de la taille des transistors au sein des circuits intégrés implique une diminution de leur potentiel d'alimentation. Les réseaux d'alimentation deviennent alors très difficiles à dimensionner puisqu'ils présentent des dysfonctionnements pour des variations de tension de plus en plus faibles **NOVAK [2008]** **SWAMINATHAN et ENGIN [2007]**.

Dans un contexte économique très concurrentiel, les analyses d'intégrité de signal et d'intégrité de puissance deviennent donc incontournables pour réduire le temps de cycle de conception des cartes ainsi que leur coût de fabrication. L'utilisation d'outils de simulation performants ainsi qu'une méthodologie de conception pour les cartes est nécessaire pour la réalisation de ces analyses.



## 1.1.2 Description d'une carte électronique

Une carte électronique est composée de deux éléments : Les composants et le circuit imprimé.

### 1.1.2.1 Les composants

On retrouve principalement trois types de composants peuplant les cartes électroniques :

- Les composants passifs (résistance, inductance et condensateur) sont principalement utilisés pour la configuration des composants actifs, la réalisation de filtres, la mise en œuvre des circuits d'alimentation ou alors l'adaptation des signaux (résistances de terminaison).
- Les composants analogiques sont présents dans les réseaux d'alimentation et dans les fonctions de production de signaux radio ou audio.
- Les composants numériques réalisent des calculs et du traitement de données numériques.
- Les composants divers tels que des connecteurs, des diodes, des transistors.

Le taux d'occupation de chacune des familles de composants cités ci-dessus est résumé dans le graphique 1.2 ci-dessous :

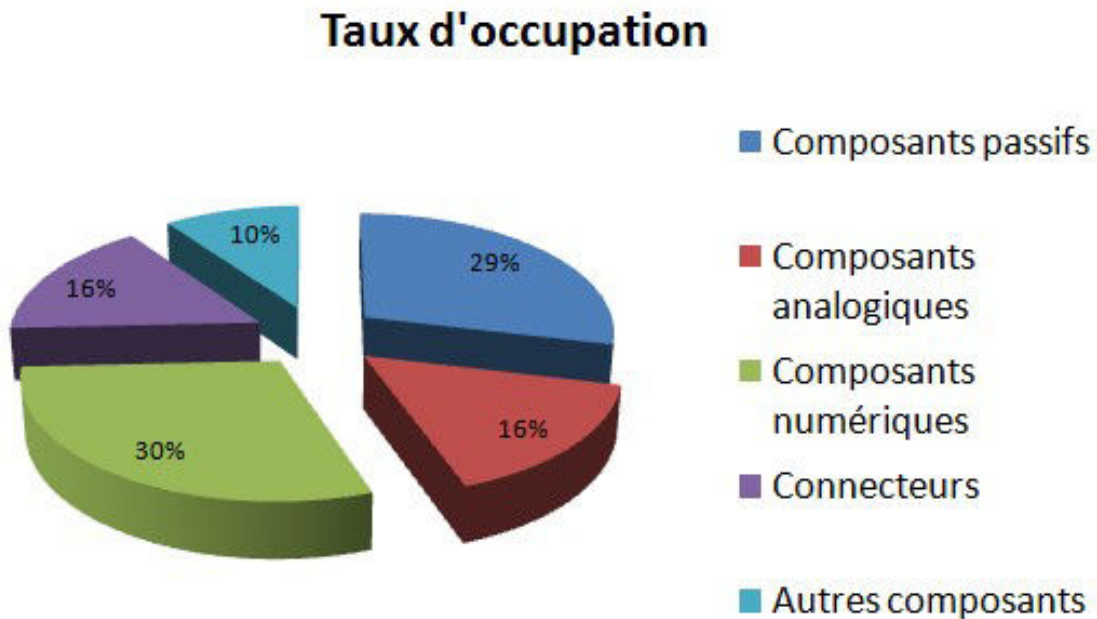


FIGURE 1.2 – Diagramme du taux d'occupation de surface du circuit imprimé par famille de composants

### 1.1.2.2 Le circuit imprimé

Le circuit imprimé assure à la fois la tenue mécanique des composants et l'interconnexion électrique des composants entre eux. Il est composé d'un empilement de couches conductrices en cuivre séparées entre elles par des couches isolantes ou diélectriques. La tenue mécanique des composants sur le circuit imprimé est assurée par un procédé de

soudure dont le matériau est conducteur afin d'assurer en même temps le passage du courant entre le composant et le circuit imprimé.

Les couches isolantes, séparant les couches conductrices les unes des autres, sont fabriquées à partir d'un matériau diélectrique. Dans le domaine des cartes électroniques numériques, le matériau le plus répandu est le **Flame resistant 4 (FR4)** car il s'agit d'un matériau bon marché aux performances diélectriques acceptables pour la transmission de signaux numériques. Le **FR4** est constitué d'un tissage de fibres de verre imprégnées d'une résine polymérisée dans le cas d'un stratifié ou d'une résine pré-polymérisée dans le cas d'un pré-imprégné. Le matériau de base à partir duquel travaillent les fabricants de circuits imprimés sont des stratifiés. Un stratifié est constitué d'un empilement basique de deux couches de cuivre séparées par une couche de diélectrique d'épaisseur connue. Pour augmenter le nombre de couches d'un circuit imprimé, il suffit alors de presser deux stratifiés entre lesquels est déposée une couche de pré-imprégné. La nature pré-polymérisée de la résine des couches de pré-imprégné facilite leur adhérence aux couches de cuivre extérieures des stratifiés. Cette technique de fabrication impose une symétrie de l'empilement du circuit imprimé selon son axe vertical. Les stratifiés constituent le cœur du circuit imprimé. Il est cependant possible d'ajouter des couches extérieures au cœur en pressant des feuillards de cuivres séparés entre eux par des couches de pré-imprégnés. A la différence des stratifiés, l'épaisseur des couches de pré-imprégné n'est indiquée qu'à titre statistique. Les matériaux diélectriques sont caractérisés principalement par deux grandeurs physiques : Leur permittivité relative ( $\epsilon_r$ ) et leur facteur de dissipation (tangente de perte  $\delta$ ). Il est primordial d'être en mesure de caractériser précisément ces grandeurs car elles ont un fort impact sur les analyses d'intégrité de signal et de calcul de la capacité de plan. Ces grandeurs varient en fonction de la proportion de remplissage fibres de verre/résine, de la composition chimique de la résine polymérisée et des épaisseurs mises en jeu.

Les plages d'accueil sur lesquelles les broches des composants sont soudées s'appellent des pastilles (ou pads). Les interconnexions électriques assurant le transport de signaux (numériques ou analogiques) sur une ou plusieurs couches conductrices du circuit imprimé ont la plupart du temps une forme de piste, tel qu'illustré sur la figure 1.3. Ces

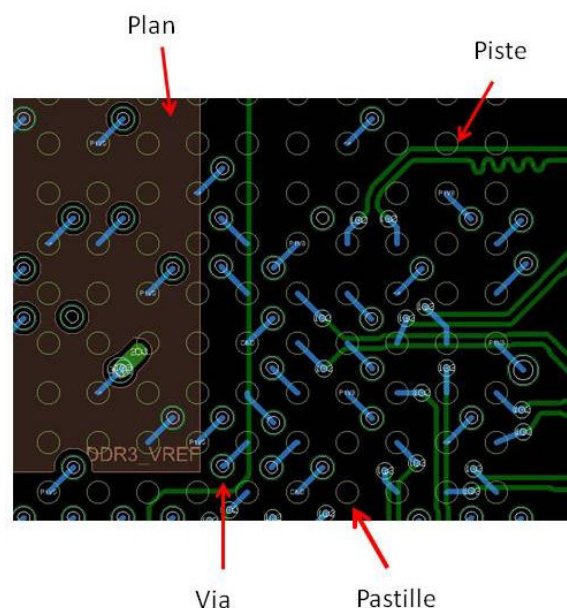


FIGURE 1.3 – Illustration des différents éléments de routage d'une carte électronique

pistes sont connectées de bout en bout à des pastilles afin d'assurer la connexion entre composants. Les interconnexions électriques assurant l'apport d'énergie nécessaire au fonctionnement de la carte, donc des composants, sans transiter d'informations prennent la forme de plans. Ces plans de cuivre sont appelés plans d'alimentation pour ceux présentant un potentiel positif par rapport à la référence électrique de la carte. Le plan supportant la référence électrique de la carte est quant à lui appelé plan de référence ou plan de masse. Afin d'augmenter le nombre d'interconnexions au sein d'une même carte, les signaux et les plans d'alimentation sont répartis sur plusieurs couches.

Les composants de la carte électronique sont encore généralement soudés sur les couches extérieures de la carte. Pour les signaux enterrés, le passage d'une couche à une autre est assuré par des traversées (ou via). Un via est un perçage mécanique réalisé par forage ou par extrusion de matière grâce à un laser et rendu conducteur grâce à un procédé de métallisation. Ce procédé dépose une fine couche de cuivre sur la paroi du perçage. Il existe différentes technologies de via :

- Les vias traversants ou PTH (Plated Through Hole) traversant l'ensemble de la carte de part en part.
- Les vias borgnes ou Blinded vias qui ne traversent que la moitié de l'épaisseur de la carte.
- Les vias enterrés ou Burried vias qui relient entre elles des couches internes au circuit imprimé, principalement des stratifiés.
- Les micro-vias (ou  $\mu$ vias) assurant la liaison entre deux couches externes à condition qu'elles soient adjacentes.

Les technologies de vias citées ci-dessus sont présentées par ordre croissant de complexité de fabrication et donc de coût. La décision d'introduire des technologies de vias plus coûteuses doit être le fruit d'un compromis entre le coût de fabrication, la complexité et la densification du circuit imprimé imposée par les contraintes d'analyse d'intégrité de signal. Chacune de ces technologies de vias est représentée dans la figure 1.4. Le via 1 est un via traversant, les vias 2 et 3 sont des micro vias et le via 3 un via borgne. Cette figure représente aussi la constitution de l'empilement d'un circuit imprimé de 14 couches conductrices.

De nombreux travaux de recherche, notamment dans le cadre de projets européens, initiés aux débuts des années 2000 ont permis de développer des technologies d'enfouissement des composants à l'intérieur même du circuit imprimé [WAFFENSCHMIDT et FERREIRA \[2002\]](#) [JILLEK et YUNG \[2005\]](#) [SONG et collab. \[2009\]](#). Le fait d'enterrer ces composants passifs (résistances, inductances et condensateurs) permet non seulement de gagner en surface d'accueil pour d'autres composants sur les couches extérieures du circuit imprimé mais permet aussi de réduire fortement les éléments parasites des interconnexions puisque celles-ci sont alors de très faibles longueurs. Cependant l'utilisation de telles technologies doit être justifiée en terme de performance de la carte car le coût de production est encore extrêmement élevé.

Tous les éléments constituant un circuit imprimé sont régis par des normes IPC [IPC \[2003\]](#). Une des propriétés importantes de ces normes est la classe de routage qui définit entre autre les minima des largeurs de pistes, d'isolement entre deux pistes ou entre une piste et un autre élément conducteur (pastille, plan) la taille des pastilles et la taille maximale de perçage d'une pastille.

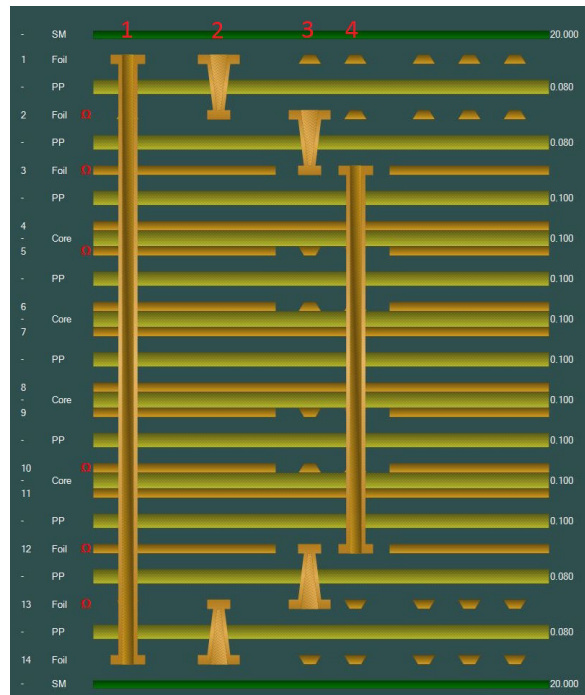


FIGURE 1.4 – Illustration des différents types de vias et de l'empilement d'un circuit imprimé

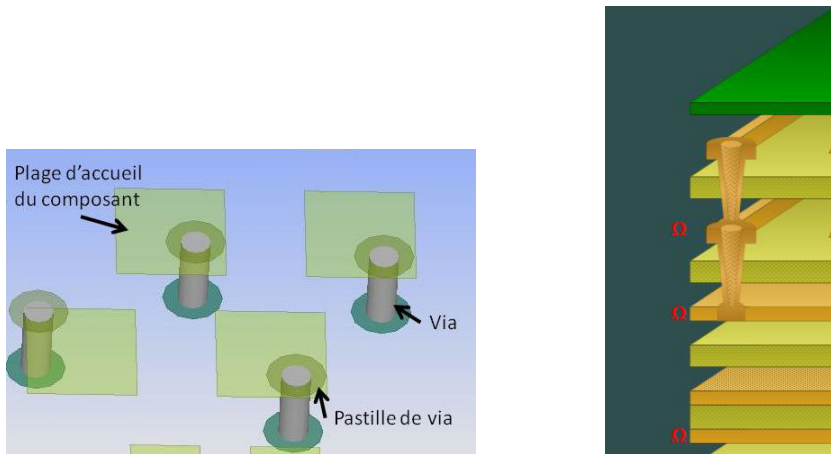
### 1.1.3 Complexification des cartes

L'évolution technologique des cartes électroniques tend vers l'augmentation des performances et la miniaturisation. Alors que la densité de points au  $dm^2$  atteint 10000 en 2014 à Thales Communication and Security, les différentes contraintes d'encombrement et de réduction de coût incitent à continuer l'effort de densification des cartes. Les axes d'amélioration proposés doivent aboutir à une optimisation de la surface disponible pour le routage sur les couches internes et l'augmentation de la capacité d'accueil des composants sur les couches externes.

#### 1.1.3.1 Amélioration des techniques de fabrication des circuits imprimés

L'augmentation du nombre de couches du circuit imprimé a été la première réponse au besoin d'augmenter la surface de routage des cartes électroniques. Cependant, les contraintes mécaniques et les limites des procédés de fabrication limite aujourd'hui à 14 le nombre de couches pour un circuit imprimé standard de 1,6 mm d'épaisseur. Un circuit imprimé peut en revanche dépasser ce nombre si ce standard n'a pas à être respecté. Aujourd'hui, les recherches se portent plutôt sur la réduction de la taille minimale de gravure de pistes de conducteur afin d'optimiser la place dédiée au routage. La largeur minimale de piste standard utilisée en 2014 est de  $100\mu m$ . Cette largeur standard descend même à  $80\mu m$  pour certaines zones très denses comme les zones de routage sous les composants intégrés. Des travaux sont cependant menés pour améliorer la fiabilité des procédés de gravure pour des largeurs bien inférieures atteignant de 50 à  $10\mu m$  [RA et collab. \[2008\]](#) [TEWS et collab. \[2013\]](#). Toujours dans un souci de densification du routage des cartes électroniques, l'introduction d'autres technologies de fabrication vise à réduire l'espace occupé par les interconnexions entre couches. Exception faite pour l'utilisation des vias traversants, l'utilisation de deux vias à la suite nécessite de créer un déport du premier via par rapport au second. Ces transitions occupent de la place qui pourrait être utilisée pour router un nombre supérieur de pistes. La technologie de vias empilés (stacked vias)

permet de libérer l'espace pris auparavant par le déport du via. De même, un déport similaire est observé entre la plage d'accueil de la patte d'un composant et le via permettant le passage d'une couche externe vers une couche interne. L'espace occupé par ce déport peut être gagné grâce à la technologie de "via in pad" permettant de superposer la plage d'accueil du composant et le via. Une illustration de ces deux technologies est donnée dans la figure 1.5.



(a) Illustration de la technologie de via-in-pad (b) Illustration de la technologie de via empilé

FIGURE 1.5 – Exemples illustrant l'utilisation des technologies de via-in-pad et de via empilés

### 1.1.3.2 Diminution de la taille des boîtiers des composants

La densification et la miniaturisation des cartes sont aussi rendues possible par la miniaturisation des composants. Le développement de nouveaux matériaux couplé aux efforts de recherche pour la miniaturisation des composants ont débouché sur le développement de composants passifs dont la taille diminue sans cesse comme le montre la figure 1.6. Alors que les plus petits boîtiers disponibles au début des années 2000

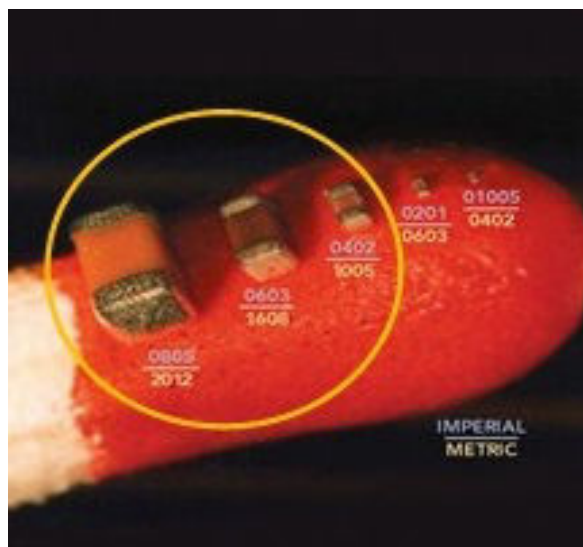


FIGURE 1.6 – Evolution de la taille des condensateurs de découplage

étaient de taille standardisée 0402 ( 0,04 pouces de long sur 0,02 pouces de large, soit 1



mm de long sur 0.5 mm de large) la taille des composants atteint maintenant des mesures submillimétriques. Les composants de boîtier 01005 mesurent 400  $\mu\text{m}$  de long et 200  $\mu\text{m}$  de large. L'inconvénient est que ces petits composants n'existent que pour des faibles valeurs. Alors que des résistances de cette taille sont produites pour des valeurs comprises entre 50 m $\Omega$  et 1 M $\Omega$ , aucun condensateurs de capacité supérieure à 470 nF **MURATA** n'existe. L'augmentation des fréquences mises en jeu au sein des cartes contribue cependant à limiter l'utilisation de composants de forte valeur comme c'est le cas en augmentant par exemple la fréquence de découpage des composants d'alimentation à commutation. Une autre solution déjà réalisable pour densifier les cartes est d'enfouir les composants passifs au sein du circuit imprimé. **WAFFENSCHMIDT et collab. [2005]**, **STUBBS et collab. [2002]**

Les composants actifs connaissent eux aussi non seulement une diminution de la taille de boîtier mais surtout une augmentation du nombre de connexions au  $\text{cm}^2$ . Des boîtiers Dual In Line des années 1960 aux technologies de matrice de billes disponible de nos jours, les progrès des technologies de boîtiers réalisés par les fondeurs connaissent une évolution exponentielle comme le montre la figure 1.7; c'est d'ailleurs le principal moteur de la miniaturisation des cartes électroniques. La distance entre deux billes d'un composant, aussi appelée pitch, la plus petite utilisée à l'heure actuel ne mesure que 0,4 mm. C'est pourquoi, comme évoqué auparavant, il devient indispensable d'une part de diminuer la largeur de gravure des pistes afin de pouvoir connecter tous les signaux du composant sur la carte (pin escape) et d'autre part d'utiliser les technologies de via-in-pad et de vias empilés.

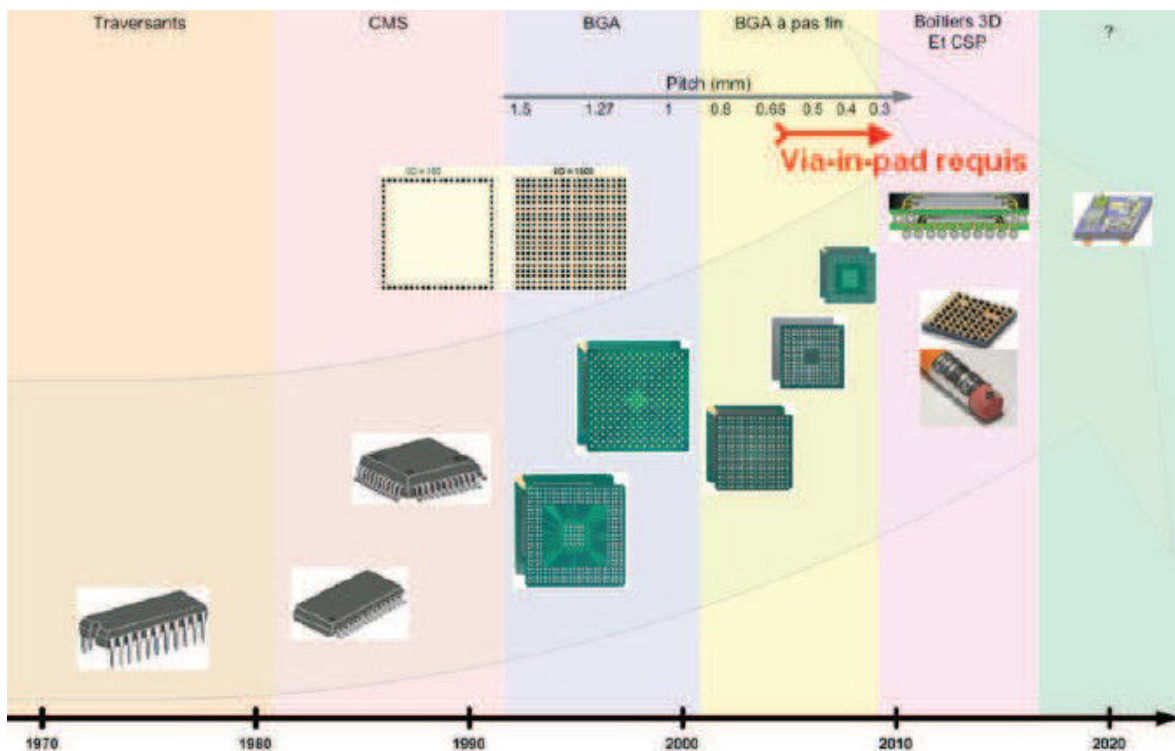


FIGURE 1.7 – Evolution des technologie de boîtiers des circuits intégrés au cours du temps **CHAS-TANG [2013]**

### 1.1.3.3 problématiques d'alimentation

L'intégration de nombreuses fonctions au sein d'une même carte implique généralement une multiplication du nombre de potentiels d'alimentation à apporter sur circuit imprimé. Il est fréquent de rencontrer plus d'une quinzaine de potentiels d'alimentation au sein d'une même carte. Les différents potentiels peuplant la carte et les principales technologies associées à ces potentiels sont décrits dans le tableau 1.1

TABLEAU 1.1 – Enumérations des principaux potentiels présents sur les cartes électroniques et les technologies ou fonctions associées

| Valeur de potentiel                     | Fonctions ou technologies associées  |
|---|--|
| 12V; 10V; 8V; 7V                        | Potentiels arrivant sur la carte à convertir   |
| 5V; 3,7V; 3V; 2,0V; 1,2V                | Potentiel de fonctions Radiofréquences ou analogiques (Convertisseur analogique-numérique, audio, SERDES)                    |
| 3,3V; 2,5V; 1,8V                        | Potentiel de bus de communication ou d'I/O de composants à composants ou de cartes à cartes (TTL, CMOS, LVDS, I2C, SPI, ...) |
| 3,3V; 1,8V; 1,5V; 1,35V; 1,2V; 1V; 0,9V | Potentiel d'alimentation de composants numériques (mémoires, buffer, coeur d'alimentation de processeur ou de FPGA)          |

Le nombre de potentiels cohabitant sur une même carte peut même arriver au-delà de 20 dans le cas par exemple de cartes électroniques mixtes embarquant à la fois des fonctions numériques et des fonctions analogiques pour lesquelles un même potentiel d'alimentation doit être scindé en deux plans différents afin que la partie numérique ne pollue pas électromagnétiquement parlant la partie analogique ou radiofréquence pour laquelle le rapport signal sur bruit est primordial. De même, les potentiels d'alimentation arrivant sur la carte sont aussi démultipliés en fonction de la source d'énergie du système et doivent même admettre dans certains cas une tolérance importante sur les variations des potentiels dans le cas d'utilisation de batterie ou d'accumulateur. La cohabitation de ces différents potentiels d'alimentation devient d'ailleurs réellement problématique lorsqu'ils doivent être connectés au même circuit intégré. Certains circuits peuvent être alimentés par 10 potentiels différents. Il est alors impossible d'assigner une seule couche par potentiel. Différents plans d'alimentation doivent donc se côtoyer sur une même couche créant ainsi des formes de plan extrêmement complexe dont l'excitation à certaines fréquences peut engendrer des phénomènes de résonances électromagnétiques qui peuvent perturber le fonctionnement de la carte.

La miniaturisation des transistors au sein des circuits intégrés implique la diminution de leur potentiel d'alimentation et leur intégration l'augmentation de la consommation de courant sur le rail d'alimentation sans pour autant augmenter la tolérance des circuits intégrés et composants aux variations de tension. Les réseaux de distribution d'énergie deviennent alors très complexes à concevoir car la circulation d'un fort courant provoque une chute de tension proportionnelle à la résistivité du rail d'alimentation mais aussi parce que les appels de courant des composants provoquent des variations de tension dues à la partie inductive du réseau de distribution.

Il est donc nécessaire d'ajouter de nombreux condensateurs de découplage afin d'obtenir des alimentations stables, ce qui va à l'encontre de la miniaturisation des cartes. Il

est donc fondamental de maîtriser le comportement du réseau de distribution et de l'optimiser afin d'être en mesure de fournir aux composants une alimentation la plus stable possible tout en réduisant la surface occupée par le réseau d'alimentation.

#### 1.1.3.4 Augmentation des fréquences mises en jeu

L'augmentation des performances d'une carte électronique numérique résulte d'une exécution plus rapide des calculs de traitement de données et de communication des résultats. Cette accélération est rendue possible grâce à l'élévation de la fréquence d'horloge qui cadence les différents composants de la carte. L'évolution des différents standards de mémoires est un exemple : alors que le premier standard de [Double Data Rate Synchronous Dynamic Random Access Memory](#) ou [mémoire synchrone dynamique à accès aléatoire à double taux de données en français](#) (DDRSDRAM) défini en 2000 fonctionne avec une fréquence d'horloge de 100 MHz, la dernière génération de mémoire arrivée sur le marché après 2012, est cadencée, elle, à une fréquence maximum de 2133 MHz. De même, il n'est pas rare de voir apparaître des processeurs fonctionner à une fréquence supérieure à 2 GHz.

L'augmentation des fréquences de travail des composants impacte directement le comportement du réseau de distribution d'énergie puisque différents test [CARROLL et collab. \[2010\]](#) et [MIYOSHI et collab. \[2002\]](#) ont montré qu'un même processeur fonctionnant à une fréquence plus élevée consomme une puissance supérieure. En effet, en augmentant la fréquence de travail des composants, les éléments parasites jusqu'alors négligeables pour des fréquences inférieures constituent des réservoirs d'énergie qu'il est nécessaire de charger et de décharger à chaque transition d'état. L'expression des pertes au sein d'un circuit intégré s'exprime de la manière suivante :

$$P_{loss} = (\alpha C V_{DD}^2 f) + (V_{DD} \cdot I_{LEAK}) \quad (1.1)$$

Avec  $\alpha$  un facteur relatif ou pourcentage de portes commutant,  $C$  la capacité parasitique équivalente du circuit,  $V_{DD}$  le potentiel d'alimentation du circuit, et  $f$ , la fréquence de commutation.

Puisque les quantités de données traitées deviennent plus importantes, la capacité de transfert des bus de données doit elle aussi être améliorée. Du fait des contraintes de densification, l'augmentation de la largeur de bus parallèles a été abandonnée au profit de l'utilisation de liens rapides sérialisés. Le développement de ces technologies implique aussi l'augmentation des fréquences mises en jeu. Alors que des liens parallèles ne dépassaient rarement des vitesses de transfert de quelques centaines de mégaoctets à la seconde, les liens séries rapides atteignent aujourd'hui jusqu'à 28 Gb/s. Les temps de commutation des signaux ont été en quelques années divisés par 10 passant par exemple de temps de montés de 660 picosecondes pour le standard SATA I (1,5Gbit/s) en 2003 [SAT \[2003\]](#) à 62,5 picosecondes avec le standard SATA III [SAT \[2016\]](#) actuellement soit des vitesses de balayage de l'ordre de 12 V par nanoseconde.

#### 1.1.3.5 Diminution de la testabilité

Les contraintes de testabilité vont à l'encontre des problématiques de densification des cartes électroniques. En effet, l'ajout de points de test sur les signaux réduit d'une part la place dédiée au routage dans les couches internes mais réduit aussi la surface d'accueil des composants en surface puisque les points de test occupent de l'espace sur les couches



externes de la carte. Il n'est donc pas envisageable de placer un point de test pour les milliers de signaux transitant sur la carte. D'autre part, l'ajout de points de test sur les signaux rapides, dont les temps de propagation sont très faibles, dégrade la forme du signal car les pastilles de via et les vias servant à connecter le point de test sur les couches externes de la carte introduisent des désadaptations d'impédances.

Toutefois, les fabricants d'instruments de mesure produisent actuellement des sondes de mesure haute performance permettant de mesurer par exemple pour des sondes de haute impédance et de très faible capacité, des signaux rapides lors de leurs transitions sur des vias sans provoquer de désadaptation d'impédance, ou, pour des sondes dédiés à la mesure de rail d'alimentation de ne pas rajouter le bruit de l'appareil à la mesure. Des interposeurs, pièces de circuits imprimés se soudant entre le composant et le circuit imprimé de la carte garantissent une mesure au plus proche du composant sans dénaturer une fois encore le signal à mesurer. Cela permet en particulier de vérifier les contraintes de temps de séquençement sur les composants de mémoire sur une carte prototype sans avoir à ajouter de points de test. Enfin, les fabricants de circuits intégrés intègrent aussi des solutions de mesure au sein même de leur composant, pour lesquels il est alors possible de vérifier l'intégrité de signal au plus proche du récepteur et de récupérer les courbes de mesure après une conversion analogique numérique directement via le logiciel du composant.

## **1.1.4 Le réseau de distribution d'énergie**

### **1.1.4.1 Constitution du Réseau de distribution d'énergie**

Le Réseau de distribution d'énergie est constitué de trois grands sous-ensembles comme décrit dans la figure 1.8. Le premier élément du réseau de distribution d'énergie est la source d'alimentation du système. Elle agit comme une source de tension et peut être de différente nature : un générateur électrochimique tel qu'une batterie ou un accumulateur, un dispositif de conversion d'énergie comme des cellules photovoltaïques, une turbine ou une éolienne ou encore le réseau électrique suivi d'un redresseur. Le second élément du réseau de distribution est un système de conversion DC-DC abaisseur de tension. Il se situe déjà au niveau des cartes électroniques du système. Le troisième étage est constitué par les plans d'alimentation du circuit imprimé sur lesquels circule le courant et les condensateurs de découplage qui jouent le rôle de filtre afin de pallier aux perturbations. Finalement, le dernier élément constituant le réseau de distribution d'énergie est le composant à alimenter qui comprend son propre réseau de distribution en interne mais auquel les fabricants de carte n'ont pas accès.

### **1.1.4.2 Son rôle**

Le réseau de distribution d'énergie se définit sur une carte électronique comme l'ensemble des éléments destinés à produire, convertir et transférer de l'énergie sous forme de puissance électrique. Le rôle de ce réseau de distribution est d'apporter l'énergie nécessaire aux composants de la carte afin d'assurer leur fonctionnement, permettant ainsi à la carte d'exécuter les tâches pour lesquelles elle a été conçue. Pour leur bon fonctionnement, les composants sont généralement alimentés sous une tension indiquée par le constructeur et consomment une intensité de courant variant en fonction de la tâche à réaliser. Tous les composants de la carte ne fonctionnent pas avec la même tension d'alimentation et, généralement, la ou les tensions d'alimentation à l'entrée de la carte

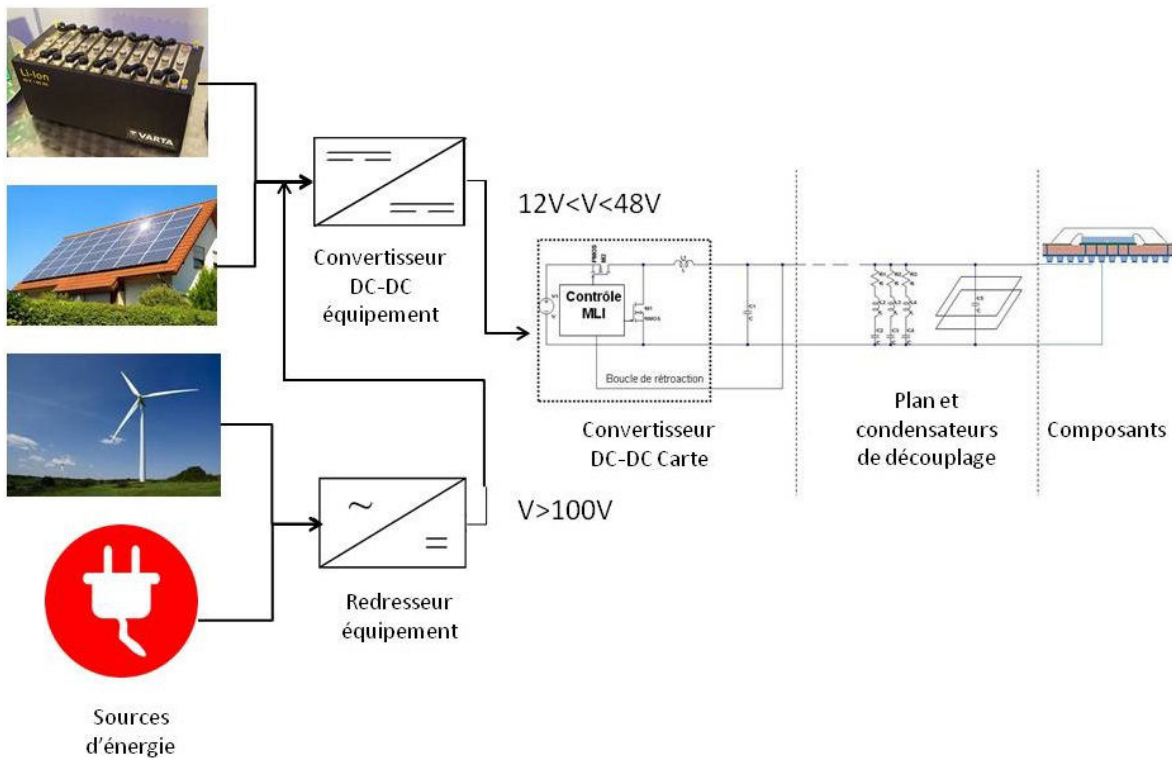


FIGURE 1.8 – Description du réseau d'alimentation au niveau système

sont plus élevées que les tensions de fonctionnement des composants afin de réduire les pertes par effet joule. Le réseau de distribution doit donc convertir et répartir l'énergie d'entrée sur ses différentes branches correspondant chacune à un potentiel d'alimentation différent formant ainsi ce que l'on appelle un arbre d'alimentation. Son objectif est de délivrer aux composants la quantité de charges nécessaire au moment où ceux-ci en ont besoin et sous la tension d'alimentation définie par le fabricant du composant. La figure 1.9 est un exemple de la complexité des arbres d'alimentation que l'on peut retrouver sur un véhicule de test d'une thèse précédente AMÉDÉO [2010]. La carte est alimentée par une alimentation externe délivrant 12V. Cet arbre d'alimentation comporte alors 3 étages différents de répartition de puissance sur la carte. Les potentiels alimentant le circuit d'horloge ou les fonctions génératrices de signaux rapides sont converties à l'aide de convertisseurs linéaires afin de ne pas générer d'oscillations de tension dues à la commutation d'un convertisseur DC-DC, ce qui améliore l'efficacité de la transmission.

### 1.1.4.3 Conclusion partielle

L'ensemble des complexifications des cartes électroniques citées ci-dessus et la tendance à la miniaturisation des composants et des cartes électroniques favorisent l'apparition de problèmes d'intégrité de signal, de stabilité des alimentations, de compatibilité électromagnétique en raison de couplages qui se créent au sein de la carte. Les contraintes de conception d'une carte numérique, analogique ou mixte deviennent alors très fortes et requièrent un effort particulier d'attention tant au niveau du placement des composants que du routage des interconnexions. De plus, la diminution de l'accessibilité aux signaux empêche la validation des interfaces de la carte par la mesure. Dans un contexte actuel hautement concurrentiel dans le domaine de l'électronique et des hautes technologies, il est impératif de réduire le temps de mise sur le marché de nouveaux produits.

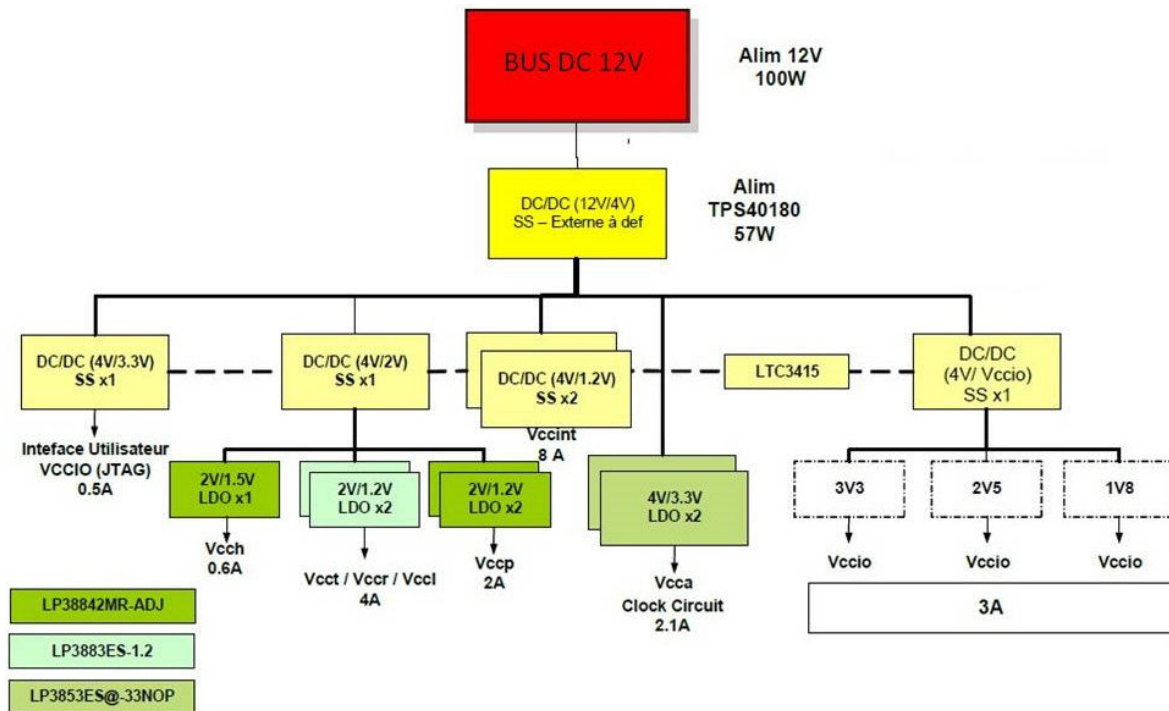


FIGURE 1.9 – Exemple d’arbre d’alimentation d’une carte numérique AMÉDÉO [2010]

Alors que depuis de nombreuses années l’augmentation des débits de données échangées au sein d’une carte ou d’un système a entraîné un fort engouement pour l’étude de la propagation du signal car il permet d’augmenter la performance des systèmes, l’étude de la stabilité et du dimensionnement adéquat des circuits d’alimentations est devenu une nécessité pour assurer le bon fonctionnement d’une carte. Il devient donc indispensable de mettre en place une méthodologie de conception efficace, qui en introduisant l’utilisation systématique d’outils de simulation pour vérifier et valider le fonctionnement des cartes avant leur fabrication, vise à réduire le temps et le coût de conception en adoptant une stratégie de succès au premier essai.

## 1.2 Objectifs de l’étude

L’augmentation des capacités de calcul des ordinateurs des 50 dernières années est directement proportionnelle aux nombres de transistors disponibles en interne du circuit intégré. Afin d’intégrer un plus grand nombre de transistors au sein d’une puce de silicium, la solution développée depuis les fondements de l’industrie semi-conductrice consiste à réduire la taille des transistors. La miniaturisation des transistors a deux conséquences directes.

La première concerne la fréquence de fonctionnement des composants. Plus le transistor est miniaturisé, plus les éléments parasites du transistor sont faibles et donc permettent de faire fonctionner le transistor à une fréquence élevée. La seconde conséquence concerne le potentiel d’alimentation du ou des cœurs logiques des circuits intégrés. La technologie de transistor utilisée pour le calcul numérique, la technologie CMOS, fonctionne sous l’effet de champs électriques. Quelque soit la taille du transistor, le champ électrique à appliquer pour polariser le canal de transistor reste le même pour le silicium (en fonction de ses caractéristiques de dopage). En revanche si la distance entre la grille et le substrat diminue, due à la miniaturisation du transistor, alors pour obtenir un champ

électrique de même valeur, il faut abaisser la tension appliquée à la grille du transistor et donc le potentiel d'alimentation du composant. La diminution du potentiel d'alimentation est bénéfique en terme de réduction de perte comme le montre l'équation 1.1

Bien que le potentiel d'alimentation des composants diminue, les oscillations de tension autorisées sur ce potentiel continuent cependant à être de l'ordre de plus ou moins 3%. Sur un potentiel de 1V, les oscillations de tension autorisées sont donc de l'ordre de 30mV. La sensibilité des réseaux de distribution d'énergie au sein des cartes est devenue telle qu'il devient important de considérer les effets du couplage avec les plans adjacents ainsi que des oscillations générées par l'activité même des composants en régime statique.

Par ailleurs les problématiques d'échauffement thermique ne permettent pas d'augmenter significativement la puissance consommée au  $mm^2$  de silicium. Par conséquent, la puissance dissipée par les circuits intégrés reste sensiblement constante. Puisque le potentiel d'alimentation du circuit diminue, à puissance équivalente, cela implique que l'intensité consommée par le composant augmente.

La conception des réseaux d'alimentation ainsi que de leur filtrage est donc devenu extrêmement complexe car la sensibilité des rails d'alimentation s'est abaissée de l'ordre de la dizaine de mV tandis que les intensités circulant sur le réseau de distribution d'énergie atteignent facilement des dizaines d'ampères voir la centaine dans le cas d'application serveur. De plus les composants ont une fréquence de fonctionnement de plus en plus élevée, entraînant donc des appels de courant importants et très rapides. Il est donc primordial de réduire ou d'optimiser l'inductance parasitique des interconnexions du circuit de distribution afin que les appels de courant ne provoquent pas de variation de tension au-delà des tolérances du composant.

Afin d'atténuer les oscillations de tension sur le rail d'alimentation, il est nécessaire de filtrer le courant circulant sur le réseau de distribution d'énergie. Ce filtrage est effectué par l'ajout de condensateurs de découplage. Il est en revanche difficile de décider des valeurs de condensateurs à placer et de quantifier le nombre nécessaire pour obtenir un filtrage satisfaisant du potentiel d'alimentation et donc sa stabilité quelque soit le mode de fonctionnement du composant ou de ses changements d'états.

De plus, alors que l'accès à la mesure de la tension du potentiel d'alimentation sur la carte est aisé, il est beaucoup plus compliqué d'être capable de mesurer le potentiel aux broches ou dans le cas d'un composant disposant d'une matrice de bille, aux billes de celui-ci. Le sujet se complique encore lorsqu'il s'agit de la mesure en courant. Jusqu'à présent, aucun moyen simple n'a été imaginé pour mesurer le courant consommé par un circuit intégré sans dégrader fortement le comportement de celui-ci ou le comportement du réseau de distribution d'énergie [RAMANUJAN et collab. \[2015\]](#) [IEC \[2006\]](#). C'est pourquoi l'utilisation de logiciels de simulation est incontournable afin de vérifier par modélisation du réseau de distribution d'énergie que les requis concernant l'alimentation du composant sont bien respectés pour tous les modes de fonctionnement du composant.

Enfin, les grandes tendances dans l'électronique sont à l'augmentation des capacités des fonctions électroniques dans un encombrement moindre tout en diminuant la consommation d'énergie et le coût de production. Ainsi la taille des cartes électroniques est réduite et la densité augmente tant au niveau de l'espace occupé par les composants en surface du circuit imprimé qu'en densité de routage de signaux sur les couches internes. Les contraintes de coûts impactent surtout le choix des composants notamment la réduction du nombre de références à indiquer sur la liste de matériel et sur la rédu-

tion du nombre de composants à utiliser. Ainsi l'objectif des travaux présentés dans ce document vise à améliorer deux axes d'analyses pour les cartes électroniques :

- Le premier objectif est d'être en mesure de modéliser chacun des éléments du réseau de distribution d'énergie de la carte afin de pouvoir réaliser une simulation précise du comportement de celui-ci est éviter ou réduire le risque de dysfonctionnement de cartes électroniques pour lesquelles les contraintes en termes d'alimentation sont très sévères (faible potentiel d'alimentation, fort appel de courant) comme c'est le cas sur du matériel électronique de haute performance.
- Le second objectif est de maîtriser suffisamment le comportement du réseau de distribution d'énergie afin d'être en mesure de réduire à son strict nécessaire le nombre de références de composants, le nombre de composants et l'encombrement occupé afin de densifier les cartes électroniques et de réduire leur consommation dans le cas d'applications portatives.

### 1.2.1 Les études d'intégrité de puissance à THALES

Les études d'intégrité de puissance sont réalisées tout au long du cycle de conception des cartes électroniques. En effet plus les problèmes d'intégrité sont détectés tôt dans le processus de conception, plus le risque d'apparition de phénomènes d'intégrité de signal est minimisé. En outre, plus les problèmes sont détectés ou identifiés tôt, moins les solutions à mettre en place pour régler le problème coûteront chères. Enfin, l'objectif principal de la mise en place d'une méthodologie de conception et d'analyse de la stabilité et du dimensionnement des réseaux de distribution d'énergie est de réduire drastiquement les coûts de conception en concevant des cartes fonctionnelles au premier essai. Il est donc nécessaire de supprimer la production et les tests itératifs de prototypes et d'écourter le temps de mise sur le marché des nouveaux produits. Nous distinguons principalement trois phases de conception durant lesquelles des analyses différentes sont réalisées :

- Avant le placement/routage (implantation) de la carte au moment où les spécifications de la carte sont étudiées
- Pendant l'implantation en simulant différents scénarios d'implantation
- Après l'implantation pour réaliser les vérifications

En amont de la phase de conception, l'ingénieur en charge de l'analyse de la stabilité des alimentations donne son avis sur l'architecture de la carte et notamment sur les composants utilisés. Cela lui permet de connaître le nombre de potentiels présents sur la carte, de faire une première évaluation de la puissance consommée et en accord avec l'ingénieur d'analyse d'intégrité de signal, si celui-ci est différent, de proposer une première ébauche de structure pour le circuit imprimé. Une fois l'architecture de la carte définie et consolidée, des analyses de pré-dimensionnement s'appuyant sur la consommation de chacune des branches de l'arbre d'alimentation et la sensibilité des composants aux variations de tension permet d'évaluer le nombre de condensateurs nécessaires au filtrage des potentiels d'alimentation durant la phase de définition du schéma de la carte. Cet ensemble de condensateurs de découplage est aussi appelé réseau de découplage. Ces analyses sont réalisées à l'aide d'outils de calcul ou de simulations analytiques.

Après la phase de conception schématique, la phase d'implantation et de routage de la carte commence. Lors de cette étape, le rôle de l'ingénieur d'intégrité de puissance est de donner les consignes et contraintes de routage, de suivre l'avancée des travaux et de réaliser les simulations intermédiaires afin d'éliminer tout risque de dysfonctionnement de la carte le plus tôt possible.

La phase de placement/routage terminée, l'ingénieur en intégrité de puissance doit simuler le fonctionnement complet de la carte pour la validation du placement des différents éléments de celle-ci, principalement les circuits intégrés et le routage. Pour le fonctionnement en régime établi, le routage doit être suffisamment dimensionné pour permettre au courant de circuler sur la carte sans provoquer trop d'échauffement par pertes Joule. Le placement des composants sur la carte est très important au regard des problématiques des circuits de puissance. Une mauvaise disposition des composants principaux peut entraîner des problèmes de sous-alimentation, d'échauffement thermique ou d'oscillation de tension si ceux-ci se situent sur un ventre de résonance du plan d'alimentation aux fréquences de leur fonctionnement. Si dans le produit, la carte est interconnectée avec d'autres cartes, il convient de réaliser la simulation sur l'ensemble des cartes notamment pour s'assurer que la chute de potentiel induite par la circulation du courant au sein des cartes reste inférieure au budget de perte alloué. Après cette dernière validation, les cartes sont envoyées en fabrication. Malgré ce processus de vérification, il arrive tout de même que certaines cartes connaissent un dysfonctionnement. Dans ce cas, le rôle de l'ingénieur est d'en identifier la cause et de proposer une solution pour y remédier, de manière la moins coûteuse possible.

Le service de conception de cartes électroniques de THALES a déjà mis en place un flot global d'analyses et de simulations d'intégrité de signal et d'intégrité de puissance. Alors que de nombreux efforts ont été réalisés pour améliorer sans cesse le flux d'analyse et de conception des cartes électronique au regard de problèmes d'intégrité de signal, le flux d'analyse d'intégrité de puissance est lui relativement sommaire et obsolète. En effet, les outils et méthodes utilisés datent déjà d'un certain nombre d'années et doivent être remplacés au profit d'outils de simulation d'intégrité de puissance dont l'efficacité est améliorée (le support d'un outil n'était même plus actif!). Il faut également qu'ils prennent en compte l'évolution et l'ajout de différents modèles afin de simuler plus finement le réseau de distribution d'énergie.

L'objectif de cette thèse est donc :

- Elaborer ou améliorer de nouveaux modèles caractérisant chacun des éléments constituant le réseau de distribution d'énergie.
- Remplacer les outils actuellement utilisés en choisissant soit des outils disponibles existant dans le commerce soit en en créant qui acceptent les modèles de chaque élément du réseau de distribution d'énergie.
- De définir un flot dédié à l'analyse de la stabilité et à la conception des réseaux de distribution d'énergie des cartes électroniques rapides et à haute densité d'interconnexion [Haute densité d'interconnexions \(HDI\)](#).

### **1.2.2 Mise en place du flot de conception du réseau de distribution d'énergie**

Le flot de conception du réseau de distribution d'énergie proposé dans cette thèse doit premièrement comprendre un nouveau flot de simulation des circuits d'alimentation puis proposer une méthodologie de conception s'intégrant au processus déjà existant et répondant au contexte et besoins industriels.



### 1.2.2.1 Un nouveau flot de simulation

Il existe déjà un flot de simulation des réseaux de distribution d'alimentation dans le service de conception de cartes numériques de THALES. Mais au regard de la complexification des cartes et des nouvelles technologies introduites par l'utilisation de composants de dernière génération, ce flot n'est plus adapté car les méthodes sont obsolètes et les outils doivent être remplacés pour prendre en compte de nouveaux types de modèles. Allegro de CADENCE est depuis des années le logiciel de référence pour la conception des cartes électroniques numériques à THALES. Les logiciels inclus au flot de simulation doivent donc s'interfacer impérativement avec Allegro afin de pouvoir utiliser les données de conception des cartes. Ces données consistent principalement en la géométrie de la carte, les références des composants, la définition de la structure du circuit imprimé (matériaux utilisés et épaisseurs). Le travail dans le contexte industriel concurrentiel impose des contraintes autres que la seule performance des logiciels de simulation. En effet, les outils utilisés pour le flot de simulation doivent présenter un compromis temps de simulation/performances intéressant afin de s'assurer au plus vite de l'absence de problème d'intégrité de puissance et réduire les temps de cycle de conception. La notion de temps est rattachée à la fois au concept de temps "ingénieurs" nécessaire à la configuration des logiciels et à l'interprétation des résultats de simulation mais aussi à celui de temps "machine", à savoir le temps nécessaire aux machines de simulation pour réaliser les calculs. Le taux horaires des ingénieurs étant élevé et les configurations matérielles performantes chères, ces éléments doivent donc être pris en compte dans l'optique de réduire les coûts de production des cartes électroniques. La notion de performance quant à elle se rattache à la fidélité des résultats de simulation avec les phénomènes effectivement mesurés sur carte.

L'outil de simulation central dans la méthodologie de conception des alimentations est un simulateur électromagnétique dédié aux cartes électroniques. Cet outil s'appuie sur la description mécanique de la carte (géométrie et définition des matériaux utilisés) et hybride différentes méthodes de résolutions des équations de Maxwell pour diminuer le temps de calcul nécessaire à l'exécution de la simulation. Une description plus détaillée des propriétés de l'outil de simulation est donnée dans la partie [1.4 de ce chapitre](#).

Le résultat donné par le simulateur électromagnétique est un fichier de paramètres S, une description du comportement électrique du circuit imprimé, dans le domaine fréquentiel. Le modèle obtenu peut être connecté à d'autres modèles de paramètres S issus d'autres simulations ou de résultats de mesures afin d'ajouter à la simulation le comportement d'autres éléments du réseau de distribution d'énergie. Le modèle de simulation peut également être convolué à une réponse impulsionnelle pour obtenir un résultat de simulation dans le domaine temporel avec des simulateurs circuits. Cet outil permet également de connaître la répartition du courant au sein du circuit imprimé et d'identifier les zones où le passage du courant provoque une élévation de température trop importante ou les zones pour lesquelles la chute de tension provoquée par la résistivité du cuivre est trop importante. Il est donc nécessaire d'évaluer différents types de moteur de calcul afin d'évaluer l'outil le plus adapté à la méthode d'analyse. L'outil choisi doit répondre à la fois aux contraintes imposées par le contexte industriel (environnement de développement et compromis temps/performance) mais aussi être représentatif de la réalité. Pour vérifier ce point, des corrélations sont effectuées entre les résultats obtenus par mesure et les résultats de simulation. Les simulateurs électromagnétiques disponibles pour l'analyse des circuits imprimés génèrent des solutions dans le domaine de la fréquence. Or la finalité de l'analyse de stabilité des alimentations est de vérifier que les ondulations de tension

lors du fonctionnement de la carte ne dépassent pas les tolérances recommandées pour le bon fonctionnement des composants. Il faut donc être en mesure d'interfacier les résultats obtenus par le simulateur électromagnétique avec un simulateur circuit. Le nouveau flot de simulation comportera donc aussi un simulateur circuit. Le choix de ce simulateur comprendra les mêmes contraintes que pour celui du solveur électromagnétique et devra de plus s'interfacier avec ce dernier. La validation du simulateur circuit, elle aussi, sera assurée par une confrontation des résultats de simulation avec des résultats de mesure sur carte.

### 1.2.2.2 Définition d'une nouvelle méthodologie

La méthodologie de conception et d'analyse des réseaux de distribution d'énergie doit couvrir l'ensemble du cycle de la conception d'une carte et donc comprendre :

- Un guide des règles de conception des circuits d'alimentation (choix composant, structure du circuit imprimé, règle de découplage...).
- Un tutoriel détaillant les paramétrages, les fonctionnalités et les inter-connexions des outils
- Une méthodologie de dimensionnement du réseau de distribution d'énergie pré-routage
- Une méthodologie de validation du réseau de distribution d'énergie post-routage.

Le cycle de la conception d'une carte électronique est illustré dans la figure 1.10 Les champs d'application des documents cités ci-dessus ainsi que les tâches de l'ingénieur intégrité de puissance lors du développement d'une carte électronique sont illustrés dans la figure 1.11 :

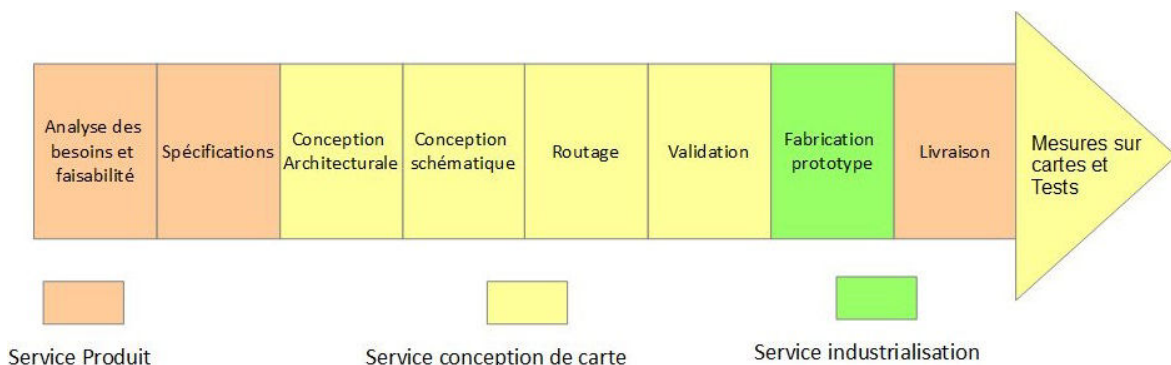


FIGURE 1.10 – Illustration du cycle de développement d'une carte électronique

L'ensemble des travaux réalisés dans le cadre de cette thèse ont pour objectif d'améliorer la modélisation du réseau de distribution d'énergie, la méthodologie de conception des cartes électroniques pour parvenir à l'élimination des risques de dysfonctionnement des cartes et à la réalisation de cartes fonctionnant au premier essai.



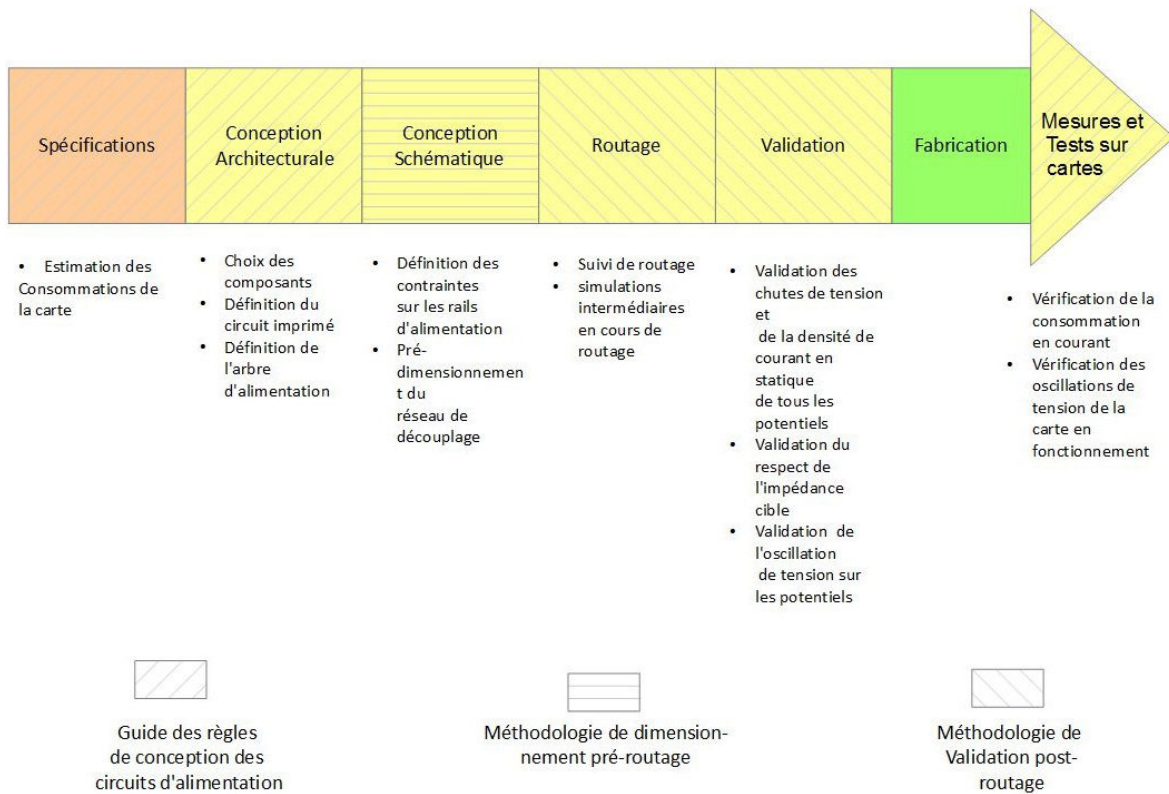


FIGURE 1.11 – Description des tâches incombant à l'ingénieur d'intégrité de puissance dans chaque phase de développement du cycle d'une carte électronique

## 1.3 Présentation du réseau de distribution d'énergie

### 1.3.1 Système étudié

L'objet d'analyse de cette étude est le réseau de distribution d'énergie de carte numérique rapide à haute densité d'intégration. Ce système comprend comme le montre la figure 1.12 une source principale de courant, un convertisseur DC-DC ou un régulateur linéaire, différentes sources localisées [SWAMINATHAN et ENGIN \[2007\]](#) et finalement le composant à alimenter. Son rôle est principalement d'effectuer des calculs (ASIC, Processeur de signal) et de transmettre des informations à d'autres organes électroniques (micro-contrôleur, micro-processeur, [FPGA](#)).

#### 1.3.1.1 Module Régulateur de tension

La source principale de tension sur une carte électronique est dénommée [Voltage Regulator Module, module régulateur de tension en français \(VRM\)](#). Le rôle de ce composant est de réguler l'alimentation en tension de la carte en adaptant son débit de courant. Il s'agit souvent soit d'une alimentation à découpage ou convertisseur DC-DC, transformant une tension d'entrée continue en une tension de sortie continue supérieure (montage BOOST) ou inférieure (Montage BUCK) comme présentée dans la figure 1.13, soit d'un [low dropout regulator, régulateur linéaire en français \(LDO\)](#) qui modifie une tension d'entrée en une tension inférieure proche en s'appuyant sur la réponse linéaire d'un transistor. Les convertisseurs DC-DC présentent l'avantage d'être extrêmement efficaces pour le point de fonctionnement à puissance nominale avec un rapport entre la puissance d'entrée et la puissance de sortie atteignant jusqu'à 95% [LIOU et collab. \[2008\]](#),

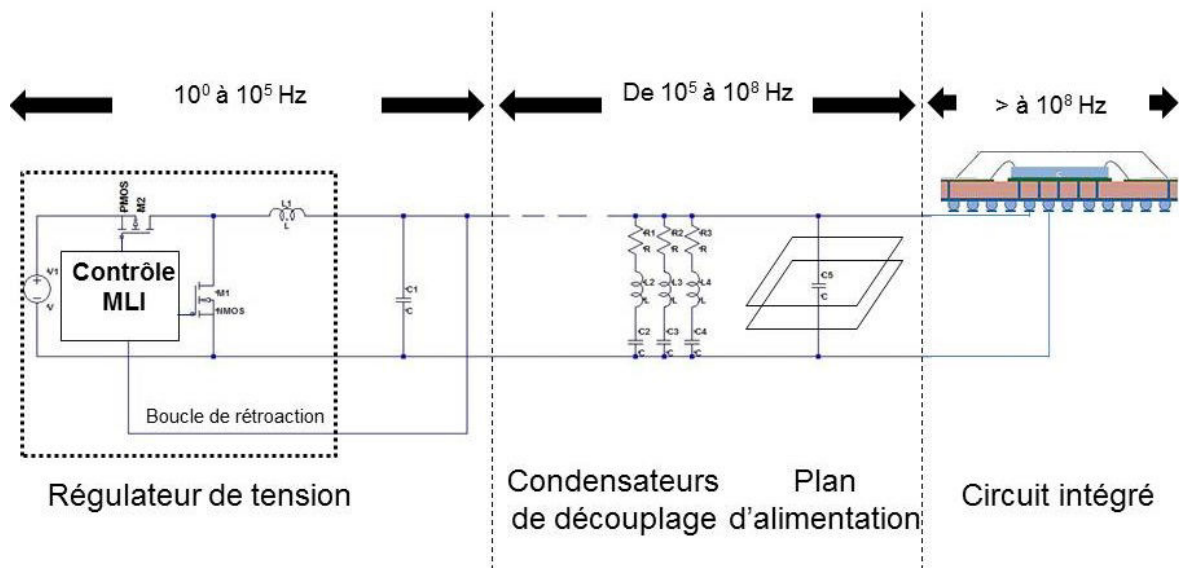


FIGURE 1.12 – Description du réseau d'alimentation appliqué au cadre des études de la thèse

BONIZZONI et collab. [2010] LTC [2017].

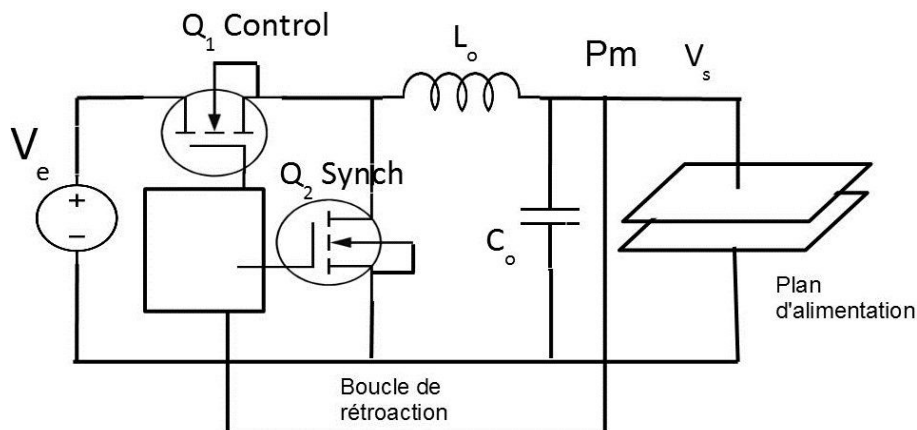


FIGURE 1.13 – Schéma simplifié de fonctionnement d'un convertisseur de courant continu de type Buck

D'autre part, ce sont des systèmes de conversion qui fournissent généralement des courants importants jusqu'à quelques dizaines d'ampères sous des tensions de sortie très faibles (inférieure au volt) BOSCAINO et collab. [2010]. Pour les VRM dont la puissance est de l'ordre de 100W ou plus, les intensités de l'ordre de la centaine d'ampères peuvent même être générées avec un rendement de conversion de l'ordre de 90% TPS [2016] en utilisant des convertisseurs multi phases. Un convertisseur multi-phasé est un convertisseur DC-DC pour lequel plusieurs cellules élémentaires de type Buck génèrent en parallèle le courant nécessaire à l'application et sont synchronisées par un même contrôleur. Sur une période de fonctionnement, le temps d'activation de chacune des branches du montage est déphasé par rapport à la première branche de  $\frac{2\pi}{n}$   $n$  étant le nombre de phases du montage. Un schéma simplifié d'un convertisseur multi-phasés est présenté en figure 1.14 L'utilisation de convertisseurs multi-phasés permet de réduire l'intensité du courant parcourant chacune des cellules et de multiplier par  $n$  la fréquence des ondulations de

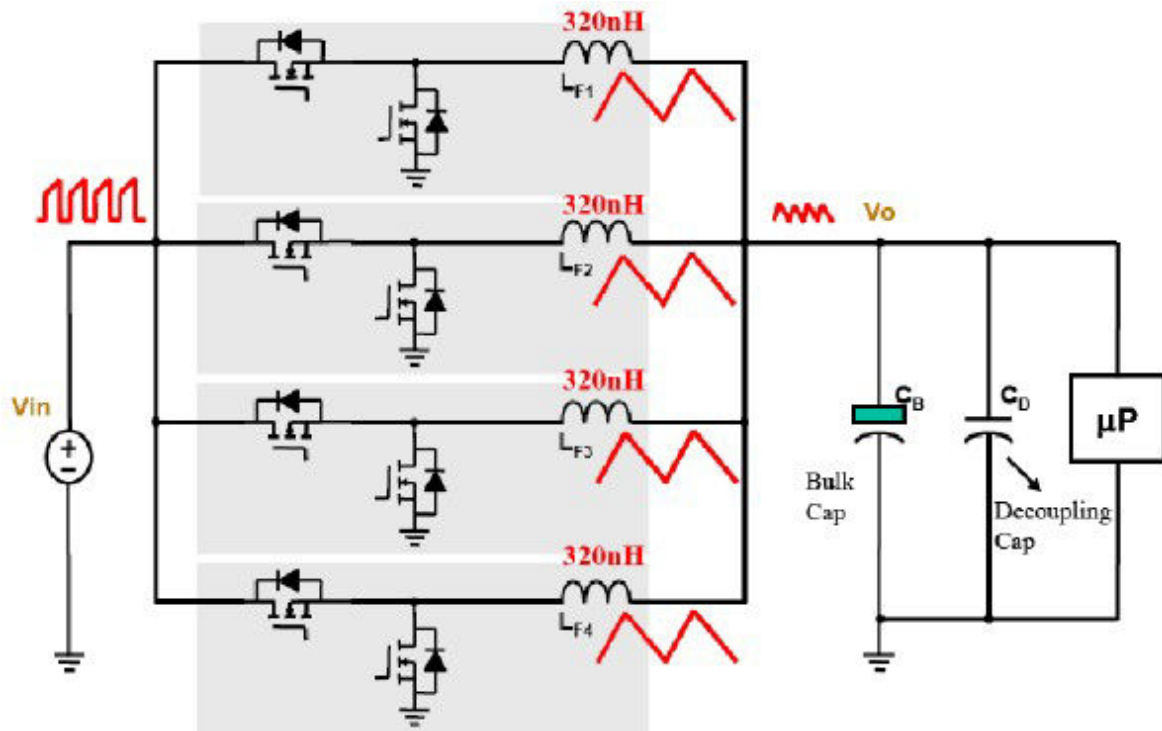


FIGURE 1.14 – Schéma d'un convertisseur multi phase à base de cellule de type buck suj [2010]

tension de sortie et de courant d'entrée et par conséquent le dimensionnement des composants notamment de filtrage en sortie. En revanche, leur fonctionnement se basant sur la commutation d'interrupteurs de puissance génère du bruit de commutation sur le rail d'alimentation qu'il est nécessaire de filtrer. Ceci convient donc pas pour les potentiels d'alimentation de fonctions analogiques pour lesquels des oscillations de tension même faibles réduisent fortement les performances de la fonction alimentée. De plus, le convertisseur DC-DC est généralement constitué de trois éléments principaux : un composant de contrôle, deux interrupteurs de puissance et un filtre LC en sortie. Bien que les progrès de la microélectronique permettent depuis le début des années 2000 ( KATAYAMA et collab. [2000], LEE et MOK [2004]) d'intégrer les interrupteurs de puissance et le contrôleur au sein du même boîtier et, que l'élévation des fréquences de découpage, permette de réduire la valeur des éléments de filtrage et donc de la taille de leur boîtier, les convertisseurs DC-DC requièrent une surface de montage importante sur les couches externes du circuit imprimé. Pour pallier au défaut de bruit de commutation des convertisseurs DC-DC, la conversion des potentiels de fonctions analogiques est effectuée par des régulateurs linéaires. Ces composants s'appuient en effet sur la modulation de la résistance de canal d'un transistor de puissance MOSFET en fonction de la tension de sortie. La boucle de rétroaction du composant assurant un fonctionnement linéaire, la tension en sortie n'est donc pas assujettie au bruit généré par la commutation d'un élément de puissance. Le second avantage du régulateur linéaire est qu'il est très compact car intégrable au sein d'un seul et même boîtier. Seuls quelques condensateurs de découplage sont nécessaires en entrée et en sortie de composant. Cependant, l'efficacité de conversion des régulateurs linéaires est très faible en comparaison à celle des convertisseurs DC-DC car une partie de l'énergie convertie est dissipée en chaleur.

Les modules régulateurs de tension sont la principale source d'alimentation des composants d'une carte électronique car ce sont ces dispositifs qui permettent de les alimenter en courant statique, mais aussi de répondre à une régulation en courant pour une dy-

namique basse fréquence allant jusqu'à l'ordre de quelques centaines de kHz en fonction de la fréquence de découpage des convertisseurs et de la largeur de bande de la dynamique de boucle de rétroaction.

Les convertisseurs DC-DC qui sont les composants majoritairement utilisés sur les cartes électroniques fonctionnent en commutations, leur comportement n'est donc pas linéaire. La modélisation et le dimensionnement du réseau de découplage et du réseau de distribution d'énergie complet s'effectuent en calculant l'impédance de l'ensemble dans le domaine fréquentiel [NOVAK et MILLER \[2007\]](#). Il est donc nécessaire d'obtenir le comportement fréquentiel du convertisseur, et en particulier son impédance de sortie. Puisqu'il s'agit d'une impédance, le modèle associé est par conséquent linéaire. En effet, du point de vue du circuit, le composant d'alimentation se présente comme une source de tension de Thévenin équivalente avec sa résistance interne. Lors d'une analyse fréquentielle, la source de tension continue est donc assimilée à une connexion à la masse. L'impédance présentée par le composant est donc celle de sa résistance interne ainsi que celle de ses éléments parasites tels que l'inductance des interconnexions entre le composant et le circuit imprimé. Il est donc possible de tirer du composant d'alimentation un modèle à l'aide de composants élémentaires électriques dits éléments localisés [SWAMINATHAN et ENGIN \[2007\]](#). Typiquement, les convertisseurs DC-DC présentent une impédance très faible en basse fréquence mais qui augmente proportionnellement avec la fréquence au delà d'une certaine valeur. Cela est dû à la limitation de la dynamique de la boucle de rétroaction du composant. Il existe donc différents modèles pour caractériser ces modules régulateurs de tension. Le plus simple décrit le comportement cité ci-dessus par une simple résistance en série avec une inductance idéale [HSIUNG et collab. \[2012\]](#) tandis qu'un modèle à quatre éléments reflète un fonctionnement plus complexe mais qui contient certaine limitation lorsque ce modèle est connecté au reste du circuit d'alimentation [SMITH et collab. \[1999\]](#). Ce modèle est présenté dans la figure 1.16.

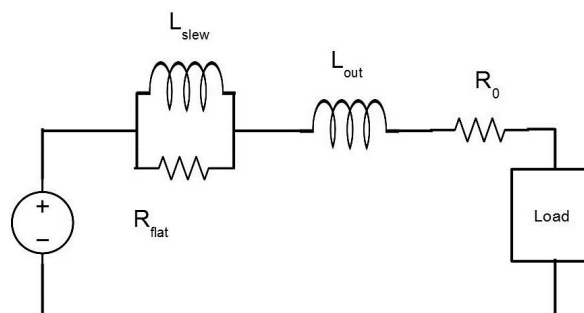


FIGURE 1.15 – Modèle fréquentiel de l'impédance de sortie du module régulateur de tension à 4 éléments [SMITH et collab. \[1999\]](#)

Le modèle linéaire à quatre éléments est constitué de trois blocs en série : une résistance en parallèle d'une inductance reflétant le fonctionnement interne du convertisseur, une résistance et une inductance. Les deux derniers éléments représentent la résistance et l'inductance des éléments connectant le composant au reste du réseau d'alimentation. Enfin, le comportement du convertisseur peut également être décrit par un modèle en commutation simplifié, le plus proche de sa structure interne, mais plus complexe à utiliser en simulation. L'impédance de sortie d'un modèle 4 éléments est donc semblable à celui présenté dans la figure suivante :

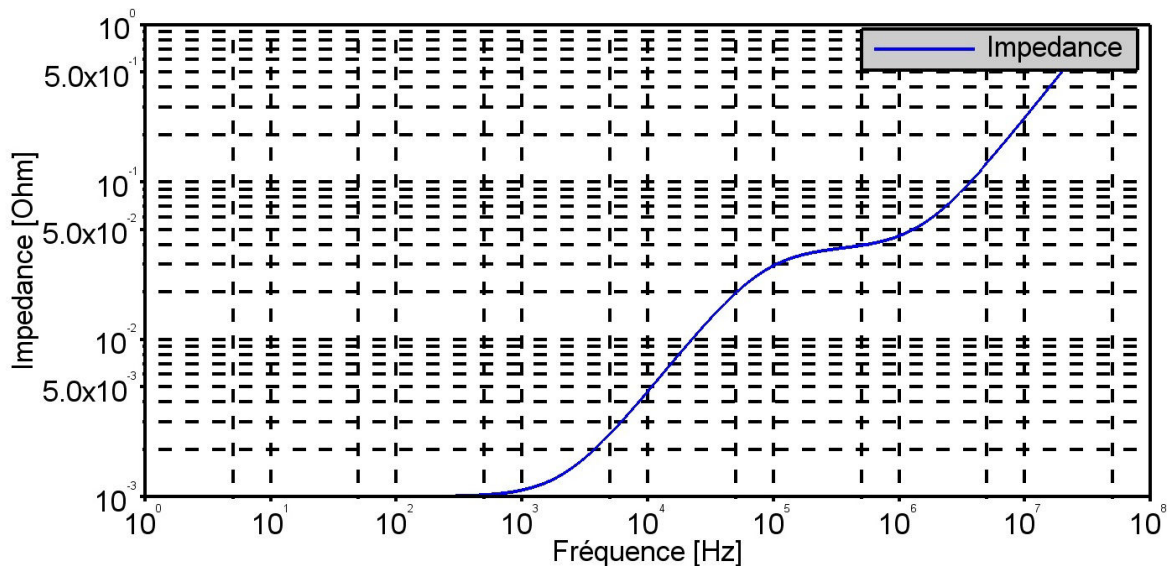


FIGURE 1.16 – Modèle d'impédance de sortie d'un modèle 4 éléments

### 1.3.1.2 Les condensateurs de découplage

Le réseau d'alimentation comporte également des condensateurs de différentes technologies (électrolytiques, plastiques, polypropylènes, céramiques). Il est généralement accordé dans la littérature que les condensateurs de découplage se scindent en deux familles. Les condensateurs électrolytiques (dits de bulk) de valeur importante sont constitués par l'empilement de deux feuilles d'aluminium de grande pureté séparées par une couche d'oxyde d'aluminium jouant le rôle de diélectrique, car non conducteur. Sur la première feuille en aluminium rugueuse est formé chimiquement de l'oxyde d'aluminium assurant ainsi un bon contact mécanique entre la première couche d'aluminium et la couche diélectrique. La rugosité de la feuille d'aluminium permet d'augmenter la surface en contact et donc la capacité. Afin d'assurer un contact électrique parfait, un liquide électrolytique est ensuite placé entre la couche diélectrique et la seconde feuille d'aluminium. L'utilisation de ce liquide électrolytique impose un sens de polarisation du condensateur. Cet empilement est ensuite enroulé sur lui-même afin de diminuer le volume du condensateur tout en augmentant les surfaces en regard élevant ainsi la valeur de la capacité. Une coupe illustrant le principe de fabrication d'un condensateur électrolytique peut être observée figure 1.17. De part leur constitution, les condensateurs électrolytiques présentent de fortes capacités qui leur permettent de stocker une grande quantité d'énergie et de fonctionner à des tensions élevées. Ils présentent en revanche l'inconvénient d'être très sensibles au vieillissement et donc peu fiables. Ils sont fréquemment la source de pannes de cartes électroniques dont l'origine est facile à identifier car ils présentent soit une trace d'explosion de leur boîtier soit des traces de fuite du liquide électrolytique qu'ils contiennent. Toutefois, l'augmentation des fréquences de découplage des convertisseurs DC-DC impliquent la diminution de la valeur des éléments de filtrage ainsi que la diminution des potentiels d'alimentation et entraînent peu à peu la diminution de leur présence sur les cartes électroniques numériques.

Les condensateurs céramiques faisant partie de la seconde famille de condensateurs sont constitués d'un empilement de lamelles métalliques (souvent de l'aluminium) séparées entre elles par un matériau céramique jouant le rôle de diélectrique. L'effet capacitif est créé par l'accumulation de charges à chaque interface aluminium-céramique-aluminium. Un aperçu de la structure d'un condensateur peut être observé dans la figure



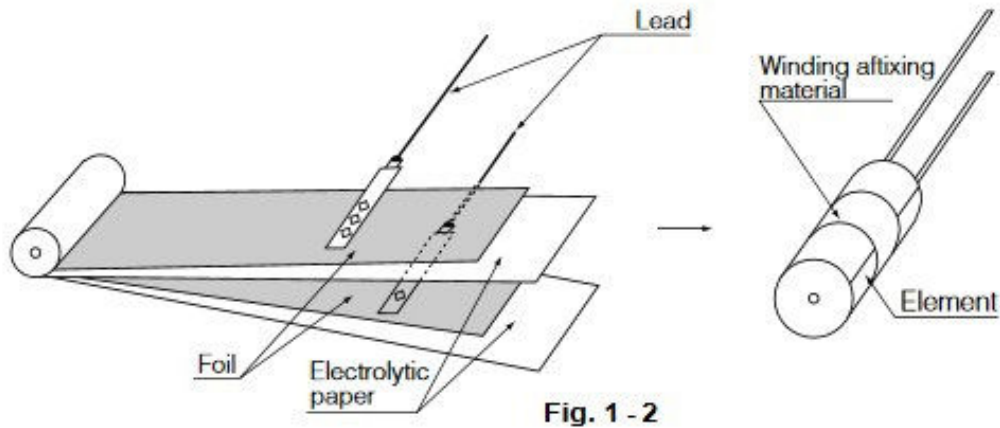


FIGURE 1.17 – Principe de construction d'un condensateur électrolytique

1.18.

- 1 : Céramique
- 2 : Electrode en aluminium
- 3 : Terminaison métallique pour la connexion

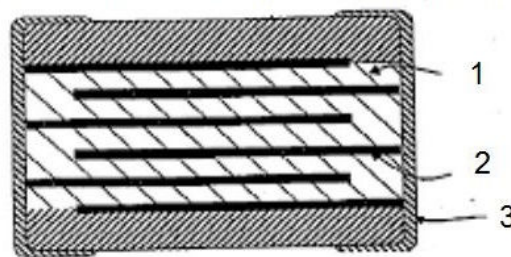


FIGURE 1.18 – Description de la structure d'un condensateur céramique

Les différentes céramiques utilisées présentent chacune des propriétés électriques différentes en fonction de la température. Les condensateurs céramiques sont donc définis non seulement par rapport à leur valeur mais aussi par rapport à la constance de leur valeur sur une plage de température. Ces propriétés sont propres au type de céramique utilisé pour fabriquer ces composants. Quelques exemples sont donnés dans le tableau 1.2 :

Les condensateurs de découplage se comportent comme des réservoirs locaux d'énergie. En effet lors d'appels de courant rapides, la largeur de bande dynamique du module régulateur de tension étant faible, ce dernier n'a pas la capacité d'adapter assez rapidement son débit de courant, ce qui provoque alors une chute de tension sur le réseau de distribution. En revanche, les condensateurs de découplage dont la dynamique est située bien plus haut dans le spectre, viennent fournir l'énergie nécessaire en se déchargeant. Leur réponse fréquentielle dépend directement de la valeur de leur capacité électrique. Les condensateurs de bulk répondent généralement à des appels de courant de l'ordre de la dizaine jusqu'à quelques dixièmes de microsecondes tandis que les condensateurs céramiques compensent un appel de courant de l'ordre de la centaine de nanosecondes jusqu'à quelques nanosecondes.

Afin de mieux comprendre ce phénomène, une analogie hydraulique peut être effectuée. Imaginons un réseau de distribution d'eau présenté dans la figure 1.19. Dans ce

TABLEAU 1.2 – Présentation du système de code du standard EIA RS-198 pour quelques plages de température et la variation de capacité résultante

| Code pour la limite de température basse | Chiffre pour la limite de température haute | Code pour la variation de capacité en fonction de la plage de température |
|--|---|---|
| X = -55 °C (-67°F)                       | 4 = +65 °C (+149 °F)                        | P = ±10%  |
| Y = -30 °C (-22 °F)                      | 5 = +85 °C (+185 °F)                        | R = ±15%  |
| Z = +10 °C (+50 °F)                      | 6 = +105 °C (+221 °F)                       | S = ±22%  |
|  | 7 = +125 °C (+257 °F)                       | T = +22/ - 33%  |
|  | 8 = +150 °C (302 °F)                        | U = +22/ - 56%  |
|  | 9 = +200 °C (392 °F)                        | V = +22/ - 82%  |

réseau, la différence de potentiel est représentée par la pression de l'eau tandis que l'intensité représente le débit. Lorsqu'un utilisateur souhaite utiliser de l'eau chez lui, il ouvre le robinet et l'eau sort avec un certain débit et sous une certaine pression. Si l'utilisateur utilise un débit d'eau plus important, alors la pression baisse car la quantité d'eau à fournir nécessite un certain temps pour parcourir le chemin du réservoir de la ville à son robinet. En revanche, s'il dispose d'une réserve d'eau sur le toit de sa maison, celui-ci se vide ponctuellement mais l'utilisateur obtient bien la quantité d'eau qu'il souhaite en temps voulu. S'il ne vide pas complètement le réservoir, ces transitions sont transparentes pour l'utilisateur. Une fois le robinet fermé, le réservoir de la ville remplit à nouveau le réservoir sur le toit. Les condensateurs de découplage jouent ce rôle de réservoir et fournissent un courant, pour compenser l'appel de courant du composant et maintenir la tension à son niveau.

Le schéma de la figure 1.20 montre une représentation simpliste d'un réseau de distribution d'énergie. La source de tension et les éléments L et R modélisent les composants du circuit d'alimentation, tandis que la source de courant symbolise le composant en fonctionnement. Un premier cas de fonctionnement est simulé en l'absence de condensateur de découplage dans la figure 1.21. La courbe verte montre que l'appel de courant du composant en rouge, un échelon de courant de 8A en 2µs, provoque une chute de tension de 17mV. Cet appel de courant peut typiquement apparaître au démarrage d'une fonction de calcul d'un processeur ou par exemple à la sortie de veille d'un amplificateur dans le cas d'une application Radiofréquence. La même simulation est réalisée en présence d'un condensateur de découplage de 100µF. Lors de l'appel de courant, le condensateur fournit un courant (en violet) qui s'oppose à la variation de tension sur le potentiel d'alimentation et par conséquent, réduit la chute de tension à 15mV.

### 1.3.1.3 La capacité de plan

Afin de réduire la résistance du réseau de distribution d'énergie pour éviter les pertes par échauffement dans le cuivre, l'utilisation de plan de cuivre comme conducteur est favorisée. Dans la structure du circuit imprimé, l'empilement de deux plans de potentiels différents séparés par une couche de diélectrique constitue une structure capacitive. Il existe donc dans les circuits imprimés une capacité dite de plan constituée par les couches du circuit imprimé lui-même. Le calcul de la capacité de plan dans le cas idéal et sans prendre en compte les effets de bords est donné par l'équation 1.2 :

$$C = \frac{A\epsilon}{e} \quad (1.2)$$

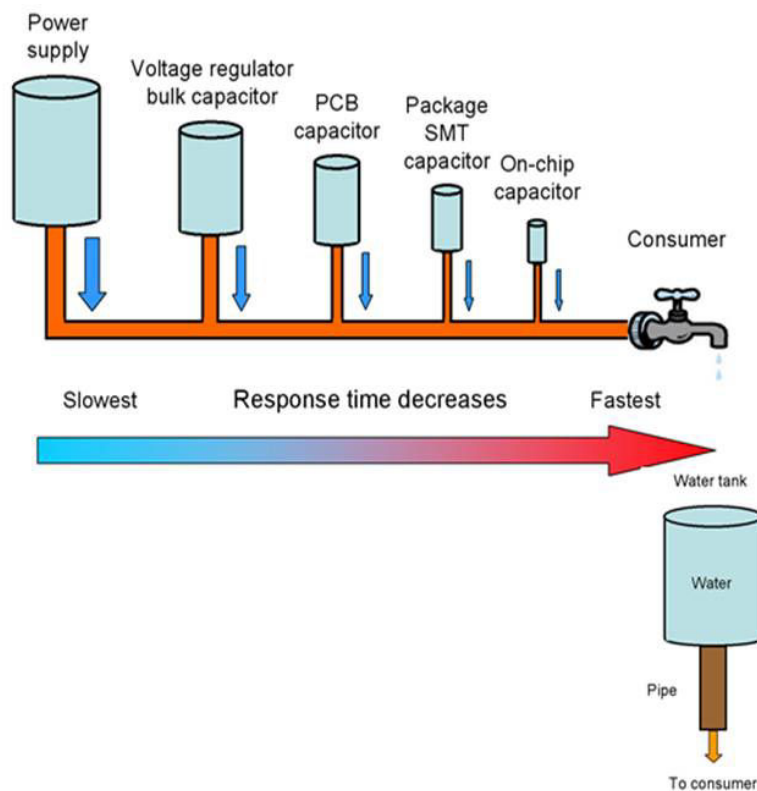


FIGURE 1.19 – Analogie hydraulique du réseau de distribution d'énergie

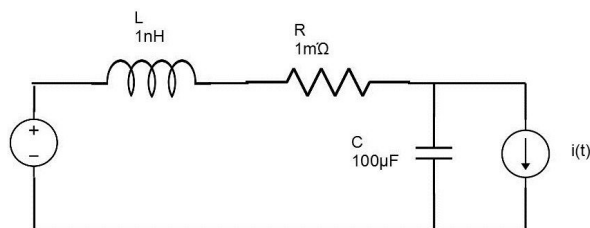


FIGURE 1.20 – Schéma simplifié d'un réseau de distribution

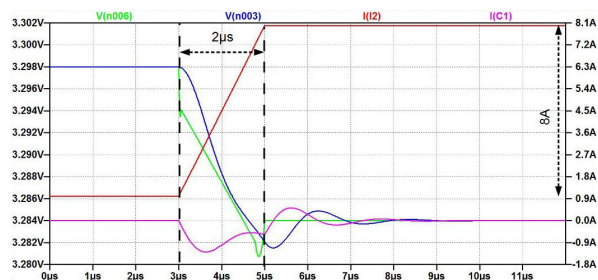


FIGURE 1.21 – Illustration de l'effet d'un condensateur à une variation de courant



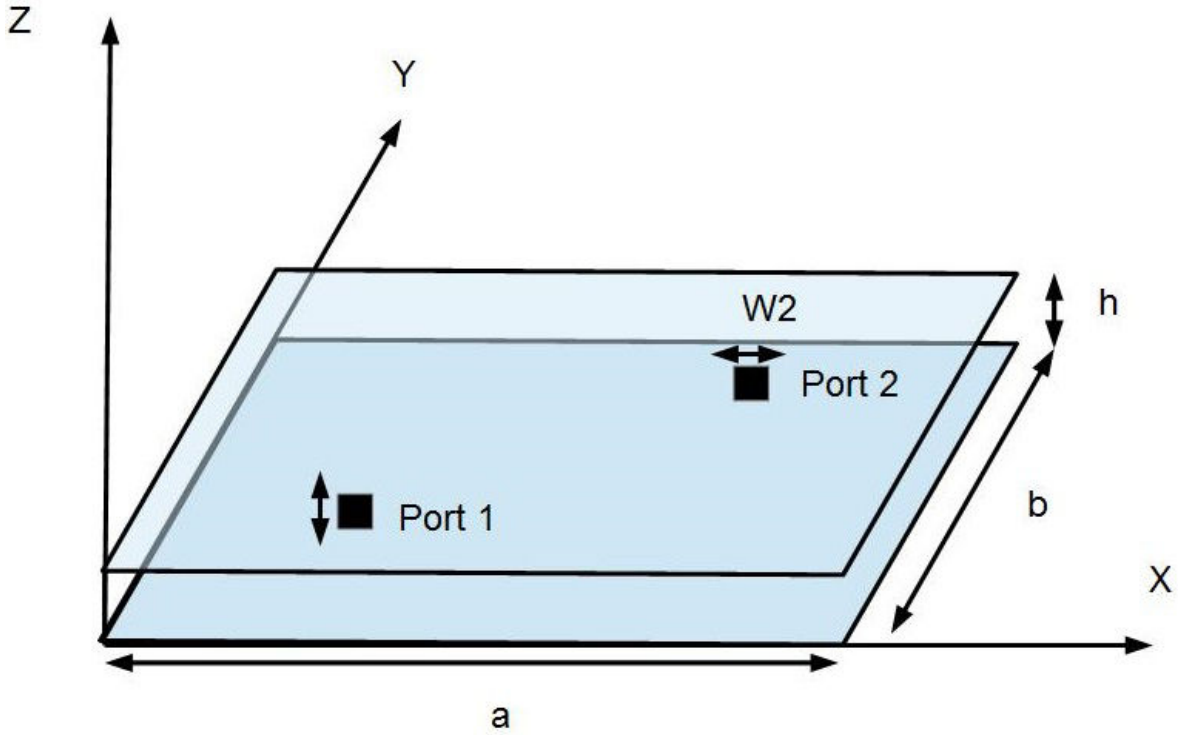


FIGURE 1.22 – Illustration d'une cavité résonante formée par une paire de plans d'alimentation et de masse et emplacement de deux ports pour le calcul de l'impédance de la cavité

Avec  $C$  la capacité électrique en Farad,  $A$  l'aire des deux plans en vis-à-vis,  $\epsilon$  la permittivité relative du diélectrique et  $e$  l'épaisseur séparant les deux plans. Cette capacité constitue elle aussi un réservoir d'énergie qui permet de compenser les appels de courant de quelques nanosecondes jusqu'à quelques centaines de picosecondes soit une capacité de l'ordre de quelques nanofarads ou quelques centaines de picofarads en fonction de la taille des plans. Ce plan agit cependant comme une cavité résonante et présente donc des fréquences pour lesquelles l'impédance de la cavité présente des pics de résonance ou au contraire des creux. Les fréquences pour lesquels la cavité est excitée sont données par l'équation 1.4 :

$$f_{mnp} = \frac{c}{2\pi \cdot \sqrt{\mu_0 \cdot \epsilon_r}} \sqrt{\left(\frac{m\pi}{a}\right)^2 + \left(\frac{n\pi}{b}\right)^2 + \left(\frac{p\pi}{h}\right)^2} \quad (1.3)$$

Avec  $c = \sqrt{\mu_0 \epsilon_r}$ ,  $\epsilon_r$  la constante diélectrique relative du matériau diélectrique,  $m$ ,  $n$  et  $p$  les valeurs propres et  $a$ ,  $b$ , et  $h$  sont respectivement la longueur, la largeur et l'épaisseur du diélectrique séparant les 2 plans illustrés dans la figure 1.22. Il est alors possible de calculer l'impédance de cette cavité pour 2 points du plan situé respectivement sur les positions indiquées dans la figure citée précédemment [CHEN et collab. \[2010\]](#) :

$$Z_{ij} = \sum_{n=0}^{\infty} \frac{\omega \cdot \mu \cdot h \cdot a}{2 \cdot j \cdot b} \cdot C_n \cos(k_{yn} y_i) \cdot \cos(k_{yn} y_j) \cdot \text{sinc}(k_{yn} w_i) \cdot \text{sinc}(k_{yn} w_j) \cdot \frac{\cos(\alpha_n \cdot x_-) + \cos(\alpha_n \cdot x_+)}{\alpha_n \cdot \sin(\alpha_n)} \quad (1.4)$$

avec  $(x_i, y_i)$  et  $(x_j, y_j)$  la position des ports  $i$  et  $j$ ,  $k = \omega \sqrt{\mu \cdot \epsilon (1 + (1-j)\delta/h)}$  où  $\delta = 1/\sqrt{\pi \cdot f \cdot \mu \cdot \sigma}$  la profondeur de l'effet de peau.  $C_n = 1$  si  $n=0$  et  $C_n = 2$  si  $n=2$ .  $k_{yn} = n \cdot \pi / b$ ,  $\alpha_n = a \sqrt{k^2 - k_{yn}^2}$  et finalement  $x_{\pm} = 1 - |(x_i \pm x_j)|/a$

### 1.3.1.4 Le Circuit intégré

La dernière partie constituant le réseau de distribution d'énergie est le circuit intégré. Il comprend son propre réseau de distribution d'énergie interne, c'est-à-dire que l'on retrouve certains éléments du réseau de distribution d'énergie de la carte au niveau du composant. La proportion de broches d'alimentation des circuits intégrés par rapport aux broches de signaux n'a cessé d'augmenter comme l'illustre la figure 1.23, premièrement parce que le composant nécessite de nombreux potentiels d'alimentation différents pour réaliser toutes les fonctions du composant, deuxièmement, afin de distribuer l'arrivée d'énergie sur le composant de manière à réduire les effets parasites des interconnexions et les pertes statiques dans le composant. Depuis très récemment, la minia-

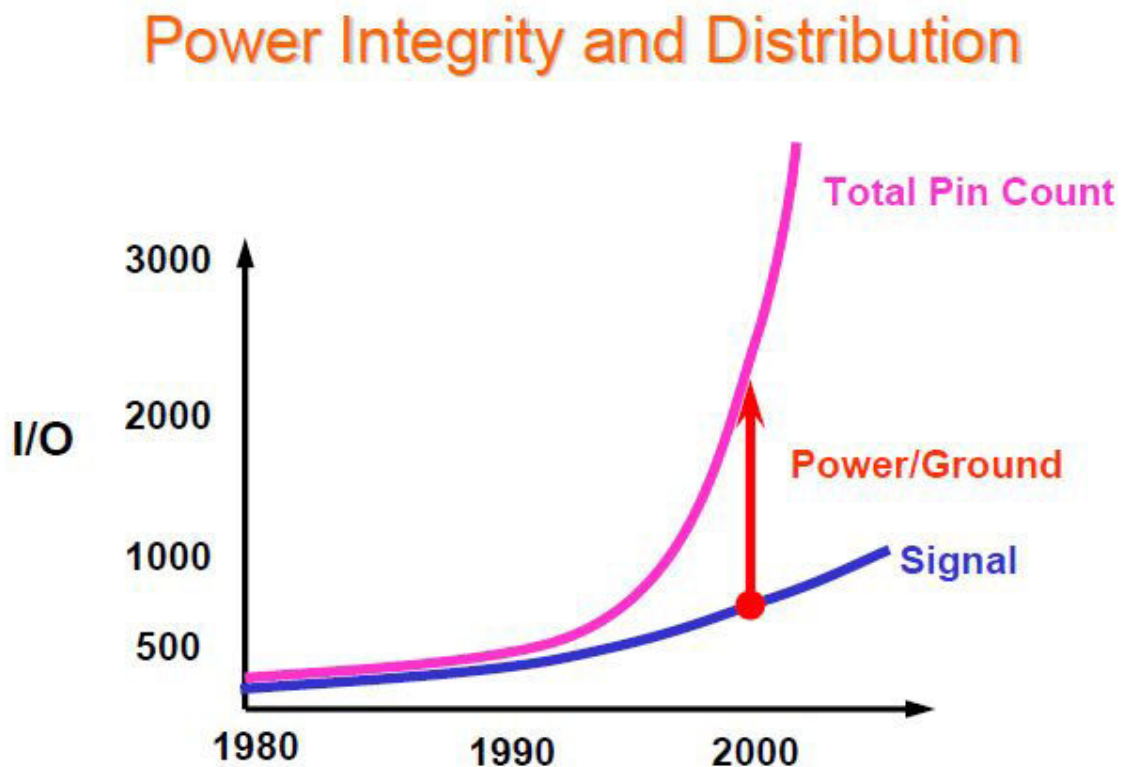


FIGURE 1.23 – Evolution dans le temps de la proportion de broches d'alimentation des circuits intégrés (Support de cours Electronic Packaging Technologies de S. Lopez-Buedo et E. Boemo de l'université autonome de Madrid)

turisation des composants passifs, spécifiquement les condensateurs, permet aux composants complexes d'embarquer leurs propres condensateurs de découplage au sein de leur boîtier. La figure 1.24 présente un FPGA XCK7160T676FBG de Xilinx embarquant des condensateurs de découplage. L'interposeur sur lequel est soudée la puce en silicium comprend aussi des plans d'alimentation formant aussi des capacités de plan. Les interconnexions de la bille du composant au contact avec le silicium présentent aussi des parasites dégradant la stabilité de l'alimentation à l'intérieur même du composant. Les différents éléments parasites du package peuvent être observés dans la figure 1.25

Enfin, sur la puce, des condensateurs sont gravés directement dans le silicium en utilisant la technologie deep trench WANG et collab. [2009] RAO et collab. [1986] ainsi que l'ensemble des capacités parasites des transistors de la puce à l'interface de deux zones de dopage différent (capacité de grille, capacité drain-bulk, etc). Les capacités parasites du transistor sont représentées sur la figure 1.26.

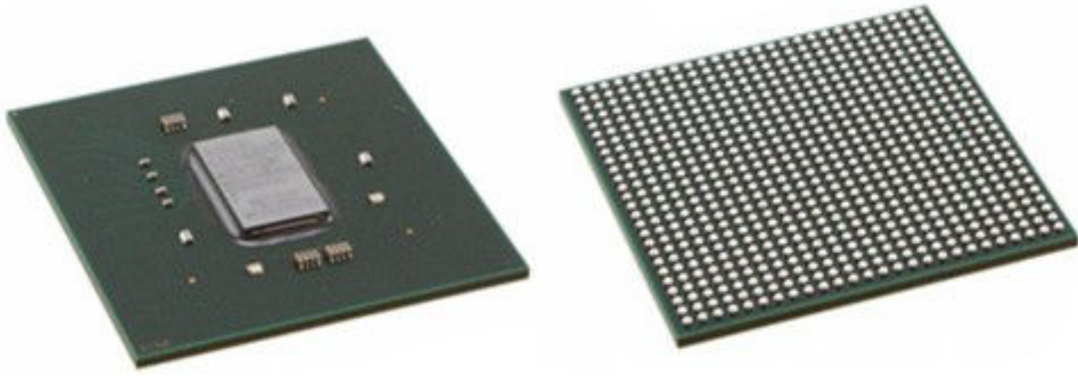


FIGURE 1.24 – Photographie d'un FPGA embarquant des condensateurs de découplage dans son boîtier

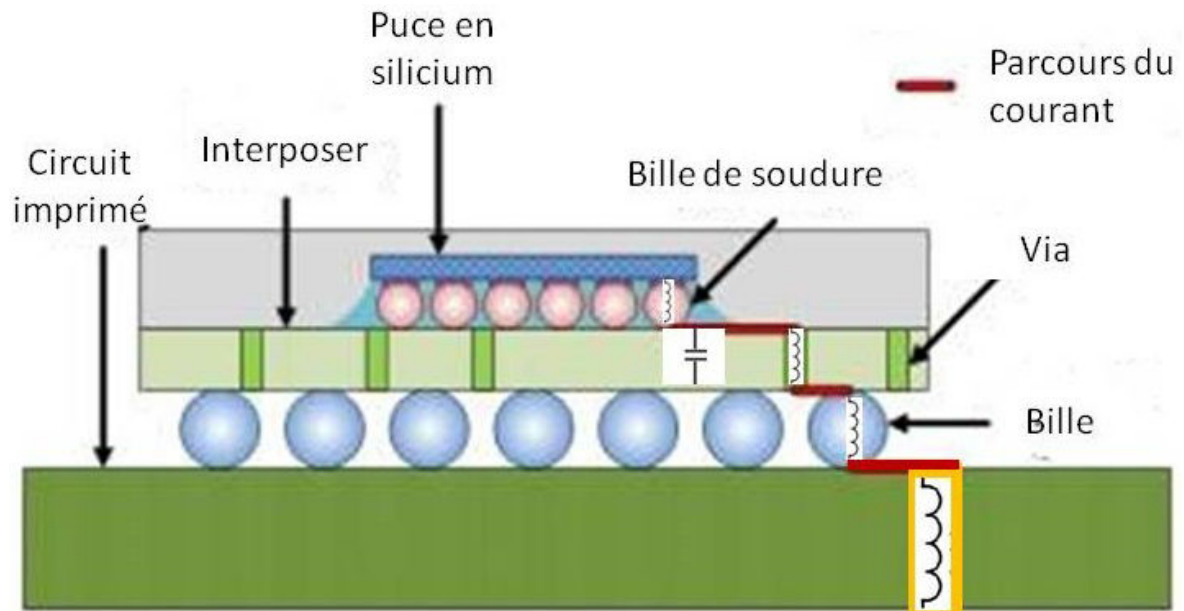


FIGURE 1.25 – Illustration des éléments parasites du package du circuit intégré

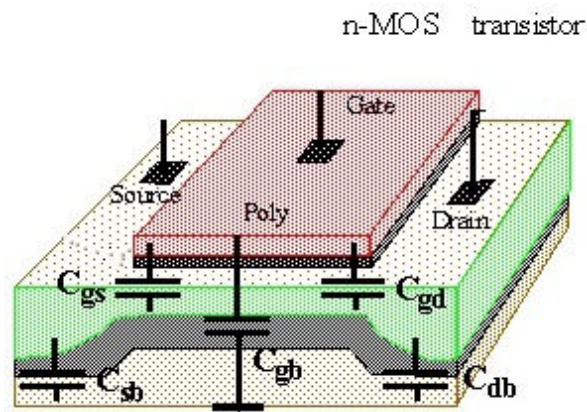
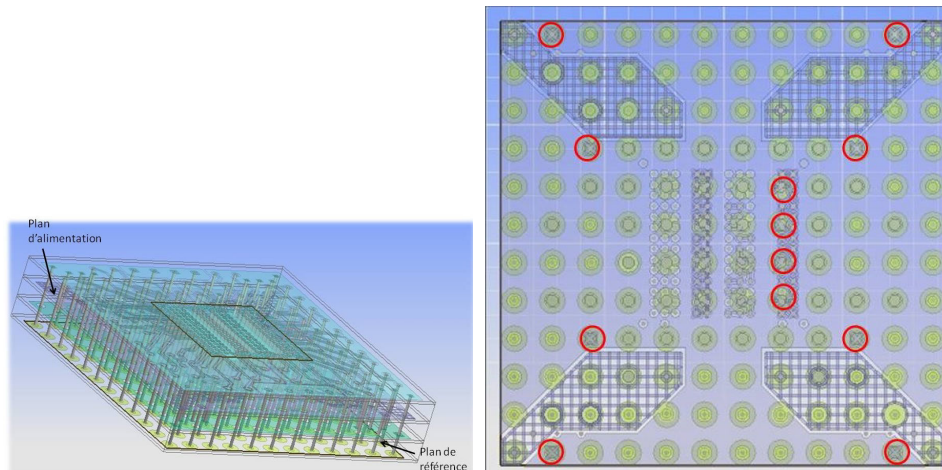


FIGURE 1.26 – Capacités parasites du transistor MOSFET

Bien que non modifiable par le concepteur au niveau de la carte, le réseau de distribution d'énergie interne au composant interagit avec celui de la carte. Il faut donc être en mesure de le modéliser afin de ne pas risquer de dysfonctionnement dû à une mauvaise interaction entre le réseau de distribution d'énergie de la carte et celui du composant. Un exemple de réseau de distribution interne au composant peut être observé en figure 1.27. Les cercles rouges sur la figure 1.27b indiquent les billes du composant reliées au plan VDD de celui-ci. Il est aussi bon d'observer que sur le plan de la deuxième couche de cet interposeur, deux plans d'alimentation cohabitent. Le premier est plein, le second est constitué d'un maillage.



(a) Vue de l'empilement de l'interposeur d'un circuit intégré (b) Vue du dessous de l'interposeur d'un circuit intégré

FIGURE 1.27 – Exemple de réseau de distribution d'énergie d'un composant intégré constitué de deux plans d'alimentation et d'un plan de référence

### 1.3.2 Les problèmes liés à l'intégrité de puissance

Le rôle du réseau de distribution a déjà été présenté dans une section précédente. Afin d'amener suffisamment de courant aux différents organes de la carte sans que les variations de tension dues aux changements d'intensité ne perturbent son fonctionnement, le système de distribution doit être capable de réagir et de s'adapter aux variations de courant tout en respectant une marge de bruit de tension sur le potentiel d'alimentation définie par le composant dont la tolérance est la plus faible.

#### 1.3.2.1 Pertes statiques

Le support du réseau d'alimentation étant principalement constitué de plans de cuivre, ceux-ci ne sont pas idéalement conducteurs et comportent une partie purement résistive. Lorsqu'un fort courant circule sur ces plans en cuivre, une partie de la puissance est perdue par échauffement dû à l'effet Joule. Cette perte se traduit par une chute de potentiel proportionnelle à la résistance du plan de cuivre et à l'intensité du courant circulant sur le plan. La résistance d'un conducteur filiforme se calcule comme dans l'équation suivante :

$$R = \rho \frac{l}{s} \quad (1.5)$$



$\rho$  étant la résistivité en ohm-mètre ( $\Omega m$ ),  $l$  la longueur en mètres (m),  $s$  la section en mètres carrés ( $m^2$ ). Dans le cas de notre plan cette équation peut être réécrite comme suit :

$$R = \rho \frac{L}{le} \quad (1.6)$$

avec  $L$  la longueur du plan en mètres (m),  $l$  la largeur du plan en mètres (m) et  $e$  l'épaisseur du plan en mètres (m). Pour une épaisseur de plan constante, il est possible de faire rentrer l'épaisseur du plan dans la constante de résistivité. Apparaît alors la notion de résistance carrée souvent utilisée pour le calcul de résistivité des plans. L'expression de la résistance carrée du plan est donc :

$$R = R_s \frac{L}{l} \quad (1.7)$$

Avec  $R_s = \rho/e$  dont la grandeur est exprimée en  $\Omega m^2/m$ . Le symbole  $\Omega \square$  est également fréquemment rencontré. Sur un plan plein, la résistance est très faible et présente une chute de potentiel très faible. Cependant dans certaines zones comme sous un composant disposant d'une matrice de billes, la surface de plan est fortement réduite à cause des trous de passage de vias. Ces zones sont aussi appelées zone de fromage suisse en anglais (Swiss Cheese Zone). La résistance locale augmente alors fortement et provoque échauffement et chute de potentiel. Ces zones sont critiques car elles correspondent justement aux endroits où le composant est relié au plan. Si la chute de potentiel au sein du plan est trop forte alors le composant risque de connaître des dysfonctionnements en laissant par exemple des transistors dans des états indéfinis.

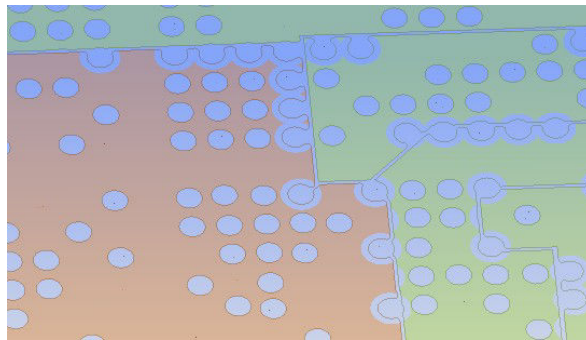
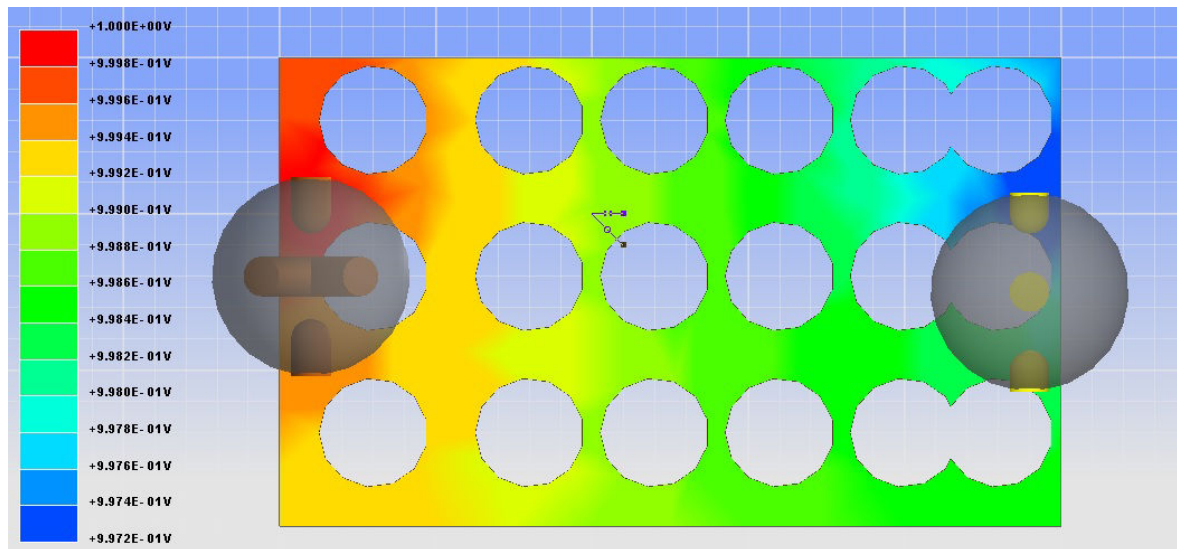


FIGURE 1.28 – Vue d'une zone de plan d'alimentation placée sous un composant numérique

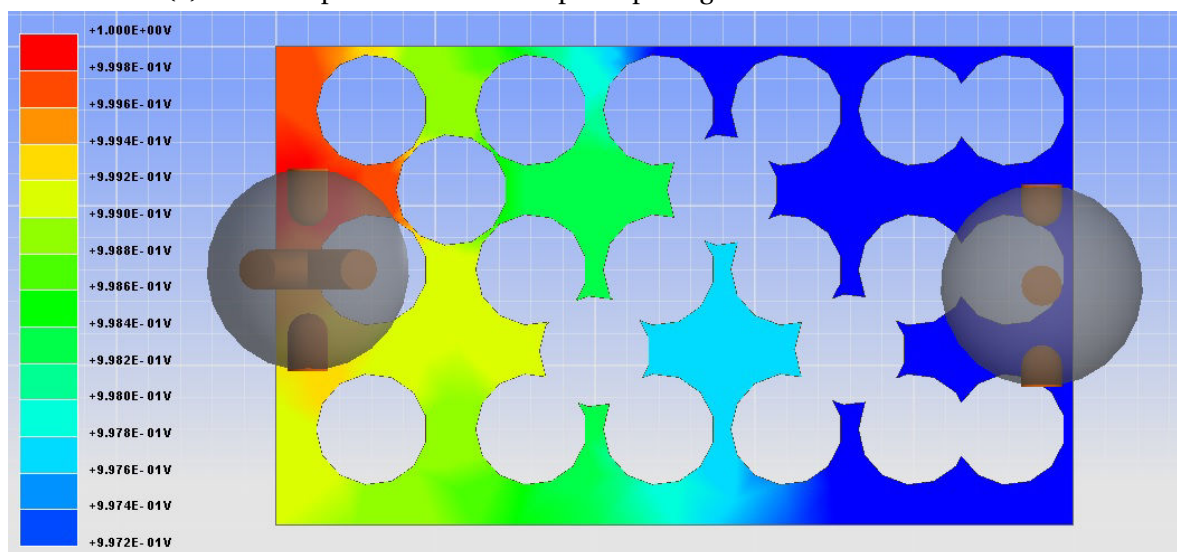
La figure 1.29 montre l'impact sur la chute de potentiel entraînée par la réduction de la surface de plan de cuivre dû au passage de vias traversants. Dans le premier cas 1.29a, la chute de potentiel est de 28mV. Dans le second cas, présenté dans la figure 1.29b, le passage de 4 vias supplémentaires dans cette zone entraîne une chute de potentiel de 76mV. L'échelle indiquant le maximum et le minimum de tension est la même pour les deux figure afin d'être en mesure de comparer les différences.

### 1.3.2.2 Fluctuation du niveau de tension

Par ailleurs, le réseau d'alimentation comporte aussi une composante réactive. Cette réactance est de nature inductive. Elle est due aux interconnexions des éléments du réseau de distribution d'énergie entre eux (les broches du boîtier du convertisseur, le plan



(a) Chute de potentiel entraînée par le passage du courant dans le cas 1



(b) Chute de potentiel entraînée par le passage du courant dans le cas 2

FIGURE 1.29 – Illustration de la chute de potentiel sur un plan de cuivre entraînée par la réduction de la surface de cuivre due au passage de vias traversants

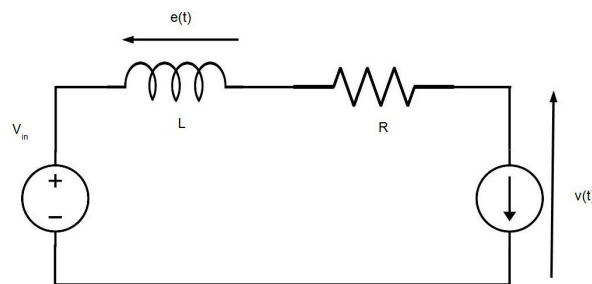
d'alimentation, les billes du composant intégré). Cela implique qu'une variation en courant provoque une variation de la tension proportionnelle à l'inductance du réseau comme le décrit la relation suivante issue de la loi de Lenz-Faraday :

$$e(t) = L \frac{di(t)}{dt} \quad (1.8)$$

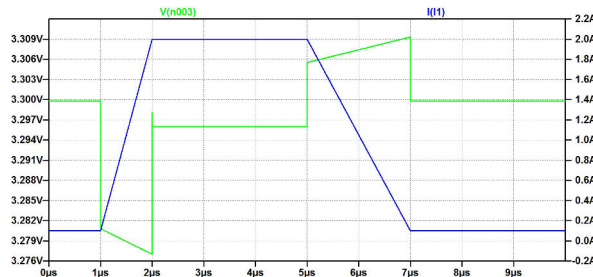
Avec  $e(t)$  la tension résultante de la variation de courant,  $L$  l'inductance du réseau d'alimentation en Henry (H),  $\frac{di(t)}{dt}$  la dérivée du courant par rapport au temps en Ampère par seconde ( $As^{-1}$ ). Lors d'une variation du courant due au fonctionnement d'un composant, la force électromotrice générée et proportionnelle à l'inductance du réseau de distribution vient s'ajouter à la tension statique du réseau. Lors de la variation de courant, le potentiel du réseau de distribution est donc :

$$v(t) = V_{in} + L \frac{di}{dt} \quad (1.9)$$

Le phénomène décrit dans l'équation 1.9 est illustré dans la figure 1.30 représentant un cas non réel (absence de capacité parasite) afin d'illustrer l'effet de l'inductance sur la tension lors de variations de courant.



(a) Schéma du circuit illustrant l'effet de l'inductance à un appel de courant



(b) Courbe de la tension du potentiel d'alimentation en fonction du temps pour un appel de courant

FIGURE 1.30 – Exemple de l'effet de l'inductance parasite sur le potentiel du réseau de distribution d'énergie lors d'un appel de courant

La baisse des potentiels d'alimentation couplée à l'augmentation de la consommation des circuits intégrés rendent le réseau de distribution particulièrement peu tolérant aux variations de tension. En outre, les composants fonctionnant à des fréquences de plus en plus élevées, les variations de courant provoquées sont très importantes et laisse présager que la composante inductive du réseau de distribution d'énergie est le problème prépondérant pour la stabilité de ceux-ci. Un rail d'alimentation mal conçu peut conduire à différents dysfonctionnements sur une carte électronique :

- La diminution de la tension d'alimentation d'un buffer peut entraîner une lenteur dans la commutation de celui-ci et provoquer des erreurs de mots dans le cas d'un

bus parallèle (mémoire DDR) ou la superposition de symboles dans un lien série rapide

- La diminution du niveau de tension peut aussi réduire le niveau de tension du signal en sortie de transistor et laisser le transistor dans un état indéfini entraînant un dysfonctionnement
- L'augmentation de la tension au delà d'un certain point peut provoquer un vieillissement prématuré du composant ou sa destruction
- La variation de tension peut être transmise sur un transistor physiquement proche par couplage électromagnétique (phénomène de diaphonie) ou provoquée par un bruit de commutation

Outre, les aspects propres à l'alimentation de la carte, un rail d'alimentation présentant des défauts, comme par exemple, des modes d'excitations pour certaines fréquences de résonance propres, peut aussi provoquer des dysfonctionnements de la carte par interférences électromagnétiques conduites mais aussi rayonnée. Dans le cas de la pollution conduite, le bruit généré se propage sur toute la carte grâce aux interconnexions entre le rail d'alimentation et les différents composant. Dans la cas de la pollution rayonnée, les interférences sont transmises par des phénomènes de couplage. Les fonctions radiofréquences sont particulièrement touchées par ce phénomène.

### 1.3.2.3 efficacité du condensateur

Les fluctuations des niveaux de tension du réseau de distribution d'énergie sont principalement dues à la partie inductive des éléments de celui-ci. Afin de compenser cet effet inductif naturel dont la réactance est positive, des condensateurs de découplage sont utilisés. En effet, ceux-ci diminuent la partie imaginaire de l'impédance du réseau de distribution d'énergie car leur réactance est négative. Physiquement, la variation de tension induite par la variation de courant lors du fonctionnement du composant est compensée par la génération d'un courant au sein des condensateurs. L'équation régissant ce phénomène est la suivante :

$$i(t) = C \cdot \frac{du}{dt} \quad (1.10)$$

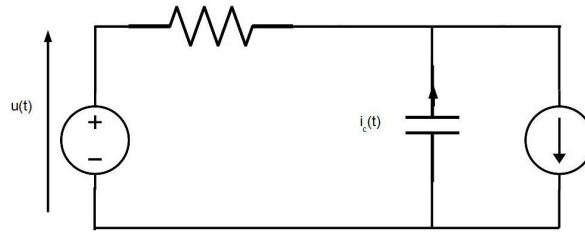
L'appel de courant du composant provoque donc une variation de tension sur le potentiel d'alimentation. Cette variation de tension provoque alors la génération d'un courant par décharge des condensateurs qui vient donc compenser l'appel de courant du composant. Ce phénomène est représenté dans la figure 1.31.

Les condensateurs ne sont cependant pas parfaits. En effet leur structure présentée dans la figure 1.18 démontre qu'il existe des interconnexions dans le boîtier du condensateur. Ces interconnexions comme celles du réseau de distribution d'énergie introduisent des parasites résistifs et inductifs. Ils peuvent être regroupés au sein d'une résistance série équivalente ESR et d'une inductance série équivalente. Le condensateur peut donc être modélisé comme un circuit RLC série. L'impédance du condensateur est donc équivalente à :

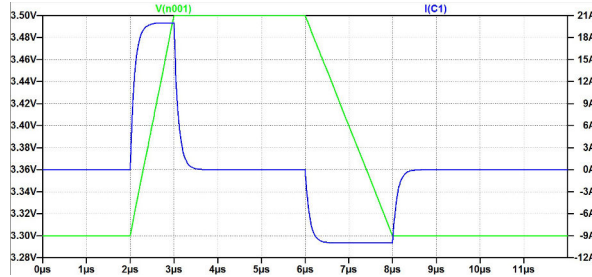
$$Z_{cond} = R_{ESR} + \frac{1}{C \cdot j \cdot 2\pi f} + L \cdot j \cdot 2\pi f \quad (1.11)$$

Qu'il est possible de réécrire sous la forme canonique :





(a) Schéma du circuit illustrant la génération d'un courant des condensateurs lors de la variation de la tension



(b) Courbe du courant du condensateur en fonction du temps pour une variation de la tension du potentiel d'alimentation

FIGURE 1.31 – Exemple de l'effet de l'inductance parasite sur le potentiel du réseau de distribution d'énergie lors d'un appel de courant

$$Z_{cond} = \frac{1 + R \cdot C \cdot j \cdot s - L \cdot C \cdot j \cdot s^2}{C \cdot j \cdot s} \quad (1.12)$$

La réponse fréquentielle d'un circuit RLC série est un filtre passe-bande dont la fréquence de résonance est égale à :

$$f_{res} = \frac{1}{2\pi\sqrt{L \cdot C}} \quad (1.13)$$

Ces éléments parasites perturbent le comportement idéal du condensateur. En deçà de cette fréquence de résonance, le condensateur présente une réactance capacitive donc négative, l'impédance augmente lorsque la fréquence tend vers 0. Dans cette bande de fréquence, le rôle du condensateur est bien de compenser une variation de tension en se déchargeant ou en se chargeant. En revanche lorsque la fréquence est supérieure à la fréquence de résonance propre du condensateur non idéal, l'impédance augmente alors proportionnellement à la fréquence car la partie réactive inductive devient prépondérante sur la partie capacitive. Dans ce cas de figure, le condensateur se comporte alors comme une inductance et génère une variation de tension en réaction à une variation de courant. C'est cette partie parasitique inductive qui limite l'action du condensateur à une certaine limite de fréquence. A la fréquence de résonance, les parties inductives et capacitives s'annulent, le condensateur est donc purement résistif. La résistance série équivalente du condensateur représente donc la valeur minimum de l'impédance que peut atteindre le condensateur. La réponse fréquentielle d'un condensateur non idéal est représentée en figure 1.32.

Aux parasites intrinsèques du condensateur s'ajoutent les effets parasitiques des interconnexions du condensateur avec le réseau de distribution d'énergie. Ces parasites d'interconnexion sont de nature résistive et inductive principalement. La résistance parasitique tend à augmenter l'impédance minimum que peut atteindre le condensateur. En

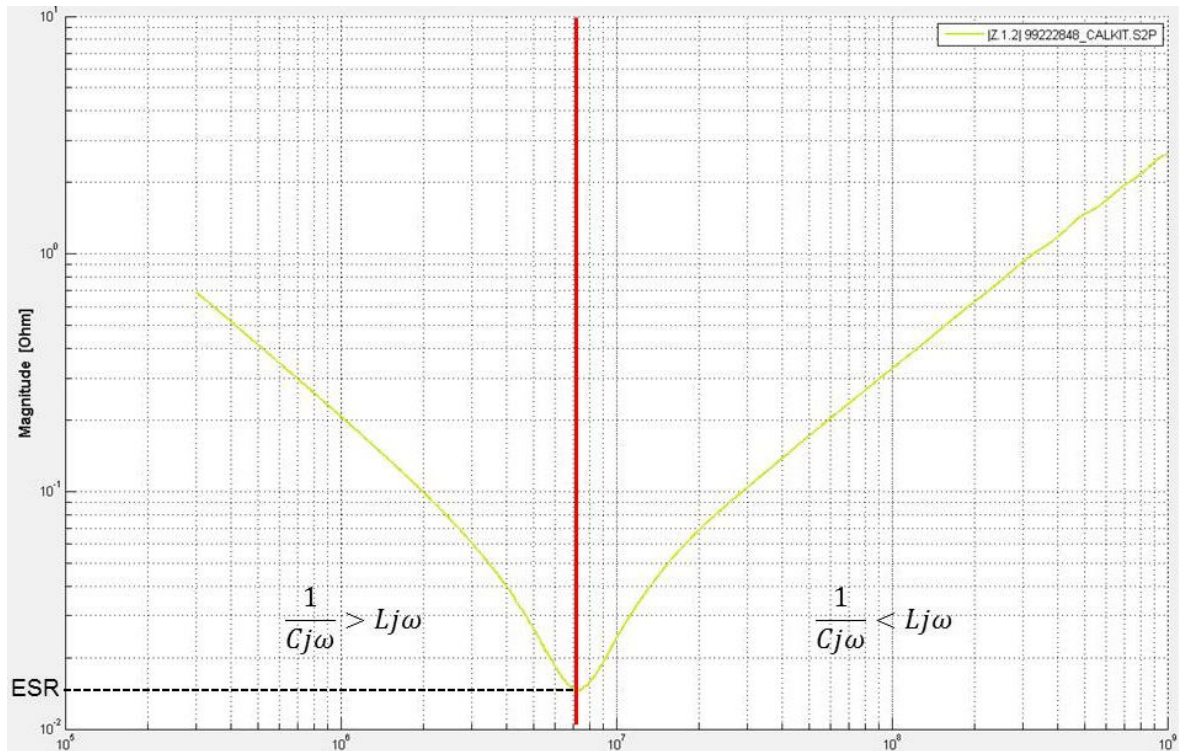


FIGURE 1.32 – Réponse fréquentielle d'un condensateur non idéal

revanche l'inductance parasitique due à la connexion du condensateur au plan appelée inductance montée est constituée de la boucle de courant formé par le circuit reliant le condensateur au composant à découpler. Les éléments constituant cette boucle sont :

- Le via du composant au plan d'alimentation.
- Le plan d'alimentation.
- Le via et les pistes reliant le plan d'alimentation à la plage d'accueil du condensateur.
- La piste et le via reliant l'autre pôle du condensateur au plan de référence.
- Le plan de référence et les vias reliant le composant au plan de référence.

Un exemple d'inductance montée détaillé autour du condensateur est donné en figure 4.1. Dans cette figure, la boucle formée par le courant est matérialisée en rouge.

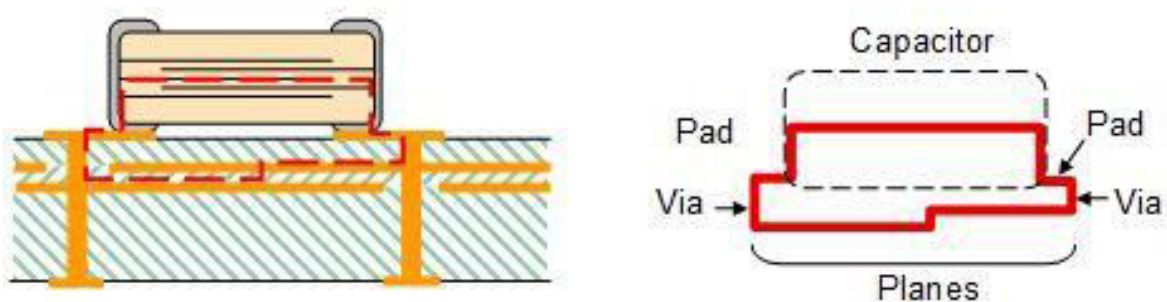


FIGURE 1.33 – Illustration de l'inductance montée d'un condensateur de découplage

L'inductance montée dépend donc très fortement de l'épaisseur du circuit imprimé mais aussi du routage. En effet, plus les éléments de connexion sont longs, plus l'inductance montée est importante. Afin d'optimiser l'efficacité des condensateurs de découplage et donc d'adapter leur nombre au minimum nécessaire, il est important de soigner le routage de la carte [FIZEŞAN et PITICĂ \[2012\]](#) [GORAL et collab. \[2015b\]](#). La figure 1.34 montre l'impact du routage sur la valeur de l'inductance montée. L'inductance montée du condensateur s'additionne à l'inductance série équivalente et tend donc à diminuer la fréquence de résonance propre du condensateur. Cela revient donc à réduire la bande passante du condensateur.

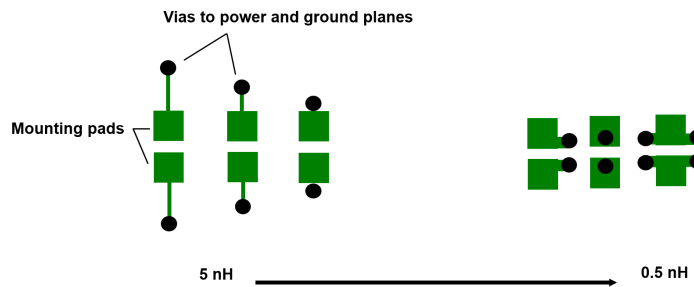


FIGURE 1.34 – Illustration de l'impact du routage sur l'inductance montée

L'importance de la modélisation de l'inductance pour l'exactitude des résultats de simulation ainsi que différentes techniques pour mesurer l'inductance série équivalente et l'inductance montée sont démontrées dans [NOVAK et collab. \[2005\]](#)

#### 1.3.2.4 Espace occupé par le réseau de distribution d'énergie

Le réseau de distribution d'alimentation d'une carte électronique occupe généralement 30% de la surface du circuit imprimé. Dans certains cas, cette proportion peut augmenter jusqu'à 45% de la surface totale des couches extérieures de la carte dans le cas où toutes les fonctions de celle-ci sont intégrées dans les circuits intégrés. Il s'agit alors d'un obstacle majeur à la miniaturisation et à la densification des cartes électroniques. Les circuits analogiques des convertisseurs et des régulateurs linéaires bénéficient de la dynamique de miniaturisation de la microélectronique. Ainsi, la taille des boîtiers de ces circuits diminuent pour des puissances égales ou supérieures aux générations précédentes. De même, pour beaucoup de composants d'alimentation, le circuit correspondant à la partie de commande cohabite dans le même boîtier que la partie de puissance. Grâce aux progrès réalisés sur les structures des transistors de puissance, ceux-ci sont désormais capables de commuter très rapidement (de l'ordre de quelques centaines de nanosecondes) en créant du bruit de commutation inférieur à la sensibilité des composants. Cette augmentation de la fréquence de fonctionnement des convertisseurs favorise la miniaturisation du réseau de distribution d'énergie puisque les fréquences étant de plus en plus élevées, les éléments de filtrage en sortie de convertisseur notamment, voient leur valeur diminuer et donc la possibilité d'utiliser des boîtiers de tailles inférieures. Néanmoins, la présence sur une carte de plus d'une dizaine de potentiels différents implique l'implantation du nombre de montages de conversion d'énergie correspondant. Ceux-ci occupent donc une place considérable en surface du circuit imprimé. Cependant, la majeure partie des éléments du réseau de distribution d'énergie occupant la surface du circuit imprimé est constituée de condensateurs de découplage. L'ensemble des condensateurs de découplage d'un potentiel est aussi appelé réseau de découplage. Le dimensionnement de

ce réseau de découplage est déterminant pour la densité de la carte puisqu'il occupe un espace important de la surface du circuit imprimé. C'est pourquoi, il est primordial d'une part d'être en mesure de maîtriser parfaitement le comportement de cet ensemble de condensateurs afin de s'assurer du bon fonctionnement du composant mais aussi qu'aucun condensateur superflu ne soit ajouté à la carte. D'autre part il est essentiel d'optimiser le routage de la carte et la stratégie de découplage afin de réduire au maximum le nombre de condensateurs et de limiter le nombre de références de condensateurs utilisés pour réduire les coûts de production. Enfin, il faut également réduire la surface occupée par les condensateurs afin d'augmenter la densité de la carte. Un exemple de la place occupée par le réseau de découplage d'une carte électronique peut être aperçu dans la figure 1.35.

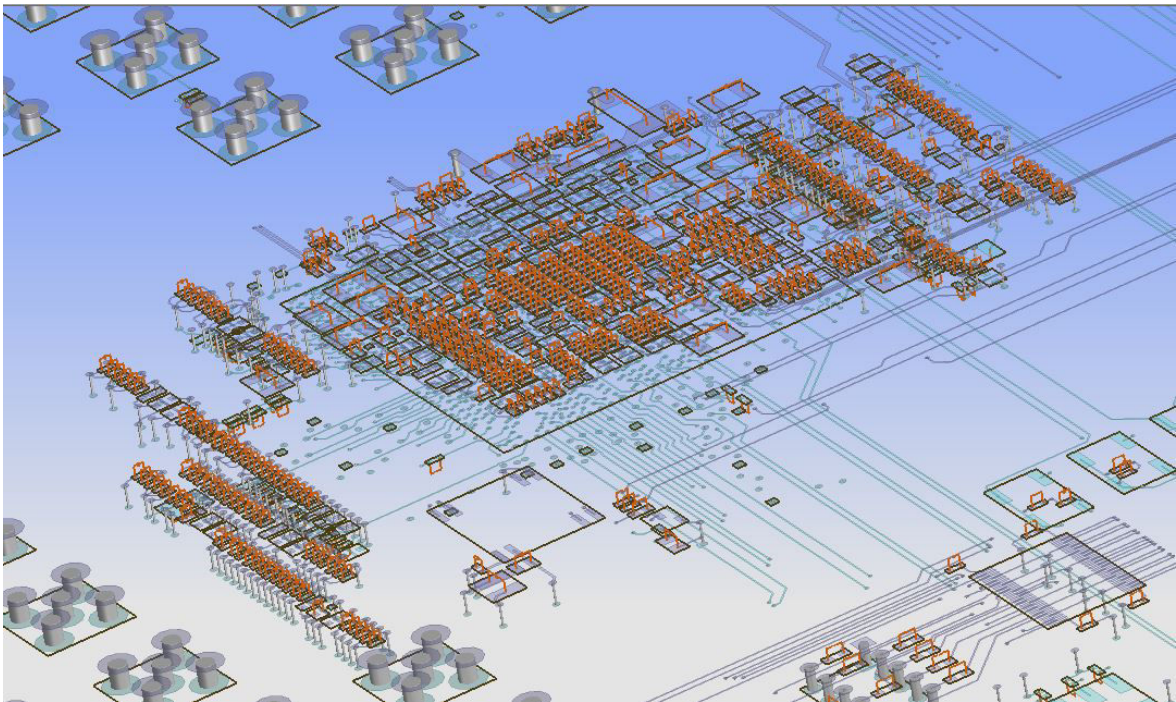


FIGURE 1.35 – Exemple de la surface occupée par le réseau de découplage sous un FPGA sur un véhicule de test

Il arrive que pour des contraintes mécaniques, il soit uniquement possible de placer des composants sur une face du circuit imprimé et non sur les deux comme c'est habituellement le cas. Dans ce cas précis, non seulement le routage doit être encore d'avantage soigné, mais il convient aussi de maîtriser convenablement le comportement des condensateurs pour lesquels l'effet d'inductance de boucle réduirait fortement l'efficacité.

### 1.3.2.5 Bruit de commutation simultanée

Le dernier problème relatif au réseau de distribution d'énergie et commun à une problématique d'intégrité de signal est le bruit de commutations simultanées. Cette problématique est aussi couramment appelée **SSN** ou **Simultaneous Switching Output (SSO)** en anglais. Il s'agit du bruit induit sur le réseau de distribution d'alimentation par la commutation simultanée de plusieurs éléments de I/O d'un composant comme des composants de mémoire. Les commutations simultanées vont provoquer une chute du potentiel d'alimentation qui va se répercuter sur d'autres signaux dont les buffers sont reliés au même potentiel. La dynamique du signal en est réduite et peut provoquer une erreur logique en



laissant par exemple un transistor dans un état indéfini ou des retards de ligne en diminuant la vitesse de commutation des buffers d'I/O. Le phénomène de bruit de commutations simultanées tend à devenir de plus en plus courant à cause de l'augmentation de la densité du nombre d'entrées/sorties au sein des circuits intégrés.

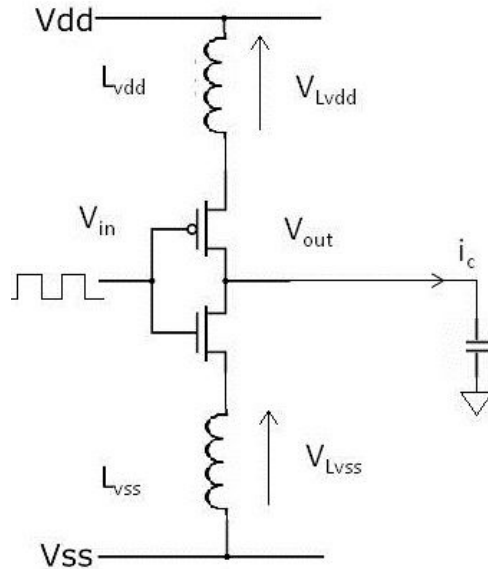


FIGURE 1.36 – Schéma d'illustration des parasites d'un étage de sortie d'un buffer

Le maintien d'un état haut ou d'un état bas ne consomme que très peu d'énergie. En effet, il s'agit uniquement d'appliquer une différence de potentiel entre deux points d'un circuit. Cela relève uniquement d'un problème statique, l'énergie perdue correspond uniquement au phénomène de dissipation par effet Joule due à la résistivité naturelle du circuit. En revanche, le passage d'un état à l'autre requiert plus d'énergie car tous les éléments parasitiques inductifs et capacitifs du circuit interviennent. Ces éléments correspondent à des réservoirs d'énergie qu'il faut remplir avant d'atteindre le nouvel état stable. L'élément nécessitant le plus d'énergie est la capacité parasite de la charge sur laquelle est connecté le circuit de transmission du signal. Cette capacité se charge grâce au courant  $i_c$  dans le cas d'une commutation de l'état bas à l'état haut dans la figure 1.36. Lors de la commutation inverse, c'est-à-dire du passage de l'état haut à l'état bas, une partie importante d'énergie est à nouveau consommée puisqu'il faut décharger la capacité parasite de la charge avant que l'état bas ne soit atteint. Le courant ainsi circulant provoque donc aussi une perte d'énergie. Dans le cas d'une transmission d'un signal d'un transistor à l'autre (Transistor to Transistor Logic), cette capacité parasite correspond à la capacité de grille du transistor récepteur. La commutation d'un circuit entraîne donc une forte variation de courant. Cette variation de courant  $i_c$  provoque une variation de tension  $V_{Ldd}$  proportionnelle à l'inductance parasite  $L_{dd}$  du circuit comme décrit dans l'équation 1.8. Il en résulte qu'au moment de la commutation le potentiel d'alimentation augmente ou diminue en fonction du sens de la variation de courant de la valeur de  $V_{Ldd}$ . Cette variation se transmet aux autres transistors puisqu'ils sont reliés au même potentiel d'alimentation. Plus le nombre de sorties commutant simultanément sur un même potentiel est grand, plus l'impact sur le réseau de distribution d'énergie et sur les autres signaux dits victimes est important.

Un exemple de transmission de bruit est donné dans la figure 1.37. Les sorties des transistors 1 et 2 sont fixées respectivement à l'état bas et à l'état haut. Le transistor 3

commute de l'état haut à l'état bas. Un courant est généré par la décharge de la capacité de charge. Cette variation de courant provoque un saut de tension dû à la force contre électromotrice de l'inductance parasite de connexion de la masse. Ce saut de tension se répercute alors sur la sortie du transistor 1.

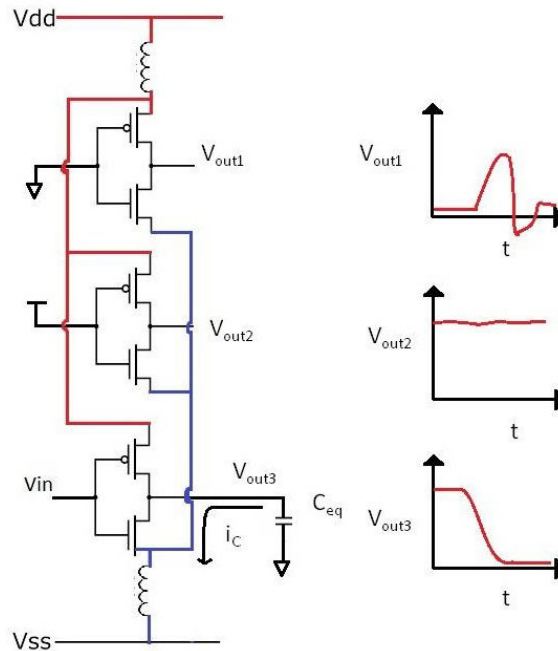


FIGURE 1.37 – Exemple de transmission d'une perturbation due à une commutation

### 1.3.3 Conclusion partielle

Dans cette partie de chapitre, l'ensemble des éléments du réseau de distribution d'énergie tant au niveau de la carte électronique que des circuits intégrés a été présenté en détail. Les différentes technologies de composants employées ont été décrites et un état de l'art des solutions d'alimentation existantes permet de comprendre les problématiques existantes dans la conception d'un réseau d'alimentation sur une carte électronique. Ces problématiques ont, elles aussi, été précisément étudiées afin d'énumérer et d'expliquer plus précisément les différents phénomènes physiques à modéliser et à quantifier afin d'être en mesure de dimensionner convenablement le réseau de distribution d'énergie d'une carte électronique, assurer sa stabilité dans tous les modes de fonctionnement de la carte et ainsi d'éliminer le risque de dysfonctionnement relatif aux circuits de distribution d'énergie.

La partie suivante présente les différents outils nécessaires à la simulation et la validation du réseau de distribution d'énergie. Des outils basés sur des méthodes généralement analytiques sont utilisés en phase de dimensionnement pour calculer le nombre de couches, définir l'empilement le plus adapté à l'application et le nombre de condensateurs nécessaires au découplage. D'autres outils basés sur des méthodes de résolution numériques permettent :

- D'éviter les dysfonctionnements dus aux pertes statiques.
- De valider le routage des condensateurs.
- D'optimiser leur efficacité en réduisant l'inductance montée.

- De réduire leur nombre au strict nécessaire pour des enjeux d'encombrement
- D'inclure le comportement des circuits d'alimentation dans les simulations d'intégrité de signal afin de quantifier l'impact du bruit de commutation simultanée sur la transmission du signal.

## 1.4 Les outils de dimensionnement et d'analyse du réseau de distribution d'énergie

Les outils de dimensionnement et d'analyse du réseau de distribution d'énergie doivent s'intégrer parfaitement au flot de développement des cartes électroniques actuellement utilisé au sein de l'entreprise. Ils doivent donc couvrir tout le processus de conception depuis les spécifications amonts jusqu'aux phases de validation de la carte. Ces outils d'analyse se répartissent principalement en deux catégories :

- Les outils de dimensionnement pré-routage, qui s'utilisent lors des phases anticipées de conception n'utilisent que les propriétés électriques de la carte et sont surtout basés sur des formules analytiques ou sur des résultats de mesure de composants évalués hors système.
- Les outils d'analyse et de validation post-routage utilisent les propriétés géométriques et électriques de la carte. Ils se basent principalement sur des méthodes de résolution numériques ainsi que sur des modèles complexes issus de simulation ou des résultats de mesures.

Les outils de dimensionnement pré-routage sont presque indépendants des logiciels utilisés pour la conception des cartes. Ils doivent uniquement être adaptés aux données d'entrée disponibles lors de la spécification des cartes. Ils ne requièrent uniquement que les informations que les concepteurs ont à leur disposition au démarrage de la conception de la carte et renvoient comme résultats tous les données significatives pouvant effectivement aider le concepteur à dimensionner et concevoir la carte en évitant l'apparition de problèmes d'alimentation comme ceux cités dans la [partie](#) précédente.

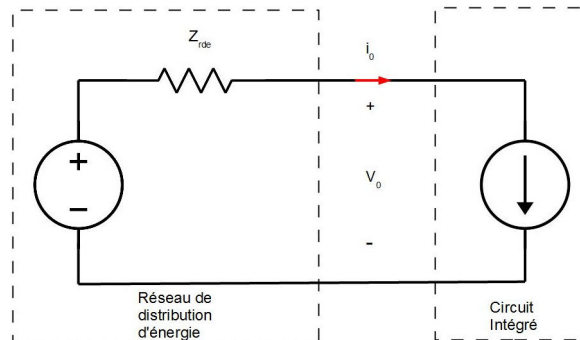
Les outils d'analyse et de validation en revanche doivent être compatibles avec le reste des outils du flot de conception des cartes. En effet, ils s'appuient principalement sur les informations géométriques et électriques des cartes prodigués par les outils de conception pour réaliser les différentes analyses demandées. Il doit donc être possible d'importer de manière automatisée les informations nécessaires aux analyses depuis l'outil de conception utilisé dans le processus de création d'une carte.

### 1.4.1 L'impédance cible

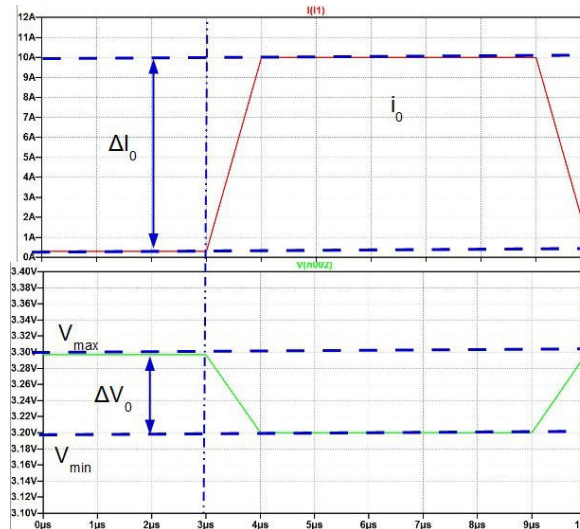
Le réseau de distribution doit fournir aux composants l'énergie nécessaire à leur bon fonctionnement. Il doit donc fournir toutes les charges nécessaires aux éléments de la carte sous leur tension nominale d'alimentation. Du fait des parasites inductifs des interconnexions du réseau de distribution d'énergie, les variations d'intensité ou appels de courant provoquent des variations de tension du potentiel d'alimentation. Ces variations de tension doivent cependant rester comprises entre certaines valeurs afin de ne pas provoquer de dysfonctionnement de la carte ou la destruction des composants.

### 1.4.1.1 définition de l'impédance cible

Il est possible de lier les variations d'intensité aux variations de tension grâce à une grandeur physique : L'impédance. Pour assurer son rôle, le réseau de distribution d'énergie doit donc présenter une impédance maximale telle que la plus grande variation de courant rencontrée durant le fonctionnement de la carte provoque une variation de tension inférieure à l'ondulation de tension maximale que peut tolérer le composant le plus sensible de ce potentiel d'alimentation. La variation de tension provoquée par l'appel de courant est décrite dans la figure 1.38



(a) Impédance maximale admissible par le réseau du distribution d'énergie



(b) Variation de courant engendrant une variation de tension proportionnelle à l'impédance du réseau de distribution d'énergie

FIGURE 1.38 – Illustration de l'impédance maximale admissible par le réseau de distribution d'énergie

Une autre illustration plus réaliste des tolérances de variation de tension en sortie de module régulateur de tension est donnée dans le guide de conception d'alimentation d'Intel Int [2009] en figure 1.39

Cette impédance porte le nom d'impédance cible. Cette impédance cible est fonction de la fréquence puisque cette relation doit rester vraie qu'elle que soit la fréquence de la variation de courant. L'impédance cible se calcule de la manière suivante :

$$Z(f) = \frac{\Delta V_{max}}{\Delta I_{max}} \quad (1.14)$$

Avec  $\Delta V$  la variation de tension maximale admissible sur le réseau d'alimentation et



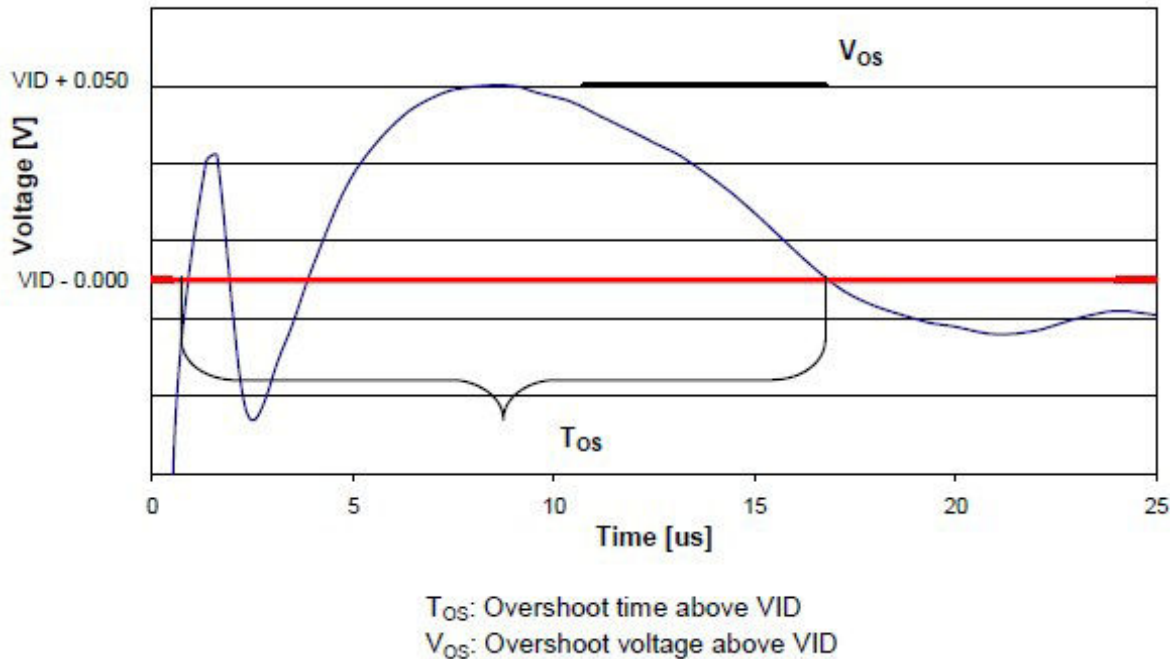


FIGURE 1.39 – Illustration de la tolérance des variations de tension en sortie de module régulateur de tension pour un microprocesseur Intel

$\Delta I$  la variation maximale de courant lors du fonctionnement du composant. A l'introduction du calcul de l'impédance cible dans à la fin des années 90 [SMITH et collab. \[1999\]](#), il était courant et raisonnable d'estimer la variation du courant maximale comme la moitié de la consommation maximale du composant. De plus, la sensibilité est souvent exprimée en terme de pourcentage du potentiel d'alimentation. Il était donc très courant de trouver la formule de l'équation 1.15 dans la littérature :

$$Z(f) = \frac{V \cdot \%_{ondulation}}{\frac{I_{max}}{2}} \quad (1.15)$$

Cependant, la consommation électrique des systèmes notamment portables étant un axe d'amélioration très concurrentiel, de nombreux composants numériques sont désormais dotés de modes de fonctionnement de très faibles consommation afin d'économiser un maximum d'énergie lorsqu'ils ne sont pas sollicités et au contraire d'atteindre en quelques coups d'horloge une consommation maximale pour réaliser des calculs importants dès qu'ils sont activés. Ces scénarios de fonctionnement présentent donc des variations de courant supérieures à la variation  $\frac{I_{max}}{2}$  et il n'est donc plus possible d'utiliser cette simple règle.

De plus, les calculs d'impédance cible présentés dans les équations 1.14 et 1.15 supposent que l'impédance cible est constante quelle que soit la fréquence de fonctionnement et donc que la variation de courant est elle aussi uniforme sur toute la plage de fréquences de fonctionnement de la carte. Or, les variations de courant n'ont d'une part certainement pas un spectre continu infini comme le considère le modèle présenté dans l'équation 1.15 et d'autre part, toutes les fréquences contenues dans le spectre de fonctionnement de la carte ne sont certainement pas excitées de la même manière.

Enfin, il est important de définir la plage de fréquence prise en considération pour utiliser cette impédance cible comme indicateur pour la conception du réseau de découplage d'un potentiel d'alimentation. L'une des fréquences les plus significatives est la

fréquence d'horloge du composant alimenté ou de la fonction alimentée par ce potentiel. Cette fréquence d'horloge indique la fréquence maximale à laquelle commutent les transistors du composant et donc la fréquence fondamentale du front de commutation de l'appel de courant. Cependant, les fronts de commutation des transistors ne sont pas purement sinusoïdaux et leur spectre fréquentiel s'étale donc d'avantage en fréquence. Il est donc également nécessaire de prendre en compte des excitations en courant supérieures à la fréquence d'horloge pour éviter que des harmoniques du front de commutation ne viennent provoquer des variations de tension sur le réseau de distribution d'alimentation. L'estimation du nombre d'harmoniques à prendre en considération dépend principalement de la forme de la commutation en courant.

#### 1.4.1.2 Utilisation de l'impédance cible pour le dimensionnement du réseau de distribution d'énergie

Comme indiqué dans la définition donnée [ci-dessus](#), l'impédance cible représente l'impédance maximum que le réseau de distribution peut atteindre en fonction de la fréquence afin de ne pas violer les consignes de tenue en tension pour le bon fonctionnement de la carte. La nature inductive des éléments parasites des interconnexions du réseau de distribution d'énergie tend à augmenter l'impédance proportionnellement à la fréquence. Les condensateurs de découplage placés en parallèle au potentiel d'alimentation ont, par contre, pour effet, de réduire cette impédance. En effet, en dessous de la fréquence de résonance propre du condensateur, l'impédance du réseau de distribution 2 de la figure 1.40 à fréquence égale est inférieure à celle du réseau de distribution 1 ne comportant aucun condensateur de découplage. En revanche, pour une fréquence supérieure à la fréquence de résonance propre du condensateur, l'impédance du réseau de distribution 2 est supérieure à celle du réseau 1. Ceci est dû l'inductance parasitique du condensateur qui s'ajoute à celle du réseau de distribution et provoque donc une augmentation plus rapide de l'impédance avec la fréquence.

L'impédance de réseau de distribution peut être d'avantage réduite en ajoutant un second condensateur de la même valeur. L'impédance est alors réduite car les capacités des deux condensateurs s'ajoutent puisqu'ils sont placés en parallèle. Mais cela a aussi pour effet de réduire la résistance et l'inductance série par deux si les condensateurs sont identiques. Ces éléments étant placés en parallèle, leur impédance équivalente est l'inverse de la somme de leur conductance :

$$Z_{eq} = \frac{1 + R \cdot C \cdot j \cdot \omega - L \cdot C \cdot j \cdot \omega^2}{C \cdot j \cdot \omega} // \frac{1 + R \cdot C \cdot j \cdot \omega - L \cdot C \cdot j \cdot \omega^2}{C \cdot j \cdot \omega} \quad (1.16)$$

$$Z_{eq} = \left( \frac{C \cdot j \cdot \omega}{1 + R \cdot C \cdot j \cdot \omega - L \cdot C \cdot j \cdot \omega^2} + \frac{C \cdot j \cdot \omega}{1 + R \cdot C \cdot j \cdot \omega - L \cdot C \cdot j \cdot \omega^2} \right)^{-1} \quad (1.17)$$

$$Z_{eq} = \left( \frac{2 \cdot C \cdot j \cdot \omega}{1 + R \cdot C \cdot j \cdot \omega - L \cdot C \cdot j \cdot \omega^2} \right)^{-1} \quad (1.18)$$

$$Z_{eq} = \frac{1}{2} \cdot \left( \frac{1 + R \cdot C \cdot j \cdot \omega - L \cdot C \cdot j \cdot \omega^2}{C \cdot j \cdot \omega} \right) \quad (1.19)$$

$$Z_{eq} = \frac{1}{2} \cdot \left( R + \frac{1}{C \cdot j \cdot \omega} + L \cdot j \cdot \omega \right) \quad (1.20)$$

L'ajout d'un condensateur de découplage réduit l'impédance du réseau de distribution d'énergie en deçà de sa fréquence de résonance propre. Au-delà en revanche, l'impédance augmente plus rapidement puisque l'inductance propre du condensateur s'ajoute

à l'inductance naturelle des interconnexions du réseau de distribution d'énergie. Afin de contrer cet effet, il est alors possible de placer un second condensateur de découplage dont la fréquence de résonance propre est supérieure à celle du premier condensateur. Le résultat de l'effet des deux condensateurs placés en parallèle est observable sur le réseau de distribution 3. Pour que l'impédance du réseau de distribution reste en dessous de l'impédance cible sur tout le spectre de fréquence d'utilisation, il est donc nécessaire de placer des condensateurs de découplage de valeurs différentes afin de couvrir tout le spectre. Cette utilisation des condensateurs de découplage différents, donc de références différentes chez les fabricants s'oppose à l'effort effectué en optimisation pour réduire le nombre de références de composants et donc réduire les coûts d'approvisionnement en composants de la carte.

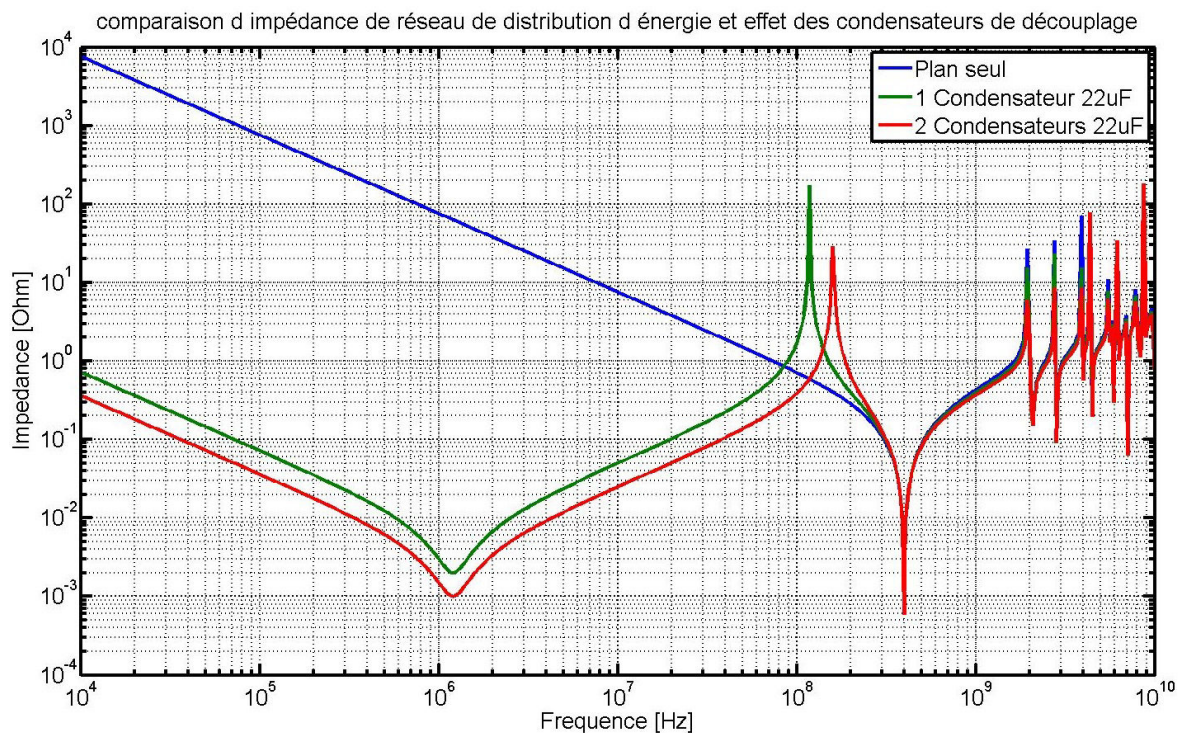


FIGURE 1.40 – Illustration de l'effet des condensateurs de découplage sur l'impédance du réseau de distribution d'énergie

Il faut cependant choisir ces valeurs judicieusement car l'interaction de deux condensateurs crée un pic dit d'anti-résonance qui correspond en fait à la fréquence de résonance propre du résonateur formé d'une part par l'inductance parasite du condensateur de capacité supérieure avec, d'autre part, la capacité du condensateur de valeur inférieure. Ce phénomène d'anti-résonance peut être observé dans la figure 1.41.

L'impédance cible est donc utilisée comme le gabarit d'un filtre à respecter pour le bon fonctionnement de la carte. Les condensateurs de découplage sont ajoutés et leur valeur adaptée de telle manière que l'impédance du réseau de distribution d'énergie respecte ce gabarit. Il est donc particulièrement important que l'impédance cible soit en effet représentative des transitions de courant inhérentes au fonctionnement de la carte afin que le réseau de découplage soit dimensionné de manière juste. Une impédance cible sous-estimée amènerait à des variations de tension trop importantes sur le potentiel d'alimentation et entraînerait les problèmes déjà évoqués auparavant, tandis qu'une impédance cible surestimée entraînerait une surpopulation de condensateurs de découplage et par conséquent, une augmentation des coûts de production de la carte mais aussi une rédu-



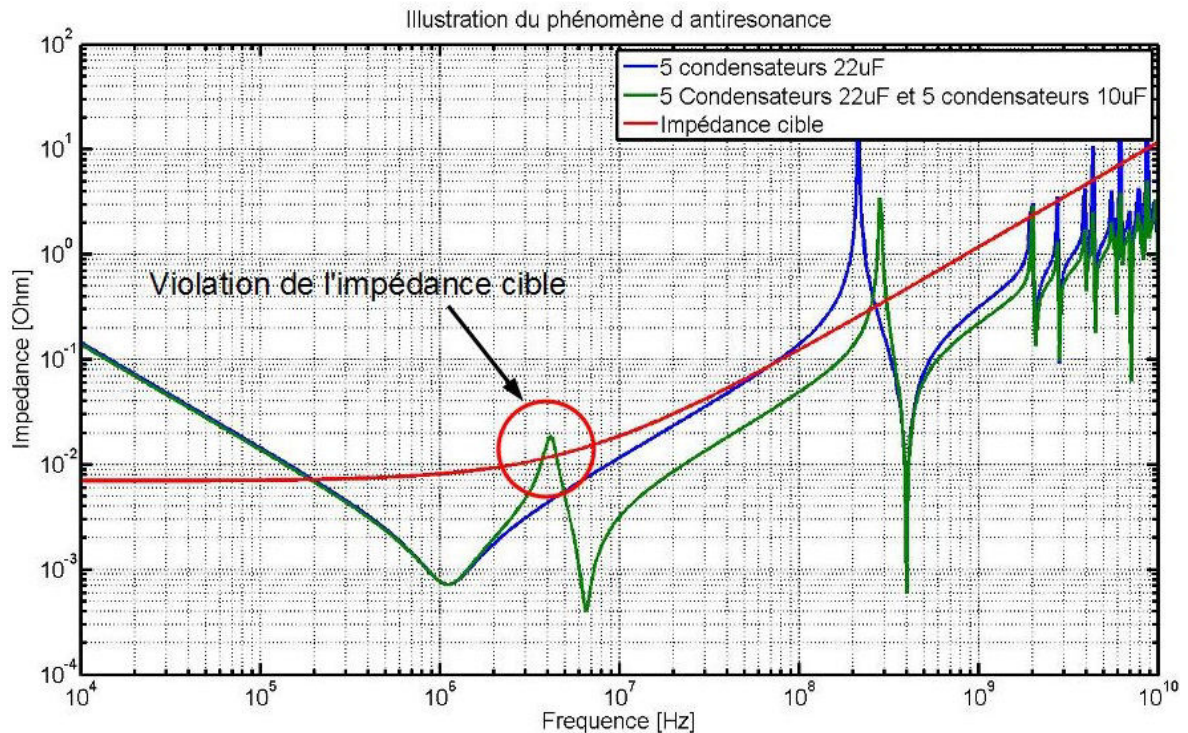


FIGURE 1.41 – Illustration du phénomène d’anti-résonance entre 2 condensateurs de valeurs proches

tion de la densité de celle-ci. Il existe différents modèles d’impédance cible présentant chacun des avantages et des inconvénients. Ces différents modèles sont présentés dans la partie suivante.

### 1.4.1.3 Modèle d’impédance cible

Le premier modèle est celui présenté dans la définition de l’impédance cible. Il s’agit du calcul d’une impédance cible constante en fonction de la fréquence dont la valeur est obtenue par le quotient de la variation maximale de tension acceptable sur la variation maximale de courant lors du fonctionnement de la carte. Cette relation est rappelée dans l’équation 1.15. Ce calcul d’impédance cible présente l’avantage d’être très simple sous condition d’obtenir facilement l’information concernant la variation maximale de courant sur le potentiel. En revanche, ce modèle considère donc que les variations de courant maximales de la carte peuvent arriver à n’importe quelle fréquence de fonctionnement de celle-ci jusqu’à plusieurs harmoniques de la fréquence d’horloge maximale du composant. Ce constat amène certainement à surévaluer l’impédance cible et donc à ajouter d’avantage de condensateurs de découplage que nécessaire.

La décomposition en série de Fourier d’un signal carré périodique est constituée d’une somme d’éléments sinusoïdaux paires dont le module est convergent :

$$x_{carré}(t) = \frac{4}{\pi} \sum_{k=0}^{\infty} \frac{\sin((2k+1)2\pi ft)}{(2k+1)} \quad (1.21)$$

$$x_{carré}(t) = \frac{4}{\pi} \left( \sin(2\pi ft) + \frac{1}{3} \sin(6\pi ft) + \frac{1}{5} \sin(10\pi ft) + \dots \right) \quad (1.22)$$

Cette équation démontre donc que la variation de courant aux harmoniques de la fréquence d’horloge est inférieure à celle de la fréquence fondamentale. Par conséquent,

en réalisant cette décomposition spectrale, l'impédance cible n'est plus constante mais bien croissante au-delà de la fréquence d'horloge puisque la variation de courant est, elle, décroissante.

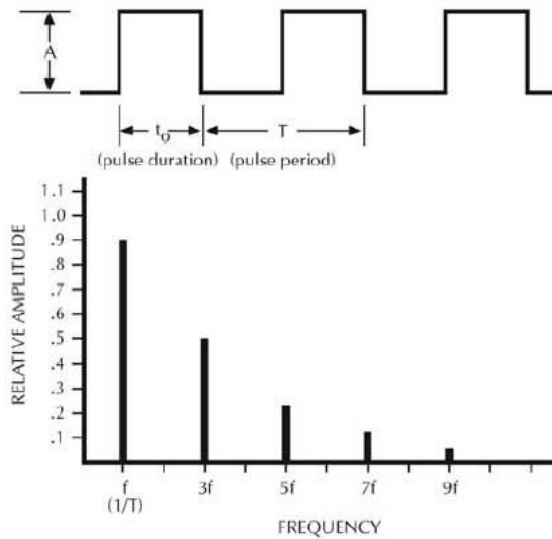


FIGURE 1.42 – Décomposition spectrale d'un signal carré idéal

Si le signal est strictement périodique, sa décomposition spectrale reste limitée aux raies visibles dans la figure 1.42. En revanche, si le signal alterne des périodes durant lesquelles le courant ne varie pas ou varie toutes les 2 à 3 périodes, le spectre fréquentiel s'étale. Si ce calcul est rapproché de celui de la bande passante d'un signal carré, la fréquence  $f_{knee}$  donne la fréquence au-delà de laquelle les raies harmoniques sont négligeables puisqu'elles décroissent de -40dB par décade. Cette fréquence se calcule en fonction du temps de montée du signal étudié :

$$f_{knee} = \frac{1}{\pi T_r} \quad (1.23)$$

Les raies harmoniques devenant négligeables au delà de cette fréquence, il est donc possible de relâcher la contrainte sur l'impédance cible, celle-ci augmentant proportionnellement à la fréquence [ANDERSON et collab. \[2003\]](#). Ce modèle d'impédance cible variant en fonction de la fréquence est donné par la formule suivante :

$$Z_{Target}(f) = Z_{DC} \left( 1 + \frac{f}{f_{knee}} \right) \quad (1.24)$$

Avec  $Z_{DC}$  la valeur de l'impédance cible lorsque la fréquence est nulle et  $f_{knee}$  la fréquence au-delà de laquelle les harmoniques de la variation de courant à la fréquence d'horloge sont négligeables. Comme le premier, ce modèle d'impédance cible présente l'avantage d'être très simple à calculer. De plus, il améliore le premier modèle puisqu'il relâche la contrainte d'impédance en haute fréquence. Or c'est en haute fréquence qu'un nombre de condensateurs important doit être mis en parallèle afin d'abaisser l'impédance cible de manière significative. Le fait de relâcher cette contrainte permet donc de supprimer un nombre important de condensateurs à la surface du circuit imprimé. Cependant, ce modèle d'impédance cible requiert la connaissance d'une part de la fréquence d'horloge du composant à découpler et d'autre part de connaître le temps de montée de la commutation en courant.

L'intensité du courant n'est pas uniforme sur l'ensemble du spectre de fréquence de la carte en fonctionnement. En effet, les variations de courant correspondent chacune à un phénomène de fonctionnement de la carte bien précis. La variation de courant la plus rapide correspond au fonctionnement du composant à la fréquence de l'horloge qui le cadence. La seconde variation peut être due, par exemple, à l'extinction ou l'activation d'une fonction particulière du composant qui nécessite 4 coups d'horloge pour effectuer ce changement. La fréquence d'excitation du réseau de distribution d'énergie est donc dans ce cas 4 fois inférieure à la fréquence d'horloge et puisque le front est moins brutal, sa décomposition spectrale bien moins importante. De même, les variations peuvent être provoquées par le début d'une communication de données entre le composant et un élément de mémoire, ou encore entre le composant et le composant d'une autre carte. Outre le comportement du composant d'alimentation qui peut ne pas être linéaire à cause de son fonctionnement en commutation, tout le reste du réseau de distribution a un comportement linéaire. Ainsi les perturbations résultantes du réseau de distribution correspondent à la somme des perturbations provoquées par les différents fonctionnements de la carte. Le modèle d'impédance cible le plus précis prend donc en compte la décomposition spectrale continue du courant. Cette décomposition s'effectue généralement grâce au calcul de la Transformée de Fourier du signal temporel du courant :

$$I(f) = \int_{-\infty}^{\infty} i(t)e^{i2\pi ft} dt \quad (1.25)$$

L'impédance cible résultante se calcule donc de la manière suivante :

$$Z_{Target}(f) = \frac{\Delta V_{max}}{I(f)} \quad (1.26)$$

avec  $\Delta V_{max}$  la variation de tension maximale acceptable sur le potentiel d'alimentation et  $I(f)$  le résultat de la transformée de Fourier rapide du signal temporel du courant. Ce modèle a pour avantage de relâcher les contraintes sur l'impédance cible aux fréquences pour lesquelles le réseau de distribution d'énergie est très peu sollicité. C'est donc théoriquement le meilleur modèle puisque c'est le seul qui empêche de surévaluer le réseau de découplage du composant. En revanche, son principal inconvénient est qu'il faille connaître exactement la signature en courant du réseau de distribution d'énergie. Lorsque l'impédance cible est utilisée pour le dimensionnement du réseau de découplage, la carte n'est pas encore routée et donc l'influence du routage de celle-ci sur le comportement du réseau de distribution d'énergie est impossible à prévoir. De même, pour obtenir une signature du courant représentative de tous les schémas de fonctionnement cités ci-dessus, il serait nécessaire de mettre en place une simulation complexe impliquant les différents composants de ou des cartes (dans le cas où des fonctions communiquent avec d'autres cartes du produit). De plus, il n'existe que très peu de modèles permettant de donner un comportement représentatif des appels de courant inhérents au fonctionnement d'un composant.

Ce modèle d'impédance cible est néanmoins facilement utilisable dans le cas de l'analyse d'un potentiel d'alimentation qui fournit l'énergie à une banque d'entrées/sorties d'un composant. Le comportement de ces banques est décrit par un modèle [IBIS](#). Ce modèle donne en particulier les formes d'onde de courant en fonction du temps. Il est donc possible, en simulation, d'exciter un buffer avec un signal d'entrée générant tous les cas de commutations possibles, aussi connu comme [Pseudo-random bit sequence, séquence de bit pseudo-aléatoire en français \(PRBS\)](#), de récupérer la signature du courant, d'en calculer la transformée de Fourier et d'en déduire l'impédance cible.

### 1.4.2 Les outils d'analyse en un point ou single node

L'impédance cible définie dans la section précédente représente donc uniquement un indicateur de la qualité de découplage à obtenir. Il faut cependant être capable de calculer ou mesurer l'impédance du réseau de distribution afin de la comparer à l'impédance cible. Le calcul de l'impédance du réseau de distribution d'énergie de la carte se réalise à l'aide d'une analyse dite en un point. C'est le type d'analyse qui est effectivement réalisée lors de l'analyse pré-routage d'une carte puisque cette analyse ne requiert aucune donnée géométriques de la carte. Dans le cas du calcul de l'impédance avant le routage de la carte, l'ensemble des éléments du réseau de distribution est modélisé par des éléments électriques élémentaires. Ainsi le module de régulation de tension est représenté par un modèle 2 ou 4 éléments comme dans la figure 1.16, les interconnexions entre les différents éléments par des résistances et inductances séries, les condensateurs par leur modèles RLC équivalent. L'impédance du réseau de distribution correspond donc à la fonction de transfert entre la tension d'entrée de la carte et la tension d'alimentation aux broches du composant à alimenter :

$$Z_{eq} = \frac{V_{composant}}{V_{in}} = Z_{VRM} + Z_{interconnexion} // (Z_{Condo} // Z_{Plan}) \quad (1.27)$$

Le circuit équivalent simulé dans le cas d'une analyse single node est décrit dans la figure 1.43.

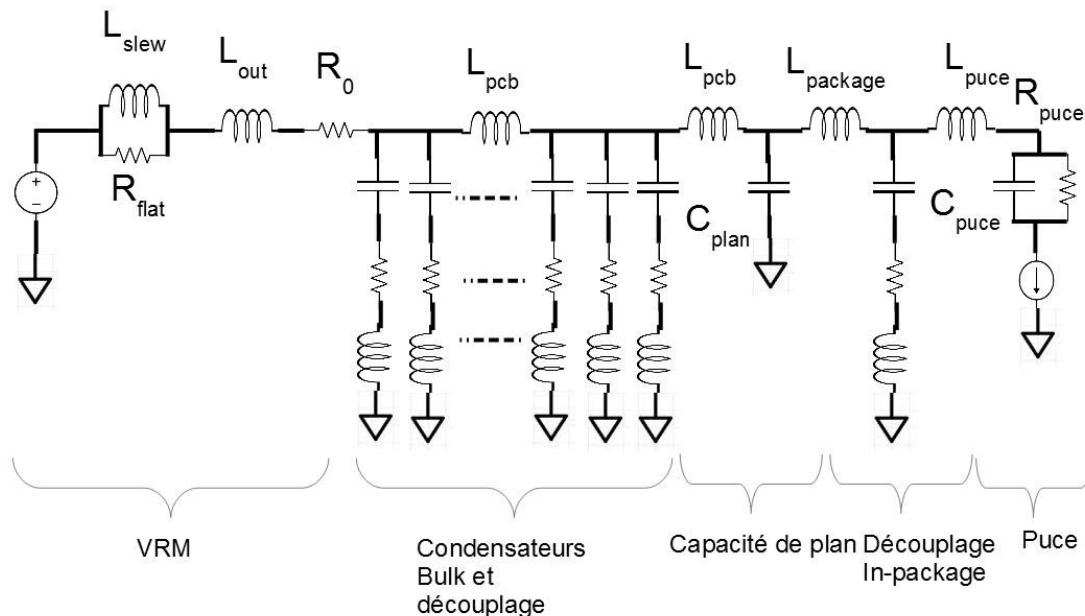


FIGURE 1.43 – Schéma du circuit analysé lors d'une analyse single node

Cet outil ne prend pas en compte le routage du composant puisque les interconnexions ne sont pas modélisées, l'effet du plan d'alimentation est réduit à un élément localisé et ne prend pas compte de la forme réelle du plan de la carte. Cependant il permet de quantifier de manière assez simple et rapide le nombre de condensateurs nécessaires au



découplage d'un composant et donc de quantifier la place en surface du circuit-imprimé nécessaire au réseau de découplage. Certains effets du routage peuvent néanmoins être rajoutés à l'analyse en ajoutant au modèle RLC du condensateur une inductance série représentant l'inductance montée du condensateur. Cette inductance montée représente les éléments parasites des connexions des condensateurs au plan d'alimentation. Si cette inductance montée est bien estimée, elle permet alors à l'analyse d'être plus réaliste et de s'approcher au mieux du nombre de condensateurs nécessaires au découplage. En revanche, une surestimation de cette inductance montée aura pour effet d'ajouter plus de condensateurs de découplage que nécessaire et donc d'augmenter non seulement le prix de production de la carte mais aussi les coûts de conception dus au temps de développement supplémentaire engendré par la complexification du routage. De plus, l'ajout de condensateurs superflus s'oppose aux objectifs de densification et de miniaturisation de la carte électronique. La sous-estimation de l'inductance montée aura, quant à elle, pour effet de surestimer le comportement du réseau de découplage et donc d'obliger le concepteur à devoir ajouter des condensateurs au moment des vérifications alors que la place pour le routage n'a pas été prévue. Le résultat d'une analyse single node est présenté en figure 1.44.

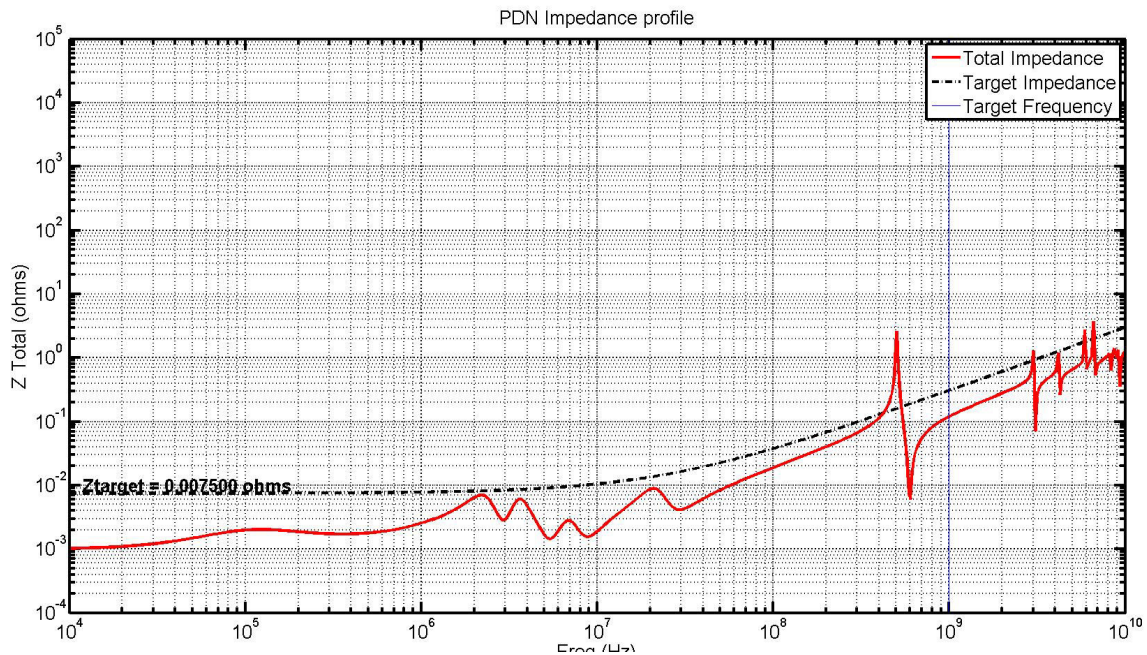


FIGURE 1.44 – Exemple de résultat d'une analyse effectuée à l'aide d'un outil de dimensionnement single node

### 1.4.3 Les outils d'analyse multi-point ou multinode

L'outil d'analyse multi-point est très similaire à l'outil présenté précédemment à la différence que l'impédance cette fois-ci n'est plus calculée comme la fonction de transfert de la source de courant à la charge mais comme la fonction de transfert en deux points différents de la carte. Il s'agit d'une analyse post-routage puisque l'effet du routage dans cette analyse est accentué par une modélisation différente du plan d'alimentation. Le plan n'est plus réduit à une capacité localisé mais à un maillage suivant grossièrement la géométrie de la carte. A chaque nœud correspond une capacité en parallèle entre le plan d'alimentation et le plan de référence tandis que les interconnexions entre les nœuds sont mo-

délimitées par leur résistance et inductance série parasites. Une cellule élémentaire de la modélisation du plan est présentée en figure 1.45, cette modélisation est fréquemment rencontrée dans la littérature CHEN et collab. [2010] PAK et collab. [2007] SWAMINATHAN et ENGIN [2007].

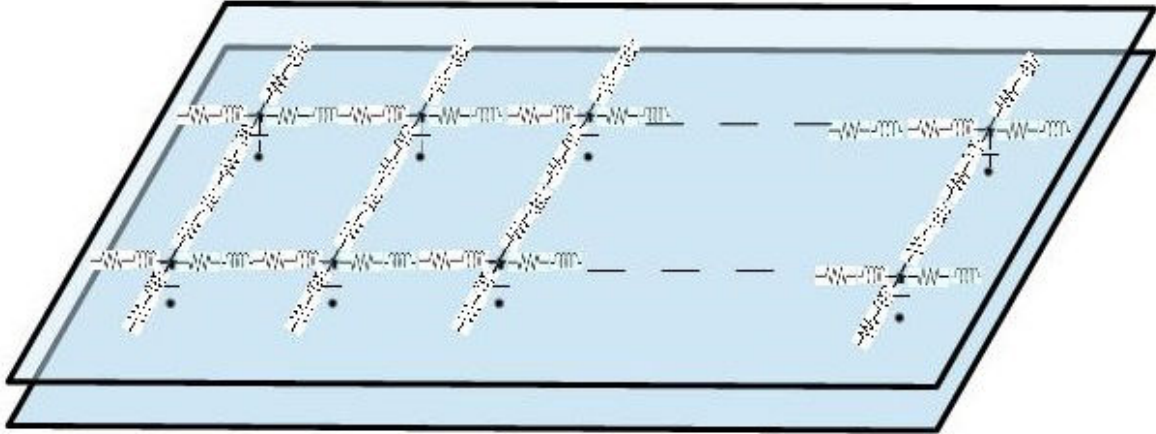


FIGURE 1.45 – Illustration de la modélisation du plan en éléments localisés

Cette analyse permet par rapport à l'analyse single node d'inclure les effets de la géométrie de la carte bien qu'assez simplifiés ainsi que de dégrader l'effet du condensateur par rapport à la distance à laquelle il se trouve du composant à découpler. En revanche, cette modélisation approximative ne permet en aucun cas de qualifier la qualité du routage des condensateurs notamment la connexion entre le condensateur et le plan d'alimentation car les différents types de vias ne sont pas correctement utilisés. La figure 1.46 permet de démontrer les différences d'impédance obtenues en fonction du point d'observation sur la carte. Le calcul de l'impédance en chaque nœud est réalisé par le rapport de la tension sur l'intensité. La résolution du modèle obtenu s'effectue par l'application des lois de Kirchhoff comme c'est le cas pour un simulateur circuit classique mais pour lequel les éléments sont représentatifs d'une géométrie.

#### 1.4.4 Les outils d'analyse statique

Les outils d'analyse statique sont des simulateurs post-routage. Cette analyse dépend en effet uniquement du routage de la carte. Le but de cette analyse est de vérifier que le réseau de distribution d'énergie est suffisamment dimensionner pour conduire tout le courant nécessaire de la source de courant jusqu'à l'entrée des composants à alimenter. La circulation du courant provoque l'échauffement de circuit imprimé et des pertes par effets Joules dues à la résistivité du cuivre et se traduit électriquement par une chute de potentiel. L'analyse électro-statique permet de vérifier le potentiel électrique du réseau de distribution en tout point du circuit imprimé et de localiser les zones provoquant des chutes de tension telles que le composant ne serait alors plus alimenté correctement lors du fonctionnement de la carte.

Ces analyses permettent en particulier de dimensionner la taille des plans d'alimentation, notamment lorsqu'une forte densité de courant est rencontrée dans un plan criblé par des vias comme c'est souvent le cas sous des composants intégrés à matrice de billes. Une illustration de cette situation est donnée dans la figure 1.28. Une autre problématique généralement rencontrée que permet de résoudre l'analyse statique est de

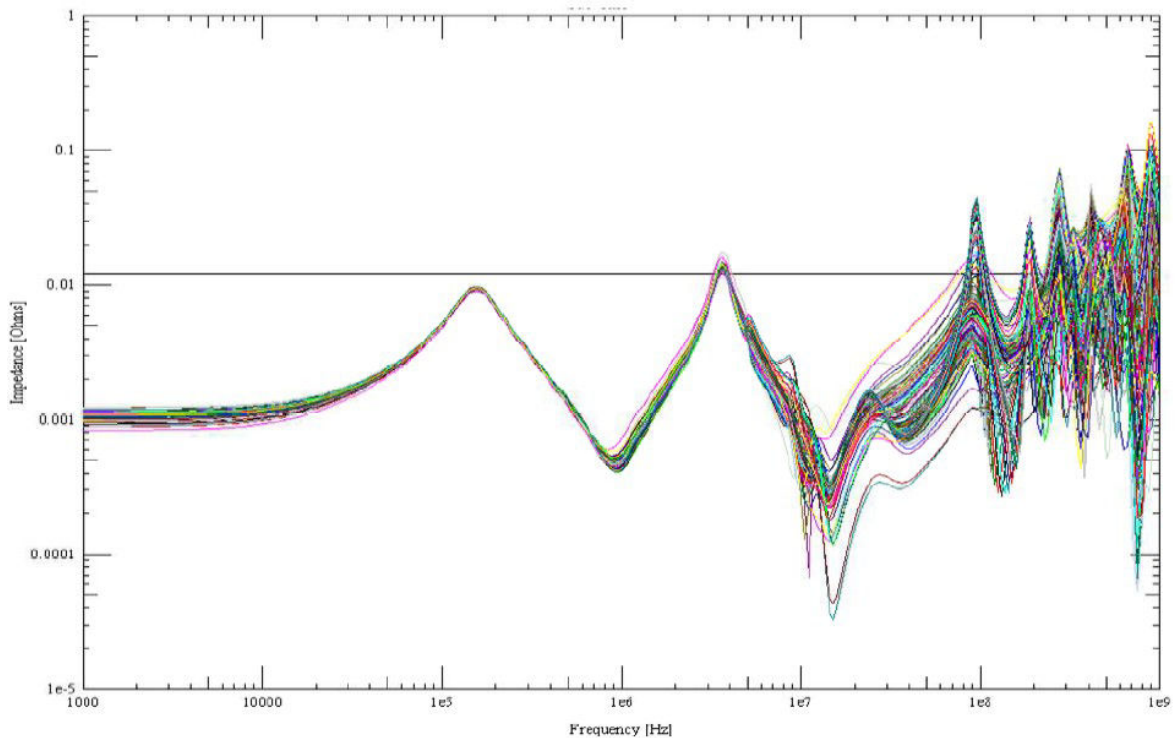


FIGURE 1.46 – Exemple de résultats d’une analyse effectuée à l’aide d’un outil de simulation multinode [AMÉDÉO \[2010\]](#)

connaître le nombre de vias nécessaires pour faire passer le courant de la surface du circuit imprimé en sortie du convertisseur vers le plan d’alimentation enterré. Si la chute de tension au changement de couche est très importante, cela signifie qu’il faut augmenter le nombre de vias de transition. Si la chute de tension est acceptable c’est que le nombre de vias de transition est adéquat ou alors qu’il est possible de réduire ce nombre et d’augmenter la densité de la carte. Un exemple de résultats d’analyse statique est donné en figure [1.47](#)

Les logiciels permettant ce genre d’analyse sont des solveurs électro-magnétiques se basant sur des méthodes de calcul en éléments finis appliquant la loi d’Ohm ou des applications particulières des équations de Maxwell [SERCU \[2016\]](#). Les cartes électroniques étant de plus en plus complexes, ces solveurs utilisent des moteurs de calculs hybrides capables de résoudre différents types de configuration et de recombinaison des solutions en imposant des conditions aux limites à la frontière de différents types de résolution. Le domaine de la simulation étant très concurrentiel, chaque éditeur de logiciel de simulation a ses solutions pour résoudre les différents problèmes (simulation au niveau des vias, des pads) et il est très difficile de connaître le fonctionnement exact de ces simulateurs.

### 1.4.5 Les outils d’analyse dynamique

Les outils d’analyse dynamique sont des solveurs électromagnétiques utilisés pour la validation du routage de la carte qui s’appuient sur la géométrie de celle-ci afin de calculer la répartition des champs électriques et magnétiques au sein de la structure analysée. Ce calcul utilise le principe de décomposition de la structure en sous-éléments et calcule la répartition des champs électriques et magnétiques de proche en proche. En fonction de la méthode de résolution utilisée le maillage de la carte est différent. Une présentation



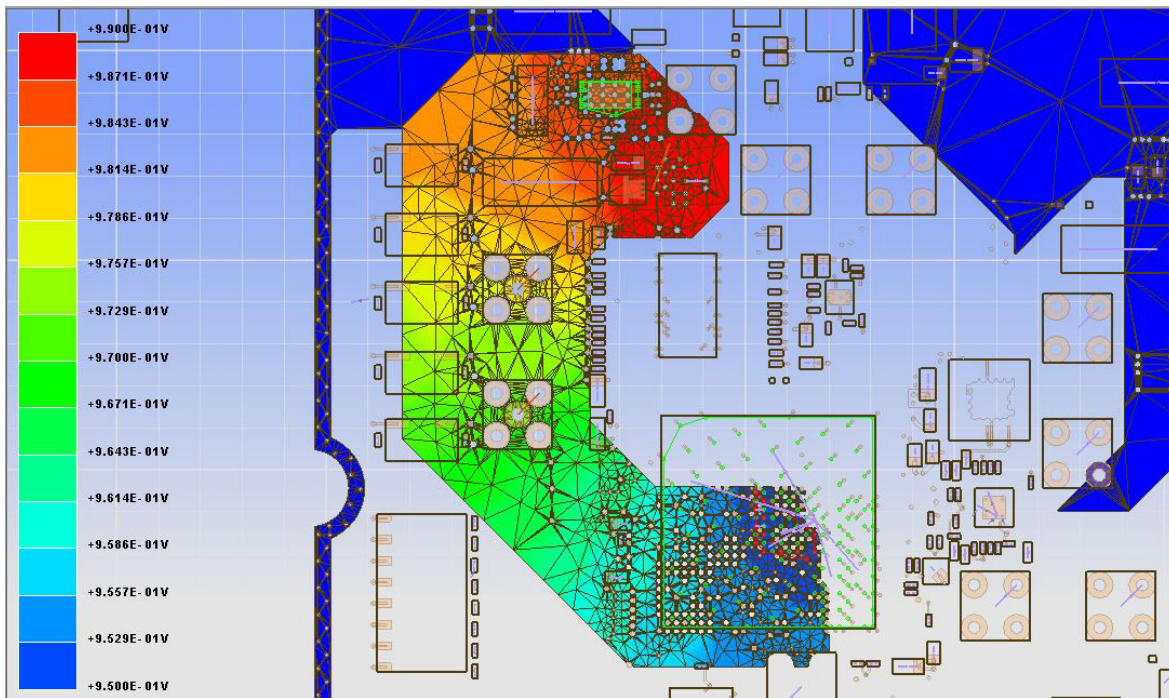


FIGURE 1.47 – Exemple de résultats d’une analyse effectuée à l’aide d’un outil de simulation post-routage indiquant la chute de tension provoquée par une consommation du composant de 8A

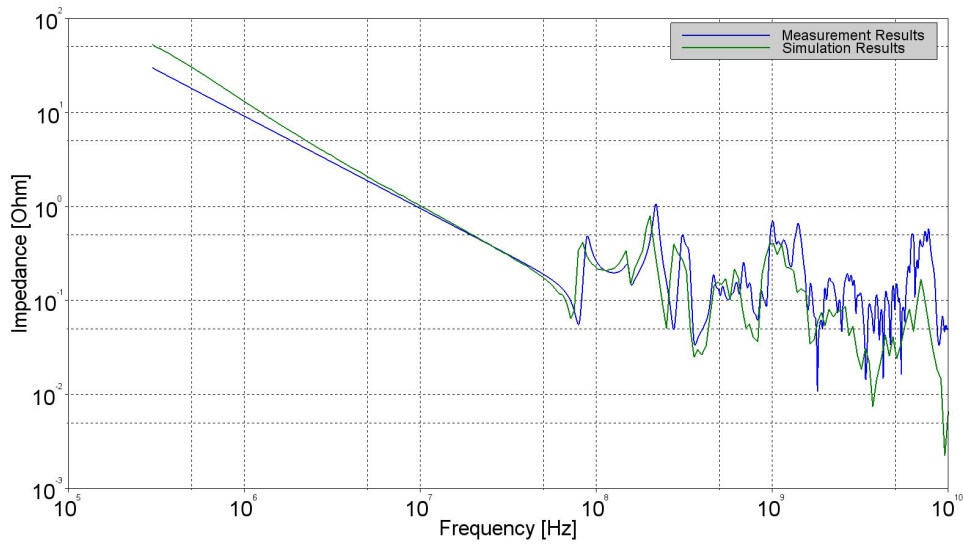
des différents types de solveurs électromagnétiques a été réalisée dans [CHASTANG \[2013\]](#)

Dans le cas de l’analyse de carte électronique, les solveurs 3D rigoureux aussi appelés full-wave ne sont pas très adaptés car ils requierent un temps de calcul et une configuration matérielle importants et leur configuration nécessite une bonne connaissance des méthodes de résolution afin de définir le maillage et fixer les conditions aux limites. Afin d’accélérer les méthodes de calcul, des outils de simulation employant des solveurs hybrides ont été développés. Ces solveurs utilisent différentes méthodes de résolution rigoureuse. La structure à analyser est divisée en différents volumes sur lesquels est appliquée la méthode de résolution la plus propice. Pour les surfaces à l’intersection de deux modes de résolution, des équations de raccordement sont élaborées afin d’assurer la continuité des phénomènes électromagnétiques. Ces techniques de raccord étant très difficiles à généraliser, ce genre de simulateur est dédié à une structure spécifique comme c’est le cas pour une carte électronique.

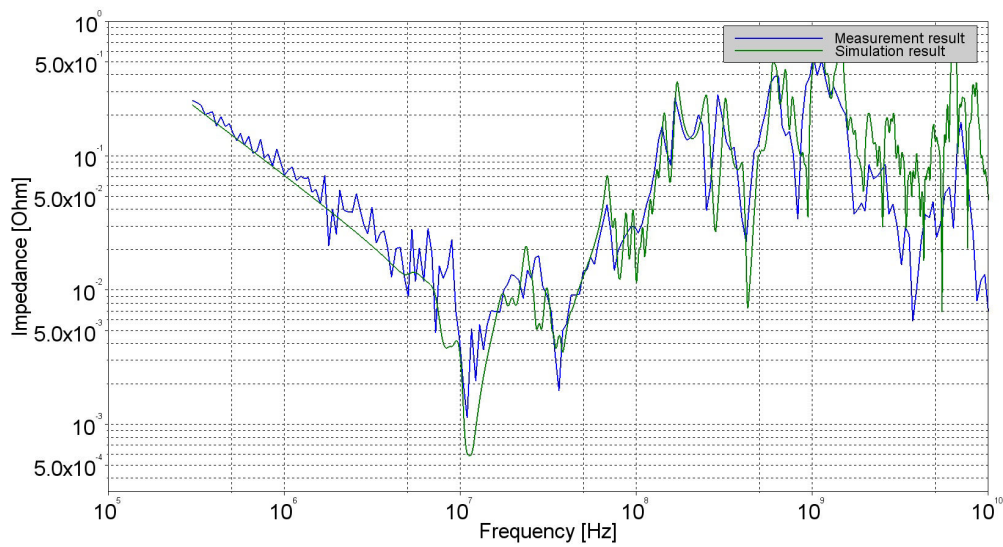
Ces outils d’analyse permettent de calculer les paramètres S aux ports d’observation définis et d’en déduire leur paramètres Z. Les paramètres Z d’un système à deux ports permettent de connaître le comportement électrique du système caractérisé. Dans le cas d’une analyse dynamique, les paramètres  $Z_{11}$  et  $Z_{12}$  donnent chacun des informations primordiales sur le réseau de distribution d’énergie.

Le paramètre  $Z_{11}$  ou paramètre d’impédance de réflexion, observé depuis le circuit intégré permet de vérifier que l’impédance du réseau de distribution d’énergie vue du circuit à alimenter ne dépasse pas la valeur de l’impédance cible. Il permet entre autres de vérifier que le placement des condensateurs est adéquat et que l’on obtient bien l’effet escompté du réseau de découplage. D’autre part, le paramètre  $Z_{12}$  ou paramètre d’impédance transmise, permet de vérifier que l’impédance du réseau de distribution de la source à la charge respecte bien l’impédance cible. D’excellents résultats de corrélation entre la simulation et la mesure ont été obtenus pour ces outils permettant d’obtenir la

réponse électrique du circuit imprimé seul ou du circuit imprimé et des condensateurs de découplage dans le domaine fréquentiel [GORAL et collab. \[2015a\]](#). Ces résultats sont représentés dans la figure [1.48](#). La figure [1.48a](#) montre le résultat pour le circuit imprimé seul et la figure [1.48b](#) le même circuit imprimé équipé de 30 condensateurs.



(a) Corrélation entre la mesure et la simulation pour le circuit imprimé seul



(b) Corrélation entre la mesure et la simulation pour le circuit imprimé équipé de 30 condensateurs

FIGURE 1.48 – Corrélation entre simulation et mesure pour le circuit imprimé seul et équipé de 30 condensateurs

## 1.5 Conclusion du chapitre

L'importance qu'a pris le domaine de l'électronique dans la société actuelle a transformé le marché des produits de télécommunications et de haute technologie en un marché très prometteur et hyper concurrentiel. Dans le but de rester compétitif, la commercialisation de nouveaux produits apportant toujours plus de fonctionnalités, dans un encombrement réduit est primordial. Ces conditions ne peuvent être réalisées qu'en réduisant de manière drastique le temps de mise sur le marché de nouveaux produits. Le domaine de la micro-électronique auto-alimentée par ses succès connaît une évolution rapide qui a amené de nouvelles contraintes pour les fabricants de cartes et de produits électroniques. Celles-ci se sont complexifiées et densifiées à telle point qu'il n'est plus possible de vérifier en mesure bon nombre de signaux.

Les nouvelles contraintes impactent particulièrement le réseau de distribution d'énergie des cartes électroniques pour lequel il est primordial de mettre en place une méthodologie. Celle-ci doit permettre de dimensionner au plus juste le nombre de composants nécessaires au respect des contraintes imposées sur les circuits d'alimentation et de valider son fonctionnement par la simulation afin de réduire le risque de dysfonctionnement de la carte dû à des problématiques d'alimentation. Cette méthodologie doit pouvoir s'intégrer facilement au flot de développement existant, permettre aux outils d'être interopérables et de présenter un bon rapport entre la précision des résultats et le temps nécessaire à l'obtention d'une solution.

Une description précise de tous les éléments constituant le réseau de distribution d'une carte [HDI](#) et les technologies associées sont présentées dans ce chapitre. Toutes les problématiques inhérentes à la conception des circuits d'alimentation sont énumérées afin d'introduire les différents axes à améliorer et les modèles à obtenir pour apporter une méthodologie de simulation la plus performante possible.

Enfin, les outils et méthodes actuellement disponibles sur le marché sont décrits de telle manière que ce chapitre permet d'apprécier les efforts déjà effectués en matière de simulation du réseau de distribution d'énergie mais cible également, les outils qu'il serait bon de développer pour améliorer encore la méthodologie et les résultats de simulation.

Afin d'affiner les modèles de simulation et de mesurer les différents phénomènes dont est victime le réseau de distribution d'énergie, un véhicule de test servant de support principal à ces travaux de thèse a été développé. La présentation de ce véhicule de test ainsi que les possibilités qu'il offre en termes de mesure des phénomènes propres aux rails d'alimentation sont décrites dans le [second chapitre](#) de ce mémoire.

La modélisation ainsi que les différentes techniques de mesure de chacun des éléments du réseau de distribution d'énergie sont explicitées dans le [chapitre 3](#). La méthodologie de simulation complète du réseau de distribution d'énergie est ensuite exposée dans le chapitre 4. Les résultats obtenus en simulation sont ensuite confrontés à des résultats de mesure obtenus sur le véhicule de test afin de valider et d'en estimer la précision. Enfin ces travaux sont étendus à la simulation d'intégrité de signal afin d'inclure les défauts introduits par le réseau de distribution d'énergie dans la transmission du signal.

## 1.6 Références

2003, *IPC 2221 Generic Standard on Printed Board Design*, IPC. [6](#)



- 2003, *Serial ATA Advanced Host Controller Interface*, SATA-IO. 11
- 2006, *Integrated Circuit - Measurement of Electromagnetic Emissions, 150kHz to 1 GHz Part 4 : Measurement of Conducted Emission - 1 OHMS/150 OHMS Direct Coupling Method*, IEC. 15
- 2009, «Voltage regulateur module (vrn) and enterprise voltage regulator-down (evrd) 11.1», . 43
- 2010, «Sujet du concours de l'agrégation en génie électrique session 2010», . 22
- 2016, *Serial ATA Revision 3.3, Specification*, SATA-IO. 11
- 2016, *TPS53647 4-Phase, D-CAP+, Step Down, Buck Controller with NVM and PMBus for ASIC Power and High Current Point-of-Load*, Texas Instrument. 21
- 2017, *LTC3418 - 8A, 4MHz, Monolithic Synchronous Step-Down Regulator*, Linear Technology. 21
- AMÉDÉO, A. 2010, *Etude des phénomènes de Réflections, de Diaphonie et de Stabilité des alimentations sur les cartes à haute densité d'interconnexions*, thèse de doctorat, École normale supérieure de Cachan-ENS Cachan. 13, 14, 53
- ANDERSON, R. E., L. D. SMITH et T. ROY. 2003, «System and method for determining the decoupling capacitors for power distribution systems with a frequency-dependent target impedance», US Patent 6,571,184. 48
- BONIZZONI, E., F. BORGHETTI, P. MALCOVATI et F. MALOBERTI. 2010, «A 200-ma, 93% peak power efficiency, single-inductor, dual-output dc-dc buck converter», *Analog Integrated Circuits and Signal Processing*, vol. 62, n° 2, p. 121–129. 21
- BOSCAINO, V., M. GAETA, G. CAPPONI et F. MARINO. 2010, «Non-linear digital control improving transient response : Design and test on a multiphase vrm», dans *Power Electronics Electrical Drives Automation and Motion (SPEEDAM), 2010 International Symposium on*, IEEE, p. 507–512. 21
- CARROLL, A., G. HEISER et collab.. 2010, «An analysis of power consumption in a smart-phone.», dans *USENIX annual technical conference*, vol. 14, Boston, MA, p. 21–21. 11
- CHASTANG, C. 2013, *Techniques et méthodologies de validation par la simulation des liens multi-gigahertz des cartes électroniques haute densité*, thèse de doctorat, École normale supérieure de Cachan-ENS Cachan. 9, 54
- CHEN, G., M. TANG et J. MAO. 2010, «Modeling of power-plane segmentation with cavity and planar-lumped models», dans *Microwave and Millimeter Wave Technology (ICMMT), 2010 International Conference on*, IEEE, p. 1394–1397. 28, 52
- FIZEŞAN, R. et D. PITICĂ. 2012, «Power integrity design tips to minimize the effects of mounting inductance of decoupling capacitors», dans *Optimization of Electrical and Electronic Equipment (OPTIM), 2012 13th International Conference on*, IEEE, p. 36–41. 38

- GORAL, B., C. GAUTIER et A. AMÉDÉO. 2015a, «Simulation methodology and design flow for decoupling optimization in case of design reusing», dans *International Symposium on Microelectronics*, vol. 2015, International Microelectronics Assembly and Packaging Society, p. 000 312–000 317. 55
- GORAL, B., C. GAUTIER et A. AMÉDÉO. 2015b, «Simulation methodology for enhancement of power delivery network decoupling», dans *Signal and Power Integrity (SPI), 2015 IEEE 19th Workshop on*, IEEE, p. 1–4. 38
- HSIUNG, E. H.-K., Y.-L. LI, R.-B. WU, T. SU, Y.-S. CHENG et K.-B. WU. 2012, «A linear 4-element model of vrm—characteristics, practical uses and limitations», dans *Electrical Design of Advanced Packaging and Systems Symposium (EDAPS), 2012 IEEE*, IEEE, p. 13–16. 23
- JILLEK, W. et W. YUNG. 2005, «Embedded components in printed circuit boards : a processing technology review», *The International Journal of Advanced Manufacturing Technology*, vol. 25, n° 3, p. 350–360. 6
- KATAYAMA, Y., S. SUGAHARA, H. NAKAZAWA et M. EDO. 2000, «High-power-density mhz-switching monolithic dc-dc converter with thin-film inductor», dans *Power Electronics Specialists Conference, 2000. PESC 00. 2000 IEEE 31st Annual*, vol. 3, IEEE, p. 1485–1490. 22
- LEE, C. F. et P. K. MOK. 2004, «A monolithic current-mode cmos dc-dc converter with on-chip current-sensing technique», *IEEE journal of solid-state circuits*, vol. 39, n° 1, p. 3–14. 22
- LIU, W.-R., M.-L. YEH et Y. L. KUO. 2008, «A high efficiency dual-mode buck converter ic for portable applications», *IEEE Transactions on Power Electronics*, vol. 23, n° 2, p. 667–677. 20
- MIYOSHI, A., C. LEFURGY, E. VAN HENSBERGEN, R. RAJAMONY et R. RAJKUMAR. 2002, «Critical power slope : understanding the runtime effects of frequency scaling», dans *Proceedings of the 16th international conference on Supercomputing*, ACM, p. 35–44. 11
- MOORE, G. E. et collab.. 1998, «Cramming more components onto integrated circuits», *Proceedings of the IEEE*, vol. 86, n° 1, p. 82–85. 3
- MURATA, I. «Multilayer ceramic capacitor catalog», <http://www.murata.com/en-eu/products/capacitor/mlcc>. Accessed : 2017-01-17. 9
- NOVAK, I. 2008, *Power distribution network design methodologies*, Intl. Engineering Consortiu. 3
- NOVAK, I. et J. R. MILLER. 2007, *Frequency-domain characterization of power distribution networks*, Artech House, Inc. 23
- NOVAK, I., Z. YANG, L. WOJEWODA, L. SMITH, H. ISHIDA et M. SHIMIZU. 2005, «Inductance of bypass capacitors : how to define, how to measure, how to simulate», *TecForum TF7 of DesignCon*. 38
- PAK, J. S., H. KIM, J. LEE et J. KIM. 2007, «Modeling and measurement of radiated field emission from a power/ground plane cavity edge excited by a through-hole signal via based on a balanced tlm and via coupling model», *IEEE transactions on advanced packaging*, vol. 30, n° 1, p. 73–85. 52

- RA, S., C. LEE, J. CHO, S. LEE, J. LEE, M. HONG et J. KWAK. 2008, «Micro via and line patterning for pcb using imprint technique», *Current Applied Physics*, vol. 8, n° 6, p. 675–678. [7](#)
- RAMANUJAN, A., E. SICARD, A. BOYER, J. L. LEVANT, C. MAROT et F. LAFON. 2015, «Developing a universal exchange format for integrated circuit emission model - conducted emissions», dans *2015 10th International Workshop on the Electromagnetic Compatibility of Integrated Circuits (EMC Compo)*, p. 252–257, doi :10.1109/EMCCompo.2015.7358367. [15](#)
- RAO, K., M. ELAHI, D. BORDELON, S. BANERJEE, H. TSAI, W. RICHARDSON et R. WOMACK. 1986, «Trench capacitor design issues in vlsi dram cells», dans *Electron Devices Meeting, 1986 International*, IEEE, p. 140–143. [29](#)
- SERCU, J. 2016, «Ir drop analysis of high-speed pcbs using 3d planar em technology», dans *Signal and Power Integrity (SPI), 2016 IEEE 20th Workshop on*, IEEE, p. 1–4. [53](#)
- SMITH, L. D., R. E. ANDERSON, D. W. FOREHAND, T. J. PELC et T. ROY. 1999, «Power distribution system design methodology and capacitor selection for modern cmos technology», *IEEE Transactions on Advanced Packaging*, vol. 22, n° 3, p. 284–291. [23](#), [44](#)
- SONG, K.-J., J. KIM, J. YOO, W. NAH, J. LEE et H. SIM. 2009, «Low-power noise multilayer pcb with discrete decoupling capacitors inside», *Circuit World*, vol. 35, n° 2, p. 30–36. [6](#)
- STUBBS, D. M., S. H. PULKO et A. J. WILKINSON. 2002, «An investigation of the sensitivity of embedded passive component temperatures to pcb structure», *IEEE Transactions on Components and Packaging Technologies*, vol. 25, n° 4, p. 701–707. [9](#)
- SWAMINATHAN, M. et E. ENGIN. 2007, *Power integrity modeling and design for semiconductors and systems*, Pearson Education. [3](#), [20](#), [23](#), [52](#)
- TEWS, D., F. MICHALIK, R. HAIDAR, M. THOMS, M. GOH et S. LI. 2013, «Non-etching adhesion promoter for dry film for semi-additive manufacturing—advanced dry film pretreatment», dans *Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT), 2013 8th International*, IEEE, p. 31–34. [7](#)
- WAFFENSCHMIDT, E., B. ACKERMANN et J. A. FERREIRA. 2005, «Design method and material technologies for passives in printed circuit board embedded circuits», *IEEE Transactions on Power Electronics*, vol. 20, n° 3, p. 576–584. [9](#)
- WAFFENSCHMIDT, E. et J. FERREIRA. 2002, «Embedded passives integrated circuits for power converters», dans *Power Electronics Specialists Conference, 2002. pesc 02. 2002 IEEE 33rd Annual*, vol. 1, IEEE, p. 12–17. [6](#)
- WANG, G., D. ANAND, N. BUTT, A. CESTERO, M. CHUDZIK, J. ERVIN, S. FANG, G. FREEMAN, H. HO, B. KHAN et collab.. 2009, «Scaling deep trench based edram on soi to 32nm and beyond», dans *Electron Devices Meeting (IEDM), 2009 IEEE International*, IEEE, p. 1–4. [29](#)

# Chapitre 2

## Véhicule de Test

*« A preposition is a bad thing to  
end a sentence with »*

---

W. Churchill

### Sommaire

---

|  |           |
|--|-----------|
| <b>2.1 Introduction</b> . . . . .  | <b>62</b> |
| <b>2.2 Présentation du véhicule de test</b> . . . . .  | <b>62</b> |
| 2.2.1 Objectifs . . . . .  | 62        |
| 2.2.2 Définition de l'architecture . . . . .   | 63        |
| 2.2.2.1 Arbre d'alimentation . . . . .   | 64        |
| 2.2.2.2 Arbre d'horloge . . . . .  | 65        |
| 2.2.2.3 Composition de l'empilage du circuit imprimé . . . . .   | 66        |
| 2.2.3 Définition des scénarios de test . . . . .   | 68        |
| 2.2.3.1 Véhicule de test pour la mesure de l'impédance de sortie<br>des modules régulateurs de tension . . . . . | 68        |
| 2.2.3.2 Perturbation des modules régulateurs de tension . . . . .  | 68        |
| 2.2.3.3 Caractérisation des condensateurs de découplage . . . . .  | 71        |
| 2.2.3.4 Routage des condensateurs de découplage . . . . .  | 72        |
| 2.2.3.5 Bruit de commutations simultanées . . . . .  | 73        |
| 2.2.3.6 Mesure de courant de commutation . . . . .   | 77        |
| 2.2.3.7 Évaluation des procédés de fabrication . . . . .   | 77        |
| <b>2.3 Conclusion du chapitre</b> . . . . .  | <b>79</b> |
| <b>2.4 Références</b> . . . . .  | <b>82</b> |

---

## 2.1 Introduction

La densité et la complexité des cartes électroniques développées dans le service de conception de modules numériques de Thales et destinées à des produits ne permettent pas d'embarquer les points de test et l'instrumentation nécessaire à l'obtention de résultats de mesure pour l'analyse des problématiques d'intégrité de puissance. La conception d'un véhicule de test dont l'objet est d'embarquer les moyens de mesure permettant l'observation de phénomènes propres aux problématiques d'intégrité de puissance et de stabilité des alimentations est donc une étape primordiale dans le déroulement de ces travaux de thèse. Premièrement, le véhicule de test respecte les différentes méthodologies et règles de conception élaborées dans le cadre de ces travaux. Son bon fonctionnement constitue donc un premier retour sur expérience de l'efficacité de ces règles et leur approbation. Ensuite, les mesures effectuées sur le véhicule de test permettent par comparaison avec les résultats de simulation, de valider les outils de simulation évalués ou développés durant la thèse. Enfin, L'implantation de différents motifs de routage pour une même fonction favorise aussi l'évaluation et la qualification de ces motifs afin d'être en mesure de quantifier les compromis possibles sur la qualité du routage et sur la densité de la carte. A ce véhicule de test s'ajoute aussi une maquette développée parallèlement afin, d'une part être en mesure de paralléliser les tâches de conception et de mesure au cas où la production du véhicule de test connaîtrait un problème et d'autre part parce que le format maximal imposé au circuit imprimé du véhicule de test ne permet pas d'intégrer sur une seule carte, tous les éléments à évaluer. La première partie de ce chapitre est dédiée à la description du véhicule de test principal. Dans une seconde partie, l'ensemble des scénarios et des montages permettant d'observer les phénomènes et d'améliorer les connaissances dans le domaines de l'intégrité de puissance sera présenté

## 2.2 Présentation du véhicule de test

Le rôle du véhicule de test est de valider, d'une part la méthodologie de conception du réseau de distribution d'alimentation de cartes complexes à [Haute densité d'interconnexions \(HDI\)](#) et d'autre part de valider les outils de simulation utilisés lors de la conception. Par conséquent, le véhicule de test doit être représentatif des cartes conçues dans le service de modules numériques de Thales. C'est pourquoi le démonstrateur comporte un circuit imprimé avec un nombre important de couches (14 couches), complexe par l'utilisation de différentes technologies de vias (vias traversants, micro-vias, vias enterrés), des composants de technologies similaires à ceux employés classiquement ([Ball Grid Array, matrice de billes en français \(BGA\)](#), mémoire) une largeur de piste fréquemment utilisée (100  $\mu\text{m}$ ), un nombre de potentiels d'alimentation important (8 potentiels différents) et d'une architecture couramment utilisée.

### 2.2.1 Objectifs

Le véhicule de test développé permettra de :

- Définir une méthodologie de conception des réseaux de distribution d'alimentation d'une carte électronique rapide à haute densité d'interconnexions
- Valider les règles de conception des circuits de distribution d'énergie
- Valider et évaluer la précision des logiciels et outils de simulation par la comparaison de résultats de simulation avec des résultats obtenus par mesure

- Valider et évaluer la précision des logiciels et outils de simulation par la comparaison de résultats de simulation avec des résultats obtenus par mesure pour la simulation :
  - Des pertes statiques provoquées par le passage du courant sur le circuit imprimé.
  - De l'impédance du réseau de distribution d'énergie sur toute la plage de fréquence de fonctionnement de la carte.
  - Des résistances et des inductances parasites limitant les effets des condensateurs de découplage.
- Valider l'introduction de nouveaux modèles de simulation à la méthodologie de conception et de validation.
- Optimiser le paramétrage des différents outils de simulation afin d'obtenir des résultats représentatifs des phénomènes observés en mesure.
- Valider et quantifier les améliorations apportées par différents motifs de routage des condensateurs de découplage afin d'être en mesure d'optimiser le nombre de condensateurs à implanter sur une carte.

Le démonstrateur devra, dans la mesure du possible, intégrer l'instrumentation nécessaire à l'étude de chaque phénomène propre à des problématiques d'intégrité de puissance ainsi que les interfaces de transmissions de signaux servant à mettre en place des co-simulations Intégrité de signal/intégrité de puissance.

### 2.2.2 Définition de l'architecture

L'architecture choisie s'articule autour d'un [FPGA Kintex7 160TFFG676](#) comprenant une matrice de 676 billes au pas de 1mm et permettant l'implantation de 8 liens séries rapides ainsi qu'une interface avec 2 composants de mémoire type [DDR3](#). Le choix d'un [FPGA](#) s'est révélé le plus approprié pour équiper le véhicule de test car sa capacité à être reprogrammé lui permet d'être extrêmement polyvalent et donc de pouvoir obtenir différentes fonctions à partir d'une seule carte. Dans le cas de notre architecture, le [FPGA](#) s'interface avec un seul bloc de mémoire [DDR3](#). Deux liens séries rapides ont été routés ainsi qu'une banque [I/O](#) laquelle est câblée à 12 liens [low voltage differential signal, signal différentiel basse tension en français \(LVDS\)](#). Enfin, un composant de mémoire flash comportant le binaire du code [Very High Speed Integrated Circuit Hardware Description language, langage de description matériel de circuit intégré rapide français \(VHDL\)](#) du [FPGA](#) sert à charger la configuration de celui-ci à chaque allumage ou mise à zéro de la carte. Il existe deux moyens différents de contrôler la carte. Soit à l'aide de l'interface utilisateur matérielle implantée sur la carte, soit à l'aide d'une application de contrôle développée sous Matlab et utilisant un lien RS232 pour envoyer les différentes commandes à la carte. La figure [2.1](#) représente l'architecture du véhicule de test sous forme de blocs ainsi qu'une partie de l'architecture interne du [FPGA](#).

Le [FPGA](#) est alimenté par 8 potentiels différents précisés dans la partie suivante. La puissance consommée par le composant peut atteindre d'approximativement 10 W lorsque toutes ses fonctions sont activées, ce qui nécessite de refroidir le composant grâce à un ventilateur lorsqu'il fonctionne à plein régime. En revanche, sa consommation statique est de moins de 1,5 W, lorsqu'aucune fonction n'est activée. La carte comprend en outre un composant constitué d'un petit [Complex Programmable Logic Device, dispositif logique complexe programmable en français \(CPLD\)](#) utilisé pour le séquençement des potentiels d'alimentation lors de l'allumage de la carte ainsi qu'un composant générateur



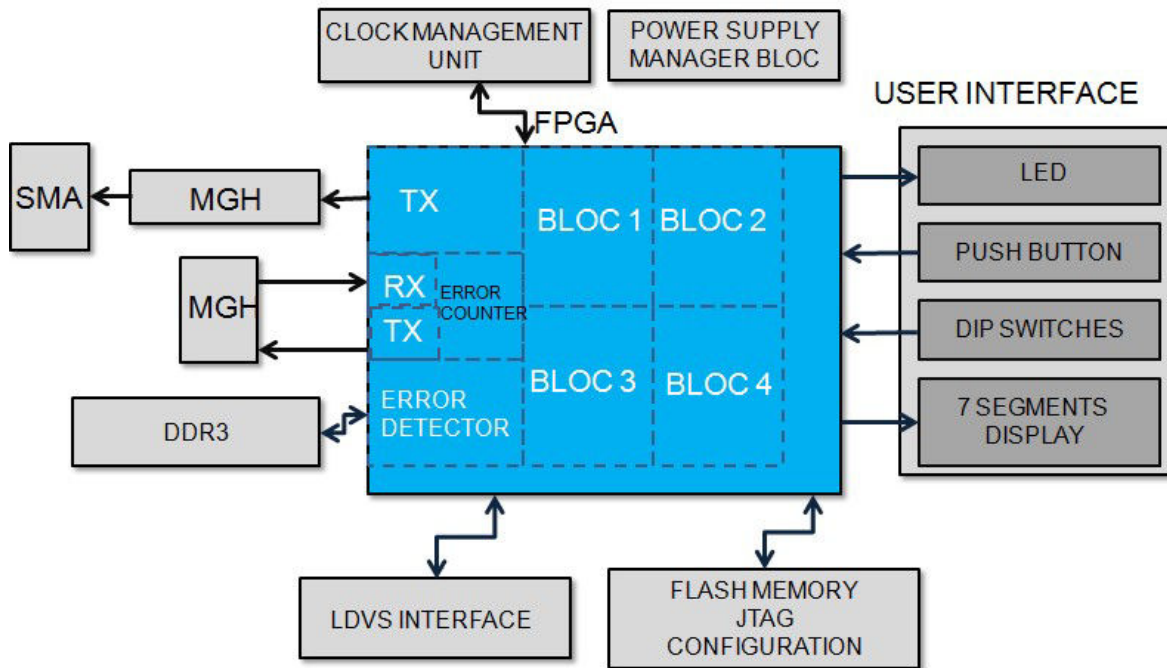


FIGURE 2.1 – Diagramme en bloc de l'architecture du véhicule de test ainsi que ses différentes interfaces

de signaux d'horloge constitué de quatre [Phase Locked Loop, boucle de phase asservie en français](#) (PLL) différentielles cadencé par un quartz résonnant à 25MHz. Le véhicule de test est présenté dans la figure [2.21](#)

### 2.2.2.1 Arbre d'alimentation

La figure [2.2](#) représente les différents niveaux de tension et de courant circulant sur la carte nécessaire pour le fonctionnement des différentes fonctions. Il s'agit de l'arbre de l'alimentation de la carte qui définit la stratégie de conversion et la distribution des potentiels afin d'optimiser le rendement énergétique. Afin de simplifier l'alimentation de la carte au maximum lors de manipulations en laboratoire, la carte n'est alimentée que par un seul potentiel de 3,3 V. Ainsi tout le courant consommé par la carte lors de son fonctionnement circule dans les câbles d'alimentation de la carte rendant les mesures de consommations globales de la carte plus aisées. Cet arbre d'alimentation est représentatif des cartes conçues à Thales puisque l'architecture est inspirée d'une carte existante. Le véhicule de test intègre tous les éléments sujets à cette étude dont les modèles seront détaillés dans le [chapitre suivant](#)

La complexité de l'arbre d'alimentation provient du fait que chaque fonction de la carte doit être alimentée par un ou plusieurs potentiels différents :

- Les banques de signaux d'entrée/sortie du [FPGA](#) ont tantôt un niveau d'alimentation de 3,3 V pour l'interface matérielle de contrôle, tantôt un niveau d'alimentation de 1,8 V pour les liens [LVDS](#).
- L'interface avec le composant de mémoire flash utilise aussi ces 2 potentiels : 3,3 V pour l'alimentation du composant et 1,8 V pour la communication avec le [FPGA](#).
- L'interface avec la [Random Access Memory, mémoire à accès direct en français](#) (RAM) fonctionne sous 1,5 V.
- Le cœur d'alimentation du [FPGA](#) est alimenté par le potentiel de 1 V.



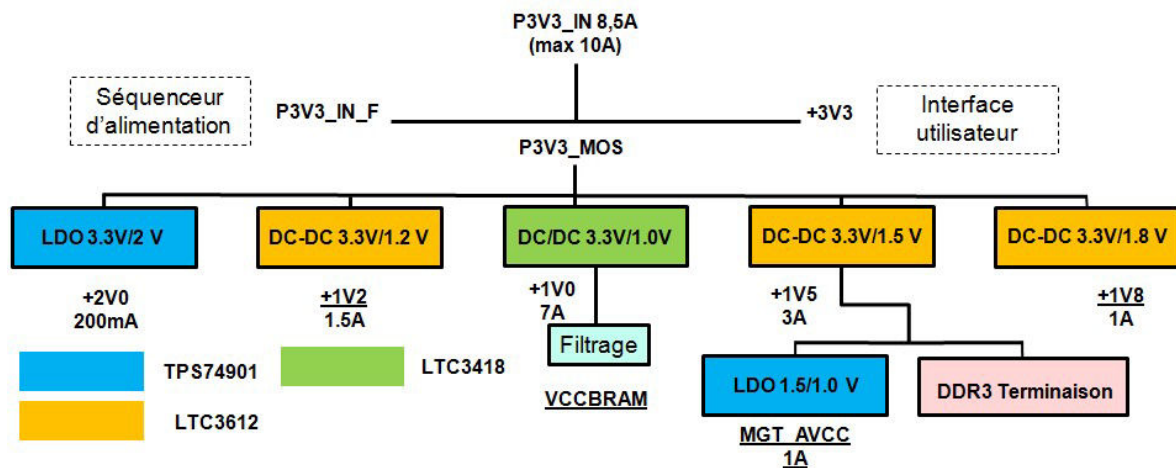


FIGURE 2.2 – Diagramme de l'arbre d'alimentation du véhicule de test

Le potentiel du cœur du **FPGA** est le potentiel le plus faible de la carte. Cependant, il s'agit également du réseau de distribution d'énergie véhiculant le plus fort courant. C'est donc le plus sensible aux fluctuations de tension. Le courant circulant sur ce potentiel est estimé à un maximum de 7 A. Il faudra donc être particulièrement vigilant dans le dimensionnement et le découplage de ce potentiel.

Enfin la partie la plus complexe à alimenter est l'interface des liens séries rapides puisque ces fonctions sont alimentées par 4 potentiels différents : 1,8 V ; 1,2 V ; et deux fois 1 V. Les potentiels intervenant dans l'alimentation de cette fonction sont soulignés dans la figure 2.2. Cette partie est d'autant plus complexe à concevoir, qu'il s'agit de l'interface la plus sensible au bruit. Il n'est donc pas possible de l'alimenter directement avec le composant d'alimentation à découpage du cœur du **FPGA** car le bruit de commutation dégraderait fortement les performances. Il faut donc dédoubler ce potentiel sur la carte. La conversion du potentiel du cœur de l'alimentation est réalisée par une alimentation à découpage au vu des puissances engagées sur ce potentiel, tandis que le second potentiel de 1V plus sensible est généré depuis un potentiel de 1,5V à l'aide d'un régulateur linéaire **LDO**.

Le circuit d'alimentation de la carte est donc l'objet d'une attention particulière tant au niveau schéma qu'au niveau du routage car il comporte de nombreux composants d'alimentation (4 alimentations à découpage et 2 régulateurs linéaires) et de composants passifs associés servant au filtrage.

### 2.2.2.2 Arbre d'horloge

Une attention particulière doit également être portée à la conception de l'arbre d'horloge. Bien que dans le cas du véhicule de test, il ne soit pas particulièrement complexe, le routage doit être fait de telle manière qu'aucun phénomène de diaphonie ou de réflexion ne déforme les signaux d'horloge. L'intégrité des signaux d'horloge permet en effet de ne pas introduire trop de gigue, qui aurait pour conséquence l'apparition d'erreurs de transmission lors de phase de lecture ou d'écriture en mémoire ou de fermeture du diagramme de l'œil dans le cas d'un lien série rapide.

Pour le fonctionnement du véhicule de test, 4 signaux d'horloge sont générés :

- Un signal d'horloge différentiel d'une fréquence de 200MHz qui cadence le **FPGA** donc le système général

- Un signal d’horloge différentiel d’une fréquence de 125MHz qui sert de référence au premier lien série rapide GTX0
- Un signal d’horloge différentiel d’une fréquence de 125MHz qui sert de référence au second lien série rapide GTX1
- Un signal d’horloge single-ended d’une fréquence de 200MHz qui sert de référence à l’interface entre le [FPGA](#) et le composant de mémoire [DDR3](#).

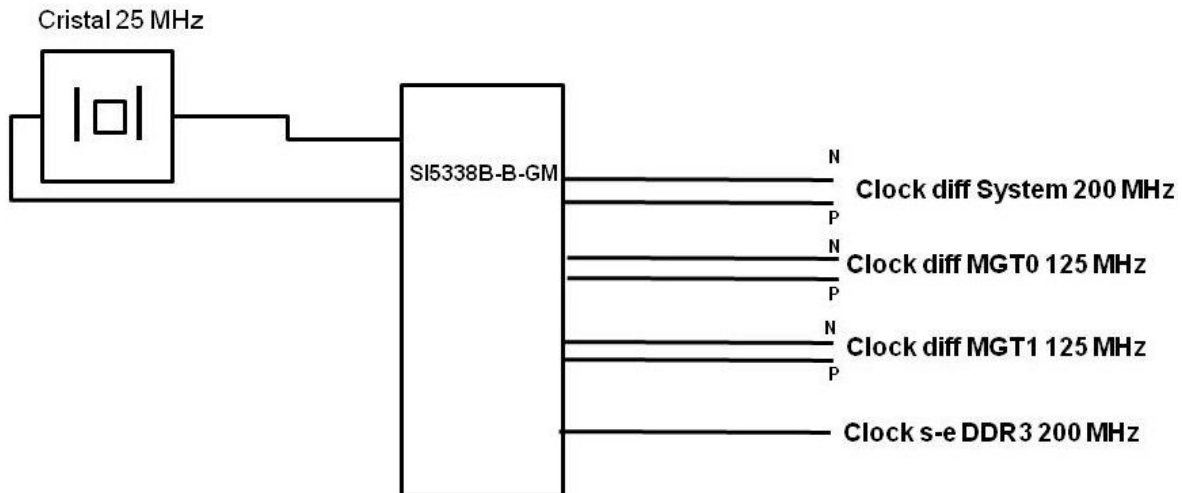


FIGURE 2.3 – Diagramme de l’arbre d’horloge du véhicule de test

Les différents signaux d’horloge sont générés par un composant SI5338B-B-GM, générateur d’horloge du fabricant Silicon Lab. Ce composant admet un signal d’horloge en entrée, dans notre cas le signal d’excitation d’un cristal de quartz, puis une [PLL](#) interne multiplie la fréquence du signal et le répartit sur quatre branches comportant chacune un synthétiseur multiplicateur configurable.

### 2.2.2.3 Composition de l’empilage du circuit imprimé

Le circuit imprimé du véhicule de test est constitué de 14 couches : deux couches stratifiées sur chacune des couches extérieures et 10 couches standards en interne (2+10+2). La constitution du circuit imprimé est présentée dans la figure 2.4. Le choix du nombre de couches, permet de définir la surface disponible au routage de la carte. Le choix des épaisseurs de diélectrique répond à la fois à des contraintes mécaniques sur l’épaisseur totale du circuit imprimé, mais influe également sur la largeur des pistes à impédance contrôlée en fonction de la couche sur laquelle elle se situe. Dans la majorité des cas, les épaisseurs de diélectrique doivent être définies de telle sorte que les pistes simples, dites single-ended présentent une impédance de 50 Ohms et les pistes différentielles une impédance de 100 Ohms.

Afin de réduire au maximum les problèmes d’intégrité de signal, de puissance ou d’interférences électromagnétiques, il est primordial d’essayer de réserver au moins une couche exclusivement au potentiel de référence afin que les retours de courant soient les plus courts possibles. De même, ces couches supportant le potentiel de référence exercent le rôle d’écran électromagnétique, absorbant les perturbations émises par la carte ou reçues par d’autres au sein d’un équipement par exemple. Les signaux sensibles ont donc intérêt à se situer dans le cœur du circuit imprimé afin de limiter l’impact d’interférences électromagnétiques.

Un certain nombre de couches doit aussi être dédié aux potentiels d'alimentation. Ces étendues de cuivre remplissent aussi le rôle d'écran électromagnétique cependant leur rôle est moindre puisque ces plans présentent souvent des formes complexes et ne couvrent pas l'ensemble de la carte. Une couche dédiée aux plans d'alimentation peut parfois servir de référence à des pistes de signaux. Il faut cependant être vigilant à ce qu'il n'y ait pas de rupture de plan de référence pour cette piste comme cela serait le cas si elle traversait deux plans d'alimentation coplanaires séparés par une fente. Ce phénomène provoque une variation d'impédance importante qui a pour conséquence l'apparition d'un phénomène de réflexion sur cette piste dû à la désadaptation et la création également d'un effet d'antenne.

De la même manière, afin de réduire les perturbations parcourant les plans d'alimentation et permettre aux courants de retour le chemin le plus rapide, il est judicieux d'essayer de placer des plans de masse en vis-à-vis des plans d'alimentation. La promiscuité d'un plan de masse avec un plan d'alimentation permet d'augmenter la capacité inter-plan et donc potentiellement de mieux atténuer les oscillations de tension à haute fréquence.

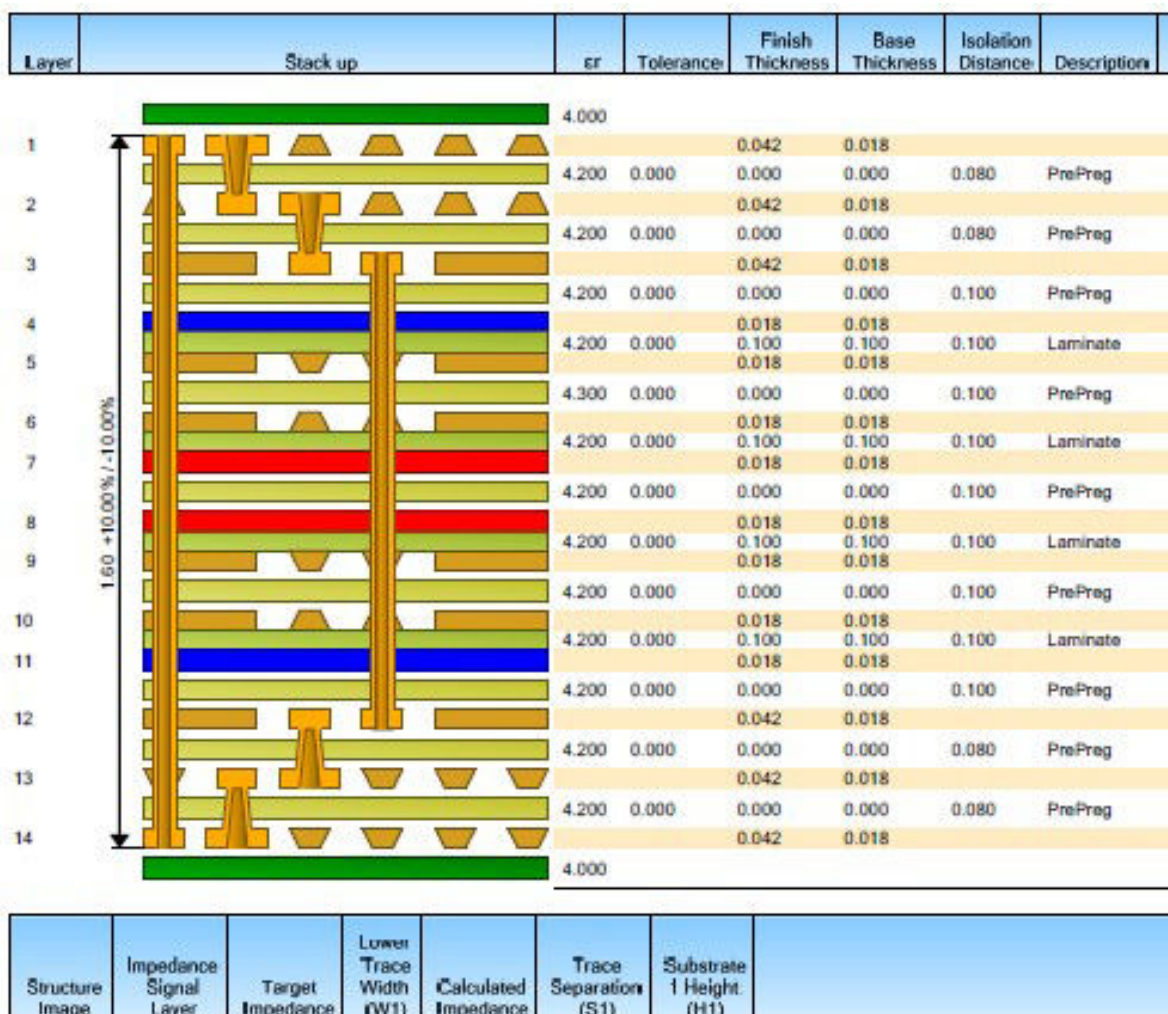


FIGURE 2.4 – Description de l'empilement du circuit imprimé du véhicule de test

### 2.2.3 Définition des scénarios de test

Le véhicule de test a pour but l'étude des phénomènes d'intégrité de puissance au sein des cartes électroniques rapides. Afin d'en simplifier l'étude, des scénarios définis permettent d'isoler les effets du réseau de distribution les uns des autres et d'identifier les différents paramètres influençant son comportement.

#### 2.2.3.1 Véhicule de test pour la mesure de l'impédance de sortie des modules régulateurs de tension

Le dimensionnement du filtrage ou découplage du réseau de distribution d'énergie en utilisant l'impédance cible se réalise dans le domaine fréquentiel. Alors que l'impédance du circuit imprimé en fonction de la fréquence peut être facilement obtenue par simulation et que celle des condensateurs de découplage peut être soit mesurée soit donnée par les fabricants, l'impédance de sortie des modules régulateurs de tension ne figure pas dans la documentation du composant, et n'est pas non plus précisée par l'entreprise qui le produit. Afin de pouvoir connaître l'impédance du réseau de distribution d'énergie sur toute la plage de fréquence, il est nécessaire de connaître l'impédance de sortie du module régulateur de tension dont le rôle est prépondérant sur toute la plage de fréquence du régime statique jusqu'à la centaine de kilohertz.

Afin de s'affranchir du comportement du reste du réseau de distribution d'énergie, 3 circuits de conversion de tension utilisés sur le véhicule de test sont reproduits sur une maquette. Les montages implantés ne comportent les éléments de filtrage que strictement nécessaires à leur fonctionnement et à la protection des composants. Cette maquette est alimentée en 3,3 V comme le véhicule de test et génère un potentiel de 1 V et de 1,5 V à l'aide de convertisseurs DC-DC. Le troisième composant est un régulateur linéaire qui convertit un potentiel de 1,5 V issu du potentiel de sortie du convertisseur DC-DC ou d'une alimentation externe en un potentiel de 1 V. Les mesures d'impédance de sortie des composants sont facilitées par l'utilisation de connecteurs [SubMiniature A \(SMA\)](#) reliés au potentiel de sortie des convertisseurs, ce qui permet de s'affranchir de sondes et permet une meilleure répétabilité. De plus un connecteur de sortie permet de raccorder facilement la carte à une charge résistive ou dynamique afin de maîtriser le courant débité par le montage. Le schéma électrique de la méthode de mesure employée est présenté en figure 2.5. Cette maquette permet, de mesurer l'impédance de sortie des différents composants d'alimentation du véhicule de test et de quantifier l'atténuation de perturbation entre le potentiel de sortie et le potentiel d'entrée du régulateur linéaire afin de vérifier s'il est bien conforme aux données indiquées par le fabricant. Un aperçu de cette maquette est donné dans la figure 2.6.

#### 2.2.3.2 Perturbation des modules régulateurs de tension

Pour assurer un bon fonctionnement de la carte, l'ensemble des éléments du réseau de distribution d'énergie doivent immuniser le rail d'alimentation des variations de tension dans tous les cas de fonctionnement. Afin de tester la robustesse des rails d'alimentations du véhicule de test, différents montages ont été imaginés afin d'introduire des perturbations maîtrisées et de mesurer la réponse du réseau de distribution d'énergie.

Le premier module de perturbation consiste en une résistance shuntée par un transistor MOSFET avec une résistance de conduction faible. Ce montage est signalé en 1 sur la figure 2.7. En fonctionnement normal, le transistor est en état passant. L'impédance



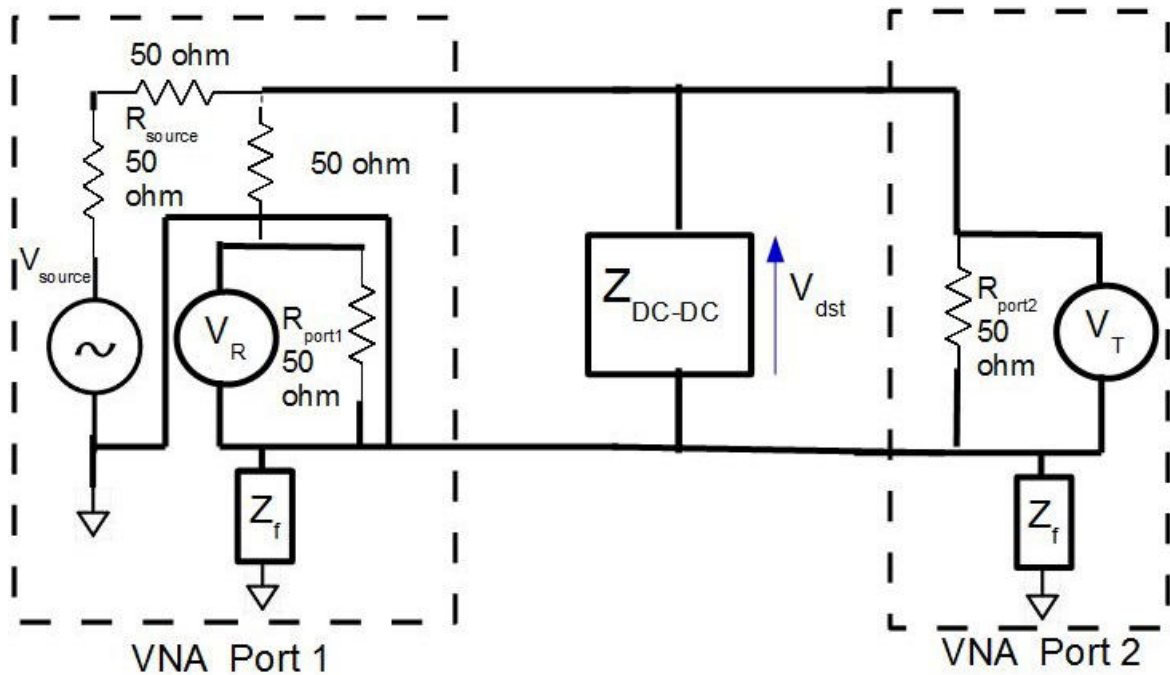


FIGURE 2.5 – Schéma de la méthodologie de mesure de l'impédance de sortie du module régulateur de tension

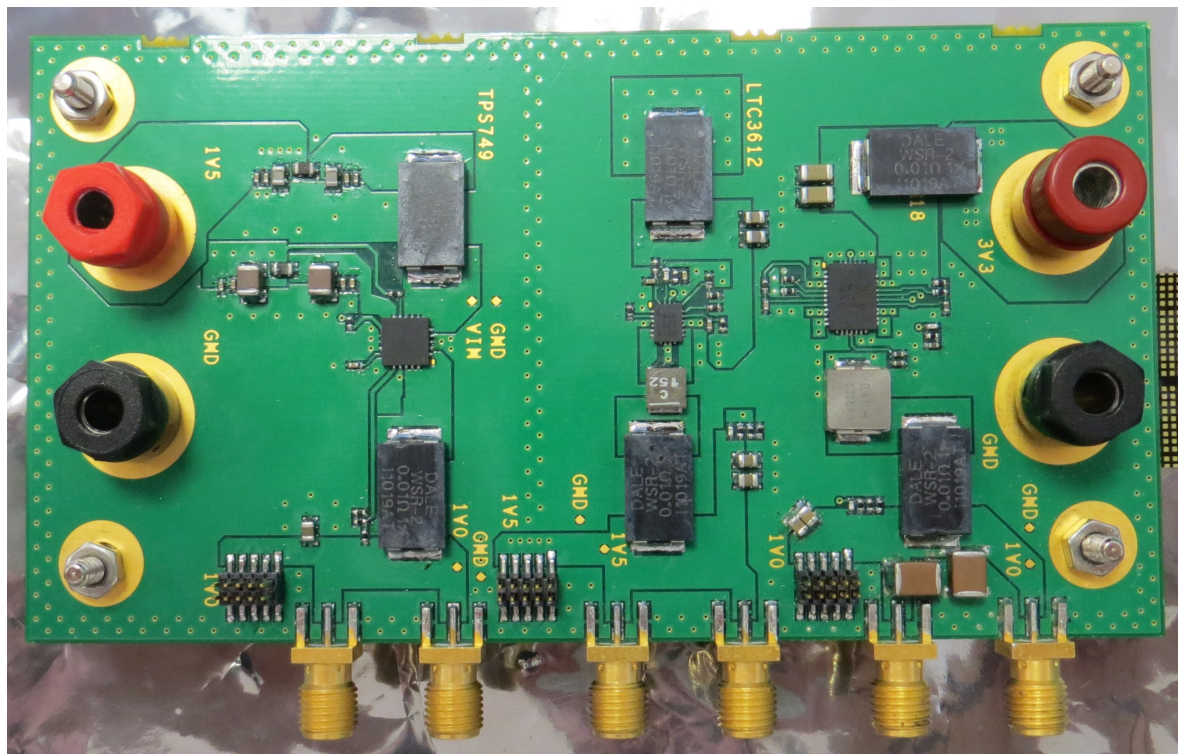


FIGURE 2.6 – Aperçu de la maquette conçue pour la mesure de l'impédance de sortie de trois composants utilisés sur le véhicule de test afin de s'affranchir de l'influence des composants du réseau de distribution d'énergie en aval du composant

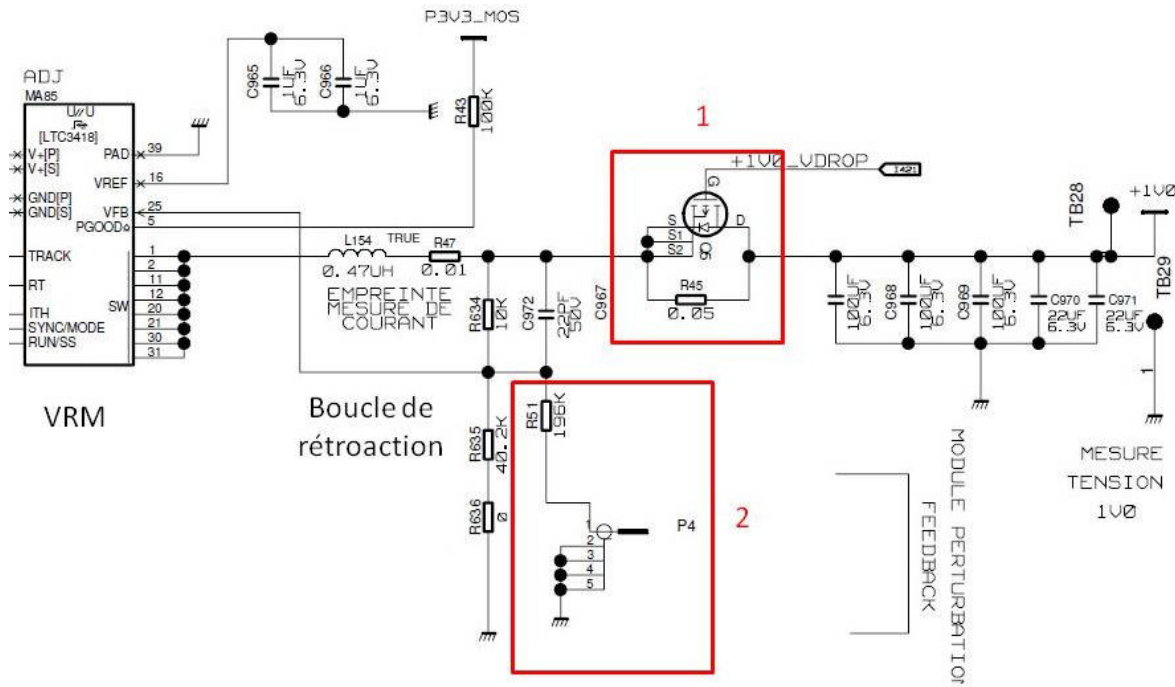


FIGURE 2.7 – Schéma des modules de perturbation du rail d'alimentation du potentiel 1V du véhicule de test

vue par le composant d'alimentation est donc l'impédance équivalente de la résistance de conduction du transistor  $R_{DS} = 30 \text{ m}\Omega$  en parallèle avec la résistance  $R_{45}$  en série avec l'impédance du réseau de distribution. La résistance équivalente  $R_{45} // R_{DS}$  est égale à  $30 // 50 = 18,75 \text{ m}\Omega$ , donc plus faible que  $R_{45}$  seule. Afin de simuler un changement de charge, le transistor est éteint. L'impédance vue par le composant d'alimentation augmente puisqu'il voit alors l'impédance de  $R_{45}$  en série avec l'impédance du reste du circuit de distribution d'énergie. Ce changement de charge peut donc être assimilé à un appel de courant dont on connaît précisément les caractéristiques. Le schéma de principe de ce montage est donné dans la figure 2.8. Le second module de perturbation consiste à appliquer un

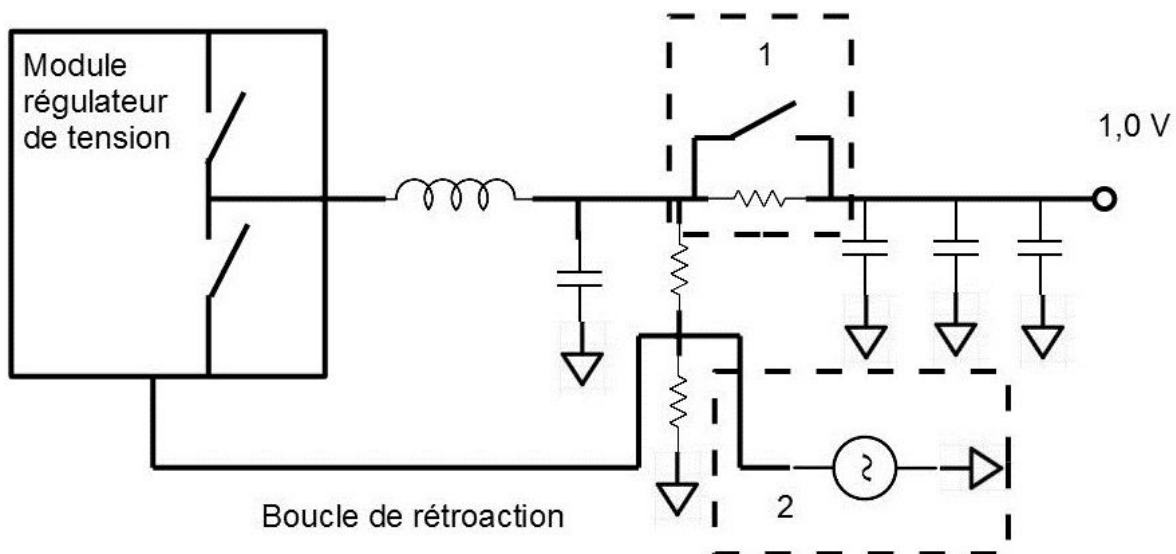


FIGURE 2.8 – Schéma de principe du module de perturbation des module régulateur de tension

signal perturbateur sur la boucle de rétroaction du composant d'alimentation.

Le signal de rétroaction consiste en un niveau de tension lu à la sortie d'un pont diviseur de tension dont le potentiel d'entrée est la tension du rail d'alimentation. Si l'on vient perturber le signal de rétroaction en imposant une tension, alors le rapport cyclique de commutation du composant varie et donc la tension du rail d'alimentation est modifiée. Un connecteur SMA est connecté au point de mesure de la boucle de rétroaction de telle sorte que l'on puisse imposer le signal de rétroaction à l'aide d'un générateur basse fréquence. Outre la possibilité de perturber le rapport cyclique de commutation du composant, ce dispositif permet également de mesurer la bande de fréquence sur laquelle agit la dynamique de la réponse du composant en faisant varier la fréquence du signal de perturbation. Ce montage est signalé en 2 sur la figure 2.7 et la figure 2.8.

Les tests effectués sur ce montage permettent de caractériser la commande du composant, d'en déduire la bande passante et par exemple pour le concepteur de filtrer cette boucle de rétroaction afin qu'elle ne soit pas perturbée par d'autres éléments de la carte.

### 2.2.3.3 Caractérisation des condensateurs de découplage

Les condensateurs de découplage sont un élément central du réseau de distribution d'énergie. Afin d'être en mesure de dimensionner et simuler les circuits de distribution dans leur intégralité, leur comportement doit pouvoir être modélisé de façon précise. La description la plus réaliste des condensateurs de découplage est la mesure de leurs paramètres S dans le domaine fréquentiel. Certains fabricants distribuent les fichiers de mesure de composant qu'il est alors possible d'intégrer directement dans les outils de simulation. En revanche, si aucun modèle n'est disponible, il faut être capable de mesurer la réponse fréquentielle de ces condensateurs. C'est dans ce but qu'a été développé un kit de caractérisation des condensateurs de découplage pour des composants de taille 0805 ; 0603 ; 0402 et 0201, les plus fréquemment rencontrés dans les réseaux de découplage des cartes numériques à Thales. La difficulté de la mesure des condensateurs de découplage est de s'affranchir des éléments parasites du dispositif de mesure. C'est pourquoi un kit de calibration pour chacune des empreintes a également été conçu. Ce kit permet de calibrer l'appareil de mesure de telle sorte que le plan de référence de mesure de l'appareil ne soit non plus à la sortie de ses connecteurs mais à la pastille d'accueil des pins du composant. L'appareil ainsi calibré ne mesure donc que le comportement du condensateur. La figure 2.9 montre le kit de calibration et le kit de mesure développé pour la caractérisation des condensateurs de découplage.

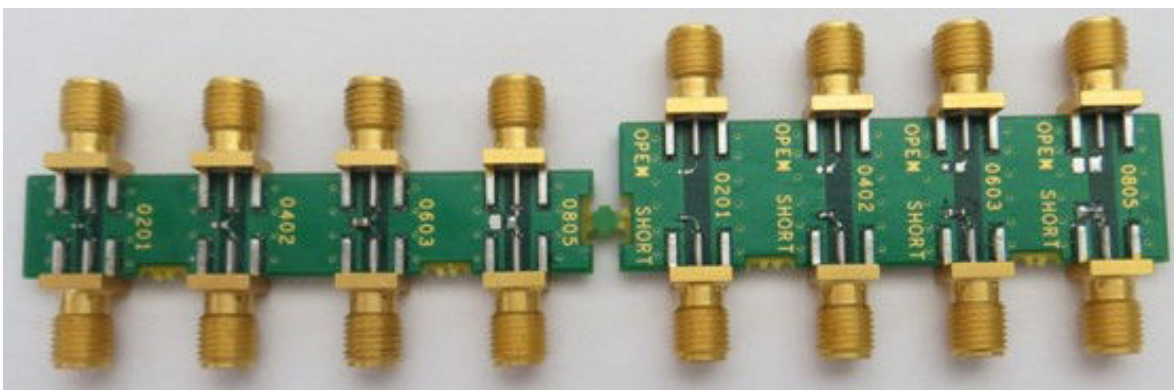


FIGURE 2.9 – Photo du kit de caractérisation et de calibration pour la mesure des condensateurs de découplage



### 2.2.3.4 Routage des condensateurs de découplage

Le routage des condensateurs utilisés pour le découplage des alimentations a un impact très fort sur la valeur de son impédance dans le domaine fréquentiel pour des fréquences d'une à deux décades autour de sa fréquence de résonance propre. En effet, les interconnexions entre les condensateurs et la paire de plan à laquelle ils sont connectés ramènent une inductance propre qui s'ajoute à l'inductance équivalente série du condensateur. Cette inductance a pour effet la diminution de la fréquence de résonance propre du condensateur et donc la limitation de son rôle de réservoir d'énergie en haute fréquence.

De même, la boucle d'inductance créée par le circuit reliant le condensateur au composant à découpler limite, elle aussi, cet effet. L'inductance montée du condensateur, engendré par sa connexion à la paire de plan d'alimentation ainsi que la boucle de courant créée par le circuit du condensateur vers le composant à découpler sont illustrées dans les figures 4.1 et 4.2.

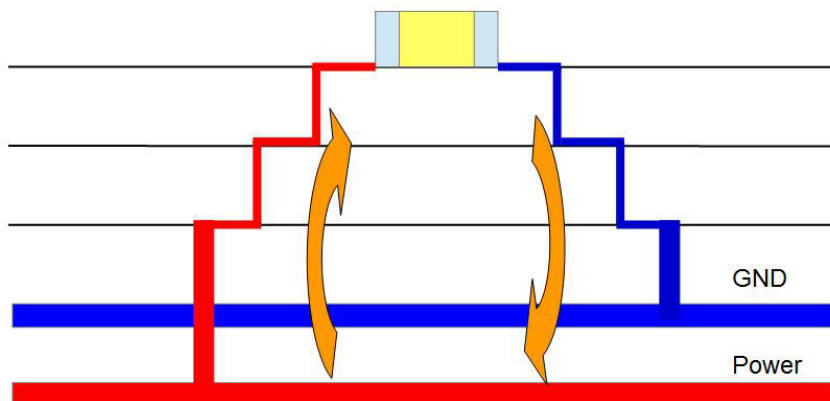


FIGURE 2.10 – Illustration de l'inductance montée d'un condensateur de découplage

Certaines solutions d'optimisation d'inductance montée existent, cependant, soit elles complexifient le routage, soit elles occupent plus d'espace en surface. Toutefois, affaiblir l'inductance montée des condensateurs permet de réduire aussi leur nombre puisqu'ils sont alors efficaces sur une plus large bande de fréquence.

Sur le véhicule de test, deux scénarios sont implémentés pour mesurer et comparer ces solutions de routage et observer le comportement de l'interaction entre le condensateur de découplage et le circuit imprimé. Le premier scénario consiste à mesurer l'impact du routage des condensateurs c'est à dire la partie connectant le condensateur à la paire de plans sur la valeur d'impédance dans le domaine fréquentiel, mais également

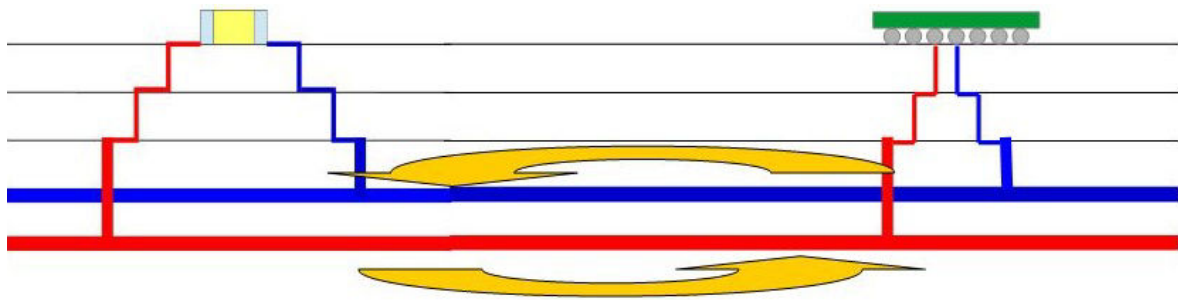


FIGURE 2.11 – Illustration de l'inductance de boucle d'un condensateur de découplage

sur l'évolution de la fréquence de résonance propre de l'ensemble plan-condensateur. Pour mesurer cette évolution 8 condensateurs sont donc implantés autour d'une paire de connecteurs SMA. Afin d'éliminer l'effet de l'inductance de boucle, les 8 condensateurs sont à équidistance du milieu du segment reliant les deux connecteurs SMA. Le tableau 2.1 précise les 8 différents montages évalués :

Le second scénario d'évaluation du montage des condensateurs permet d'évaluer l'évolution de l'inductance et de la résistance de boucle du condensateur en fonction de sa distance par rapport au composant. 4 condensateurs sont donc placés à respectivement 1 ; 2 ; 5 et 10 cm d'une paire de connecteurs SMA. Le routage des condensateurs est strictement le même afin que seule la distance du condensateur aux connecteurs varie. Le scénario est représenté en figure 2.12.

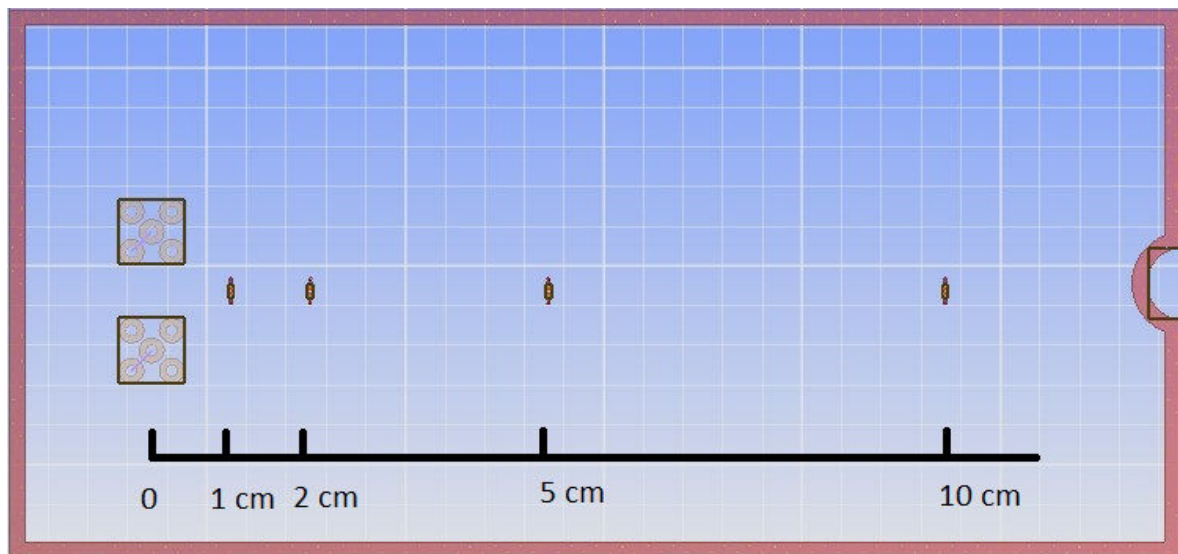
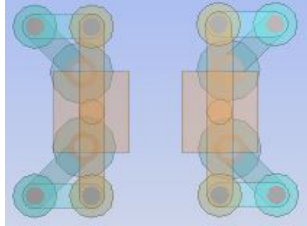
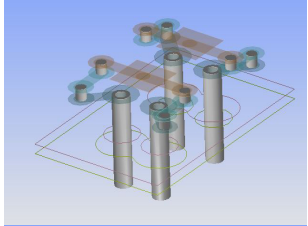
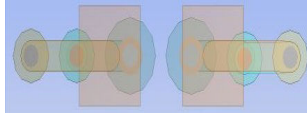
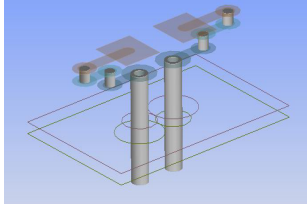
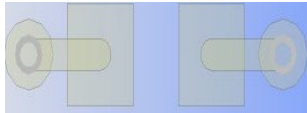
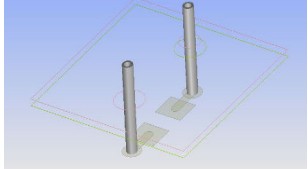
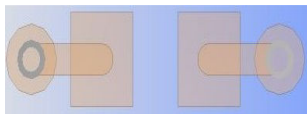
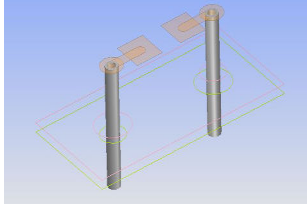
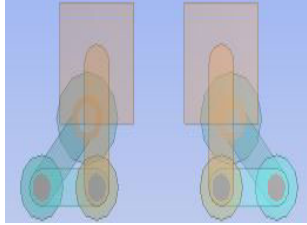
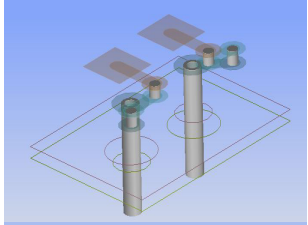
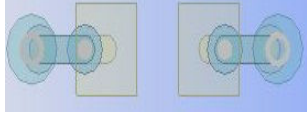
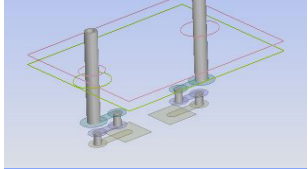
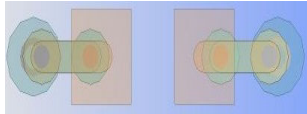
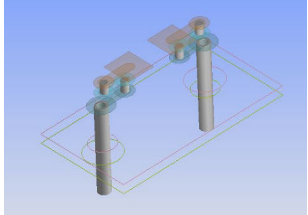
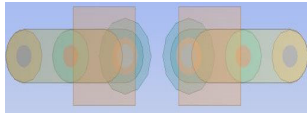
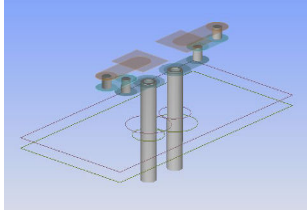


FIGURE 2.12 – Illustration du scénario mise en place sur le véhicule de test pour mesurer l'impact de la distance de connexion du condensateur

### 2.2.3.5 Bruit de commutations simultanées

La commutation d'une porte logique provoque un appel de courant sur le circuit d'alimentation qui implique une chute de tension. Si une autre porte logique commute au même instant, alors cette chute de tension se répercute sur le signal de sortie de cette porte. La forte activité d'un bus de sortie alimenté par un même rail est donc victime d'un bruit de commutations simultanées. C'est un phénomène qui apparaît sur les interfaces parallèles, comme sur les bus de communication des composants de mémoires ITO

TABLEAU 2.1 – Description des 8 différents montages de condensateur évalués dans le cadre de l'étude de l'impact du routage sur l'inductance montée

| Nom du montage     | Facteur évalué   | Illustration vue de dessus   | Illustration vue 3D   |
|--------------------|--|--|---|
| Double connexion   | Impact de l'ajout d'un via par plage par rapport au routage micro-via de référence     |    |    |
| Small Loop         | Ecart entre les vias enterrés optimisé   |    |    |
| Through via BOTTOM | Routage de référence sur couche inférieure en via traversant                           |    |   |
| Through Via TOP    | Routage de référence sur couche supérieure en via traversant                           |  |  |
| Triangle           | Routage dégradé en micro-via   |  |  |
| Micro-Via BOTTOM   | Routage de référence sur couche inférieure en micro-via                                |  |  |
| Micro-via TOP      | Routage de référence sur couche supérieure en micro-via                                |  |  |
| Connexion Large    | Augmentation de la largeur des pistes par rapport au routage de micro-via de référence |  |  |

et collab. [1995] KOIKE et KAIZU [1998].

La connaissance de la réaction du réseau de distribution d'énergie à ce bruit de commutations simultanées permet d'affiner la simulation des transmissions des signaux en y incluant les défauts engendrés par le réseau d'alimentation et donc de diminuer le risque d'erreur de transmission. Dans le cas du véhicule de test, le plan d'alimentation propre à l'interface entre le **FPGA** et le bloc de mémoire **DDR3** est relié à deux connecteurs **SMA** qui permettent à la fois de mesurer l'impédance du réseau de distribution d'énergie propre à cette interface mais aussi de mesurer la tension du réseau d'alimentation. Ce plan d'alimentation est idéal pour l'étude du bruit de commutations simultanées car seules les commutations du bus de sortie du **FPGA** ou du bloc mémoire fonctionnent sur ce potentiel. Aucune autre activité électrique ne vient perturber directement la tension de ce réseau de distribution d'énergie. D'autre part, les signaux d'entrée ou de sortie du composant de mémoire **DDR3** sont mesurés grâce à l'utilisation d'un interposeur soudé entre le circuit imprimé et le composant permettant un accès aux signaux, au plus près du composant, en perturbant le moins possible leur propagation. Les perturbations sont réduites car l'impédance de l'interposeur et de la sonde est adapté en impédance avec la piste du signal. Cet interposeur se comporte comme un diviseur de puissance grâce aux résistances internes au circuit imprimé.

Cette mesure simultanée du rail d'alimentation et des signaux émanant du composant de mémoire **DDR3** permet de voir l'impact de la commutation d'une porte logique sur le rail d'alimentation et l'impact du défaut d'alimentation sur une porte logique victime, commutant au même instant. Elle permet de plus de valider les résultats de co-simulation intégrité de puissance-intégrité de signal. La figure 2.13 montre l'accès aux signaux du composant de mémoire grâce à l'interposeur

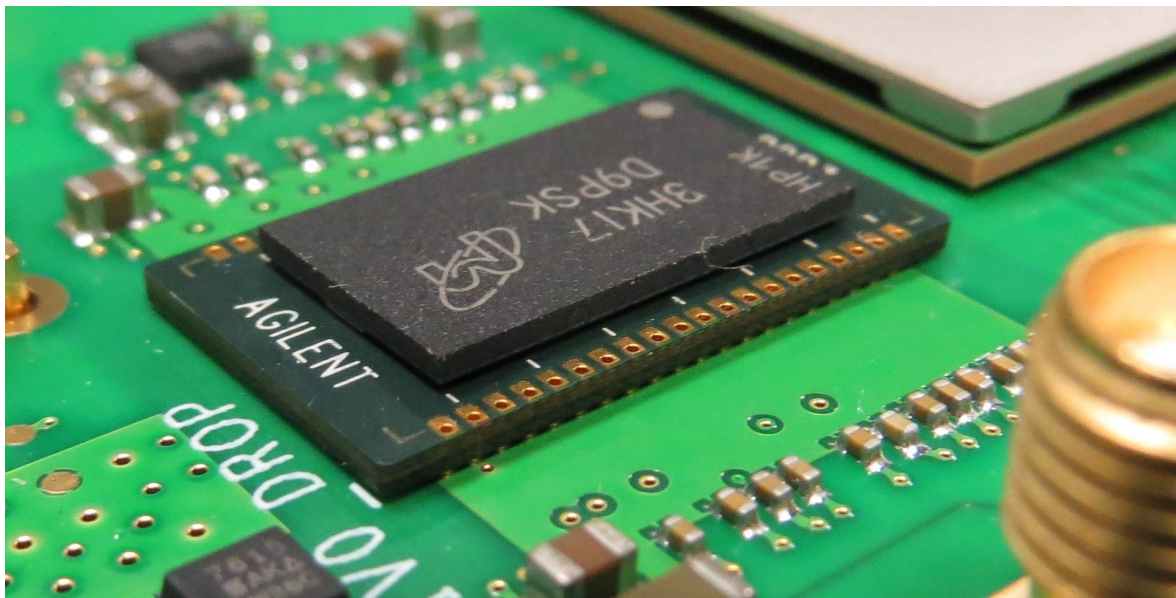


FIGURE 2.13 – Vue de l'interposeur permettant un accès aux signaux du bloc de mémoire **DDR3** sans perturber le signal

Un diagramme illustrant la mesure réalisée ainsi que les différents appareils de mesure utilisés est donné en figure 2.14.

De même, un bus de commutation constitué de douze paires différentielles **LVDS** alimenté par le potentiel 1,8 V permet également de réaliser cette étude en limitant le fonctionnement des autres composants reliés à ce potentiel. Ce lien présente un autre intérêt



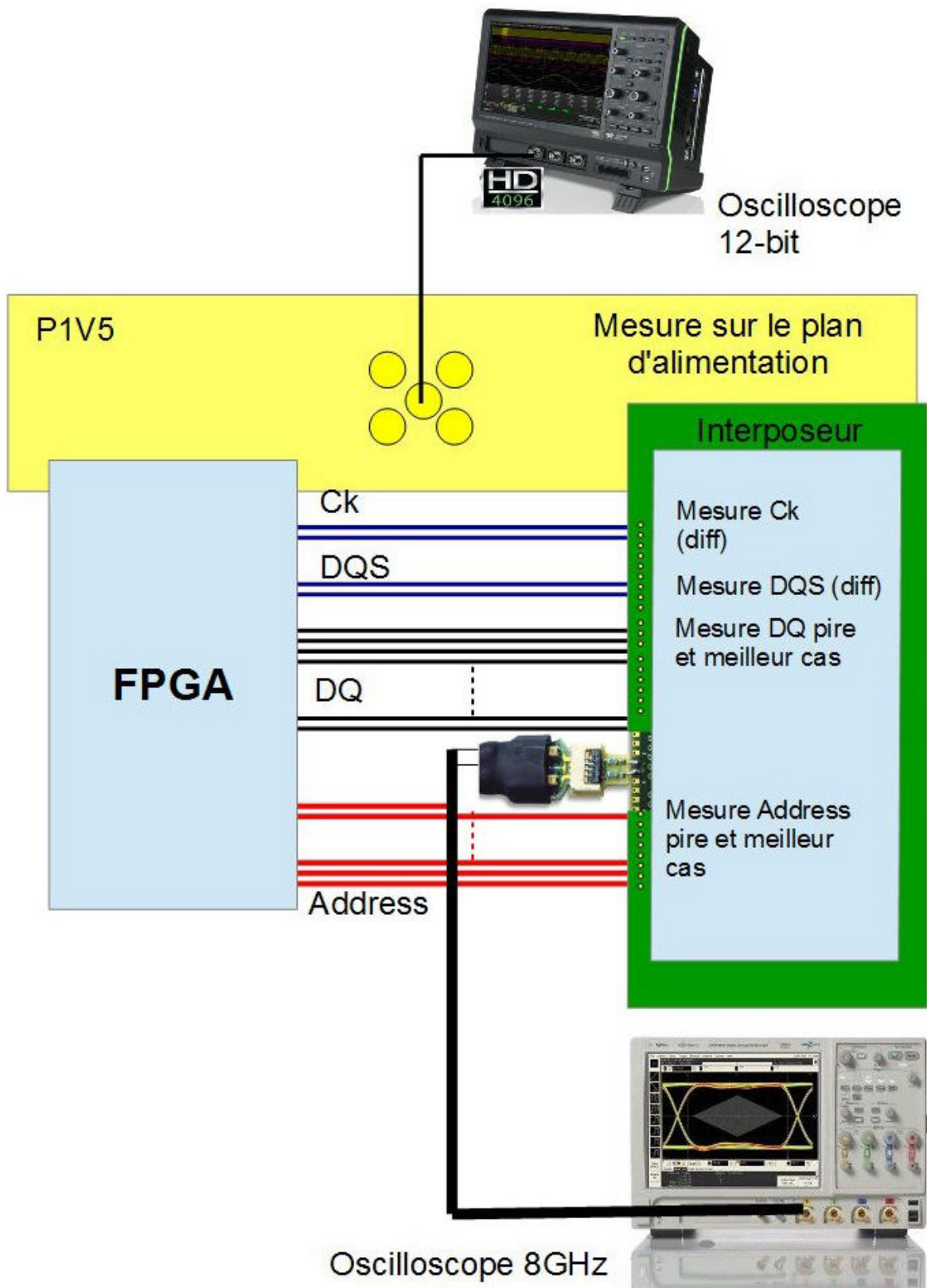


FIGURE 2.14 – Diagramme illustrant la manipulation réalisée pour la mesure du bruit de commutation simulatnée sur le bus de mémoire DDR3 entre le FPGA et le bloc de mémoire

par rapport à celui de la mémoire DDR3 puisque le potentiel 1,8 V est doté d'un module de perturbation similaire à celui présenté dans la [partie précédente](#). Il est donc possible d'introduire des perturbations connues sur le potentiel d'alimentation, comme des chutes de tension ou des oscillations et de mesurer le nombre d'erreurs logiques apparaissant pour un protocole de communication parallèle donné grâce à un analyseur logique.

### 2.2.3.6 Mesure de courant de commutation

Aucun moyen simple de mesurer précisément le courant de commutation du cœur de l'alimentation du FPGA n'a été imaginé. Un dispositif permet néanmoins de mesurer la tension transitant sur le réseau de distribution d'énergie interne du composant. En effet, deux billes respectivement reliées au potentiel d'alimentation et au potentiel de référence du FPGA ont été isolées et reliées à un connecteur en bordure de composant permettant ainsi de mesurer directement la tension non pas du réseau de distribution d'énergie du circuit imprimé mais bien celle circulant sur le réseau de distribution interne au composant. La mesure de cette tension permettra de calculer sa décomposition spectrale en interne du composant et donc d'avoir une idée de la décomposition spectrale du courant permettant ainsi de recalculer l'impédance cible du réseau d'alimentation et de dimensionner le réseau de découplage en conséquence. Ce montage est appelé *spyhole* [KLOKOTOV et collab. \[2014\]](#). Une illustration de ce montage est donnée dans la figure 2.15.

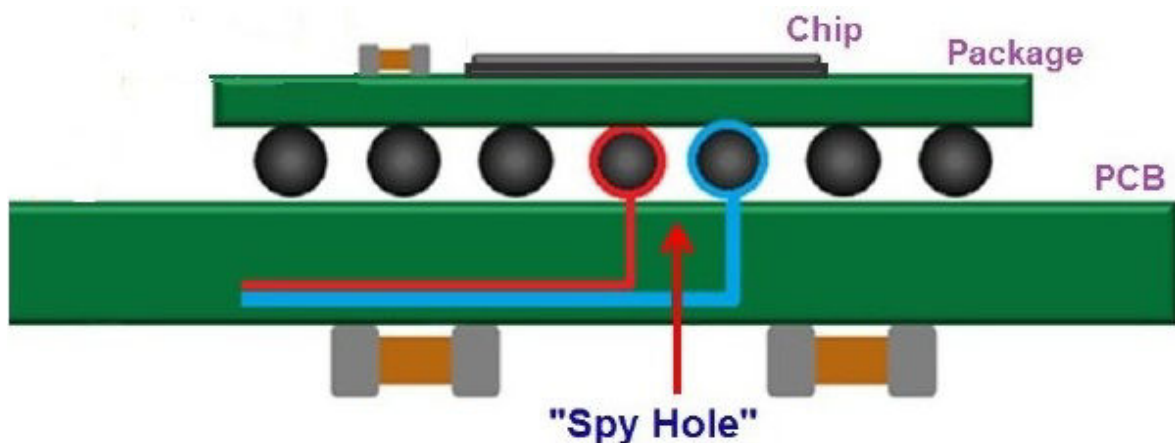


FIGURE 2.15 – Illustration du montage dit "spyhole" permettant de mesurer la tension au sein même du composant [KLOKOTOV et collab. \[2014\]](#)

Une représentation du routage du spyhole sur le véhicule de test est donnée dans la figure 2.16. Le potentiel GND est coloré en bleu. Le potentiel d'alimentation du cœur du FPGA est lui teinté en rouge. La bille de GND sur laquelle est connectée la référence du connecteur est teintée en vert tandis que la bille sur laquelle est connectée l'âme du connecteur est teintée en orange. Cette illustration montre ainsi que les connexions ramenées au connecteur sont bien isolées du reste des potentiels d'alimentation du circuit imprimé.

### 2.2.3.7 Évaluation des procédés de fabrication

Afin de limiter les effets de réflexion d'un signal RF sur une ligne de transmission, il faut que cette ligne soit adaptée à la source comme à la charge. De même, la ligne doit présenter la variation d'impédance la plus faible possible car cette dernière pourrait créer



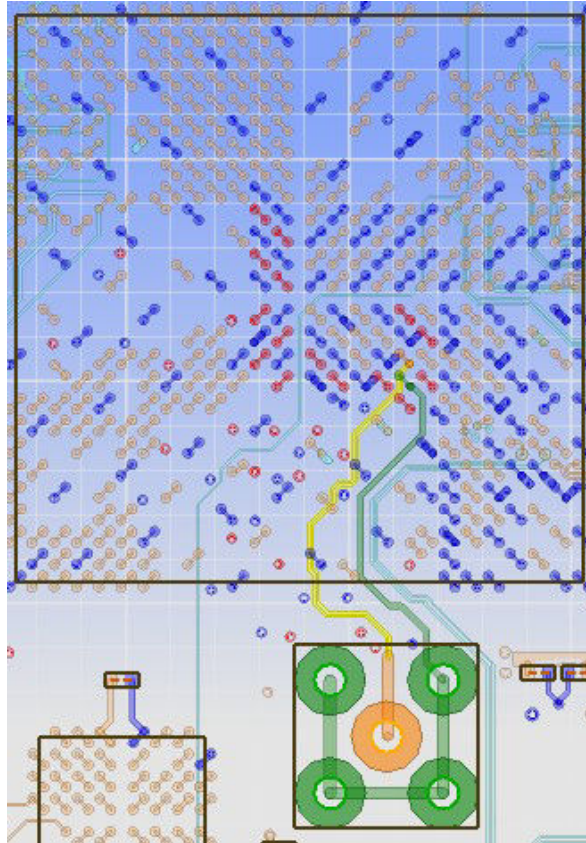


FIGURE 2.16 – Aperçu du montage Spyhole sur le véhicule de test

des réflexions au sein même de la ligne de transmission. L'impédance des lignes de transmission de signaux sensibles ou rapides doit donc être contrôlée afin d'assurer une propagation la plus propre possible.

L'impédance d'une ligne dépend de sa largeur, de l'épaisseur de cuivre, de la distance au plan de référence et de la permittivité relative du matériau diélectrique utilisé. Les facteurs dont dépend l'impédance de la ligne de transmission sont soumis à des variations dues au processus de fabrication du circuit imprimé dont les tolérances sont standardisées par les normes IPC [IPC \[2003\]](#). Par exemple, la tolérance sur l'épaisseur d'un circuit imprimé atteint 10% [AFN \[1989\]](#). La variabilité la plus grande correspond à l'épaisseur du substrat diélectrique dans les couches de pré-imprégné. Cette épaisseur est particulièrement variable pour les couches de micro-vias puisque ces couches ne sont composées qu'essentiellement de pré-imprégné et que la fluctuation du pré-imprégné au moment du passage du circuit peut varier selon la présence de cuivre sur la couche ou non, du nombre important de vias, ou non...

Il est possible de demander un contrôle d'impédance sur n'importe quelle couche du circuit imprimé. Afin de vérifier la qualité de fabrication de ce dernier et le respect des contraintes données au fabricant, un motif de paire différentielle de 15cm est routé respectivement en couche 2, 3 et 5. Le plan de référence est situé en couche 4. Le motif en couche 3 comprend donc l'incertitude sur une épaisseur de substrat, le motif en couche 2, sur 2. Le motif en couche 5 par contre devrait avoir l'incertitude la plus faible puisque les couches 4 et 5 sont constituées par empilement d'un laminé.

Ces 3 motifs sont connectés respectivement à 4 connecteurs [SMA](#) ce qui permet d'effectuer une mesure sur 4 ports pour obtenir les paramètres S du motif en transmission en

réflexion mais aussi en différentiel. L'implantation de ces 3 motifs est représentée dans la figure 2.17.

Le but de ce scénario est d'observer, par le biais de mesure en paramètres S, la couche pour laquelle le fabricant respecte le mieux les épaisseurs de circuit imprimé défini à la conception. Le respect de ce critère profite à la fois aux analyses d'intégrité de signal avec le respect de l'impédance contrôlée des pistes mais aussi à la modélisation de la capacité inter-plan dans le cadre des analyses

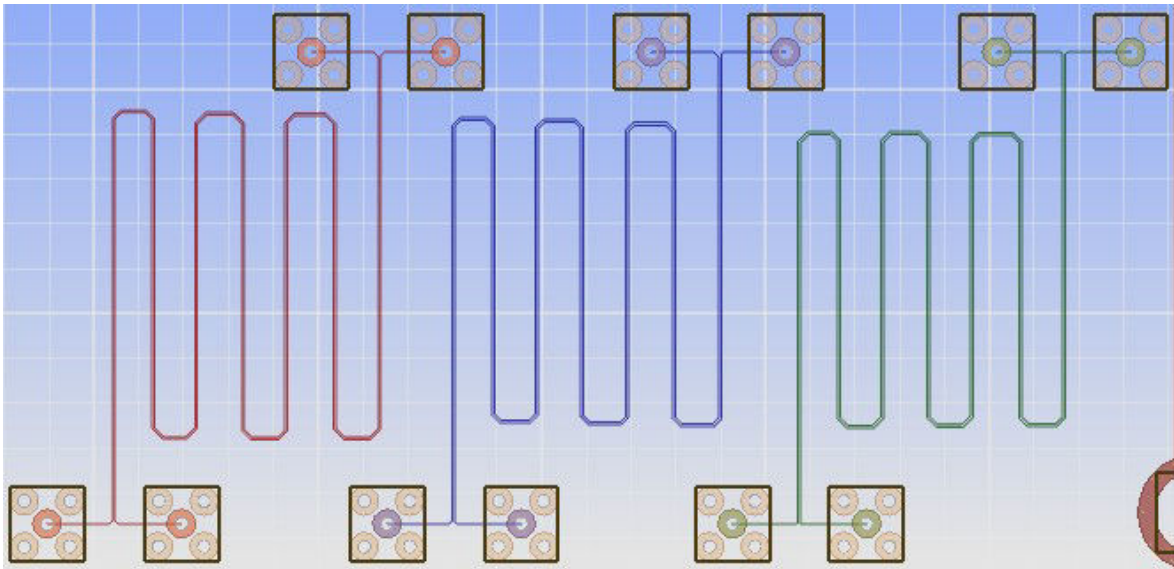


FIGURE 2.17 – Représentation de motifs de paires différentielles couplées routées respectivement en couche 2 (rouge), 3 (bleue) et 5 (vert) afin de vérifier la conformité entre la spécification et la variation

De plus, l'implantation de ces motifs permet également de compléter la validation du logiciel de simulation utilisé pour la modélisation du circuit imprimé dans le cas d'extraction de paramètres S nécessaire pour l'analyse de liens MGH, comme décrit dans CHASTANG [2013].

## 2.3 Conclusion du chapitre

La conception d'une carte électronique embarquant l'instrumentation nécessaire à la mesure et à l'observation des phénomènes d'intégrité de puissance était une étape incontournable pour l'avancée des travaux de cette thèse. Ce véhicule de test a été produit et câblé en 4 exemplaires permettant ainsi l'avancée de manipulations différentes en parallèle ou la comparaison de plusieurs configurations différentes de découplage. Les différents scénarios d'utilisation de la carte sont configurables depuis une interface homme-machine développée sous Matlab et transmises au véhicule de test grâce à la liaison série RS232. Un aperçu de cette interface d'utilisation est montré en figure 2.18 Par ailleurs, la conception et la fabrication de maquettes permettant la caractérisation des condensateurs de découplage et la mesure de l'impédance de sortie des composants d'alimentation permettent de compléter les moyens de mesure nécessaires à l'obtention ou à la validation des modèles des éléments constituant les réseaux de distribution d'énergie. Une vue du circuit imprimé dans le logiciel de conception assistée par ordinateur est présentée dans la figure 2.19.

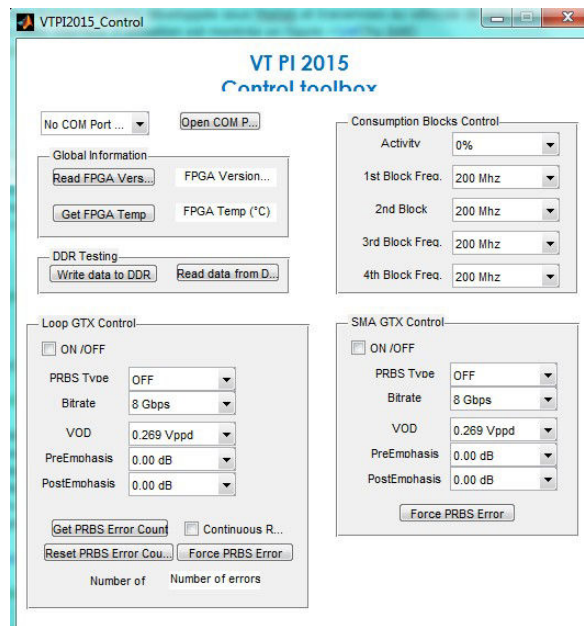


FIGURE 2.18 – Aperçu de l'interface de contrôle du véhicule de test

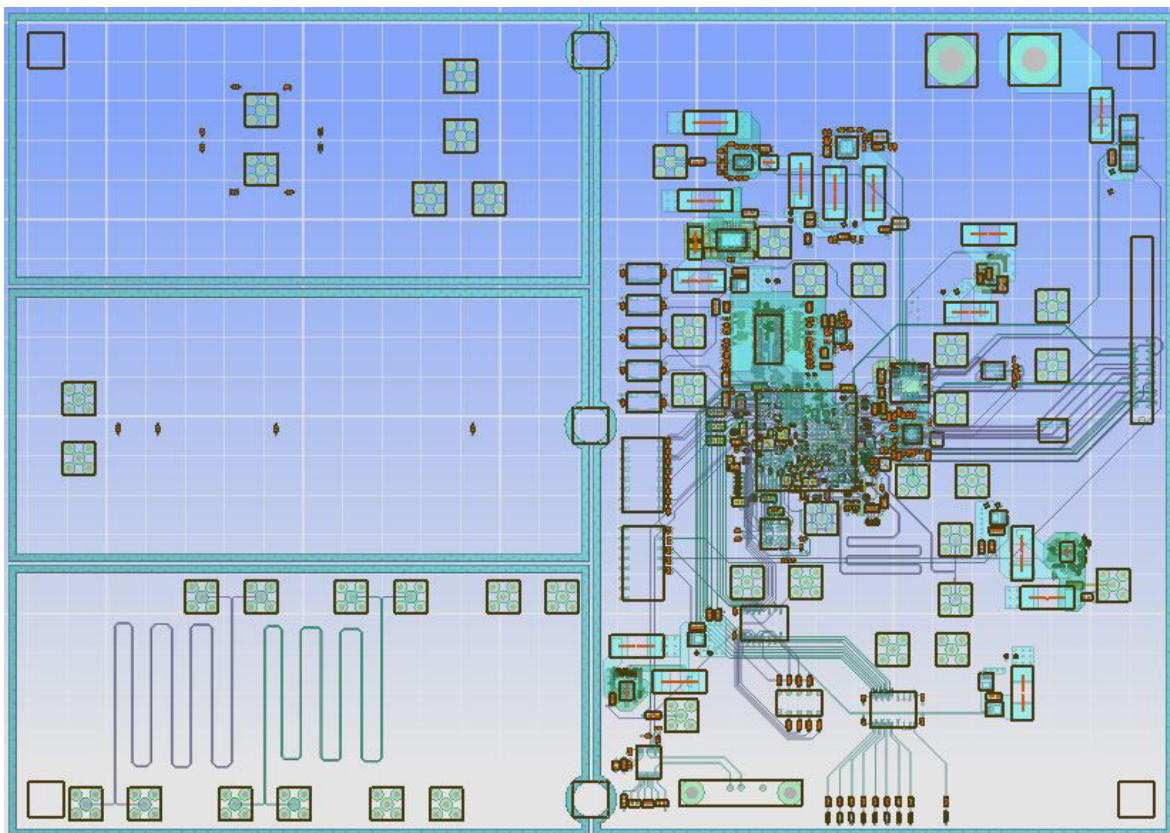


FIGURE 2.19 – Vue du Circuit imprimé dans le logiciel de conception assistée par ordinateur

Ce véhicule de test est représentatif des cartes développées au sein du laboratoire de conception de module numérique de Thales puisqu'il embarque non seulement des technologies fréquemment rencontrées : composants ayant des matrices importantes (676 broches pour le **FPGA**), mémoires Flash et **DDR3**, des zones de haute densité d'interconnexions, une architecture d'alimentation complexe, de nombreux potentiels d'alimentation et des signaux rapides (jusqu'à 8 Gb/s). Il a été conçu avec les contraintes de routage imposées par l'entreprise afin d'être en mesure de réaliser sa fabrication sur les lignes de montage de Thales. Il est cependant singulier puisqu'il permet l'observation de nombreux phénomènes d'intégrité de puissance en particulier :

- La mesure de l'impédance de chaque potentiel d'alimentation grâce à deux connecteurs reliés au plan d'alimentation
- La mesure dynamique du courant en sortie et en entrée de régulateur
- L'introduction de parasite dans la boucle de rétroaction des convertisseurs DC-DC afin de tester la robustesse des commandes des composants
- L'observation de la tension en interne du composant grâce au montage Spyhole
- L'évaluation de l'effet de différents types de routage du condensateur sur l'impédance de ceux-ci dans le domaine fréquentiel
- L'effet de l'éloignement d'un condensateur du composant qu'il doit découpler
- La mise en place d'une manipulation de mesure permettant de corrélérer du bruit de commutations simultanées avec les dites commutations
- La génération d'un code **VHDL** permettant de définir différents niveaux d'activité de la carte et permettant de mesurer les phénomènes physiques durant les transitions

Quelques données significatives caractérisant le véhicule de test sont compilées dans le tableau 2.2

TABLEAU 2.2 – Données significatives du véhicule de test

| Surface $cm^2$ | Nombre de références | Nombre composants      | Composants Num/Ana     | Composants RLC    | Connecteurs          | Composants divers |
|----------------|----------------------|------------------------|------------------------|-------------------|----------------------|-------------------|
| 623.7          | 87                   | 635                    | 24                     | 513               | 45                   | 53                |
| Nombre Couches | Couches Signaux      | Nombre équipoten-tiels | Longueur Net total (m) | Classe de routage | Nombre de connexions | Nombres de vias   |
| 14             | 10                   | 407                    | 15,13                  | 7 (100 $\mu$ m)   | 2286                 | 2160              |

La conception la fabrication et la mise en fonction du véhicule de test présentée dans la figure 2.21 a duré au total 11 mois sur les 36 mois alloués au projet de thèse. Le diagramme de Gant de la conception de la carte est donné en figure 2.20. L'ensemble du processus et des étapes de conception en vigueur au sein du service de conception de modules numériques de Thales a été respecté pour l'obtention de cette carte. L'application des règles de conception lors du développement du véhicule de test a permis de les comprendre au mieux et d'être en mesure, par la suite, d'associer les règles et contraintes de conception développées durant les travaux de thèse au processus déjà existant.

Ce véhicule de test dédié à l'observation et à la mesure de phénomènes d'intégrité de puissance dans le cadre de la thèse pourra en outre servir, dans le futur, de support pour



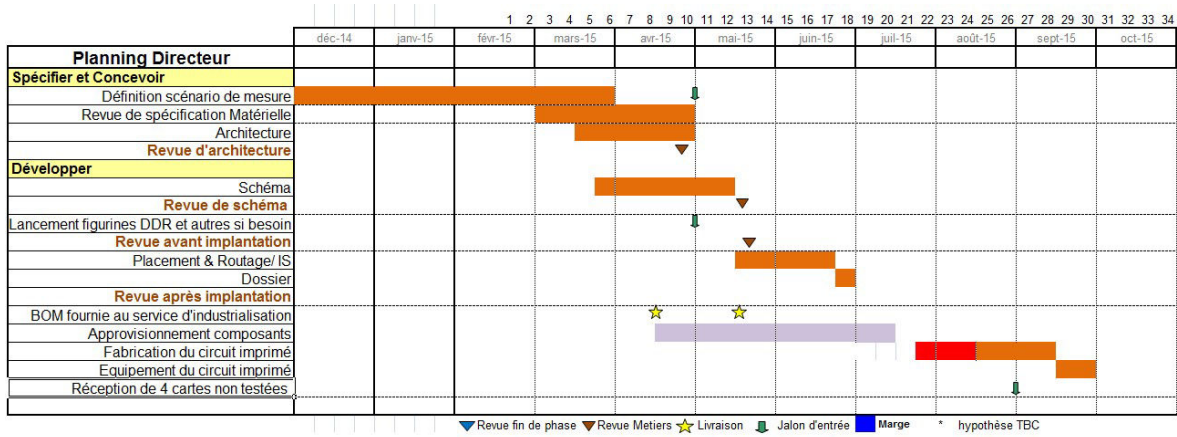


FIGURE 2.20 – Diagramme de Gant de la conception et fabrication du véhicule de test

l'évaluation de nouveaux outils de simulation, le développement de nouvelles règles de conception, et affiner les méthodes de mesure ou de simulation.

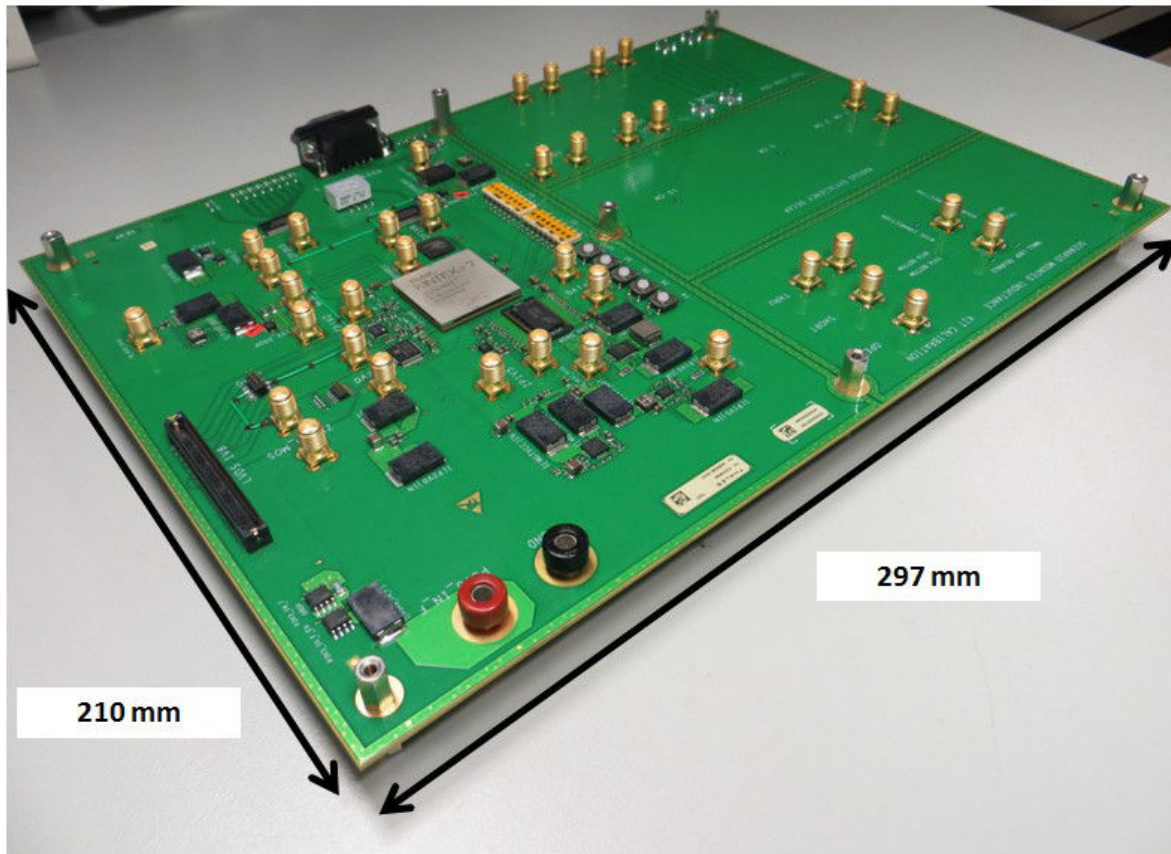


FIGURE 2.21 – Vue du véhicule de test

## 2.4 Références

1989, *Composants électroniques cartes imprimées prescription générales*, AFNOR. 78

2003, *IPC 2221 Generic Standard on Printed Board Design*, IPC. 78

- CHASTANG, C. 2013, *Techniques et méthodologies de validation par la simulation des liens multi-gigahertz des cartes électroniques haute densité*, thèse de doctorat, École normale supérieure de Cachan-ENS Cachan. 79
- ITO, K., K. KATO, N. HIRANO et T. SUDO. 1995, «Experimental characterization of simultaneous switching noise for multichip modules», *IEEE Transactions on Components, Packaging, and Manufacturing Technology : Part B*, vol. 18, n° 4, p. 609–613. 73
- KLOKOTOV, D., J. SHI et Y. WANG. 2014, «Distributed modeling and characterization of on-chip/system level pdn and jitter impact», DesignCon. 77
- KOIKE, S. et K. KAIZU. 1998, «A low-cost technique for reducing the simultaneous switching noise in sub-board packaging configurations», *IEEE Transactions on Components, Packaging, and Manufacturing Technology : Part B*, vol. 21, n° 4, p. 428–433. 75





# Chapitre 3

## Modélisation et Techniques de Mesure des Eléments du Réseau de Distribution d’Energie

*« In Signal Integrity, the answer is  
always : It depends »*

Istvan Novak

### Sommaire

---

|  |            |
|--|------------|
| <b>3.1 Introduction</b> . . . . .  | <b>87</b>  |
| <b>3.2 Les convertisseurs DC-DC</b> . . . . .  | <b>88</b>  |
| 3.2.1 Modélisation temporelle . . . . .  | 88         |
| 3.2.2 Modélisation fréquentielle . . . . .   | 95         |
| 3.2.2.1 Modèle Moyen . . . . .   | 96         |
| 3.2.2.2 Modèle en éléments localisés . . . . .   | 97         |
| 3.2.3 Mesure fréquentielle du module régulateur de tension . . . . .   | 100        |
| 3.2.4 Extraction de l’impédance de sortie à partir de modèle SPICE . . . . .   | 107        |
| 3.2.5 Calcul ou mesure des éléments parasites du modèle . . . . .  | 108        |
| <b>3.3 Les régulateurs linéaires</b> . . . . .   | <b>112</b> |
| 3.3.1 Modélisation temporelle . . . . .  | 112        |
| 3.3.2 Modélisation fréquentielle . . . . .   | 112        |
| 3.3.3 Conclusion partielle . . . . .   | 116        |
| <b>3.4 Le condensateur de découplage</b> . . . . .   | <b>117</b> |
| 3.4.1 Modélisation du condensateur . . . . .   | 117        |
| 3.4.1.1 Modèle RLC . . . . .   | 117        |
| 3.4.1.2 Modèle en ligne de transmission . . . . .  | 118        |
| 3.4.1.3 Modèle de paramètres S . . . . .   | 119        |
| 3.4.2 Mesure du condensateur . . . . .   | 120        |
| 3.4.3 Validité des résultats de mesure et comparaison avec des outils de<br>modélisation des condensateurs de découplage . . . . . | 126        |
| 3.4.4 Conclusion partielle . . . . .   | 129        |
| <b>3.5 Les plans d’alimentation</b> . . . . .  | <b>129</b> |
| 3.5.1 Modélisation des plans d’alimentation . . . . .  | 130        |

|            |   |            |
|------------|---|------------|
| 3.5.1.1    | Mesure de l'impédance des plans d'alimentation . . . . .                        | 133        |
| 3.5.2      | Influence des paramètres de configuration sur la modélisation du plan . . . . . | 135        |
| 3.5.2.1    | Modèle de matériau . . . . .  | 135        |
| 3.5.2.2    | Définition de l'empilement du circuit imprimé . . . . .                         | 140        |
| 3.5.3      | Conclusion partielle . . . . .  | 143        |
| <b>3.6</b> | <b>Le circuit intégré</b> . . . . .   | <b>143</b> |
| 3.6.1      | Modélisation du circuit intégré . . . . .                                       | 145        |
| 3.6.2      | Méthodologie de mesure des caractéristiques du circuit intégré . . . . .        | 147        |
| 3.6.2.1    | Configuration de mesure . . . . .   | 147        |
| 3.6.2.2    | Sondes de mesure . . . . .  | 147        |
| 3.6.2.3    | Calibration de l'appareil . . . . .   | 147        |
| 3.6.2.4    | Câblage des sondes au circuit intégré . . . . .                                 | 148        |
| 3.6.2.5    | Interprétation des résultats . . . . .  | 149        |
| 3.6.3      | Conclusion partielle . . . . .  | 156        |
| <b>3.7</b> | <b>Conclusion du chapitre</b> . . . . .   | <b>156</b> |
| <b>3.8</b> | <b>Références</b> . . . . .   | <b>157</b> |

---

### 3.1 Introduction

Comme évoquées dans le chapitre 1, les contraintes sur les réseaux de distribution d'énergie des cartes électroniques récentes sont telles qu'il devient indispensable de prêter une attention particulière à la conception des circuits d'alimentation et donc de simuler le comportement de ceux-ci afin de fiabiliser le fonctionnement de la carte, en s'assurant que les tolérances sur les fluctuations de tension soient respectées pour tous les modes de fonctionnement du système [SWAMINATHAN et ENGIN \[2007\]](#) [NOVAK \[2008\]](#).

Afin d'être en mesure de simuler l'ensemble du circuit de distribution d'énergie de la carte, il est donc nécessaire de modéliser chacun des éléments le constituant. Il est possible de simuler le réseau de distribution d'énergie dans le domaine temporel. La modélisation dans le domaine temporel requiert cependant beaucoup d'efforts et de temps de simulation. La principale difficulté réside dans la modélisation et la prise en compte des éléments parasites du circuit imprimé. Ce dernier est pourtant facilement modélisé dans le domaine fréquentiel. C'est pourquoi la modélisation du réseau de distribution d'énergie doit également être réalisée dans le domaine fréquentiel [NOVAK et MILLER \[2007\]](#) qui est plus rapide à traiter. Les modélisations dans chacun des domaines sont complémentaires car elles n'apportent pas les mêmes informations sur le comportement du réseau de distribution d'énergie. Pour les modules régulateurs de tension, les convertisseurs à découpage se modélisent dans le domaine temporel. Leur modèle de comportement dans le domaine fréquentiel est difficile à obtenir car leur comportement est fortement non-linéaire. Le régulateur linéaire se modélise également dans le domaine temporel mais la mise en place de leur modélisation dans le domaine fréquentiel est assez simple. Les éléments relevant du filtrage peuvent être modélisés aussi facilement dans le domaine fréquentiel que dans le domaine temporel car leur comportement est passif et linéaire. C'est le cas des condensateurs de découplage, des filtres visant au respect de normes de compatibilité électromagnétique. Le comportement du circuit imprimé est décrit dans le domaine fréquentiel à l'aide de paramètres S. Il existe également des outils pour extraire son modèle circuit comme des simulateurs quasi-statiques afin de réaliser des simulations dans le domaine temporel mais elles sont trop lourdes pour modéliser un circuit imprimé complexe en entier. Enfin, le comportement du circuit intégré est modélisé dans le domaine temporel car c'est la propagation des signaux qui est principalement simulée. Le tableau 3.1 résume les domaines de modélisation propre à chaque élément du réseau de distribution d'énergie. La difficulté de la simulation du réseau de distribution d'une

TABLEAU 3.1 – Domaine de simulation de chaque élément du réseau de distribution d'énergie

| Element               | Simulation temporelle | Simulation fréquentielle |
|-----------------------|-----------------------|--------------------------|
| Régulateur de tension | Oui                   | Non                      |
| Filtres               | Oui                   | Oui                      |
| Condensateurs         | Oui                   | Oui                      |
| Circuit imprimé       | Non                   | Oui                      |
| Circuit intégré       | Oui                   | Non                      |

carte entière réside donc dans l'obtention des modèles de chaque élément du circuit à la fois dans le domaine temporel mais aussi dans le domaine fréquentiel. L'objectif de ce chapitre est de présenter les différentes méthodologies de mesure ou de simulation permettant d'obtenir le modèle de chaque élément du réseau de distribution d'énergie respectivement dans le domaine fréquentiel et dans le domaine temporel.

## 3.2 Les convertisseurs DC-DC

L'étude des modules régulateurs de tension sur les cartes électroniques numériques se porte sur les convertisseurs DC-DC de type Buck (abaisseur de tension) et les régulateurs de tension linéaires LDO (Low Drop Out). Ce sont en effet les deux types de composants ou de montages rencontrés la majeure partie du temps dans les schémas de conception de carte électronique. Leur fonctionnement respectif étant radicalement différent, la modélisation de chacun de ces éléments sera traitée séparément.

### 3.2.1 Modélisation temporelle

L'étude fonctionnelle des convertisseurs à découpage s'effectue généralement dans le domaine temporel. En effet, l'objectif de l'étude est de vérifier que le convertisseur respecte les tolérances sur les fluctuations de tension en sortie de montage pour les différents appels de courant provoqués par l'activité des composants à alimenter. La description des composants dans le domaine temporel s'effectue dans la très grande majorité des cas par un modèle de type [Simulation Programme with Integrated Circuit Emphasis, programme de simulation avec emphase sur les circuits intégrés \(SPICE\)](#). La modélisation circuit d'un composant décrit son comportement en décomposant chacun de ces éléments en composants électriques élémentaires (résistance, inductance, capacité) ainsi que des composants de base fabriqués en technologie semi-conducteur : les transistors de technologie bipolaire, MOSFET ou CMOS pour les circuits intégrés et les technologies de JFET, MOSFET, diode, diode Schottky, IGBT ou triacs pour les composants discrets.

Cependant, ce modèle révèle la composition détaillée du composant. Il pose donc certains problèmes concernant la protection de la propriété intellectuelle et des techniques de fabrication. Pour pallier à ces problématiques, les fabricants ont recours à des fichiers cryptés, pour lesquels une clé de décryptage est nécessaire. Cette technologie est largement utilisée dans le standard Hspice, de la société Synopsys, principal éditeur de logiciels de simulation pour les circuits intégrés. L'autre solution proposée par les fabricants de composants est de fournir leur propre logiciel de simulation dans lesquels les modèles de leurs composants sont également inclus mais sans accès à l'implémentation. Cette solution propriétaire à la différence de la solution cryptée présente l'inconvénient d'être très peu interopérable avec des composants provenant d'autres fabricants. Ces modèles sont très précis et prennent en compte au sein d'une même simulation le fonctionnement analogique et numérique des composants.

Le fonctionnement des convertisseurs de tension de type Buck en conduction continue se base sur l'alternance de deux phases distinctes de fonctionnement. Lors de la première phase, l'interrupteur S1 du schéma de la figure 3.1 est fermé tandis que l'interrupteur S2 est ouvert. La charge du système est connectée au potentiel d'entrée du montage  $V_e$  par l'intermédiaire du filtre LC. Le condensateur se charge, la tension à ses bornes augmente, comme pour le courant au sein de l'inductance. L'état 1 est maintenu pour une durée correspondante à une portion de la période de fonctionnement du montage. L'évolution des courants et des tensions au sein des composants du montage est décrite dans la figure 3.2.

Dans le second état de fonctionnement du montage, comme l'indique la figure 3.3 l'interrupteur S1 est ouvert et S2 est fermé. L'énergie accumulée au sein de l'inductance se libère sous la forme d'une force contre-électromotrice. Le courant au sein de l'inductance décroît permettant ainsi une circulation de courant continue dans la charge du montage.

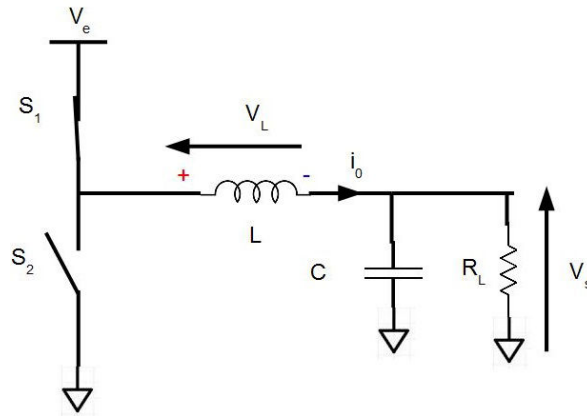


FIGURE 3.1 – Schéma du montage buck à l'état 1

Enfin, une mesure de tension en sortie de montage permet, grâce à un comparateur, d'ajuster la proportion du temps de chaque état pour une fréquence de fonctionnement donnée. La modélisation sous forme de diagramme de blocs du module régulateur de tension complet incluant le fonctionnement en puissance et la commande est donnée dans la figure 3.4. Cette modélisation permet d'obtenir le comportement temporel du montage, en particulier dû aux phénomènes de non-linéarité de la commutation des transistors T1 et T2. Ce modèle présente à la fois celui d'un convertisseur DC-DC contrôlé en tension grâce à la boucle de rétroaction reliant  $V_s$  à l'amplificateur d'erreur mais également contrôlé en courant grâce aux résistances de mesure en shunt  $R_h$  et  $R_l$ . Dans le mode de conduction continue, le fonctionnement du composant peut être décomposé en deux états distincts : l'état pour lequel T1 est fermé et T2 ouvert et l'état pour lequel T1 est ouvert et T2 est fermé. Pour le premier état, l'équation 3.1 de l'évolution du courant au travers de l'inductance du filtre s'écrit :

$$I_{L_o}(t) = I_{L_o}(t_0) + \frac{(V_e - V_s)}{L} \cdot t \quad (3.1)$$

Avec  $I_{L_o}$  le courant au sein de l'inductance du filtre,  $V_e$  la tension d'entrée,  $V_s$  la tension de sortie,  $L$  la valeur de l'inductance du filtre et  $T_f$  le temps de fermeture du transistor T1. Pour le second état la valeur du courant de l'inductance est donné par l'équation 3.2 :

$$I_{L_o}(t) = I_{L_o}(t_o + T_f) - \frac{-V_s}{L} \cdot t \quad (3.2)$$

avec  $T_o$  le temps durant lequel le transistor 1 est ouvert et T2 fermé. La loi de conservation de l'énergie permet alors de retrouver la formule de fonctionnement du montage dans l'équation 3.3

$$V_s = \alpha V_e \quad (3.3)$$

avec  $\alpha = T_f \cdot F_c$  et  $\alpha = \frac{T_f}{T_f + T_o}$  le rapport cyclique de la fermeture de T1 à la fréquence  $F_c$ . Ces équations rendent compte du fonctionnement idéal du convertisseur. D'autres éléments comme la résistance de conduction des transistors ou la résistance équivalente série de l'inductance peuvent également être ajoutés à ces équations. Le schéma équivalent de l'étage de commutation avec l'introduction de ces parasites est donné dans la figure 3.5

Du schéma de la figure 3.5 l'expression de la tension aux bornes de l'inductance s'exprime de la manière suivante

$$V_L^+ = V_e - R_{DS}I_0 - r_L I_0 - V_s \text{ pour } 0 < t < \alpha T \quad (3.4a)$$



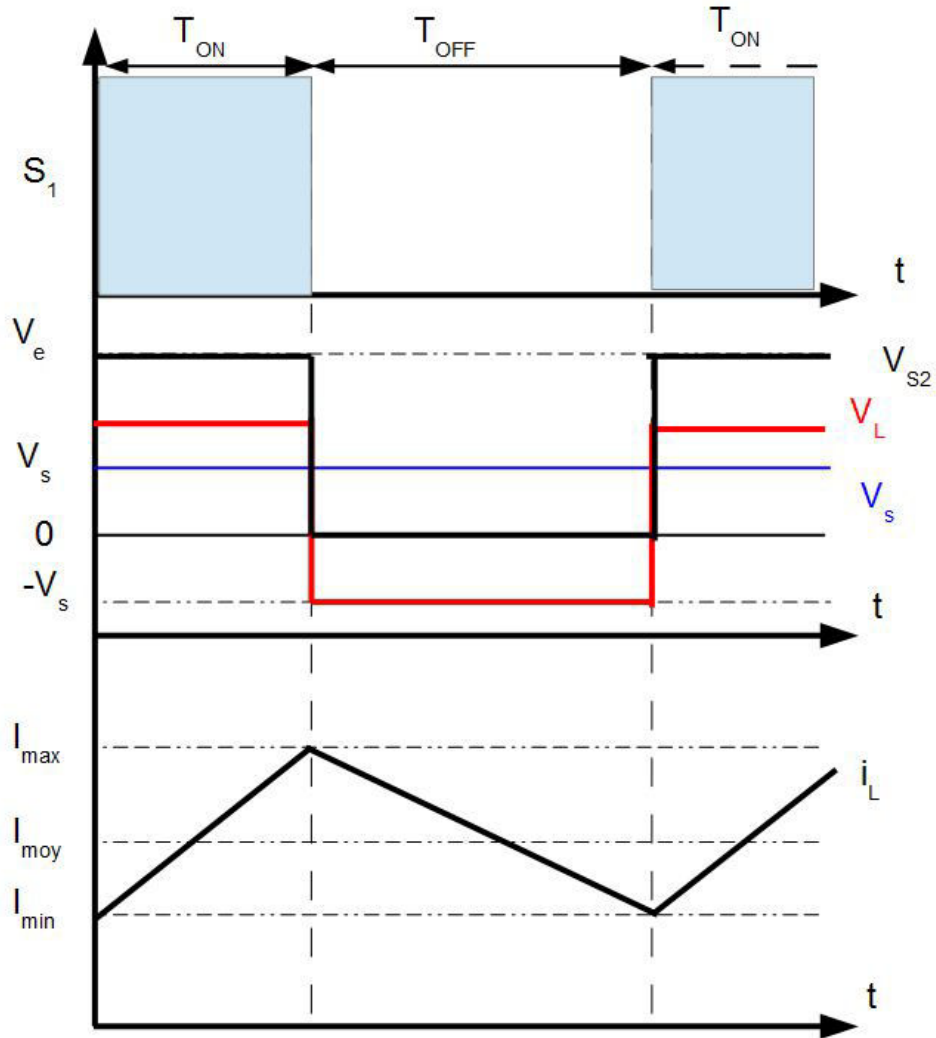


FIGURE 3.2 – Evolution des courants et des tensions au sein des composants du montage en fonction du temps

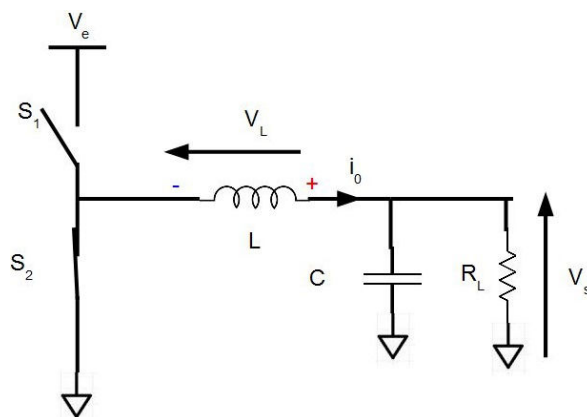


FIGURE 3.3 – Schéma du montage buck à l'état 2

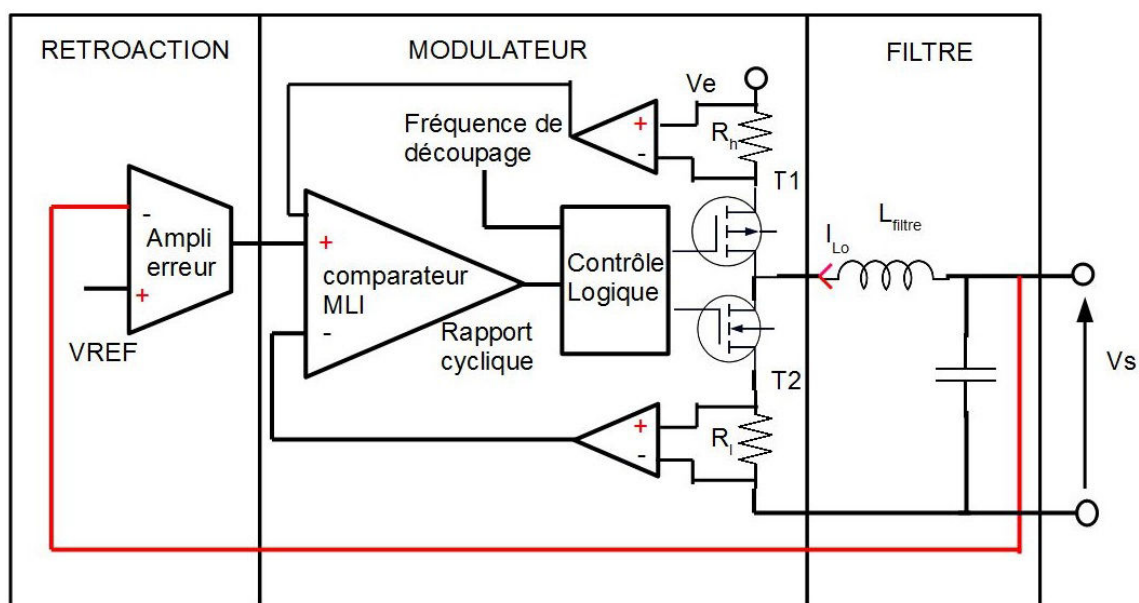


FIGURE 3.4 – Modèle en diagramme de bloc du convertisseur DC-DC

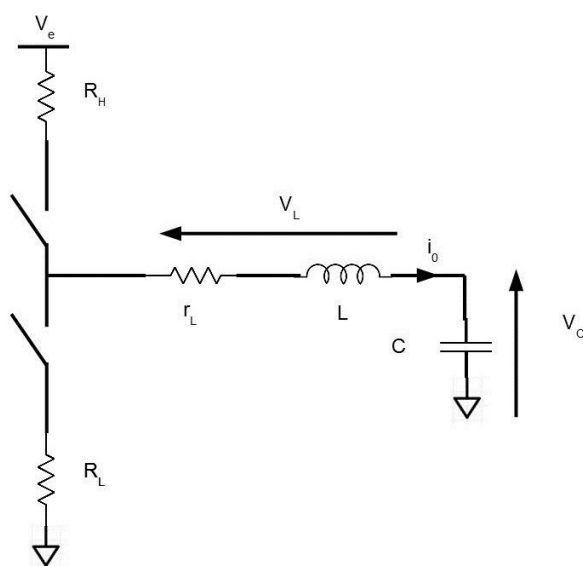


FIGURE 3.5 – Schéma équivalent du convertisseur DC-DC avec ses éléments parasites

$$V_L^- = -R_{DS}I_0 - r_L I_0 - V_s \text{ pour } \alpha T < t < T \quad (3.4b)$$

En régime établi, la loi de conservation de l'énergie impose :

$$\alpha V_L^+ + (1 - \alpha)V_L^- = 0 \quad (3.5)$$

L'équation de fonctionnement reste la même, c'est en revanche l'expression du rapport cyclique qui devient plus complexe donnant ainsi l'expression 3.6 du rapport cyclique :

$$\alpha = \frac{V_s + (R_{DS} + r_L)I_0}{V_e + I_0(R_L - R_H)} \quad (3.6)$$

Nous assumons alors que la variation de courant dans l'inductance est une proportion du courant moyen  $I_0$ .

Afin d'illustrer la précision du modèle SPICE, la simulation du montage de conversion d'énergie du potentiel de cœur du FPGA du véhicule de test est réalisée. Ce montage convertit la tension d'entrée de la carte 3,3V en 1,0 V. La puissance maximale du convertisseur est d'environ 8 W. Le schéma simplifié du convertisseur est présenté dans la figure 3.6 Le schéma de l'application simulée sous le logiciel LTSpiceIV est illustré dans la fi-

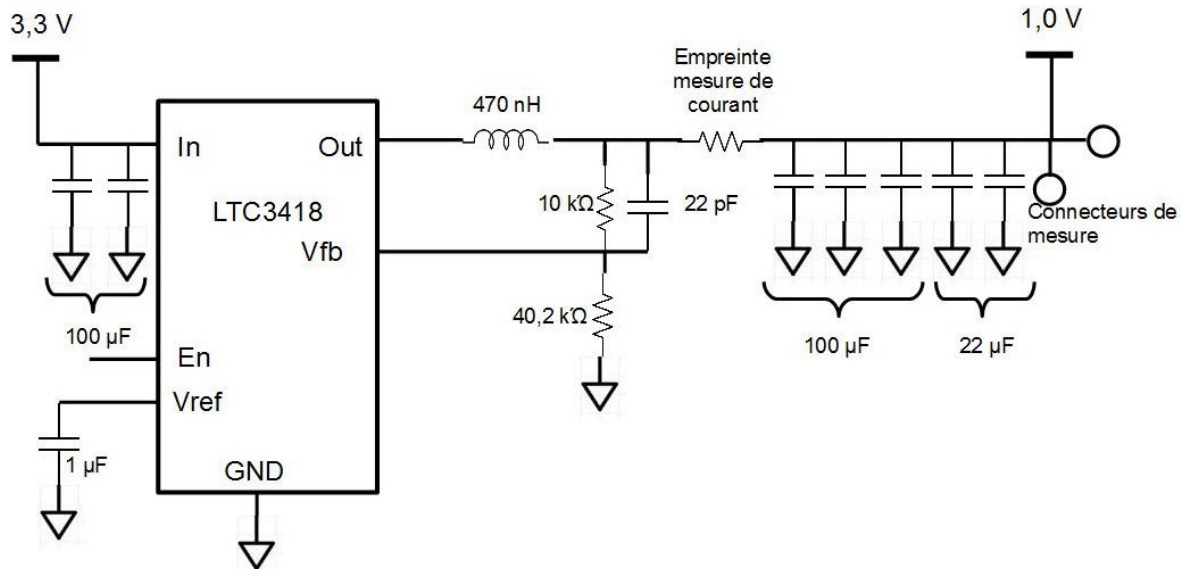


FIGURE 3.6 – Schéma du convertisseur LTC3418 mesuré

gure 3.7. La simulation est réalisée pour une fréquence de découpage de 1,6 MHz et pour un courant de sortie de 5 A. Afin de rendre la simulation la plus réaliste possible, les éléments parasites des composants du filtre de sortie du montage sont inclus aux modèles des composants. De même, un modèle en éléments localisés des principaux condensateurs se trouvant sur le plan ainsi qu'une inductance parasite de 1 nH, représentant les parasites de l'interconnexion entre la sortie du montage et le plan sont ajoutés au schéma afin d'essayer de rendre compte des phénomènes de fluctuations de tension provoquées par la commutation du composant. Comme le montre la figure 3.8, il est possible d'obtenir une bonne corrélation entre la simulation et la mesure. La difficulté pour obtenir une bonne corrélation est d'estimer la valeur des éléments parasites du montage en sortie ainsi que les interactions entre les capacités des semi-conducteurs et des inductances parasites.

L'impact des parasites du circuit imprimé est encore plus flagrant à la sortie du filtre du convertisseur comme le montre la figure 3.9.

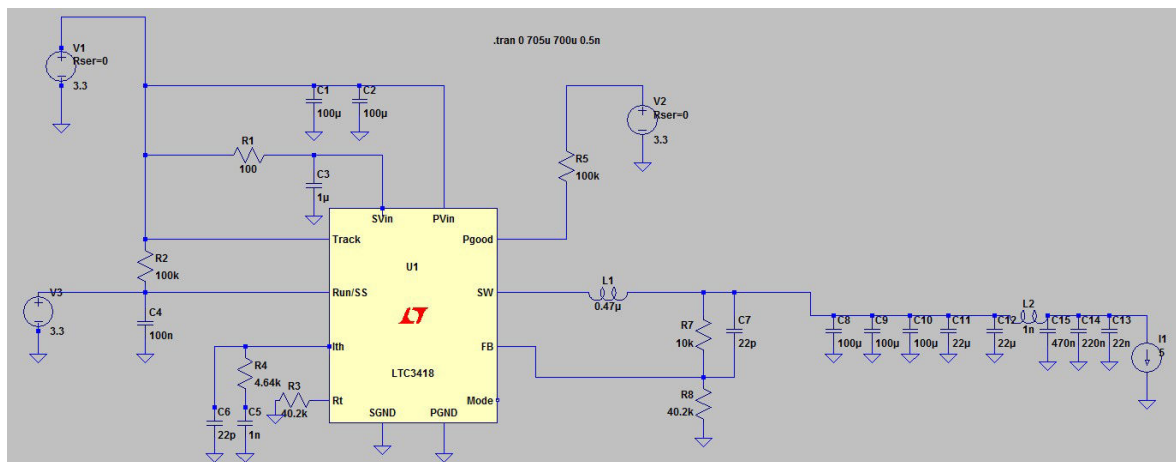


FIGURE 3.7 – Schéma du montage du convertisseur DC-DC monolithique LTC3418 simulé sous LTspice

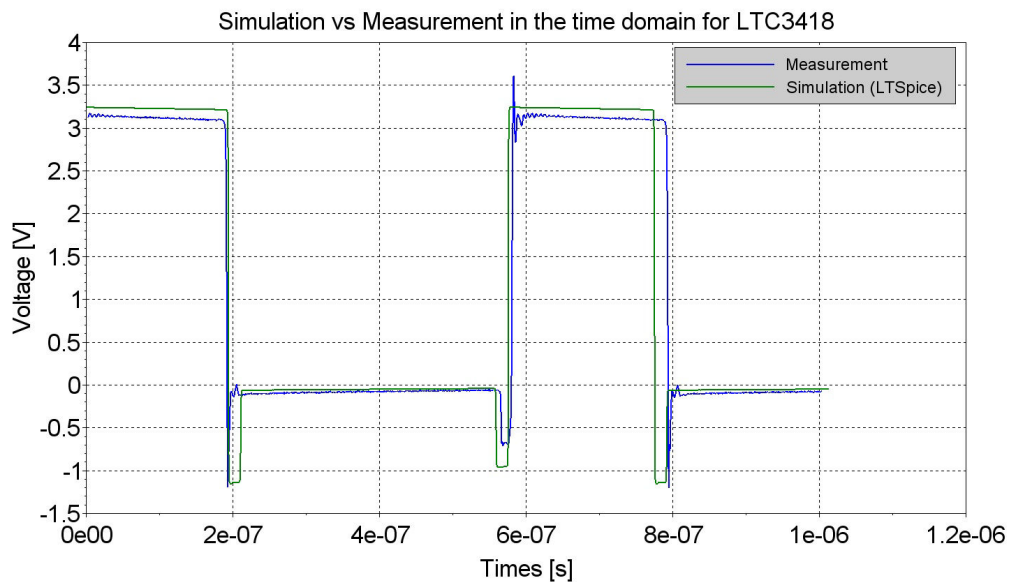


FIGURE 3.8 – Corrélation entre le résultat de la simulation et la mesure sur carte de la tension de sortie du convertisseur DC-DC LTC3418

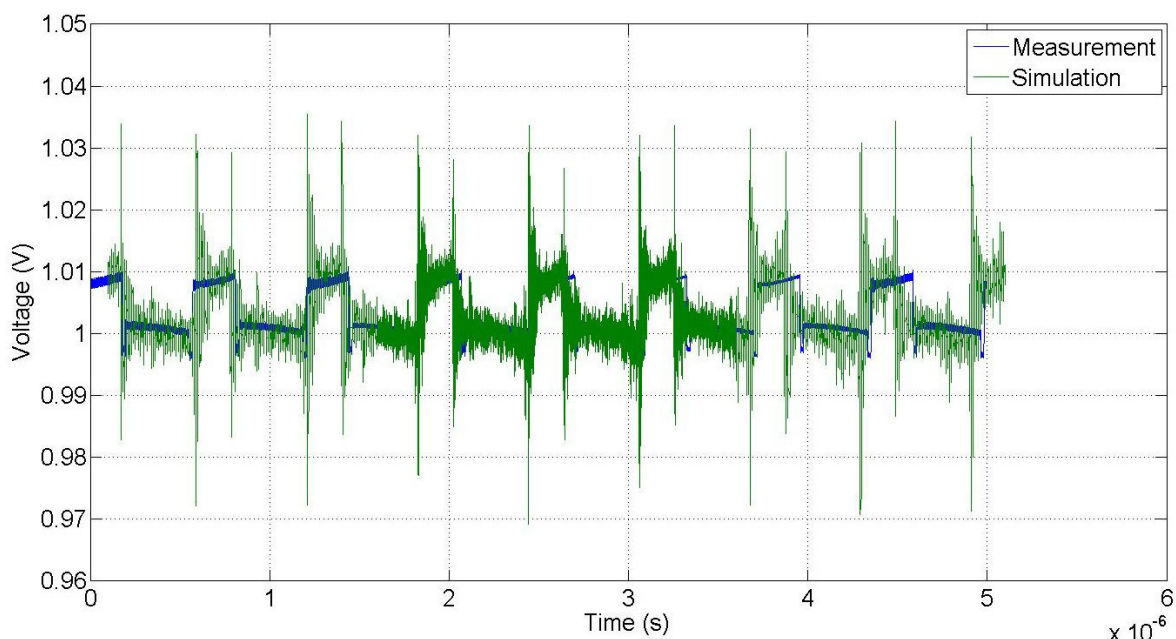


FIGURE 3.9 – Corrélation entre simulation et mesure de la tension en sortie du filtre de sortie du convertisseur LTC3418

L'étude des convertisseurs Buck est portée non seulement sur le LTC3418, objet des corrélations simulation-mesure ci-dessus mais également sur le composant LTC3612, présent sur le véhicule de test.

Le composant LTC3612 débite une intensité maximale de 3 A pour une fréquence de découpage de 400 kHz. Le montage convertit un potentiel de 3,3V en un potentiel de 1,5V. Le schéma du composant étudié correspond à la figure 3.10.

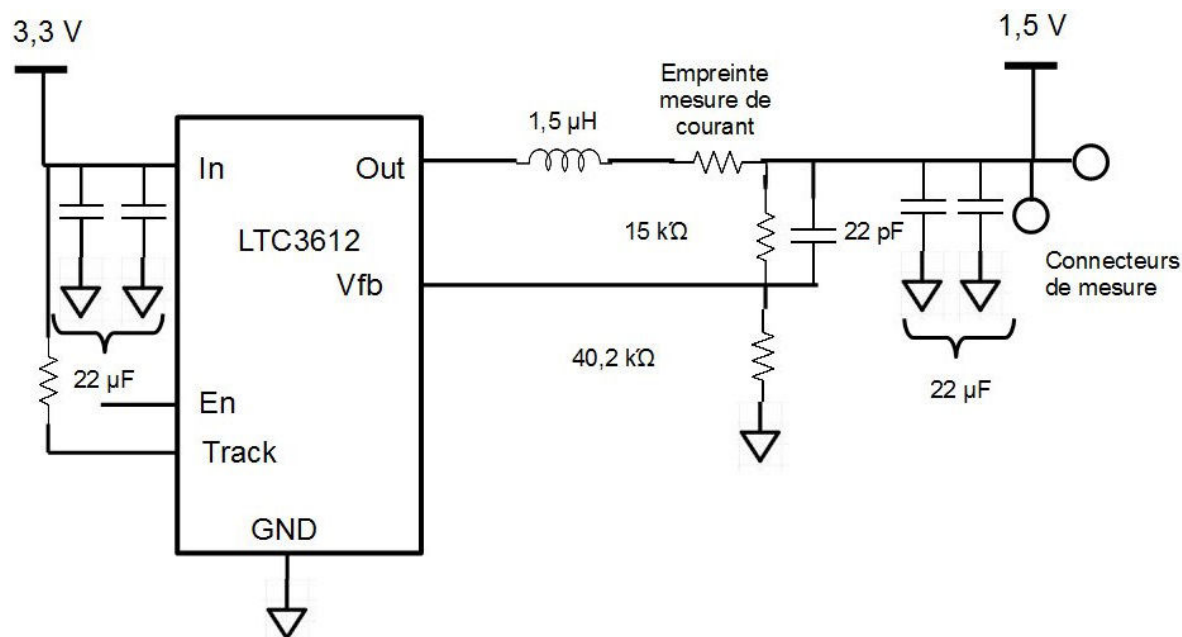


FIGURE 3.10 – Schéma du convertisseur LTC3612 mesuré

Devant l'augmentation de la consommation en courant des composants allant jusqu'au-delà de la centaine d'ampères sous une faible tension d'alimentation, parfois inférieure à 1 V, de simples convertisseurs monolithiques ne génèrent pas assez de puissance. Il est

alors nécessaire d'utiliser des convertisseurs multi-phasés composés de cellules Buck entrelacées et synchronisées par un même composant de contrôle. La validité du modèle se pose alors pour ce type d'architecture de module régulateur de tension. La même configuration de mesure que celle utilisée pour les deux convertisseurs précédents est utilisée pour la mesure du convertisseur multi-phasé. Le convertisseur étudié est le module régulateur de tension de la carte d'évaluation de Texas instrument TPS53647EVM **TPS** [2017]. Il s'agit d'un convertisseur 4 phases convertissant un potentiel de 11 à 14 V en entrée à 1 V en sortie avec une efficacité supérieure à 90% pour un courant débité supérieur à 37 A. Ce convertisseur fonctionne à une fréquence de découpage de 500 kHz. Le convertisseur peut fonctionner en 2, 3 ou 4 phases en fonction de l'intensité maximale débitée. Le schéma du montage Buck étudié est présenté dans la figure 3.11

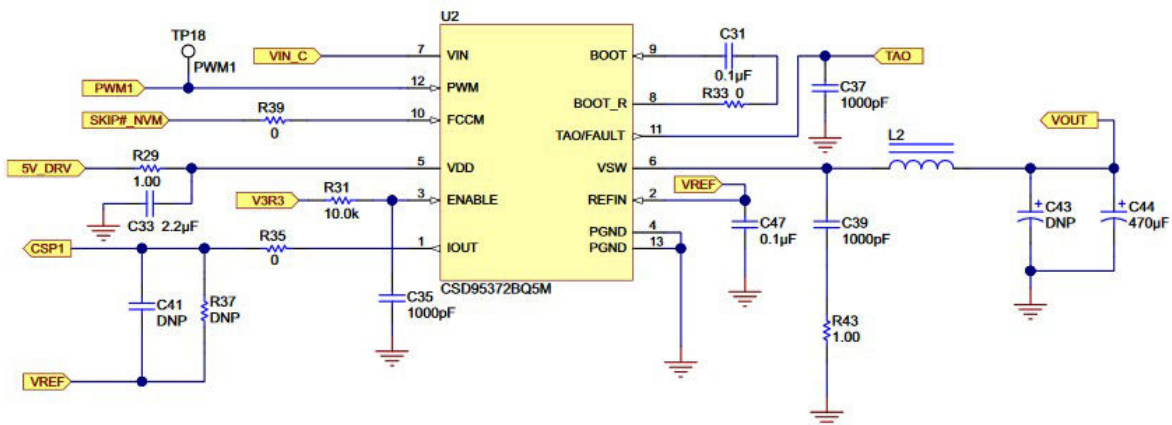


Figure 2. Phase 1

FIGURE 3.11 – Schéma d'une cellule buck du convertisseur multi-phasé TPS53647

La modélisation temporelle du convertisseur DC-DC présente en revanche l'inconvénient de ne pas pouvoir obtenir facilement d'autres caractéristiques du module régulateur de tension comme les marges de gain et de phase de la boucle de rétroaction, le taux de réjections de perturbations ou encore l'impédance d'entrée du montage utilisée pour calculer le filtre d'entrée du composant qui sont des caractéristiques propres au domaine fréquentiel. Ces différentes informations sont pourtant importantes pour le respect des contraintes CEM ou de stabilité de la carte. C'est pourquoi un autre modèle du module régulateur de tension doit également être développé afin d'obtenir ces caractéristiques.

### 3.2.2 Modélisation fréquentielle

L'un des indicateurs principalement utilisé dans la conception des réseaux de distribution d'énergie est l'impédance cible. Le concept d'impédance cible est introduit dans le chapitre 1. Utiliser ce concept pour le dimensionnement du réseau de distribution d'énergie implique donc de connaître l'impédance de chacun des éléments constituant le circuit de distribution d'alimentation. Le module régulateur de tension est responsable de l'asservissement en tension du circuit sur toute la bande passante de sa boucle de rétroaction. C'est donc le convertisseur DC-DC qui fixe l'impédance du système de distribution d'énergie à basse fréquence, typiquement de 0 à quelques centaines de kilohertz, dépendamment de la dynamique de la bande passante de boucle de rétroaction et donc de sa fréquence de découpage. L'impédance de sortie du convertisseur DC-DC correspond à la variation de tension présentée par celui-ci en réponse à une variation de courant. A très



faible fréquence, l'impédance de sortie du convertisseur DC-DC est donc très faible car les variations de courant imputable au fonctionnement du circuit intégré sont compensées sans variations du niveau de tension. Même les pertes statiques dues au passage du courant dans le cuivre sont compensées entre la sortie du convertisseur et le point de mesure de sa boucle de rétroaction. Pour des fréquences plus élevées, le gain de la boucle de réaction s'affaiblit et le régulateur n'est plus en mesure de compenser les variations de tension engendrées par les variations de courant. L'impédance de sortie présentée par le convertisseur augmente alors. Lorsque le gain de boucle fermée du convertisseur devient trop faible, l'impédance du réseau de distribution d'énergie redevient prépondérante. Ce sont donc les composants du filtre de sortie du convertisseur qui fixent l'impédance. Ce phénomène, bien visible lors des comparaisons de l'impédance de sortie des modules régulateurs de tension en fonctionnement ou éteints présentées plus loin dans cette partie, est plus largement documenté dans [NOVAK et collab. \[2010\]](#).

### 3.2.2.1 Modèle Moyen

Le modèle temporel fonctionnant autour de la commutation d'interrupteurs présenté dans la partie précédente permet d'obtenir de bon résultats de simulation dans le domaine temporel mais ne permet d'obtenir ni les lois de commande du montage, ni les caractéristiques du montage dans le domaine fréquentiel. Bien que le fonctionnement temporel du convertisseur DC-DC soit non linéaire puisqu'il fonctionne à base d'éléments en commutation, un modèle linéaire de l'impédance de sortie du module régulateur de tension peut être défini [SANDLER \[2014\]](#) associé à un modèle moyen du convertisseur [FERRIEUX et FOREST \[1987\]](#).

. Pour des fréquences faibles devant la fréquence de découpage du convertisseur Buck, le filtrage éliminant la majeure partie des composantes harmoniques du signal carré issu de l'étage de commutation, l'analyse peut être ramenée à des conditions satisfaisantes pour une modélisation petits signaux. Dans ces conditions, les équations régissant chacun des modes de fonctionnement du convertisseur peuvent alors être moyennées.

Le convertisseur comporte des variables d'état indépendantes comme le courant de l'inductance ou la tension au borne du condensateur qui forme un vecteur d'état  $x(t)$ . Par ailleurs, le convertisseur est soumis par des sources indépendantes comme la tension d'entrée qui forme un vecteur  $u(t)$ . Enfin, les signaux de sortie d'intérêt du convertisseur, la tension de sortie et le courant de sortie forme le vecteur  $y(t)$ . Il est alors possible de décrire le système d'après les équations régissant ces variables d'état comme suit dans l'équation 3.7

$$\frac{dx(t)}{dt} = Ax(t) + Bu(t) \quad (3.7a)$$

$$y(t) = Cx(t) + Eu(t) \quad (3.7b)$$

En identifiant le problème avec les vecteurs décrits, les équations d'état 3.8 suivantes sont obtenues :

$$L \frac{di(t)}{dt} = \alpha \cdot v_e(t) - R_{DS} i(t) - v_s(t) \quad (3.8a)$$

$$v_s(t) = i(t) \cdot (R_{Charge} || (r_{ESR} + \frac{1}{Cj\omega})) \quad (3.8b)$$

Puisqu'elles sont linéaires et invariantes dans le temps, ces équations peuvent être passées dans le domaine fréquentiel grâce à une transformée de Laplace :

$$\alpha \cdot v_e(s) = i(s)(R_{DS} + sL) + v_s(s) \quad (3.9a)$$

$$v_s(s) = i(s) \cdot (R_{Charge} || (r_{ESR} + \frac{1}{C_s})) \quad (3.9b)$$

Cette étape décrit donc comment obtenir un modèle linéaire du comportement du module régulateur de tension à partir du moyennage des états du convertisseur.

De cette description en variable d'état avec l'hypothèse des petits signaux, il est alors possible de définir un modèle équivalent petits signaux décrit dans la figure 3.12

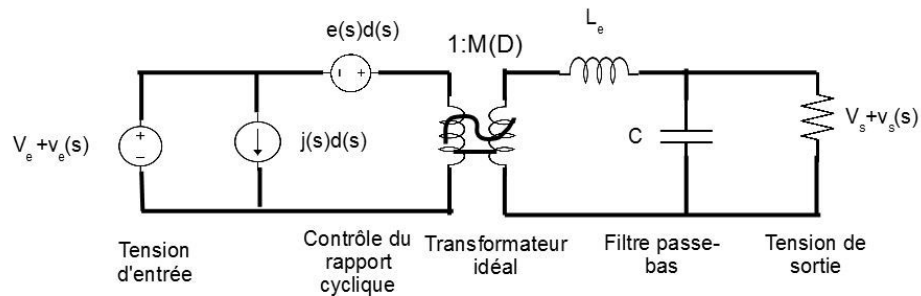


FIGURE 3.12 – Représentation du modèle petits signaux d'un convertisseur buck

La fonction première du montage Buck est de transformer une tension d'entrée en une tension de sortie inférieure. Dans le modèle de la figure 3.12 cette fonction est représentée par le transformateur idéal. Le ratio de conversion du transformateur est de  $\alpha$ . Ce transformateur comporte toutes les propriétés des transformateurs excepté le fait qu'il permet de convertir un signal continu. Le transformateur convertit également des petites variations autour de la fréquence d'alimentation du montage. Une petite variation du rapport de cycle génère des variations de courant et de tension au sein du montage c'est pourquoi un générateur de courant et un de tension sont ajoutés au schéma. Enfin, le filtre passe-bas en sortie du montage est représenté directement sur le modèle moyen. Ce modèle permet facilement d'extraire les caractéristiques fréquentielles du module régulateur de tension.

### 3.2.2.2 Modèle en éléments localisés

Le modèle moyen présenté ci-dessus s'applique dans le cas d'un fonctionnement en conduction continue, sur une structure de de convertisseur maîtrisée. De plus, ce modèle moyen ne fonctionne que pour une plage de fréquence faible devant la fréquence de découplage et ne permet donc pas d'analyser le comportement du composant sur toute la plage de fréquence d'analyse du réseau de distribution d'énergie.

Dans le contexte de systèmes embarqués, pour répondre à des problématiques d'encombrement, des composants embarquent au sein d'un même boîtier plusieurs cellules de conversion comprenant à la fois le circuit de commande et le circuit de puissance. Seul le filtre LC adéquat est à connecter en sortie. Il est possible de mettre plusieurs sorties de ce composant en parallèle afin de générer un courant supérieur, ce qui rend la modélisation plus complexe. De plus, pour pallier à des problématiques de fortes montées en courant et de démarrage progressifs, ces composants ne fonctionnent pas exclusivement en mode de conduction continue. Des modes dits de "burst" existent pour permettre une variation du courant de sortie plus rapide. Ce que nous cherchons à modéliser est l'impédance de sortie du module régulateur de tension. Cette impédance de sortie correspond à la variation de tension que présente le module régulateur de tension à une variation de courant. Le modèle en éléments localisés proposé dans SMITH et collab. [1999] permet de retrouver cette notion d'impédance de sortie en s'affranchissant de la structure physique du condensateur. Il s'agit d'un modèle permettant de reproduire le fonctionnement du modèle moyen en le rendant à la fois compatible avec la simulation de type circuit mais également avec les simulateurs électromagnétiques. Le modèle décrit ci-après est illustré dans la figure 3.13.

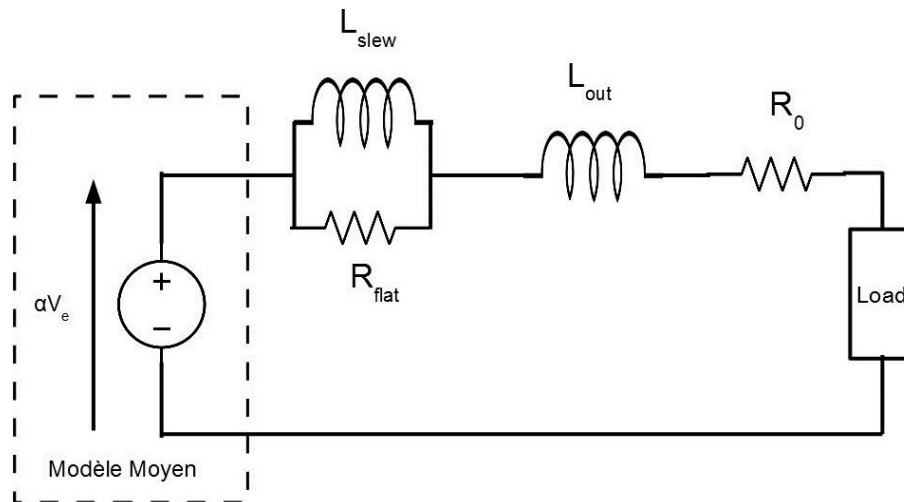


FIGURE 3.13 – Modèle linéaire du module régulateur de tension à 4 éléments localisés

Ce modèle a l'avantage de présenter des similitudes entre le modèle fonctionnel du convertisseur et son implantation physique. Ainsi, les éléments  $R_0$  et  $L_{out}$  représentent respectivement la résistance équivalente et l'inductance équivalente de l'interconnexion entre le point de mesure de la tension de sortie du régulateur de tension et la charge. L'élément  $R_{flat}$  représente la résistance équivalente série des condensateurs de bulk du filtre de sortie du convertisseur. Enfin le dernier élément  $L_{slew}$  est l'unique composante du modèle équivalent correspondant non pas à une caractéristique physique du montage mais à une caractéristique fonctionnelle. Le convertisseur a une capacité limitée d'augmenter le débit de courant. L'élément électrique permettant de modéliser cette opposition à l'augmentation du courant est une inductance. L'inductance équivalente  $L_{slew}$  représente donc la variation maximale de courant admissible au sein du convertisseur. Cette inductance est calculée de telle sorte que la variation de courant qu'elle admet soit similaire à celle du convertisseur en fonctionnement en s'affranchissant de son mode de fonctionnement. Cette inductance se calcule donc de la manière suivante :

$$L_{slew} = V \frac{dt}{di} \quad (3.10)$$

Avec  $V$  l'augmentation de tension admissible sur le réseau de distribution d'alimentation,  $di$  l'échelon de courant maximum à fournir et enfin  $dt$  le temps nécessaire pour répondre à cet échelon de tension. Ce modèle n'est cependant pas très satisfaisant dans le cadre d'une méthodologie de dimensionnement d'un réseau de découplage d'un rail d'alimentation. Effectivement, des estimations doivent être faites sur la valeur des éléments de sortie du modèle  $L_{out}$  et  $R_0$  alors que les données géométriques sur la connexion du composant au circuit imprimé et en particulier de l'endroit où se situe le point de mesure ne sont pas disponibles.

La réponse du modèle 4 éléments est illustrée dans la figure 3.14. Il s'agit de la réponse du module régulateur de tension à un échelon de courant de 10 A pour un temps de montée de 2  $\mu$ s.

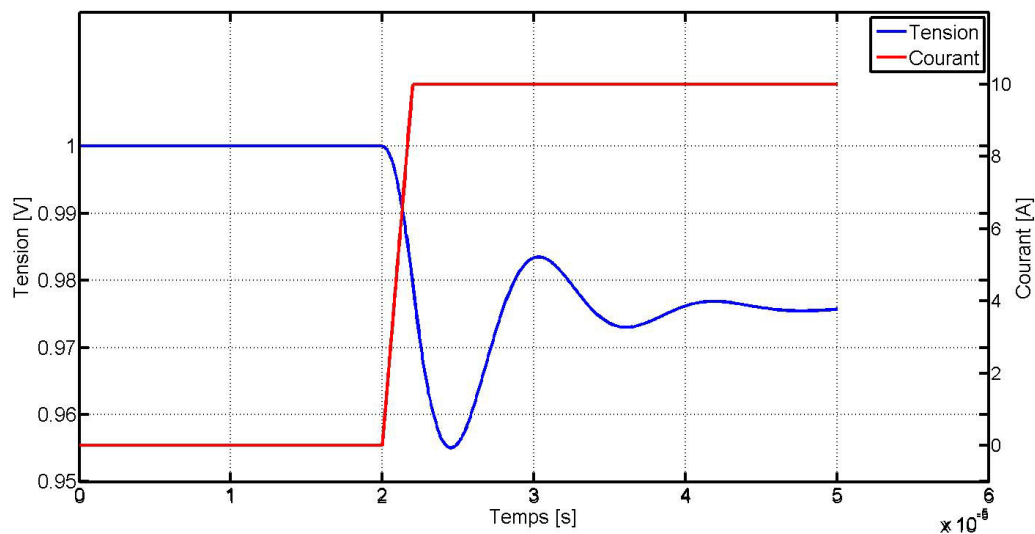


FIGURE 3.14 – Réponse du modèle 4 élément à un échelon de courant

Comme le montre la figure 3.14, la réponse du modèle 4 éléments est similaire à la réponse attendue du module régulateur de tension. L'appel de courant provoque une variation de tension qui est ensuite compensée dans un premier temps par les condensateurs du filtre de sortie puis par le système de rétroaction. La différence de niveau de tension avant et après l'échelon de courant correspond aux pertes par effets Joule dans les parties résistives du modèle.

Afin d'illustrer ces propos, le modèle présenté a été confronté au résultat de la mesure de l'impédance de sortie pour deux composants différents. La carte servant de support à la mesure est présentée dans la figure 2.6. Il s'agit des composants LTC3418, un convertisseur DC-DC débitant jusqu'à 8 A dont la fréquence de découpage est de 1,6 MHz et du convertisseur DC-DC LTC3612 débitant 3A et dont la fréquence de découpage est de 400 kHz.

Pour le composant LTC3418, les éléments du modèle calculés d'après les caractéristiques du montage sont donnés dans le tableau 3.2 :

Les valeurs présentées dans le tableau ci-dessus, en particulier la valeur de l'élément  $L_{slew}$  sont des valeurs théoriques issues des datasheet des composants. La valeur des éléments d'interconnexion est estimée puisqu'en phase de pré-dimensionnement, nous ne disposons pas d'informations pour les simuler précisément.  $R_{flat}$  est la résistance série équivalente des 5 condensateurs de bulk en sortie de montage : 3 condensateurs de 100

TABLEAU 3.2 – Valeurs des éléments du modèle 4 éléments pour le convertisseur LTC3418 débitant 8A pour une fréquence de découpage de 1,6 MHz

| Element    | Valeur           |
|------------|------------------|
| $R_0$      | 1 m $\Omega$     |
| $L_{out}$  | 1 nH             |
| $R_{flat}$ | 0,416 m $\Omega$ |
| $L_{slew}$ | 2,5 nH           |

$\mu$ F en diélectrique X5R dont la résistance série équivalente est de 2,084 m $\Omega$  et 2 condensateurs de 22  $\mu$ F en diélectrique X5R dont la résistance série équivalente est de 2,078 m $\Omega$ . Enfin,  $L_{slew}$  est calculée pour une oscillation de tension de 1% de 1 V soit 10 mV et pour pouvoir délivrer un courant de 8 A en 2  $\mu$ s. L'impédance de sortie du modèle est calculée puis comparée à un résultat de mesure.

Le modèle à 4 éléments convient principalement aux composants d'alimentation dont l'inductance de  $L_{slew}$  est très différente de la valeur de l'élément  $L_{out}$ . C'est le cas pour les composants dont les fréquences de découpage sont relativement faibles, inférieures à 500 kHz. Puisque la fréquence de découpage est faible, le temps d'établissement du courant du composant est grand et donc d'après l'équation 3.10,  $L_{slew}$  est important. Au contraire, dans le cas de composants dont la fréquence de découpage est plus rapide, la valeur de  $L_{slew}$  se rapproche de celle de  $L_{out}$ . Le calcul de l'impédance de sortie du composant ne donne alors plus qu'une fonction fréquentielle comportant un zéro. 2 éléments localisés sont donc suffisants pour décrire le comportement de l'impédance de sortie du module régulateur de tension. Ces 2 éléments correspondent alors à la résistance  $R'_0 = R_0 - R_{DC}$  et  $L_{out}$  HSIUNG et collab. [2012].

Le calcul des différents éléments du modèle du LTC3612 pour un échelon de courant de 3 A en 5  $\mu$ s et avec 2 condensateurs de 22  $\mu$ F en diélectrique X5R en filtre de sortie donne les valeurs reportées au tableau 3.3. Les éléments modélisant la connexion du composant au circuit imprimé sont tirés de la simulation du fichier de CAO.

TABLEAU 3.3 – Valeur des éléments du modèle 4 éléments du convertisseur DC-DC LTC3612 dont les éléments  $L_{out}$  et  $R_0$  ont été calculés par simulation

| Element    | Valeur          |
|------------|-----------------|
| $R_0$      | 1,27 m $\Omega$ |
| $L_{out}$  | 0,8 nH          |
| $R_{flat}$ | 1,04 m $\Omega$ |
| $L_{slew}$ | 25nH            |

### 3.2.3 Mesure fréquentielle du module régulateur de tension

Afin de vérifier que les modèles proposés sont bien représentatifs du comportement des composants, il est nécessaire de pouvoir mesurer la réponse des modules régulateurs de tension dans le domaine de la fréquence. Parmi les différents instruments existants pour effectuer une mesure d'impédance (Impédancemètre, TDR, ...) l'outil le plus approprié pour mesurer l'impédance de sortie du module régulateur de tension est le VNA. Cet appareil dont l'utilisation la plus fréquente est la mesure de paramètres S de systèmes dédiés à la transmission de signaux radiofréquences ou hyperfréquences comporte des

ports de sortie adaptés à une impédance de  $50 \Omega$ , impédance de ligne de la plupart des systèmes radio et hyperfréquences. Par conséquent, lors la mesure en réflexion sur un **dispositif sous test (DST)** présentant de très faibles impédances (à gauche sur la figure 3.15) de l'ordre du  $m\Omega$ , l'onde réfléchie par le système est quasiment de la même amplitude que l'onde incidente. Le paramètre  $S_{11}$  calculé d'après le rapport de l'onde réfléchie sur

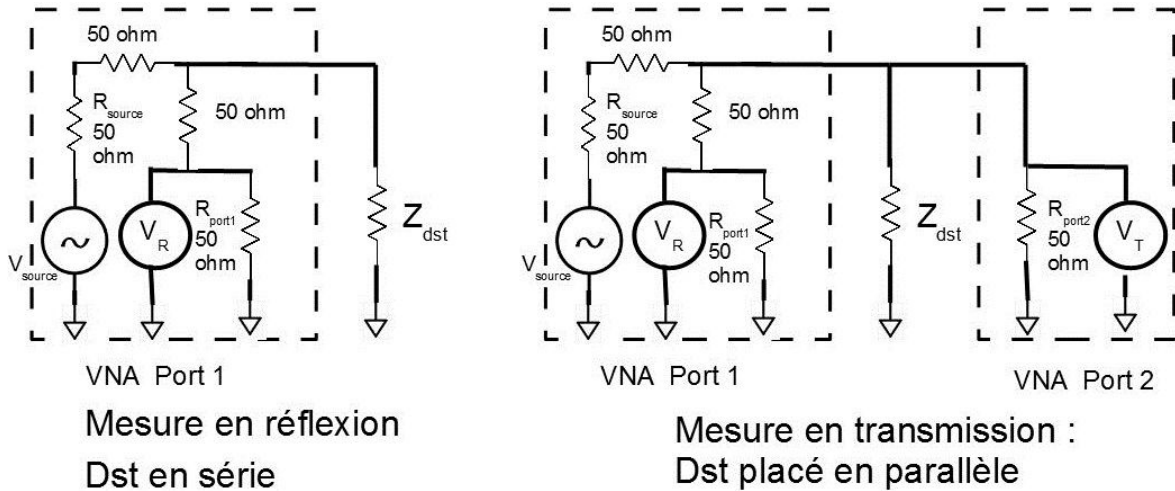


FIGURE 3.15 – Schéma simplifié de la configuration de mesure en réflexion (à gauche) et en transmission avec le dispositif sous test placé en parallèle (à droite)

l'onde incidente peut être masqué par le plafond de bruit de l'appareil **NOVAK et collab. [1999]**. Ce phénomène apparaît principalement puisque l'impédance du dispositif sous test mesurée en réflexion est en série avec l'impédance du port de mesure. En revanche, ce plafond de bruit est fortement réduit pour des mesures en transmission si le dispositif sous test est placé en parallèle des ports de mesure (à droite sur la figure 3.15).

Pour effectuer une mesure en réflexion, tout en s'affranchissant du plafond de bruit, il est donc possible de configurer l'appareil pour une mesure en transmission mais effectuant la mesure sur les deux ports en un seul et même point du système. En effet, si les deux points de mesure sont confondus, alors la mesure en transmission est égale à la mesure en réflexion. L'impact de la distance entre les deux points de mesure est étudié dans **NOVAK [2003]**.

L'autre difficulté dans la mesure de l'impédance de sortie du convertisseur DC-DC réside dans le fait de devoir réaliser la mesure pour de faibles fréquences, inférieures à la centaine de kilohertz. Dans cette plage de fréquence, la résistivité des câbles reliant le **DST** à l'appareil de mesure devient prépondérante devant l'impédance de celui-ci ( $L_{cable} j\omega \ll R_{cable}$ ). Si l'impédance du **DST** est très faible, de l'ordre de quelques  $m\Omega$ , alors la chute de tension provoquée par le passage d'un courant de la source d'excitation de l'appareil de mesure vers le port récepteur de l'appareil provoque une différence de potentiel, du même ordre, sinon supérieure à celle du **DST** comme le montre la figure 3.16.

Une mesure proposée pour éliminer l'impact de la boucle de courant parcourant les câbles de mesure et les terres est d'utiliser un transformateur d'isolement. La boucle de courant est ainsi ouverte, aucune différence de potentiel n'apparaît aux bornes de la résistance équivalente du câble du port récepteur. Les variations de tension induites au primaire du transformateur sont uniquement le reflet des variations introduites par le dispositif sous test. Cette solution ainsi que le dimensionnement et les caractéristiques nécessaires pour le transformateur d'isolement sont explicitées dans **NOVAK et collab. [2000]** et



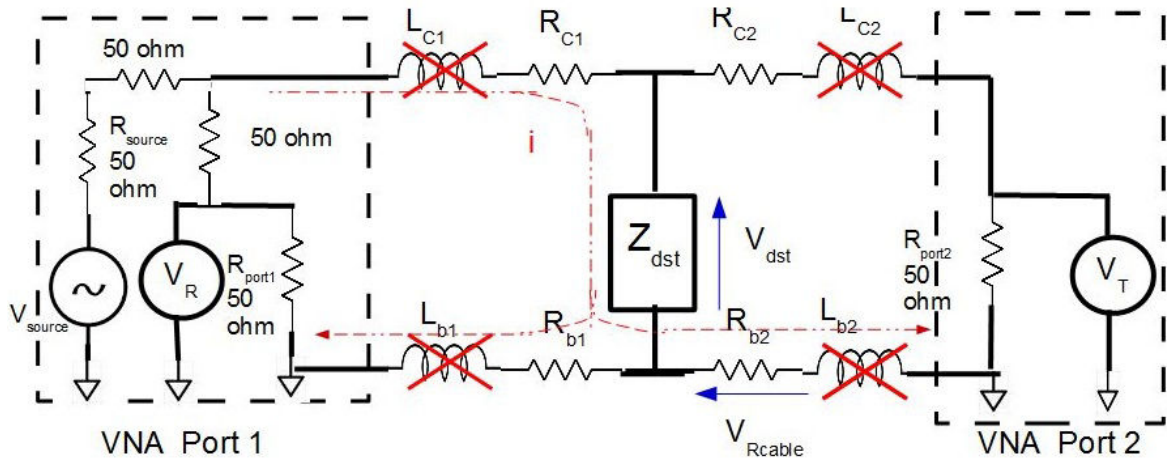


FIGURE 3.16 – Schéma simplifié du phénomène de boucle résistive introduite par les câbles de mesure

**NOVAK [2003]**. La suppression de la différence de potentiel due à la résistance équivalente des câbles de mesure grâce au transformateur d'isolement et le nouveau parcours du courant de retour sont décrits dans la figure 3.17. Une seconde solution consiste à utiliser

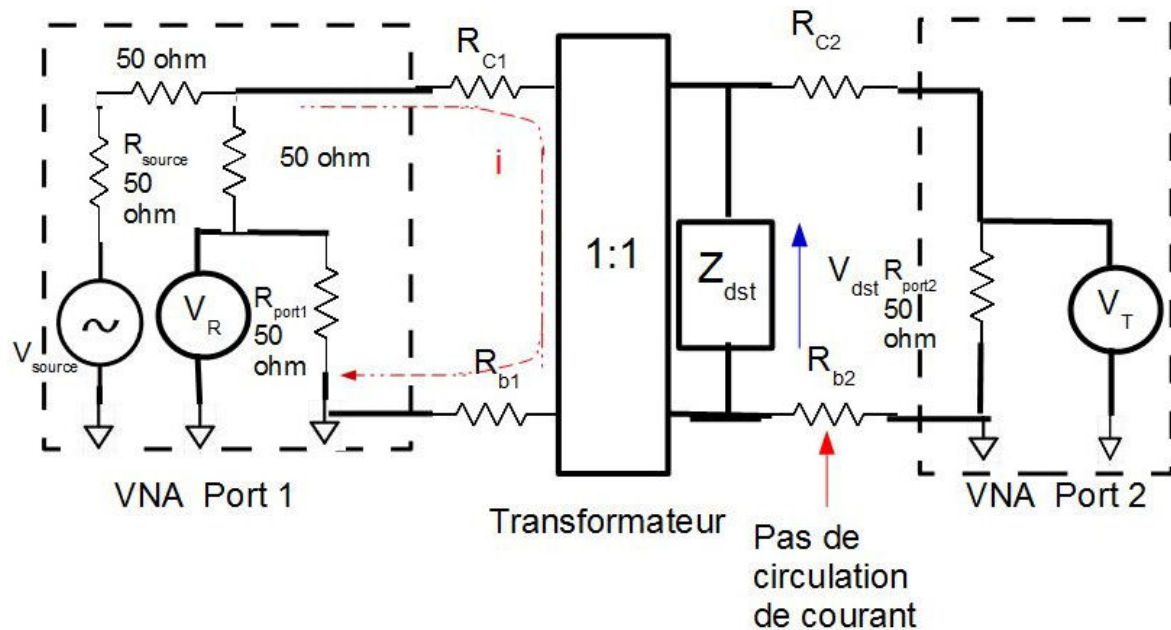


FIGURE 3.17 – Schéma simplifié de la configuration de mesure avec un transformateur d'isolement

un amplificateur d'isolement, solution également mentionnée dans les deux publications citées auparavant. Enfin la troisième solution envisageable est de laisser les potentiels de référence de l'émetteur et du récepteur semi-flottant, en connectant une impédance importante entre la référence des ports de mesure et la référence de l'appareil de mesure. Le courant emprunte le chemin dont l'impédance est la plus faible et n'emprunte donc pas le blindage des câbles puisque la résistance placée en série est importante. Le courant est donc forcé à reboucler sur la source. Le chemin emprunté par le courant est décrit dans la figure 3.18

Nous avons adopté cette dernière solution puisqu'un VNA E5061B avec l'option 3L5 équipé de ces ports de mesure semi-flottants était à disposition dans le service. Le schéma

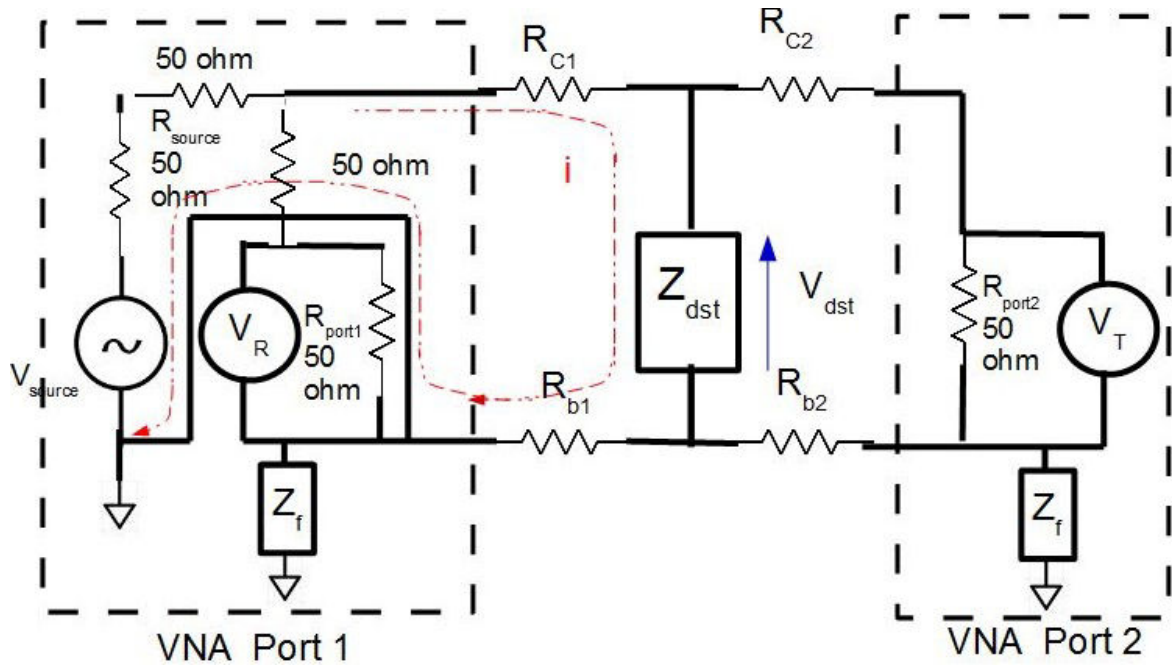


FIGURE 3.18 – Schéma simplifié de la configuration de mesure avec les références de ports flottants

de la configuration de mesure utilisée pour l'observation de l'impédance de sortie du convertisseur d'énergie est reproduit dans la figure 3.19. Il est aussi possible de mesurer ces éléments parasites à partir d'une carte d'évaluation du composant ou d'une maquette. Sur la maquette fonctionnelle, présentée au chapitre 2, la mesure de l'impédance de sortie des composants s'effectue en connectant les ports de mesure de l'appareil sur les connecteurs SMA en tranche en sortie de module régulateur de tension. Cependant, sur le circuit imprimé utilisé pour réaliser les mesures en court-circuit, aucun connecteur n'était disponible. Des sondes de mesures ont été fabriquées à partir de câbles coaxiaux. D'un côté, le câble est équipé d'une fiche BNC qui peut se connecter directement sur les ports de sortie de l'appareil, tandis que de l'autre côté, l'âme du câble coaxial est prolongée par un fil et le blindage du câble est soudé à un second câble, passant ainsi d'un câble coaxial à une paire torsadée qui est soudée directement sur les empreintes du connecteur. La figure 3.20 montre ces sondes.

La mesure de l'impédance de sortie du module régulateur de tension est réalisée dans un premier temps dans deux configurations. Pour la première configuration, l'impédance est mesurée pour la maquette non alimentée. Seuls les éléments passifs du circuit imprimé et des composants sont mesurés. Dans la seconde configuration, l'impédance de sortie est mesurée avec le module de régulateur de tension activé. La comparaison de ces deux configurations permet de définir la plage de fréquence sur laquelle le régulateur de tension agit, mais elle permet aussi de savoir sur quelle plage de fréquence modéliser les éléments parasites du modèle 4 éléments  $R_0$  et  $L_{Out}$ . La figure 3.21 montre la configuration du banc de mesure. Ces deux résultats de mesure sont comparés dans la figure 3.22.

Pour le composant LTC3418, lorsque la carte n'est pas alimentée, pour des fréquences inférieures à la centaine de kHz, l'impédance mesurée diminue avec la fréquence et sa phase est de  $-90^\circ$ . Une réactance capacitive est mesurée, il s'agit de la réponse passive de la capacité de plan et des composants de filtrage en sortie du module régulateur de tension. En revanche, lorsque la carte est alimentée, l'impédance mesurée est bien plus faible et presque constante sur cette plage de fréquence. Le module régulateur de tension permet donc bien d'abaisser l'impédance du réseau de distribution d'énergie de 0 à

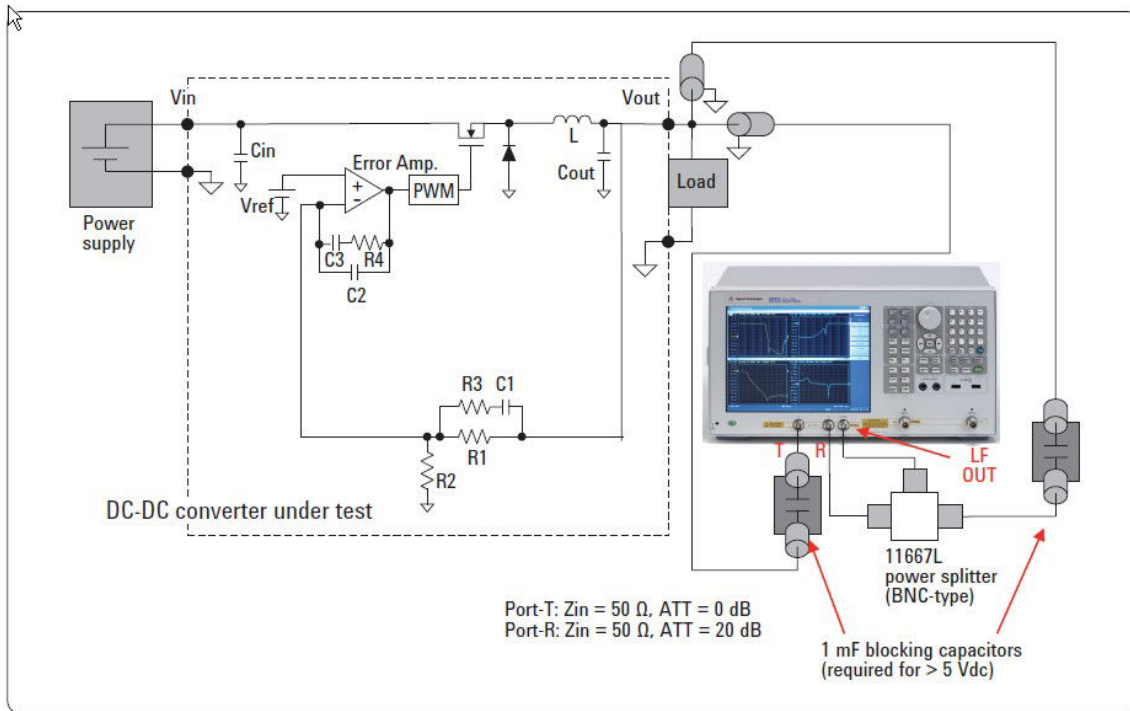


FIGURE 3.19 – Schéma du montage permettant de mesurer l'impédance de sortie des composants d'alimentation Key [2012]

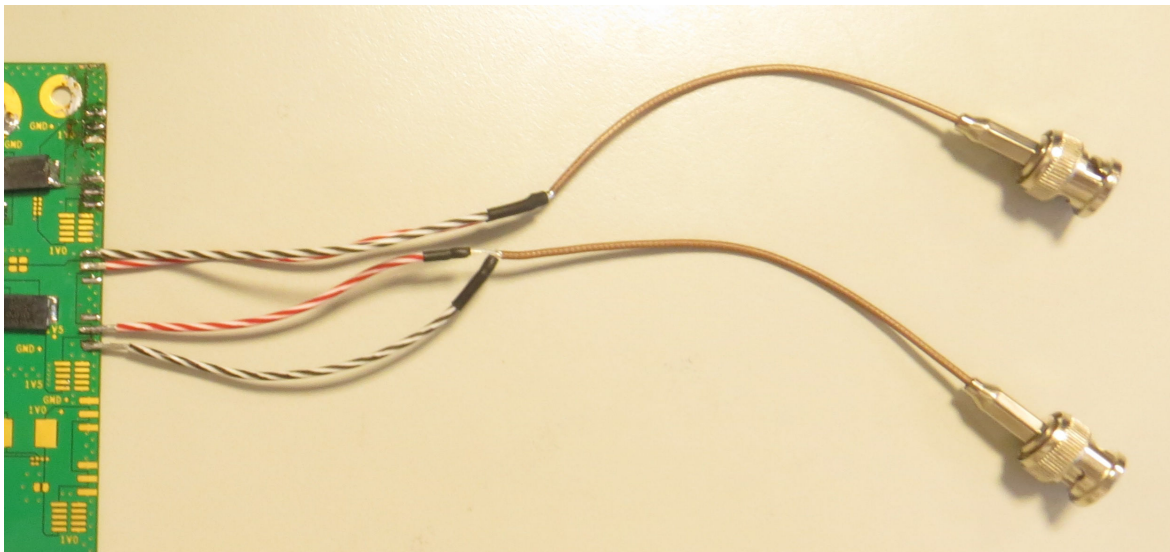


FIGURE 3.20 – Photographie des sondes de mesure de l'impédance de sortie du module régulateur de tension



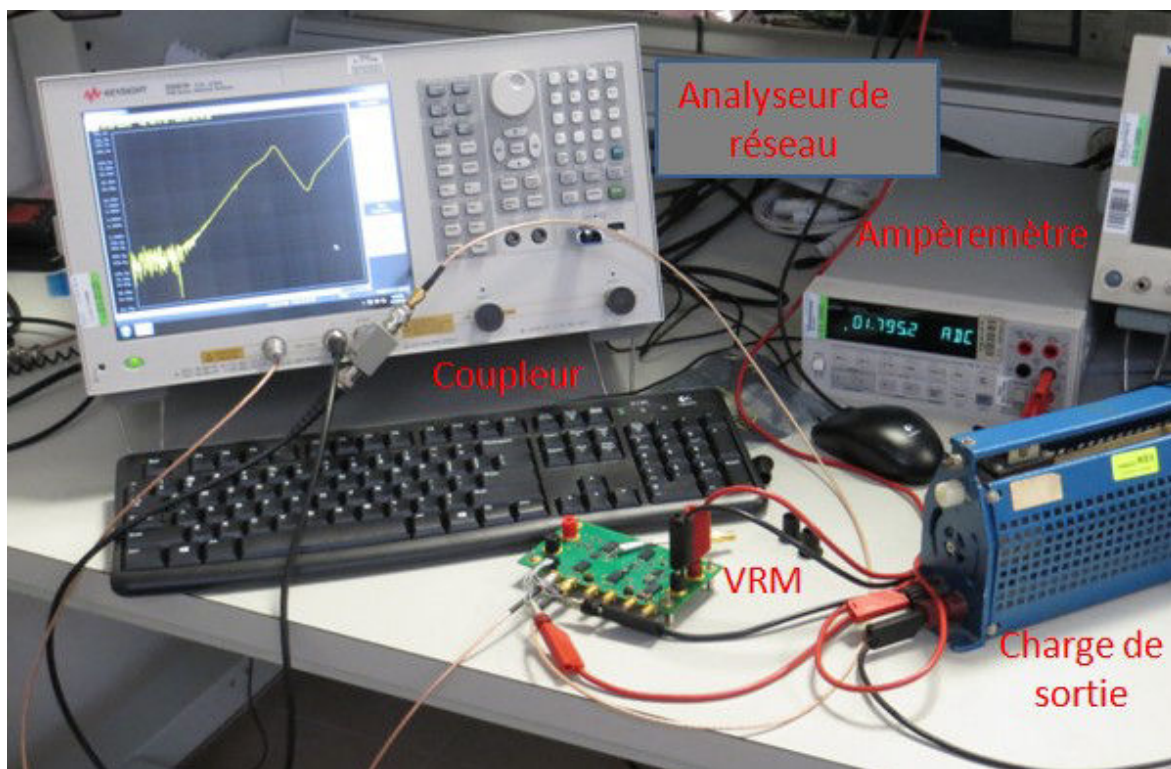


FIGURE 3.21 – Photographie de la configuration de mesure de l'impédance de sortie des composants d'alimentation

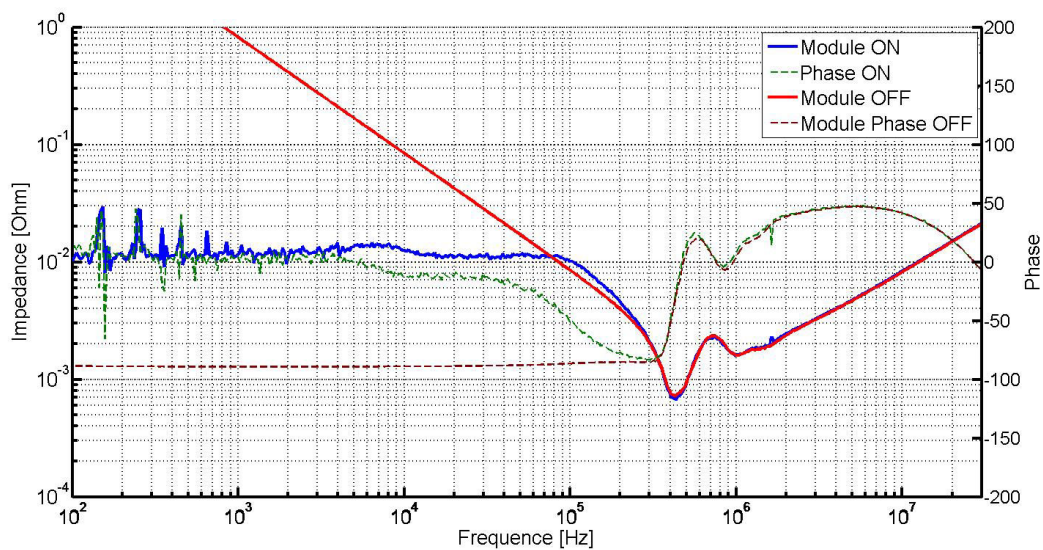


FIGURE 3.22 – Comparaison de la mesure de l'impédance de sortie du module régulateur de tension comportant le composant LTC3418 éteint et alimenté

environ 250 kHz. La limite d'action du convertisseur correspond à une fréquence 6,4 fois inférieure à la fréquence de découpage. Le modèle du modèle régulateur de tension correspondant doit donc montrer une réponse proche du fonctionnement du montage sur la plage de fréquence de 0 à 250 kHz.

La difficulté dans cette modélisation est d'estimer la valeur des éléments parasites représentant l'inductance  $L_{out}$  et la résistance  $R_0$  de connexion du composant à la charge. Ces éléments dépendent principalement du routage du composant et de la situation du point de mesure par rapport à la charge à alimenter. Il est donc difficile d'estimer ces éléments en l'absence d'un fichier de CAO avec lequel ces éléments parasites peuvent être calculés soit à l'aide d'un simulateur électromagnétique quasi-statique pour une fréquence donnée soit pour un résultat plus précis avec un simulateur électromagnétique pour obtenir la variation de ces éléments avec la fréquence. Cependant, le modèle équivalent n'est pas en mesure de retranscrire la variation des éléments parasites en fonction de la fréquence. Pour obtenir le modèle, il est judicieux de calculer les éléments parasites pour une fréquence aux alentours de 10 kHz, situé généralement au milieu de la plage de fréquence de la bande dynamique du composant.

Pour montrer l'impact du module régulateur de tension sur l'impédance du réseau de distribution d'énergie du LTC3612, la mesure de l'impédance du circuit d'alimentation est de nouveau effectuée avec le convertisseur en marche, puis avec le convertisseur non alimenté. Les deux différentes mesures sont comparées dans la figure 3.23.

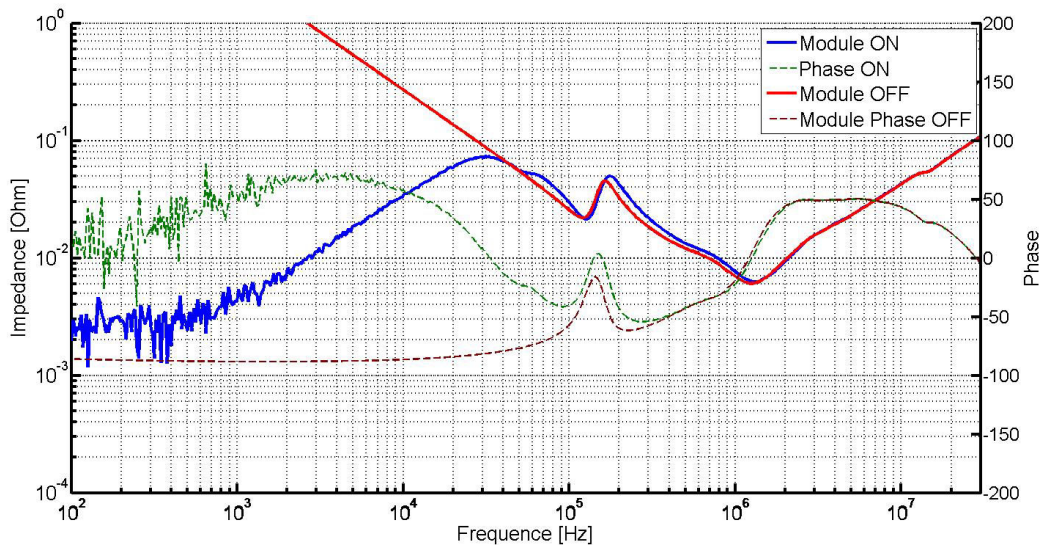


FIGURE 3.23 – Comparaison de l'impédance du réseau de distribution en basse fréquence lorsque le convertisseur DC-DC est en fonctionnement et lorsqu'il est éteint

Cette figure montre que l'impédance du circuit de distribution d'énergie est principalement fixée par le composant d'alimentation de 0 à 30 kHz. La plage de fréquence maximale est près de 13 fois inférieure à la fréquence de découpage. Au-delà de cette valeur, pour laquelle le gain de la boucle de rétroaction devient trop faible, l'impédance du réseau de distribution d'énergie est fixée par les condensateurs du filtre de sortie du composant.

Enfin, l'impédance de sortie du montage TPS53647 est à nouveau mesurée pour la carte éteinte puis alimentée pour mesurer la plage de fréquence d'action du montage. Les résultats de mesure sont comparés dans la figure 3.24. Le module régulateur de ten-

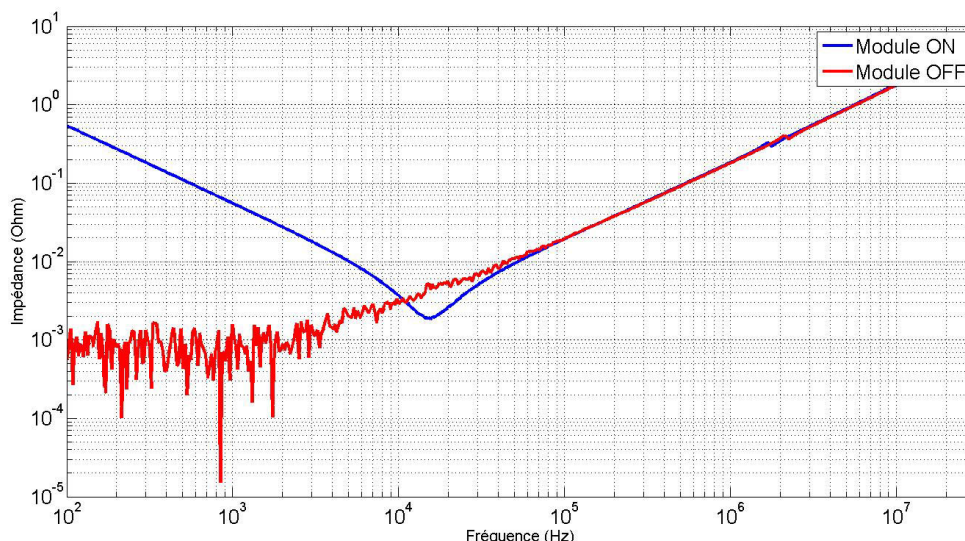


FIGURE 3.24 – Mesure de l'impédance de sortie de la carte d'évaluation du convertisseur multi-phasé TPS53647 en fonctionnement et éteint

sion multi-phasé influe sur l'impédance de sortie du montage jusqu'à la fréquence de 80 kHz, soit une fréquence 6,25 fois inférieure à la fréquence de découplage du composant. Dans cette application, l'influence des condensateurs de filtrage n'est presque pas visible lorsque le montage est activé, contrairement aux deux cas observés précédemment.

### 3.2.4 Extraction de l'impédance de sortie à partir de modèle SPICE

L'outil **SPICE** offre la possibilité pour les éléments passifs de réaliser une analyse fréquentielle des circuits mise en œuvre dans le logiciel et d'obtenir la fonction de transfert de circuit, correspondant à l'impédance de celui-ci en fonction de la fréquence, souvent représentée sous forme de diagramme de Bode. Cette option a bien évidemment été explorée afin d'essayer d'extraire du modèle circuit l'impédance de sortie du montage. Les modèles fournis par le fabricant permettent de réaliser une analyse grands signaux en prenant en compte les effets des commutations des interrupteurs. Pour extraire l'impédance d'un circuit, son modèle équivalent petits signaux est nécessaire **SANDLER [1997]**. Il est normalement possible d'extraire les caractéristiques fréquentielles d'un montage en implémentant son modèle moyen. Cependant, les modèles cryptés obtenus ne permettent pas de connaître la structure du composant pour pouvoir créer ce modèle moyen.

L'autre solution envisagée est de reproduire le fonctionnement du **VNA** en sortie de montage pour introduire des perturbations en sortie de montage et observer la réponse du composant. Afin de séparer la composante statique des oscillations introduites par l'oscillateur contrôlé en tension, une capacité importante (équivalente à un DC-block en mesure) est placée entre l'oscillateur et le potentiel de sortie. Ce montage fonctionne pour des fréquences proches de la fréquence de découpage de l'alimentation. En revanche pour des fréquences bien plus basses, de l'ordre de la dizaine de kHz, le fichier généré par la simulation est très important (plusieurs dizaines de Mégaoctets) car le pas minimum de simulation doit rester suffisamment petit pour modéliser convenablement le phénomène de commutation des transistors du composant. Une simulation doit être réalisée pour chaque pas de fréquence. Au final, une telle technique requiert plusieurs dizaines d'heures de simulation pour atteindre des fréquences d'analyse inférieures au kHz et sur-



tout génère plusieurs Gigaoctets de données pour seulement relever l'amplitude de l'oscillation sur la courbe de tension en sortie du montage.

### 3.2.5 Calcul ou mesure des éléments parasites du modèle

D'après la définition des 2 éléments de sortie du convertisseur,  $L_{out}$  et  $R_0$  correspondent aux parasites d'interconnexion entre le module régulateur de tension et la charge. Le modèle du module régulateur de tension décrit le comportement de l'ensemble composant-filtre de sortie-point de mesure de la boucle de rétroaction. Entre le composant et le point de mesure de la boucle, les pertes de dissipation dans le cuivre sont compensées par le régulateur. Les éléments  $L_{out}$  et  $R_0$  du modèle doivent donc être mesurés entre le point de mesure de la boucle de rétroaction du composant et le point de connexion de la charge comme indiqué dans la figure 3.25. Le court-circuit réalisé pour cette mesure est symbo-

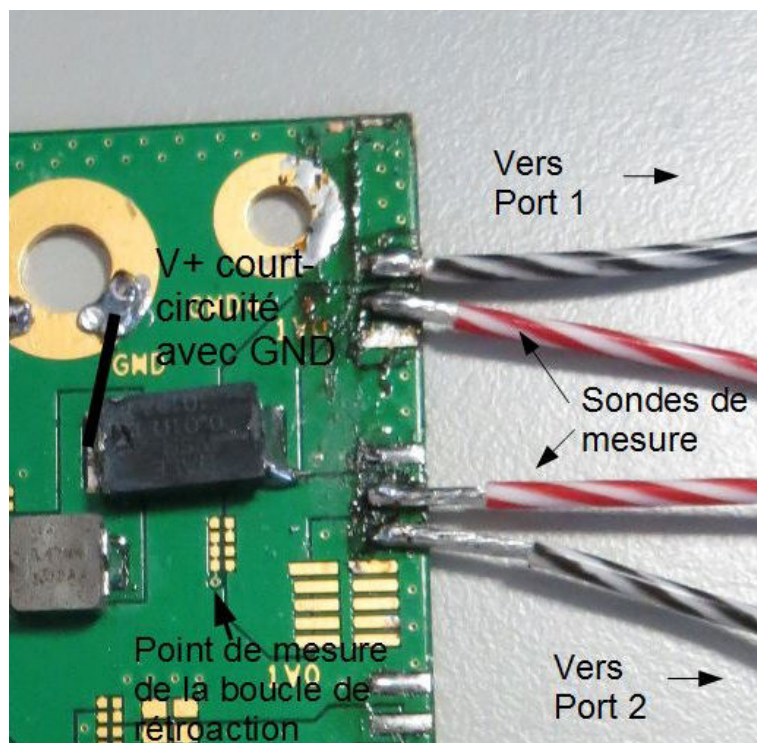


FIGURE 3.25 – Photographie de la sortie du module régulateur de tension court-circuité pour la mesure des éléments de sortie parasite

lisé par trait noir indiqué sur la photographie de la de la figure 3.25. Il est réalisé en soudant un fil de cuivre entre l'empreinte gauche de la résistance de shunt et le trou métallisé de connexion au potentiel de référence. La mesure est réalisée en sortie de convertisseur. Les sondes de mesure sont respectivement connectées sur le potentiel de sortie pour les fils rouges et sur le potentiel de référence pour les fils noirs.

Le résultat de cette mesure est présenté dans la figure 3.26. L'impédance mesurée en réalisant le court-circuit peut être modélisée par des éléments localisés. La réponse en impédance d'un circuit RL série est similaire aux résultats obtenus en mesure. La valeur des éléments localisés est définie de manière à s'approcher convenablement de la mesure.

Le circuit RL équivalent se superpose à la courbe de mesure pour les valeurs de  $L = 7nH$  et  $R = 11m\Omega$ . Ces nouvelles valeurs sont réinjectées dans le modèle 4 éléments dont les valeurs sont rappelées dans 3.4

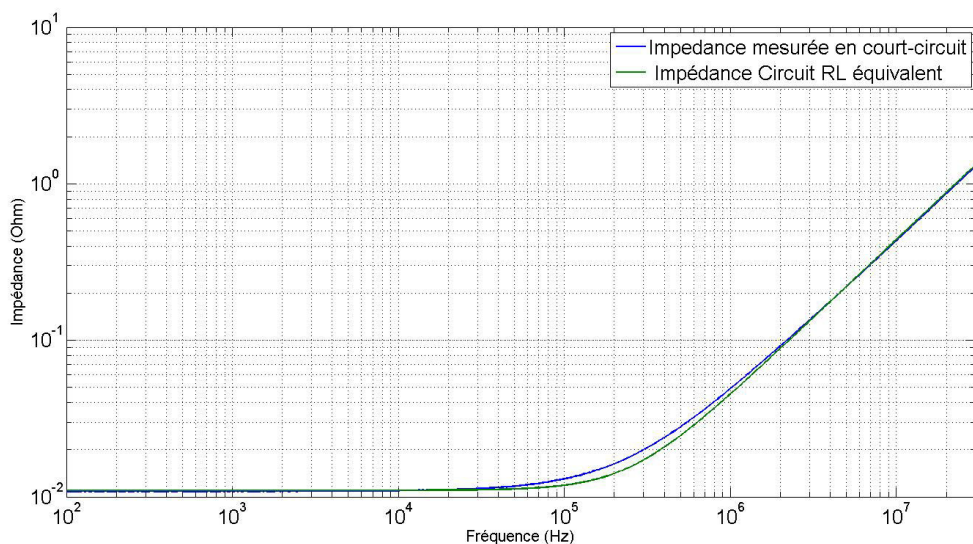


FIGURE 3.26 – Comparaison entre l'impédance du montage mesurée et l'impédance des éléments parasites en sortie du convertisseur

TABLEAU 3.4 – Valeurs des éléments du modèle 4 éléments pour le convertisseur LTC3418 débitant 8A pour une fréquence de découpage de 1,6 MHz dont les éléments parasites au point de mesure de la boucle de rétroaction ont été mesurés

| Element    | Valeur           |
|------------|------------------|
| $R_0$      | 11 m $\Omega$    |
| $L_{out}$  | 7 nH             |
| $R_{flat}$ | 0,416 m $\Omega$ |
| $L_{slew}$ | 2,5 nH           |

La comparaison de l'impédance du modèle et de la mesure est montrée dans la figure 3.27. Le modèle concorde maintenant mieux avec l'impédance mesurée en sortie

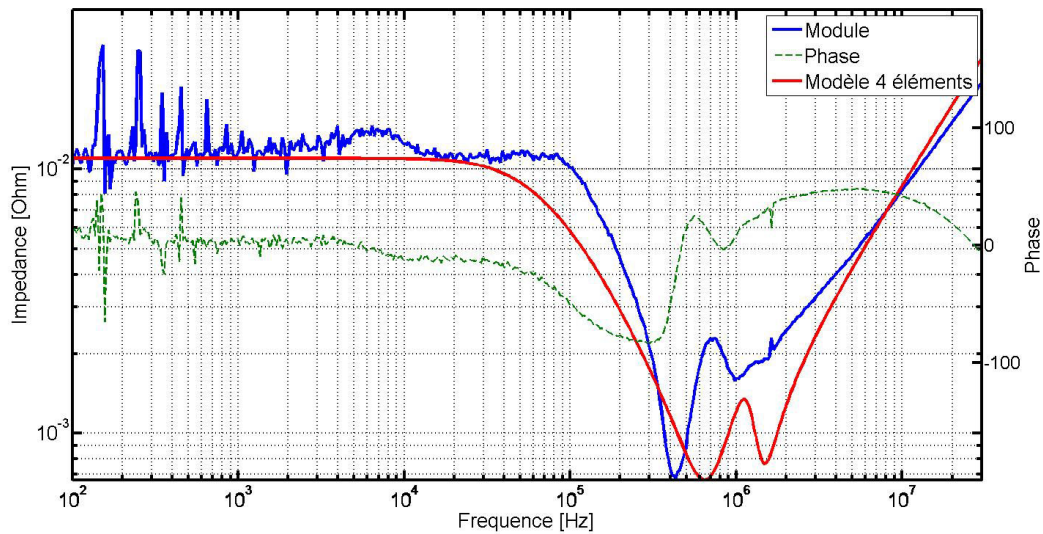


FIGURE 3.27 – Comparaison entre l'impédance du montage mesurée et le modèle corrigé dont les éléments  $L_{out}$  et  $R_0$  ont été mesurés au point de mesure de la boucle de rétroaction du convertisseur

du montage. Nous remarquons cependant que les éléments parasites du modèle ne sont pas exactement reproduits. En effet, la valeur des éléments du modèle sont issus de calculs dont les données théoriques sont celles fournies par les fabricants dans les notices d'utilisation des composants comme la résistance équivalente série des condensateurs du filtre LC ou encore l'échelon de courant auquel répond le montage.

La comparaison entre l'impédance de sortie du montage et celle du modèle élaboré d'après la simulation est représentée dans la figure 3.28 pour le composant LTC3612. Le

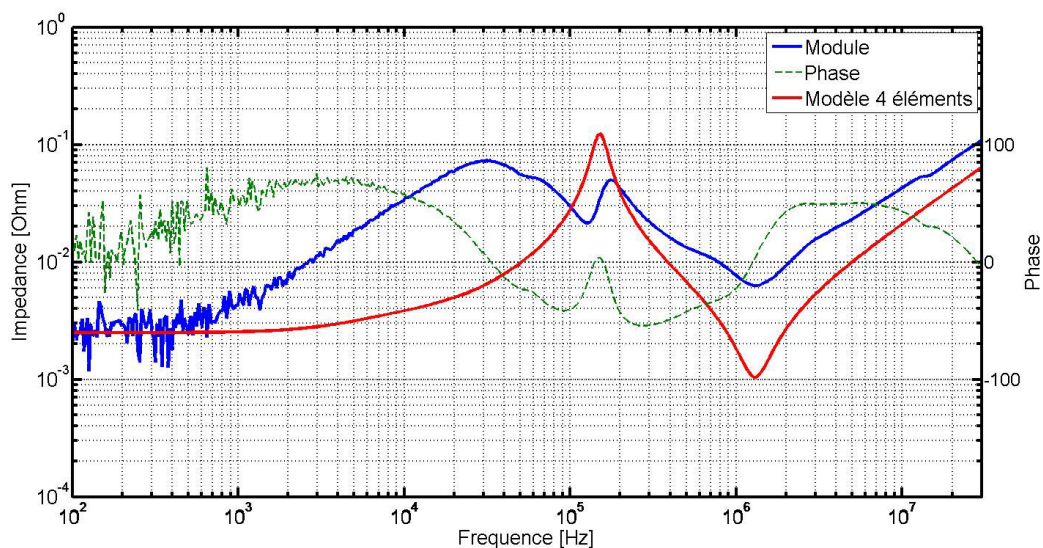


FIGURE 3.28 – Comparaison entre l'impédance du montage mesuré et le modèle 4 éléments pour le convertisseur DC-DC LTC3612

modèle obtenu n'est pas très représentatif du comportement du régulateur de tension



entre 1 kHz et 50 kHz car il sous-estime beaucoup l'impédance. De plus, nous voyons apparaître une anti-résonance entre l'interaction du modèle du module convertisseur de tension et le condensateur de filtrage qui est exagérée par rapport au comportement mesuré. Ces différences apparaissent car la diminution du gain de la boucle de rétroaction du composant n'est pas reproduite dans le modèle en éléments passifs. Par conséquent, la transition entre le domaine fréquentiel sur lequel le modèle du module régulateur de tension domine et celui sur lequel l'impédance du condensateur de bulk domine est violente. De plus, l'impédance de sortie du module régulateur de tension ne dépend pas du courant débité. En effet, la mesure a été répétée pour différentes charges résistives connectées en sortie du montage. La comparaison des différentes mesures est montrée dans la figure 3.29. Il est intéressant de noter dans cette figure les légères variations obtenues entre le comportement du module sans charge, pour lequel aucun courant ne circule et les autres cas. Nous observons en effet que l'inductance présentée pour le cas sans charge est légèrement supérieure puisqu'une impédance plus grande est atteinte pour la même fréquence. Cette observation illustre la saturation magnétique du noyau ferromagnétique du composant utilisé comme inductance de filtre du montage.

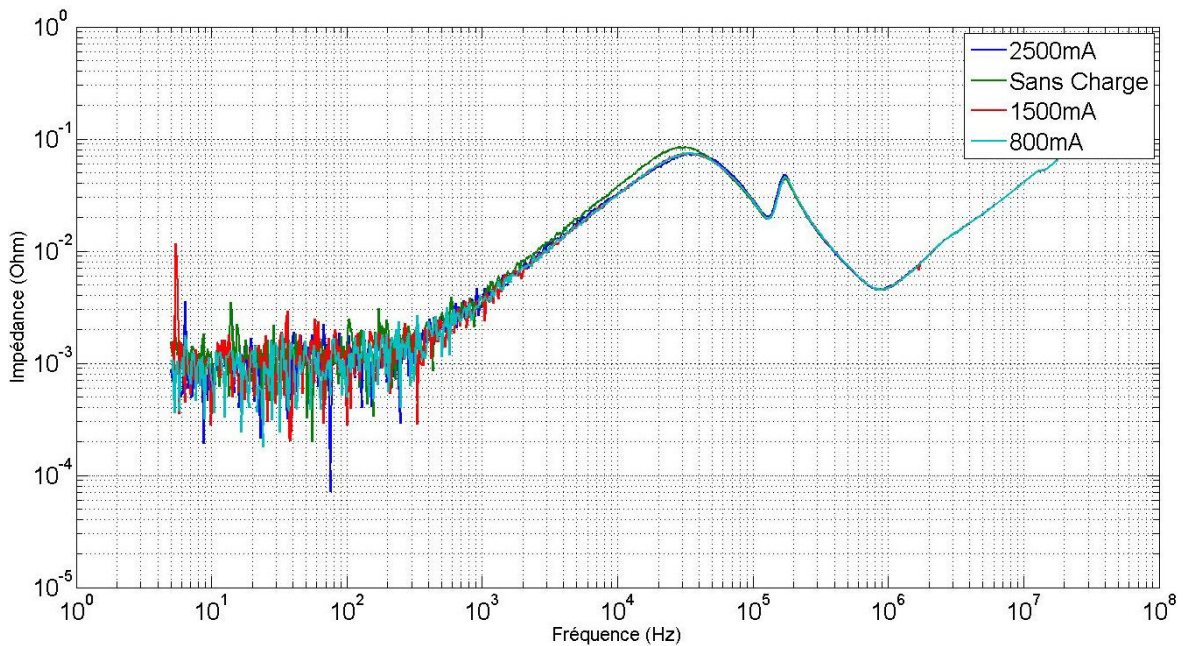


FIGURE 3.29 – Comparaison de l'impédance de sortie du DC-DC LTC3612 pour différent débit de courant

Les mesures présentées auparavant ont démontré que le module régulateur de tension fixe l'impédance du réseau de distribution pour des fréquences inférieures à la centaine de kHz. Au-delà de cette limite, ce sont les condensateurs de filtrage et les condensateurs de découplage qui contribuent à garder l'impédance du circuit d'alimentation à une faible valeur.

Le résultat de la mesure pour un courant débité de 30A est donné dans la figure 3.30.

Ne disposant pas du fichier CAO de la carte d'évaluation, les éléments parasites de sortie du montage n'ont pas pu être évalués par simulation. Par conséquent, il est difficile d'évaluer le modèle 4 éléments de ce convertisseur. Néanmoins, comme le montre la figure précédente, il est possible de modéliser le convertisseur indifféremment par un modèle équivalent à 2 éléments ou à 4 éléments. L'étude menée sur le TPS53674 démontre

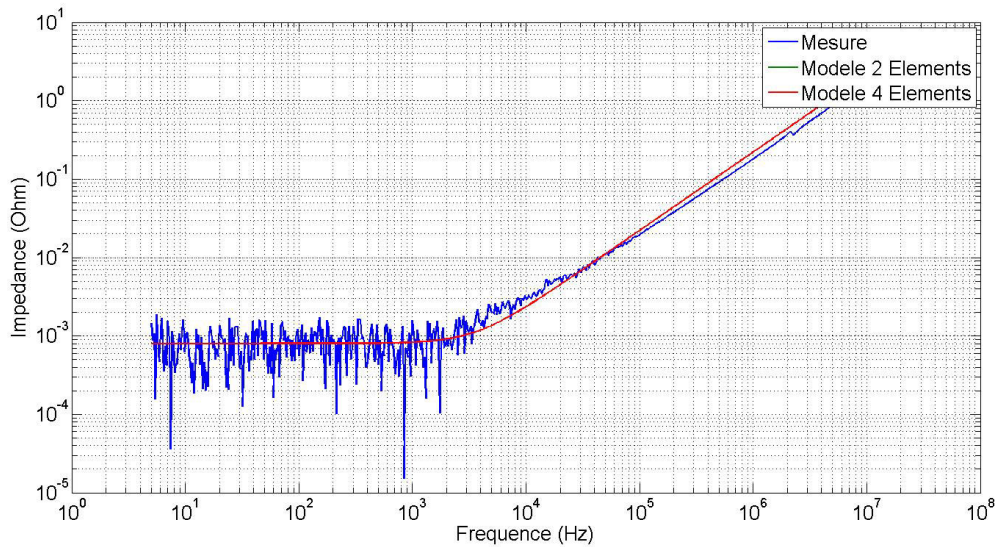


FIGURE 3.30 – Mesure de l'impédance de sortie de la carte d'évaluation du convertisseur multi-phasé TPS53647

que les modèles décrits dans cette partie sont également utilisables pour des convertisseurs Buck multi-phasés. Dans la littérature, les structures généralement étudiées dans le découplage fréquentiel des circuits d'alimentation sont des convertisseurs de forte puissance en comparaison aux convertisseurs que nous trouvons dans le monde de l'électronique embarquée. Comme le montre l'étude réalisée sur les 2 convertisseurs faible puissance ( $< 10\text{ W}$ ), la modélisation proposée ne donne pas de résultats très satisfaisants. Le modèle d'éléments localisés ne permet pas de traduire précisément tous les phénomènes autour du montage de conversion. En revanche, le modèle fonctionne bien mieux pour les convertisseurs de plus forte puissance ( $> 50\text{ W}$ ) comme le montre le résultat des différents articles cités auparavant et la corrélation simulation mesure pour le composant TPS53647 dont la puissance dépasse  $100\text{ W}$ .

### 3.3 Les régulateurs linéaires

#### 3.3.1 Modélisation temporelle

De la même manière que pour les alimentations à découplage, l'étude du fonctionnement de régulateurs linéaires s'effectue de manière générale dans le domaine temporelle. Cette étude permet de simuler la réaction du régulateur linéaire face aux différentes variations de courant du potentiel d'alimentation lors du fonctionnement de la carte. Pour les mêmes raisons de protection de la propriété intellectuelle, les modèles de simulation mis à disposition par les fabricants sont des modèles **SPICE**. Le mode de fonctionnement des régulateurs étant comme leur nom l'indique linéaire, le modèle équivalent des régulateurs linéaires est beaucoup plus simple à obtenir que dans le cas des convertisseurs à découpage.

#### 3.3.2 Modélisation fréquentielle

Le régulateur linéaire de tension, convertit une tension d'entrée en une tension de sortie plus faible en dissipant une partie de l'énergie reçue au travers de la résistance de

conduction d'un transistor [Metal Oxide Semiconductor Field Effect Transistor, Transistor à effet de champ à grille isolée en français \(MOSFET\)](#). La régulation en courant est réalisée en modulant la tension appliquée sur la grille du transistor, contrôlée par une boucle de rétroaction qui mesure le niveau de tension en sortie ou en interne du composant. Comme son nom l'indique, le régulateur linéaire de tension s'appuie sur un fonctionnement de conversion linéaire, par conséquent, il n'y a pas d'ambiguïté sur le fait que le modèle de son impédance de sortie soit lui aussi linéaire. Les éléments du montage à modéliser sont la résistance de canal du transistor  $R_{DSon}$ , une résistance parasite d'interconnexion entre le point de mesure et la charge  $R_0$  et enfin, une inductance parasite d'interconnexion  $L_{out}$ . Cependant, l'action de la boucle de rétroaction compense l'effet de perte de la résistance du transistor. Le modèle d'impédance de sortie du régulateur linéaire peut donc être limité à sa résistance et son inductance d'interconnexion. Contrairement aux convertisseurs DC-DC, le régulateur linéaire sera donc modélisé exclusivement par un modèle équivalent à 2 éléments.

Les éléments parasites de sortie du régulateur linéaire peuvent être quantifiés par une simulation de paramètres S d'un solveur électromagnétique dédié aux cartes électroniques. Afin de démontrer la validité de cette modélisation pour le régulateur linéaire, le composant TPS74901 de Texas Instrument est étudié. Le montage du composant est présenté en figure 3.31 Le montage réalisé permet la conversion d'un potentiel de 1,5 V

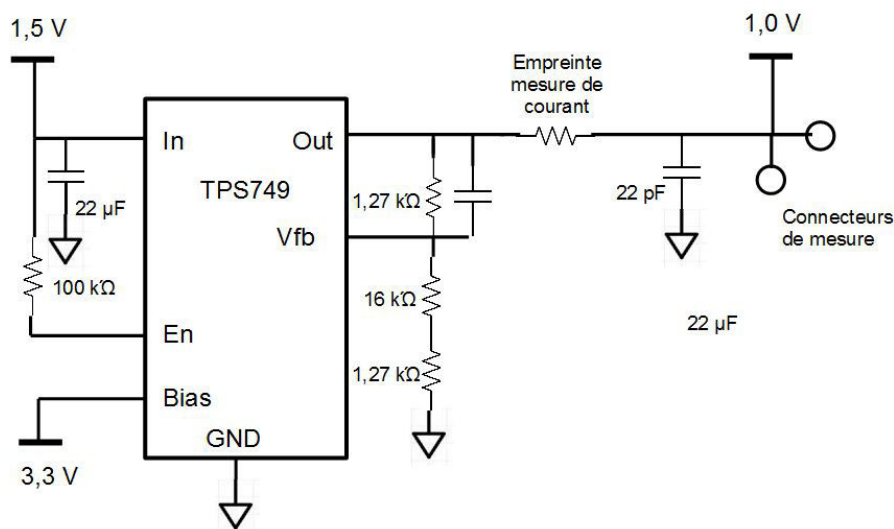


FIGURE 3.31 – Schéma du montage LDO TPS749 étudié

en entrée vers un potentiel de 1,0 V en sortie. Afin d'apporter de la stabilité au montage et de filtrer grossièrement les fluctuations de tension, un condensateur de 22 µF est placé en entrée ainsi qu'en sortie du montage. Pour évaluer la dynamique de boucle de rétroaction du composant, une mesure du montage est effectuée sans alimenter le composant. L'impédance de sortie du composant avec la maquette non alimentée est comparée à celle



du montage en fonctionnement dans la figure 3.32. La figure ci-dessus montre que le

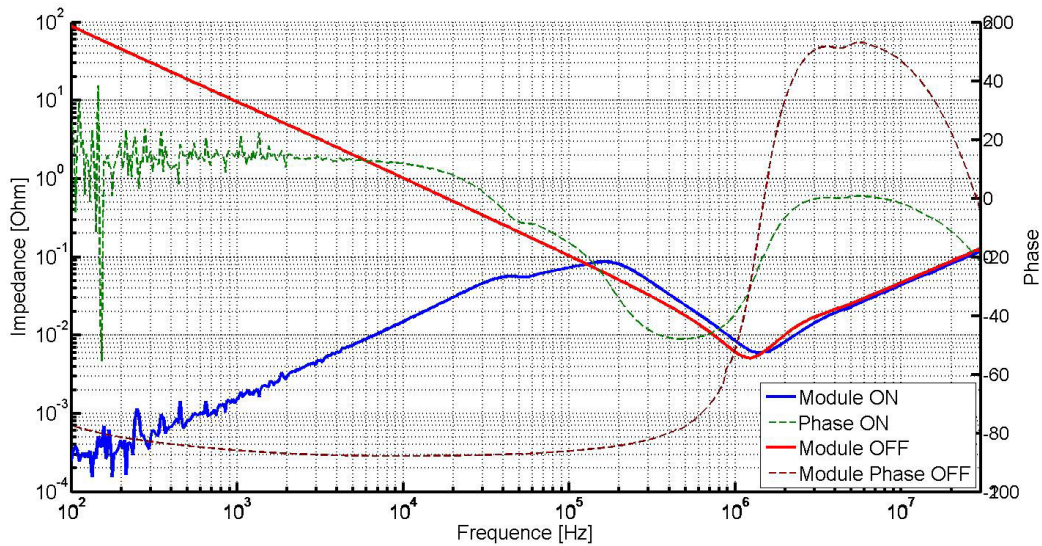


FIGURE 3.32 – Mesure de l'impédance du régulateur linéaire TPS74901 en fonctionnement et éteint

régulateur de tension fixe l'impédance du réseau d'alimentation jusqu'à une fréquence approximative de 100 kHz. Au-delà de cette valeur, le gain de la boucle de rétroaction est faible, ce sont les autres éléments du circuit imprimé, en particulier les condensateurs de découplage qui fixent l'impédance du montage. Il est intéressant de noter également que ce composant d'alimentation procure l'impédance de sortie la plus faible à basse fréquence, inférieure à  $300 \mu\Omega$ . Les convertisseurs DC-DC présentaient une impédance plus proche du  $m\Omega$ .

La configuration de la simulation réalisée dans le solveur électromagnétique à partir du fichier de CAO du circuit imprimé pour l'extraction des éléments du modèle de l'impédance de sortie du composant est illustrée dans la figure 3.33. Le résultat de la simulation donne un modèle permettant d'identifier  $R_0 = 0,1 m\Omega$  et  $L_{out} = 10 nH$ . Afin de valider le résultat obtenu par simulation, une mesure de l'impédance de sortie du composant TPS74901 de Texas Instrument a été réalisée en utilisant la même technique que celle décrite pour les convertisseurs DC-DC. Cette mesure est alors comparée au modèle deux éléments dans la figure 3.34

Le modèle est fidèle au résultat de mesure de 100 Hz jusqu'à approximativement la centaine de kHz. Au-delà de cette valeur, la mesure n'est plus en adéquation avec le modèle puisqu'on voit apparaître le comportement du condensateur en sortie de montage alors que cet élément n'est pas pris en compte dans la simulation effectuée. Afin de valider le modèle pour tous les cas d'application, une série de mesures de l'impédance de sortie du composant est réalisée avec différentes charges de sortie. Les différentes mesures sont comparées dans la figure 3.35 Ce schéma démontre que le modèle n'est pas constant pour de faibles valeurs de courant débité. En effet, l'impédance de sortie du composant pour des courants de charge inférieurs à 0,5A est plus élevée que pour les autres mesures réalisées. Pour la mesure pour laquelle aucun courant n'est débité, celle sans charge, l'impédance est même très élevée, proche de 150 fois la valeur en charge. En mesurant l'impédance de sortie du composant sans charge, correspondante à la courbe cyan de la figure 3.35, l'impédance statique est proche de la valeur de la résistance du MOSFET du composant.

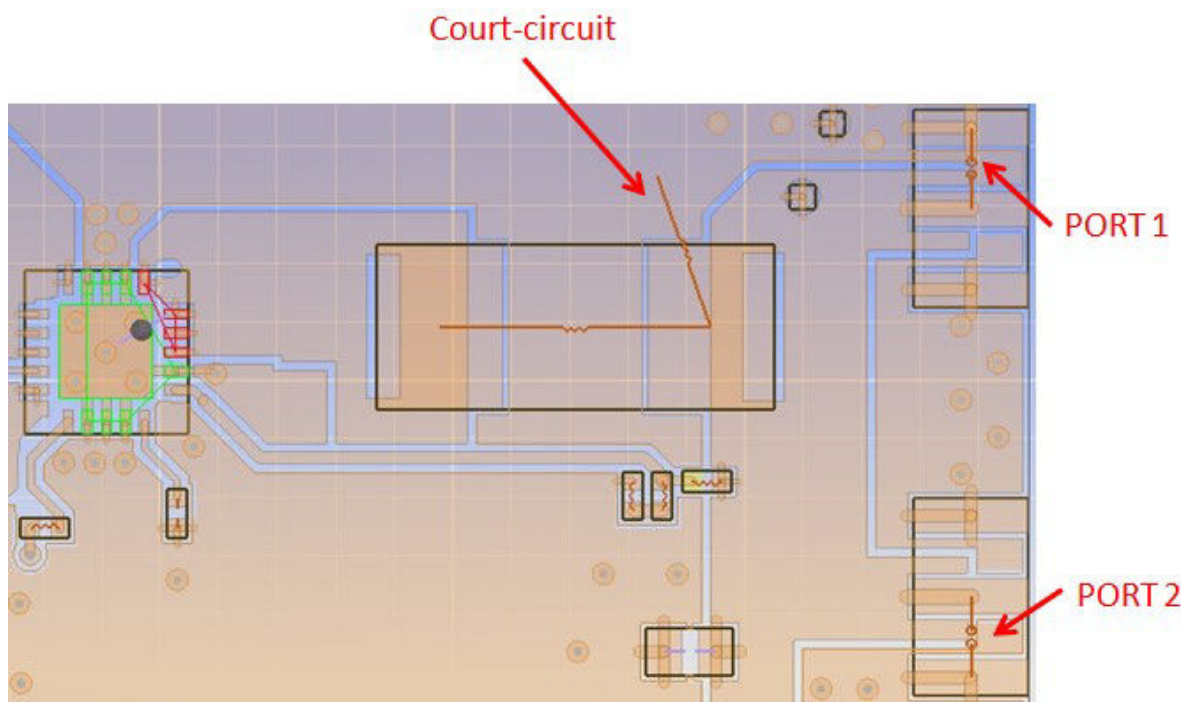


FIGURE 3.33 – Configuration de la simulation effectuée pour l'extraction des éléments du modèle d'impédance de sortie du régulateur linéaire

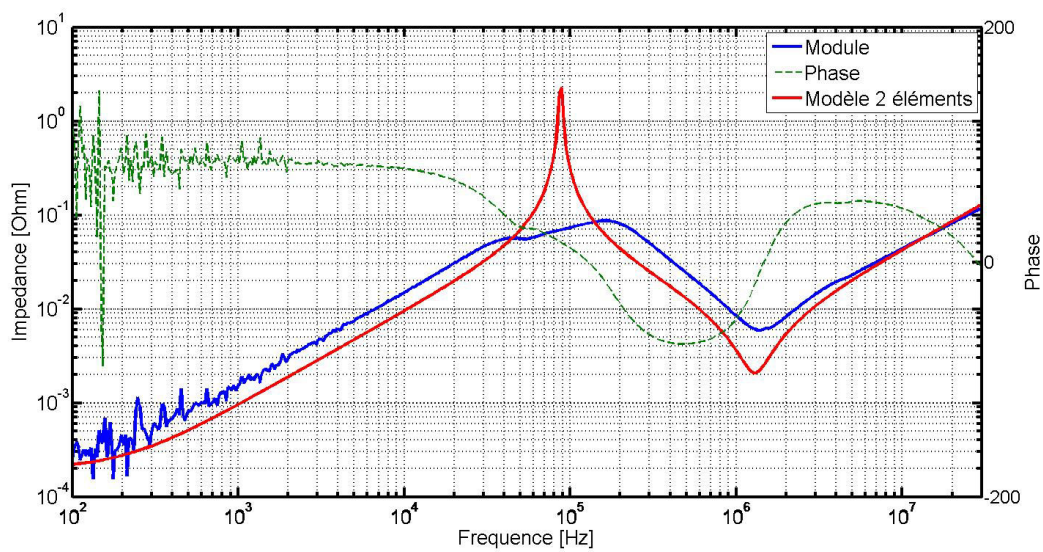


FIGURE 3.34 – Mesure de l'impédance du régulateur linéaire TPS74901 et comparaison au modèle équivalent

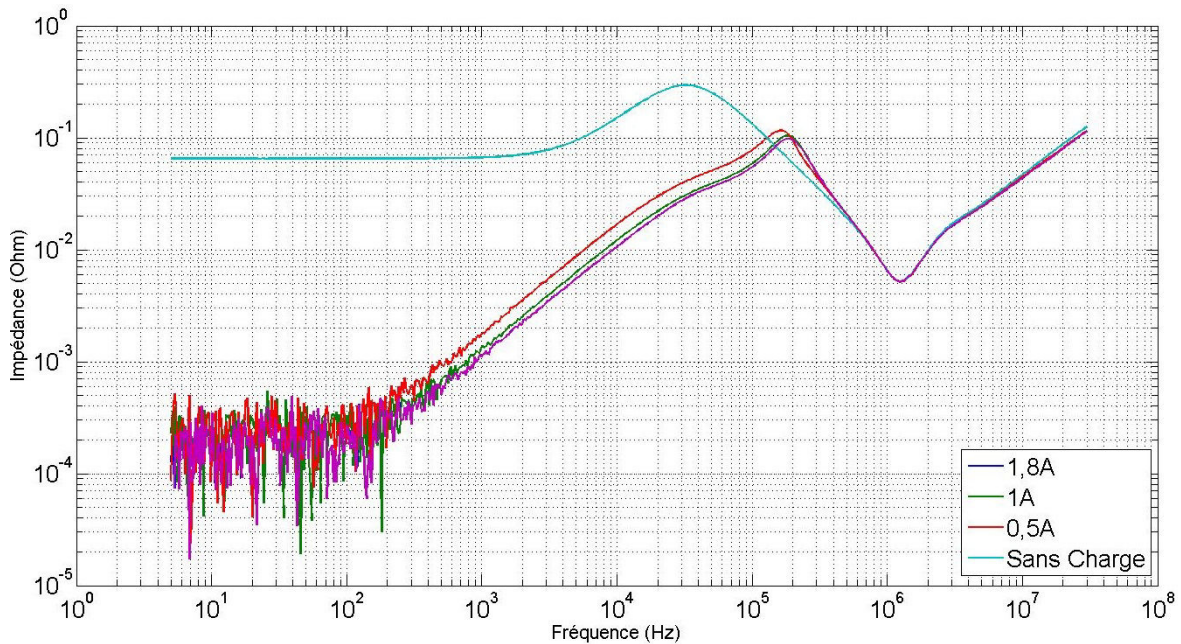


FIGURE 3.35 – Mesure de l'impédance du régulateur linéaire TPS74901 pour différents débits de courant

### 3.3.3 Conclusion partielle

Les différents travaux menés autour de la modélisation et des techniques de mesures des modules régulateurs de tension ont permis de démontrer les deux types de modèles utilisables pour le dimensionnement et l'analyse des circuits de distribution d'énergie d'une carte électronique.

D'une part, les modèles circuits, largement utilisés et distribués par les fabricants qu'ils soient cryptés ou inclus dans un outil de simulation propriétaire permettent d'étudier fidèlement le comportement du composant dans son fonctionnement temporel, y compris d'inclure des éléments parasites et d'autres phénomènes dans la simulation tels que des oscillations dans la boucle de rétroaction ou de tester la robustesse de la régulation en appliquant de grandes variations de courant.

D'autre part les modèles d'éléments localisés à 2 ou 4 éléments ont montré être en mesure de modéliser grossièrement jusqu'à quelques centaines de kHz de l'impédance de sortie des modules régulateurs de tension, en particulier leur comportement inductif en haute fréquence. Ces modèles permettent d'inclure facilement le comportement du module régulateur de tension au reste du réseau de distribution d'énergie dans le domaine fréquentiel. En revanche la modélisation par élément localisé ne permet pas de reproduire le phénomène d'atténuation du gain de la boucle de rétroaction. Ce défaut se traduit par des pics d'anti-résonance à l'interaction entre le module régulateur de tension et les condensateurs de filtrage. L'étude de composants à l'architecture fondamentalement différentes, Bucks simples, Bucks multi-phasés et régulateurs linéaires a montré que ces mêmes modèles sont applicables quelle que soit l'architecture du composant inclus utilisée.

L'inconvénient de ce modèle en revanche est qu'il requiert de disposer soit d'une carte d'évaluation pour mesurer le comportement du composant soit de disposer d'un fichier de CAO décrivant l'implantation du composant sur la carte afin d'en extraire les éléments du modèle. Cette méthode ne permet pas d'après le simple choix du composant et des



renseignements fournis dans la datasheet de créer le modèle nécessaire au dimensionnement du réseau de distribution d'énergie en basse fréquence et donc d'en déduire la nécessité de condensateur de découplage de valeur importante (330  $\mu\text{F}$ , 100  $\mu\text{F}$ ) ou non.

Il serait par ailleurs très intéressant de trouver une approche de modélisation qui permette de mieux prendre en compte l'influence de la rétroaction dans le domaine fréquentiel mais également de pouvoir à l'aide du même modèle de pouvoir de caractériser son comportement en temporel et en fréquentiel au sein d'un même outil.

## 3.4 Le condensateur de découplage

### 3.4.1 Modélisation du condensateur

La plupart des condensateurs de découplage utilisés comme sources locales d'énergie sur le réseau de distribution d'énergie sont des condensateurs multi-couches en céramique. Les valeurs typiquement utilisées se situent entre 100  $\mu\text{F}$  et 1 nF pour un filtrage des oscillations de tension dont la fréquence se situe entre 100 kHz pour les plus gros condensateurs céramique jusqu'à quelques centaines de MHz pour les condensateurs de 1 nF.

#### 3.4.1.1 Modèle RLC

La structure interne des condensateurs de découplage ramène des éléments parasites au niveau du composant qui ne se comporte donc pas comme une capacité idéale. La structure du composant ainsi que les éléments parasites amenés par sa constitution sont présentés dans la figure 3.36. Lors de l'utilisation des condensateurs en simulation pour des cartes électroniques, ces éléments parasites sont regroupés en une résistance série équivalente et une inductance série équivalente. Les condensateurs de découplage peuvent donc être grossièrement modélisés par un circuit RLC équivalent. La réponse fréquentielle du circuit RLC est tracée dans la figure 1.32 du chapitre 1.

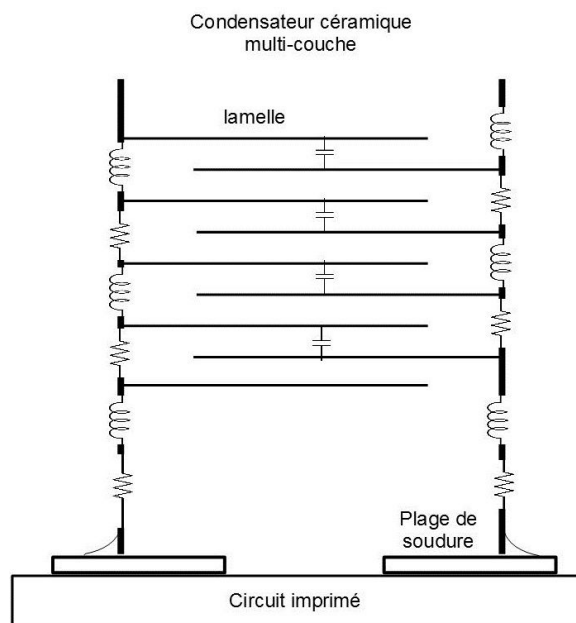


FIGURE 3.36 – Parasites engendrés par la structure d'un condensateur céramique multi-couches

Afin de démontrer la précision de la modélisation du condensateur par un circuit RLC équivalent, l'impédance mesurée d'un condensateur est comparée à l'impédance du circuit RLC série équivalent dans la figure 3.37.

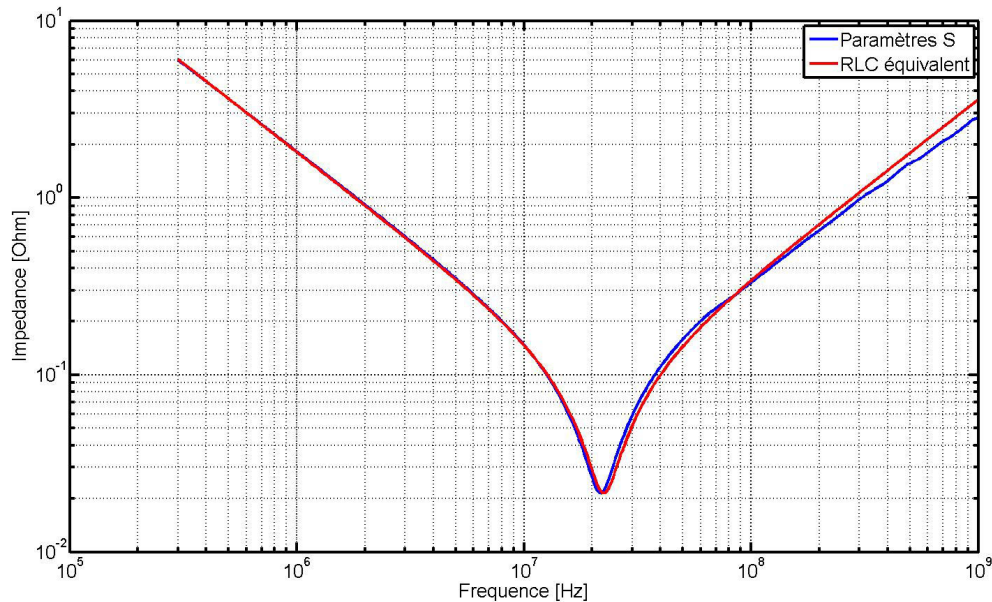


FIGURE 3.37 – Comparaison de la mesure de l'impédance d'un condensateur et son modèle RLC équivalent

Le circuit RLC série modélise de manière satisfaisante le condensateur pour des valeurs de fréquence jusqu'à une décade au-dessus de la fréquence de résonance propre. Le modèle RLC équivalent d'un condensateur C0402C104KRAC du fabricant Kemet donne une bonne modélisation pour  $R= 21,46 \text{ m}\Omega$ ,  $L= 570 \text{ pH}$  et  $C= 90 \text{ nF}$ . Pour des fréquences plus importantes, le modèle RLC ne prend pas en compte la variation de l'inductance série équivalente avec la fréquence. Le modèle RLC donne une bonne représentation des condensateurs de découplage. La difficulté réside cependant dans la connaissance de la valeur des éléments du modèle.

### 3.4.1.2 Modèle en ligne de transmission

La fréquence de fonctionnement des cartes électroniques est, à l'heure actuelle, généralement bien supérieure à l'ordre de grandeur de la fréquence de résonance propre des condensateurs. Il est donc nécessaire de modéliser le condensateur sur une plage de fréquence plus étendue afin de prendre en compte en particulier des effets de résonances propres d'ordre supérieur [SMITH et HOCKANSON \[2001\]](#). Les parasites d'interconnexion du condensateur schématisés dans la figure 3.36 peuvent être arrangés de telle manière que le modèle équivalent soit proche de celui d'une ligne de transmission. La représentation du modèle de ligne de transmission est donnée dans la figure 3.38. Afin de prendre en compte la variation de l'inductance et de la résistance série équivalente en fonction de la fréquence, des modèles de condensateurs à ligne de transmission existent dans la littérature [LI et collab. \[2001\]](#) [CHEN et collab. \[2000\]](#) ainsi que des méthodes pour les caractériser par la mesure [SMITH et collab. \[2002\]](#). Ces modèles décrivant des lignes de

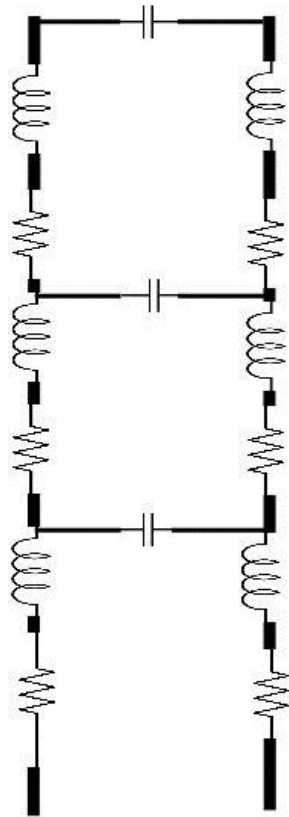


FIGURE 3.38 – Schéma du modèle de ligne de transmission du condensateur de découplage

distribution en modèle SPICE ou en éléments localisés sont adéquats pour des simulations de type circuit. Cependant, ces modèles ne sont pas toujours utilisables facilement dans les solveurs électromagnétiques car ceux-ci n'instancient que le modèle RLC par défaut. De plus ce modèle nécessite également une bonne connaissance de la structure interne du condensateur pour en calculer les différents éléments si les modèles ne sont pas fournis par les fabricants.

### 3.4.1.3 Modèle de paramètres S

Le modèle le plus précis pour décrire le comportement des condensateurs de découplage est sa caractérisation en paramètres S. Les paramètres S du condensateur peuvent être aisément mesurés et décrivent de manière précise le comportement du condensateur dans le domaine fréquentiel. Ce modèle est généralement compatible avec les solveurs électromagnétiques puisque ceux-ci utilisent le même format pour modéliser le comportement électrique de l'objet étudié (connecteurs, circuit imprimé). Les fichiers de paramètres S sont généralement enregistrés au format Touchstone, un standard international supporté par la communauté en charge de l'évolution des modèles IBIS [ibi \[2009\]](#). De plus ce format unique est utilisé tant pour les résultats de simulation que pour les résultats issus de la mesure. La description en paramètres S permet de modéliser les condensateurs de quelques kHz à plusieurs GHz au sein d'un même fichier. L'impédance des condensateurs en fonction de la fréquence peut être calculée à partir du fichier de paramètres S d'après la formule 3.11.

$$Z_{cap} = \frac{Z_0}{2} \cdot \frac{S_{12}}{1 - S_{12}} \quad (3.11)$$

Avec  $Z_0$  l'impédance des ports de mesure de l'appareil et  $S_{12}$ , le coefficient de trans-



mission entre le port 1 et le port 2. Cette formule de conversion n'est valable que dans le cas de la mesure à deux ports en shunt d'un condensateur. Les fichiers de paramètres S issus de mesures effectuées par les fabricants sont parfois disponibles dans les ressources mises à disposition des concepteurs électroniques. Dans le cas où ces modèles ne seraient pas disponibles, il faut être en mesure de les obtenir par caractérisation du composant.

### 3.4.2 Mesure du condensateur

La mesure d'impédance d'un condensateur peut être effectuée soit à l'aide d'un impédancemètre soit à l'aide d'un VNA. Le modèle du condensateur que l'on cherche à obtenir au travers des paramètres S correspond en fait à son impédance propre. Il serait donc possible de mesurer cette impédance propre directement à l'aide du VNA grâce à une mesure en réflexion sur un port. Cependant, l'impédance que présente un condensateur en particulier pour les fréquences proches de sa fréquence de résonance propre est très faible. Cette impédance est de quelques centaines de  $m\Omega$  pour les condensateurs céramiques de faibles valeurs inférieures à la centaine de nanofarads à quelques  $m\Omega$  pour des condensateurs céramiques de quelques microfarads. Le VNA est un instrument principalement utilisé pour caractériser des composants ou des systèmes radio ou hyperfréquence dont l'impédance de ligne est adaptée à  $50 \Omega$ . Ses ports de mesure présentent donc également une impédance de  $50 \Omega$  sur toute la bande de fréquence de mesure de l'appareil. Pour une mesure en réflexion, l'onde électromagnétique réfléchi par le condensateur, de très faible impédance, a une très forte amplitude comme le présente l'équation 3.12 :

$$V^- = \Gamma \cdot V^+ \quad (3.12)$$

avec  $\Gamma$  le coefficient de réflexion calculé de la manière suivante :

$$\Gamma = \frac{Z_L - Z_S}{Z_L + Z_S} \quad (3.13)$$

Avec  $Z_L$  l'impédance de la charge mesurée donc ici le condensateur et  $Z_S$  l'impédance de la source, soit celle du port de l'appareil. Dans le cas de la mesure d'une impédance très faible, le coefficient de réflexion  $\Gamma$  est donc très proche de 1. Ce coefficient  $\Gamma$  correspond au paramètre  $S_{11}$  de la mesure en paramètre S. Le calcul de l'impédance propre  $Z_{11}$  à partir de la mesure de  $S_{11}$  est donné dans 3.14 :

$$Z_{11} = Z_L \frac{1 + S_{11}}{1 - S_{11}} \quad (3.14)$$

Dans le calcul de l'impédance, la différence  $1 - S_{11}$  est au dénominateur. Une petite variation du paramètre  $S_{11}$  en mesure provoque donc une forte variation sur l'impédance calculée. La mesure en réflexion d'une impédance très faible donne donc une erreur très grande. L'erreur engendrée dans ces conditions de mesure est donc du même ordre de grandeur que l'impédance du composant mesuré, ce qui n'est pas acceptable. De plus, dans la configuration de mesure en réflexion, les discontinuités du DST avec l'appareil de mesure sont en série. A haute fréquence, l'impédance présentée par ces discontinuités est prépondérante par rapport à l'impédance du composant que l'on souhaite mesurer. Des estimations précises de l'erreur engendrée par cette configuration de mesure sont données dans NOVAK et collab. [1999]. Pour s'affranchir de ces inconvénients apportés par la mesure en réflexion, une mesure sur deux ports est utilisée. Cette technique est comparable à la technique de mesure à 4 fils pour des résistances très faibles en statique. L'onde incidente envoyée par le premier port sur le DST est mesurée par le second port,

connecté au même point que le premier. La faible distance entre les deux ports est primordiale puisqu'il s'agit en fait de mesurer au second port ce serait mesurer au premier. L'une des plages du condensateur est reliée au potentiel mesuré par l'appareil tandis que l'autre côté est relié à la masse, également connectée à la référence des ports de mesure. Cette configuration de mesure est dite « en shunt ». Cette technique est précisément décrite dans [NOVAK et collab. \[2005\]](#). La figure 3.39 présente le schéma de mesure d'un condensateur en shunt.

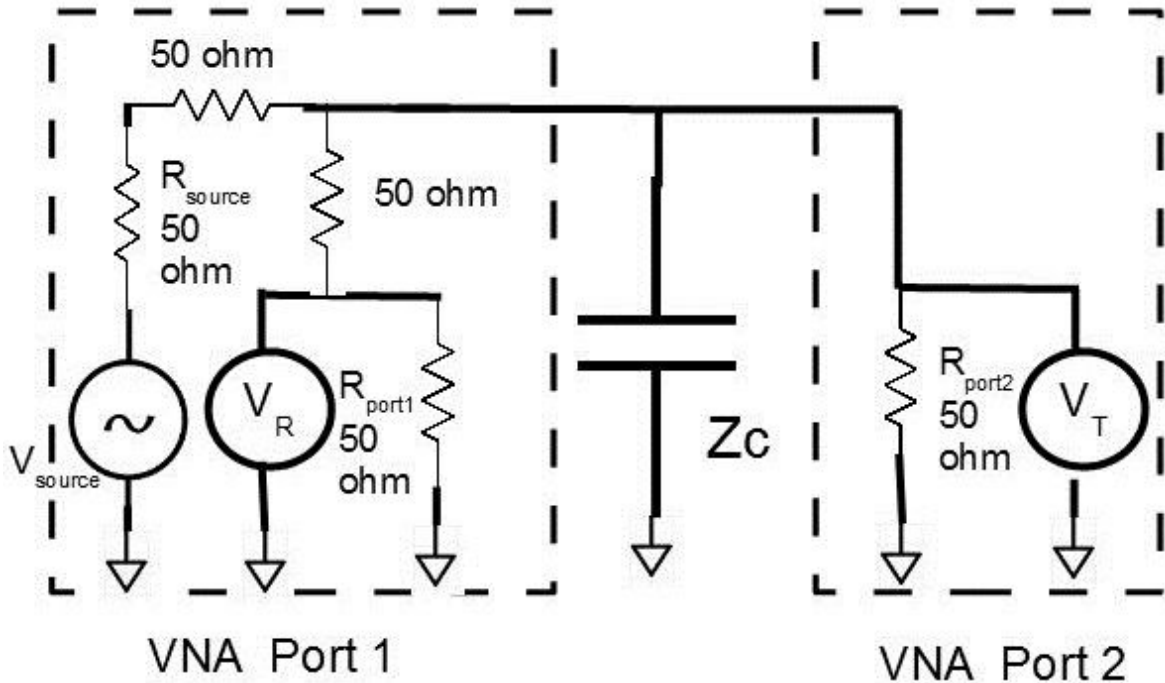


FIGURE 3.39 – Schéma du montage de mesure d'un condensateur en shunt

Dans le but de caractériser les condensateurs de découplage, un support de caractérisation a été conçu et fabriqué. Ce dispositif est un circuit imprimé de 15,92 X 120 mm, 1,6 mm d'épaisseur, 4 couches en matériau FR-4. La connexion de l'appareil au support s'effectue grâce à des connecteurs SMA en tranche, adaptés à une impédance de 50  $\Omega$  sur une bande de 0 à 18 GHz (données fabricant). Une représentation du connecteur est donnée en figure 3.40 Les pistes d'accès des connecteurs vers les plages de soudure des composants sont également dimensionnées pour obtenir une impédance de ligne à 50  $\Omega$ . Le dispositif complet créé pour la mesure des condensateurs est présenté dans la figure 3.41.

Ce circuit imprimé permet de mesurer précisément l'impédance des condensateurs de découplage de boîtiers 0805 ; 0603 ; 0402 et 0201. Il se décompose en deux parties distinctes. L'appareil est en effet conçu pour mesurer précisément les paramètres S en sortie de ses ports ; c'est ce qu'on appelle son plan de mesure. Tout élément connecté à ces ports, donc au-delà du plan de mesure, introduit alors des effets parasites sur le système à mesurer. Afin de déplacer ce plan de mesure et donc d'annuler les effets de la connectique (câbles, connecteurs, pistes) qui relie le condensateur à l'appareil, mais également pour compenser les erreurs systématiques de mesure, l'instrument doit être calibré. Ce phénomène de plan de mesure est décrit dans la figure 3.42. Grâce à la partie de droite du circuit imprimé présenté dans la figure 3.41, le plan de mesure de l'appareil est ramené aux plages des condensateurs et non à l'extrémité des câbles comme le permettrait la calibration à l'aide d'un kit de calibration électronique. Les dimensions des

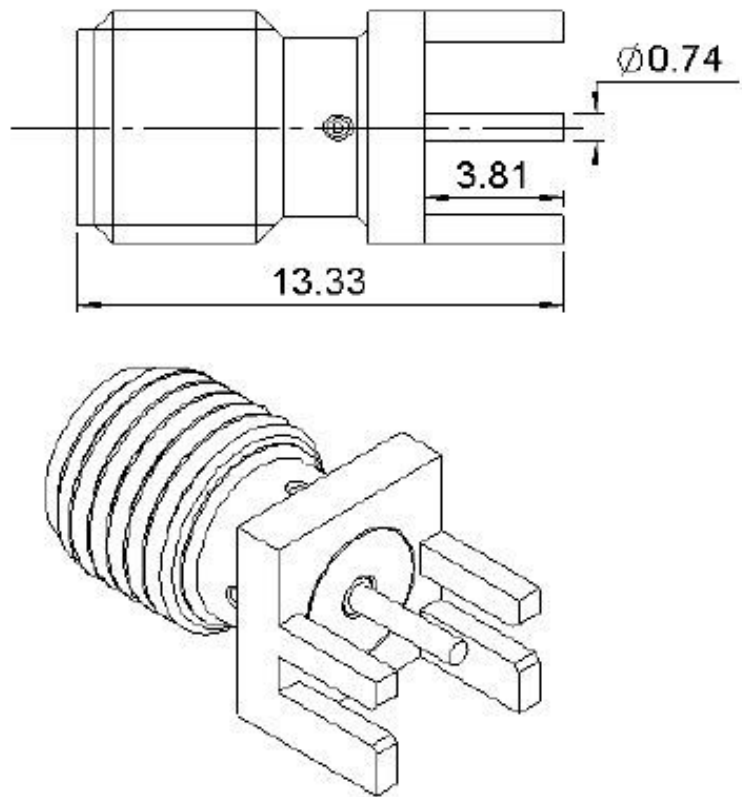


FIGURE 3.40 – Représentation et cotes du connecteur SMA utilisé pour la mesure des condensateurs

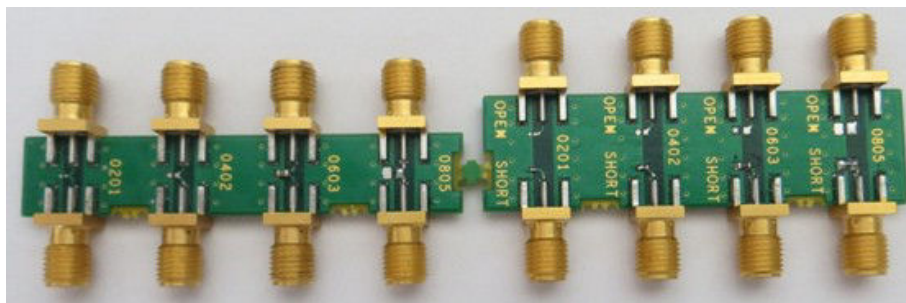


FIGURE 3.41 – Dispositif de caractérisation conçu pour la mesure de l'impédance des condensateurs de découplage

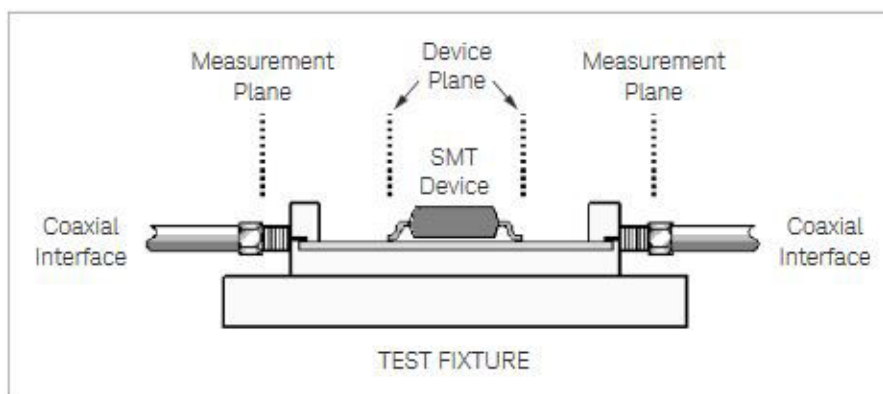


FIGURE 3.42 – [Illustration de l'utilité de la calibration pour déplacer le plan de mesure de l'appareil aux broches du composant à caractériser [key \[2012\]](#)]

plages et la longueur des pistes variant pour chaque taille de composant, le kit de calibration dispose d'une partie dédiée à chaque taille de condensateur à mesurer. Le motif utilisé pour la calibration est illustré dans la figure 3.43. L'appareil est calibré selon la

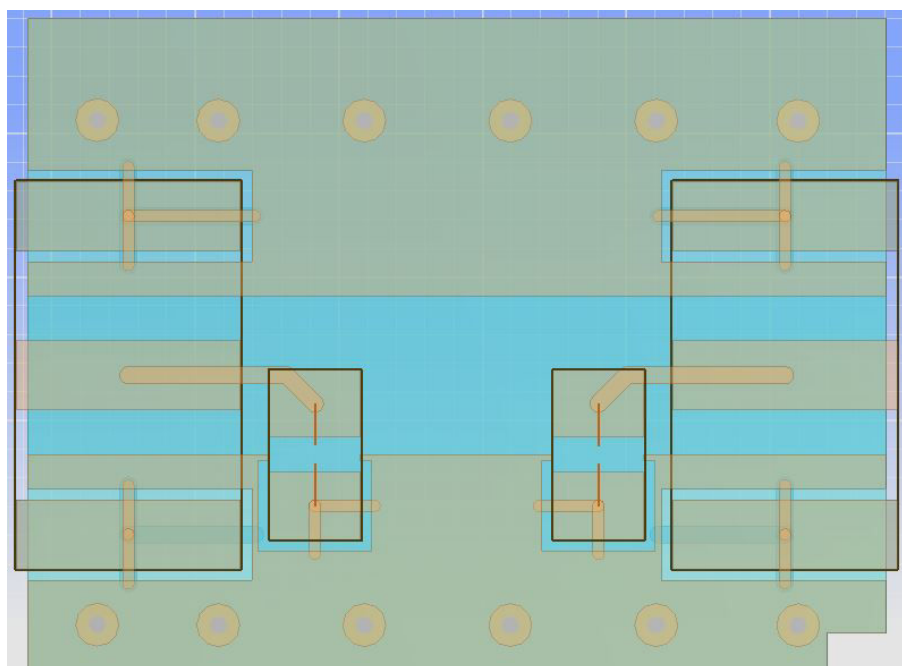


FIGURE 3.43 – Détail du motif de calibration de l'analyseur de réseau vectoriel pour un condensateur de boîtier 0805

méthode [Short-Open-Load-Thru, court-circuit, circuit-ouvert, circuit adapté et en transmission en français \(SOLT\)](#). Le côté gauche du module de calibration reste toujours en circuit ouvert afin de procéder à la calibration en circuit ouvert tandis que le côté droit est tantôt court-circuité (pour la calibration en court-circuit), tantôt fermé sur une charge de  $50 \Omega$  (pour la calibration adaptée). Enfin, la calibration en transmission se réalise sur le module de caractérisation en l'absence de condensateur. Le dispositif de mesure est exposé en détail dans la figure 3.44 Une fois l'appareil calibré, il est alors possible d'opérer à la caractérisation du condensateur.

Le condensateur est soudé sur le module. La plage supérieure du composant est reliée à l'âme des connecteurs tandis que la plage inférieure est reliée au potentiel de masse,

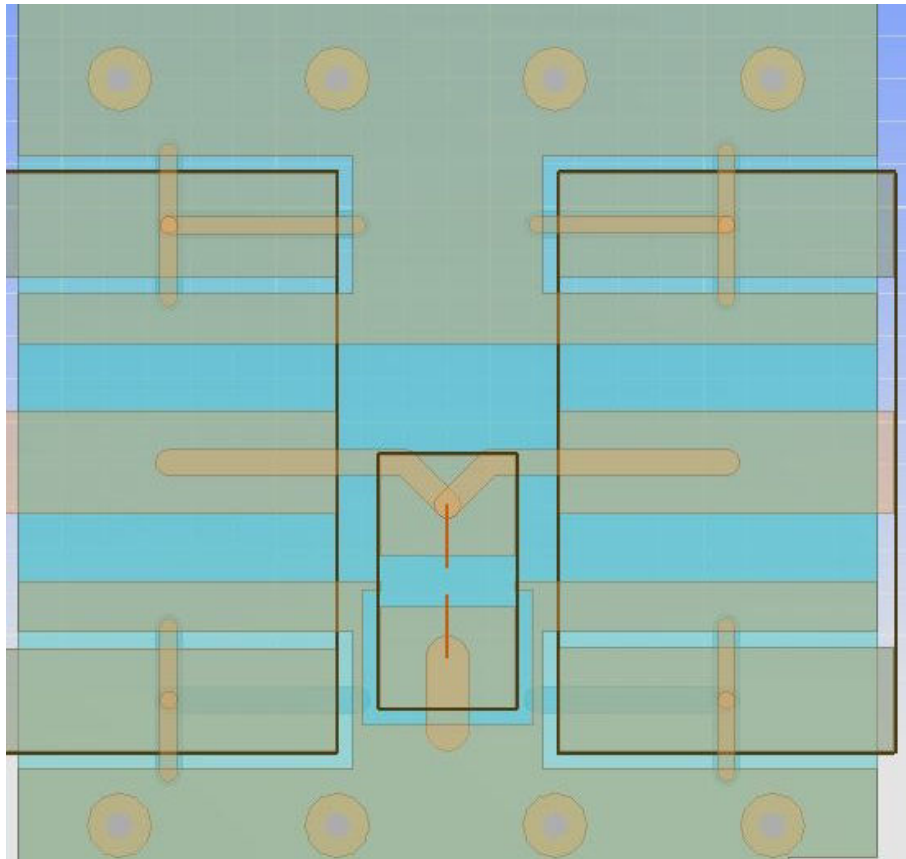


FIGURE 3.44 – Détail du motif de mesure pour un condensateur de boîtier 0805

commun au condensateur et aux connecteurs. L'intégrité du potentiel de référence est assurée par la connexion à un plan plein disponible dans la seconde couche du circuit imprimé. Le détail de la composition du dispositif de mesure est présenté en figure 3.45. La mesure est effectuée en paramètres S sur deux ports. La réponse du condensateur est mesurée sur une plage de fréquence allant de 300 kHz à 1 GHz. La plage inférieure est fixée par la limite de fonctionnement de l'appareil tandis que la fréquence supérieure est définie à 1 GHz de telle sorte que l'effet parasite induit par l'inductance du kit de caractérisation soit limité. Afin d'avoir la mesure la plus précise possible, la fréquence intermédiaire de l'appareil est réglée sur 10 Hz. Le résultat de la mesure est conservé sous forme d'un fichier au format Touchstone à deux ports (s2p). Pour observer et quantifier la correction apportée par la calibration du VNA grâce au kit de calibration conçu, le résultat de mesure obtenu est comparé dans la figure 3.46 avec celui obtenu lors d'une calibration automatique de l'appareil.

La calibration à l'aide du kit de calibration permet donc bien d'annuler l'effet de l'inductance parasite introduite par le kit de caractérisation. L'impact de cette annulation s'observe surtout pour les fréquences supérieures à 800MHz, fréquences pour lesquelles l'impédance de l'inductance montée devient importante. Afin de quantifier la quantité d'impédance parasite introduit par le kit de caractérisation, une première mesure est effectuée sur le kit en l'absence de condensateur. Cette mesure permet de connaître la valeur de la capacité parasite. Une seconde mesure est effectuée en court-circuitant les plages du condensateur afin d'obtenir la valeur des parasites résistifs et inductifs. Le résultat de ces deux mesures est représenté dans la figure 3.47. La mesure en circuit ouvert peut être modélisée par la réponse fréquentielle d'une capacité idéale de 8 pF. La mesure en court-circuit se superpose à la réponse en éléments localisés d'un circuit RL série pour



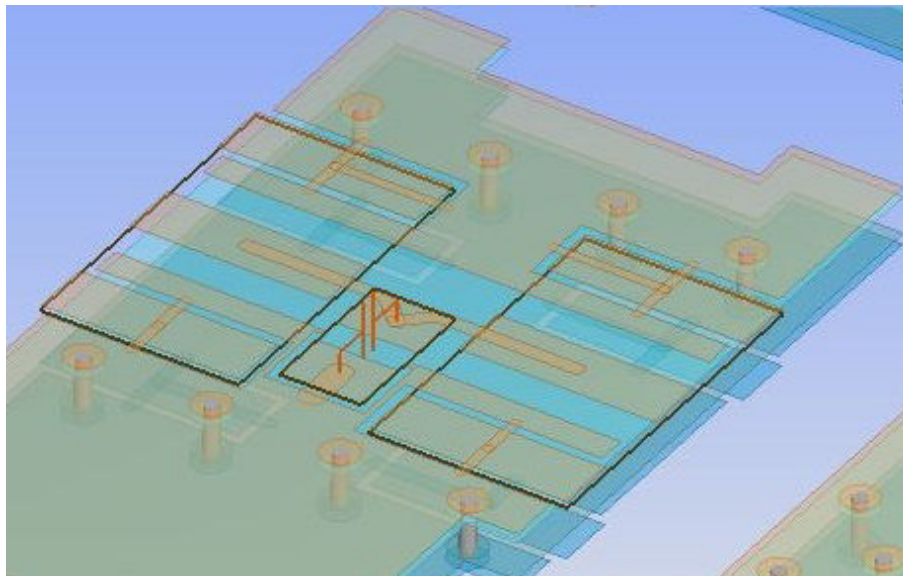


FIGURE 3.45 – Représentation en 3 dimensions du motif de mesure pour un condensateur de boîtier 0805

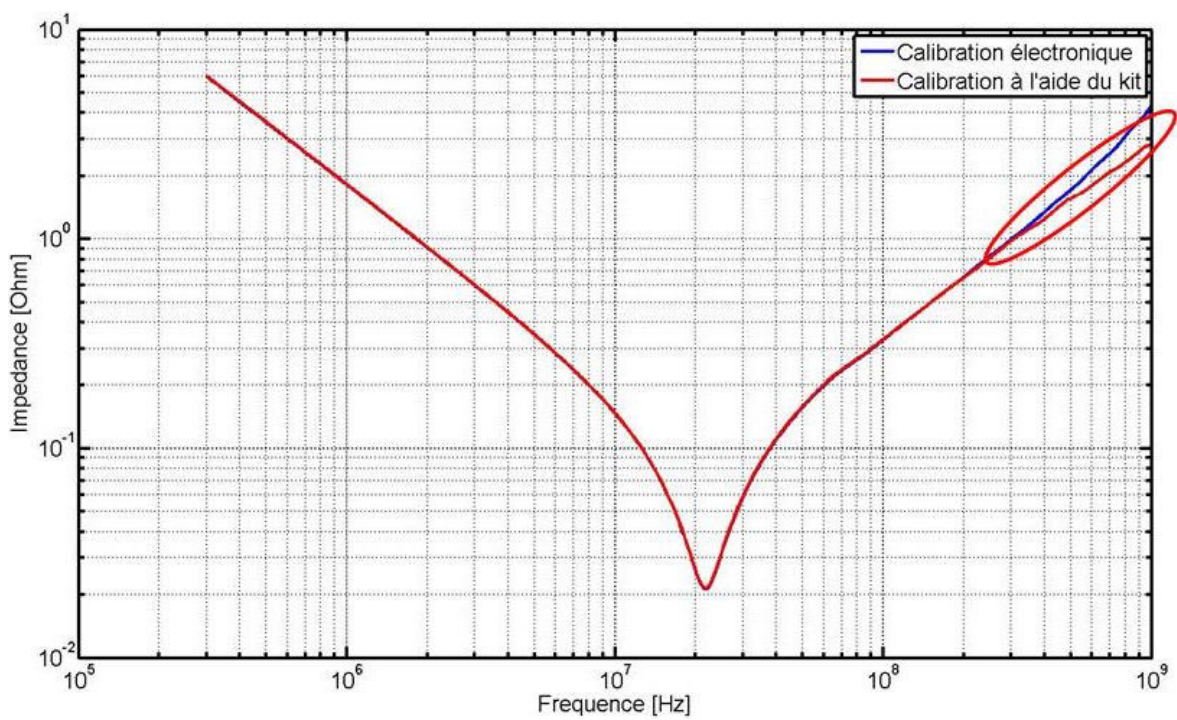


FIGURE 3.46 – Influence de la calibration sur les résultats de mesure du condensateur

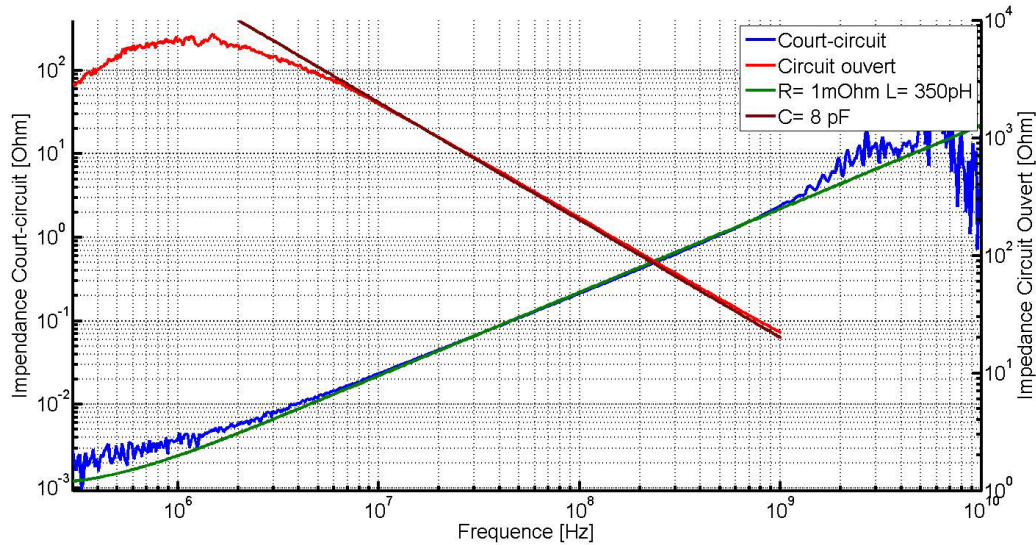


FIGURE 3.47 – Mesure des éléments parasites du kit de caractérisation et quantification de la valeur de ces éléments

une résistance parasite de 1 m $\Omega$  et une inductance parasite de 350 pH. Dans le cas où il n'est pas possible d'annuler les effets introduits par le kit de caractérisation, un procédé de de-embedding présenté dans [key \[2012\]](#) permet de retirer l'effet de la plaquette de caractérisation de la mesure. Il est possible de reconstruire un montage sous un logiciel de simulation électromagnétique en introduisant les éléments localisés parasites mesurés afin de retrouver le circuit RLC ou le modèle en ligne de transmission équivalent.

### 3.4.3 Validité des résultats de mesure et comparaison avec des outils de modélisation des condensateurs de découplage

Afin de s'assurer de la validité des résultats de mesure, ceux-ci sont comparés à des modèles de condensateurs de paramètres S fournis par le fabricant. Le condensateur utilisé pour cette comparaison est un condensateur de référence C0402C104K4RAC du fabricant Kemet. La figure 3.48 montre l'impédance du modèle de condensateur téléchargé du site du fabricant et la mesure effectuée avec la configuration précisée dans la section précédente. Cette figure montre que la résistance série équivalente et l'inductance série équivalente obtenues en mesure sont plus faibles que celles qu'indique le modèle du fabricant. Dans l'hypothèse selon laquelle le fabricant dispose de moyens de mesure plus performants, ces résultats sont incohérents puisque la mesure obtenue en laboratoire devrait introduire une résistance et une inductance équivalente série supérieure à celle du fabricant. Afin de s'assurer que le condensateur mesuré n'est pas un composant dont la valeur des éléments parasites est particulièrement élevée, la mesure est effectuée sur trois condensateurs supplémentaires. La figure 3.49 montre les résultats de mesure de 4 condensateurs de la même référence. Bien que le comportement des condensateurs ne soit pas exactement similaire, la dispersion des différents paramètres reste assez faible : de 21 à 28 m $\Omega$  pour la résistance équivalente série et de 92 à 96 nF à 1 MHz. Enfin, afin de s'assurer que le condensateur respecte bien les tolérances indiquées par le fabricant, le fichier de paramètre S du fabricant est comparé au modèle équivalent RLC du condensateur mesuré pour lequel la valeur de C varie de -10% à +10% de la valeur déduite de la mesure du composant. Cette comparaison est effectuée dans la figure 3.50 La figure

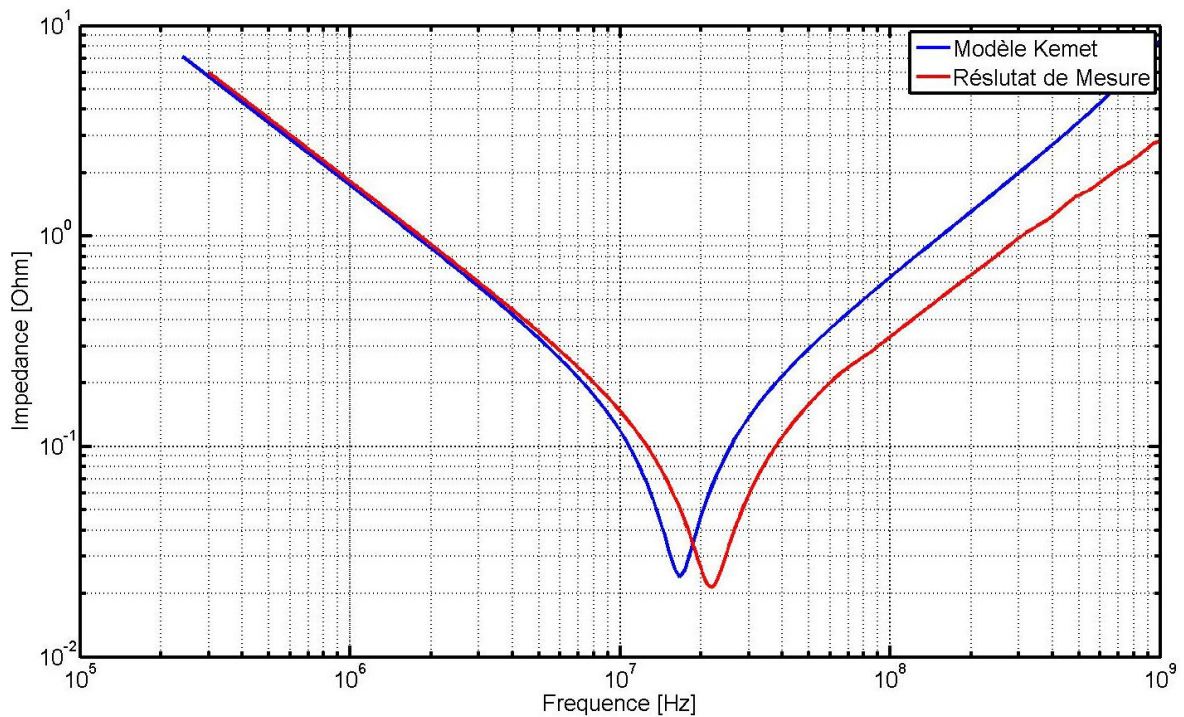


FIGURE 3.48 – Comparaison entre le modèle fourni par le fabricant et le résultat obtenu en mesure

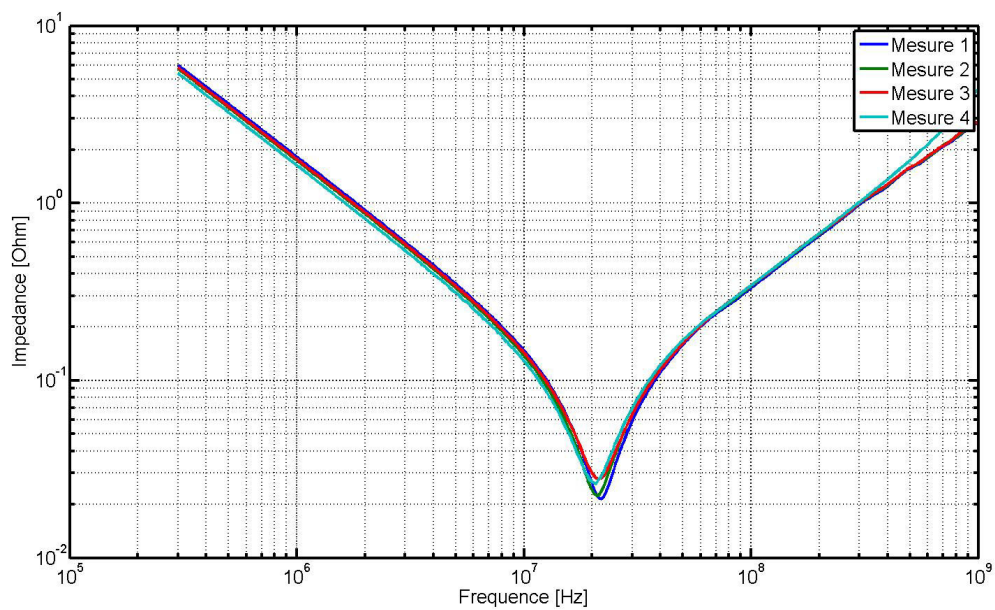


FIGURE 3.49 – Résultat de mesure de 3 composants de la même référence



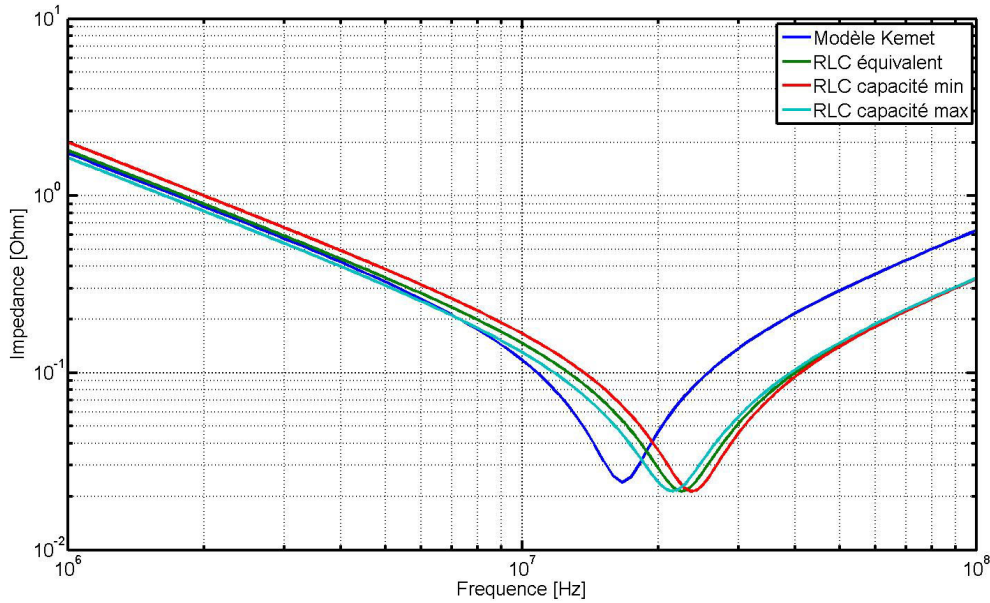


FIGURE 3.50 – Comparaison du modèle fourni par le fabricant à son modèle RLC équivalent dont la valeur de capacité varie de sa valeur maximale et sa valeur minimale par rapport aux tolérances indiquées par le fabricant

montre que la valeur de capacité du modèle fourni par le fabricant est bien à l'intérieur de la fourchette de tolérance sur la capacité du composant, mais correspondant à la limite de capacité la plus faible. Le diélectrique X5R a une forte dépendance à la tension de polarisation. Cependant les condensateurs sont étudiés et utilisés pour le découplage de faible potentiel d'alimentation (1,0 V ou 3,3 V), ce qui change assez peu le comportement du diélectrique. En conclusion, le modèle de condensateur fourni par le constructeur n'est pas cohérent avec les résultats de mesure obtenus.

Dans le cadre de ces travaux, une solution commerciale de modélisation de composant a pu être évaluée grâce à un prêt de licence. La solution évaluée s'appelle Modelithics. Il s'agit d'une société dont l'activité consiste à vendre des modèles de composants des principaux fabricants pour la conception de carte analogique. La solution propose des modèles pour différents types de composants : condensateurs, inductances, ferrites et même des composants actifs. Ces modèles sont directement exploitables sous la suite logicielle ADS de Keysight et la suite HFSS de Ansys. L'avantage de cette solution permet de prendre en compte l'effet du routage des composants (tailles des plages d'accueil) mais également du substrat utilisé (FR-4, Roger, Alumina...). L'étude portera dans notre cas sur l'évaluation de la bibliothèque de modèles des condensateurs Kemet. Sous ADS, un montage introduisant le modèle du condensateur étudié auparavant et associé aux caractéristiques du substrat du kit de caractérisation est évalué et le résultat comparé à ceux obtenus en mesure et au modèle du fabricant dans la figure 3.51. La réponse fréquentielle du modèle de la solution Modelithics dont le modèle paramétrique est issu d'une campagne de mesure chez Modelithics est bien plus proche des résultats obtenus en mesure que du modèle donné par le fabricant.

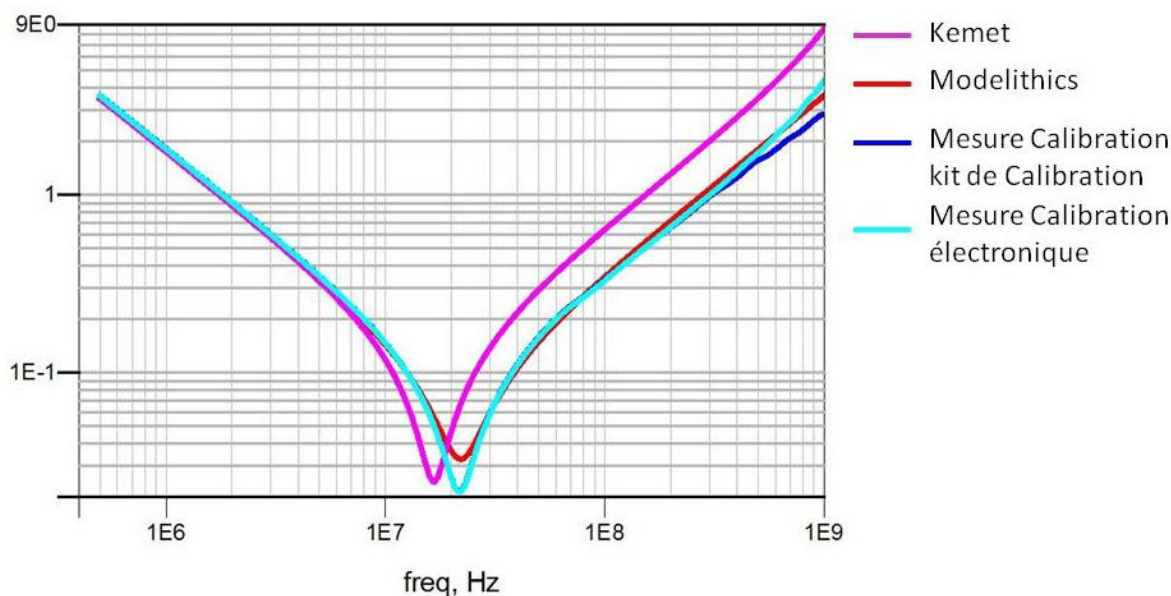


FIGURE 3.51 – Comparaison entre le modèle de la solution Modelithics et le résultat obtenu en mesure

### 3.4.4 Conclusion partielle

Le modèle le plus fidèle pour le condensateur de découplage est sa description en paramètres S puisque ce modèle permet de prendre en compte la variation des éléments parasites en fonction de la fréquence. D'autre part, c'est un modèle compatible avec les outils de simulation. Afin d'obtenir précisément le modèle des condensateurs de découplage, un kit de caractérisation ainsi que le kit de calibration permettant d'annuler les effets des éléments parasites du kit de caractérisation ont été développés. Les résultats obtenus en mesure ont été comparés au modèle fourni par le fabricant de composants, avec une différence significative en termes de valeur de capacité. Ces résultats ont également été comparés au modèle fourni par une société dont l'activité principale est la modélisation de composants d'après la mesure. Des résultats plus proches ont été obtenus, mais en tenant compte des caractéristiques de la carte de caractérisation. La difficulté réside donc dans l'utilisation a priori des données constructeur pour définir les paramètres des modèles de condensateur.

## 3.5 Les plans d'alimentation

Le support du courant depuis le composant d'alimentation jusqu'aux composants à alimenter dans la grande majorité des cartes modernes est une paire de plans dits plans d'alimentation. Les plans sont caractérisés par une large étendue de cuivre dans le circuit imprimé dédié à un potentiel d'alimentation. Les plans d'alimentation forment une paire puisque le premier plan est connecté aux broches de sortie du composant d'alimentation et est donc au même potentiel tandis qu'un second plan dit plan de masse ou de référence est le support des courants de retour. Il est important de préciser que le plan de référence relié au potentiel de référence est généralement le support commun des courants de retour de tous les potentiels d'alimentation de la carte afin de réduire les émissions électromagnétiques de celle-ci et d'améliorer la transmission du signal [LIAW et MERKELO \[1996\]](#) [MIN et collab. \[2012\]](#). L'utilisation de plans pour l'interconnexion entre le com-



posant d'alimentation et les différents composants à alimenter permet à d'importante quantité de courant de circuler en limitant la chute de tension à cause des pertes résistives du cuivre. Dans le but de respecter les contraintes d'alimentation des composants en se basant sur l'impédance cible, l'impédance des plans d'alimentation doit également être calculée.

### 3.5.1 Modélisation des plans d'alimentation

Pour des formes simples de plans d'alimentation, des formules analytiques permettant d'effectuer très rapidement le calcul de leur impédance en fonction de la fréquence peuvent être trouvées dans la littérature [CHEN et collab. \[2010\]](#), [LIU et collab. \[2010\]](#).

Cependant, les contraintes de réduction de la taille des circuits imprimés et l'intégration de nombreuses fonctions au sein d'un même composant amènent à la cohabitation de nombreux potentiels d'alimentation dans un espace très réduit. La figure 3.52 montre la cohabitation de 5 plans d'alimentation sous le FPGA du véhicule de test soit sur une surface de 5,3 cm<sup>2</sup>. Afin de répondre à ces contraintes les plans prennent des formes

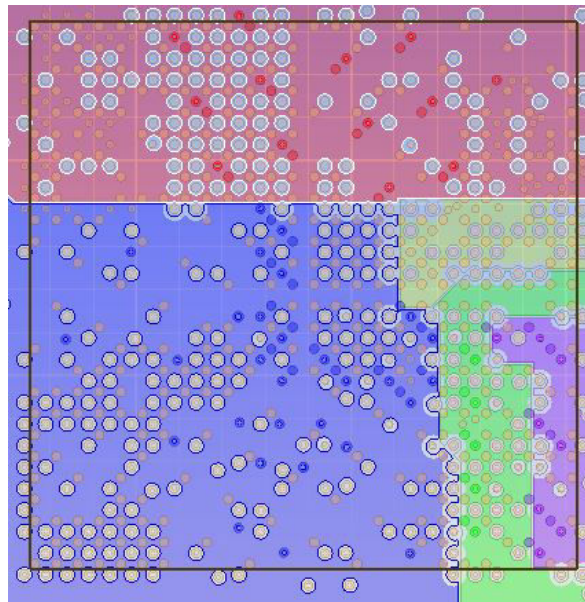


FIGURE 3.52 – Illustration de la cohabitation de 5 plans sous un composant BGA

complexes, s'étendent parfois sur plusieurs couches et sont reliés entre eux par des vias formant des îlots. Un exemple d'îlot est représenté dans la figure 3.53. La forme des plans est, de plus, complexifiée par le passage de vias traversants réduisant la surface de cuivre.

Pour ces formes complexes de plan, il est impératif d'utiliser des méthodes de calcul, qui à partir du fichier de CAO segmentent le plan en éléments géométriques simples (rectangle, triangle rectangle) qui permettent d'appliquer les formules de calcul analytique à l'échelle de chaque élément et de reconstituer en assemblant la somme des solutions le comportement du plan complet. Afin d'accélérer encore le calcul de l'impédance du plan, chaque élément est modélisé par des éléments localisés. La figure 1.45 montre la segmentation d'un plan et sa modélisation en éléments localisés. Cette modélisation est décrite plus en détail dans [PAK et collab. \[2007\]](#) and [SWAMINATHAN et ENGIN \[2007\]](#). Des résultats de simulation sont comparés à des résultats de mesure sur le plan d'alimentation d'un véhicule de test dans [AMÉDÉO \[2010\]](#), montrant un comportement fidèle du plan jusqu'à quelques centaines de Mhz.

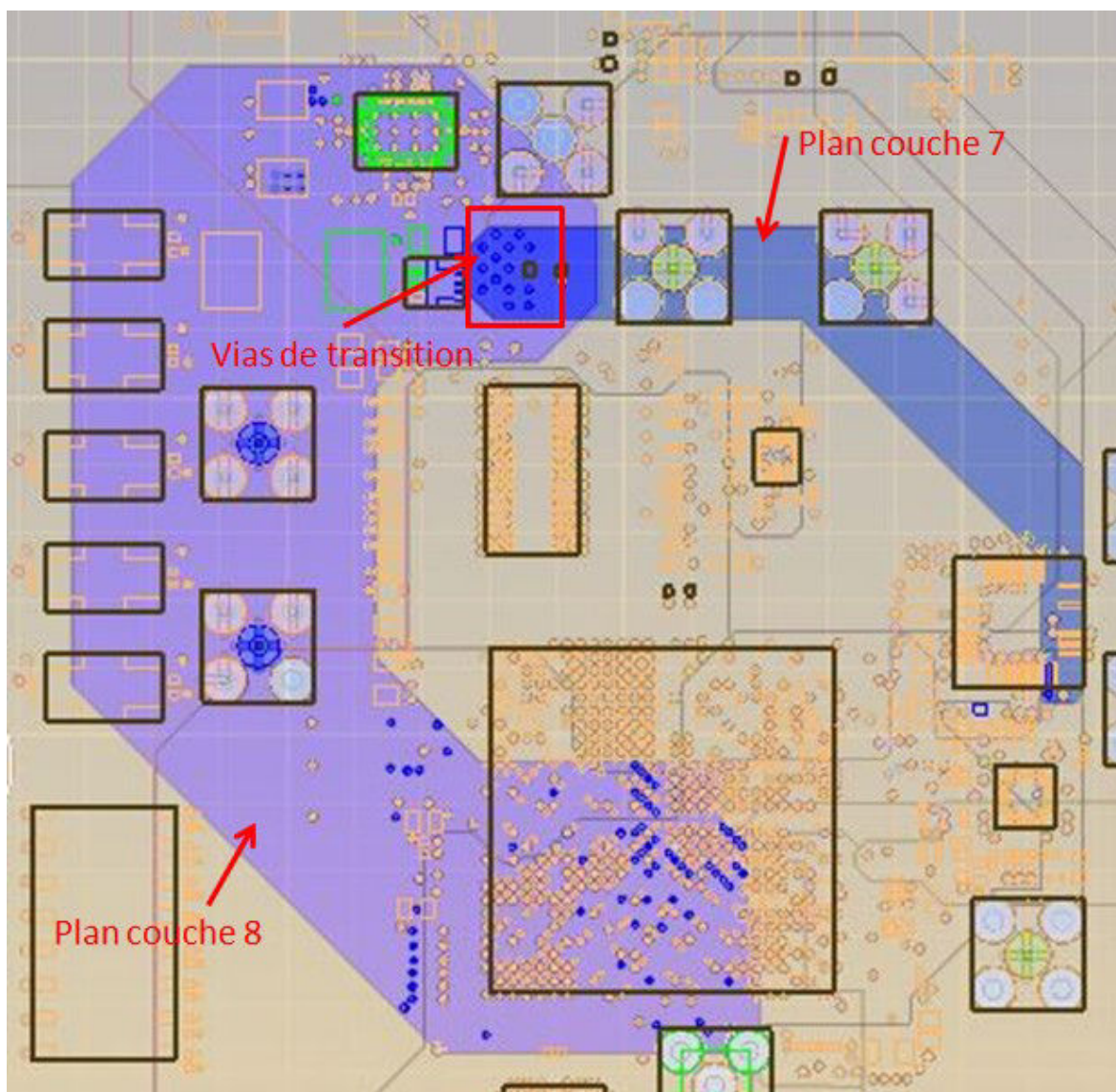


FIGURE 3.53 – Exemple d'îlot formé par un plan d'alimentation

Dans le cas de plans aux formes très complexes, traversés par de nombreux vias et présentant un ou plusieurs îlots, les méthodes en éléments localisés ne sont pas assez précises. Dans ce cas, la simulation électromagnétique est utilisée. Il existe plusieurs méthodes de résolution pour la simulation électromagnétique. La méthode *Finite Element Method*, *méthode des éléments finis en français (FEM)* et la méthode *Finite Difference time domain*, *différence finie dans le domaine temporel en français (FDTD)* sont les deux approches les plus répandues pour la simulation des circuits imprimés. A partir des données mécaniques de la carte, épaisseur des couches et matériaux, le circuit imprimé est maillé par des solides élémentaires (tétraèdres) et les équations de Maxwell sous forme de dérivée régissant les lois électromagnétiques sont résolues de proche en proche dans le domaine temporel dans le cas de la méthode *FDTD* ou dans le domaine fréquentiel pour la *FEM*. Un troisième type de solveur, utilisant la *Method of Moment*, *méthode des moments en français (MoM)*, permet de résoudre les équations de Maxwell sous leur forme intégrale dans le domaine fréquentiel. Dans le cas particulier de la simulation électromagnétique de circuit imprimé, sa structure, un empilement de différentes couches, permet de réaliser une simplification sur l'épaisseur des couches, de petite dimension par rapport aux dimensions de largeur et de longueur et donc de simplifier les calculs du comportement électrique des plans. Cela engendre une diminution du temps de calcul. La méthode appliquée pour la résolution du plan est dite méthode 2DFEM puisque les équations ne sont résolues que dans deux dimensions. Le maillage du circuit imprimé pour une simulation électromagnétique est représenté en figure 3.54. Les couches sont intégralement

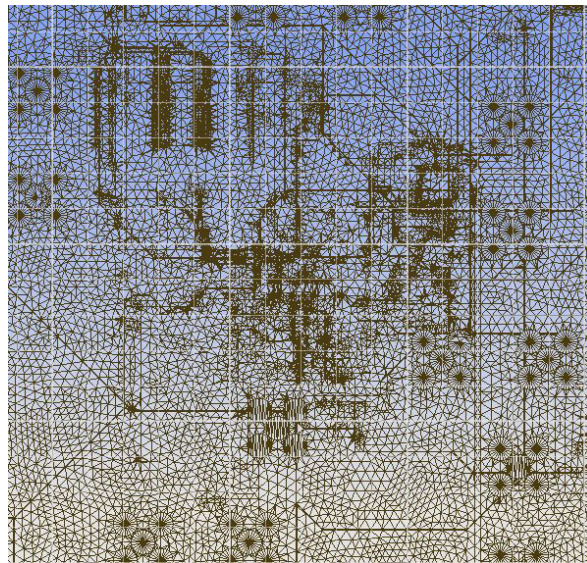


FIGURE 3.54 – Maillage effectué par le logiciel de simulation électromagnétique pour le calcul d'impédance des plans en utilisant la méthode des éléments finis

maillées et superposées les unes aux autres. Le maillage le plus raffiné pour chaque partie de la surface de la carte est conservé de telle sorte que le maillage final du circuit imprimé dans la figure 3.54 représente fidèlement toutes les formes de l'ensemble des plans. Un détail du maillage de la carte est donné dans la figure 3.55. La technique de résolution en éléments finis en deux dimensions est appliquée à ce maillage permettant d'obtenir la réponse électrique du circuit imprimé sous forme de paramètres S pour l'ensemble des points où un port a été placé dans la simulation. Afin de valider la précision de la modélisation des plans d'alimentation du logiciel de simulation, le résultat de simulation est comparé à un résultat de mesure de l'impédance des plans d'alimentation.



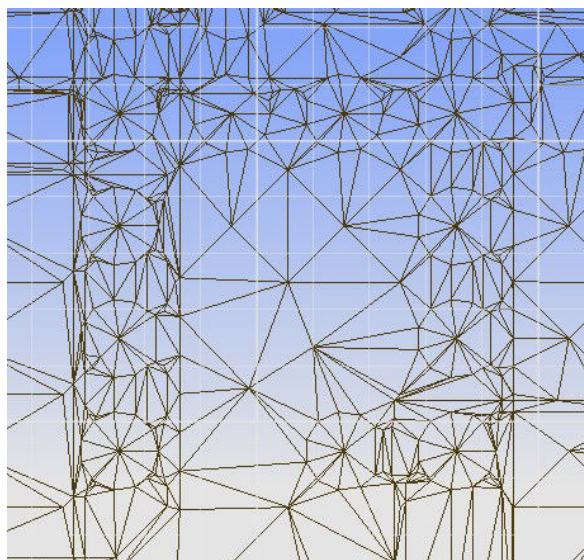


FIGURE 3.55 – [Détail du maillage implémenté pour l'analyse électromagnétique du circuit imprimé

### 3.5.1.1 Mesure de l'impédance des plans d'alimentation

La mesure de l'impédance des plans d'alimentation s'effectue dans le domaine de la fréquence à l'aide d'un **VNA**. Comme pour la mesure de l'impédance des condensateurs, la mesure d'une impédance très faible devant l'impédance des ports de mesure de l'appareil impose d'utiliser la technique de mesure à deux ports en shunt. La configuration de l'appareil pour la mesure de l'impédance de plan d'alimentation est précisément décrite dans **NOVAK et collab. [1999]**. La difficulté de la mesure de l'impédance de plan réside dans le fait que les deux câbles de mesure doivent être placés au plus proche l'un de l'autre afin que l'onde envoyée par le port 1 parcourt le même trajet, avant d'arriver sur le port 2, que l'onde réfléchi sur le port 1. Cela implique de placer la connexion du port 2 au plus proche de celle du port 1. Sur le véhicule de test, les points de connexion aux plans d'alimentation sont réalisés à l'aide de connecteurs **SMA** traversants dont l'âme est directement reliée au plan. Cette implémentation présente deux défauts. D'une part les connecteurs utilisés pour la mesure sont séparés l'un de l'autre de 1 cm afin de permettre la connexion de 2 câbles 3.5mm côte à côte. D'autre part, le fait d'utiliser des connecteurs traversants provoque des perturbations du signal en haute fréquence à cause des effets de désadaptation créés par les parties non-utiles des broches de connexion. Cependant, leur utilisation est recommandée sur un véhicule de test sur lequel les connecteurs sont sujets à de fortes contraintes mécaniques. Les connecteurs de la mesure de l'impédance du plan d'alimentation du cœur du **FPGA** du véhicule de test sont photographiés en figure 3.56. La mesure du plan présentée en figure 3.57 est effectuée sur une plage de fréquence de 300 kHz à 10 GHz. Cette mesure est réalisée grâce à un analyseur de réseau vectoriel en connectant les 2 ports aux connecteurs SMA présenté précédemment afin de mesurer avec précision la faible impédance du plan. L'appareil réalise une mesure sur 1000 points avec un balayage en fréquence logarithmique afin d'obtenir un nombre de points constants pour chaque décade.

Par ailleurs le comportement électrique en fréquence du plan est simulé en utilisant un solveur hybride dédié aux cartes électroniques. La répartition des fréquences de simulation est configurée pour être similaire à celle obtenue en mesure. Des ports d'observation, pour lesquels les paramètres S sont calculés sont placés au niveau des empreintes

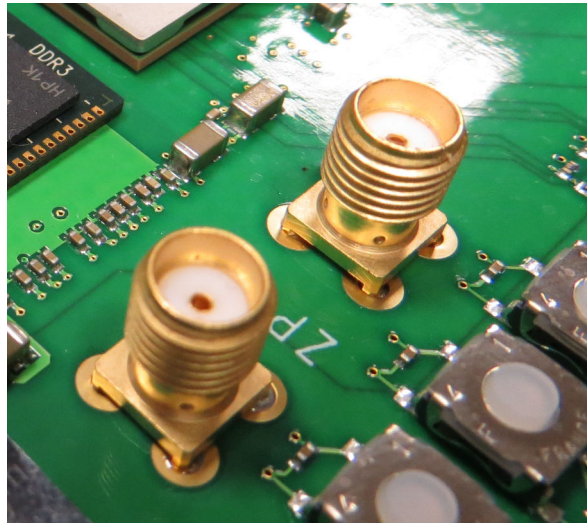


FIGURE 3.56 – Photographie de connecteurs utilisés pour la mesure de l'impédance du plan d'alimentation

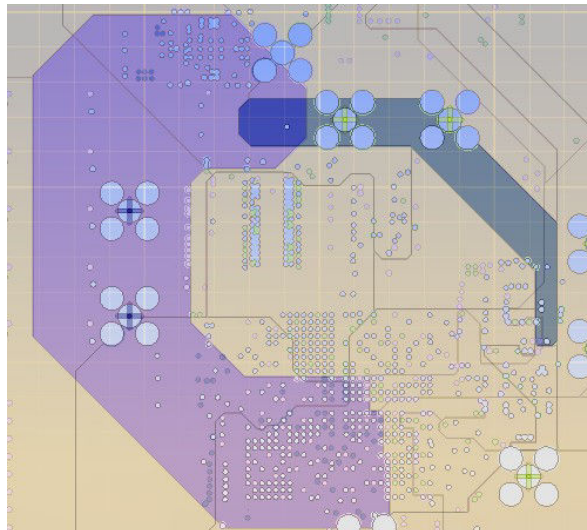


FIGURE 3.57 – Vue du plan du potentiel 1,0 V analysé dans le solveur électromagnétique



des connecteurs pour imiter la configuration de la mesure. La comparaison entre la mesure du plan et le résultat obtenu par simulation est réalisée dans la figure 3.58. La corrél-

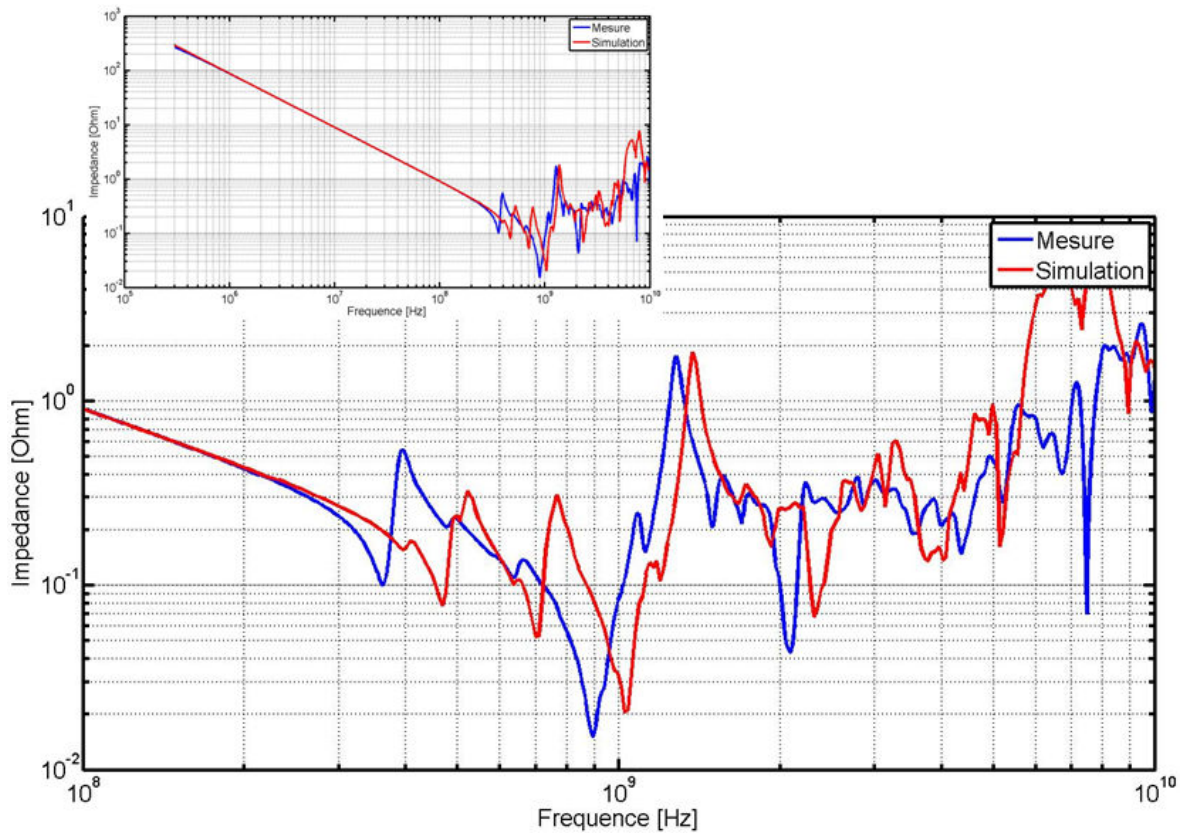


FIGURE 3.58 – Corrélation entre simulation et mesure pour l'impédance du plan 1 V du véhicule de test

lation entre la mesure et la simulation montre que le plan d'alimentation, aussi complexe soit-il, est modélisé de manière satisfaisante par le logiciel de simulation. Une seconde corrélation est réalisée pour un autre plan d'alimentation du véhicule de test. Le plan mesuré est celui du potentiel 3,3 V qui alimente notamment tous les boutons et interrupteur d'interface avec le FPGA ainsi que l'afficheur 7 segments et les LED témoins de la configuration du FPGA. Le plan est présenté dans la figure 3.59.

La corrélation est présentée en figure 3.60. Il est intéressant de constater dans cette figure que la corrélation semble meilleure. Cela peut être dû au fait que le plan du potentiel 3,3 V présente une capacité de plan plus importante puisque la surface du plan 1,0 V est de 1932 mm<sup>2</sup> tandis que le plan 3,3 V mesure 9338 mm<sup>2</sup>. Il est intéressant d'autre part de constater que la simulation du plan est très fidèle à la mesure jusqu'à 2,5 GHz. Au-delà de cette valeur, les différences entre simulation et mesure deviennent notables. Ce comportement peut être imputé au modèle de définition des matériaux du circuit imprimé dont l'influence est examinée dans la partie suivante.

## 3.5.2 Influence des paramètres de configuration sur la modélisation du plan

### 3.5.2.1 Modèle de matériau

La modélisation électromagnétique des plans d'alimentation repose d'une part sur la géométrie de la carte et des connecteurs et d'autre part sur le comportement électroma-

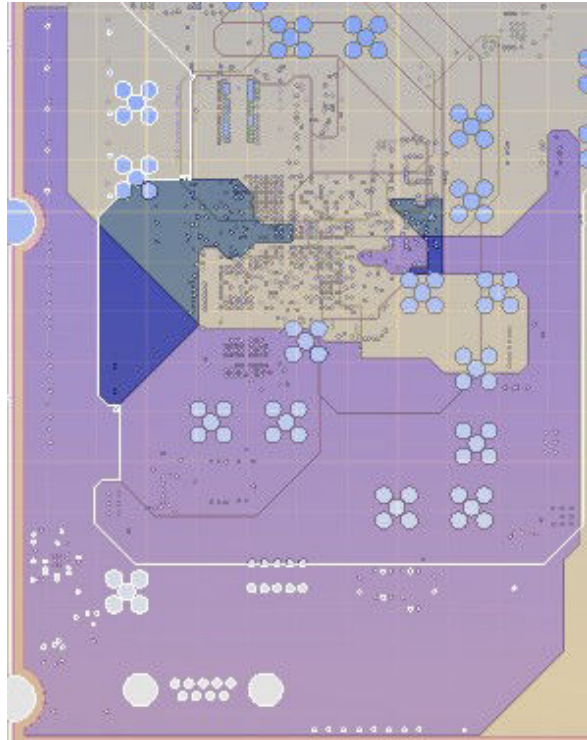


FIGURE 3.59 – Vue du plan du potentiel 3,3 V analysé dans le solveur électromagnétique

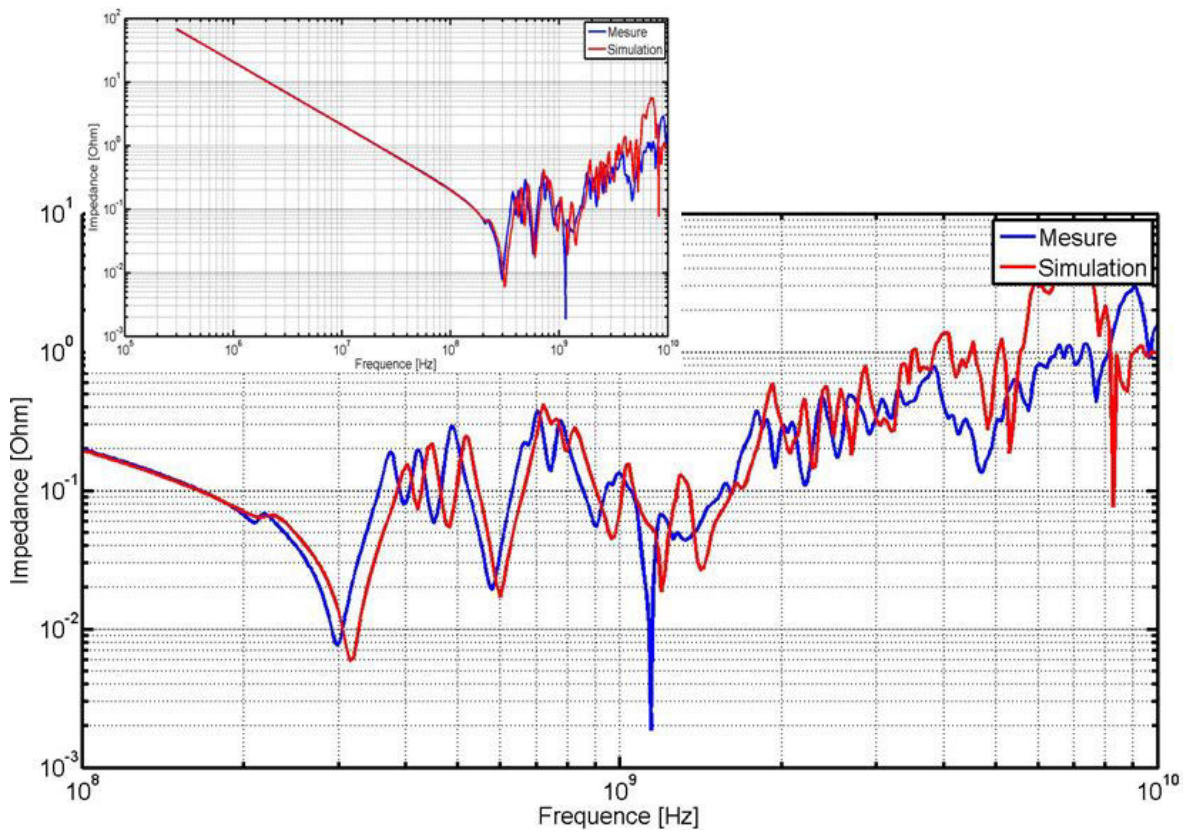


FIGURE 3.60 – Corrélation entre simulation et mesure pour l'impédance du plan 3,3 V du véhicule de test

gnétique des matériaux utilisés pour la fabrication du circuit imprimé. Ces matériaux sont définis par leur permittivité  $\epsilon_r$ , leur perméabilité  $\mu_r$ , leur conductance  $\Sigma$  dans le cas de matériaux conducteurs. Dans le logiciel de simulation, le comportement électrique des matériaux de l'empilement est défini d'après leur conductance (nulle si le composant est un diélectrique), leur constante diélectrique de permittivité relative  $\epsilon_r$  et la tangente de pertes des matériaux diélectriques. La permittivité des matériaux diélectriques possède une partie réelle et une partie imaginaire WEIR [1974] telle que :

$$\epsilon = \epsilon' - j \cdot \epsilon'' \quad (3.15)$$

La tangente de pertes se définit comme :

$$\tan(\delta) = \frac{\epsilon''}{\epsilon'} \quad (3.16)$$

Ces valeurs de constante diélectrique et de tangente de pertes sont fonction de la fréquence. En effet dans la documentation des matériaux fournie par les fabricants, les valeurs de ces caractéristiques sont données pour différentes fréquences, généralement à 1 MHz, à 100 MHz, et à 1GHz. Un exemple de ces informations est donné pour le matériau Hiper-V R-1755V de Panasonic dans la figure 3.61. Pour une simulation large bande de

1MHz - 1GHz ; IPC TM650-2.5.5.9

| Nominal Thickness |       | Cloth Style | Typical Resin Content | ply | Typical Dk |        |      | Typical Df |        |       |
|-------------------|-------|-------------|-----------------------|-----|------------|--------|------|------------|--------|-------|
| mil               | mm    |             |                       |     | 1MHz       | 100MHz | 1GHz | 1MHz       | 100MHz | 1GHz  |
| 2                 | 0.050 | 106         | 71%                   | 1   | 4.2        | 4.1    | 4.0  | 0.015      | 0.017  | 0.019 |
| 2.5               | 0.065 | 1080        | 60%                   | 1   | 4.4        | 4.2    | 4.1  | 0.015      | 0.017  | 0.018 |
| 3.5               | 0.084 | 3313        | 49%                   | 1   | 4.7        | 4.5    | 4.4  | 0.014      | 0.015  | 0.016 |
| 3.5               | 0.085 | 106         | 67%                   | 2   | 4.3        | 4.1    | 4.0  | 0.015      | 0.017  | 0.019 |
| 3.5               | 0.089 | 1067        | 60%                   | 2   | 4.4        | 4.2    | 4.1  | 0.015      | 0.017  | 0.018 |
| 4                 | 0.100 | 2116        | 46%                   | 1   | 4.7        | 4.6    | 4.5  | 0.013      | 0.015  | 0.016 |
| 4                 | 0.100 | 106         | 71%                   | 2   | 4.2        | 4.1    | 4.0  | 0.015      | 0.017  | 0.019 |
| 4                 | 0.105 | 1067        | 66%                   | 2   | 4.3        | 4.1    | 4.0  | 0.015      | 0.017  | 0.019 |
| 5                 | 0.129 | 1504        | 41%                   | 1   | 4.9        | 4.7    | 4.6  | 0.013      | 0.014  | 0.014 |
| 5                 | 0.130 | 1080        | 60%                   | 2   | 4.4        | 4.2    | 4.1  | 0.015      | 0.017  | 0.018 |
| 6                 | 0.150 | 1501        | 44%                   | 1   | 4.8        | 4.6    | 4.5  | 0.013      | 0.014  | 0.014 |
| 8                 | 0.200 | 2116        | 46%                   | 2   | 4.7        | 4.6    | 4.5  | 0.013      | 0.015  | 0.016 |
| 8                 | 0.201 | 7628        | 46%                   | 1   | 4.7        | 4.6    | 4.5  | 0.013      | 0.015  | 0.016 |
| 12                | 0.300 | 1501        | 44%                   | 2   | 4.8        | 4.6    | 4.5  | 0.013      | 0.014  | 0.014 |

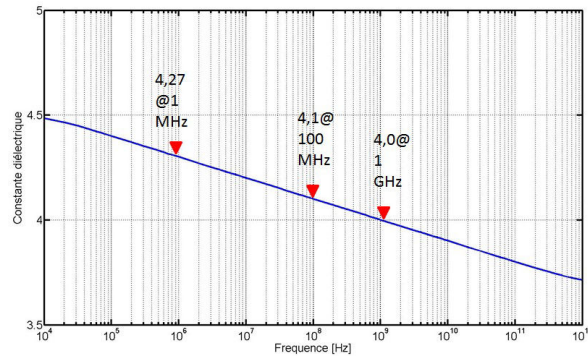
FIGURE 3.61 – Valeur de constante diélectrique et de tangente de pertes du matériau Hiper-V R-1755V de Panasonic

0 Hz à 1 GHz, la valeur de la constante diélectrique du matériau ainsi que la valeur de la tangente de perte varient donc de manière significative et une valeur unique ne suffit pas pour obtenir un résultat fidèle sur cette bande de fréquence.

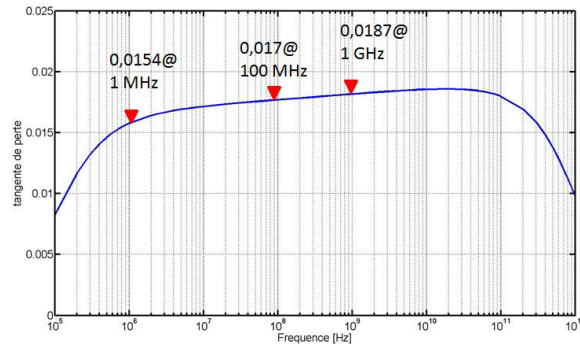
Pour prendre en compte les variations des propriétés des matériaux en fonction de la fréquence en simulation, des modèles d'interpolation ont été développés. Le modèle généralement utilisé dans les logiciels de simulation est le modèle dit de Djordjevic-Sarkar DJORDJEVIC et collab. [2001]. Ce modèle interpole les valeurs de constante diélectrique et



de tangente de pertes à partir de la définition des valeurs du matériau pour une fréquence donnée. Le modèle de Djordjevic-Sarkar a été implémenté dans un script Matlab pour calculer la constante diélectrique et les tangentes de pertes du matériau utilisé pour le véhicule de test. La variation de ces paramètres en fonction de la fréquence est donnée dans la figure 3.62. D'autres modèles développés permettent également de calculer les valeurs



(a) Constante de permittivité relative en fonction de la fréquence pour le modèle de Djordjevic-Sarkar



(b) Tangente de perte en fonction de la fréquence pour le modèle de Djordjevic-Sarkar

FIGURE 3.62 – Constante de permittivité relative et tangente de perte calculée grâce au modèle de Djordjevic-Sarkar

des propriétés électriques des matériaux pour la simulation dans le domaine fréquentiel SVENSSON et DERMER [2001] ou dans le domaine temporel DEBYE [1929]. Une précédente étude CHASTANG [2013] a permis de montrer l'impact du modèle de matériau utilisé pour la caractérisation de canaux de propagation pour des liens série rapides. Une étude similaire sur la modélisation des matériaux et l'impact de ceux-ci sur le résultat de simulation est réalisée. Trois configurations de modèles sont comparées. Le tableau 3.5 synthétise la configuration de chacune des simulations. Les valeurs sont issues de la documentation du matériau utilisé pour la construction du circuit imprimé du véhicule de test. Le résultat

TABLEAU 3.5 – Paramètres de configuration des modèles de matériau

| Modèle            | Fréquence | permittivité relative | Tangente de pertes |
|-------------------|-----------|-----------------------|--------------------|
| Djordjevic-Sarkar | 1 MHz     | 4,2                   | 0,015              |
| Djordjevic-Sarkar | 1 GHz     | 4                     | 0,019              |
| Debye             | 1 MHz     | 4,2                   | 0,015              |
|                   | 1 GHz     | 4                     | 0,019              |

tat des trois simulations est comparé à la mesure du plan afin de définir quel modèle de

matériau donne le résultat le plus réaliste. Les résultats de ces trois simulations sont superposés dans la figure 3.63. Les trois modèles comparés dans la figure ci-dessus donne

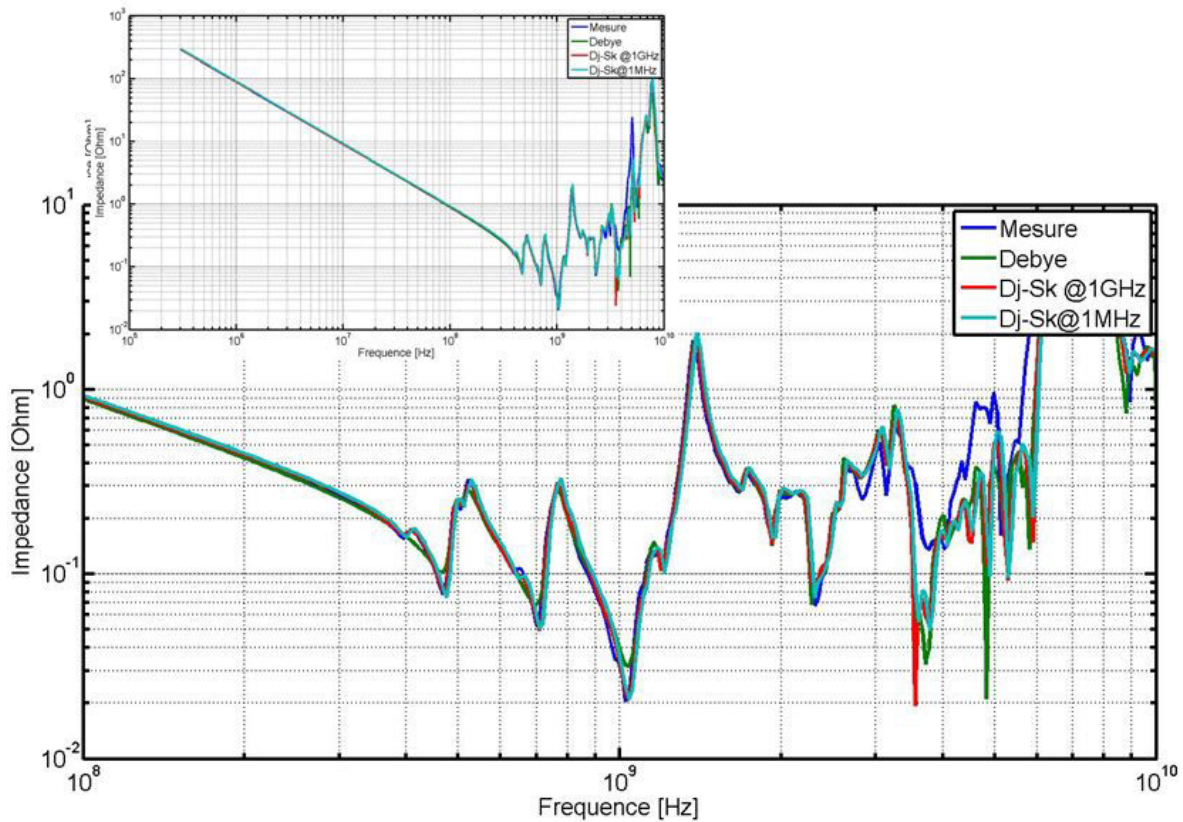


FIGURE 3.63 – Comparaison des résultats de simulation pour 3 définitions différentes de modèle de matériau

tous 3 d'excellents résultats de simulation, il est difficile de discerner les différences entre les 4 courbes jusqu'à la fréquence de 2,5GHz. Au-delà de cette limite, non seulement les courbes de simulation se distinguent de la courbe de mesure mais en plus, la réponse de chaque modèle est également différente.

Ces résultats montrent qu'une simulation pour laquelle les constantes de permittivité diélectrique et de tangente de pertes définies pour la fréquence de 1 GHz permettent d'obtenir de très bons résultats pour une plage de fréquence de la centaine de kHz jusqu'à 2,5 GHz. Pour obtenir une modélisation du circuit imprimé pour des fréquences supérieures, jusqu'à la dizaine de GHz, il est donc nécessaire de redéfinir les modèles des matériaux en indiquant leurs propriétés diélectriques pour une fréquence de 10 GHz. Cependant, les matériaux classiquement utilisés pour les cartes électroniques numériques ne sont généralement pas caractérisés pour des fréquences aussi élevées et présentent en outre de mauvaise performance en termes de pertes diélectriques pour des fréquences élevées. [citation]

Par ailleurs, pour la bande de fréquence adressée dans les analyses d'intégrité de puissance, puisque les performances des différents modèles semblent similaires, les temps de calcul de chacune des simulations sont comparés afin de définir quelle modélisation permet de réduire le temps de simulation. Ces simulations ont été réalisées sur un poste technique équipé d'un processeur Intel Xeon CPU-E5-1620 v2 cadencé à 3,70 GHz et de 16 Go de mémoire RAM. Toutes durent 40 min à 2 ou 3 minutes près. La simulation la moins longue est donc celle utilisant le modèle de Debye. Cependant l'écart de temps de



simulation entre chacune des simulations n'est pas significatif.

### 3.5.2.2 Définition de l'empilement du circuit imprimé

La modélisation du plan dépend non seulement de sa géométrie sur chacune des couches mais également des épaisseurs des couches, en particulier de celles des couches de matériau diélectrique. La constitution de l'empilement est normalement défini lors de la conception de la carte électronique en phase d'architecture. Cependant, les processus de fabrication amènent des variations dans l'épaisseur des couches qui doivent toutefois respecter les tolérances définies par les normes IPC2221 IPC [2003]. La tolérance sur l'épaisseur d'un circuit imprimé fini pour Thales est de 10% de son épaisseur. Ces variations entre l'épaisseur de l'empilement défini et l'empilement finalement fabriqué, ont un impact sur la précision des résultats de simulation, en particulier sur la valeur de la capacité interplan. Il est donc nécessaire de réaliser une coupe du circuit imprimé et de mesurer au microscope l'épaisseur précise de chacune des couches. Cette mesure permet de se rapprocher de la description réelle de l'empilement dans l'hypothèse où le processus de fabrication est homogène pour toute la surface du circuit imprimé et donc que les épaisseurs mesurées sont les mêmes en tout point du circuit. Le rapport de micro-section du circuit imprimé se trouve en annexe. Dans le tableau 3.6 sont comparées les épaisseurs de diélectrique définies lors de la conception de la carte et les épaisseurs mesurées sur la micro-section ainsi que la différence entre les deux empilements exprimée en pourcentage.

TABLEAU 3.6 – Comparaison des épaisseurs de l'empilement du circuit imprimé définies et mesurées d'après micro-section

| Couche diélec-<br>trique | Epaisseur définie<br>( $\mu\text{m}$ ) | Epaisseur mesurée<br>( $\mu\text{m}$ ) | Différences<br>(%) |
|--------------------------|--|--|--------------------|
| Diélectrique 1           | 80                                     | 86                                     | 7,5                |
| Diélectrique 2           | 80                                     | 104                                    | 30                 |
| Diélectrique 3           | 100                                    | 106                                    | 6                  |
| Diélectrique 4           | 100                                    | 104                                    | 4                  |
| Diélectrique 5           | 100                                    | 104                                    | 4                  |
| Diélectrique 6           | 100                                    | 102                                    | 2                  |
| Diélectrique 7           | 100                                    | 102                                    | 2                  |
| Diélectrique 8           | 100                                    | 100                                    | 0                  |
| Diélectrique 9           | 100                                    | 100                                    | 0                  |
| Diélectrique 10          | 100                                    | 102                                    | 2                  |
| Diélectrique 11          | 100                                    | 100                                    | 0                  |
| Diélectrique 12          | 80                                     | 108                                    | 32,5               |
| Diélectrique 13          | 80                                     | 106                                    | 12,5               |
| Total                    | 1600                                   | 1680                                   | 5                  |

Pour les couches de cuivre, la différence d'épaisseur entre les couches définies et les couches mesurées ne dépassent pas 8%. Cette différence est principalement due à l'utilisation de feuille de cuivre de 16  $\mu\text{m}$  alors que l'épaisseur définie était de 17,5  $\mu\text{m}$ . Cette erreur est systématique. En revanche, comme le montre le tableau, il existe une disparité plus importante pour la différence d'épaisseur de couches de matériau diélectrique. Cette erreur atteint même 32,5% pour la couche d'isolant entre la couche 12 et la couche 13. Les variations les plus importantes sont observées sur les couches de pré-imprégné

car le processus de pressage est moins bien maîtrisé. C'est pourquoi une tolérance de 10 % est permise sur l'épaisseur du circuit imprimé. Les variations d'épaisseur de matériau diélectrique vont avant tout avoir un impact sur la capacité inter-plan.

Afin de quantifier l'impact de l'épaisseur de l'empilement, la simulation du plan 1,0 V est réalisée pour un empilement tel que décrit dans le dossier de définition et un empilement corrigé d'après le rapport de micro-section fourni par le fabricant du circuit imprimé.

La comparaison de ces deux résultats de simulation est réalisée dans la figure 3.64. Les différences observées entre les deux courbes de simulation se situent particulière-

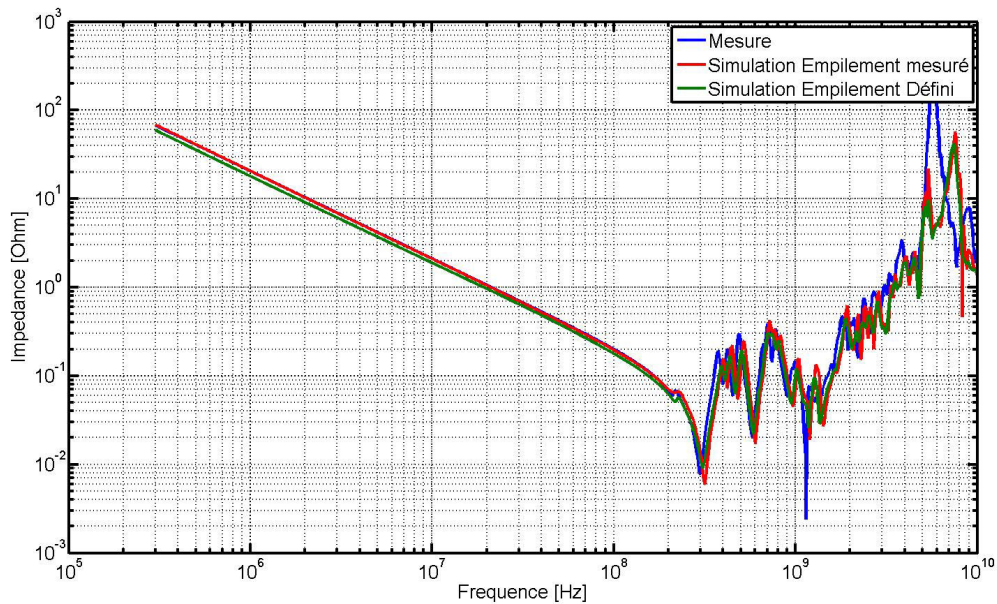


FIGURE 3.64 – Comparaison des résultats de simulation pour l'empilement défini avant fabrication et l'empilement mesuré après fabrication

ment à basses fréquences, lorsque le plan présente un comportement capacitif. La courbe correspondant à l'empilement défini présente une plus faible impédance que la courbe avec les épaisseurs corrigées. Cela traduit une capacité inter-plan plus grande. La capacité inter-plan dans les deux cas est estimée à l'aide du modèle d'une capacité en élément localisé. La différence entre la capacité d'inter-plan dans les deux cas est comparée dans le tableau 3.7.

TABEAU 3.7 – Comparaison de la capacité inter-plan de l'empilement défini et mesurée d'après la micro-section

|   |       |
|---|-------|
| Capacité inter-plan de l'empilement défini (nF) | 8,7   |
| Capacité inter-plan de l'empilement mesuré (nF) | 7,8   |
| Différences (nF)                                | 0,9   |
| Différences (%)                                 | 10,34 |

Ce résultat est cohérent puisque les épaisseurs de diélectrique de l'empilement défini sont plus faibles que celles de l'empilement mesuré, donc la capacité d'inter-plan est plus importante. L'autre différence importante est la fréquence à laquelle se produit la première résonance du plan. Puisque la capacité de l'empilement défini est plus grande, la fréquence de la première résonance est plus faible. Enfin, il est important de noter que la courbe correspondant à l'empilement redéfini par mesure se superpose à la courbe d'impédance mesurée. Ces résultats mettent en lumière l'impact de la variation des épaisseurs de l'empilement en particulier sur la valeur de la capacité inter-plan

Les simulations des figures 3.58 et 3.60 ont été réalisées pour des configurations reprenant l'empilement défini et la définition des matériaux standards utilisés pour la simulation des cartes électroniques à Thales. Les contraintes industrielles concernant la fabrication des circuits imprimés imposent à Thales de réaliser la fabrication des circuits imprimés chez différents fournisseurs. Ceux-ci n'utilisent cependant pas tous les mêmes matériaux. Il n'est donc pas possible de définir précisément quels matériaux seront utilisés pour une carte donnée. Par conséquent, les valeurs des différentes propriétés électriques des matériaux utilisés en simulation sont une moyenne des différents matériaux utilisés pour la fabrication des circuits imprimés. Dans le cas du véhicule de test, celui-ci a été fabriqué chez un seul fournisseur. Il a donc été possible d'identifier précisément le matériau utilisé, de connaître ses propriétés électriques et de les rentrer dans le logiciel de simulation. L'empilement est également précisément connu puisqu'il a été mesuré. La configuration de la simulation avec tous les éléments précisément définis conduit au résultat présenté dans la figure 3.65 Cette figure montre une superposition parfaite de

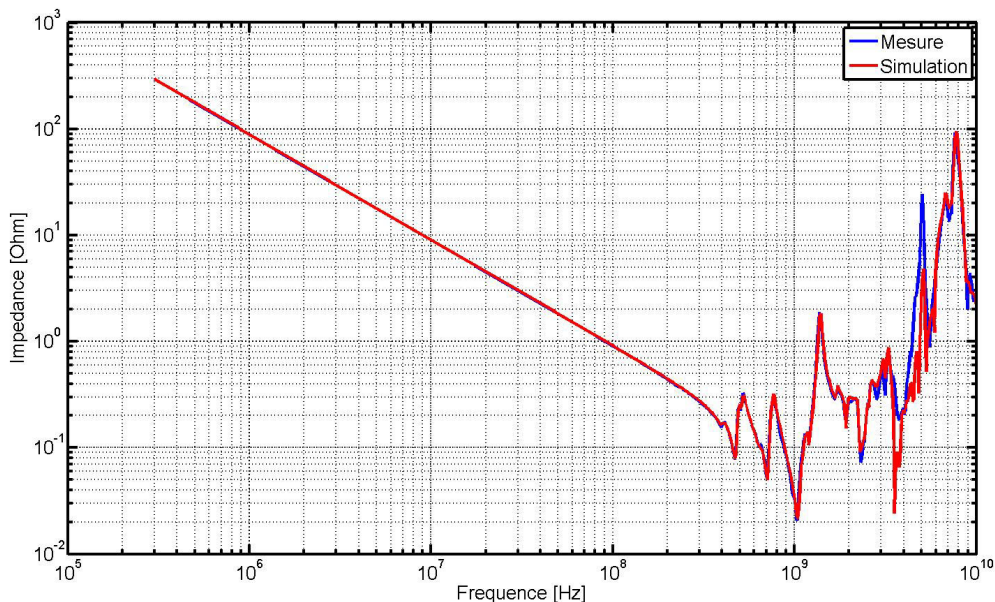


FIGURE 3.65 – Comparaison des résultats de simulation dont tous les éléments sont connus avec les résultats de mesure

la courbe de simulation avec la courbe obtenue par mesure jusqu'à une fréquence de 2,5 GHz. Bien que les simulations utilisant les configurations par défaut donnent déjà un résultat tout à fait satisfaisant, la définition précise de l'empilement du circuit imprimé tout comme de la modélisation des matériaux utilisés permettent donc de modéliser très précisément le comportement du circuit imprimé. Les bonnes corrélations obtenues entre

les résultats de mesure et de simulation après les différents efforts de modélisation permettent de valider la précision des outils de simulation utilisés.

### 3.5.3 Conclusion partielle

Le plan, faisant partie intégrante du réseau de distribution d'énergie, doit être précisément modélisé afin d'obtenir un comportement fidèle en simulation. Alors que des formes de plan simplistes peuvent être analysées de façon analytique et donner des résultats satisfaisants, les plans aux formes complexes, constitués de plusieurs îlots et traversés par de nombreux vias doivent impérativement être modélisés par des méthodes numériques.

D'excellentes corrélations entre résultats de mesure et de simulation ont été obtenues grâce à une modélisation précise des paires de plan d'alimentation. La qualité des résultats de simulation nécessite de connaître précisément les épaisseurs des différentes couches de l'empilement du circuit imprimé puisque de faibles variations de ces paramètres ont un impact important sur la modélisation du comportement électrique du circuit imprimé, notamment le calcul de la capacité de plan pour des fréquences inférieures à la centaine de MHz. Il faut également pouvoir modéliser convenablement les propriétés diélectriques des matériaux constituant le circuit imprimé en fonction de la bande de fréquence sur lequel il est analysé.

## 3.6 Le circuit intégré

Le dernier élément constituant le réseau de distribution d'énergie est le circuit intégré. Le composant constitue la charge des circuits d'alimentation. C'est donc lui qui définit les formes de courant à fournir. Le circuit intégré est composé d'une puce en silicium placée dans un boîtier et connectée par différents procédés de fabrication aux broches de celui-ci. Ces technologies d'interconnexion sont le wirebonding [EBEL et collab. \[1982\]](#) [MCCLUSKEY et collab. \[1999\]](#) dont un exemple peut être observé en figure 3.66 ou la technologie de flipchip consistant à souder la puce de silicium à son boîtier grâce à une matrice de billes de soudure [ANDROS et HAMMER \[1994\]](#) [LEE et collab. \[2006\]](#). Un exemple d'illustration de la technologie flipchip est donné en figure 3.67. Quelle que soit la technologie de boîtier utilisée, celle-ci introduit des éléments parasites entre le circuit imprimé et la puce de silicium. L'effet de ces éléments parasites altère le comportement du circuit d'alimentation au niveau du composant. Cependant, les fabricants de circuits intégrés étant généralement maîtres de la fabrication du boîtier du composant, ils dimensionnent ce dernier de telle manière qu'il permette un fonctionnement normal du composant dans la mesure où les spécifications d'alimentation en courant et en tension sont respectées au niveau des broches du composant [TSAI et collab. \[2015\]](#). En revanche, le comportement du boîtier peut également avoir une influence au niveau du circuit d'alimentation du circuit imprimé [LECOQ et collab. \[2016\]](#).

L'augmentation des puissances consommées par les composants ainsi que l'augmentation de la fréquence de fonctionnement imposent désormais aux fabricants de réaliser le découplage des potentiels d'alimentation au sein même du composant. Ce découplage est réalisé d'une part sur le silicium avec des capacités gravées [KANTOROVICH et HOUGHTON \[2008\]](#) [NABESHIMA et collab. \[2011\]](#) mais aussi au niveau du boîtier [CHEN et HE \[2007\]](#) [HUANG et collab. \[2008\]](#). Le découplage apporté au niveau du composant a également une influence sur le comportement du réseau de distribution d'énergie au niveau



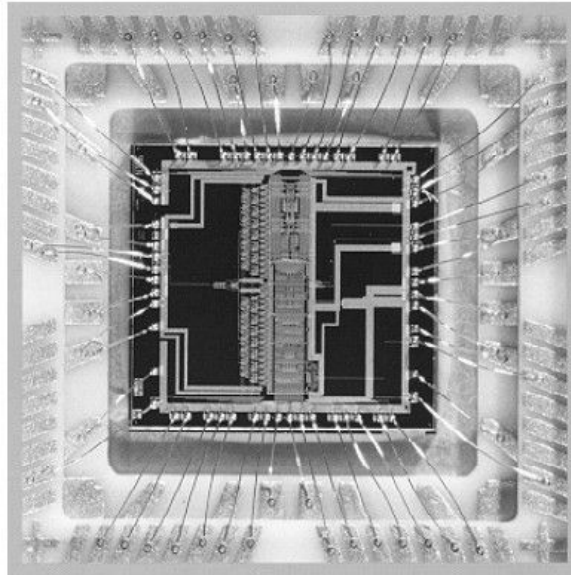
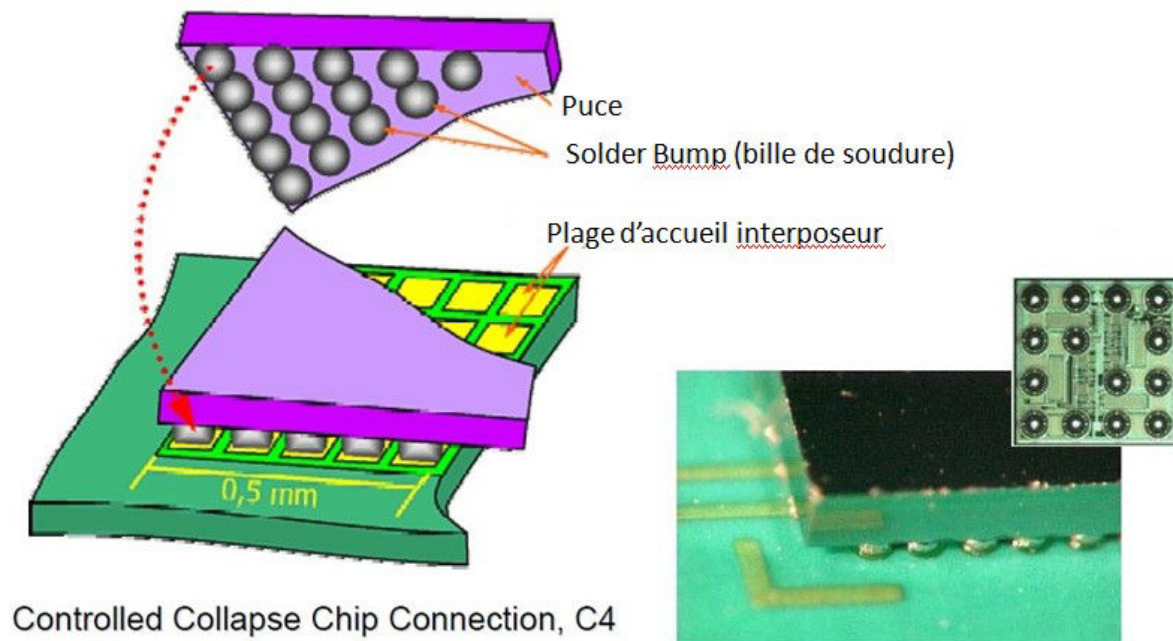


FIGURE 3.66 – Photographie d'un composant illustrant la technologie de wirebonding



Controlled Collapse Chip Connection, C4

FIGURE 3.67 – Illustration de la technologie flipchip



du circuit imprimé. C'est pourquoi il est nécessaire d'être en mesure d'obtenir le modèle du composant ou de mesurer son comportement pour l'inclure à la simulation des circuits de distribution d'énergie.

### 3.6.1 Modélisation du circuit intégré

Pour des analyses relativement simples, le circuit intégré peut être modélisé par des éléments localisés. Le modèle en élément localisé est constitué d'un circuit RC parallèle pour la puce électronique et d'un circuit RLC parallèle pour le package. Le schéma du modèle équivalent du circuit intégré est représenté en figure 3.68. Ce modèle permet de

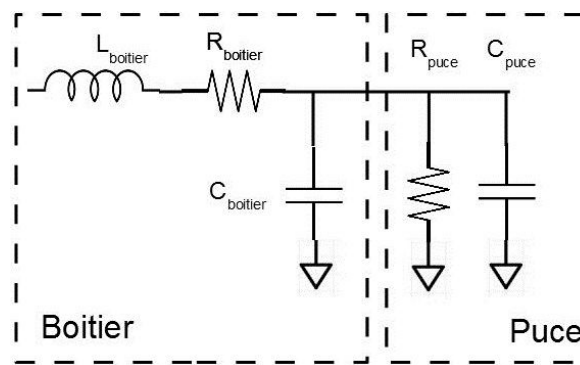
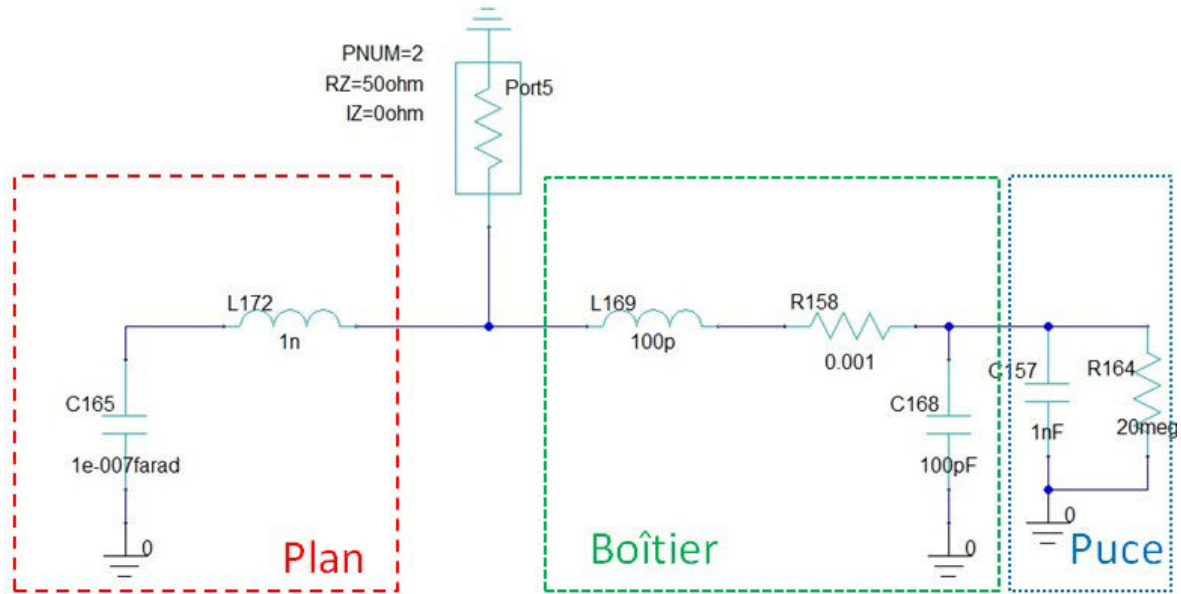


FIGURE 3.68 – Modèle de circuit intégré en éléments localisés

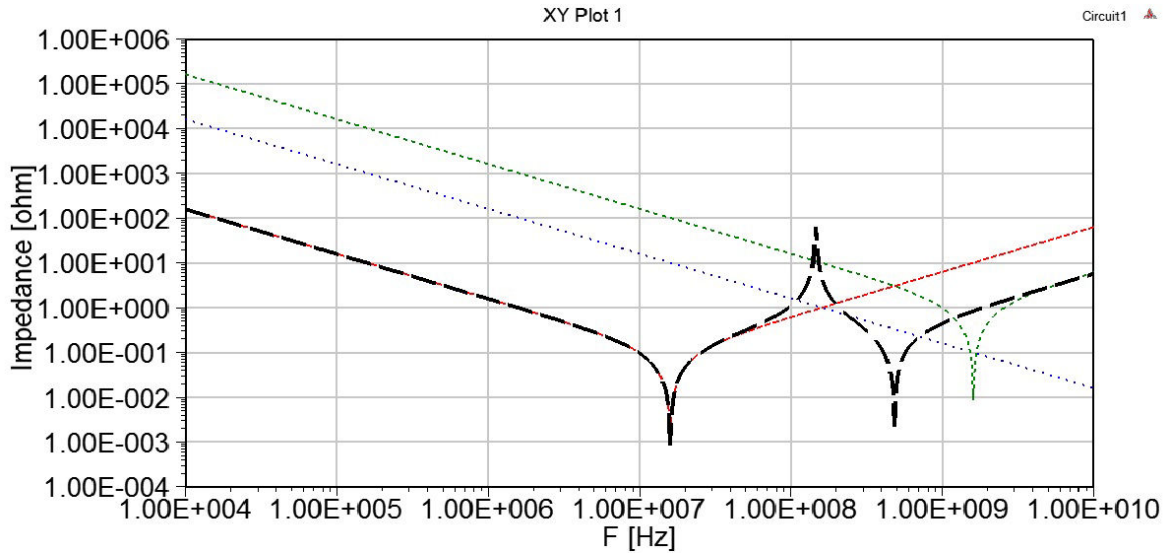
réaliser des analyses dans le domaine fréquentiel et de cibler en particulier les fréquences pour lesquelles l'interaction entre la puce et le boîtier provoquent une anti-résonance tout comme l'interaction entre le boîtier et le plan. Un exemple de simulation est donné dans la figure 3.69.

Cette simulation montre bien l'impact du composant sur le comportement du réseau de distribution d'énergie de la carte.

Le boîtier des circuits intégrés est créé à l'aide de logiciel de CAO similaires à ceux utilisés pour la conception des circuits imprimés. Il est donc possible d'après le fichier de CAO d'effectuer une simulation électromagnétique dont le résultat est un fichier de paramètres S décrivant le comportement électrique du composant. Un exemple d'interposeur de boîtier est exposé en figure 3.70. De même, certains logiciels de routage de circuits intégrés disposent également de fonction permettant d'une part d'extraire le modèle équivalent du réseau de distribution d'énergie de la puce et d'autre part de modéliser l'activité de la puce dans le domaine temporel par un ensemble de sources de courant dont les courbes courant-temps sont renseignées. L'outil RedHawk de l'éditeur Ansys permet en particulier d'extraire ce modèle, le modèle **Chip Power Model (CPM)** qui est un modèle propriétaire **KULALI et collab. [2007]**. Des normes visant à standardiser des modèles d'émissions conduites pour les circuits intégrés ont également été développées **RAMANUJAN et collab. [2015]**. Mais ces modèles sont encore très rarement fournis par les fabricants. Il est pourtant primordial d'être en mesure de caractériser le comportement du composant car le découplage embarqué au sein du composant n'est plus nécessaire au niveau du circuit imprimé. Cela permet de réduire le nombre de composants sur la carte et d'en réduire la taille. Par ailleurs, le comportement du composant est susceptible de créer une anti-résonance entre l'inductance de l'interconnexion du circuit imprimé avec le boîtier et la capacité du découplage du boîtier comme le montre la simulation effectuée en figure 3.69b.



(a) Schéma des modèles équivalents du plan et du composant en éléments localisés



(b) Résultat de la simulation du schéma

FIGURE 3.69 – Simulation de l'interaction plan-composant en éléments localisés

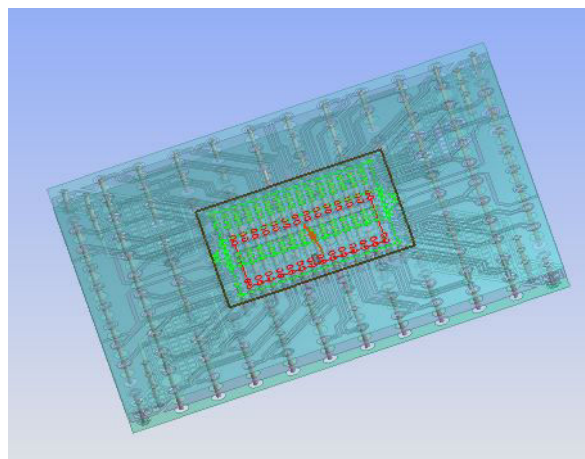


FIGURE 3.70 – Vue d'un fichier de CAO d'un interposeur de circuit intégré

## 3.6.2 Méthodologie de mesure des caractéristiques du circuit intégré

### 3.6.2.1 Configuration de mesure

Puisque le modèle du circuit intégré n'est pas toujours disponible, le comportement de ce dernier peut être obtenu par mesure. Dans le cadre de ces travaux, une méthodologie de mesure de l'impédance du circuit intégré a été développée [GORAL et collab. \[2016\]](#). Afin de répondre aux contraintes de stabilité des potentiels d'alimentation, l'impédance des rails d'alimentation du composant doivent au même titre que sur le circuit imprimé, présenter une faible impédance, de telle sorte qu'une forte variation de courant provoque une fluctuation de la tension dans les limites de tolérance du composant. Puisque l'impédance est a priori faible, la mesure de l'impédance doit donc s'effectuer avec un [VNA](#) à l'aide de 2 ports de mesure comme c'est le cas pour la mesure de l'impédance des condensateurs et des plans.

### 3.6.2.2 Sondes de mesure

Des sondes ont été spécifiquement fabriquées pour réaliser cette mesure. Un câble [SMA](#) d'une longueur de 1 m est coupé en deux. L'utilisation de deux moitiés du même câble présente l'avantage d'obtenir un comportement électrique similaire de l'interconnexion sur les deux ports de mesure. L'extrémité présentant le connecteur est reliée à l'appareil de mesure. Du côté des câbles sectionnés, l'âme du câble est soudée à un filament permettant de venir souder les sondes de mesure directement sur les billes du composant afin d'assurer un contact optimum. La tresse du câble est elle aussi soudée à un filament afin d'assurer un chemin le moins inductif possible pour les courants de retour. Les sondes réalisées sont visibles dans la figure [3.71](#).

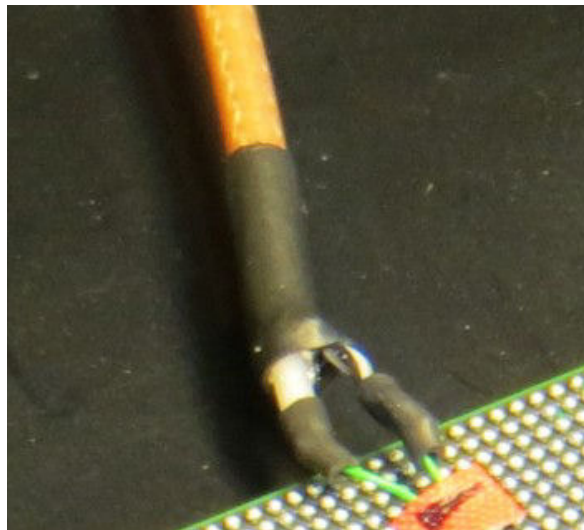


FIGURE 3.71 – Photographie des sondes fabriquées pour la mesure de l'impédance du circuit intégré

### 3.6.2.3 Calibration de l'appareil

Le passage du câble [SMA](#) vers les filaments provoque sans aucun doute des désadaptations d'impédance dans la connectique de l'appareil de mesure vers le composant. C'est

pourquoi il est nécessaire de calibrer l'appareil avec les sondes afin de s'affranchir des effets ramenés par la connectique de la mesure. La technique de calibration **SOLT** est utilisée pour calibrer l'appareil. Les filaments sont laissés en l'air pour la calibration en circuit ouvert, l'âme est soudée à la tresse pour la calibration en court-circuit, une résistance  $50 \Omega$  est placée entre l'âme et la tresse pour la calibration en charge. Enfin, les deux filaments respectivement de l'âme et de la tresse sont soudés entre eux afin de réaliser la calibration en transmission. Une fois l'appareil calibré, les sondes sont respectivement soudées à deux billes du potentiel VCCINT et deux billes du potentiel GND du composant. Le potentiel VCCINT correspond au potentiel d'alimentation du cœur du **FPGA**.

### 3.6.2.4 Câblage des sondes au circuit intégré

Le port de mesure 1 est soudé à la paire de billes N14 et N15 du composant tandis que le port de mesure 2 est soudé à la paire de billes R14 et R15. La position des quatre billes choisies est précisée dans la figure 3.72. Les billes N14 et R14 ont été choisies car ce sont

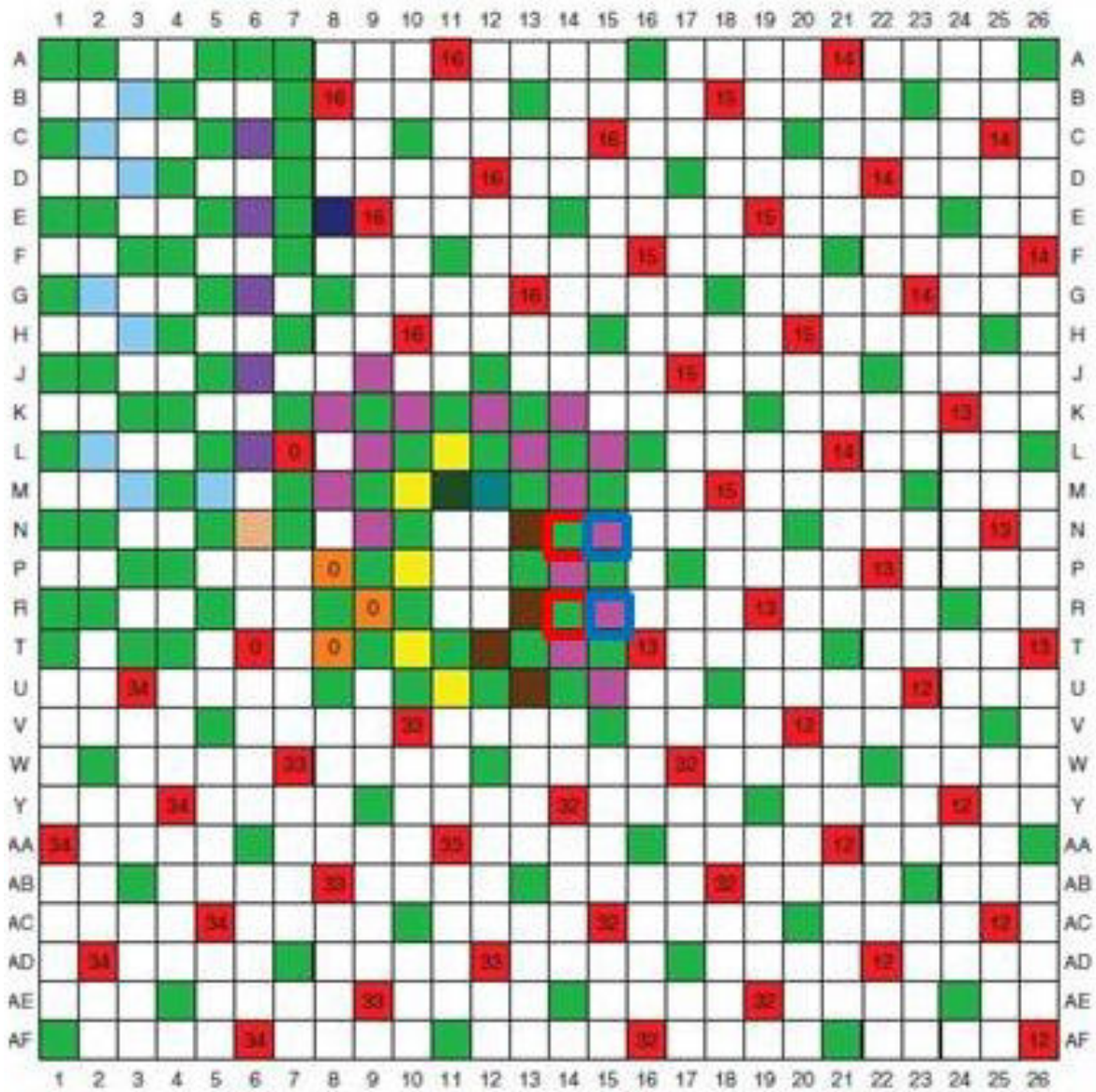


FIGURE 3.72 – Répartition des broches du FPGA Kintex 7 160T



les billes les plus centrales du composant. Par ailleurs les billes N15 et R15 ont été sélectionnées car elles constituaient les billes de retour les plus proches des billes du potentiel VCCINT. Un détail du montage de mesure est présenté en figure 3.73. La mesure est effec-

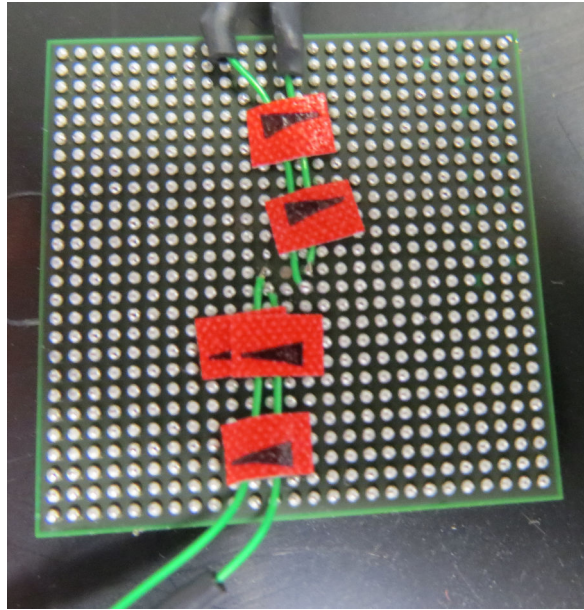


FIGURE 3.73 – Détail du montage de la mesure d'impédance du circuit intégré

tuée sur une plage de fréquence de 1 kHz jusqu'à 1 GHz. La fréquence de fonctionnement du **FPGA** étant limitée à 200 MHz, nous pouvons considérer que la mesure jusqu'au 5ème harmonique permet de déterminer avec précision les impédances de connexion. Le montage de la mesure est photographié en figure 3.74. La figure 3.75 montre les résultats de

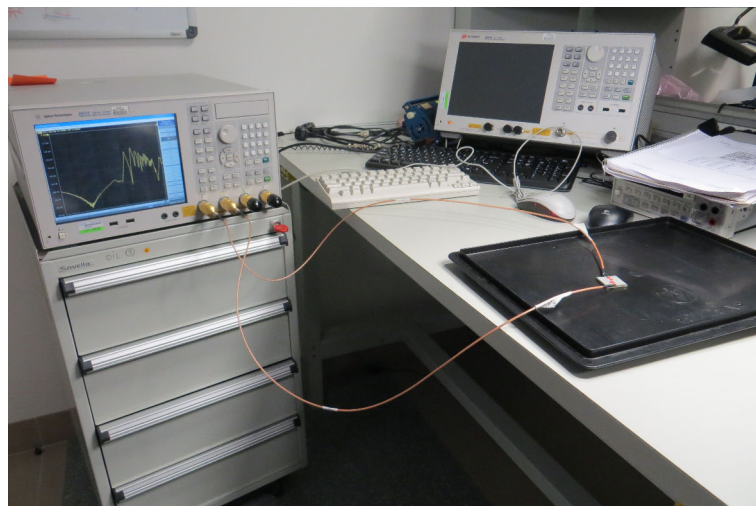


FIGURE 3.74 – Photographie de la manipulation de la mesure de l'impédance du circuit imprimé  
la mesure.

### 3.6.2.5 Interprétation des résultats

La caractérisation de l'impédance du circuit intégré montre qu'en dessous de 6 MHz, l'impédance du composant est principalement capacitive. Le résultat n'est pas étonnant puisque la documentation technique du composant indique qu'il compte un découplage



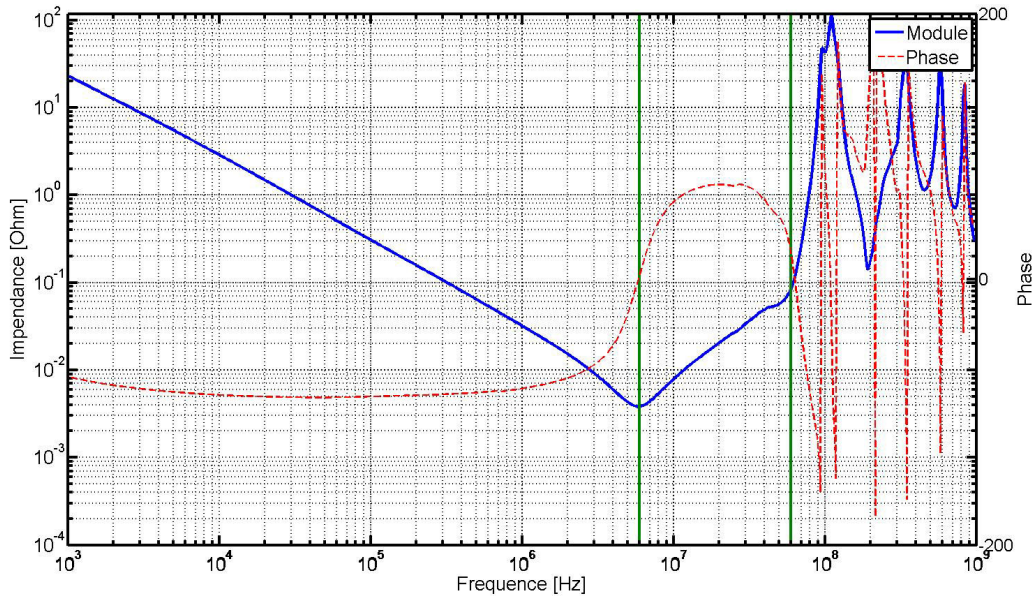


FIGURE 3.75 – Résultat de la mesure de l'impédance du potentiel VCCINT du FPGA

au sein de son boîtier constitué de deux condensateurs de  $2,2 \mu\text{F}$ . L'impédance du composant présente ensuite un minimum aux alentours de 6 MHz, fréquence pour laquelle la partie capacitive du composant est compensée par la partie inductive comme le montre la phase, proche de  $0^\circ$  pour cette valeur. Enfin, l'impédance est inductive pour la plage de fréquence de 6 MHz, jusqu'à 60 MHz. L'impédance du composant semble maîtrisée sur la bande de 0 à 60 MHz. Au-delà de cette valeur, le composant présente d'importantes anti-résonances, témoins d'interactions entre des éléments inductifs et capacitifs internes au composant. Bien qu'il soit difficile d'interpréter ces anti-résonances, il est tout de même intéressant d'obtenir la caractérisation du composant pour ces fréquences car l'une d'elles peut se propager sur la carte et introduire des dysfonctionnements de celle-ci ou altérer le comportement de fonctions analogiques sensibles travaillant à la même fréquence.

Cette première mesure permet de montrer que le composant dispose de son propre découplage. Afin d'observer l'impact du découplage du composant sur le circuit imprimé, une seconde configuration de mesure est mise en place. La mesure de l'impédance du composant seul est effectuée sur deux broches du composant. Or, normalement, le composant est soudé sur le circuit imprimé à l'aide de 16 broches du potentiel VCCINT. Les éléments parasites résistifs et inductifs mesurés sont donc certainement plus importants que dans le cas où le composant est soudé au circuit imprimé puisque les éléments parasites des 16 broches ne sont pas placés en parallèle. Pour obtenir un comportement de l'interface circuit imprimé-composant concordant avec les mesures effectuées sur le composant seul, une implantation spécifique du composant a été réalisée. Le composant est soudé au circuit imprimé uniquement via les 4 billes utilisées pour la mesure réalisée sur le composant seul. Pour répondre aux contraintes mécaniques de maintien du composant sur le circuit imprimé, il est également soudé grâce à d'autres broches qui sont en revanche reliées à des potentiels étrangers au potentiel VCCINT et GND. L'image réalisée à l'aide d'un appareil à rayon X de la figure 3.76 montre comment le composant est soudé au circuit imprimé. Le composant est soudé sur le cuivre nu du véhicule de test afin d'être en mesure de n'observer que le comportement du composant avec le circuit imprimé.

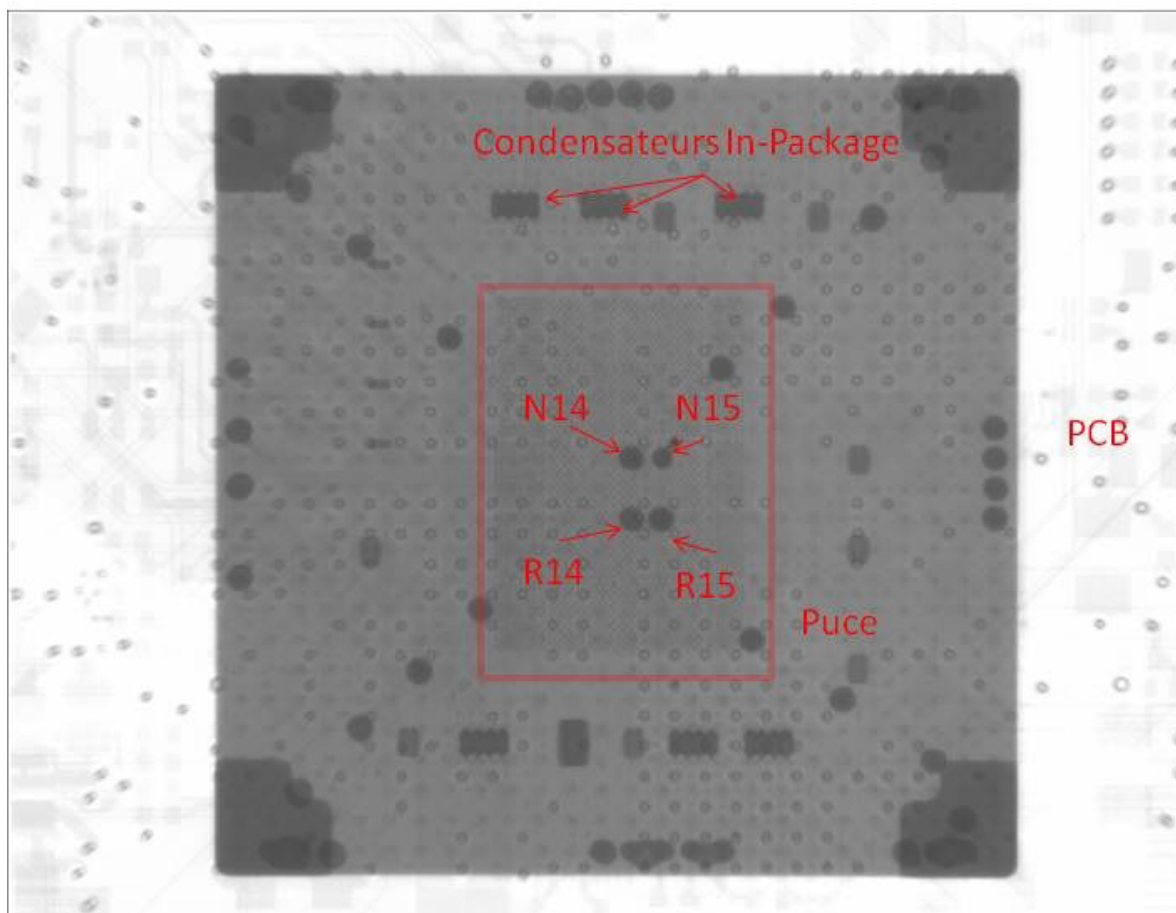


FIGURE 3.76 – Vue au rayon-X du montage du composant sur le circuit imprimé à l'aide de 4 billes

Les ports de l'instrument de mesure sont connectés au plan du cœur de l'alimentation du composant via deux connecteurs SMA reliés à ce plan. La manipulation effectuée est illustrée par la figure 3.77 L'impédance mesurée durant cette manipulation est ensuite

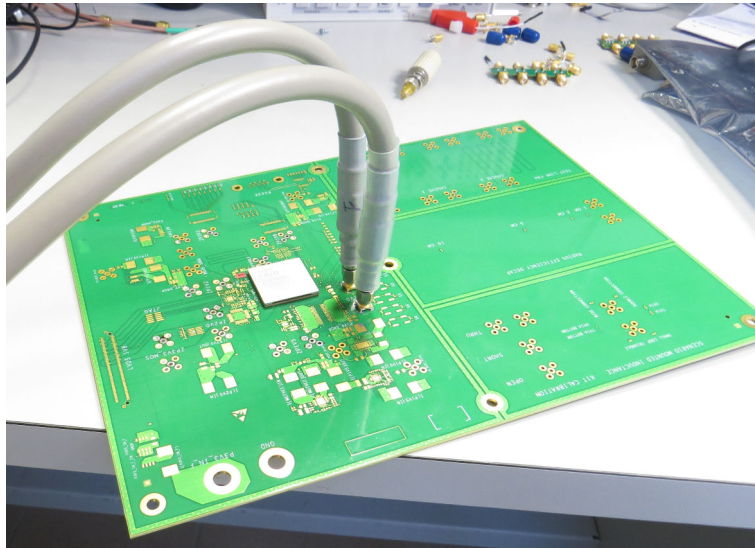


FIGURE 3.77 – Photographie de la mesure de l'impédance du composant et du plan

comparée dans la figure 3.78 avec l'impédance mesurée du plan seul et du composant seul afin de montrer l'impact de la présence du composant sur le circuit imprimé. 3.77 Cette comparaison permet d'observer que le composant apporte un fort découplage sur

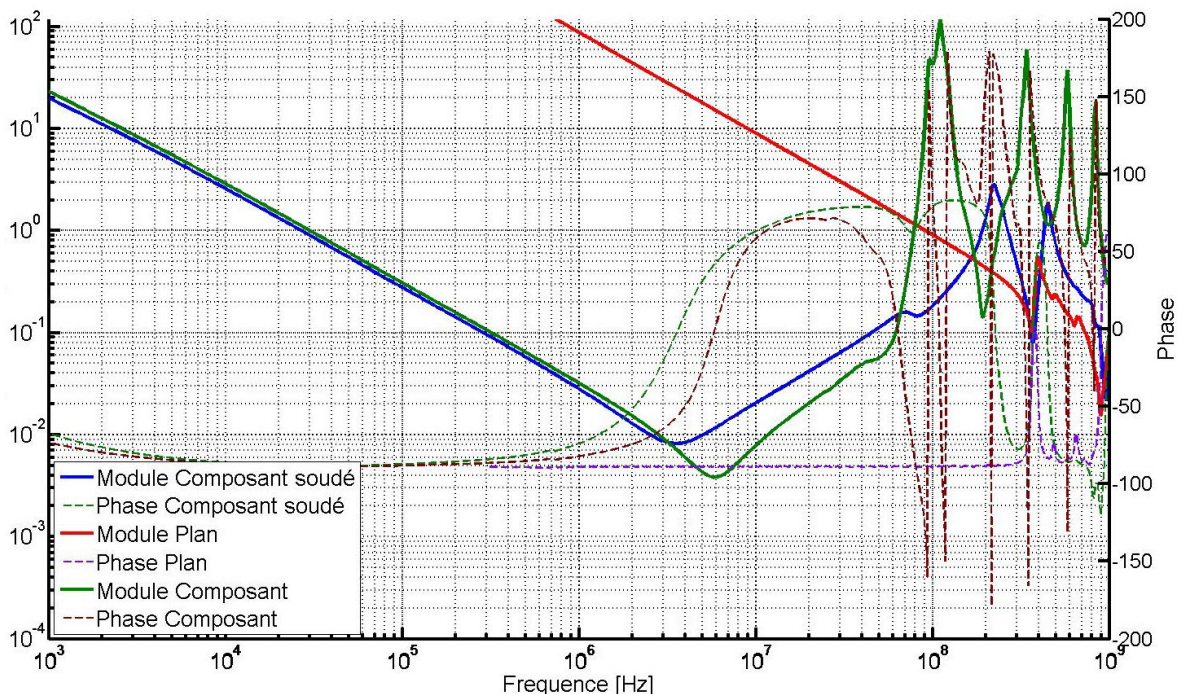


FIGURE 3.78 – Comparaison de l'impédance du plan seul avec l'impédance du composant soudé sur le plan

le circuit imprimé. Cette mesure illustre donc le fait qu'il est important de modéliser le comportement du circuit intégré puisque le découplage qu'il ramène permet certes de réduire le nombre de condensateurs de découplage au niveau du circuit imprimé mais



surtout qu'un découplage inadapté peut amener à la création d'anti-résonances entre l'inductance du plan d'alimentation et la capacité du composant, qui perturberaient le fonctionnement de la carte. Par ailleurs, la comparaison de la mesure du composant seul avec la mesure du composant soudé au plan permet d'observer l'introduction de résistance et d'inductance parasite entre le composant et les ports de mesure. Il s'agit des éléments parasites introduits par le plan d'alimentation

. Le résultat de mesure obtenu avec la configuration décrite précédemment permettra de valider la modélisation de l'interaction entre le plan et le composant dans la mesure où il n'a pas été possible de réaliser la caractérisation du composant en connectant les 16 broches du potentiel VCCINT. Cependant, il est intéressant de mesurer également l'interaction plan-composant dans le cas où le composant est soudé "normalement" sur le circuit imprimé. La manipulation illustrée dans la figure 3.77 est à nouveau réalisée mais avec le composant soudé tel que prévu pour l'usage du véhicule de test. Les résultats de la première et de la seconde manipulation sont comparés dans la figure 3.79. Comme pres-

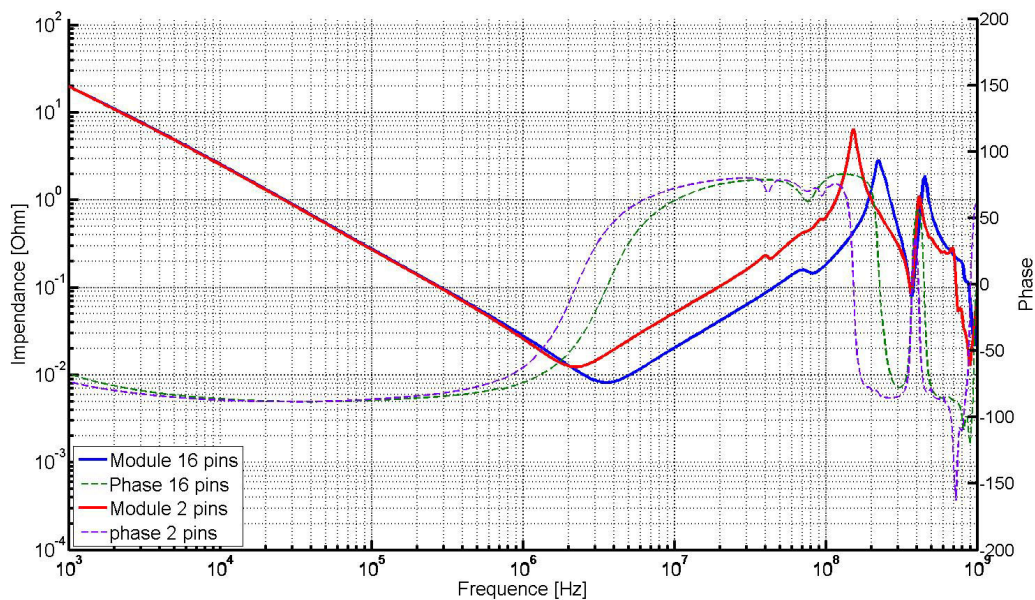


FIGURE 3.79 – Mesure de l'impédance de l'ensemble composant-circuit imprimé pour le composant soudé par 16 broches et par 2 broches

senti, la mesure du système composant-plan pour lequel le composant est soudé à l'aide de deux broches est plus résistif, comme le montre la différence de l'impédance minimum de chaque courbe. Ce minimum correspond en effet, comme le montre la phase, à la partie résistive pure de l'impédance (impédance réelle). De même, l'augmentation de l'inductance parasite pour la seconde mesure s'observe en comparant le décalage en fréquence de la résonance propre. Les deux courbes se superposent pour la partie capacitive indiquant que la capacité reste la même pour les deux systèmes. En revanche dans le cas de la mesure où le composant est soudé au circuit imprimé par deux broches, le minimum d'impédance apparaît pour une fréquence inférieure que dans le premier cas. La fréquence de résonance propre dont la formule est donnée dans l'équation 1.13 est inversement proportionnelle à la racine carrée de l'inductance et de la capacité. Les deux capacités étant égales, c'est donc bien l'inductance qui augmente dans le premier cas de mesure. Ces mesures permettent également d'approximer la valeur des éléments parasites introduits par les broches du composant.

Le système mesuré peut être modélisé pour des fréquences inférieures à 200 MHz par un circuit RLC équivalent. Les valeurs des éléments RLC du modèle équivalent des deux systèmes mesurés sont résumés dans le tableau 3.8. La concordance entre les mo-

TABLEAU 3.8 – Valeurs des éléments du modèle RLC équivalent du système étudié

| Système    | Element | Valeur |
|------------|---------|--------|
| 16 broches | R       | 8 mΩ   |
|            | L       | 360 pH |
|            | C       | 6 μF   |
| 2 broches  | R       | 12 mΩ  |
|            | L       | 800 pH |
|            | C       | 6 μF   |

dèles RLC équivalents et les 2 systèmes étudiés peut être observés dans la figure 3.80. La différence de résistivité entre les deux systèmes résulte de la mise en parallèle de 14

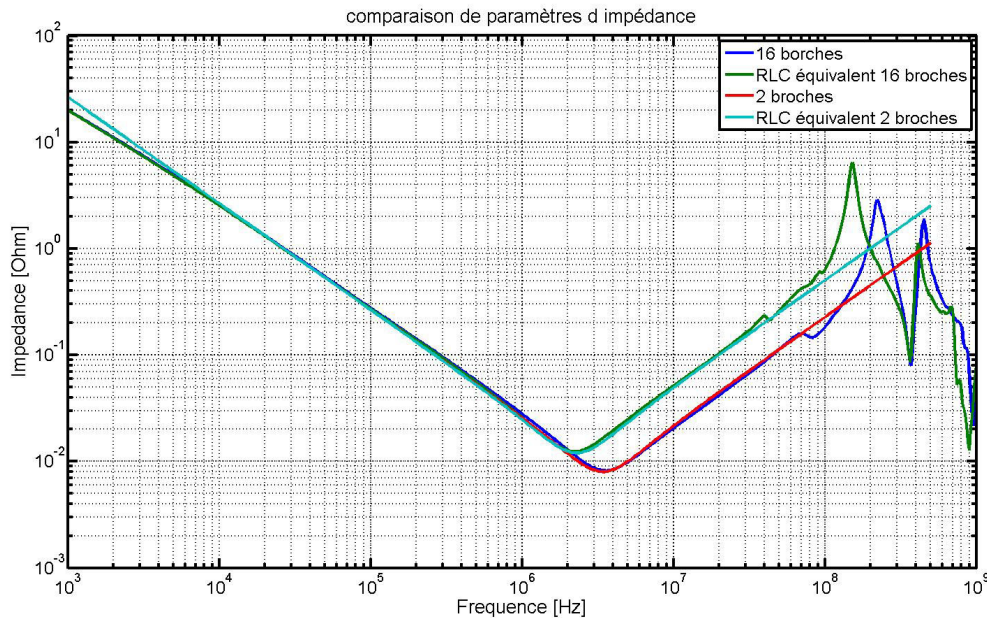


FIGURE 3.80 – Comparaison de la mesure des deux systèmes plan-composant à 16 broches et à 2 broches avec leur modèle équivalent en éléments localisés

résistances équivalentes supplémentaires dans l'hypothèse où chaque broche apporte la même contribution à la résistivité. Le schéma équivalent des éléments parasites des broches dans les deux configurations est résumé dans la figure 3.81. Par conséquent, nous pouvons calculer que la résistance équivalente de chaque broche est égale à 3.17 :

$$R_{eq} = \left( \sum_{i=1}^{14} \frac{1}{R_{broche}} \right)^{-1} = \frac{R_{broche}}{14} R_{broche} = 285 \mu\Omega \quad (3.17)$$

Le même calcul peut être appliqué à l'inductance ce qui donne un résultat arrondi de  $L_{broche} = 31 \text{ pH}$ . Enfin pour valider la méthode de mesure proposée, le résultat de la mesure est comparé au modèle du boîtier fourni par le fabricant du FPGA : Xilinx. Au modèle du boîtier doivent être ajoutés les condensateurs utilisés pour le découplage interne du



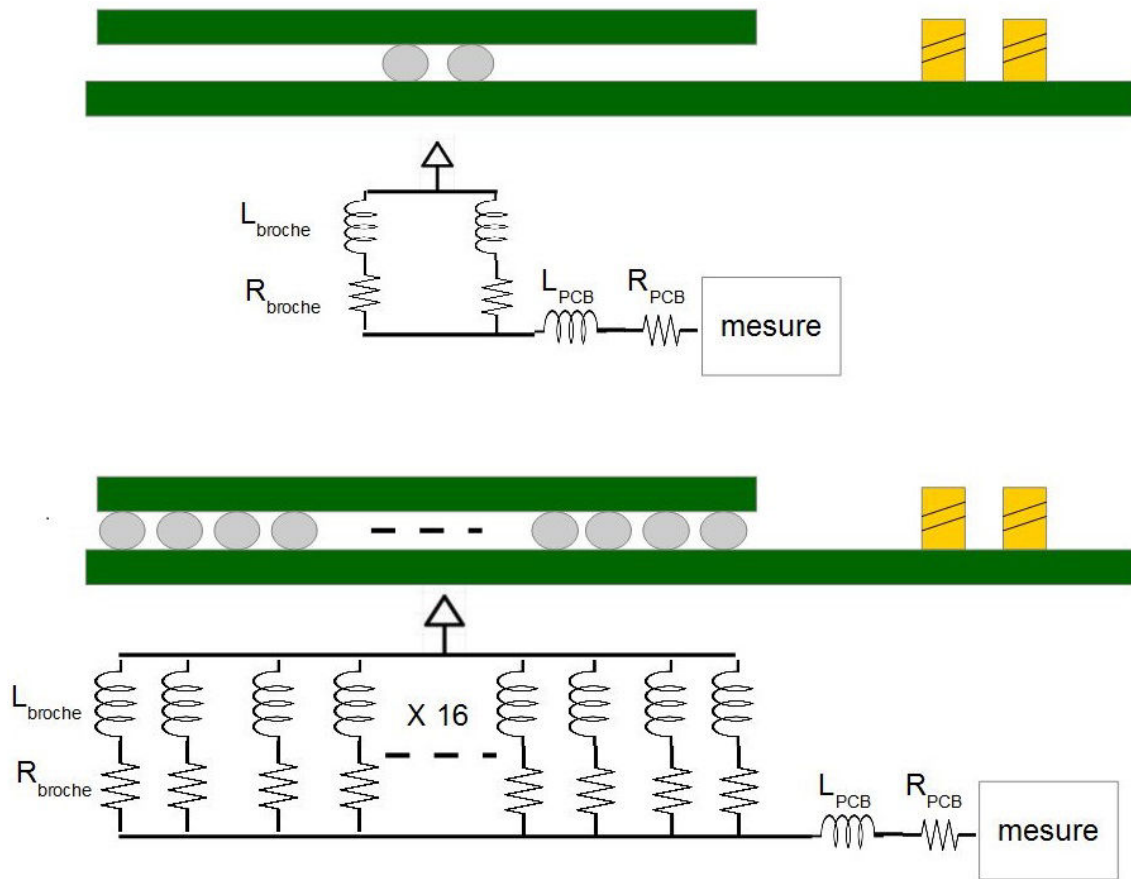


FIGURE 3.81 – Schéma équivalent des deux configurations de mesure

composant. L'association du modèle de boîtier transmis sous forme d'un fichier de paramètres S avec les condensateurs de découplage est réalisée à l'aide d'un outil de simulation circuit capable de prendre en compte des composants sous formes de fichiers de paramètres S comme c'est le cas de Electronic Desktop d'Ansys ou encore ADS de Keysight. Le résultat de la simulation obtenu avec le modèle du fabricant est comparé aux résultats de mesure obtenus dans la figure 3.82 Cette comparaison démontre que la mesure effectuée sur le composant est assez proche du résultat obtenu par simulation du modèle du boîtier. Une première différence est observée dans la première partie de la courbe. La mesure montre un comportement plus capacitif que le modèle du boîtier. Cela peut s'expliquer par l'absence du modèle de la puce de silicium qui rajoute de la capacité au comportement global du composant.

La partie résistive de la mesure est en revanche à peu près la même que celle du modèle. Par contre, à plus haute fréquence, le modèle du boîtier présente une inductance plus faible que la mesure effectuée. Le résultat de la simulation du modèle du boîtier est obtenu pour un port d'observation sur lequel une équipotentialité est déclarée au niveau de toutes les broches du composant. Ainsi le simulateur calcule l'inductance de l'ensemble des broches connectées en parallèle. C'est pourquoi l'inductance présentée par le modèle est plus faible.

Le modèle proportionné par le fabricant est valide sur la bande de fréquence de 1 kHz jusqu'à environ 60 MHz. Au-delà, les interactions entre le boîtier et la puce de silicium présente un comportement fort différent de celui du boîtier et ne permet pas de modéliser ce comportement. Le modèle du boîtier introduit néanmoins une erreur d'environ 26 %

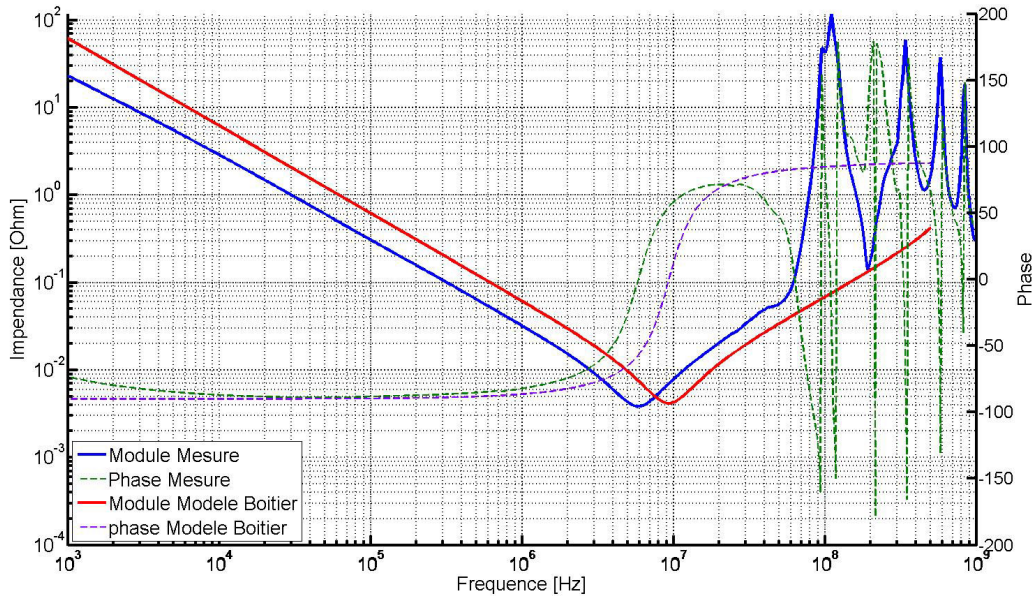


FIGURE 3.82 – Comparaison entre le résultat de mesure et le modèle de boîtier fourni par le fabricant

sur la capacité du composant. Cependant, il présente une capacité plus faible que celle mesurée. Par conséquent, la capacité totale au niveau de la carte risque d'être sur-estimée et non sous-estimée.

### 3.6.3 Conclusion partielle

Les concepteurs de cartes électroniques disposent rarement du modèle comportemental du circuit intégré. Pourtant son comportement influe fortement celui du réseau de distribution d'énergie au niveau du circuit imprimé. Il est donc important d'être en mesure d'obtenir le modèle du circuit intégré ou de le caractériser. Dans le cadre de ces travaux, une méthodologie de mesure et de caractérisation du circuit intégré a été développée, permettant d'obtenir le comportement électrique du composant sous forme d'un fichier de paramètres S utilisable pour la validation du découplage avant fabrication du circuit imprimé mais également pour le dimensionnement du réseau de découplage avant le routage de la carte.

## 3.7 Conclusion du chapitre

Pour être en mesure de simuler fidèlement le comportement du réseau de distribution d'énergie, il faut modéliser convenablement chacun des éléments le constituant, ainsi que les interactions entre chaque élément. Dans ce chapitre nous avons présenté les différents modèles simples ou plus complexes permettant de modéliser les éléments des circuits de distribution d'alimentation avec différents degrés de précision. Lorsque les modèles des composants ne sont pas fournis par les fabricants ou pour valider ceux disponibles, les techniques de mesure, les appareils à utiliser et leur configuration permettant d'obtenir précisément le comportement des composants du circuit d'alimentation sont détaillés. Pour vérifier la validité de chacun des modèles, les résultats obtenus

par simulation sont tous confrontés à des résultats de mesure ce qui permet d'évaluer à la fois leur degré de précision mais en plus de commenter leurs limitations.

Ce chapitre présente en particulier les travaux significatifs réalisés sur la modélisation du circuit imprimé, qui est la plus forte valeur ajoutée des concepteurs de carte électroniques. L'importance de la précision des données d'entrée du simulateur électromagnétique pour obtenir le comportement du circuit imprimé a été démontrée et l'impact des variations de ces paramètres a été qualitativement observé. Ainsi, Nous concluons qu'il est primordial de connaître les épaisseurs exactes constituant l'empilement pour obtenir un comportement réaliste du circuit intégré et que les différents modèles des propriétés diélectriques des matériaux utilisés à Thales sont convenables pour effectuer les simulations large bande pour valider l'intégrité du signal.

L'originalité de ces travaux réside sans doute dans l'effort de modélisation et de caractérisation réalisé autour du circuit intégré et en particulier de l'influence du boîtier du composant sur le comportement du circuit de distribution d'alimentation du circuit imprimé. Outre une présentation des principales techniques de conditionnement des circuits intégrés au sein de leur boîtier et la présentation des nouvelles stratégie de réduction de bruit de commutation en interne du composant, un état de l'art de la modélisation des cœurs d'alimentation de composant a été effectué. Ces différents modèles n'étant cependant pas répandus, une technique de caractérisation novatrice du composant a été explicitée et a montré l'importance de la prise en compte du découplage apporté par le composant au niveau du circuit imprimé. Enfin afin de valider la méthodologie de caractérisation, les résultats obtenus par mesure sont comparés à ceux obtenus en simulation grâce aux modèles fournis par le fabricant.

Dans le chapitre suivant, ces modèles vont être utilisés au sein de différents outils visant à dimensionner le réseau de distribution d'énergie d'une carte électronique et de simuler son comportement afin de s'assurer qu'aucun risque de défaillance n'apparaisse quel que soit le scénario d'opération de la carte.

## 3.8 Références

- 2003, *IPC 2221 Generic Standard on Printed Board Design*, IPC. [140](#)
- 2009, *Touchstone File Format Specification*, IBIS Open Forum. [119](#)
- 2012, *DE-Embedding and Embedding S-Parameter Networks Using a Vector Network Analyzer*, Keysight. [123](#), [126](#)
- 2012, *Evaluating DC-DC Converters and PDN with thhe E5061B LF-RF Network Analyzer*, Keysight. [104](#)
- 2017, *TPS53647 4-Phase, D-CAP+, Step-Down, Buck Controller with NVM and PMBus Interface for ASIC Power and High-Current Point-of-Load*, Texas Instrument. [95](#)
- AMÉDÉO, A. 2010, *Etude des phénomènes de Réflexions, de Diaphonie et de Stabilité des alimentations sur les cartes à haute densité d'interconnexions*, thèse de doctorat, École normale supérieure de Cachan-ENS Cachan. [130](#)
- ANDROS, F. E. et R. B. HAMMER. 1994, «Tbga package technology», *IEEE Transactions on Components, Packaging, and Manufacturing Technology : Part B*, vol. 17, n° 4, p. 564–568. [143](#)

- CHASTANG, C. 2013, *Techniques et méthodologies de validation par la simulation des liens multi-gigahertz des cartes électroniques haute densité*, thèse de doctorat, École normale supérieure de Cachan-ENS Cachan. 138
- CHEN, G., M. TANG et J. MAO. 2010, «Modeling of power-plane segmentation with cavity and planar-lumped models», dans *Microwave and Millimeter Wave Technology (ICMMT), 2010 International Conference on*, IEEE, p. 1394–1397. 130
- CHEN, J. et L. HE. 2007, «Efficient in-package decoupling capacitor optimization for i/o power integrity», *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 26, n° 4, p. 734–738. 143
- CHEN, K., W. D. BROWN, L. W. SCHAPER, S. S. ANG et H. A. NASEEM. 2000, «A study of the high frequency performance of thin film capacitors for electronic packaging», *IEEE Transactions on Advanced Packaging*, vol. 23, n° 2, p. 293–302. 118
- DEBYE, P. J. W. 1929, *Polar molecules*, Chemical Catalog Company, Incorporated. 138
- DJORDJEVIC, A. R., R. M. BILJIÉ, V. D. LIKAR-SMILJANIC et T. K. SARKAR. 2001, «Wideband frequency-domain characterization of fr-4 and time-domain causality», *IEEE Transactions on Electromagnetic Compatibility*, vol. 43, n° 4, p. 662–667. 137
- EBEL, G., J. JEFFERY et J. FARRELL. 1982, «Wirebonding reliability techniques and analysis», *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*, vol. 5, n° 4, p. 441–445. 143
- FERRIEUX, J.-P. et F. FOREST. 1987, *Alimentations à découpages, convertisseurs à résonance*, Masson. 96
- GORAL, B., C. GAUTIER et A. AMEDEO. 2016, «Power delivery network simulation methodology including integrated circuit behavior», dans *Signal and Power Integrity (SPI), 2016 IEEE 20th Workshop on*, IEEE, p. 1–4. 147
- HSIUNG, E. H.-K., Y.-L. LI, R.-B. WU, T. SU, Y.-S. CHENG et K.-B. WU. 2012, «A linear 4-element model of vrm—characteristics, practical uses and limitations», dans *Electrical Design of Advanced Packaging and Systems Symposium (EDAPS), 2012 IEEE*, IEEE, p. 13–16. 100
- HUANG, G., A. NAEEMI, T. ZHOU, D. O'CONNOR, A. MUSZYNSKI, B. SINGH, D. BECKER, J. VENUTO et J. D. MEINDL. 2008, «Compact physical models for chip and package power and ground distribution networks for gigascale integration (gsi)», dans *Electronic Components and Technology Conference, 2008. ECTC 2008. 58th*, IEEE, p. 646–651. 143
- KANTOROVICH, I. et C. HOUGHTON. 2008, «Effectiveness of on-die decoupling capacitance in improving chip performance», dans *Electrical Performance of Electronic Packaging, 2008 IEEE-EPEP*, IEEE, p. 165–168. 143
- KULALI, E., E. WASSERMAN et J. ZHENG. 2007, «Chip power model—a new methodology for system power integrity analysis and design», dans *Electrical Performance of Electronic Packaging, 2007 IEEE*, IEEE, p. 259–262. 145
- LECOQ, X., E. TERLAIN, E. DRALEZ et D. AUCHERE. 2016, «Achievements and challenges in power and signal integrity analyses of set-top box products», dans *Signal and Power Integrity (SPI), 2016 IEEE 20th Workshop on*, IEEE, p. 1–4. 143

- LEE, T. K., S. ZHANG, C. C. WONG et A. TAN. 2006, «A novel joint-in-via flip-chip chip-scale package», *IEEE Transactions on Advanced Packaging*, vol. 29, n° 1, p. 186–194. [143](#)
- LI, Y.-L., M. ELZINGA et F. YAHYAEI-MOAYYED. 2001, «Distributed models for multi-terminal capacitors-using 2d lossy transmission-line approach», dans *Proceedings of the 51st Electronic Components and Technology Conference*, Citeseer. [118](#)
- LIAW, H.-J. et H. MERKELO. 1996, «Signal integrity issues at split ground and power planes», dans *Electronic Components and Technology Conference, 1996. Proceedings., 46th*, IEEE, p. 752–755. [129](#)
- LIU, C., J. MAO et M. TANG. 2010, «A new power-ground plane modeling method with rectangle and triangle segmentation», *IEEE Transactions on Advanced Packaging*, vol. 33, n° 3, p. 639–646. [130](#)
- MCCCLUSKEY, F., R. JAIN, N. TIWARI, R. GRZYBOWSKI, J. BENOIT et S. LIN. 1999, «Die attach and wirebond systems for high temperature electronics», dans *High Temperature Electronics, 1999. HITEN 99. The Third European Conference on*, IEEE, p. 63. [143](#)
- MIN, J., W. BAI, X. YU, L. YANG, Y. BAI et Y. ZHOU. 2012, «Emi study on stripline with split reference plane», dans *Electromagnetic Compatibility (APEMC), 2012 Asia-Pacific Symposium on*, IEEE, p. 273–276. [129](#)
- NABESHIMA, Y., Y. OIZONO, T. OKUMURA et T. SUDO. 2011, «On-chip power integrity evaluation system», dans *Electromagnetic Compatibility of Integrated Circuits (EMC Compo), 2011 8th Workshop on*, IEEE, p. 165–169. [143](#)
- NOVAK, I. 2003, «Frequency-domain power-distribution measurements—an overview», dans *Design Conf. East*. [101](#), [102](#)
- NOVAK, I. 2008, *Power distribution network design methodologies*, Intl. Engineering Consortiu. [87](#)
- NOVAK, I. et J. R. MILLER. 2007, *Frequency-domain characterization of power distribution networks*, Artech House, Inc. [87](#)
- NOVAK, I., Y. MORI et M. RESSO. 2010, «Accuracy improvements of pdn impedance measurements in the low to middle frequency range», dans *Proc. DesignCon 2010*, p. 1–4. [96](#)
- NOVAK, I., Z. YANG, L. WOJEWODA, L. SMITH, H. ISHIDA et M. SHIMIZU. 2005, «Inductance of bypass capacitors : how to define, how to measure, how to simulate», *TecForum TF7 of DesignCon*. [121](#)
- NOVAK, I. et collab.. 1999, «Probes and setup for measuring power-plane impedances with vector network analyzer», dans *DesignCon99*, p. 202–215. [101](#), [120](#), [133](#)
- NOVAK, I. et collab.. 2000, «Measuring milliohms and picohenrys in power distribution networks», *Design Con*. [101](#)
- PAK, J. S., H. KIM, J. LEE et J. KIM. 2007, «Modeling and measurement of radiated field emission from a power/ground plane cavity edge excited by a through-hole signal via based on a balanced tlm and via coupling model», *IEEE transactions on advanced packaging*, vol. 30, n° 1, p. 73–85. [130](#)



- RAMANUJAN, A., E. SICARD, A. BOYER, J.-L. LEVANT, C. MAROT et F. LAFON. 2015, «Developing a universal exchange format for integrated circuit emission model-conducted emissions», dans *Electromagnetic Compatibility of Integrated Circuits (EMC Compo), 2015 10th International Workshop on the*, IEEE, p. 252–257. [145](#)
- SANDLER, S. 2014, *Power integrity*, McGraw-Hill Professional. [96](#)
- SANDLER, S. M. 1997, *SMPS simulation with SPICE 3*, McGraw-Hill. [107](#)
- SMITH, L. D., R. E. ANDERSON, D. W. FOREHAND, T. J. PELC et T. ROY. 1999, «Power distribution system design methodology and capacitor selection for modern cmos technology», *IEEE Transactions on Advanced Packaging*, vol. 22, n° 3, p. 284–291. [98](#)
- SMITH, L. D. et D. HOCKANSON. 2001, «Distributed spice circuit model for ceramic capacitors», dans *Electronic Components and Technology Conference, 2001. Proceedings., 51st*, IEEE, p. 523–528. [118](#)
- SMITH, L. D., D. HOCKANSON et K. KOTHARI. 2002, «A transmission-line model for ceramic capacitors for cad tools based on measured parameters», dans *Electronic Components and Technology Conference, 2002. Proceedings. 52nd*, IEEE, p. 331–336. [118](#)
- SVENSSON, C. et G. DERMER. 2001, «Time domain modeling of lossy interconnects», *IEEE Transactions on Advanced Packaging*, vol. 24, n° 2, p. 191–196. [138](#)
- SWAMINATHAN, M. et E. ENGIN. 2007, *Power integrity modeling and design for semiconductors and systems*, Pearson Education. [87](#), [130](#)
- TSAI, C.-Y., H.-C. KUO, C.-Y. HUANG et C.-C. WANG. 2015, «A novel flow to optimize package power distribution network design», dans *Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT), 2015 10th International*, IEEE, p. 296–299. [143](#)
- WEIR, W. B. 1974, «Automatic measurement of complex dielectric constant and permeability at microwave frequencies», *Proceedings of the IEEE*, vol. 62, n° 1, p. 33–36. [137](#)

# Chapitre 4

## Outils et Méthodologie de Simulation, Corrélation avec la Mesure

« *Everything should be made as  
simple as possible, but not simpler*  
»

---

Albert Einstein

### Sommaire

---

|  |            |
|--|------------|
| <b>4.1 Introduction</b> . . . . .  | <b>163</b> |
| <b>4.2 Interaction entre les condensateurs de découplage et circuit imprimé</b> .                    | <b>163</b> |
| 4.2.1 Inductance montée . . . . .  | 164        |
| 4.2.1.1 Cas traités et calcul d'extraction de l'inductance montée .                                  | 164        |
| 4.2.1.2 Résultats de mesures et interprétations . . . . .  | 168        |
| 4.2.1.3 Synthèse . . . . .   | 178        |
| 4.2.2 Inductance de boucle . . . . .   | 180        |
| 4.2.2.1 Cas traités et calcul d'inductance de boucle . . . . .                                       | 181        |
| 4.2.2.2 Résultats de mesures et interprétations . . . . .  | 182        |
| 4.2.2.3 synthèse . . . . .   | 192        |
| 4.2.3 Difficulté de l'approvisionnement multi-sources et de tolérance des<br>condensateurs . . . . . | 193        |
| 4.2.4 Conclusion partielle . . . . .   | 195        |
| <b>4.3 Méthodologie de conception du réseau de distribution d'énergie</b> . . . . .                  | <b>196</b> |
| 4.3.1 Phase d'architecture . . . . .   | 196        |
| 4.3.2 Phase de saisie de schéma . . . . .  | 197        |
| 4.3.3 Phase de placement/routage . . . . .   | 197        |
| 4.3.4 Tolérance sur les variations de tension . . . . .  | 198        |
| 4.3.5 Conclusion partielle . . . . .   | 200        |
| <b>4.4 Impédance cible</b> . . . . .   | <b>200</b> |
| 4.4.1 Calcul de l'impédance cible par simulation . . . . .   | 201        |
| 4.4.1.1 Cas pour un signal . . . . .   | 201        |
| 4.4.1.2 Cas pour un bus de signaux . . . . .   | 205        |
| 4.4.2 Calcul de l'impédance cible d'après des résultats de mesures . . . . .                         | 207        |
| 4.4.3 Conclusion partielle . . . . .   | 210        |
| <b>4.5 Circuit imprimé</b> . . . . .   | <b>210</b> |

|            |  |            |
|------------|--|------------|
| 4.5.1      | Densité de courant sur les plans   | 211        |
| 4.5.1.1    | Outil de simulation  | 211        |
| 4.5.1.2    | Validation de l'outil par la mesure  | 212        |
| 4.5.2      | Densité de courant dans les vias   | 216        |
| 4.5.2.1    | Méthodologie   | 216        |
| 4.5.2.2    | Application numérique et comparaison avec le résultat de l'outil de simulation | 217        |
| 4.5.3      | Conclusion partielle   | 219        |
| <b>4.6</b> | <b>Méthodologie de simulation</b>  | <b>220</b> |
| 4.6.1      | L'outil de simulation électromagnétique  | 220        |
| 4.6.2      | L'outil de modélisation circuit  | 222        |
| 4.6.2.1    | Définition du profil de courant dynamique                                      | 225        |
| 4.6.2.2    | Modèle d'appel de courant d'après la mesure                                    | 225        |
| 4.6.3      | Méthodologie globale   | 229        |
| 4.6.4      | Conclusion partielle   | 229        |
| <b>4.7</b> | <b>Mise en application de la méthodologie de simulation</b>                    | <b>231</b> |
| 4.7.1      | Configuration  | 231        |
| 4.7.2      | Simulation dans le domaine temporel  | 231        |
| 4.7.2.1    | Résultats de simulation  | 231        |
| 4.7.2.2    | Corrélation simulation-mesure  | 234        |
| 4.7.3      | Domaine fréquentiel  | 235        |
| 4.7.3.1    | Résultats de simulation  | 235        |
| 4.7.3.2    | Corrélation Simulation-mesure  | 237        |
| 4.7.4      | Conclusion partielle   | 239        |
| <b>4.8</b> | <b>Conclusion du chapitre</b>  | <b>240</b> |
| <b>4.9</b> | <b>Références</b>  | <b>240</b> |

---

## 4.1 Introduction

Les réseaux de distribution d'énergie sont des systèmes complexes à simuler. Ils sont à la croisée de problématiques typiquement étudiées dans le domaine fréquentiel comme les problèmes de résonances et d'interférences électromagnétiques ou de la dynamique de la boucle de rétroaction du composant d'alimentation. Mais la finalité des analyses d'intégrité de puissance est de s'assurer dans le domaine temporel que les fluctuations du potentiel d'alimentation sont comprises dans les tolérances des composants alimentés. Le résultat de simulation du réseau de distribution d'énergie est également utilisé dans le domaine temporel pour observer son impact sur la transmission de signaux.

Outre les difficultés rencontrées pour modéliser chacun des éléments de ce système, l'interaction des éléments entre eux provoque également des phénomènes physiques, qu'il est important de décrire et d'expliquer afin de maîtriser le comportement global des réseaux de distribution d'énergie. L'interaction entre le circuit imprimé et le composant d'alimentation et entre le circuit intégré et le circuit imprimé sont traités dans le chapitre précédent. L'étude de l'interaction entre le condensateur de découplage et le circuit imprimé fait l'objet d'une étude approfondie dans ce chapitre. Les différents phénomènes d'interaction entre les condensateurs et le circuit imprimé, dans le but de leur observation et de leur étude, ont fait l'objet d'implantations particulières sur le véhicule de test présenté au chapitre 2. Les résultats de mesure obtenus sont ensuite comparés avec les résultats donnés par les outils de simulation utilisés pour les analyses d'intégrité de puissance afin de démontrer la validité de ceux-ci.

Ensuite, est décrite la méthodologie de simulation permettant d'obtenir le comportement des réseaux de distribution d'énergie dans le domaine fréquentiel comme dans le domaine temporel. Elle reprend les objectifs de performance à atteindre, les étapes du dimensionnement et de l'analyse des circuits de distribution d'énergie, les outils de simulation, utilisés, leur configuration et les modèles nécessaires.

Enfin, un exemple d'application est donné et le résultat de la simulation obtenue comparé à la mesure sur le véhicule de test.

## 4.2 Interaction entre les condensateurs de découplage et circuit imprimé

Le condensateur de découplage est un élément essentiel du réseau de distribution d'énergie. Il permet d'abaisser l'impédance du circuit d'alimentation pour des fréquences entre la centaine de kilohertz et la centaine de mégahertz. Il constitue une réserve de charges au plus proche du composant à alimenter et libère celles-ci lors d'appels de courant rapides. Le condensateur n'est pas un composant idéal et son comportement est altéré par ses éléments parasites. La modélisation du condensateur est précisément décrite au [chapitre 3](#). En plus de son inductance équivalente série, l'efficacité du condensateur, c'est-à-dire la bande de fréquence sur laquelle il présente une impédance décroissante avec la fréquence, va également être réduite par l'introduction d'inductances parasites :

- l'inductance montée, due à l'interconnexion du condensateur avec le plan d'alimentation
- l'inductance de boucle, l'inductance introduite par la boucle de courant formée par l'interconnexion du plan jusqu'au composant à découpler.

Une illustration de l'inductance montée et de l'inductance de boucle sont respectivement données en figure 4.1 et 4.2.

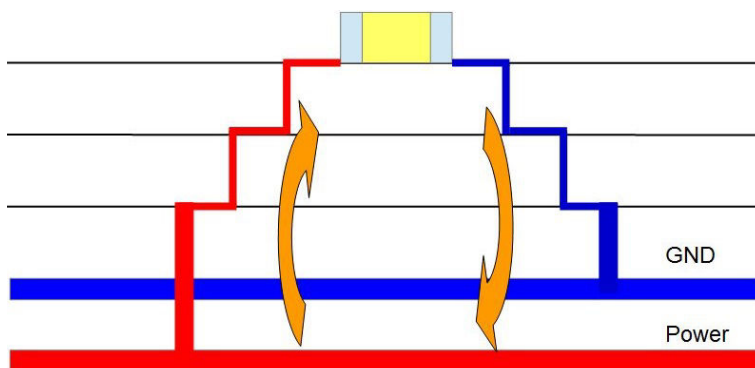


FIGURE 4.1 – Illustration de l'inductance montée d'un condensateur de découplage

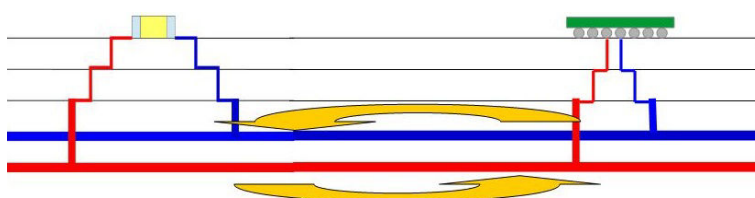


FIGURE 4.2 – Illustration de l'inductance de boucle d'un condensateur de découplage

### 4.2.1 Inductance montée

L'inductance montée dépend du routage du condensateur sur le circuit imprimé. La connexion du condensateur aux vias ou la liaison des vias aux plans sont à soigner pour éviter l'apparition d'inductances propres et mutuelles parasites dues aux interconnexions [ROY et collab. \[1998\]](#) [MILLIORN \[2004\]](#). Le routage des condensateurs de découplage influe donc de manière significative sur leur efficacité. D'autre part, la constitution de l'empilement peut également permettre d'optimiser l'effet du condensateur en réduisant la distance de connexion du condensateur aux plans à découpler [SMUTZER et collab. \[2016\]](#).

Des études précédentes ont permis, par simulation d'évaluer la valeur de l'inductance montée en fonction de différents types de routage [AMÉDÉO \[2010\]](#) [SMITH et collab. \[1999\]](#). Dans le cadre de ces travaux, un scénario de mesure a été implémenté sur le véhicule de test permettant de comparer l'inductance montée obtenue pour différents types de routage et de définir des règles de routage permettant de diminuer l'inductance montée et donc d'optimiser le découplage des plans d'alimentation. Les différentes implémentations mesurées sont rappelées dans le tableau 2.1.

#### 4.2.1.1 Cas traités et calcul d'extraction de l'inductance montée

La mesure est effectuée à l'aide d'un [VNA](#) en employant la technique de mesure sur 2 ports, ce qui permet d'obtenir une meilleure précision pour les impédances faibles mesurées. La connexion de l'appareil de mesure au scénario est montrée dans la figure 4.3.

Un premier ensemble de mesures est réalisée en soudant un condensateur Kemet C0402C104KRAC de 100 nF tour à tour sur chacune des empreintes correspondant à un



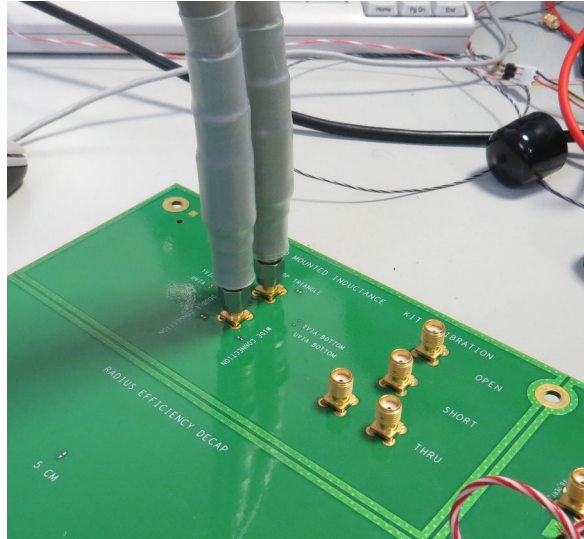


FIGURE 4.3 – Photographie de la connexion de l'appareil de mesure au scénario pour mesurer l'inductance montée des différents scénarios

scénario de montage. Ce condensateur a au préalable été caractérisé grâce au dispositif de mesure présenté au chapitre 3 et son modèle RLC équivalent défini. La valeur des éléments RLC du modèle du condensateur utilisé pour la mesure est présentée dans le tableau 4.1.

TABLEAU 4.1 – Valeur des éléments du modèles RLC du condensateur utilisé pour la mesure de l'inductance montée

| Elément | Valeur  |
|---------|---------|
| R       | 27,7 mΩ |
| L       | 520 pH  |
| C       | 90,7 nF |

Le fichier de paramètres S du condensateur mesuré et la réponse du modèle RLC équivalent sont comparés dans la figure 4.4, qui montre que le modèle utilisé est fidèle aux caractéristiques du condensateur utilisé. La mesure est réalisée sur une plage de fréquences de 300 kHz à 1GHz. La fréquence minimale est imposée par l'appareil de mesure. La fréquence maximale est choisie de manière à vérifier que le condensateur n'a pas d'influence sur le comportement du montage pour des fréquences plus éloignées de la fréquence de résonance propre du condensateur. Une première acquisition est effectuée sur le plan seul afin de mesurer la capacité de plan du scénario. L'impédance du plan seul mesurée est présentée en figure 4.5. Cette mesure permet d'estimer que la capacité de plan introduite par l'empilement dans ce scénario est de 6,6 nF. La valeur de la capacité interplan mesurée ici est importante. Elle est même plus forte que la valeur de certains condensateurs discrets utilisés pour le découplage (1 nF). Connaissant les caractéristiques précises du condensateur utilisé ainsi que la capacité apportée par le circuit imprimé, il est possible de recalculer d'après la fréquence de résonance propre mesurée l'inductance ramenée par le montage. La formule de la fréquence de résonance est décrite dans l'équation 4.1 :

$$F_{res} = \frac{1}{2\pi\sqrt{(C_{plan} + C_{condensateur}) \cdot (L_{montee} + L_{condensateur})}} \quad (4.1)$$

De cette équation, il est donc possible d'isoler  $L_{montee}$ . Le calcul de l'inductance apportée

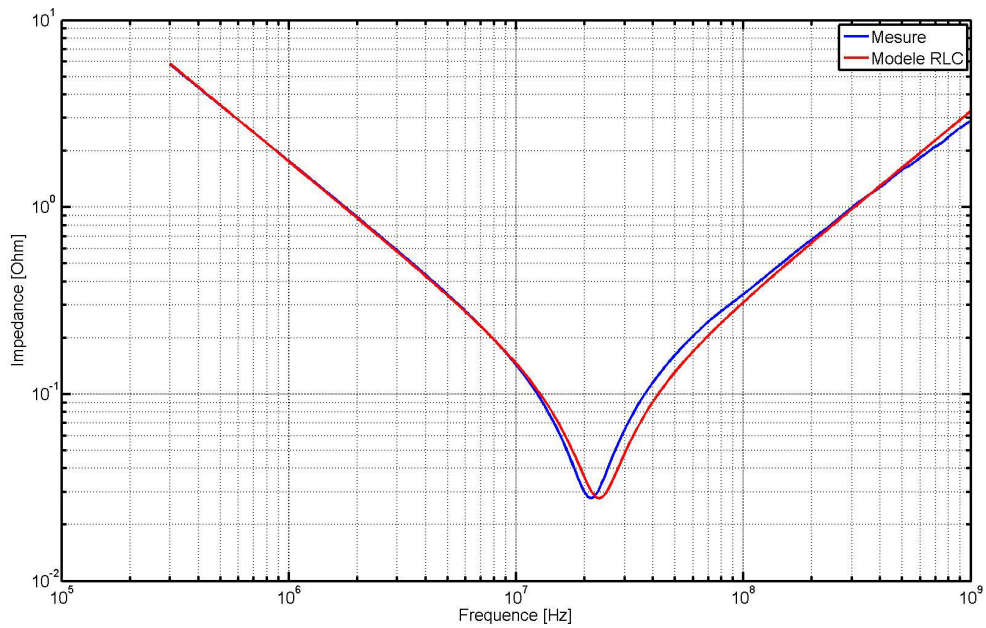


FIGURE 4.4 – Comparaison de l'impédance du condensateur utilisé pour la mesure d'inductance montée et de son modèle RLC équivalent

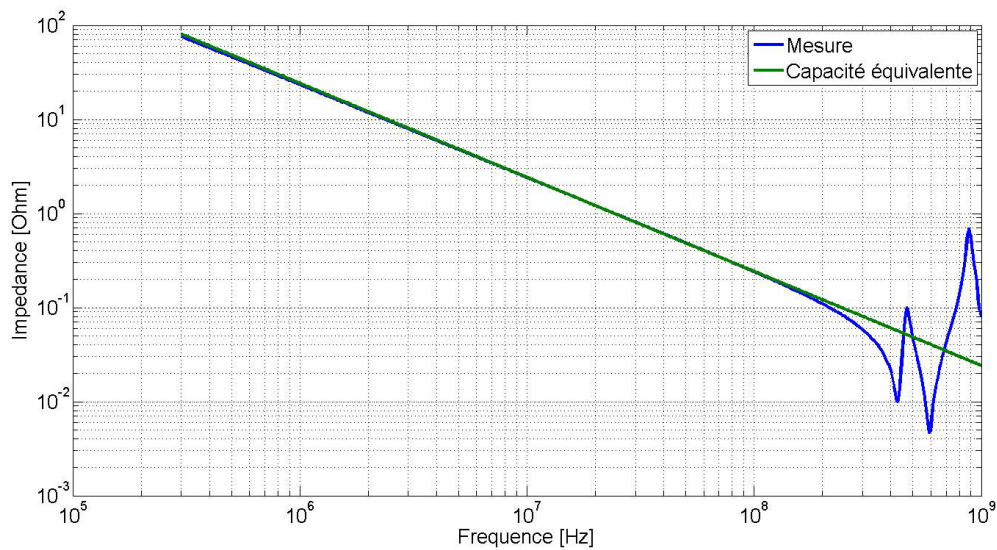


FIGURE 4.5 – Impédance mesurée du plan seul du montage (en bleu) permettant d'estimer la capacité de plan (vert) à 6,6 nF

par le routage du condensateur est donc 4.2 :

$$L_{montee} = \frac{1}{(2\pi \cdot F_{res})^2} \cdot \frac{1}{(C_{plan} + C_{condensateur})} - L_{condensateur} \quad (4.2)$$

Plus la fréquence de résonance propre est faible, plus le montage est inductif. En effet, le même condensateur étant utilisé pour chacune des mesures, les différences de fréquence de la résonance propre sont uniquement dues à l'inductance amenée par le montage du condensateur. Par ailleurs, plus le montage est résistif, plus la valeur de l'impédance à la fréquence de résonance est élevée. La fréquence de résonance propre du condensateur correspond à la fréquence pour laquelle la réactance de capacité et de l'inductance s'annulent. L'impédance donnée pour cette fréquence correspond donc à l'impédance réelle du montage, donc sa résistivité.

Dans le cas de la conception d'une carte électronique il est intéressant d'évaluer l'efficacité du routage par simulation. Afin de voir si les parasites introduits par le montage des condensateurs sont bien pris en compte dans l'outil de simulation électromagnétique, chacun des scénarios est simulé. De la même manière que pour les résultats de mesure, l'inductance montée introduite par chaque montage est calculée en utilisant la formule 4.2.

Néanmoins, au vu de la précision nécessaire pour la différentiation d'un montage par rapport à l'autre, une erreur peut être introduite par le modèle de condensateur utilisé qui présente comme le montre la figure 4.4 une inductance équivalente série plus fidèle pour des fréquences supérieures à la centaine de MHz.

Afin de s'affranchir du modèle du condensateur, une nouvelle série de mesures est réalisée, cette fois-ci en court-circuitant les empreintes des condensateurs de telle manière qu'un pic d'anti-résonance apparaisse entre l'inductance formée par le court-circuit et la capacité de plan. La mesure est effectuée en court-circuitant les empreintes de condensateur des montages une à une. Dans le cas d'un court-circuit, le calcul de la fréquence de résonance reste le même que dans le cas précédent en retirant les termes propres aux parasites du condensateur. Cela donne l'équation 4.3.

$$F_{res} = \frac{1}{2\pi \cdot \sqrt{(C_{plan} \cdot L_{montee})}} \quad (4.3)$$

de laquelle il est facile de tirer la valeur de l'inductance montée. Ce nouveau cas de mesure est également reproduit en simulation afin d'évaluer la précision de l'outil. Dans la simulation, la soudure est alors modélisée par une résistance de 1 mΩ.

Comme dans le scénario utilisant le condensateur, plus la fréquence d'anti-résonance est élevée, plus l'inductance montée ramenée par le montage est faible car la capacité du plan est considérée comme constante sur la plage de fréquences mesurées. En revanche, plus la résistance ramenée par le montage est faible, plus la valeur d'impédance à l'anti-résonance sera importante puisque cette impédance est proportionnelle au facteur de qualité du filtre RLC équivalent formé dont la formule est donnée dans l'équation 4.4 :

$$Q = \frac{X_L}{R} \quad (4.4)$$

Avec  $X_L$  la réactance de l'inductance montée et R la résistance du montage. Le montage présentant l'impédance la plus forte à la fréquence d'anti-résonance sera donc le montage le moins résistif.



Enfin, le logiciel dispose d'un module permettant normalement de calculer l'inductance montée des condensateurs depuis un port d'observation défini. Cet outil est utilisé en tant qu'indicateur de la performance du routage des condensateurs. Afin de vérifier la validité des résultats donnés par l'outil, une simulation est réalisée sur le scénario pour lequel un condensateur de 100nF est utilisé.

#### 4.2.1.2 Résultats de mesures et interprétations

**4.2.1.2.1 Résultats de mesures** Les résultats de mesures obtenus pour chacun des type de routage avec le condensateur de 100 nF sont comparés dans la figure 4.6.

Les résultats donnés par l'outil de simulation en utilisant le modèle du condensateur sont comparés dans la figure 4.7.

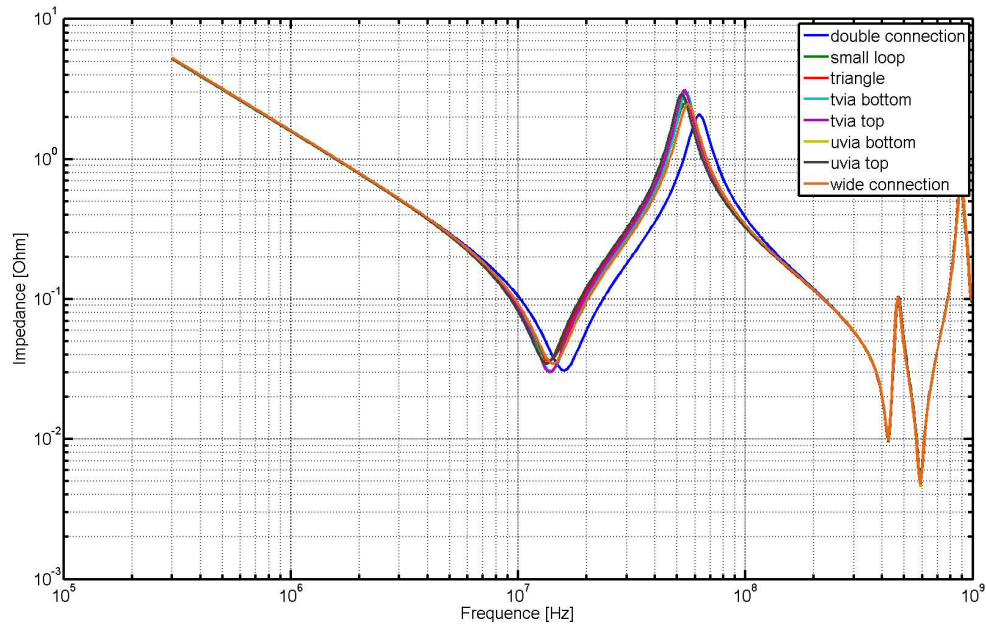
Les résultats de mesures comme ceux de simulation montrent l'influence du routage du condensateur sur l'impédance de l'ensemble. Le tableau 4.2 donne la valeur de la fréquence de résonance et la valeur d'inductance introduite par chaque montage en mesure et en simulation. Dans ce tableau, figurent également les différences d'inductance et de résistance obtenues entre mesure et simulation

##### 4.2.1.2.2 Interprétation des résultats

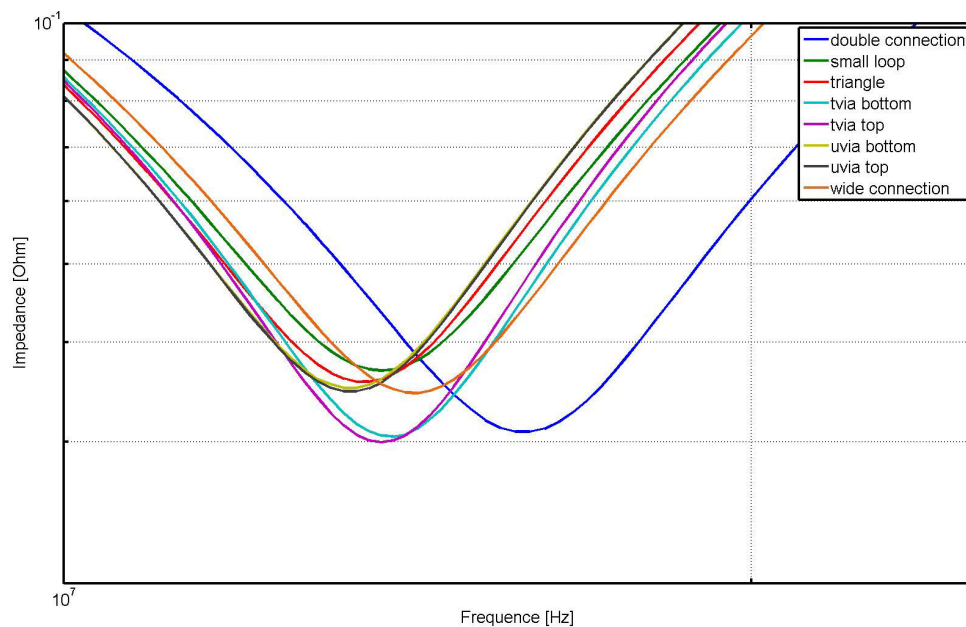
**Le montage Double Connexion** Le montage présentant les meilleures performances est le montage Double Connexion pour lequel chaque plage de soudure du composant est connectée à deux vias. Dans le cas de ce montage, les résistances et inductances de connexions au plan sont placées en parallèle. Par conséquent si le routage est parfaitement symétrique, la valeur de ces éléments devrait être divisée par deux. Il est important de noter que le fait de dédoubler les vias de connexion au plan réduit fortement les éléments parasites puisque le routage de connexion du condensateur au via pour ce scénario est le même que celui utilisé dans le montage Triangle qui est l'un des montages le moins efficace mesuré. Nous constatons en effet que l'inductance montée et la résistivité du montage Double Connexion sont respectivement 46 % et 60% plus faibles que le montage Triangle.

**Impact de la largeur des pistes** Un autre facteur permettant de réduire l'inductance montée et la résistance dans une moindre mesure est d'élargir la largeur des pistes d'interconnexion entre le condensateur et le plan. Les scénarios Small Loop et Connexion Large utilisent en effet le même routage. Cependant, l'inductance montée du montage pour des connexions larges dont la largeur de piste est de 350  $\mu\text{m}$  est réduite de 11,4 % par rapport à l'inductance du montage Small Loop pour lequel elle n'est que de 200  $\mu\text{m}$ .

**Influence de la largeur de la boucle de courant** Dans le montage Small Loop, le paramètre évalué est l'influence de la largeur de boucle de courant formée par les vias enterrés. Par rapport à une utilisation de micro-vias plus classiquement rencontrée sur les cartes électroniques à Thales comme le présentent les scénarios Micro-via TOP ou Triangle, le motif du scénario Small Loop présente en effet une inductance montée plus faible, réduite de 11,15 % par rapport à l'inductance montée du montage Micro-via TOP. En revanche, la performance en termes de résistivité en pâtit à cause des pistes de connexion de la couche TOP qui sont plus longues, la résistance du montage augmente de 30 %.



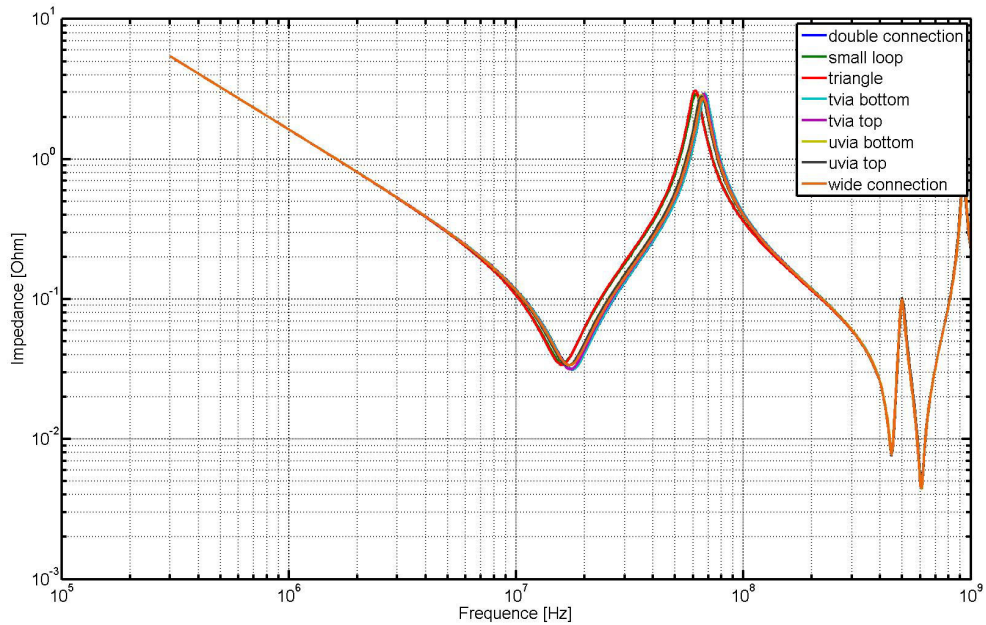
(a) Comparaison des résultats de mesure des 8 montages



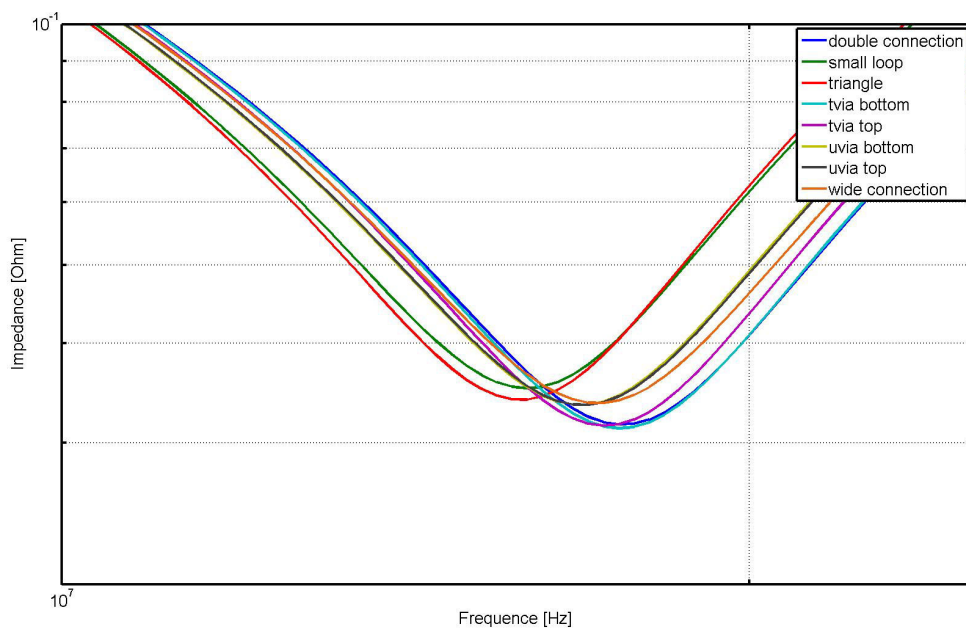
(b) Agrandissement des résultats de mesure des 8 montages autour de la fréquence de résonance

FIGURE 4.6 – Comparaison des résultats de mesure des 8 montages avec le condensateur 100 nF





(a) Comparaison des résultats de simulation des 8 montages



(b) Agrandissement des résultats de simulation des 8 montages autour de la fréquence de résonance

FIGURE 4.7 – Comparaison des résultats de simulation des 8 montages avec le modèle du condensateur de 100 nF

TABLEAU 4.2 – Valeur de la fréquence de résonance, d'inductance montée et de la résistance introduite par le montage en mesure et en simulation pour le cas du condensateur

| Scénario           | Mesure                       |                        |                          |                              | Simulation             |                          |                                     |            | Différences                            |            |            |
|--------------------|------------------------------|------------------------|--------------------------|------------------------------|------------------------|--------------------------|-------------------------------------|------------|--|------------|------------|
|                    | Fréquence de résonance (MHz) | Inductance montée (pH) | Résistance ( $m\Omega$ ) | Fréquence de résonance (MHz) | Inductance montée (pH) | Résistance ( $m\Omega$ ) | différence d'inductance montée (pH) | Erreur (%) | différence de résistance ( $m\Omega$ ) | Erreur (%) | Erreur (%) |
| Double Connexion   | 16                           | 497                    | 3,2                      | 17,53                        | 327                    | 4,0                      | 170                                 | 34,2       | 0,7                                    | 23,0       |            |
| Small Loop         | 13,77                        | 853                    | 9,1                      | 15,99                        | 499                    | 7,4                      | 354                                 | 41,5       | 1,7                                    | 19,0       |            |
| Triangle           | 13,43                        | 923                    | 8,0                      | 15,99                        | 499                    | 6,3                      | 425                                 | 46,0       | 1,7                                    | 21,4       |            |
| Through Via BOTTOM | 13,94                        | 813                    | 2,8                      | 17,53                        | 327                    | 3,6                      | 492                                 | 60,1       | 0,8                                    | 28,4       |            |
| Through Via TOP    | 13,77                        | 853                    | 2,3                      | 17,26                        | 354                    | 3,8                      | 499                                 | 58,5       | 1,6                                    | 69,6       |            |
| Micro-via BOTTOM   | 13,26                        | 960                    | 7,3                      | 17,00                        | 381                    | 5,8                      | 579                                 | 60,3       | 1,5                                    | 21,9       |            |
| Micro-via TOP      | 13,26                        | 960                    | 7,0                      | 17,00                        | 381                    | 5,8                      | 579                                 | 60,3       | 1,2                                    | 17,5       |            |
| Connexion Large    | 14,28                        | 756                    | 6,8                      | 17,26                        | 354                    | 6,0                      | 403                                 | 53,2       | 0,9                                    | 12,8       |            |

**Impact des vias sur le côté** Le montage Triangle présente une inductance montée légèrement plus faible que le montage Micro-via TOP avec une réduction de 3,85 %. L'implantation des vias sur le côté de la plage de soudure du condensateur plutôt que dans le prolongement de l'empreinte du condensateur réduit en effet la largeur de la boucle de courant.

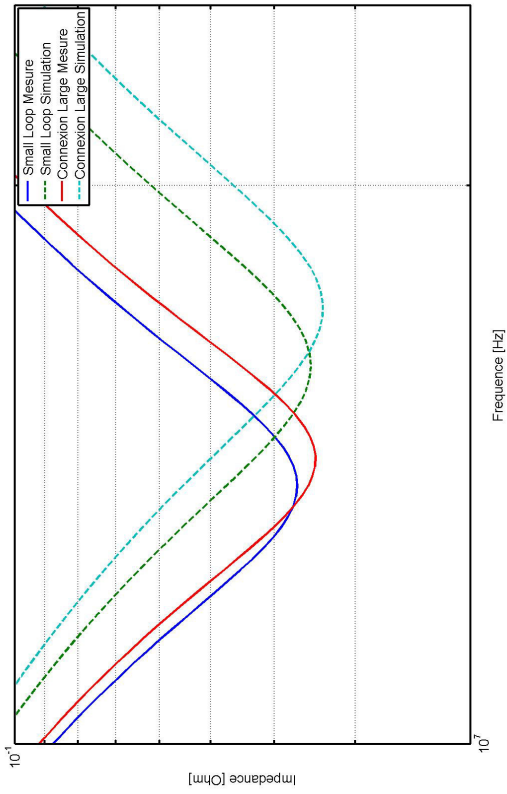
**Impact des technologies de vias** Comme le montre la mesure, l'utilisation de vias traversants est très favorable pour réduire les parasites inductifs par rapport à une connexion en micro-via. Les vias traversants présentent en effet la boucle de courant la plus petite et réduisent également fortement la résistivité du montage de près de 65 % par rapport aux montages utilisant des micro-vias. Ce montage présente en revanche l'inconvénient d'occuper plus de surface. Sur la couche d'implantation du condensateur les pastilles des vias traversants sont plus larges que celles des micro-vias. Ces pastilles sont également présentes sur couche opposée, puisque le via est traversant, ce qui réduit fortement les possibilités d'utilisation dans le cas de région de carte dense ou sous un composant BGA et réduit également la surface de cuivre du plan. Cette technologie est donc de moins en moins présente sur les cartes.

**Impact de la couche de routage** Enfin dans notre cas la couche de routage du plan n'a presque pas d'impact puisque la paire de plans se situe au centre de l'empilement. Le plan d'alimentation est en couche 7 tandis que le plan de référence est en couche 8. Nous pouvons cependant noter une légère différence entre les scénarios de condensateur placés en couche TOP par rapport à ceux placés en couche BOTTOM. Les montages en couche TOP, plus proches du plan d'alimentation présentent une résistivité plus faible de 18 % mais la différence n'est que de  $500 \mu\Omega$ . Ce paramètre peut prendre de l'importance si le plan d'alimentation est placé plus proche d'une couche externe que de l'autre.

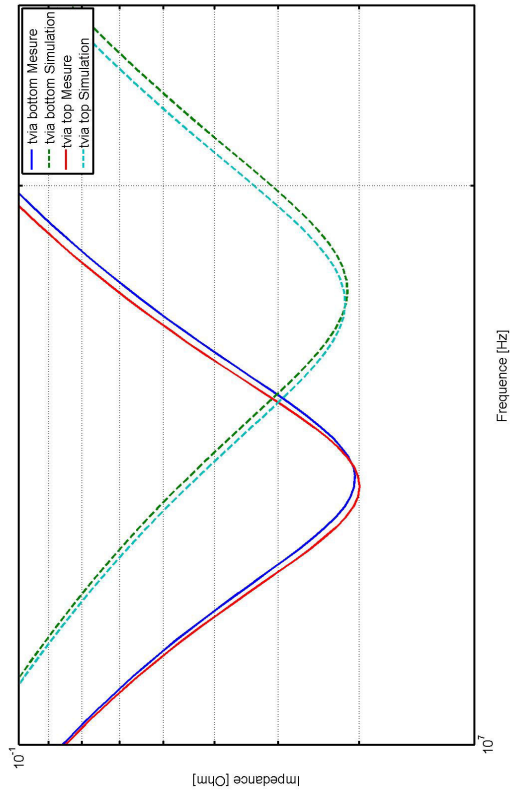
**Comparaison simulation mesure** Les résultats obtenus en simulation présentent des différences notoires par rapport aux résultats obtenus en mesure. La distinction entre les montages qui utilisent des vias traversants par rapport à ceux utilisant des micro-vias est encore marquée. L'inductance du montage Double Connexion, triangle Small Loop est sur-estimée par rapport aux résultats obtenus en mesure. Enfin de manière générale, l'inductance montée obtenue en simulation est sous-estimée par rapport aux résultats de mesure. Afin de rendre compte de ces différences visuellement, les courbes obtenues en simulation et en mesure sont respectivement comparées dans la figure 4.8. La quantification de la différence obtenue entre les résultats de mesure et de simulation ne permet pas d'identifier un facteur d'erreur systématique qui expliquerait les différences observées.

Les différences observées entre simulation et mesure pour le cas utilisant le condensateur pourraient être expliquées par une mauvaise prise en compte du modèle du condensateur dans le logiciel de simulation. C'est pourquoi un second cas a été développé afin de tenter d'obtenir de meilleures corrélations entre simulation et mesure en s'affranchissant cette fois-ci du modèle de condensateur. C'est pourquoi l'inductance montée est maintenant estimée en réalisant un court-circuit aux empreintes des condensateurs et en mesurant la fréquence d'anti-résonance entre l'inductance du circuit-réalisé et la capacité du plan. Les résultats de mesure obtenus sont comparés les uns aux autres dans la figure 4.9.

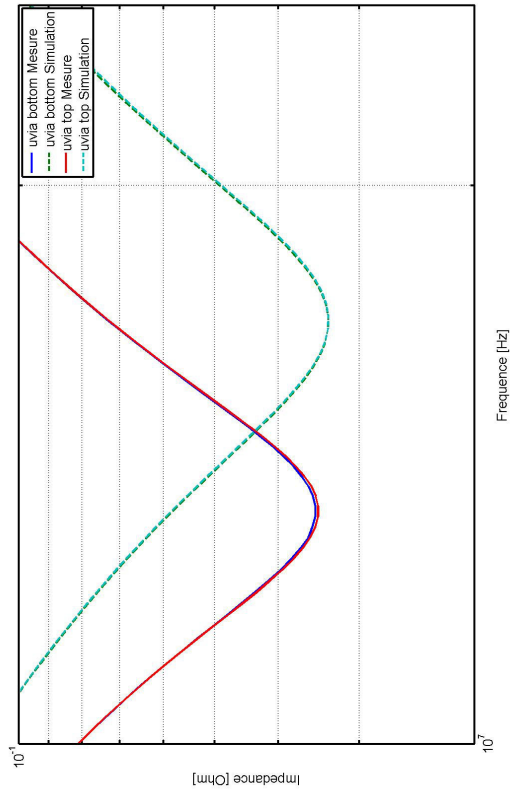
L'ensemble des fréquences de résonance, et des inductances montées calculées pour chacun des scénarios sont rassemblées dans le tableau 4.3. Les valeurs obtenues pour



(a) Montages Double connexion et Triangle



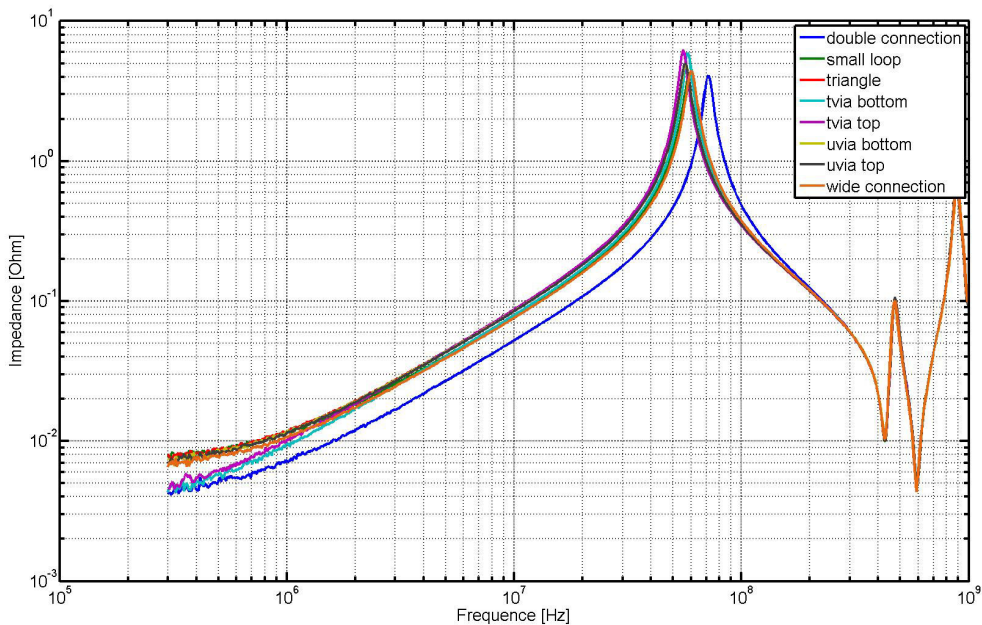
(b) Montages Small Loop et Connexion Large



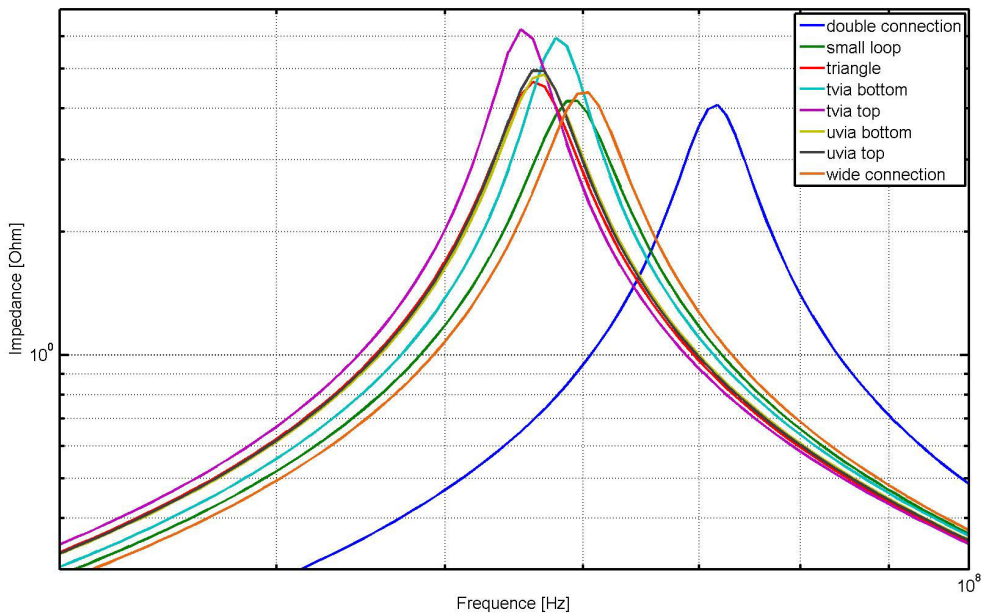
(c) Montages via top et via bottom

(d) Montages via top et via bottom

FIGURE 4.8 – Comparaison des résultats de mesure et de simulation pour l'étude des montages avec le condensateur 100nF



(a) Comparaison des résultats de mesure des 8 montages



(b) Agrandissement des résultats de mesure des 8 montages autour de la fréquence de résonance

FIGURE 4.9 – Comparaison des résultats de mesure des 8 montages en court-circuit



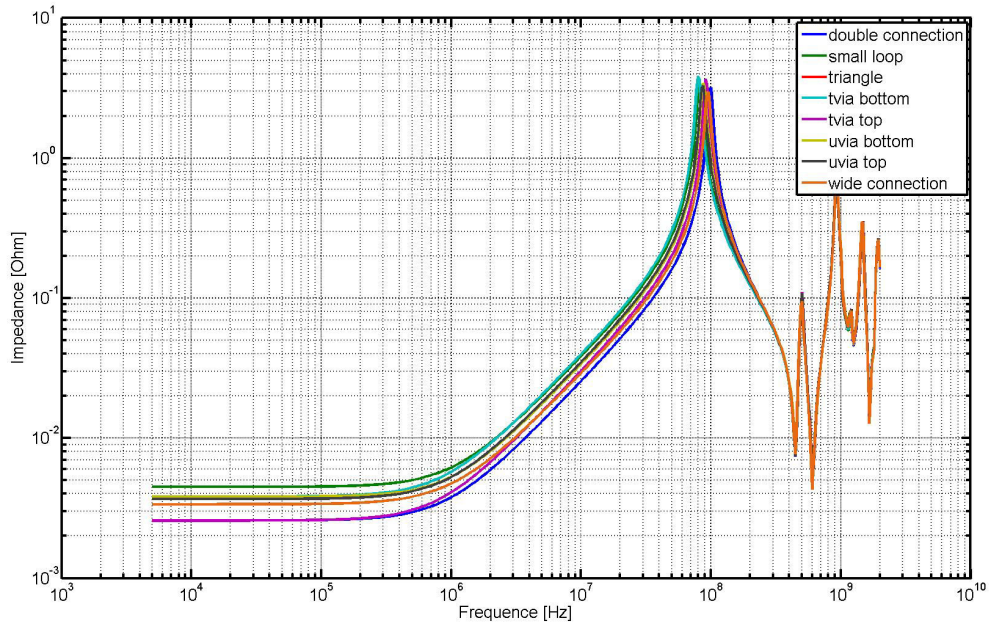
TABLEAU 4.3 – Valeur de la fréquence de résonance, d'inductance montée introduite par le montage en mesure et en simulation pour le cas du court-circuit

| Scénario           | Mesure        |            | Simulation    |            | Différences           |               |
|--------------------|---------------|------------|---------------|------------|-----------------------|---------------|
|                    | Fres<br>(MHz) | Lm<br>(pH) | Fres<br>(MHz) | Lm<br>(pH) | $\Delta_{Lm}$<br>(pH) | Erreur<br>(%) |
| Double Connexion   | 71,2          | 747        | 99,8          | 386        | 361                   | 48,4          |
| Small Loop         | 59,6          | 1081       | 81,1          | 584        | 498                   | 46,0          |
| Triangle           | 56,1          | 1219       | 79,2          | 611        | 608                   | 49,8          |
| Through Via BOTTOM | 57,8          | 1147       | 97,5          | 404        | 743                   | 64,8          |
| Through Via TOP    | 55,3          | 1257       | 91,0          | 464        | 793                   | 63,1          |
| Micro-via BOTTOM   | 57,0          | 1182       | 86,9          | 508        | 674                   | 57,0          |
| Micro-via TOP      | 57,0          | 1219       | 86,9          | 508        | 710                   | 58,3          |
| Connexion Large    | 60,4          | 1051       | 95,3          | 423        | 628                   | 59,8          |

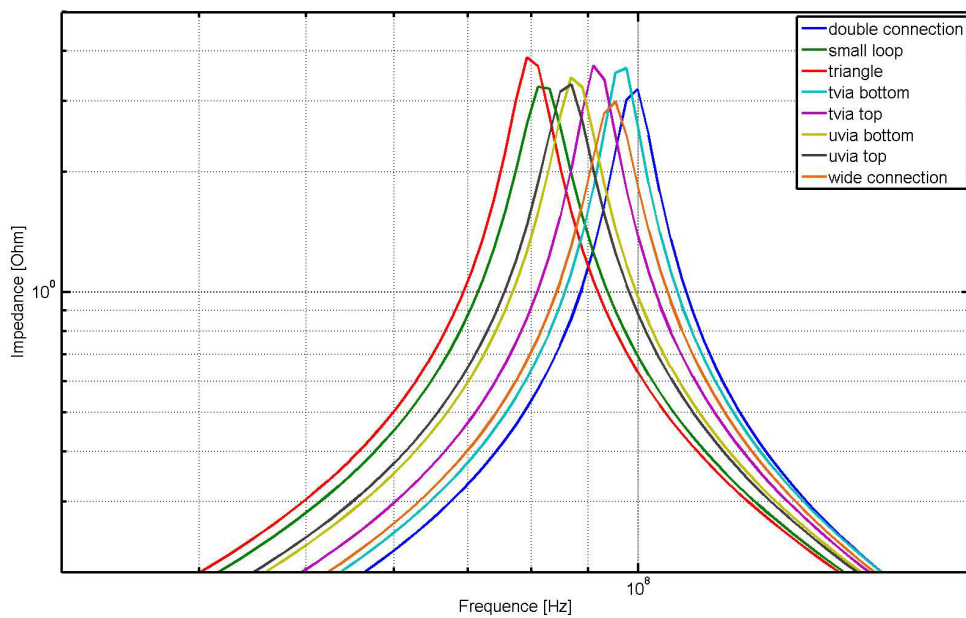
ce cas de mesure sont différentes de celles présentées pour la mesure utilisant le condensateur de découplage. Elles ne sont pas pour autant incohérentes puisque la valeur des éléments parasites varie avec la fréquence. Dans la figure 4.5, nous observons que la valeur de capacité de plan de 6,6 nF utilisée pour le calcul à une fréquence de 70 MHz est à la limite de validité de cette valeur. De même, la valeur des parasites inductifs varient avec la fréquence à cause de l'effet de peau. Qualitativement, nous retrouvons cependant les mêmes tendances que dans le cas précédent. En comparant uniquement la valeur d'inductance montée obtenue pour chaque scénario, il résulte que le montage présentant les meilleurs performances est donc à nouveau le montage Double connexion. Les montages utilisant les vias traversants sont encore les montages les moins résistifs. Le montage possédant de larges connexions présente une inductance montée 13,78 % plus faible que le montage Small loop, ce qui est du même ordre de grandeur que la valeur observée pour le cas du condensateur. Le montage Small Loop est moins inductifs (11,30 %) mais plus résistif que le montage Micro-via TOP. Le résultat de simulation est présenté en figure 4.10

Encore une fois en simulation, les distinctions des montages obtenues par mesure sont difficiles à retrouver. La distinction entre l'utilisation de micro-vias et de vias traversants est encore visible, à l'exception du montage Triangle qui montre une résistance anormalement faible par rapport à la mesure. Le montage Double Connexion est le montage le moins inductif, en revanche, son inductance montée ne semble pas aussi faible en comparaison avec les montages utilisant les vias traversants. Les montages Small Loop et Triangle présentent des inductances montées anormalement élevées par rapport aux montages en mesure. Les résultats en simulation montrent à nouveau une tendance à sous-estimer la valeur de l'inductance montée. Mais les résultats qualitatifs sont cette fois-ci faux par rapport à ce qui a été observé en mesure. Afin de mieux se rendre compte de la mauvaise corrélation entre la simulation et la mesure et visualiser les différences obtenues, les résultats de mesures sont comparés aux résultats de simulation dans les figures 4.11. La différence en pourcentage d'inductance montée obtenue entre simulation et mesure calculée dans le tableau 4.3 reste du même ordre de grandeur pour les deux cas. Cela implique donc qu'il s'agit d'une erreur systématique du simulateur.

Enfin, les résultats de la fonction du logiciel de simulation permettant de calculer l'inductance montée sont regroupés dans le tableau 4.4. Les inductances montées calculées lors de cette simulation ne correspondent pas aux inductances montées calculées en me-

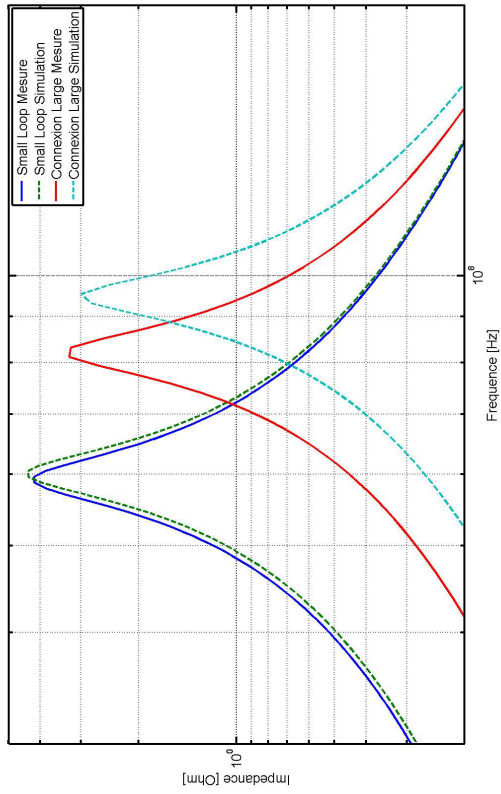


(a) Comparaison des résultats de simulation des 8 montages

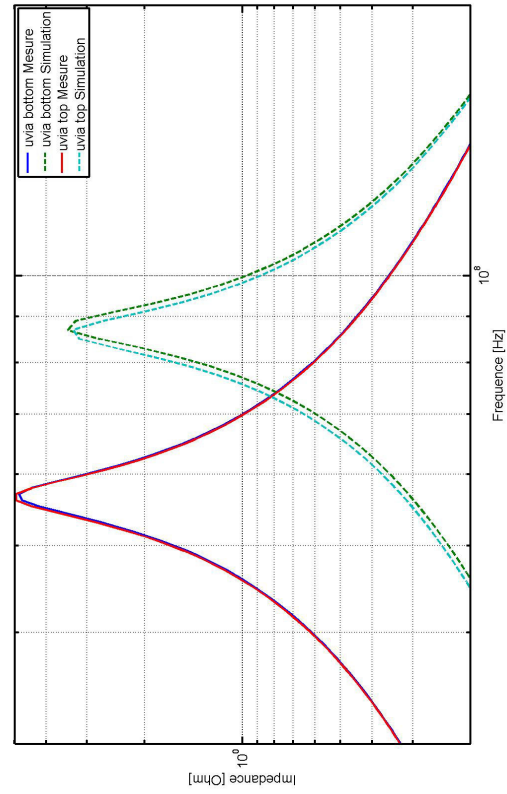


(b) Agrandissement des résultats de simulation des 8 montages autour de la fréquence de résonance

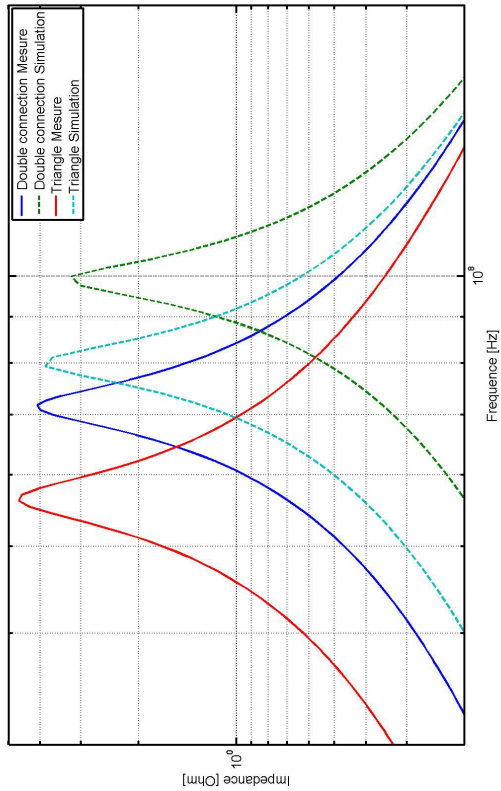
FIGURE 4.10 – Comparaison des résultats de simulation des 8 montages en court-circuit



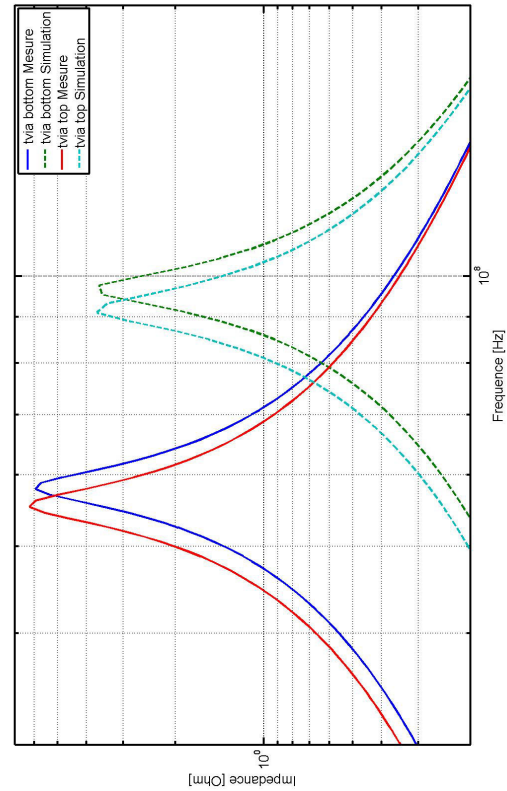
(b) Montages Small Loop et Connexion Large en court-circuit



(d) Montages uvia top et uvia bottom en court-circuit



(a) Montages Double connexion et Triangle en court-circuit



(c) Montages tvia top et tvia bottom en court-circuit

FIGURE 4.11 – Comparaison des résultats de mesure et de simulation pour l'étude des montages en court-circuit

TABLEAU 4.4 – Valeur de l’inductance montée de chaque condensateur calculée par l’outil de simulation

| Scénario           | Inductance montée (pH) |
|--------------------|------------------------|
| Double Connexion   | 950                    |
| Small Loop         | 1130                   |
| Triangle           | 1200                   |
| Through Via BOTTOM | 980                    |
| Through Via TOP    | 1020                   |
| Micro-via BOTTOM   | 1090                   |
| Micro-via TOP      | 1120                   |
| Connexion Large    | 980                    |

sure ou dans les simulations. La variation est due à la fréquence pour laquelle ces inductances montées sont calculées. Elles sont en effet calculées pour une fréquence avoisinant les 10 kHz. Bien qu’étant différentes des valeurs calculées en mesure comme en simulation, les résultats de cette simulation donnent le même classement de performance des montages évalués. Le montage Double Connexion est bien le montage le moins inductif, le montage à larges connexions est moins inductif que le montage Small Loop. En revanche, l’implantation des vias sur le côté de la plage de soudure du composant n’entraîne pas de réduction d’inductance comme observé dans les autres simulations. Calculer l’inductance montée pour une valeur de 10 kHz présente un d’intérêt limité puisque ce que nous cherchons à déterminer est l’inductance ramenée par le montage qui va nuire à l’efficacité du condensateur. Il serait donc plus judicieux de connaître cette valeur pour des fréquences proches de la fréquence de résonance propre du condensateur. Cette simulation a par contre l’avantage de présenter un contrôle visuel des inductances montées d’une carte et permet d’identifier à simple vue un montage anormalement inductif ou des disparités importantes et de prendre les mesures nécessaires pour optimiser le routage des condensateurs. Un aperçu du résultat visuel de la simulation est donné dans la figure 4.12.

#### 4.2.1.3 Synthèse

Afin de mieux rendre compte de l’évolution de la valeur d’inductance montée en fonction des différents cas de simulation et de mesure exposés dans cette partie, l’ensemble des résultats obtenus sont représentés dans la figure 4.13. Le graphique de la figure 4.13 montre que bien qu’aucun cas de mesure ou de simulation ne concorde en termes de valeurs, une certaine cohérence est observée dans l’estimation de l’inductance montée des montages les uns par rapport aux autres. Cela indique que bien qu’il ne soit pas possible de se fier aux résultats numériques donnés par la simulation, les résultats qualitatifs peuvent être utilisés pour identifier les routages présentant des inductances anormalement hautes ou pour corriger et optimiser le routage afin d’accroître l’efficacité du découplage. L’impact du routage des condensateurs sur l’efficacité du découplage a été étudié dans [BENOIT et collab. \[2015\]](#) et [GORAL et collab. \[2015\]](#).

Le tableau 4.5 présente les types de montage du plus au moins performant en termes d’inductance montée et dans une moindre mesure de résistivité des montages. La troisième colonne présente en outre une approximation de la réduction de l’inductance montée par rapport au montage micro-via BOTTOM couramment rencontré sur les cartes chez Thales. Il est important de noter que la classification de ces montages est tout à



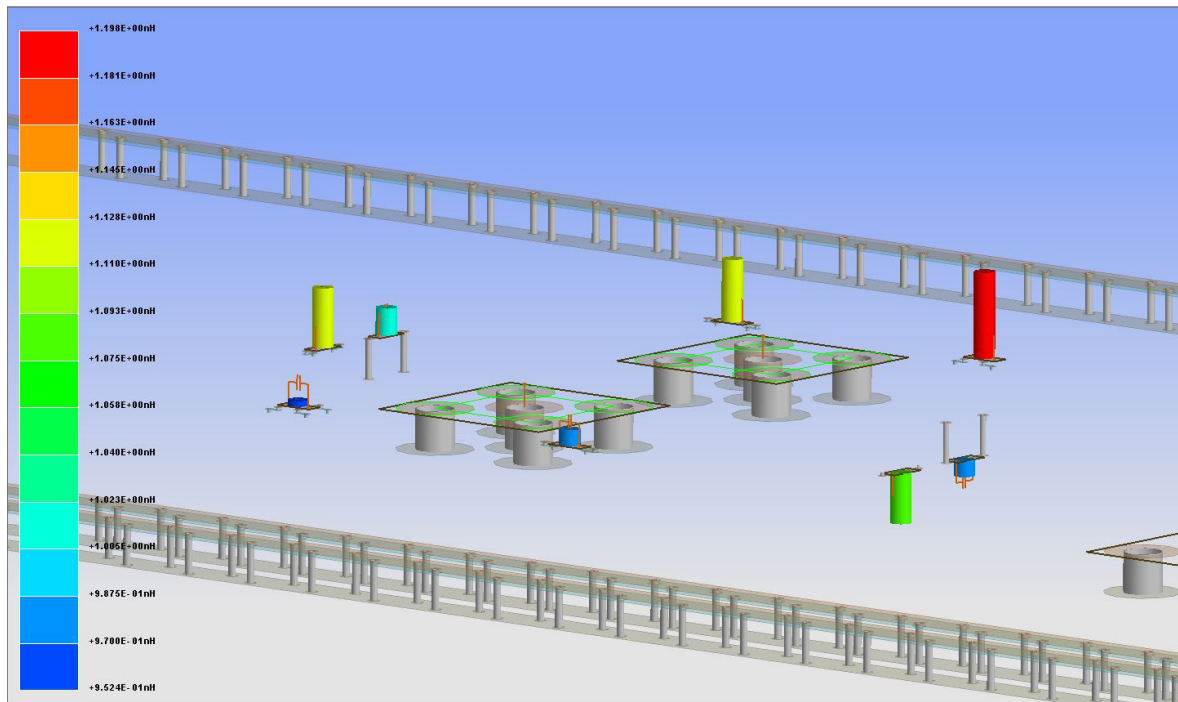


FIGURE 4.12 – Aperçu du résultat visuel de la simulation de calcul d'inductance montée dans le logiciel de simulation

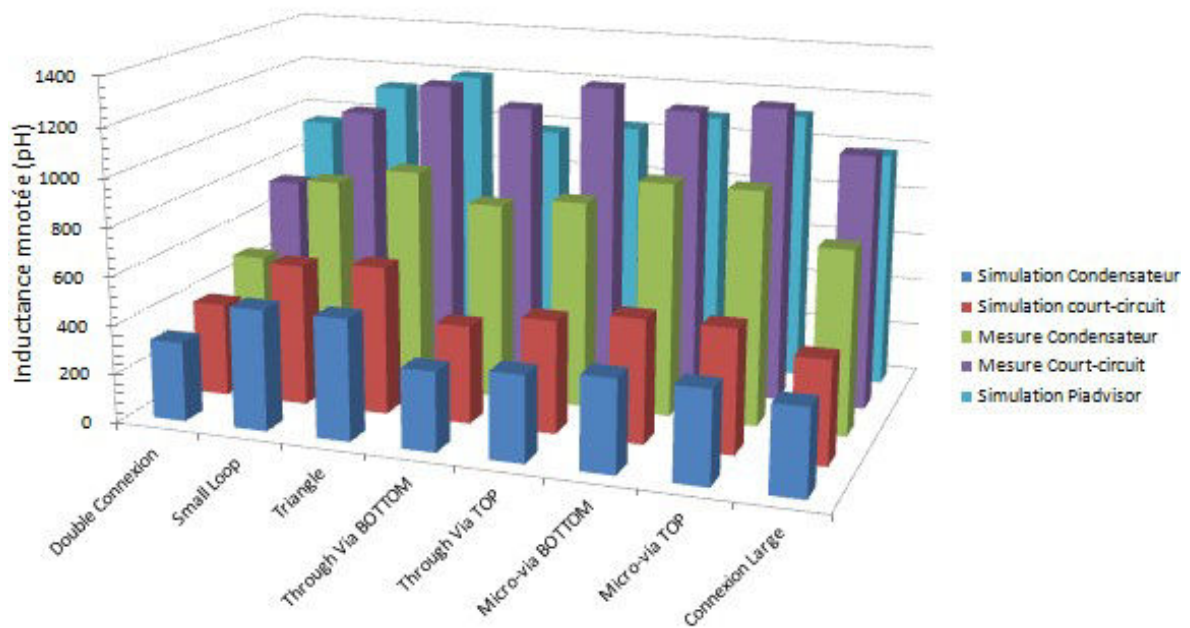


FIGURE 4.13 – Graphique de l'inductance montée par type de montage pour tous les cas de mesure et de simulation rencontrés



TABLEAU 4.5 – Classement des montages de condensateur du moins résistif au plus résistif

| Classement | Scenario           | Réduction d'inductance |
|------------|--------------------|------------------------|
| 1          | Double Connexion   | 40 à 50 %              |
| 2          | Connexion Large    | 10 à 20 %              |
| 3          | Through Via TOP    | 5 à 15 %               |
| 4          | Through Via BOTTOM | 5 à 15 %               |
| 5          | Small Loop         | environ 10 %           |
| 6          | Triangle           | environ 3 %            |
| 7          | Micro-via TOP      | NA                     |
| 8          | Micro-via BOTTOM   | NA                     |

fait en accord avec le classement a priori des différents montages observés ainsi que des précédentes études réalisée en simulation.

**4.2.1.3.1 Règle de routage des condensateurs de découplage** La comparaison des différents montages permet d'établir des règles de routage qui permettent d'optimiser l'efficacité des condensateurs de découplage et par extension de réduire le nombre de condensateurs de découplage implantés sur une carte.

- 1) Placer le condensateur sur la couche externe la plus proche de la couche du plan d'alimentation
- 2) Elargir les pistes d'interconnexion
- 3) Placer les vias sur le côté de la plage de soudure et non dans le prolongement du condensateur.
- 4) Réduire la largeur de la boucle formée par les vias traversants ou enterrés
- 5) Relier le condensateur de découplage au plan par l'intermédiaire de deux vias par plage de soudure, si l'espace s'y prête
- 6) Utiliser des vias traversants plutôt que des micro-vias en réalisant un compromis sur la perte de surface de cuivre du plan d'alimentation que cela entraîne.

L'ordre des règles citées ci-dessus suit la probabilité de pouvoir appliquer la règle dans le cas du routage d'une carte. Il faut toutes les appliquer dans la mesure du possible suivant l'ordre donné dans le tableau 4.5. Les différents cas présentés ici permettent de démontrer que la partie du montage du condensateur n'est pas négligeable devant l'inductance équivalente du condensateur. Cela implique que quelle que soit la valeur de condensateur utilisée et à moindre mesure, quelle que soit la taille du boîtier, le routage du condensateur sera particulièrement impactant sur la réduction de la bande de fréquence d'efficacité du condensateur.

## 4.2.2 Inductance de boucle

L'efficacité du condensateur est réduite par les effets des éléments parasites des interconnexions entre le composant et le plan d'alimentation (objet de l'étude de la partie précédente) mais également des interconnexions entre le condensateur et le composant à découpler, en particulier, l'inductance de boucle, qui comme son nom l'indique est l'inductance formée par le circuit fermé sur le condensateur à une extrémité et sur le composant à l'autre extrémité. Cette inductance de boucle capte des flux magnétiques dans l'environnement de la carte ou ceux générés par celle-ci. Un scénario de mesure implémenté

sur le véhicule de test permet d'observer l'impact de l'éloignement d'un condensateur par rapport au composant à découpler. Le scénario implémenté et présenté au chapitre 2 est rappelé dans la figure 4.14. Dans ce scénario, l'emplacement du composant à décou-

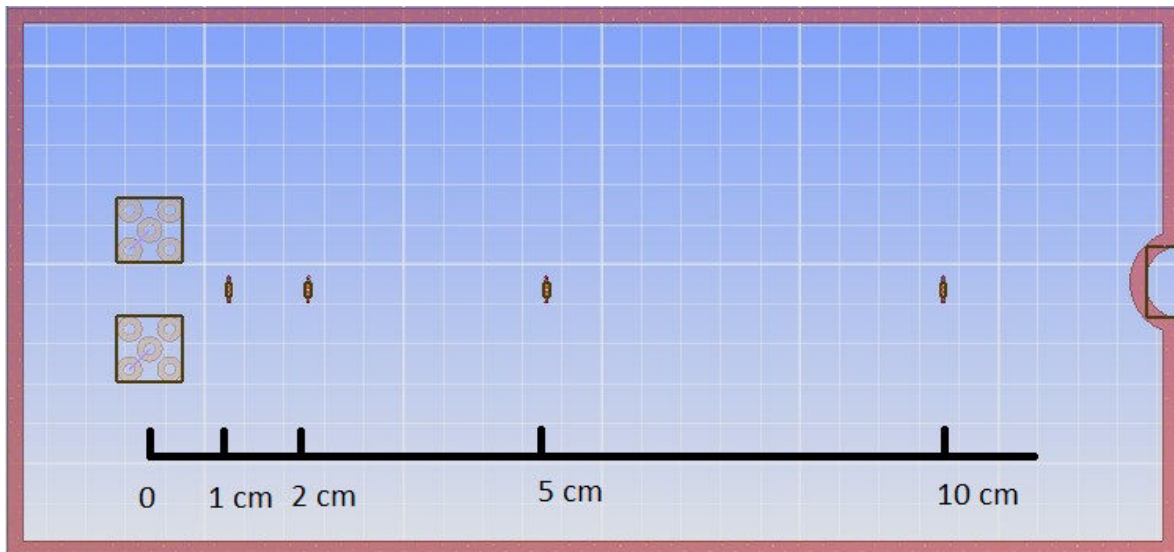


FIGURE 4.14 – Représentation du scénario de mesure permettant d'évaluer l'inductance de boucle du condensateur

pler est matérialisé par deux ports SMA permettant de réaliser la mesure en paramètres S du comportement du circuit imprimé et du composant. Dans ce scénario, le composant est routé respectivement à 1 ; 2 ; 5 et 10 cm des connecteurs de mesure afin de voir l'impact de l'inductance de boucle schématisée en figure 4.2. L'influence de l'inductance montée dans ce scénario est décorrélée des mesures en reproduisant strictement le même routage pour les connexions du condensateur au plan. La mesure est réalisée pour plusieurs valeurs de condensateurs. La technique de mesure utilisée pour ces observations est la même que celle employée pour l'estimation de l'inductance montée.

#### 4.2.2.1 Cas traités et calcul d'inductance de boucle

Une première métrique du rayon d'efficacité du condensateur est présentée dans CHEN et collab. [2001]. Le rayon d'action du condensateur est défini dans cet article comme la distance au condensateur pour laquelle un signal sinusoïdal transmis sur une paire de plans d'alimentation est atténué de 50 %. L'évolution du rayon d'action  $y$  est étudiée en fonction de différents paramètres comme la fréquence du signal, la valeur de la capacité ou des éléments parasites des condensateurs. Dans le cas présent, nous étudierons l'évolution de l'inductance ramenée par la boucle de courant formée pour différentes valeurs de condensateur en mesure. L'inductance de boucle est calculée en réutilisant la formule 4.2 avec  $C_{Plan} = 8,3nF$  identifiée de la figure 4.15 issue de la simulation du plan seul. Le condensateur n'ayant pas été caractérisé précisément avant de réaliser les différentes mesures, l'inductance équivalente série du condensateur sera incluse à l'inductance de boucle. Les valeurs relatives seront calculées par rapport à la mesure réalisée à 1 cm du composant. Une première session de mesures est réalisée en utilisant un condensateur de  $1\mu F$ . Afin de voir l'impact des effets parasites de la résistance de boucle par rapport à la valeur de la capacité, les mêmes mesures sont réalisées en utilisant un condensateur de  $100nF$ .

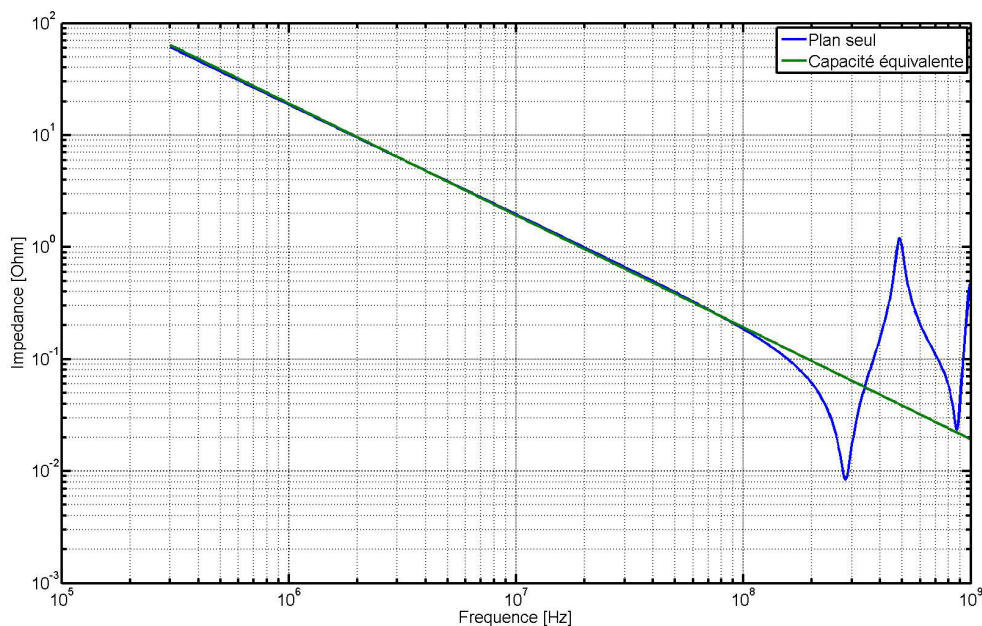


FIGURE 4.15 – Simulation du plan du scénario seul et estimation de la capacité de plan à 8,3 nF

La capacité de plan obtenue en simulation est de 8,3 nF. Il est donc intéressant de regarder l'influence d'un condensateur dont la valeur est inférieure à celle de la capacité de plan. Une dernière session de mesures est réalisée en utilisant un condensateur de 1 nF. Dans le cas de la conception d'une carte, il est nécessaire de s'assurer que le logiciel de simulation prenne bien en compte les parasites introduits par la distance du composant au condensateur. Le scénario de mesure est donc simulé en utilisant un condensateur 100nF.

Le cas de test utilisé pour la corrélation entre simulation et mesures présente un plan d'alimentation idéal. Un second scénario de simulation dans le cas d'un plan plus complexe est étudié. Sa surface disponible est fortement réduite par le passage de vias traversants d'un diamètre de 300  $\mu\text{m}$ , espacé chacun de 150  $\mu\text{m}$ . Cette configuration est représentative d'une portion de plan présente sous un composant de type BGA. Cette simulation permet d'estimer l'évolution de l'inductance parasite en fonction de la distance dans une application plus complexe. Une représentation du scénario simulé est présenté en figure 4.16. Le modèle du condensateur de 100 nF est utilisé pour ce cas de simulation.

#### 4.2.2.2 Résultats de mesures et interprétations

**4.2.2.2.1 Présentation des résultats de mesures** Les résultats de mesure obtenus pour le condensateur de 1  $\mu\text{F}$  placé respectivement à 1 ; 2 ; 5 et 10 cm sont comparés dans la figure 4.17.

La figure 4.18 compare les résultats pour la mesure effectuée avec le condensateur de 100 nF. Les résultats des simulation pour chacune des distances sont présentés dans la figure 4.19. Enfin, les résultats obtenus pour le condensateur de 1 nF sont compilés dans la figure 4.20.

D'après les différents résultats de mesures exposés dans les figures 4.17 ; 4.18 ; 4.20 et de simulation dans la figure 4.19, les inductances calculées pour chacun des cas sont rassemblées au sein du tableau 4.6.

TABLEAU 4.6 – Résultats de mesure et calcul de l'inductance et de la résistance de boucle introduites par l'éloignement du condensateur du composant à découpler

| Cas        | Condensateur (nF) | Distance | Fréquence de résonance (MHz) | Inductance calculée (nH) | Ecart (%) | Résistance mesurée ( $m\Omega$ ) | Ecart (%) |
|------------|-------------------|----------|------------------------------|--------------------------|-----------|----------------------------------|-----------|
| Mesure     | 1 $\mu$ F         | 1 cm     | 4,78                         | 1,10                     | 0         | 14,6                             | 0         |
|            |                   | 2 cm     | 4,59                         | 1,12                     | 7,74      | 14,8                             | 1,51      |
|            |                   | 5 cm     | 4,40                         | 1,30                     | 15,17     | 15,3                             | 4,82      |
|            |                   | 10 cm    | 4,40                         | 1,30                     | 15,17     | 16,8                             | 13,48     |
|            | 100 nF            | 1 cm     | 13,64                        | 1,28                     | 0         | 32,1                             | 0         |
|            |                   | 2 cm     | 13,64                        | 1,28                     |           | 32,2                             | 0,34      |
|            |                   | 5 cm     | 13,14                        | 1,38                     | 7,19      | 33,0                             | 2,77      |
|            |                   | 10 cm    | 13,14                        | 1,38                     | 7,19      | 34,8                             | 7,83      |
| Simulation | 100 nF            | 1 cm     | 15,74                        | 0,96                     | 0         | 32,8                             | 0         |
|            |                   | 2 cm     | 15,60                        | 0,93                     | 3,11      | 33,6                             | 0,32      |
|            |                   | 5 cm     | 15,50                        | 0,99                     | 3,02      | 34,1                             | 2,72      |
|            |                   | 10 cm    | 15,03                        | 1,05                     | 8,79      | 34,8                             | 7,83      |

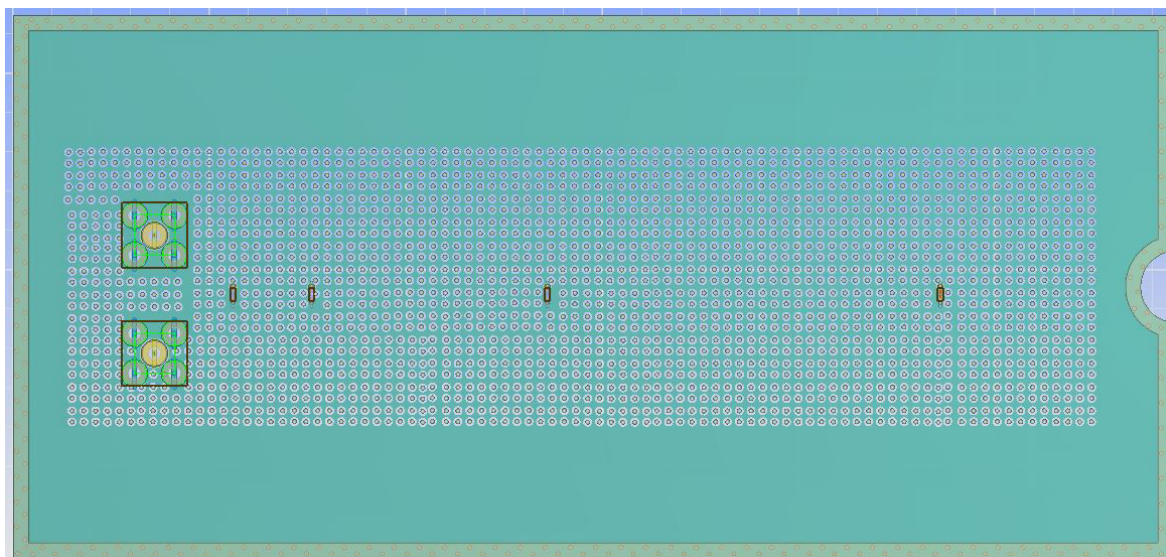


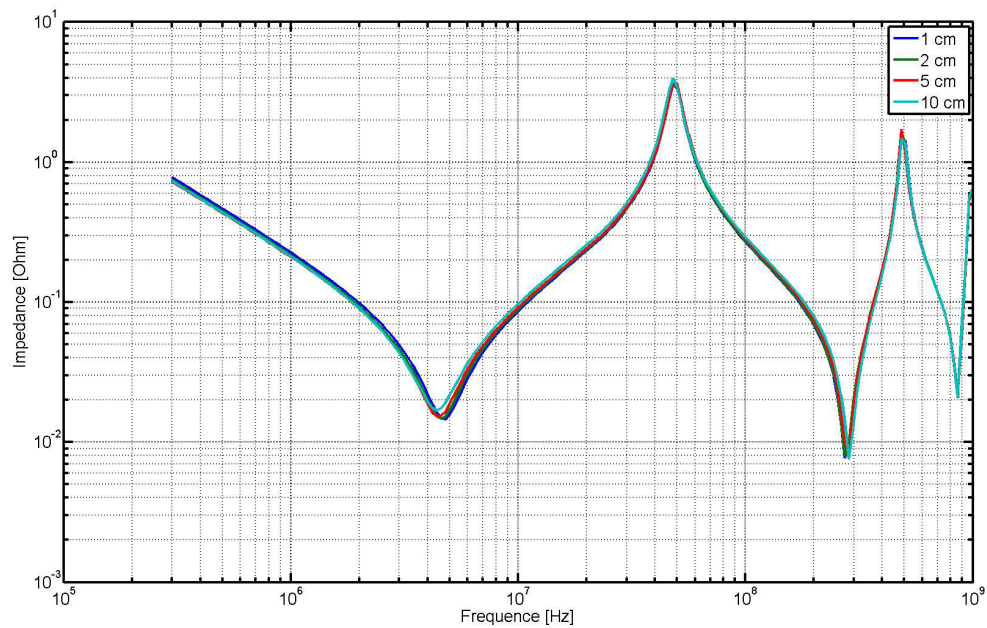
FIGURE 4.16 – Représentation du scénario simulé pour évaluer l'évolution de l'inductance de boucle dans un cas plus réaliste

**4.2.2.2 Interprétation des résultats de mesures** Les résultats de mesures obtenus pour les condensateurs  $1\ \mu\text{F}$  et  $100\ \text{nF}$  présentent de fortes similitudes. Les figures 4.17 et 4.18b montrent que la distance du condensateur au composant a un léger impact sur la réponse du condensateur. En effet l'inductance et la résistance parasite introduites par la boucle de courant s'ajoutent aux parasites intrinsèques du condensateur et d'une part réduisent la fréquence de résonance propre du condensateur et d'autre part augmentent l'impédance minimale pour cette fréquence de résonance. Ces figures montrent que plus le condensateur est éloigné du composant, plus l'inductance et la résistance parasite de la boucle du composant réduisent l'effet du condensateur.

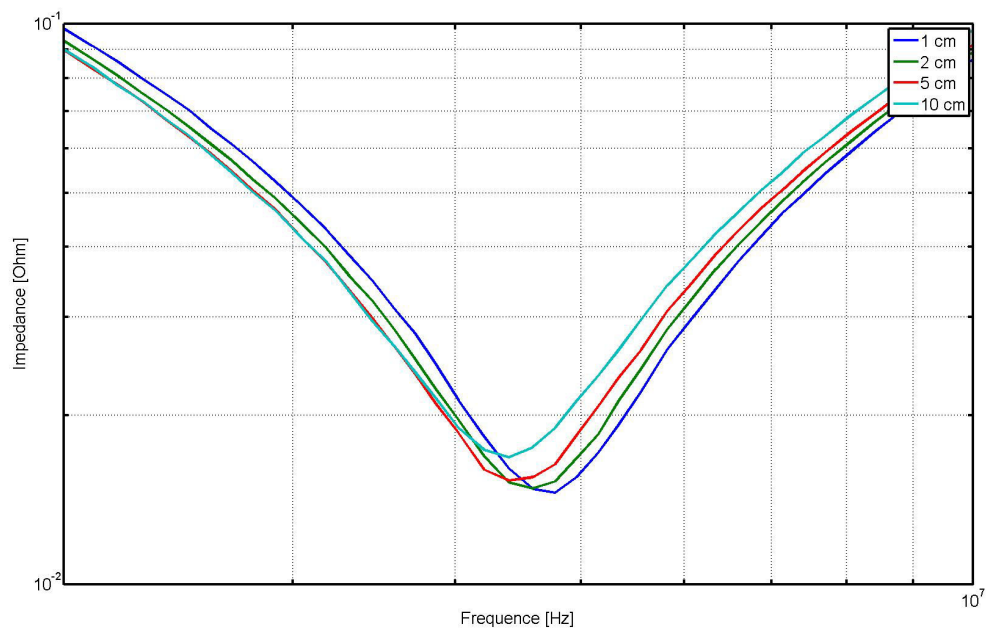
Les résultats numériques du tableau 4.6 démontrent que l'inductance montée augmente de manière quasi linéaire avec la distance à l'exception de la mesure pour une distance de 10 cm. En revanche la résistance augmente de manière quadratique. Cela est dû à la propriété résistive des conducteurs planaires. En effet pour des conducteurs d'aire importante par rapport à l'épaisseur, l'évolution de la résistance est proportionnelle à l'aire du conducteur. Pour les distances de 1 et 2 cm, l'aire du plan sur lequel sont connectés les condensateurs est suffisante pour présenter une valeur de résistance quadratique égale puisque la largeur du plan est de 6,5 cm. En revanche pour les distances de 5 et 10 cm l'aire du plan est réduite par rapport à la surface nécessaire pour présenter la même valeur de résistance quadratique. Par conséquent, la résistance de boucle vue par le composant augmente, c'est pourquoi nous observons une augmentation plus importante entre le scénario 5 cm et 1 cm qu'entre le scénario 2 cm et 1cm. Nous remarquons pour le condensateur  $100\ \text{nF}$  que pour la résistance introduite par la boucle formée, la variation est de près de la moitié de celle observée pour la mesure du condensateur  $1\ \mu\text{F}$ .

Les résultats observés en figure 4.20 mettent en lumière que l'efficacité du condensateur dans ce cas est assez limité et que contrairement aux mesures effectuées avec des valeurs de condensateur plus importantes, l'anti-résonance créée par la mise en parallèle de l'inductance du condensateur avec le plan est très petite. Dans la figure 4.20b, l'inductance parasite du condensateur évolue comme dans le cas des autres condensateurs. En revanche, l'anti-résonance fait apparaître le phénomène inverse en termes de résistance de celui observé pour les condensateurs de plus fortes valeurs. Lorsque deux



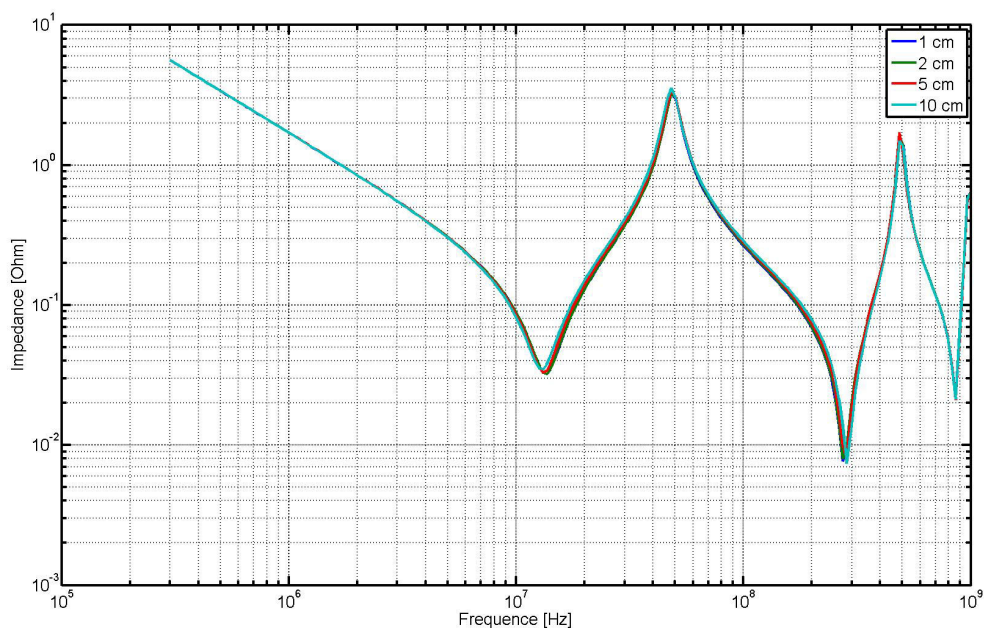


(a) Comparaison des résultats de mesure pour un condensateur de 1 µF

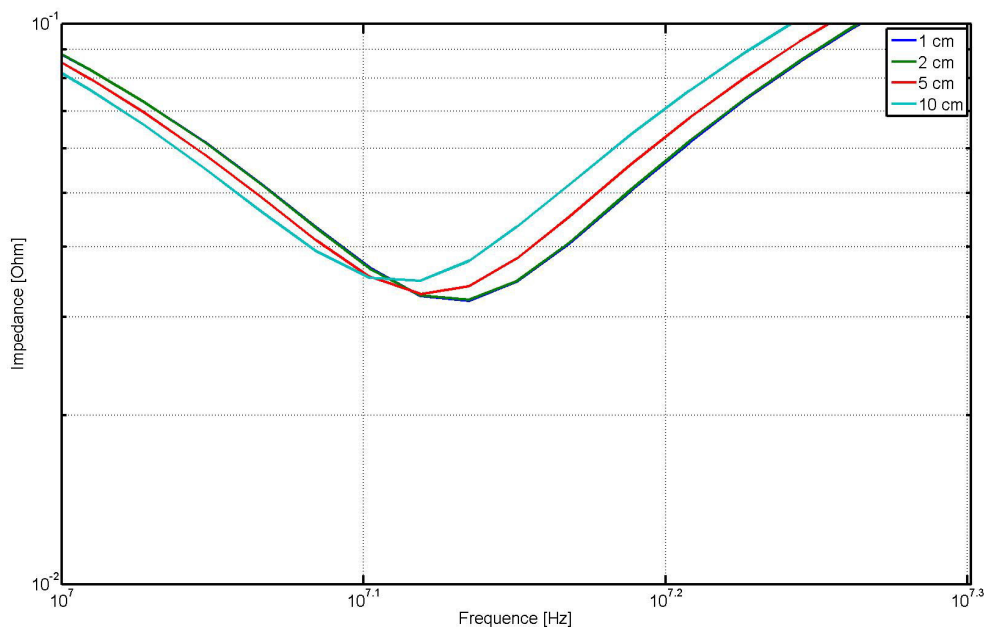


(b) Agrandissement des résultats de mesure pour un condensateur de 1 µF autour de la fréquence de résonance

FIGURE 4.17 – Comparaison des résultats de mesure d'inductance de boucle pour un condensateur de 1 µF

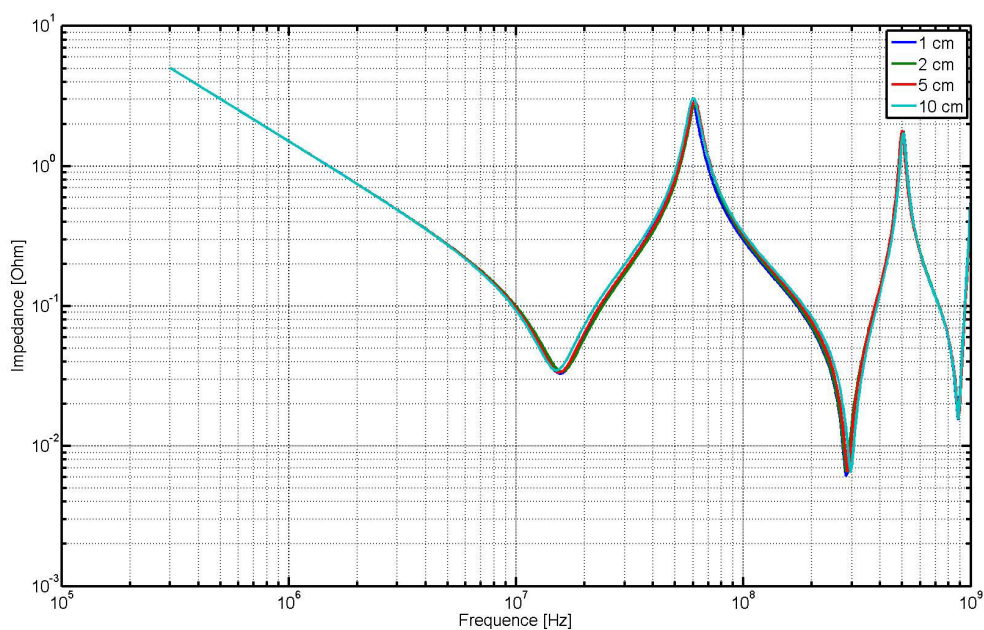


(a) Comparaison des résultats de mesure pour un condensateur de 100 nF

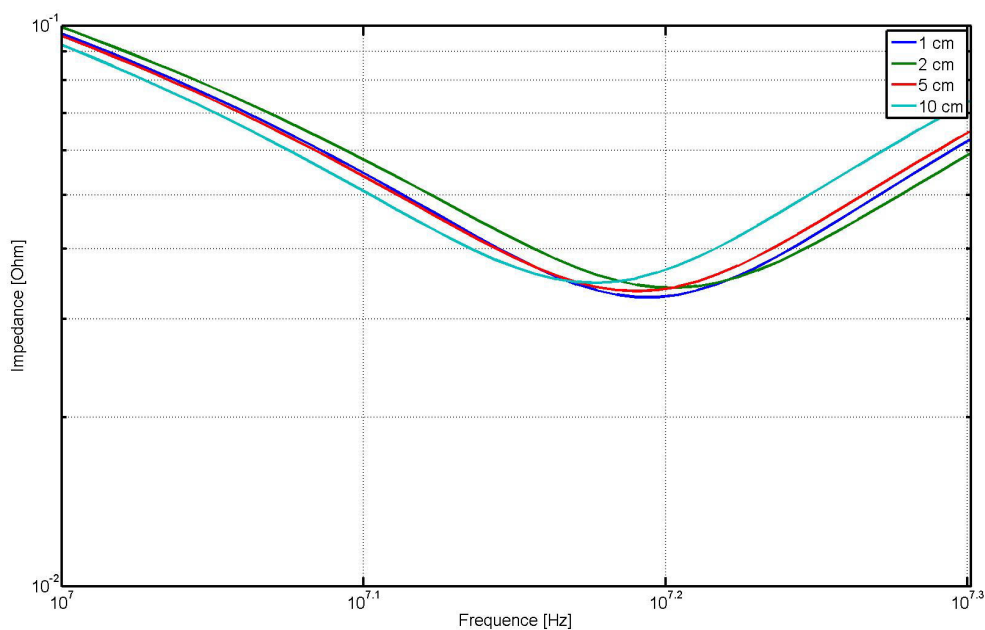


(b) Agrandissement des résultats de mesure pour un condensateur de 100 nF autour de la fréquence de résonance

FIGURE 4.18 – Comparaison des résultats de mesure d'inductance de boucle pour un condensateur de 100 nF  
[Comparaison des résultats de mesure d'inductance de boucle pour un condensateur de 100 nF]

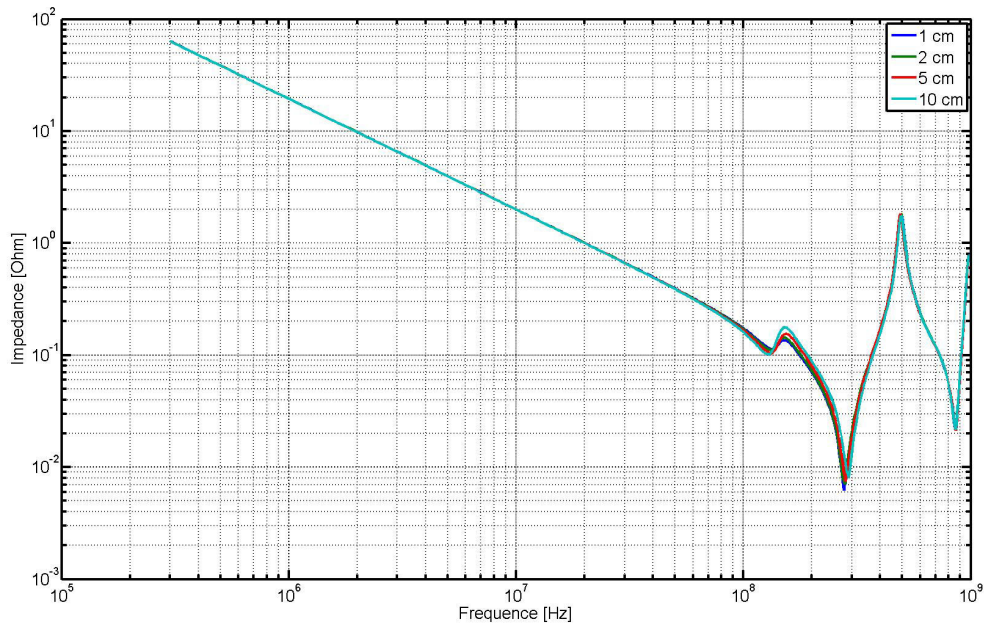


(a) Comparaison des résultats de simulation pour un condensateur de 100 nF

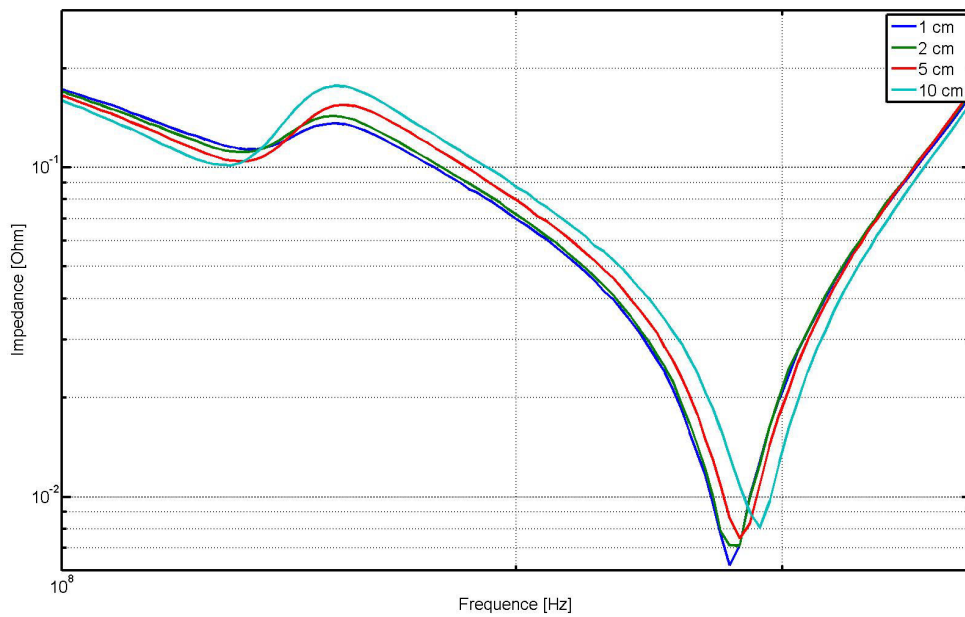


(b) Agrandissement des résultats de simulation pour un condensateur de 100 nF autour de la fréquence de résonance

FIGURE 4.19 – Comparaison des résultats de simulations d'inductance de boucle pour un condensateur de 100 nF



(a) Comparaison des résultats de mesure pour un condensateur de 1 nF



(b) Agrandissement des résultats de simulation pour un condensateur de 1 nF autour de la fréquence de résonance

FIGURE 4.20 – Comparaison des résultats de mesure d'inductance de boucle pour un condensateur de 1 nF

valeurs de condensateurs proches sont mises en parallèles, nous obtenons donc des effets plus complexes à définir. Il n'est donc pas possible pour cette configuration de calculer l'inductance parasite introduite par la distance du condensateur au composant. C'est pourquoi aucun résultat de calcul ne figure dans le tableau 4.6 pour la mesure effectuée avec le condensateur de 1 nF

**4.2.2.2.3 Interprétation des résultats de simulation** Tout comme pour les résultats obtenus dans l'étude de l'inductance montée par simulation, les résultats de l'inductance de boucle sont sous-estimés par rapport à ce qui est observé en mesure. En revanche, ce qu'il est intéressant de constater, c'est que l'évolution de l'inductance de boucle entre les différents scénarios de simulation restent du même ordre de grandeur que celle observées par mesure. Nous pouvons donc en conclure que le logiciel de simulation peut être utilisé qualitativement afin d'optimiser le routage de condensateur et d'évaluer l'impact de l'éloignement d'un condensateur au composant. Au contraire de l'inductance, la résistivité parasite de l'interconnexion en simulation est très fidèle aux résultats obtenus en mesure. Afin d'évaluer visuellement les différences constatées entre les inductances parasites calculées d'après les résultats de mesures et les résultats de simulation, les courbes de mesures et de simulation sont comparées deux par deux dans la figure 4.21.

Puisque les résultats de simulation sont qualitativement cohérents avec les résultats observés en mesure, il est donc possible d'utiliser le logiciel de simulation pour estimer l'évolution de l'inductance de boucle dans des cas plus complexes comme celui présenté en figure 4.16 Les résultats obtenus dans cette simulation sont compilés dans la figure 4.22. A première vue, l'évolution de l'inductance et de la résistance de boucle apportée par la réduction de surface du plan causée par le passage de vias traversants paraît semblable à celle obtenue dans le cas idéal. Afin de mieux quantifier l'évolution de ces éléments parasites, les fréquences de résonance, les inductances de boucle calculées et les résistances de boucle simulées sont rassemblées dans le tableau 4.7 En comparant

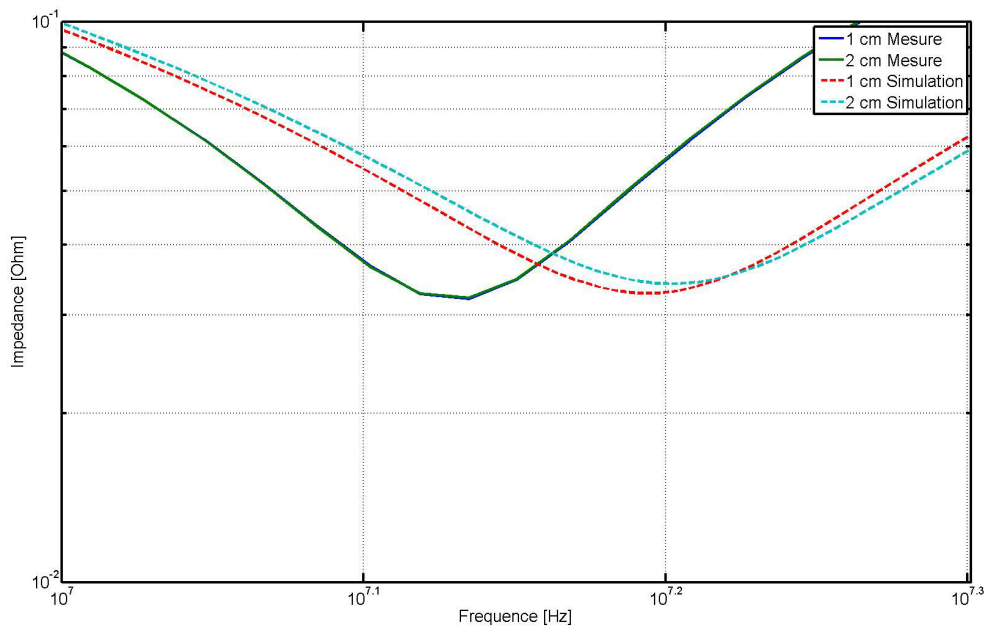
TABLEAU 4.7 – Fréquence et calcul de l'inductance de boucle introduit par l'éloignement du condensateur du composant à découpler en simulation pour un cas plus réaliste

| Distance | Fréquence de résonance (MHz) | Inductance Calculée (nH) | Ecart (%) | Ecart avec le plan plein (%) | Résistance calculée (mΩ) | Ecart (%) |
|----------|------------------------------|--------------------------|-----------|------------------------------|--------------------------|-----------|
| 1 cm     | 15,37                        | 1,01                     | 0         | 4,93                         | 32,9                     | 0         |
| 2 cm     | 15,37                        | 1,01                     | 0         | 8,20                         | 33,2                     | 0,33      |
| 5 cm     | 15,14                        | 1,04                     | 3,02      | 4,93                         | 34,0                     | 2,69      |
| 10 cm    | 14,68                        | 1,11                     | 8,8       | 4,93                         | 35,1                     | 7,77      |

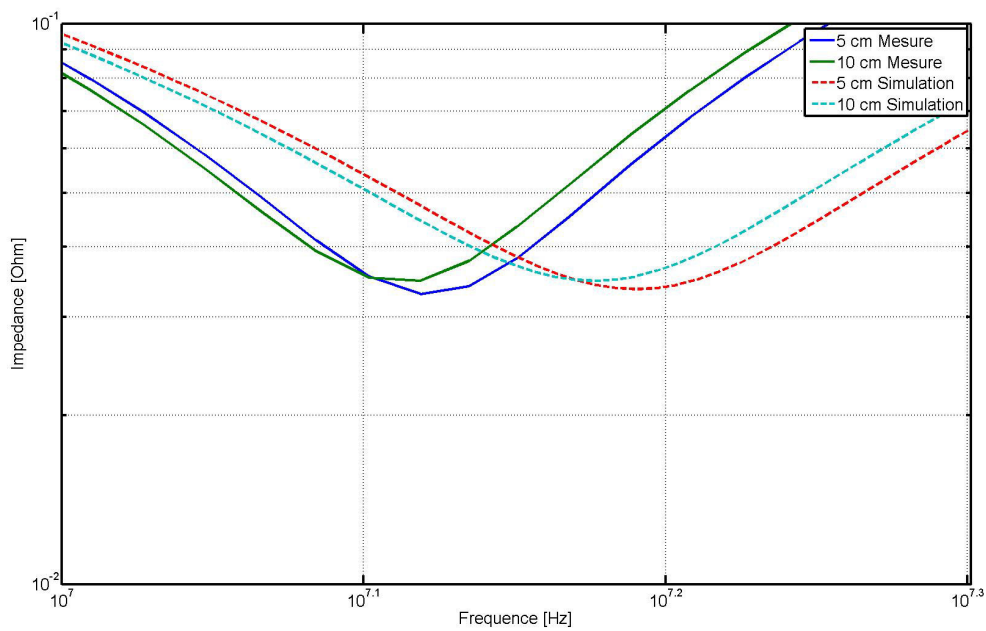
les résultats obtenus dans ce scénario avec ceux du scénario avec le plan plein, nous nous apercevons que ce scénario introduit une inductance de boucle légèrement supérieure que dans le cas où le plan est plein. La résistance en revanche est exactement la même. Cela signifie que la proportion de cuivre retirée dans ce scénario par le passage de vias traversants n'est encore pas suffisante pour influencer la résistivité du montage. L'inductance de boucle augmente donc de quasiment 5 % à cause du passage des vias. La réduction de la surface de cuivre disponible est donc bien plus impactant sur l'inductance de boucle que l'éloignement du condensateur.

La conjugaison des deux phénomènes sur une carte peut en revanche augmenter l'inductance de telle manière que le condensateur devienne complètement inutile



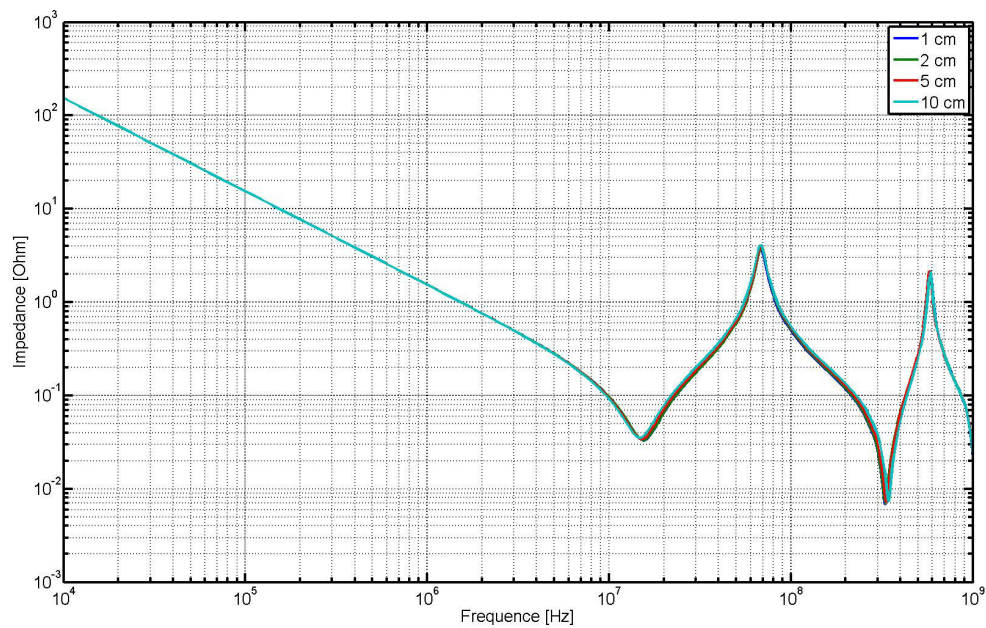


(a) Corrélacion entre résultats de simulation et de mesure pour un condensateur de 100 nF

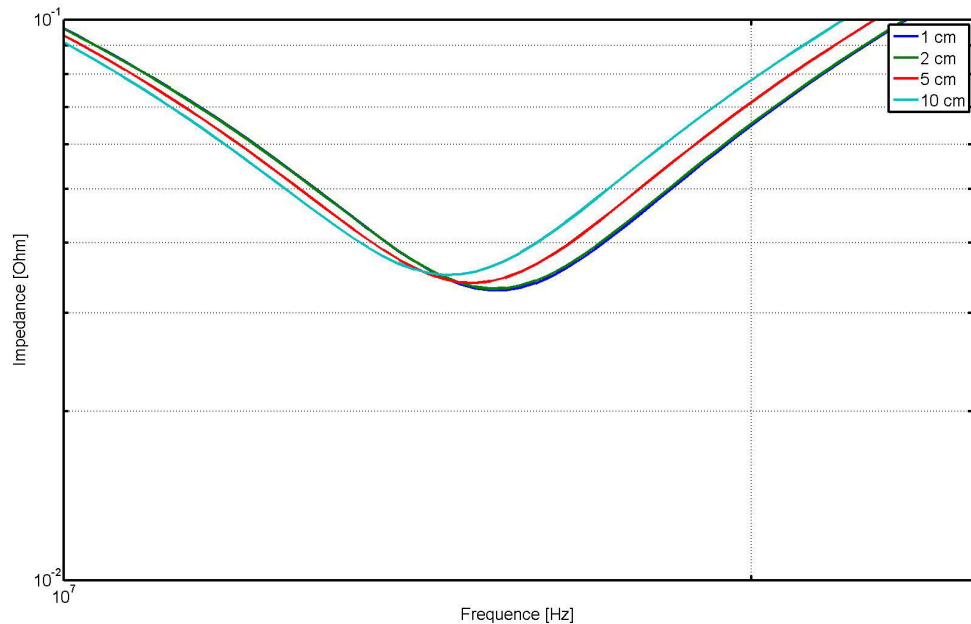


(b) Corrélacion entre résultats de simulation et de mesure pour un condensateur de 100 nF placé à 5 et 10 cm

FIGURE 4.21 – Corrélacion entre résultats de simulation et de mesure pour un condensateur de 100 nF



(a) Comparaison des résultats de simulation pour un condensateur de 100 nF dans un cas plus complexe



(b) Agrandissement des résultats de simulation pour un condensateur de 100 nF dans un cas plus complexe

FIGURE 4.22 – Comparaison des résultats de simulation pour un condensateur de 100 nF dans un cas plus complexe

### 4.2.2.3 synthèse

Les différents résultats de mesures obtenus dans cette partie ont mis en valeur l'évolution de l'inductance de boucle introduite par l'éloignement du condensateur de découplage. Effectuer la mesure pour différentes valeurs de composant a permis de montrer que l'inductance de boucle apportée par l'éloignement n'est pas fonction de la valeur du condensateur utilisée. Les variations d'inductance observées, même dans le cas d'un éloignement de 10 cm sont très faibles en comparaison des variations constatées pour l'utilisation de différents montages.

Le comportement capacitif du condensateur est limité par l'inductance parasite du composant et de ses interconnexions. Pour rappel, ces inductances se déclinent de la manière suivante :

- L'inductance équivalente série
- L'inductance montée créée par l'inductance propre et mutuelle des interconnexion entre le condensateur et le plan
- L'inductance de boucle créée par la boucle de courant entre le condensateur et le composant à découpler

L'inductance montée mesurée dans la partie précédente prend des valeurs de 400 pH à 1,2 nH. La valeur de la résistance équivalente série du condensateur de 100 nF est de l'ordre de 500 pH. En revanche, les variations d'inductance de boucle observées pour un éloignement de 2 à 10 cm sont de l'ordre de 3 à 7 % de ces valeurs. L'inductance de boucle n'est donc pas l'élément prépondérant limitant l'efficacité des condensateurs. Le bilan inductif du condensateur est schématisé dans la figure 4.23.

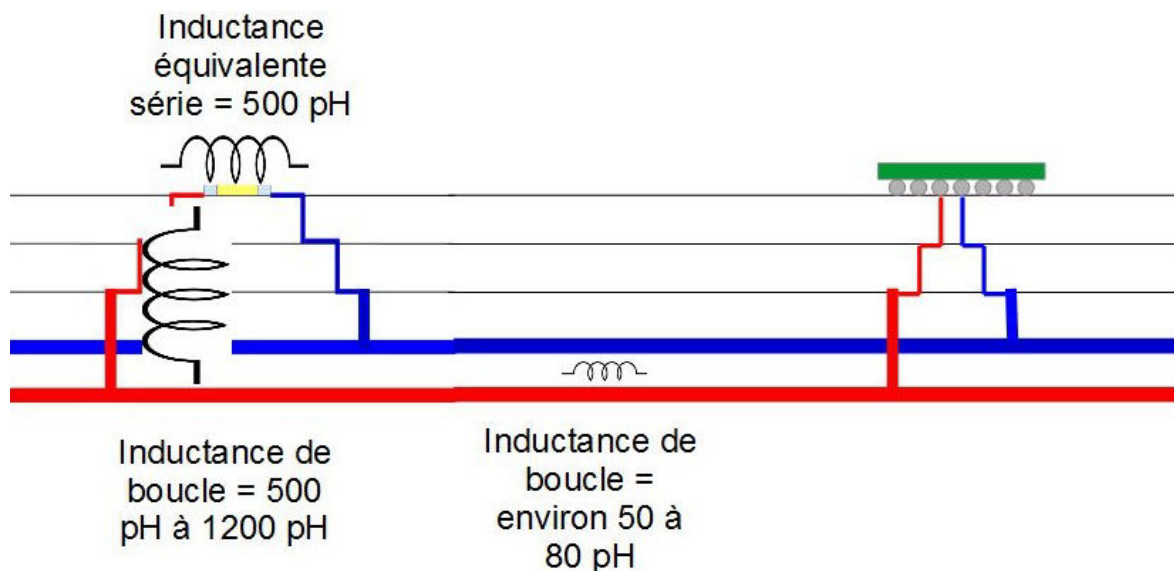


FIGURE 4.23 – Estimation de la contribution de chaque phénomène à l'inductance parasite du condensateur de découplage

Le rayon d'action du condensateur, en revanche est fonction de la valeur de capacité. Premièrement, pour une taille de boîtier donnée, plus la capacité est faible, plus les effets des éléments parasites de ce condensateur sont importants. Ensuite, plus l'éloignement du condensateur est grand, plus la capacité inter-plan considérée dans l'ensemble est grande. Comme observé dans la mesure du cas employant le condensateur de 1 nF, l'utilisation d'un condensateur de capacité plus faible que la valeur de capacité de plan n'a pas

beaucoup d'intérêt puisque l'effet du condensateur est alors très limité. Par conséquent, il est possible d'établir une règle approximative de la distance maximum de laquelle un condensateur peut être éloigné du composant à découpler. Cette distance peut être définie comme la distance pour laquelle la capacité inter-plan du carré de côté égal à cette distance est égale à la capacité du condensateur. Cela se traduit par l'équation 4.5

$$D_{max} = \sqrt{\frac{C \cdot e}{\epsilon_r}} \quad (4.5)$$

Avec  $D_{max}$  la distance maximale,  $C$  la valeur du condensateur,  $e$  l'épaisseur du diélectrique entre les deux plans d'alimentation et  $\epsilon_r$  la permittivité relative du diélectrique.

La corrélation entre les résultats obtenus en mesure et en simulation a démontré que les outils employés peuvent être utilisés qualitativement pour simuler l'impact de l'inductance de boucle dans des cas plus complexes. Cela revient à estimer l'impact de l'éloignement d'un condensateur du composant qu'il découple dans différents cas, comme celui de cartes électroniques dont les contraintes mécaniques imposent qu'aucun condensateur ne puisse être soudé sur la face inférieure de la carte électronique.

### 4.2.3 Difficulté de l'approvisionnement multi-sources et de tolérance des condensateurs

Pour des raisons de coût d'approvisionnement, d'indépendance par rapport à un fournisseur ou encore de facilité de gestion d'obsolescence de composants, les condensateurs utilisés pour équiper les cartes de Thales proviennent majoritairement d'un approvisionnement multi-sources. Cela signifie que des regroupements de composants électriquement équivalents sont réalisés selon les principaux critères qui définissent un condensateur :

- La valeur de capacité
- la tenue en tension
- le diélectrique utilisé (X7R, X5R, C0G,...)
- le processus de soudure (Lead Free, ROHS,...)

Cependant, suivant le fabricant du composant, le comportement en fréquence peut être légèrement différent.

De même, les composants utilisés pour le découplage présentent généralement des tolérances de 10 à 20 % sur la valeur de capacité. Quant à l'inductance et la résistance série équivalente, aucune information sur la tolérance de leur valeur n'est donnée. Or pour réaliser les calculs effectués dans les parties concernant l'inductance montée et l'inductance de boucle, au vu des précisions nécessaires pour comparer les différents éléments, il faut connaître très précisément les caractéristiques du condensateur. Les problématiques d'approvisionnement multi-sources et la tolérance sur les valeurs de composant ne permettent pas d'obtenir en mesure des résultats aussi nets qu'en simulation. Lors de la session de mesures des inductances montées, le condensateur utilisé doit être soudé sur une empreinte, puis dessoudé afin d'être soudé sur l'empreinte suivante pour la mesure. Comme le montre la figure 4.24 si un autre condensateur est utilisé au cours de la même session de mesures, la différence de la valeur de capacité d'un composant à l'autre fausse les résultats. La figure 4.24 montre la précision nécessaire aux études réalisées sur le montage des condensateurs de découplage. En effet, dans la partie précédente, il

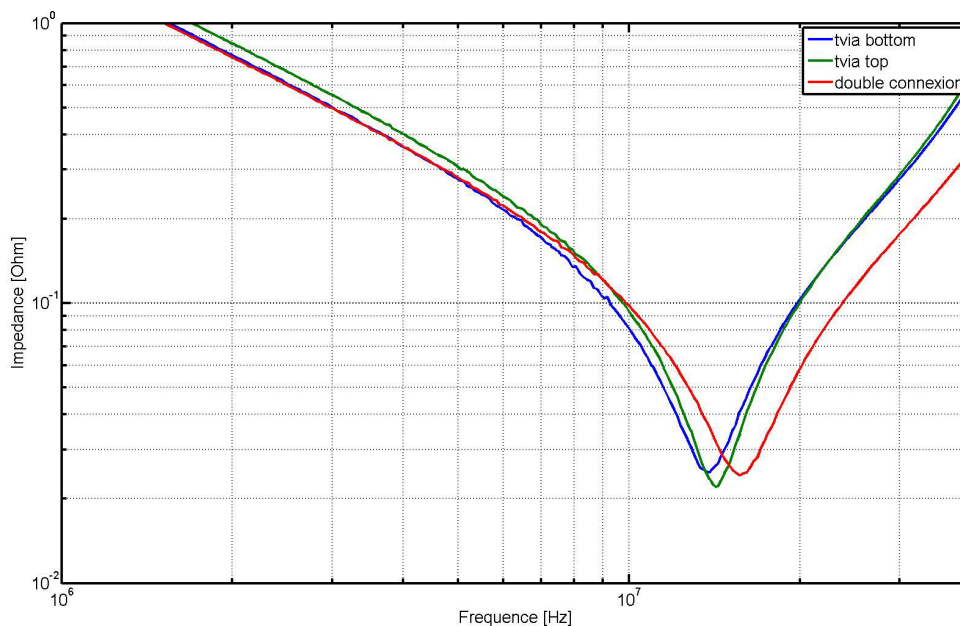


FIGURE 4.24 – Mesure réalisée sur le scenario d'inductance montée avec deux condensateurs différents

a été démontré que si les plans d'alimentation sont au centre de l'empilement du circuit imprimé, la différence entre le montage des condensateurs sur une face ou sur l'autre n'est pas très marquée. Par contre, l'utilisation d'un condensateur différent pour la courbe verte montre une différence notable pour le montage TOP par rapport au montage BOTTOM. Le second condensateur utilisé présente en effet une capacité plus faible comme le montre l'impédance en basse fréquence plus importante que pour les courbes rouge et bleue ce qui fausse les résultats. C'est pourquoi une attention particulière a été portée à utiliser le même composant pour toute l'étude afin de mesurer l'impact du routage ainsi que l'instrumentation de la mesure afin d'obtenir les résultats les plus représentatifs possibles.

Puisqu'il n'est pas possible de maîtriser précisément la valeur des condensateurs de découplage, pour s'assurer que quel que soit le condensateur utilisé pour le découplage l'impédance cible soit respectée, nous pourrions imaginer un modèle de condensateur dont les paramètres suivent des distributions statistiques validées par la mesure d'un nombre significatif d'échantillons afin de réaliser des simulations de type Monte-Carlo. Ces simulations prendraient ainsi en compte les variations des éléments du condensateur et permettraient de s'assurer que l'impédance cible soit respectée dans le pire des cas ou de définir une marge de risque dans le cas de l'optimisation de la stratégie de découplage pour des questions de coût. Les modèles de condensateurs de la société Modelithics évalués dans la partie 3 du chapitre 3 permettent de réaliser facilement des simulations de Monte-Carlo en définissant une distribution gaussienne sur la valeur de capacité. Le résultat d'une simulation effectuée pour 3 condensateurs de valeurs différentes est représenté dans la figure 4.25. Cette simulation permet d'obtenir l'impédance d'un réseau de découplage utilisant 3 valeurs de condensateurs différentes mais en incluant les variations de capacité indiquées.



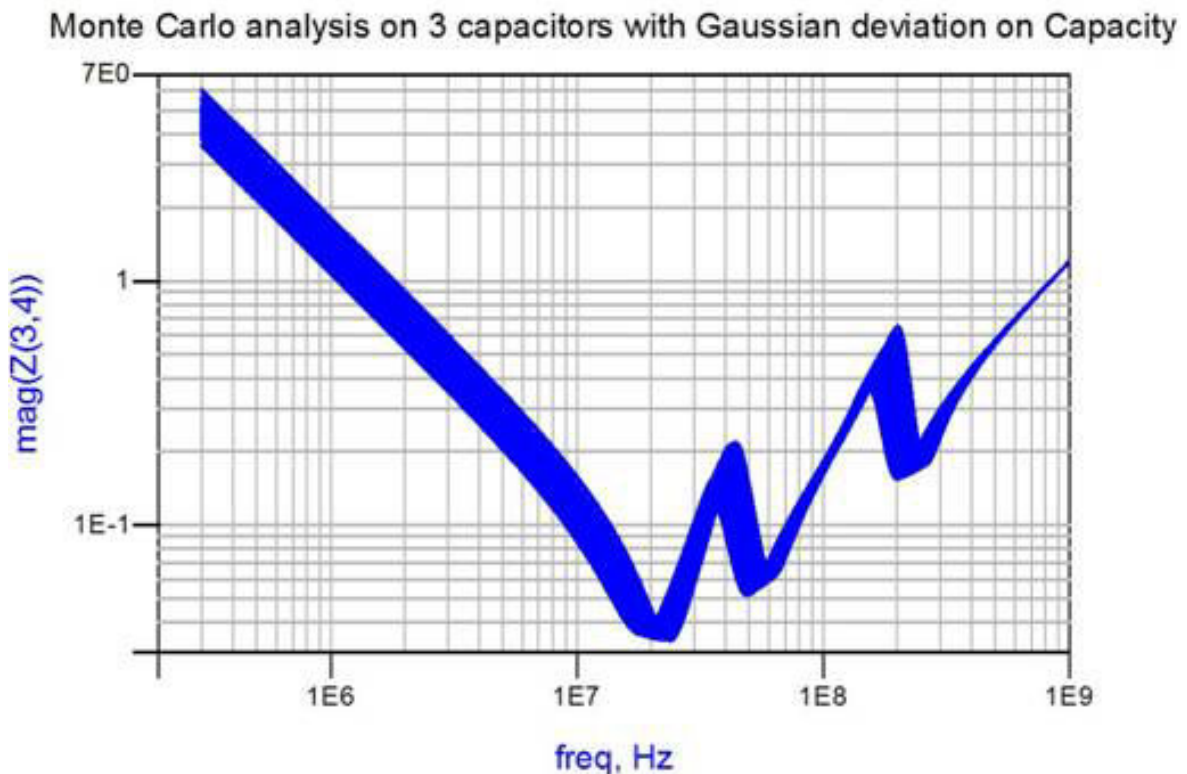


FIGURE 4.25 – Résultat de simulation de type Monte Carlo effectuée pour 3 valeurs de condensateur faisant varier la valeur de capacité

#### 4.2.4 Conclusion partielle

L'étude précise, réalisée autour des montages des condensateurs permet d'identifier la principale source d'éléments parasites réduisant l'efficacité des condensateurs pour des applications de découplage. En effet, lorsque nous comparons les variations d'inductance montée engendrées par l'utilisation de deux types de montage différents aux variations introduites par la boucle d'inductance, il est facile de conclure que le routage du condensateur influe bien plus sur son efficacité. Par conséquent, le routage du condensateur doit être particulièrement soigné si le réseau de découplage d'une carte doit être optimisé. Il est donc plus efficace de respecter les règles de routage du condensateur afin d'optimiser l'inductance montée que de chercher à rapprocher le condensateur le plus possible du composant à découpler.

Cette constatation permet de déduire que le découplage du réseau de distribution d'énergie peut être effectué au niveau du plan d'alimentation et non forcément au plus proche du composant.

La corrélation entre résultats de simulation et résultats de mesures permet d'évaluer la sensibilité de l'outil de simulation aux différents phénomènes étudiés mais également de valider le résultat obtenu en simulation. Les différentes simulations exécutées permettent de conclure que le logiciel de simulation employé pour la modélisation du circuit imprimé modélise de façon très précise l'impédance du plan mais qu'en revanche il ne calcule pas correctement les effets inductifs des interconnexions entre les condensateurs de découplage et les plans d'alimentation alors que paradoxalement, les effets résistifs sont précisément modélisés. Cependant, les résultats obtenus en simulation peuvent être qualitativement utilisés pour réaliser l'optimisation du routage des condensateurs et ju-

ger de l'efficacité de la stratégie de découplage mise en œuvre lors de la conception d'une carte électronique.

## 4.3 Méthodologie de conception du réseau de distribution d'énergie

La tâche de conception du réseau de distribution d'énergie d'une carte électronique fait intégralement partie du processus de conception de cette dernière. Les objectifs à atteindre pour le réseau de distribution d'énergie sont fonction de l'architecture de la carte et donc des composants la peuplant. Les étapes propres à la conception du réseau de distribution d'énergie se réalisent donc en partie en parallèle de la conception du reste de la carte. Les trois grandes étapes de conception d'une carte électronique sont :

- La phase d'architecture
- La phase de saisie du schéma
- La phase de placement/routage

Pour chacune de ces étapes, les tâches réalisées pour la conception du réseau de distribution d'énergie sont détaillées.

### 4.3.1 Phase d'architecture

L'architecture de la carte dépend des fonctions qu'elle doit réaliser. Les spécifications fonctionnelles entraînent le choix des composants principaux réalisant ces fonctions. Ces composants imposent alors le nombre de potentiels différents à amener sur la carte mais également une première estimation des puissances statiques consommées par la carte. La définition des composants mais surtout du nombre de potentiels d'alimentation confère les informations utiles à une première estimation de l'empilement nécessaire pour le circuit imprimé. En effet, en fonction du nombre de liens de communication nécessitant une impédance contrôlée pour leur bonne marche, des contraintes de CEM de la carte mais également du nombre de potentiels d'alimentation à faire cohabiter sur celle-ci, un nombre de couches et leur répartition entre couches dédiées au potentiel de référence et aux plans d'alimentation est déterminé.

La définition des potentiels à amener sur la carte ainsi que l'estimation des consommations de chaque potentiel permet en étudiant les performances des convertisseurs d'alimentation de définir l'arbre d'alimentation de la carte. Le critère principal de la définition de l'arbre d'alimentation est l'optimisation du rendement énergétique. D'autres critères comme le coût des composants ou des contraintes CEM avec des fonctions radio-fréquence peuvent également mener à la réalisation de compromis en termes de choix de composant d'alimentation. C'est également à cette étape qu'une mesure de l'impédance de sortie des convertisseurs choisis peut être effectuée afin d'obtenir le modèle du composant.

Enfin, l'estimation de la consommation de chacun des potentiels d'alimentation permet d'obtenir les informations nécessaires au calcul ou à l'obtention de l'impédance cible. Une méthodologie d'obtention de l'impédance cible est décrite dans la partie suivante.

### 4.3.2 Phase de saisie de schéma

La définition de l'arbre d'alimentation et l'estimation de l'impédance cible permettent de passer à l'étape de conception du réseau de distribution d'énergie. Cette étape de conception est principalement réalisée dans le domaine de la fréquence puisque le choix du circuit intégré et du composant d'alimentation a déjà été réalisé dans l'étape d'architecture.

L'impédance du réseau de distribution d'énergie est calculée à partir de modèles équivalents associés à chaque élément constituant le réseau de distribution d'énergie. L'analyse réalisée est décrite au chapitre 1. Cette analyse permet de définir le nombre de condensateurs nécessaires au réseau de distribution d'énergie afin de respecter l'impédance cible. Un exemple de résultat d'analyse single-node est présenté en figure 4.26. Les condensa-

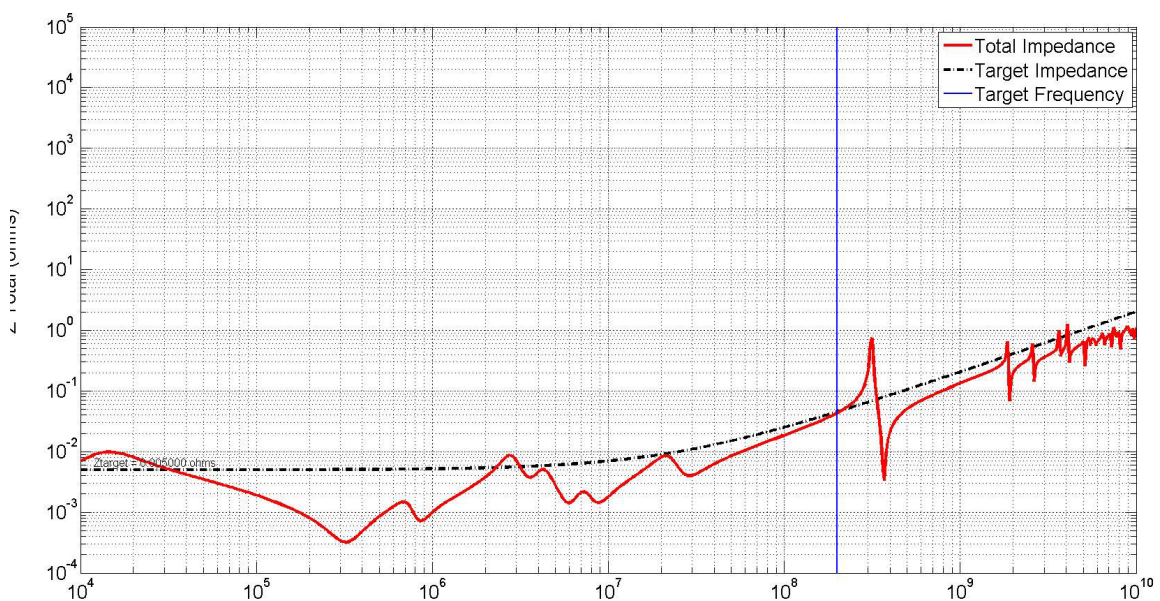


FIGURE 4.26 – Exemple de résultat d'analyse réalisée pour le dimensionnement du réseau de distribution d'énergie en phase de saisie de schéma

teurs de découplage sont ajoutés de manière itérative en fonction de leur fréquence de résonance propre jusqu'à atteindre une impédance du réseau de distribution d'alimentation inférieure à l'impédance cible. La plage de fréquence sur laquelle est définie l'impédance cible dépend principalement de la fréquence de fonctionnement du composant. Il est raisonnable de considérer qu'au-delà du 5<sup>ème</sup> harmonique, les variations de courants provoquées par le circuit intégré sont négligeables. La fréquence maximale de découplage, sauf indication du fabricant est donc de 5 fois la fréquence de fonctionnement du composant.

### 4.3.3 Phase de placement/routage

Lorsque la saisie de schéma est terminée, le placement et le routage de la carte est réalisé grâce à un logiciel de CAO. Ce sont les informations issues de celui-ci qui sont ensuite utilisées pour la modélisation du circuit imprimé. Le comportement du réseau de distribution d'énergie est ensuite simulé en statique, pour s'assurer que la résistivité du circuit d'alimentation ne provoque pas de chute de potentiel trop importante.

l'impédance du réseau de distribution d'énergie est également recalculée avec les modèles précis de circuit imprimé et des condensateurs pour s'assurer que les parasites inductifs introduits par le routage ne dégradent pas les performances pour toute la plage de fonctionnement de la carte. Les outils de simulation et leur configuration sont décrits par la suite dans ce chapitre.

#### 4.3.4 Tolérance sur les variations de tension

La stabilité des circuits d'alimentation est dégradée par de nombreux phénomènes physiques. Cependant, pour s'assurer d'un bon fonctionnement de la carte électronique et réduire le risque de dysfonctionnements inhérents aux circuits de distribution d'énergie, ces perturbations ne doivent pas provoquer de fluctuation de tension supérieure aux tolérances des composants indiqués par les fabricants. Pour être certain que la somme des conséquences des phénomènes physiques impliqués dans les mécanismes de perturbation des potentiels d'alimentation ne dépasse pas la fluctuation de tension tolérée par les composants, il est donc important d'attribuer un budget de fluctuation à chacun de ces phénomènes. Parmi les différents éléments provoquant des perturbations sur le rail d'alimentation, nous pouvons citer les fluctuations de tension dues :

- Aux pertes statiques
- A la commutation du composant d'alimentation
- A l'activité du composant alimenté
- Au couplage avec d'autres plans

Il est donc nécessaire de limiter la contribution à la fluctuation de tension du circuit d'alimentation total. C'est pourquoi nous parlons d'allouer un budget de perturbation. Ce budget a pour but de déterminer des sous objectifs pour chacune des simulations du dimensionnement du réseau de distribution d'énergie.

Un exemple de budget est défini dans le cas d'une potentiel d'alimentation de 1 V sur lequel circule une intensité pouvant atteindre 5 A et dont la tolérance sur la variation de tension est de 3%. Dans le tableau 4.8 sont rappelés chaque phénomène impliquant une variation de la tension du circuit de distribution, le budget alloué et l'objectif à atteindre pour respecter ce budget.

TABLEAU 4.8 – Budget de variation de tension pour le dimensionnement du circuit d'alimentation d'une carte électronique

| Phénomène  | Budget | Objectif  |
|--|--------|---|
| Pertes résistives  | 10 %   | moins de 3 mV de pertes résistives  |
| Bruit de commutation du composant d'alimentation         | 30 %   | variation de tension maximale de 20 mV crête à crête en sortie du composant |
| variation de tension due à l'activité du circuit intégré | 50%    | variation de tension maximale de 15 mV crête à crête                        |
| Diaphonie  | 10 %   | Tension induite inférieure à 3 mV   |

Ce budget est représenté sous forme de graphique dans en figure 4.27, permettant de mieux apprécier la contribution de chaque phénomène aux perturbations d'alimentation. Ce budget peut également être représenté sous forme de diagramme barre dans la

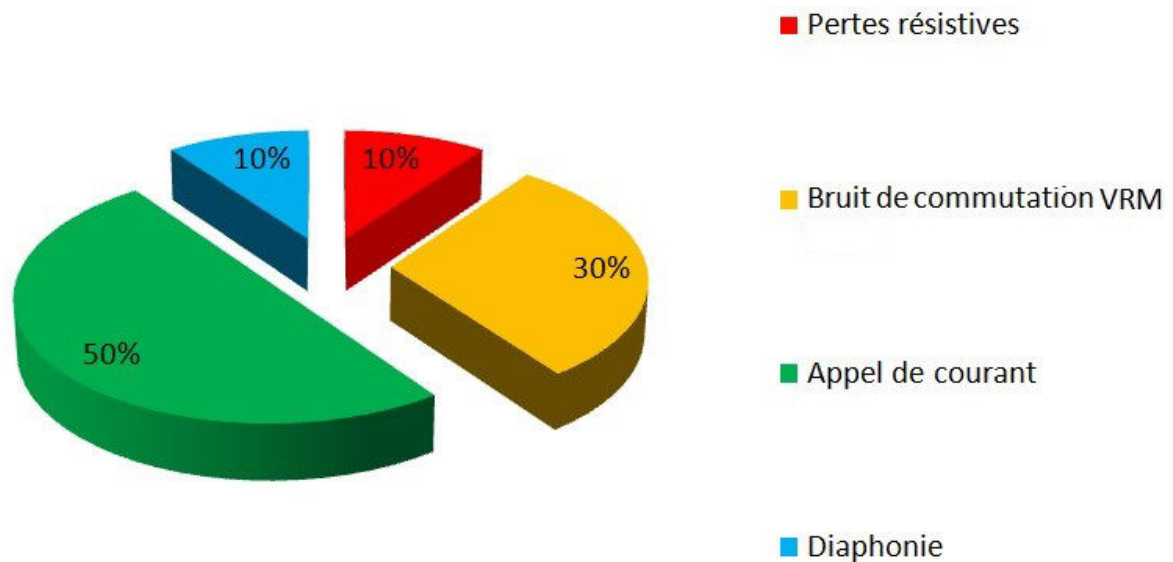


FIGURE 4.27 – Graphique représentant en pourcentage la contribution de chaque phénomène des circuits de distribution d’alimentation aux fluctuations de tension

figure 4.28 en déterminant quelle proportion de la fluctuation de tension est allouée à un phénomène donné en reprenant l’exemple utilisé auparavant dans la figure 4.27. Dans

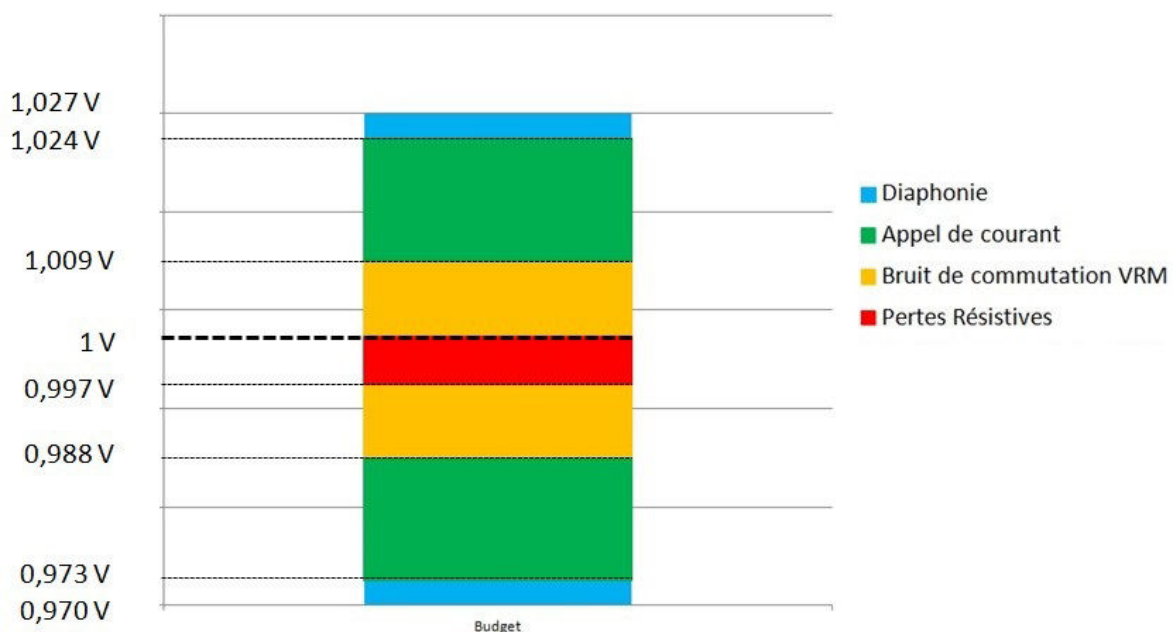


FIGURE 4.28 – Graphique représentant en niveau de tension la contribution de chaque phénomène des circuits de distribution d’alimentation aux fluctuations de tension

ce graphique, les pertes résistives sont considérées comme uniquement contributives de chute de potentiel. Les autres phénomènes en revanche contribuent respectivement à une augmentation ou à une diminution du potentiel de tension. Dans la méthodologie de conception présentée, l’ensemble de ces phénomènes sont simulés.



### 4.3.5 Conclusion partielle

Toutes les étapes de conception du réseau de distribution d'énergie et les simulations associées ont été présentées dans cette partie. Cette méthodologie de conception est applicable à toutes cartes électroniques. Les différentes étapes de conception du réseau de distribution d'énergie sont synthétisées au sein du diagramme de la figure 4.29.

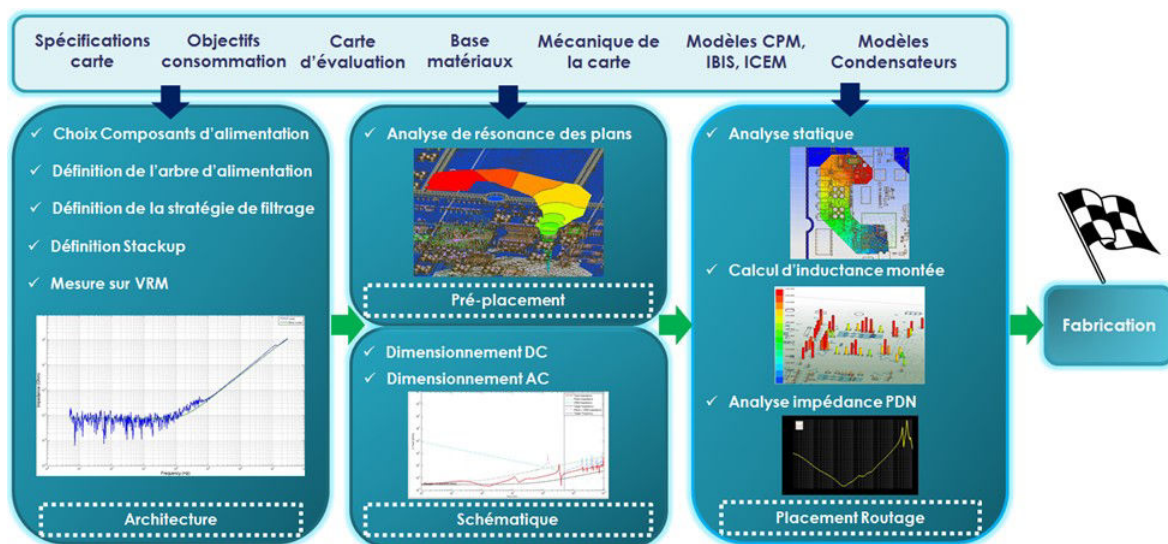


FIGURE 4.29 – Diagramme de la méthodologie de conception du réseau de distribution d'énergie d'une carte électrique

Cette méthodologie ne présente par contre que les étapes pour la conception et la simulation du réseau de distribution d'énergie dans le domaine fréquentiel. Pour le domaine temporel, les étapes de conception sont exactement les mêmes jusqu'à la phase de validation du réseau de distribution d'énergie. Pour la dernière étape de validation, un logiciel de simulation circuit est utilisé pour lancer une analyse temporelle plutôt qu'une simulation dans le domaine fréquentiel. Un exemple d'application de la méthodologie de simulation dans les deux domaines constitue la dernière partie de ce chapitre.

Cette méthodologie de conception mobilise de nombreux outils de simulation différents. L'une des difficultés de la méthodologie consiste donc à réussir à interfacier chacun des outils entre eux. L'ensemble de ces outils et de leur configuration fait l'objet de précision dans les parties suivantes.

## 4.4 Impédance cible

Le concept d'impédance cible est explicité dans le [chapitre 1](#). Le calcul de l'impédance cible constante est rappelé dans l'équation 1.14. Il est important de définir convenablement l'impédance cible puisque c'est le principal indicateur du bon comportement du réseau d'alimentation au niveau de la carte électronique. Sous-estimer l'impédance cible conduit à des dépassements de tension du rail d'alimentation provoquant des erreurs logiques (seuil de composant indéfini) ou un vieillissement accéléré du composant. Sur-estimer l'impédance cible revient à contraindre l'impédance du réseau de distribution d'énergie, donc principalement à rajouter des condensateurs de découplage sur le circuit imprimé, ce qui représente à la fois des coûts supplémentaires de fabrication mais également une complexification du routage de la carte et va à l'encontre des tendances

de densification. Un second modèle d'impédance cible est également présenté dans le chapitre 1. Ce second modèle s'appuie sur la décomposition fréquentielle de la variation de courant la plus rapide pour calculer une impédance cible dont la valeur augmente proportionnellement avec la fréquence au-delà de la fréquence de fonctionnement du composant.

Le modèle le plus performant d'impédance cible est le modèle pour lequel l'impédance est calculée d'après la transformée de Fourier du courant. Il peut être obtenu par simulation grâce aux modèles **IBIS** pour les potentiels d'entrée/sortie ou aux modèles **CPM** ou **ICEM** pour les potentiels de cœur d'alimentation.

Si aucun modèle n'est disponible, une méthodologie utilisant des résultats de mesures sur carte permettent également d'obtenir de manière précise l'impédance cible.

#### 4.4.1 Calcul de l'impédance cible par simulation

##### 4.4.1.1 Cas pour un signal

La description temporelle d'un potentiel d'alimentation d'une banque d'entrée/sortie est relativement facile à obtenir par simulation. En effet, la transmission des signaux est étudiée par le biais de modèle IBIS. Une configuration de simulation dans le cadre d'une étude pré-routage est illustrée dans la figure 4.30. Il s'agit de la simulation de la transmission d'un bit de donnée entre le **FPGA** du véhicule de test et le bloc de mémoire **DDR3** par le biais d'une ligne de transmission idéale.

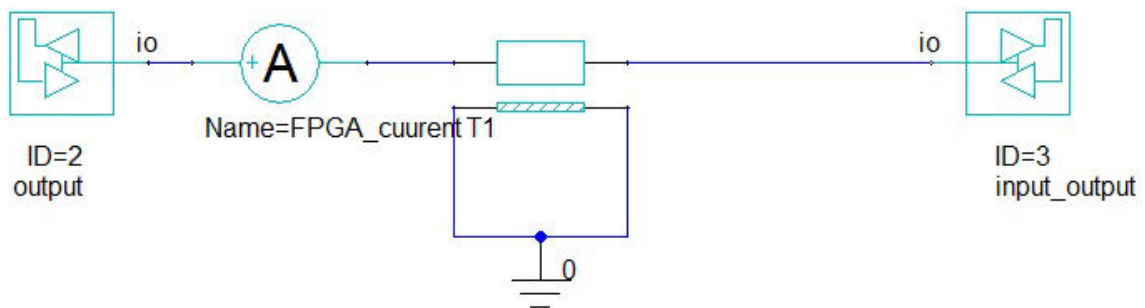


FIGURE 4.30 – Schéma de configuration de la simulation pré-routage de la transmission d'un signal de donnée entre le FPGA et le bloc de mémoire DDR3

Ces modèles comprennent les courbes de courant et de tension d'un étage de sortie de signal en fonction du temps. En excitant un modèle avec une séquence **PRBS**, nous obtenons donc un comportement représentatif de cet étage de sortie en activité et de l'allure de son courant représentée en figure 4.31.

Il est alors possible de calculer par transformée de Fourier discrète la composition spectrale du courant. La figure 4.32 représente la décomposition spectrale du courant. La courbe rouge correspond à une pente à 20 dB par décade permettant d'estimer la fréquence à partir de laquelle la composition harmonique du signal devient négligeable, c'est à dire lorsque l'amplitude du courant baisse de 3 dB par rapport à cette pente. La décomposition fréquentielle du courant  $I(f)$  permet alors de calculer l'impédance cible d'après la formule 4.6

$$Z(f) = \frac{\Delta V_{max}}{I(f)} \quad (4.6)$$

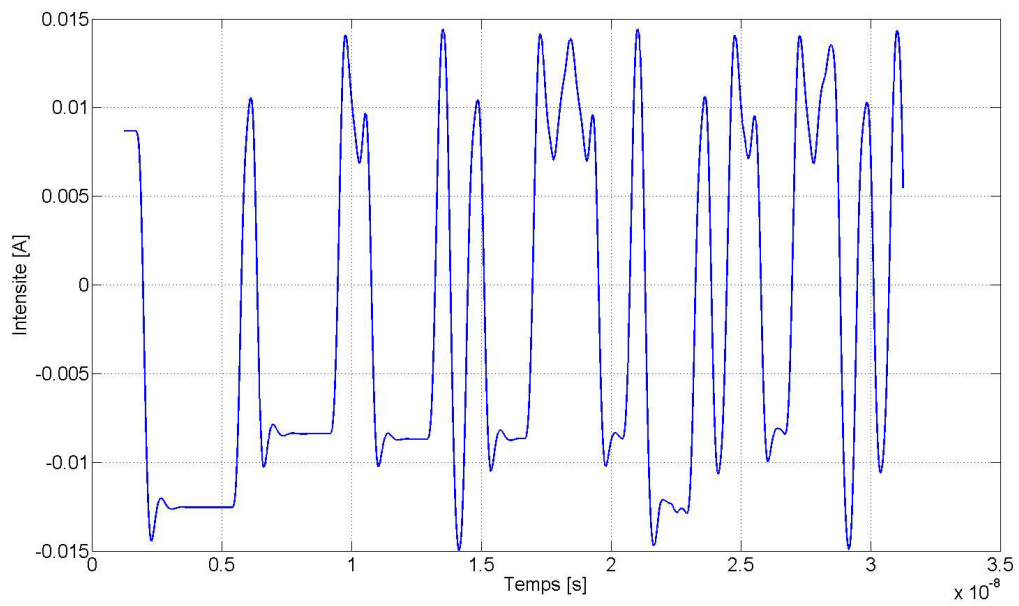


FIGURE 4.31 – Profil du courant en fonction du temps issu de la simulation pré-routage

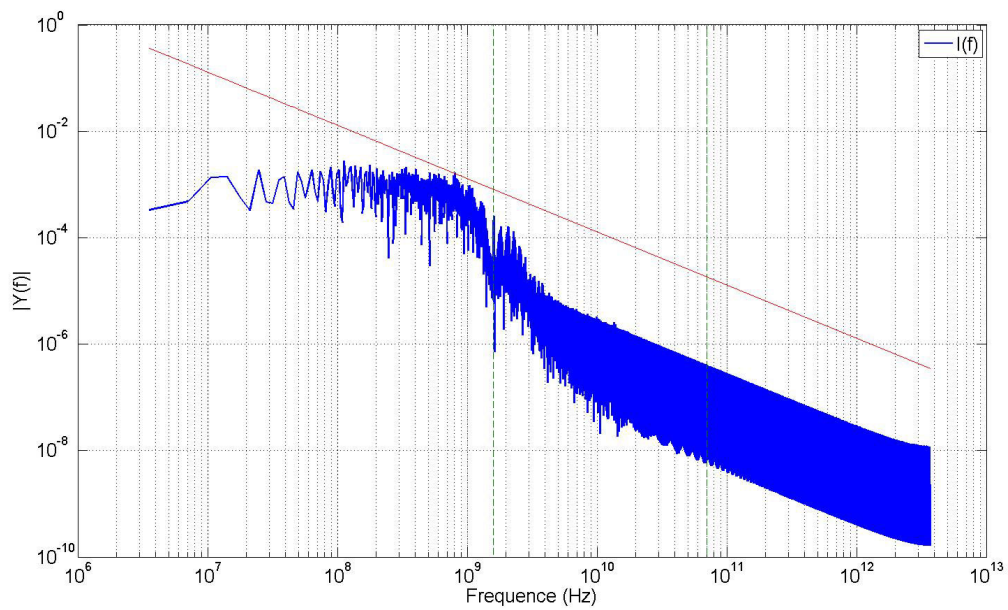


FIGURE 4.32 – Décomposition spectrale du courant calculé par FFT

L'impédance cible obtenue par la formule ci-dessus est représentée dans la figure 4.33. Le front de commutation le plus rapide obtenu dans la simulation de transmission de

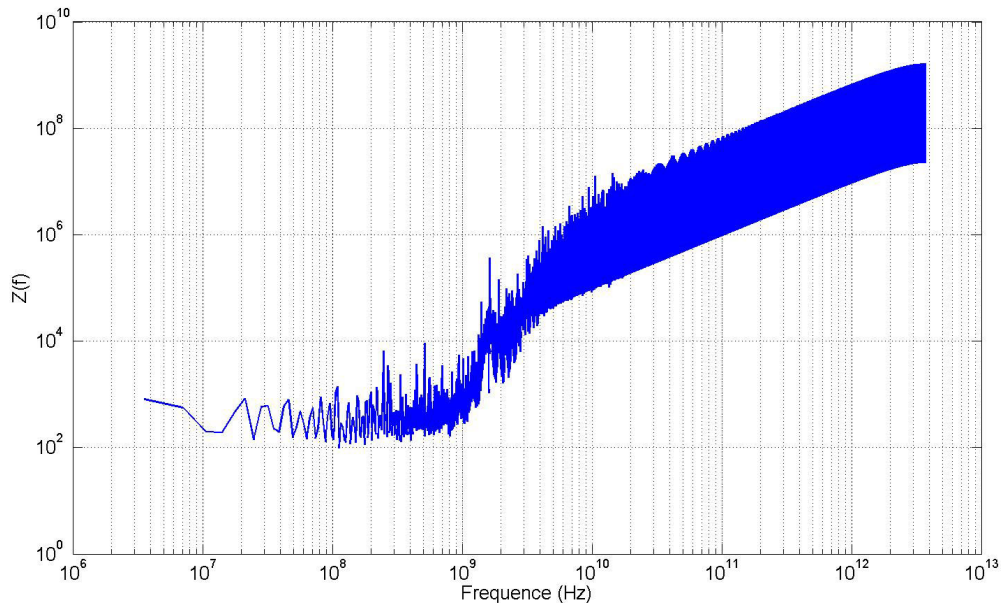


FIGURE 4.33 – Représentation de l'impédance cible obtenue par calcul

signal de la figure 4.30 donne une variation de courant d'environ 51A/ $\mu$ s. Le temps de montée est de 5ps. Ces résultats sont comparés au calcul réalisé sur un signal numérique idéal dont le temps de montée est également de 5 ps mais non dégradé par les effets du boîtier du composant et des phénomènes de ligne de transmission. Un aperçu du profil de ce courant idéal est donné en figure 4.34

La décomposition fréquentielle de ce profil de courant idéal est comparée à celle obtenue par simulation du modèle IBIS. Puisqu'il s'agit d'un signal idéal, il est extrêmement facile d'en déduire d'une part la fréquence de fonctionnement de l'interface, signalée sur la figure 4.35 par le premier marqueur vert.

Le second, marque la fréquence de coupure à -3dB de ce signal, donnée par la formule 4.7

$$F_{knee} = \frac{0.35}{T_{rise}} \quad (4.7)$$

Cette comparaison permet de démontrer que les effets des boîtiers et de la ligne de transmission atténuent fortement la densité spectrale en hautes fréquences. L'impédance cible est ensuite recalculée pour ce signal et comparée à l'impédance cible obtenue précédemment. Cette comparaison est présentée dans la figure 4.36. Puisque l'amplitude de la décomposition du courant du signal idéal est plus importante que celle obtenue par simulation des modèles IBIS, il en résulte une impédance cible plus faible puisque le courant circulant est plus important. Cette observation permet de conclure qu'il est important de prendre en compte les atténuations apportées par le boîtier des composants et des lignes de transmission dans le calcul de l'impédance cible puisque la prise en compte de celles-ci permettent d'obtenir une impédance cible plus réaliste mais aussi plus élevée, donc nécessitant moins de condensateurs de découplage.



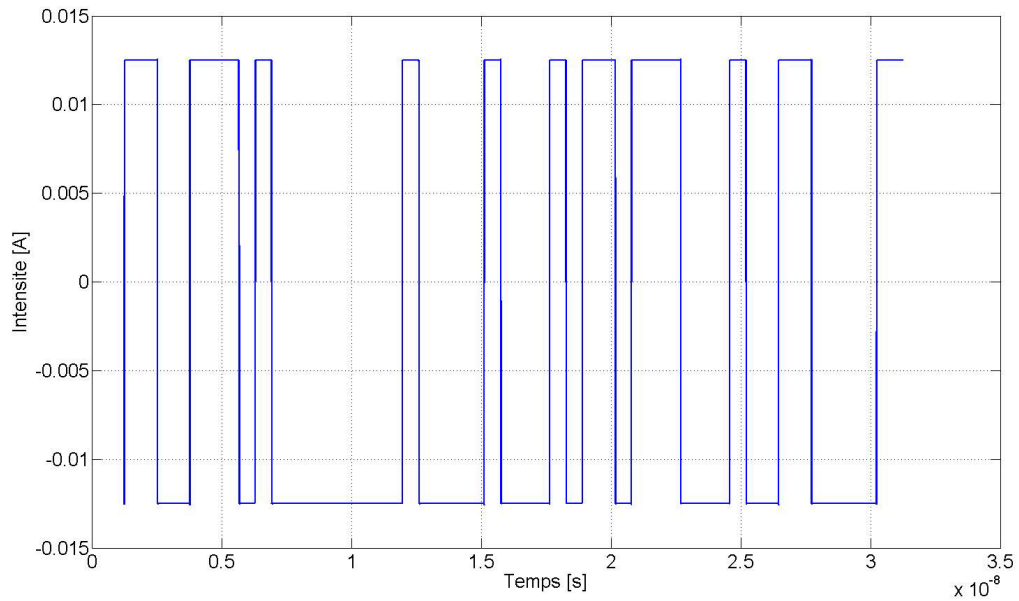


FIGURE 4.34 – Profil du courant en fonction du temps d'un signal numérique idéal

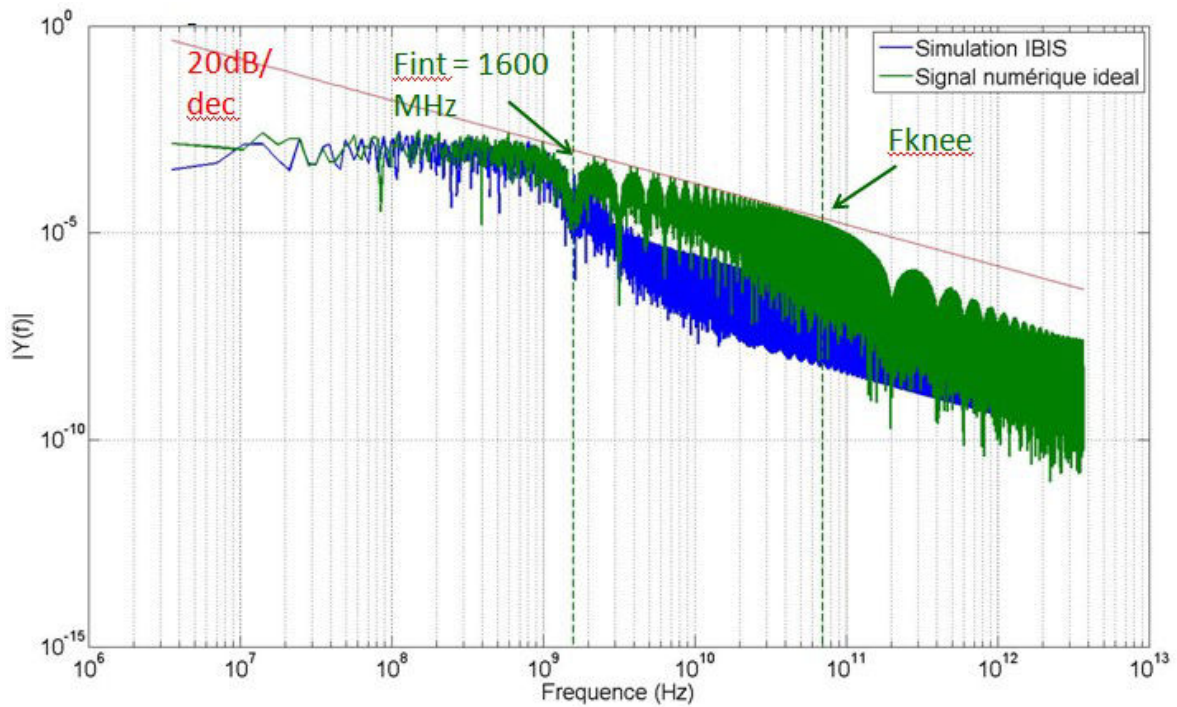


FIGURE 4.35 – Décomposition spectrale du courant d'un signal numérique idéal comparée à la décomposition spectral du courant de la simulation des modèles IBIS



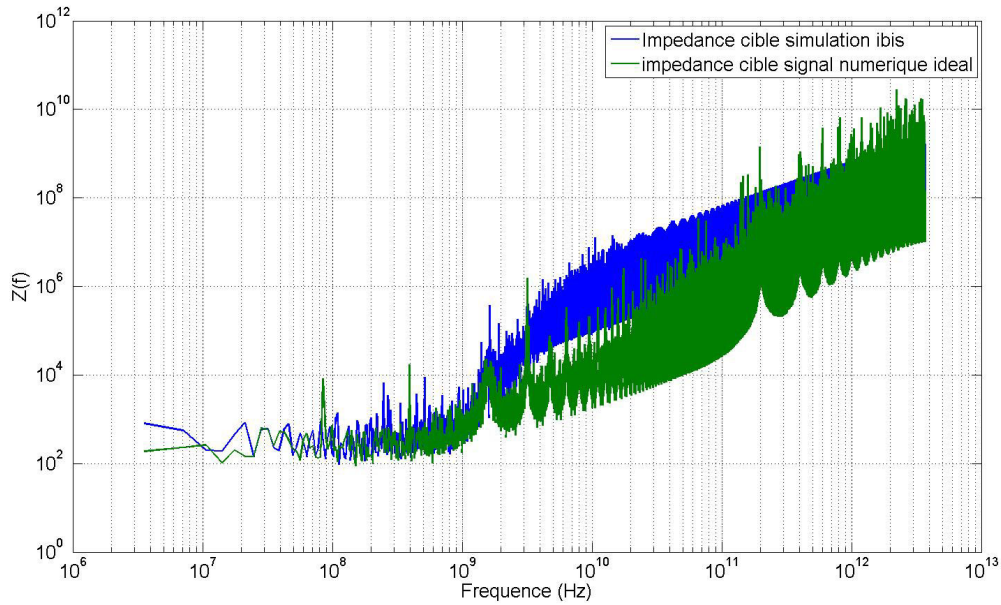


FIGURE 4.36 – Comparaison de l'impédance cible calculée pour la simulation utilisant de modèles IBIS et celle pour un signal idéal

#### 4.4.1.2 Cas pour un bus de signaux

Cette analyse a été réalisée pour la transmission du signal d'un bit de mémoire. Or ce plan alimente une interface parallèle transportant 16 signaux. L'amplitude du courant issu de la simulation est multiplié par 16 pour prendre en compte l'effet du fonctionnement des 16 signaux de l'interface simultanément et le calcul de l'impédance cible est à nouveau réalisé pour cette nouvelle configuration. L'impédance cible obtenue est alors comparée à l'impédance cible simulée pour la transmission d'un seul bit dans la figure 4.37. La décomposition spectrale est la même pour la simulation de la transmission d'un

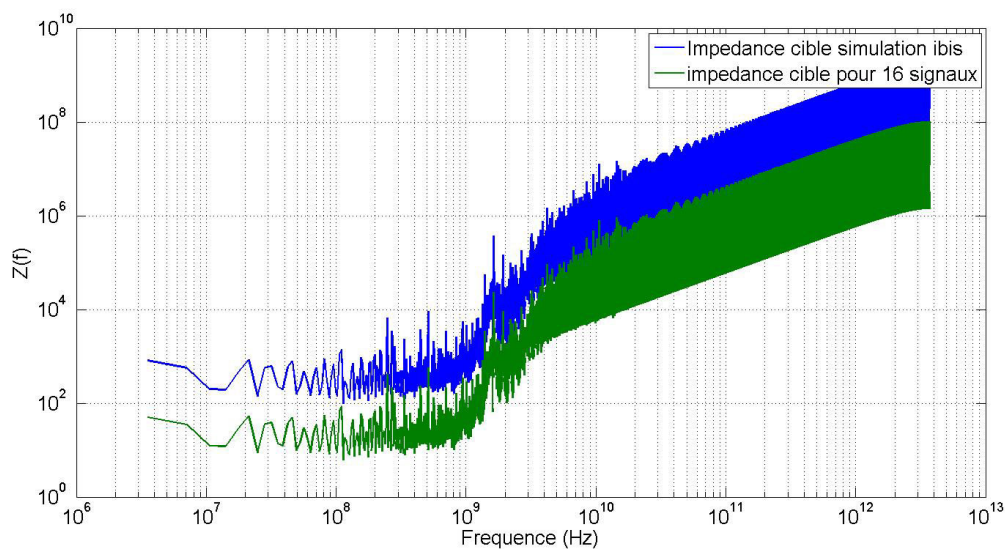


FIGURE 4.37 – Comparaison de l'impédance cible calculée pour la simulation d'un signal et des 16 signaux du bus de mémoire

bit que pour celle de la transmission des 16 bits. En revanche, c'est la valeur de l'ampli-

tude du courant dans le domaine de fréquence qui varie, il en résulte donc une impédance cible plus faible, ce qui est normal puisque plus de courant est consommé. Finalement, le résultat de la simulation est comparé à modèle d'impédance cible variant en fréquence exposé dans la littérature **ANDERSON et collab. [2003]**. Ces résultats justifient en tout cas l'argument du relâchement de la contrainte sur l'impédance cible au-delà de la fréquence de fonctionnement de l'interface et sont reproduits dans **KIM et collab. [2015]**. Cette analyse montre qu'il est possible d'obtenir une impédance cible précise et caractéristique de l'interface à concevoir.

Ce modèle d'impédance cible, obtenu par simulation est le modèle d'impédance cible le plus précis puisqu'il est le reflet de l'activité de l'interface. Cependant, lorsque les modèles de ces étages d'entrée/sortie ne sont pas disponibles, le concepteur doit pouvoir utiliser un modèle permettant de dimensionner le découplage de l'interface qui s'approche de son fonctionnement. Dans ce but, le modèle d'impédance cible obtenu par simulation est comparé au modèle d'impédance cible utilisé pour le découplage des interfaces développé dans le brevet **ANDERSON et collab. [2003]** dont la formule est donnée dans l'équation 4.8 :

$$Z_{cible} = \frac{V \cdot \%tolérance}{\frac{I_{max}}{2}} \left( 1 + \frac{f}{0,125 * F_{Horloge}} \right) \quad (4.8)$$

Avec  $F_{Horloge}$  la fréquence de fonctionnement de l'interface de communication, les autres termes ayant déjà été définis précédemment. La formule 4.8 présente une pente de 20 dB par décade au-dessus de la fréquence d'horloge. Cette pente est respectée dans le cas de la transmission d'un signal trapézoïdal parfait jusqu'à la fréquence  $F_{knee}$  et une pente de 40 dB par décade au-delà. Cependant, dans le cas d'un signal sinusoïdal non parfait, la décomposition harmonique est beaucoup moins riche et une pente de 40 dB par décade est observée dès que la fréquence est supérieure à celle de fonctionnement de l'interface. Un nouveau modèle d'impédance cible est proposé dont la formule est présentée dans l'équation 4.9

$$Z_{cible} = \frac{V \cdot \%tolérance}{\frac{I_{max}}{2}} \left( 1 + \left( \frac{f}{0,5 * F_{Horloge}} \right)^2 \right) \quad (4.9)$$

Les modèles présentés dans cette partie sont comparés dans la figure 4.38. La fi-

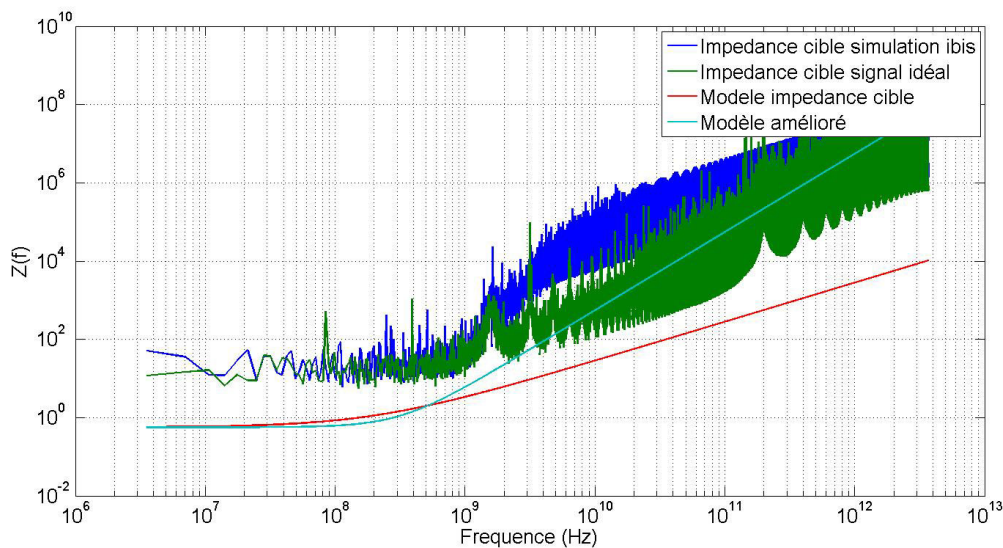


FIGURE 4.38 – Comparaison des modèles d'impédances cible présentés

Figure 4.38 démontre que le modèle d'impédance cible d'une interface idéale (en vert) et le modèle analytique présenté dans ANDERSON et collab. [2003] (en rouge) sont bien en adéquation l'un avec l'autre. Cependant, ces modèles s'éloignent du modèle d'impédance cible obtenu par simulation (en bleu foncé), ce qui conduit à un sur-dimensionnement du découplage de l'interface. Le nouveau modèle analytique introduit en bleu clair sur la figure s'approche bien plus de l'impédance cible de l'interface. En conclusion lorsque les modèles IBIS des étages d'entrée/sortie des composants sont disponibles, l'impédance cible de l'interface peut être obtenue par simulation. Dans le cas contraire, un nouveau modèle analytique proposé permet d'estimer au mieux le modèle d'impédance cible. La méthodologie de calcul d'impédance cible est résumé dans la figure 4.39.

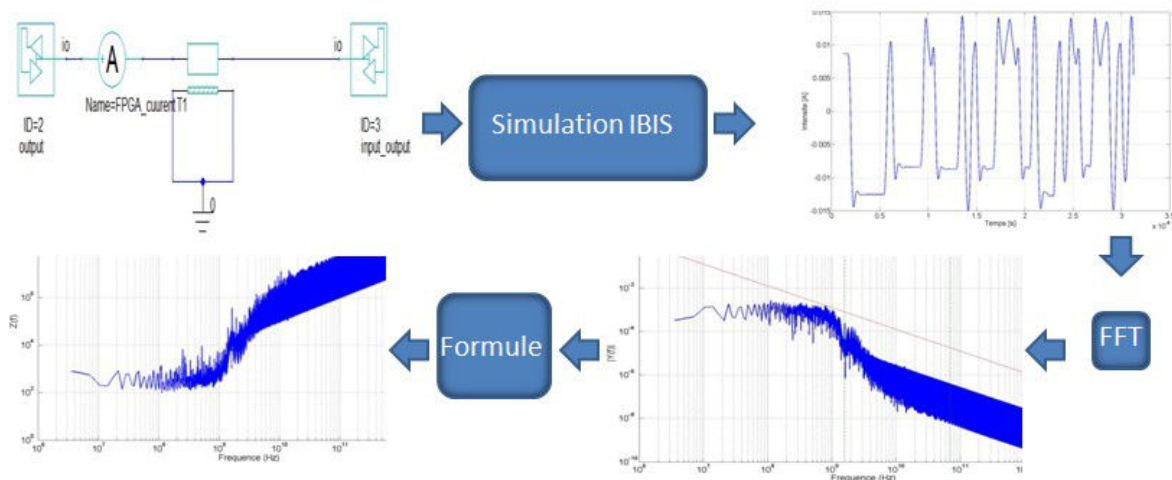


FIGURE 4.39 – Méthodologie de calcul de l'impédance cible d'après simulation

#### 4.4.2 Calcul de l'impédance cible d'après des résultats de mesures

Une démarche similaire pourrait être adoptée si les concepteurs disposaient de la signature en courant produite par l'activité du cœur d'alimentation des circuits intégrés. Des modèles propriétaires comme le modèle CPM KULALI et collab. [2007] ou issus de standards existents (ICEM, ICIM) mais ne sont pas encore largement diffusés. La forte communauté existante dans le domaine de la transmission de signal avec l'association IBIS s'intéresse de plus en plus aux questions de la communauté d'intégrité de puissance comme le montrent les améliorations apportées aux modèles IBIS depuis la version 5.1. Un travail similaire pourrait être engagé concernant les problématiques d'alimentation puisque les problématiques sont similaires dans beaucoup d'aspects.

Afin d'estimer le gain apporté par cette méthodologie sur les alimentations des composants, le calcul de l'impédance cible du cœur d'alimentation du FPGA est réalisée à partir de la mesure de sa tension de cœur obtenue au niveau du montage "spyhole" présenté au chapitre 2. L'impédance du composant FPGA du véhicule de test a été obtenue par mesure dans la partie 3.5.2. Cette impédance peut être grossièrement modélisée sur la plage de fonctionnement du composant de 0 à 600MHz par un circuit RLC équivalent. Cela permet d'après la loi d'Ohm dans le domaine fréquentiel de calculer le courant  $I(f)$  en fonction de  $V(f)$  et  $Z(f)$ . La tension mesurée grâce au "spyhole" est représentée dans la figure 4.40. Nous négligeons les effets parasites introduits par le montage et les instruments de mesure.

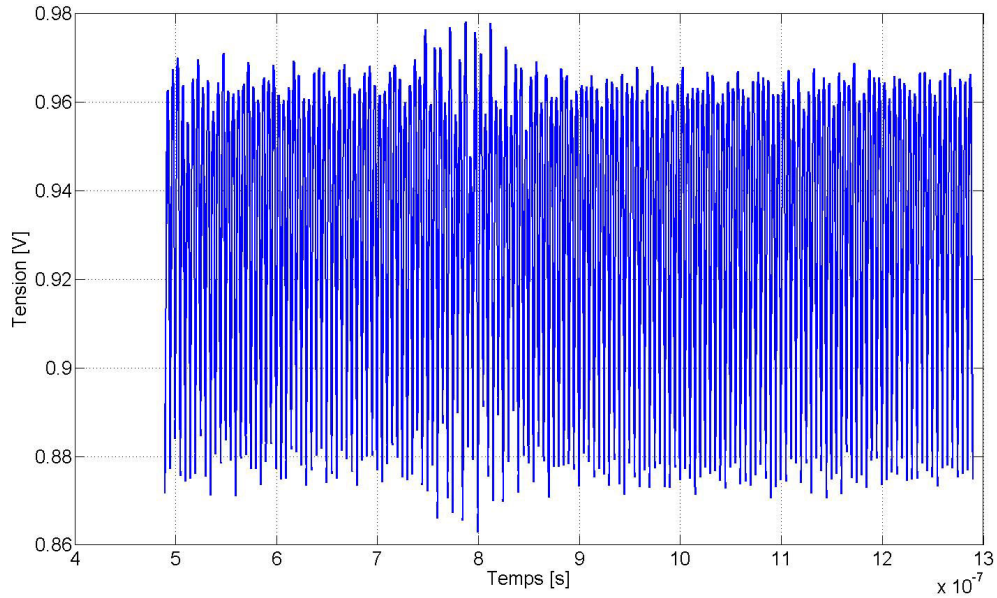


FIGURE 4.40 – Tension mesurée aux broches du composant grâce au montage "spyhole"

La transformée de Fourier rapide de cette tension  $V(f)$  est calculée en figure 4.41 pour obtenir sa décomposition fréquentielle.

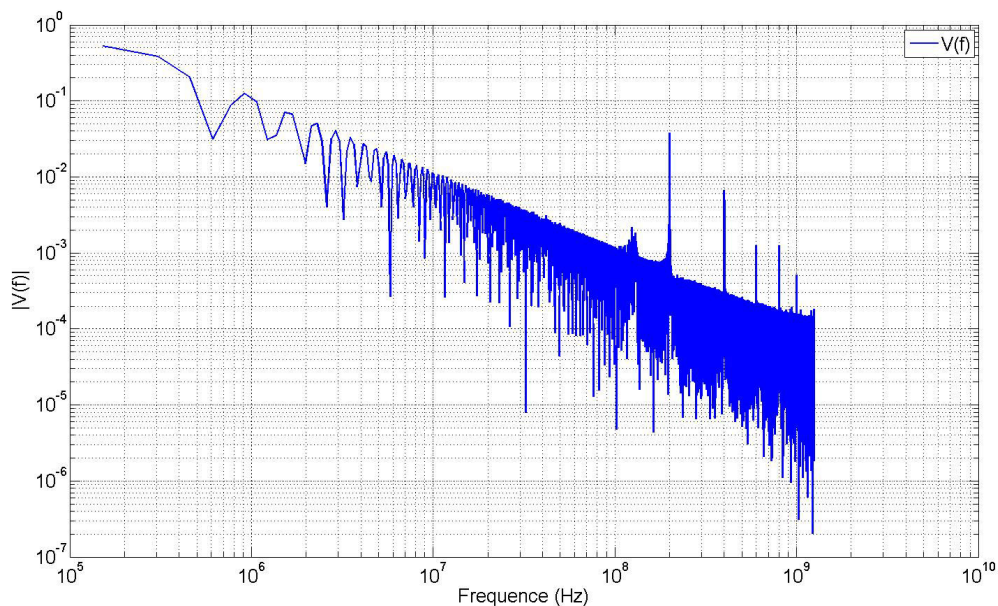


FIGURE 4.41 – Transformée de Fourier rapide de la tension mesurée au "spyhole"

Il est intéressant de noter les fortes composantes de tension pour les fréquences de 200 MHz et ses 4 harmoniques. Ces composantes correspondent à la fréquence de fonctionnement du **FPGA**. Dans le but d'atteindre des niveaux de consommation maximaux sur le véhicule de test, un programme **VHDL** impliquant le maximum de ressources du composant possible a été créé. Toutes ces ressources commutent à la fréquence de fonctionnement maximale du composant, c'est-à-dire 200 MHz. Le profil du courant du composant dans le domaine fréquentiel est obtenu en appliquant la loi d'Ohm dans le do-



maine fréquentiel Les éléments du modèle d'impédance du composant utilisés pour le calcul de  $I(f)$  sont indiqués dans le tableau 3.8. Le courant en fonction de la fréquence est représenté dans la figure 4.42 Enfin, l'impédance cible est calculée en utilisant la

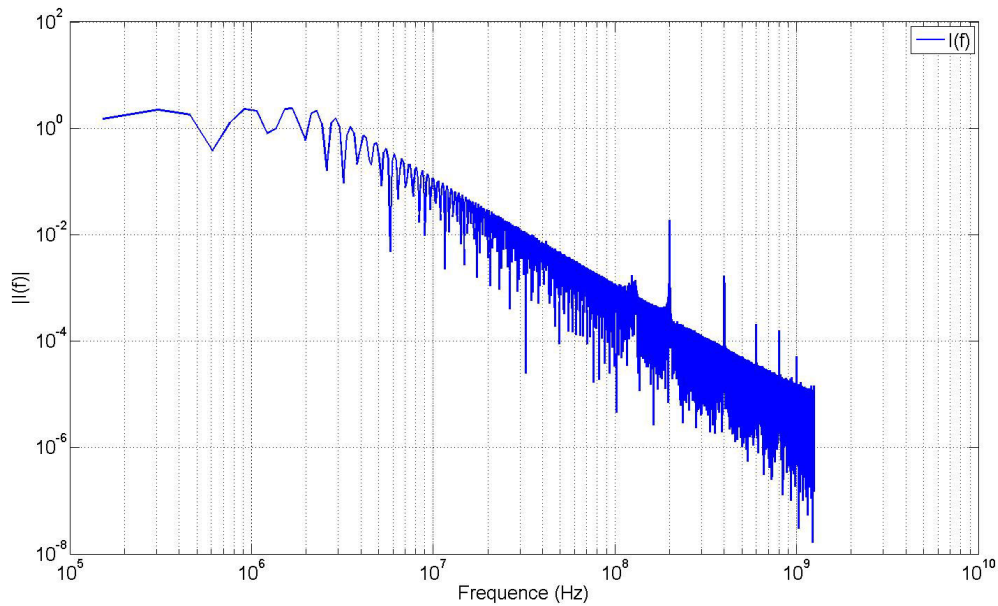


FIGURE 4.42 – Décomposition fréquentielle calculée du courant de fonctionnement du composant

formule 1.14.

L'impédance cible obtenue par la mesure de la tension sur la grille d'alimentation du composant est comparée au modèle d'impédance cible utilisé pour la conception du découplage du véhicule de test dans la figure 4.43. La comparaison entre l'impédance cible

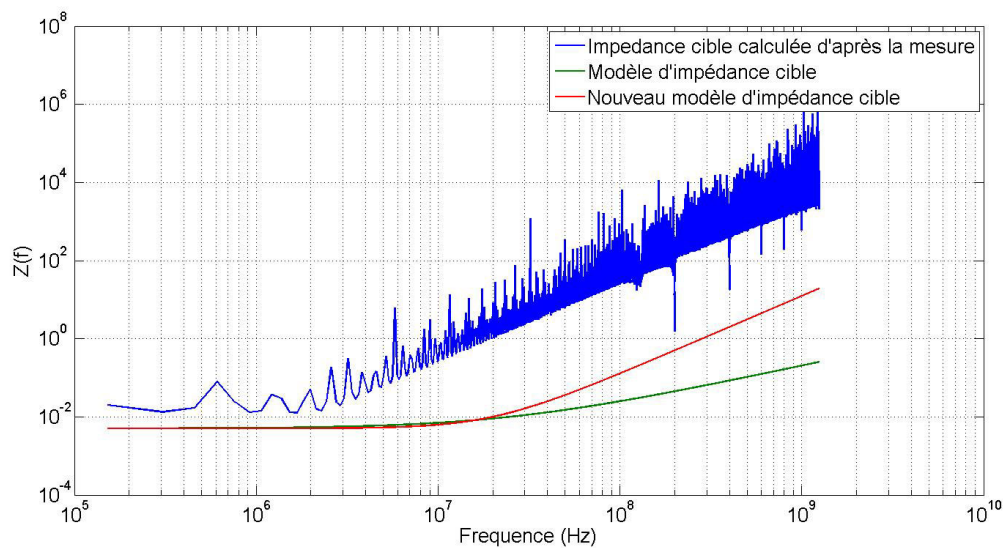


FIGURE 4.43 – Impédance cible obtenue par mesure et nouveau modèle proposé

obtenue par mesure sur la carte et le modèle utilisé pour la conception du véhicule de test montre que le modèle ne s'approche pas de façon satisfaisante. Comme l'a montré l'étude réalisée par la simulation mais également celle effectuée à partir de résultats de mesure,



la relâche de la contrainte sur l'impédance cible, au-delà de la fréquence de fonctionnement du composant ou de l'interface étudiée peut être augmentée de telle manière à réduire la stratégie de découplage et à réduire la surface occupée par le découplage sur le circuit imprimé. C'est pourquoi le nouveau modèle développé dans la partie précédente est comparé au modèle d'impédance cible obtenu par mesure dans la figure 4.43

La courbe du nouveau modèle d'impédance cible, en rouge sur la figure, s'approche bien mieux de l'impédance cible calculée par mesure sur carte. Cette nouvelle approche permet donc de relâcher l'impédance cible à la moitié de la fréquence de fonctionnement du véhicule de test. Cela contribue fortement à la réduction du nombre de condensateurs de découplage à placer sur les cartes puisque ce sont ceux de faibles valeurs, permettant de découpler à des fréquences de plusieurs dizaines de MHz qui sont les plus nombreux. Pour ces fréquences, il faut placer de nombreux condensateurs en parallèle pour obtenir une diminution significative de l'impédance du réseau de distribution d'énergie.

### 4.4.3 Conclusion partielle

En conclusion, ces différentes études ont montré qu'en disposant des modèles de composants adéquats et en utilisant des modèles d'éléments simplifiés du circuit imprimé tels que des lignes de transmissions ou des plan idéaux, il était possible de calculer avant la phase de routage l'impédance cible la plus proche des besoins du système et donc de dimensionner le réseau de distribution d'énergie. Cette approche est généralement applicable pour les potentiels d'alimentation d'interface de communication puisque les modèles IBIS décrivant la consommation du courant sur cette interface sont disponibles.

Lorsque ces modèles (IBIS, CPM, CEM,...) n'existent pas, les travaux présentés mettent en valeur une méthodologie d'obtention du modèle d'impédance cible issu de la mesure, réaliste et en adéquation avec celui obtenu par simulation. Ces résultats ont été observés grâce à une implantation matérielle particulière prévue à la conception du véhicule de test conçu lors des travaux de thèse.

Dans les cas où aucun modèle de composant n'est disponible pour décrire la composante temporelle du courant mis en jeu sur le potentiel d'alimentation, les modèles actuellement utilisés, se montrent assez éloignés du comportement du système. Ils engendrent donc la prise en compte d'une marge d'erreur qui conduit à un sur-dimensionnement du circuit d'alimentation et donc à l'augmentation des coûts de conception et de production des cartes électroniques. C'est pourquoi un nouveau modèle analytique d'impédance cible est proposé. Dans chacune des approches, en mesure ou en simulation, ce nouveau modèle se révèle être bien plus proche que celui proposé par ANDERSON et col-lab. [2003].

L'estimation d'une impédance cible au plus juste des besoins du système permet d'obtenir l'objectif de découplage le plus juste à atteindre et permet non seulement de vérifier que le système fonctionnera dans le pire des cas mais également de concevoir la carte en appliquant une stratégie d'optimisation SWAP-C.

## 4.5 Circuit imprimé

Comme présenté dans la méthodologie de la figure 4.29, le dimensionnement des réseaux de distribution d'énergie intègre l'analyse de leur fonctionnement en statique. Le courant parcourant le circuit d'alimentation depuis le composant d'alimentation vers

les composants à alimenter provoque un échauffement au sein du circuit imprimé qui se traduit par une chute de tension. Ce phénomène est dû à la résistivité du circuit d'alimentation qui n'est pas nulle.

Par ailleurs, l'échauffement provoqué par le passage du courant au sein du circuit d'alimentation peut également provoquer des problématiques d'ordre thermique activant les fonctions de fusible des composants ou dans des cas extrêmes aboutissant à la destruction du circuit imprimé. Cependant, les puissances engagées sur les cartes étudiées dans le cadre de ces travaux de thèse apportent uniquement des problématiques de chute de potentiel et non d'échauffement thermique au niveau du circuit imprimé.

Afin d'éviter que le comportement statique du circuit de distribution d'énergie ne provoque des dysfonctionnements de la carte, des outils de simulation sont utilisés pour quantifier les chutes de tension provoquées par le passage du courant mais également les densités de courant permettant ainsi d'évaluer l'élévation de température en tout point du circuit imprimé.

### 4.5.1 Densité de courant sur les plans

Pour éviter les chutes de tension trop importantes, il faut veiller à ce que la résistivité du circuit soit la plus faible possible. L'utilisation de plans d'alimentation, grandes étendues de cuivre permet à la fois de connecter tous les composants du circuit imprimé au potentiel mais également de réduire la résistivité du circuit de distribution d'énergie. C'est la raison pour laquelle les couches du circuit imprimé dédiées aux plans d'alimentation comportent généralement une épaisseur de 35  $\mu\text{m}$  tandis que les couches dédiées à la transmission de signal sont généralement d'une épaisseur de 17,5  $\mu\text{m}$ . S'il est facile de calculer la résistivité de plans d'alimentation de forme simple, la densification des cartes ainsi que la promiscuité de nombreux potentiels d'alimentation conduisent à l'agencement de plans d'alimentation aux formes complexes. Par ailleurs, l'utilisation de vias traversants perforant les couches de cuivre réduit parfois drastiquement la surface de cuivre disponible. C'est pourquoi des solutions numériques sont utilisées pour calculer en tout point du circuit d'alimentation le niveau de tension et la densité de courant.

#### 4.5.1.1 Outil de simulation

Le simulateur utilise le fichier de description CAO de la carte pour obtenir la description géométrique des plans d'alimentation mais également des informations concernant les matériaux comme le coefficient de résistivité utilisé. Pour configurer cette simulation, il faut d'une part déclarer l'emplacement d'une source de tension typiquement à l'emplacement du module régulateur de tension du circuit de distribution mais également des sources de courant idéales, représentant les emplacements où le courant va être absorbé, c'est à dire aux emplacements des composants. Le circuit est alors maillé en triangles élémentaires et la loi d'Ohm, ou des équations de Maxwell dans des états statiques [SERCU \[2016\]](#) sont résolues de proche en proche. Le résultat de cette simulation permet de connaître la densité de courant et le niveau de tension en chaque point du plan d'alimentation et permet si la résistivité est trop importante de redimensionner le plan d'alimentation de telle sorte que l'objectif de chute de tension maximale définie soit respecté. La figure 4.44 présente le résultat d'une simulation réalisée sur un véhicule de test présentant une forme de plan intéressante à analyser. Le plan analysé est particulièrement sensible au phénomène de pertes résistives à cause de l'étranglement dessiné par le plan d'alimentation entre la sortie du composant d'alimentation et les deux [FPGA](#) à alimenter.

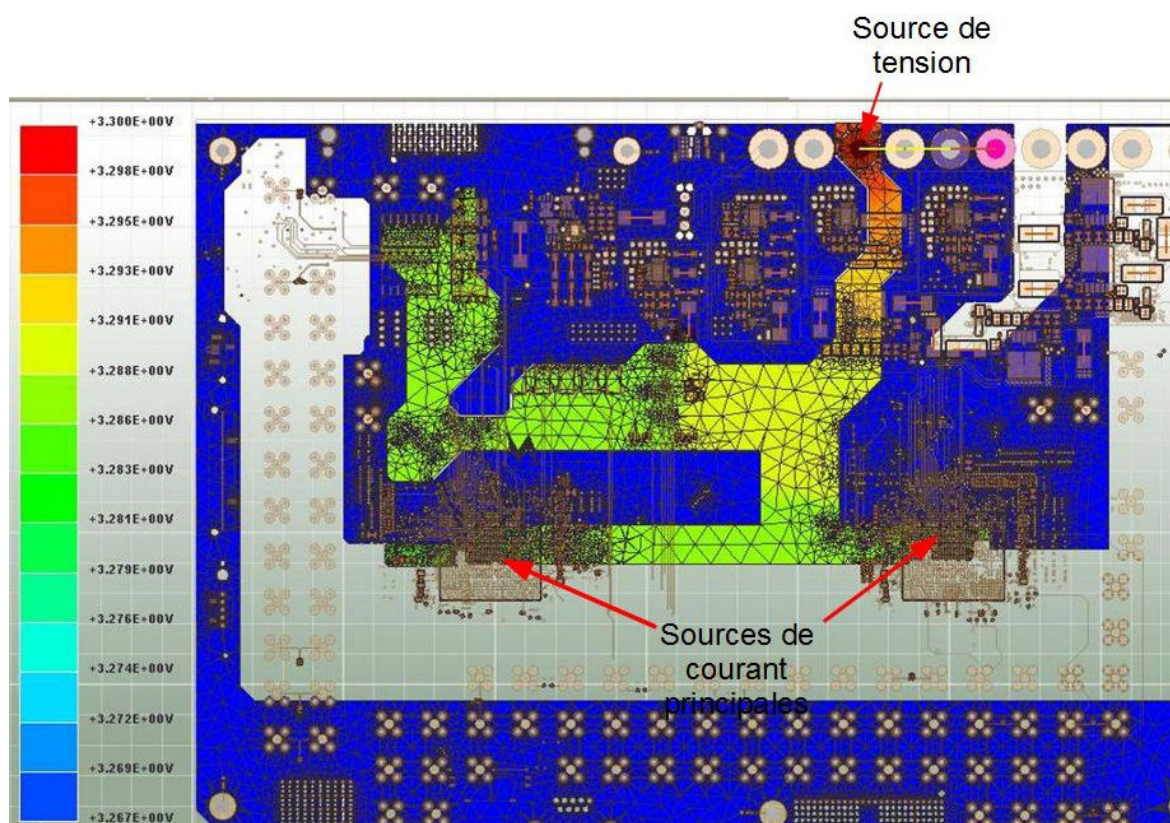


FIGURE 4.44 – Illustration du résultat de simulation statique effectuée sur un véhicule de test

Comme le montre la figure 4.44, la chute de tension est principalement localisée à l'endroit où la largeur du plan est la plus faible. Cette simulation permet donc de mettre en lumière le défaut de routage du plan introduisant une résistance élevée.

#### 4.5.1.2 Validation de l'outil par la mesure

Pour s'assurer de la validité des résultats de simulation, un protocole expérimental a été imaginé de manière à pouvoir mesurer les chutes de potentiel engendrées par le passage du courant à travers le circuit imprimé. Sur le circuit imprimé nu, la circulation du courant est assurée en court-circuitant chacune des plages d'accueil des composants sur lesquelles la mesure va être effectuée avec une plage du potentiel de référence la plus proche. La figure 4.45 détaille les courts-circuits réalisés au niveau de l'empreinte d'un composant BGA pour permettre la circulation du courant. Le potentiel testé est ensuite alimenté par une source de courant pour forcer le courant à circuler sur le circuit imprimé. La source de courant permet d'obliger la circulation d'un courant d'une intensité définie mais également sous un potentiel défini. Cela permet de reproduire le fonctionnement de la carte en l'absence de composants. Pour connaître la chute de potentiel engendrée par le passage du courant, le potentiel de chacune des plages de cuivre en surface du circuit-intégré est ensuite mesuré. La mesure est effectuée à l'aide d'un nano voltmètre Keithly 2182A sur lequel sont connectées des pointes de mesure IDI SS30B. La figure 4.46 montre les pointes de test utilisées pour réaliser cette mesure. La différence de potentiel engendrée par le passage du courant est mesurée entre le point d'entrée du courant sur la carte et chacune des plages de cuivre sur lesquelles sont normalement soudées les broches des composants dédiées au potentiel 3,3V. La configuration de la manipulation est représentée dans la figure 4.47. Pour reproduire en simulation le comportement



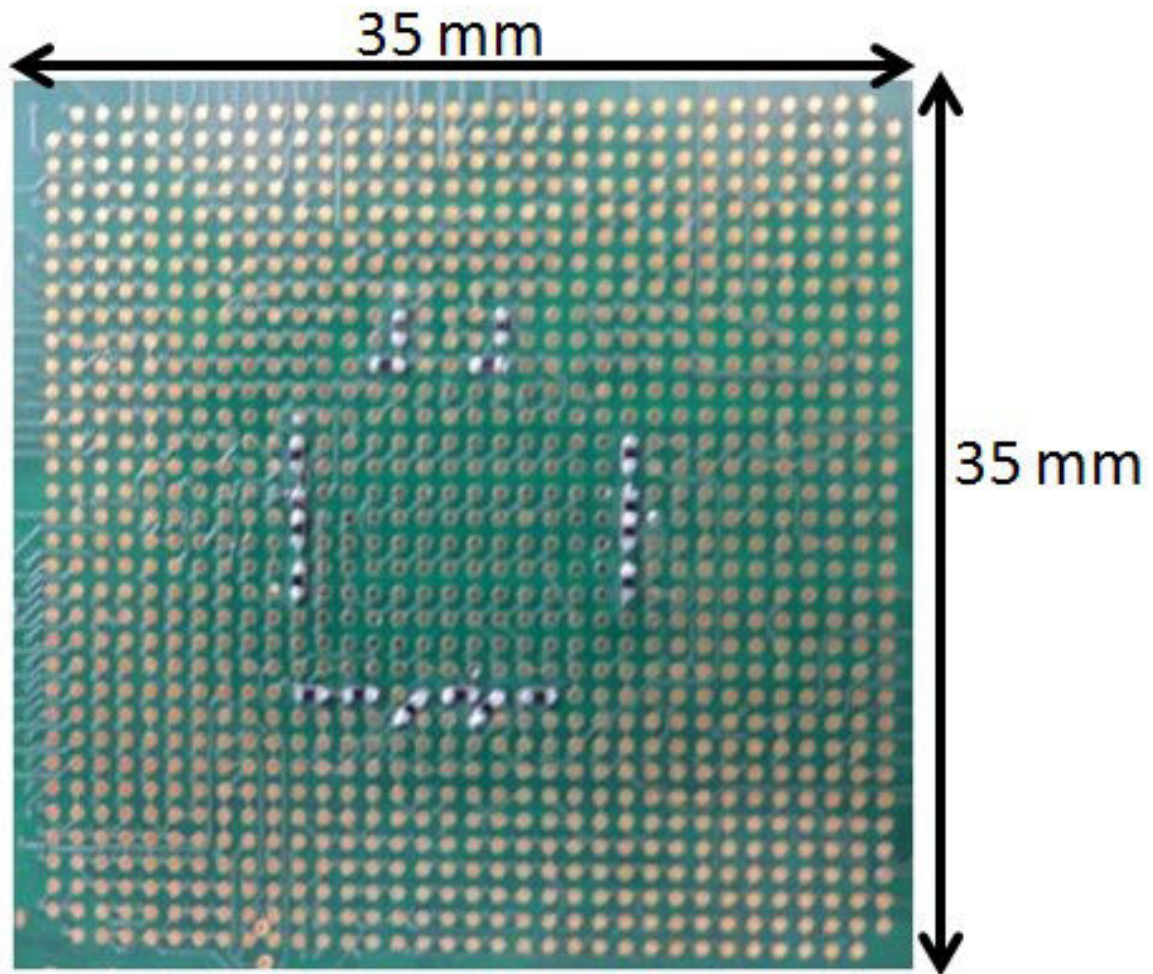


FIGURE 4.45 – Détail des court-circuits réalisés au niveau d'un composant BGA du circuit imprimé permettant la circulation du courant

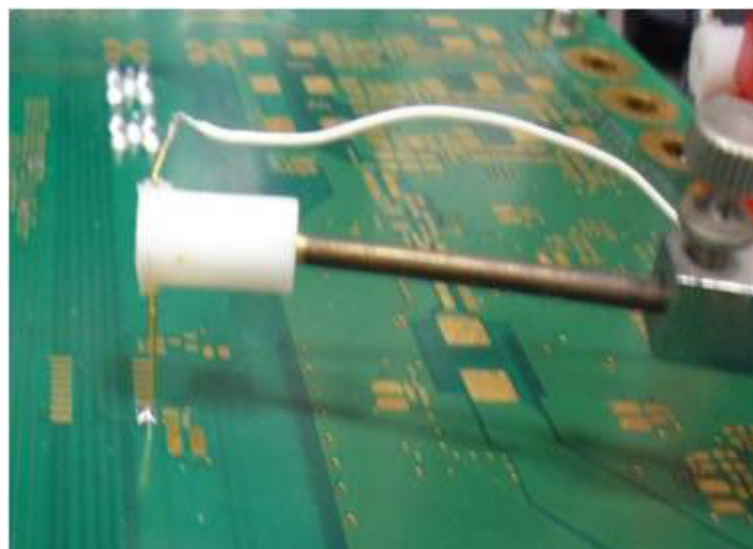


FIGURE 4.46 – Photographie des pointes de test utilisées pour la mesure de chute de potentiel engendrée par le passage du courant

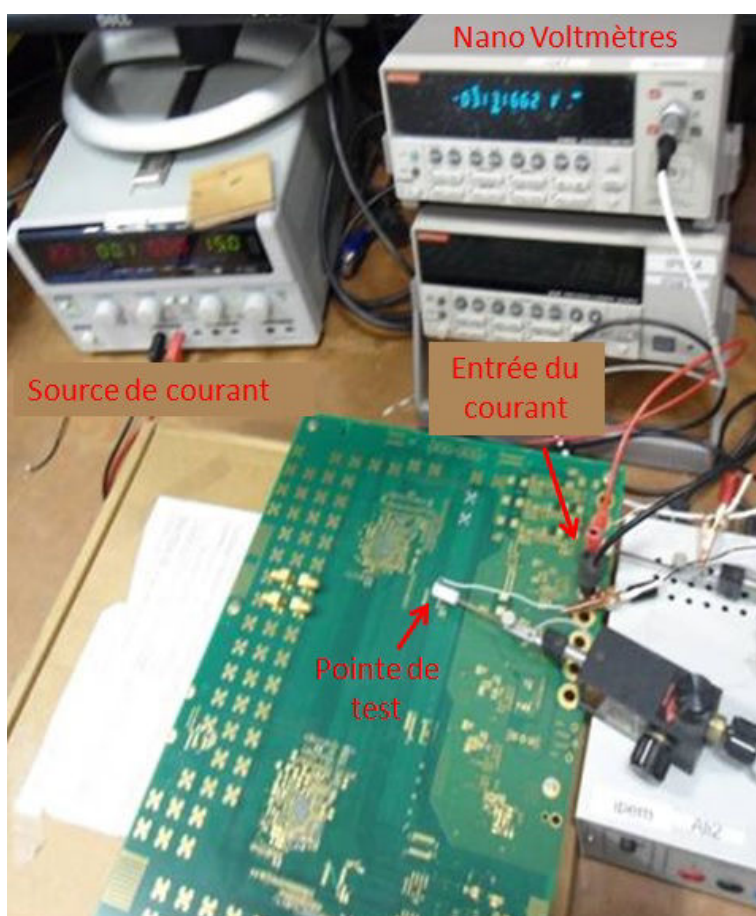


FIGURE 4.47 – Configuration de la mesure de chute de potentiel engendrée par le passage du courant



de la manipulation mise en place en mesure, une source de tension idéale est placée au niveau du trou métallisé sur lequel se connecte la fiche banane dans l'expérience. Pour forcer la circulation du courant sur le circuit imprimé dans la simulation, des sources de courant idéales sont placées aux emplacements des courts-circuits sur le circuit imprimé. Au contraire de la simulation, il n'est pas possible en mesure de définir le courant absorbé au niveau de chaque court-circuit. Cependant, l'hypothèse que chaque court-circuit présente la même résistivité est formulée et donc le courant absorbé par ceux-ci est égal. Cette hypothèse se traduit en simulation par la déclaration d'un courant absorbé égal pour chacune des sources de courant. Afin d'obtenir une circulation en courant vraisemblable sur la carte, chaque source de courant est donc déclarée pour absorber une intensité de 50 mA. La source de courant en mesure est donc ajustée pour débiter une intensité de 2,15 A, la somme de l'intensité absorbée par les différentes sources de courant placée dans la simulation.

La mesure est effectuée sur 166 points différents du circuit imprimé. Les résultats obtenus par mesure et par simulation sont ensuite comparés. La différence entre la mesure et la simulation donne une erreur moyenne de 4,6 %. Les différents éléments statistiques de la comparaison entre la mesure et la simulation sont explicités dans le tableau 4.48.

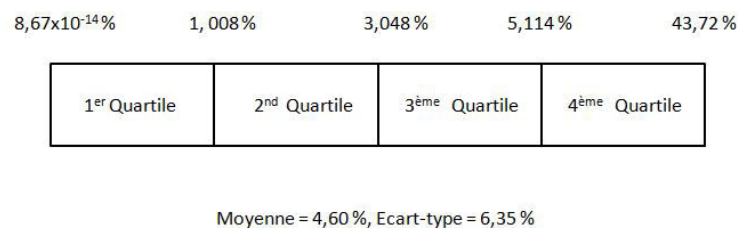


FIGURE 4.48 – Données statistiques de la comparaison des résultats de mesure avec les résultats obtenus par simulation

Les résultats présentés ci-dessus indiquent donc que le résultat de la simulation est particulièrement fiable et que le logiciel permet, de manière précise, de quantifier la chute de potentiel engendrée par le circuit imprimé et de détecter tout défaut de chute de tension ou de densité de courant trop importante, source de dysfonctionnement de la carte. La résistivité des plans est un premier élément important à vérifier en particulier pour les potentiels d'alimentation de cœur de circuits intégrés, sur lesquels circule un fort courant sous un potentiel faible (inférieur au volt). La tolérance sur la chute de tension statique est en effet inférieure à 10 mV.

L'autre contrainte dans le dimensionnement des plans d'alimentation est l'élévation en température engendrée par la densité de courant. Des abaques dans les normes IPC permettent de connaître pour une épaisseur et une largeur de piste données l'intensité provoquant une élévation de température définie (10 °C ; 20 °C, ...). Les règles de conception dans le groupe Thales imposent des densités de courant maximales provoquant une élévation de température de 10°C. Il est donc possible d'après ces abaques de retrouver la densité de courant en  $A \cdot m^{-2}$  correspondant à cette règle et, en renseignant ce seuil dans l'outil de simulation, d'identifier toutes les zones du plan d'alimentation dépassant ce seuil. Pour des plans de cuivre de 35  $\mu m$  d'épaisseur, la densité maximale admissible est de 179  $A \cdot m^{-2}$  pour les couches internes.

## 4.5.2 Densité de courant dans les vias

### 4.5.2.1 Méthodologie

L'autre élément contribuant fortement à la chute de potentiel par résistivité est le passage des potentiels d'alimentation d'une couche à l'autre au sein du circuit imprimé. Ces passages s'effectuent par l'intermédiaire de trous de perçage métallisés. Ces trous métallisés représentent une forte réduction du volume de conducteur disponible pour le passage du courant et peuvent provoquer une chute de potentiel important ainsi qu'un échauffement au niveau du circuit imprimé. Afin de vérifier l'efficacité du calcul de la résistivité des vias et la chute de potentiel engendrée par le passage du courant au sein du via, les résultats donnés par l'outil de simulation sont comparés aux résultats obtenus par calcul analytique Li [1998]. La comparaison est effectuée pour des vias traversants mais également pour des micro-vias remplis.

Le calcul de la résistivité du composant et l'élévation de température du via est réalisé d'après la géométrie et les propriétés des matériaux utilisés. La méthodologie de calcul de la résistivité et de l'élévation de température dans l'élément est présentée dans la figure 4.49. La première équation de cette méthodologie, l'équation 4.10, calcule le volume

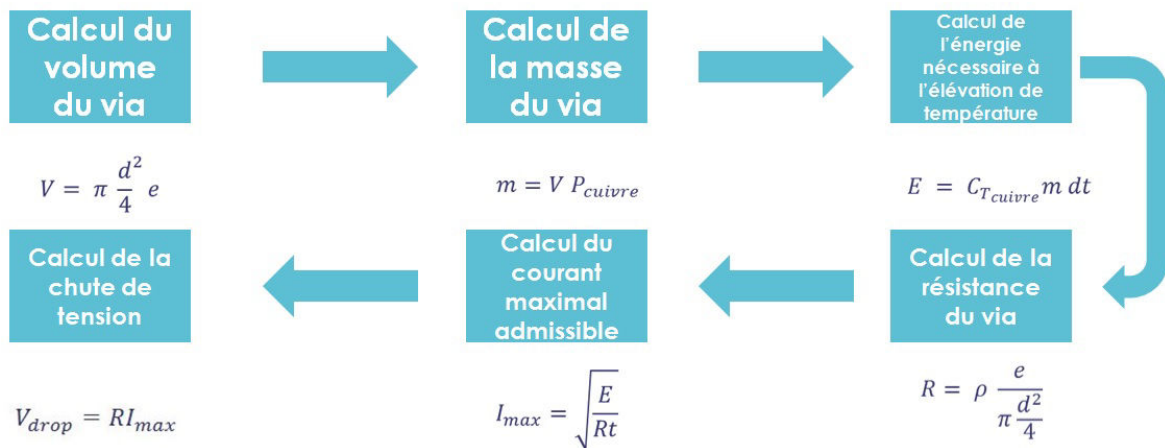


FIGURE 4.49 – Description des étapes de calcul permettant de calculer la chute de tension provoquée par le passage du courant au travers d'un via

du via, considéré comme un cylindre parfait dont le diamètre  $d$  correspond au diamètre du via et dont la hauteur  $e$  est égale à la somme de l'épaisseur de cuivre de chacune des couches supérieure et inférieure et l'épaisseur de la couche diélectrique.

$$V = \pi \cdot \frac{d^2}{4} e \quad (4.10)$$

De ce volume calculé est déduit la masse de cuivre du via en multipliant le volume  $V$  par la masse volumique du cuivre  $P_{cuivre}$  dans l'équation 4.11.

$$m = V \cdot P_{cuivre} \quad (4.11)$$

Enfin, l'énergie nécessaire à l'élévation de cette masse de cuivre de  $10^\circ\text{C}$   $dt$  est calculée dans l'équation 4.12 en utilisant la capacité calorifique du cuivre  $C_{T_{cuivre}}$ .

$$E = C_{T_{cuivre}} m \cdot dt \quad (4.12)$$

Par ailleurs la résistivité  $R$  du via est calculée d'après la géométrie du via dans l'équation 4.13.

$$R = \rho \frac{e}{\Pi \frac{d^2}{4}} \quad (4.13)$$

L'étape suivante de la méthodologie repose sur l'hypothèse que toute l'énergie nécessaire à l'élévation de température du via provient du passage du courant dans le via durant la même durée  $t$ . De cette égalité, nous pouvons alors tirer le courant maximum admissible pour le via pour respecter cette élévation de température dans l'équation 4.14.

$$I_{max} = sqrt \frac{E}{R \cdot t} \quad (4.14)$$

Enfin, l'équation 4.15, le produit de la résistivité du via avec le courant maximum donne la chute de potentiel maximum au sein du via.

$$V_{drop} = RI_{max} \quad (4.15)$$

De même que pour les plans d'alimentation, les règles de conception du groupe Thales impose une élévation de température maximale de 10°C au passage du courant. La méthodologie présentée permet de mesurer la chute de tension engendrée par le passage d'un courant maximal provoquant un échauffement de 10°C du via.

#### 4.5.2.2 Application numérique et comparaison avec le résultat de l'outil de simulation

Deux cas distincts sont examinés. Le premier cas traité est celui d'un micro-via rempli, reliant deux plans de 17,5  $\mu\text{m}$  d'épaisseur au travers d'une couche de diélectrique de 100  $\mu\text{m}$ . Le via a un diamètre de 150  $\mu\text{m}$ . L'application numérique de la méthodologie de calcul présentée en figure 4.49, donne une intensité maximale de 0,789 A traversant le micro-via pour atteindre une élévation de température de 10°C.

La méthodologie est ensuite appliquée au cas d'un via traversant. L'application numérique est réalisée pour un trou métallisé de 600  $\mu\text{m}$  de diamètre et une épaisseur de métallisation de 25  $\mu\text{m}$ . Pour le scénario de simulation, un empilement de 10 couches est défini et le via relie la couche supérieure à la couche inférieure de l'empilement. Au contraire du micro-via, rempli de cuivre, le via traversant est modélisé par un cylindre creux dont le rayon intérieur est égale à la différence entre le diamètre de perçage et l'épaisseur de métallisation.

Afin de valider le calcul de résistivité de la méthodologie présentée en figure 4.49, 2 scénarios simples sont réalisés en simulation. Deux plans de cuivre sont reliés l'un à l'autre respectivement par un micro-via et par un via traversant dont les dimensions sont précisées dans le paragraphe antérieur. Sur ces deux plans de cuivre sont dessinés deux rectangles l'un correspondant au potentiel positif et l'autre au potentiel de référence. Une source de tension idéale génère une différence de potentiel de 3V entre les deux potentiels sur le plan supérieur. Une source de courant idéale permet d'absorber le courant maximum défini dans la méthodologie de calcul en faisant circuler cette intensité au travers du micro-via. Les scénarios simulés sont représentés en figure 4.50 et 4.51. Les résultats de simulation et de l'application numérique de la méthodologie sont comparés dans le tableau 4.9. La comparaison de ces résultats montre des erreurs inférieures à 0,01% pour la résistivité et de 1% pour la chute de tension provoquée pour le microvia et 1,58% et 1,63% pour le via traversant. Nous pouvons donc en conclure que les résultats de la méthodologie de calcul analytique sont fiables et réalistes et qu'ils peuvent être utilisés

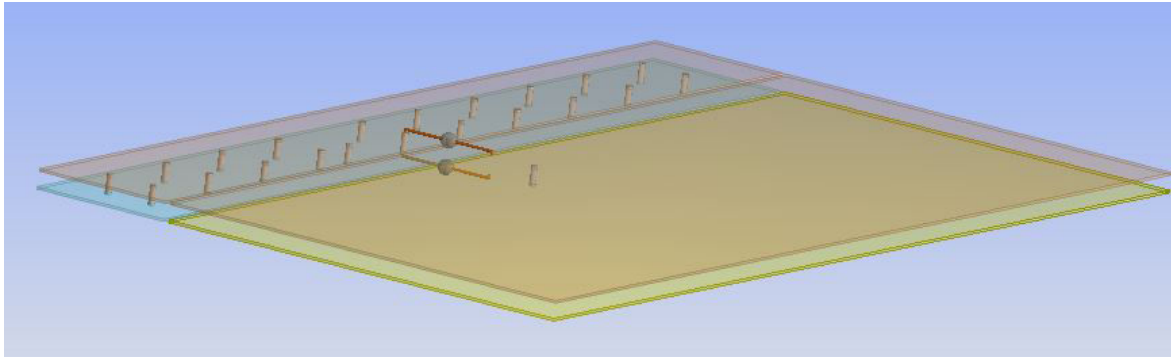


FIGURE 4.50 – Illustration du scénario de simulation permettant de calculer la chute de tension provoquée par le passage du courant au travers d'un micro-via

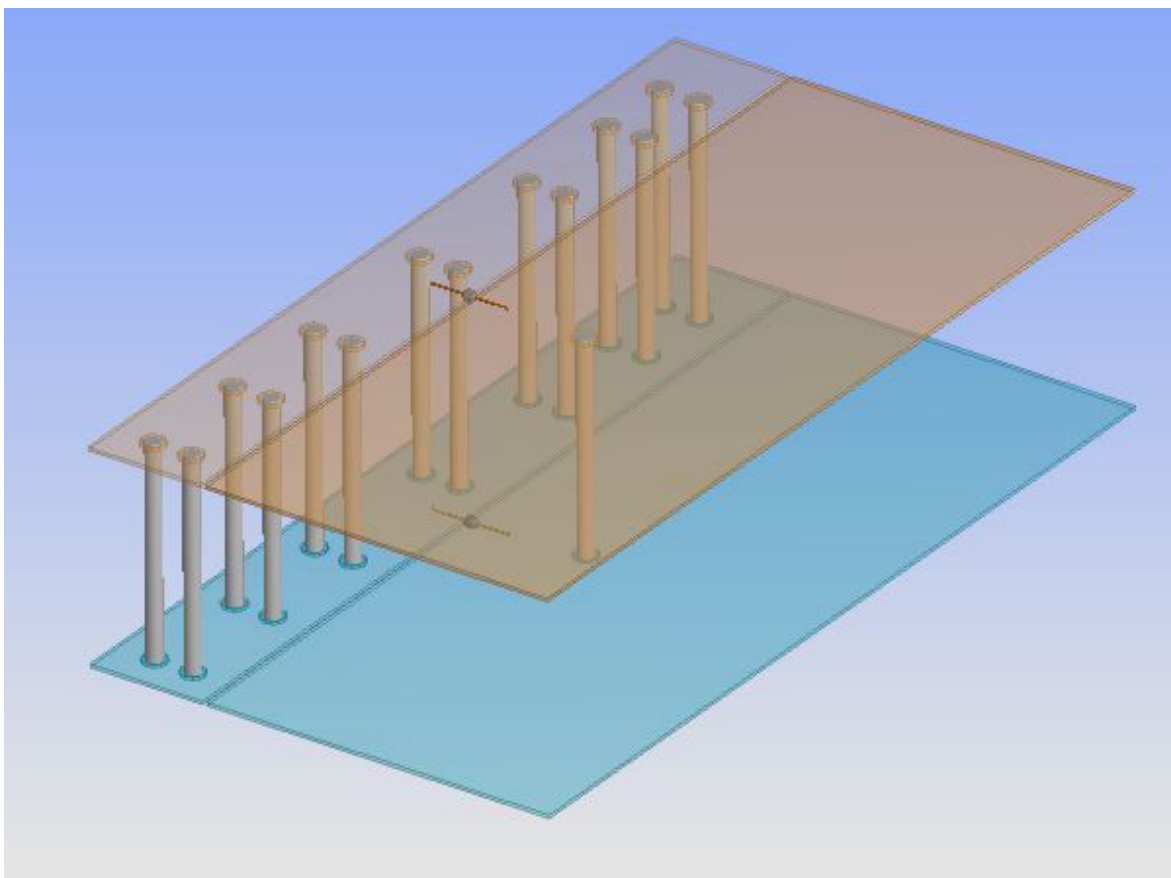


FIGURE 4.51 – Illustration du scénario de simulation permettant de calculer la chute de tension provoquée par le passage du courant au travers d'un trou métallisé

TABLEAU 4.9 – Comparaison des résultats des calculs de résistance et de chute de potentiel pour un micro-via

| Via            | Cas                   | Courant max (A) | Résistivité ( $\mu\Omega$ ) | Chute de tension (mV) |
|----------------|-----------------------|-----------------|-----------------------------|-----------------------|
| Micro via      | Application numérique | 0,7887          | 131,70                      | 0,104                 |
|                | Simulation            | 0,7887          | 131,71                      | 0,103                 |
| Via traversant | Application numérique | 1,315           | 620,03                      | 0,815                 |
|                | Simulation            | 1,315           | 630,32                      | 0,829                 |

pour définir le nombre de vias nécessaire pour relier la sortie d'un module régulateur de tension au plan d'alimentation en interne du circuit imprimé. Le nombre de vias à placer se calcule d'après l'équation 4.16

$$N_{via} = \frac{I_{max}}{I_{max_{via}}} \quad (4.16)$$

avec  $N_{via}$  le nombre de vias nécessaires,  $I_{max}$  le courant maximum débité par le module régulateur de tension est  $I_{max_{via}}$ , l'intensité admissible par via pour respecter une élévation de température de 10 °C. Une représentation de la répartition du courant dans la simulation est présentée dans la figure 4.52

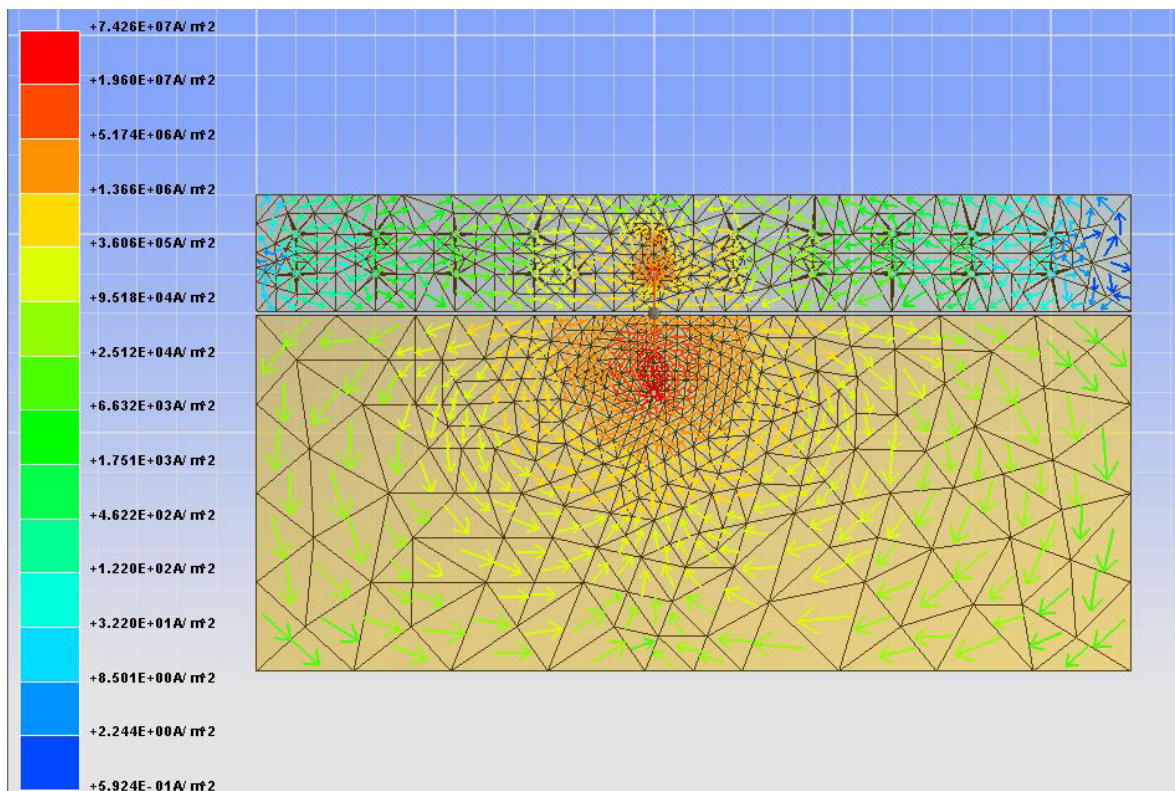


FIGURE 4.52 – Illustration de la répartition du courant dans le scénario de simulation

Ces deux simulations ont permis de montrer que le logiciel de simulation est capable de calculer précisément la chute de potentiel engendrée par le passage du courant au travers d'un via. Cet outil peut être utile pour optimiser l'interconnexion entre le module régulateur de tension et le plan d'alimentation enterré dans le circuit imprimé puisqu'il permet de calculer le nombre de vias nécessaires pour faire circuler le courant de sortie, sans provoquer d'échauffement du circuit imprimé supérieur à une température définie et de calculer la chute de potentiel associée. La figure 4.53 illustre la chute de tension lors de la simulation du scénario.

### 4.5.3 Conclusion partielle

Les différents travaux menés dans ces paragraphes et en particulier les efforts pour comparer les résultats de simulation aux résultats de mesures permettent de démontrer que l'outil de simulation utilisé pour le dimensionnement statique des circuits de distribution donne des résultats réalistes et qu'il est donc fiable pour réaliser le dimensionne-



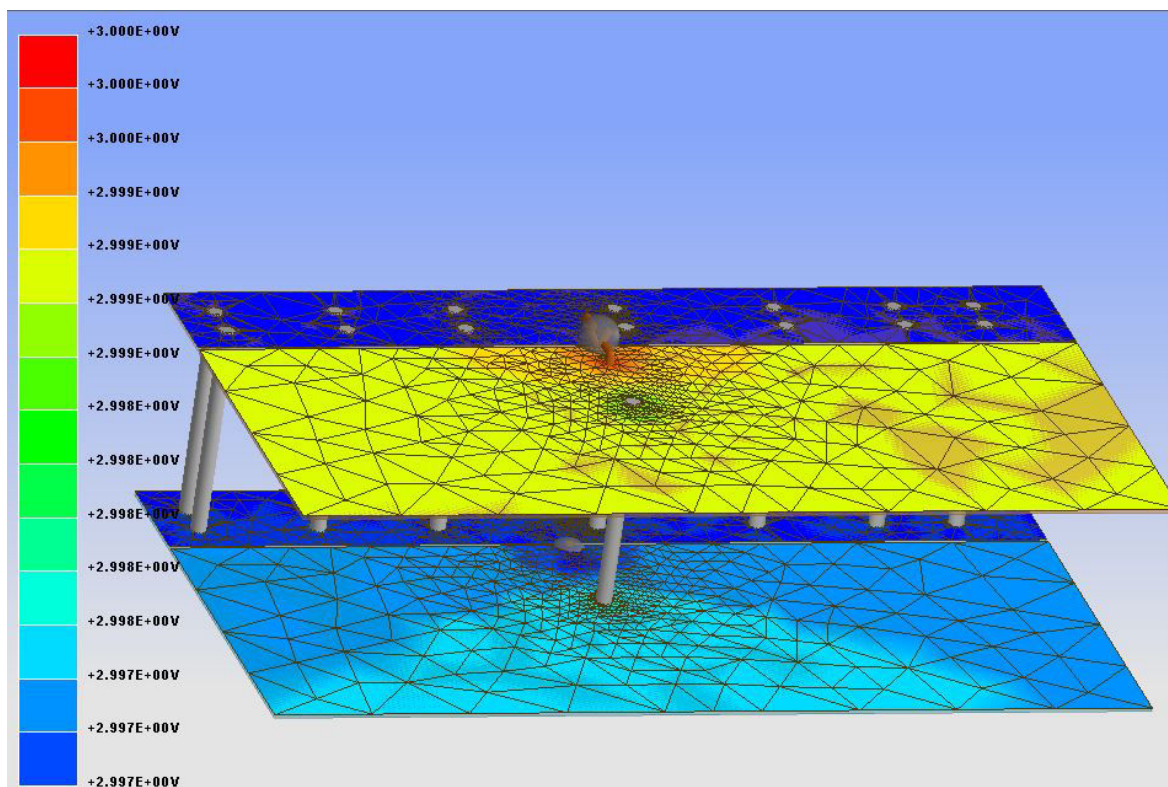


FIGURE 4.53 – Illustration de la chute de tension lors du passage du courant au travers d'un trou métallisé

ment des plans d'alimentation. Par ailleurs, l'outil a également permis de valider une méthodologie de calcul analytique du nombre de vias nécessaires aux interconnexions des différentes couches sur lesquelles circule le courant. L'outil présente en outre l'avantage de présenter des constantes paramétrables de telle sorte qu'un message d'avertissement à l'issue d'une simulation apparaisse pour indiquer les endroits du circuit présentant des chutes de tension trop importantes ou pour lesquels la densité de courant est trop importante.

## 4.6 Méthodologie de simulation

L'autre partie du dimensionnement des réseaux de distribution d'énergie des cartes électroniques consiste à simuler leur fonctionnement dynamique. Dans le domaine fréquentiel, il s'agit de vérifier que l'impédance du réseau de distribution d'énergie est inférieure à l'impédance cible dont la méthodologie d'obtention est décrite dans une partie précédente. Dans le domaine temporel, il s'agit de vérifier que les appels de courant lors de fonctionnement de la carte ne provoquent pas de variation de tension au-delà de la tolérance des composants.

### 4.6.1 L'outil de simulation électromagnétique

L'élément central qui relie chacun des éléments du réseau de distribution d'énergie est le circuit imprimé. La modélisation des plans d'alimentation et de toutes les interconnexions entre les différents composants du circuit de distribution d'énergie s'effectue à l'aide d'un simulateur électromagnétique qui traduit la constitution mécanique de la

carte (géométrie et matériau) en comportement électrique. L'outil utilisé pour les travaux de cette thèse est l'outil SIwave de l'éditeur de logiciel ANSYS. Un aperçu de l'interface du logiciel SIwave est donné dans la figure 4.54. Dans cet outil, il est possible de rensei-

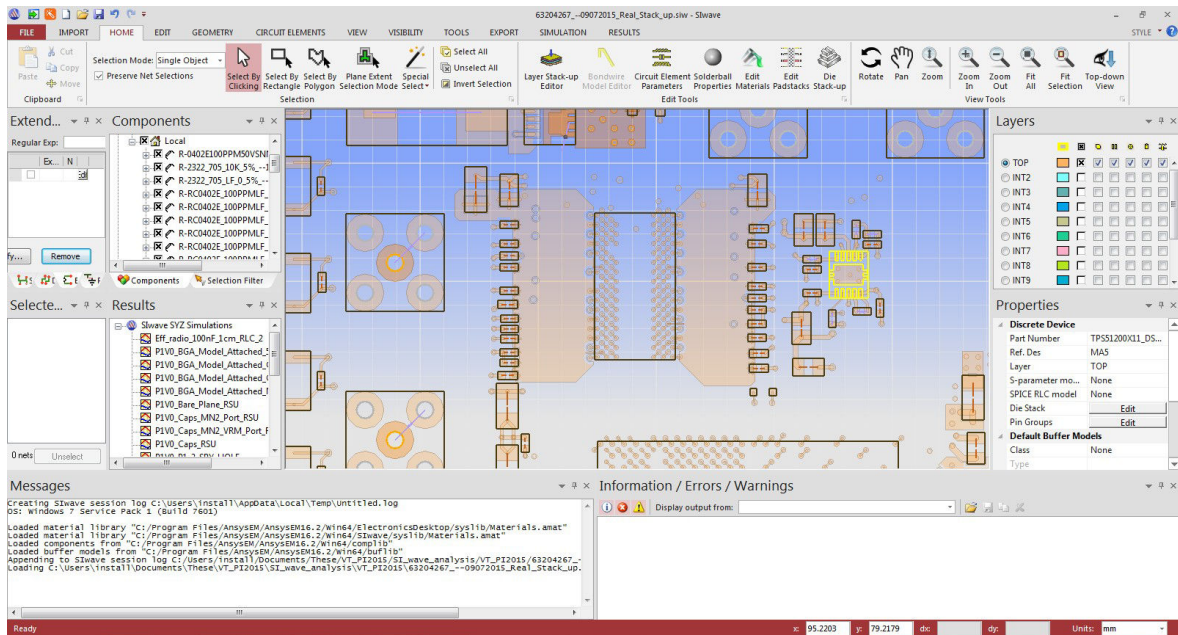


FIGURE 4.54 – Aperçu de l'interface de l'outil de simulation du circuit imprimé SIwave

gnier la nature des composants connectés au circuit imprimé et en fonction de leur type, d'intégrer un modèle qui sera pris en considération lors de la simulation de la carte. Le tableau 4.10 décrit tous les types de composants pris en compte par l'outil de simulation ainsi que la nature du modèle qu'il est possible d'utiliser. Le logiciel permet alors non

TABLEAU 4.10 – Types de composants simulés sous SIwave et nature de leur modèle

| Type de Composant           | Nature du modèle               |
|-----------------------------|--------------------------------|
| Condensateur                | RLC équivalent ou Paramètres S |
| Inductance                  | RLC équivalent ou Paramètres S |
| Résistance                  | RLC équivalent                 |
| Port                        | Impédance complexe             |
| Circuit intégré             | Paramètres ou SPICE Passif     |
| Connecteur                  | Paramètres S ou SPICE Passif   |
| Composant Divers            | Paramètres S ou SPICE Passif   |
| Boîtier monté virtuellement | CAO Boîtier                    |

seulement de simuler le modèle du composant et le modèle du circuit imprimé mais de calculer également la réponse de l'interaction entre ceux-ci.

Pour ajouter le modèle d'un composant complexe comme un circuit intégré, un composant analogique ou un connecteur, chaque broche du composant doit être déclaré et un modèle affilié dans le fichier de description du composant. Or, les modèles sont fréquemment donnés pour une interface particulière du composant (une banque d'entrée/sortie, un potentiel d'alimentation). Le logiciel refuse donc de prendre en compte ces bribes de modèle pour les composants. La solution serait de créer un modèle pour lequel toutes les broches seraient déclarées mais dont les paramètres du modèle ne soient spécifiés que pour l'interface en question.

L'autre solution pour connecter des modèles entre eux consiste à déclarer des ports sur le circuit imprimé ou au niveau des composants. Les ports consistent en des points d'entrée ou de sortie du circuit sur lesquels il est possible de connecter d'autres modèles ou d'envoyer des excitations électriques. Il faut cependant être vigilant à ce que les modèles utilisés soient définis sur la même plage de fréquence afin que la simulation donne des résultats fiables. La simulation est ensuite configurée grâce au menu qui est présenté dans la figure 4.55 et commenté par la suite. Le menu de configuration permet de défi-

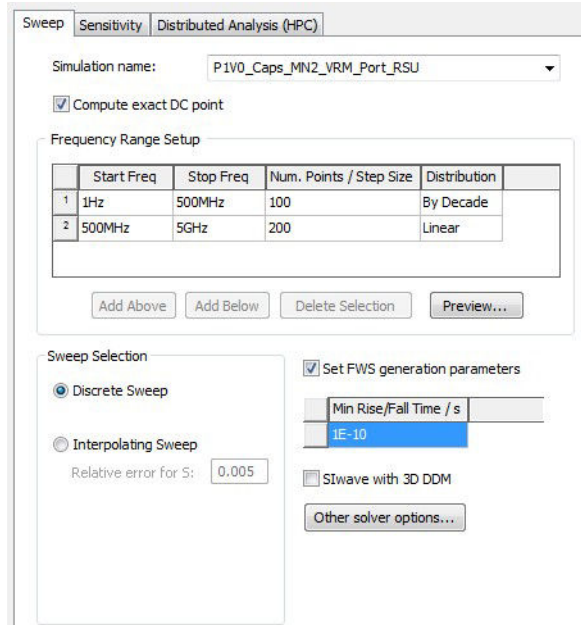


FIGURE 4.55 – Menu de configuration de la simulation

nir en particulier la plage de fréquence sur laquelle la simulation va être réalisée. Plus le nombre de points est important, plus la simulation sera longue. La simulation effectuée est une simulation large bande c'est pourquoi la plage de fréquence de simulation est partagée en deux sous-plages. La première plage définit un nombre de points de simulation par décade car le nombre de décades est important. La seconde plage définit un nombre de points sur la bande 500 MHz à 5 GHz. Pour cette bande, une répartition linéaire des points est choisie car la bande couverte par cette seconde plage n'est plus large bande. L'option de sélection de balayage permet ensuite d'utiliser soit le balayage défini dans le tableau, soit un balayage interpolé, pour lequel le logiciel va calculer peu de points pour les fréquences pour lesquelles la valeur des paramètres S varie peu et plus de points autour des fréquences pour lesquelles les paramètres S varient fortement en admettant une erreur paramétrable (0,5% par défaut). Le balayage discret est choisi dans cette simulation afin de maîtriser les points pour lesquels la simulation est effectuée. De la fréquence maximale de simulation est déduit le temps de montée ou de descente minimale des signaux.

#### 4.6.2 L'outil de modélisation circuit

La suite de la méthodologie consiste à exporter le résultat, sous forme de paramètres S dans un fichier au format Touchstone par exemple pour obtenir un format courant, puis enfin sous un logiciel de simulation de type circuit, de connecter les modèles entre eux en faisant coïncider les ports de chaque bloc. Dans le cas de ces travaux, l'outil utilisé

pour la simulation de type circuit est Ansys Electronic Desktop, un logiciel d'interface de conception électronique embarquant :

- un moteur de simulation circuit propriétaire, nexxim, dont la description de netlist est compatible avec Hspice, la solution de simulation circuit la plus répandue dans le monde
- un moteur de simulation électromagnétique 3D exact, en éléments finis, HFSS
- un moteur de simulation 2D planaire, Maxwell.

Dans Electronic Desktop, la solution de la simulation obtenue sous SIWave est importée sous forme d'un bloc de paramètres S dont les entrées et sorties correspondent aux différents ports définis sous SIwave. Puisqu'il est très facile de modéliser les éléments passifs simples sous SIWave, les ports sont placés uniquement aux interfaces des composants complexes du réseau de distribution d'énergie comme le module régulateur de tension ou le composant à alimenter. Les modèles des différents éléments à ajouter à la simulation sont alors importés à leur tour et connectés. Le schéma de simulation réalisé sous Electronic Desktop est représenté dans la figure 4.57. Les étapes de la méthodologie de

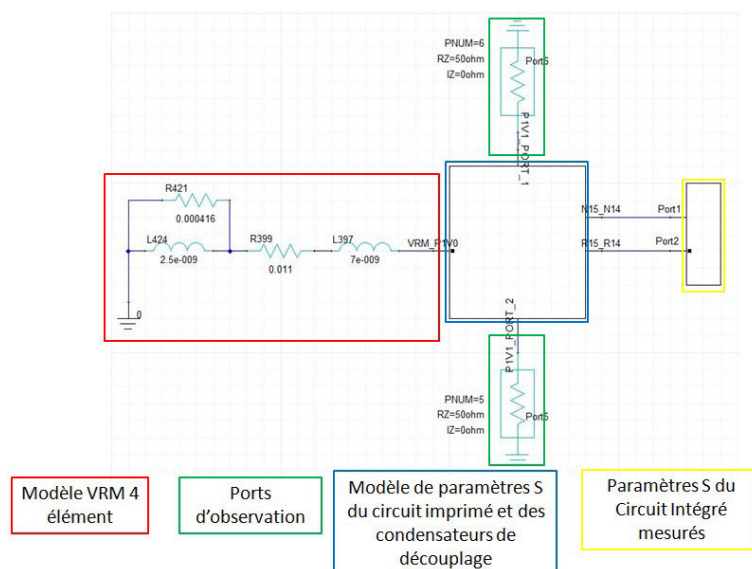


FIGURE 4.56 – Schéma de simulation du réseau de distribution complet sous Electronic Desktop

simulation décrite jusqu'à présent mènent à une simulation du réseau de distribution d'énergie dans le domaine fréquentiel. Pour poursuivre la simulation dans ce domaine, le modèle du module régulateur de tension doit correspondre à son impédance de sortie en fonction de la fréquence. La modélisation fréquentielle du module régulateur de tension est décrite au chapitre 3. Le modèle ainsi obtenu est connecté au port d'entrée du bloc de paramètres S correspondant au résultat de simulation du circuit imprimé et des composants passifs simulés sous SIwave. A cette simulation doit également être ajouté le comportement du circuit intégré. Il est avant tout important d'être en mesure d'intégrer le comportement du boîtier du composant à la simulation car celui-ci a un impact direct sur le comportement du réseau de distribution d'énergie au niveau de la carte et risque même de provoquer des anti-résonances à l'interaction entre des éléments inductifs du circuit imprimé et des éléments capacitifs du boîtier. Les boîtiers de composants étant analysés avec des outils similaires, sinon les mêmes que le circuit imprimé, les modèles propres aux boîtiers sont également de type fréquentiel et s'interfacent naturellement avec ceux du circuit imprimé. Il est également possible d'obtenir le comportement du composant



par mesure comme précisé dans le chapitre 3. Le résultat de la simulation de l'ensemble des éléments constituant le réseau de distribution d'énergie décrit l'impédance du système en fonction de la fréquence. Cette impédance est alors comparée à l'impédance cible du système. Le réseau de distribution du système est bien dimensionné si l'impédance de celui-ci se trouve en dessous de l'impédance cible définie. En respectant cette condition d'impédance cible sur toute la bande de fréquence de fonctionnement de la carte, nous nous assurons que les variations de courant ne provoqueront pas de fluctuations de tension supérieures aux tolérances du composant.

La simulation permet également de vérifier le comportement du circuit d'alimentation dans le domaine temporel. Dans le cas d'une simulation temporelle, les résultats de simulation ou de mesures obtenus sous forme de fichier de paramètres S ou au format Touchstone doivent être convertis en modèle zéro-pole **SPICE** large bande dont la passivité et la causalité doivent être vérifiées afin de s'assurer que les résultats obtenus soient réalistes. Cette fonction de conversion existe dans l'outil SIwave qui permet d'exporter un fichier directement au format Pspice/Hspice. La conversion des résultats dans le domaine fréquentiel au domaine temporel impose cependant que chacun des modèles puissent être simulé sur toute la bande de fréquence prise en compte, comportement statique compris. Dans le cas d'une simulation temporelle, c'est le modèle **SPICE** du module régulateur de tension qui est utilisé, car il permet d'inclure le comportement non-linéaire du composant. Le dernier élément nécessaire à la simulation dans le domaine temporel est l'excitation en courant. L'activité du composant est modélisée par une source de courant idéale dont les variations doivent être représentatives du fonctionnement du courant. L'activité du courant peut être localisée en une source connectée au modèle du boîtier ou distribuée. L'activité du composant est précisément décrit par les modèles **CPM** et ou **ICEM**, qui permettent d'avoir la modélisation la plus précise puisque le comportement réel de la puce et donc la source de courant y est décrit. Le schéma de configuration de la modélisation complète du système pour une analyse dans le domaine temporel est donné dans la figure 4.57

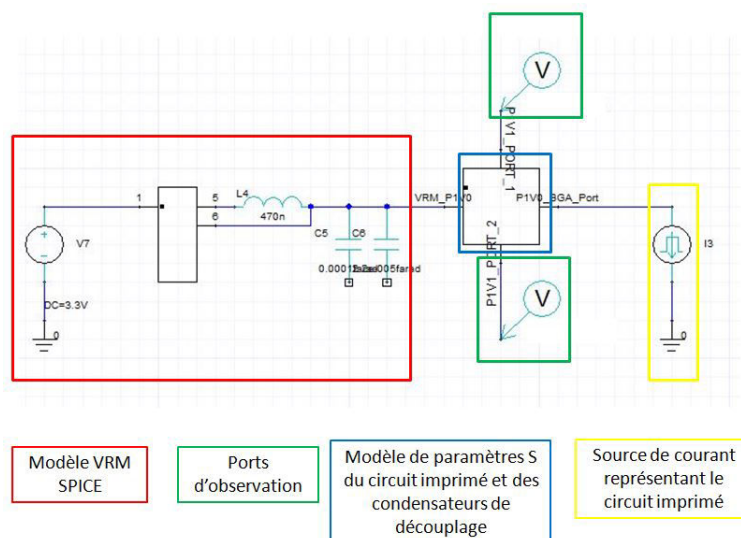


FIGURE 4.57 – Schéma de simulation du réseau de distribution complet sous Electronic Desktop dans le domaine temporel



#### 4.6.2.1 Définition du profil de courant dynamique

Un modèle précis de ces appels de courant est contenu dans le modèle CPM décrit dans le chapitre 3. L'activité et la consommation des circuits intégrés sont simulées soit par une approche de test vectoriel GIRARD et collab. [1997] SANKARALINGAM et collab. [2000] mobilisant des capacités et des temps de simulation important soit par une approche statistique XAKELLIS et NAJM [1994].

En l'absence de ce modèle, une approximation de la consommation dynamique du courant doit être faite. Un exemple d'estimation du courant consommé pour un FPGA est présenté dans REN et collab. [2014]. Il est également possible d'estimer le courant de commutation en fonction de la technologie de transistor du composant. Le courant consommé lors d'un changement d'état pour une technologie donnée est connu. La connaissance de la technologie employée permet également de calculer le nombre de transistors par mm<sup>2</sup> de silicium et donc de retrouver le nombre de transistors en connaissant la dimension de la puce. Le nombre de portes logiques d'un processeur est également une information parfois disponible. En posant l'hypothèse que seule une partie des portes logiques basculent au même moment qui est défini comme le taux de basculement (toggle rate en anglais), le courant consommé par coup d'horloge peut être estimé. Le profil de courant généralement employé correspondent à des profils triangulaires.

Le composant employé sur le véhicule de test, le Kintex 7 XCK7160TFFG676 de Xilinx est construit en technologie 28 nm. Cette technologie étant encore largement employée dans la fabrication de nombreux composants actuels, les modèles de simulation révélant en partie ses caractéristiques de fabrication (dopage, largeur de canal,...) des transistors ne sont pas communiquées par les fabricants. Par conséquent, peu de données de consommation par porte sont disponibles. La méthode décrite pour estimer le courant consommé d'après la taille de la puce ne peut donc pas être employée pour estimer le courant de consommation du composant. Il pourra cependant être estimé d'après des mesures effectuées sur le véhicule de test.

#### 4.6.2.2 Modèle d'appel de courant d'après la mesure

Le paragraphe suivant présente la méthode employée pour estimer la consommation en courant du cœur du composant d'après une mesure effectuée sur le véhicule de test. Elle nécessite des ressources de mesure (sonde et oscilloscope), ainsi qu'un code VHDL spécifique associé au circuit intégré. Cette mesure permet d'observer différents niveaux de consommation en courant du composant ainsi que les transitions entre un mode de consommation et un autre.

L'architecture du programme VHDL du FPGA embarqué sur le véhicule de test comprend 4 blocs dits blocs de consommation. Ces 4 blocs mobilisent plus de 70 % des ressources logiques du FPGA. Lorsqu'un bloc est mis en marche via l'interface de contrôle du véhicule de test, un ensemble de PRBS est généré par ce bloc, permettant d'activer ses ressources et de les cadencer pour une fréquence également configurable. Il est donc possible d'activer 25, 50, 75 et 100% des ressources incluses dans ces blocs et de les faire fonctionner indépendamment aux fréquences de 50, 100, 150 ou 200 MHz, fréquence maximale de fonctionnement du FPGA. Une représentation sous forme de diagramme du code VHDL du FPGA est donnée dans la figure 2.1 du chapitre 2. L'activation ou non des différents blocs permet d'obtenir différents niveaux de consommation du véhicule de test. Un appel de courant peut donc être créé en passant d'un scénario de consommation

minimale pour lequel aucun bloc n'est activé à un scénario de consommation maximale. Afin de formaliser les mesures, 4 états de fonctionnement du véhicule de test sont définis. Les caractéristiques de chaque état sont rassemblées dans le tableau 4.11. Les chiffres entre parenthèses correspondent au numéro du bloc associé à la fréquence de fonctionnement. Un appel de courant est donc créé en passant d'un état à un autre. De la même

TABLEAU 4.11 – Caractéristique de chaque état de consommation du véhicule de test

| Etat   | Nombre de bloc activé | Fréquence de fonctionnement (MHz) |
|--------|-----------------------|-----------------------------------|
| Etat 1 | 0                     |                                   |
| Etat 2 | 1                     | 50                                |
| Etat 3 | 3                     | 50 ; 100 ; 150                    |
| Etat 4 | 4                     | 200 ; 200 ; 200 ; 200             |

manière, 3 scénarios d'appel de courant sont définis en passant d'un état à l'autre. Les 3 scénarios sont représentés dans la figure 4.58. Le courant est mesuré à l'aide d'une sonde



FIGURE 4.58 – Définition des scénarios d'appel de courant

de courant à effet hall dont la bande passante est de 50 MHz. Le schéma de mesure de la figure 4.59 et la photo de la manipulation effectuée, présentée en figure 4.60 illustrent la méthode employée.

La mesure est effectuée à la sortie de l'inductance. Les courbes de mesure de ces différents appels de courant sont comparées dans la figure 4.61. Elles montrent d'une part la variation du courant dans l'inductance liée au fonctionnement du DC/DC comme le montrent les oscillations triangulaires de l'agrandissement d'une des courbes de mesure dans la figure 4.62, et d'autre part l'appel de courant provoqué par l'activation des blocs de consommation du FPGA. Les caractéristiques de l'appel de courant du scénario 3 serviront de modèle pour le courant absorbé par les sources de courant de la simulation dans le domaine temporel de la figure 4.57. Lors de la simulation, la source de courant sera excitée. Ce courant prend la forme d'un échelon de courant de 0,7 à 6,7 A avec un temps de montée de 23 µs. La comparaison entre l'échelon de courant mesuré et l'échelon utilisé pour la modélisation est effectuée dans la figure 4.63. De la même manière, le courant de sortie du convertisseur de tension est mesuré pour le passage de l'état 4 de

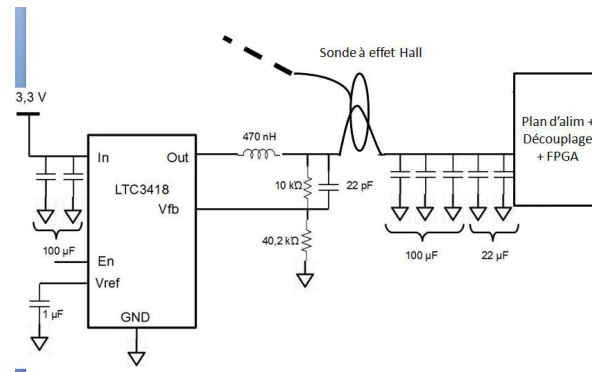


FIGURE 4.59 – Schéma de principe de mesure du courant



FIGURE 4.60 – Photographie de la manipulation de mesure du courant

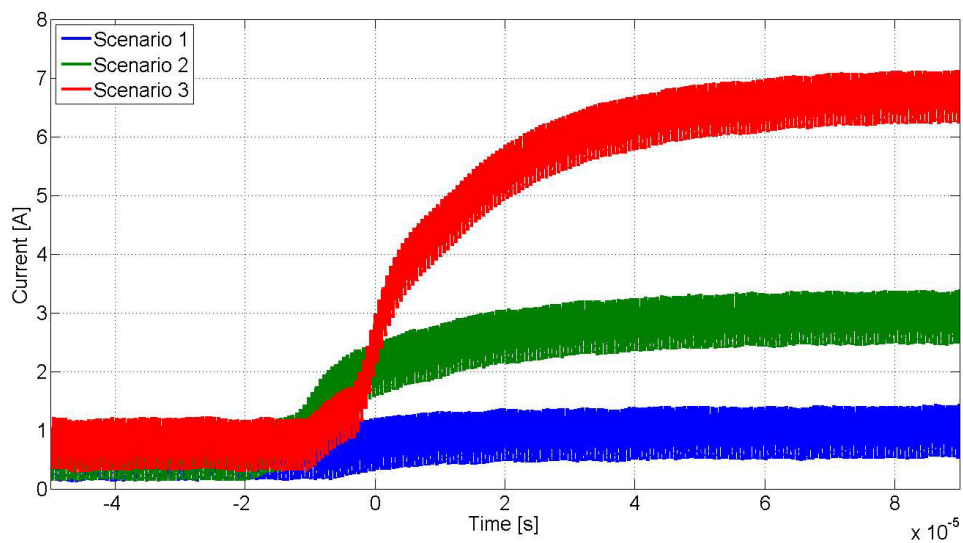


FIGURE 4.61 – Mesure des appels de courant provoqués par l'allumage des blocs de consommation

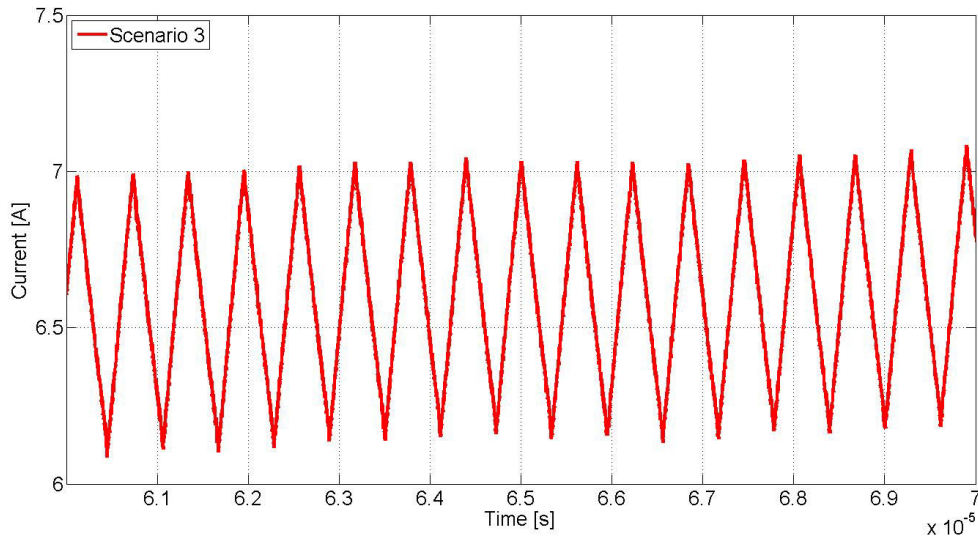


FIGURE 4.62 – Variation du courant dans l'inductance durant le fonctionnement du convertisseur DC-DC

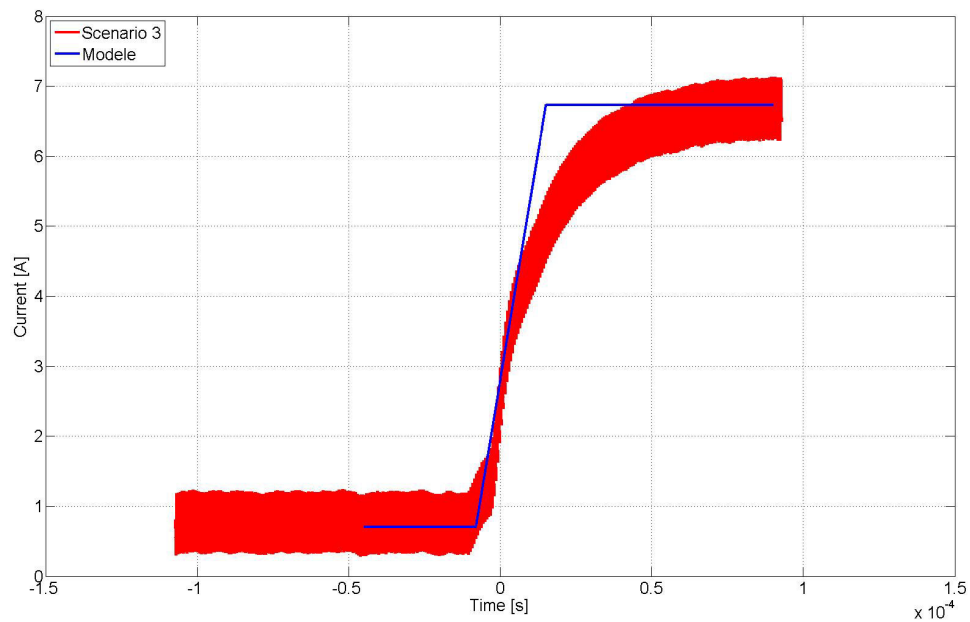


FIGURE 4.63 – Comparaison entre l'échelon de courant mesuré et l'échelon de courant modélisé pour la simulation

la carte à l'état 1. Cette mesure permet de définir le temps de descente du courant maximum lors du fonctionnement de la carte. La corrélation entre le courant descendant et le modèle utilisé pour la simulation est montré dans la figure 4.64. L'échelon de courant

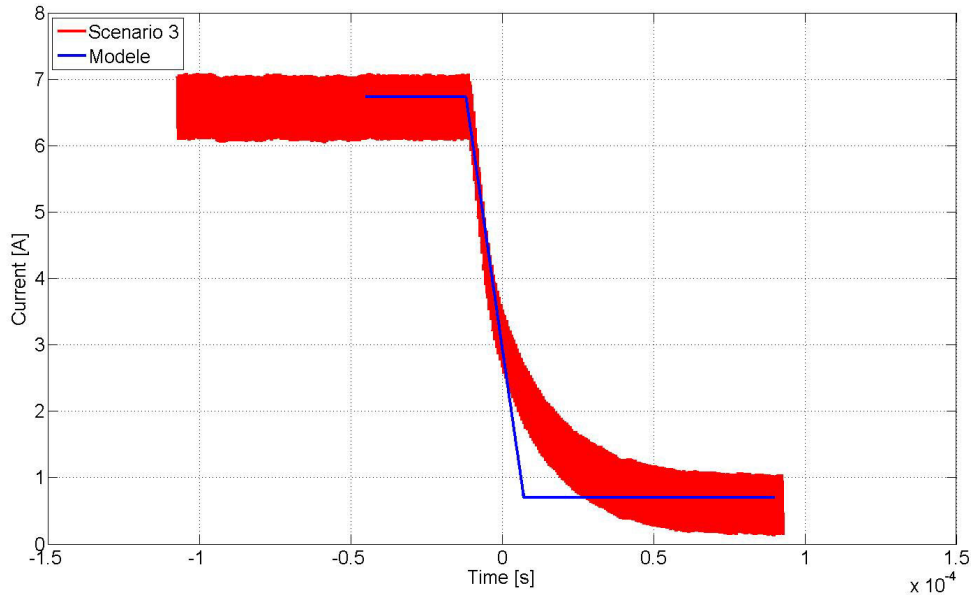


FIGURE 4.64 – Comparaison entre l'échelon de courant mesuré à l'extinction des blocs de consommation et de l'échelon de courant modélisé pour la simulation

utilisé pour modéliser le relâchement du courant au sein de la carte est donc un échelon passant d'une valeur de 6,7 A à 0,7 A pour un temps de descente de 19  $\mu$ s.

### 4.6.3 Méthodologie globale

L'ensemble du procédé de simulation est résumé dans la figure 4.65 pour le domaine temporel comme pour le domaine fréquentiel. Cette méthodologie est également présentée dans la littérature dans [GORAL et collab. \[2016\]](#)

Bien que l'impédance cible soit un bon outil pour l'analyse et le dimensionnement d'un réseau de distribution d'énergie, l'analyse seule du réseau de distribution dans le domaine de la fréquence n'est plus suffisante pour estimer la validité du réseau de distribution d'énergie. La dualité de l'analyse temporelle, analyse fréquentielle est aujourd'hui nécessaire pour valider la conception du réseau de distribution d'énergie.

### 4.6.4 Conclusion partielle

Les différents outils présentés dans cette partie sont utilisés pour la simulation du comportement global des réseaux de distribution d'énergie. La méthodologie décrite permet ainsi d'inclure tous les modèles des composants obtenus par mesure ou par le biais des fabricants au sein d'une même simulation. Le résultat de simulation permet de vérifier respectivement dans le domaine fréquentiel avec le respect de l'impédance cible et dans le domaine temporel avec l'observation des potentiels d'alimentation minimaux et maximaux que le comportement du circuit de distribution d'énergie ne provoquera pas de défaillance au sein de la carte lors de son fonctionnement. Les résultats de simulation



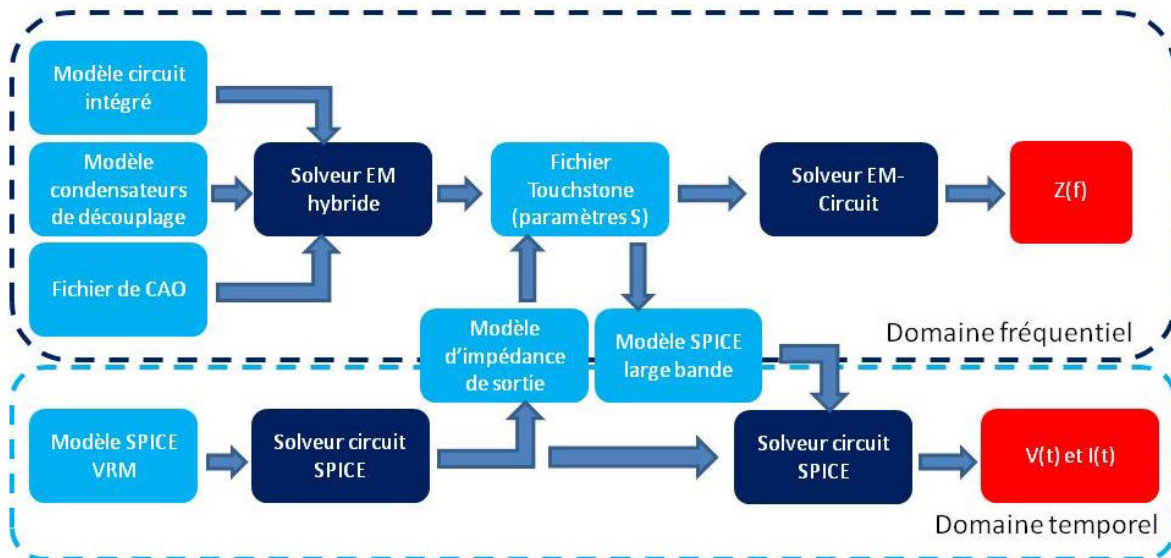


FIGURE 4.65 – Diagramme de la méthodologie de simulation du réseau de distribution d'énergie dans le domaine temporel et dans le domaine fréquentiel

obtenus grâce à cette méthodologie sont présentés dans la partie suivante et validés par corrélation avec des résultats obtenus par mesure sur le véhicule de test.

## 4.7 Mise en application de la méthodologie de simulation

### 4.7.1 Configuration

Pour simuler l'ensemble du circuit de distribution d'énergie, le processus décrit dans la méthodologie de la figure 4.65 est appliqué. Pour la simulation dans le domaine temporel comme dans le domaine fréquentiel, le comportement de l'ensemble circuit imprimé-condensateurs de découplage est extrait grâce au logiciel de simulation électromagnétique. Des ports d'observation sont placés sur le circuit imprimé aux endroits auxquels viennent s'interfacer les modèles des autres composants du circuit de distribution d'énergie. Des ports sont par conséquent placés :

- Au point de connexion de la boucle de rétroaction du module régulateur de tension, appelé Port VRM
- Sur les broches sur lesquelles a été mesurée l'impédance du circuit intégré, Port N14-N15 et R14-R15
- Sur chacun des connecteurs SMA servant à faire la mesure du réseau de distribution d'énergie à des fins de corrélation entre résultats de mesures et résultats de simulation Port SMA 1 et Port SMA 2
- Un port global pour l'ensemble des broches reliées au potentiel VCCINT du composant sur lesquelles est imposée une condition d'équipotentialité pour effectuer la simulation dans le domaine temporel et déclarer que le même courant traverse chacune des billes.

Le placement des différents ports énumérés ci-dessus est représenté dans la figure 4.66, vue du fichier de CAO du véhicule de test. La localisation du composant d'alimentation est indiquée par la surbrillance de son empreinte en vert sur la figure. Cette simulation est lancée sur une machine équipée d'un processeur Intel Xeon CPU-E5-1620 v2 cadencé à 3,70 GHz et de 64 Go de mémoire RAM. Le temps de simulation nécessaire à l'analyse est d'environ 40 minutes.

### 4.7.2 Simulation dans le domaine temporel

#### 4.7.2.1 Résultats de simulation

Pour la simulation dans le domaine temporel, le résultat de simulation lancée dans l'outil de simulation électromagnétique décrite précédemment peut être exporté au format Touchstone, soit au format SPICE large bande. A ce bloc est rajouté d'une part le modèle du régulateur de tension au format SPICE rattaché au port défini dans la simulation électromagnétique et d'autre part, les sources de courant rattachée(s) au(x) port(s) du circuit intégré. Les sources de courant simulent les appels de courant générés par l'activité du composant. Un aperçu de la configuration de la simulation dans le domaine temporel est donné en figure 4.67. Pour cette simulation, le modèle SPICE du composant d'alimentation est uniquement utilisable dans le logiciel LTSpiceIV, c'est pourquoi un modèle comportemental équivalent est utilisé. Nous retrouvons ici les difficultés de compatibilité des outils de simulation et de disponibilité des modèles commentées plus tôt. La source de courant, modélisant l'activité du composant est connectée au port BGA définissant une équipotentialité sur l'ensemble des billes du composant. Les ports correspondants aux deux billes pour lesquelles le composant a été caractérisé dans le chapitre 3 sont laissées déconnectées. Les modèles du circuit imprimé et des condensateurs de découplages

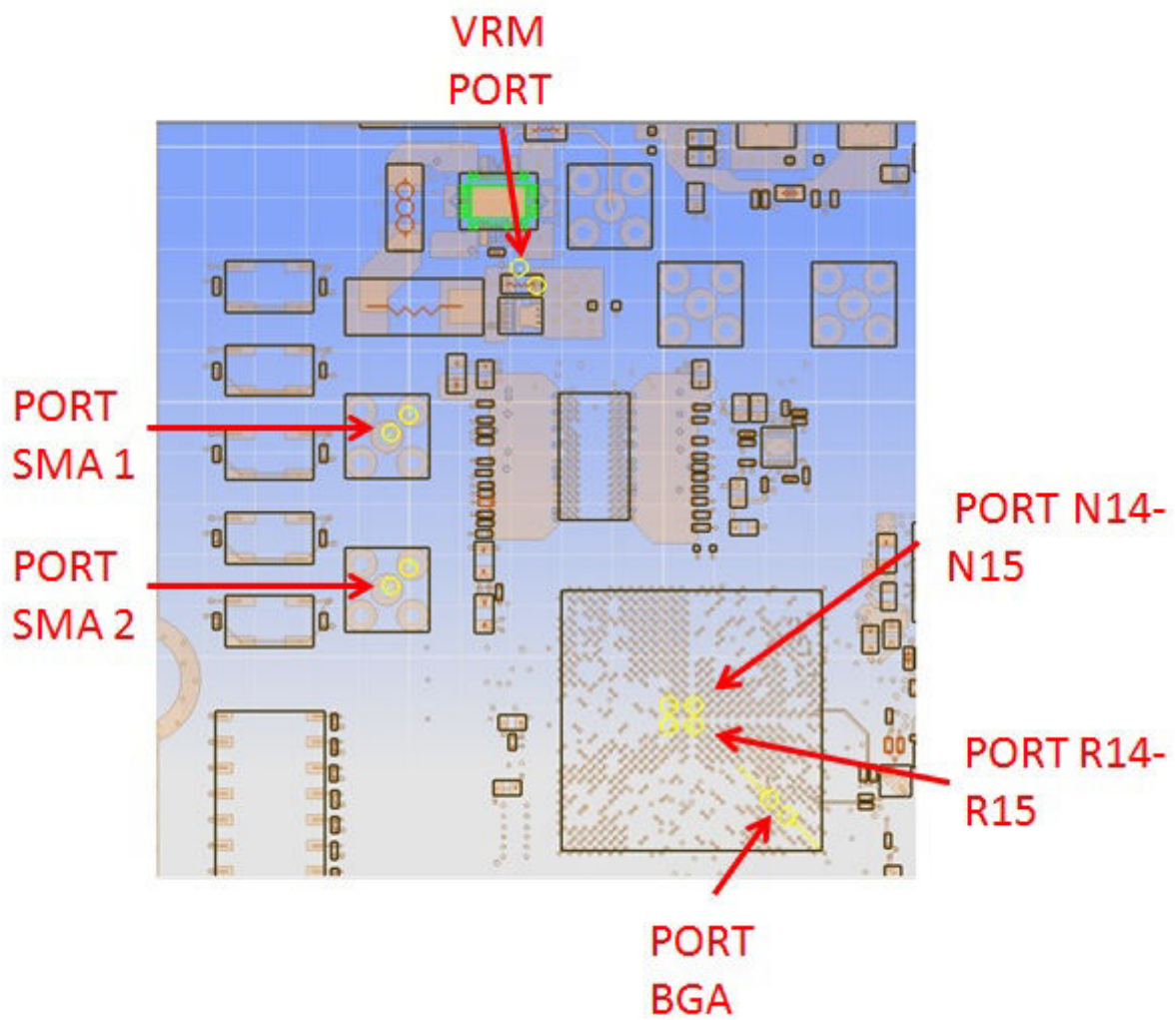


FIGURE 4.66 – Vue de l'emplacement des différents ports d'observation sur le fichier de CAO

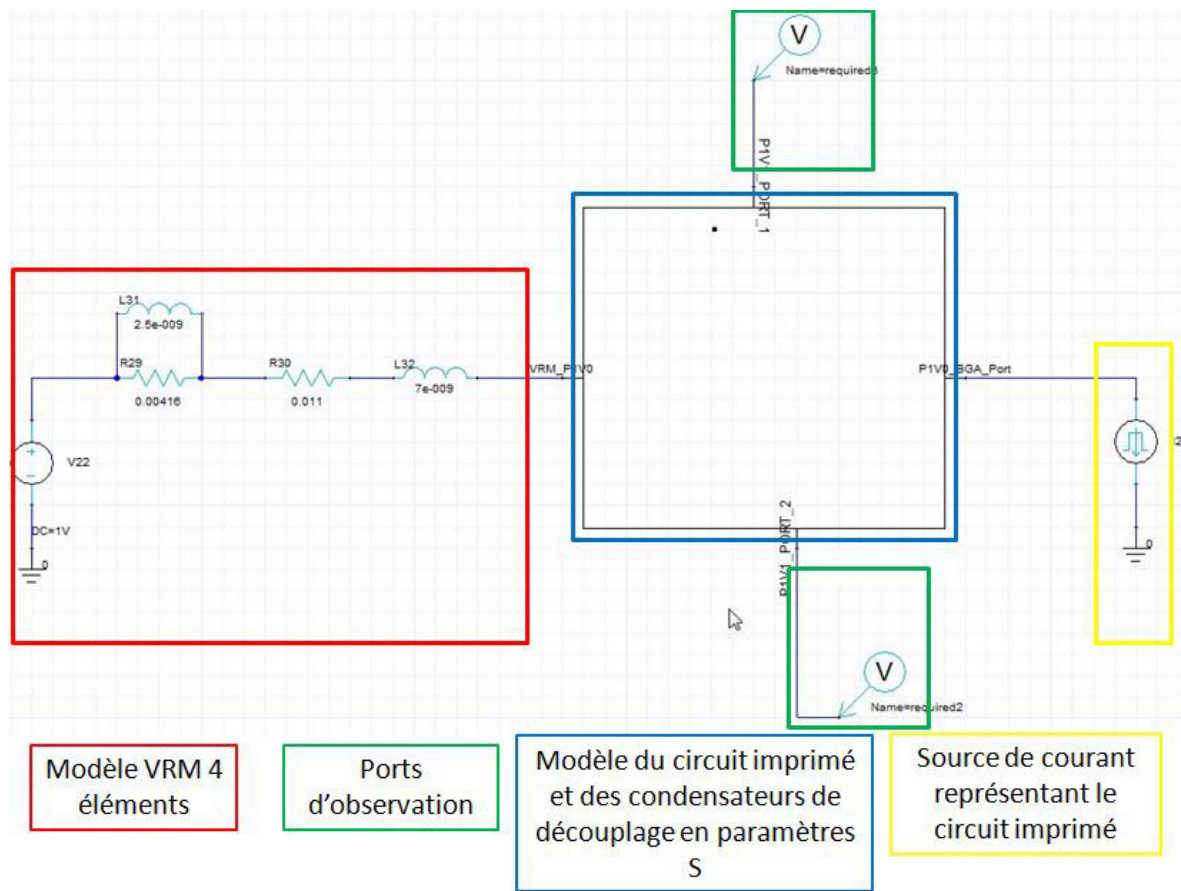


FIGURE 4.67 – Schéma de la simulation effectuée pour obtenir un résultat dans le domaine temporel

sont importés sous forme de paramètres S que le simulateur circuit convertit ensuite en circuit SPICE équivalent.

#### 4.7.2.2 Corrélacion simulation-mesure

La simulation temporelle est lancée pour un temps de simulation de 200  $\mu\text{s}$  avec un pas d'échantillonnage maximum de 1 ns. Le résultat obtenu en simulation est comparé au résultat de mesure obtenu sur véhicule de test dans la figure 4.68

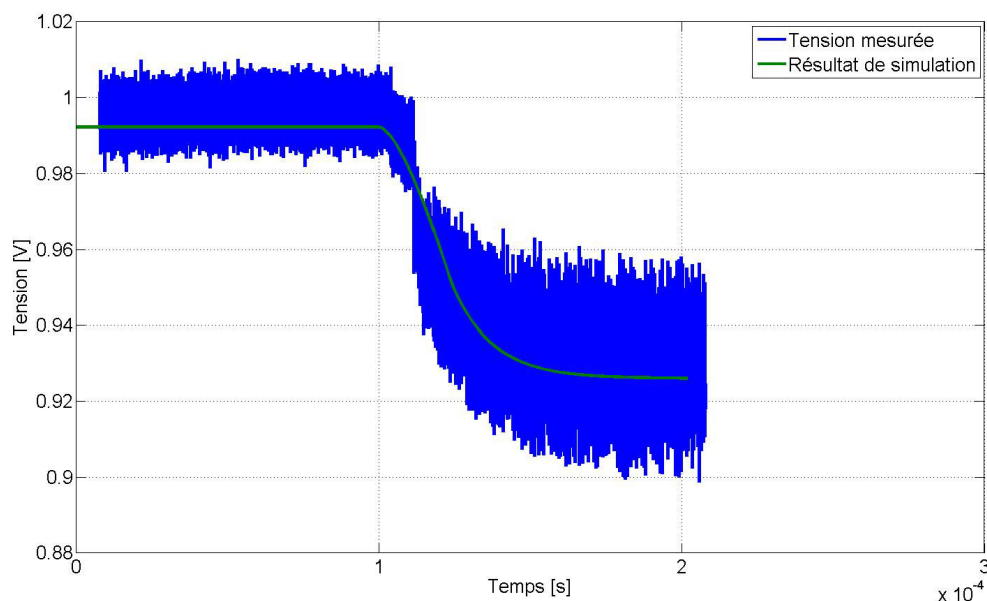


FIGURE 4.68 – Corrélacion simulation mesure de la réponse du réseau de distribution d'énergie pour l'échelon de courant défini d'après les résultats de mesure

La figure 4.68 montre une bonne corrélation entre la simulation et la mesure pour les niveaux moyens de tension obtenus lors du passage de l'Etat 1 (faible consommation) à l'Etat 4 (consommation maximale) ainsi que les temps de montée et l'atténuation capacitive introduite par le plan d'alimentation et les condensateurs de découplage. L'utilisation du modèle SPICE du composant d'alimentation permettrait en outre d'introduire le bruit de commutation du au fonctionnement du convertisseur.

Cette simulation est à nouveau répétée mais cette fois-ci avec le scénario d'un passage de l'état 4 à l'état 1 afin de voir si le relâchement du courant ne provoque pas de hausse de tension responsable du vieillissement accéléré du composant. La simulation est à nouveau lancée pour l'échelon de courant descendant déduit de la mesure. La comparaison entre le résultat de mesure et de simulation est visible dans la figure 4.69. La figure montre une bonne corrélation entre la simulation et la mesure, en adéquation avec les mesures réalisées sur carte. les résultats de simulation sont donc représentatifs des phénomènes réels.

La simulation montre que le réseau de distribution d'énergie n'est pas correctement dimensionné. En effet, lorsque la source de courant absorbe les 6,7 A définis, la tension moyenne obtenue en simulation est de 925 mV alors que la tolérance du composant admet une tension minimale de 0,970 en incluant la marge de fluctuation de tension due au fonctionnement du composant d'alimentation et de l'activité du composant. Dans le



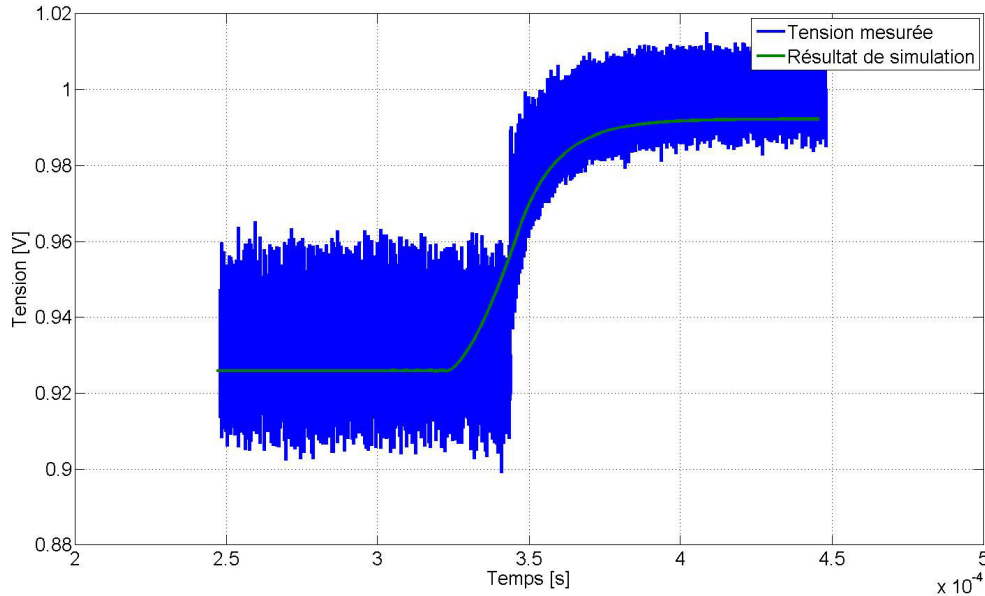


FIGURE 4.69 – Corrélation simulation mesure de la réponse du réseau de distribution d'énergie pour l'échelon de courant descendant défini d'après les résultats de mesures

cas où la carte ne serait pas encore produite, l'analyse statique du circuit imprimé serait à revoir.

Cette application de la méthodologie permet donc de détecter ici un problème de résistivité du plan d'alimentation. Cette observation sera par ailleurs détaillée plus précisément dans le chapitre suivant.

### 4.7.3 Domaine fréquentiel

#### 4.7.3.1 Résultats de simulation

Pour la simulation dans le domaine fréquentiel, le fichier de paramètres S obtenu par la simulation du circuit imprimé et des condensateurs de découplage est exporté vers un simulateur circuit sous la forme d'un bloc. Afin d'ajouter le comportement du module régulateur de tension à la simulation, le modèle fréquentiel de son impédance de sortie est reconstruit à partir d'éléments localisés directement dans la schématique de la simulation. Enfin, de la même manière que pour le modèle du circuit imprimé et des condensateurs, le comportement du circuit intégré obtenu par mesure est importé dans le logiciel sous forme d'un bloc de paramètre S. Le schéma de la simulation du réseau de distribution d'énergie dans le domaine fréquentiel est présenté dans la figure 4.70.

La simulation est configurée pour calculer les paramètres Z de l'ensemble de 1 kHz jusqu'à 1 GHz. Le composant fonctionnant à une fréquence d'horloge de 200 MHz, une simulation jusqu'à 1 GHz inclut donc la 5ème harmonique de la fréquence de fonctionnement du composant ce qui est considéré comme suffisant, au vu des résultats obtenus en calculant l'impédance cible d'après la mesure. Pour des fréquences supérieures, la composante harmonique est négligeable. Le résultat de la simulation obtenu est exposé en figure 4.71.

Nous déduisons de la courbe de la figure 4.71 la contribution des différents éléments constituant le réseau de distribution d'énergie. Afin de mieux montrer leur impact, l'im-

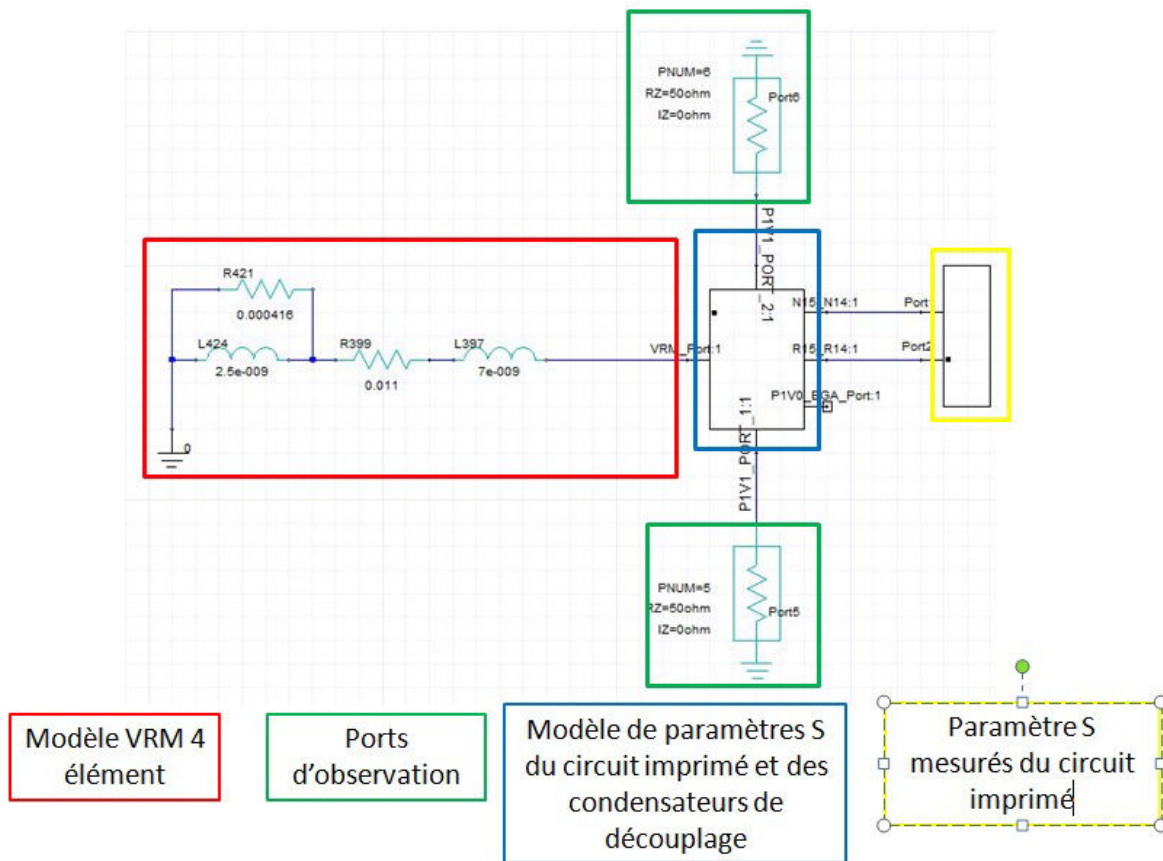


FIGURE 4.70 – Schéma de la simulation effectuée pour obtenir un résultat dans le domaine fréquentiel

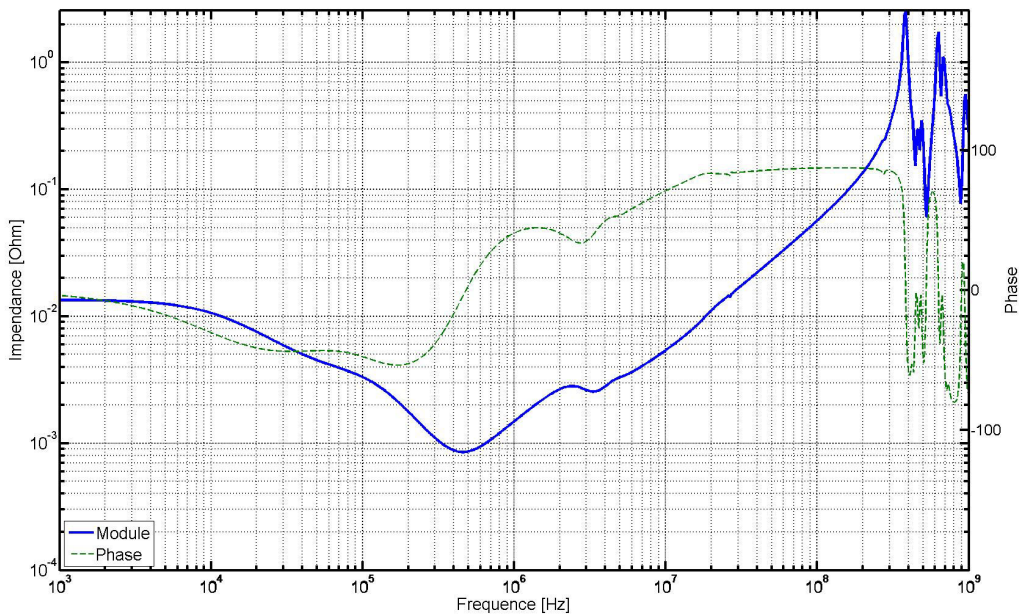


FIGURE 4.71 – Paramètres Z de la simulation du réseau de distribution complet

l'impédance de chaque élément seul est superposée au résultat de mesure dans la figure 4.72.

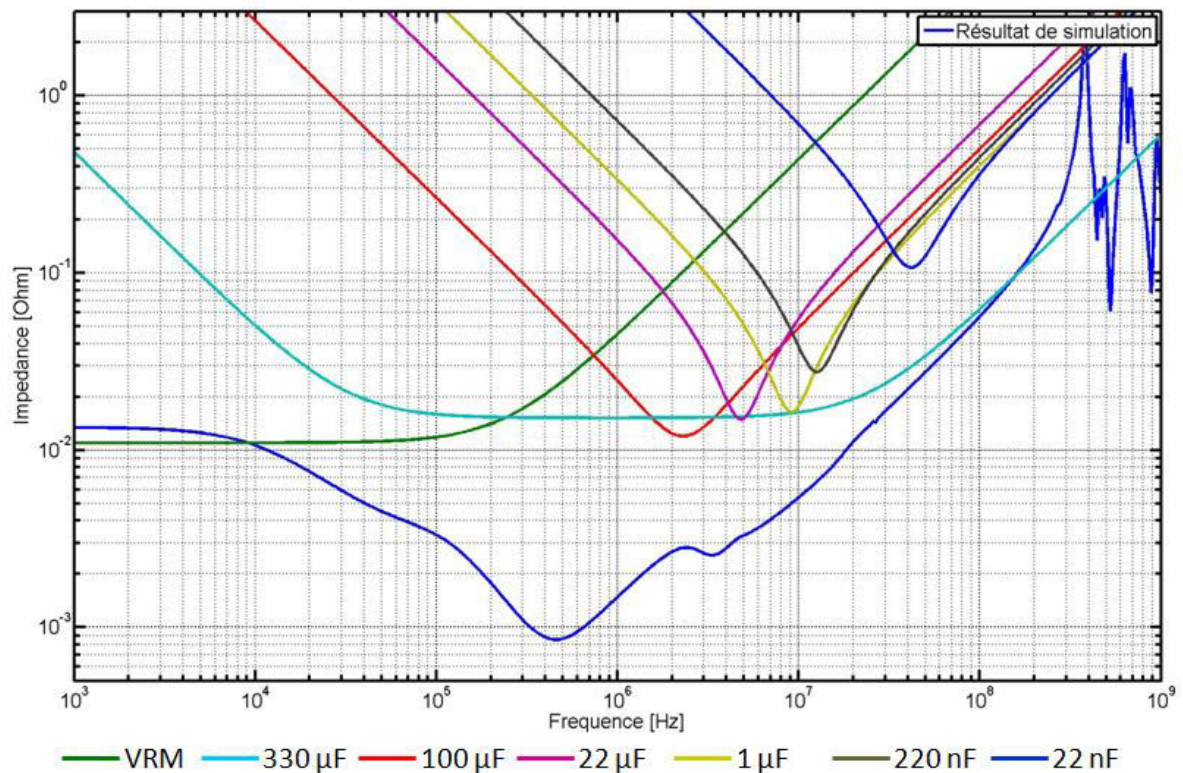


FIGURE 4.72 – Contribution de chacun des éléments du réseau de distribution d'énergie à l'impédance

Cette figure met en lumière la contribution du module régulateur de tension pour les fréquences inférieures à 10 kHz. Elle permet également de montrer que la contribution des condensateurs de bulk de 330  $\mu\text{F}$  et la capacité ramenée par le circuit intégré fixent l'impédance pour la plage de fréquence de 10 kHz à 2 MHz. Enfin, nous devinons des minimums d'impédance locaux correspondant aux valeurs des différents condensateurs de découplage utilisés. Le résultat de simulation obtenu permet, par comparaison avec l'impédance cible, de valider le comportement dynamique du circuit est de s'assurer que la consommation en courant ne provoquera pas de variations de tension au-delà de la tolérance du composant. L'impédance du circuit d'alimentation est donc comparée à l'impédance cible calculée d'après la mesure de la tension en interne du composant. Cette comparaison apparaît dans la figure 4.73 La comparaison des deux courbes permet de déduire que le système est suffisamment dimensionné pour la consommation en courant du le véhicule de test. De cette comparaison, il ressort également que les condensateurs de valeur au-deçà de 1  $\mu\text{F}$  ne sont en fait pas nécessaires au découplage. La comparaison du résultat de simulation avec l'impédance des différents éléments ainsi qu'avec l'impédance cible permet de déduire que le résultat de cette simulation est cohérent avec l'impédance du réseau de distribution d'énergie.

#### 4.7.3.2 Corrélation Simulation-mesure

Afin de s'en assurer, la mesure en paramètres S du potentiel d'alimentation du cœur du FPGA est effectuée à l'aide d'un VNA en utilisant la technique de mesure à deux ports



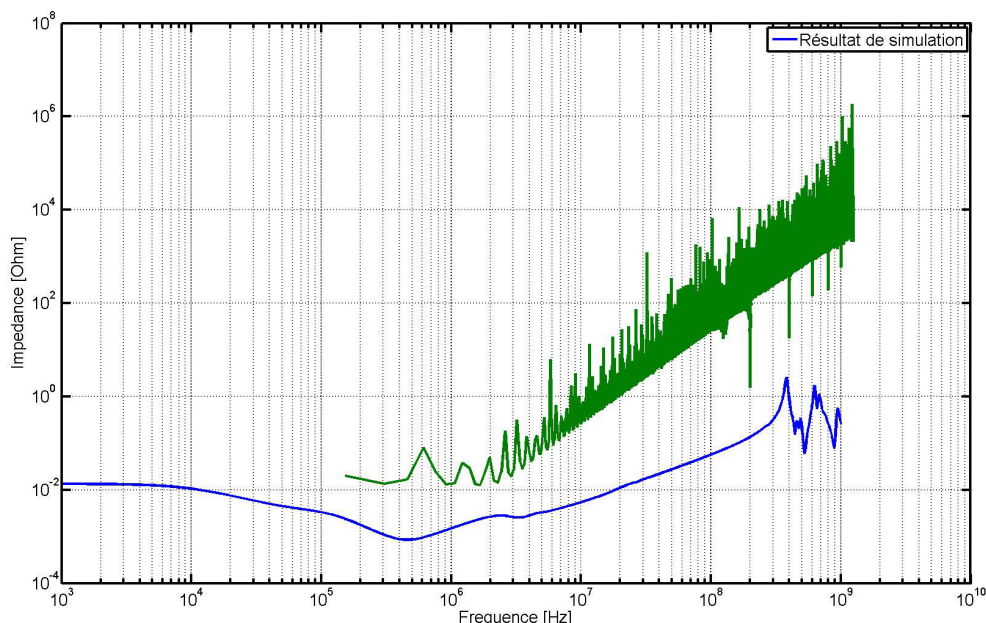


FIGURE 4.73 – Comparaison entre le résultat de la simulation et l'impédance cible calculée d'après la mesure sur véhicule de test

déjà largement utilisée dans ces travaux. La mesure est effectuée sur les deux connecteurs SMA sur lesquels des ports d'observation avaient été placés lors de la configuration de la simulation. La corrélation entre le résultat de mesure et le résultat de simulation est effectuée dans la figure 4.74. La figure 4.74 montre une bonne corrélation entre le résultat obtenu par mesure et le résultat obtenu par simulation. Pour des fréquences inférieures à 10 kHz, la mesure diverge de la simulation car le phénomène de boucle de retour de courant des câbles masque la valeur réelle de l'impédance du réseau de distribution d'énergie. La simulation et la mesure concordent ensuite fidèlement jusqu'à la centaine de kHz. Au-delà de cette valeur, l'impédance simulée est inférieure à l'impédance mesurée. Comme le montre à la fois la différence en fréquence du minimum d'impédance mais également le passage à zéro de la phase, l'inductance simulée est plus faible que l'impédance mesurée. Cette différence peut s'expliquer par l'introduction d'éléments parasites de composants non pris en compte comme une ferrite de filtrage entre le potentiel 1,0 V et le potentiel nommé VCCBRAM. D'autre part cette inductance sous-estimée peut également s'expliquer par les résultats obtenus dans les parties précédentes. L'inductance montée des condensateurs est sous-estimée. La capacité des condensateurs en simulation agit donc pour des fréquences plus élevées que dans le cas mesuré.

Par ailleurs, le résultat obtenu en simulation est très représentatif du comportement mesuré. Ces résultats valident à la fois la modélisation de chacun des éléments du réseau de distribution d'énergie mais également la méthodologie de simulation du réseau de distribution d'énergie global. Ces résultats de simulation sont l'aboutissement de travaux de modélisation et de mesures préparés et présentés dans les parties précédentes du mémoire. L'obtention de ce résultat représentatif nécessite au préalable un travail important de mesure et de modélisation de chacun des éléments du réseau de distribution d'énergie

- La mesure de l'impédance de sortie du module régulateur de tension dont l'instrumentation est décrite au chapitre 3, ainsi que sa modélisation en éléments localisés.
- La recherche de modèle de paramètres S ou la mesure du comportement des conden-

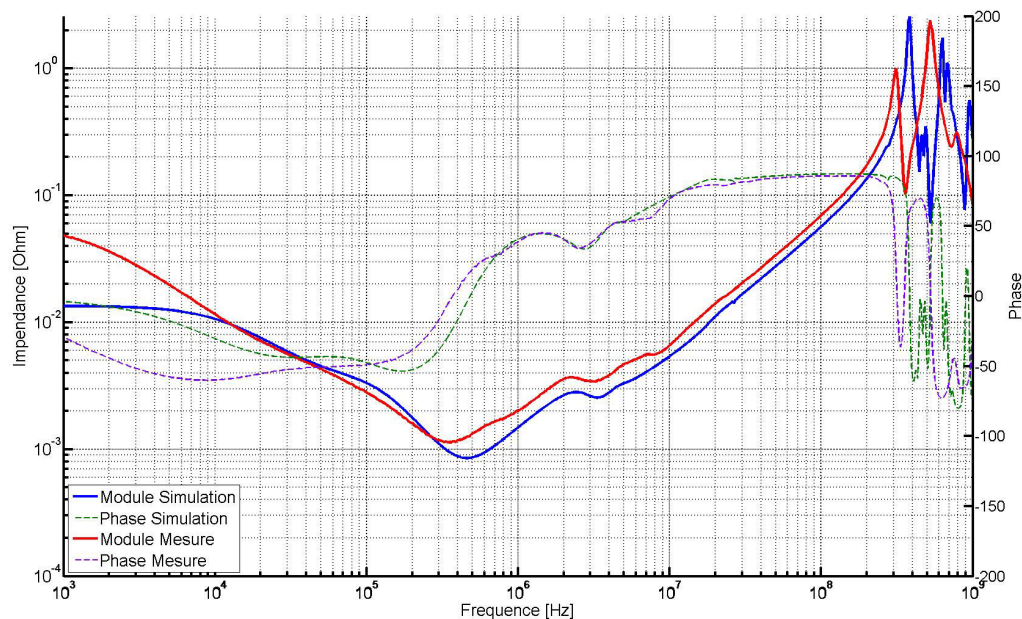


FIGURE 4.74 – Comparaison entre le résultat de la simulation et l'impédance cible calculée d'après la mesure sur véhicule de test

sateurs de découplage en prenant soin de s'affranchir des influences de l'instrumentation de mesure (par calibration)

- La mesure de l'impédance du circuit intégré par une méthode originale présentée dans le cadre de ces travaux de thèse
- La simulation précise du comportement du circuit imprimé à l'aide d'un outil de simulation convenablement configuré
- L'assemblage de tous les modèles au sein d'une seule et même simulation pour une résolution dans le domaine temporel comme dans le domaine fréquentiel

Alors que la littérature traite chacun de ces aspects séparément, ces travaux présentent l'originalité de rassembler l'ensemble des modèles des éléments du réseau de distribution d'énergie pour finalement obtenir un résultat de simulation du système complet fidèle à la réalité, malgré les approximations de modélisation réalisées.

#### 4.7.4 Conclusion partielle

Les corrélations réalisées dans cette partie entre les résultats obtenus en mesure et en simulation tant dans le domaine temporel que dans le domaine fréquentiel permettent de s'assurer que les différentes solutions de simulation et modèles des éléments du circuit d'alimentation sont bien représentatifs des phénomènes observés sur carte réelle. Elles démontrent également que les outils de simulation utilisés tout comme la méthodologie de simulation développée permettent effectivement de simuler de manière précise le comportement dynamique du réseau de distribution d'énergie et donc de valider le dimensionnement de celui-ci. Ces résultats peuvent également être utilisés pour optimiser le réseau de distribution d'énergie en permettant de retirer des condensateurs de découplage inutiles par exemple et surtout de réduire la surface de circuit imprimé occupée par les fonctions d'alimentation d'une carte électronique.



## 4.8 Conclusion du chapitre

La détermination de cette impédance cible est primordiale d'une part car il s'agit de l'élément permettant de fixer le but à atteindre en termes de qualité de maîtrise du comportement et de la qualité de la stabilité des alimentations. D'autre part, c'est l'outil utilisé pour choisir les valeurs des condensateurs de découplage, mais également pour valider les performances d'un module régulateur de tension en d'autre terme que son efficacité et l'amplitude du bruit de commutation à sa sortie. La détermination précise de l'impédance cible permet donc d'apporter la stabilité suffisante aux circuits d'alimentation de la carte sans pour autant risquer d'ajouter des composants inutiles.

Alors que les modèles de chaque élément des circuits d'alimentation sont précisément décrits dans le chapitre 3, les travaux approfondis réalisés dans cette partie portent en particulier sur le comportement des interactions entre chaque modèle en simulation. Il a ainsi été démontré que l'outil de simulation utilisé pour le dimensionnement statique des plans d'alimentation donne d'excellents résultats validés par la mesure. De même les résultats obtenus par calcul analytique sont très proches de ceux obtenus par simulation et permettent de calculer rapidement le nombre de vias nécessaire aux transitions du circuit de distribution d'une couche à l'autre. L'une des grandes orientations des analyses d'intégrité de puissance est d'optimiser le réseau de découplage de la carte et être capable de réduire la surface occupée par les réseaux de distribution d'énergie. L'efficacité du réseau de découplage est tributaire de l'inductance de boucle des condensateurs comme démontré en mesure mais surtout du routage du condensateur introduisant une inductance montée. Les travaux de mesure menés sur l'influence du routage en mesure ont permis de quantifier le gain de l'utilisation de différentes techniques de routage pour lesquelles seules des simulations avaient été réalisées auparavant. La conclusion de ces travaux permet de définir des règles de routage à suivre permettant d'optimiser le réseau de découplage mais également d'observer que l'outil de simulation peut être utilisé de manière qualitative pour réaliser l'optimisation du découplage des condensateurs.

L'ensemble des outils utilisés pour réaliser la simulation dans le domaine temporel comme dans le domaine fréquentiel et les différentes passerelles nécessaires pour l'interaction de tous les modèles font également l'objet d'une présentation permettant ainsi de mettre en place la méthodologie de simulation adaptée à l'obtention du comportement des réseaux de distribution d'énergie. Une répartition des contributions de chaque phénomène d'intégrité de puissance est également détaillée afin de déduire des sous-objectifs propres à atteindre pour chaque sous-partie du réseau de distribution d'énergie.

Enfin, la méthodologie de simulation est appliquée sur le véhicule de test ayant servi à la validation des modèles des différent éléments des circuits d'alimentation. Les résultats obtenus par le biais de cette méthodologie se sont montrés fidèles aux observations réalisées en mesure ce qui permet ainsi de valider à la fois l'utilisation des modèles de chaque élément mais aussi la méthodologie de mesure ainsi que la précision des outils de simulation mis à contribution pour la conception et la validation de cartes électroniques.

## 4.9 Références

AMÉDÉO, A. 2010, *Etude des phénomènes de Réflexions, de Diaphonie et de Stabilité des alimentations sur les cartes à haute densité d'interconnexions*, thèse de doctorat, École normale supérieure de Cachan-ENS Cachan. 164

- ANDERSON, R. E., L. D. SMITH et T. ROY. 2003, «System and method for determining the decoupling capacitors for power distribution systems with a frequency-dependent target impedance», US Patent 6,571,184. [206](#), [207](#), [210](#)
- BENOIT, G., G. CYRILLE et A. ALEXANDRE. 2015, «Simulation methodology for enhancement of power delivery network decoupling», dans *Signal and Power Integrity (SPI), 2015 IEEE 19th Workshop on*, IEEE, p. 1–4. [178](#)
- CHEN, H., J. FANG et W. SHI. 2001, «Effective decoupling radius of decoupling capacitor», dans *Electrical Performance of Electronic Packaging, 2001*, IEEE, p. 277–280. [181](#)
- GIRARD, P., C. LANDRAULT, S. PRAVOSSOUDOVITCH et D. SEVERAC. 1997, «Reduction of power consumption during test application by test vector ordering [vlsi circuits]», *Electronics Letters*, vol. 33, n° 21, p. 1752–1754. [225](#)
- GORAL, B., C. GAUTIER et A. AMÉDÉO. 2015, «Simulation methodology and design flow for decoupling optimization in case of design reusing», dans *International Symposium on Microelectronics*, vol. 2015, International Microelectronics Assembly and Packaging Society, p. 000312–000317. [178](#)
- GORAL, B., C. GAUTIER et A. AMEDEO. 2016, «Méthodologie de modélisation du réseau de distribution d'énergie d'une carte électronique complexe à haute densité d'interconnexion», dans *18ème Colloque International et Exposition sur la Compatibilité Electromagnétique, CEM 2016*, CNRS. [229](#)
- KIM, Y., K. KIM, J. CHO, J. KIM, K. KANG, T. YANG, Y. RA et W. PAIK. 2015, «Power distribution network design and optimization based on frequency dependent target impedance», dans *Electrical Design of Advanced Packaging and Systems Symposium (EDAPS), 2015 IEEE*, IEEE, p. 89–92. [206](#)
- KULALI, E., E. WASSERMAN et J. ZHENG. 2007, «Chip power model-a new methodology for system power integrity analysis and design», dans *Electrical Performance of Electronic Packaging, 2007 IEEE*, IEEE, p. 259–262. [207](#)
- LI, R. 1998, «Optimization of thermal via design parameters based on an analytical thermal resistance model», dans *Thermal and Thermomechanical Phenomena in Electronic Systems, 1998. IThERM'98. The Sixth Intersociety Conference on*, IEEE, p. 475–480. [216](#)
- MILLIORN, G. 2004, «Power supply design for powerpc™ processors», . [164](#)
- REN, L., T. LI, S. CHANDRA, X. CHEN, H. BISHNOI, S. SUN, P. BOYLE, I. ZAMEK, J. FAN, D. G. BEETNER et collab.. 2014, «Prediction of power supply noise from switching activity in an fpga», *IEEE Transactions on Electromagnetic Compatibility*, vol. 56, n° 3, p. 699–706. [225](#)
- ROY, T., L. SMITH et J. PRYMAK. 1998, «Esr and esl of ceramic capacitor applied to decoupling applications», dans *Electrical Performance of Electronic Packaging, 1998. IEEE 7th Topical Meeting on*, IEEE, p. 213–216. [164](#)
- SANKARALINGAM, R., R. R. ORUGANTI et N. A. TOUBA. 2000, «Static compaction techniques to control scan vector power dissipation», dans *VLSI Test Symposium, 2000. Proceedings. 18th IEEE*, IEEE, p. 35–40. [225](#)

- SERCU, J. 2016, «Ir drop analysis of high-speed pcbs using 3d planar em technology», dans *Signal and Power Integrity (SPI), 2016 IEEE 20th Workshop on*, IEEE, p. 1–4. [211](#)
- SMITH, L. D., R. E. ANDERSON, D. W. FOREHAND, T. J. PELC et T. ROY. 1999, «Power distribution system design methodology and capacitor selection for modern cmos technology», *IEEE Transactions on Advanced Packaging*, vol. 22, n° 3, p. 284–291. [164](#)
- SMUTZER, C. M., M. J. DEGERSTROM et B. K. GILBERT. 2016, «Navigating pcb stackup layer assignments for optimized si and pi performance in high speed, high power designs», dans *Signal and Power Integrity (SPI), 2016 IEEE 20th Workshop on*, IEEE, p. 1–4. [164](#)
- XAKELLIS, M. G. et F. N. NAJM. 1994, «Statistical estimation of the switching activity in digital circuits», dans *Proceedings of the 31st annual Design Automation Conference*, ACM, p. 728–733. [225](#)

# Chapitre 5

## Optimisation du Découplage et Impact de l’Alimentation sur la Transmission de Signaux

*« Tout obstacle renforce la détermination. Celui qui s’est fixé un but n’en change pas »*

Léonard de Vinci

### Sommaire

---

|            |   |            |
|------------|---|------------|
| <b>5.1</b> | <b>Introduction</b>   | <b>245</b> |
| <b>5.2</b> | <b>Optimisation du découplage du véhicule de test</b>   | <b>245</b> |
| 5.2.1      | Optimisation du découplage  | 245        |
| 5.2.2      | Découplage préconisé par Xilinx   | 247        |
| 5.2.3      | Respect des variations de tension en fonctionnement   | 249        |
| 5.2.3.1    | Fonctionnement en régime établi   | 249        |
| 5.2.3.2    | Réponse à un changement de niveau d’activité  | 258        |
| 5.2.4      | Impact du découplage sur les performances de la carte   | 264        |
| 5.2.4.1    | Impact sur le diagramme de l’œil  | 264        |
| 5.2.4.2    | Impact sur la lecture/écriture d’une série pseudo-aléatoire de bits sur DDR3                                | 268        |
| 5.2.4.3    | Impact d’une perturbation du potentiel d’alimentation d’une fonction de transmission                        | 269        |
| 5.2.5      | Conclusion partielle  | 272        |
| <b>5.3</b> | <b>Inclusion du comportement des circuits d’alimentation dans les simulations de transmission de signal</b> | <b>273</b> |
| 5.3.1      | Etude d’une interface parallèle   | 273        |
| 5.3.1.1    | Mesures   | 273        |
| 5.3.1.2    | Méthodologie de simulation  | 277        |
| 5.3.1.3    | Corrélation simulation mesure   | 280        |
| 5.3.2      | Etude d’une interface série   | 285        |
| 5.3.2.1    | Mesures   | 287        |
| 5.3.2.2    | Méthodologie de simulation  | 287        |
| 5.3.2.3    | Corrélation Simulation Mesure   | 289        |

*CHAPITRE 5. OPTIMISATION DU DÉCOUPLAGE ET IMPACT DE  
L'ALIMENTATION SUR LA TRANSMISSION DE SIGNAUX*

---

|   |            |
|---|------------|
| 5.3.3 Conclusion partielle . . . . .        | 290        |
| <b>5.4 Conclusion du chapitre . . . . .</b> | <b>291</b> |
| <b>5.5 Références . . . . .</b>             | <b>291</b> |

---



## 5.1 Introduction

Il a été démontré que d'une part les éléments constituant le réseau de distribution d'énergie peuvent être modélisés de façon précise et la validité de ces modèles a été prouvée par la corrélation entre les résultats obtenus en simulation et les résultats de mesures. D'autre part, les travaux approfondis autour des interactions des différents éléments entre eux - comme la connexion des condensateurs au circuit imprimé ou l'impact du découplage du circuit intégré sur le circuit imprimé - et la méthodologie de simulation proposée permettent d'obtenir un comportement précis du réseau de distribution d'énergie dans le domaine temporel comme dans le domaine fréquentiel. De plus, l'obtention d'une impédance cible réaliste en simulation d'après les modèles de composant disponibles ou de leurs caractéristiques mesurées permet d'affiner les objectifs de conception à atteindre et d'optimiser le réseau de distribution d'énergie et d'entrer dans une démarche de conception au plus juste en limitant le nombre de composants sur la carte au strict nécessaire pour atteindre les performances fixées par les contraintes de conception.

Comme le montre la figure 4.73, les performances atteintes par le réseau de distribution d'énergie sont supérieures à ce qui est réellement nécessaire puisque l'impédance présentée par le circuit d'alimentation, en particulier pour les fréquences supérieures à 1 MHz, est en dessous de l'impédance cible calculée d'après le fonctionnement du véhicule de test. Il est donc possible de relâcher les contraintes sur l'impédance pour ces fréquences et par conséquent d'optimiser le réseau de distribution d'énergie, particulièrement en retirant les condensateurs de découplage superflus de la carte.

Un plan d'expérimentation est donc déployé pour

- évaluer le comportement du réseau de distribution d'énergie de la carte pour différentes stratégies de découplage
- essayer de quantifier les gains ou pertes en termes de performances de fonctionnement de la carte dans ces différentes configurations
- enfin, étendre les travaux d'analyse du comportement du réseau de distribution d'énergie à l'étude de transmission de signaux d'interfaces séries rapides ou d'interfaces séries parallèles.

Cette dernière partie permettra d'évaluer la performance des outils de simulation et d'inclure l'impact du comportement des circuits d'alimentation dans les simulations de transmission de signaux afin d'obtenir des résultats plus réalistes, et donc plus proches de ceux observés en mesure.

## 5.2 Optimisation du découplage du véhicule de test

### 5.2.1 Optimisation du découplage

Le réseau de distribution d'énergie du potentiel d'alimentation du cœur d'alimentation du FPGA a initialement été conçu pour un courant statique maximal de 7 A et une variation de courant dynamique de 6 A. Le dimensionnement du découplage des potentiels d'alimentation d'une carte s'effectue en calculant l'impédance équivalente du module régulateur de tension, du circuit intégré et du plan d'alimentation et en les comparant avec l'impédance cible définie. Si l'impédance cible est dépassée, alors l'ajout de condensateurs de découplage permet d'abaisser fortement l'impédance de l'ensemble autour de la fréquence de résonance propre du condensateur. Ce travail est réalisé de manière itérative

jusqu'à ce que l'impédance résultante soit en dessous de l'impédance cible. Cependant l'outil de conception pré-routage utilisé pour le dimensionnement du circuit d'alimentation n'estime que grossièrement la capacité de plan puisqu'il l'assimile à la capacité idéale d'une paire de plans rectangulaires de taille donnée par l'utilisateur sans effets de bord. De plus une sur-estimation de l'inductance montée des condensateurs a conduit à concevoir un réseau de découplage surdimensionné par rapport au fonctionnement réel de la carte. Par ailleurs, quelques condensateurs de découplage ont également été ajoutés pour prendre de la marge par rapport à ces contraintes de conception et pour pouvoir observer l'impact du retrait de ces condensateurs superflus. Enfin, le modèle du module régulateur de tension par défaut utilisé présente des éléments parasites d'interconnexion sur-estimés. La comparaison de la stratégie de découplage initiale avec l'impédance cible définie initialement est présentée en figure 5.1. Cette figure montre un dépassement de

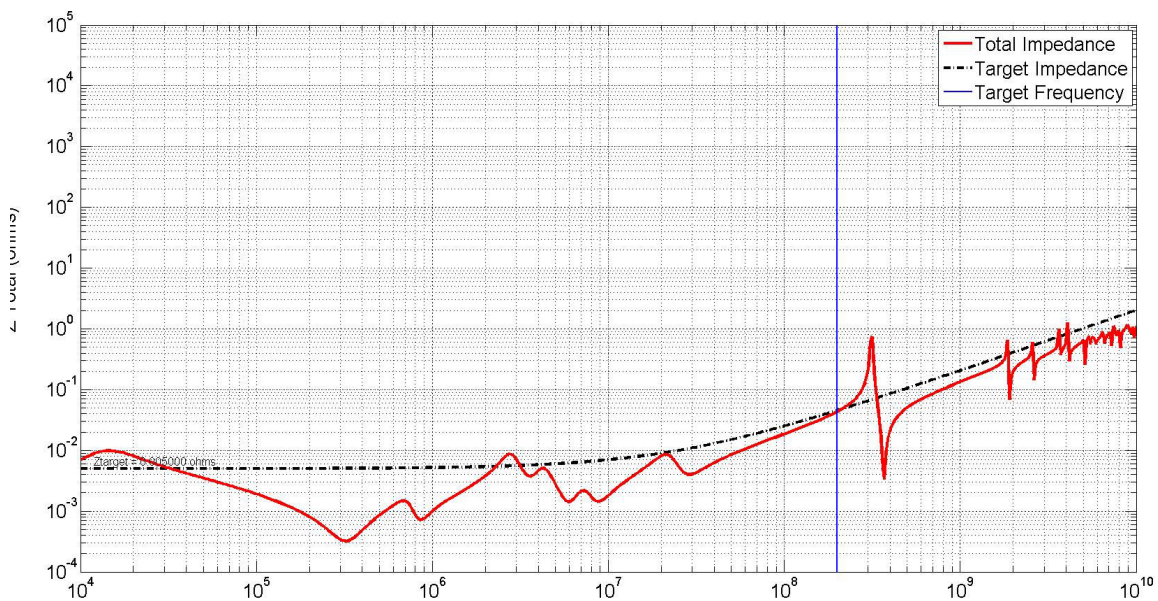


FIGURE 5.1 – Comparaison de l'impédance pré-routage du réseau de distribution d'énergie avec l'impédance cible

l'impédance cible en basse fréquence dû au modèle de composant d'alimentation utilisé par défaut. Par ailleurs l'impédance cible est respectée sur presque toute la plage de fréquence de fonctionnement de la carte jusqu'à 200 MHz, fréquence de fonctionnement du FPGA de la carte. Nous notons également un léger dépassement de l'impédance cible pour la fréquence de 2,7 MHz.

La mise en route du véhicule de test a permis d'effectuer des mesures de courant et donc d'affiner les caractéristiques du profil de courant servant à calculer l'impédance cible plus précisément. Le courant maximum dynamique a bien été estimé dès le début de la conception, car nous retrouvons effectivement une consommation de la carte à l'état initial de 0,7 A et une consommation de 6,7 A lorsque tous les blocs de consommation sont activés.

Dans la littérature, la valeur de  $\frac{I_{max}}{2}$  est fréquemment rencontrée pour le calcul de l'impédance cible d'une carte électronique SMITH et collab. [1999] SWAMINATHAN et ENGIN [2007]. L'exemple de ce véhicule de test montre que cette approximation est maintenant fautive et sous-estime largement la variation de courant durant le fonctionnement de la carte. La contrainte d'efficacité énergétique et de prolongement de l'autonomie des

systèmes embarqués forcent les fabricants de circuits intégrés à proposer des modes de consommation faible puissance lorsque le composant n'est pas sollicité dans le fonctionnement du système. En revanche, cela requiert un réveil rapide du composant lorsque celui-ci entre en action. Les variations de courant approchent donc à l'heure actuelle un échelon de 10 à 90 % de la consommation maximale du composant en quelques périodes d'horloge. La variation de courant ayant été correctement estimée en premier lieu, la même valeur d'impédance cible sera utilisée pour définir les nouveaux objectifs de découplage à atteindre. Par contre, une meilleure estimation de la capacité de plan et une définition plus juste de la valeur d'inductance montée permet d'affiner la stratégie de découplage et de retirer des condensateurs superflus. Les précisions apportées grâce à la mesure sur la carte permettent de supprimer 26 condensateurs des 60 condensateurs initialement utilisés. L'impédance du réseau de découplage en pré routage est calculée de la même manière que pour la phase de conception mais les modèles de composant d'alimentation et de plan sont ajustés aux résultats obtenus par mesure. L'impédance nouvellement calculée est représentée dans la figure 5.2. Comme le montre la figure,

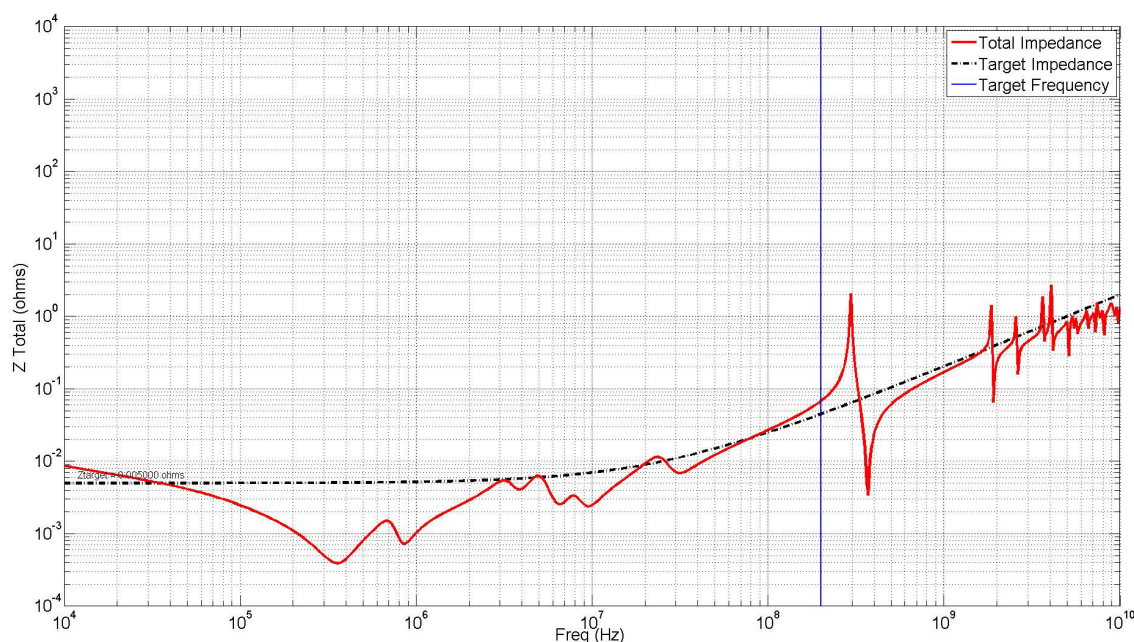


FIGURE 5.2 – Comparaison de l'impédance du réseau de distribution d'énergie avec l'impédance cible après correction des différents modèles par mesure sur le véhicule de test

l'ajustement des modèles permet de réduire le nombre de condensateurs nécessaire au découplage de près de 43 % sans dégrader significativement les performances de découplage d'après le calcul de l'impédance dans le domaine fréquentiel en pré-routage. La figure montre en effet que l'impédance calculée est légèrement supérieure à l'impédance cible sur la plage de fréquence de 100 à 200 MHz. Le dépassement à 2,7 MHz est également toujours observé même s'il est diminué par rapport à la simulation précédente.

### 5.2.2 Découplage préconisé par Xilinx

Enfin, indépendamment du profil de courant permettant le réajustement de l'impédance cible, le fabricant du FPGA, Xilinx, préconise dans la documentation du [FPGA](#) un découplage associé à l'utilisation de son composant et garantit son fonctionnement dans

toutes les conditions d'utilisation. Cette stratégie de découplage ne compte que 6 condensateurs de découplage. Une troisième carte du véhicule de test est configurée avec la stratégie de découplage préconisée par le fabricant. Les cartes seront désignées par la suite respectivement, carte 1 pour la carte comprenant le découplage initialement prévu, carte 2 comprenant le découplage optimisé après mesures et carte 3 pour la carte configurée avec le découplage préconisé par le fabricant. Les caractéristiques des condensateurs de découplage utilisés sur les cartes sont rassemblées dans le tableau 5.1. La composition

TABLEAU 5.1 – Caractéristiques des condensateurs de découplage du potentiel d'alimentation du cœur du FPGA du véhicule de test

|  |       |      |      |      |       |        |         |
|--|-------|------|------|------|-------|--------|---------|
| Capacité (nF)                              | 22    | 220  | 470  | 1000 | 22000 | 100000 | 330000  |
| Inductance équivalente Série (pH)          | 662   | 726  | 648  | 1100 | 796   | 1000   | 96,6    |
| Résistance équivalente série (m $\Omega$ ) | 107,2 | 27,5 | 16,4 | 14,9 | 2,1   | 2,1    | 15,2    |
| Fréquence de résonance propre (MHz)        | 40,7  | 12,6 | 9,1  | 4,7  | 1,2   | 0,489  | 1,1     |
| Taille de boîtier                          | 0402  | 0402 | 0402 | 0603 | 0805  | 1206   |         |
| diélectrique                               | X7R   | X5R  | X5R  | X5R  | X5R   | X5R    | Tantale |
| Tension max (V)                            | 16    | 6,3  | 6,3  | 25   | 6,3   | 6,3    | 2,5     |

du réseau de découplage de chacune des cartes est donnée dans le tableau 5.2

TABLEAU 5.2 – Composition du découplage de chacune des cartes du véhicule de test

| Carte   | Propriété              | Condensateurs |        |        |           |            |             |             |
|---------|------------------------|---------------|--------|--------|-----------|------------|-------------|-------------|
|         |                        | 22 nF         | 220 nF | 470 nF | 1 $\mu$ F | 22 $\mu$ F | 100 $\mu$ F | 330 $\mu$ F |
| Carte 1 | Quantité               | 20            | 15     | 10     | 3         | 2          | 6           | 4           |
|         | Inductance montée (nH) | 1             | 1      | 1      | 1         | 1          | 1,5         | 3           |
| Carte 2 | Quantité               | 10            | 8      | 5      | 2         | 2          | 5           | 2           |
|         | Inductance montée (nH) | 0,75          | 0,75   | 0,75   | 0,75      | 0,75       | 1           | 1           |
| Carte 3 | Quantité               | 0             | 0      | 0      | 0         | 3          | 1           | 2           |
|         | Inductance montée (nH) | 0             | 0      | 0      | 0         | 0,75       | 1           | 1           |

Le calcul de l'impédance pré-routage du réseau de distribution dans cette configuration est donné dans la figure 5.3.

Sur la bande de fréquence de 10 à 150 kHz, l'impédance cible sera impactée par la régulation du VRM non prise en compte dans cette partie et largement respectée. De même la configuration préconisée par le fabricant dépasse l'impédance cible définie au-delà de la fréquence de 1 MHz. L'impédance de chacune des cartes :



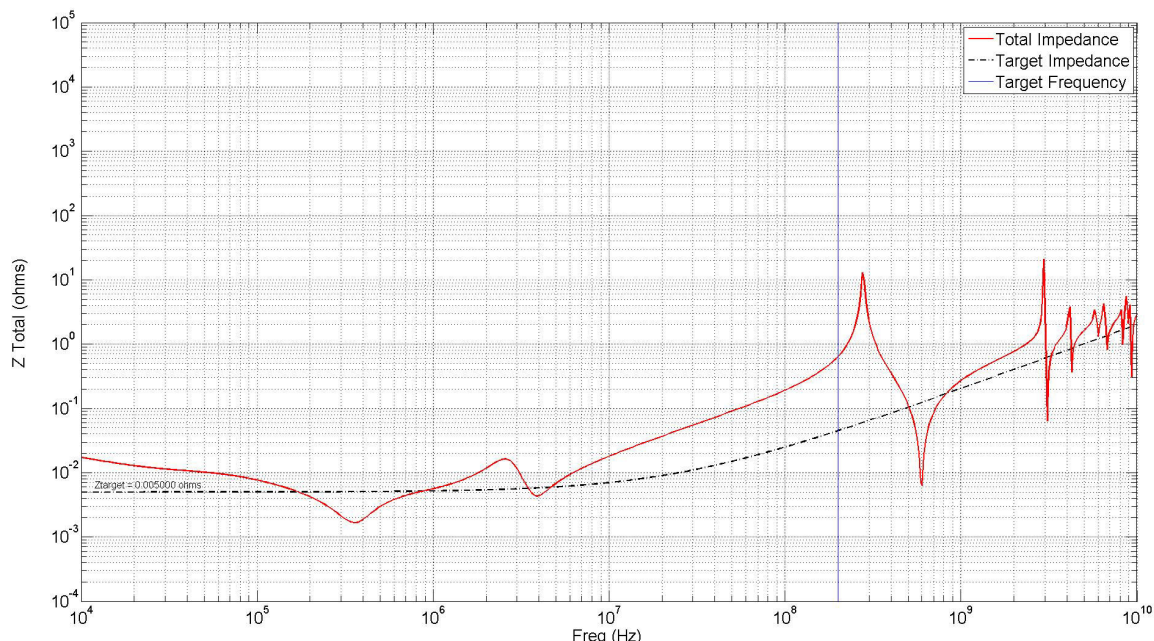


FIGURE 5.3 – Comparaison de l'impédance pré-routage du réseau de distribution d'énergie avec l'impédance cible pour le découplage préconisé par le fabricant du [FPGA](#)

- La carte 1, comportant la stratégie de découplage initialement prévue
- La carte 2, comportant une stratégie de découplage optimisée d'après les résultats de mesures sur carte
- La carte 3, comportant la stratégie de découplage recommandée par le fabricant du [FPGA](#)

est mesurée à l'aide d'un [VNA](#) et comparée à l'impédance cible calculée d'après les résultats de mesures dans le chapitre précédent. La comparaison de chacune des cartes est réalisée dans la figure 5.4. Cette figure confirme d'une part que l'impédance prévue initialement sur le véhicule de test prend de la marge par rapport l'impédance cible calculée et d'autre part, que l'impédance préconisée par le fabricant respecte effectivement cette impédance cible. En conclusion, le choix de la stratégie du découplage de constructeur confirme que l'impédance cible calculée d'après les mesures réalisées sur le potentiel d'alimentation est satisfaisante puisque cette stratégie respecte l'impédance cible calculée. De plus, au vu des différences obtenues entre l'allure des courbes d'impédance fréquentielle calculée en pré-routage de la carte et la mesure, la simulation pré-routage donne certes un bon indicateur de la stratégie de découplage à adopter mais la validation du comportement du potentiel d'alimentation doit impérativement être réalisée grâce à une simulation post-routage pour obtenir un comportement fidèle du circuit de distribution d'énergie en dynamique.

## 5.2.3 Respect des variations de tension en fonctionnement

### 5.2.3.1 Fonctionnement en régime établi

Afin de vérifier le respect des niveaux de tension des différentes configurations, des mesures en courant et en tension sont réalisées sur les 3 cartes présentant les configurations de découplage du tableaux 5.1. Les mesures pour les différentes cartes sont effectuées à la fois en courant et en tension. Le courant est mesuré en sortie du module



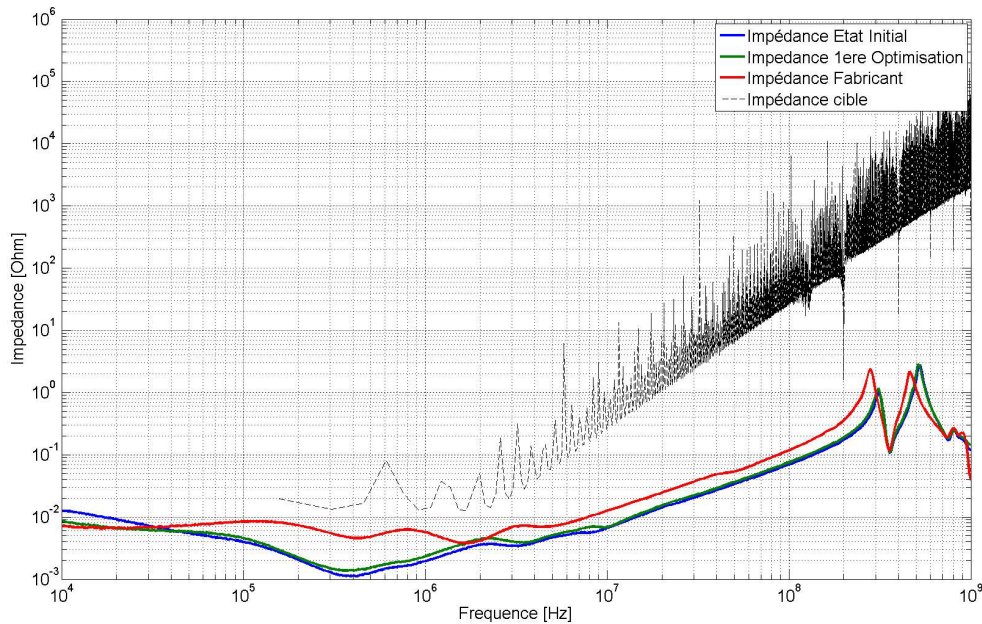


FIGURE 5.4 – Comparaison de l'impédance mesurée du réseau de distribution d'énergie avec l'impédance cible calculée d'après la mesure

régulateur de tension grâce à une sonde à effet Hall. Le montage de mesure du courant est présenté dans la figure 4.60 du chapitre précédent. La tension est mesurée en 3 points sur la carte :

- En sortie du régulateur de tension par l'intermédiaire d'une sonde de tension passive
- Au niveau de l'empreinte d'un condensateur de découplage au niveau du FPGA sur la couche opposée
- En connectant directement un câble SMA sur le connecteur du montage Spyhole qui permet de mesurer la tension en interne du composant.

Les différents montages permettant d'effectuer les mesures en tension évoquées sont présentés dans les figures 5.5, 5.6 et 5.7.

L'appareil utilisé pour mesurer les courants et les tensions est un oscilloscope Le-croy de bande passante de 1 GHz, propose une profondeur d'échantillonnage de 50 millions de points à 2,5 milliards d'échantillons par seconde et dispose d'un convertisseur analogique-numérique de 12 bits permettant une haute résolution verticale. Les mesures sont effectuées dans un premier temps pour chacune des 3 cartes dans les 4 états de consommation définis dans le tableau 4.11 au chapitre 4. Le tableau 5.3 réunit les niveaux de tension ou de courant moyen et crête à crête relevé respectivement sur cartes 1 ; 2 et 3 d'après les courbes de mesures.

Bien que l'impédance cible de la configuration soit respectée comme démontrée dans la figure 5.4, la tolérance sur le niveau de tension minimum acceptable pour le composant est dépassée dès le fonctionnement de la carte dans l'état 3. La valeur moyenne de la tension relevée en interne du composant est de 973 mV, ce qui est à la limite inférieure de la tolérance de 970 mV, en revanche, cette limite est franchie en dynamique à cause de la fluctuation de tension engendrée par l'activité du composant. Enfin, à l'état 4, la tolérance est dépassée avec une valeur de tension moyenne 7,5 % en dessous de la valeur

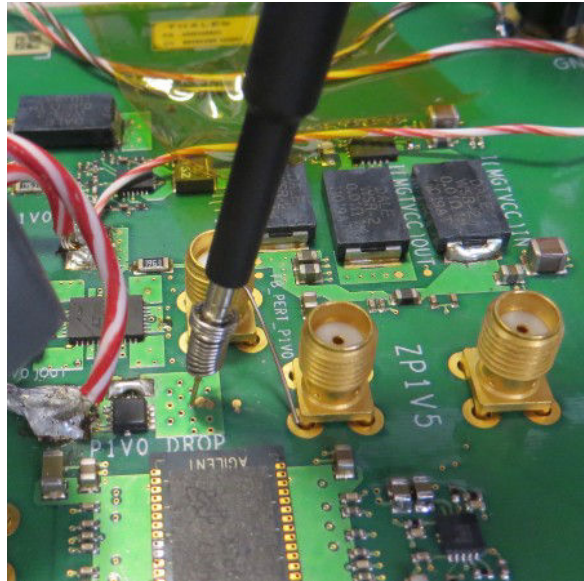


FIGURE 5.5 – Montage permettant la mesure de la tension en sortie du composant d'alimentation

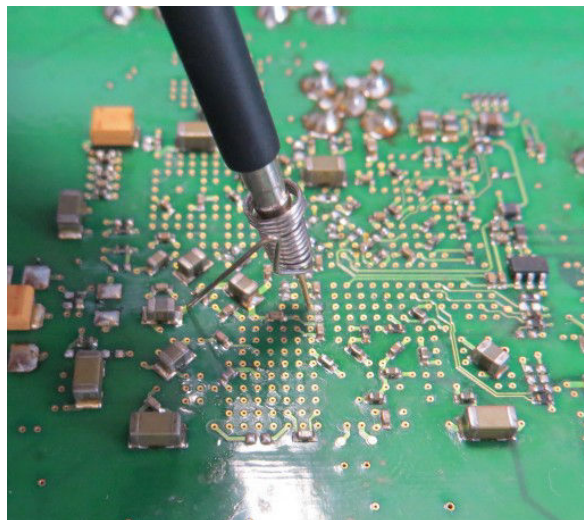


FIGURE 5.6 – Montage permettant la mesure de la tension à l’empreinte d’un condensateur de découplage

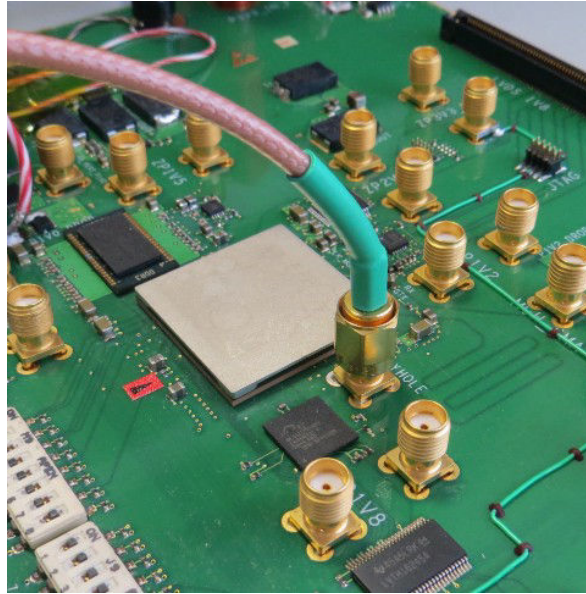


FIGURE 5.7 – Montage permettant la mesure de la tension au sein du composant

TABLEAU 5.3 – Tension et courant moyen et crête à crête mesurés sur la carte 1

| Carte | Etat   | Courant moyen (mA) | Courant c-à-c (mA) | Tension moyenne (mV) | Tension c-à-c (mV) | Tension Capa moyenne (mV) | Tension Capa c-à-c (mV) | Tension Spyhole moyenne (mV) | Tension Spyhole c-à-c (mV) |
|-------|--------|--------------------|--------------------|----------------------|--------------------|---------------------------|-------------------------|------------------------------|----------------------------|
| 1     | Etat 1 | 473                | 860                | 1003                 | 66                 | 999                       | 23,7                    | 1000                         | 13,1                       |
|       | Etat 2 | 920                | 880                | 1001                 | 98                 | 995                       | 29,1                    | 999                          | 12,6                       |
|       | Etat 3 | 2517               | 909                | 992                  | 127                | 972                       | 32,9                    | 973                          | 136                        |
|       | Etat 4 | 6645               | 978                | 976                  | 111                | 930                       | 49                      | 927                          | 124                        |
| 2     | Etat 1 | 405                | 874                | 1002                 | 57                 | 998                       | 23,7                    | 1000                         | 16,5                       |
|       | Etat 2 | 844                | 884                | 999                  | 72                 | 994                       | 29,1                    | 999                          | 53,1                       |
|       | Etat 3 | 2951               | 935                | 990                  | 126                | 973                       | 32,9                    | 973                          | 79,2                       |
|       | Etat 4 | 6911               | 998                | 974                  | 95                 | 933                       | 49                      | 927                          | 105                        |
| 3     | Etat 1 | 521                | 857                | 1003                 | 80                 | 999                       | 16,5                    | 1001                         | 10,1                       |
|       | Etat 2 | 903                | 871                | 1001                 | 98                 | 995                       | 53,1                    | 995                          | 97,8                       |
|       | Etat 3 | 2477               | 918                | 993                  | 146                | 975                       | 79,2                    | 972                          | 128,1                      |
|       | Etat 4 | 6832               | 1016               | 976                  | 157                | 934                       | 105,4                   | 928                          | 121,0                      |

d'alimentation nominale alors que la tolérance acceptée est pour rappel de 3%. L'impact du dépassement de cette valeur sur les performances fonctionnelles de la carte sera évalué dans une partie suivante. Un relevé de la mesure effectuée sur le montage Spyhole pour la carte en fonctionnement à l'état 4 est donné dans la figure 5.8

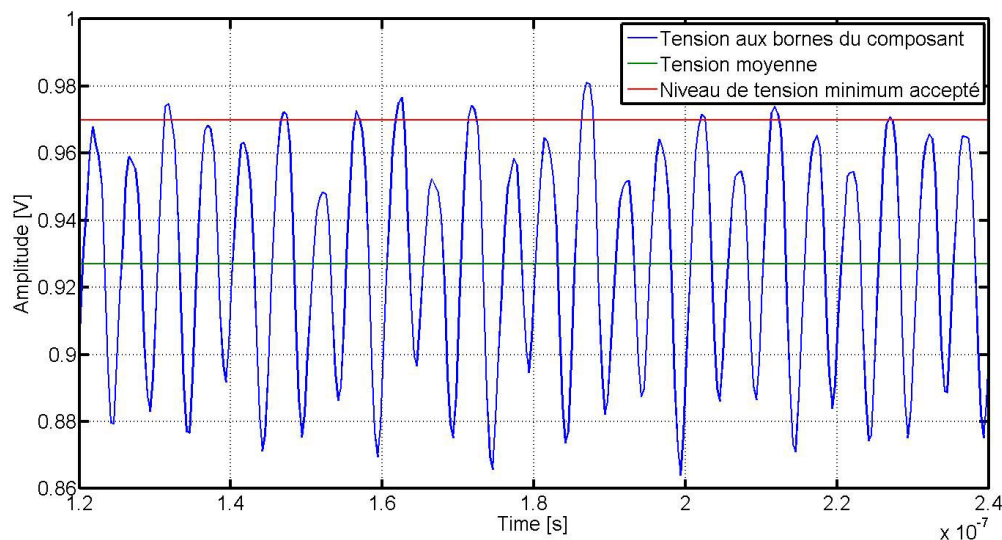


FIGURE 5.8 – Relevé de la tension sur le montage Spyhole pour la carte 1 à l'état 4

Cette mesure met en lumière un défaut de dimensionnement de la partie statique puisque pour le niveau de consommation maximale du composant en courant, la chute de potentiel due au passage du courant provoque des pertes statiques. La tension moyenne mesurée est de 934 mV au niveau de la carte, ce qui est au-delà de la tolérance de 970 mV du composant.

Ces mesures sont réitérées dans les mêmes conditions pour la carte 2. Comme sur la carte 1, la tolérance sur la tension est dépassée dès le fonctionnement en cas 3. En comparant les résultats obtenus à ceux de la carte 1, nous nous apercevons que les niveaux de tension moyens sont similaires. En revanche les amplitudes de tension crête-à-crête relevées au sein du composant sont supérieures alors que celles au niveau des condensateurs sont similaires. L'amplitude mesurée pour l'Etat 2 au niveau du composant est plus de deux fois supérieures à celle observée pour la carte 1. Les deux mesures de tension réalisées sur le montage Spyhole sont comparées dans la figure 5.9. Elle montre en effet que l'amplitude de la tension est supérieure pour la carte 2 et que le signal mesuré semble périodique avec une période de 20 ns. Cette période correspond à une fréquence de 50 MHz. Un agrandissement de la figure 5.9 dans la figure 5.10 permet de mieux estimer la période à laquelle les dépassements de tension sont observés. La décomposition spectrale de la tension observée dans l'état 2 pour chacune des deux cartes est réalisée à l'aide de la fonction de calcul de transformée de Fourier rapide de l'oscilloscope. Le résultat du calcul est présenté en figure 5.11. La décomposition spectrale réalisée sur la tension mesurée montre une densité spectrale importante pour la fréquence de 50 MHz. Il s'agit en effet de la fréquence fondamentale du fonctionnement du bloc de consommation activé pour l'état 2. La figure 5.12 présente un agrandissement de la transformée de Fourier rapide de la tension mesurée sur les cartes 1 et 2. La densité spectrale est similaire pour les fréquences autour de 50 MHz et les harmoniques d'ordre supérieur. La provocation d'une oscillation de tension à cette fréquence peut provenir de l'impédance du réseau de distribution de la carte 2 qui est plus élevée que celle de la carte 1. Les deux profils d'impé-



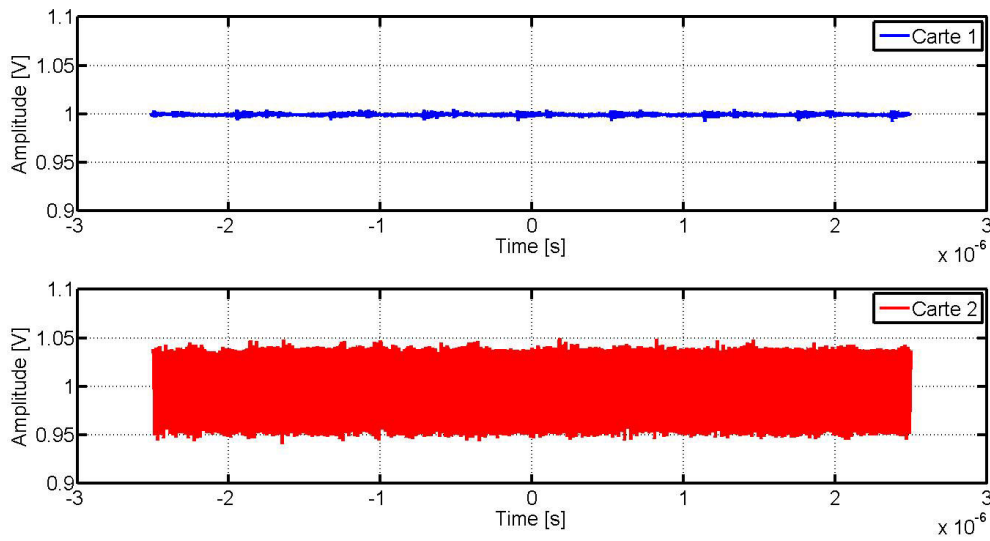


FIGURE 5.9 – Comparaison de la mesure de tension du Spyhole des cartes 1 et 2 pour un fonctionnement dans l'état 2

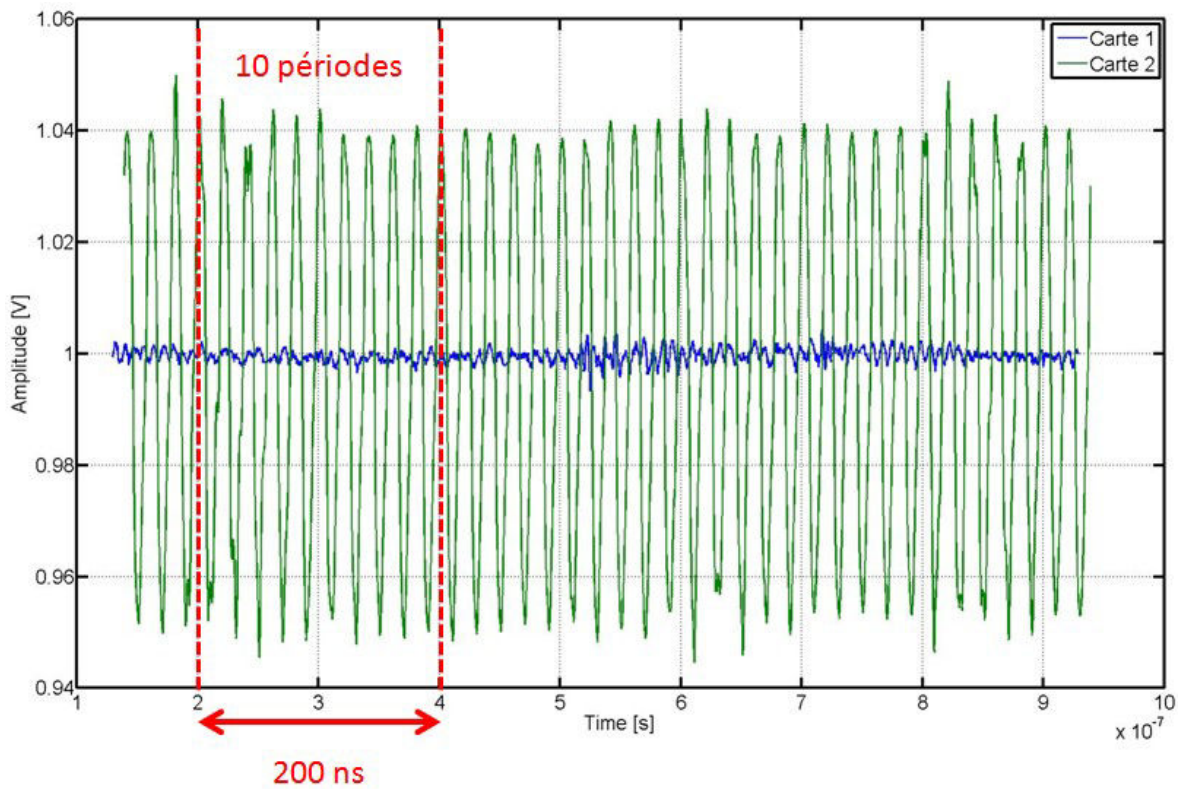


FIGURE 5.10 – Agrandissement de la mesure de tension du Spyhole des cartes 1 et 2 pour un fonctionnement dans l'état 2



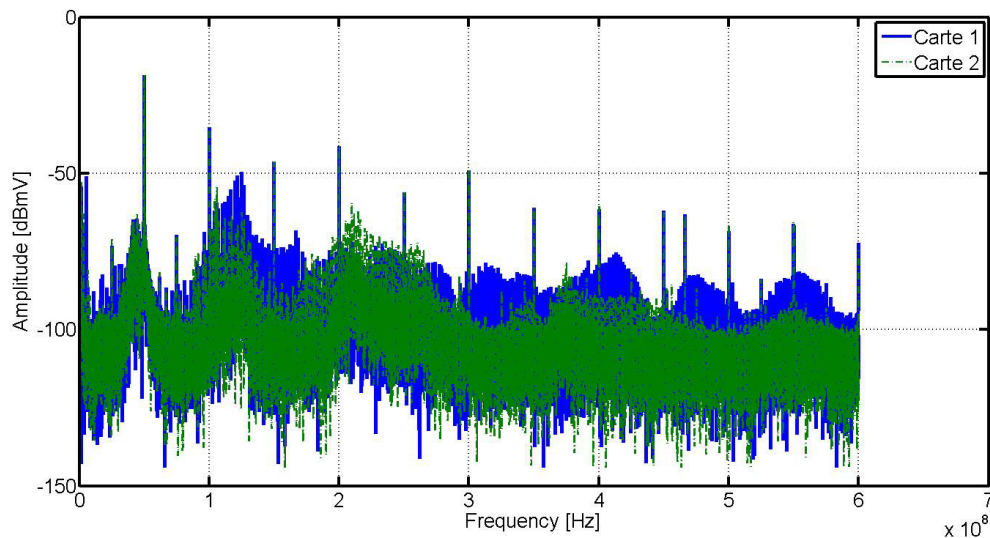


FIGURE 5.11 – Comparaison du calcul de FFT réalisé sur la tension du Spyhole des cartes 1 et 2 pour un fonctionnement dans l'état 2

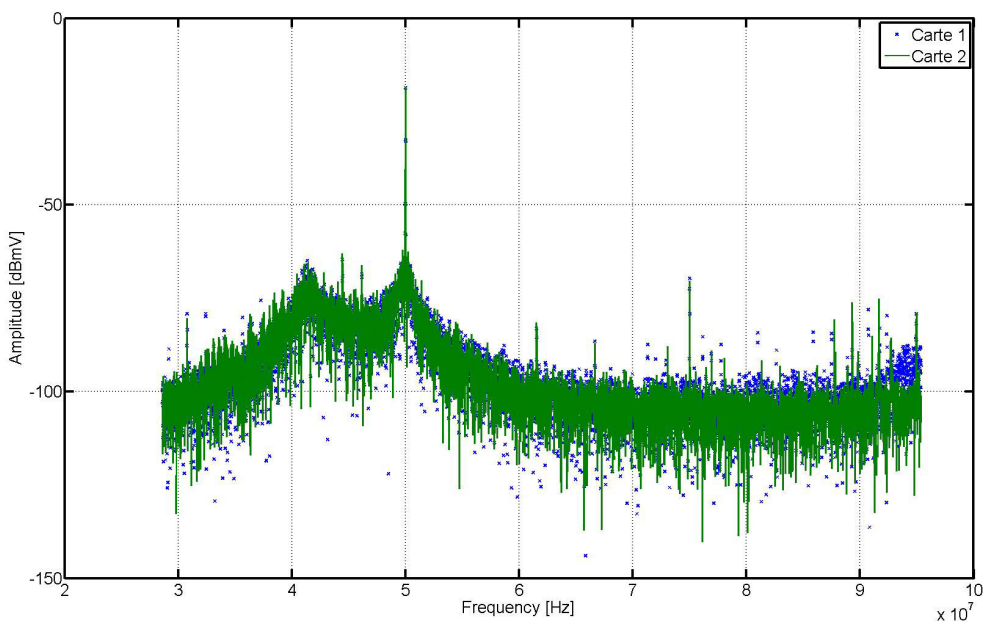


FIGURE 5.12 – Agrandissement du calcul de FFT réalisé sur la tension du Spyhole des cartes 1 et 2 pour un fonctionnement dans l'état 2 autour de la fréquence 50 MHz

dance sont comparés dans la figure 5.13. Le relevé de l'impédance des cartes 1 et 2 pour

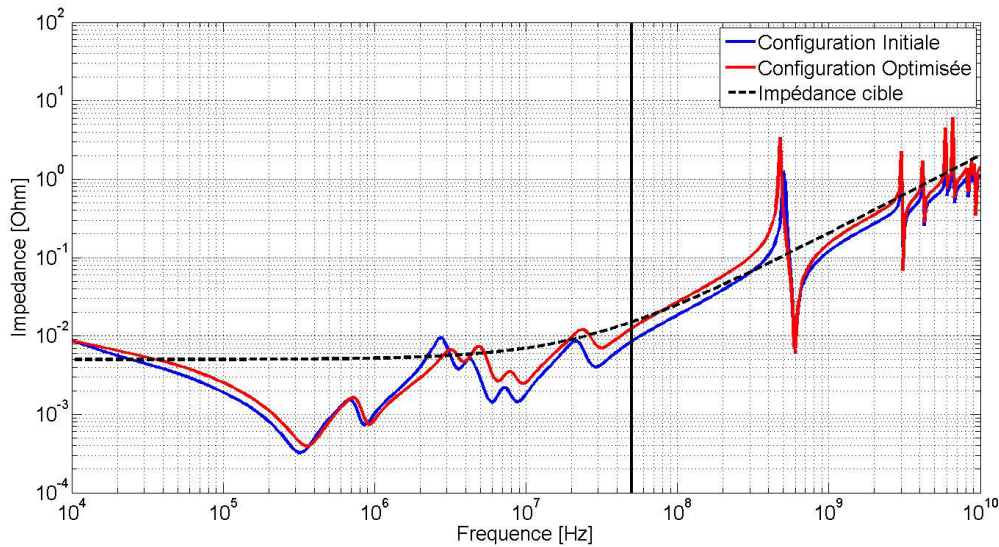


FIGURE 5.13 – Comparaison des impédances cibles des cartes 1 et 2

cette fréquence est reporté dans le tableau 5.4 L'impédance de la carte 2 est 46 % supé-

TABLEAU 5.4 – Valeur de l'impédance à la fréquence de 50 Mhz

| Carte   | Impédance ( $m\Omega$ ) |
|---------|-------------------------|
| Carte 1 | 12,7                    |
| Carte 2 | 18,6                    |

rieure à l'impédance de la carte 1 à 50 MHz. La consommation en courant des cartes 1 et 2 étant similaire pour l'état 2, l'amplitude de la fluctuation de tension devrait augmenter proportionnellement à l'impédance de la carte. Or l'augmentation de l'amplitude de la fluctuation de tension pour cette fréquence est de 136 %. La différence d'impédance relevée sur les deux courbes n'explique donc pas la différence d'amplitude. L'impédance des deux cartes est mesurée à l'aide d'un VNA pour les comparer aux impédances estimées en pré-routage et regarder plus précisément si la mesure permet d'expliquer le phénomène observé. Dans la figure 5.14, l'impédance mesurée sur les cartes 1 et 2 sont comparées.

Les valeurs relevées sur la courbe de simulation et la courbe de mesures sont données dans le tableau 5.5.

TABLEAU 5.5 – Valeur de l'impédance mesurée à la fréquence de 50 Mhz

| Carte   | Impédance ( $m\Omega$ ) |
|---------|-------------------------|
| Carte 1 | 33,4                    |
| Carte 2 | 36,1                    |

La figure 5.14 ainsi que les valeurs relevées dans le tableau 5.5 montrent que la simulation pré-routage sous-estime l'impédance du réseau de distribution d'énergie. L'impédance cible définie en pré-routage sans mesure est en effet dépassée dès la fréquence de 10 MHz. La mesure du réseau de distribution de la carte 1 donne une valeur de 33,4  $m\Omega$ . La différence d'impédance observée entre la carte 1 et la carte 2 pour la fréquence

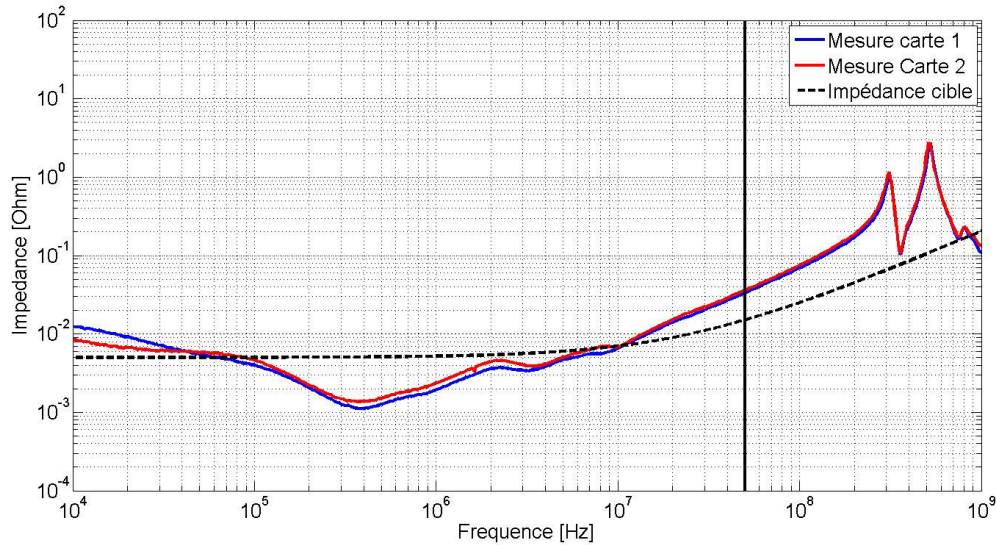


FIGURE 5.14 – Comparaison des impédances cibles simulée en pré-routage et mesurée pour la carte 2

de 50 MHz est de 8 % et n'explique donc pas pourquoi l'amplitude des oscillations observées sur la carte 2 est si importante. Il est intéressant de retirer de cette expérience que le comportement des potentiels d'alimentations ne peut pas être évalué correctement sans prendre en compte le routage de la carte d'où la nécessité de réaliser une analyse post-routage décrite au chapitre précédent. Il est également important de noter que bien que maîtrisant le profil d'impédance de la carte grâce à une analyse dans le domaine fréquentiel, des phénomènes de résonances pour certaines fréquences peuvent se produire. C'est pourquoi l'analyse fréquentielle doit être complétée par une analyse temporelle.

Les valeurs moyennes relevées sur la carte 3 sont très similaires à celles mesurées avec la configuration de la carte 1. La comparaison de la tension mesurée au niveau du Spyhole pour les cartes 1 ; 2 et 3 pour l'état 4 figure dans la figure 5.15. La tension mesurée au

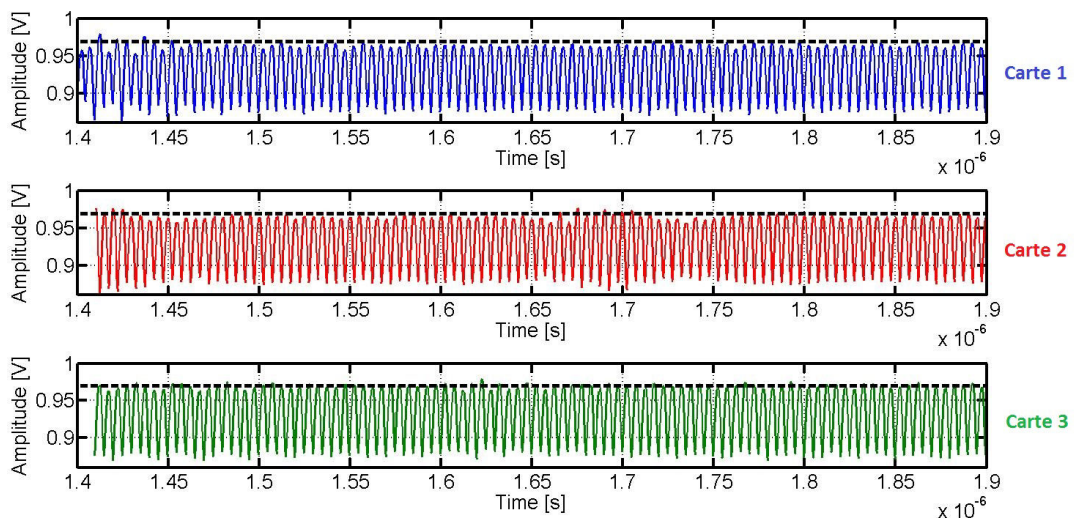


FIGURE 5.15 – Comparaison tensions mesurée au Spyhole des cartes 1 ;2 et 3 pour un fonctionnement en état 4

Spyhole de la carte 3 présente des oscillations dont la valeur minimale est proche de celles observées pour les cartes 1 et 2, sauf pour l'état 2 pour lequel cette valeur est proche de 2 fois celle de la carte 2 et 9 fois celle de la carte 1. Pour la consommation maximale de la carte, les oscillations observées pour les 3 cartes atteignent des valeurs inférieures à 880 mV, soit 4 fois inférieures à la tolérance spécifiée par le fabricant du composant. Par ailleurs, alors que la tension minimale mesurée au niveau des condensateurs de la carte 1 est proche de celle mesurée sur la carte 2, celles observées pour la carte 3 sont proches du double.

Le comportement de la tension observé au niveau du composant grâce au montage Spyhole permet de conclure que le découplage apporté au niveau de la carte, en régime de fonctionnement établi préconisé par le constructeur n'est pas suffisant puisque les tensions mesurées dépassent les tolérances du composant. Cependant, ces dépassements au niveau du composant sont très peu dépendants du découplage au niveau de la carte puisque la tension mesurée au Spyhole varie peu d'une carte à l'autre. Dans ces régimes établis, pour des fréquences au-delà de 50 MHz, seule l'énergie stockée au sein du composant semble être mobilisée.

### 5.2.3.2 Réponse à un changement de niveau d'activité

Les mesures effectuées dans la partie précédente correspondent à des régimes de fonctionnement établis du composant. Or le découplage du composant permet également de limiter les fluctuations de tension lors de changements d'activité du composant, pour lesquels les échanges d'énergie mis en jeu sont plus importants. Afin de comparer le comportement des 3 configurations pour des changements d'état impliquant un apport d'énergie supplémentaire, les scénarios de consommation établis au chapitre 4, résumés dans la figure 4.58 sont utilisés. Le scénario générant l'appel de courant le plus fort est le scénario 3. Ce scénario permet de passer d'un état de faible consommation à la consommation maximale du FPGA. Le changement d'état est réalisé grâce à l'interface graphique de contrôle du véhicule de test. Lors de ce changement, la capture de la mesure est déclenchée sur l'oscilloscope grâce au front respectivement montant et descendant du niveau de courant mesuré grâce à une sonde à effet Hall. La tension est ensuite observée au niveau de l'empreinte d'un condensateur et au sein du composant grâce au montage Spyhole. La figure 5.16 représente la tension mesurée pour un échelon de courant correspondant au scénario 3. Pour tous les cas présentés, la tension est mesurée par un oscilloscope avec un convertisseur analogique-numérique de 12 bits permettant d'avoir une très bonne résolution verticale capable de descendre à une précision de près de 1 mV même avec un offset important. Dans cette figure, l'augmentation du courant consommé est marquée par la baisse de tension moyenne tant au niveau du composant que de la carte. De même, l'augmentation de l'activité entraîne également une fluctuation de tension supérieure, ce qui avait déjà été relevé dans la partie précédente. Il est intéressant de constater dans cette figure que l'augmentation de l'activité n'est pas progressive mais bien par à coups comme le montre la présence d'un premier palier. Ce premier appel de courant provoque un pic de tension notable au niveau du composant restant toutefois à l'intérieur de la tolérance du composant. La tension maximale atteinte est de 1,02 V. Il est invisible au niveau de la carte. De même les fluctuations de tension au niveau de la carte sont inférieures à celle observées au sein du composant. La même mesure est effectuée pour la carte 2. Le résultat de la mesure est présenté en figure 5.17. Contrairement à ce que nous pourrions attendre à cause de la réduction du nombre de condensateurs au niveau de la carte, la transition provoque une surtension inférieure à celle de la carte



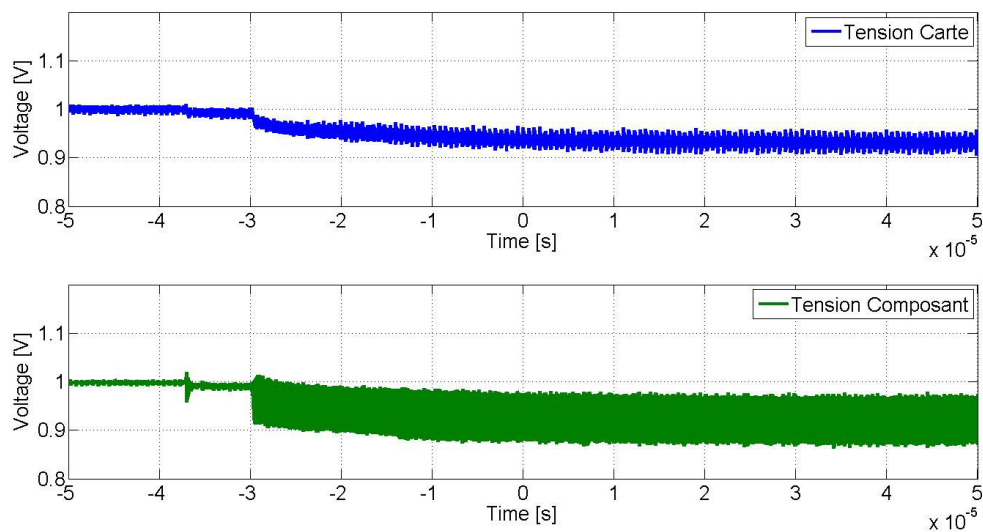


FIGURE 5.16 – Tension mesurée au niveau des condensateurs de découplage et au sein du composant pour le passage de l'état 1 à l'état 4 de la carte 1

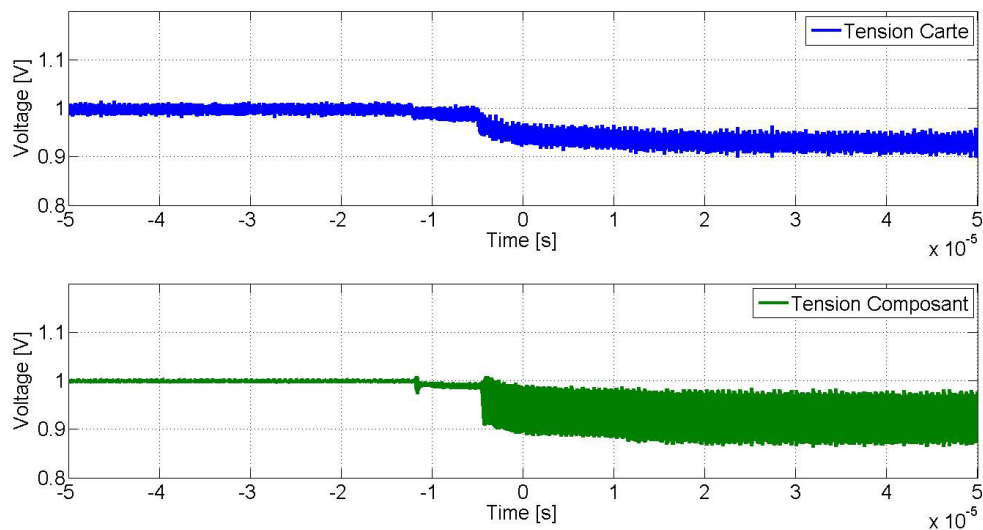


FIGURE 5.17 – Tension mesurée au niveau des condensateurs de découplage et au sein du composant pour le passage de l'état 1 à l'état 4 de la carte 2



1. Le dépassement n'atteint que 1,01 V. Le même pallier observé lors des mesures sur les cartes 1 et 2 apparaît également sur la carte 3. Pour L'état 4, le niveau de tension des deux cartes est compris entre 0,98 V et 0,87 V. Enfin la mesure est effectuée sur la carte 3, dont le résultat est affiché en figure 5.18. Pour la carte 3, le pic de tension à l'activation de

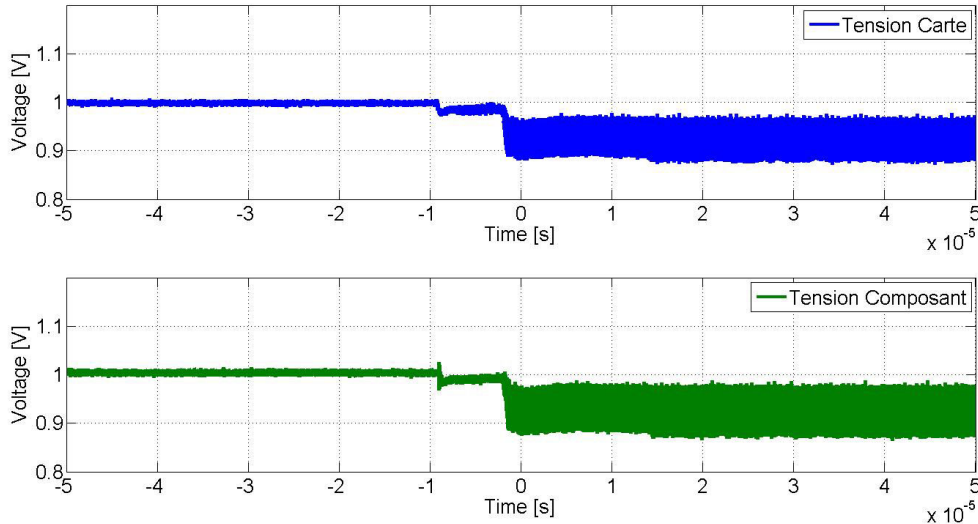


FIGURE 5.18 – Tension mesurée au niveau des condensateurs de découplage et au sein du composant pour le passage de l'état 1 à l'état 4 de la carte 3

la fonction est à nouveau très marqué. Sa valeur atteint 1,025 V. Ce pic n'est en revanche pas présent au niveau du circuit imprimé. Pour la carte 3, la tension mesurée au niveau du circuit imprimé est le reflet de la tension mesurée au sein du composant. Ces mesures permettent de conclure que le découplage de la carte 2 et surtout de la carte 1 est effectivement surdimensionné puisque le comportement de la carte 3 permet d'obtenir des niveaux de tension dans les limites de tolérance du composant durant la transition réalisée. Le pic de tension observé dans chacune des figures provient d'une oscillation provoquée par une chute de tension brutale lors d'un changement d'intensité comme le montre l'agrandissement de la courbe de la carte 1 dans la figure 5.19. La mesure de cette oscillation est réalisée comme dans les cas précédents en connectant un câble SMA directement sur le connecteur du montage Spyhole relié à l'oscilloscope 12 bits, comme présenté dans la figure 5.7. Ce détail permet également de voir qu'au niveau de la carte, la tension baisse légèrement, témoignant de l'effet des condensateurs de découplage fournissant leurs charges pour compenser cet appel de courant.

Les mesures sont maintenant réalisées pour un passage de l'état 4 à l'état 1. Une diminution brusque de la consommation en courant devrait provoquer une surtension qui pourrait endommager le composant. La mesure réalisée au niveau de l'empreinte du condensateur et en interne du composant est présentée dans la figure 5.20. La figure 5.20 montre que lors du changement d'intensité, un pic de tension apparaît au sein du composant. Ce pic observé au sein du composant amène des interrogations concernant l'efficacité du découplage en interne du composant. En revanche, il n'est pas observé au niveau de la carte. Ce résultat montre que le découplage au niveau de la carte est suffisant puisque aucun dépassement n'est observé et donc que le changement d'activité semble suffisamment amorti. Par ailleurs, le pic de tension présente un front extrêmement raide dont la décomposition spectrale se situe sur une plage de valeur élevée. L'inductance parasite de la connexion du composant au plan joue le rôle de filtre passe haut en présentant

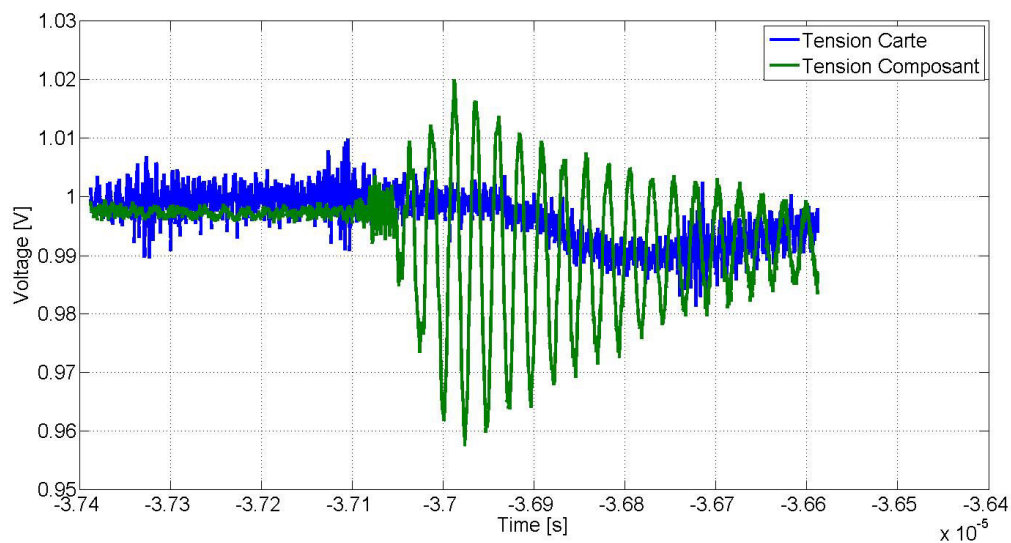


FIGURE 5.19 – Agrandissement de la tension mesurée au sein du composant pour le passage de l'état 1 à l'état 4 de la carte 1

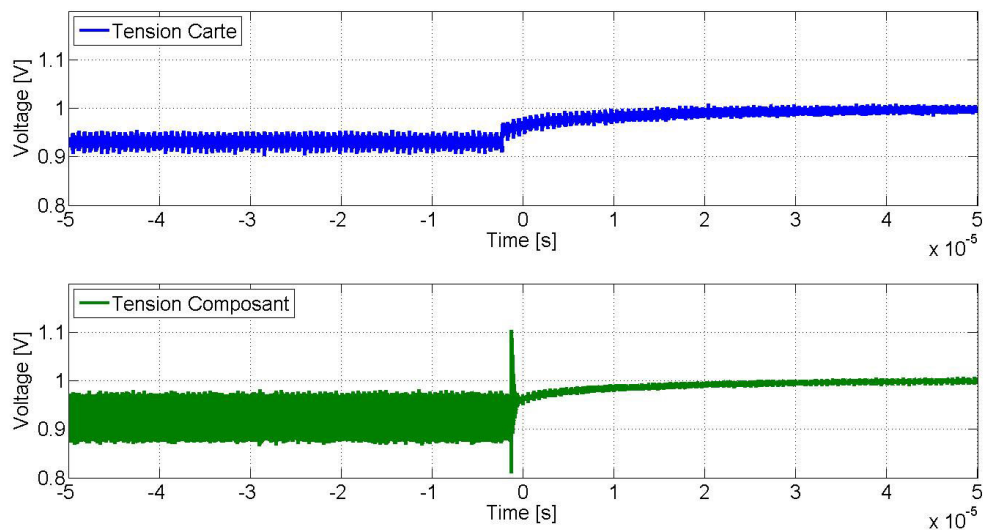


FIGURE 5.20 – Tension mesurée au niveau des condensateurs de découplage et au sein du composant pour le passage de l'état 4 à l'état 1 de la carte 1

une impédance élevée pour les hautes fréquences, ce qui permet à ces perturbations de ne pas, ou dans un moindre mesure se propager au niveau du circuit imprimé. La valeur du pic observé dépasse les 1,104 V.

La mesure de la carte 2 est présentée dans la figure 5.21. Le pic de tension observé sur

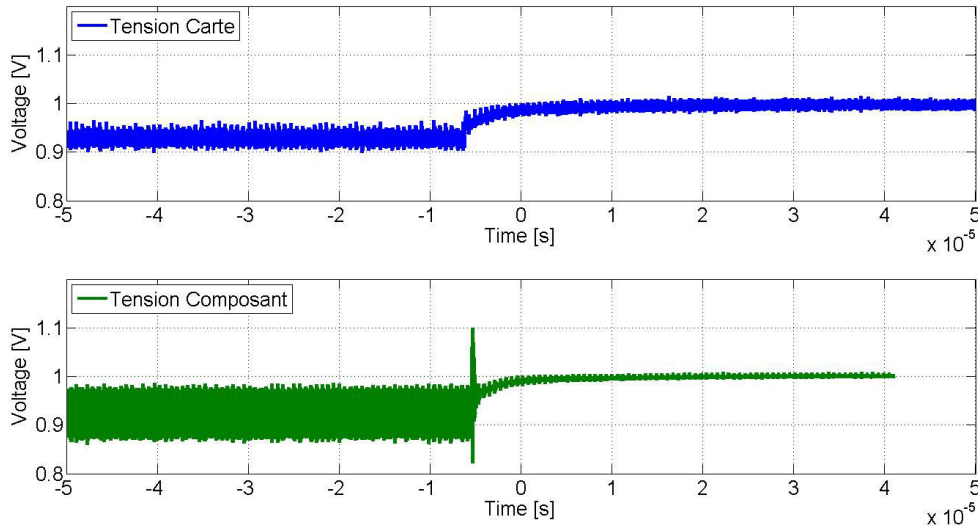


FIGURE 5.21 – Tension mesurée au niveau des condensateurs de découplage et au sein du composant pour le passage de l'état 4 à l'état 1 de la carte 2

la carte 1 est également observé sur la carte 2. La valeur de ce pic est de 1,1 V. La courbe relevée sur la carte 2 montre un rétablissement du niveau de tension plus rapide que dans le cas de la carte 1. En effet, la tension au niveau de la carte 1 atteint la valeur de 1,0 V après 20  $\mu$ s alors que cette valeur est atteinte en moins de 10  $\mu$ s. Le découplage au niveau de la carte 1 est tellement important qu'il réduit la dynamique de réponse de la carte. La comparaison des deux cartes montre bien d'une part que la première carte comporte un découplage surdimensionné mais d'autre part qu'un découplage trop important peut nuire au fonctionnement du composant en ralentissant la dynamique du circuit d'alimentation. Les mesures sont effectuées sur la carte 3. Le résultat de ces mesures est présenté en figure 5.22. Le changement d'activité dans le cas de la carte 3 provoque un dépassement de tension tant au niveau du composant qu'au niveau de la tension de la carte. Le dépassement de tension dans le composant atteint 1,14 V soit 3,6 % de plus que dans le cas de la carte 1 et 2. La tension au niveau de la carte atteint 1,03 V, la limite supérieure recommandée par le constructeur du composant au niveau du circuit imprimé. Le découplage réduit de la carte 3 permet d'atteindre le régime stable le plus rapidement mais présente une oscillation qui bien que comprise dans la tolérance admise par le composant risque de la dépasser si le changement est encore plus brutal.

Les valeurs des pics de tension observés pour les 6 scénarios réalisés sont regroupées dans le tableau 5.6

Ces observations ont permis de constater que le découplage de la carte 1, apporte certes de la stabilité au potentiel d'alimentation mais augmente le temps de rétablissement du niveau de tension. Il occupe en outre beaucoup d'espace en surface du circuit imprimé alors que la proportion de réduction de bruit par rapport au nombre de composants utilisés n'est pas vraiment optimisée. La seconde stratégie de découplage semble être le meilleur compromis entre le nombre de condensateurs nécessaire et la stabilité

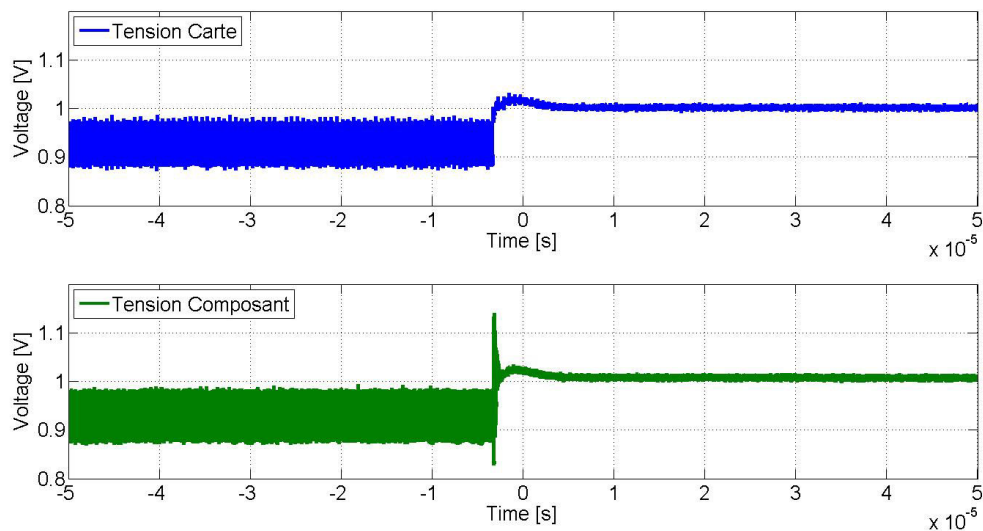


FIGURE 5.22 – Tension mesurée au niveau des condensateurs de découplage et au sein du composant pour le passage de l'état 4 à l'état 1 de la carte 3

TABLEAU 5.6 – Valeur des pics de tension mesurés pour chacune des cartes

| Carte   | Scénario | Tension (V) |
|---------|----------|-------------|
| Carte 1 | E1 → E4  | 1,02        |
|         | E4 → E1  | 1,104       |
| Carte 2 | E1 → E4  | 1,01        |
|         | E4 → E1  | 1,1         |
| Carte 3 | E1 → E4  | 1,025       |
|         | E4 → E1  | 1,14        |

du potentiel d'alimentation tant en régime établi qu'en régime transitoire. Enfin la stratégie préconisée par le fabricant est vraiment conçue au plus juste puisque les pics de tension observés au niveau du composant peuvent en théorie accélérer le vieillissement de celui-ci et que les limites de tolérance du composant sont atteintes dans les cas de fonctionnement présentés.

#### 5.2.4 Impact du découplage sur les performances de la carte

L'impact des différentes stratégies de découplage sur le comportement du circuit de distribution d'énergie a été observé et quantifié dans la partie précédente. L'objectif du circuit de distribution d'énergie est d'apporter l'énergie nécessaire au bon fonctionnement du composant. Le fonctionnement du composant s'évalue par l'analyse de signaux de sortie issus de calculs générés par le composant. Dans le cas du véhicule de test, deux fonctions permettent d'évaluer le fonctionnement du composant.

- Le composant génère un signal **PRBS** sur une paire différentielle grâce à l'un de ses blocs permettant la mise en place d'un lien série rapide. Le dysfonctionnement ou la dégradation du comportement du circuit d'alimentation peut avoir un impact sur la taille de l'ouverture de l'œil dans le diagramme de l'œil du signal.
- Un second **PRBS** est généré en interne du composant et ce signal est écrit dans la mémoire **DDR3**. Une fonction de relecture connaissant en avance le mot écrit en mémoire permet de faire une comparaison et donc de détecter une erreur d'écriture du composant.

##### 5.2.4.1 Impact sur le diagramme de l'œil

Le diagramme de l'œil d'un lien série rapide est étudié sur chacune des cartes pour différents niveaux d'activité correspondant aux états précédemment définis. Les éléments permettant de qualifier et de comparer un diagramme de l'œil sont :

- L'ouverture verticale
- L'ouverture horizontale
- La quantité de gigue

La figure 5.23 illustre chacun des paramètres évoqués sur un exemple de diagramme de l'œil. Le lien série rapide est constitué d'un signal différentiel. Deux pistes couplées constituent donc le canal de communication de ce lien. La largeur de ces pistes est dimensionnée pour présenter une impédance caractéristique de  $100 \Omega$  différentielle et  $50 \Omega$  en single-ended. Enfin ces pistes aboutissent sur des connecteurs **SMA** d'impédance  $50 \Omega$  qui permettent d'avoir le moins de pertes possibles par désadaptation d'impédance. Le lien mis en place fonctionne à une fréquence de 2 Gbit/s, le signal le parcourant est un **PRBS** de 16 bits généré par le **FPGA**. L'amplitude de tension est de 1,2 V, aucun coefficient de pré-emphase ou dé-emphase n'est utilisé. La mesure est réalisée grâce à un oscilloscope Agilent DSA90804A dont la bande passante est de 8 GHz qui intègre la fonction d'affichage du diagramme de l'œil ainsi que les mesures d'ouverture de l'œil et de gigue. Des câbles **SMA** relient l'appareil de mesure aux connecteurs de sortie du signal. La mesure est ensuite réalisée en différentielle entre la voie 1 et la voie 3 de l'oscilloscope. La figure 5.24 présente la manipulation mise en place pour la mesure du signal issu du lien série rapide. La figure 5.25 présente le diagramme de l'œil mesuré sur la carte 1 pour le fonctionnement à l'état 1. La mesure est réitérée pour chacune des 3 cartes pour



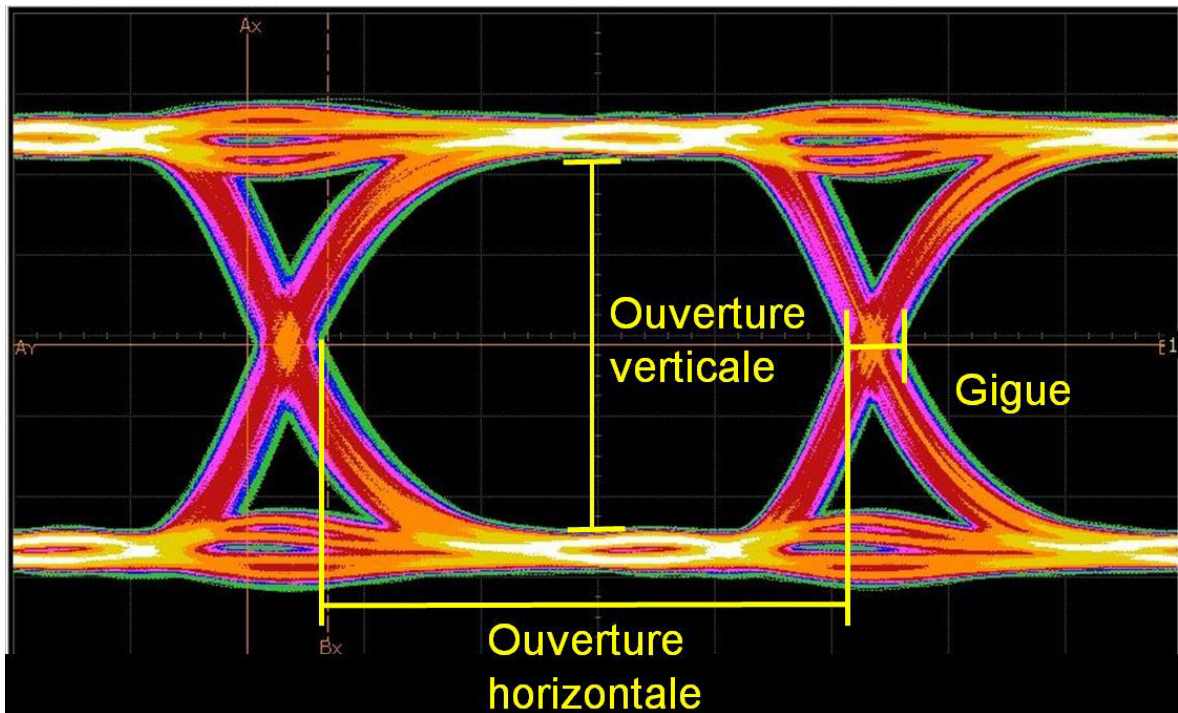


FIGURE 5.23 – Paramètres quantifiant la qualité d'un diagramme de l'œil

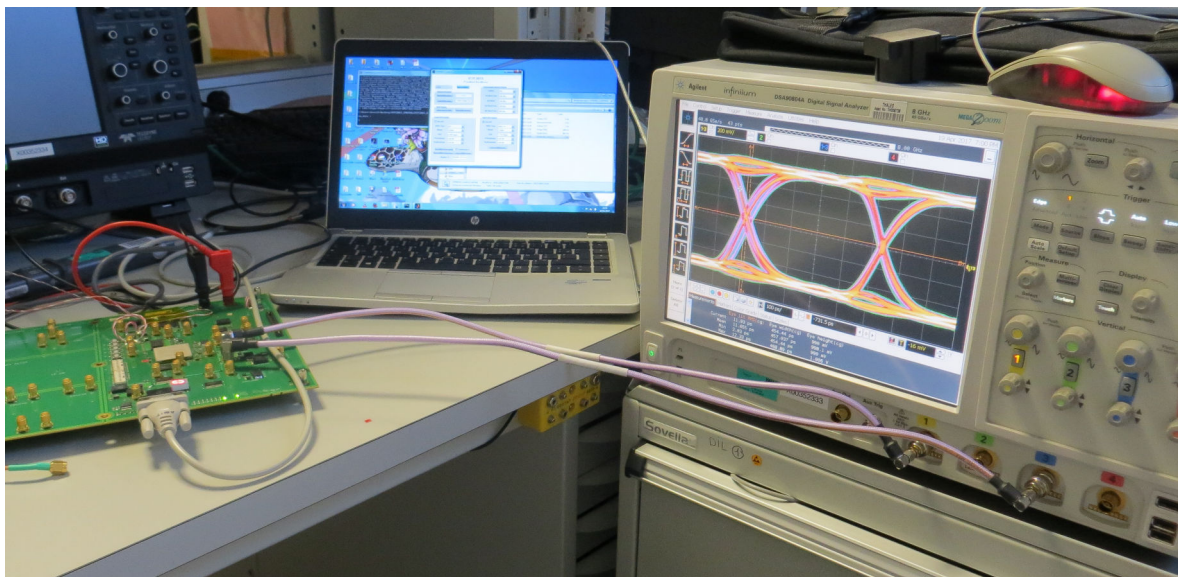


FIGURE 5.24 – Photographie de la manipulation de mesure du diagramme de l'œil

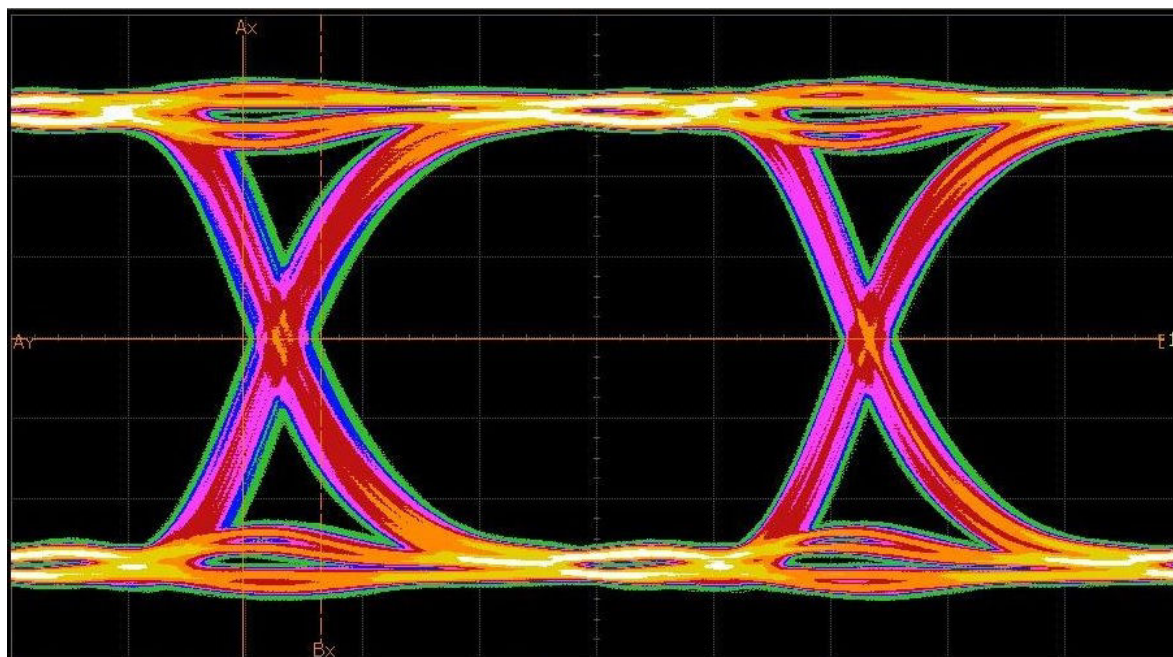


FIGURE 5.25 – Mesure du diagramme de l'œil de la carte 1 à l'état 1

TABLEAU 5.7 – Résultat de mesure de diagramme de l'œil pour les trois cartes à l'état 1 et à l'état 4

| Carte   | Etat   | Hauteur moyenne (mV) | Hauteur minimum (mV) | Largeur moyenne (ps) | Largeur minimum (ps) | Gigue crête à crête moyenne (ps) | Gigue c-à-c maximale (ps) |
|---------|--------|----------------------|----------------------|----------------------|----------------------|----------------------------------|---------------------------|
| Carte 1 | Etat 1 | 958                  | 952                  | 446                  | 446                  | 68,6                             | 69,0                      |
|         | Etat 4 | 918                  | 903                  | 444                  | 443                  | 69,6                             | 70,1                      |
| Carte 2 | Etat 1 | 1005                 | 997                  | 446                  | 446                  | 67,0                             | 68,5                      |
|         | Etat 4 | 955                  | 932,0                | 447                  | 443                  | 69,0                             | 69,6                      |
| Carte 3 | Etat 1 | 1023                 | 1023                 | 451                  | 449                  | 66,5                             | 67,1                      |
|         | Etat 4 | 983                  | 968                  | 450,4                | 447                  | 66,2                             | 67,4                      |



l'état 1 pour laquelle l'activité est minimale et pour l'état 4, pour une activité maximale du composant. Les différents résultats de mesure sont compilés dans le tableau 5.7.

La carte 1 présente l'œil le plus fermé des trois cartes. En effet, la valeur moyenne de hauteur et largeur d'œil est plus faible et la largeur de la gigue mesurée est la plus importante. En revanche c'est la carte la plus stable puisque l'écart entre les valeurs moyennes et les valeurs respectivement minimum pour l'ouverture de l'œil et maximum pour la gigue ne varient que très peu pour la carte 1. Pour comprendre l'effet de fermeture de l'œil les diagrammes des cartes 1 et 3 sont comparés en les plaçant côte à côte dans la figure 5.26. Comme le montre la figure 5.26 l'ouverture de l'œil de la carte 3 est plus grand

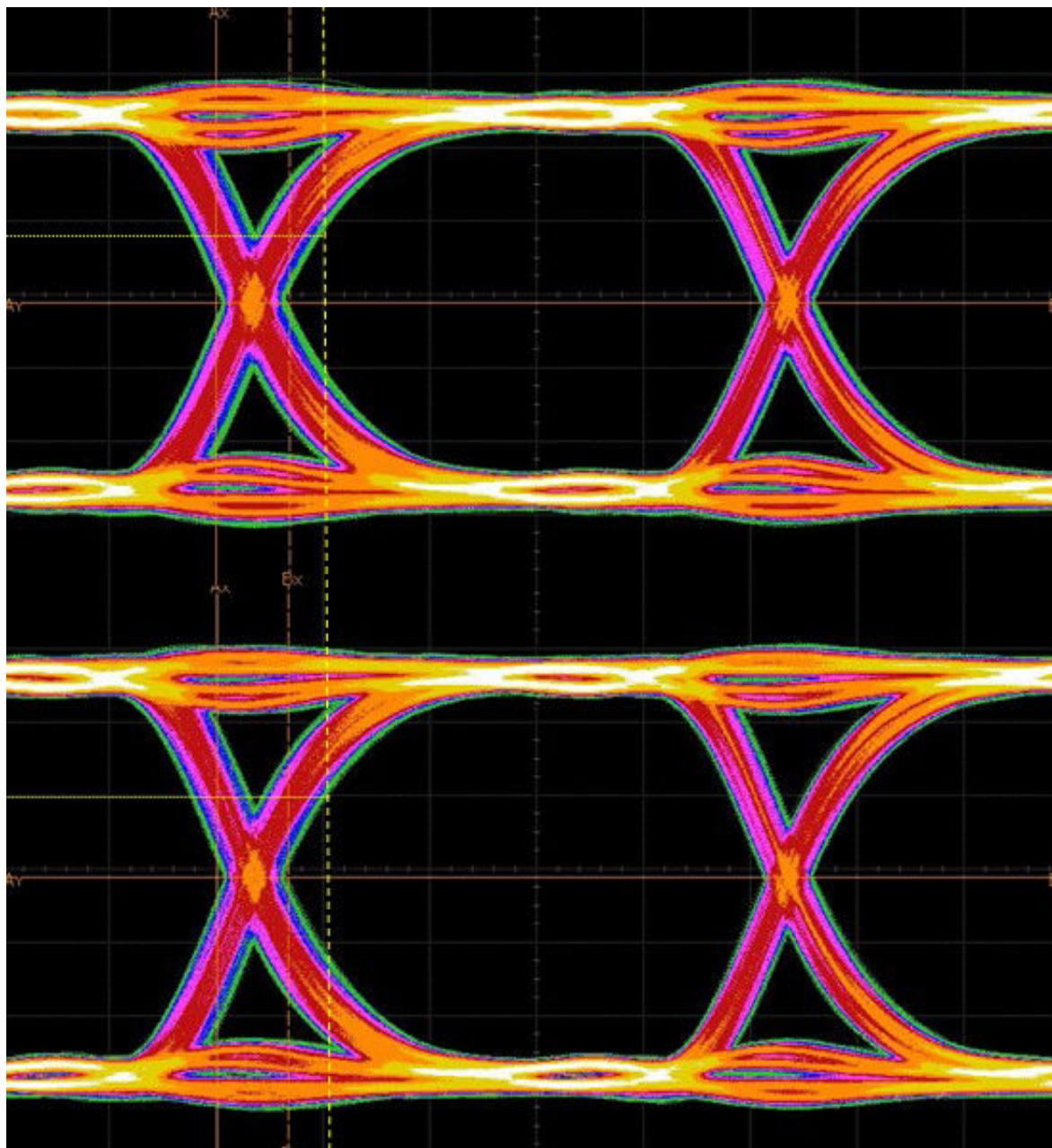


FIGURE 5.26 – Comparaison du digramme de l'œil des cartes 1 et 3

car les fronts d'établissement du niveau de tension sont plus raides. La raideur des fronts de commutation est limitée soit par des effets capacitifs du canal de transmission, soit par les variations de tension d'alimentation du composant générant le signal ne permettant pas une transition suffisamment rapide. Ce phénomène est évoqué dans [LEE et collab.](#)

[2017]. La seule différence entre la carte 1 et la carte 3 est le nombre de condensateurs rattachés au potentiel 1 V du FPGA. La fonction du lien série rapide est alimenté par un potentiel 1,2 V, un potentiel 1,8 V, un potentiel de 1,0 V faible bruit généré par un régulateur linéaire et enfin un potentiel de 1,0 V provenant du même potentiel que le potentiel de 1,0 V du cœur du FPGA filtré par une ferrite. Ce potentiel est donc directement relié au potentiel pour lequel le découplage est différent entre les deux cartes. Il a été observé par ailleurs que pour un changement d'intensité important, le potentiel d'alimentation de la carte 1 nécessite un temps d'établissement supérieur à la carte 3. La différence de capacité du potentiel 1,0 V pourrait donc être à l'origine des fronts de commutation plus écrasés de la carte 1. De la même manière les fronts plus raides permettent également d'augmenter la largeur de l'œil.

L'activité du composant impacte peu la qualité de la transmission du lien puisque l'état 4 provoque une fermeture de la hauteur de l'œil de 4,28 % pour la carte 1, 5,23 % pour la carte 2 et 4,12 % pour la carte 3. D'après les observations réalisées sur la carte, le sur-dimensionnement du découplage de la carte nuit à la performance du lien série rapide car la raideur des fronts de commutation du lien série rapide est limitée. Il est cependant difficile d'estimer exactement quel phénomène limite la raideur de ces fronts.

#### 5.2.4.2 Impact sur la lecture/écriture d'une série pseudo-aléatoire de bits sur DDR3

Le programme du FPGA est doté d'une fonction générant un PRBS présenté en entrée du bloc de propriété intellectuelle contrôlant le composant de mémoire DDR3. A la commande d'écriture de l'interface de contrôle du véhicule de test, ce bloc écrit donc ce PRBS sur le composant de mémoire. La pression sur le bouton de commande de lecture, permet alors au composant de lire l'information écrite dans le composant de mémoire et de la comparer au mot originellement écrit. Le fonctionnement de cette expérience est donné sous forme de diagramme dans la figure 5.27

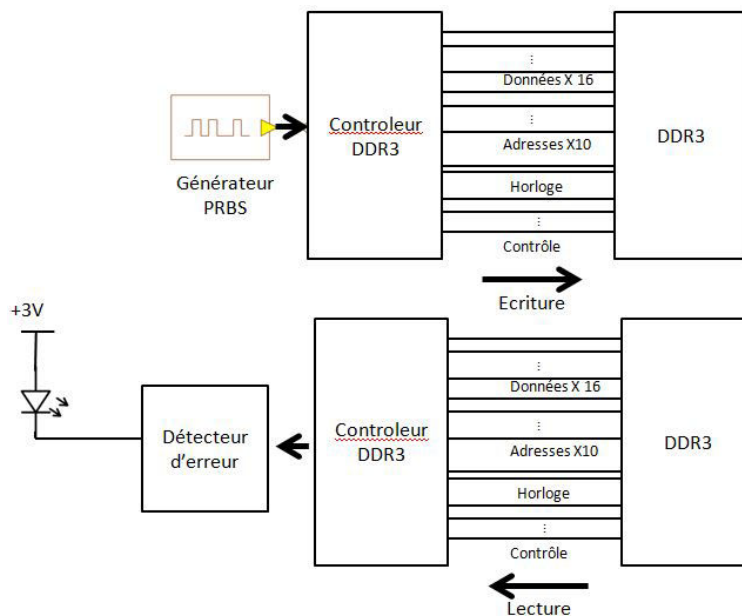


FIGURE 5.27 – Diagramme fonctionnel du test de l'interface DDR3

La fonction est validée en réalisant un scénario simple. La carte est réinitialisée. L'ordre de lecture est lancé. Le mot lu étant différent de celui normalement écrit en mémoire, la

LED indiquant une erreur s'allume. L'ordre d'écriture est alors lancé. Une relecture de ce mot éteint la LED puisque aucune différence n'est constatée entre le mot écrit et le mot enregistré dans la fonction. Pour chacune des cartes, le test de validité de la fonction est lancé. La fonction d'écriture et de relecture est lancée pour le niveau d'activité minimum des cartes correspondant à l'état 1. La même manipulation est réalisée pendant que la carte fonctionne à l'état 4. Enfin l'écriture est lancée pendant que la carte fonctionne à l'état 4 et la lecture lorsque la carte repasse dans l'état 1. Pour chacune des manipulations réalisées, aucune erreur n'a été détectée entre les phases d'écriture et les phases de relecture attestant donc qu'aucune erreur logique n'apparaît au sein du FPGA quel que soit le mode de fonctionnement de la carte. Le test réalisé n'est donc pas suffisamment sensible ou la stratégie de découplage préconisée par le constructeur est en effet suffisante pour le bon fonctionnement du composant quel que soit le niveau d'activité de celui-ci.

### 5.2.4.3 Impact d'une perturbation du potentiel d'alimentation d'une fonction de transmission

La différence de découplage du potentiel d'alimentation du cœur du FPGA n'a pas d'impact très significatif sur les performances du lien série rapide. Mais par ailleurs, ce potentiel n'est pas non plus directement lié aux différents potentiels d'alimentation de la partie *SERializer-DESerializer, dispositif de sérialisation-deserialisation en français (SERDES)* du FPGA, c'est pourquoi il est difficile d'en tirer des conclusions. Dans le but d'étudier l'impact de la variation de tension sur une fonction de transmission de signal, un scénario de mesure autour de la fonction d'un lien série rapide du composant est mis en place. Le potentiel 1,2 V du véhicule de test dispose d'un montage de perturbation de la boucle de rétroaction du composant d'alimentation comme celui présenté dans la figure 2.8. Ce potentiel est par ailleurs indispensable au fonctionnement du lien série rapide puisque une interruption de la génération de ce potentiel éteint la fonction de génération du signal.

Dans le cadre du scénario de mesure, le diagramme de l'œil du lien série rapide est mesuré dans un premier temps comme dans la partie précédente pour la carte 1 dans l'état 1 et les caractéristiques de l'œil sont enregistrées. Un signal créneau de 50 kHz et d'amplitude de 5 V crête à crête centré sur 0 V est appliqué au connecteur relié à la boucle de rétroaction du composant d'alimentation générant le potentiel 1,2V. L'application de ce signal créneau dans la boucle de rétroaction du composant perturbe alors le fonctionnement du module régulateur de tension qui suit les variations de son signal de rétroaction en augmentant ou respectivement diminuant le rapport cyclique de l'allumage du transistor. Puisque aucun courant supplémentaire n'est absorbé, l'augmentation du rapport cyclique se traduit donc par une augmentation de la tension générée, et inversement pour sa diminution. Les tensions mesurées en sortie du composant dans le cas de fonctionnement classique et dans le cas où le signal de perturbation est appliqué sont comparées dans la figure 5.28. La figure montre que l'application du signal dans la boucle de rétroaction du composant augmente d'une part la tension moyenne du circuit de distribution. D'autre part, pour les demi-périodes pour lesquelles le signal est positif, la tension du réseau de distribution d'énergie augmente. Enfin durant une demi-période négative, la tension diminue. La mesure du diagramme de l'œil est répétée tandis que le signal de perturbation est appliqué, faisant varier le niveau de tension du potentiel au cours de la mesure. Les deux diagrammes de l'œil obtenus avec et sans les perturbations sont comparés dans la figure 5.29. La figure 5.29 montre que le diagramme de l'œil obtenu avec un potentiel d'alimentation perturbé ne présente pas de fortes dégradations ni en termes de



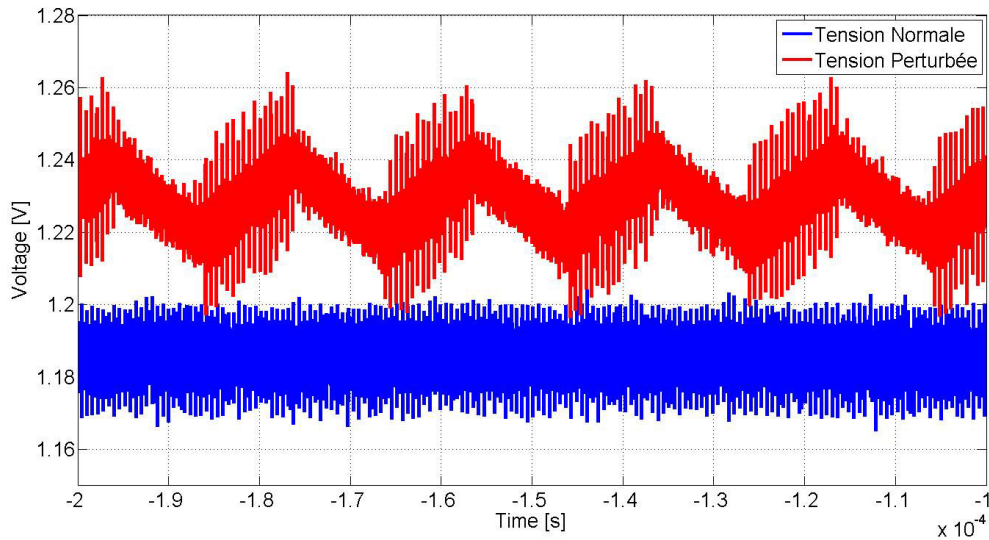


FIGURE 5.28 – Comparaison de la tension de sortie du module régulateur de tension sans perturbation et en présence de perturbation

fermeture de l'œil ni en termes d'introduction de gigue significative. Les caractéristiques mesurées sur chacun de ces diagrammes sont présentées dans le tableau 5.8. La com-

TABEAU 5.8 – Caractéristiques du diagramme de l'œil du lien série rapide avec et sans perturbation du potentiel d'alimentation

| Potentiel    | Hauteur moyenne (mV) | Hauteur minimum (mV) | Largeur moyenne (ps) | Largeur minimum (ps) | Gigue moyenne (ps) | Gigue moyenne maximale (ps) | Déviati on Standard (ps) |
|--------------|----------------------|----------------------|----------------------|----------------------|--------------------|-----------------------------|--------------------------|
| Non perturbé | 924,3                | 916,0                | 397,9                | 387,8                | 15,7               | 17,1                        | 0,258                    |
| Perturbé     | 970,8                | 968,0                | 407,3                | 256,7                | 12,7               | 13,42                       | 2,1                      |

paraison des caractéristiques présentées dans le tableau 5.8 montre que la perturbation du potentiel d'alimentation a un impact direct sur les performances du lien de communication. La perturbation du potentiel d'alimentation provoque une augmentation de la valeur moyenne de la tension 1,2 V. La valeur moyenne de la tension en fonctionnement normal est de 1,187 V tandis que cette valeur atteint 1,229 V en présence de perturbation. Cette augmentation se traduit par une hauteur d'œil supérieure de 5 % dans le cas perturbé par rapport au fonctionnement sans perturbation. De même l'augmentation de cette valeur permet également d'obtenir un œil sensiblement plus large puisque la valeur moyenne de la largeur de l'œil est de 2,36% supérieure. En revanche, le changement du niveau de tension provoque l'apparition de gigue importante. Alors que les valeurs de gigue moyenne sont relativement similaires, l'instabilité du potentiel d'alimentation apporte des variations importantes. D'une part, nous observons que dans le cas perturbé la largeur d'œil minimale tombe à 256,7 ps ce qui représente une fermeture de 37%. Pour cette œil, nous considérons être en présence de l'apparition d'une erreur logique. De même, si nous observons la déviation standard de la gigue, dans le cas perturbé, elle est 8 fois

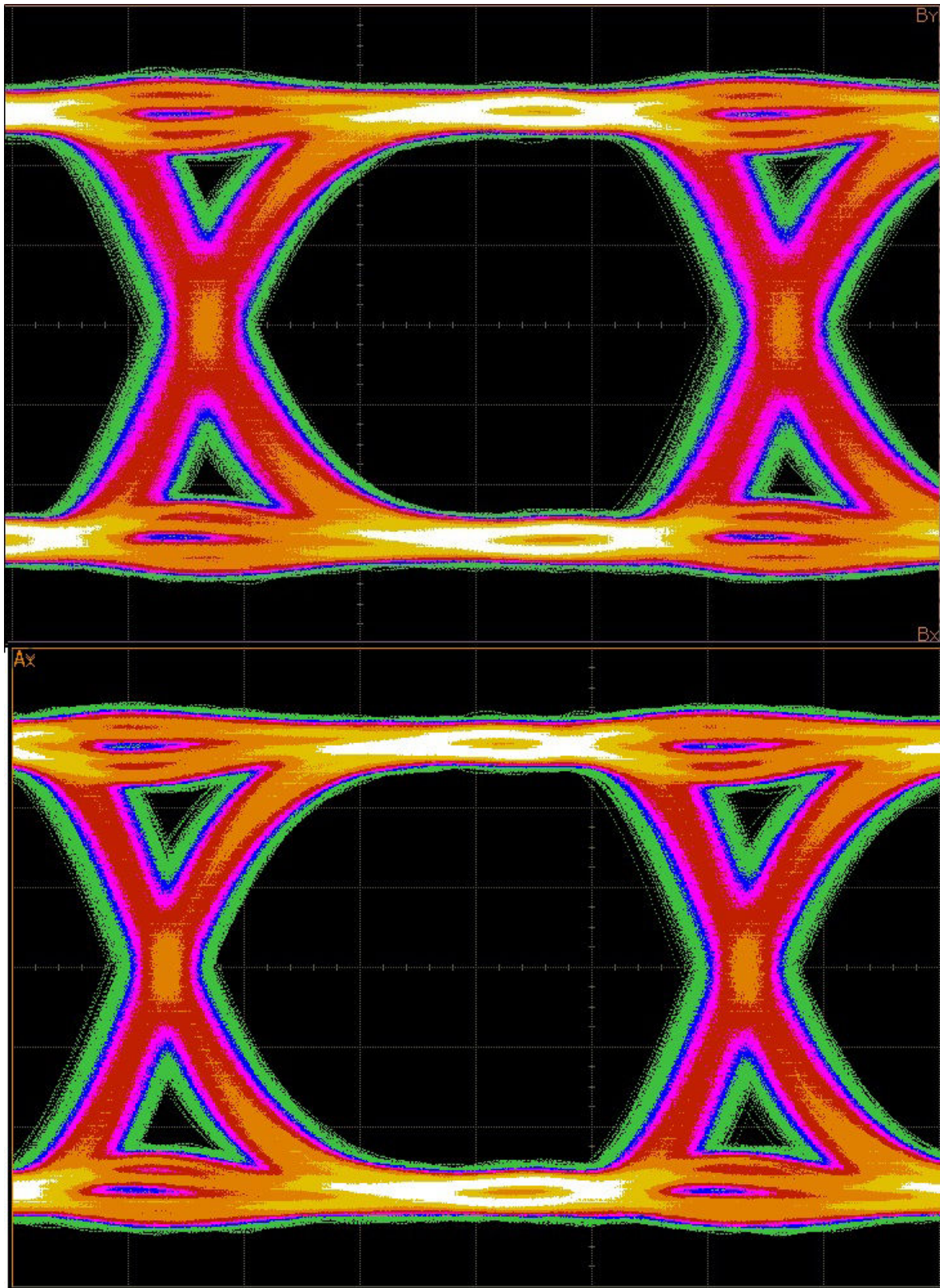


FIGURE 5.29 – Comparaison du diagramme de l’œil pour le potentiel non perturbé (en haut) et un potentiel perturbé (en bas)

supérieure que dans le cas pour lequel la tension n'est pas perturbée.

Il est difficile d'après les résultats de mesure d'estimer les valeurs de l'ouverture d'œil ou de gigue pour lesquelles apparaissent des erreurs logiques dans le lien série rapide. Afin de quantifier le nombre d'erreurs introduit par la perturbation du potentiel d'alimentation, un montage spécifique présenté au chapitre 2 est utilisé. Une paire différentielle est alimentée par l'un des sérialiseurs du **FPGA** tandis que l'autre extrémité de cette paire différentielle est connectée au désérialiseur du même bloc du **FPGA**. L'émetteur envoie un **PRBS** continu dans le canal et un code détecteur d'erreur permet de compter le nombre d'erreurs apparaissant sur le canal et d'afficher ce nombre d'erreurs sur un afficheur 7-segments. Le lien a été testé pour un débit de 8 Gbit pas seconde et la perturbation maximale du potentiel 1,2 V atteignable par le montage de perturbation de la boucle de rétroaction, mais aucune erreur n'a été détectée. C'est en jouant avec les paramètres d'égalisation et de pré-emphase qu'il est possible d'introduire des erreurs dans la transmission de la séquence. La déformation de l'œil introduites par la perturbation d'alimentation est compensée par les algorithmes d'égalisation au niveau du récepteur. L'algorithme de récupération est bien plus robuste que les perturbations qu'il est possible d'introduire via les montages imaginés sur le véhicule de test.

Le comportement du réseau de distribution d'énergie impacte donc directement les performances de la fonction de transmission du signal. Dans ce cas, la perturbation est introduite volontairement. Cependant, dans un cas accidentel, un phénomène de couplage du signal de la boucle de rétroaction pourrait conduire à l'apparition du même phénomène. La présence d'une fréquence d'anti-résonance dans le comportement du réseau de distribution d'énergie pourrait également provoquer une variation du niveau de tension et induire donc un fort phénomène de gigue sur le lien de communication. Cependant, il faudrait atteindre la limite de validité du lien afin que ces phénomènes introduisent réellement des erreurs de transmission, ce qui n'est pas le cas sur le véhicule de test.

### 5.2.5 Conclusion partielle

L'estimation de l'impédance cible faite sur le véhicule de test a conduit au sur-dimensionnement du découplage du potentiel du cœur de l'alimentation du composant. Une première optimisation revue d'après les résultats de mesures a permis de réduire le nombre de condensateurs utilisés de près de la moitié. Enfin, une troisième carte suit les recommandations du constructeur. Les mesures réalisées sur chacune des cartes ont permis d'observer le comportement du réseau de distribution d'énergie et de valider que le comportement est bien conforme aux spécifications attendues pour le bon fonctionnement du composant au niveau de la carte. En revanche, des dépassements sont observés en interne du composant. Ensuite, l'impact des différentes stratégies de découplage sur des fonctions du véhicule de test est observé et quantifié. Contrairement aux a priori, le sur-dimensionnement du découplage de l'alimentation n'implique pas seulement une occupation de surface superflue mais pénalise les performances du lien série rapide. L'autre test effectué ne se révèle pas être suffisamment sensible pour mettre en lumière l'impact de la réduction du nombre de condensateurs. Il est en tout cas évident que la perturbation de la tension de cœur d'alimentation n'impacte que très peu le fonctionnement des autres interfaces. Enfin, les travaux réalisés autour du réseau de distribution d'énergie d'un lien série rapide du **FPGA** mettent en lumière l'impact du comportement du réseau de distribution d'énergie sur les performances du lien de communication. Les différentes interfaces utilisées aujourd'hui sont suffisamment sensibles pour être tribu-



taires d'un défaut du circuit de distribution d'énergie. Il est donc indispensable à présent d'inclure le comportement de ce dernier dans les simulations de transmission de signaux rapides.

### 5.3 Inclusion du comportement des circuits d'alimentation dans les simulations de transmission de signal

Comme il a été constaté dans l'observation des performances du véhicule de test en fonction des différentes stratégies de découplage adoptées, le comportement du circuit de distribution d'énergie influe sur la qualité de la transmission des signaux au sein des cartes. Lorsqu'un transistor de l'étage de sortie d'un composant de transmission de signal commute, un appel de courant est créé car il faut respectivement charger ou décharger la capacité parasite de charge de l'élément suivant. C'est le circuit de distribution d'énergie du composant qui fournit ce courant. Par conséquent, le comportement de ce dernier entre en jeu puisqu'il réagit à l'appel de courant. Le comportement du circuit de distribution d'énergie est particulièrement impactant lorsqu'un ensemble de transistors commutent en même temps ou à intervalles de temps très proches formant un phénomène de bruit de commutations simultanées. Ce phénomène apparaît sur toutes les interfaces parallèles de communication.

Les modèles **IBIS**, développés depuis le milieu des années 90, **ibi** [2015] sont des modèles dont l'utilisation est largement répandue pour la simulation de transmission de signaux rapides. Ce modèle décrit le comportement classique d'un étage de sortie de composant mais dont la valeur des paramètres est propre au composant décrit. Cela permet ainsi de fournir un modèle de simulation fiable au concepteur de carte électronique sans révéler les processus de fabrication du composant. Le schéma d'un étage de sortie d'un modèle **IBIS** est présenté dans la figure 5.30. Il présente en particulier tous les chemins empruntés par le courant. L'introduction de la norme **IBIS 5.1** permet en particulier d'inclure au modèle **IBIS** le comportement des circuits d'alimentation de l'étage de sortie. Cette description plus précise permet l'obtention d'une meilleure corrélation entre simulation et mesure, du bruit généré par la commutation des composants et donc d'inclure les défauts du circuit d'alimentation de la banque de signaux et ainsi d'obtenir une simulation plus réaliste.

#### 5.3.1 Etude d'une interface parallèle

Le bus de communication entre le **FPGA** et le composant de mémoire **DDR3** est utilisé pour l'étude du bruit de commutations simultanées. Cette interface est sujette à ce phénomène puisqu'il s'agit d'une interface parallèle rapide. Elle facilite l'étude du bruit de commutations simultanées puisque cette interface est alimentée par un potentiel de 1,5 V qui lui est dédié.

##### 5.3.1.1 Mesures

La mesure des signaux de la mémoire **DDR3** est effectuée au plus près des billes du composant comme l'impose la norme **JEDEC** grâce à l'utilisation d'un interposeur présenté dans la figure 2.13. Il s'agit d'un circuit imprimé embarquant des résistances intégrées permettant de séparer les signaux arrivant au composant de mémoire sans introduire de déformation selon le principe du diviseur de puissance RF. Ces signaux sont re-

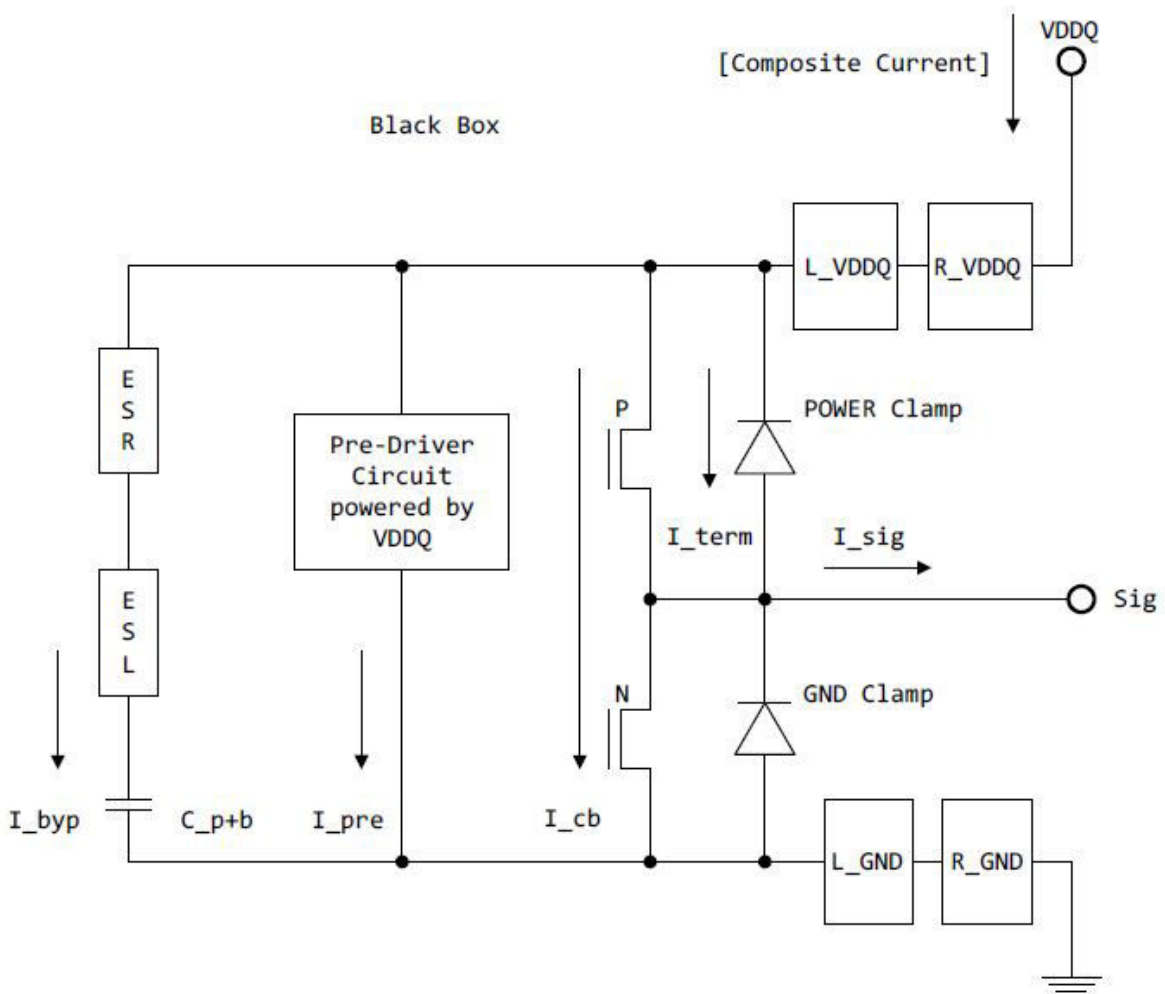


FIGURE 5.30 – Schéma du modèle IBIS 5.1 et chemins empruntés par le courant  $i_{bi}$  [2015]



dirigés vers des plots situés sur les flancs de l'interposeur. Ils sont ensuite mesurés à l'aide d'une tête de sonde différentielle N2677A d'Agilent. Cette tête de sonde est connectée à un amplificateur de sonde différentielle de bande passante 7 GHz et reliée à un oscilloscope Agilent DSA90804A, dont la bande passante est de 8 GHz. Cet oscilloscope présente la possibilité d'afficher directement sur l'appareil le diagramme de l'œil lors de la mesure et de calculer les paramètres d'ouverture de l'œil et de gigue à la fois en instantané mais également en valeur moyenne. Une photographie de la manipulation mise en place est présentée en figure 5.31. Une photographie détaillée de l'interface sonde-interposeur-

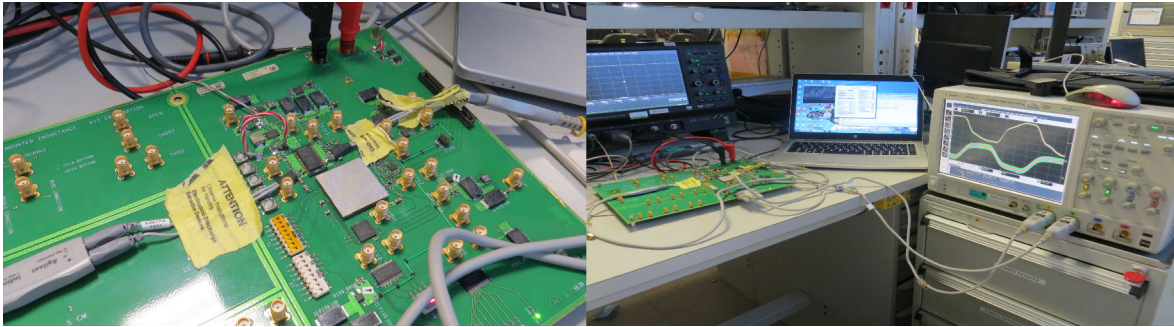


FIGURE 5.31 – Photographie de la manipulation de mesure des signaux de DDR3

composant est présentée en figure 5.32

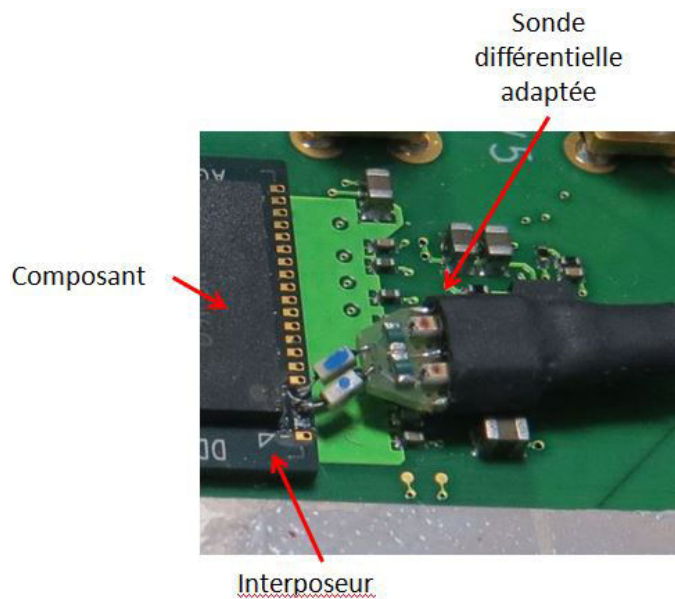


FIGURE 5.32 – Photographie détaillée de l'interposeur et de la sonde différentielle de mesure

Par ailleurs, le potentiel d'alimentation de l'interface **DDR3** est également mesuré pour voir l'impact de la commutation des composants sur celui-ci. Le signal d'échantillonnage des bits de données de la mémoire, nommé DQS0, est observé car ce signal change d'état à chaque opération d'écriture ou de lecture dans la mémoire quel que soit le bit de donnée de l'octet 0. Le diagramme de l'œil du signal DQS0 est présenté dans la figure 5.33. Les mesures effectuées sur le diagramme de l'œil sont données dans le tableau 5.9. Par ailleurs, le signal différentiel DQS0 et le potentiel d'alimentation sont mesurés simultanément et l'oscilloscope est déclenché sur l'oscillation du signal DQS0 afin de montrer la synchronisation de l'oscillation du signal DQS0 avec l'apparition d'un bruit

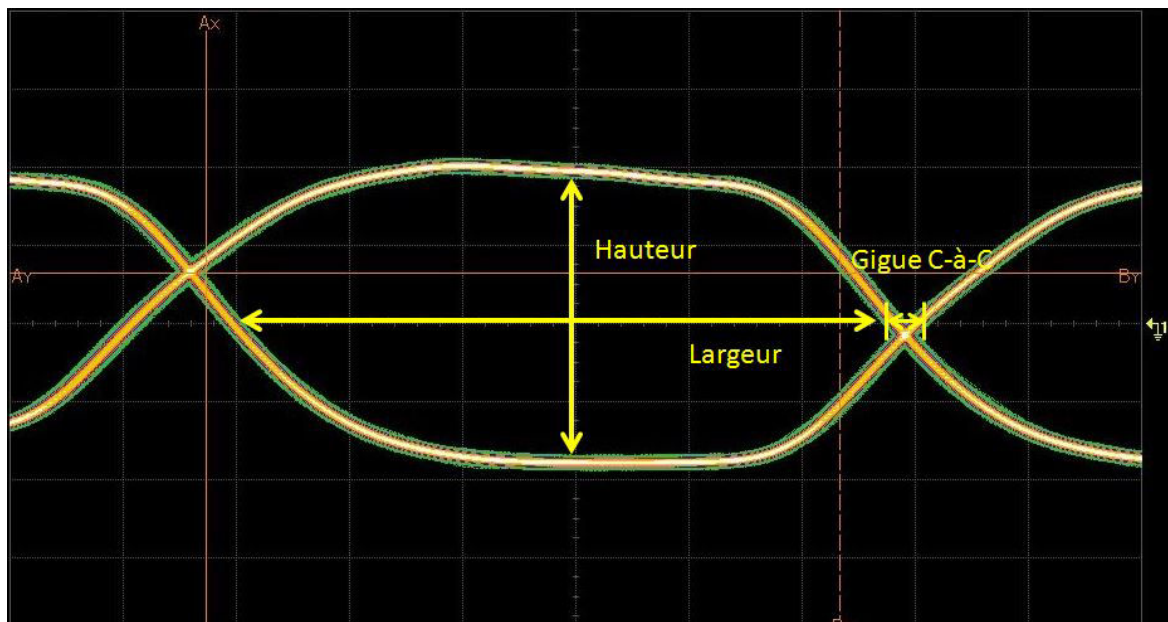


FIGURE 5.33 – Diagramme de l'œil du signal DQS0 mesuré sur le véhicule de test

TABEAU 5.9 – Résultat de mesure de diagramme de l'œil pour le signal différentiel DQS0

|                                  |      |
|----------------------------------|------|
| Hauteur moyenne (mV)             | 1725 |
| Hauteur minimum (mV)             | 1718 |
| Largeur moyenne (ps)             | 562  |
| Largeur minimum (ps)             | 560  |
| Gigue crête à crête moyenne (ps) | 4,7  |
| Gigue c-à-c maximale (ps)        | 4,77 |

de commutation sur le potentiel d'alimentation. La mesure effectuée est représentée en figure 5.34 La figure montre bien que lorsqu'une trame de bits est envoyée ou reçue par

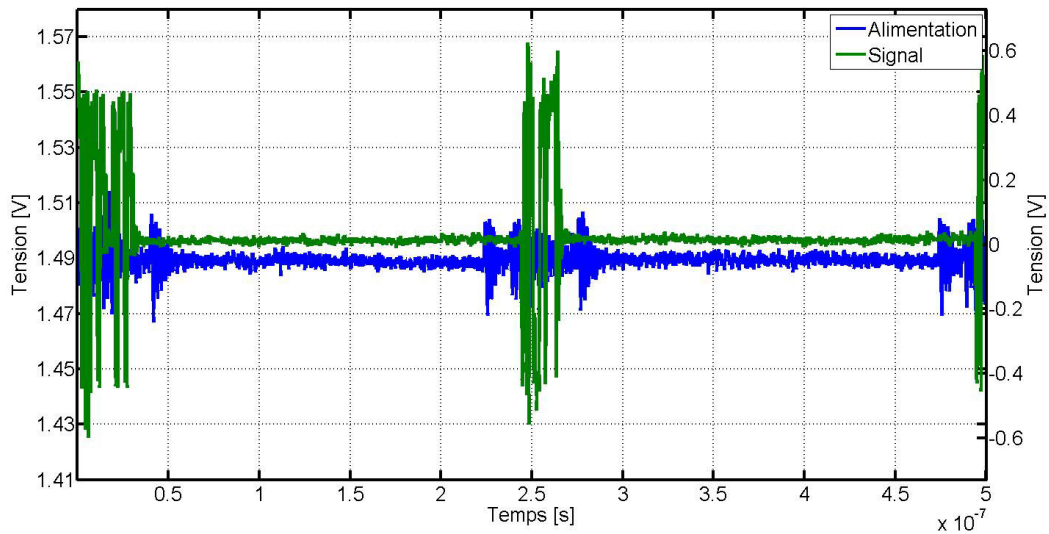


FIGURE 5.34 – Tension mesurée simultanément sur le plan d'alimentation et au niveau du signal DQS de l'interposeur

le composant de mémoire, un bruit de commutation sur le potentiel d'alimentation apparaît au même moment. Afin d'obtenir un comportement réaliste en simulation, l'idéal serait de pouvoir recréer ce bruit de commutation sur le potentiel d'alimentation. Par ailleurs, la décomposition fréquentielle du potentiel est calculée de manière à pouvoir caractériser plus précisément le bruit généré. Le résultat du calcul du bruit d'alimentation est présenté dans la figure 5.35. L'analyse de la densité spectrale montre la présence d'une raie à la fréquence 1,6 GHz et à 800 MHz. Ces raies sont dues à la fréquence de cadencement de l'interface DDR3, qui est de 800 MHz mais également au fonctionnement en double taux de données provoquant des changements d'état des bits de données et en particulier des signaux d'échantillonnage à une fréquence de 1,6 GHz. Par ailleurs, un ensemble de raies est également visible aux alentours de la fréquence de 400 MHz. Il apparaît à cause de la commutation de signaux de contrôle et données de l'interface mémoire. En effet d'une part, les signaux de contrôle ne sont pas à double taux de données, la fréquence fondamentale de fonctionnement devrait donc être en théorie à 800 MHz, d'autre part ces signaux comme ceux de données ne commutent pas à chaque coup d'horloge, d'où l'apparition de cet étalement spectral.

### 5.3.1.2 Méthodologie de simulation

Pour réaliser une simulation de transmission de signaux, les éléments nécessaires sont :

- Les modèles respectifs de l'émetteur et du récepteur du signal, [SPICE](#) (simulation au niveau transistor) ou [IBIS](#).
- Le modèle du canal de transmission du signal, reproduisant les défauts de transmission : pertes diélectriques, réflexions dues à des désadaptations d'impédance, diaphonie due à la proximité de pistes adjacentes...

Les modèles sont fournis par les fabricants des composants. Le modèle de canal peut être une ligne de transmission idéale ou un modèle de paramètres S issu soit d'une mesure,

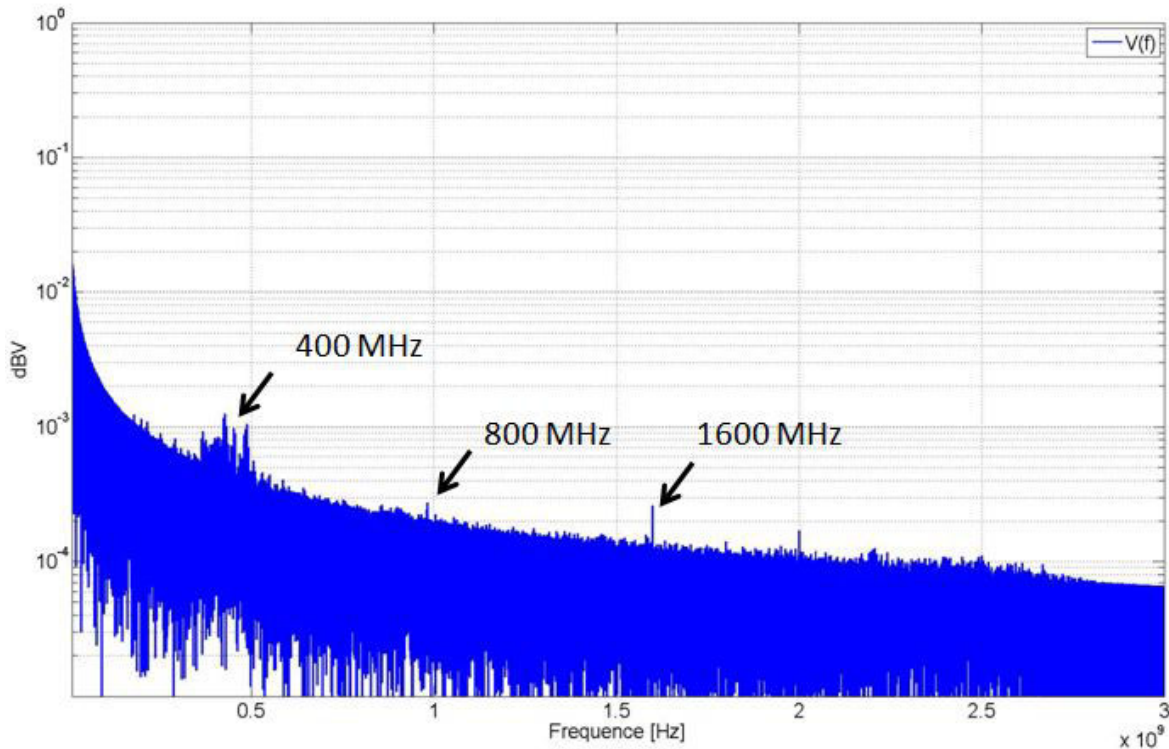


FIGURE 5.35 – Calcul de la décomposition spectrale de la tension d'alimentation mesurée

soit d'une simulation électromagnétique. Ces modèles sont connectés entre eux dans un simulateur circuit et une simulation temporelle est lancée. La méthodologie de simulation est résumée dans la figure 5.36. Dans cette simulation, la source d'excitation est interne au composant émetteur et considérée comme parfaite. De même, les potentiels d'alimentation VDDQ et la référence de masse du schéma de la figure 5.30 sont considérés comme idéaux. Ces sources peuvent donc fournir un courant infini au potentiel défini. Or dans la réalité, l'alimentation des composants n'est pas idéale puisqu'il s'agit du réseau de distribution d'énergie. Par conséquent, pour obtenir une simulation de la transmission de signal fidèle aux résultats de mesure, il est important d'inclure le comportement du réseau de distribution d'énergie, particulièrement pour prendre en compte le phénomène de bruit de commutations simultanées. Pour toutes les versions du modèles IBIS, les différents modèles d'émetteurs et de récepteurs offrent la possibilité de connecter respectivement le potentiel de référence de la pull-up ou de la pull-down à une source idéale interne ou au contraire à un potentiel extérieur au modèle. C'est cette propriété qui est utilisée pour introduire le comportement du réseau de distribution d'énergie dans la transmission du signal. Cependant, c'est avec la ratification de la version 5.1 du modèle IBIS que le courant absorbé sur ces potentiels est précisément inclus dans le modèle.

Pour inclure le comportement du réseau de distribution d'énergie à la transmission du signal, la simulation du comportement de l'alimentation dans le domaine temporel pourrait être exécutée en même temps que celle de la transmission du signal et les références de pull-up et pull-down des modèles de transmission respectivement connectées au modèle d'alimentation ainsi créé. Cependant, cette solution ne prend pas en compte la diaphonie entre les pistes de l'interface et le potentiel d'alimentation puisque les deux systèmes sont simulés séparément. Afin de prendre en compte à la fois la diaphonie entre signaux mais également la diaphonie entre les signaux et les plans d'alimentation, la simulation doit comprendre à la fois les ports dédiés aux signaux mais également les ports



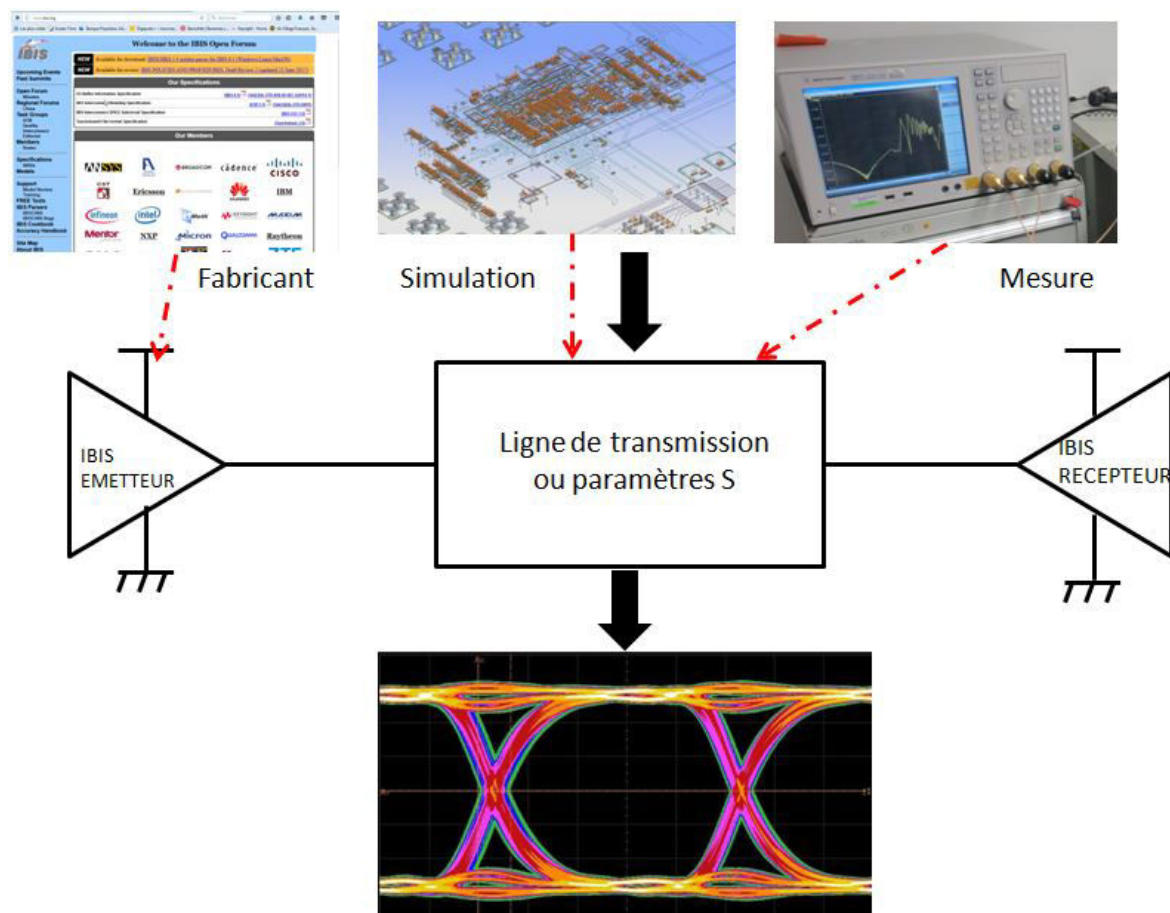


FIGURE 5.36 – Diagramme de processus d'une simulation de transmission de signal



normalement configurés lors de l'extraction du modèle du circuit imprimé pour la simulation du réseau de distribution d'énergie. Le tableau 5.10 énumère la liste des ports placés pour l'extraction du modèle du circuit imprimé et des condensateurs de découplage pour la simulation de l'interface DDR3 incluant les défauts du circuit d'alimentation. Les

TABLEAU 5.10 – Liste des ports d'observation placés lors de la simulation du circuit imprimé

| Nom du port                  | Nombre |
|------------------------------|--------|
| Module régulateur de tension | 1      |
| Connecteur SMA               | 2      |
| Alimentation FPGA            | 1      |
| Alimentation DDR3            | 1      |
| Adresse                      | 26     |
| Horloge                      | 4      |
| CKE                          | 2      |
| DM                           | 4      |
| DQ                           | 32     |
| DQS                          | 8      |
| Reset                        | 2      |
| RAS                          | 2      |
| Total                        | 85     |

ports sur les signaux sont placés sur les signaux d'adresse, de donnée, d'échantillonnage et quelques signaux de contrôle. La simulation de la carte dure 56 minutes sur une machine équipée d'un processeur Intel Xeon CPU E5-1620 v3 cadencé à 3,5 GHz et disposant de 64 Go de mémoire RAM. La solution est ensuite exportée vers un simulateur circuit sous forme d'un fichier de paramètres S à 85 ports. Dans le simulateur circuit, les modèles IBIS correspondants à chacun des signaux sont connectés à leur port respectif du fichier de paramètres S et le modèle du module régulateur de tension au port correspondant à l'entrée de tension du réseau de distribution d'énergie. Le module régulateur de tension est modélisé dans cette simulation par son impédance de sortie modélisée au chapitre 3. Il s'agit du LTC3612. Un aperçu de la schématique de simulation est donnée dans la figure 5.37. La simulation est configurée pour une opération de lecture. C'est-à-dire que les modèles IBIS des signaux de données sont configurés respectivement en récepteur du côté du FPGA et en émetteur du côté du composant de mémoire. Les signaux d'adresse et de contrôle sont quant à eux toujours configurés en émetteur du côté du FPGA et en récepteur du côté du composant de mémoire. L'excitation des signaux d'horloge est un signal trapézoïdal périodique tandis que les signaux de contrôle, d'adresse et de données sont excités par des PRBS dont la valeur initiale est différente afin de simuler un comportement aléatoire de l'interface. La période du signal est réglée à 625 ps pour simuler le fonctionnement de l'interface à 800 MHz, comme celle de la carte.

### 5.3.1.3 Corrélation simulation mesure

La simulation est lancée dans un premier temps, avec les références des pull-up et des pull-down laissées connectées à la source idéale en interne du modèle. Le diagramme de l'œil obtenu par simulation est présenté dans la figure 5.38. Les valeurs obtenues pour la mesure sont également rappelées afin de faciliter la comparaison. Les caractéristiques du diagramme de l'œil obtenu en simulation sont données dans le tableau 5.11. Comme le montre le diagramme de l'œil ainsi que les données de celui-ci, les valeurs issues de la

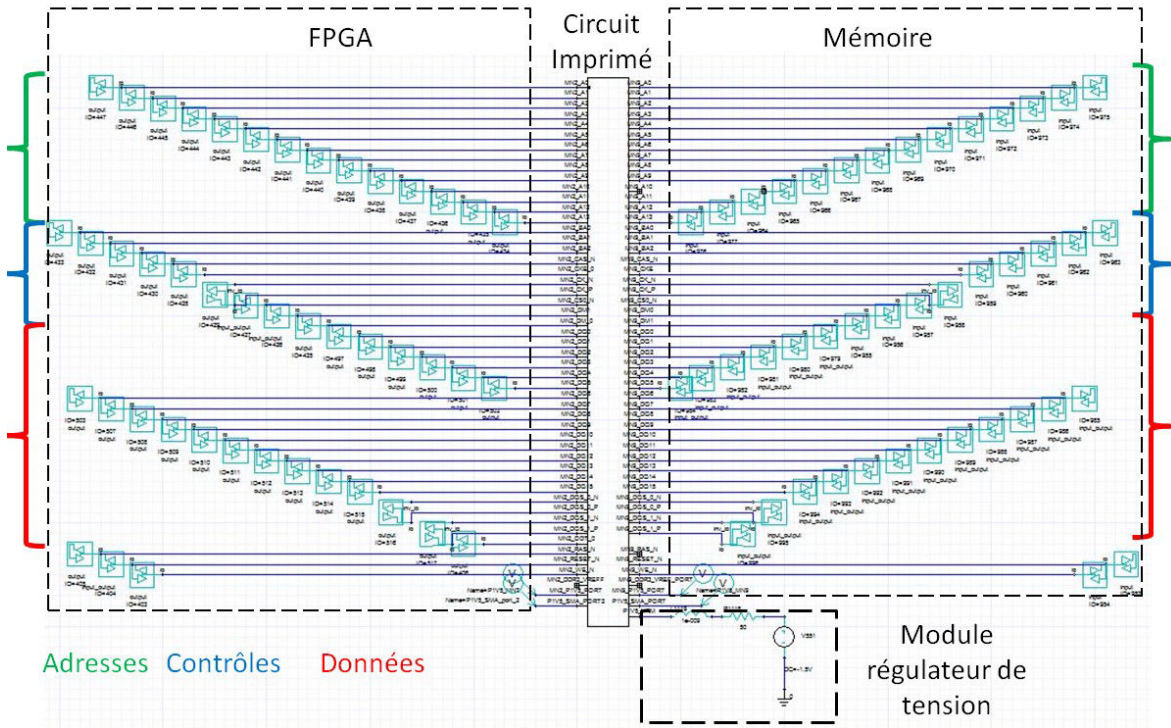


FIGURE 5.37 – Schéma de simulation de l'interface DDR3

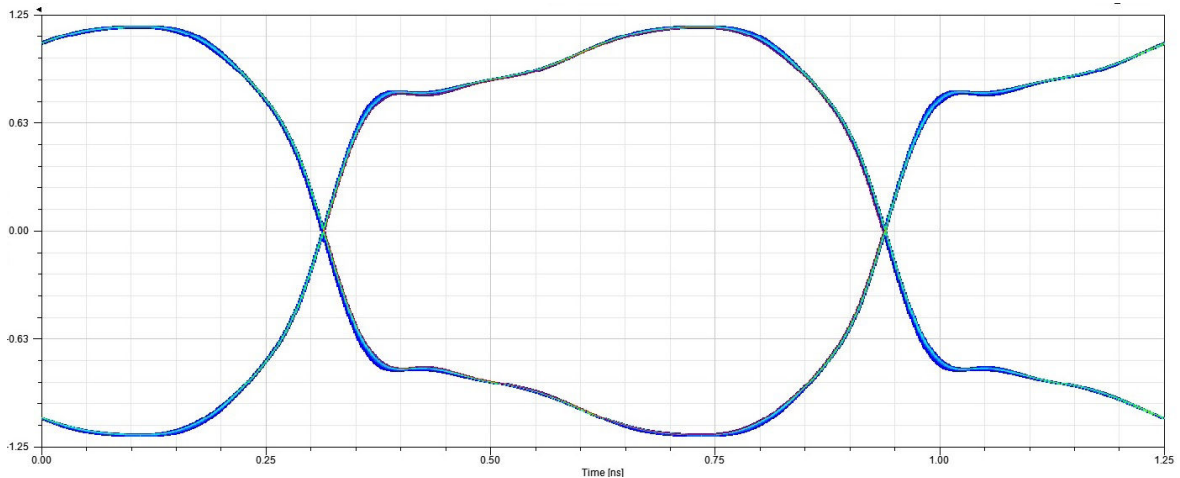


FIGURE 5.38 – Diagramme de l'œil de la simulation du bit DQS pour les références de pull-up et pull down laissée connectée en interne

TABEAU 5.11 – Caractéristiques du diagramme de l'œil obtenu par simulation avec des sources de tension idéales

| Cas        | Hauteur moyenne (mV) | Hauteur minimum (mV) | Largeur moyenne (ps) | Largeur minimum (ps) | Gigue crête à crête moyenne (ps) | Gigue c-à-c maximale (ps) |
|------------|----------------------|----------------------|----------------------|----------------------|----------------------------------|---------------------------|
| Mesure     | 1725                 | 1718                 | 562                  | 560                  | 4,74                             | 4,77                      |
| Simulation | 1819                 |                      | 619                  |                      |                                  | 6,3                       |

simulation sont bien meilleures que celles obtenues en mesure. La hauteur et la largeur de l'œil sont supérieures en simulation. Les temps de montée sont bien plus courts. La simulation donne un comportement idéal de l'interface. Dans le cas de l'interface du véhicule de test, les marges de bruits ainsi que les temps d'établissement et de retenue des bits en mesure sont importants et donc les normes de l'interface sont bien respectées. Les différences observées entre les résultats de simulation et de mesure ne sont donc pas critiques pour déterminer les valeurs pour lesquelles l'interface est valide ou non. En revanche pour des interfaces fonctionnant à des fréquences supérieures et pour lesquelles les marges sont bien plus faibles, ne pas prendre en compte le comportement du réseau de distribution d'énergie dans la simulation peut amener à la validation du fonctionnement de l'interface en simulation alors que son fonctionnement réel sur la carte présente un dysfonctionnement.

La simulation dans le domaine temporel permet non seulement de simuler l'allure du signal au niveau des émetteurs ou récepteurs mais également d'observer la fluctuation de tension générée par l'activité des composants au niveau des connecteurs SMA puisque des ports d'observation ont été rajoutés à la simulation. La comparaison entre la mesure effectuée sur la carte et la tension obtenue par simulation est réalisée dans la figure 5.39. Dans le cas de cette simulation, les fluctuations de tension observées sont uni-

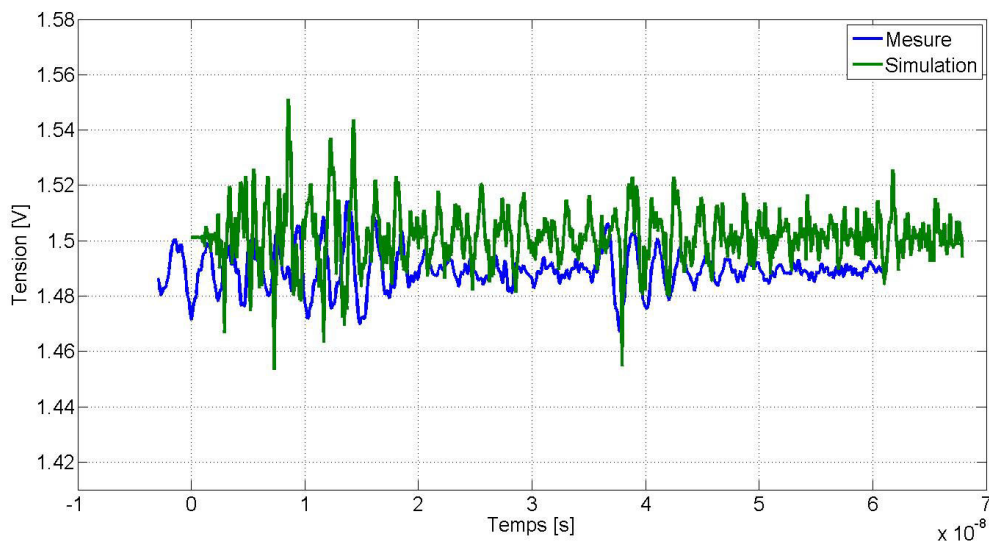


FIGURE 5.39 – Comparaison de la tension mesurée sur la carte et de la tension issue de la simulation dans le cas des pull-up connectées à une source idéale

quement dues à des phénomènes de diaphonies puisque aucune interface de signal n'est directement connectée au réseau de distribution d'énergie. Les oscillations principalement observées ont une fréquence de 1600 MHz. Les autres modes d'excitation stimulés sont également concordants entre la mesure et la simulation. Étonnamment, les fluctuations de tension du plan d'alimentation en simulation sont plus importantes que celles obtenues en mesure. La différence d'amplitude observée peut néanmoins être imputée à la bande passante de l'oscilloscope utilisée pour la mesure au niveau des connecteurs puisque celui-ci présente une bande passante de 2,5 GHz.

Afin d'observer la précision du signal obtenu en simulation, le résultat de simulation est comparé aux signaux mesurés sur carte dans la figure 5.40. Cette figure permet de montrer que la simulation permet effectivement d'obtenir un comportement proche de

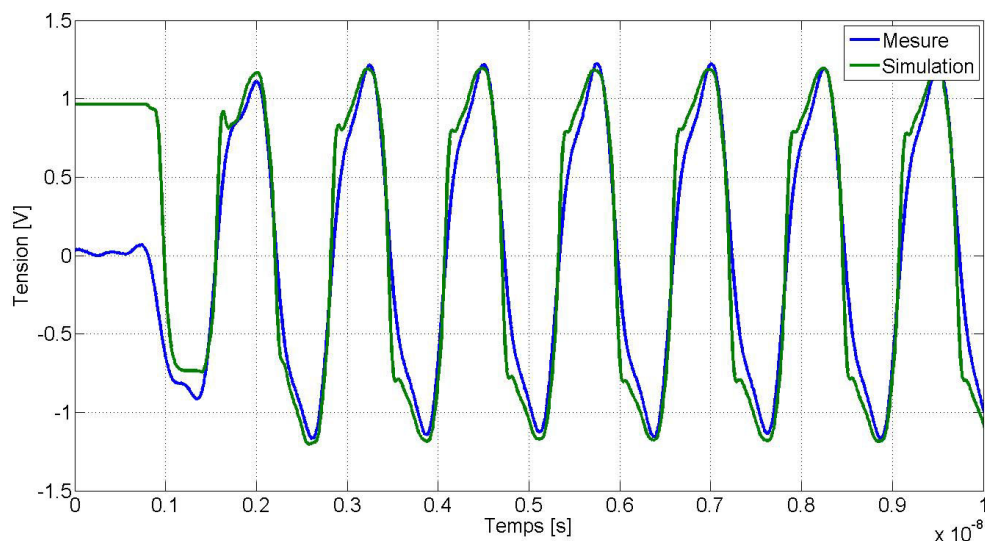


FIGURE 5.40 – Corrélation des signaux obtenus en mesure et en simulation

la mesure de la propagation des signaux de l'interface. Les quelques périodes présentées dans cette figure ne sont cependant pas suffisantes pour rendre compte des variations d'amplitude et de gigue observées dans le diagramme de l'œil entre la mesure et la simulation. Le diagramme de l'œil est donc l'outil adapté pour permettre de mettre en lumière les différents phénomènes de réduction de l'amplitude du signal ou de gigue

Afin de prendre en compte le comportement du réseau de distribution d'énergie dans la simulation, le potentiel de référence des pull-up des modèles IBIS des signaux de données du composant de mémoire sont reliés au port matérialisant la connexion des billes d'alimentation du composant de mémoire au reste du réseau de distribution d'énergie. La référence de tension des modèles IBIS n'est donc plus idéale mais bien reliée au modèle du réseau de distribution d'énergie. Les modèles IBIS se comportent alors comme des sources de courants pour le réseau de distribution d'énergie.

Le diagramme de l'œil de la simulation pour laquelle les modèles sont reliés au réseau de distribution d'énergie est donné dans la figure 5.41. Les caractéristiques du dia-

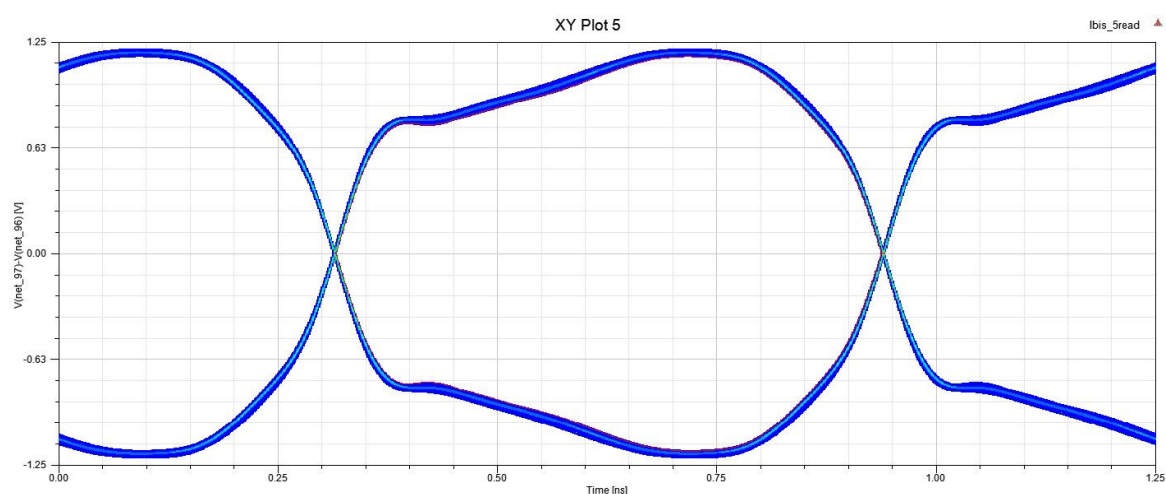


FIGURE 5.41 – Diagramme de l'œil de la simulation du signal différentiel DQS0 pour les références de pull-up et pull down laissées connectées en interne

gramme de l'œil sont données dans le tableau 5.12 Comme le montre la figure 5.41 mais

TABLEAU 5.12 – Caractéristiques du diagramme de l'œil obtenu par simulation avec les modèles reliés au réseau de distribution d'énergie

| Cas                     | Hauteur moyenne (mV) | Hauteur minimum (mV) | Largeur moyenne (ps) | Largeur minimum (ps) | Gigue crête à crête moyenne (ps) | Gigue c-à-c maximale (ps) |
|-------------------------|----------------------|----------------------|----------------------|----------------------|----------------------------------|---------------------------|
| Mesure                  | 1725                 | 1718                 | 562                  | 560                  | 4,74                             | 4,77                      |
| Simulation idéale       | 1819                 |                      | 619                  |                      |                                  | 6,3                       |
| Simulation avec défauts | 1746                 |                      | 619                  |                      |                                  | 6,3                       |

également les données du diagramme de l'œil, l'ajout du comportement du réseau de distribution d'énergie à la simulation contribue à une fermeture de l'œil du diagramme significative, passant ainsi de 1819 à 1746 mV soit une différence de 73 mV représentant 4,18 %. L'ouverture de l'œil de la simulation incluant le comportement du réseau de distribution d'énergie se rapproche bien plus de la valeur obtenue en mesure. L'erreur respective par rapport à la mesure est de 1,21 % pour la simulation incluant le comportement du réseau de distribution d'énergie et de 5,44 % pour celle utilisant les sources de tension idéales. L'inclusion du comportement du réseau de distribution d'énergie est donc significative dans la représentativité de la simulation par rapport aux résultats obtenus par mesure.

Par contre, l'ajout du comportement du réseau de distribution d'énergie n'a presque pas d'impact sur la gigue de l'interface. En effet, dans les deux cas de simulation, la gigue simulée est de 6,3 ps soit 34 % supplémentaire à celle mesurée sur le véhicule de test. Ce résultat est assez étonnant puisque le fait d'introduire des défauts sur le potentiel d'alimentation dans la simulation devrait également augmenter la quantité de gigue puisque le franchissement du seuil de détection se fait respectivement plus tôt ou plus tard si le potentiel d'alimentation présente une sur-tension ou une sous-tension lors de la commutation.

La simulation pour laquelle les références de potentiel des pull-down sont connectées à l'extérieur n'a cependant pas d'impact puisqu'elles sont reliées au potentiel de référence de la simulation. Il est donc nécessaire d'ajouter un port de simulation supplémentaire pour prendre en compte l'effet de bruit de commutations simultanées sur le plan de référence pour le retour de courant.

Le résultat de simulation du niveau de tension sur le plan d'alimentation est comparé à celui obtenu par mesure sur le véhicule de test dans la figure 5.42. La figure 5.42 montre que les niveaux de tension du plan d'alimentation en simulation sont bien plus importants que ceux obtenus en mesure. La bande passante de l'instrument de mesure limite certainement l'amplitude réelle des fluctuations de tension sur le plan d'alimentation. Au contraire de la simulation pour laquelle les sources de tension des modèles IBIS sont idéales, dans la simulation pour laquelle elles sont connectées au réseau de distribution d'énergie, des modes de résonance de fréquences supérieures semblent être excités puisque la période des oscillations observées est plus petite. La décomposition spectrale



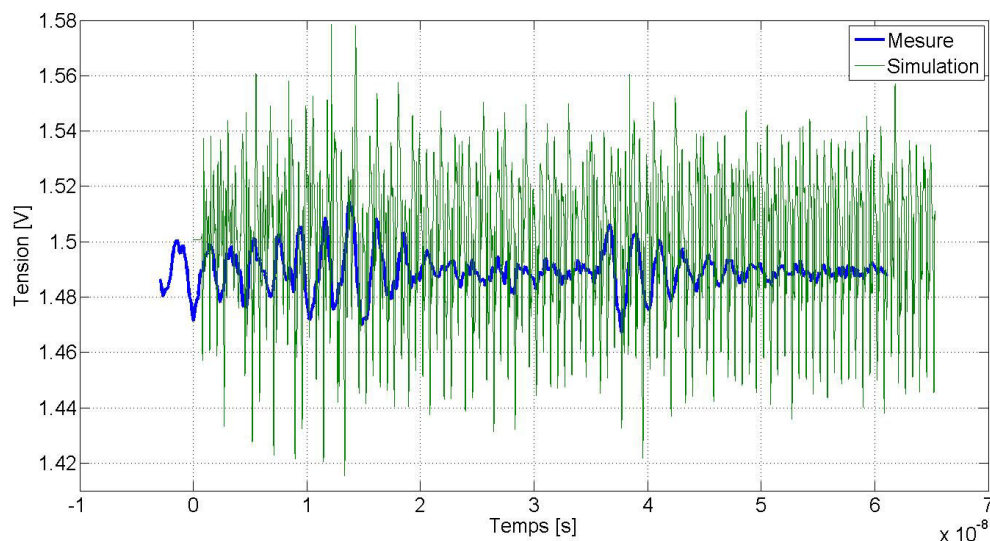


FIGURE 5.42 – Comparaison de la tension mesurée sur la carte et de la tension issue de la simulation dans le cas des pull-up connectées au modèle du réseau de distribution d'énergie

de la tension du réseau de distribution de la simulation est calculée grâce à une transformée de Fourier rapide et est comparée à la décomposition spectrale de la tension du plan d'alimentation mesurée dans la figure 5.43. La comparaison de la décomposition spectrale des deux tensions de la figure 5.42 permet d'observer un étalement spectral autour de la fréquence de fonctionnement de l'interface pour la simulation à 1600 MHz. Par ailleurs la simulation montre également une densité spectrale supérieure à la mesure pour la fréquence de 800 MHz, fréquence de l'horloge cadencant l'interface mémoire. La raie à 800 MHz est nette en simulation puisque les bits de contrôle sont configurés pour commuter à chaque coup d'horloge, fonctionnement différent de celui de l'application réelle.

Enfin, les courbes temporelles des signaux DQS0 de la mesure de la simulation avec les sources idéales et de la simulation avec les sources connectées au réseau de distribution d'énergie sont comparées dans la figure 5.44. Comme pour la simulation précédente, l'observation de quelques périodes de fonctionnement de l'interface DDR3 ne permet pas de juger convenablement des différences introduites par le comportement du réseau de distribution d'énergie dans le résultat de simulation mais s'observe au niveau du diagramme de l'œil.

### 5.3.2 Etude d'une interface série

Un lien de communication série rapide du FPGA est utilisé comme support de cette étude. Puisqu'un seul canal de communication est utilisé pour la transmission du signal, un lien série rapide n'est pas touché par le phénomène de bruit de commutations simultanées. En revanche, au vue des vitesses de fonctionnement de l'interface, il est très sensible à l'atténuation du canal de propagation, mais également pour ce qui est des parasites apportés par d'autres composants au phénomène de gigue. Il est nécessaire d'être en mesure de caractériser correctement les phénomènes introduisant de la gigue afin de pouvoir reproduire en simulation un comportement fidèle de la transmission du lien.

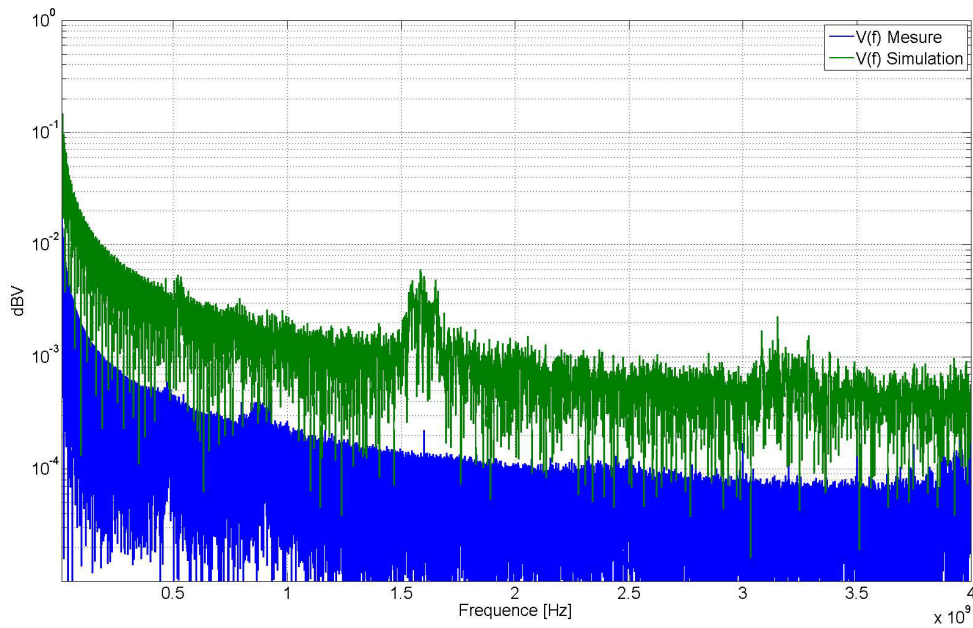


FIGURE 5.43 – Comparaison de la décomposition spectrale de la tension mesurée sur la carte et de la tension issue de la simulation dans le cas des pull-up connectées au modèle du réseau de distribution d'énergie

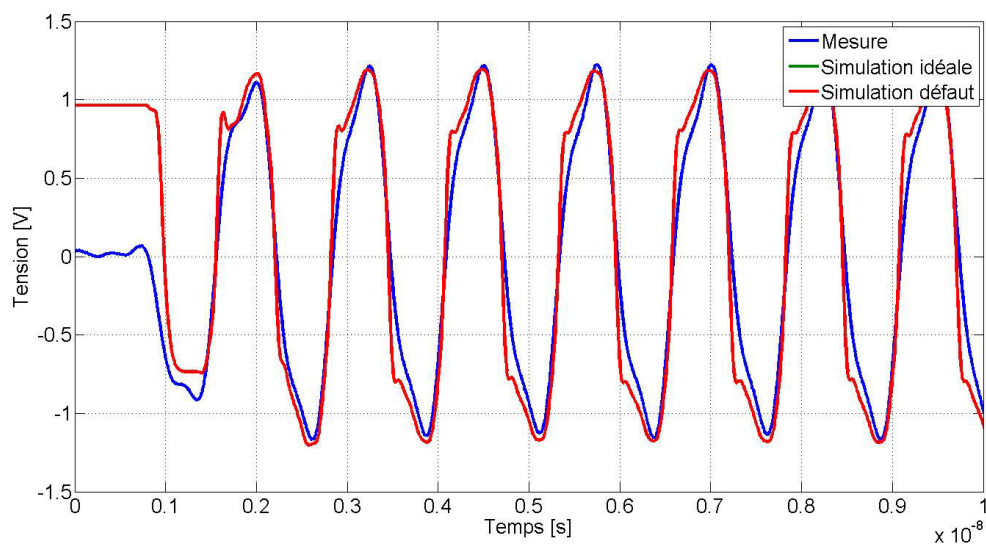


FIGURE 5.44 – Corrélation des signaux obtenus en mesure et pour les deux cas de simulation

### 5.3.2.1 Mesures

La mesure du lien série rapide a déjà été décrite dans une partie précédente de ce chapitre. Le résultat de mesure utilisé pour réaliser ensuite une corrélation avec la simulation est celui de la carte 3 pour l'état 1, carte pour laquelle la configuration est la plus proche de celle utilisée par le fabricant pour réaliser les mesures ou les simulations desquelles sont tirés les modèles de simulation. Le diagramme de l'œil du lien série rapide pour cette configuration est donné dans la figure 5.45. Les caractéristiques de ce diagramme de l'œil

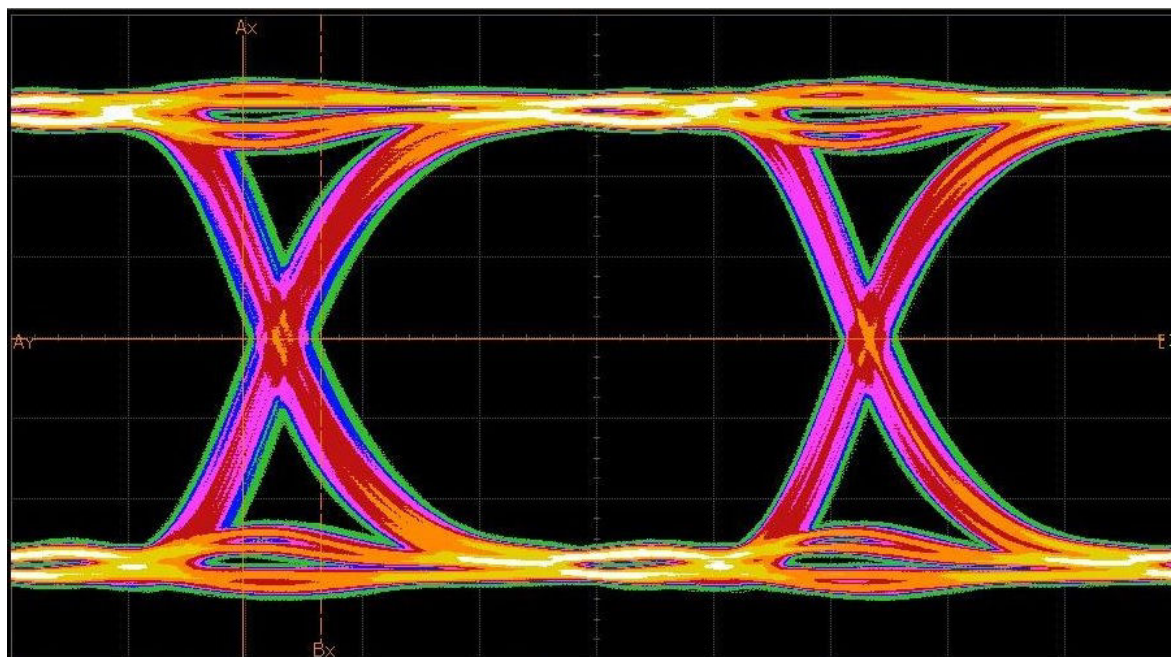


FIGURE 5.45 – Diagramme de l'œil obtenu par mesure pour le lien série rapide

sont rappelées dans le tableau 5.13.

TABLEAU 5.13 – Caractéristiques du diagramme de l'œil présenté en figure 5.45

| Hauteur moyenne (mV) | Hauteur minimum (mV) | Largeur moyenne (ps) | Largeur minimum (ps) | Gigue crête à crête moyenne (ps) | Gigue c-à-c maximale (ps) |
|----------------------|----------------------|----------------------|----------------------|----------------------------------|---------------------------|
| 1023,3               | 1023                 | 451,4                | 448,9                | 66,5                             | 67,1                      |

La fréquence de fonctionnement et la longueur du lien de communication le rendent particulièrement sensible à l'atténuation du canal se traduisant par une réduction de la hauteur de l'œil mais également à la gigue, c'est-à-dire la variation de la période du signal dans le temps comme le montrent les résultats obtenus par la mesure.

### 5.3.2.2 Méthodologie de simulation

Les modèles de simulation des composants émetteur ou récepteur de lien série rapide, nommés également SERDES sont des modèles IBIS-AMI. Il s'agit de modèles IBIS classiques pour la partie analogique de transmission du signal complétée par une partie algorithmique implémentant les fonctions d'égalisateur, de recouvrement d'horloge ou

de pré-distortion. Ces fonctions permettent l'augmentation des performances du lien série rapide. Ces modèles de simulation ont été introduit en 2012 lors de l'approbation de la version 5.0 du standard IBIS. Ces modèles sont fournis par le fabricant du composant. Dans le cas du modèle IBIS-AMI du FPGA Xilinx, le modèle se distingue en deux parties. La première partie est propre à l'implémentation du dispositif émetteur sur le silicium de la puce, qui est le même pour chaque produit de la série 7 de Xilinx. La seconde partie du modèle est un bloc de paramètres S décrivant le comportement du boîtier du composant. Ce modèle est en revanche propre à chaque composant. Il convient donc d'utiliser le modèle adéquat dans la simulation. Pour simuler le comportement du lien série rapide, il faut enfin obtenir le modèle du canal de propagation du lien. Le canal de propagation étant une paire différentielle du circuit imprimé, son comportement est obtenu par une simulation électromagnétique du fichier de CAO de la carte électronique. Comme précédemment, il convient donc de placer des ports à l'emplacement des billes du FPGA d'où le signal est généré, des ports au niveau des connecteurs où la mesure est effectuée et en fin des ports correspondant aux billes du composant connectées au potentiel d'alimentation ainsi qu'un port à l'emplacement de la connexion du composant d'alimentation avec le plan. La solution de simulation obtenue est exportée ensuite vers un simulateur circuit au format Touchstone. Dans le simulateur circuit, le modèle IBIS-AMI du dispositif utilisé pour la simulation est importé, accompagné du modèle de boîtier correspondant au FPGA du véhicule de test d'une part et le modèle du circuit imprimé d'autre part. Pour obtenir une simulation plus précise encore, il serait également possible d'importer le modèle du connecteur SMA. A l'extrémité du canal, une terminaison  $100\Omega$  est placée ainsi qu'une sonde de mesure AMI permettant de faire office de récepteur. Un aperçu de la configuration de simulation est donné dans la figure 5.46. La simulation est lancée pour

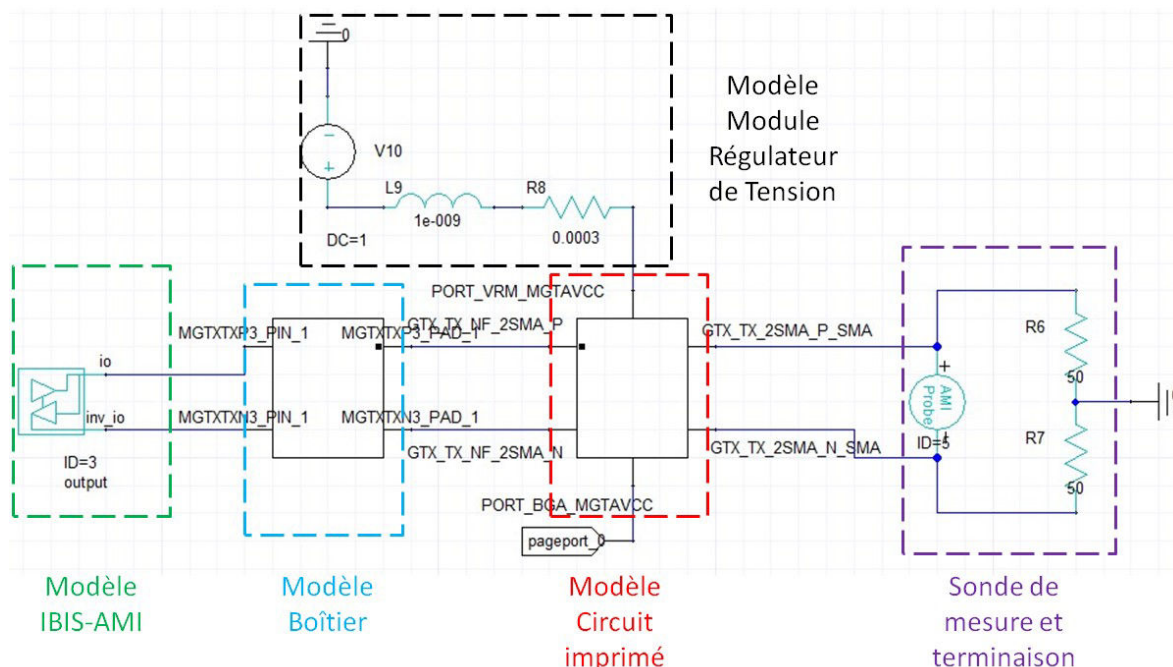


FIGURE 5.46 – Schéma de configuration de la simulation du lien série rapide dans le simulateur circuit

simuler dans le domaine temporel l'échange de 10 000 signaux. C'est une simulation relativement courte puisqu'elle ne permet pas de valider par exemple un Bit Error Rate, Taux d'erreur pour un bit en français (BER) d'au moins  $10^{-6}$ , c'est à dire une erreur sur



un million de bits échangés. C'est par contre suffisant pour avoir un diagramme de l'œil représentatif de ce que nous observerons en mesure.

### 5.3.2.3 Corrélation Simulation Mesure

La simulation est lancée dans un premier temps en laissant les références du pull-up du modèle IBIS-AMI connectées à une source idéale en interne. Le résultat de la simulation est présenté sous forme de diagramme de l'œil dans la figure 5.47. Les caractéris-

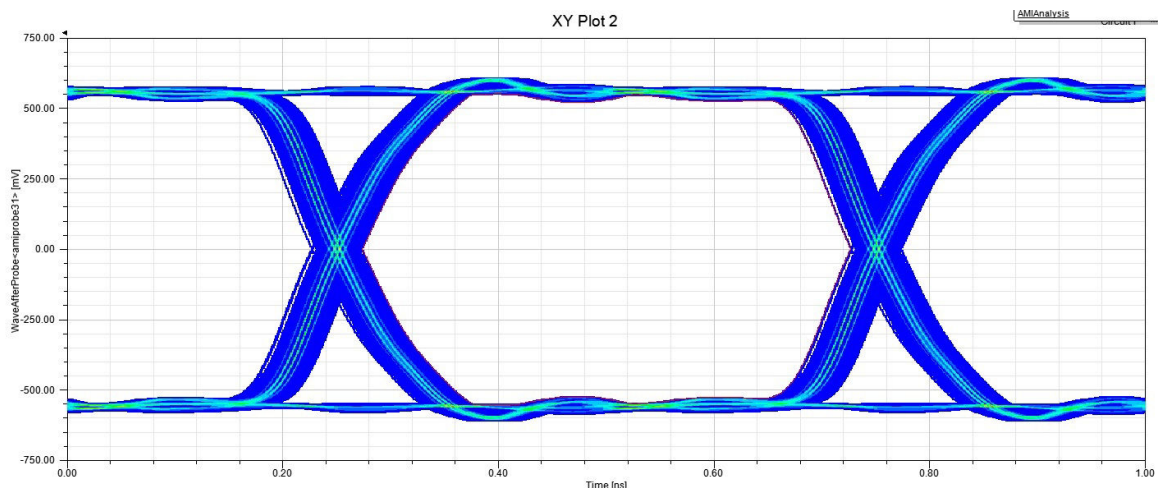


FIGURE 5.47 – Diagramme de l'œil de la simulation pour laquelle les référence des pull-up sont connectée à une source idéale

tiques de l'œil sont données dans le tableau 5.14. Les valeurs obtenues par simulation

TABEAU 5.14 – Caractéristiques du diagramme de l'œil obtenu par simulation du modèle IBIS-AMI du lien série rapide pour le modèle relié à une source interne idéale

| Hauteur (mV) | Largeur (ps) | Gigue moyenne (ps) | Gigue c-à-c maximale (ps) |
|--------------|--------------|--------------------|---------------------------|
| 1043         | 465          | 5,7                | 50,0                      |

sont très proches de celles mesurées sur le véhicule de test. La hauteur d'œil est 1,96 % supérieure à la hauteur moyenne mesurée, la largeur, 3 % supérieure et enfin la gigue crête-à-crête est de 24 % plus importante que celle mesurée. La simulation est donc très représentative de la mesure à l'exception de l'estimation de la gigue. Le modèle IBIS-AMI dispose de 3 paramètres permettant d'introduire de la gigue afin que la simulation soit plus représentative des phénomènes observés en mesure. Ces 3 paramètres sont :

- La gigue aléatoire avec une distribution gaussienne, traduisant des phénomènes de bruits électroniques comme du bruit thermique et du bruit de Flicker dans les émetteurs et les récepteurs donc sensibles à la température. Ce paramètre aura surtout de l'influence sur la valeur moyenne de la gigue
- La gigue périodique, correspondant à un phénomène de gigue déterministe mais décorrélée du flux de données traversant le canal. Cette valeur aura plutôt un impact sur la valeur crête-à-crête de la gigue.
- la gigue aléatoire avec une distribution uniforme, qui permet d'introduire une gigue dont la valeur moyenne est nulle si un grand nombre de périodes est simulé.



Ces paramètres de gigue doivent donc être estimés et introduits à la simulation. Une valeur de gigue aléatoire de 5 ps et une gigue périodique de 10 ps sont définies dans le modèle de l'émetteur. La simulation configurée précédemment est relancée en reliant les références de pull-up au modèle de réseau de distribution d'énergie afin d'introduire l'influence de celui-ci dans la simulation. Cela aura pour principal effet de réduire la hauteur de l'œil mais également de rentrer des valeurs de gigue aléatoire et périodique afin d'obtenir un comportement plus réaliste. Le nouveau résultat de simulation est affiché dans la figure 5.48. Les caractéristiques du diagramme obtenu sont données dans le tableau

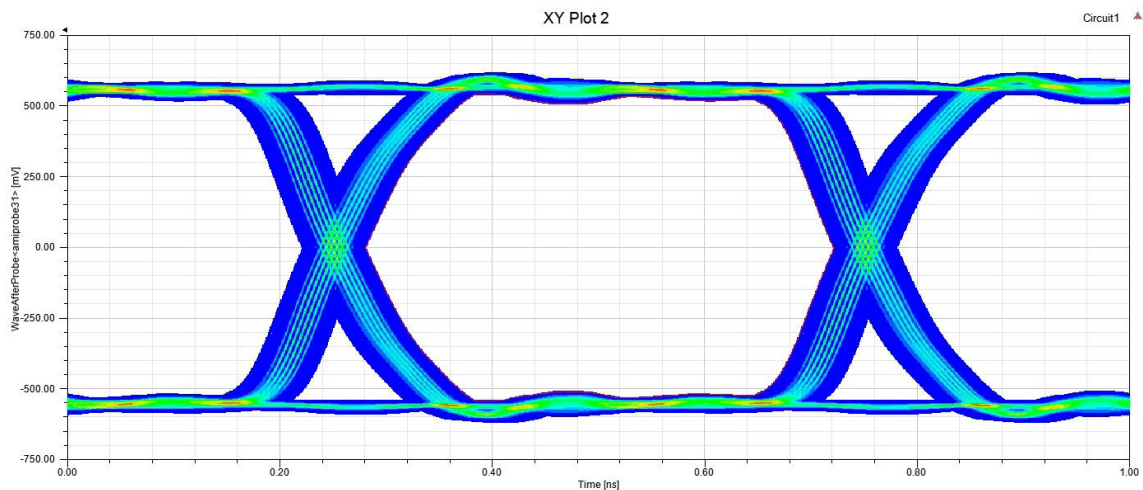


FIGURE 5.48 – Diagramme de l'œil de la simulation pour laquelle les références des pull-up sont connectées au réseau de distribution d'énergie et la gigue est définie

5.15. Les résultats obtenus dans cette simulation sont très proches de ceux observés en

TABLEAU 5.15 – Caractéristiques du diagramme de l'œil obtenu par simulation du modèle glSIBIS-AMI du lien série rapide pour le modèle câblé sur le réseau de distribution d'énergie et la gigue paramétrée

| Cas             | Hauteur (mV) | Largeur (ps) | Gigue moyenne (ps) | Gigue c-à-c maximale (ps) |
|-----------------|--------------|--------------|--------------------|---------------------------|
| Pull-up externe | 1028         | 445          | 9,1                | 61                        |
| Pull-up interne | 1043         | 465          | 5,7                | 50,0                      |
| Mesure          | 1023         | 451,4        | 66,5               | 67,1                      |

mesure. Cependant la gigue introduite dans la simulation a été déduite de la mesure tandis que dans un cas de conception réel, ces paramètres doivent être estimés afin d'avoir le résultat de simulation le plus réaliste possible. Le fait de relier les modèles de l'émetteur au réseau de distribution d'énergie permet d'obtenir une valeur à moins de 0,5 %, de même l'erreur entre la mesure et la simulation pour la gigue est inférieure à 7,5 % sur la valeur crête-à-crête.

### 5.3.3 Conclusion partielle

La simulation de la transmission des signaux a très tôt été un sujet d'intérêt de recherche et des standards ce sont rapidement mis en place pour permettre aux concepteurs de simuler précisément les interfaces de transmission entre composants ou entre systèmes. Ces interfaces, toujours plus performantes sont devenues extrêmement sensibles d'une part à la pollution produite par leur entourage et d'autre part, fortement dépendantes des performances du réseau de distribution d'énergie. Comme démontré par

les résultats de cette partie, inclure le comportement du réseau de distribution d'énergie dans la simulation d'une interface de transmission, permet aussi bien de prendre en compte le phénomène de bruit de commutations simultanées d'une interface parallèle mais également de prendre en compte par exemple la propagation du bruit de commutation du composant d'alimentation introduisant de la gigue périodique. Alors que les modèles IBIS permettent déjà d'obtenir une simulation fidèle aux résultats de mesure, l'introduction du comportement du réseau de distribution d'énergie permet d'affiner les résultats et d'obtenir d'excellentes performances dans un temps de simulation acceptable. Cette amélioration de la simulation des modèles IBIS est particulièrement due à l'introduction de la description du comportement précis des courants consommés par les étages de sortie durant leur fonctionnement dans la version 5.1 de la norme IBIS.

## 5.4 Conclusion du chapitre

La méthodologie de simulation et d'analyse décrite au chapitre précédent a été mise en place pour réaliser l'analyse du potentiel d'alimentation du cœur du FPGA. Cette même méthodologie a permis de réaliser une optimisation du découplage de ce potentiel en réduisant de 46 % le nombre de condensateurs peuplant le réseau de distribution d'énergie. Enfin, elle a aussi permis d'évaluer, en post routage que la préconisation du découplage du fabricant du composant est pertinente. Les performances des trois configurations de découplage sont ensuite comparées en terme de spécification du réseau de distribution d'énergie en lui-même mais également en permettant d'évaluer l'impact des différentes stratégies de découplage sur les performances de la carte. Contrairement à l'idée a priori développée, le sur-dimensionnement du découplage n'a pas uniquement d'impact en termes de complexité de routage ou en coût de production mais bien également sur la dynamique de réponse des interfaces de la carte.

Par ailleurs, les interfaces de transmission de signaux sont devenues dorénavant sensibles aux effets des défauts introduits par le réseau de distribution d'énergie. C'est pourquoi, il est nécessaire d'inclure le comportement des circuits d'alimentation de ces interfaces afin d'obtenir un comportement représentatif du fonctionnement de l'interface. La méthodologie de simulation d'une interface parallèle rapide ainsi que la mise en place de la simulation d'un lien série rapide sont exposées et les améliorations apportées par l'inclusion du modèle comportemental du réseau de distribution d'énergie sont non négligeables.

L'amélioration de la précision de la simulation en particulier du bruit de commutation simultanée ou de la gigue introduite par le réseau de distribution d'énergie est permise par l'utilisation de la version 5.1 du Standard IBIS.

## 5.5 Références

2015, IBIS, IBIS Open Forum. 273, 274

LEE, H., C. CINDY, B. HEIDI et B. LUIS. 2017, «Accurate statistical-based ddr4 margin estimation using ssn induced jitter model», *Signal Integrity Journal*. 267

SMITH, L. D., R. E. ANDERSON, D. W. FOREHAND, T. J. PELC et T. ROY. 1999, «Power distribution system design methodology and capacitor selection for modern cmos technology», *IEEE Transactions on Advanced Packaging*, vol. 22, n° 3, p. 284–291. 246

SWAMINATHAN, M. et E. ENGIN. 2007, *Power integrity modeling and design for semiconductors and systems*, Pearson Education. [246](#)

# Conclusions Générales

Le développement des entreprises en électronique face à la forte concurrence passe par l'amélioration continue de leur compétitivité. Celle-ci se définit en partie par la faculté de concevoir des produits innovants ou présentant des performances accrues tout en diminuant leur volume, leur poids ou leur prix. Cependant, la miniaturisation et la densification des cartes électroniques favorisent l'apparition de phénomènes d'IS de CEM et de PI. Afin de diminuer le temps de cycle de développement de ces cartes électroniques, celles-ci doivent fonctionner au premier essai, ou en limitant le nombre d'itérations de phase de prototypage. Le bon fonctionnement d'une carte est vérifié avant sa fabrication par l'exécution de simulations. Ces simulations doivent donc être représentatives du comportement réel observé sur les cartes électroniques et présenter un ratio entre le temps de simulation et la précision du résultat convenable.

La gestion et l'optimisation de la consommation des cartes électroniques prend de plus en plus d'importance dans l'innovation. Les circuits de distribution d'énergie sont donc devenus des éléments pour lesquels la conception et l'étude sont de plus en plus approfondies et requièrent de plus en plus d'attention pour éviter l'apparition de problèmes d'intégrité de puissance.

Les phénomènes d'intégrité de puissance étudiés dans le cadre de cette thèse ont été mis en valeur par la mesure sur un véhicule de test, spécifiquement instrumenté et représentatif des technologies employées à Thales. Ce véhicule de test a permis de valider la méthodologie de conception du réseau de distribution d'énergie d'une carte complexe à haute densité d'intégration développée dans ces travaux. Le but de cette méthodologie est de proposer des outils d'analyse et de simulation des réseaux de distribution d'énergie et leur configuration tout en s'intégrant au flux de développement de carte électronique déjà en place à Thales. La méthodologie présentée permet non seulement de fiabiliser la conception de la carte électronique en détectant avant la fabrication des dysfonctionnements possibles mais elle permet également d'optimiser le réseau de distribution d'énergie si des problématiques de coûts ou de densité apparaissent lors du développement d'un produit.

La méthodologie de simulation du réseau de distribution d'énergie repose sur la modélisation fidèle des éléments le constituant. A ce titre, des efforts particuliers ont été fournis pour développer les modèles de chaque élément. Ceux-ci sont validés par la confrontation de résultats de simulation à des résultats de mesures obtenus sur le véhicule de test ou à l'aide de maquettes développées durant les travaux de thèse.

Pour les modules régulateurs de tension, les modèles SPICE fournis par les fabricants permettent d'obtenir des résultats de simulation très fidèles au fonctionnement du composant dans le domaine temporel. Par contre, de grandes difficultés ont été rencontrées pour sa modélisation dans le domaine fréquentiel. Ce modèle est nécessaire pour obtenir le comportement basse fréquence du réseau de distribution d'énergie et pouvoir ainsi

concevoir le réseau de découplage nécessaire au respect de l'impédance cible. Le modèle d'impédance de sortie des modules régulateurs de tension n'apparaît pas dans la fiche de description du composant et n'est pas non plus fourni par le fabricant sous un autre format. Il est donc possible d'obtenir ce modèle par le biais d'une mesure dont la méthodologie est exposée dans ce manuscrit. Bien que de bons résultats aient été obtenus pour des modules régulateurs de tension de forte puissance, cette modélisation n'est pas satisfaisante pour des convertisseurs typiquement rencontrés dans des systèmes embarqués.

Les condensateurs de découplage ont pu être modélisés et mesurés précisément sur la bande de fréquence sur laquelle l'analyse des réseaux de distribution d'énergie est généralement effectuée grâce à la conception de plaquettes de calibration et de caractérisation. Les condensateurs de découplage présentent en revanche une forte variabilité de leur comportement, ce qui ne permet pas de caractériser précisément le comportement du réseau de découplage dans le cadre de l'industrialisation d'une carte électronique. Des pistes de modèles intégrant ces variabilités sont cependant proposées dans ce manuscrit afin de réaliser un compromis entre précision d'analyse de l'efficacité du réseau de découplage et contraintes de production.

L'étude des condensateurs de découplage a également été orientée sur leur routage et la quantification de l'impact du routage sur leur efficacité. De cette étude ont été tirées des règles de routage afin d'optimiser le découplage des condensateurs mais également les configurations de simulations les plus adaptées pour l'obtention de résultats représentatifs. Bien que les résultats obtenus en simulation ne soient pas cohérents quantitativement avec les résultats obtenus en mesure, l'outil de simulation peut tout de même être utilisé qualitativement pour déceler les condensateurs dont l'efficacité est réduite par le routage ou ceux dont l'inductance de boucle est trop forte.

Ce même outil de simulation utilisé pour la modélisation des plans d'alimentation est en revanche très performant et donne d'excellents résultats à condition de connaître précisément l'empilement de la carte électronique et les propriétés électriques des matériaux.

L'augmentation des performances des circuits intégrés et en particulier de leur fréquence de fonctionnement conduit à l'augmentation de la fréquence pour laquelle le découplage doit être efficace. Les composants récents sont donc dotés de condensateurs de découplage, au sein même de leur boîtier. Il est nécessaire de connaître précisément l'impédance des circuits intégrés afin d'éviter le phénomène d'anti-résonance lors de la conception du réseau de découplage d'un potentiel d'alimentation. Lorsque aucun modèle n'est disponible, une technique de mesure de l'impédance du circuit intégré a été développée afin d'inclure ces caractéristiques aux simulations de dimensionnement du réseau de distribution d'énergie. Cette méthodologie présente la principale partie originale de ces travaux.

Par ailleurs, le dimensionnement du réseau de découplage vise à procurer aux composants de la carte les charges nécessaires à leur fonctionnement. Il faut donc connaître précisément la consommation statique et dynamique des composants afin de concevoir un réseau de distribution d'énergie au plus juste. L'inventaire des différents modèles existant pour la description de la consommation des composants a été réalisé. Ces modèles ne sont cependant pas encore très courants. Un des objectifs de la thèse consistait à pouvoir mesurer le courant consommé par l'activité d'un circuit intégré. Malheureusement, aucun moyen simple n'a été mis en place permettant la réalisation de cette mesure. La consommation des circuits intégrés reste donc basée dans ces travaux sur des hypothèses.



Les différentes hypothèses émises ont cependant été confrontées à des mesures en courant en sortie de convertisseur et ont montré être proches des comportements observés. Ces hypothèses ont ainsi permis d'élaborer un nouveau modèle d'impédance cible moins pessimiste que ceux rencontrés dans la littérature et d'optimiser le réseau de découplage des cartes électroniques. De plus, une méthodologie d'obtention du modèle d'impédance cible de potentiel d'alimentation de bus de communication a été développée à partir des modèles IBIS.

Enfin, la sensibilité des liens de communication rapides séries ou parallèles est telle qu'il est maintenant nécessaire d'introduire l'influence du réseau de distribution d'énergie dans les simulations d'intégrité de signal afin d'améliorer la représentativité des résultats de simulation. La méthodologie de couplage de la simulation d'intégrité de puissance et d'intégrité de signal est présentée dans la dernière partie de ce chapitre. Les résultats de simulation montrent que l'inclusion du comportement de circuit de distribution d'énergie permet en effet d'améliorer la corrélation entre résultats de simulation et résultats de mesures.

Les systèmes électroniques étant de plus en plus denses et complexes, la sensibilité aux différents phénomènes évoqués dans ces travaux ainsi qu'aux phénomènes de **IS** et de **CEM** augmente sans cesse, à tel point que pour obtenir le comportement fidèle du fonctionnement d'une carte, l'ensemble de ces phénomènes doivent être inclus au sein d'une même simulation. Il deviendra donc de moins en moins envisageable d'analyser les phénomènes électriques d'une carte séparément. Outre les points d'amélioration soulevés sur la modélisation des éléments du réseau de distribution d'énergie, à savoir, le modèle d'impédance de sortie des modules régulateurs de tension de faible puissance et la description de la consommation dynamique des composants, le défi des futurs outils d'analyse des cartes électroniques sera d'intégrer le traitement de l'ensemble des phénomènes afin d'obtenir la précision nécessaire pour des résultats de simulation représentatifs.



# **Annexe A**

## **Annexes**

### **A.1 Rapport de micro-section**

Le document introduit ici est le rapport de micro-section du circuit-imprimé du véhicule de test. Il permet de connaître la valeur précise de l'épaisseur des différentes couches de l'empilement du circuit-imprimé ainsi que l'épaisseur de la couche de cuivre du remplissage des via traversant et des micro-vias.



## **A.2 Caractéristiques des matériaux utilisés pour la fabrication du circuit imprimé du véhicule de test**

Ce second document, fournis par le fabricant du circuit imprimé présente les différentes caractéristiques électriques du matériau utilisé pour la construction du circuit imprimé du véhicule de test

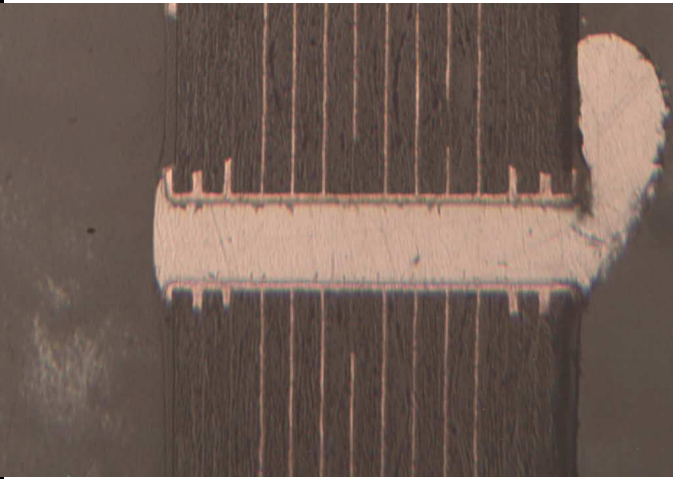


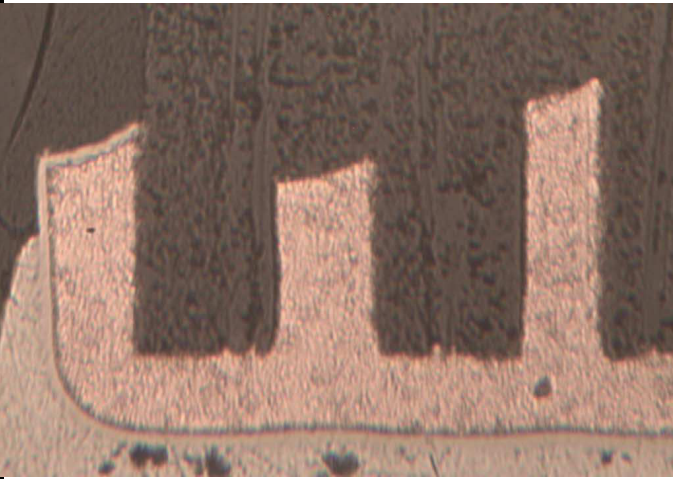
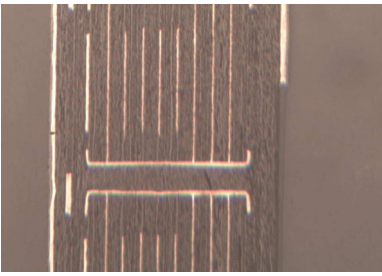
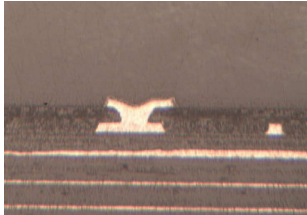
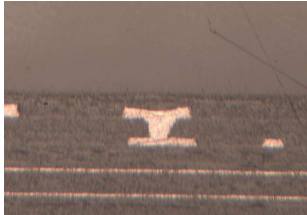
**ANNEXE 1 : PROCES VERBAL DE CONTRÔLE  
ADDITIONAL 1 : FINAL INSPECTION REPORT**

|                         |               |           |        |
|-------------------------|---------------|-----------|--------|
| Référence / Part number | 63204265AA0LF |           |        |
| N°lot / Batch Number    | 35340989      | Date code | 781537 |

**CONTRÔLES LABORATOIRE / MEASUREMENTS LABORATORY**

|   |             |                       |                  |
|---|-------------|-----------------------|------------------|
| Coupe metallographique / Micro section                    | oui         | Archivée / in archive | oui              |
| Test de soudabilité / Solderability test                  | oui         | Archivée / in archive | oui              |
| Ep. Cu dans les trous(µm) / Cu plating thickness in holes | Mini        | 40                    | Moy/Average 45,5 |
| Fait part / Done by                                       | AM. GUESNEY | Date/date             | 11/09/2015       |

|   |   |
|---|---|
| <p>1</p>  | Photo 1 : Fiabilité                                   |
|   | Photo 2 : Détail liaison                              |
|   | Photos 3 : trou enterré = 26/30 µm via et via enterré |

|  |  |
|--|--|
| <p>2</p>  | <p>3</p>    |
|--|--|

**AUTRES / OTHERS**

**Titre :** Techniques et Méthodologie de Conception du Réseau de Distribution d'Energie d'une Carte Electronique Complexe à Haute Densité d'Interconnexion

**Mots clés :** Circuit d'alimentation, Circuit Intégré, Conversion d'énergie, Modélisation, Mesure électronique Rapide, Simulation,

**Résumé :** L'évolution des technologies de l'électronique implique l'utilisation de composants intégrés certes de plus en plus performants mais consommant de plus en plus de puissance à des niveaux de tension faible. La conception du réseau de distribution d'alimentation d'une carte électronique devient alors une tâche critique puisqu'elle peut être à l'origine de dysfonctionnement de la carte. L'objectif de la thèse est de proposer une méthodologie de conception du réseau d'alimentation.

Cette méthodologie indique les modèles et les outils à utiliser pour la simulation.

Afin d'obtenir une simulation la plus précise possible, l'influence d'éléments tels que la forme des plans d'alimentation, le routage des condensateurs de découplage, l'impact du découplage interne aux composants intégrés sont étudiés. De même de nouveaux critères pour la sélection de composant comme les convertisseurs DC-DC ou les LDO sont introduits. Enfin, la conception d'un véhicule de test permettra de réaliser des mesures pour vérifier ces critères, valider la méthodologie et comparer les résultats obtenus en simulation avec ceux obtenus par la mesure.

**Title :** Methodology and Design Techniques for Power Delivery Network of High Speed High Density Electronic Board

**Keywords :** Integrated Circuit, High Speed Measurement, Model, Power Conversion, Power Delivery Network, Simulation

**Abstract :** Evolution of Technology in electronics implies using more efficient integrated circuits (IC) but consuming more power at low voltage level. Power Delivery Network (PDN) Design of an electronic board become a critical task because it can be the origin of hardware disfunction. The aim of the thesis is to propose a PDN Design Methodology. The latter must indicate models and tools to use for proper simulation. In order to obtain a precise simulation, influence of elements like power plane shapes, decoupling capacitor routing or package decoupling of IC's are studied. New criterias for selection of components like DC-DC converters or

LDO are presented. Finally, the design of a test vehicle will aim to get measurement results to checks the presented criterias, validate the design methodology and correlate measurement et simulation results.