



HAL
open science

Récepteur SDR par échantillonnage direct du signal RF

P. Bousseaud

► **To cite this version:**

P. Bousseaud. Récepteur SDR par échantillonnage direct du signal RF. Sciences de l'ingénieur [physics]. EEATS, 2013. Français. NNT: . tel-01769290v1

HAL Id: tel-01769290

<https://theses.hal.science/tel-01769290v1>

Submitted on 17 Apr 2018 (v1), last revised 18 Jul 2018 (v2)

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Optique et Radiofréquences (OR)**

Arrêté ministériel : 7 août 2006

Présentée par

Pierre BOUSSEAUD

Thèse dirigée par **Emil NOVAKOV** et
Codirigée par **Jean-Michel FOURNIER**

Préparée au sein du **Laboratoire IMEP-LAHC**
dans l'**École Doctorale EEATS**

Récepteur SDR par échantillonnage direct du signal RF

Thèse soutenue publiquement le « **Lundi 16 Décembre 2013** »,
devant le jury composé de :

Mr Sari HIKMET

PR Supélec Gif-sur-Yvette, Président du Jury

M Patrick LOUMEAU

PR Télécom PARIS, Rapporteur

Mme Geneviève BEAUDOIN

PR ESYCOM PARIS-EST Marne-la-Vallée, Rapporteur

Mr Emil NOVAKOV

PR UJF GRENOBLE, Directeur de Thèse

Mr Jean-Michel FOURNIER

PR INP-PHELMA GRENOBLE, Co-directeur de Thèse



***Récepteur SDR par échantillonnage
direct du signal radiofréquence (RF)***

Par Pierre Bousseaud

Thèse de doctorat préparée au sein du laboratoire IMEP-LAHC, INPG Grenoble, France

Encadrant : Dr Emil Novakov

Co-encadrant : Dr Jean-Michel Fournier

Remerciements

Je voudrais remercier tout d'abord mon directeur de thèse Dr Emil Novakov et mon co-directeur Dr Jean-Michel Fournier de m'avoir fait confiance au cours de ces trois dernières années, ainsi que pour leur aide dans mes travaux de recherche. Sans eux, cette thèse n'aurait pas pu se dérouler dans d'aussi bonnes conditions. Pour cela, je les remercie également.

Je voudrais également remercier Dr Yannis Le Guennec pour les discussions enrichissantes que j'ai pu avoir avec lui concernant mes résultats de mesure.

Aussi, je voudrai remercier Antoine Gachon pour son support technique ainsi que ses nombreux conseils.

Je suis également très reconnaissant de l'ingénieur Nicolas Corrao qui a toujours su m'aider lors de mes périodes stressantes de mesures ainsi que de ses précieux conseils techniques.

Je tiens également à remercier tous mes amis que j'ai pu rencontrer à Grenoble : Dr Alejandra-Castro-Carranza, Dr Tong-Shao, Dr Yong Xu, Dr Jing Wan, Dr Cuiqin Xu, Dr Cécilia Mezzomo, Mr Julien Kieffer, Mr Tapas Dutta, Dr Xiaolan Tang, Ms Chuan-Lun Hsu, Dr Tekfouy Lim, Mr Fanyu Liu, Mr Ramin Khayatzadeh, Mr Vitor Freitas, Mr Bruno Roberto Franciscatto, Ms Aline Coehlo Da Souza, Ms Fatima Barrami, Ms Hana Ouslimani, Dr Isabel Maria Vergara Gallego, Dr Carlos Hernan Prada Rojas, Dr Leonce Mutwewingabo, Dr François Burdin, Mr Vlad Aniculaesei, Ms Elsa Jardinier, Mr François Parsy, Dr Amer Diab, Dr Imed Akz, Dr Mauricio Dias, Ms Evanaska-Maria Nogueira Barbos, Ms Ana Bildea, Ms Ana Armeanu, Mr Daeyoung Jeon, Mr Vincent Debromez, Ms Friederike Brendel, Ms So Jeong Park, Mr Bertrand Eskay et Mr Marco Casale.

Aussi, je tiens à remercier mes amis de Paris, de Nantes ainsi que ceux que j'ai pu rencontrer en école d'ingénieur à Angers, pour leur soutien et leurs conseils.

Je voudrais enfin remercier chaleureusement mes parents ainsi que ma sœur qui m'ont toujours apportés leur soutien et leur amour dans ma vie quotidienne.

Mes trois années de doctorat au sein du laboratoire IMEP-LAHC ont été une expérience très enrichissante pour moi. Cela m'a permis de découvrir le monde de la recherche et de participer à une aventure intellectuelle et humaine très enrichissante. Ces trois années de ma vie m'ont permis de grandir et de trouver ma voie dans ma vie professionnelle. Je tiens encore une fois à remercier mes superviseurs pour la confiance qu'ils m'ont témoignée et de m'avoir permis de réaliser cette formidable et difficile aventure. J'espère que l'on restera en contact dans le futur.

Sommaire

SOMMAIRE	5
ACRONYMES	9
LISTE DES FIGURES ET TABLES	11
INTRODUCTION	15
CHAPITRE I: ETAT DE L'ART	17
1. INTRODUCTION.....	17
2. ETAT DE L'ART DES RECEPTEURS	18
2.1. Architectures analogiques	18
2.2. Architectures numériques.....	20
2.2.1. Récepteurs à sous échantillonnage dans le domaine de tension.....	21
2.2.2. Récepteurs à sous échantillonnage dans le domaine de courant	27
2.2.3. Récepteurs à échantillonnage direct en courant	30
2.3. Récepteurs à échantillonnage direct en tension.....	36
2.3.1. Récepteurs à réjection d'harmoniques	36
2.3.2. Récepteurs à convertisseurs delta-sigma.....	43
3. CONCLUSION	47
4. REFERENCES BIBLIOGRAPHIQUE	51
CHAPITRE II : ECHANTILLONNEUR PASSIF	55
1. INTRODUCTION.....	55
2. PRINCIPE DE LA THEORIE DE « N PATHS FILTER »	55
3. SYSTEME LINEAIRES PERIODIQUES ET VARIANT DANS LE TEMPS (LPTV)	57
4. PRINCIPE DE SYSTEME D'ECHANTILLONNAGE EN QUADRATURE	60
4.1. Système d'échantillonnage conventionnel	60
4.2. Système d'échantillonnage pseudo-différentiel à quatre voies	60
5. ANALYSE FREQUENTIELLE DU SYSTEME D'ECHANTILLONNAGE DIFFERENTIEL EN QUADRATURE	62
5.1. Fonction de transfert à l'harmonique $n=0$ avec $Df_{rc} \ll f_s$	64
5.2. Fonction de transfert en bande de base à l'harmonique $n \neq 0$ avec $Df_{rc} \ll f_s$	66
5.3. Propriété de réjection d'harmoniques	70
5.4. Sélectivité du mélangeur et influence de la résistance R_{on} du transistor	70
6. ETUDES DES IMPERFECTIONS DE L'ECHANTILLONNEUR.....	73
6.1. Gigue de phase	73
6.2. Gigue de phase dans le cas d'un système d'échantillonnage à N voies.....	77
6.3. Figure de bruit	79
6.4. Variation du rapport cyclique.....	81
6.5. Fréquence image	82
6.6. Phénomènes d'injection de charge et de « clock-feedthrough ».....	84
7. ETUDE SYSTEME AVEC MATLAB.....	88
7.1. Signal modulé 16QAM idéal.....	89
7.2. Signal modulé 16QAM avec bruit de phase.....	90
7.3. Signal modulé 16QAM avec bruit de type Gaussien	91
7.4. Signal modulé 16QAM en présence de signaux interférents	93
8. CONCLUSION	95
9. REFERENCES	97

CHAPITRE III : CONCEPTION ET REALISATION DU RECEPTEUR RADIOFREQUENCE	99
1. INTRODUCTION.....	99
2. SYSTEME DE RECEPTION COMPLET RADIOFREQUENCE (RF)	99
2.1. Description globale	99
2.2. Spécifications et applications	100
3. INITIALISATION DU FLOT DE CONCEPTION	100
3.1. Choix de la technologie.....	100
3.2. Outils de conception et méthodologie.....	101
4. DESIGN DE LA PARTIE NUMERIQUE DU RECEPTEUR.....	102
4.1. Générateur des quatre phases avec rapport cyclique de 25%.....	102
4.1.1. Diviseur de fréquence.....	103
4.1.2. Design du circuit logique de génération des phases.....	104
4.1.3. Buffers d'horloges.....	104
5. CONCEPTION DES BLOCS ANALOGIQUES RF DU RECEPTEUR	106
5.1. SENSIBILITE DU RECEPTEUR	106
5.2. Conception de l'amplificateur bruit	106
5.3. Conception du mélangeur passif.....	110
5.3.1. Etude fréquentielle du mélangeur passif.....	111
5.3.2. Linéarité du mélangeur passif	114
5.4. Layout de la partie analogique	115
6. REALISATION DU CŒUR DE LA PUCE	115
7. REALISATION DE LA PUCE TOTALE	117
7.1. Puce complète comportant l'amplificateur faible bruit (LNA).....	117
7.2. Photographie de la puce après fabrication.....	118
8. CONCLUSION.....	119
9. REFERENCES BIBLIOGRAPHIQUE	120
CHAPITRE IV : MESURES ET TESTS EXPERIMENTAUX.....	121
1. INTRODUCTION.....	121
2. INSTRUMENTATION ET EQUIPEMENTS DE TEST.....	122
3. DEVELOPPEMENT ET REALISATION DES CIRCUITS IMPRIMES (PCB).....	123
3.1. Outil de développement et description générale	123
3.2. Transformateur différentiel	123
3.3. Amplificateur opérationnel (AOP).....	124
3.3.1. Facteur de bruit.....	125
3.4. Filtre électromécanique Surface Acoustic Wave (SAW).....	127
3.5. Réalisation du PCB complet	128
3.5.1. Circuit comportant le LNA en entrée.....	128
3.5.2. Circuit comportant le mélangeur passif seulement	130
4. MESURES ET TESTS EXPERIMENTAUX	131
4.1. Circuit comportant le LNA en entrée.....	131
4.1.1. Mesures de consommation en régime statique.....	131
4.1.2. Mesures de consommation en régime dynamique	131
4.1.3. Paramètre d'adaptation en entrée S_{11}	132
4.1.4. Mesures temporelles.....	134
4.1.5. Sensibilité	136
4.1.6. Mesures fréquentielles.....	137
4.1.7. Mesures de linéarité	139
4.2. Circuit comportant le mélangeur uniquement.....	141

4.2.1. Mesures de consommation en régime statique.....	141
4.2.2. Mesures de consommation en régime dynamique	141
4.2.3. Mesures temporelles.....	141
4.2.4. Sensibilité	142
4.2.5. Mesures fréquentielles.....	143
4.2.6. Mesures de linéarité	144
4.3. Circuit comportant le mélangeur uniquement et le filtre sélectif SAW	145
4.3.1. Mesures de consommation en régime statique.....	145
4.3.2. Mesures temporelles.....	145
4.3.3. Sensibilité	146
4.3.4. Mesures fréquentielles.....	147
4.3.5. Mesures de linéarité	148
5. CONCLUSION.....	149
6. REFERENCES BIBLIOGRAPHIQUE	151
CONCLUSION ET PERSPECTIVES	153
ANNEXE I	155
ANNEXE II.....	159
ABSTRACT	163

Acronymes

3G: Third Generation
4G: Fourth Generation
ADC: Analogue Digital Converter
ADS: Agilent Design System
AM: Amplitude Modulated
ASK: Amplitude Shift Keying
BAW: Bulk Acoustic Wave
BER: Bit Error Rate
DECT: Digital Enhanced Cordless Telephone
DLL: Digital Locked Looped
EVM: Error Vector Magnitude
FIR: Finite Impulse Response
GSM: Global System for Mobile Communications
IIP3: Input third-order Intercept Point
IIR: Infinite Impulse Response
ISM: Industrial, Scientific and Medical Band Radio
LNA: Low Noise Amplifier
LPTV: Linear Periodically Time Variant
LTE: Long Term Evolution
OIP3: Output third-order Intercept Point
OQPSK: Offset Quadrature Phase Shift Keying
PCB: Printed Circuit Board
QAM: Quadrature Amplitude Modulation
QPSK: Quadrature Phase Shift Keying
RFID: Radio Frequency Identification
SAW: Surface Acoustic Wave
SINAD: Signal to Noise and Distortion Ratio
SNR: Signal to Noise Ratio
SSB: Single Side Band
UHF: Ultra High Frequencies
VNA: Vector Network Analyzer

WCDMA: Wideband Code Division Multiple Access

WiFi: Wireless Fidelity

WiMA: Worldwide Interoperability for Microwave Access

WLAN: Wireless Local Area Network

WPAN: Wireless Private Area Network

Liste des Figures et Tables

Liste des Figures :

Figure I.1: Récepteur homodyne analogique classique.....	19
Figure I.2: Récepteur hétérodyne analogique classique.....	19
Figure I.3: Structure idéale de récepteur numérique suivant le concept de Mitola [1].....	21
Figure I.4: Conversion d'un signal réel borné en bande de base par la méthode du sous-échantillonnage en tension	22
Figure I.5: Récepteur à sous-échantillonnage en quadrature en technologie 0.18um à 2.4GHz, D.Jakonis [4]	24
Figure I.6: Structure du filtre CIC d'ordre 3 et stimulus de commande, D.Jakonis [4].....	25
Figure I.7: Principe du récepteur à sous échantillonnage, Hyung-Jung Kim et al [6]	27
Figure I.8: Sous échantillonneur en Quadrature en courant, 2005 S.Karvonen [16].....	28
Figure I.9: Sous échantillonneur en quadrature S.Karvonen, 2005 [17].....	30
Figure I.10: a) Cellule d'échantillonnage du Récepteur Bluetooth digital en 0.13um (une seule partie), b) Pulses de commande de la cellule, K.Muhammad et Al [23]	31
Figure I.11: Récepteur multistandard 800MHz-6GHz, A.Abidi et Al [29]	33
Figure I.12: Etage de décimation et de filtrage anti-repliement [29].....	34
Figure I.13: Récepteur SDR 500MHz-3.8GHz, IMEC, Craninckx et Al [34].....	35
Figure I.14: Principe de la technique d'approximation d'un signal d'horloge carré en un signal sinusoïdal ne comportant que l'harmonique fondamentale, Nauta [35]	37
Figure I.15: Rejection des harmoniques 3 (a) et 5 (b) en fonction du déséquilibre de phase et pour un déséquilibre en amplitude donné.....	38
Figure I.16: Récepteur à réjection d'harmoniques à deux étages, Z.Ru [35]	39
Figure I.17: a) Diagramme temporel des coefficients de pondération. b) Approximation sinusoïdale du signal carré [35].....	40
Figure I.18: Synoptique du récepteur à mélange discret.....	41
Figure I.19: Technique de réjection d'harmonique à temps discret, Z.Ru [39]	41
Figure I.20: a) Unité d'échantillonnage 8 phases [39] b) Cellule d'échantillonnage [39].....	42
Figure I.21: Réponse impulsionnelle du système, Z.Ru [39].....	42
Figure I.22: Evolution de la taille des transistors dans le temps	44
Figure I.23: Système de réception à conversion de type delta-sigma, E.Martens et Al [43]... ..	45

Figure I.24: Architecture de la cellule de conversion continue delta-sigma, E.Martens et Al [43]	46
Figure I.25: Filtres décimateurs et conversion en bande de base, E. Martens et Al [43].....	47
Figure I.26: Schéma du récepteur intégré (transformateur externe) utilisant la technique d'échantillonnage de « N paths filter »	49
Figure II.1: Architecture du filtre à N voies, FRANKS et SANDBERG [1].....	56
Figure II.2: Diagramme temporel du système linéaire périodique et variant dans le temps....	57
Figure II.3: a) Principe d'échantillonnage en quadrature conventionnel et b) Phases d'échantillonnage.....	60
Figure II.4: a) Principe d'échantillonnage en quadrature à quatre voies d'échantillonnage et b) Phases d'échantillonnage.....	61
Figure II.5: Architecture du système complet d'échantillonnage différentiel à quatre phases.	62
Figure II.6: a) Système d'échantillonnage différentiel et b) Phases d'interrupteurs	62
Figure II.7: a) Système d'échantillonnage différentiel et b) Phases d'interrupteurs	66
Figure II.8: Gain de conversion en fonction de la fréquence normalisée avec N=4 voies.....	69
Figure II.9: Sélectivité du filtre en fonction des fréquences normalisées f / f_s	71
Figure II.10: Schéma équivalent de l'échantillonneur pour $ f_{RF} - nf_s \ll 0$	72
Figure II.11: Erreur d'échantillonnage d'un signal sinusoïdal crée par une gigue de phase de distribution gaussienne de moyenne nulle ($\mu=0$) et de variance σ_j	74
Figure II.12: SNR en fonction du Jitter pour a) Frf=868MHz et b) Frf=2,41GHz.....	77
Figure II.13: Evolution du facteur de bruit (dB) en fonction du rapport cyclique D (%).	80
Figure II.14: Réjection de la fréquence image en fonction du décalage en phase	84
Figure II.15: a) Schéma équivalent de l'échantillonneur lorsque l'interrupteur est fermé. b) Schéma équivalent lorsque l'interrupteur est ouvert	85
Figure II.16: Schéma global du système sous Matlab Simulink	89
Figure II.17: Constellation d'un signal démodulé 16QAM en sortie du récepteur dans des conditions idéales	90
Figure II.18: Constellation d'un signal démodulé 16QAM avec un bruit de phase de - 110dBc@1MHz.....	91
Figure II.19: Constellation d'un signal 16QAM en sortie pour un SNR de 20dB.....	92
Figure II.20: a) Signal 16QAM reçu en présence d'un bloqueur @50MHz avec un filtrage passe-bas du premier ordre @10MHz. b) Signal 16QAM reçu en présence d'un bloqueur @50MHz avec un filtrage passe-bas du troisième ordre @10MHz.....	93

Figure II.21: a) Trajectoire du signal reçu 16QAM en présence d'un bloqueur @50MHz avec filtrage passe bas du premier ordre à 10MHz. b) Trajectoire du signal reçu 16QAM en présence d'un bloqueur @50MHz avec filtrage passe bas du troisième ordre à 10MHz.	94
Figure III.1: Schéma global du récepteur.....	99
Figure III.2: Synoptique du système de générateur à 4 phases	103
Figure III.3: Schéma d'une bascule.....	103
Figure III.4: Simulations des phases 0°, 90°, 180° et 270° avec $F_S=868\text{MHz}$	104
Figure III.5: Représentation physique du générateur de phases.....	105
Figure III.7: Paramètres S et facteur de bruit (NF) du LNA (partie extraite)	108
Figure III.8: Point de compression à 1dB (P1dB) et IIP3 du LNA avec $F_1=800\text{MHz}$ et $F_2=840\text{MHz}$ pour une puissance variant entre $P_{RF}=-20\text{dBm}$ et $P_{RF}=4\text{dBm}$	109
Figure III.9: a) Mélangeur passif. b) Phases d'échantillonnage.....	110
Figure III.10: Influence de la résistance R_{on} sur la réjection maximale du filtre passe bande en fonction de la fréquence, avec $F_{RF}=F_S=868\text{MHz}$ et $R_{out}=300\Omega$	112
Figure III.11: Influence du rapport cyclique D(%) sur la fonction de transfert du filtre passe bande en fonction de la fréquence, avec $F_{RF}=F_S=868\text{MHz}$, $R_{on}=54\Omega$ et $R_{out}=300\Omega$	113
Figure III.12: Mesure d'IIP1 avec $F_S=868\text{MHz}$ et $F_{RF}=869\text{MHz}$	114
Figure III.13: Layout du bloc analogique.....	115
Figure III.14: Layout du cœur de la puce.....	116
Figure III.15: Enveloppe complexe du signal sinusoïdal démodulé	116
Figure III.16: Layout total de la puce avec Pads.....	117
Figure III.17: Photo de la puce complète du récepteur en technologie 0.13 μm après fabrication	118
Figure IV.1: Banc de tests et instrumentation.....	122
Figure IV.2: Pertes d'insertion du transformateur en fonction de la fréquence.....	124
Figure IV.3: Adaptation en entrée (S11) en fonction de la fréquence	124
Figure IV.4: Montage de l'amplificateur en bande de base.....	125
Figure IV.5: Gabarit du filtre normalisé en fonction de la fréquence, EPCOS [3].....	127
Figure IV.6: Layout du filtre SAW et de son réseau d'adaptation L-C.....	128
Figure IV.7: Layout du PCB complet pour le circuit comportant le LNA (vue de dessus)...	129
Figure IV.8: Représentation physique du PCB (circuit avec LNA).....	130
Figure IV.9: Layout complet du PCB (circuit sans LNA) avec filtre SAW en amont.....	130
Figure IV.10: Paramètre S11 du récepteur en présence du LNA.....	133

Figure IV.11: Démodulation du signal binaire ‘1010’ de débit 125kbps, modulé PM à la fréquence porteuse de 868MHz et de puissance moyenne -50dBm.....	134
Figure IV.12: Signal binaire de débit 20kbps, modulé en amplitude (ASK) avec un indice de 70% à la fréquence de 1.4GHz et pour une puissance moyenne de -50dBm.....	135
Figure IV.13: Signal de type 16QAM, de débit 50ksps, modulé à la fréquence de 868MHz avec une puissance de -50dBm et utilisant un filtre de type Nyquist avec un roll-off $\alpha=0.35$	136
Figure IV.14: Réjection des canaux adjacents bloqueurs (dB) en fonction de la fréquence intermédiaire (kHz) (Cas du circuit avec LNA en entrée)	138
Figure IV.15: Spectre du signal de sortie démodulé de débit 5kbps (cas où aucun brouilleur n’est présent dans le spectre de réception)	139
Figure IV.16: Mesure de point de compression à 1dB (P1dB) et d’intermodulation d’ordre 3, avec $F_S=868\text{MHz}$, $F_1=867.2\text{MHz}$ et $F_2=868.8\text{MHz}$ (cas avec le LNA)	140
Figure IV.17: Démodulation du signal binaire ‘1011’ de débit 50ksps, modulé MSK à la fréquence porteuse de 1.4GHz et de puissance -40dBm	142
Figure IV.18: Réjection des canaux adjacents bloqueurs (dB) en fonction de la fréquence intermédiaire (kHz) (Cas du circuit sans LNA en entrée).....	143
Figure IV.19: Mesure de point de compression à 1dB (P1dB) et d’intermodulation d’ordre 3, avec $F_S=868\text{MHz}$, $F_1=867.2\text{MHz}$ et $F_2=868.8\text{MHz}$ (mélangeur seulement).....	144
Figure IV.20: Démodulation du signal binaire de débit 10kbps, modulé en amplitude (ASK) avec un indice de 50% à la fréquence $F_{RF}=868.3\text{MHz}$, et en présence de deux bloqueurs situés en fréquences à $F_{B1}=F_{RF}+5\text{MHz}$ et $F_{B2}=F_{RF}-5\text{MHz}$	146
Figure IV.21: Réjection des canaux adjacents bloqueurs (dB) en fonction de la fréquence intermédiaire (kHz)	147
Figure IV.22: Mesure de point de compression à 1dB (P1dB) et d’intermodulation d’ordre 3, avec $F_S=868\text{MHz}$, $F_1=867.2\text{MHz}$ et $F_2=868.8\text{MHz}$ (filtre SAW après l’antenne et mélangeur)	148

Liste des Tables :

Tableau 1: Paramètres des transistors NMOS et PMOS en technologie CMOS 130nm HCMOS9GP avec $L=0.13\mu\text{m}$, $W=10\mu\text{m}$ et $T_{ox}=2\text{nm}$	101
Tableau 2: Tableau récapitulatif des performances des différentes architectures étudiées....	150

Introduction

Le développement des radiocommunications sans-fils, jusqu'à aujourd'hui, a fait apparaître une multitude de standards de communication pour des applications diverses et variées. Le GSM, le WCDMA (3G), le WiFi, le Bluetooth, le WiMaX, la RFID...sont utilisés par des milliards d'utilisateurs et ceci chaque jour. Pour les fabricants de circuit intégré appliqués aux radiocommunications, la difficulté est de pouvoir s'adapter à la cohabitation de tous ces standards d'une part et également de pouvoir prédire l'apparition d'un nouveau standard avec une vision industrielle de production sur une courte période. L'exemple de la 4G ou du LTE en est un exemple concret, puisque ses fonctionnalités en termes de débit vont largement surpasser celles des autres standards cités au-dessus.

Une solution concrète pour pouvoir faire cohabiter différentes applications se référant à différentes normes de communications ainsi que pour pouvoir prédire efficacement l'apparition d'un nouveau type d'application consiste à s'appuyer sur le principe de la radio-logicielle. Théoriquement, celle-ci peut traiter n'importe quel standard de communication dans le spectre de fréquence situé entre 100MHz et 6GHz, en reconfigurant les fonctionnalités du récepteur à partir d'une unique structure matérielle. L'avantage ici est de pouvoir s'affranchir des contraintes de production et développement d'une puce pour chaque standard.

Avec l'évolution des technologies microélectroniques, la possibilité de réaliser de systèmes complexes sur puce occupant de moins en moins de surface, avec des performances en fréquence de plus en plus élevées, est devenu une réalité. Il est désormais possible de développer et fabriquer des récepteurs flexibles en fréquences et reconfigurables en s'appuyant sur le concept de radio-logicielle. Pour les fabricants de systèmes sur silicium, un gain de coût important peut ainsi être réalisé.

Dans le cadre de cette thèse, un récepteur radiofréquence, flexible en fréquence, a été conçu, réalisé et caractérisé. Ce récepteur est principalement destiné pour des applications situées entre 400MHz et 1,5GHz. Différentes techniques de traitement de signal sont explicitées, comparées et celle ainsi choisie est détaillée afin de décrire ses propriétés de fonctionnement, ses avantages ainsi que ses limites. Enfin, des mesures de caractérisation de la puce en tant que démonstrateur de systèmes agiles en fréquences et d'applications radio-logicielle sont effectuées.

Chapitre I : Etat de l'Art

1. Introduction

Depuis le début des années 2000, l'essor des réseaux sans-fils ne cesse de s'accroître et connaît aujourd'hui un succès à l'échelle mondiale. Aujourd'hui, la technologie de transmission et de réception d'informations sans fils, que ce soit pour la communication mobile (GSM, DECT, 3G, 4G) ou pour la communication à l'intérieur de zones bien définies tels que les réseaux locaux privatifs (WLAN, WPAN, ZigBee, Bluetooth), est omniprésente.

Aussi, l'amélioration des techniques de transmissions utilisées permettent des débits d'informations de plus en plus élevées, ce qui impose la création de nouveaux standards et donc à la réutilisation de mêmes bandes de fréquences dans le spectre. Ceci amène de plus en plus les dispositifs électroniques à se réadapter en termes d'opérabilité et de compatibilité avec de nouveaux standards. Les évolutions étant fréquentes dans le temps, que ce soit pour l'apparition ou l'abandon d'un standard, cela amène les fabricants à redévelopper un nouveau produit très fréquemment et donc à augmenter les coûts de production.

Une solution idéale à ce problème serait de concevoir un dispositif de réception qui permettrait de s'adapter à toutes les normes de communications sans fils rencontrées, que ce soit en Europe, aux Etats-Unis, au Japon ..., et disposant d'un haut niveau de reconfigurabilité. Cela permettrait aux fabricants de concevoir un unique système de réception pouvant s'adapter à l'évolution constante des applications sans-fils utilisés. Avec un tel système, l'évolution de l'occupation du spectre, liée à l'apparition d'un nouveau standard, n'aurait que très peu d'influence puisque ce système pourrait se reconfigurer automatiquement pour permettre la réception d'une nouvelle application dans une bande donnée.

Le concept de radio-logicielle, instauré par Joe Mitola en 1995 [\[1\]](#), définit un dispositif de réception comme étant capable de recevoir et convertir au plus près de l'antenne, une multitude d'applications distribuées sur le spectre, indépendamment de la technique d'émission employée. Cela est bien sûr utopique, puisque les convertisseurs analogiques-

numériques [2] existant actuellement ne disposent pas d'une bande passante suffisamment large pour pouvoir traiter tout le spectre radio entre 100MHz et 6GHz ainsi que d'une résolution suffisante pour obtenir la sensibilité (dynamique) requise. Cela imposerait l'utilisation d'un convertisseur analogique numérique échantillonnant à la fréquence de 12Gb/s, ce qui est clairement impossible à l'heure actuelle. De plus cela imposerait des contraintes de consommation non viables pour les dispositifs fonctionnant avec des batteries.

Dans le cadre cette thèse, nous allons étudier un récepteur RF pour des applications radio-logicielle en s'appuyant sur des techniques de conversion en fréquence permettant de se rapprocher au mieux du concept idéal de Mitola.

2. Etat de l'art des récepteurs

2.1. Architectures analogiques

Le principe d'un récepteur radio fréquence (RF) est de permettre la réception d'un signal avec un rapport signal à bruit suffisamment élevée, pour pouvoir le traiter par la suite dans le domaine numérique à l'aide d'un convertisseur analogique/numérique (ADC). Les récepteurs RF traditionnels utilisés dans les téléphones mobiles, les bornes WIFI, sont principalement de nature analogique. En effet le signal continu analogique RF de fréquence F_{RF} est converti à l'aide d'un oscillateur locale de fréquence F_{LO} en un signal de fréquence intermédiaire F_{IF} où soit directement à la composante continue (DC).

Deux principaux types de récepteurs analogiques existent : les récepteurs homodynes à conversion directe en fréquence (fréquence intermédiaire nulle) et les récepteurs hétérodynes à conversion à fréquence intermédiaire plus basse, mais souffrant du problème de la fréquence image.

Le récepteur homodyne classique représenté en **Figure I.1** transpose le signal de fréquence centrale F_{RF} en bande de base sous la forme de deux composantes I (en phase) et Q (en quadrature), à l'aide d'un oscillateur local de fréquence $F_{LO}=F_{RF}$. Le signal obtenu est converti en bande de base centré autour de la composante continue DC. Le déphasage de 90° du signal d'oscillateur permet de récupérer la composante en quadrature Q.

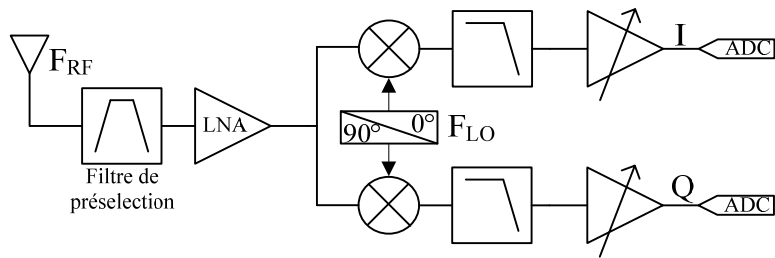


Figure I.1: Récepteur homodyne analogique classique

Cette architecture a l'avantage de pouvoir facilement être intégrée sur une seule même puce, puisque peu coûteuse en terme de composants. Elle permet de convertir le signal directement en bande de base, et d'éviter les problèmes de fréquence image, sans imposer de critères de filtrages drastiques en basse fréquence. Elle souffre cependant du bruit en $1/f$ ou Flicker, ainsi que des fuites de l'oscillateur local [3] qui se rebouclent en entrée du mélangeur, induisant une composante continue au signal en bande de base qui peut être gênante à la bonne réception du signal, puisque dégradant le point d'intermodulation d'ordre 2 (IIP2). Ce problème est d'autant plus critique puisque certains types de modulation (QAM, QPSK, OQPSK...) n'acceptent pas le DC offset. Enfin, dans le cadre d'applications multi standard, les mélangeurs doivent travailler sur une large bande de fréquences, tout en étant le plus linéaire possible, ce qui est difficilement réalisable avec les structures actives de mélangeurs utilisées.

L'autre type de récepteur analogique existant est le récepteur hétérodyne, représenté en **Figure I.2** qui convertit le signal d'entrée RF en bande de base par conversions successives.

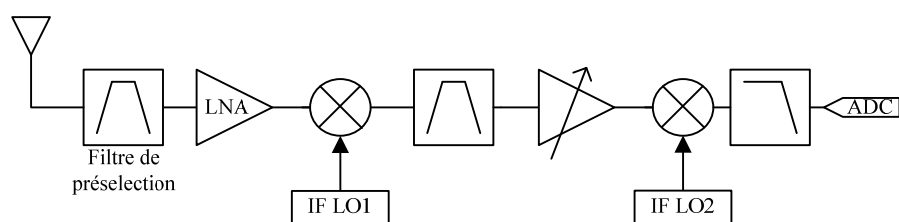


Figure I.2: Récepteur hétérodyne analogique classique

Ce type de récepteur permet d'éviter les problèmes du bruit en $1/f$ et de fuite de l'oscillateur, inhérents au récepteur homodyne, puisque convertissant le signal à une fréquence intermédiaire F_{IF} . Cependant, les contraintes de réjection des fréquences images sont plus élevées que par rapport au système homodyne [4] et le niveau d'intégrabilité est moindre car ce système est plus complexe à réaliser. En effet, celui-ci nécessite la mise en œuvre de deux oscillateurs et d'au moins deux filtres, dont un à basse fréquence, ce qui induit

par ailleurs une consommation énergétique plus conséquente. Pour des applications multistandards, le manque de flexibilité de cette architecture ainsi que la complexité d'intégration sur silicium, fait que celle-ci ne peut être utilisée. Enfin la sélectivité de ce type de récepteur dépend du filtre extérieur de technologie différente (SAW, BAW) de ce qui peut se faire en intégré, afin d'obtenir un facteur de qualité plus élevé.

Bien que ces deux structures de récepteurs fonctionnent parfaitement avec des systèmes fonctionnant en bande étroite, elles sont difficilement exploitables pour des systèmes multistandards due au manque de flexibilité des composants analogiques et de leurs nombreuses imperfections. Enfin, l'implémentation d'un filtre flexible en fréquence avec plusieurs zéros de transmissions et plusieurs pôles n'est pas réalisable puisque trop complexe en réalisation et celui-ci occuperait une place prépondérante sur la puce.

Afin de résoudre les problèmes liés à l'analogique, la voie du numérique peut s'avérer prometteuse puisqu'il y est possible de réaliser des fonctions de filtrages et de conversion en fréquence à l'aide de composants passifs seulement, tout en obtenant une meilleure flexibilité ainsi qu'une meilleure linéarité qu'avec des éléments analogiques. Cependant toute la partie analogique ne peut disparaître à l'heure actuelle, le LNA par exemple, qui permet d'améliorer la figure de bruit du récepteur, et donc sa sensibilité.

2.2. Architectures numériques

Le principe de l'architecture numérique idéale pour des applications radio-logicielle est représentée en **Figure I.3**, et s'appuie sur la représentation faite par Mitola [\[1\]](#). On reçoit le signal analogique RF de fréquence F_{RF} et de bande passante totale B , constitué d'un nombre défini N_i de sous canaux de bande B_i . Ce signal est directement numérisé par un convertisseur analogique/numérique (ADC). Ensuite, on réalise les opérations de filtrage, sélection du canal, démodulation, etc...dans le domaine numérique.

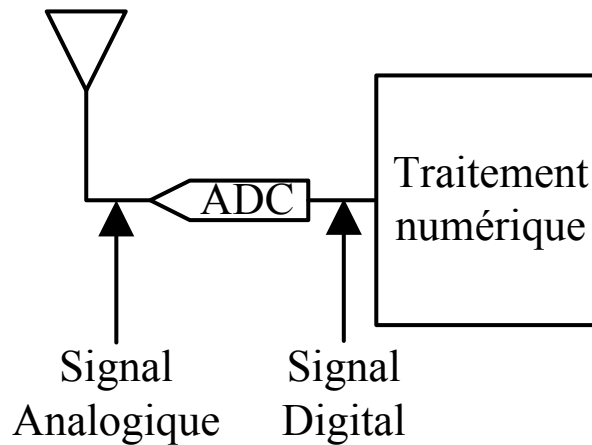


Figure I.3: Structure idéale de récepteur numérique suivant le concept de Mitola [1]

Cette solution n'est clairement pas réalisable avec les technologies de convertisseurs analogique/numérique existantes, limitées à des fréquences d'échantillonnage ne dépassant pas les 2Gsp/s. Or, la plupart des standards de communication se situent dans les bandes de fréquences comprises entre 100MHz et 6GHz, et aucun convertisseur analogique/numérique échantillonnant à 12Gsp/s pour une résolution minimale de 12bits n'existe. Plus la sensibilité requise est importante et plus la résolution de l'ADC devra être grande (ex : une dynamique de 100dB nécessite 16bits!) De plus, l'évolution des ADC en termes de dynamique et de résolution évoluent bien plus lentement que la loi de Moore [2].

Dans l'étude qui suit, nous allons traiter de quelques exemples d'architectures numériques implémentées jusqu'ici, en décrivant leurs modes de fonctionnement, leurs performances ainsi que leurs avantages et inconvénients. Celles-ci seront classifiées selon les techniques employées afin de mieux souligner les différences.

2.2.1. Récepteurs à sous échantillonnage dans le domaine de tension

Pour des applications radio-logicielle, la technique de sous-échantillonnage dans le domaine de tension a été de nombreuses fois utilisée dans le cas de réalisation de récepteurs [4], [5], [6], [7] puisque permettant de convertir simultanément des signaux multi-bandes en bande de base, en utilisant une fréquence d'échantillonnage f_s plus basse que la fréquence centrale du signal f_{RF} à convertir. Le signal radiofréquence est ici traité en tant que signal représentant une tension, issu d'une antenne ou d'un amplificateur faible bruit. Un schéma illustratif de cette technique, pour un signal réel de fréquence centrale f_{RF} borné entre la fréquence basse f_L et la fréquence haute f_H est montré en Figure I.4.

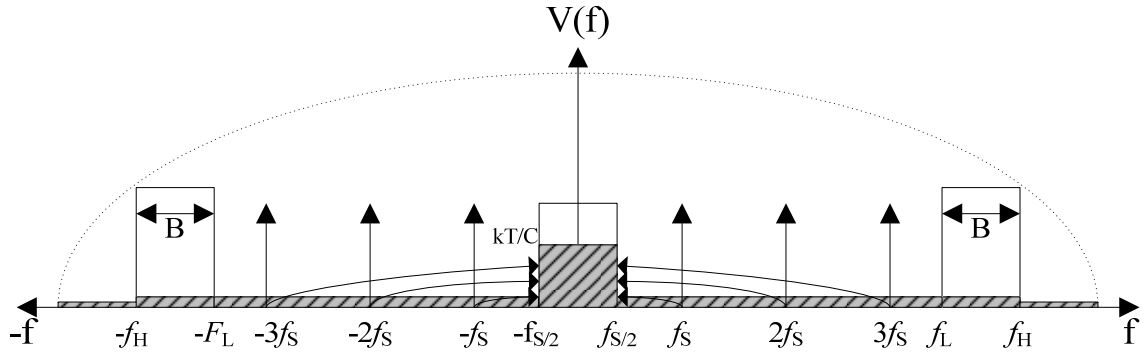


Figure I.4: Conversion d'un signal réel borné en bande de base par la méthode du sous-échantillonnage en tension

La fréquence de sous échantillonnage doit être choisie de telle manière à ce que celle-ci soit au moins deux fois plus grande que la bande passante B du signal RF afin de pouvoir reconstruire celui-ci en basse fréquence. Pour le signal réel borné de la **Figure I.4**, de fréquence F_{RF} , situé entre la fréquence basse f_L et la fréquence haute f_H , la condition acceptable de fréquence d'échantillonnage f_s pour une reconstruction du signal est telle que :

[\[8\]](#)

$$\frac{2f_H}{n} \leq f_s \leq \frac{2f_L}{n-1} \quad \frac{2f_H}{n} \leq f_s \leq \frac{2f_L}{n-1} \quad (1.1)$$

Avec n entier tel que :

$$1 \leq n \leq E\left(\frac{f_H}{B}\right) \quad (1.2)$$

La valeur maximale de celui-ci détermine la valeur minimale de fréquence d'échantillonnage que l'on peut choisir. Plus celle-ci est faible et plus la sensibilité aux repliements en bande de base est importante. Suivant la valeur de f_s , on peut soit décider de transposer le signal radiofréquence à une fréquence intermédiaire plus basse ou alors directement en bande de base selon la condition suivante :

$$\begin{aligned} \text{si } E(f_{RF} / f_s) \equiv 2k, k \in \mathbb{N}, F_{IF} &= \text{reste}(f_{RF} / f_s) \\ \text{sinon } F_{IF} &= f_s - \text{reste}(f_{RF} / f_s) \end{aligned} \quad (1.3)$$

Ainsi, pour convertir en bande de base, la fréquence de sous échantillonnage doit être un sous-multiple entier de la fréquence centrale du signal RF.

Dans le cadre d'un échantillonnage en phase et quadrature (I/Q), la fréquence f_s doit être choisie telle que [\[8\]](#) :

$$f_s = \frac{4f_{RF}}{2K-1}, K \in \mathbb{N} \quad (1.4)$$

La différence de phase entre deux échantillons est donc :

$$\Delta_\varphi = 2\pi \cdot \frac{f_c}{f_s} = \frac{\pi}{2} \cdot (2K-1), K \in \mathbb{N} \quad (1.5)$$

Cette méthode permet de récupérer alternativement les composants en phase et quadrature du signal RF modulé. Cela peut se faire aussi bien à fréquence intermédiaire qu'en bande de base.

En 2005, l'équipe de Darius Jakonis en Suède, à l'université de Linköping, a travaillé sur la réalisation d'un front-end RF en technologie 0.18um travaillant dans la bande ISM à 2.4GHz. La structure développée, présentée en **Figure 1.5** consiste à échantillonner directement le signal RF de bande passante 25MHz autour de sa fréquence porteuse f_{RF} de 2.412GHz par une fréquence f_s plus basse, respectant les critères de sous-échantillonnage énoncés en (1.1) et (1.2).

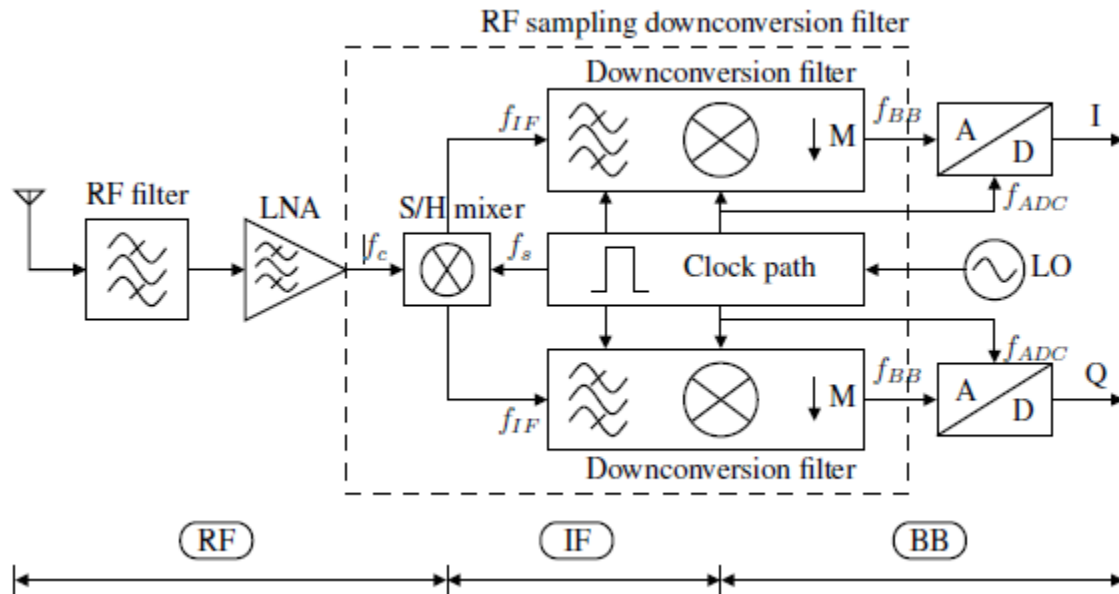


Figure I.5: Récepteur à sous-échantillonnage en quadrature en technologie 0.18um à 2.4GHz, D.Jakonis [4]

Dans cette réalisation, le signal RF provenant de l'antenne est filtré à l'aide d'un filtre passe-bande permettant de sélectionner le signal utile et de relaxer les contraintes de filtrages, lors de la conversion du signal. Le désavantage de ce filtre est son manque de flexibilité en fréquence, ce qui limite l'intérêt du récepteur pour des applications multistandards. Enfin, l'intégration d'un tel filtre sur silicium occupe une place trop importante.

La fréquence d'échantillonnage choisit ici en prenant $K=5$, soit $f_s = 1.072\text{GHz}$, donne une fréquence intermédiaire $f_{IF} = 268\text{MHz}$, avec une fréquence image située à $\pm \frac{f_s}{2}$, soit $\pm 536\text{MHz}$. Cette fréquence d'échantillonnage garantie que la fréquence image est suffisamment éloignée de la fréquence intermédiaire utile. Cela rejoint également le principe de ne pas choisir une fréquence f_s trop basse, car plus celle-ci est basse, plus la fréquence image est proche du signal converti. Une fois les signaux I et Q obtenus, ceux-ci sont filtrés, décimés et convertis en bande de base, pour être ensuite traités par un convertisseur analogique/numérique. La cellule de filtrage et de décimation consiste ici en l'implémentation d'un filtreur CIC [9] (Cascaded Integrator-Comb Filter) présenté en Figure I.6.

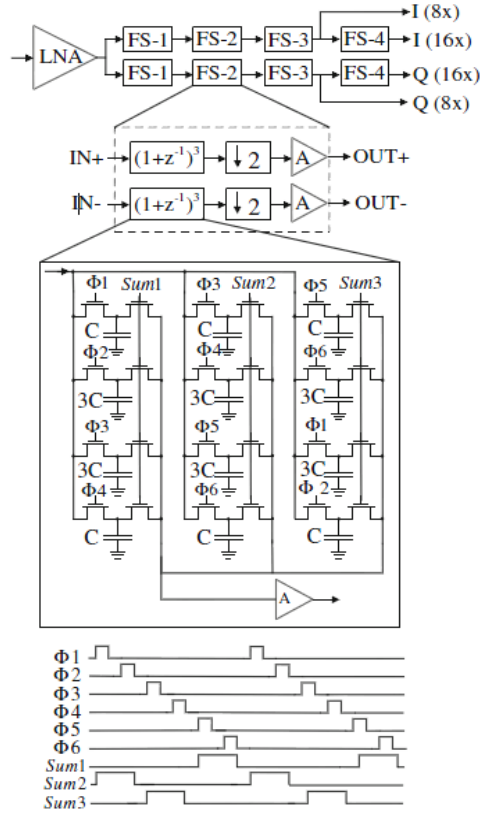


Figure I.6: Structure du filtre CIC d'ordre 3 et stimulus de commande, D.Jakonis [4]

La structure d'un tel filtre se décompose en trois étages de filtres à réponse impulsionnelle finie (FIR) cascades, fonctionnant de façon parallèle et récursive, afin d'implémenter un filtre d'ordre 3. Chacun des étages est constitué d'un réseau de capacités commutées prélevant des échantillons du signal sur les impulsions d'horloges $\Phi_{1,6}$, et dont les valeurs sont pondérées afin d'obtenir une réponse de filtre FIR spécifique d'ordre 3 avec les coefficients $[1, 3, 3, 1]$. Enfin, les signaux périodisés $Sum_{1,3}$ permettent de fixer le rapport de décimation souhaité. La synthèse de ce filtre est basée sur l'implémentation récursive d'un filtre FIR ayant pour fonction de transfert :

$$H[z] = \left(\frac{1 - z^{-MR}}{1 - z^{-1}} \right)^N \quad (1.6)$$

Où R est le rapport de décimation, M un coefficient entier (égal à 1 généralement) et N l'ordre du filtre. La fonction de transfert peut également être écrite de la façon suivante avec :

$$H[z] = (1 + z^{-1})^N (1 + z^{-2})^N \dots (1 + z^{-R/2})^N \quad (1.7)$$

Avec un rapport de décimation bien défini, dépendant du standard envisagé et en s'appuyant sur le fait que $(1+z^{-k})(k \downarrow) = (k \downarrow)(1+z^{-1})$, on a pour un rapport de décimation R égal à 16 : $H[z] = (1+z^{-1})^3 (2 \downarrow)(1+z^{-2})^3 (2 \downarrow)(1+z^{-4})^3 (2 \downarrow)(1+z^{-8})^3$. Ainsi, 4 cellules de filtre CIC sont nécessaires avec chacune un rapport de décimation égal à 2. Au total, cela nécessite un total de 48 capacités et plus généralement pour un filtrage d'ordre N et un rapport de décimation R , la complexité du filtre en termes de nombre de capacités est :

$$N(N+1)\log_2(R) \quad (1.8)$$

Le principal désavantage de cette architecture réside dans le manque de flexibilité dû à la technique d'échantillonnage choisie. De plus, la réalisation de filtres d'ordre élevé requiert un nombre d'éléments passifs importants. Enfin, le bruit en $\frac{kT}{C}$ généré par le total des capacités peut être important [10] et dégrader la figure de bruit du récepteur si des précautions de design ne sont pas prises.

Dans la littérature, d'autres récepteurs à sous-échantillonnage en tension ont été réalisés dans le cadre d'applications GPS (Global Position System) et GNSS (Global Navigation Satellite System) [7], afin de convertir les différentes bandes utiles (L1 à 1572.42MHz et L2 à 1227.6MHz) à basses fréquences puis de les traiter dans le domaine numérique à l'aide de convertisseurs et FPGA. Ces structures de réceptions contiennent des éléments analogiques passifs, tels que des filtres passe-bande SAW, afin de nettoyer le signal avant que celui-ci soit converti. Ces filtres sont non seulement chers et coûteux mais souffrent également de pertes d'insertions importantes, dégradant la sensibilité des récepteurs. Cependant, avec cette technique, cela est inévitable, puisque la gigue de phase convertie du bruit haute fréquence en bande de base [11], [12], [13].

Plus récemment, une étude de possibilité de réalisation de récepteurs SDR à sous-échantillonnage en tension [6] a été réalisée, tout en prenant en compte des imperfections dues à la gigue de phase ainsi qu'au bruit de quantification du convertisseur analogique/numérique. La représentation du système de réception est présentée en **Figure I.7**.

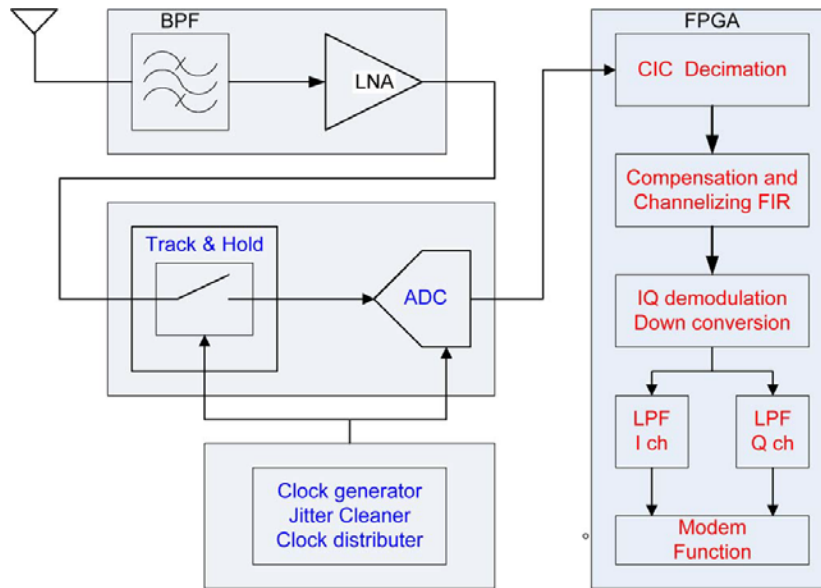


Figure I.7: Principe du récepteur à sous échantillonnage, Hyung-Jung Kim et al [6]

En amont, un filtre passe-bande sélectionne le signal utile à recevoir, de fréquence centrale F_{RF} et est ensuite amplifié par un amplificateur faible bruit pour une meilleure sensibilité. Ensuite un échantillonneur-bloqueur, piloté par un générateur d'horloge à très faible bruit de phase, permet de sous-échantillonner le signal et de le transposer à une fréquence intermédiaire plus basse F_{IF} . Cela permet la numérisation du signal par un convertisseur analogique-numérique, pour ensuite être traité de façon numérique exclusivement, via un FPGA (Field Programmable Gate Area), où celui sera filtré ainsi que converti en composantes I et Q. Les performances sont bonnes dans le cas de signaux utilisant des modulations dont les complexités ne dépassent pas 16QAM. Un traitement de filtrage adaptatif est aussi réalisé afin de corriger les défauts de réception des signaux démodulés, à l'aide du FPGA. Dans le cas d'applications où les bandes passantes sont très étroites comme le GSM [14], cette solution présente des limites puisque le traitement nécessaire à réaliser en bande de base avec un FPGA consommerait trop d'énergie étant donné la complexité des filtres numériques à réaliser. Il est donc important de sélectionner une autre technique d'échantillonnage qui autorise plus de flexibilité et qui réduit les contraintes de consommation lors du traitement en bande de base.

2.2.2. Récepteurs à sous échantillonnage dans le domaine de courant

La technique de sous échantillonnage en courant, où dans le domaine de charge [15], repose sur l'intégration d'un signal radiofréquence de fréquence f_{RF} , sous forme de courant,

par une fréquence d'échantillonnage f_s plus basse. Des éléments actifs tels que des transconducteurs analogiques sont nécessaires pour la conversion du signal en courant. Dans la littérature, deux exemples de récepteur s'appuyant sur ce principe ont été réalisés. Les deux exemples concernent les travaux de réalisation de S.Karvonen [16], [17]. Le premier exemple de réalisation est présenté en **Figure I.8**.

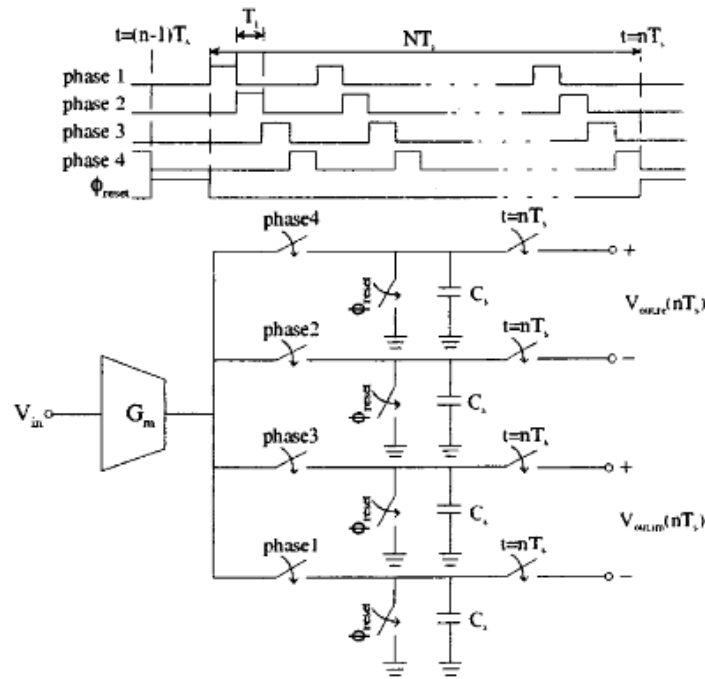


Figure I.8: Sous échantillonneur en Quadrature en courant, 2005 S.Karvonen [16]

Le principe de cette architecture repose sur l'intégration périodique, d'un signal en courant, sur 4 capacités commutées et pilotées par un signal d'horloge de rapport cyclique égal à 25%. Le temps d'intégration sur chacune des capacités se fait pendant une durée $T_i = (2K \pm 1) \frac{T_c}{4}$, $K \in \mathbb{N}$ où T_c est la période du signal, afin de pouvoir récupérer directement le signal sous ses formes réelles et imaginaires que sont respectivement les composantes I et Q. Le cycle d'intégration total est de durée $T_s = NT_i$ où N représente le nombre d'échantillons prélevés. Ainsi, chacune des capacités prélève à ses bornes une charge équivalente représentative de $\frac{N}{4}$ échantillons du signal intégrés sous forme de courant. En sommant la contribution totale de chacune des capacités on obtient la tension totale en sortie :

$$V_o(f) = V_i(f) \cdot \frac{G_m}{CF_i} \cdot \text{sinc} \left(\frac{F}{F_i} \right) \cdot \sum_{k=0}^{N-1} h_k \cdot z^{-k} \Big|_{z = e^{j2\pi f T_i}} \quad h_k = j^k \quad (1.9)$$

Et la fonction de transfert est définie par :

$$\begin{aligned}
 H(f) &= \frac{G_m}{CF_i} \cdot \text{sinc} \left(\frac{F}{F_i} \right) \cdot \sum_{k=0}^{N-1} (jz^{-1})^k \\
 H(f) &= \frac{G_m}{CF_i} \cdot \text{sinc} \left(\frac{F}{F_i} \right) \cdot \left(\frac{1-z^{-N}}{1-jz^{-1}} \right)
 \end{aligned} \tag{1.10}$$

Avec G_m , la transconductance du convertisseur tension/courant et C la valeur de la capacité d'échantillonnage. Cette fonction de transfert correspond à un filtrage anti-repliement de type sinus-cardinal, dont la fréquence de coupure dépend du temps d'intégration T_i sur chacune des capacités, multiplié par la fonction de transfert correspondant à la contribution de la somme des échantillons prélevés sur chacune des capacités avec les facteurs de pondération $\{1, j, -1, -j\}$ correspondant aux différentes voies et basés sur le déphasage entre chacune d'elle. Le filtre obtenu a une réponse de filtre passe-bande centré autour de la fréquence $\frac{F_i}{4}$ avec des alias aux fréquences $\frac{F_i}{4} \pm kF_i$, $k \in \mathbb{N}$. Les lobes des filtres sont de type sinus cardinal avec des rejections aux fréquences $\pm k \frac{F_i}{N}$ autour de leur fréquence centrale. A chaque période $T_s = NT_i$, les capacités transfèrent leur charge à un autre étage de traitement, qui dans cette application n'est autre qu'un filtre passe bande à réponse impulsionnelle infinie. Dans cette application, un signal de fréquence intermédiaire 44.87MHz est converti en une fréquence plus basse de 13kHz, en choisissant une fréquence d'échantillonnage de 45MHz, un facteur de décimation $N = 192$ et une fréquence finale d'échantillonnage $F_s = \frac{F_i}{192} = 937.5\text{kHz}$. Le deuxième exemple de récepteur réalisé [\[17\]](#) est présenté en **Figure I.9**.

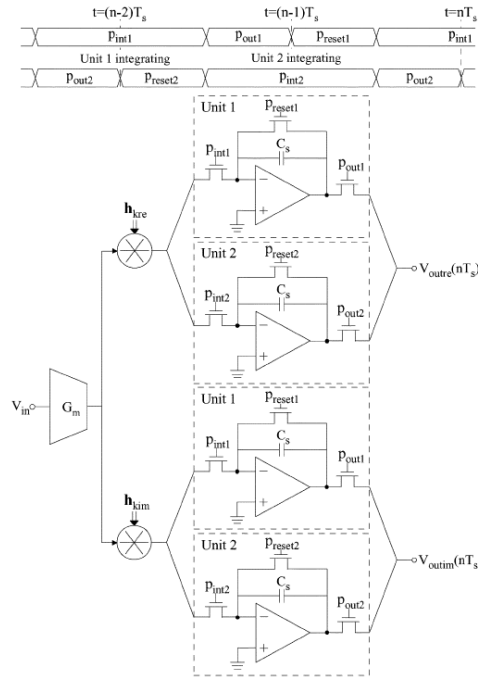


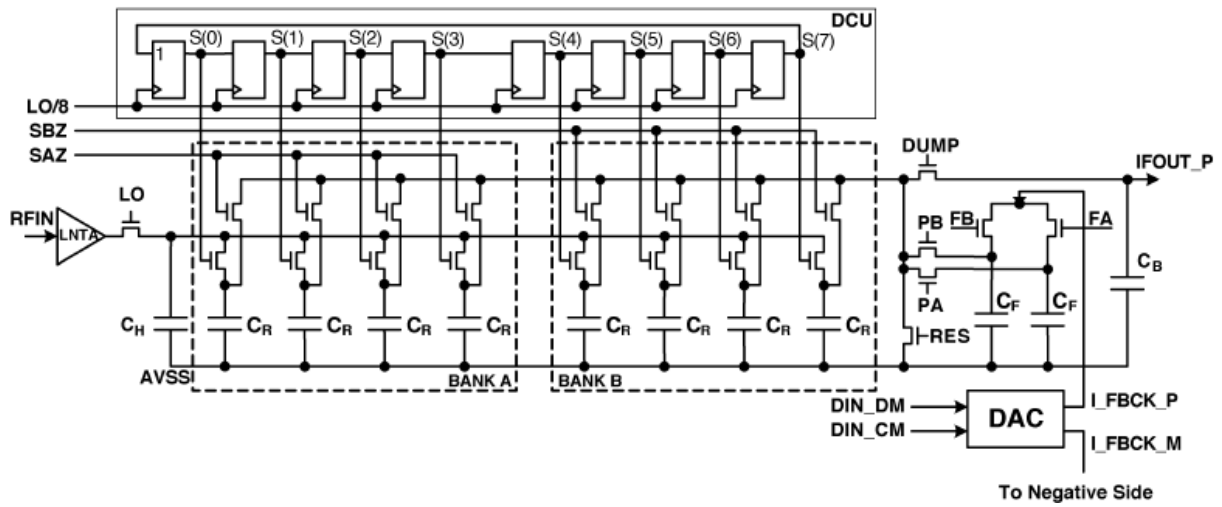
Figure I.9: Sous échantillonneur en quadrature S.Karvonen, 2005 [17]

Le principe d'échantillonnage reste identique à l'architecture précédente, à la différence où l'instant de transfert de charge entre les capacités et l'étage qui suit se fait périodiquement à la période $T_s = NT_i + 4M$, $N, M \in \mathbb{N}$. La fonction de transfert de filtrage reste la même que dans le cas précédent. Aussi, dans cette version, les structures d'échantillonneurs-bloqueurs utilisent une configuration de Miller [18] afin de compenser les défauts d'injection de charge et de couplage d'horloge [19], [20], [21], [22] propres aux échantillonneurs, en particulier à hautes fréquences. De plus, ils fonctionnent de façon alternée afin de relaxer les contraintes de temps de réponse des amplificateurs. Cette architecture permet ainsi la conversion d'un signal de fréquence 50MHz en bande de base, avec une fréquence d'échantillonnage de 50MHz, un rapport de décimation de 192 et enfin une fréquence finale d'échantillonnage $F_s = \frac{F_i}{216} = 925.9\text{kHz}$.

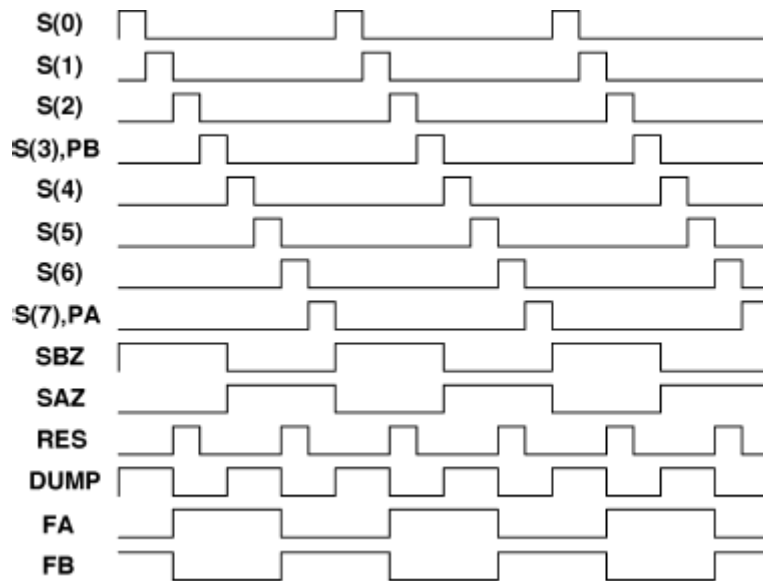
2.2.3. Récepteurs à échantillonnage direct en courant

La technique d'échantillonnage directe est celle qui se rapproche le plus du concept idéal de John Mitola, représenté en **Figure I.3**. La fréquence d'échantillonnage du signal respecte ici le critère de Nyquist, à savoir que celle-ci soit au moins deux fois supérieure à la fréquence maximale du signal à échantillonner. Le pionnier dans ce domaine est Texas Instruments en 2004, avec l'équipe de K.Muhammad et R.B.Staszewski, qui ont réalisé le premier concept de récepteur RF en technologie 130nm [23] en utilisant la technique d'échantillonnage direct. La

structure d'échantillonnage utilisée ainsi que son unité de commande sont représentées respectivement en **Figure I.10 a)** et **Figure I.10 b)**.



a) Cellule d'échantillonnage



b) Pulses de commande de la cellule d'échantillonnage

Figure I.10: a) Cellule d'échantillonnage du Récepteur Bluetooth digital en 0.13um (une seule partie), b) Pulses de commande de la cellule, K.Muhammad et Al [23]

Un réseau de capacités commutées permet l'échantillonnage ainsi que le filtrage du signal RF, après que celui soit amplifié par un LNA et ensuite converti en courant par un transconducteur de transconductance G_m . La partie digitale est constituée d'un système de $N=8$ bascules configurées en anneau et activées sur le front positif du signal de commande

S(i), $i=0\dots7$, de fréquence $\frac{F_{LO}}{8}$. En Figure I.10, on remarque que la capacité « mémoire » C_h intègre le signal RF à la fréquence F_{LO} alors que les capacités de « rotation » C_r se connectent au signal périodiquement, à la fréquence $\frac{F_{LO}}{8}$. Afin de garantir un taux de décimation d'un facteur 32 en sortie, les deux banques de capacités A et B fonctionnent de manière synchronisé : lorsque l'une réalise l'intégration du signal, l'autre charge la capacité de sortie C_b , puis est finalement resetée, en attendant le déclenchement d'un nouveau cycle et vice-versa. Le fait d'accumuler des échantillons du signal d'entrée RF sur les capacités C_h et C_r permet à la fois de décimer la fréquence du signal d'entrée d'un facteur 32 mais aussi de filtrer [24], [25] ce même signal. Deux filtres sont ainsi définis : l'un à réponse impulsionnelle finie (FIR), du à l'accumulation pendant N périodes d'échantillons du signal RF sur la capacité $C_s = C_h + C_r$, et l'un à réponse impulsionnelle infinie (IIR) du au transfert de charge entre les capacités C_h et C_r , à la fréquence de $\frac{F_{LO}}{N}$. Pour une transconductance G_m , une fréquence d'échantillonnage F_{LO} et un signal d'entrée de fréquence f , la fonction de transfert d'un tel système est :

$$H(f) = \underbrace{\frac{NG_m}{C_s F_{LO}} \operatorname{sinc}\left(\frac{f}{f_{LO}}\right) \exp(-j2\pi f T_{LO})}_{FIR(f)} \cdot \underbrace{\frac{1}{1 - \frac{C_h}{C_h + C_r} \exp(-j2\pi f N T_{LO})}}_{IIR(f)} \quad (1.11)$$

Avec les fonctions de transfert des filtres FIR et IIR que sont respectivement $FIR(f)$ et $IIR(f)$. On remarque que la valeur des capacités C_h et C_r forment un pôle en basse fréquence $f_p \approx \frac{f_{LO}}{2\pi N} (1 - \beta)$, $\beta = \frac{C_h}{C_h + C_r}$ en ce qui concerne le filtre IIR.

Sans rentrer dans les détails de la théorie des filtres numériques, cette architecture permet ainsi de convertir un signal RF en bande de base tout en fournissant du gain ainsi que du filtrage, ce qui est bénéfique pour la sensibilité du récepteur. Ici, le fait d'intégrer le signal sous forme d'un courant fait que l'on prélève le signal sous forme d'une charge et non d'une tension, ce qui a de nombreux avantages concernant la robustesse à des phénomènes tels que la gigue de phase [26], l'injection de charge et le couplage du signal d'horloge [27]. Cependant, le gain varie avec la fréquence du signal d'horloge [28] (égale à la fréquence

centrale du signal RF pour une conversion directe en bande de base), ce qui n'est pas souhaitable pour un récepteur destiné à recevoir une multitude de bandes de fréquence situées à des endroits différents du spectre. Bien que cela puisse être compensé en augmentant le nombre de voie ou la transconductance du transconducteur, cela amènerait à augmenter la complexité de réalisation du récepteur de façon non négligeable et à consommer plus de puissance.

Un autre récepteur, basé sur l'utilisation de capacités commutées pour la réalisation de formes de filtres FIR/IIR avec décimation du signal, a été réalisé par l'équipe d'A. Abidi [29] en 2006. En utilisant une technologie 90nm, un récepteur capable de recevoir une bande de fréquence située entre 800MHz et 6GHz a été développé. Le schéma de la chaîne de réception est montré en **Figure I.11**.

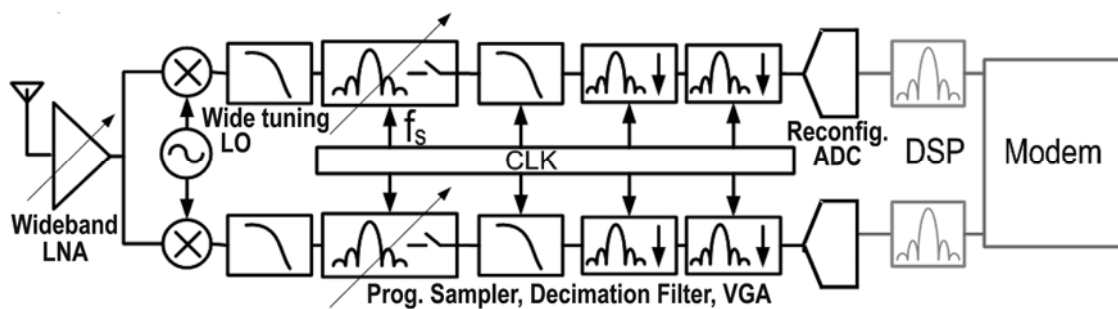


Figure I.11: Récepteur multistandard 800MHz-6GHz, A. Abidi et Al [29]

Ce récepteur, contrairement au récepteur précédent, doit s'adapter aux standards de communications conventionnels tels le WiFi [30], le GSM et le WCDMA [14]. L'originalité de celui-ci repose sur l'utilisation d'un mélangeur polyphasé utilisant la propriété de réjection d'harmoniques [31], [32] en combinant et pondérant les différentes phases d'horloge pilotant le mélangeur. Le mélangeur utilisé est un mélangeur purement passif ne nécessitant aucune polarisation et ne présentant qu'un faible bruit en $\frac{1}{f}$ relaxant ainsi les contraintes de réception lors d'une conversion directe en bande de base. Avec l'utilisation d'un mélangeur polyphasé à 8 phases, seul l'harmonique 7 de l'oscillateur local a une influence sur la conversion du signal d'entrée en bande de base puisque les harmoniques 3 et 5 sont rejetées. Ensuite les étages de décimation et de filtrage de type FIR diffèrent du filtrage en sinus cardinal basique d'ordre 1. La technique utilisée ici consiste à utiliser la propriété de

convolution de deux signaux rectangulaires [33], qui n'est autre qu'un triangle, et dont la réponse fréquentielle est un sinus cardinal d'ordre 2 avec une atténuation de -40dB/dec. Le schéma de principe de l'étage de filtrage et décimation est représenté en **Figure I.12**.

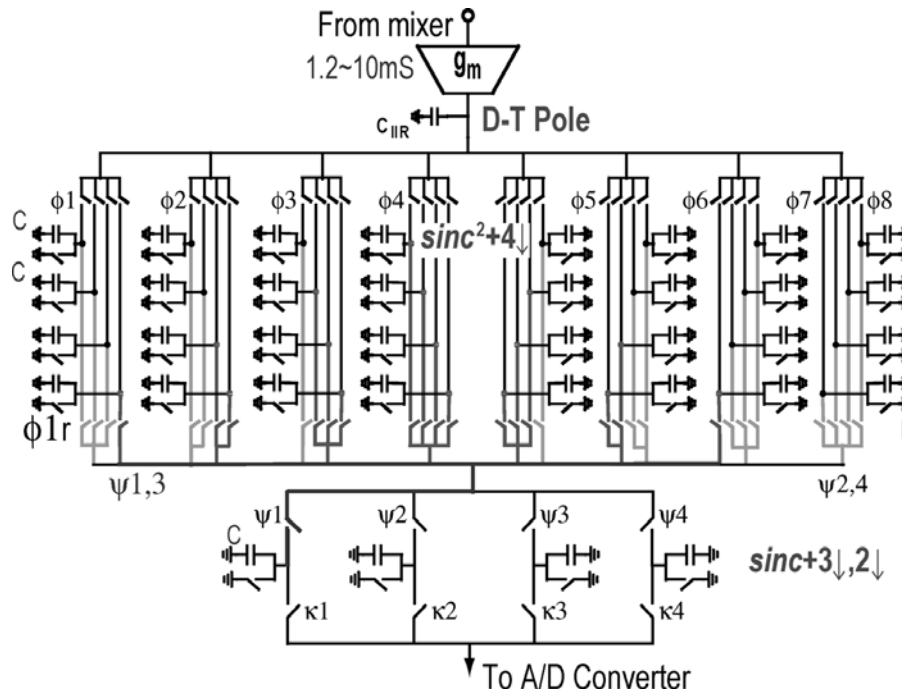


Figure I.12: Etage de décimation et de filtrage anti-repliement [29]

Le signal, converti en courant à l'aide d'un transconducteur, est successivement échantillonné sur les différents réseaux de capacités suivant le rythme des signaux d'horloges $\phi_{1,8}$ et $\psi_{1,4}$. Le premier bloc de décimation, composé de 32 capacités, soit 8 blocs de 4 capacités en parallèle, pondère le signal par les coefficients numériques de filtrage [1, 2, 3, 4, 3, 2, 1] en effectuant une décimation d'un facteur 4 de la fréquence d'échantillonnage. Enfin, un autre bloc de décimation décime par un facteur 2 ou 3 selon le type d'application choisie. La fréquence d'échantillonnage choisie au départ, ainsi que le facteur de décimation, doit prendre en compte la fréquence finale souhaitée du signal démodulé en entrée du convertisseur analogique/numérique ainsi que de la réjection du filtrage en sinus cardinal à la fréquence finale $\frac{F_s}{N}$ où N est le facteur de décimation. Par ailleurs, plus le facteur décimation est grand et plus la réjection du filtre de Comb est limitée à une bande étroite [9], réduisant ainsi l'efficacité de filtrage. Pour des applications à canaux étroits tels que le GSM, il est nécessaire d'utiliser un facteur de décimation modéré afin d'avoir une réjection de filtrage sur

une bande suffisamment grande, au moins égale à la bande du canal d'intérêt afin de protéger celui-ci du repliement d'éventuels bloqueurs.

Bien que cette réalisation est commercialisable et dispose de bonnes performances, la partie numérique, mise en jeu, pour le pilotage des différentes unités d'échantillonnage, est très complexe à mettre en œuvre. Le coût en termes d'éléments logiques est très important et occupe une place sur silicium non négligeable, tout comme le nombre de capacités commutées. Enfin, dans cette architecture, le gain n'est pas constant selon la fréquence du signal à traiter et la consommation en puissance requise pour la partie numérique ainsi que l'occupation surfacique sur silicium ne peuvent être efficacement optimisés.

Un autre exemple d'architecture, réalisé par l'IMEC [34] en 2010, est présenté en **Figure I.13** et utilise le même principe que le système réalisé précédemment.

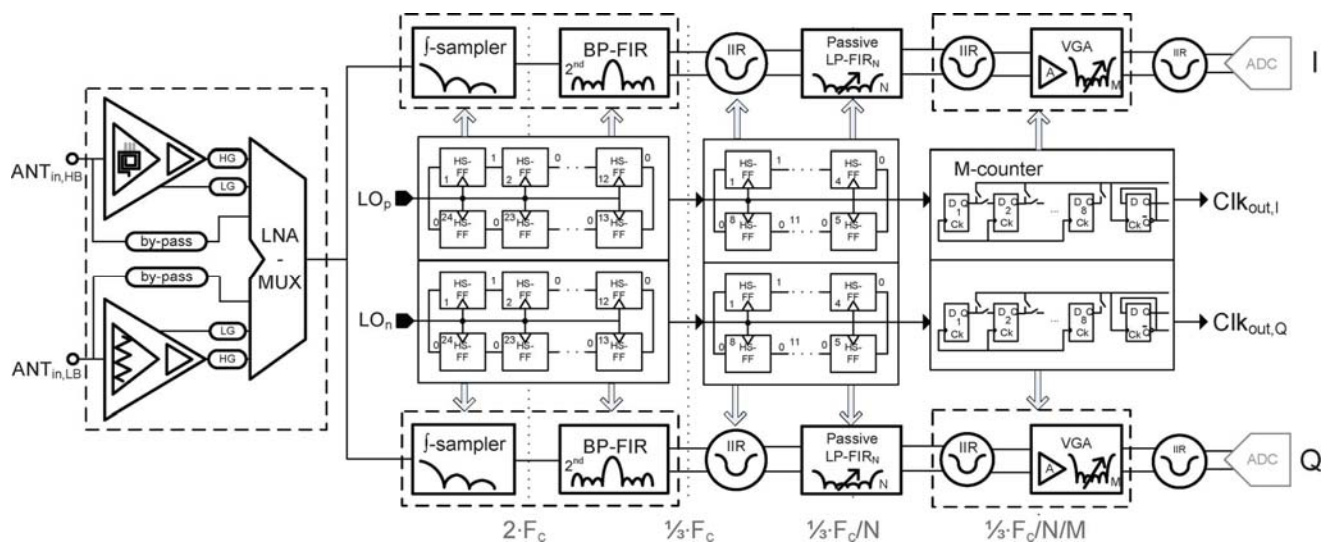


Figure I.13: Récepteur SDR 500MHz-3.8GHz, IMEC, Craninckx et Al [34]

Le principe de traitement du signal est toujours le même par rapport à l'architecture précédente, à la différence près des fonctions de filtrage utilisées et des rapports de décimations utilisés. Deux LNA, l'un pour les bandes basses inférieures à 2GHz et l'autre pour les bandes hautes au-delà de 2GHz sont utilisés pour amplifier le signal d'entrée. Enfin un étage d'amplificateur à gain variable (VGA) en sortie est utilisé pour moduler la sensibilité du récepteur en fonction de la qualité de réception du signal en entrée. Comme pour l'architecture précédente, la partie numérique est très complexe et consomme beaucoup d'énergie. Enfin, le VGA est utilisé pour compenser le gain non constant en fonction de la

fréquence ainsi que pour améliorer le rapport signal à bruit du signal avec d'être numérisé par le convertisseur analogique/numérique.

2.3. Récepteurs à échantillonnage direct en tension

Dans le domaine de tension, il est également possible d'échantillonner directement le signal RF après l'antenne de réception. Contrairement au domaine de charge, où l'échantillonnage réside en l'intégration d'un signal converti en courant sur une capacité, ici la capacité mémorise le signal sous la forme d'une tension. Quelques publications scientifiques, comme l'étude de Gong Xu [126] où celle de Mirzaï [27] ont étudiés en détails la comparaison entre le domaine de courant et celui de tension. Il s'avère que pour les récepteurs traitant le signal sous forme de courant, la dégradation du rapport signal à bruit est 3dB inférieur pour la même quantité de gigue de phase, comparé au domaine de tension. Cependant, les défauts inhérents aux transconducteurs ainsi que l'obtention d'un gain non constant en fonction de la fréquence d'échantillonnage, font que de tels récepteurs ne sont pas la solution idéale au concept de radio-logicielle. En travaillant dans le domaine de tension, il est possible d'obtenir un gain constant en fonction de la fréquence, tout en utilisant les techniques de réjection d'harmoniques utilisées dans les mélangeurs polyphasés.

2.3.1. Récepteurs à réjection d'harmoniques

Un récepteur multistandard, en technologie 65nm, utilisant une technique de traitement du signal rejetant les harmoniques 3 et 5 d'un signal d'horloge carré, a été développé à l'université de Twente par Nauta et Klumperink [35]. Cette technique a par ailleurs été brevetée pour des mélangeurs en fréquence dans de nombreuses publications traitant de transmetteurs et de récepteurs [31], [32]. Un schéma de principe est exposé en **Figure I.14**.

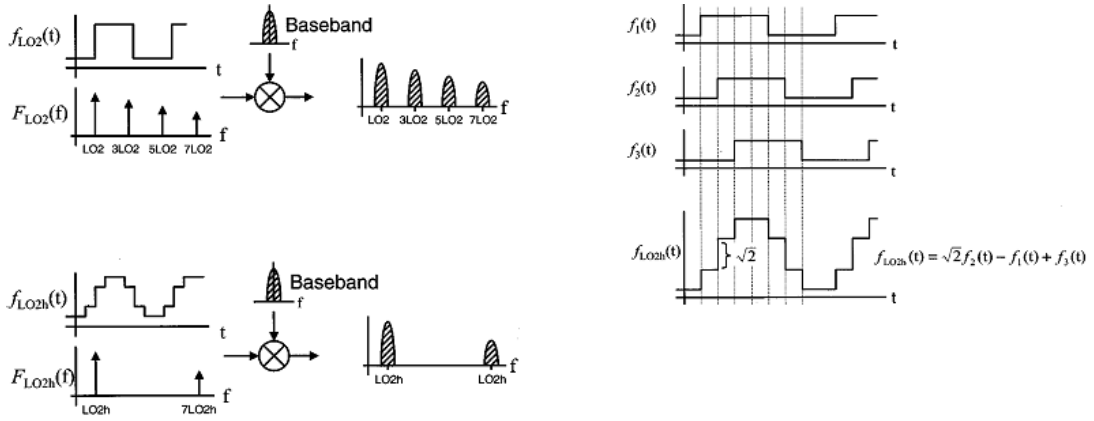


Figure I.14: Principe de la technique d'approximation d'un signal d'horloge carré en un signal sinusoïdal ne comportant que l'harmonique fondamentale, Nauta [35]

Le principe de la technique consiste à approximer un signal carré d'horloge, naturellement composé d'harmoniques d'ordres impaires, en un signal sinusoïdal ne contenant idéalement qu'une seule harmonique ou fondamentale. En considérant trois signaux carrés f_1 , f_2 et f_3 , en **Figure I.14**, décalés entre eux d'un angle géométrique de 45° et en calculant leur série de Fourier on obtient :

$$\begin{aligned}
 f_1(t) &= \frac{\sqrt{2}}{\pi} \cdot \left\{ [\cos(w_{LO}t) - \sin(w_{LO}t)] + \frac{1}{3} [\cos(3w_{LO}t) + \sin(3w_{LO}t)] - \frac{1}{5} [\cos(5w_{LO}t) - \sin(5w_{LO}t)] \right\} \\
 f_2(t) &= \frac{2}{\pi} \cdot \left\{ \cos(w_{LO}t) - \frac{1}{3} \cos(3w_{LO}t) + \frac{1}{5} \cos(5w_{LO}t) \right\} \\
 f_3(t) &= \frac{\sqrt{2}}{\pi} \cdot \left\{ [\cos(w_{LO}t) + \sin(w_{LO}t)] + \frac{1}{3} [\cos(3w_{LO}t) - \sin(3w_{LO}t)] - \frac{1}{5} [\cos(5w_{LO}t) + \sin(5w_{LO}t)] \right\}
 \end{aligned} \tag{1.12}$$

Par simple combinaison linéaire, nous obtenons ainsi :

$$f_1(t) + \sqrt{2} \cdot f_2(t) + f_3(t) = \frac{4\sqrt{2}}{\pi} \cos(w_{LO}t) \tag{1.13}$$

On retrouve ici l'expression d'un signal sinusoïdal ne comportant que la fréquence fondamentale. En utilisant cette technique dans le cas d'un mélangeur, cela permet de relaxer les contraintes de filtrage avant celui-ci, puisque l'influence des harmoniques 3 et 5 est supprimée. Cela requiert un très bon équilibrage amplitude/phase des 8 phases d'échantillonnages afin de supprimer au mieux l'énergie de ces harmoniques. Une étude a d'ailleurs permis de montrer l'influence de la déviation de la phase sur le taux de réjection

possible d'harmoniques pour un défaut en amplitude donné et dont es courbes représentatives sont présentées en **Figure I.15**.

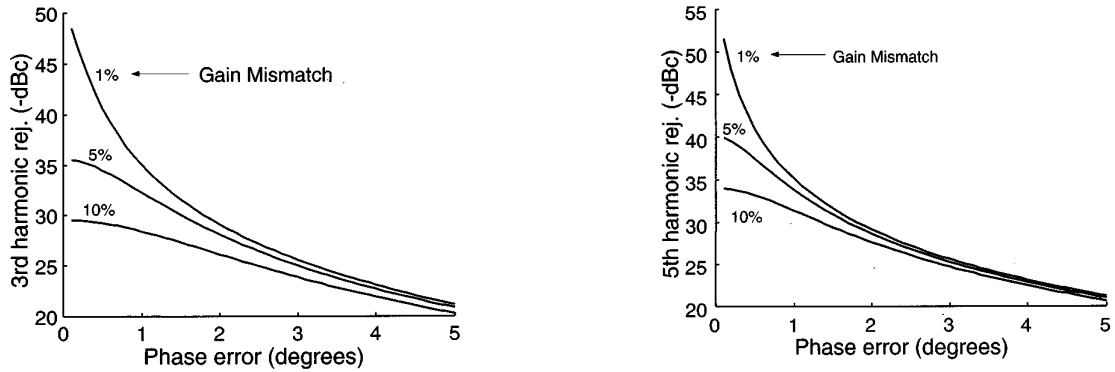


Figure I.15: Rejection des harmoniques 3 (a) et 5 (b) en fonction du déséquilibre de phase et pour un déséquilibre en amplitude donné

Elles ont été générées à partir des égalités suivantes :

$$\begin{aligned}
 H_{R3} &= \left(\frac{1}{9}\right) \cdot \left((1 - \cos(3\theta)(1 + \Delta))^2 + (1 + \Delta) \sin(3\theta) \right) \\
 H_{R5} &= \left(\frac{1}{25}\right) \cdot \left((1 - \cos(5\theta)(1 + \Delta))^2 + (1 + \Delta) \sin(5\theta) \right)
 \end{aligned}
 \tag{1.14}$$

Où θ représente la déviation en phase et Δ la déviation d'amplitude, qui sont deux paramètres totalement indépendants et non corrélés. Par ailleurs, on remarque que le taux de réjection d'harmoniques est très sensible aux déviations de gain en amplitude et de phase. Avec des systèmes n'utilisant pas de compensation numérique, ce taux est limité aux alentours de 35-40dB [36]. Il faut noter que cette technique est très gourmande en consommation d'énergie du signal d'oscillateur puisque celui-ci doit osciller à 8 fois la fréquence du signal à recevoir. Dans le cas d'une technologie 65nm, la fréquence maximale du signal d'horloge est de 7.2GHz pour un signal RF de fréquence 900MHz. De plus, pour la génération des phases d'horloges, il est plus avantageux d'utiliser des registres à décalage que des DLL (Delay Locked Loop). Les registres génèrent moins de gigue de phase que les DLL pour une consommation donnée [37]. En général, pour un système d'échantillonnage à N phases, seules les harmoniques de la forme $Np - 1$, $p \in \mathbb{Z}$ ne seront pas supprimées [32] lors de la conversion du signal en bande de base. L'architecture du récepteur développé est présenté en **Figure I.16** :

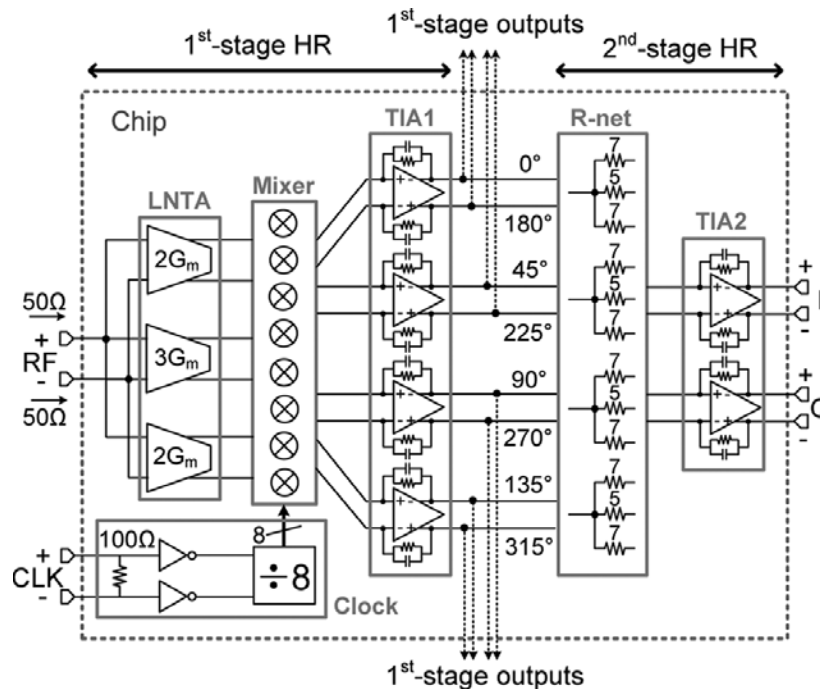
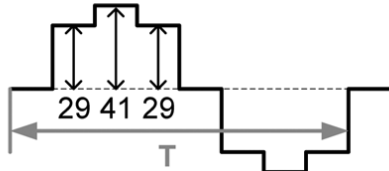


Figure I.16: Récepteur à réjection d'harmoniques à deux étages, Z.Ru [35]

Le système consiste en une partie numérique où les 8 phases d'horloges de rapport cyclique $D=12.5\%$ sont générées ainsi que d'une partie analogique où le traitement du signal est réalisé. Un premier bloc transforme le signal en courant, à l'aide de transconducteurs dont les transconductances sont $2G_m$, $3G_m$ et $2G_m$. Ce signal va ensuite être converti en bande de base par un mélangeur piloté sur chacune des 8 phases d'échantillonnage et enfin amplifié/filtré sous forme d'une tension à l'aide d'un amplificateur TIA (TransImpedance Amplifier). Cette technique de conversion a été utilisée pour éviter de fournir du gain en RF et donc de saturer les mélangeurs, améliorant ainsi la linéarité du récepteur et sa capacité à tolérer des interférences de niveau élevées. Un deuxième bloc de traitement permet, via à un réseau de résistances de rapport 7:5:7, pondère le signal suivant les différentes phases d'échantillonnage. Le principe utilisé ici permet de linéariser le signal en utilisant trois signaux, déphasés entre eux de 45° (schéma en **Figure I.14** et équation(1.12)). Une représentation temporelle des valeurs de pondération en fonction des phases est présentée en **Figure I.17** :

$$\begin{aligned}
 & [2 \quad 3 \quad 2 \quad 0 \quad -2 \quad -3 \quad -2 \quad 0] \cdot 5 \\
 + & [0 \quad 2 \quad 3 \quad 2 \quad 0 \quad -2 \quad -3 \quad -2] \cdot 7 \\
 + & [-2 \quad 0 \quad 2 \quad 3 \quad 2 \quad 0 \quad -2 \quad -3] \cdot 5 \\
 \hline
 & [0 \quad 29 \quad 41 \quad 29 \quad 0 \quad -29 \quad -41 \quad -29]
 \end{aligned}$$



output	
315°	0 2 3 2 0 -2 -3 -2
270°	-2 0 2 3 2 0 -2 -3
225°	-3 -2 0 2 3 2 0 -2
180°	-2 -3 -2 0 2 3 2 0
135°	0 -2 -3 -2 0 2 3 2
90°	2 0 -2 -3 -2 0 2 3
45°	3 2 0 -2 -3 -2 0 2
0°	2 3 2 0 -2 -3 -2 0

Figure I.17: a) Diagramme temporel des coefficients de pondération. b) Approximation sinusoïdale du signal carré [35]

Le rapport final obtenu 29 :41 :29 approxime au mieux le rapport 1 : $\sqrt{2}$:1 dans le cas d'une sinusoïde. De plus, le fait d'utiliser deux blocs de pondération permet de réduire le taux d'erreur sur l'approximation du signal carré en sinusoïde [36] avec un taux d'erreur d'environ 3%. La réjection dans ce cas présent est d'environ 40dB pour les harmoniques 3 et 5, ce qui est insuffisant pour respecter certains standards tel que le DVB (Digital Video Broadcasting) [38]. C'est pour cela qu'une structure de compensation numérique, basée sur du filtrage adaptif, a été utilisée [36] pour améliorer la réjection d'environ 30dB au prix d'une consommation ainsi que d'une complexité plus élevées. Enfin, ce récepteur dispose de bonnes performances avec un OIP3 de 16dBm, un IIP3 de 3.5dBm et un facteur de bruit de 4dB, mais au prix d'une consommation numérique et analogique élevée de 50mA sous 1.2V.

Aussi, un autre récepteur, basé sur le même principe de réjection d'harmoniques, à été réalisé par Z.Ru [39], avec pour objectif de mélanger le signal en fréquence de façon numérique exclusivement. Dans cette architecture, la partie analogique est réduite au maximum et la séparation des voies en I et Q se fait par démultiplexage. Un synoptique du récepteur ainsi qu'un schéma de principe de la technique utilisé sont ainsi présentés, respectivement en **Figure I.18** et **Figure I.19** :

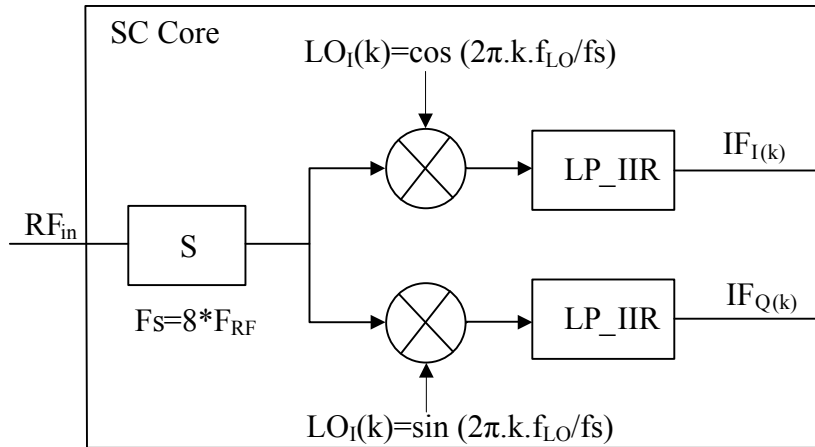


Figure I.18: Synoptique du récepteur à mélange discret

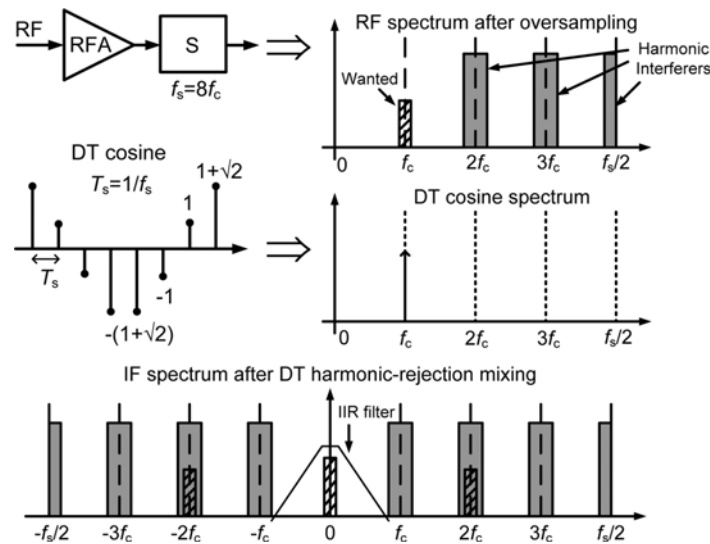


Figure I.19: Technique de réjection d'harmonique à temps discret, Z.Ru [39]

La différence principale avec l'architecture précédente réside dans le fait que le mélange en fréquence du signal intervient après la phase d'échantillonnage (Figure I.18). Ici, l'échantillonnage du signal se fait directement après le signal d'antenne, avec un signal d'horloge oscillant à 8 fois la fréquence porteuse du signal RF. Ensuite le mélange en quadrature se fait de façon discret en se basant sur les coefficients discrets des fonctions orthogonales que sont le cosinus et le sinus. Enfin, les composantes hautes fréquences sont supprimées à l'aide de filtres passe-bas à réponses impulsionnelles infinies (IIR) et les signaux I et Q sont numérisés. L'unité d'échantillonnage à 8 phases utilise des éléments discrets tels que des capacités pour implémenter les coefficients correspondant au cosinus et

sinus, accompagné d'un démultiplexage temporel pour séparer les voies en I et Q. Une représentation est donnée en **Figure I.20**:

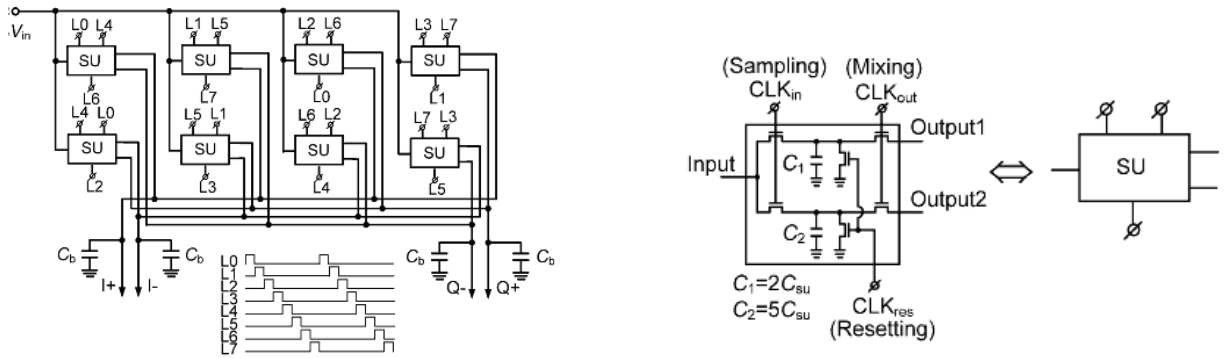


Figure I.20: a) Unité d'échantillonnage 8 phases [39] b) Cellule d'échantillonnage [39]

Chacune des 8 cellules d'échantillonnage est constituée de capacités C_1 et C_2 de rapport 2/5, prélevant le signal sur l'état haut de CLK_{in} , transférant leur charge sur l'état haut de CLK_{out} sur des capacités mémoires C_b et resetées sur l'état haut de CLK_{res} . Chacune d'entre elle conserve le signal qu'elles prélèvent durant 3 phases d'horloges et resetées 2 phases après pour ensuite commencer un nouveau cycle 2 phases d'horloges après. Avec le schéma d'horloge utilisé, la réponse impulsionnelle du système pour un signal d'entrée continu est représentée en **Figure I.21** :

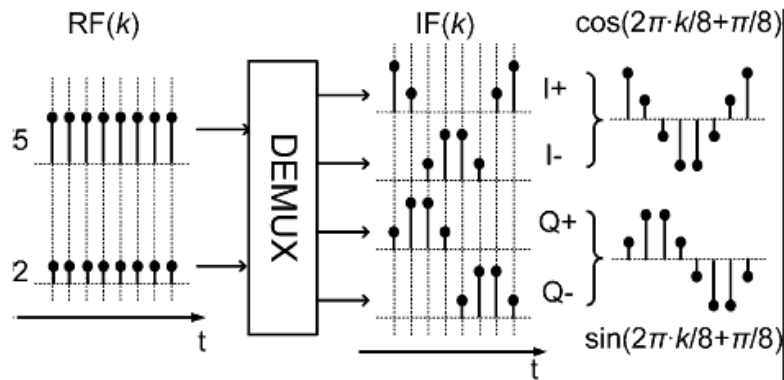


Figure I.21: Réponse impulsionnelle du système, Z.Ru [39]

Le transfert de charge entre le couple de capacités (C_1, C_2) et C_b permet la réalisation d'un filtre IIR dont la réponse en fréquence est :

$$H_{IIR}(z) = \frac{1 - \alpha}{1 - \alpha \cdot z^{-1}} \quad (1.15)$$

Avec $\alpha \approx \frac{1}{2} \left(\frac{C_b}{C_b + C_1} + \frac{C_b}{C_b + C_2} \right)$ puisqu'un échantillon sur deux transféré sur C_b provient soit de C_1 ou de C_2 . En choisissant $C_b \ll (C_1, C_2)$, on a α proche de 1 et qui détermine la position du pôle en fréquence du filtre passe bas. Le ratio de transformation du au transfert de charge entre les capacités est :

$$C_1 \cdot \frac{C_b}{C_b + C_1} + C_2 \cdot \frac{C_b}{C_b + C_2} \quad (1.16)$$

En déterminant les valeurs de capacités, la valeur des coefficients nécessaires pour la réjection des harmoniques est réalisée. Cette application implémente un filtre IIR coupant à 13MHz et vise principalement les applications DVB-C [38]. Enfin, l'implémentation d'un récepteur discret numérique permet de réduire la consommation analogique du récepteur et seule la consommation numérique pour générer les 8 phases est importante. L'implémentation d'éléments passifs, tels que des capacités pour réaliser le mélangeur discret, fait que cette architecture est linéaire, comme en témoigne son IIP3 de 10dBm et son IIP2 de 53dBm. Un désavantage de cette architecture est le facteur de bruit en l'absence de LNA, dû à l'échantillonnage discret en tension, nécessitant des capacités de faibles valeurs pour capturer un spectre de signaux allant jusqu'à 900MHz, impliquant un bruit total intégré en $\frac{kT}{C}$ élevé. Enfin, la gigue de phase d'horloge doit être le plus faible possible afin de ne pas dégrader le rapport signal à bruit en sortie.

2.3.2. Récepteurs à convertisseurs delta-sigma

Avec l'évolution de la technologie CMOS [40] (Complementary Metal Oxide Semiconductor), il est désormais possible de travailler à des fréquences de plus en plus élevées tout en réduisant la consommation, grâce à l'utilisation de tensions de polarisation plus faibles. Un graphique représentant l'évolution de la longueur des grilles des transistors en fonction du temps est présenté en **Figure I.22**.

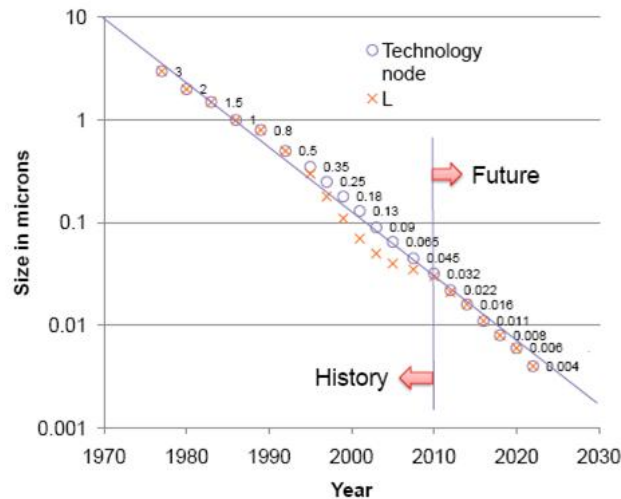


Figure I.22: Evolution de la taille des transistors dans le temps

On remarque qu'à l'état de l'art actuel des technologies de transistors, des transistors ayant pour longueur de grille $L = 14nm$ commencent à être développés. Cela implique une densité de transistors par unité de surface plus élevée comparée à des technologies plus anciennes telles que la technologie $65nm$ ou $130nm$. Il est ainsi devenu possible de réaliser des systèmes sur puce de plus en plus complexes tout en diminuant la surface de silicium occupée et donc les coûts de production. De plus, étant donné que les technologies de transistors permettent des temps de commutation de plus en plus rapide, l'intérêt de réaliser des récepteurs se rapprochant de l'architecture idéale de Mitola [1] avec des techniques d'échantillonnage numériques prend tout son sens.

L'état de l'art actuel dispose de certaines architectures réalisés à partir de convertisseurs analogique/numérique de type flash travaillant à quelques GHz [41], mais souffrant d'une résolution limitée à 5-6 bits. Par ailleurs, certaines utilisant des convertisseurs à conversions successives, de type pipeline, disposent d'une résolution supérieure mais avec une fréquence d'échantillonnage plus faible. Le sous-échantillonnage pourrait également être une solution mais nécessite un filtre passe-bande anti-repliement à fréquence fixe et occupe une surface importante, afin d'éviter de dégrader les performances du récepteur dû au repliement du bruit en bande de base. Actuellement, l'implémentation d'un récepteur utilisant un convertisseur de type delta-sigma [42], échantillonnant le signal à quatre fois sa fréquence centrale ($f_c = f_s/4$), permet de se rapprocher du concept idéal de Mitola. Ce concept s'avère prometteur car il s'appuie sur l'évolution de la technologie CMOS où les performances digitales, notamment en termes de consommation sont améliorées. Des chercheurs de l'IMEC

ont récemment développé une architecture [43] s'appuyant sur ce principe, dont le synoptique est représenté **Figure I.23**.

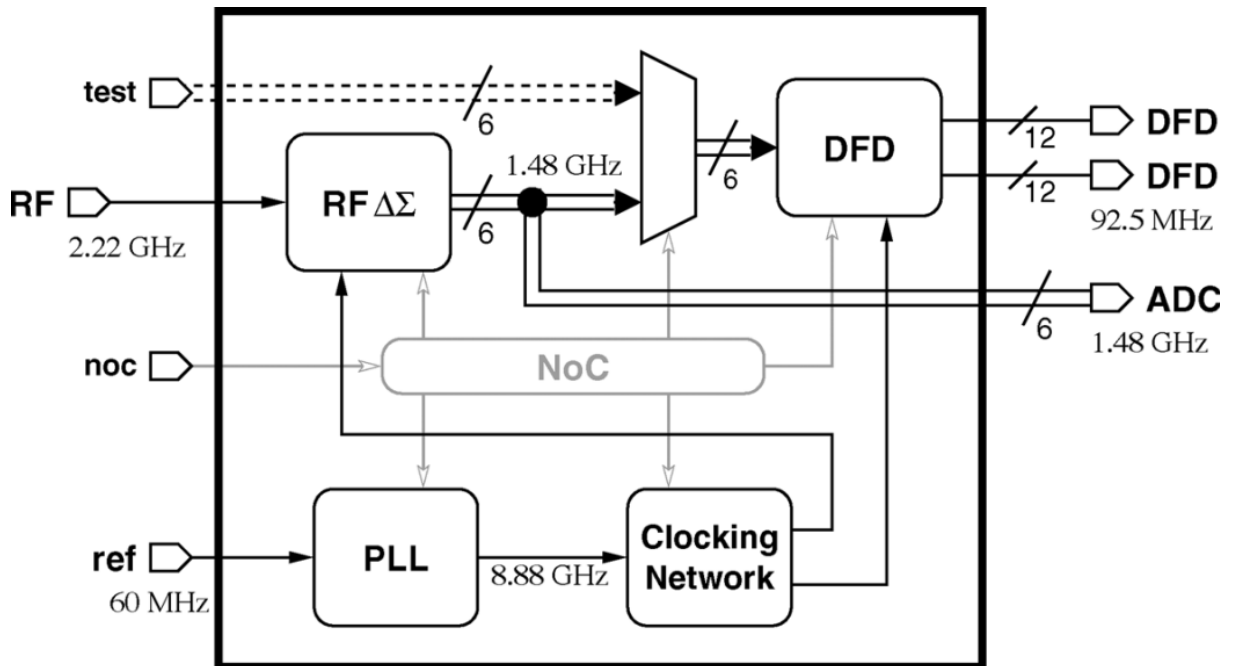


Figure I.23: Système de réception à conversion de type delta-sigma, E.Martens et Al [43].

Le signal RF entrant dans le récepteur est de fréquence centrale $f_c = 2.22GHz$, avec une bande passante de $80MHz$, et est converti par le convertisseur delta-sigma en 6 flux de bits parallèles, chacun à la fréquence de $1.48GHz$. Ce flux est ensuite transmis à une cellule de filtres décimateurs et de conversion en bande de base DFD (Decimation Filters and Downconversion). Les voies I et Q sont obtenues avec un format de $2 \times 12bits$ à la fréquence finale de $92.5MHz$. De plus, une PLL (Phase-Lock-Loop) est intégré au système afin de générer la fréquence d'horloge de $8.88GHz$. Enfin, une unité de contrôle NOC (Network-On-Chip) permet la reconfiguration du système. L'architecture de la cellule de conversion continue delta-sigma utilisé est présentée en **Figure I.24**.

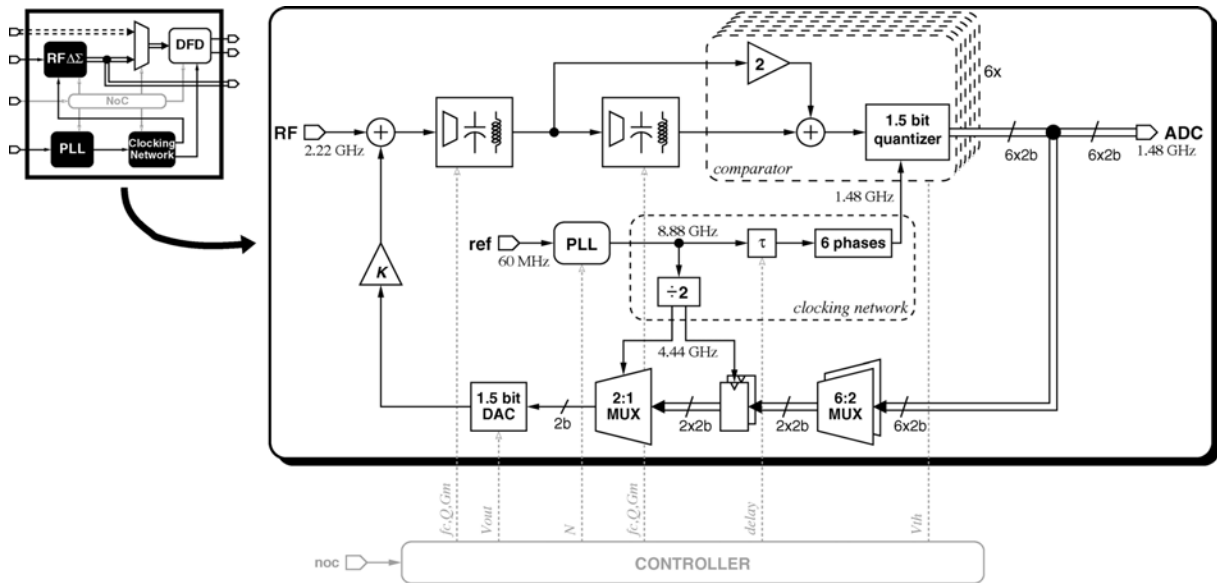


Figure I.24: Architecture de la cellule de conversion continue delta-sigma, E.Martens et Al [43]

Le filtre de boucle du convertisseur constitue en un filtre de type G_m - LC d'ordre 4 afin d'assurer une stabilité de boucle ainsi que d'améliorer la résolution du convertisseur. Le seul inconvénient est la place occupée par les éléments inductifs et capacitifs sur le silicium, comme en témoigne le filtre d'ordre six utilisé dans l'architecture de J.Ryckaert [44]. Avec une fréquence $f_s = 8.88\text{GHz}$ et une bande passante de signal de 80MHz , le taux de sur-échantillonnage est de 55.5, ce qui permet de fournir une résolution suffisamment grande pour convertir le signal. Le signal d'horloge est séparé en six phases, pilotant chacune un réseau de six quantificateurs intercalés dans le temps, travaillant à la fréquence de 1.48GHz . La quantification se fait sur trois niveaux, avec un format de 2bits , utilisant pour chacun deux comparateurs. De cette manière, et conformément à ce que l'on attend d'un convertisseur de type delta-sigma, le signal est filtré passe-bande avec réjection du bruit en dehors de la bande. Les 12bits issus du comparateurs sont ensuite transmis à l'étage de filtrage/décimation et de conversion en bande de base, présenté en **Figure I.25**.

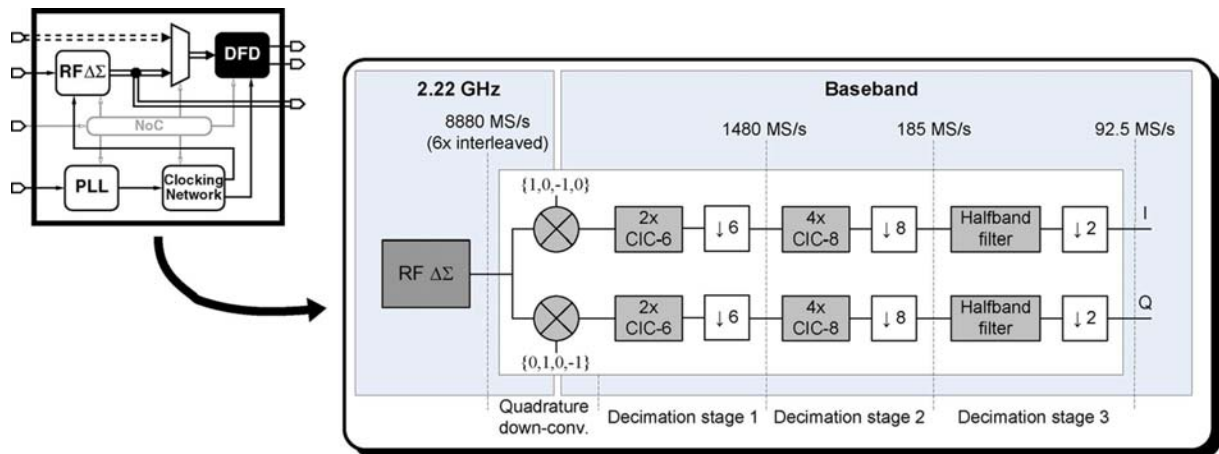


Figure I.25: Filtrés décimateurs et conversion en bande de base, E. Martens et Al [43]

Une première étape de mélange en fréquence est réalisée à l'aide de mélangeurs passifs par un signal d'horloge à la fréquence de 2.22GHz fournissant les coefficients $\{1, 0, -1, 0\}$ et $\{0, 1, 0, -1\}$ pour la conversion en bande de base respectivement selon les composantes I et Q. Une décimation d'un facteur 96 est ensuite réalisée à l'aide de filtres CIC et d'un filtre passe-bas (Halfband filter) coupant la bande du signal en deux sous-bandes égales. Afin de fournir une atténuation suffisante, les filtres décimateurs CIC sont cascades. Cependant, le traitement du signal effectué ne requiert que des additions et soustractions, réduisant ainsi la complexité du système numérique à mettre en place. Enfin, ce système dispose de bonnes performances avec une dynamique de 48dB pour une bande passante de 80MHz . La consommation est de 109mW , dont 52% est dû à la partie analogique (filtre de boucle) et le reste dû à la partie numérique. Bien que cette technique soit prometteuse pour les futurs récepteurs multistandards discrets, la consommation énergétique reste cependant trop élevée.

3. Conclusion

Avec l'évolution des technologies CMOS, il est désormais possible de réaliser des systèmes intégrés sur puce implémentant des récepteurs radiofréquences multistandards.

Différents types de techniques de traitements du signal existent afin de réaliser de telles structures avec pour chacune d'elles ses avantages et inconvénients.

On a pu constater que la technique de sous-échantillonnage pouvait être une solution attrayante car consommant moins de puissance. Cependant, celle-ci requiert un filtre en entrée

du récepteur afin d'atténuer les phénomènes de repliement lors de la transposition du spectre en bande de base. La mise en œuvre du filtre est compliqué car celui-ci est non intégrable sur silicium, non flexible en fréquence et avec en plus des contraintes de coûts non négligeables. Enfin, la stabilité en phase du signal d'oscillateur est très importante afin d'éviter le repliement de signaux parasites convertis par le bruit de phase.

La technique d'échantillonnage dans le domaine de charge permet quant à elle d'intégrer un signal en courant sur une capacité, et ceci périodiquement dans le temps. Avec cette technique, la réalisation de blocs de filtrage de type sinus cardinal est réalisable, et en utilisant des techniques de décimation appropriées il est également possible de réduire la fréquence du signal converti et de rejeter certaines fréquences, avant d'être traité par un convertisseur numérique. Bien qu'ayant des propriétés avantageuses en ce qui concerne la robustesse à la gigue de phase, les phénomènes d'injection de charge et de couplage d'horloge, la variation du gain de conversion en fonction de la fréquence d'échantillonnage est un problème important qui peut se compenser soit en changeant le taux de décimation soit en augmentant la transconductance du transconducteur. Dans le premier cas, la mise en œuvre de la partie digitale est fastidieuse et requiert beaucoup de puissance. Dans le second cas, il est nécessaire de concevoir un transconducteur avec une très forte linéarité, ce qui augmente la consommation en puissance également.

Contrairement au domaine de charge, l'échantillonnage direct dans le domaine de tension ne se fait pas par intégration d'un courant sur une capacité. Dans ce cas, le gain de conversion n'est pas dépendant du temps d'intégration et est constant en fonction de la fréquence. Il dépend seulement de la largeur des impulsions d'horloge pour échantillonner le signal, et donc de son rapport cyclique. La technique de recombinaison des différentes voies d'échantillonnages, aussi réalisable dans le domaine de charge, peut amener à la suppression de certains harmoniques, mais au prix d'une consommation digitale plus importante. Enfin, la robustesse par rapport à la gigue de phase est moins bonne et les contraintes sur la stabilité en phase du signal d'horloge sont plus importantes.

Enfin, la technique utilisant la conversion continue à l'aide d'un convertisseur de type delta-sigma, profite pleinement de l'évolution de la technologie CMOS pour atteindre des fréquences de plus en plus rapide. Le fait de pouvoir obtenir un taux de sur-échantillonnage élevé, accompagné des propriétés de filtrage de type passe bande du convertisseur delta-

sigma, permet de numériser le signal RF avec une très bonne dynamique et un rapport signal à bruit élevé, avant que celui-ci soit converti et filtré en bande base. Cependant, afin d'obtenir un filtrage passe bande du signal suffisant, il est nécessaire d'utiliser des structures de filtres passifs de type SAW, coûteuses en terme de surface et non flexibles en fréquence. Une autre solution pourrait consister à augmenter l'ordre du convertisseur delta-sigma, mais en augmentant ainsi la puissance digitale consommée. Enfin, bien que cette technique soit prometteuse et bénéficie de l'évolution de la technologie, la consommation en puissance reste élevée.

Dans mon travail de thèse, j'ai réalisé un récepteur SDR utilisant une technique d'échantillonnage directe en tension en s'appuyant sur la technique de « N paths filter ». Celui-ci est représenté en **Figure I.26**, avec les différents éléments le constituant : l'amplificateur faible bruit (LNA), le mélangeur à N=4 voies d'échantillonnage et les buffers de sortie. (La partie digitale n'est pas représentée mais sera décrite plus tard au cours de cette étude, au chapitre III).

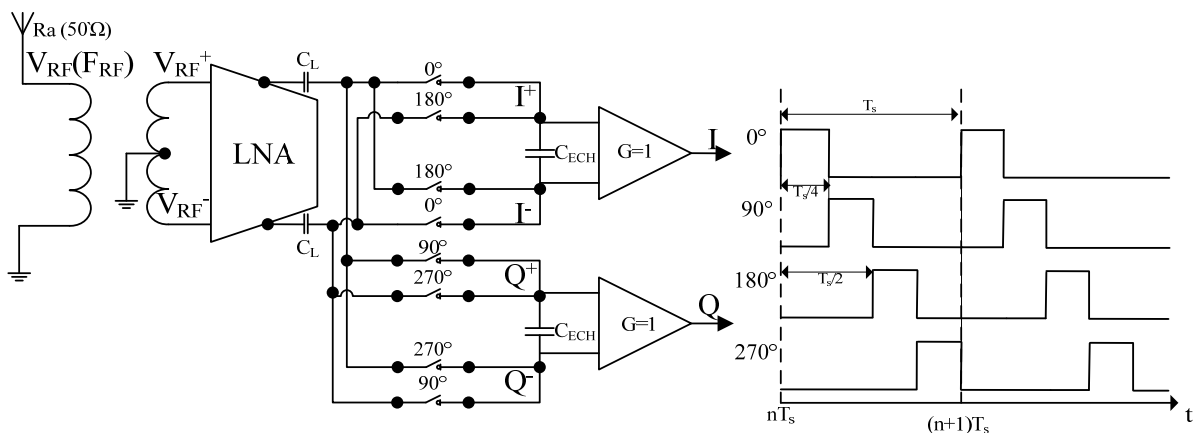


Figure I.26: Schéma du récepteur intégré (transformateur externe) utilisant la technique d'échantillonnage de « N paths filter »

Cette technique permet d'implémenter des systèmes d'échantillonnage très linéaire, ne consommant que très peu de puissance, et permettant la réalisation de filtre passe-bande flexible en fréquence avec des facteurs de qualité élevés. Un tel système ne contiennent que des éléments passifs, peu coûteux en surface et donc en prix. Ils conviennent parfaitement à des applications radio-logicielle ou radio-cognitive, où la flexibilité dans le spectre ainsi que de bonnes performances en linéarité et une consommation faible sont recherchées. Le Chapitre suivant a pour vocation d'expliquer la technique utilisée en décrivant à la fois ses

avantages et ses imperfections. Une simulation du système complet est réalisée, en prenant en compte les imperfections de la structure utilisée et des paramètres extérieurs.

4. References Bibliographique

- [1] J. Mitola, "The software radio architecture," IEEE Commun. Mag., vol.33, no. 5, pp. 26–38, May 1995.
- [2] R. H.Walden, "Analog-to-digital converter survey and analysis," IEEE J. Sel. Areas Commun., vol. 17, no. 5, pp. 539–550, Apr. 1999.
- [3] M. Osoba, "DC Offset and Flicker-Noise Mitigation in Homodyne Receiver," IEEE International Conference on 3G and Beyond, Nov. 2005.
- [4] A 2.4-GHz RF sampling receiver front-end in 0.18- μ m CMOS Jakonis, D.; Folkesson, K. Dbrowski, J. Eriksson, P. Svensson, C.; Journal of Solid-State Circuits, IEEE Volume: 40, Page(s): 1265 – 1277
- [5] B. Otis and Ryan Boccock, "Downconversion Subsampling of RF Signals", EECS 247 UC Berkeley, December 4 2000
- [6] H.J. Kim et al, "The Design Method and Performance Analysis of RF Subsampling Frontend for SDR/CR Receivers," IEEE Transactions on Industrial Electronics, Vol.57, No.5, May 2010
- [7] J. Thor, "A direct RF sampling multifrequency GPS receiver," IEEE Position Location and Navigation Synopsium, Page(s):44–51, 2002
- [8] Rodney G. Vaughan, Member, IEEE, Neil L. Scott, and D. Rod White, "The Theory of Bandpass Sampling", IEEE TRANSACTIONS ON SIGNAL PROCESSING. VOL. 39, NO. 9. SEPTEMBER 1991
- [9] E.Haugenauer, "An economic class of digital filters for decimation and interpolation", IEEE transctions on acoustics, speech, and signal processing, VOL. ASSP-29, NO-2, APRIL 1981
- [10] Noise Analysis and Noise Estimation of an RF Sampling Front-end Using an SC Decimation Filter, S.ANDERSSON, J.KONOPACKI, J.DABROWSKI, C.SVENSSON, International Conference MIXDES 2006 Gdynia, POLAND, 22-24 June 2006
- [11] Design Considerations for Direct RF Sampling Receiver in GNSS Environment, Ville Syrjälä, Mikko Valkama and Markku Renfors, PROCEEDINGS OF THE 5th WORKSHOP ON POSITIONING, NAVIGATION AND COMMUNICATION 2008 (WPNC'08)
- [12] Sampling Jitter and Finite Aperture Time Effects in Wideband Data Acquisition Systems, Kobasyashi.H, Kobayashi.K, Morimura.M, Onaya.Y, Takahashi.Y, Enomoto.K and Kogure.H, IEICE TRANS. FUNDAMENTALS, VOL.E85-A, NO.2 FEBRUARY 2002

- [13] Jitter Analysis of High-Speed Sampling Systems, Shinagawa Mitsuru, Akazawa Yukio and Wakimoto Tsutomu, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.25, NO.1, FEBRUARY 1990
- [14] www.3gpp.org/specifications
- [15] Gong Xu, Performance analysis of general charge sampling IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-II: EXPRESS BRIEFS, VOL.52, NO.2, FEBRUARY 2005
- [16] Karvonen S. et al., "A Low Noise Quadrature Subsampling Mixer," Proc. Of the ISCAS, 2001, pp. 790-793.
- [17] S. Karvonen, T. A. D. Riley, and J. Kostamovaara, "A CMOS Quadrature Charge-Domain Sampling Circuit with 66-dB SFDR up to 100 MHz," IEEE Trans. Circuits and Sys. I, vol. 52, no. 2, 2005, pp. 292–304.
- [18] P.J. Lim and B.A. Wooley, "A High-Speed Sample-and-Hold Technique Using a Miller Hold Capacitance," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.26, NO.4, APRIL 1991.
- [19] Wegmann.G et Al, Charge injection in analog MOS switches, IEEE JOURNAL OF SOLID-STATECIRCUITS, VOL. SC-22, and NO. 6, DECEMBER 1987
- [20] B.J. Sheu et Al, "Modeling Charge injection in MOS Analog Switches", IEEE Transactions ON circuits and systems, VOL. CAS-34, NO.2, FEBRUARY 1987
- [21] B.J. Sheu and CHEN MING HU, "Modeling the Switched Error Voltage on a Switched Capacitor" IEEE Transactions ON circuits and systems, VOL. CAS-30, NO.12, DECEMBER 1983
- [22] B.J. Sheu and CHEN MING HU, "Modeling the Switched Error Voltage on a Switched Capacitor" IEEE Transactions ON circuits and systems, VOL. CAS-30, NO.12, DECEMBER 1983
- [23] K. Muhammad, R. B. Staszewski et al, "All-digital TX frequency synthesizer and discrete-time receiver for Bluetooth radio in 130nm CMOS," IEEE journal of Solid-State Circuits, VOL.39, NO.12, Page(s) 2778–2291.
- [24] K. Muhammad and R. B. Staszewski, "Direct RF sampling mixer with recursive filtering in charge domain," in Proc. ISCAS, vol. 1, Vancouver, QC, Canada, May 23–26, 2004, pp. 577–580.
- [25] Y.PAN et Al, Discrete time charge analysis for a digital RF charge sampling mixer, Zhejiang University, Tsinghua University, and Journal of Zhejiang University-SCIENCE C
- [26] Gong Xu, Jiren Yuan: Comparison of charge sampling and voltage sampling, IEEE Midwest Symposium on Circuits and Systems, 2000.

- [27] A. Mirzaei, S. Chehrazi, R. Bagheri, and A. Abidi, "Analysis of first-order anti-aliasing integration sampler," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 55, no. 10, pp. 2994–3005, Nov. 2008.
- [28] Ru. Zhiyu, Klumperink, Eric A.M. and Nauta, Bram (2007) On the Suitability of Discrete-Time Receivers for Software-Defined Radio. In: *IEEE International Symposium on Circuits and Systems, ISCAS 2007, 27-30 May 2007*, New Orleans, LA.
- [29] R. Bagheri, A. Mirzaei, S. Chehrazi, M. Heidari, M. Lee, M. Mikhemar, W. Tang and A. Abidi "An 800 MHz to 5 GHz software-defined radio receiver in 90 nm CMOS", *Proc. Int. Solid-State Circuits Conf.*, pp.1932 2006
- [30] Groupe de travail 802.11, www.ieee802.org/11/f
- [31] J. A. Weldon et al., "A 1.75-GHz highly integrated narrowband CMOS transmitter with harmonic-rejection mixers," *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 2003–2015, Dec. 2001.
- [32] E. Mensink, E. A. M. Klumperink and B. Nauta "Distortion cancellation by polyphase multipath circuits", *IEEE Trans. Circuits Syst. I, Regular Papers*, vol. 52, pp.1785 2005
- [33] Mirzaei, Ahmad Chehrazi, Saeed Bagheri, Rahim Abidi, Asad A. "A Second-Order Antialiasing Prefilter for a Software-Defined Radio Receiver", *IEEE Transactions on Circuits and Systems I Regular Papers*, Vol.56, Iss.7, pp.1513, 2009, ISSN: 10577122
- [34] Arnd Geis et al, A 0.5 mm² Power-Scalable 0.5–3.8-GHz CMOS DT-SDR Receiver With Second-Order RF Band-Pass Sampler, *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 45, NO. 11, NOVEMBER 2010
- [35] Z. Ru, E. Klumperink, G. Wienk and B. Nauta "A software-defined radio receiver architecture robust to out-of-band interference", *Proc. IEEE ISSCC Dig. Tech. Papers*, vol. 52, p.232, 2008.
- [36] N. A. Moseley, E. Klumperink, and B. Nauta, "A two-stage approach to harmonic rejection mixing using blind interference cancellation," *IEEE Trans. Circuits Syst. II: Express Briefs*, vol. 55, no. 10, pp. 966–970, Oct. 2008.
- [37] Gao, Xiang and Klumperink, Eric A.M. and Nauta, Bram (2008) Advantages of Shift Registers over DLLs for Flexible Low Jitter Multiphase Clock Generation. *IEEE Transactions on Circuits and Systems II - Express Briefs*, 55 (3). pp. 244-248. ISSN 1549-7747
- [38] DVB Standards, <http://www.dvb.org/technology/standards/index.xml>
- [39] Z. Ru, E. Klumperink and B. Nauta "A discrete-time mixing receiver architecture with wideband harmonic rejection", *Proc. IEEE ISSCC Dig. Tech. Papers*, vol. 51, p.322, 2008.

- [40] A. Abidi, "RF CMOS Comes of Age", IEEE Journal of Solid-State Circuits, Vol.39, No.4, April 2004
- [41] B. Verbruggen, J. Craninckx, M. Kuijk, P. Wambacq, and G. Van der Plas, "A 2.2 mW 5b 1.75 GS/s folding flash ADC in 90 nm digital CMOS," in Proc. IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, Feb. 2008, pp. 252–253.
- [42] P.M. Aziz, "An overview of sigma-delta converters," IEEE Signal Processing Magazine, VOL.13, NO.1, Page(s) 61–84.
- [43] E. Martens et al, "RF-to-Baseband Digitization in 40 nm CMOS With RF Bandpass $\Delta\Sigma$ Modulator and Polyphase Decimation Filter," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.47, NO.4, APRIL 2012.
- [44] B. Verbruggen, J. Craninckx, M. Kuijk, P. Wambacq, and G. Van der Plas, "A 2.2 mW 5b 1.75 GS/s folding flash ADC in 90 nm digital CMOS," in Proc. IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, Feb. 2008, pp. 252–253.

Chapitre II : Echantillonneur passif

1. Introduction

Dans le système de réception radiofréquence (RF) étudié, la technique d'échantillonnage directe RF que nous avons retenue, repose sur la théorie de « N paths filter » [1] décrite pour la première fois en 1960 par les ingénieurs L.E Franks et I.W Sandberg du laboratoire américain Bell laboratories. Cette technique consiste en un système linéaire périodique et variant dans le temps (LPVT) [1], [2], organisé en plusieurs voies d'échantillonnage, et dont la particularité repose sur la réalisation de fonctions de transfert à caractéristiques périodique. Avec cette technique, des filtres de toutes sortes peuvent être réalisés (passe-bas, passe-haut, passe-bande, éjecteur de fréquences, à l'aide d'éléments passifs simples uniquement. La nature périodique de ces systèmes implique que la fréquence centrale de filtres passe bande ou éjecteur de fréquence peut être contrôlé électroniquement. Dans les systèmes de radiocommunication comme la radio-logicielle et la radio cognitive, ces techniques d'échantillonnage s'avèrent avantageuses puisque permettant la réalisation de systèmes de réception flexibles en fréquence qui utilisent des éléments passifs uniquement, de faible coût, linéaires et qui ne consomment que très peu d'énergie. Bien que cette technique fût utilisé dernièrement dans le domaine des fréquences basses [3], [4], l'évolution des technologies de transistors, et en particulier le CMOS, fait que celle-ci devient maintenant exploitable dans des systèmes travaillant à des fréquences de plus en plus élevées et souhaitant utiliser la technique à échantillonnage directe. Dans ce chapitre, nous allons expliquer la technique d'échantillonnage à N voies polyphasées en faisant une analyse fréquentielle de celle-ci. Ses avantages et ses inconvénients seront explicités. Enfin, une étude système réalisée avec le logiciel de simulation numérique MATLAB [5] a été réalisée, afin d'étudier l'influence des différentes imperfections que l'on peut rencontrer dans le cas d'un récepteur radiofréquence.

2. Principe de la théorie de « N paths filter »

La technique de « N paths filter » consiste en un système linéaire périodique qui varie dans le temps (LPVT). Contrairement aux systèmes linéaires et invariants dans le temps (LTI), chaque voie constituant un tel système est commuté périodiquement dans le temps à des intervalles de temps réguliers, et fixés le plus souvent par la période du signal d'horloge T_s .

Le synoptique de ce système est représenté en **Figure II.1** et est issu de la description faite par L.E. Franks et I.W. Sandberg [\[1\]](#).

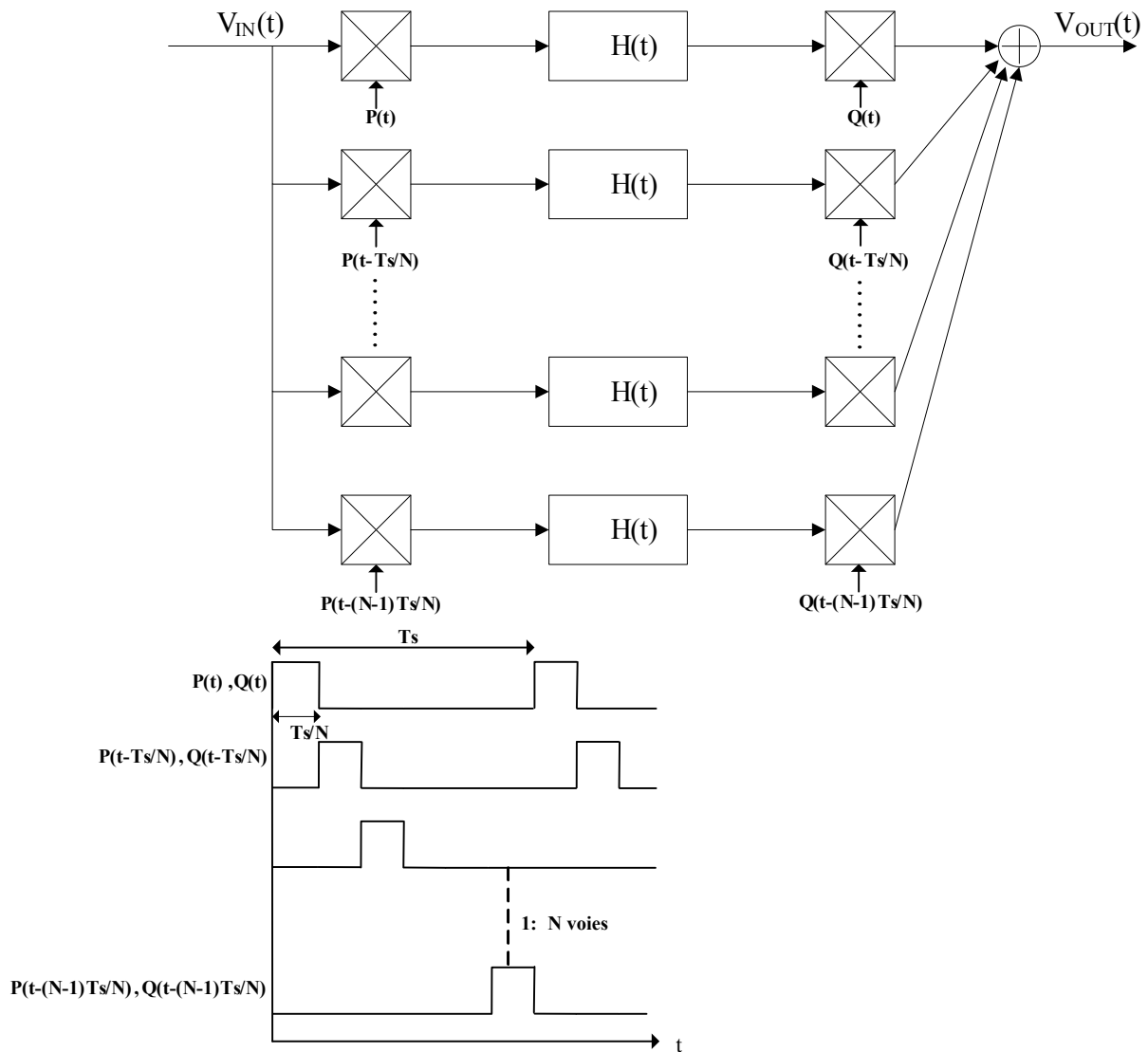


Figure II.1: Architecture du filtre à N voies, FRANKS et SANDBERG [\[1\]](#)

Ce système est composé de N sous-systèmes linéaires et invariants dans le temps (LTI) et de réponse impulsionnelle $H(t)$ avec $2N$ multiplicateurs en fréquence pilotés par des pulses d'horloges décalés dans le temps que sont $P(t)$ et $Q(t)$. Le décalage temporel entre chaque pulse commandant les voies d'échantillonnages est T_s/N . Dans le cas où la réponse impulsionnelle $H(t)$ est de type passe bas, l'effet de réciprocity du mélange permet la conversion de ce filtre en un filtre passe-bande centrée autour de la fréquence du signal d'horloge. Le système agit ainsi de la manière suivante : le signal d'entrée V_{IN} est converti en bande de base par le multiplicateur $P(t)$ et filtré par le système de réponse impulsionnelle $H(t)$

puis est ensuite reconverti autour de la fréquence centrale du signal d'oscillateur F_s par le multiplicateur $Q(t)$. Il est ainsi possible de réaliser des filtres passe-bande flexibles en fréquence en changeant la fréquence du signal d'horloge utilisé pour le mélange, indépendamment des caractéristiques intrinsèques des éléments constituant le réseau de réponse impulsionnelle $H(t)$. Une étude temporelle d'un tel système est très complexe à réaliser et il est ainsi plus judicieux d'analyser celui-ci dans le domaine fréquentiel. Le paragraphe suivant a pour vocation d'étudier ce système d'échantillonnage à N voies en utilisant l'outil mathématique qu'est la représentation en un système d'état.

3. Système linéaires périodiques et variant dans le temps (LPTV)

Plusieurs études de systèmes linéaires périodiques et variant (LPTV) dans le temps ont été réalisées et décrits dans la littérature jusqu'à maintenant par A. Opal et J. Valch [6] ainsi que T. Ström et S. Signell [7]. L'analyse fréquentielle la plus appropriée et la moins complexe consiste à décomposer le système en un système d'état, en suivant le modèle proposé par T. Ström et S. Signell et à en déduire les fonctions de transfert. Le diagramme temporel utilisé pour décrire le système est représenté en **Figure II.2** et est issu de l'étude réalisée par A. Opal et J. Valch.

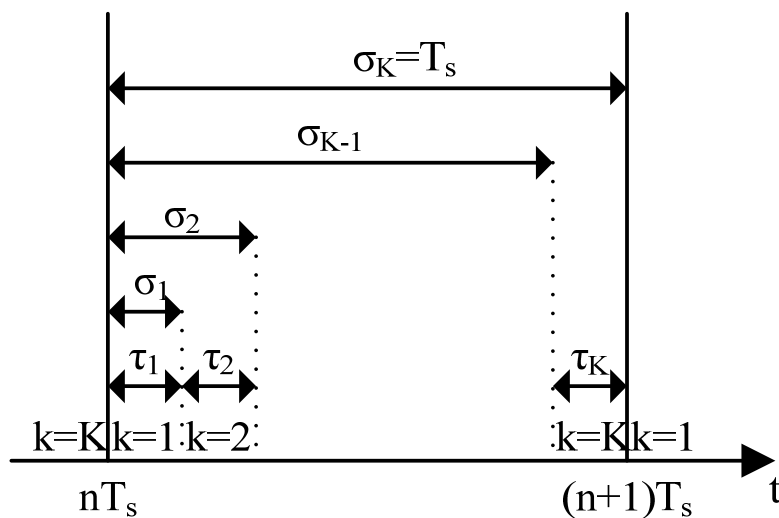


Figure II.2: Diagramme temporel du système linéaire périodique et variant dans le temps

Cette analyse prend en compte un système dont la fréquence de commutation pour chacune des voies est T_s , avec K intervalles de temps durant lesquelles le système a une description de système linéaire variant dans le temps valide et exploitable. L'analyse utilise le diagramme temporel en **Figure II.2** avec :

$$\sigma_0 = 0, \sigma_k = \sum_{i=1}^k \tau_i, k=1, \dots, K \quad (2.1)$$

L'intervalle k est défini pour $nT_s + \sigma_{k-1} < t < nT_s + \sigma_k$, avec n un entier. Ainsi, le système d'équation d'état valide durant l'intervalle k peut être écrit tel que :

$$\begin{aligned} \frac{dx_k}{dt} &= A_k x_k(t) + B_k u(t) \\ y(t) &= C_k x_k(t) + D_k u(t) \end{aligned} \quad (2.2)$$

Avec x_k le vecteur d'état, $u(t)$ le vecteur d'entrée et $y(t)$, le vecteur de sortie. En définissant $u_k(t)$ et $y_k(t)$ étant égaux respectivement à $u(t)$ et $y(t)$ durant l'intervalle k seulement et zéro ailleurs, l'équation peut être reformulée de la façon suivante :

$$\begin{aligned} \frac{dx_k}{dt} &= A_k x_k(t) + B_k u_k(t) + \sum_{n=-\infty}^{n=+\infty} x_k(nT_s + \sigma_{k-1}) \delta(t - nT_s - \sigma_{k-1}) - x_k(nT_s + \sigma_k) \delta(t - nT_s - \sigma_k) \\ y_k(t) &= C_k x_k(t) + D_k u_k(t) \end{aligned} \quad (2.3)$$

Le terme de la fonction de Dirac est utilisé pour mettre en évidence l'effet des conditions initiales au début de chaque intervalle. En soustrayant les conditions finales d'un intervalle aux conditions initiales, la réponse du système est mise à zéro pour tout intervalle différent de k , en déconnectant la source.

Aussi, le vecteur de sortie $y(t)$ est la somme cumulée de tout les vecteurs de sortie du système tel que :

$$y(t) = \sum_{k=1}^N y_k(t) \quad (2.4)$$

Ici, comme nous cherchons à définir la réponse fréquentielle du système, nous appliquons un stimulus d'entrée $u(t) = Ae^{j2\pi ft}$ à notre système. Il est ainsi démontré que l'état de sortie aux instants discrets de commutation peut être calculé en reformulant la relation entre le vecteur d'entrée $u(t)$ et le vecteur d'état x_k de la manière suivante [\[6\]](#) :

$$x_k(nT_s + \sigma_{k-1})\delta(t - nT_s - \sigma_{k-1}) = G_{k-1}(f)Ae^{j2\pi ft}\delta(t - nT_s - \sigma_{k-1}) \quad (2.5)$$

Ainsi on a le terme de sommation infini dans (2.3) qui devient :

$$\sum_{n=-\infty}^{n=+\infty} x_k(nT_s + \sigma_{k-1})\delta(t - nT_s - \sigma_{k-1}) - x_k(nT_s + \sigma_k)\delta(t - nT_s - \sigma_k) = \left(\sum_{n=-\infty}^{n=+\infty} G_{k-1}(f)\delta(t - nT_s - \sigma_{k-1}) - G_k(f)\delta(t - nT_s - \sigma_k) \right) u(t) \quad (2.6)$$

En substituant (2.6) dans (2.3), et en transposant dans le domaine Fourier, on obtient :

$$X_k(f) = (j2\pi fI - A_k)^{-1} \sum_{n=-\infty}^{n=+\infty} \left(B_k \frac{1 - \exp(-j2\pi n f_s \tau_k)}{j2\pi n} \exp(-j2\pi n f_s \sigma_{k-1}) + f_s G_{k-1}(f - n f_s) \exp(-j2\pi n f_s \sigma_{k-1}) - f_s G_k(f - n f_s) \exp(-j2\pi n f_s \sigma_k) \right) U(f - n f_s) \quad (2.7)$$

On en déduit donc que :

$$X_k(f) = \sum_{n=-\infty}^{n=+\infty} H_{n,k}(f)U(f - n f_s) \\ H_{n,k}(f) = (j2\pi fI - A_k)^{-1} \cdot \left(B_k \frac{1 - \exp(-j2\pi n f_s \tau_k)}{j2\pi n} \exp(-j2\pi n f_s \sigma_{k-1}) + f_s G_{k-1}(f - n f_s) \exp(-j2\pi n f_s \sigma_{k-1}) - f_s G_k(f - n f_s) \exp(-j2\pi n f_s \sigma_k) \right) \quad (2.8)$$

Avec $H_{n,k}(f)$ qui représente la fonction de transfert d'une voie du système à l'harmonique n de la fréquence d'échantillonnage f_s pour un intervalle de temps k . En déterminant A_k , B_k et G_k , il est possible de déterminer la réponse fréquentielle de n'importe quel système d'échantillonnage LPTV. Le système d'échantillonnage qui a été développé au cours de cette thèse repose sur une configuration différentielle constituée d'éléments passifs que sont les capacités et les transistors de commutation en zone de fonctionnement linéaire.

4. Principe de système d'échantillonnage en quadrature

4.1. Système d'échantillonnage conventionnel

Le système d'échantillonnage en quadrature (I/Q) conventionnel est présenté ci-dessous en **Figure II.3**. Pour un signal modulé RF de type QAM (Quadrature Amplitude Modulation) $V_{rf}(t) = A \cos(\omega_{RF}t + \varphi)$, où ω_{RF} et φ sont respectivement la pulsation et la phase, l'amplitude A et la phase φ sont constant pendant la période d'un symbole reçu. Les informations de phase (I) et quadrature (Q) sont obtenus en séparant les instants d'échantillonnage d'une durée temporelle $T_s/4$, où T_s est la période du signal d'échantillonnage $\left(T_s = \frac{2\pi}{\omega_s} = \frac{2\pi}{\omega_{RF}}\right)$. A l'instant $t_0 = nT_s$, $I(t_0) = A \cos(\varphi)$ et à l'instant $t_1 = nT_s + T_s/4$, $Q(t_1) = A \cos(\varphi + \pi/2)$ où encore $Q(t_1) = -A \sin(\varphi)$. A partir de ces informations, il est possible de récupérer les informations d'amplitude A et de phase φ du signal QAM dans une base orthogonal I/Q avec $A = (I^2 + Q^2)^{1/2}$ et $\varphi = -\arctan(Q/I)$.

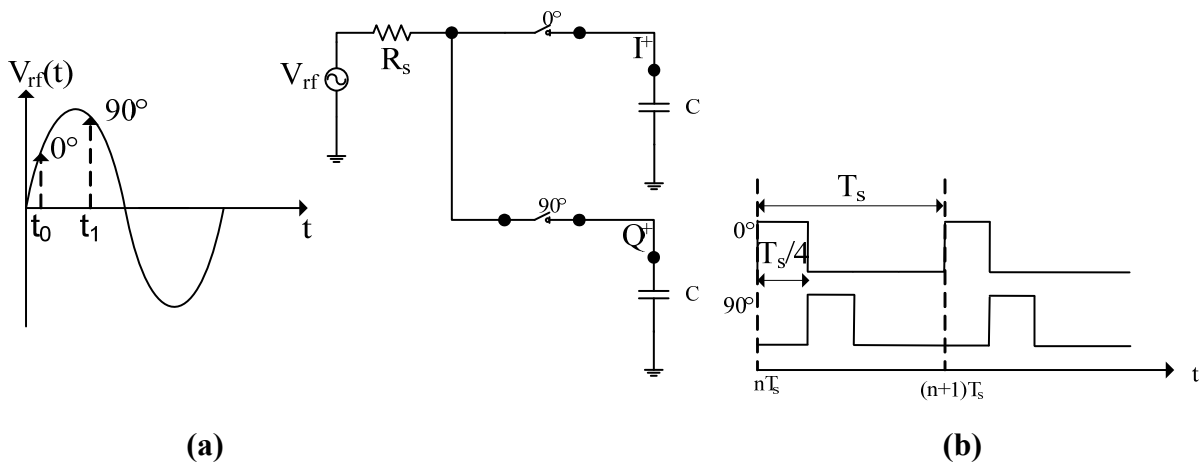


Figure II.3: a) Principe d'échantillonnage en quadrature conventionnel et b) Phases d'échantillonnage

4.2. Système d'échantillonnage pseudo-différentiel à quatre voies

Cette architecture peut être complétée en ajoutant deux voies d'échantillonnages, comme indiqué en **Figure II.4**. Avec cette architecture les informations redondantes de I et de Q sont obtenues en prélevant respectivement les données I^+ et I^- sur les phases d'échantillonnages 0° et 180° ainsi que les données Q^+ et Q^- sur les phases d'échantillonnage 90° et 270° . L'opération de cet échantillonneur est basée sur les relations

$A \cos(\varphi + \pi) = -A \cos(\varphi)$ et $A \sin(\varphi + \pi) = -A \sin(\varphi)$. En faisant les différences entre les valeurs redondantes de I et de Q, un gain en tension de 6dB est observé ainsi qu'une réduction du facteur de bruit de 3dB.

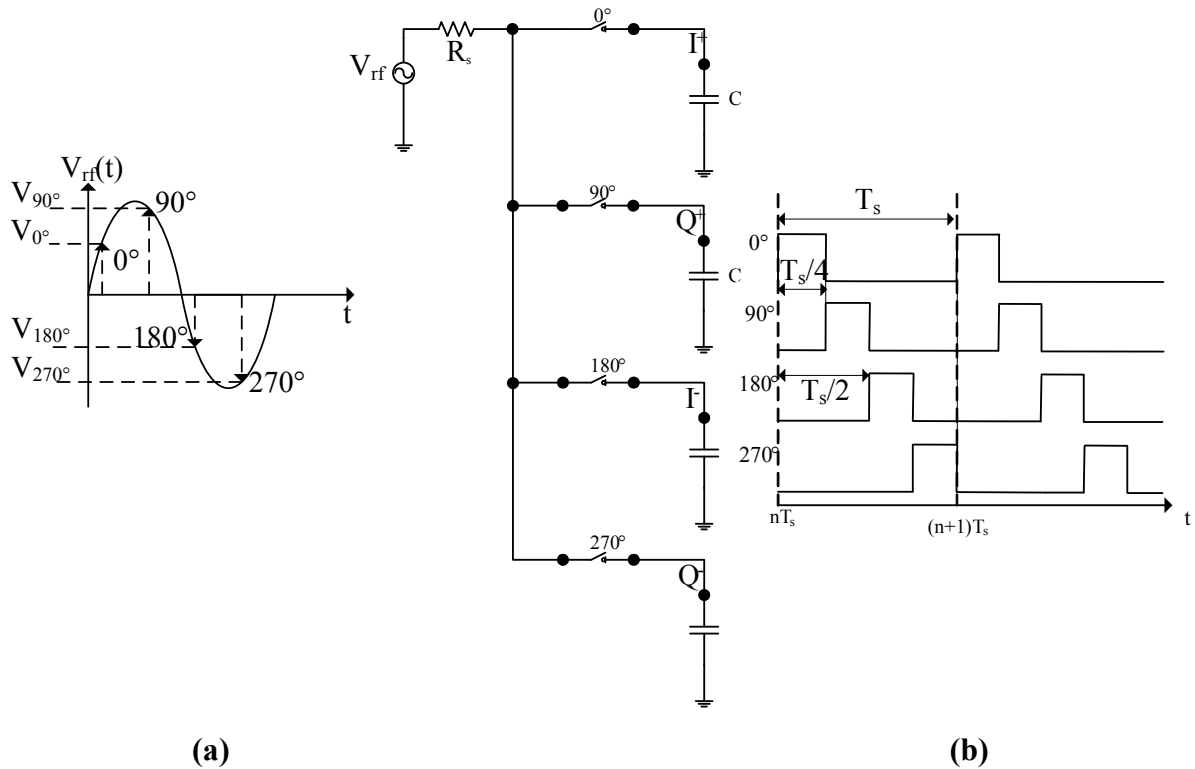


Figure II.4: a) Principe d'échantillonnage en quadrature à quatre voies d'échantillonnage et b) Phases d'échantillonnage

Dans le cadre de ce travail de thèse, une architecture complète différentielle est étudiée et réalisée. Celle-ci est représentée en **Figure II.5**.

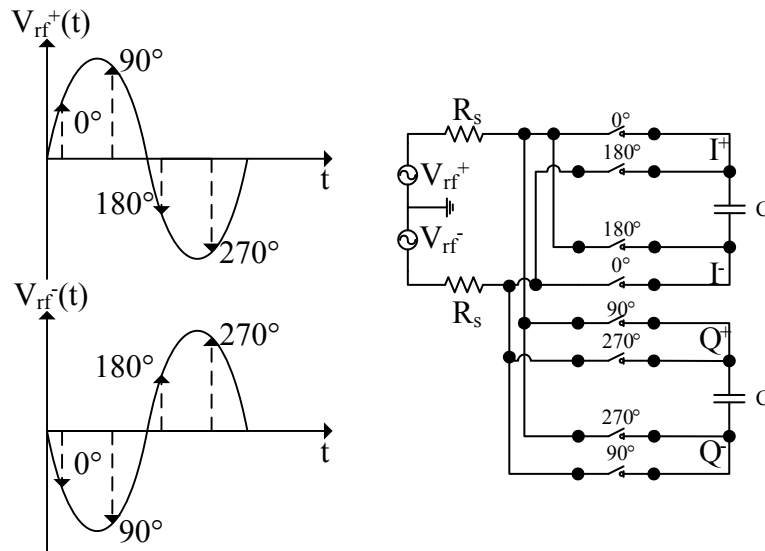


Figure II.5: Architecture du système complet d'échantillonnage différentiel à quatre phases

L'étude de ce système est expliquée à la suite de cette section afin de le caractériser en temps que système linéaire et variant dans le temps (LPTV) et d'en faire une étude fréquentielle.

5. Analyse fréquentielle du système d'échantillonnage différentiel en quadrature

Un schéma de deux branches différentielles, permettant de réaliser l'étude fréquentielle du système, est représenté en **Figure II.6** avec les phases d'échantillonnage S1 et S2 pilotant les interrupteurs.

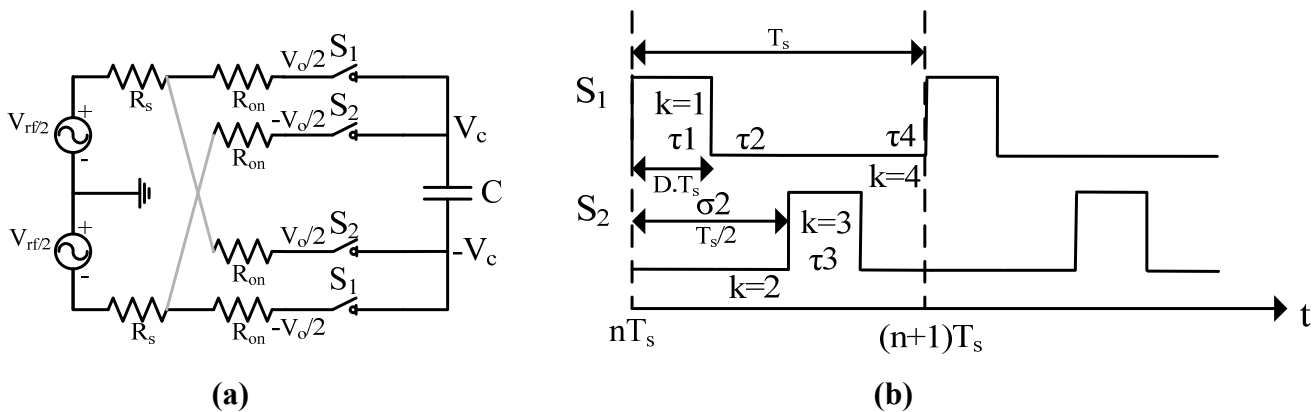


Figure II.6: a) Système d'échantillonnage différentiel et b) Phases d'interrupteurs

Le circuit peut être décrit par un système d'équations différentielles suivant les différents états d'interrupteurs, ouvert ou fermé. La tension aux bornes de la capacité différentielle est notée $2V_c(t)$ et délivre la tension V_o lorsque S1 est activé et $-V_o$ lorsque S2 est activé. En

considérant $V_{rf}(t)$ la tension d'entrée, $V_c(t)$ la tension en sortie délivrée à la borne supérieure de la capacité, R_s la résistance de source, R_{on} la résistance de l'interrupteur à l'état-on et D le rapport cyclique, nous avons pour les différentes intervalles de temps :

$$\frac{dV_c(t)}{dt} = -\frac{V_c(t)}{2(R_{on} + R_s)C} + \frac{1}{2(R_{on} + R_s).2C} V_{rf}(t) \quad nT_s < t < (n+D)T_s$$

$$V_c(t) = V_c((n+D)T_s) \quad (n+D)T_s < t < (n+1/2)T_s \quad (2.9)$$

$$\frac{dV_c(t)}{dt} = -\frac{V_c(t)}{2(R_{on} + R_s)C} - \frac{1}{2(R_{on} + R_s).2C} V_{rf}(t) \quad (n+1/2)T_s < t < (n+1/2+D)T_s$$

$$V_c(t) = V_c((n+1/2+D)T_s) \quad (n+1/2+D)T_s < t < (n+1)T_s$$

En se référant à l'équation, on en déduit $A_1 = A_3 = -2B_1 = 2B_3 = -\frac{1}{2(R_{on} + R_s)C} = -2\pi f_{rc}$

pour $k=1, 3$, avec $f_{rc} = \frac{1}{2\pi(R_{on} + R_s).2C}$ la fréquence de coupure passe-bas du filtre RC. En

appliquant $u(t) = V_{rf}(t) = e^{j2\pi ft}$ dans le système d'équation et en appliquant la théorie des systèmes linéaires et invariants dans le temps [7], on peut déterminer $G_k(f)$ de l'équation (2.7)(cf. Annexe I) pour les intervalles $k=1, 2$ tel que :

$$G_1(f) = G_0(f) = -\left[\frac{\exp(j2\pi\tau_1(f - nf_s)) - \exp(-2\pi f_{rc}\tau_1)}{\exp(j\pi(f - nf_s)/f_s) + \exp(-2\pi f_{rc}\tau_1)} \right] \cdot \frac{1}{1 + j \frac{(f - nf_s)}{f_{rc}}} \quad (2.10)$$

$$G_2(f) = -G_1(f) \exp(j2\pi f\tau_2)$$

Pour l'intervalle $k=1$, on peut évaluer (2.8) de la façon suivante :

$$H_{n,1}(f) = \frac{1}{1 + j \frac{f}{f_{rc}}} \left(\frac{1 - \exp(-j2\pi nf_s\tau_1)}{j2\pi n} + \frac{1 + \exp(j2\pi(f - nf_s)\tau_2 - j2\pi nf_s\tau_1)}{2\pi f_{rc}} \cdot G_{0,1}(f) \right) \quad (2.11)$$

$$V_{o,1}(f) = \sum_{n=-\infty}^{n=+\infty} H_{n,1}(f) V_{rf}(f - nf_s)$$

La tension V_o en sortie est la superposition des tensions obtenus sur les N voies d'échantillonnage, en prenant en compte les déphasages en phase entre chacune des voies, et est exprimée telle que :

$$V_o(f) = \sum_{n=-\infty}^{n=+\infty} H_n(f) V_{rf}(f - nf_s) \quad (2.12)$$

Avec la fonction de transfert $H_n(f)$ qui est :

$$H_n(f) = \sum_{k=1}^N H_{n,k}(f) \exp(-j2\pi n f_s \delta_{k-1}) \quad (2.13)$$

Et plus généralement, on a l'expression de transfert $H_{n,k}(f)$ telle que:

$$H_{n,k}(f) = \frac{1}{1 + j \frac{f}{f_{rc}}} \left(\frac{1 - \exp(-j2\pi n f_s \tau_k)}{j2\pi n} + \frac{1 + \exp(j2\pi(f - nf_s)\tau_{k+1} - j2\pi n f_s \tau_k)}{\frac{2\pi f_{rc}}{f_s}} \cdot G_{0,k}(f) \right) \quad (2.14)$$

Et on définit également :

$$G_{0,k}(f) = - \left[\frac{\exp(j2\pi \tau_k (f - nf_s)) - \exp(-2\pi f_{rc} \tau_k)}{\exp(j\pi (f - nf_s) / f_s) + \exp(-2\pi f_{rc} \tau_k)} \right] \cdot \frac{1}{1 + j \frac{(f - nf_s)}{f_{rc}}} \quad (2.15)$$

5.1. Fonction de transfert à l'harmonique $n=0$ avec $Df_{rc} \ll f_s$

Notre mélangeur, de par sa nature passive, ne présente aucune isolation entre ses entrées et ses sorties. En d'autres termes, les capacités reconvertissent les signaux filtrés en basse fréquence vers la haute fréquence en entrée du mélangeur, via le signal d'horloge carré de fréquence f_s . La fonction de transfert, lorsqu'aucun transfert de fréquence apparaît, c'est-à-dire pour $n=0$, ne peut pas se calculer directement avec l'expression(2.14), et il est nécessaire d'évaluer sa limite lorsque $n \rightarrow 0$. En considérant $\tau_{k+1} = \frac{T_s}{2} - \tau_k$, avec $\tau_k = DT_s$, on a donc celle-ci qui devient, pour $f = kf_s, k \in \mathbb{N}$:

$$H_0(kf_s) = -\frac{jNf_{rc}}{kf_s} \left(D + \frac{1 - \exp(j\pi k(1-2D))}{\frac{2\pi f_{rc}}{f_s}} \cdot G_0(kf_s) \right) \quad (2.16)$$

En évaluant $G_0(kf_s)$, et en considérant $f_{rc} \ll f_s$, on a :

$$G_0(kf_s) \approx -f_s \frac{\exp(j2\pi kD) - 1}{2\pi D f_{rc}} \cdot j \frac{f_{rc}}{kf_s} \quad (2.17)$$

En substituant (2.17) dans (2.16), et après simplification, on obtient la réponse fréquentielle suivante à la fondamentale et ses harmoniques :

$$H_0(kf_s) = \frac{2N}{4\pi^2 k^2 D} (1 - \cos(2\pi kD)) \quad (2.18)$$

On remarque pour notre cas, avec $N = 4$ voies d'échantillonnages différentielles et un rapport

cyclique $D = 0.25$, $H_0(kf_s) = \frac{8}{(\pi k)^2} \left(1 - \cos\left(\frac{\pi k}{2}\right) \right)$. Cela représente la sélection du filtre

passé-bande du mélangeur à son entrée, à la fondamentale et ses harmoniques multiples d'ordres impaires. Ainsi, le mélangeur passif se comporte comme un filtre passe bande à son entrée, répété périodiquement à la fréquence du signal d'horloge et ses harmoniques. A la fréquence fondamentale, le gain d'insertion du filtre est d'environ -1.8dB. Cette propriété est très intéressante pour des applications où la flexibilité en fréquence est recherchée puisque la fréquence centrale du filtre passe-bande se règle seulement en modifiant la fréquence du signal d'horloge. De plus, dû à cet effet de filtrage, la robustesse du mélangeur vis-à-vis de forts bloqueurs situés dans le spectre est améliorée, ce qui permet d'améliorer considérablement la linéarité du récepteur. Enfin, en utilisant une structure passive de mélangeur, il est possible de réaliser des filtres passe-bande sélectifs intégrables sur silicium avec d'excellents facteurs de qualité, en fixant la bande passant très étroite par rapport à la fréquence centrale du filtre, sans avoir à utiliser de structures de filtres non intégrables et présentant des défauts de linéarité important, telles que les filtres à onde de surface (SAW).

5.2. Fonction de transfert en bande de base à l'harmonique n#0 avec $Df_{rc} \ll f_s$

La représentation schématique du système d'échantillonnage différentiel pour cette étude est représentée en **Figure II.7** suivante :

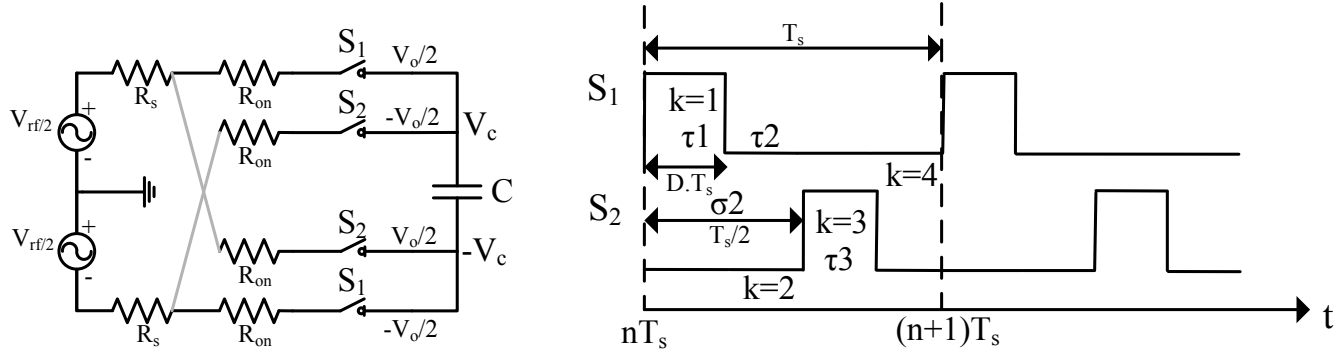


Figure II.7: a) Système d'échantillonnage différentiel et b) Phases d'interrupteurs

Cette fois-ci la tension différentielle V_o est directement obtenue aux bornes de la capacité différentielle, comparé à ce qui est représenté en **Figure II.6**. Pour évaluer la fonction de transfert de notre système en basse fréquence il suffit d'évaluer les fonctions de transfert $H_1(f)$ et $H_2(f)$ pour les intervalles de temps $k=1$ et $k=2$.

En s'appuyant sur une analyse identique à celle réalisée dans le cas de l'étude du filtre passe bande en Annexe I, on obtient :

$$\begin{aligned} G_1(f) &= G_0(f) e^{j2\pi f \tau_2} \\ G_2(f) &= G_0(f) \end{aligned} \quad (2.19)$$

Ainsi, en remplaçant dans (2.8), on a pour les intervalles $k=1$ et $k=2$:

$$\begin{aligned} H_{n,1}(f) &= \frac{f_{rc}}{jf + f_{rc}} \frac{1 - \exp(-j2\pi n D)}{j2\pi n} - \frac{jf}{jf + f_{rc}} f_s \frac{\exp\left(j2\pi f \left(\frac{1}{2} - D\right) / f_s\right) - 1}{j2\pi f} G_0(f - n f_s) \\ H_{n,2}(f) &= f_s \frac{\exp\left(j2\pi f \left(\frac{1}{2} - D\right) / f_s\right) - 1}{j2\pi f} G_0(f - n f_s) \end{aligned} \quad (2.20)$$

Or, en considérant la configuration entièrement différentielle on a :

$$\begin{aligned} H_{n,3}(f) &= -H_{n,1}(f) \\ H_{n,4}(f) &= -H_{n,2}(f) \end{aligned} \quad (2.21)$$

Ainsi, on obtient la fonction de transfert du filtre sur une période d'échantillonnage :

$$\begin{aligned} H_n(f) &= H_{n,1}(f) + H_{n,2}(f) - (H_{n,3}(f) + H_{n,4}(f)) \\ H_n(f) &= (1 - \exp(-j\pi n)) \cdot \frac{f_{rc}}{f_{rc} + jf} \cdot \left(\frac{1 - \exp(-j2\pi nD)}{j2\pi n} + f_s \frac{\exp\left(j2\pi f \left(\frac{1}{2} - D\right) / f_s\right) - 1}{j2\pi f} G_0(f - nf_s) \right) \end{aligned} \quad (2.22)$$

Avec le terme $1 - \exp(-j\pi n)$ qui annule (2.22) pour les harmoniques d'ordres paires et qui est égal à 2 pour les harmoniques d'ordres impaires puisque le système est considéré comme différentiel idéal. Cette expression n'étant pas facilement interprétable, il est nécessaire de calculer sa limite dans le cas où l'on a $f_{rc} \rightarrow 0$ et $D \rightarrow 0$. En commençant par $G_0(f)$ et en posant $f = aDf_{rc}$, avec a constante, on a :

$$\begin{aligned} \lim_{f_{rc} \rightarrow 0} G_0(f) &= \lim_{f_{rc} \rightarrow 0} - \frac{\exp\left(j2\pi D \frac{(aDf_{rc} - nf_s)}{f_s}\right) - \exp\left(\frac{-2\pi Df_{rc}}{f_s}\right)}{\exp\left(\frac{j\pi(aDf_{rc} - nf_s)}{f_s}\right) + \exp\left(\frac{-2\pi Df_{rc}}{f_s}\right)} \cdot \frac{1}{1 + j \frac{aDf_{rc} - nf_s}{f_{rc}}} \\ &= \lim_{f_{rc} \rightarrow 0} - \frac{\exp(-j2\pi nD) - 1}{\exp\left(j\pi aD \frac{f_{rc}}{f_s}\right) \cdot \exp(-j\pi n) + \exp\left(\frac{-2\pi Df_{rc}}{f_s}\right)} \cdot \frac{1}{1 + jaD - jn \frac{f_s}{f_{rc}}} \quad (2.23) \\ &= \lim_{f_{rc} \rightarrow 0} - \frac{\exp(-j2\pi nD) - 1}{-\left(1 + j\pi aD \frac{f_{rc}}{f_s}\right) + 1 - \frac{2\pi Df_{rc}}{f_s}} \cdot \frac{f_{rc}}{-jnf_s} \\ &= \frac{\sin c(\pi nD)}{1 + \frac{ja}{2}} \cdot \exp(-j\pi nD) \end{aligned}$$

En calculant la limite lorsque $D \rightarrow 0$, on obtient le même résultat et on en déduit: $a = \frac{f}{Df_{rc}}$.

On a donc, dans le cas où $Df_{rc} \ll f_s$:

$$G_0(f) = \frac{\sin c(\pi nD)}{1 + j\frac{f}{2Df_{rc}}} \cdot \exp(-j\pi nD) \quad (2.24)$$

En reformulant l'équation (2.22) par l'expression :

$$\begin{aligned} H_n(f) = & 2D \cdot \frac{1}{1 + j\frac{f}{2Df_{rc}}} \cdot \frac{1 - \exp(-j2\pi nD)}{j2\pi nD} \\ & + 2 \cdot \left(\frac{1}{2} - D\right) \cdot \frac{\exp\left(j2\pi \frac{f}{f_s} \left(\frac{1}{2} - D\right)\right) - 1}{j\frac{f}{f_s} \left(\frac{1}{2} - D\right) \cdot 2\pi} G_0(f) \\ & + 2 \cdot \left(\frac{1}{2} - D\right) \cdot \frac{j\frac{f}{f_{rc}}}{1 + j\frac{f}{f_{rc}}} \cdot \left(\frac{1}{1 + j\frac{f}{2Df_{rc}}} \cdot \frac{1 - \exp(-j2\pi nD)}{j2\pi nD} - \frac{\exp\left(j2\pi \frac{f}{f_s} \left(\frac{1}{2} - D\right)\right) - 1}{j\frac{f}{f_s} \left(\frac{1}{2} - D\right) \cdot 2\pi} G_0(f) \right) \end{aligned} \quad (2.25)$$

Et en remplaçant $G_0(f)$ par son expression, en considérant $f \ll f_s$, nous obtenons après simplification la fonction de transfert général en bande de base dans le cas où la fréquence de coupure f_{rc} est très petite devant la fréquence d'échantillonnage f_s et pour un rapport cyclique D faible :

$$H_n(f) = \frac{\sin c(\pi nD)}{1 + j\frac{f}{2Df_{rc}}} \exp(-j\pi nD) \quad (2.26)$$

Avec pour bande passante de signal :

$$B = 2Df_{rc} = \frac{D}{2\pi(R_s + R_{on})C} \quad (2.27)$$

Ainsi, notre structure d'échantillonnage se comporte comme un mélangeur en fréquence avec un filtrage passe-bas du signal converti en bande de base et réjection des signaux hauts

fréquences. La bande passante définit la fréquence intermédiaire maximale admissible et est fixée à une valeur d'environ 10MHz dans notre système. Aussi, le gain de conversion est dépendant du rapport cyclique utilisé et donc du nombre de voies, avec $N = \frac{1}{D}$. Plus le nombre de voies est important et plus le rapport cyclique tend vers 0, avec le terme en sinus cardinal qui tend vers 1. Enfin, une représentation graphique du gain de conversion avec $N = 4$ phases, en fonction de l'index d'harmonique, est représentée en **Figure II.8**, pour une bande passante unilatérale de 10MHz.

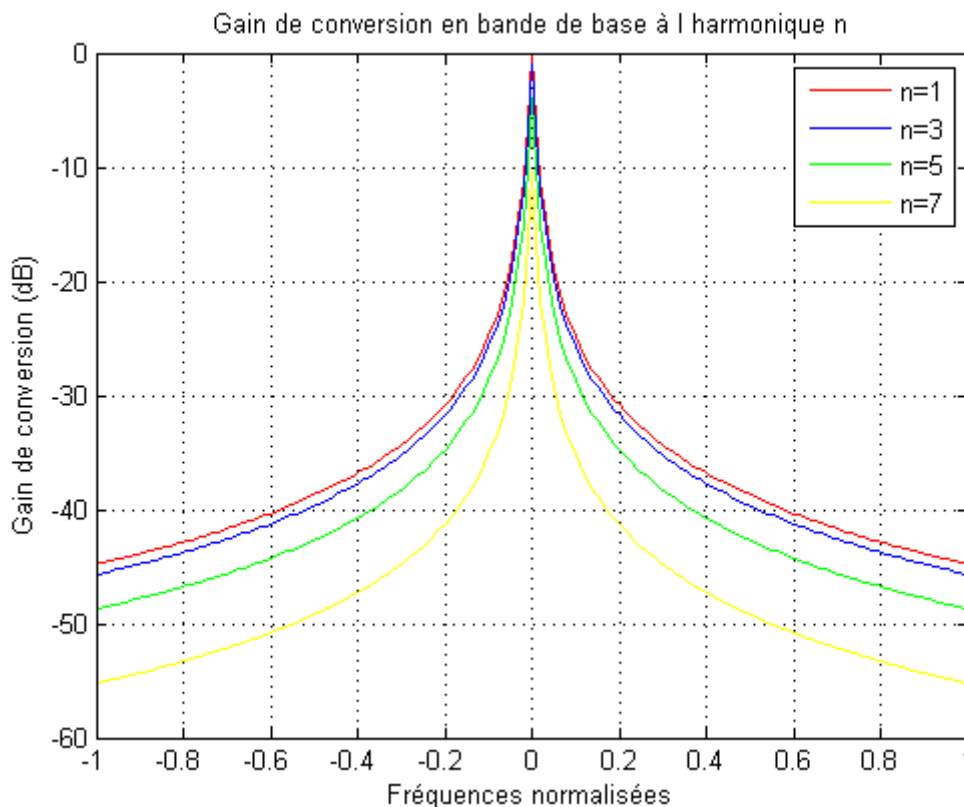


Figure II.8: Gain de conversion en fonction de la fréquence normalisée avec N=4 voies

On remarque que le gain de conversion pour un mélangeur utilisant quatre pulse de signal d'horloge, avec un rapport cyclique de 25%, est d'environ -0.9dB. Il a donc 3dB de perte en moins que les mélangeurs classiques numériques utilisant un rapport cyclique de 50%, ce qui est tout autant bénéfique pour son facteur de bruit. Cependant, le signal d'horloge, de par sa nature, contient de l'énergie aux harmoniques impaires de la fréquence fondamentale (on suppose que l'implémentation différentielle annule complètement les termes d'ordres pairs), et peut convertir en bande de base certains signaux parasites localisés à ces mêmes harmoniques.

5.3. Propriété de réjection d'harmoniques

On a vu précédemment, que pour un système LPTV constitué de N voies identiques, la fonction de transfert total du système est la contribution des réponses fréquentielles individuelles de chacune des voies, de spectres identiques mais déphasées dans le temps. En supposant que les voies ne se chevauchent pas, chacune d'elle introduit un déphasage angulaire $\Delta\Phi = \frac{2\pi i}{N}$, $i = 0 \dots N-1$, et en combinant cet effet dans (2.13) on a :

$$H_n(f) = \sum_{k=1}^N H_{n,k}(f) \exp(-j2\pi n f_s \sigma_{k-1}) \exp\left(\frac{j2\pi(k-1)}{N} \Omega\right) \quad (2.28)$$

Où le terme Ω représente l'index de conversion. Avec $\sigma_{k-1} = \frac{k-1}{N} T_s$, et en remplaçant dans (2.28), on a :

$$H_n(f) = \sum_{k=1}^N H_{n,k}(f) e^{-j \frac{2\pi(k-1)(n-\Omega)}{N}} = \begin{cases} 0, n - \Omega \neq kN, k \in \mathbb{Z} \\ N \cdot H_{n,k}(f), \frac{n-\Omega}{N} = k, k \in \mathbb{Z} \end{cases} \quad (2.29)$$

Et il est donc ainsi possible d'annuler certaines harmoniques en combinant les voies, et seules les harmoniques de la forme $n = kN + \Omega$, $k \in \mathbb{Z}$ sont conservées. Pour un système constitué de 4 voies avec $\Omega = -1$, seules les harmoniques -1, 3, -5, 7, -9 resteront, c'est-à-dire que la fréquence image sera supprimée. Plus généralement, plus le nombre de voies est important et plus le nombre d'harmoniques supprimées sera important. En prenant un nombre de voies $N = 8$, seules les harmoniques -1, 7, -9, 15...subsisteront. De plus, cette propriété de rejection d'harmoniques est importante car elle permet de relaxer les contraintes de filtrage en bande de base. Enfin, cette technique peut s'avérer très gourmande en termes de puissance du signal d'horloge nécessaire à la génération des N phases d'échantillonnage.

5.4. Sélectivité du mélangeur et influence de la résistance R_{on} du transistor

On a étudié précédemment le comportement en fréquence du mélangeur passif, en supposant que la fréquence de coupure du filtre RC soit suffisamment petite devant la fréquence d'échantillonnage f_s du mélangeur. On a également vu que celui-ci se comportait comme un filtre passe-bas du premier ordre en sortie et comme un filtre passe-bande en entrée

avec une certaine sélectivité, qui dépend du nombre de voies N utilisées (cf. équation (2.18)). Plus le nombre de voies est important et plus le gain du filtre passe-bande est élevé, ce qui dégrade la sélectivité du filtre puisque la réjection aux harmoniques impaires de la fondamentale sera moins élevée, comme en témoigne la **Figure II.9**.

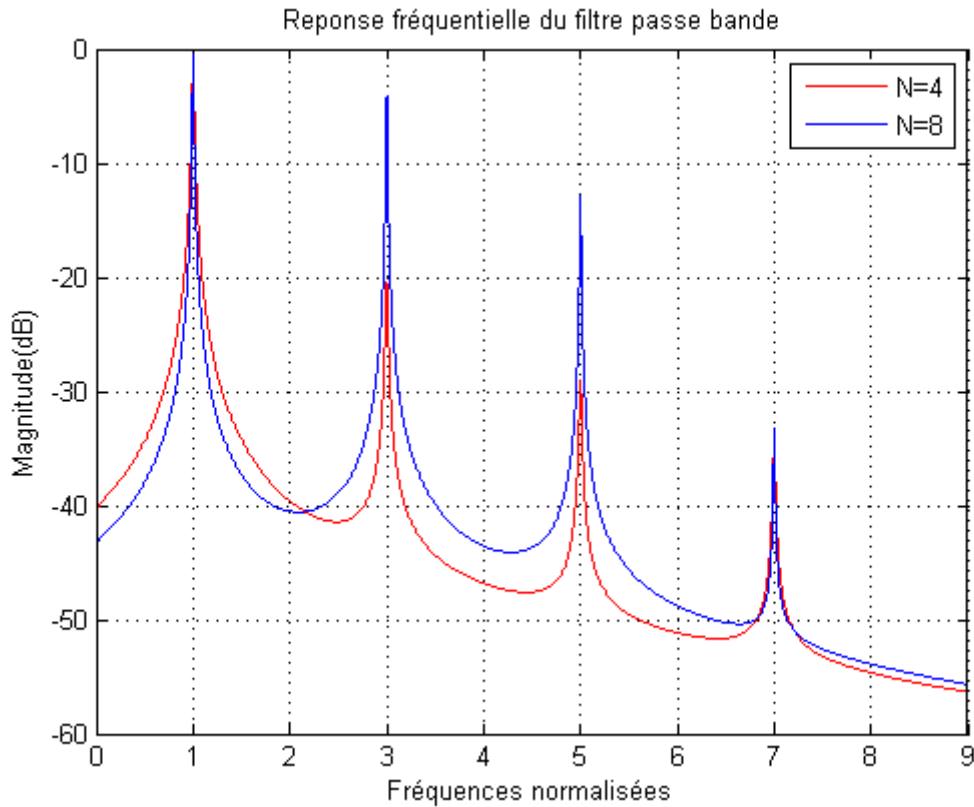


Figure II.9: Sélectivité du filtre en fonction des fréquences normalisées f / f_s

Pour un nombre de voies $N = 4$, on s'aperçoit que la sélectivité du filtre est meilleure, notamment en ce qui concerne la réponse aux harmoniques d'ordre 3 et 5. Un compromis est donc à trouver entre la sélection du filtre et la possibilité de rejeter des harmoniques, en choisissant soit 4 voies ou 8 voies d'échantillonnage. Au vu des courbes on s'aperçoit également que la sélectivité des filtres, répétés périodiquement en fréquence, est du 1^{er} ordre avec un taux d'atténuation de 20dB par décades pour des signaux bloqueurs situés loin en fréquence de la fréquence centrale du filtre f_s . L'avantage de cette architecture est que l'on fixe la bande passante du filtre en basse fréquence, et du à l'effet de réciprocité, celui-ci est transformé en un filtre passe-bande en hautes fréquences avec un facteur de qualité Q élevé. De plus cela ne nécessite pas d'avoir des contraintes de précision sur les composants employés. Pour des signaux hors de la bande de sélection du filtre, les capacités se

comportent comme des courts-circuits, fournissant un chemin direct au signal RF vers la masse, dans le cas idéal où la résistance du transistor en commutation est nulle. Ce cas-là ne se présentant jamais, il est donc nécessaire de prendre en compte sa résistance. Comme les capacités, dans le cas où $|f_{RF} - nf_s| \ll 0$, se comportent comme des courts-circuits idéaux, le schéma représentatif d'une des branches d'échantillonnage peut être représenté de la façon suivante, en **Figure II.10**.

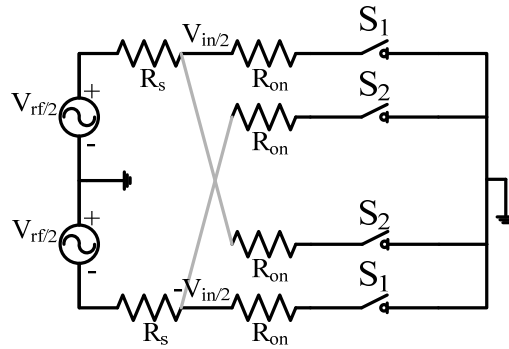


Figure II.10: Schéma équivalent de l'échantillonneur pour $|f_{RF} - nf_s| \ll 0$

En utilisant la propriété de superposition des tensions, on peut exprimer la tension différentielle V_{in} en fonction de la différentielle V_{rf} par l'expression suivante :

$$V_{in}(f_{RF}) = H_0(f_{RF})V_{rf}(f_{RF})\frac{R_s}{R_s + R_{on}} + V_{rf}(f_{RF})\frac{R_{on}}{R_{on} + R_s} \quad (2.30)$$

Le premier terme contient la fonction de transfert du filtre passe-bande, alors que le second terme représente la portion de signal RF résiduelle lorsque la sélectivité du filtre passe-bande est nulle, pour des signaux dont la fréquence f_{RF} est éloignée de la fréquence centrale f_s de sélection du filtre. On a dans ce cas $V_{in}(f_{RF}) = V_{rf}(f_{RF})\frac{R_{on}}{R_{on} + R_s}$. Lorsque la résistance d'interrupteur est nulle, l'expression (2.30) devient :

$$V_{in}(f_{RF}) = H_0(f_{RF})V_{rf} \quad (2.31)$$

En observant l'équation (2.30), en considérant $R_s \ll R_{on}$, et en calculant $H_0(f_{RF})$, dans le cas d'un signal RF dont la fréquence f_{RF} est égale à la fréquence centrale de sélection du filtre f_s , le premier terme de l'équation domine et on a $V_{in}(f_{RF}) \approx H_0(f_{RF})V_{rf}$. Ainsi, l'atténuation maximale du filtre passe-bande limitée par R_{on} est définie par :

$$A_{\max} \approx H_0(f_{RF}) \cdot \left(1 + \frac{R_s}{R_{on}}\right) \quad (2.32)$$

Dans notre architecture, avec un nombre de voies $N=4$ et en s'appuyant sur l'équation(2.18), on obtient :

$$A_{\max} \approx \frac{8}{\pi^2} \cdot \left(1 + \frac{R_s}{R_{on}}\right) \quad (2.33)$$

Pour le cas où l'on a la résistance d'interrupteur R_{on} est de valeur nulle, l'atténuation est infinie, ce qui confirme la validité de l'expression obtenue. Cela signifie que pour obtenir une bonne atténuation, la résistance de conduction des transistors en commutation doit être la plus petite possible comparée à la résistance d'entrée R_s du système. Cela permet non seulement d'améliorer le filtrage et donc la linéarité du système, mais également la figure de bruit du mélangeur. Cependant, comme nous le verrons dans le chapitre suivant, cela requiert des largeurs de transistors conséquentes, en fonction d'une technologie donnée, avec des capacités parasites d'entrée d'autant plus importantes. Enfin, la consommation en puissance de la partie digitale pour commuter les transistors, augmente considérablement en fonction de leur largeur, puisque leur capacité d'entrée évolue proportionnellement en fonction de celle-ci.

6. Etudes des imperfections de l'échantillonneur

6.1. Gigue de phase

Dans les systèmes d'échantillonnages, et particulièrement ceux fonctionnant à hautes fréquences, la gigue de phase (ou bruit de phase) est le paramètre principal qui détermine la résolution maximale que l'on peut obtenir lors de la numérisation du signal par un convertisseur Analogique/Numérique (ADC) [8], en dehors du bruit de quantification. Pour des applications où la largeur de canal est faible, tel que le GSM [9], et où la résolution des

signaux démodulés se fait sur une dizaine de bits, le bruit de phase doit répondre à des exigences particulières fournies par le standard. Celui-ci peut être considéré comme un processus stochastique stationnaire [10] ne dépendant pas de la variable temps et peut être modélisé mathématiquement comme une distribution Gaussienne $N(0, \sigma_j^2)$ de moyenne nulle et de variance σ_j^2 . Dans le cas d'un signal sinusoïdal échantillonné périodiquement avec une période T_s , le bruit de phase du signal d'horloge fait que ce signal n'est pas échantillonné à l'instant T_s idéal mais à l'instant $T_s + t_j$, où t_j représente la déviation temporelle créée par la gigue (Figure II.11).

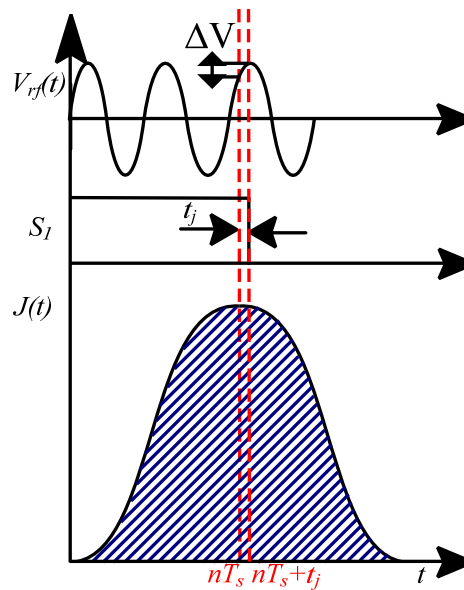


Figure II.11: Erreur d'échantillonnage d'un signal sinusoïdal créée par une gigue de phase de distribution gaussienne de moyenne nulle ($\mu=0$) et de variance σ_j

L'erreur d'échantillonnage en tension créée entre la sortie et l'entrée est définie par :

$$\Delta V = V_{out}(nT_s) - V_{rf}(nT_s) \approx t_j \left. \frac{dV_{rf}(nT_s)}{dt} \right|_{t=nT_s} \quad (2.34)$$

On remarque que l'erreur en amplitude causée par la gigue de phase est proportionnelle au slew-rate du signal et donc à sa fréquence. Ainsi, l'influence de celle-ci peut être très problématique lorsque les signaux à échantillonner sont de fréquences élevées. Avec un signal sinusoïdal qui est défini par $V_{rf}(t) = A \sin(2\pi f_{rf} t)$, on calcule l'erreur de gigue de phase qui est :

$$\Delta V = 2\pi f_{rf} t_j A \cos(2\pi f_{rf} n T_s) \quad (2.35)$$

Et en raisonnant en termes de puissance on obtient :

$$\Delta V^2 = 2\pi^2 f_{in}^2 A^2 t_j^2 \quad (2.36)$$

Pour un signal sinusoïdal de fréquence f_{rf} , d'amplitude A et de puissance moyenne $\frac{A^2}{2}$, la dégradation du rapport signal à bruit due à la gigue de phase est donc :

$$\begin{aligned} SNR &= 10 \log \frac{\frac{A^2}{2}}{2\pi^2 f_{in}^2 A^2 t_j^2} \\ &= -20 \log(2\pi f_{in} t_j) [dB] \end{aligned} \quad (2.37)$$

A noter que cette définition est valide uniquement lorsque la condition suivante est réalisée :

$$2\pi f_{in} t_j \ll 1 \quad (2.38)$$

Lorsque celle-ci n'est plus valide, la puissance d'erreur créée par la gigue de phase est définie par [\[10\]](#) :

$$\Delta V^2 = A^2 \left[1 - \exp(-2\pi^2 f_{in}^2 t_j^2) \right] \quad (2.39)$$

Et on a l'expression du rapport signal à bruit qui est donc :

$$SNR = 10 \log \frac{\frac{A^2}{2}}{A^2 \left[1 - \exp(-2\pi^2 f_{in}^2 t_j^2) \right]} - 10 \log \left(2 \left(1 - \exp(-2\pi^2 f_{in}^2 t_j^2) \right) \right) \quad (2.40)$$

Lorsque la condition (2.38) est remplie, et en décomposant la fonction exponentielle en une série de Taylor au premier ordre, on retrouve l'expression calculée en (2.36) et (2.39) sont égales.

Ces définitions traduisent le fait que plus la gigue de phase est importante et plus son impact sur le rapport signal à bruit en sortie se fait ressentir, et particulièrement en hautes fréquences. Dans des applications multistandards, la plage de variation des fréquences est importante et il est nécessaire d'avoir un oscillateur local générant le moins de bruit de phase possible avec le plus de stabilité possible afin de respecter un rapport signal à bruit minimum.

En général, la gigue de phase temporelle et le bruit de phase sont corrélés, c'est-à-dire que le bruit de phase peut être converti en gigue de phase temporelle, en intégrant le bruit de phase du signal d'horloge par rapport à sa fréquence centrale, et ceci pour une bande de fréquence donnée. L'expression de la gigue temporelle de phase en fonction du bruit de phase peut être donc exprimée par :

$$\Delta t_j^2 = \frac{C}{f_c^2} \int_{f_L}^{f_H} L(f) df \quad (2.41)$$

Où C est une constante intrinsèque au générateur de signal d'horloge, f_L et f_H sont respectivement les fréquences basses et hautes de la bande d'intégration du bruit de phase et $L(f)$ la densité spectrale de bruit dans la bande supérieure d'intégration.

Une évaluation de l'expression, qui traduit la variation du SNR en fonction de la gigue de phase, a été réalisée avec Matlab pour deux signaux de fréquences égales à 868MHz et 2.412GHz. Les résultats sont présentés **Figure II.12**.

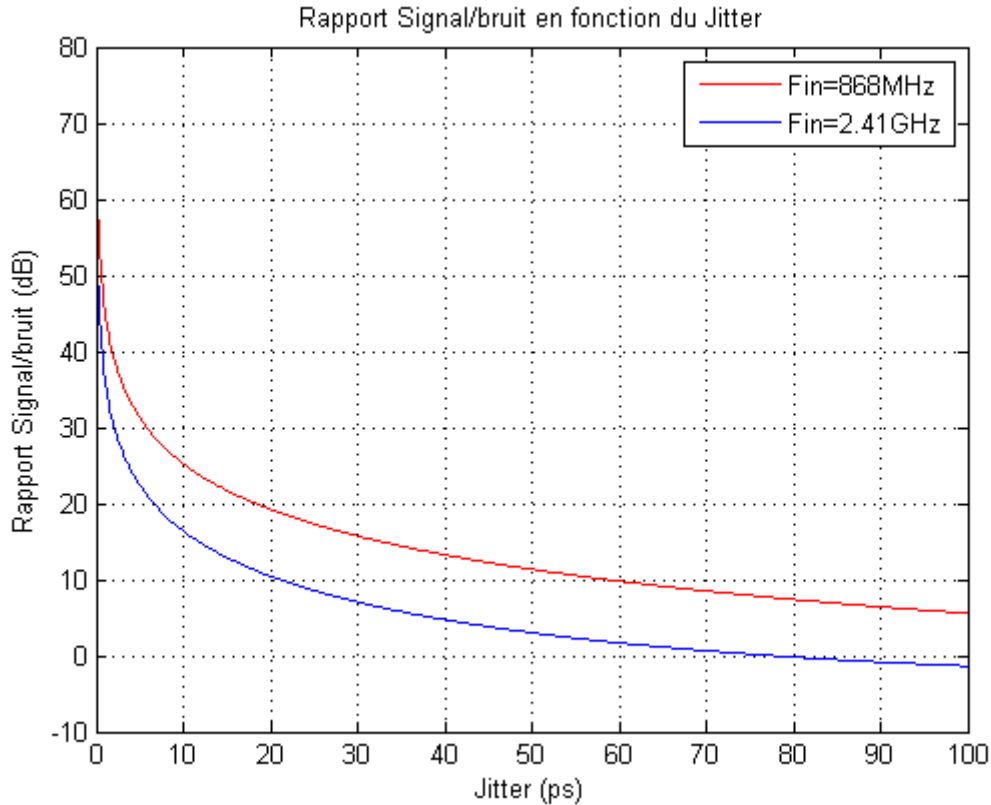


Figure II.12: SNR en fonction du Jitter pour a) Frf=868MHz et b) Frf=2,41GHz

On remarque bien que pour le signal de plus haute fréquence, la dégradation du SNR est plus importante pour une gigue temporelle identique. En général, si la fréquence du signal RF est multipliée d'un facteur α ($\alpha > 0$) la dégradation du rapport signal diminue en $20 \log_{10}(\alpha)$. Ainsi, les contraintes en bruit de phase pour une application WiFi [11] et une application UHF dans les bandes ISM ne seront donc pas les mêmes. Dans le cas du standard WiFi, la valeur maximale de Jitter admissible est de 0.5ps (rms), ce qui représente une déviation d'environ 1.2% de la fréquence de l'oscillateur local.

6.2. Gigue de phase dans le cas d'un système d'échantillonnage à N voies

Dans notre système, les voies d'échantillonnages ne se recoupent pas et donc l'influence de la gigue temporelle sur chacune des voies est un processus stationnaire indépendant du temps avec une distribution de type gaussienne $N(0, \sigma_j^2)$. Cela signifie que la contribution totale de la gigue temporelle est la somme totale des contributions de la gigue temporelle sur chacune des voies. L'étude réalisée par Seng-Pan U, Sai-Weng Sin et R.P. Martins [12] permet de déterminer l'influence exacte que la gigue temporelle peut avoir sur le spectre du signal en

sortie, en ce qui concerne les systèmes multi-phases à N voies. Dans notre système, le signal RF entrant dans le mélangeur est échantillonné avec des instants d'échantillonnage non uniformes, et qui ont des effets corrélés entre l'entrée et la sortie, puisque les instants d'échantillonnage et de maintien du signal sont pilotés par les mêmes phases. Le rapport du signal à bruit en sortie en sortie est identique à l'expression calculée dans le cas d'une sinusoïde. Cependant, en prenant en compte la distorsion d'amplitude créée par la gigue temporelle aux harmoniques du signal d'horloge autres que la fondamentale, on peut obtenir le rapport signal sur bruit et distorsion par l'expression suivante dans la bande de Nyquist $[0, f_s / 2]$:

$$\begin{aligned}
 SINAD \approx & -20 \log_{10} (2\pi f_{in} t_j) \\
 & -10 \log_{10} \left[1 - \frac{3.7D}{\tan(\pi D)} + \frac{7.64D^2}{\sin(\pi D)^2} \right]
 \end{aligned} \tag{2.42}$$

Le premier terme représente l'expression de la dégradation du rapport signa-à-bruit de la gigue temporelle dans le cas d'une sinusoïde alors que le second terme traduit l'effet de distorsion du aux harmoniques. Dans notre cas, avec un nombre de voies $N = 4$ et un rapport cyclique $D = \frac{1}{N} = 0.25$, on s'aperçoit que le second terme en log est de valeur négligeable et que l'expression est uniquement dépendante du premier terme. Ainsi, dans le cas d'un échantillonneur en quadrature constitué de quatre voies on obtient:

$$SINAD \approx SNR \tag{2.43}$$

Et donc l'évolution de ce paramètre en fonction de la gigue temporelle est également représentée par la **Figure II.12**. Aussi, lorsque le rapport cyclique augmente, ce paramètre diminue et donc le rapport signal sur bruit et distorsion se dégrade. La valeur maximale du rapport cyclique permettant de respecter le critère de Nyquist est de 0.5, ce qui dégrade d'environ 5dB le SINAD. Enfin, il est donc judicieux d'utiliser un rapport cyclique le plus faible possible et donc un nombre de voies N plus important afin d'obtenir un bon *SINAD*. Cela est directement relié au fait que la période d'apparition de la gigue temporelle sur chacune des voies est augmentée et donc sa fréquence réduite.

6.3. Figure de bruit

La résistance R_{on} de chacun des transistors en commutation n'étant jamais nulle, celle-ci ne limite pas seulement la réjection du filtre passe-bande crée par le mélangeur, mais rajoute également du bruit dans la bande de réception du signal. Le bruit rajouté par la résistance est de nature thermique et celui-ci augmente proportionnellement en fonction de la valeur de cette résistance ainsi que de la température. Dans le cas de notre mélangeur avec $N=4$ voies, la figure de bruit ramenée en bande de base, en considérant le bruit thermique comme un bruit blanc, est exprimé par la formule suivante :

$$F = \left(\frac{R_s + R_{on}}{R_s} \right) \frac{\sum_{n=-\infty}^{n=+\infty} H_n(0)^2}{H_{-1}(0)^2} \quad (2.44)$$

Le premier terme représente le bruit généré lorsque le transistor est à l'état d'interrupteur fermé alors que le second terme représente le bruit converti par le mélangeur en fonction de l'index d'harmonique n , avec n impair, normalisé par le gain de conversion au carré à la fondamentale. Le second terme au numérateur peut être réécrit de la façon suivante :

$$\sum_{\substack{n=-\infty \\ n=2m+1}}^{n=+\infty} H_n(0)^2 = \sum_{n=-\infty}^{n=+\infty} \text{sinc}(\pi n D)^2 \quad (2.45)$$

Or, en appliquant le théorème de Parseval on a :

$$\frac{1}{T} \int_{-T/2}^{T/2} |LO(t)|^2 dt = 4D = \sum_{n=-\infty}^{n=+\infty} (4D \text{sinc}(\pi n D))^2 \quad (2.46)$$

Cela traduit la décomposition du signal carré d'échantillonnage en séries de Fourier.

Ainsi on a l'expression du facteur de bruit qui devient :

$$F = \left(\frac{R_s + R_{on}}{R_s} \right) \cdot \frac{1}{4D \cdot \text{sinc}(\pi D)^2} \quad (2.47)$$

En calculant la dérivée de cette expression par rapport à la variable D, pour une valeur de résistance R_{on} nulle, on trouve une valeur optimale de D minimisant le facteur de bruit telle que :

$$\frac{\partial F}{\partial D} = 0 \Rightarrow \tan(\pi D) = 2\pi D \quad (2.48)$$

La valeur optimale trouvée est pour $D \approx 0,375$, soit un rapport cyclique de 37,5%. Une représentation graphique de l'expression a été réalisée et est représentée en **Figure II.13**.

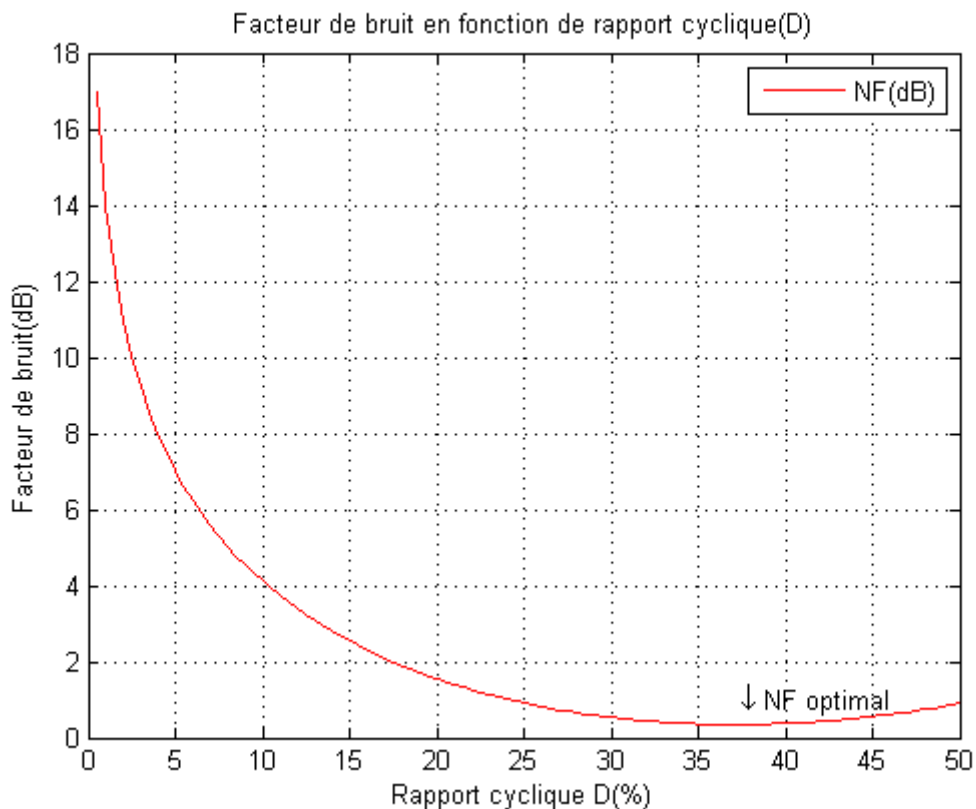


Figure II.13: Evolution du facteur de bruit (dB) en fonction du rapport cyclique D (%).

On retrouve sur ce graphique la valeur de rapport cyclique calculée précédemment, à savoir un rapport de 37,5%. Cependant, pour cette valeur de rapport cyclique, les performances de l'échantillonneur sont dégradées puisque les voies d'échantillonnages se recoupent. Le choix d'un rapport cyclique $D=25\%$ est donc un bon compromis car il permet à la fois un fonctionnement optimal du mélangeur ainsi qu'une figure de bruit qui est :

$$F = \left(\frac{R_s + R_{on}}{R_s} \right) \cdot \frac{8}{\pi^2} \quad (2.49)$$

On remarque l'importance de valeur de la résistance R_{on} en ce qui concerne cette figure de bruit. Afin que celle-ci soit la plus faible possible, R_{on} doit avoir la valeur la plus faible également. Comme celle-ci est inversement proportionnelle à la largeur du transistor W , la celle-ci doit être la plus élevée possible. Le désavantage de choisir une largeur trop élevée est l'augmentation de la capacité parasite du transistor, contribuant à dégrader la linéarité du mélangeur car plus susceptible aux phénomènes d'injection de charge lors de l'échantillonnage, comme il sera démontré par la suite. Enfin, la figure de bruit minimale théorique est de $\frac{8}{\pi^2}$, soit un facteur de bruit d'environ 0.91dB, ce qui est 3dB inférieur au cas où le rapport cyclique utilisé est de 50%.

6.4. Variation du rapport cyclique

Le rapport cyclique, dans notre système, définit le temps de fermeture des interrupteurs pour chacune des voies d'échantillonnage. Celui-ci est stable en théorie, mais pour diverses raisons (températures, process...), il peut varier à un instant t donné, sans que cela soit prévisible. L'analyse fréquentielle réalisée précédemment, en section 5, considère le cas idéal d'un rapport cyclique fixe $D = \frac{1}{N}$ et ne variant pas.

Au niveau de la RF, le rapport cyclique a une influence sur la qualité de sélection du filtre passe bande (cf. équation (2.18)) et donc sur la linéarité du système. En effet avec $D \neq \frac{1}{N}$, on a deux cas qui se présentent : l'un avec $D \leq \frac{1}{N}$ et l'autre avec $D > \frac{1}{N}$. Le premier cas correspond au cas où les transistors sont à l'état d'interrupteur ouvert pendant un temps total $\tau = 1 - ND$ pour une période d'échantillonnage T_s . Ainsi, on peut ajouter ce terme à l'équation et on obtient donc la sélectivité du filtre passe bande qui est :

$$H_0(kf_s) = \frac{2N}{4\pi^2 k^2 D} (1 - \cos(2\pi kD)) + (1 - ND), D \leq \frac{1}{N} \quad (2.50)$$

Cette sélectivité se dégrade lorsque le rapport cyclique est inférieur à sa valeur idéale, dégradant ainsi la sélectivité du filtre et par la même occasion sa capacité à atténuer les éventuels bloqueurs situés aux harmoniques multiples de la fréquence fondamentale du signal d'horloge.

Dans le deuxième cas de figure, les composantes en phase et quadrature des voies se mélangent, induisant un transfert de charge entre les capacités d'échantillonnage. Cela dégrade naturellement la fonction de transfert en RF, représentée en **Figure II.9**. Cependant cette dégradation est ralentie en fonction de la valeur de résistance d'interrupteur mais avec des pertes d'insertion importante, en particulier à la fréquence fondamentale du signal.

En ce qui concerne la réponse fréquentielle en basses fréquences (cf. équation(2.26)), le même raisonnement que précédemment peut être réalisé. Pour un rapport cyclique $D \neq \frac{1}{N}$ avec $D \leq \frac{1}{N}$, le gain de conversion obtenu est plus élevée et la bande passante diminue. Avec $D > \frac{1}{N}$, le transfert de charge entre capacités atténue fortement le gain de conversion. Enfin, la dégradation de la forme du filtre en bande de base est également fonction de la résistance d'interrupteur R_{on} des transistors en commutation, en série avec les capacités. Des simulations sous Cadence, dans le chapitre suivant, mettront en évidence ce problème.

6.5. Fréquence image

Lorsque l'on converti de manière direct le signal RF en bande de base, dans le cas d'un récepteur homodyne, il n'y a pas de fréquence image puisque la fréquence de sortie est au DC. Cependant, lorsque l'on converti à une fréquence intermédiaire $f_{IF} = |f_{RF} - f_S|$, dans le cas d'un récepteur hétérodyne, la fréquence image, si celle-ci n'est pas totalement supprimée, peut avoir un impact néfaste sur la qualité du signal reçu. En effet, un signal bloqueur situé à un offset, correspondant à la fréquence intermédiaire F_{IF} par rapport à la fréquence du signal d'horloge, c.à.d. $F_B = F_{IF} + F_S$, peut être converti à cette même fréquence via la fréquence image du signal et ainsi détériorer la réception du signal en sortie. De nombreux standards de communications [9], [11] dans le cas de récepteurs hétérodynes travaillant à fréquence

intermédiaire, exigent une atténuation minimale de la fréquence image afin de pouvoir traiter le signal démodulé dans les meilleures conditions possibles.

Cependant, dans tous les récepteurs RF hétérodyne fonctionnant en quadrature, il existe des imperfections entre les voies I et Q en termes d'amplitude et de phase. Cela conduit à une réjection partielle de la fréquence image, qui peut être compensée par des méthodes de calibration numérique. En modélisant le signal d'oscillateur présentant un décalage à la fois en amplitude et en phase par :

$$LO(t) = \cos(\omega_s t) - j\alpha \sin(\omega_s t + \psi) \quad (2.51)$$

Avec le terme ω_s qui représente la pulsation du signal d'oscillateur, α et ψ qui représentent respectivement le défaut en amplitude et le décalage en phase entre les voies I et Q. Le signal en sortie du système étant de la forme $I - jQ$, on peut donc réécrire l'expression (2.19)(2.51) sous sa forme complexe :

$$LO(t) = \frac{1 + \alpha e^{-j\psi}}{2} \cdot e^{-j\omega_s t} + \frac{1 - \alpha e^{j\psi}}{2} \cdot e^{j\omega_s t} \quad (2.52)$$

$$LO(t) = A1 \cdot e^{-j\omega_s t} + A2 \cdot e^{j\omega_s t}$$

Avec, le terme de pulsation en exponentielle ω_s qui contient la fréquence image du signal d'oscillateur. Le ratio de réjection de fréquence image est ainsi donnée par :

$$IRR_{dB} = 20 \log_{10} \left(\left| \frac{A1}{A2} \right| \right) \quad (2.53)$$

Cette expression tend vers l'infini lorsque $\alpha = 1$ et $\psi = 0$, c'est-à-dire lorsque les termes en cosinus et sinus sont équilibrés à la fois en amplitude et à la fois en phase. Une représentation graphique de la réjection de la fréquence image en fonction de l'écart en phase, et pour des écarts en amplitude donnés, est en **Figure II.14**.

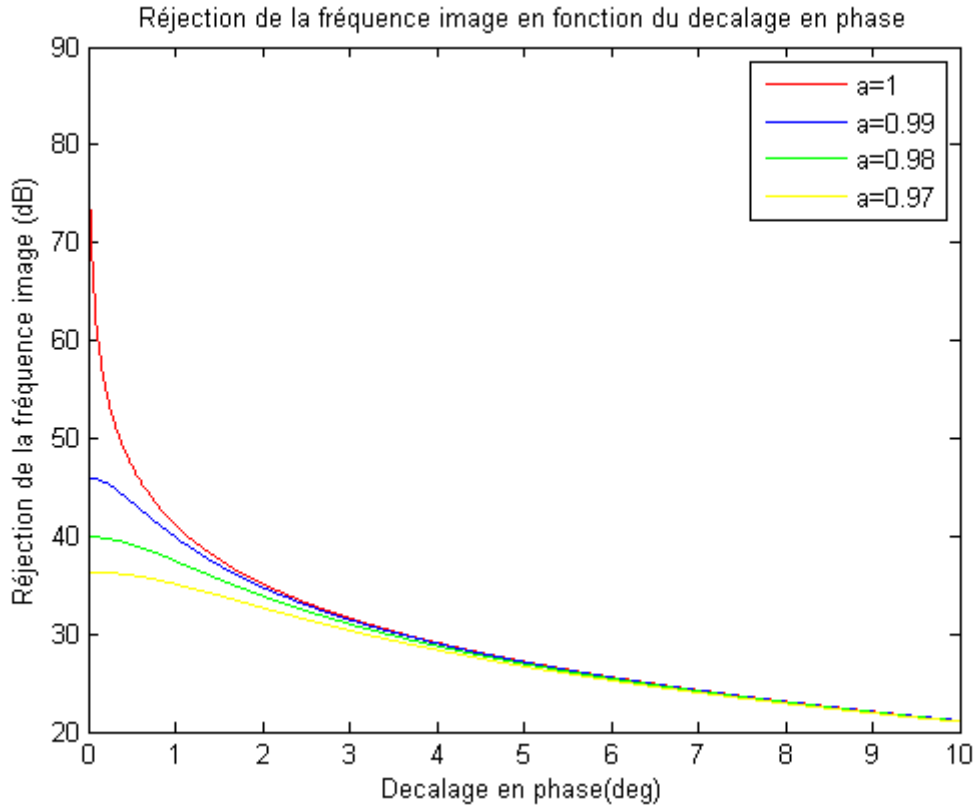


Figure II.14: Réjection de la fréquence image en fonction du décalage en phase

On remarque que la réjection se dégrade lorsque le décalage en phase varie entre 0° et 1° par rapport au décalage initial de 90° , dans le cas où le pourcentage d'erreur en amplitude entre les deux voies I et Q est nul. Dans les autres cas, plus le pourcentage d'erreur en amplitude est élevé pour un décalage en phase donné, et plus la réjection est médiocre. Enfin, pour notre système d'échantillonnage, le fait de convertir directement en bande de base nous permet de nous affranchir du problème de la fréquence image.

6.6. Phénomènes d'injection de charge et de « clock-feedthrough »

Avec la montée en fréquence des transistors, compte tenue de l'évolution de la technologie CMOS, il est désormais possible de réaliser des systèmes d'échantillonnages de plus en plus rapides [13]. De plus, la technologie CMOS est un choix idéal pour de tels systèmes puisque l'impédance très grande de la grille permet des fonctions de maintien du signal très performantes.

Bien que les transistors commutent de plus en plus vite pour prélever les échantillons successifs de signal, ceux-ci se comportent comme des interrupteurs non-idéaux, stockant une

quantité fixe de charge électronique mobile au sein de leur canal. Ainsi, lors de leurs ouvertures, les charges électroniques emmagasinées n'ont pas toujours le temps nécessaire pour se supprimer à travers le canal, ce qui fait que les charges se répartissent soit entre la source, le drain ou le substrat du transistor, induisant une valeur d'erreur sur la valeur de signal échantillonné. En général, plus le canal est long et plus les charges mettront du temps à se neutraliser à travers le canal. Le phénomène décrit ici correspond à l'injection de charge et est un élément majeur de perturbation dans les systèmes à échantillonnages directs. Enfin, lorsque le transistor est à l'état d'interrupteur ouvert, la capacité de jonction grille-drain Col couple une partie du signal d'horloge sur la capacité de charge C permettant l'échantillonnage du signal, ce qui élargit l'erreur sur la valeur échantillonnée: ce phénomène est connu sous le nom de clock-feedthrough.

Plusieurs études ont été réalisées dans la littérature afin de modéliser ce problème d'injection de charge. L'étude la plus complète jusque-là, réalisée par Sheu et al [14], prend en compte les paramètres technologiques de transistor mais également les capacités d'entrée-sortie du système ainsi que la résistance du signal de source. Notre système peut ainsi être modélisé de deux façons, suivant que le transistor est en mode « ON » ou en mode « OFF ». Une représentation représentant les deux cas est faite en **Figure II.15**.

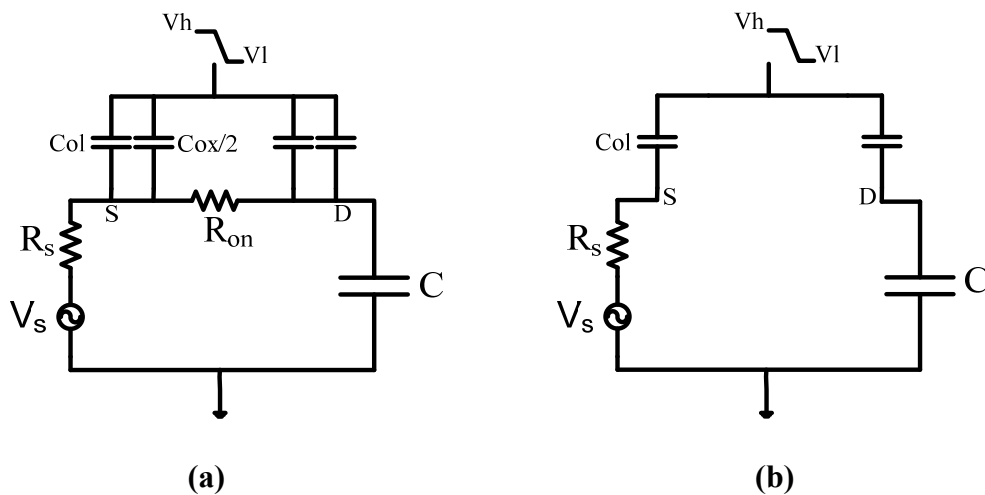


Figure II.15: a) Schéma équivalent de l'échantillonneur lorsque l'interrupteur est fermé.
b) Schéma équivalent lorsque l'interrupteur est ouvert

La tension appliquée à la grille du transistor est définie telle que :

$$V_G = V_h - Ut \tag{2.54}$$

Où U représente le slew-rate du signal d'horloge. Lorsque le transistor est en régime linéaire on a :

$$I_{ds} = \beta(V_h - Ut - V_{th})(V_D - V_S) \quad (2.55)$$

Avec $\beta = \mu C_{ox} \frac{W}{L}$ et où $\mu, W, L, C_{ox}, V_{th}$ sont respectivement la mobilité des électrons en $\text{cm}^2/\text{V.s}$, la largeur de grille du transistor, la longueur de grille, la capacité d'oxyde et la tension de seuil du transistor. En appliquant la loi de Kirchhoff aux nœuds S (Source) et D (Drain), on obtient :

$$\begin{aligned} C \frac{dV_D}{dt} &= -\beta(V_h - Ut - V_{th})(V_D - V_S) + \frac{C_G}{2} \frac{d(V_G - V_D)}{dt} \\ \frac{V_S}{R_S} &= \beta(V_h - Ut - V_{th})(V_D - V_S) + \frac{C_G}{2} \frac{d(V_G - V_S)}{dt} \end{aligned} \quad (2.56)$$

Où $C_G = C_{ox} + 2C_{ol}$.

Dans le cas de notre échantillonneur, les variations de tension aux bornes de la capacité et au niveau de la source du transistor se font de manière lente et donc on peut supposer que

$$\frac{dV_G}{dt} \ll \frac{dV_L}{dt} \quad \text{et} \quad \frac{dV_G}{dt} \ll \frac{dV_S}{dt}.$$

Et donc nous avons :

$$\begin{aligned} C \frac{dV_D}{dt} &= -\beta(V_h - Ut - V_{th})(V_D - V_S) - \left(C_{ol} + \frac{C_{ox}}{2} \right) U \\ \frac{V_S}{R_S} &= \beta(V_h - Ut - V_{th})(V_D - V_S) - \left(C_{ol} + \frac{C_{ox}}{2} \right) U \end{aligned} \quad (2.57)$$

Ce système d'équation différentielle ne présente pas de solution formelle. Cependant, dans le cas où la résistance d'entrée de la source est infinie on a la solution suivante pour la tension aux bornes de la capacité C [14]:

$$V_D = -\sqrt{\frac{\pi UC}{2\beta}} \left(\frac{Col + \frac{Cox}{2}}{C} \right) \exp \left[\left(\frac{\beta U}{2C} \right) \left(t - \frac{V_h - V_s - V_{th}}{U} \right)^2 \right] \cdot \left[\operatorname{erf} \left(\sqrt{\frac{\beta}{2UC}} V_h - V_s - V_{th} \right) - \operatorname{erf} \sqrt{\frac{\beta}{2UC}} V_h - V_s - V_{th} - Ut \right] \quad (2.58)$$

Lorsque l'interrupteur se ferme à l'instant $t_o = \frac{V_h - V_s - V_{th}}{U}$, c'est-à-dire quand $V_h = V_s + V_{th}$, on a une erreur d'injection de charge qui est :

$$\varepsilon V_D = -\sqrt{\frac{\pi UC}{2\beta}} \left(\frac{Col + \frac{Cox}{2}}{C} \right) \cdot \left[\operatorname{erf} \left(\sqrt{\frac{\beta}{2UC}} V_h - V_s - V_{th} \right) \right] \quad (2.59)$$

Cette définition correspond au cas où l'interrupteur est fermé, d'après le modèle présenté en **Figure II.15 (a)** et pour une résistance de source infinie. Lorsque le signal d'horloge atteint son niveau bas V_L , l'interrupteur s'ouvre (**Figure II.15 (b)**) et l'erreur de clock-feedthrough se rajoute à l'erreur d'injection de charge. L'erreur totale obtenue devient donc :

$$\varepsilon V_D = -\sqrt{\frac{\pi UC}{2\beta}} \left(\frac{Col + \frac{Cox}{2}}{C} \right) \cdot \left[\operatorname{erf} \left(\sqrt{\frac{\beta}{2UC}} V_h - V_s - V_{th} \right) \right] - \frac{Col}{Col + C} (V_s + V_{th} - V_L) \quad (2.60)$$

L'erreur due à l'injection de charge est dépendante de la fonction d'erreur alors que l'erreur due au clock-feedthrough dépend du ratio entre la capacité de jonction grille-drain Col et la capacité de charge C . Dans notre système, l'erreur induite par le clock-feedthrough est atténuée puisque l'on utilise une structure différentielle. L'erreur différentielle résiduelle est :

$$\varepsilon V_{D,CF} \approx -2 \frac{Col}{C_L} V_s \quad (2.61)$$

Et celle-ci augmente en fonction de l'amplitude du signal de source. Cependant, dans notre système la capacité C_L est de 10pF et est prépondérante devant Col , ce qui fait que l'erreur de clock-feedthrough n'est pas critique et peut être considérée comme négligeable.

A contrario, l'erreur due à l'injection de charge est de plus en plus importante lorsque le slew-rate du signal, et donc sa fréquence, devient plus important, avec la fonction d'erreur qui tend vers 1 lorsque le terme entre parenthèses tend vers 0. Contrairement à l'erreur de clock-feedthrough celle-ci est plus importante pour des signaux d'amplitude faible. Aussi les termes β , Col et Cox évoluent linéairement en fonction de la largeur de transistor W . Au vu de l'équation où le terme β est sous la racine carrée, on peut aussi dire que l'erreur d'injection de charge augmente proportionnellement en \sqrt{W} . On peut également constater que choisir des transistors de faibles largeurs permet de réduire l'erreur due à l'injection de charge, mis à part le fait de diminuer la fréquence du signal d'horloge. Enfin, en utilisant une topologie différentielle, l'erreur d'injection de charge n'est pas complètement supprimée puisque les instants de fermeture des transistors ne sont pas identiques, dû au fait que les signaux d'entrée sont de signes opposés.

Dans le cas où la résistance de source n'est pas infinie, celle-ci a d'autant plus d'influence sur la répartition des charges entre le drain et la source, lorsque l'interrupteur s'ouvre [14]. En effet, plus celle-ci est basse et plus les charges se dirigeront vers la source, réduisant ainsi l'erreur sur la valeur d'échantillonnage en sortie au niveau de la capacité.

7. Etude système avec MATLAB

Une simulation complète du récepteur, au niveau système, a été réalisée avec l'outil de simulation de Matlab Simulink. Le schéma du montage complet est présenté en **Figure II.16**. Cette étude permet de visualiser le comportement temporel de la topologie utilisée ainsi qu'une visualisation des constellations reçues en sortie dans le cas d'un signal modulé reçu. Aussi, les imperfections du mélangeur sont également incluses dans l'étude, avec leur influence sur la constellation des symboles reçus en sortie de celui-ci. Enfin, une étude est également réalisée afin de montrer l'influence de signaux interférents sur la dégradation de réception d'un signal modulé, en fonction de sa puissance et de sa proximité en fréquence.

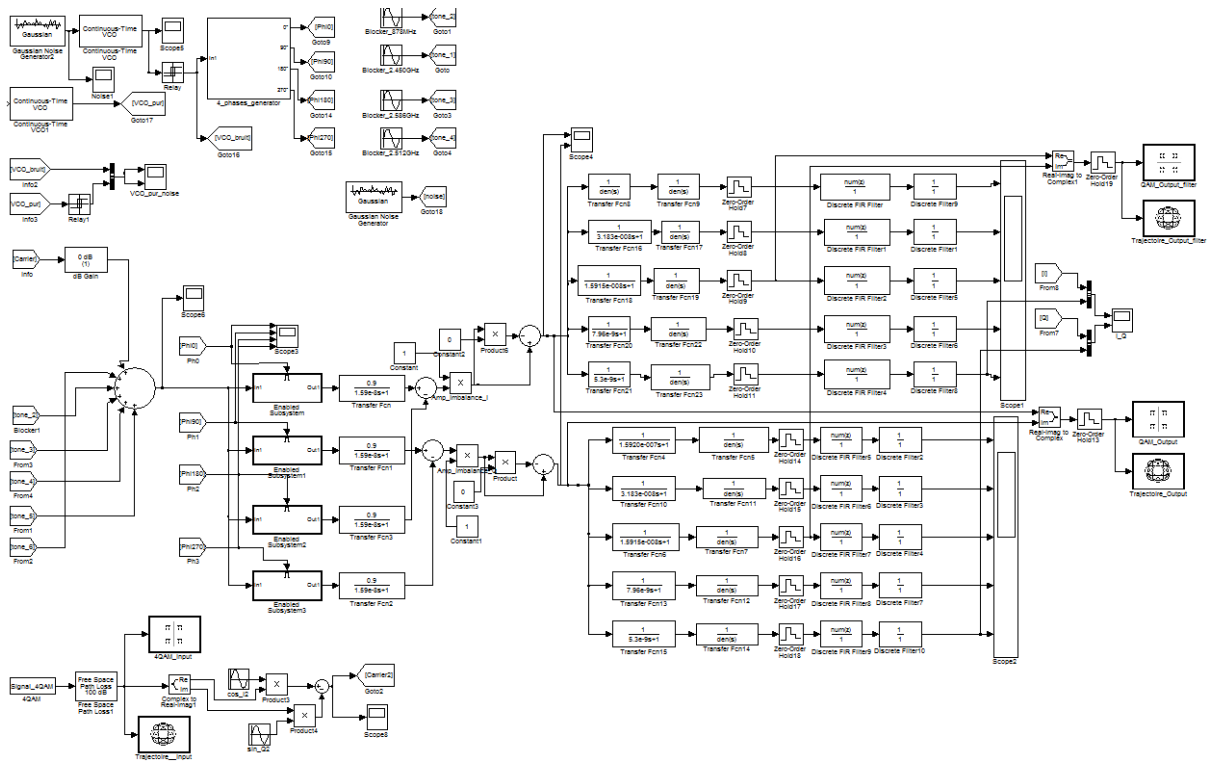


Figure II.16: Schéma global du système sous Matlab Simulink

7.1. Signal modulé 16QAM idéal

Un programme de génération de signaux numériques 16QAM a été écrit sous forme de script avec Matlab. Avec l'outil Simulink, la chaîne de réception est entièrement simulée dans le cas d'un signal transmis à la fréquence de 868MHz. La bande passante est de 10MHz et la fréquence symbole est de $9M_{sps}$, soit $36M_{bits/s}$. Comme le signal est idéalement transmis, aucune source de perturbation n'est ajoutée. En sortie du récepteur, le diagramme de constellation est obtenu et est représenté en **Figure II.17**.

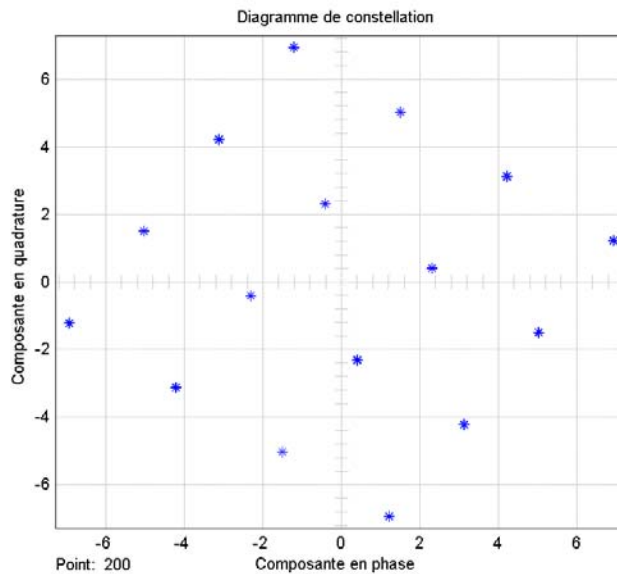


Figure II.17: Constellation d'un signal démodulé 16QAM en sortie du récepteur dans des conditions idéales

Nous observons ici que la constellation subit une rotation, à la fois sur les données en phase I et sur les données en quadrature Q. Cela est dû au délai temporel du filtre du mélangeur, qui met un temps de réponse (ou transitoire) fixe avant de détecter l'enveloppe du signal modulé. Connaissant le délai de temps de réponse du filtre, avec des moyens de calibrations classiques, une compensation peut être réalisée afin de se synchroniser avec la valeur exacte attendue des symboles à recevoir. La technique de la rotation de constellation ou décalage en phase (en multipliant par $e^{j\theta}$) [15] peut tout à fait convenir pour cela et peut se faire entièrement dans le domaine numérique pour des signaux en bande de base.

7.2. Signal modulé 16QAM avec bruit de phase

Comme il a été expliqué dans les sections 6.1 et 6.2, le bruit de phase est un élément important à prendre en compte lorsque l'on réalise un récepteur radiofréquence. Le bruit de phase peut non seulement détériorer le rapport signal à bruit en sortie du système mais également transférer des signaux interférents parasites en bande de base du signal et ainsi limite détériorer la sensibilité du récepteur. C'est pour cela qu'un bruit de phase propre à chaque standard de communication est défini, suivant la puissance des signaux désirés et interférents, tout en prenant en compte la largeur de bande passante ainsi que le rapport signal à bruit recherché [16]. Pour notre système échantillonneur, nous avons injecté un bruit de phase de l'ordre de $-102\text{dBc/Hz}@1\text{MHz}$ à notre signal d'échantillonnage de fréquence

868MHz, correspondant à une gigue temporelle d'environ 1.45ps, dans le cas où aucun bloqueur n'est présent. Le diagramme de constellation est représenté en **Figure II.18**.

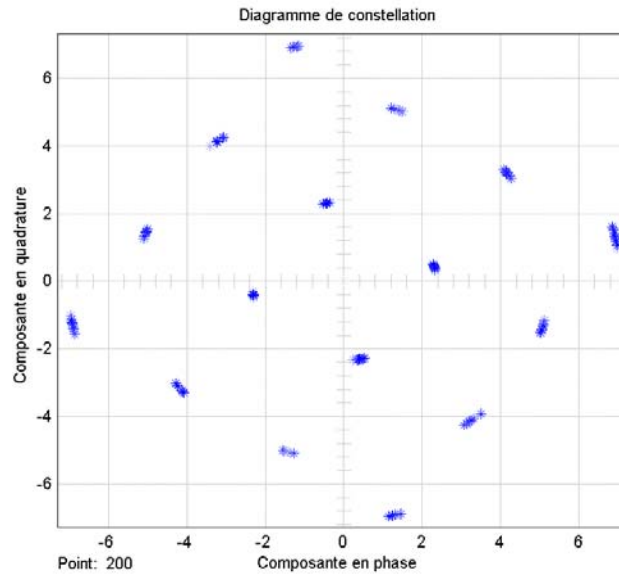


Figure II.18: Constellation d'un signal démodulé 16QAM avec un bruit de phase de -110dBc@1MHz

On remarque en sortie du récepteur la trajectoire des symboles autour du symbole idéalement reçu, en forme d'arc de cercle. Cela est la conséquence directe de la variation de la phase dans le temps et donc de l'incertitude de la gigue temporelle lors de l'instant d'échantillonnage. A la fréquence de 868MHz, et étant donnée la complexité de modulation utilisée, cela ne dégrade pas beaucoup la qualité de réception du signal en sortie. De plus, un EVM d'environ 3% est obtenu, ce qui est suffisant pour décoder les symboles reçus. Pour des fréquences plus élevées, avec le même bruit de phase, la dégradation aurait été plus importante. Le fait d'utiliser un diviseur de fréquence par 2 dans notre système de réception permet de réduire d'un facteur 4 la puissance de bruit de phase initial du au signal d'oscillateur, soit de 12dB. C'est ce même diviseur qui fût implémenté sous Matlab.

7.3. Signal modulé 16QAM avec bruit de type Gaussien

Aussi, le bruit généré par les éléments du récepteur que sont l'antenne de réception, l'amplificateur faible bruit, le mélangeur ainsi que les buffers, contribue à dégrader le rapport signal à bruit en sortie et donc la qualité de la constellation observée. En considérant que le bruit du récepteur à un profil de bruit blanc dans le spectre, on peut simuler l'effet de celui-ci dans le cas de notre architecture de réception. En considérant le même signal 16QAM, et pour

un BER (Bit Error Rate) $<10^{-5}$, le rapport signal à bruit du signal en sortie doit être d'au moins 20dB (rapport 100 en puissance). En injectant un bruit blanc gaussien de moyenne nulle au signal modulé, et pour un SNR de 20dB, on observe la constellation des symboles reçus en sortie de notre récepteur, en **Figure II.19**.

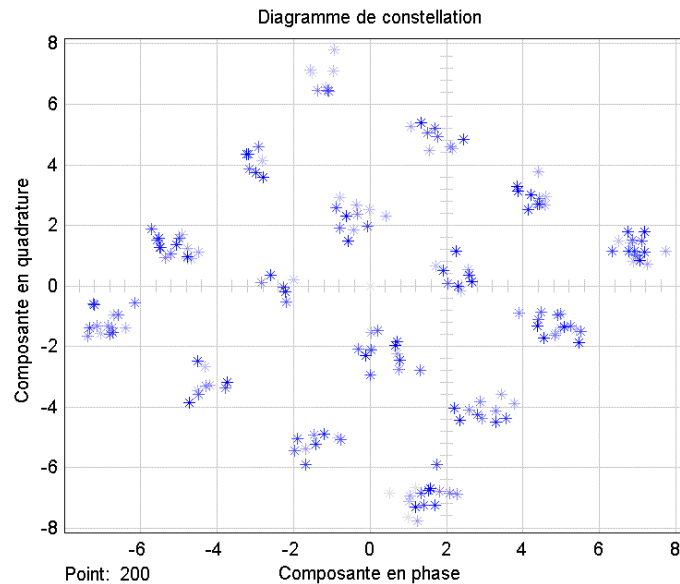


Figure II.19: Constellation d'un signal 16QAM en sortie pour un SNR de 20dB

On y observe une distribution aléatoire des symboles reçus autour de la valeur idéale, et ceci dans un périmètre bien défini qui dépend de la variance du bruit gaussien. La capacité maximale du canal de transmission, pour une bande passante $B = 10\text{MHz}$ est définie par [\[17\]](#):

$$C = B \log_2 (1 + SNR)_{(bits/s)} \quad (2.62)$$

Avec un SNR de 40dB, la capacité maximale de canal est d'environ 133Mbps et représente le débit maximal qu'il est possible de recevoir. Lorsque le bruit augmente, le SNR diminue en sortie, limitant la capacité maximale du canal et l'ordre de modulation que l'on peut utiliser. En effet, le SNR se doit d'augmenter d'environ 3dB lorsque l'ordre de modulation est multiplié par un facteur 4, pour une même erreur de probabilité donnée. Dans notre cas il est toujours possible de démoduler correctement les symboles reçus, mais si le SNR est diminué d'un facteur 10, soit 10dB, la constellation sera très dispersée et la démodulation des symboles se fera avec un taux d'erreur plus important.

7.4. Signal modulé 16QAM en présence de signaux interférents

En bande de base, la fonction de filtrage est de l'ordre de 20dB/dec, ce qui est loin d'être suffisant dans la majorité des standards. Généralement, après le convertisseur analogique-numérique (CAN), du filtrage additif est réalisé numériquement, soit par un DSP ou un FPGA. Cependant, afin de relaxer les contraintes au niveau du convertisseur analogique numérique en termes de bits utilisés et de puissance consommé, un filtrage supplémentaire est nécessaire. Des simulations ont permis de montrer l'influence du filtrage sur la qualité de constellation en sortie, dans le cas de signaux bloqueurs situés à proximité du signal transmis modulé. Une première étude de simulation a consisté à envoyer un signal bloqueur non modulé à une fréquence voisine de 50MHz du signal modulé 16QAM à la fréquence de 868MHz. Le signal bloqueur a une puissance 10dB plus élevée que le signal modulé, et l'on peut donc comparer l'effet du filtrage passe-bas du premier ordre avec un filtrage supplémentaire d'ordre 3 ainsi que son impact sur la clarté de la constellation observée. Les résultats de constellation observés sont en **Figure II.20(a)** et **Figure II.20(b)**.

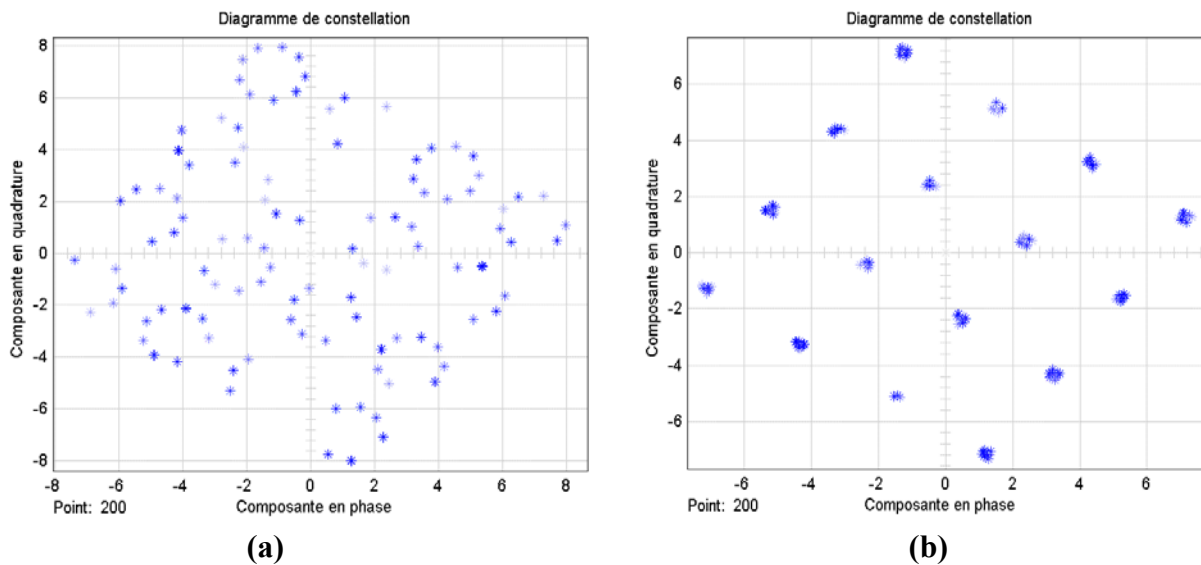


Figure II.20: a) Signal 16QAM reçu en présence d'un bloqueur @50MHz avec un filtrage passe-bas du premier ordre @10MHz. b) Signal 16QAM reçu en présence d'un bloqueur @50MHz avec un filtrage passe-bas du troisième ordre @10MHz

On remarque clairement qu'un filtrage du premier ordre de type passe-bas présentant une atténuation de 20dB par décade n'est pas suffisant dans notre système de mélange dans le cas de bloqueurs situés en fréquence près du signal modulé. La constellation du signal reçu, en Figure II.20(a) est très dispersée et il n'est pas possible de décoder les symboles reçus, dégradant sévèrement le taux d'erreur binaire. Lorsque l'on ajoute le filtrage supplémentaire

d'ordre 3, avec une atténuation de 60dB par décade, l'influence du bloqueur est fortement atténuée et la constellation est beaucoup plus clair avec une dispersion faible, comme en témoigne la **Figure II.20(b)**. Cela justifie par ailleurs l'utilisation d'un filtre à haute sélectivité placé avant le LNA. Ici, les symboles transmis sont totalement décodable et le taux d'erreur binaire largement diminué. Aussi, les trajectoires des symboles ont été tracées pour chacun de ces deux cas et sont respectivement représentées en **Figure II.21 (a)** et **Figure II.21 (b)**.

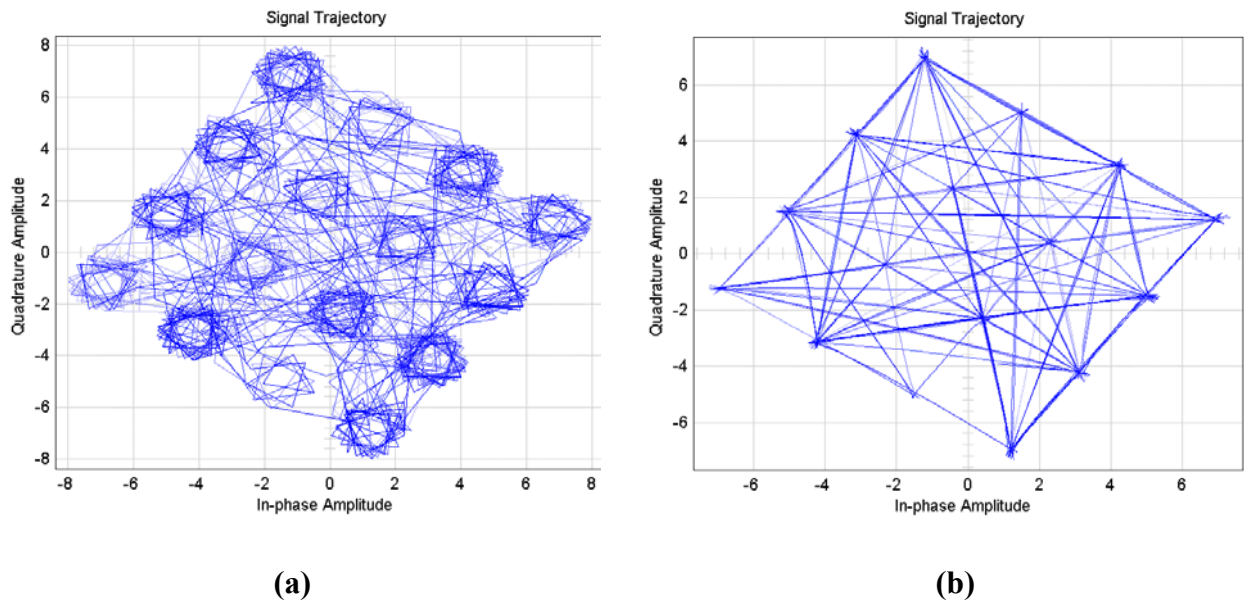


Figure II.21: a) Trajectoire du signal reçu 16QAM en présence d'un bloqueur @50MHz avec filtrage passe bas du premier ordre à 10MHz. b) Trajectoire du signal reçu 16QAM en présence d'un bloqueur @50MHz avec filtrage passe bas du troisième ordre à 10MHz.

Dans le premier cas de filtrage, en **Figure II.21 (a)**, on remarque que le trajet des symboles est fortement perturbé, à la fois en amplitude et en phase. Le signal interférent crée une distorsion d'amplitude sur les composantes en phase et quadrature du signal reçu. Cela amène à une erreur sur les symboles reçus et le système est donc ici moins linéaire car moins tolérants aux bloqueurs. Dans le second cas de figure, en **Figure II.21 (b)**, on remarque une trajectoire plus linéaire des symboles reçus, dû à l'effet de filtrage supplémentaire du troisième ordre. Enfin, cette comparaison montre les limites de l'architecture du récepteur passif en termes de filtrage et linéarité et souligne l'importance d'ajouter un filtrage supplémentaire en bande de base afin de nettoyer le signal utile des bruits et bloqueur parasites environnants.

8. Conclusion

L'architecture d'échantillonneur passif choisie a été présentée dans ce chapitre. Celle-ci a l'avantage de pouvoir réaliser des fonctions de mélanges et filtrage en fonction des paramètres de rapport cyclique et de constante de temps du réseau résistif-capacitif (RC) la constituant. Une analyse fréquentielle a été explicitée pour une meilleure compréhension d'un tel système.

La particularité de cette architecture repose sur le fait que le mélangeur ne nécessite aucune alimentation. Ainsi, le bruit en $1/f$ classique des mélangeurs actifs n'est pas présent ici et des économies en termes de puissance consommée sont réalisées. Seule la puissance dynamique est consommée, dépendant à la fois de la fréquence et de la valeur de capacités d'échantillonnage. Celles-ci étant de l'ordre du pF, la puissance dynamique consommée par le mélangeur est très faible et est considérée comme négligeable.

Aussi, puisque la structure est purement passive, il n'existe aucune isolation entre l'entrée de l'échantillonneur et sa sortie, ce qui signifie que les effets de filtrage passe-bas sont translatés en hautes fréquences à l'entrée du mélangeur. Le filtrage passe-bas étant sensible à la différence de fréquence entre le signal d'oscillateur F_s et la fréquence centrale du signal F_{RF} modulé, il est donc possible de réaliser des structures de filtre passe-bande flexible en fréquence, juste en changeant la fréquence de l'oscillateur local. Cependant, les effets résistifs des transistors en commutation limitent l'atténuation maximale possible des signaux parasites en entrée du mélangeur et donc sa linéarité. Enfin, cette structure est intéressante puisqu'elle remplace facilement les structures de filtres SAW qui sont coûteux en surface, non flexibles en fréquences et souffrant de non linéarités.

Le principe d'utiliser plusieurs phases pour échantillonner le signal permet de rejeter un certain nombre d'harmoniques ainsi que d'obtenir un gain de conversion faible, le rapport cyclique étant plus faible, relaxant les contraintes en bruit des éléments situés après le mélangeur. Cependant, le meilleur compromis pour un facteur de bruit optimal et une bonne sélectivité en entrée du mélangeur est obtenue en utilisant un nombre de quatre phases d'échantillonnage. Aussi, le fait de dimensionner les transistors avec des largeurs grandes permet non seulement de réduire leur résistance à l'état ON et donc de diminuer le facteur de bruit du mélangeur, mais également d'améliorer sa linéarité. Cependant, cela requiert des contraintes de consommation importante de la partie digitale compte tenu des capacités

parasites présentées par les transistors MOS de l'échantillonneur. Un compromis est donc à trouver entre facteur de bruit, linéarité et consommation. Enfin, utiliser des transistors plus larges augmente leurs capacités parasites et diminue l'immunité du mélangeur aux phénomènes d'injection de charge et de clock-feedthrough.

Cette structure de mélangeur présente de bonnes performances en consommation et linéarité dû au filtrage apporté. Cependant, ce dernier doit être renforcé en bande de base, pour certains niveaux de bloqueurs afin de relaxer les contraintes de consommation et complexité au niveau du convertisseur analogique-numérique. Ce filtrage peut soit se faire avec des composants intégrés où en utilisant des processeurs de signaux digitaux (DSP). Dans le chapitre suivant, la conception et le développement du récepteur, utilisant la structure d'échantillonneur passif, est explicitée en fonction des différentes étapes et choix de conception. Elle permet ainsi de mieux comprendre le passage de l'étude système à l'implémentation physique.

9. References

- [1] L.E. Franks and I.W. Sandberg, "An alternative approach to the realization of network transfer functions: the N paths filter", *The Bell System Technical Journal*, vol. 39, pp. 1321-1350, September 1960.
- [2] A.Opal and J.Vlach, "Analysis and Sensitivity of Periodically Switched Linear Networks", *IEEE Transactions on Circuits and Systems*, vol. 36, no. 4, April 1989.
- [3] D.C. Von Grunigen, R. P. Sigg, J. Schmid, G. S. Moschytz, H. Melchior, " An integrated CMOS switched-capacitor bandpass filter based on N-path and frequency-sampling principles", *IEEE Journal of Solid-state Circuits*, vol. 18, no. 6, pp. 753-761, 1983.
- [4] S.M. Faruque, "Switched capacitors FIR cell for N-path filters", *Electronics Letters*, May 1982, Vol.18, No.10.
- [5] Matlab, "The Math Works", version 7.1.11, August 2010.
- [6] A. Opal and J. Vlach, "Analysis and sensitivity of periodically switched linear networks," *IEEE Trans. Circuits Syst.*, vol. 36, no. 4, pp. 522–532, Apr. 1989.
- [7] T. Ström and S. Signell, "Analysis of periodically switched linear circuits," *IEEE Trans. Circuits Syst.*, vol. CAS-24, no. 10, pp. 531–541, Oct. 1977.
- [8] Design Considerations for Direct RF Sampling Receiver in GNSS Environment, Ville Syrjäälä, Mikko Valkama and Markku Renfors, Proceedings of the 5th workshop on positioning, navigation and communication 2008 (WPNC'08)
- [9] www.3gpp.org/specifications
- [10] Sampling Jitter and Finite Aperture Time Effects in Wideband Data Acquisition Systems, Kobasyashi.H, Kobayashi.K, Morimura.M, Onaya.Y, Takahashi.Y, Enomoto.K and Kogure.H, *IEICE Trans. Fundamentals*, vol.E85-A, no.2 February 2002
- [11] Groupe de travail 802.11, www.ieee802.org/11/f
- [12] Seng-Pan U, Sai-Weng Sin and R.P. Martins, "Exact Spectra Analysis of Sampled Signals With Jitter-Induced Nonuniformly Holding Effects, *IEEE Transactions on Instrumentation and Measurement*, vol.53, no.4, August 2004
- [13] A.Abidi, "RF CMOS Comes of Age", *IEEE Journal of Solid-State Circuits*, Vol.39, No.4, April 2004
- [14] B.J. Sheu et Al, "Modeling Charge injection in MOS Analog Switches", *IEEE Transactions on Circuits and Systems*, vol. CAS-34, no.2, February 1987

- [15] E. Baccarelli, R. Cusani, G. Di Blasio, S. Galli, "On the modelling of GMSK binary transmission over time-variant TDMA/FDD macrocellular radio channels with derotation-based coherent demodulation", Second IEEE Symposium on Computers and Communications, Proceedings, pp. 265-269, 1997
- [16] V. Valenta, G. Baudoin and M. Villegas, "Phase noise Analysis of PLL Based Frequency Synthesizers for Multi-Radio Mobile Terminals", IEEE 3rd International Conference on Cognitive Radio Oriented Wireless Networks and Communications, (CrownCom 2008), Singapore
- [17] T.J. Roupael, "RF and Digital Signal Processing for Software-Defined Radio, A Mutli-Standard Multi-Mode Approach", Elsevier, 2009

Chapitre III : Conception et réalisation du récepteur radiofréquence

1. Introduction

Dans ce chapitre, la phase de conception et de réalisation du circuit intégré est présentée. On y explique notamment le choix des architectures des différents blocs utilisés constituant la chaîne de réception radiofréquence, en considérant deux parties distinctes : la partie analogique et la partie numérique. Des résultats de simulations complets (au niveau schématique et post-layout) sont ainsi montrés afin d'évaluer les performances de chacun des blocs, La chaîne complète de réception est également entièrement simulée, afin de démontrer la validité de notre système. Enfin, une conclusion globale est donnée en fin de ce chapitre ainsi que des perspectives pour améliorer l'ensemble du circuit.

2. Système de réception complet radiofréquence (RF)

2.1. Description globale

Le système de réception différentiel que l'on décrit dans notre travail est représenté en **Figure III.1:**

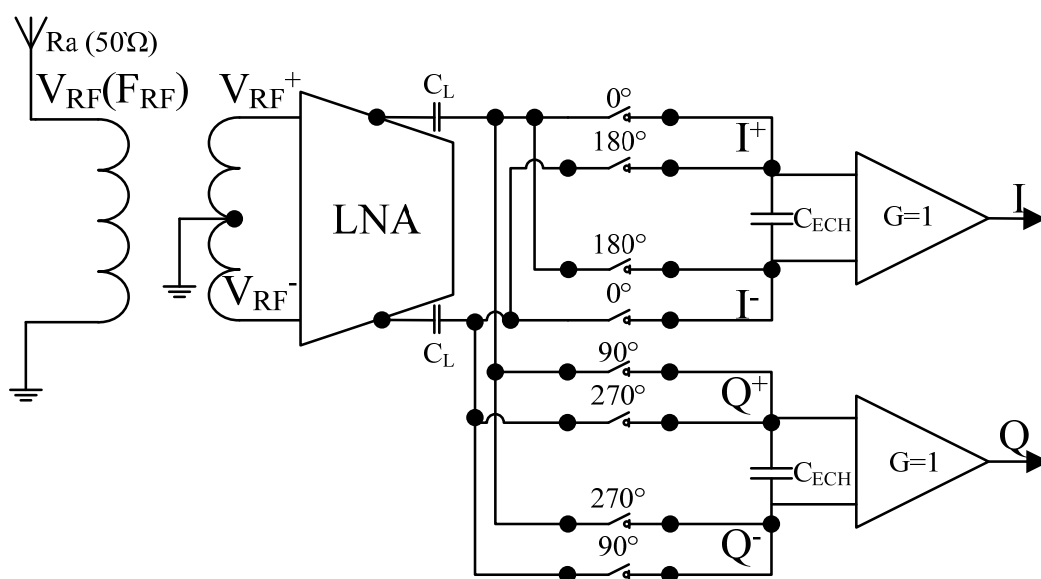


Figure III.1: Schéma global du récepteur

Ce système comporte en entrée un amplificateur faible bruit (LNA) destiné à amplifier le signal RF reçu au niveau de l'antenne de réception, tout en dégradant au minimum le facteur de bruit, un mélangeur passif commandé par les quatre phases de rapport cyclique 25% issues d'un bloc numérique et enfin deux buffers d'interface fournissant les signaux démodulés en bande de base I et Q à l'extérieur du circuit. Le système est implémenté dans une topologie différentielle afin d'améliorer notamment les performances en linéarité du système et de réduire les dégradations dû au couplage du signal d'horloge [11]. Le passage du mode commun en mode différentiel en entrée du circuit se fait à l'aide d'un balun 50Ω vers 100Ω , situé après l'antenne de réception et à l'extérieur du circuit. Des diodes rajoutées aux plots RF en entrée du circuit assurent une protection contre une décharge électrostatique tout en présentant une capacité relativement faible et intégrés dans le réseau d'adaptation d'impédance en entrée du LNA.

2.2. Spécifications et applications

Dans un premier temps notre système de réception doit être capable de recevoir des signaux RF dans une bande allant de 400 MHz à 1.5 GHz avec un facteur de bruit total sur l'ensemble au maximum égal à 4dB. Il doit également pouvoir démoduler les signaux en phase et quadrature sur une bande passante pouvant aller jusqu'à 10MHz, tout en ayant une consommation totale inférieure à 10mW sous une tension de 1.2V. Les applications visées sont principalement situées dans les bandes UHF entre 400 MHz et 1.5 GHz, et plus particulièrement les bandes de fréquences à 433MHz et 868MHz. Ces bandes sont principalement utilisées pour des applications RFID (Radio Frequency Identification) et pour les réseaux de senseurs, avec des débits de transmission faibles situés entre 300bps et 1Mbps, avec des largeurs de canaux ne dépasse pas 25kHz, et dont les puissances d'émissions ne dépassent pas 0.5W soit 27dBm (cf. ; normes ETSI EN 300 220 et ETSI TR 102 649).

3. Initialisation du flot de conception

3.1. Choix de la technologie

La phase de conception du circuit du récepteur a été réalisée suite à une étude système conséquente de l'architecture choisie, avec l'outil de simulation numérique Matlab/Simulink. La technologie choisie pour l'implémentation du récepteur a été décidée selon les critères que

sont: les bandes de fréquences de travail envisagées, la fréquence maximale de génération des différentes phases d'échantillonnage ainsi que la consommation en puissance. La technologie choisie pour le design de la puce est la technologie CMOS 130nm HCMOS9GP LL (Low Leakage) de chez ST-Microélectronics. Ses principales caractéristiques sont décrites en **Tableau 1**:

Techno	Vt	Ion	Ioff	Ioff	fT	fMax
HCMOS9GPLL	Typique	Typique	Typique	Maximum		
NMOS	450mV	535 μ A/ μ m	500pA/ μ m	2nA/ μ m	85GHz	160GHz
PMOS	395mV	240 μ A/ μ m	300pA/ μ m	1nA/ μ m	85GHz	135GHz

Tableau 1: Paramètres des transistors NMOS et PMOS en technologie CMOS 130nm HCMOS9GP avec L=0.13 μ m, W=10 μ m et T_{ox}=2nm

Les gammes de fréquences situées entre 400MHz et 1,5GHz nécessitent un signal d'horloge externe de fréquence maximale égale à 3GHz afin de générer les quatre phases d'échantillonnage dont le rapport cyclique est de 25 % et dont la fréquence maximale est de 1,5GHz. Le process CMOS 130nm convient donc tout à fait pour cela, étant donné que jusqu'à fT/10, soit 8.5GHz, les fonctionnalités du transistor sont garanties. De plus, son coup est d'environ 2500euros/mm², ce qui revient à avoir la possibilité de réaliser une puce complète pour un faible coût, comparé à la technologie 65nm où le prix du mm² est de 7500 euros.

3.2. Outils de conception et méthodologie

Le logiciel utilisé pour la conception du circuit, ainsi que pour les simulations, est Cadence. L'outil spectre a permis notamment de réaliser les simulations au niveau schéma alors que l'outil Virtuoso a permis la réalisation de l'implémentation physique du circuit au niveau transistor. La méthodologie de conception a consisté à désigner les différents blocs au niveau schéma et les simuler individuellement, que ce soit pour la partie analogique ou numérique. L'assemblage des différents blocs constituant le système a permis l'optimisation du circuit et a fait apparaître différents problèmes que sont la puissance nécessaire des phases à générer pour piloter les transistors d'une certaine largeur, les temps de montée et descente des phases ainsi que la connexion de l'amplificateur faible bruit au mélangeur passif pour une réjection optimale des brouilleurs hors-bande. Une fois le système optimisé, les layouts des différents blocs ont été réalisés individuellement, puis extraits pour simulation, afin de

comparer avec les versions schématiques. Cette phase de design est importante car elle permet de tenir compte des éléments parasites et de l'influence des différentes couches de métal et vias sur les performances des blocs. Lorsque les blocs sont optimisés, le routage de chacun des blocs analogiques numérique est effectué. Après simulation individuelle de chacun de ces blocs en version extraite, les résultats sont comparés avec les versions schémas.

Enfin, le routage du système complet est réalisé, et celui-ci, après vérification de correspondance avec le schéma du système complet, est extrait puis simulé. A ce niveau de conception, les vérifications de dessin (DRC) et de correspondance schématique (LVS) sont validées et il ne reste plus qu'à implémenter les pads d'accès reliés au cœur de la puce et un anneau de garde pour limiter les perturbations de la partie numérique sur la partie analogique, pour finalement envoyer le circuit en fabrication au fondeur. La génération du layout en un fichier GDSII permet ensuite la fabrication du circuit intégré par le fondeur.

4. Design de la partie numérique du récepteur

4.1. Générateur des quatre phases avec rapport cyclique de 25%

Ce paragraphe présente les différentes étapes de design qui ont permis de réaliser ce générateur de phases, avec un rapport cyclique 25%, permettant de piloter le mélangeur passif. Ce bloc a une fonction critique au sein du récepteur car la fréquence maximale générée va déterminer la fréquence maximale du signal radiofréquence que l'on pourra recevoir au niveau de l'antenne. La fréquence maximale est principalement limitée par les temps de commutation des signaux induisant à fréquence maximale des recouvrements de phase et dégradant le rapport cyclique. Si ce rapport cyclique est différent de 25%, les performances du récepteur en terme de sélectivité, bande passante, figure de bruit ainsi que de qualité de réjection de la fréquence image seront dégradées. Dans notre système, la génération des quatre phases est réalisée à l'aide d'un diviseur par 2 et de portes logiques. Un schéma fonctionnel (**Figure III.2**) décrit le fonctionnement de principe de ce bloc. Dans un premier temps, un signal de fréquence $2F_S$ de rapport cyclique 50% est divisé par 2. Le signal en sortie du diviseur, de même rapport cyclique, est combiné via des portes logiques avec le signal d'origine de fréquence $2F_S$ générant ainsi les quatre phases (0° , 90° , 180° , 270°) de rapport cyclique 25% et de fréquence F_S .

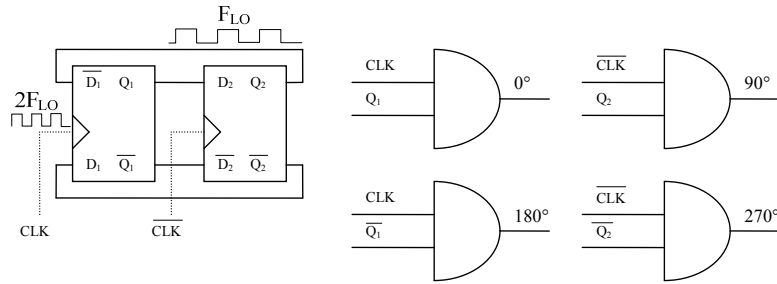


Figure III.2: Synoptique du système de générateur à 4 phases

4.1.1. Diviseur de fréquence

Le principe du diviseur de fréquence est basé sur l'utilisation classique de 2 bascules rebouclées selon la **Figure III.2**. La structure utilisée pour la bascule, représentée en **Figure III.3**, est basée sur une topologie de type CML (Current Mode Logic) [2], afin d'améliorer les performances en fréquence.

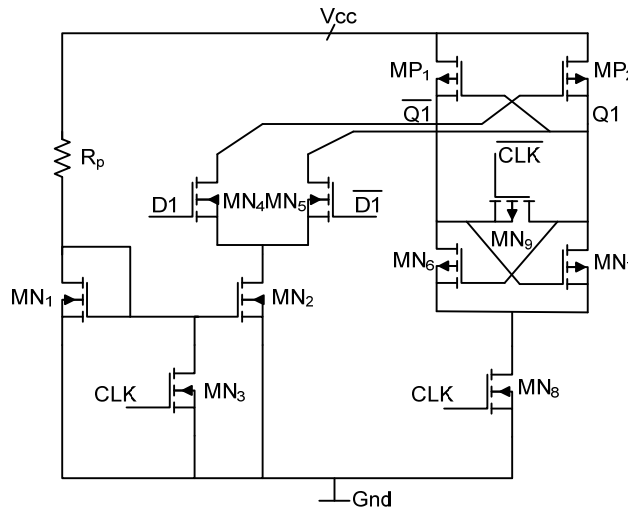


Figure III.3: Schéma d'une bascule

Les phases d'acquisition et de mémorisation du signal sont rythmées par la fréquence du signal d'horloge CLK.

a- Phase d'acquisition : Lorsque le signal CLK est à l'état bas, MN3 et MN8 sont OFF et MN9 est ON. La différence de potentiel en entrée sortie Q1 résulte de l'amplification du signal en entrée D1 par la paire différentielle constituée des transistors MN4 et MN5 chargée par la paire croisée MP1 et MP2 en parallèle avec la résistance différentielle R_{on} du transistor MN9 à l'état ON.

b- Phase mémoire : MN3 et MN8 sont ON et MN9 est OFF. La paire différentielle n'est plus alimentée et la boucle mémoire formée par les inverseurs MP1 MN6 et MP2 MN7 est activée par le passage à l'état ON du MOS MN8. La différence de potentiel en sortie Q1 générée lors

de la phase précédente et mémorisée dans les capacités aux nœuds de sortie déséquilibre la boucle et la fait basculer dans l'état mémoire « 0 » ou « 1 »

Le détail et la méthodologie de conception de la bascule sont décrits en annexe II.

4.1.2. Design du circuit logique de génération des phases

Le circuit de génération des pulses est constitué de quatre portes de type « & », réalisant chacune une combinaison logique entre les signaux d'horloges CLK et \overline{CLK} , à la fréquence de $2F_S$, avec les signaux issus du diviseur de fréquence à la fréquence F_S . Le dimensionnement des transistors N et P respecte le rapport de mobilité pour équilibrer les temps de montée et de descente. Une simulation post layout du générateur de phases est présentée en **Figure III.4** montrant que le rapport cyclique de 25% est respecté.

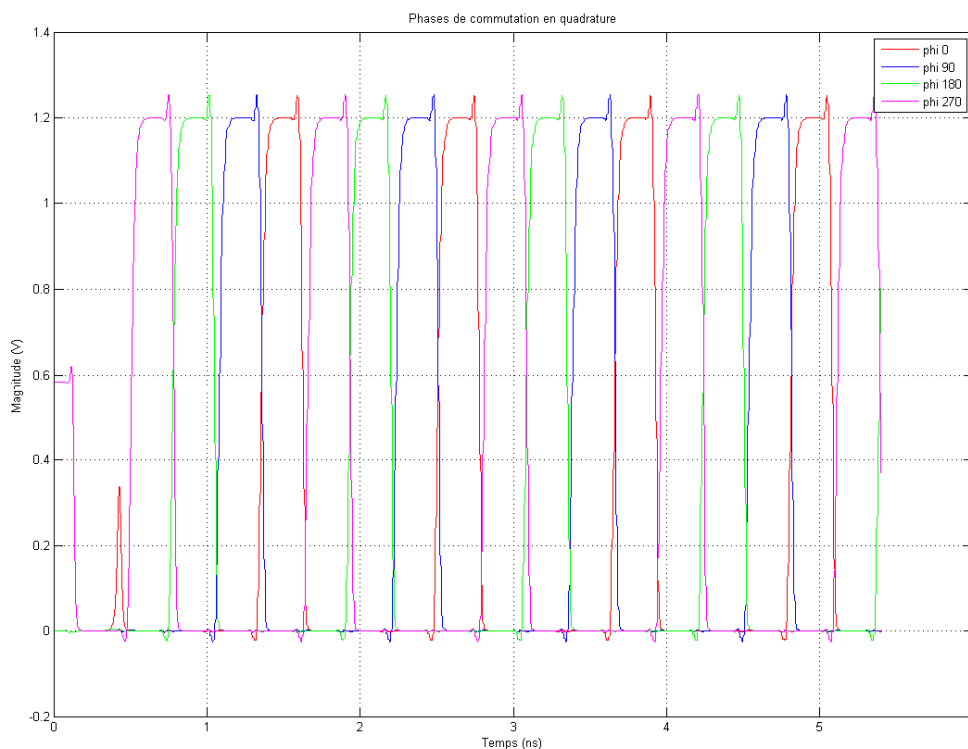


Figure III.4: Simulations des phases 0°, 90°, 180° et 270° avec $F_S=868\text{MHz}$

4.1.3. Buffers d'horloges

En Figure III.2, on remarque que les signaux d'horloges CLK et \overline{CLK} sont générés à partir d'un générateur externe de signaux. Ces deux signaux permettent à la fois de commander les interrupteurs des bascules et les portes logiques. Les inverseurs qui permettent de générer les

signaux d'horloges complémentaires sont dimensionnés ($W=10\mu\text{m}$ pour le transistor NMOS et $W=20\mu\text{m}$ pour le transistor PMOS) pour pouvoir charger la capacité équivalente d'oxyde ramenée par les grilles de MOS qu'ils voient à leur sortie, avec des temps de montée le plus faibles possible. Les transistors de l'inverseur utilisés sont dimensionnés avec une largeur de $10\mu\text{m}$ pour le transistor NMOS et de $20\mu\text{m}$ pour le transistor PMOS. A la fréquence maximale de 3GHz, le délai obtenu entre les deux signaux CLK et \overline{CLK} est de 22pS.

La consommation en puissance du système de génération de phase dépend principalement de la fréquence car la puissance consommée ici n'est que de la puissance dynamique. Des mesures de consommation moyenne ont été réalisées pour un signal d'horloge de fréquence variant entre 800MHz et 3GHz, correspondant à une fréquence d'échantillonnage variant entre 400MHz et 1.5GHz. Cette puissance simulée varie entre 2.6mW à 800MHz et 6mW à 3GHz.

Le layout du générateur de phases est représentée en **Figure III.5**, avec les différents blocs le constituant : les inverseurs, les bascules, les portes logiques, le réseau d'alimentation ainsi que le plan de masse grillagé.

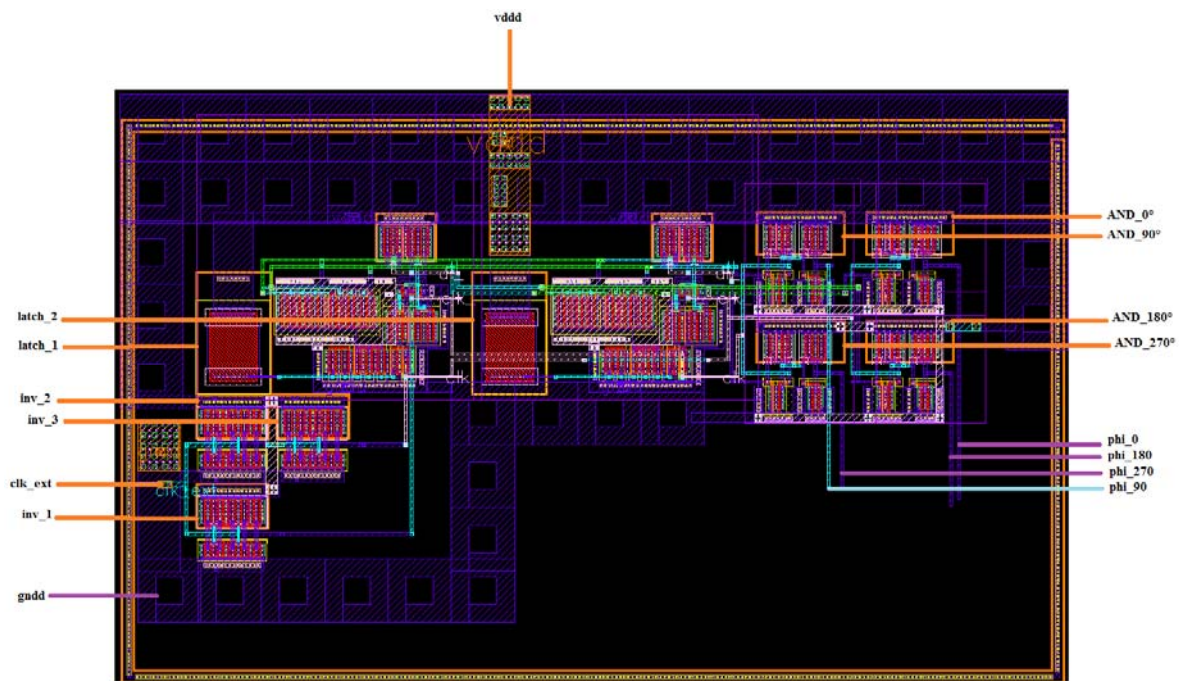


Figure III.5: Représentation physique du générateur de phases

Un anneau de garde a été ajouté afin d'isoler la partie numérique de la partie analogique. Son rôle principal est d'absorber les pollutions de la partie digitale pour que celles-ci n'aient pas d'impact sur la partie analogique.

5. Conception des blocs analogiques RF du récepteur

5.1. Sensibilité du récepteur

La sensibilité d'un récepteur est donnée par la relation :

$$S_{ens} = -174dB_m / H_z + 10\log(BW) + NF + SNR_{min} \quad (3.1)$$

Où BW représente la bande passante du signal à recevoir, NF le facteur de bruit total de la chaîne de réception, SNR le rapport signal à bruit minimum exigé pour avoir un BER (Bit Error Rate) maximum.

5.2. Conception de l'amplificateur bruit

Afin d'avoir une meilleure sensibilité il est donc nécessaire de diminuer le facteur de bruit (NF) en utilisant un LNA en début de chaîne. Dans une chaîne de réception, le facteur de bruit est donné par la formule de Friis :

$$NF = NF_1 + \frac{NF_2 - 1}{G_1} + \frac{NF_3 - 1}{G_1.G_2} + \dots + \frac{NF_n - 1}{G_1.G_2 \dots G_{n-1}} \quad (3.2)$$

Où NF_n et G_n sont respectivement le facteur de bruit et le gain du n-ième bloc constituant la chaîne de réception. Si le LNA est le premier bloc de la chaîne avec un facteur de bruit NF_1 faible et un gain G_1 suffisamment élevé, le facteur de bruit global de la chaîne est principalement dû à ces deux paramètres. Le LNA est donc un élément critique à ne pas négliger car de celui-ci dépendra la sensibilité du récepteur.

Afin d'avoir une adaptation d'impédance large bande, nous avons choisi une topologie différentielle en grille commune utilisant la technique de « doublement de g_m » avec un couplage capacitif [4]. Cette structure permet une meilleure adaptation en entrée et sur une bande plus large que la topologie en source commune, utilisant des éléments inductifs qui

occupent, de plus, une surface importante de silicium. L'architecture choisie est présentée en **Figure III.6**.

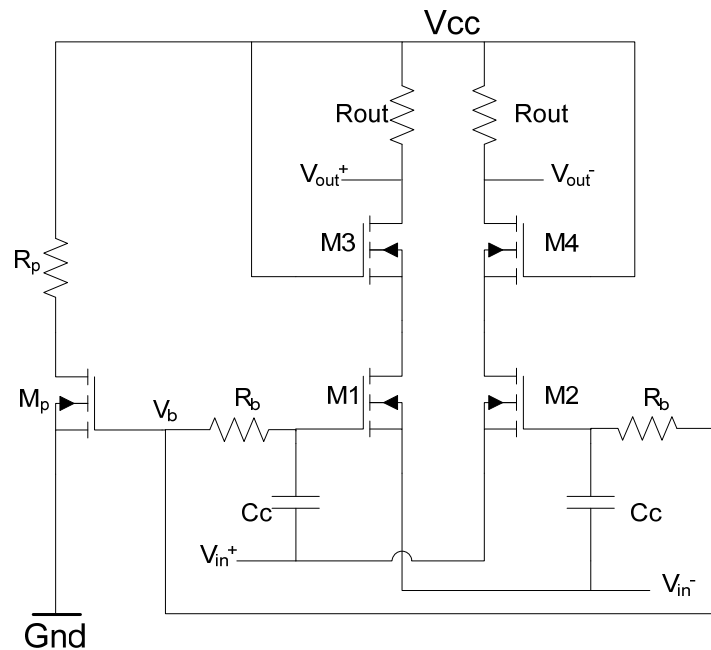


Figure III.6: Topologie de LNA à grille commune avec couplage par capacités croisées

La polarisation du LNA se fait à l'aide d'une source de courant $R_p M_p$. Les résistances R_b sur chacune des grilles des transistors N_{MOS} M_1 et de M_2 permettent de polariser en courant ($1,6mA$) les transistors d'entrée M_1 et M_2 et forme un DC feed pour le signal RF présenté sur la grille. Les capacités de couplages C_c permettent d'isoler la polarisation DC du signal radiofréquence (RF) en entrée sur chacune des sources de M_1 et M_2 . Le filtre passe-haut formé par R_b et C_c permet de fixer la bande passante des signaux à recevoir. Ici, nous avons choisi $R_b=5k\Omega$ et $C_c=2pF$ pour une constante de temps égale à $10ns$ et une fréquence de coupure basse égale à $15MHz$. Ici, l'amplificateur fonctionne en mode différentiel avec deux signaux couplés V_{in}^+ et V_{in}^- à travers les capacités de couplage C_c . La différence de potentiel grille-source de M_1 ou M_2 est donc égale à $2V_{in}$, ce qui permet d'obtenir une transconductance effective amplifiée d'un facteur 2, soit $G_{m,eff}=2g_m$. Dans notre circuit, l'adaptation différentielle se fait sur une impédance $Z_{indiff} = 100\Omega$, soit $Z_{in} = 1/G_{meff} = 50\Omega$ sur chacune des deux branches ce qui fixe $g_m (M_1, M_2)=10mS$. L'utilisation d'une structure de type cascode à l'aide des transistors N_{MOS} M_3 et M_4 permet d'obtenir une isolation entrée sortie efficace et une stabilité de l'amplificateur. L'amplificateur présente un gain de 6 (15.5dB) pour des résistances de charge R_{out} égales à 300Ω . L'amplificateur consomme $4,2mW$ sous $1,2V$. Des simulations en paramètres S ont été effectuées sous Cadence. Les

résultats des simulations issus de la version extraite du layout sont présentés ci-dessous en **Figure III.7.**

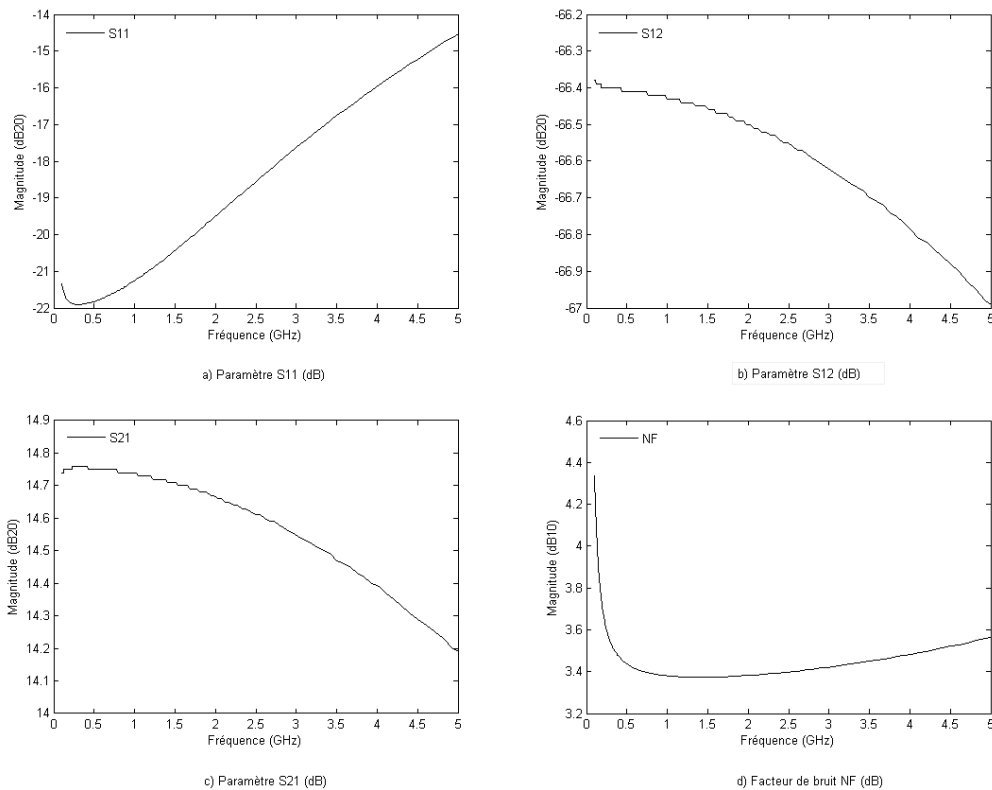


Figure III.7: Paramètres S et facteur de bruit (NF) du LNA (partie extraite)

On remarque une bonne adaptation différentielle en entrée sur 100Ω , avec un $S_{11} < -10\text{dB}$ entre 100MHz et 10GHz. Le LNA en configuration de grille commune, permet une adaptation d'impédance en entrée qui dépend principalement de la transconductance fixée sur chacune des branches. En effet, les capacités parasites C_{gs} de M1 et M2 n'ont que très peu d'influence, pour des fréquences largement inférieure à la fréquence de transition des MOS. Le gain S_{21} est d'environ 14.7 dB entre 100MHz et 4GHz L'isolation S_{12} de -56dB entre 100MHz et 4GHz, contribue à un facteur de stabilité K_f élevé entre 40 et 42.5 dans cette même bande. Quant au facteur de bruit, celui-ci est d'environ 4.2dB à la fréquence de 100MHz, et $< 3.5\text{dB}$ entre 400MHz et 4GHz. A hautes fréquences, le facteur de bruit se dégrade car les capacités parasites des transistors M1 et M2 dégradent l'adaptation en entrée.

La **Figure III.8** montre le point de compression à 1dB (P1dB) et le point d'intermodulation d'ordre 3 (IIP3). Les simulations avec l'outil Spectre-PSS de Cadence ont été réalisées en injectant deux signaux de fréquences égales à 800MHz et 840MHz et dont les puissances varient entre -20dBm et 4dBm sur 100Ω

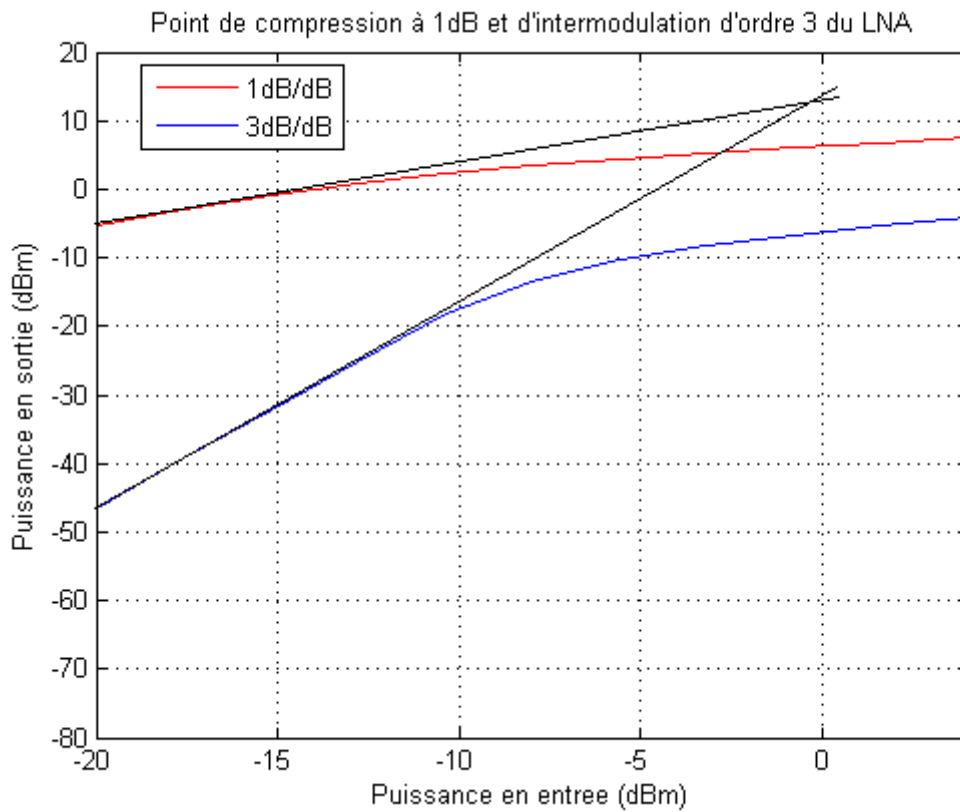


Figure III.8: Point de compression à 1dB (P1dB) et IIP3 du LNA avec $F_1=800\text{MHz}$ et $F_2=840\text{MHz}$ pour une puissance variant entre $P_{RF}=-20\text{dBm}$ et $P_{RF}=4\text{dBm}$

Le point de compression en entrée et le point d'interception d'ordre 3 sont environ égaux à -8dBm, et 0 dBm respectivement. Ces valeurs de linéarité sont très satisfaisantes compte-tenu de la consommation du LNA et sa tension d'alimentation fixée à 1.2V.

5.3. Conception du mélangeur passif

Le signal différentiel, une fois amplifié par le LNA, va être converti à plus basse fréquence à l'aide d'un mélangeur passif piloté par quatre phases de rapport cyclique 25%. La structure du mélangeur différentiel utilisé ainsi que les phases d'échantillonnage sont représentés en **Figure III.9**.

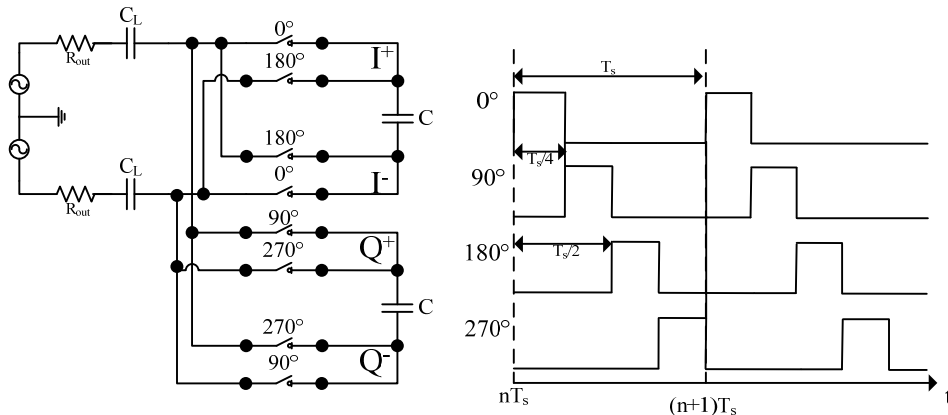


Figure III.9: a) Mélangeur passif. b) Phases d'échantillonnage

La période d'échantillonnage est de T_s et chaque phase a une durée de $T_s/4$. Ce mélangeur est constitué d'éléments passifs : les transistors sont en régime linéaire et jouent le rôle d'interrupteur. Les capacités C , en série avec la résistance des interrupteurs R_{on} et la résistance de sortie du LNA R_{out} , réalisent le filtrage passe bas en bande de base à condition que la fréquence de coupure du filtre soit suffisamment faible par rapport à la fréquence minimale de la porteuse RF. En utilisant les résultats du chapitre II, le gain de conversion de ce mélangeur, de rapport cyclique D , est égal à :

$$G = \frac{\sin(n\pi D)}{n\pi D} \quad (3.3)$$

Où n représente la conversion à un index d'harmonique n et D le rapport du cyclique du signal d'échantillonnage. A la fréquence fondamentale ($n = 1$), le gain de conversion est de $\frac{2\sqrt{2}}{\pi}$, soit de -0.91dB. Comparé à un mélangeur classique de rapport cyclique 50% où le

gain de conversion est de $\frac{2}{\pi}$, on a une amélioration de 3dB en gain, et donc ce gain se reporte directement sur le facteur de bruit. Cela est avantageux lorsque l'on souhaite améliorer les

performances du récepteur en termes de sensibilité. Dans notre design, on a fixé la bande passante du mélangeur à 10MHz (fréquence de coupure du filtre) afin de pouvoir recevoir différents standards. En incluant l'influence de la capacité de liaison C_L , on définit la fonction de transfert du filtre-mélangeur en bande de base donnée par la relation :

$$H(\omega_{IF}) = \frac{G}{1 + \frac{C\omega_{IF}}{DC_L\omega_{RF}} + (R_{on} + R_{out})\frac{jC\omega_{IF}}{D}} \quad (3.4)$$

Avec ω_{IF} , la pulsation intermédiaire du signal converti en bande de base. En général on a $\omega_{IF} \ll \omega_{RF}$ avec C et C_L du même ordre de grandeur et on peut donc ainsi négliger le deuxième terme du dénominateur et l'équation (3.4) devient:

$$H(\omega_{IF}) = \frac{G}{1 + (R_{on} + R_{out})\frac{jC\omega_{IF}}{D}} \quad (3.5)$$

Ainsi, pour notre mélangeur, la bande passante est définie par :

$$BW = \frac{D}{2\pi(R_{on} + R_{out})C} \quad (3.6)$$

Les transistors ont été dimensionnés de façon à avoir une faible résistance comparée à la résistance de sortie du LNA ($R_{out}=300 \Omega$). On a donc pris des transistors avec des largeurs $W=10\mu m$ pour une longueur minimale de technologie de $0.13\mu m$, pour obtenir une résistance d'environ 54Ω . Avec un rapport cyclique $D=25\%$, et $R_{out}=300 \Omega$, on a choisi une capacité de type Métal-Oxyde-Métal (MOM) de 10pF pour obtenir une bande passante d'environ 10MHz. La valeur choisie pour R_{on} résulte d'un compromis entre R_{on} faible et la consommation des interfaces de la partie digitale pilotant les capacités des MOS du mélangeur.

5.3.1. Etude fréquentielle du mélangeur passif

La structure de mélangeur utilisée ici, de par sa nature passive, ne permet pas d'isolation entrée – sortie comme on a pu l'expliquer au chapitre précédent. Cela veut dire que le

comportement de filtrage du mélangeur en bande de base se retrouve transposé par le signal d'oscillateur F_S via les transistors en commutation. Ce signal, contenant des harmoniques d'ordres impaires, transfère la réponse du filtre à la fondamentale F_S ainsi qu'aux harmoniques multiples impaires de celle-ci ($n=3, 5, 7\dots$). Pour $F_S = F_{RF}$, un filtrage passe-bande est ainsi réalisé en sortie du LNA, mais dont l'atténuation maximale est limitée par le rapport, dans le cas de bloqueurs situés loin de la bande passante et lorsque les capacités agissent en tant que court-circuit (voir détails dans le chapitre précédent). C'est pour cela, qu'afin de ne pas limiter la qualité du filtrage passe bande en RF, qu'il est souhaitable d'avoir une résistance R_{on} suffisamment faible par rapport à la résistance de sortie du LNA. Une simulation réalisée sous spectre à la fréquence de 868MHz, présentée en **Figure III.10**, montre l'effet de la résistance R_{on} sur l'atténuation maximale du filtre, et ceci pour des bloqueurs éloignés.

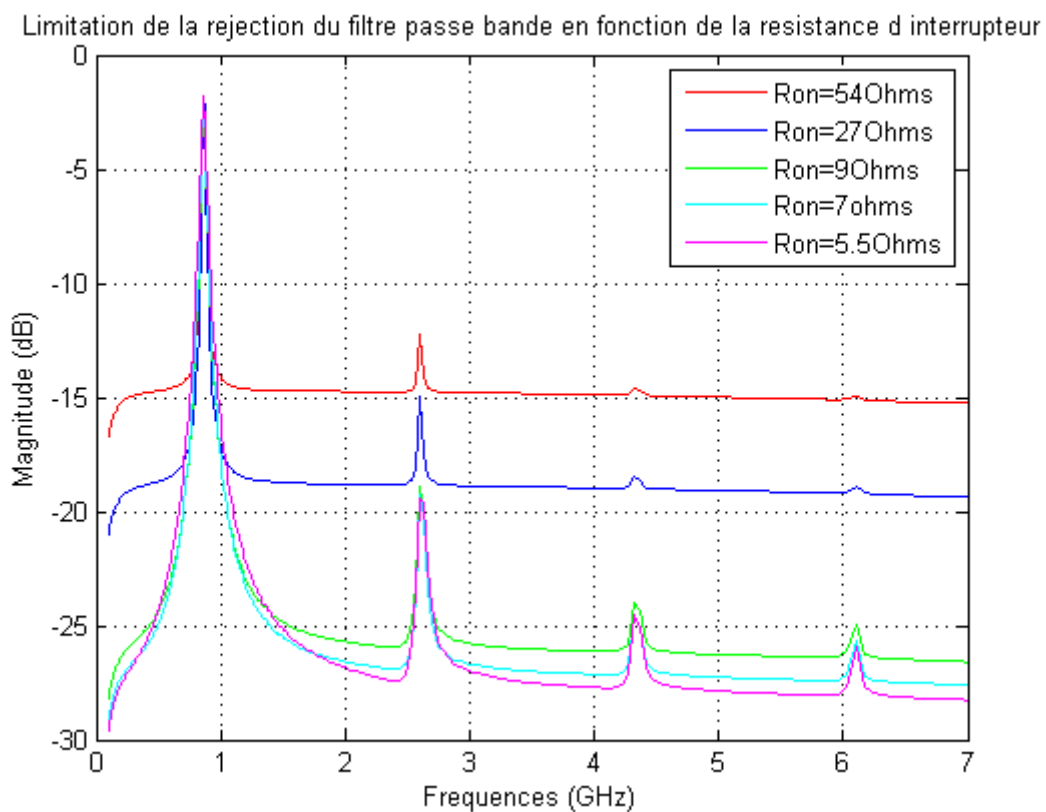


Figure III.10: Influence de la résistance R_{on} sur la réjection maximale du filtre passe bande en fonction de la fréquence, avec $F_{RF}=F_S=868\text{MHz}$ et $R_{out}=300\Omega$

On observe, comme le montre la relation précédente que plus la résistance R_{on} est de valeur faible et plus la réjection du filtre passe bande en bande atténuée est élevée. Cependant cela requiert des transistors de plus en plus larges et donc une consommation en puissance de la

partie digitale qui peut être très importante. Avec la technologie de transistor NMOS 130nm utilisée, une largeur de transistor de 10um correspond à une résistance R_{on} de 54Ω , ce qui donne, avec une résistance de sortie R_{out} de 300ohms une atténuation maximale de 15dB pour des bloqueurs suffisamment éloignés de la fréquence porteuse. Augmenter R_{out} permettrait d'augmenter l'atténuation maximale du filtre, mais réduirait sa bande passante puisque induisant une constante de temps plus grande. La perte d'insertion du filtre passe-bande est d'environ -1.8dB, comme expliquée lors du chapitre précédent. Une autre simulation a également permis de montrer l'effet de variation du rapport cyclique des phases sur la forme du filtre passe-bande. Les résultats obtenus sont présentés ci-dessous en **Figure III.11**.

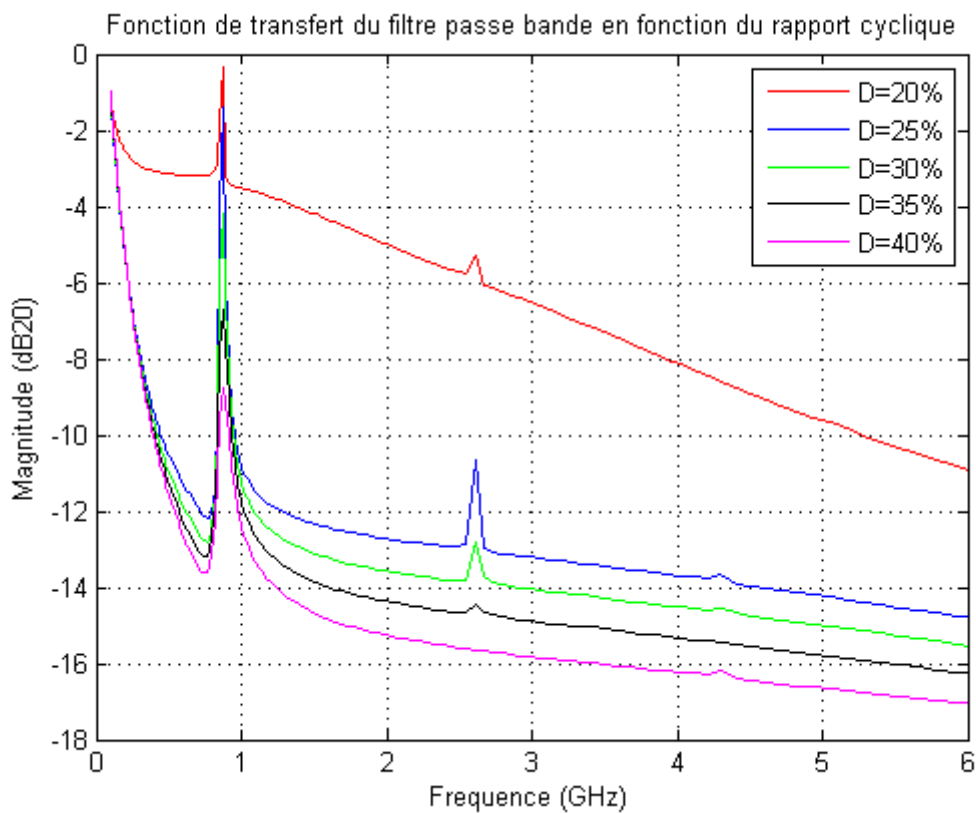


Figure III.11: Influence du rapport cyclique D(%) sur la fonction de transfert du filtre passe bande en fonction de la fréquence, avec $F_{RF}=F_S=868\text{MHz}$, $R_{on}=54\Omega$ et $R_{out}=300\Omega$

On remarque sur cette figure que lorsque le rapport cyclique est en dessous de 25 %, la perte d'insertion du filtre diminue et la réjection est dégradée, comme en témoigne la courbe en rouge dans le cas d'un rapport cyclique $D=20\%$. Cela confirme ce qui a pu être expliqué dans le chapitre précédent lorsque le rapport cyclique est inférieur à l'inverse du nombre de voies d'échantillonnage N : le gain de conversion augmente et les capacités n'ont plus assez de temps de conduction pour suffisamment atténuer les éventuels bloqueurs, notamment ceux situés aux harmoniques multiples impaire du signal F_S ($3F_S$, $5F_S$, $7F_S...$). Lorsque celui-ci est

supérieur à $D=25\%$, le transfert de charge entre les capacités des voies d'échantillonnage augmente la perte d'insertion du filtre, ce qui est très dommageable pour la sensibilité du récepteur, et même si la réjection des bloqueurs est plus forte. Ce phénomène s'aggrave davantage lorsque le rapport cyclique augmente par valeurs supérieures à $D=25\%$. Par exemple, lorsque le rapport cyclique est $D=30\%$, la perte d'insertion est d'environ $-4,2\text{dB}$ et de $-8,8\text{dB}$ lorsque celui-ci est $D=40\%$. A noter également que plus la résistance d'interrupteur est faible et plus le transfert de charge entre capacités se fait rapidement, dégradant ainsi plus rapidement le comportement du filtre.

5.3.2. Linéarité du mélangeur passif

Le mélangeur qu'on utilise dispose de bonnes performances en termes de linéarité car il permet de réaliser un filtrage des signaux brouilleurs, lorsque ces derniers sont convertis en bande de base. De plus, le mélangeur passif possède un point de compression à 1dB et un point d'interception d'ordre 3 élevés. La **Figure III.12** montre un point de compression d'environ 2dBm (correspondant à un signal RF d'amplitude crête égale à 563mV sur 100Ω) obtenu avec deux signaux de fréquence $F_S=868\text{MHz}$ et $F_{RF}=869\text{MHz}$.

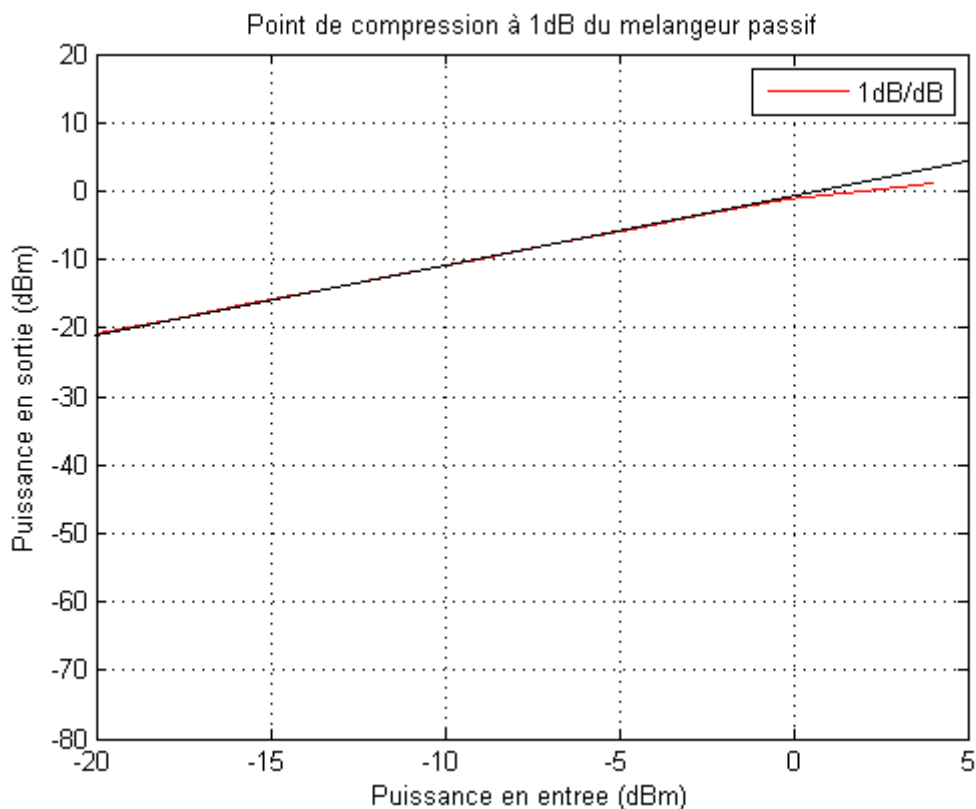


Figure III.12: Mesure d'IIP1 avec $F_S=868\text{MHz}$ et $F_{RF}=869\text{MHz}$

Deux buffers en sorties du mélangeur sur les voies I et Q de gain proche de 1 assurent la conversion entrée différentiel sortie unique sur deux plots de sorties afin de caractérisation. La rejection de mode commun des deux buffers et de l'ordre de 40dB ; Chaque buffer consomme 300 μ A sous 1,2V.

5.4. Layout de la partie analogique

La représentation physique du bloc analogique sous forme de layout est représentée ci-dessous en **Figure III.13**.

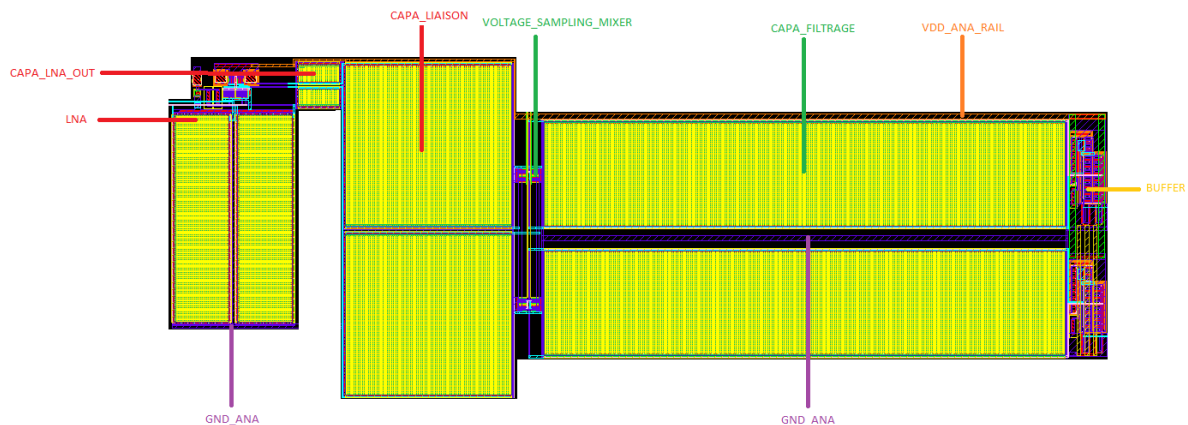


Figure III.13: Layout du bloc analogique

Le routage de ce bloc a été réalisé de telle sorte à avoir le minimum de distance entre les différents blocs le constituant, afin de ne pas augmenter le risque de dégradation du signal analogique. On voit par ailleurs la place prépondérante occupée par les capacités de liaison et de filtrage C_L et C .

6. Réalisation du cœur de la puce

La **Figure III.14**, ci-dessous, montre le layout total du circuit incluant les parties numériques et analogiques ainsi que les capacités de découplage de valeur totale 10pF entre le rail d'alimentation analogique vdda et la masse analogique gnda.



Figure III.14: Layout du cœur de la puce

La figure ci-dessous (Figure III.15) montre les résultats de simulation temporelle post-layout obtenu, pour un signal d'amplitude différentielle 10mV crête.

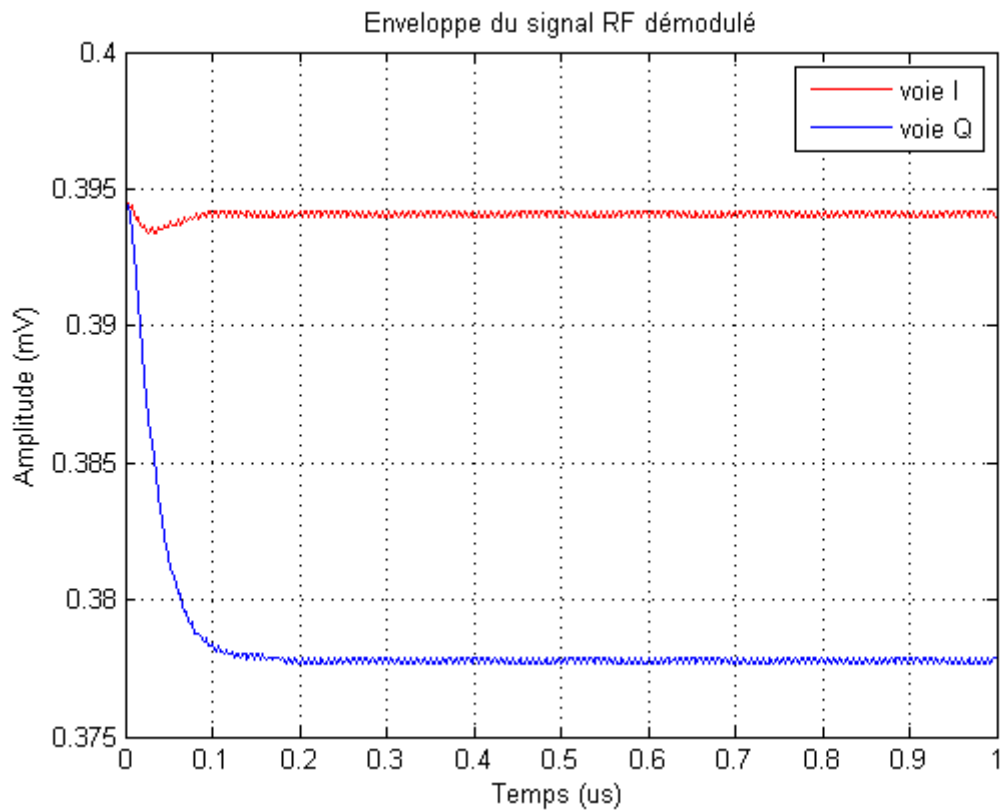


Figure III.15: Enveloppe complexe du signal sinusoïdal démodulé

On observe les deux composantes en phase (I) et quadrature (Q) du signal sinusoïdal démodulé, qui sont de couleurs rouges et bleu respectivement. La composante continue de 394mV correspond à la tension de polarisation en sortie des buffers. L'amplitude du signal en phase est de 4mV et celle du signal en quadrature est d'environ 20mV : cela donne, en calculant la norme l'équivalent d'un signal sinusoïdal d'amplitude 20.4mV. En prenant en compte le gain du LNA qui est d'environ 15dB ainsi que son atténuation de 6dB lorsque l'adaptation en entrée est réalisée, le gain de conversion du mélangeur qui est de -0.9dB ainsi que l'effet de transformation des buffers du mode différentiel en mode commun qui atténue de 6dB, cette valeur se rapproche de la valeur théorique qui doit être de 22.5mV dans le cas d'un signal sinusoïdal d'amplitude 10mV crête. On a donc ici une atténuation en tension de -0.85dB, qui est principalement due aux qu'aux légères pertes du buffer.

7. Réalisation de la puce totale

7.1. Puce complète comportant l'amplificateur faible bruit (LNA)

Le layout de la puce comportant l'amplificateur faible bruit en est représenté ci-dessous en **Figure III.16**.

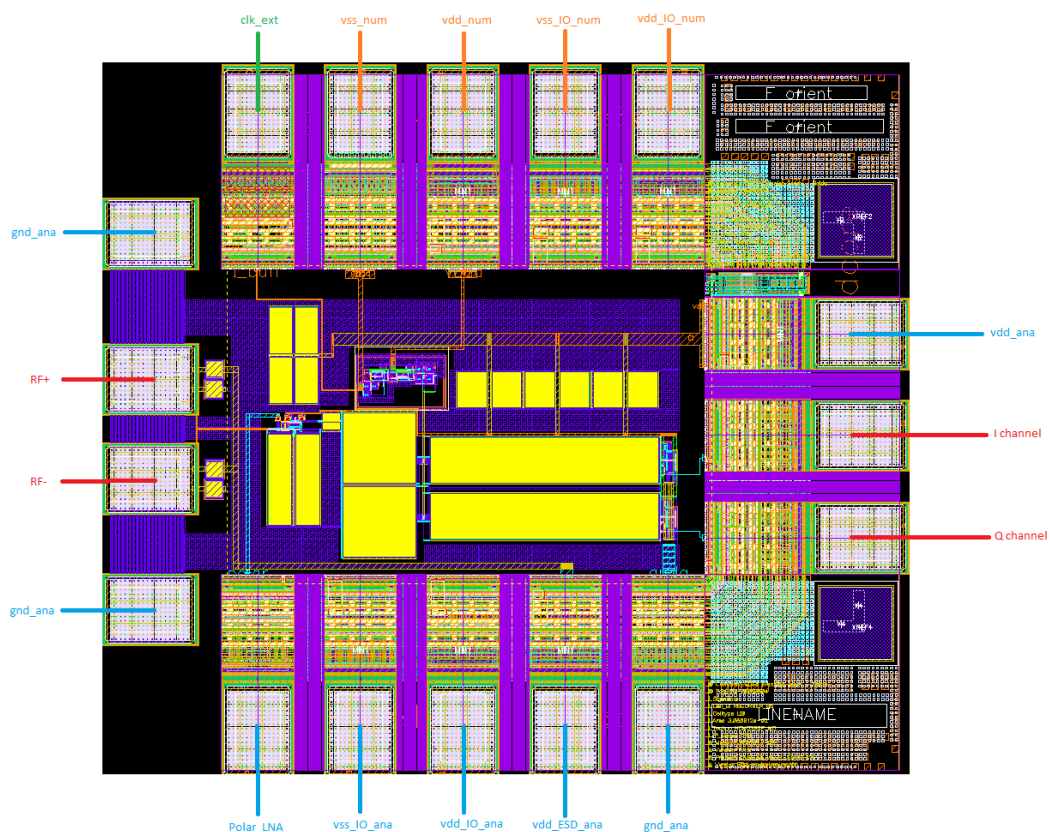


Figure III.16: Layout total de la puce avec Pads

L'organisation des Pads est structurée en deux parties : une partie qui concerne la partie numérique, et une deuxième concernant la partie analogique. Les deux parties sont isolées entre elles afin d'éviter le phénomène de couplage entre les parties numérique et analogique. Les plots d'accès RF ont été dimensionnés de façon à présenter une capacité très faible. Des protections ESD, sous forme de diodes, ont été ajoutées sur chaque entrée. Ces protections modifient peu le S11 en entrée du LNA, une inductance de bonding d'environ 1nH est prise en compte pour simuler l'adaptation en entrée. Cependant, à plus hautes fréquences (fréquences supérieures à 5GHz), les capacités des protections ont tendance à dégrader l'adaptation en entrée du LNA. Enfin, une puce sans LNA a également été réalisée, de façon à comparer les performances obtenues avec et sans le LNA.

7.2. Photographie de la puce après fabrication

Une photo de la puce, après fabrication, a été réalisée et est présentée ci-dessous en **Figure III.17**.

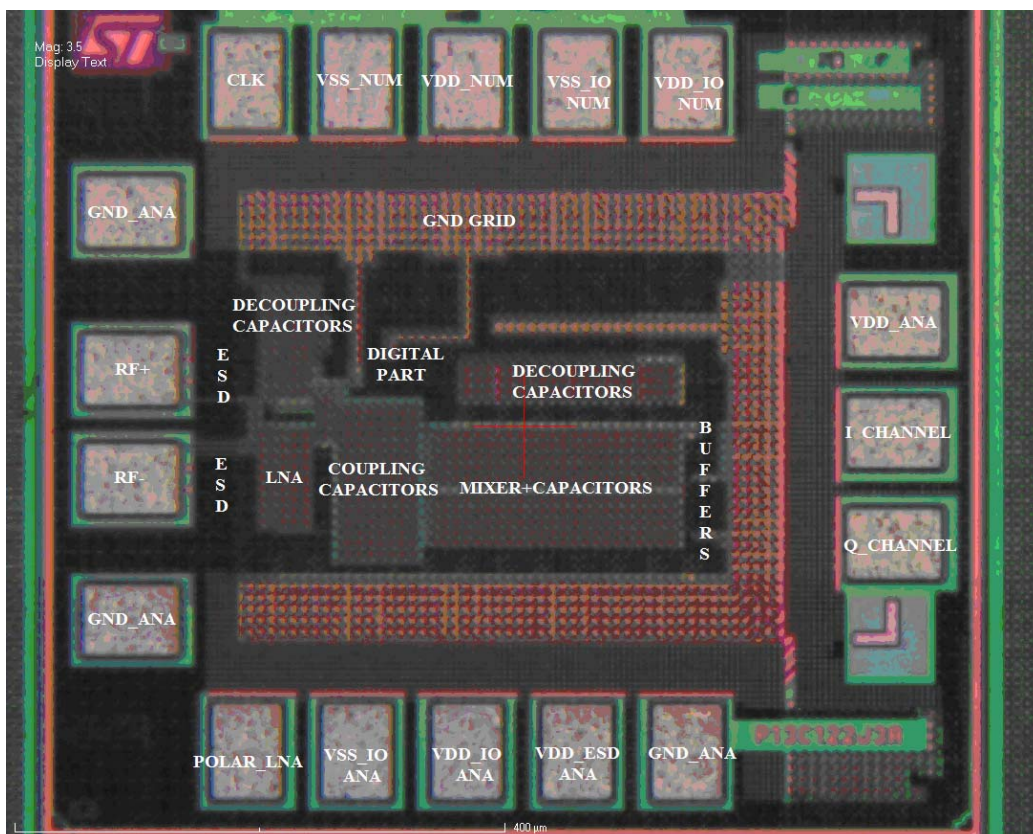


Figure III.17: Photo de la puce complète du récepteur en technologie 0.13µm après fabrication

8. Conclusion

Ce démonstrateur intégré a été réalisé afin de valider l'étude du système proposée au chapitre précédent. Le récepteur RF est destiné à recevoir plusieurs bandes de fréquences, principalement entre 400MHz et 1.5GHz. Bien que la conception du circuit ne soit pas le cœur du travail de thèse, une approche faible consommation et large bande a été réalisée en choisissant une structure de mélangeur passif, permettant à la fois une bonne flexibilité dans la bande ainsi qu'une bonne sélectivité. Les propriétés de réciprocity de ce mélangeur permettent de réaliser un filtrage passe-bande en RF, améliorant ainsi la dynamique en entrée du récepteur. Enfin, la précision des phases de commande du mélangeur impacte directement la qualité du mélange ainsi que le filtrage. Beaucoup de soin a donc été apporté dans la réalisation du bloc numérique générateur d'horloges qui est un bloc particulièrement critique. Le chapitre suivant est consacré à la description de l'interface de mesure, du protocole de mesures et à la présentation des résultats expérimentaux obtenus pour différents types de signaux modulés transmis à des fréquences et débits différents.

9. Références Bibliographique

- [1] M. Osoba, "DC Offset and Flicker-Noise Mitigation in Homodyne Receiver," IEEE International Conference on 3G and Beyond, Nov. 2005
- [2] Lisha Li, Sripriya Raghavendran, and Donald T. Comer, "CMOS Current Mode Logic Gates for High-Speed Applications," 12th NASA Symposium on VLSI Design, Coeur d'Alene, Idaho, USA, Oct. 4-5, 2005
- [3] Myung-Woon Hwang, Jong-Tae Hwang, and Gyu-Hyeong Cho, "Design of High Speed CMOS prescaler," Proceedings of the Second IEEE Asia Pacific Conference on ASICs, AP-ASIC 2000, Pages 87-90, 2000.
- [4] W. Zhuo, X. Li, S. Shekhar, S.H.K. Embabi, J.Pineda de Gyvez, D.J. Allstot and E. Sanchez-Sinencio, "A capacitor cross-coupled common gate low noise amplifier," IEEE Trans. on Circuits and Systems I: Express Briefs, vol. 52,2000

Chapitre IV : Mesures et tests expérimentaux

1. Introduction

Dans ce chapitre, deux circuits intégrés comportant les systèmes de réception avec et sans LNA, respectivement circuit A et circuit B, sont mesurés et testés. Au total, trois cartes de test ont été utilisées pour la réalisation des mesures ainsi que pour établir des points de comparaison. La première carte sert à tester le circuit A comportant l'amplificateur faible bruit (LNA) en amont du mélangeur, une deuxième permet de tester le circuit B contenant le mélangeur seulement et enfin une troisième carte, comportant un filtre de type SAW, permet de tester l'architecture avec le mélangeur seulement, mais avec du filtrage supplémentaire en bande étroite, directement après l'antenne, autour de la fréquence centrale de 869.3MHz.

L'objectif de ces mesures est de démontrer la possibilité de recevoir différentes bandes de fréquences situées entre 400MHz et 1.5GHz, ainsi que différents schémas de modulation dont les débits binaires se situent entre 300bps et 1Mbps. Les différents types de modulations utilisées seront la modulation d'amplitude (QAM, ASK), la modulation de phase (PM, MSK) ainsi que la modulation de fréquence (FM).

Dans le domaine temporel, des exemples réels de cas de démodulation sont montrés afin de valider le fonctionnement correct du récepteur, pour différents types de signaux modulés et de débits différents, entre les bandes 400 MHz et 1,5GHz. Dans le domaine fréquentiel, des mesures de réjections de canaux adjacents sont réalisées afin de démontrer la robustesse du récepteur vis-à-vis de signaux interférents. Aussi, une caractérisation du récepteur concernant son point de compression à 1dB (P_{1dB}) et son point d'intermodulation d'ordre 3 (IIP3) est faite dans le but de déterminer son comportement en linéarité. Enfin, des mesures de sensibilité sont également réalisées afin d'évaluer la puissance minimale admissible en entrée du récepteur correspondant à un taux d'erreur binaire inférieur à 0,1% (Bit Error Rate (BER) $<10^{-3}$), accompagnées de mesures de consommation en régime statique et dynamique.

Différentes comparaisons seront effectuées entre les différents circuits suivant les paramètres que sont la sensibilité, la linéarité, la consommation ainsi que la réjection de

canaux adjacents, notamment pour la carte de test comportant le filtre SAW centré à 869,3MHz. Les avantages en termes de flexibilité des récepteurs, de linéarité, gain de conversion et consommation, dû à l'utilisation d'un mélangeur purement passif à quatre phases, seront démontrés, notamment dans le cas des applications ISM situées à 433MHz et 868MHz. Enfin, pour des récepteurs multistandards, l'intérêt de cette architecture en termes de consommation en puissance, flexibilité et linéarité, est mis en valeur.

2. Instrumentation et équipements de test

Afin de réaliser les mesures expérimentales dans les bandes de fréquences comprises entre 400MHz et 1.5GHz, il nous a fallu l'utilisation de deux générateurs de signaux : l'un pour générer différents types de signaux modulés et un autre pour générer le signal d'horloge nécessaire au bon fonctionnement de la partie digitale générant les quatre phases d'échantillonnage. Pour la polarisation des cartes de tests, il nous a fallu l'utilisation d'une alimentation symétrique stabilisée ainsi qu'un oscilloscope numérique pour la capture des résultats de mesures. Le générateur de signaux vectoriels utilisé est Agilent E4438C ESG Vector Generator (250kHz-6GHz), le signal d'horloge est généré par le générateur Agilent Synthesized CW Generator 83711B (1GHz-20GHz), l'alimentation symétrique est HAMEG programmable supply HMP2030 et l'oscilloscope numérique utilisé est le modèle FI3315C (150MHz/100Msps) d'Agilent. Enfin, pour les mesures de réjection de canaux et de linéarité, l'analyseur de spectre Anritsu MS2665C est utilisé. Une photo d'une partie du banc de tests comprenant le générateur de signaux vectoriels, le générateur d'horloge, l'alimentation ainsi que l'oscilloscope, est présentée en **Figure IV.1**.

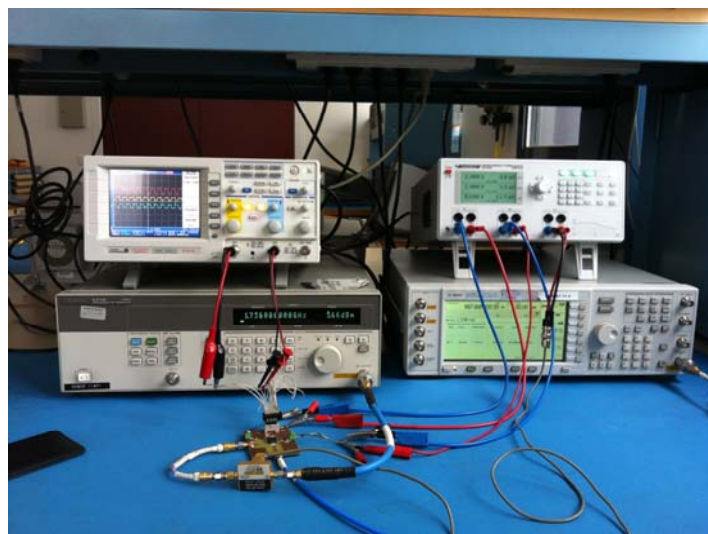


Figure IV.1: Banc de tests et instrumentation

Sur cette figure, nous remarquons également d'un système de polarisation en T a été utilisé, permettant de rajouter une composante continue au signal d'horloge, nécessaire au bon fonctionnement de la partie digitale générant les phases d'échantillonnage.

3. Développement et réalisation des circuits imprimés (PCB)

3.1. Outil de développement et description générale

L'outil de développement pour la réalisation des circuits imprimés qui a été utilisé est un logiciel gratuit ne nécessitant pas l'achat de licence particulière pour pouvoir être utilisé. Ce logiciel se nomme Kicad et convient parfaitement à la réalisation de circuit imprimé lorsque la complexité de réalisation ne dépasse pas les quatre couches. En ce qui concerne les PCB réalisés, la complexité ne dépasse pas les deux couches, étant donné qu'une couche est utilisée pour l'alimentation continue VCC ainsi que pour les composants, et l'autre pour le plan de masse GND. La réalisation des PCB a été faite par une entreprise extérieure, Wedirekt, localisée en Allemagne. Le substrat utilisé pour chacune des cartes est un substrat de type FR4, permettant de travailler à des fréquences jusqu'à 3GHz, et dont la permittivité est telle que $\epsilon=4.7$. En ce qui concerne les interfaces RF, des lignes de transmission ont été calculées à l'aide de l'outil « LineCalc » d'ADS (Agilent Design System). Avec un substrat de permittivité $\epsilon=4.7$, une épaisseur de cuivre $t=35\mu\text{m}$, et en prenant en compte la conductivité du cuivre $\sigma=5.9.10^7$, une largeur de ligne $W=1.5\text{mm}$ a été calculée pour une adaptation sur une impédance réelle de 50Ω . Celle-ci a par ailleurs été validée en faisant une simulation du paramètre S_{11} sous le logiciel ADS.

3.2. Transformateur différentiel

Un transformateur de mode commun [1] permet de réaliser l'adaptation en entrée après l'antenne sur 50Ω et génère un signal différentiel sur une impédance différentielle de 100Ω . Celui-ci est destiné à travailler à la fréquence de 900MHz, où les pertes d'insertion sont faibles ($\approx -0.6\text{dB}$) avec une très bonne adaptation en entrée ($S_{11} < -25\text{dB}$). Les courbes représentatives des pertes d'insertion et d'adaptation en entrée, issues de la fiche technique du constructeur, sont représentées respectivement en **Figure IV.2** et **Figure IV.3**. On remarque que les pertes d'insertion sont plus importantes pour des fréquences inférieures à 550MHz, ce qui correspond également à une détérioration de l'adaptation en entrée puisque celle-ci se situe au-dessus de -10dB pour ces mêmes valeurs de fréquences. Aussi, à ces fréquences, la

dégradation du facteur de bruit sur l'ensemble de la chaîne de réception est également plus importante. Enfin, la sensibilité du récepteur est également dégradée.

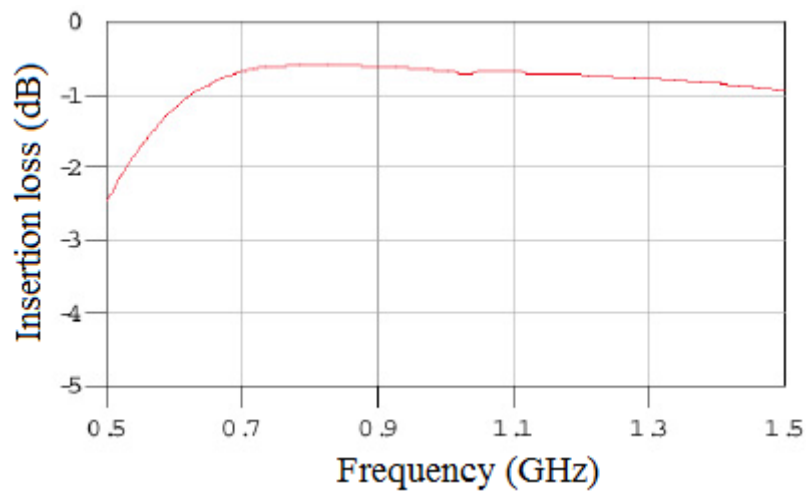


Figure IV.2: Pertes d'insertion du transformateur en fonction de la fréquence

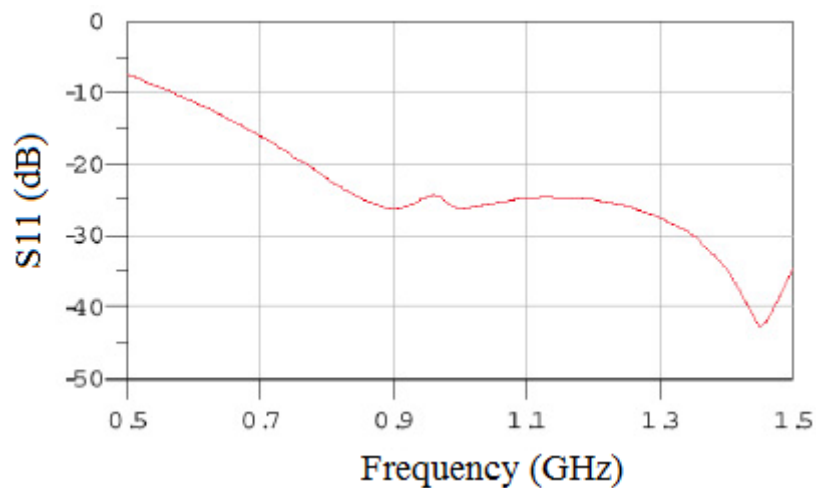


Figure IV.3: Adaptation en entrée (S11) en fonction de la fréquence

Dans notre étude, comme nous travaillons principalement à la fréquence de 868MHz, avec des pertes d'insertion de l'ordre de -0.6dB, on peut déjà estimer une dégradation de la sensibilité ainsi que du facteur de bruit de l'ensemble du récepteur d'environ 0.6dB du au transformateur. Enfin, le rapport de transformation d'impédance 50Ω à 100Ω , avec conservation de la puissance, implique un gain en tension de 3dB ($\sqrt{2}$ en amplitude).

3.3. Amplificateur opérationnel (AOP)

Comme il a pu être expliqué au chapitre précédent, lors de la phase de design du circuit, des buffers de gain unitaire ont été ajoutés en sortie pour générer les voies I et Q. Cependant,

en bande de base, et afin d'améliorer la sensibilité du circuit, un amplificateur opérationnel a été rajouté afin de fournir un gain de 40dB. L'amplificateur utilisé est le modèle OPA2209 de chez Texas Instruments [2] et a la particularité de ne consommer que peu de puissance (2.5mA maximum pour chacune des voies I et Q sous une tension continue $V_{CC}=4.7V$) avec un bruit en tension faible d'environ $2.2nV/\sqrt{Hz}$ à la fréquence de 1kHz et un bruit en $1/f$ de $130nV_{pp}$ entre 0.1Hz et 10Hz. Le produit gain bande de cet amplificateur est de 18MHz, ce qui limite la bande passante du signal à une fréquence d'environ 180kHz pour un gain en tension de l'ordre de 100, soit 40dB. Enfin, la vitesse de montée de cet amplificateur est de $6.4V/\mu s$, ce qui est raisonnable compte tenu de la consommation en courant et de la fréquence de travail en bande de base. Le montage utilisé pour l'amplificateur est un montage de type non-inverseur d'ordre 1, permettant de fournir un gain G de 100 (40dB) et de filtrer à une fréquence de coupure $F_{cut} \approx 180kHz$. La figure représentative de ce montage est présentée en

Figure IV.4.

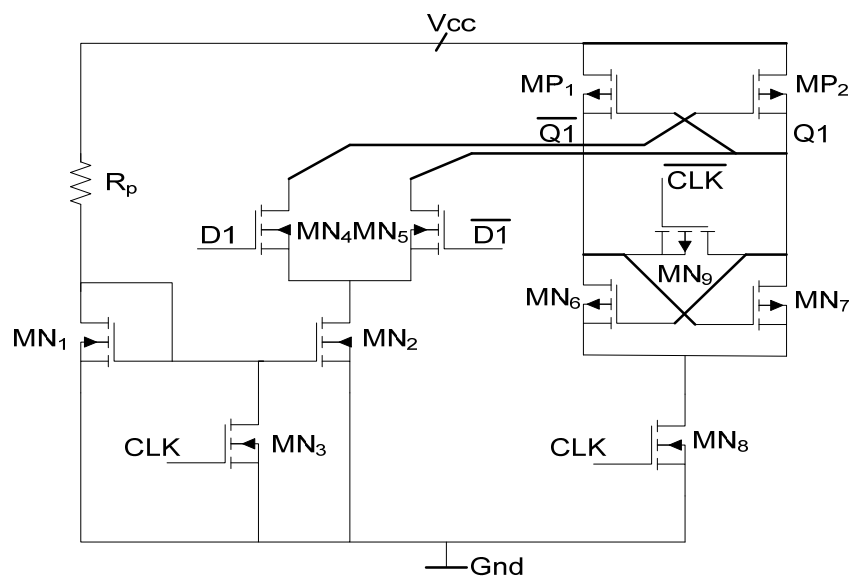


Figure IV.4: Montage de l'amplificateur en bande de base

On remarque un premier réseau de filtrage RC de type passe-haut constitué d'une capacité C_1 de valeur $1\mu F$ et d'une résistance R_s de valeur $22k\Omega$, pour une fréquence de coupure haute à $-3dB$ égale à $7.23Hz$. Étant donné que l'impédance de sortie des buffers est d'environ $2k\Omega$, la valeur de $22k\Omega$ évite le chargement des buffers et la dégradation de l'amplitude du signal. L'impédance d'entrée vue à la borne positive de l'amplificateur est ainsi égale à $1.83k\Omega$.

3.3.1. Facteur de bruit

L'amplificateur opérationnel, comme tout élément actif, rajoute du bruit dont la valeur dépend à la fois des caractéristiques intrinsèques comme la densité de bruit en tension, la densité de bruit en courant ainsi que des valeurs des éléments externes (résistances) nécessaires pour fixer le gain. Pour le modèle TI-OPA4209, la densité de bruit de tension à la fréquence de 1kHz est définie par $e_n=2.2\text{nV}/\sqrt{\text{Hz}}$ et la densité de bruit de courant est définie par $I_n=530\text{fA}/\sqrt{\text{Hz}}$. D'autre part, la valeur des résistances choisies pour fixer le gain a une importance fondamentale sur la figure de bruit de l'amplificateur et doivent pour cela être choisies avec précaution. En s'appuyant sur la formule du bruit donnée dans la fiche de données du constructeur, dans le cas d'un montage d'amplification purement inverseur, on a la puissance de bruit en sortie définie par :

$$E_o^2 = \left(1 + \frac{R_2}{R_1}\right)^2 e_n^2 + e_1^2 + e_2^2 + (i_n R_2)^2 + e_s^2 + (i_n R_s)^2 \left(1 + \frac{R_2}{R_1}\right)^2 + e_3^2$$

Avec $e_s = \sqrt{4kTR_s} \cdot \left[1 + \frac{R_2}{R_1}\right]$ = bruit thermique de R_s

$$e_1 = \sqrt{4kTR_1} \left[\frac{R_2}{R_1}\right] = \text{bruit thermique de } R_1 \quad (4.1)$$

$$e_2 = \sqrt{4kTR_2} = \text{bruit thermique de } R_2$$

$$e_3 = \sqrt{4kTR_3} = \text{bruit thermique de } R_3$$

Afin de calculer la figure de bruit, la résistance de source de l'amplificateur, qui est la mise en parallèle de l'impédance de sortie du buffer et de la résistance R_s , est fixée $1.83\text{k}\Omega$. Les autres valeurs de résistances, quant à elles, ne changent pas pour le calcul. En remplaçant dans (4.1), par les valeurs de composants choisies, nous obtenons une densité de bruit en sortie E_o d'environ $614.9\text{nV}/\sqrt{\text{Hz}}$. La formule de facteur de bruit est donnée par :

$$F = 1 + \frac{E_o^2}{4kTR_s G^2}$$

$$F \approx 2.25 \quad (4.2)$$

$$\text{NF}_{[dB10]} \approx 3.5$$

Ainsi, la contribution de l'amplificateur au facteur de bruit est d'environ 3.5dB pour un gain en tension de 40dB.

3.4. Filter électromécanique Surface Acoustic Wave (SAW)

Afin de pouvoir rejeter les bloqueurs provenant des signaux GSM, situés dans les bandes à 900MHz, un filtre électromécanique à ondes de surfaces acoustiques (SAW) a été ajouté directement après le signal d'antenne. Le filtre que l'on a choisi est le modèle B3570 d'EPCOS [3] avec une fréquence centrale située à 868.39MHz. Celui-ci dispose d'une perte d'insertion minimale α_{\min} de 2.7dB dans le cas typique et 4.2dB dans le pire des cas. Cela signifie que le facteur de bruit du filtre varie entre 2.7dB et 4.2dB. Le gabarit, issu des données du constructeur, est représenté en **Figure IV.5**.

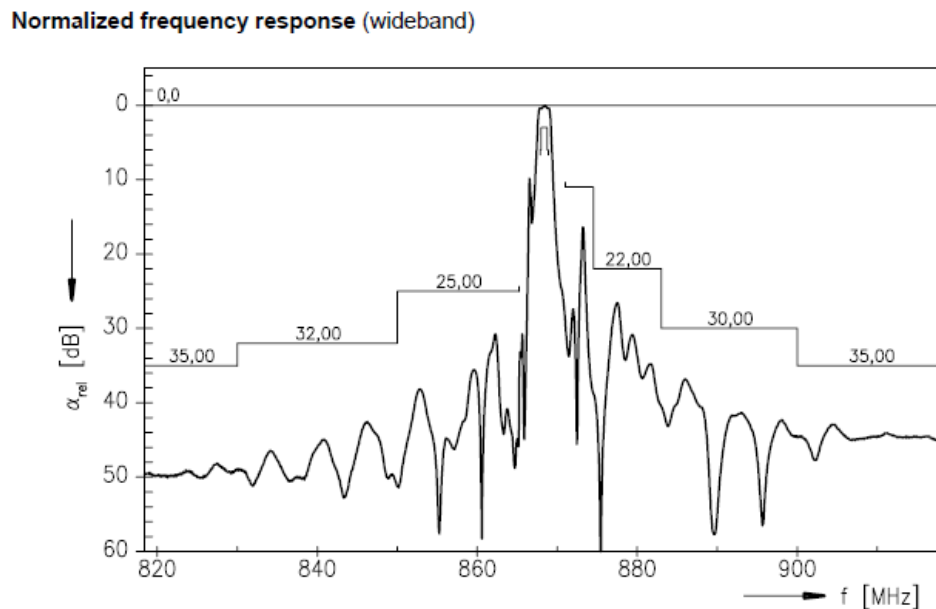


Figure IV.5: Gabarit du filtre normalisé en fonction de la fréquence, EPCOS [3]

La bande passante totale à -3dB est d'environ 1.8MHz, pour un facteur de qualité $Q \approx 483$. La réjection de ce filtre est très bonne puisque les signaux de type GSM sont atténués d'un facteur 40dB entre 900MHz et 1GHz. Le layout du montage de ce filtre, représenté en **Figure IV.6**, est déterminant pour sa qualité de réjection et d'adaptation en entrée/sortie.

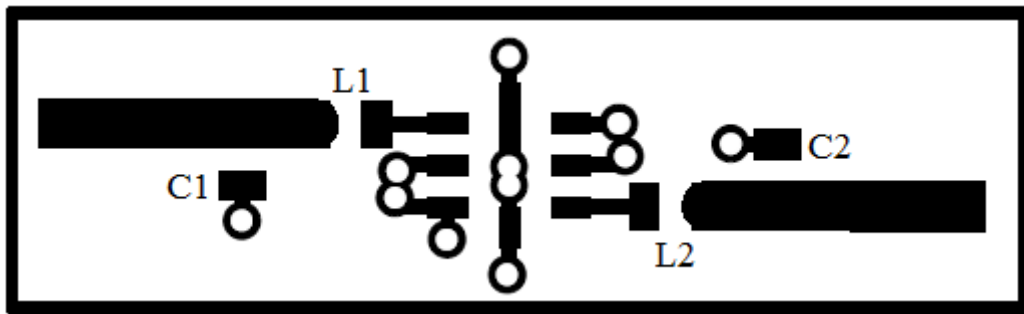


Figure IV.6: Layout du filtre SAW et de son réseau d'adaptation L-C

Un réseau d'adaptation d'entrée/sortie permet une adaptation optimale sur une impédance de 50Ω . Celui-ci est constitué d'un réseau LC avec comme valeur d'inductance $L=L_1=L_2=12\text{nH}$ et comme valeur de capacité $C=C_1=C_2=3.3\text{pF}$. La mise à la masse des entrées/sorties se fait par l'intermédiaire d'un via, rajoutant une inductance parasite en parallèle avec le filtre. C'est pour cela qu'il est important de faire un via individuel pour chacune des mises à la masse, comme indiqué sur le layout. Au cas où les broches du composant seraient reliées ensemble à la masse, une inductance de boucle commune serait créée, augmentant ainsi l'inductance parasite et dégradant les performances de réjection du filtre, pouvant atteindre 20dB dans le cas d'une inductance de boucle commune de 0.5nH . Les lignes de transmission utilisées sont adaptées à 50Ω pour l'entrée ainsi que la sortie du filtre. Enfin, la puissance maximale admissible pour le filtre correspond à un signal bloqueur de type GSM dont la puissance moyenne est d'environ 0dBm .

3.5. Réalisation du PCB complet

3.5.1. Circuit comportant le LNA en entrée

Le layout complet de la chaîne de réception implémentée sur le PCB pour le circuit comportant le LNA, est présenté en

Figure IV.7.

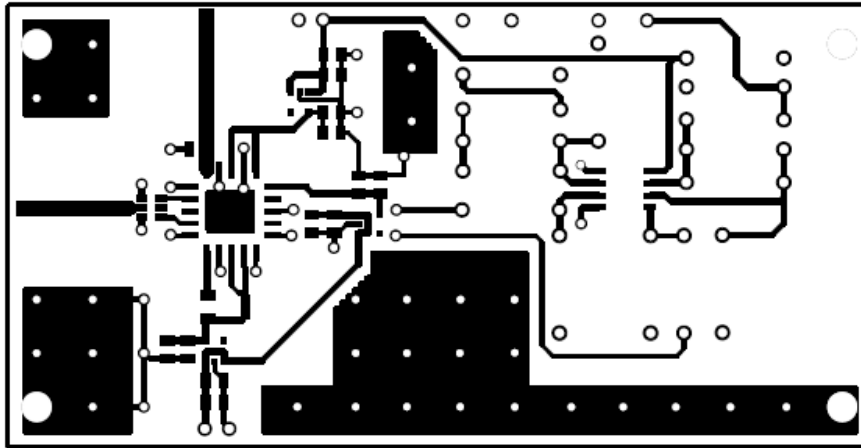


Figure IV.7: Layout du PCB complet pour le circuit comportant le LNA (vue de dessus)

La tension d'alimentation pour le circuit intégré, pour les parties analogiques et numériques, est fixée à $V_{CC}=1.2V$. Cette tension est obtenue à l'aide d'un régulateur de tension LDO (Low Drop Voltage) à très faible bruit ADP151 de chez Texas Instruments [4]. La tension fixée par l'alimentation HMP2030 est de 2.4V, pour une valeur maximale admissible en entrée du LDO de 5.5V. Chacun des LDO est découplé à l'aide de deux capacités de $1\mu F$ configurées en parallèles, pour une stabilité optimale ainsi qu'une meilleure immunité vis-à-vis des signaux RF pouvant se coupler sur la tension d'alimentation. Un potentiomètre externe TYCO3142 [5] est utilisé afin de régler manuellement la valeur de résistance qui régit le courant de polarisation du LNA, fixée à 500Ω dans des conditions de process idéales. Celui-ci permet de balayer une valeur de résistance qui se situe entre 0Ω et $1k\Omega$. Aussi, lors de la conception du PCB, une attention particulière a été apportée sur l'isolement des lignes de transmission par rapport à la masse, afin de minimiser au maximum les phénomènes de couplages parasites pouvant dégrader la qualité d'adaptation. Une distance de séparation de cinq fois l'épaisseur du substrat a été prise en compte, soit 4mm dans notre cas. De nombreux vias ont également été rajoutés afin de fournir un bon contact au plan de masse. La représentation physique du PCB réalisé est ainsi montrée en **Figure IV.8**.

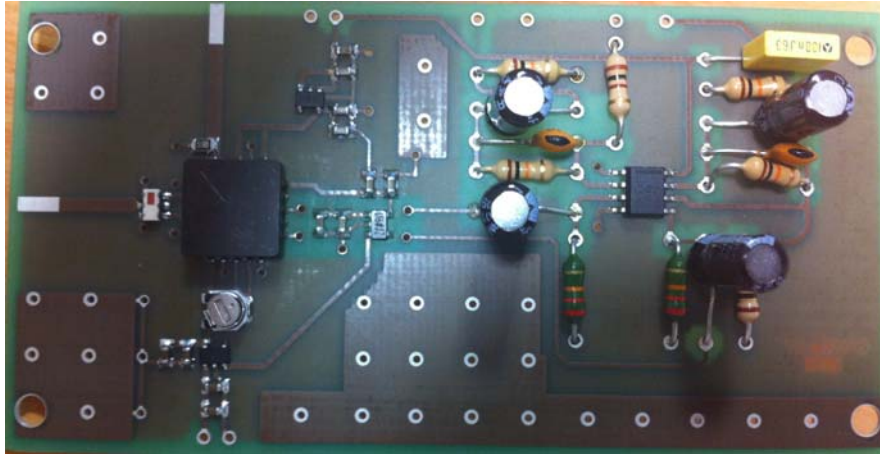


Figure IV.8: Représentation physique du PCB (circuit avec LNA)

On remarque sur la carte que la partie basse fréquence comportant l'amplificateur opérationnel est constituée d'éléments discrets passifs (résistances, capacités) traversant. Cela permet de pouvoir modifier ces éléments plus facilement. Enfin, l'alimentation de l'amplificateur opérationnel est découplée à l'aide d'une capacité de valeur $0.1\mu\text{F}$, afin d'apporter une bonne stabilité de fonctionnement.

3.5.2. Circuit comportant le mélangeur passif seulement

Le layout complet du circuit comportant le mélangeur passif, uniquement après le transformateur, ne diffère que très peu du layout pour le circuit comportant le LNA : seul le potentiomètre a été supprimé, le reste est identique. Une autre implémentation du circuit avec le mélangeur a également été réalisée, mais cette fois-ci avec la mise en place du filtre sélectif SAW directement après l'antenne, en amont du transformateur. Le layout du circuit imprimé, comportant le filtre SAW est représenté **Figure IV.9**.

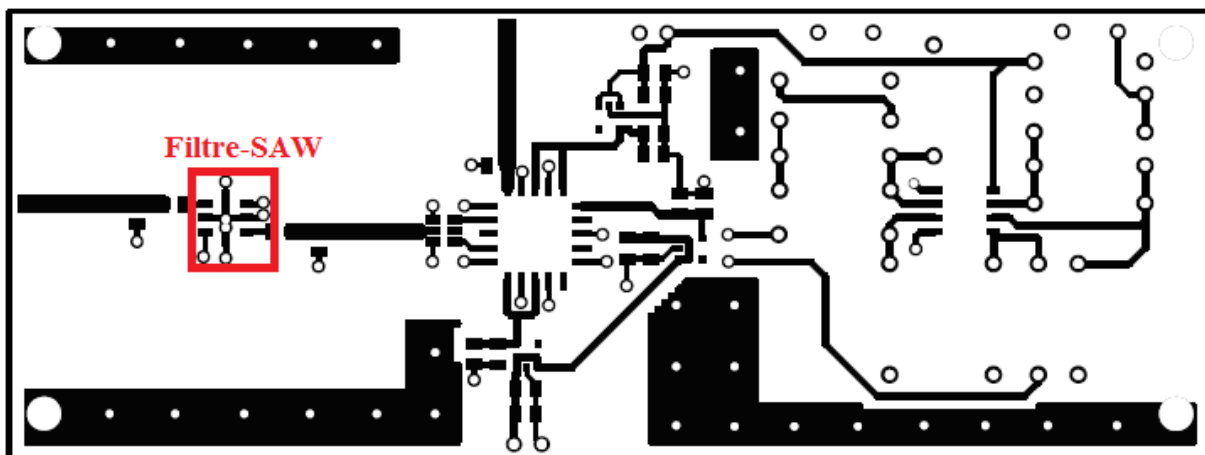


Figure IV.9: Layout complet du PCB (circuit sans LNA) avec filtre SAW en amont

On remarque, par ailleurs, la proximité des vias de connexions à la masse près des pistes du filtre SAW, dans le but de diminuer les effets inductifs.

4. Mesures et tests expérimentaux

4.1. Circuit comportant le LNA en entrée

4.1.1. Mesures de consommation en régime statique

Une première série de mesures, concernant le circuit incluant le LNA, a été réalisée en fonctionnement statique sans inclure la partie RF. Une évaluation de la consommation a été faite en considérant une tension de polarisation de la puce $V_{CC}=1.2V$, fournie par les régulateurs de tension. La partie numérique incluant les portes logiques et le réseau de bascules consomme un courant de 2.3mA, soit une puissance de 2.81mW sous 1.2V. Quant à la partie analogique, comportant le LNA et les buffers de sortie à gain unitaire, celle-ci consomme un courant de 4.1mA, soit une puissance d'environ 5mW sous 1.2V. Ainsi la puce consomme au total une puissance de 7.81mW en régime statique. Aussi, l'ajout de l'amplificateur opérationnel, alimenté sous une tension symétrique de $\pm 2.35V$, augmente la consommation de 20.2mW puisque celui-ci consomme un courant total d'environ 4.3mA (2.15mA pour chacune des voies I et Q). Enfin, la consommation totale en statique du circuit est de 28mW lorsque la partie RF est inactive.

4.1.2. Mesures de consommation en régime dynamique

Le circuit implémenté fonctionne dans les bandes de fréquences comprises entre $F_{RF}=433MHz$ et $F_{RF}=1.5GHz$, nécessitant une fréquence d'horloge comprise entre $F_S=866MHz$ et $F_S=3GHz$ afin de générer les pulses d'échantillonnages pilotant le mixer de période $T_S=1/F_S$. La principale source de consommation du circuit concerne la partie digitale, évoluant en fonction de la fréquence du signal d'horloge. Celui-ci doit fournir un signal unipolaire compris entre la valeur de tension basse 0V correspondant à un '0' binaire et la valeur de tension haute 1.2V correspond à un '1' binaire. Cependant, le générateur utilisé délivre une tension bipolaire et il est donc nécessaire de rajouter une valeur d'offset externe à l'aide d'un polariseur en T [6], dont la fréquence de fonctionnement se situe entre 400MHz et 26.5GHz. La valeur d'offset est de 0.6V et le générateur est configuré pour fournir un signal bipolaire compris entre -0.6V et 0.6V, de telle sorte que la combinaison de la polarisation DC et du signal d'horloge fournissent un signal unipolaire compris entre 0V et 1.2V, soit une

puissance moyenne de 11.56dBm, ou 14.3mW, sur une impédance réelle de 50Ω. A la fréquence minimale de 433MHz, la fréquence du signal d'horloge est de 866MHz et la consommation de la partie digitale est de 4mW, soit un courant de 3.3mA sous une tension de 1.2V. A la fréquence maximale de fonctionnement, la fréquence du signal d'horloge est de 3GHz et la consommation maximale de la partie digitale est de 6.2mW, correspondant à un courant consommé de 5.2mA sous une tension de 1.2V. En considérant la puce seule, la consommation minimale de celle-ci est d'environ 9mW pour une consommation maximale d'environ 11.2mW. Enfin, la consommation maximale du circuit, en considérant la puissance apportée par le générateur d'horloge et celle consommée par l'amplificateur opérationnel, est d'environ 45.7mW et à la fréquence minimale de fonctionnement, celle-ci est de 43.5mW seulement.

4.1.3. Paramètre d'adaptation en entrée S_{11}

L'adaptation en entrée du système est la quantité qui prend en compte le ratio de puissance réfléchi sur la puissance réellement transmise. Celle-ci est interprétée par le paramètre S_{11} , sous forme logarithmique. Une bonne adaptation en entrée est considérée pour des valeurs de S_{11} telles que $S_{11} < -10\text{dB}$. Une mesure a été réalisée avec le VNA entre 0Hz et 2GHz, dans le cas du LNA présent après le transformateur différentiel. La courbe représentative du paramètre de réflexion en puissance S_{11} est représentée en **Figure IV.10**.

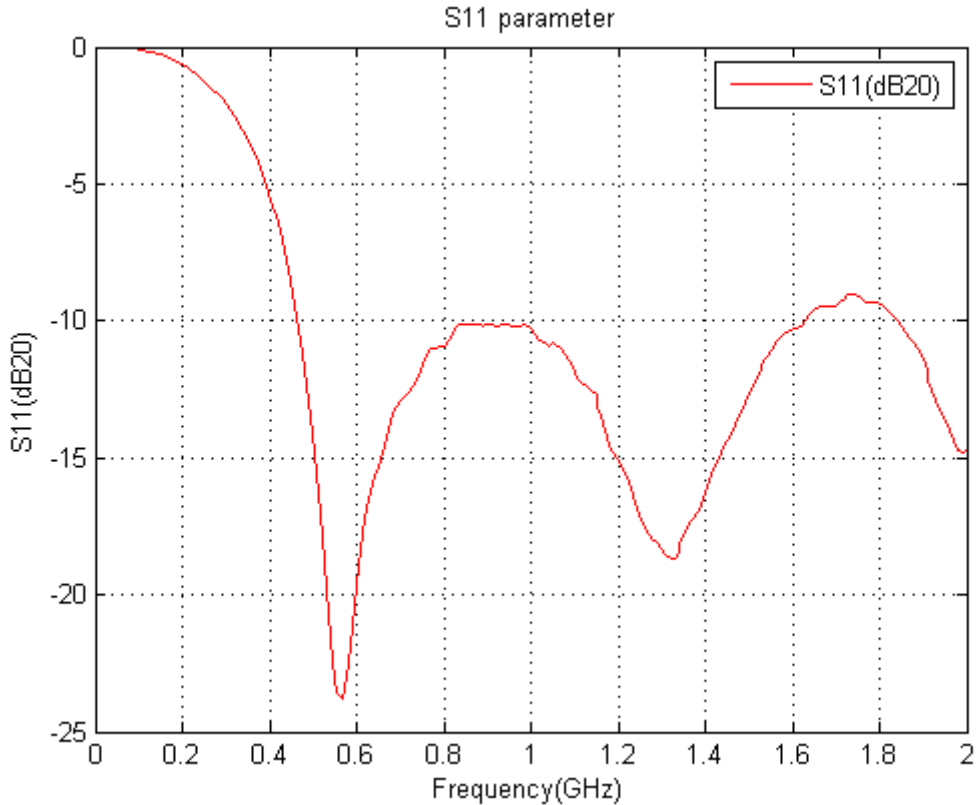


Figure IV.10: Paramètre S11 du récepteur en présence du LNA

Sur cette courbe, on remarque que l'adaptation d'entrée est telle que $S_{11} < -10\text{dB}$ entre la fréquence de 433MHz et la fréquence d'environ 1,61GHz, ce qui est satisfaisant en considérant une bande de travail située entre 433MHz et 1,5GHz. En basses fréquences, pour des fréquences inférieures à 433MHz, l'adaptation se dégrade puisque le balun n'est plus bien adapté à ces mêmes fréquences. Des phénomènes de résonances sont également observés aux fréquences de 580MHz et 1.33GHz du à l'influence du câble de mesure du VNA. Quant aux fréquences supérieures à 1,61GHz, les effets inductifs du balun et l'influence des capacités parasites d'entrée du LNA agissent en parallèle et dégradent ainsi l'adaptation en entrée sur 50Ω . Entre 800MHz et 1GHz, correspondant aux bandes de fréquences de fonctionnement du balun, l'adaptation est telle que $S_{11} \approx -10,3\text{dB}$. Celle-ci est moins bonne que les valeurs simulées lors du chapitre précédent, puisqu'il faut aussi considérer ici les effets de « bonding ». Cependant, cette valeur reste acceptable puisqu'environ 91% de la puissance du signal est transmise, correspondant à une perte d'environ -0.4dB en puissance. Enfin, cette première mesure nous permet de s'assurer que l'adaptation d'impédance en entrée est satisfaisante dans la bande de fréquence de travail du récepteur.

4.1.4. Mesures temporelles

Afin de vérifier la capacité du récepteur à démoduler des signaux binaires, un premier test a consisté à envoyer le signal binaire '1111111100000000' avec un débit de 1Mbps en entrée du récepteur, utilisant une modulation PM à la fréquence porteuse F_{RF} de 868MHz et de puissance moyenne égale à -50dBm. Le signal reçu correspond à un signal périodique '1010' transmis avec un débit de 125kbps suivant les composantes I et Q, représenté en **Figure IV.11**.

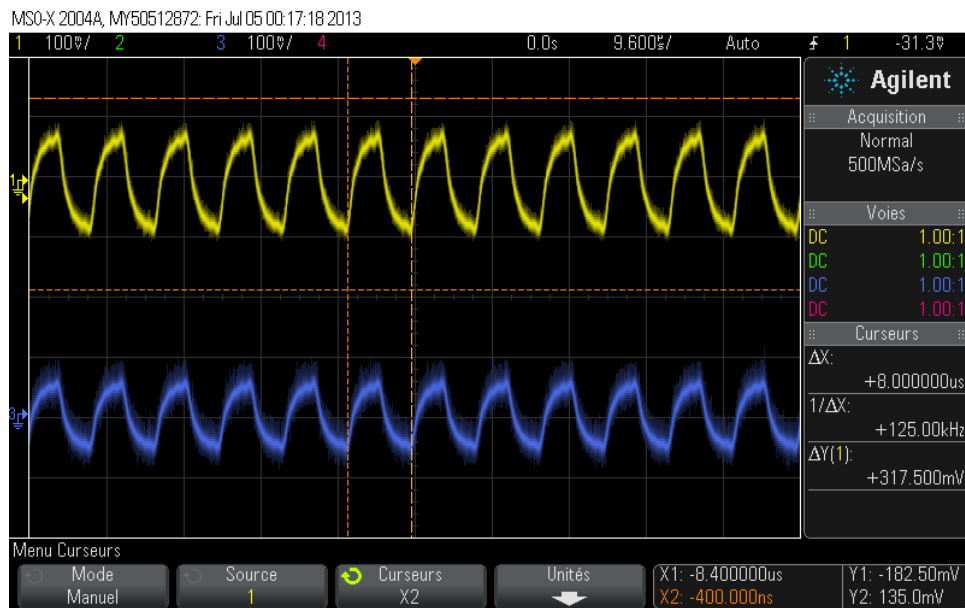


Figure IV.11: Démodulation du signal binaire '1010' de débit 125kbps, modulé PM à la fréquence porteuse de 868MHz et de puissance moyenne -50dBm

On remarque l'effet du filtrage passe-bas apporté par l'amplificateur puisque ici les signaux ne sont pas idéalement de forme carré. Aussi, étant donné que la fréquence de coupure de l'amplificateur est de 180kHz, correspondant à un gain de 100 pour un produit gain-bande de 18MHz, on remarque également le phénomène transitoire d'établissement du signal au travers du réseau RC constitué par R3 et C2. Ce résultat de mesure confirme que le récepteur puisse recevoir des signaux binaires ayant un débit de transmission de 1Mbps, et modulés à la fréquence porteuse de 868MHz. Aussi, un autre test consistant à envoyer un signal binaire de débit 20kbps, utilisant une modulation ASK (Amplitude Shift Keying) avec un indice de 70% à la fréquence porteuse de 1.4GHz, a été effectué. Les courbes représentatives des signaux reçus en sortie sont illustrées en **Figure IV.12**.

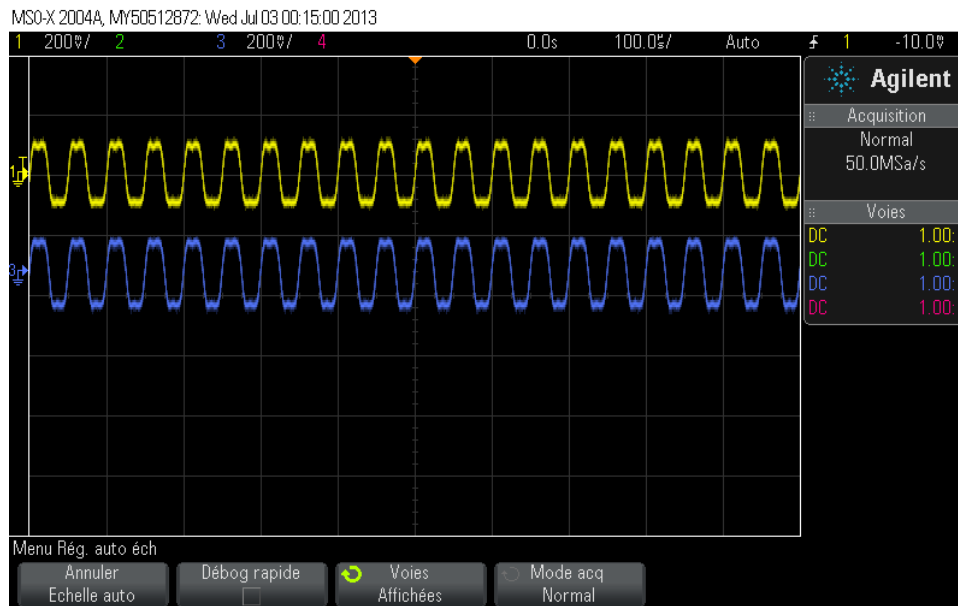


Figure IV.12: Signal binaire de débit 20kbps, modulé en amplitude (ASK) avec un indice de 70% à la fréquence de 1.4GHz et pour une puissance moyenne de -50dBm

On observe bien les signaux binaires reçus sur chacune des voies I et Q de l'oscilloscope. La période du signal correspond ici à un demi-carreau en abscisse, soit une période de $50\mu\text{s}$ et donc une fréquence de 20kHz. Cela correspond bien à ce que l'on attend de recevoir en sortie et démontre que l'on peut aussi démoduler un signal modulé en amplitude à une fréquence différente, qui vaut ici 1.4GHz. Cependant, les schémas de modulation utilisés dans les communications numériques sont plus complexes et il est aussi important de tester le récepteur pour une modulation plus complexe de type QAM (Quadrature Amplitude Modulation) où la phase du signal ainsi que son amplitude varient pour coder les différentes informations à transmettre. Ainsi, on a décidé d'envoyer un signal en entrée du récepteur utilisant une modulation 16QAM, modulé à 868MHz à une puissance de -50dBm, et dont le débit est de 50ksps. Pour chaque symbole reçu, 4 bits sont transmis, et donc le débit binaire effectif est de 200kbps. Le filtrage utilisé pour la transmission de ce signal 16QAM utilise un filtre de Nyquist [17] dont le roll-off est de 35% la bande passante du signal à transmettre, afin de minimiser au mieux les interférences inter-symboles. Les résultats reçus en sortie du récepteur par l'oscilloscope sont illustrés en

Figure IV.13.

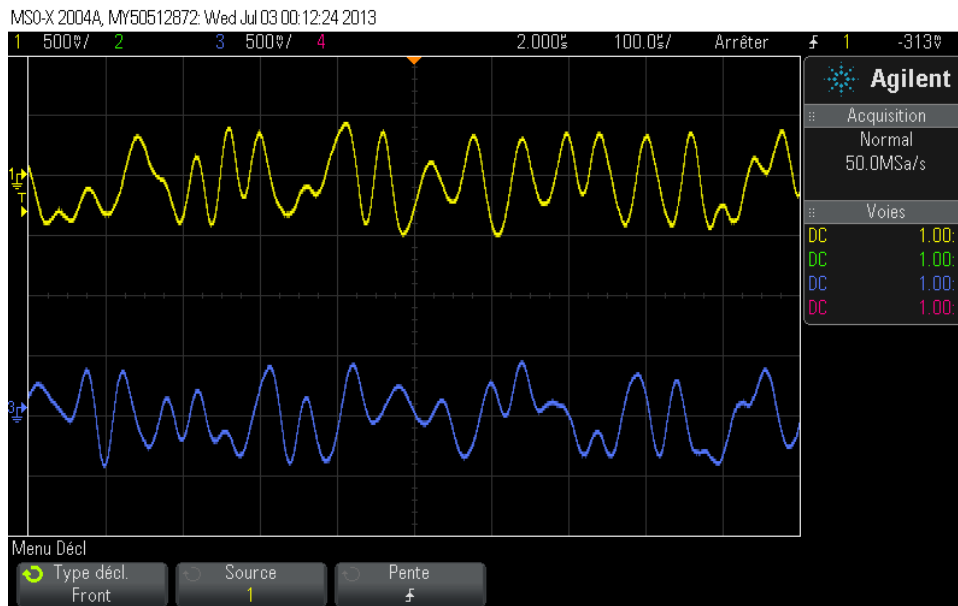


Figure IV.13: Signal de type 16QAM, de débit 50ksps, modulé à la fréquence de 868MHz avec une puissance de -50dBm et utilisant un filtre de type Nyquist avec un roll-off $\alpha=0.35$

Sur cette courbe représentative il n'est pas aisé de pouvoir visualiser les symboles de façon précise dû aux changements successifs de phase et d'amplitude du signal 16QAM. Cependant, on observe bien deux états d'amplitudes correspond à l'alphabet $\{-3, -1, 1, 3\}$ et les variations successives de phase du signal. Cela démontre la possibilité du récepteur à recevoir des signaux utilisant une modulation complexe de type QAM avec un rapport signal à bruit convenable en sortie.

4.1.5. Sensibilité

La sensibilité du récepteur détermine la puissance minimale P_{\min} de signal admissible en entrée de celui-ci pouvant être démodulé avec un taux d'erreur binaire suffisamment faible ($BER < 10^{-3}$), tout en respectant un rapport signal à bruit minimum SNR_{\min} pour un facteur de bruit (NF) donné. Ce dernier peut par ailleurs être négatif en ce qui concerne les systèmes de radio communication employé des techniques de modulation à étalement de spectre, tel le WCDMA dans le cadre du standard 3G [8]. En général pour des applications de type GSM [8], celle-ci est de l'ordre de -102dBm, pour un facteur de bruit maximal $NF=9$ dB. Pour des applications de type Zigbee [9], courte portée (10m à 300m), et dont les débits ne dépassent pas 1Mbps, celle-ci est de l'ordre de -74dBm pour un rapport signal à bruit minimal de 9dB pour une démodulation correcte de l'information. Enfin, pour le WiFi [10], celle-ci est de l'ordre de -83dBm pour un débit optimal de transmission à 54Mbps et pour un rapport minimal signal à bruit SNR_{\min} de 20dB. Par ailleurs, ces standards de communications

utilisent des schémas de modulations différents et leur sensibilité ne peut pas directement être comparée. Dans notre étude de sensibilité, on est capable de pouvoir démoduler un signal modulé en phase (MSK) transmis à une fréquence dont la puissance d'émission minimale est d'environ -83dBm. Enfin, un rajoutant un gain supplémentaire de 20dB en basses fréquences (pour ne pas dépendre du bruit), ajouté au 40dB fourni par l'amplificateur, une sensibilité de l'ordre de -102dBm est réalisable.

4.1.6. Mesures fréquentielles

La particularité du récepteur utilisé est que celui-ci, de par l'utilisation d'un mélangeur passif, réalise à la fois une transposition en fréquence et du filtrage en bande de base. Avec la puce simple, la bande passante est fixée à 10MHz. Lorsque l'on rajoute l'amplificateur, on diminue cette bande passante d'un facteur d'environ 50, puisque celle-ci est limitée à 180kHz avec le produit gain-bande. Cela est d'autant plus bénéfique pour la sensibilité du récepteur puisqu'il y a moins de bruit dans la bande. Cependant, pour une bande passante plus élevée, le bruit total intégré sera plus élevé, ce qui nécessitera plus de gain et donc une consommation plus importante afin de respecter un rapport signal à bruit convenable pour démoduler correctement les signaux reçus. Dans les bandes ISM situées à 433MHz et 868MHz, l'espace entre les canaux adjacents peut être aussi faible que 25kHz [11], nécessitant un filtre d'ordre très élevé et de fréquence de coupure faible, irréalisable sur du silicium puisque nécessitant des capacités de très grandes surfaces. Ce filtrage ne peut être implémenté que de manière numérique à l'aide d'un DSP ou FPGA, suivant la cadence de traitement souhaitée. Cependant, afin de démontrer l'effet de filtrage de notre récepteur, une analyse multi-tons a été employée afin de visualiser la réjection de bloqueurs situés proche de la fréquence du signal à recevoir. L'analyse consiste à envoyer différents tons de fréquences $F_{B1}=500\text{kHz}$, $F_{B2}=1\text{MHz}$, $F_{B3}=1,5\text{MHz}$ et $F_{B4}=2\text{MHz}$, séparés de $\Delta f=500\text{kHz}$ et de même puissance que le signal modulé à la fréquence porteuse $F_{RF}=868\text{MHz}$. On a observé à l'analyseur de spectre (Anritsu MS2665C) la sortie du signal sur la voie I et numérisé les données afin de les traiter avec le logiciel numérique Matlab. La courbe représentant la réjection des signaux adjacents, en fonction de la fréquence adjacente de sortie, est présentée en **Figure IV.14**.

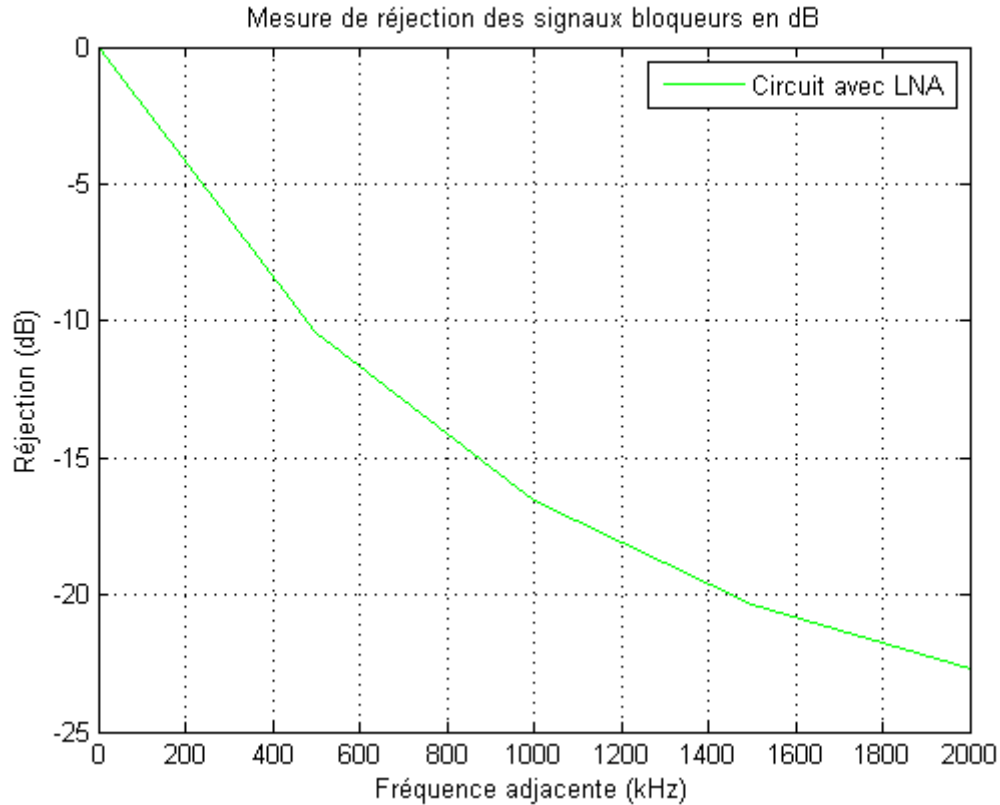


Figure IV.14: Réjection des canaux adjacents bloqueurs (dB) en fonction de la fréquence intermédiaire (kHz) (Cas du circuit avec LNA en entrée)

On remarque, à l'aide de cette courbe, la bande passante normalisée à -3dB du système qui est conforme à la valeur théorique, pour un gain d'amplification de 40dB de l'amplificateur, c'est à dire une bande passante de 180kHz. On remarque par ailleurs que la réjection du récepteur, pour un signal adjacent à une fréquence $\Delta f=1,4\text{MHz}$, est d'environ 20dB, avec une atténuation du premier ordre d'environ 20dB par décade de fréquence. Enfin, un enregistrement d'un signal carré binaire, de débit 5kbps, modulé à la fréquence $F_{RF}=868\text{MHz}$, a été réalisé lorsqu'aucun bloqueur n'est présent. L'acquisition a été réalisée avec le logiciel d'édition Audacity à la fréquence d'échantillonnage en bande de base $F_S=96\text{ksps}$. L'analyse fréquentielle a été faite avec Matlab et permet de visualiser le spectre du signal démodulé avec un débit de 5kbps, comme indiqué en **Figure IV.15**.

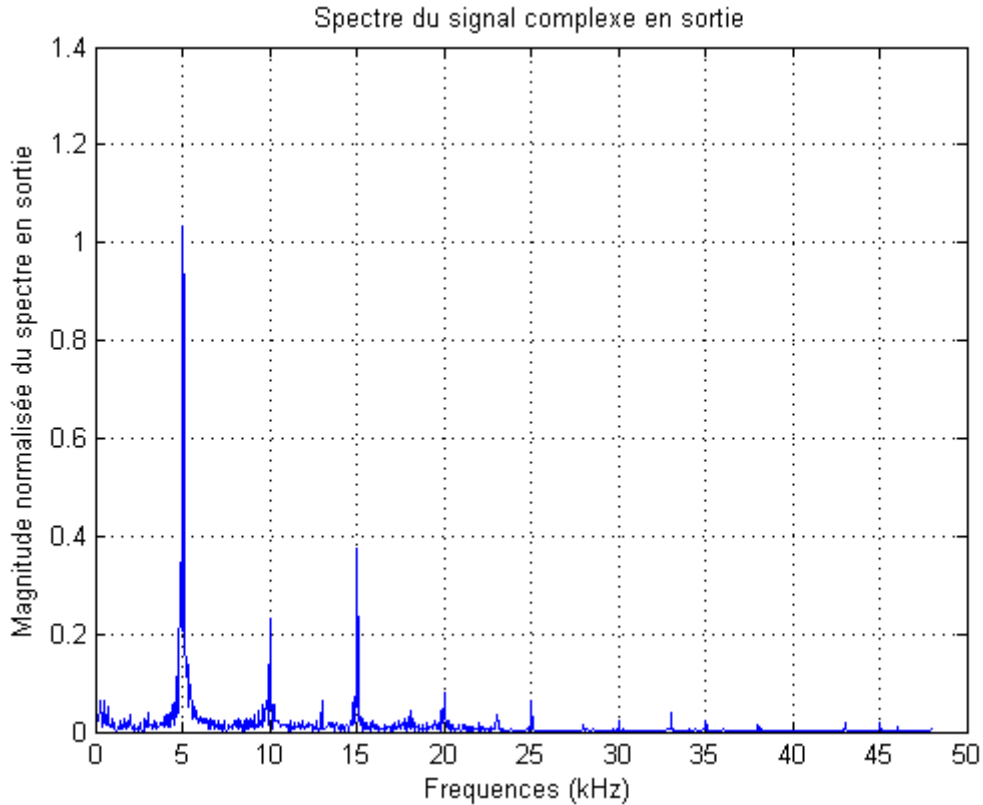


Figure IV.15: Spectre du signal de sortie démodulé de débit 5kbps (cas où aucun brouilleur n'est présent dans le spectre de réception)

Ici, le signal démodulé de forme carré est correctement reçu, ainsi que ses harmoniques d'ordres impaires, ce qui valide dans le domaine fréquentiel l'aspect temporel observé dans le paragraphe précédent, où l'on observe le signal de forme carré.

4.1.7. Mesures de linéarité

La linéarité d'un récepteur de communication est un critère important qui permet de déterminer son habilité à tolérer des bloqueurs (ou signaux interférents) de fortes puissances sans dégrader la sensibilité de celui-ci ainsi que de pouvoir recevoir le signal à traiter sans le distordre. Les principaux tests de linéarité pour un récepteur consistent à calculer son point de compression à 1dB (P_{1dB}) et son point d'entrée d'intermodulation d'ordre 3 ($IIP3$). Ce dernier paramètre peut également être référé par rapport à la sortie du système, auquel cas celui-ci est défini par l' $OIP3$). La principale méthode utilisée pour mesurer ces paramètres est la méthode dite deux-tons [12] consistant à envoyer deux porteuses en fréquences F_1 et F_2 séparés en fréquence de Δ_f . En s'appuyant sur les non-linéarités du récepteur, des termes

d'intermodulation d'ordre 3 sont créés aux fréquences $(2F_2 - F_1) - F_{LO} = F_1 - F_{LO} + 2\Delta_f$ et $(2F_1 - F_2) - F_{LO} = F_1 - F_{LO} - \Delta_f$, où F_{LO} représente la fréquence de mélange. En mesurant la puissance générée à ces fréquences en fonction de la puissance d'entrée du signal P_{in} , on est ainsi capable de mesurer l'IIP3 ainsi que l'OIP3 via un analyseur de spectre. Dans le cadre des mesures du système complet contenant l'amplificateur en bande de base, la fréquence de travail du mélangeur est $F_{LO} = 868\text{MHz}$ et les fréquences des porteuses sont $F_1 = 867.2\text{MHz}$ et $F_2 = 868.8\text{MHz}$. Le point d'intermodulation d'ordre 3 est donc évalué à la fréquence de 2.4MHz étant donné que le signal est réel et symétrique. Dans un premier temps, une analyse du point de compression est réalisée en envoyant un ton de fréquence égale à la fréquence du signal de mélange, c'est-à-dire $F_{LO} = 868\text{MHz}$. Dans notre cas, la puissance de sortie est mesurée au DC. Les résultats obtenus et traités sont présentés **Figure IV.16**.

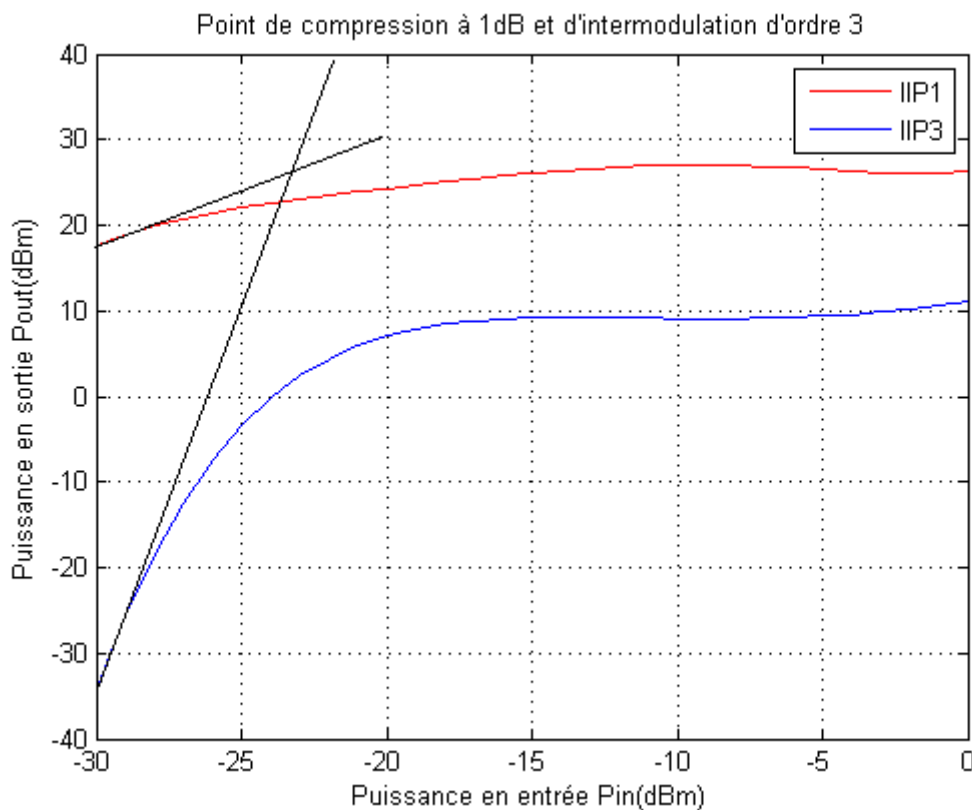


Figure IV.16: Mesure de point de compression à 1dB (P1dB) et d'intermodulation d'ordre 3, avec $F_S=868\text{MHz}$, $F_1=867.2\text{MHz}$ et $F_2=868.8\text{MHz}$ (cas avec le LNA)

On observe ici un point de compression à 1dB (P_{1dB}) pour une puissance de signal en entrée

$P_{1dB} \approx -26.4\text{dBm}$ pour une puissance de sortie $P_{O1dB} \approx 22.7\text{dBm}$ et un point d'intermodulation d'ordre 3 référencé en entrée $IIP3 \approx -22.7\text{dBm}$ et en sortie $OIP3 \approx 27\text{dBm}$. Par ailleurs, la puissance de saturation en sortie est de l'ordre de 26.8dBm pour une puissance d'entrée $P_{\text{sat}} \approx -14\text{dBm}$.

4.2. Circuit comportant le mélangeur uniquement

4.2.1. Mesures de consommation en régime statique

Un autre circuit, comportant le mélangeur passif seulement, a été réalisé afin de comparer avec le cas où le LNA est présent en début de chaîne. La première conséquence est la baisse de consommation en puissance du circuit, d'une valeur correspondant à celle du LNA, soit 4.54mW , pour une consommation totale d'environ 3.27mW pour la puce seule et 24.79mW pour l'ensemble du circuit comportant l'amplificateur opérationnel en bande de base. Enfin, comme on le verra dans la suite de cette étude, la sensibilité du récepteur sera dégradée ainsi que le facteur de bruit, limitant la portée d'utilisation du récepteur et ses gammes d'applications.

4.2.2. Mesures de consommation en régime dynamique

En régime dynamique, la consommation minimale à la fréquence d'utilisation de 400MHz est de 4.5mW pour une consommation maximale de 6.7mW à la fréquence maximale de 1.5GHz , en considérant la puce seule. Enfin, la consommation minimale du système complet est de 40.26mW et de 42.5mW à la fréquence maximale d'utilisation de 1.5GHz .

4.2.3. Mesures temporelles

Un exemple de mesure a consisté à envoyer un signal binaire de séquence '1011' utilisant une modulation MSK (Minimum Shift Keying) avec un débit de 50ksp/s , à la fréquence porteuse de 1.4GHz et de puissance moyenne -40dBm . Les courbes représentatives sont représentées **Figure IV.17**.

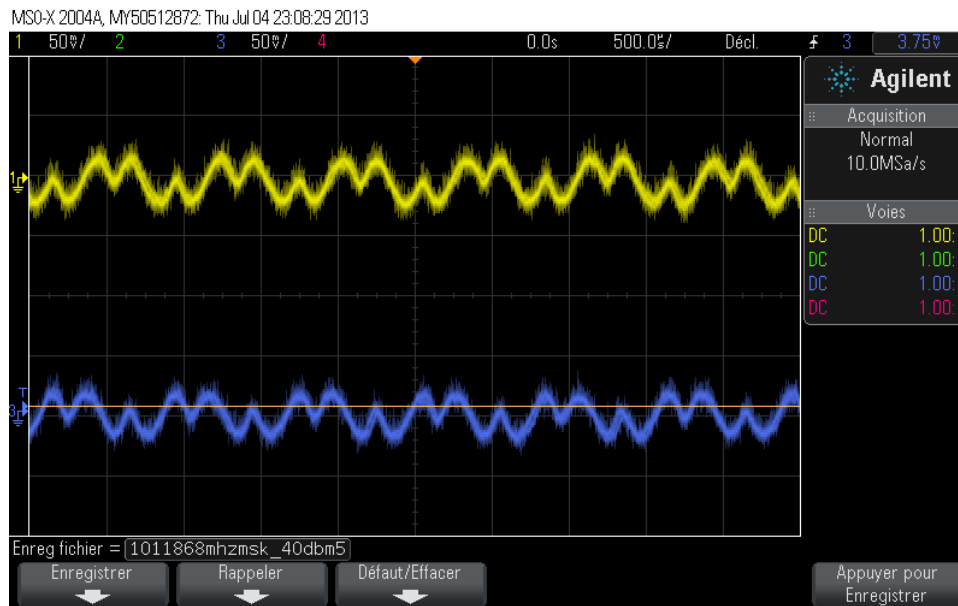


Figure IV.17: Démodulation du signal binaire '1011' de débit 50kps, modulé MSK à la fréquence porteuse de 1.4GHz et de puissance -40dBm

On remarque ici les signaux MSK dont chacun des bits est codé sur une demi-sinusoïde à changement de phase continue. Le récepteur démodule correctement le signal ici, pour un schéma de modulation différent avec une fréquence porteuse de valeur différente, comparé à l'exemple précédent. Comparé au cas du récepteur avec le LNA, le récepteur ici dispose d'une sensibilité moindre, limitant son utilisation à des applications courtes portées seulement, dont les sensibilités et les débits sont faibles avec des schémas de modulation employés de complexité simple. Cette architecture de récepteur peut par ailleurs parfaitement convenir à des applications de type Short Range Devices (SRD) [13] fonctionnant dans les bandes ISM.

4.2.4. Sensibilité

La sensibilité du récepteur a été mesurée en envoyant un signal modulé en phase (PM), à la fréquence de 868MHz et pour une puissance d'environ -73dBm. Celle-ci est bien sûr plus faible quand le cas où le LNA est présent en amont du récepteur, puisque ici il n'y a pas de gain apporté au signal et également dû au fait que la figure de bruit du récepteur est plus élevée. Le compromis à trouver dépend de trois paramètres que sont la consommation en puissance, la sensibilité ainsi que le type d'application que l'on souhaite traiter avec ce récepteur.

4.2.5. Mesures fréquentielles

La même analyse, que celle faite avec le circuit contenant le LNA, a été réalisée pour évaluer la réjection des signaux bloqueurs en fonction de leur proximité en fréquence par rapport au signal modulé à la fréquence $F_{RF}=868\text{MHz}$. La courbe représentative de la réjection en fonction de la fréquence intermédiaire en bande de base est décrite en **Figure IV.18**.

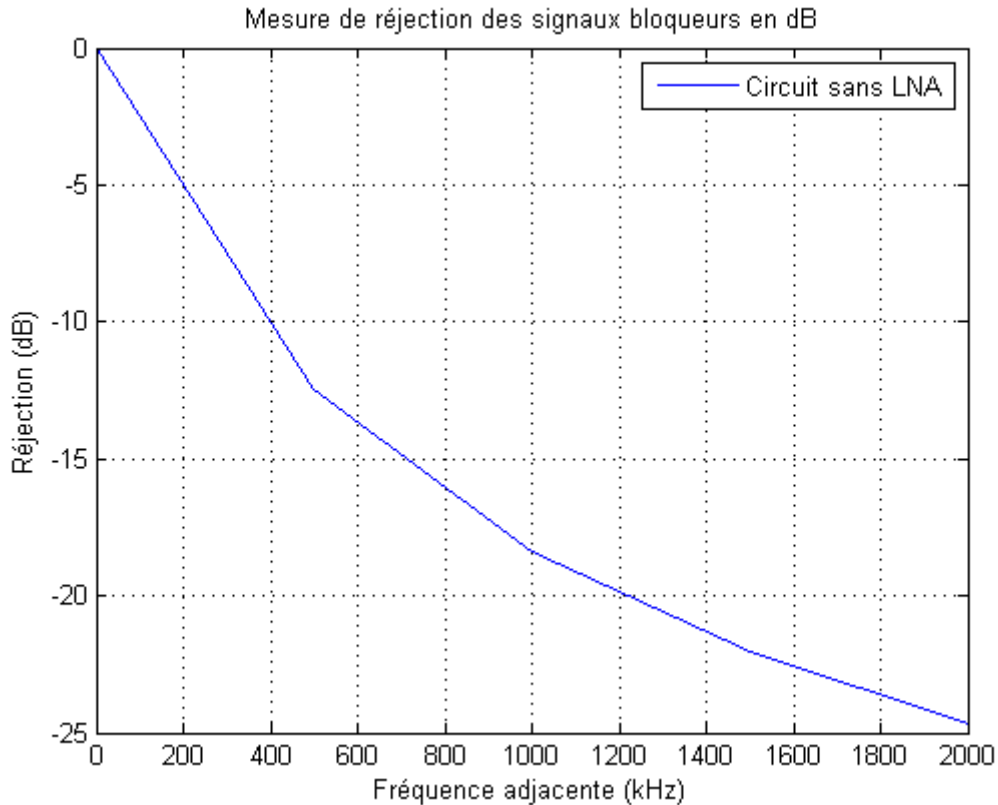


Figure IV.18: Réjection des canaux adjacents bloqueurs (dB) en fonction de la fréquence intermédiaire (kHz) (Cas du circuit sans LNA en entrée)

On remarque, comme dans le cas précédent, une bande passante à 3dB qui est d'environ 180kHz également. A la fréquence de 1,2MHz la réjection est de 20dB, ce qui est légèrement plus bas que dans le cas précédent, où celle-ci se fait à la fréquence de 1,4MHz. A cette même fréquence, la réjection est d'environ 21,5dB, ce qui est de 1,5dB plus faible par rapport au cas précédent. L'atténuation est du premier ordre et est de l'ordre de 20dB par décade. Les différences existantes s'expliquent par les variations des composants (résistances et capacités) constituant le montage d'amplification en bande de base.

4.2.6. Mesures de linéarité

Des mesures de linéarité ont également été effectuées sur l'architecture de récepteur contenant le mélangeur seulement en entrée. Le protocole de test est identique à celui utilisé dans la section 4.1.7 de ce chapitre. Les résultats obtenus pour ce cas de récepteur sont décrits en **Figure IV.19**.

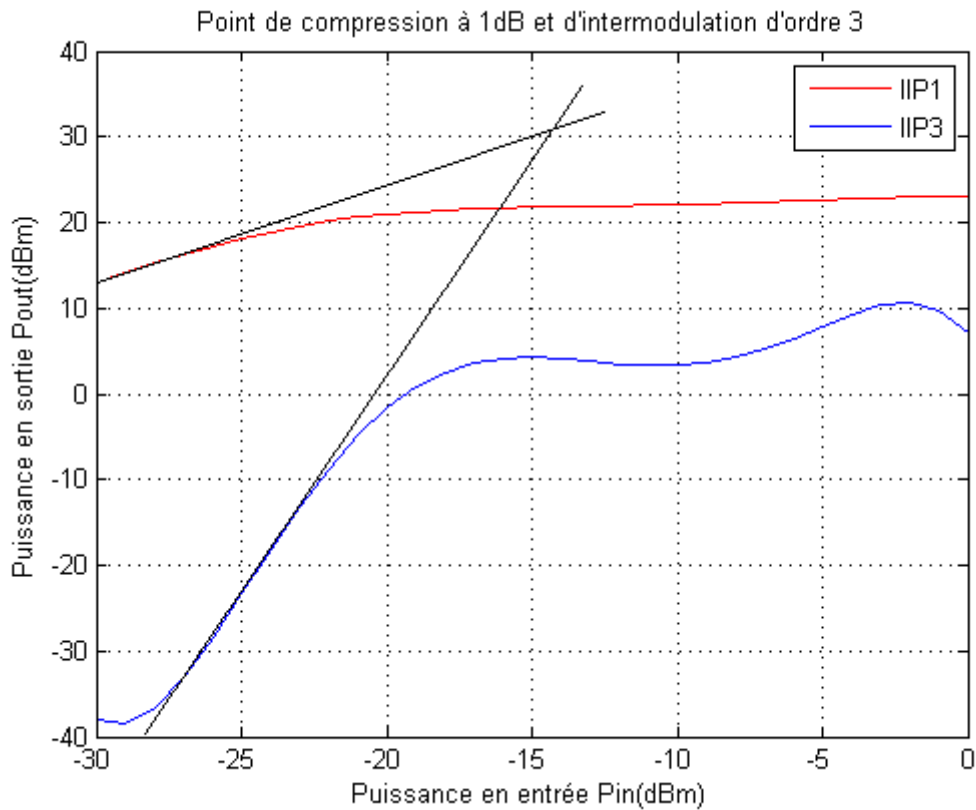


Figure IV.19: Mesure de point de compression à 1dB (P1dB) et d'intermodulation d'ordre 3, avec $F_S=868\text{MHz}$, $F_1=867.2\text{MHz}$ et $F_2=868.8\text{MHz}$ (mélangeur seulement)

Par rapport à la courbe précédente obtenue dans le cas du LNA, en 4.1.7, le point d'intermodulation d'ordre 3 est de 8dB plus élevé avec une valeur référée en entrée $IIP3 \approx -14\text{dBm}$ et en sortie $OIP3 \approx 31\text{dBm}$. Cela s'explique par la nature passive du mélangeur, qui ne fournit pas de gain et qui a un comportement plus linéaire. Le point de compression est quant à lui évalué pour une puissance d'entrée $P_{1dB} \approx -22.8\text{dBm}$ et donnant une puissance de sortie $P_{O1dB} \approx 21\text{dBm}$.

4.3. Circuit comportant le mélangeur uniquement et le filtre sélectif SAW

Afin de rejeter les éventuels brouilleurs proches des bandes ISM situées entre 867MHz et 869MHz, un filtre SAW a été rajouté en amont du récepteur. Celui-ci permet particulièrement de fortement atténuer les signaux pouvant provenir des bandes GSM démarrant à 876MHz, dans le cas du GSM-R, et dont les puissances peuvent atteindre la valeur de 0dBm. Aussi, l'avantage d'utiliser un filtre SAW est qu'il dispose d'une meilleure sélectivité qu'un filtre passif de type LC, tout en ayant moins de pertes d'insertion, permettant une meilleure sensibilité du récepteur. Aussi, sa stabilité en température est meilleure, réduisant ainsi la dispersion de ses performances lorsque la température fluctue. Enfin, son positionnement dans la chaîne de réception a une grande influence sur le facteur de bruit global, et donc sur la sensibilité obtenue [14]. Dans le cadre de notre utilisation de ce filtre, celui-ci a été fixé directement après l'antenne et avant le transformateur différentiel. Cette configuration a l'avantage de nettoyer la bande de réception du signal des signaux interférents hors de la bande de sélection du filtre, et de relaxer les contraintes au niveau du mélangeur. La puce utilisée ne contenant pas de LNA, le facteur de bruit total de la chaîne est dégradé ainsi que la sensibilité du récepteur.

4.3.1. Mesures de consommation en régime statique

Le filtre passif utilisé ici ne consomme aucune puissance et les consommations de la puce seule et du système complet sont identiques au cas précédent, où le mélangeur est situé directement après le transformateur.

4.3.2. Mesures temporelles

L'étude temporelle a pour objectif de valider la fonctionnalité du filtre SAW, dont la bande passante est de 2MHz, en injectant des signaux bloqueurs de même amplitude que le signal RF entrant dans le récepteur. Pour cela, une analyse multi-tons a été réalisée, consistant à envoyer le signal binaire de débit 10kbps, modulé ASK à la fréquence $F_{RF}=868.3\text{MHz}$, correspondant à la fréquence centrale du filtre, et accompagné de deux signaux bloqueurs situés aux fréquences voisines de $\pm 5\text{MHz}$, soit $F_{B1}=863.8\text{MHz}$ et $F_{B2}=873.3\text{MHz}$. Les signaux de sortie sont décrits ci-dessous en **Figure IV.20**.

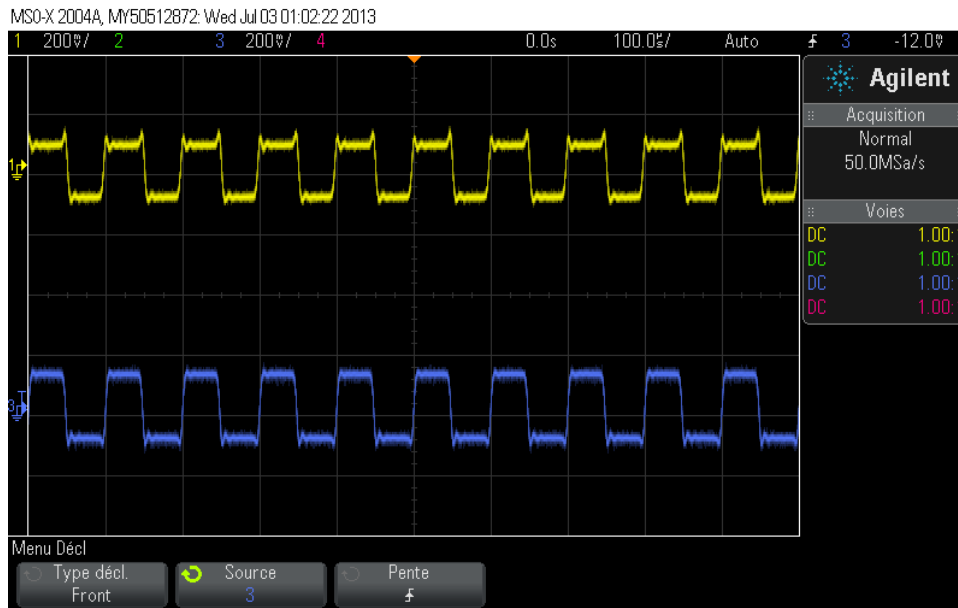


Figure IV.20: Démodulation du signal binaire de débit 10kbps, modulé en amplitude (ASK) avec un indice de 50% à la fréquence $F_{RF}=868.3\text{MHz}$, et en présence de deux bloqueurs situés en fréquences à $F_{B1}=F_{RF}+5\text{MHz}$ et $F_{B2}=F_{RF}-5\text{MHz}$

Le signal observé en sortie correspond au signal binaire démodulé avec une forte atténuation des bloqueurs de fréquences respectives F_{B1} et F_{B2} avant d’entrer dans le mélangeur. En considérant le gabarit du filtre et les données du constructeur, l’atténuation de F_{B1} est d’environ 30dB et celle de F_{B2} d’environ 16dB. De plus, le filtrage apporté par l’amplificateur en sortie contribue à apporter davantage d’atténuation, en considérant une fréquence de coupure de gain de 180kHz et un filtrage passe-bas à 1MHz. Cette atténuation est d’environ 43dB, avec 29dB fournit par l’amplificateur, et 14dB par le filtre passe-bas de contre réaction. Pour des applications GSM-R localisées dans la bande à 876MHz, ce résultat permet de s’assurer que le récepteur sera capable d’atténuer ces signaux de manière satisfaisante, afin de pouvoir fonctionner correctement dans la bande de 868MHz.

4.3.3. Sensibilité

La sensibilité du récepteur avec le filtre SAW est légèrement dégradée dû aux pertes d’insertion de celui-ci. Celle-ci a été mesurée pour un signal modulé en phase (PM), avec pour déviation $\Delta\phi=\pi/2$, à la fréquence porteuse $F_{RF}=868\text{MHz}$ et pour une puissance d’entrée moyenne d’environ -70dBm. Avec ce type de filtre on dégrade la sensibilité au prix d’une meilleure linéarité et d’un facteur de bruit plus élevée que dans les deux cas précédents, ce qui amène à trouver un compromis entre ces trois critères.

4.3.4. Mesures fréquentielles

Avec le filtre SAW, la réjection de signaux bloqueurs est plus forte que dans les cas précédents, puisque ici le filtrage s'opère ici directement après l'antenne. Une analyse utilisant l'analyseur de spectre Anritsu MS2665C a été réalisé en envoyant différentes porteuses en fréquence de même amplitude et séparées de $\Delta f=500\text{kHz}$. En envoyant quatre tons de fréquences $F_{B1}=500\text{kHz}$, $F_{B2}=1\text{MHz}$, $F_{B3}=1,5\text{MHz}$ et $F_{B4}=2\text{MHz}$, ainsi que le signal modulé à la porteuse $F_{RF}=868\text{MHz}$, on a observé à l'analyseur de spectre la sortie du signal sur la voie I et numérisé les données afin de les traiter sous Matlab. La réjection (en dB) du système, en fonction des canaux adjacents, est présenté sur la courbe en **Figure IV.21**.

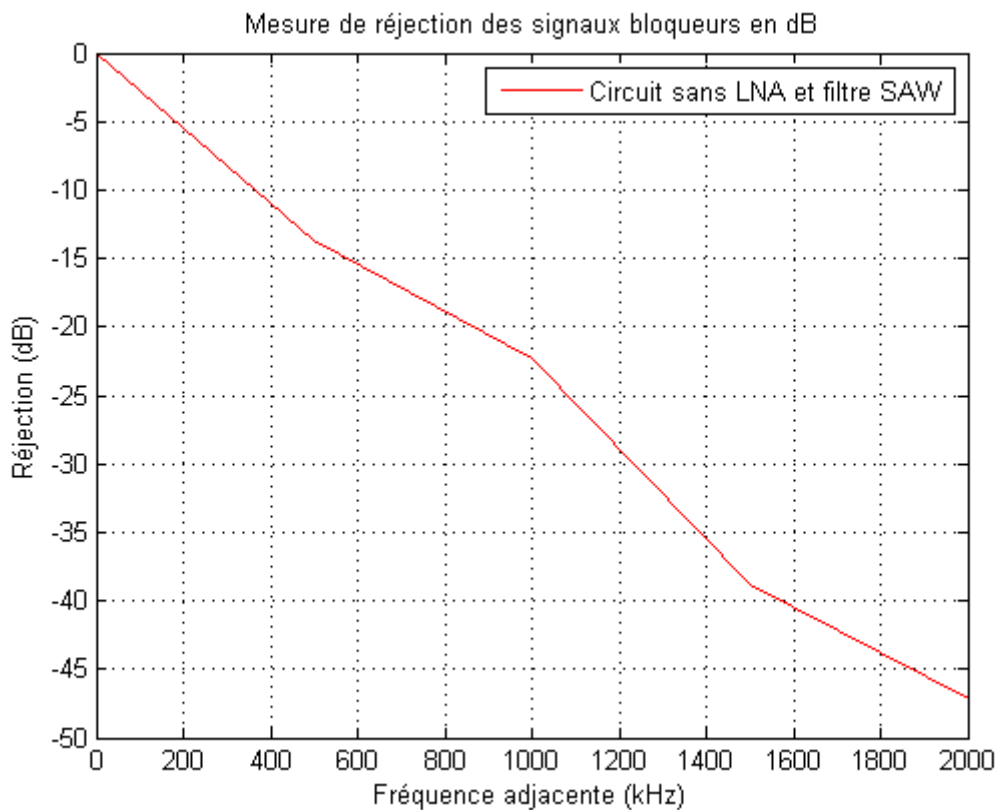


Figure IV.21: Réjection des canaux adjacents bloqueurs (dB) en fonction de la fréquence intermédiaire (kHz)

Nous remarquons sur ce graphique que le filtrage du système est plus efficace que dans les deux cas précédents. Pour un signal adjacent situé à 1MHz de la fréquence porteuse, l'atténuation est de l'ordre de 22dB alors que pour un signal situé à 2MHz celle-ci est d'environ 47dB. L'atténuation est ici de l'ordre de 42dB par décade et la linéarité du récepteur est donc ici améliorée puisque les bloqueurs sont davantage rejetés avant d'être converti en basse fréquence par l'intermédiaire du mélangeur. Les pertes d'insertion du filtre contribuent

également à améliorer la linéarité du système mais dégradent sa figure de bruit et donc la sensibilité du récepteur.

4.3.5. Mesures de linéarité

Pour ce circuit, le protocole de test est le même que celui décrit aux sections 4.1.7 et 4.2.6. Les résultats obtenus dans le cas du circuit comportant le filtre SAW en entrée ont été traités et sont présentés **Figure IV.22**.

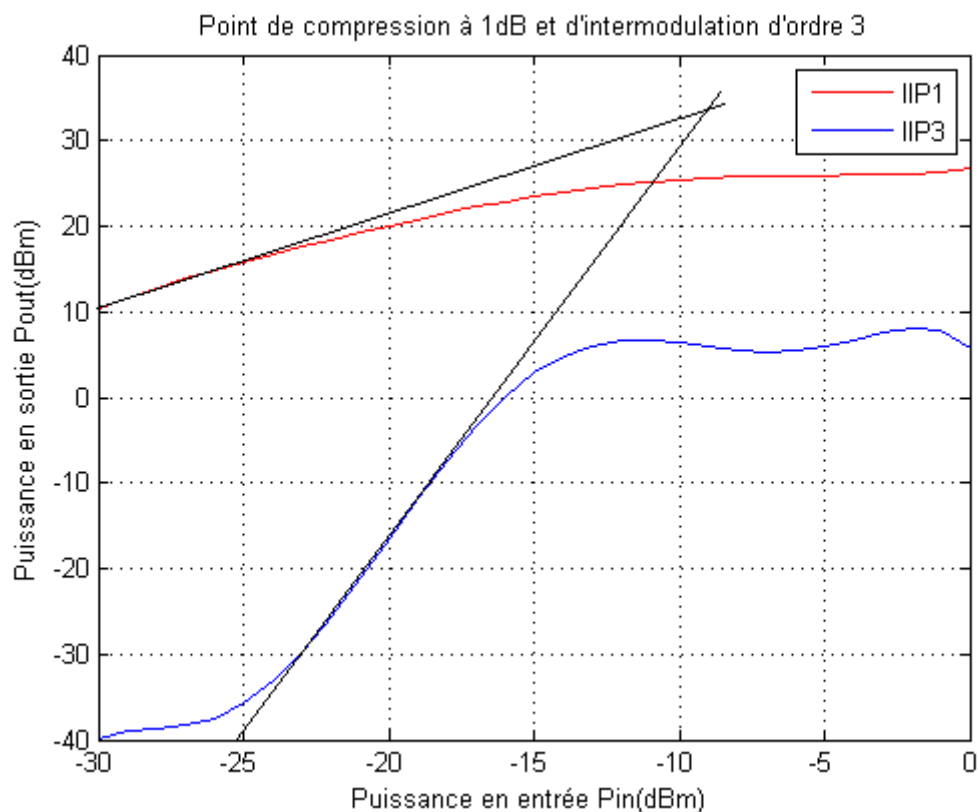


Figure IV.22: Mesure de point de compression à 1dB (P1dB) et d'intermodulation d'ordre 3, avec $F_S=868\text{MHz}$, $F_1=867.2\text{MHz}$ et $F_2=868.8\text{MHz}$ (filtre SAW après l'antenne et mélangeur)

La visualisation des courbes nous permet d'observer un point de compression à 1dB de puissance d'entrée $P_{1\text{dB}} \approx -20.5\text{dBm}$ pour une puissance en sortie $P_{O1\text{dB}} \approx 19.5\text{dBm}$. La meilleure qualité de réjection des bloqueurs, par cette architecture, dû à la présence du filtre SAW, permet d'obtenir un point d'intermodulation d'ordre 3 référé en entrée $IIP3 \approx -8.5\text{dBm}$ pour une puissance référé en sortie $OIP3 \approx 32.7\text{dBm}$. Comparé avec le cas du mélangeur simple, l'IIP3 est amélioré de 6dB, et avec le LNA en entrée celui-ci est amélioré de 14dB environ. Les pertes d'insertion du filtre SAW, qui sont de l'ordre de 2.4dB,

expliquent ici l'amélioration de la valeur du point de compression d'un facteur d'environ 2.3dB comparé au cas avec le mélangeur simple.

5. Conclusion

L'étude comparative entre les trois architectures de récepteurs réalisées au cours de cette thèse est expliquée dans ce chapitre, en s'appuyant sur des critères comparatifs que sont la consommation en puissance, la linéarité, le facteur de bruit ainsi que la sensibilité. Ces paramètres sont étroitement liés et c'est pour cela qu'il est important de faire certains compromis en fonction du type d'application recherchée. Aussi, des résultats dans le domaine temporel et fréquentiel permettent de démontrer respectivement la fonctionnalité de base du récepteur, qui est de démoduler les informations reçues par l'antenne, ainsi que la possibilité de rejeter de manière efficace d'éventuels signaux interférents situés au voisinage du canal en fréquence à recevoir.

La première étude concernant le récepteur avec le LNA en entrée présente une meilleure sensibilité que celles dépourvues de LNA, notamment du à un facteur de bruit sur l'ensemble de la chaîne qui est plus faible, et ceci au prix d'une consommation en puissance plus élevée. La linéarité est moins bonne que les autres architectures, puisque l'amplificateur dispose d'un gain d'environ 15dB et sature ainsi plus rapidement pour un même niveau de signal en puissance donné. Cependant, le filtrage apporté par le mélangeur passif permet d'atténuer les signaux bloqueurs, en sortie du LNA et hors de la bande de réception, avec une réjection de l'ordre de 13,5dB, ajoutée à l'atténuation de 6dB en entrée du LNA en configuration de grille commune lorsque l'adaptation en puissance est réalisée.

Le second circuit, présentant un récepteur constitué uniquement de l'architecture de mélangeur passif, est dédié principalement aux applications dont la sensibilité est moins critique. En effet, l'absence de LNA contribue à augmenter sensiblement la figure de bruit du récepteur et donc sa sensibilité. Pour une consommation en puissance plus faible, le facteur de bruit est dégradé sensiblement alors que la linéarité s'en trouve améliorée du à l'absence de LNA. En effet, cette dernière ne dépend que du mélangeur, purement passif, et qui ne fournit donc aucun gain, ce qui explique que le point de compression à 1dB ainsi que le point d'intermodulation d'ordre 3 soient plus élevés.

Enfin, l'architecture comportant le mélangeur passif et le filtre SAW en amont, permet d'améliorer la linéarité du récepteur puisque les éventuels bloqueurs sont davantage atténués. Cependant, le facteur de bruit de l'ensemble de la chaîne est moins bon que dans le cas où le filtre n'est pas présent, dû aux pertes d'insertion qui ne sont pas négligeables (2,7dB environ). La sensibilité est donc plus dégradée avec la présence de ce filtre, qui ne permet ici que d'améliorer les performances en linéarité. La consommation du filtre étant nulle, celle-ci reste identique au cas où seul le mélangeur passif est présent en début de chaîne. Un tableau récapitulatif des performances des architectures étudiées dans ce chapitre, sont résumées sous forme de tableau en **Tableau 2**.

Paramètre	Circuit LNA	Circuit Mélangeur	Circuit Mélangeur et Filtre SAW
Consommation@1.2V (mW)	11.2mW (45.7mW*)	6.7mW (41.2mW*)	6.7mW (41.2mW*)
Sensibilité **	-83dBm	-73dBm	-70dBm
Figure de Bruit (NF) ***	≈4-6dB	≈18dB	≈20dB
P1dB (dBm)	≈-26.4dBm	≈-22.8dBm	≈-20.5dBm
OIP1dB (dBm)	≈22.7dBm	≈21dBm	≈19.5dBm
IIP3 (dBm)	≈-22.7dBm	≈-14dBm	≈-8.5dBm
OIP3 (dBm)	≈27dBm	≈31dBm	≈32.7dBm

Tableau 2: Tableau récapitulatif des performances des différentes architectures étudiées

(*Consommation totale comportant l'amplificateur opérationnel et le polariseur de signal d'horloge, **Valeur de sensibilité obtenue avec un amplificateur de gain de 20dB en basses fréquences qui peut atteindre -102dBm en ajoutant un gain supplémentaire de 20dB, ***Valeur de facteur de bruit simulé sous le logiciel Cadence)

Pour terminer ce chapitre, il est important de souligner la stabilité du système, puisqu'ici, la plus grande partie du gain est fourni en basse fréquence par un amplificateur dont la boucle de contre-réaction est stable.

6. Références Bibliographique

- [1] <http://www.johansontechnology.com/integrated-passives/rohs-compliant-baluns.html>
- [2] www.ti.com/lit/ds/symlink/opa209.pdf
- [3] <http://www.alldatasheet.com/datasheet-pdf/pdf/188922/EPCOS/B3570.html>
- [4] www.analog.com/static/imported-files/.../ADP151.pdf
- [5] <http://www.te.com/catalog/pn/en/1623920-2>
- [6] <http://www.home.agilent.com>
- [7] CC. Tseng, “Designs of fractional delay filter, Nyquist filter, lowpass filter and diamond-shaped filter”, Department of Computer and Communication Engineering, National Kaohsiung First University of Science and Technology, Kaohsiung, Taiwan, ELSEVIER, Signal Processing, vol. 87, pp. 584–601, 2007.
- [8] www.3gpp.org/specifications
- [9] www.zigbee.org
- [10] Groupe de travail 802.11, www.ieee802.org/11/f
- [11] <http://www.audacity.fr/>
- [12] Kate A. Remley, Member, IEEE, Dylan F. Williams, Fellow, IEEE, Dominique M. M.-P. Schreurs, Senior Member, IEEE, and John Wood, Senior Member, IEEE, “Simplifying and Interpreting Two-Tone Measurements”, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 52, NO. 11, NOVEMBER 2004
- [13] <http://www.etsi.org/website/technologies/shortrangedevices.aspx>
- [14] <http://www.epcos.com>

Conclusion et perspectives

Ce travail de thèse est basé sur l'étude et le développement d'une architecture de récepteur radiofréquence (RF) dans le cadre d'applications radio-logicielles et radio-cognitives. Ce travail est décomposé en trois parties distinctes : l'étude système du récepteur, la réalisation du récepteur en technologie intégrée CMOS 130nm du récepteur et enfin les mesures et la caractérisation du circuit.

Au sein de cette thèse, différentes topologies d'échantillonneurs sont comparés pour la réalisation d'architectures de récepteurs flexibles en fréquence, avec la particularité d'échantillonner le signal RF directement ou quasi-directement après l'antenne, selon qu'un amplificateur soit placé ou non au début de la chaîne de réception. En se basant sur la comparaison des différentes topologies utilisées, le choix d'un échantillonneur purement passif à quatre phases d'échantillonnage a été choisi et étudié sous la forme d'un système complet avec l'outil de simulation numérique Matlab. Les différents types d'imperfections pouvant être rencontrées (gigue de phase, bruit blanc, interférences...) sont notamment étudiées et analysées. Dans une deuxième phase, un récepteur basé sur cette technique a été conçu et réalisé dans une technologie CMOS 130nm. Une analyse sur l'imperfection des phases d'échantillonnage et ses conséquences sur la qualité de filtrage a été menée dans le chapitre III. Enfin, dans une troisième phase, le récepteur a été caractérisé en termes de sensibilité, réjection et linéarité. Les mesures réalisées sur le récepteur sont principalement des mesures temporelles, pour premièrement valider le fonctionnement de base du récepteur, des mesures fréquentielles pour évaluer la qualité de réjection des signaux interférents et enfin des mesures de linéarité permettant de qualifier la robustesse du récepteur et son habileté à pouvoir recevoir des signaux parasites de fortes puissances sans pour autant être désensibilisé complètement. Les principales réalisations faites dans cette thèse peuvent être résumées de la manière suivante:

Bien que ce travail de thèse démontre la possibilité de réaliser un récepteur flexible en fréquence, pour des applications radio-logicielles en particulier, et utilisant une approche d'échantillonnage directe, des compromis sont à faire entre les paramètres que sont la linéarité, le facteur de bruit, la sensibilité ainsi que la consommation. Pour des applications où la sensibilité est requise, il est plus judicieux d'utiliser l'architecture comportant un LNA alors que pour des applications courtes-distances, où les pertes en espace libre sont faibles, la

sensibilité n'est pas critique et on peut aisément choisir l'architecture ne comportant que le mélangeur seulement. Dans ce dernier cas, et si les applications visées se situent dans les bandes UHF à 868MHz, le filtre SAW peut être de rigueur afin de protéger le récepteur des éventuels signaux GSM dans les bandes 900MHz pouvant désensibiliser le récepteur. Le choix d'une technologie 130nm nous a permis de travailler dans les bandes de 400MHz à 1,5GHz. Si l'on souhaite travailler avec des fréquences plus élevées pour d'autres applications (WiFi 802.11, ZigBee 802, WiMax...), le choix d'une technologie plus avancée (65nm par exemple) sera nécessaire. Celle-ci permettra en particulier d'apporter un meilleur compromis entre consommation et valeur de la résistance R_{on} des échantillonneurs MOS pour améliorer la réjection du filtre-mélangeur, et donc la linéarité du système. Enfin, le choix d'une technologie plus avancée permettra de réduire la consommation dynamique de la partie logique qui fonctionnera à une tension d'alimentation plus faible.

Enfin, dans la suite du projet, il serait bon d'implémenter une partie de traitement numérique, constitué d'un DSP (Digital Signal Processor) ou d'un FPGA (Field Programmable Gate Area) pour synchroniser et détecter les symboles reçus. Cela permettrait ainsi d'exploiter les pleines fonctionnalités du récepteur pour des applications déterminées.

Annexe I

Le système d'échantillonnage différentiel étudié est représenté en **Figure 1**. La tension différentielle $V_o(t)$ suit les variations de tension aux bornes de la capacité différentielle C .

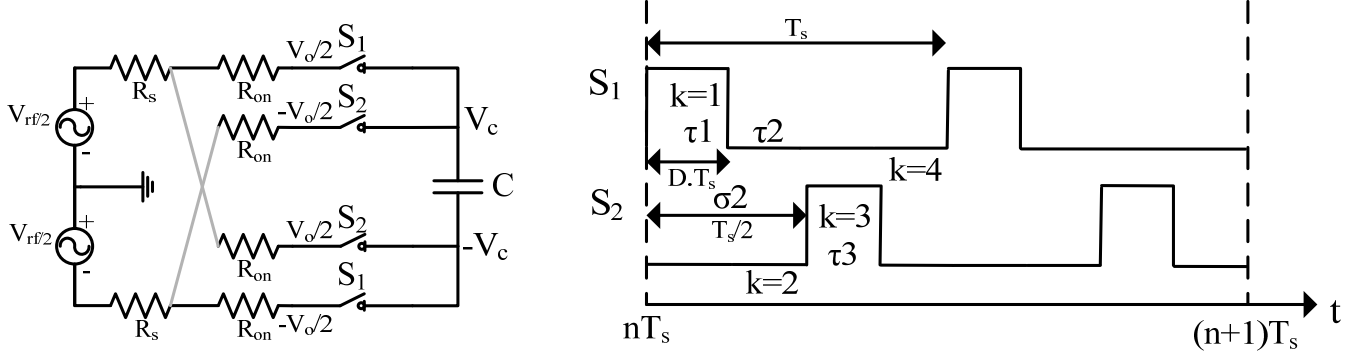


Figure 1: a) Système d'échantillonnage différentiel et b) Phases d'interrupteurs

En s'appuyant sur la théorie des systèmes linéaires invariants dans le temps (LTI), on a la tension de sortie du système $V_o(t)$ en fonction de la tension d'entrée $V_{rf}(t)$ et des paramètres que sont $A_k(t)$ et $B_k(t)$ telle que :

$$V_o(t) = e^{A_k(t-t_o)} \cdot V_o(t_o) + B_k \int_{t_o}^t e^{A_k(t-\tau)} V_{rf}(\tau) d\tau \quad (5.1)$$

Pour l'intervalle de temps $k=1$, on obtient :

$$\begin{aligned} V_{o,1}(t) &= e^{\frac{(t-t_o)}{2RC}} \cdot V_{o,1}(t_o) + \frac{1}{2RC} e^{\frac{t}{2RC}} \int_{t_o}^t e^{\frac{\tau}{2RC}} \cdot e^{j2\pi f\tau} d\tau \\ V_{o,1}(t) &= e^{-2\pi f_{rc}(t-t_o)} \cdot V_{o,1}(t_o) + \frac{e^{-2\pi f_{rc}t}}{2RC} \cdot \frac{1}{\frac{1}{2RC} + j2\pi f} \left[e^{\left(j2\pi f + \frac{1}{2RC}\right)t} - e^{\left(j2\pi f + \frac{1}{2RC}\right)t_o} \right] \\ V_{o,1}(t) &= e^{-2\pi f_{rc}(t-t_o)} \cdot V_{o,1}(t_o) + e^{-2\pi f_{rc}t} \cdot \frac{1}{1 + j\frac{f}{f_{rc}}} \left[e^{\left(j2\pi f + \frac{1}{2RC}\right)t} - e^{\left(j2\pi f + \frac{1}{2RC}\right)t_o} \right] \\ V_{o,1}(t) &= e^{-2\pi f_{rc}(t-t_o)} V_{o,1}(t_o) + \frac{1}{1 + j\frac{f}{f_{rc}}} \left[e^{j2\pi f(t-t_o)} - e^{-2\pi f_{rc}(t-t_o)} \right] e^{j2\pi f t_o} \end{aligned} \quad (5.2)$$

Lors de l'intervalle $k=2$, la tension à la borne de la capacité ne change pas puisque les interrupteurs sont à l'état ouvert et on a donc :

$$V_{o,2}(t) = V_{o,2}(t_o) \quad (5.3)$$

En remplaçant $t = nT_s + \sigma_1$ et $t_o = nT_s$, on peut obtenir la tension à l'instant final $t = nT_s + \sigma_1$ connaissant sa valeur initiale à l'instant $t_o = nT_s$.

De plus, comme la tension ne subit pas de discontinuité, on a :

$$V_{o,2}(nT_s + \sigma_1) = \lim_{t \rightarrow \sigma_1} V_{o,1}(nT_s + t) \quad (5.4)$$

En en s'appuyant sur la continuité de la tension durant l'intervalle $k=2$, on a :

$$V_{o,2}(nT_s + \sigma_1) = \lim_{t \rightarrow \sigma_2} V_{o,2}(nT_s + t) \quad (5.5)$$

En considérant la discontinuité de tension à l'intervalle $k=3$, dû à un changement de signe de la tension, on a :

$$\begin{aligned} V_{o,3}\left(\left(n + \frac{1}{2}\right)T_s\right) &= -\lim_{t \rightarrow \sigma_2} V_{o,2}(nT_s + t) \\ V_{o,3}\left(\left(n + \frac{1}{2}\right)T_s\right) &= -V_{o,1}\left(\left(n + \frac{1}{2}\right)T_s\right) \end{aligned} \quad (5.6)$$

Ainsi, en s'appuyant sur les expressions(5.6), (5.5) et (5.4) nous obtenons :

$$-V_o\left(\left(n + \frac{1}{2}\right)T_s\right) = e^{-2\pi f_{rc}\tau_1} \cdot V_o(nT_s) + \frac{1}{1 + j\frac{f}{f_{rc}}} [e^{j2\pi f\tau_1} - e^{-2\pi f_{rc}\tau_1}] e^{j2\pi fnT_s} \quad (5.7)$$

Cette équation représente la tension aux bornes de la capacité à l'instant $t = \left(n + \frac{1}{2}\right)T_s$ à partir de sa valeur de tension initiale à l'instant $t_o = nT_s$. Celle-ci est constituée d'une réponse à l'état stable ainsi que d'une réponse transitoire. Ce type d'équation de la forme :

$$-V_o\left(\left(n + \frac{1}{2}\right)T_s\right) = \alpha V_o(nT_s) + \beta e^{j2\pi fnT_s} \quad (5.8)$$

En appliquant la théorie de la transformée en Z, admet pour solution :

$$V_o(nT_s) = -\frac{\beta}{e^{j\pi f T_s} + \alpha} e^{j2\pi f n T_s} \quad (5.9)$$

En appliquant (5.9) dans(5.7), nous obtenons:

$$V_o(nT_s) = -\left[\frac{e^{j2\pi f \tau_1} - e^{-2\pi f_{rc} \tau_1}}{e^{j\pi f T_s} + e^{-2\pi f_{rc} \tau_1}} \right] \cdot \frac{1}{1 + j \frac{f}{f_{rc}}} e^{j2\pi f n T_s} \quad (5.10)$$

Cette équation exprime la tension V_o à l'instant discret $t = nT_s$, pour une période d'échantillonnage de durée T_s , et pour un stimulus en entrée $V_{if}(\tau) = e^{j2\pi f \tau}$. En insérant la fonction de Dirac aux instants d'échantillonnages $t = nT_s$, nous obtenons :

$$\sum_{n=-\infty}^{n=+\infty} V_o(t) \cdot \delta(t - nT_s) = \sum_{n=-\infty}^{n=+\infty} G_o(f) \cdot e^{j2\pi f t} \delta(t - nT_s) \quad (5.11)$$

Et en calculant la transformée de Fourier de l'équation(5.11), on a :

$$\sum_{n=-\infty}^{n=+\infty} \mathfrak{F}(V_o(t) \cdot \delta(t - nT_s)) = \sum_{n=-\infty}^{n=+\infty} [G_o(f) \cdot \mathfrak{F}V_{in}(t)] * \delta(f - nf_s) \cdot f_s \quad (5.12)$$

On en déduit ainsi que :

$$G_o(f) = -\left[\frac{e^{j2\pi(f - nf_s)\tau_1} - e^{-2\pi f_{rc} \tau_1}}{e^{j\pi(f - nf_s)/f_s} + e^{-2\pi f_{rc} \tau_1}} \right] \cdot \frac{1}{1 + j \frac{f - nf_s}{f_{rc}}} \quad (5.13)$$

En raisonnant de la même manière pour calculer $V_o(nT_s + \sigma_1)$ et $V_o(nT_s + \sigma_2)$, nous obtenons :

$$\begin{aligned} G_1(f) &= G_o(f) \\ G_2(f) &= -G_1(f) \exp(j2\pi f \tau_2) \end{aligned} \quad (5.14)$$

Annexe II

1. Conception de la bascule

Le principe du diviseur de fréquence est basé sur l'utilisation classique de 2 bascules rebouclées en inverse. La structure utilisée pour la bascule est représentée en **Figure 1**.

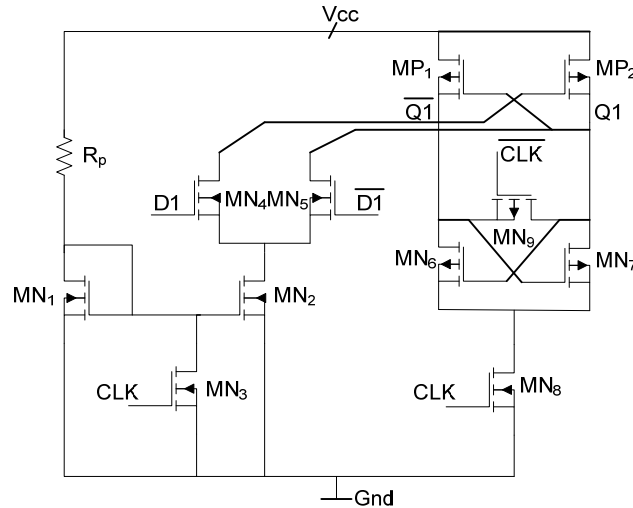


Figure 1: schéma d'une bascule

Sur ce schéma, le signal d'entrée différentiel est amplifié par la paire différentielle constituée des transistors MN4 et MN5 (polarisée en courant par le transistor MN2 et la charge formée par la paire croisée MP1 et MP2 en parallèle avec la résistance différentielle R_{on} générée par le transistor MN9. Si l'on considère une transconductance gm_N pour les transistors MN4 et MN5, le gain en amplification est donnée par :

$$A_v = -gm_N \times \left(-\frac{2}{gm_P} // R_{on} \right) \quad (6.1)$$

La résistance de MN9 doit être calculée de telle manière à avoir une résistance totale positive afin d'avoir un système stable. On doit ainsi avoir:

$$\begin{aligned} -\frac{2}{g_m} // R_{on} > 0 &\Rightarrow \frac{-\frac{2}{g_m} // R_{on}}{-\frac{2}{g_m} + R_{on}} > 0 \\ \Rightarrow R_{on} &< \frac{2}{g_m} \end{aligned} \quad (6.2)$$

On choisit souvent $R_{on}=2/gm$. Dans ce cas, en remplaçant dans (6.1) on obtient:

$$A_{v_{max}} = -2gm_N R_{on} \quad (6.3)$$

Le courant de polarisation et le W de la paire différentielle d'entrée sont choisis pour satisfaire le compromis entre vitesse et consommation. Dans notre étude on a choisi un mode commun en sortie de 0.6V, soit la moitié de la tension d'alimentation qui est de 1.2V. Ceci fixe les dimensions de MP1 et MP2 pour le courant de polarisation choisi.

2. Etude DC de la bascule

Notre diviseur de fréquence a été dimensionné afin d'avoir un mode commun de 0.6V en entrées et en sorties des latches différentiels, avec une tension d'alimentation VDD de 1.2V. Afin d'avoir des temps de réponses symétriques pour les phases d'acquisition et de mémoire, les courants moyens fournis par MN2 et MN8 en DC sont égaux et fixés à 600 μ A. Les transistors de la paire différentielle MN4 et MN5 ont une largeur de 20 μ m, permettant au transistor MN2 de rester en zone de saturation. Ils ont une transconductance gm_N égale à 6.8mS pour un courant continu de polarisation de 300 μ A chacun. Le transistor MN2 est polarisé avec une tension $V_{GS}=0.6V$ et constitue le miroir de courant comprenant MN1 et la résistance R_p . Pour un même courant donné, avec une tension $V_{SG} = (1.2-0.6) V=0.6V$, les transistors MP1 et MP2 ont une largeur de 10 μ m chacun pour une transconductance de 1.8mS. Afin d'avoir une valeur de résistance $R_{on}=2/gm$ correspondant à un gain d'amplification maximal, le transistor MN6 a une largeur de 1.7 μ m pour une impédance différentielle de 1.1k Ω . Le circuit de mémorisation constitué de MP1, MP2, MN6, MN7 et MN8 agit aussi sur le mode commun. Il a été dimensionné de telle sorte que le courant moyen le traversant soit égal au courant de polarisation de la paire différentielle. Pour cela les transistors MN7 et MN8 ont été dimensionné avec une largeur de 10 μ m. Enfin les interrupteurs MN3 et MN8 ont une largeur de 4 μ m chacun afin de fournir le courant de polarisation nécessaire au bon fonctionnement du diviseur de fréquence.

3. Etude du diviseur de fréquence en régime de petits signaux

Une étude en régime de petits signaux en boucle ouverte nous permet d'estimer la fréquence maximale de fonctionnement de notre diviseur de fréquence. En utilisant l'outil de simulation AC de Spectre sous Cadence, une première étude a été faite pour l'amplificateur différentielle formé par MN2, MN4, MN5, MP1, MP2 et MN9. Elle nous permet dans un

premier temps d'évaluer l'influence des capacités parasites des transistors MP1, MP2, MN7, MN8. Une simulation du gain en fonction de la fréquence, en **Figure 2**, nous permet de visualiser l'évolution du gain en fonction de la fréquence : on remarque que vers 6GHz, le gain s'approche de 1 pour la partie d'amplification. Ceci est principalement dû aux capacités d'entrées des transistors MP1, MP2, MN6 et MN7, dont l'impédance baisse lorsque la fréquence augmente, faisant ainsi chuter le gain.

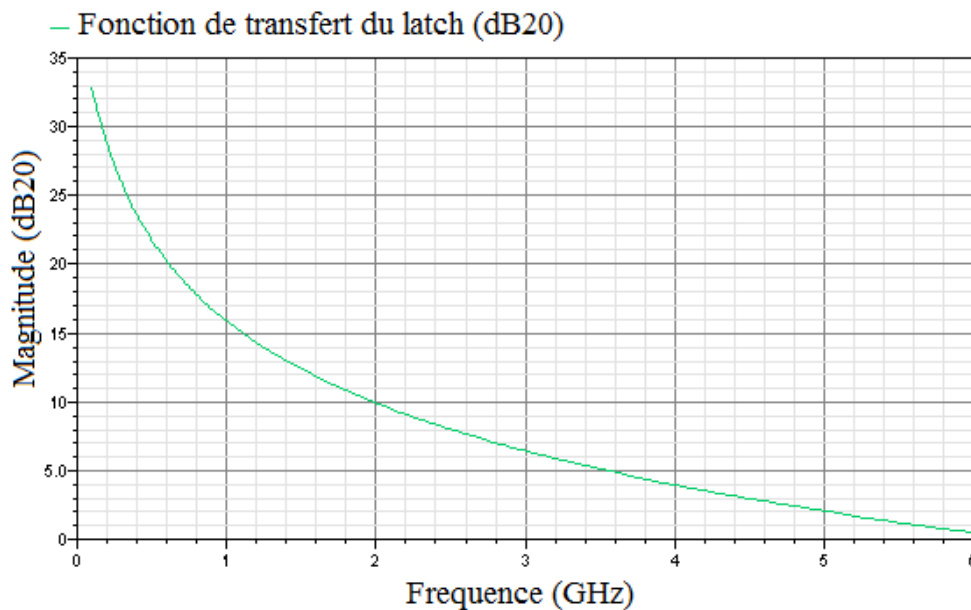


Figure 2: Gain de l'amplificateur en petits signaux en fonction de la fréquence

Une autre étude a permis de suivre l'évolution du gain en fonction de la fréquence pour la partie de mémorisation du diviseur de fréquence. La courbe représentative est représentée en **Figure 3**. On remarque ici l'influence des capacités parasites des transistors formant la paire différentielle (MN4 et MN5). A partir de 4.4 GHz, le gain descend en dessous de 3dB, ce qui devient faible compte tenu du temps de montée des signaux. Autour de cette fréquence, par valeurs supérieures, le diviseur de fréquence ne divise plus par 2 mais par quatre.

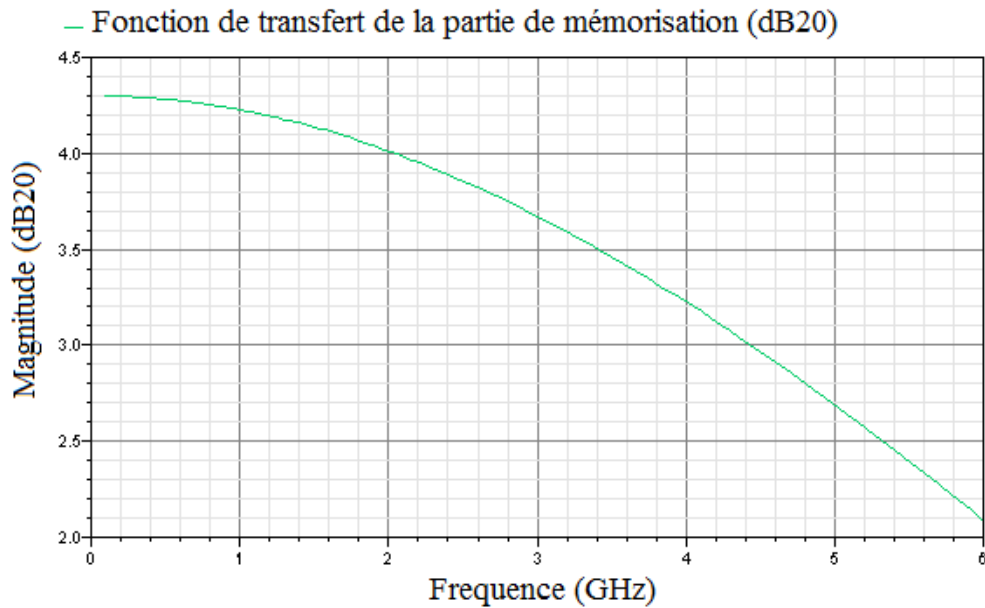


Figure 3: Gain de la partie de mémorisation en fonction de la fréquence

4. Résultats de simulation du diviseur de fréquence

Les résultats de simulation post-layout à la fréquence $2F_S$ de 1.8GHz sont montrés **Figure 4**. On remarque ici le bon fonctionnement du diviseur par deux.

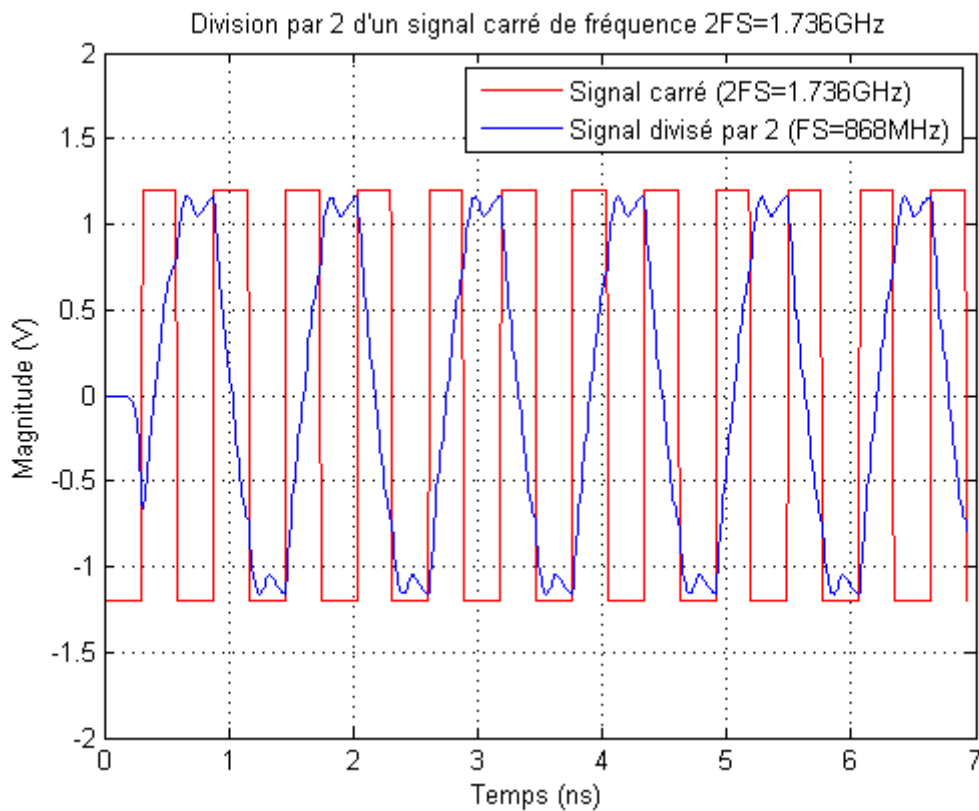


Figure 4: Signal de fréquence $2F_S=1.736\text{GHz}$ (en rouge) divisé par 2 en un signal de fréquence $F_S=868\text{MHz}$ (en bleu)

Abstract

Mes travaux de thèse portent sur l'échantillonnage direct du signal RF en réception après l'antenne, dans un contexte d'applications radio-logicielle et radio-cognitive. Le but de cette technique est de pouvoir traiter le signal quelle que soit la modulation utilisée et dans une large gamme de fréquences, directement après l'antenne, en réduisant au maximum la partie analogique. Pour cela une architecture d'échantillonneur passif a été utilisée. L'originalité de cette architecture consiste en l'implémentation d'un système d'échantillonnage différentiel en quadrature purement passif, constitué d'un réseau de capacités commutées. En fixant la constante de temps du système à une valeur élevée devant la fréquence minimale du signal RF à démoduler, l'échantillonneur se comporte à la fois en tant que mélangeur et filtre en fréquence. Cela permet la réjection des brouilleurs hors de la bande de réception et contribue à améliorer sensiblement la dynamique du système de réception, le tout pour une consommation très faible. Aussi, le système est flexible en fréquence, permettant ainsi de recevoir le spectre RF sur une large bande et de recevoir différents types de signaux modulés. Celui-ci a été intégré dans un front-end de réception complète en technologie CMOS 130nm pour des applications dans les bandes ISM (433 MHz et 868 MHz) dont les débits de transmission sont limités à 1Mbits/s. L'architecture développée est adaptée à des applications de type radio-logicielle ou radio-cognitive, lorsqu'une agilité en fréquence, une grande dynamique et des contraintes de consommation très basse sont visées.

Liste de Publications:

P. Bousseaud, E. Novakov and J.-M. Fournier, "A Low-Power Passive Mixer Receiver for Software Defined Radio (SDR) Applications", The Seventh International Conference on Digital Communications (ICDT 2012), IARIA journals on ICDT 2012, pp. 101 -104

P. Bousseaud, E. Novakov and J.-M. Fournier, "A 130nm Low power Software-Defined radio receiver", IEEE Asia-Pacific Microwave Conference (APMC) 2012, Proceedings, pp 1022 - 1024

P. Bousseaud, E. Novakov and J.-M. Fournier, "A 130nm CMOS low power receiver dedicated to Software Defined Radio (SDR) applications (accepted and not published yet)", IEEE AP-S/URSI-USNC 2013, Orlando, Florida, 7th-12th July 2013

P. Bousseaud, E. Novakov et J.-M. Fournier, “Récepteur RF basse consommation en technologie CMOS 130nm“, Journées Nationales Microondes (JNM), National Conference, Paris, 14-17 Mai 2013

P. Bousseaud, E. Novakov and J.-M. Fournier, “IEEE MTT-S International Microwave Workshop on Wireless communications and User centered Services in Pervasive Environments“, WUSPE 2013, Hanoi, 19th-20th September 2013

My thesis work is focusing on the direct RF sampling signal reception after the antenna in a software-defined radio and cognitive radio applications context. The purpose of this technique is to treat the signal whatever the modulation used and in a wide range of frequencies, directly after the antenna while minimizing at maximum the analog part. For this, a passive sampler architecture has been used. The originality of this architecture consists in the implementation of a passive differential sampling system working in quadrature, consisted by a switched capacitors network. By setting the time system constant to a high value compared to the minimum frequency of the RF signal to be demodulated, the sampler acts both as a filter and a frequency mixer. This allows the rejection of interferers outside the reception band and contributes to improve significantly the receiver system dynamic, for a very low power consumption. Also, the system is flexible in frequency, which permits to receive the RF spectrum over a wide band of frequencies and detect different types of modulated transmitted signals. It has been integrated into a complete front-end 130nm CMOS technology receiver dedicated to ISM bands applications (433MHz and 868MHz bands) whose transmission data rates are limited to 1Mbit/s. The developed architecture is suitable for software-defined radio or cognitive radio applications where frequency agility, high dynamic and very low power constraints are targeted.

List of Publications:

P. Bousseaud, E. Novakov and J.-M. Fournier, “A Low-Power Passive Mixer Receiver for Software Defined Radio (SDR) Applications”, The Seventh International Conference on Digital Communications (ICDT 2012), IARIA journals on ICDT 2012, pp. 101 -104

P. Bousseaud, E. Novakov and J.-M. Fournier, “A 130nm Low power Software-Defined radio receiver”, IEEE Asia-Pacific Microwave Conference (APMC) 2012, Proceedings, pp 1022 - 1024

P. Bousseaud, E. Novakov and J.-M. Fournier, “A 130nm CMOS low power receiver dedicated to Software Defined Radio (SDR) applications (accepted and not published yet)”, IEEE AP-S/URSI-USNC 2013, Orlando, Florida, 7th-12th July 2013

P. Bousseaud, E. Novakov et J.-M. Fournier, “Récepteur RF basse consommation en technologie CMOS 130nm“, Journées Nationales Microondes (JNM), National Conference, Paris, 14-17 Mai 2013

P. Bousseaud, E. Novakov and J.-M. Fournier, “IEEE MTT-S International Microwave Workshop on Wireless communications and User centered Services in Pervasive Environments“, WUSPE 2013, Hanoi, 19th-20th September 2013