HAL
open science

Conception, optimisation et caractérisation d'un transistor à effet de champ haute tension en Carbure de Silicium

Shiqin Niu

▶ **To cite this version:**

Shiqin Niu. Conception, optimisation et caractérisation d'un transistor à effet de champ haute tension en Carbure de Silicium. Electronique. Université de Lyon, 2016. Français. NNT : 2016LYSEI136 . tel-01784870

HAL Id: tel-01784870

https://theses.hal.science/tel-01784870

Submitted on 3 May 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N°d'ordre NNT : 2016LYSEI136

THESE de DOCTORAT DE L'UNIVERSITE DE LYON
opérée au sein de
L'INSA LYON

École Doctorale N° ED 160
Électronique, Électrotechnique, et Automatiques de Lyon

Spécialité de doctorat : Génie électrique

Soutenue publiquement le 12/12/2016, par :
Shiqin Niu

Conception, optimisation et caractérisation d'un transistor à effet de champ haute tension en Carbure de Silicium

---

Devant le jury composé de :

Mme. MALBERT Nathalie	Professeur des Universités	Rapporteur
M. ROUGER Nicolas	Chargé de Recherche, HDR	Rapporteur
M. GODIGNON Philippe	Professeur des Universités	Examinateur
Mme. LOCATELLI Marie-Laure	Chargée de Recherche	Examinateur
M. PLANSON Dominique	Professeur des Universités	Directeur de thèse
M. BERTHOU Maxime	Docteur	Co-encadrant de thèse
M. BERVAS Mathieu	Docteur	Invité
M. DUPUY Lionel	Ingénieur	Invité

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Remerciements

Je voudrais remercier Nathalie MALBERT et Nicolas ROUGER de m'avoir fait l'honneur d'être les rapporteurs de ces travaux de thèse. Je remercie également Marie-Laure LOCATELLI et Philippe GODIGNON d'avoir accepté d'examiner ces travaux.

Cette première expérience de recherche s'est déroulée au sein du laboratoire Ampère, dans le cadre du projet MadaSiC. Je tiens à remercier la DGA pour le financement qui m'a permis de travailler sur ce sujet passionnant. En particulier, je remercie Mathieu BERVAS pour avoir accepté d'assister à ma soutenance de thèse, et Cécile NEVEU pour avoir fourni un précieux travail d'observation optique des composants réalisés.

Ce travail n'aurait pas pu voir le jour sans le support de nombreux collègues, partenaires académiques et industriels, qui ont participé à ce projet. A ce titre, je voudrais tout d'abord remercier mon directeur, Dominique PLANSON, pour ses précieux conseils scientifiques, ainsi que pour ses encouragements et son soutien tout au long de la rédaction du manuscrit. Ce fut un grand plaisir de travailler avec cette personne logique, organisée et efficace.

Ensuite, je voudrais remercier Pierre BROSSELARD pour m'avoir donné l'opportunité de faire cette thèse. Après son départ du laboratoire, il est toujours resté disponible pour m'aider lorsque j'en ai ressenti le besoin.

Je tiens à remercier mes encadrants Dominique TOURNIER et Maxime BERTHOU, pour leur direction et leur contribution. Passionnés par le domaine, ils incarnent un réservoir d'idées inépuisable. Il fut toujours d'une grande aide de discuter avec eux lorsque je me retrouvais « en panne sèche ».

Je tiens à remercier les parteniers du projet, IBS, NovaSiC et Ascatron pour la fabrication des composants, et CIRTEM pour le packaging. En particulier, je remercie Lionel DUPUY pour son support du côté technologique et d'avoir accepté l'invitation pour assister à ma soutenance de thèse

Je remercie Bruno ALLARD, directeur du laboratoire Ampère de m'avoir accueillie durant ces années de thèse. Je lui suis également reconnaissante pour son aide dans l'urgence afin de résoudre mon problème de droits de séjour.

Je remercie l'ensemble du personnel du laboratoire Ampère. En particulier, Sandrine et Maguy pour leur bonne humeur et leur soutien administratif, Pascal pour sa grande qualité de travail et son excellent choix de chocolats, Lulu, Hervé, Christophe, Jean-Yves pour leurs bons conseils. Je remercie également Christian, Fabien, Charles et les autres membres du site UCBL pour les moments conviviaux partagés lors des réunions de « cohésion ».

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Je tiens aussi à remercier mes collègues doctorants (anciens et actuels) et post-doc Rémy (OUAIDA), Raphaël, Xavier, Hassan, Besar, Oriol, Rémi (Cailloux), Jean-Baptiste, Thibaut et tous les autres. Merci pour la bonne ambiance de travail toujours maintenue au beau fixe.

Mes remerciements vont également à mes parents éloignés qui m'ont permis de découvrir la vie à l'étranger et m'ont soutenue dans les choix que j'ai faits. Il ne faut pas oublier ma grand-mère qui m'a aimée de tout son cœur. J'espère qu'elle est fière de voir ce jour où je décroche le doctorat. Je remercie également mes amis, proches ou éloignés. En particuler, Véro, pour son encouragement et son soutien ; les « réunions » des FoodAddict sont pour moi des moments inoubliables.

Mes derniers remerciements iront à mon chéri qui est aussi mon formateur de nombreux aspects techniques et de pensée. Parmi ceux, je lui suis particulièrement reconnaissante pour son conseil pour la rédaction et son soutien moral. Sa rigueur, sa persévérance et sa bonne humeur m'étaient pour moi une aide inestimable pour parvenir à la réalisation de ce travail.

Je vous aime tous !

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Résumé

Les performances des interrupteurs de puissance s'appuient sur quatre aspects principaux : la tenue en tension, la température critique de fonctionnement, la résistance à l'état passant et la fréquence de fonctionnement. Ces aspects sont principalement liés aux propriétés physiques des matériaux semi-conducteurs utilisés. Grâce à sa bande interdite trois fois plus grandes que celle du Silicium, le Carbure de Silicium (SiC) a une concentration intrinsèque plus faible et un champ électrique de claquage plus fort. Pour une tenue en tension donnée, ces propriétés du SiC permettent la réalisation de composants de puissance plus fins qui sont capables de fonctionner à plus haute température (>250°C). De plus, la technologie SiC bénéfice d'une avancée significative, ce qui permet la fabrication massive de composants en SiC. De ce fait, des interrupteurs unipolaires et bipolaires sont conçus et commercialisés depuis 2001.

Dans l'état de l'art, les interrupteurs unipolaires en SiC commercialement disponibles sont étudiés en détail. Il s'agit des transistors à effet de champ de type MOSFET, JFET et SIT, variante du JFET. Leurs performances statiques et dynamiques sont comparées en les associant avec leurs structures cellulaires. Ensuite, les points forts et faibles de chaque structure vis-à-vis des applications de l'électronique de puissance sont présentés.

Les tenues en tension des interrupteurs commercialement disponibles en SiC sont inférieures à 2 kV. Dans cette thèse, un interrupteur vertical capable de tenir une tension supérieure à 3,3 kV est conçu et fabriqué. Il s'agit d'une nouvelle structure de JFET (Junction Field Effect Transistor), nommé le DG-JFET (Dual-Gate JFET). Les avantages de cette structure comparés aux JFETs existants sont présentés au début du chapitre 2. Les influences des paramètres de conception du composant sur les performances électriques sont ensuite étudiées avec les équations analytiques. Ce composant est réalisé avec un jeu de masques et des défauts de fonctionnement sont mis en évidence à l'aide de la caractérisation électrique sous pointe. À l'aide de la simulation par éléments finis et des analyses optiques, il est prouvé que la variation de la qualité de gravure et le désalignement des masques lors de la fabrication de composant augmentent le courant de fuite et réduisent considérablement la tenue en tension du DG-JFET. De plus, la variation lors de l'épitaxie du canal impacte la résistance et la tension de seuil du composant.

En tenant en compte de ces causes, un nouveau jeu de masques est donc dessiné et présenté dans le chapitre 3. Des mesures pour améliorer la robustesse du DG-JFET vis-à-vis des variations technologiques sont aussi développées pour le nouveau jeu de masques. Au final, les composants ainsi fabriqués atteignent l'objectif en tension (3,3 kV).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Finalement, une étude est menée pour obtenir la capacité en court-circuit des interrupteurs unipolaires (JFET et SIT) commercialement disponibles. Dans cette étude, la méthode de simulation électrothermique est utilisée afin de visualiser les phénomènes physiques à l'intérieur de la structure le long de l'opération. Le gradient de température est tracé et un point chaud dans le canal des interrupteurs est localisé. À l'aide de ces observations, des propositions sur la structure des interrupteurs sont émises afin d'améliorer leur capacité en court-circuit.

Mots clés

JFET SiC/**Conception**, influence des paramètres sur les performances, dessins de masque, densité de cellule/Caractérisation électrique/**Analyses de défaillances**, analyses optiques, simulation par éléments finis/**Court-circuit,** LV-JFET SiC, SIT SiC, capacité de court-circuit, simulation électrothermique, capacité thermique du substrat

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Abstract

The performances of power devices focuse on four aspects: the breakdown voltage, the thermal limite, the on-state resistance and the operating frequence. These caracteristiques rely on the properties of semiconductor. Thanks to the wide band gap (WBG) of silicon carbide (SiC), the SiC has very low intrinsic carrier concentration and high critical electric field compared to silicon (Si). This results in a higher thermal runaway temperature and enables thinner and more doped drift layer. Consequently the SiC devices can operate at much higher frequencies and temperatures and convert the electric power more efficiently. Moreover, the SiC-4H substrate and processing technologies are the most advanced today among the WBG semiconductors, allowing the mass production of its power devices. For instance, the unipolar and bipolar SiC switches are commercially available since 2001.

A detailed comparison of the commercial unipolar SiC switches is given in the state-of-art. This includes the MOSFET, JFET and SIT (variant of JFET). At the first time, an analysis relating the static and dynamic performances of these devices to their structure is provided in this chapter. Subsequently the adavatages and disadvantages of each switch in the applications of power converter and solide state breaker are exhibited.

Among the exiting SiC unipolar switches, the breakdown voltages are less than 2kV. In this work a Dual-Gate JFET (DG-JFET) with a breakdown voltage of more than 3.3kV is designed and fabricated. The advantages of this structure compared to the exsiting ones are highlighted in the chapiter 2, followed by the analysis of the influence of fabrication process variations on the electrical characteristics of the device. As the DG-JFET under our development is not a “right first time”, the maximal breakdown voltage of the first runs of DG-JFET is only about 2kV. The main causes are analysed by means of simulation (Sentaurus Synopsys) and verified by scanning electron microscope (SEM). Among the analysis the influence of alignement and etching tolerances is highlighted in the end of the chapiter.

To take into account the previous analysis a new layout is proposed in the beginning of the chapter 3. The modifications consisted of the improvement of the process variation robustness and the cell density. Thanks to the new layout, several demonstrators with a breakdown voltage higher than 3.3kV are obtained.

In the last chapiter the short-circuit capability of existing SiC JFET/SIT is measured accurately. The failure mode of each device is studied then by means of electrothermal simulation. A hotspot is located in the structure which leads to local thermal runaway. Finaly some possible optimization solutions are simulated prouving an improvement of the short circuit capability of the devices.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Key words:

SiC, JFET, design, electrothermal simulation, manufacturing, process fault identification, layout, short-circuit

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Table des matières

INTRODUCTION GENERALE 1

1 ÉTAT DE L'ART DES INTERRUPTEURS UNIPOLAIRES EN SIC 3

1.1 Introduction 3
1.2 Propriétés du SiC 5
1.3 Interrupteurs 1,2 kV existants 9
1.3.1 Performances statiques 12
1.3.2 Performances dynamiques 16
1.3.3 Transistor à effet d'induction (SIT) 24
1.3.4 MOSFETs de puissance 30
1.3.5 JFET Vertical avec canal latéral (LV-JFET) 35
1.4 Conclusion 38

2 1ÈRE RÉALISATION ET CARACTÉRISATION D'UN JFET 3,3 KV EN SIC-4H 41

2.1 Introduction 41
2.2 Structure du JFET à double grille (DG-JFET) 42
2.3 Influence des paramètres de la conception 43
2.4 Estimation analytique des caractéristiques 46
2.4.1 Tension de seuil 47
2.4.2 Résistance à l'état passant 51
2.4.3 Transconductance 54
2.5 Estimation par simulation des caractéristiques 58
2.5.1 Dimension du DG-JFET simulé 58
2.5.2 Comparaison des résultats simulés et analytiques 59
2.6 Réalisation du DG-JFET 61
2.6.1 Dessin des masques 61
2.6.2 Processus de fabrication 67
2.7 Caractérisation des DG-JFETs 70
2.7.1 Spécifications 70
2.7.2 Performances des DG-JFETs 71
2.8 Identification des contraintes technologiques 78
2.8.1 Influence de l'oxyde fin sur le courant de fuite de la grille 79
2.8.2 Influence de la qualité de gravure sur le courant de fuite de la grille 83
2.8.3 Influence du désalignement des masques sur la tenue en tension 85
2.9 Conclusion 90

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

3 2ÈME RÉALISATION DU DG-JFET 3,3KV 91
3.1 Introduction 91
3.2 Nouveau dessin de masque 91
3.2.1 Optimisation de la densité de cellules 91
3.2.2 Motifs de test étendus 94
3.2.3 Diminution de l'influence de désalignement 99
3.2.4 Amélioration de l'efficacité de la JTE 101
3.3 Processus de fabrication 104
3.3.1 Changement de l'épitaxie 106
3.4 Caractérisation du Run 1 109
3.4.1 Performances théoriques 109
3.4.2 Qualité du contact Schottky 110
3.4.3 Efficacité de la protection périphérique 111
3.4.4 Homogénéité du processus de fabrication 113
3.4.5 Caractéristiques de transfert 117
3.4.6 Caractéristiques en direct 119
3.4.7 Tenue en tension 122
3.5 Conclusion 125
4 JFETS EN SIC-4H EN RÉGIME DE COURT-CIRCUIT 127
4.1 Motivation 127
4.2 Simulation électrothermique 128
4.2.1 Température du réseau cristallin 131
4.2.2 Génération et recombinaison 133
4.3 LV-JFET 1,2 kV en régime de court-circuit 134
4.3.1 Description de la structure 135
4.3.2 Mécanisme électrothermique dans le LV-JFET 137
4.3.3 Influence du substrat sur la tenue en court-circuit 141
4.3.4 Conclusion 142
4.4 SIT 1,2 kV en régime de court-circuit 143
4.4.1 Description des structures 144
4.4.2 Modélisation en utilisant SIT avec un canal uniformément dopé 146
4.4.3 Diminution du courant de saturation 151
4.4.4 Amélioration de la tenue en court-circuit 154
4.5 Conclusion 157
CONCLUSION GÉNÉRALE ET PERSPECTIVES 159
5 BIBLIOGRAPHIE 162

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Introduction générale

Aujourd'hui, la consommation électrique est de plus en plus importante pour les utilisations domestiques telles que le chauffage électrique et les climatiseurs au niveau des bâtiments, mais également concernant les infrastructures de recharge pour les véhicules électriques, qui constituent une nouvelle considération environnementale. Pour satisfaire ce besoin croissant en énergie, les réseaux de distribution sont en pleine évolution, comme par exemple la technologie HVDC (High Voltage Direct Current) utilisée pour le transport de l'électricité à grande distance (>700 km), et on observe également une introduction massive des énergies de sources renouvelables décentralisées. En même temps, les futurs réseaux énergétiques devront s'accompagner d'une meilleure régulation des flux d'énergie électrique et du contrôle des niveaux de tension afin de s'adapter à ces évolutions.

L'évolution des réseaux énergétiques exige l'émergence de convertisseurs de tension avec une tenue en tension plus élevée, une plus forte capacité en courant, et une plus grande fiabilité de fonctionnement. Ces conditions sont nécessaires pour permettre de maintenir les profils de tension requis et assurer la stabilité adéquate, indispensable au bon fonctionnement et à l'exploitation des réseaux de distribution. Pour ce faire, le développement des interrupteurs de puissance est essentiel.

Les interrupteurs sont fabriqués principalement avec la technologie silicium (Si) depuis les années 1950. Néanmoins, la performance des interrupteurs en silicium est proche de la limite du matériau en termes de tension de claquage, de fréquence, de température de fonctionnement et d'efficacité. D'un autre côté, les technologies de semi-conducteurs à large bande d'énergie interdite (Wide Band Gap, WBG) sont développées et permettent de réaliser des composants présentant des performances accrues pour l'électronique de puissance.

Parmi les matériaux WBG, le Carbure de Silicium (SiC) bénéfice d'une disponibilité commerciale du substrat monocristallin, qui a permis la réalisation massive des composants verticaux en SiC. En 2001, la première diode Schottky en SiC a été commercialisée. Ensuite, des interrupteurs unipolaires ont été massivement produits, comprenant des SITs (Static Induction Transistor), des JFETs (Jonction Field Effect Transistor) et des MOSFETs. Les tensions maximales de blocage de ces interrupteurs varient entre 600 V et 1,7 kV avec une prépondérance pour les composants 1,2 kV. Aussi, un état de l'art concernant les caractéristiques électriques des interrupteurs 1,2 kV est effectué dans le premier chapitre. Afin de comprendre les avantages et les inconvénients de chaque type d'interrupteur, les structures sont aussi analysées en détail dans ce même chapitre.

Dans le cadre du projet MadaSiC (Machine Asynchrone Doublement Alimentée via des interrupteurs en Carbure de Silicium), nous avons besoin de

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

réaliser un interrupteur dont la tenue en tension est supérieure à 3,3 kV en SiC-4H, un poly-type du SiC. Les interrupteurs unipolaires dans cette gamme de tension ne sont pas disponibles commercialement. Le JFET est un candidat prometteur pour atteindre cet objectif. Il bénéfice des propriétés physiques avantageuses du Carbure de Silicium sans souffrir des problèmes de l'interface SiC/SiO_2. Dans le chapitre 2, la conception de la structure du JFET 3,3 kV, ainsi que les équations analytiques qui permettent de prédire les caractéristiques électriques de ce JFET sont présentées. Ces équations nous permettent également d'étudier l'impact des paramètres de la conception sur la performance du composant. Ensuite, les performances des différents lots de JFET fabriqués sont montrées et analysées. Certains verrous technologiques seront alors identifiés, ce qui nous amènera à optimiser le dessin des masques pour la fabrication future.

Dans le chapitre 3, des modifications au niveau du processus de fabrication et du dessin des masques sont proposées, dans le but de résoudre les différents problèmes identifiés sur les premiers JFETs réalisés. Les caractéristiques électriques des nouveaux JFETs seront présentées. Des améliorations importantes en termes de résistance à l'état passant, de courant de saturation et de tenue en tension sont identifiées.

Une des conditions de fonctionnement sévères que les JFETs peuvent rencontrer lors qu'ils sont utilisés dans les convertisseurs est le court-circuit. Dans le chapitre 4, les études en régime de court-circuit des JFETs en SiC sont présentées. Cette étude est menée à l'aide de la simulation électrothermique. Par rapport aux simulations multi-physiques couramment utilisées dans ce type d'étude, la simulation électrothermique offre une vision des phénomènes physiques à l'intérieur du JFET en fonction du temps lors du régime de court-circuit. Ceci permet de connaitre l'évolution de la température au sein du composant et le point défaillant dans la structure. Néanmoins, nous avons paillé l'absence de JFET 3,3 kV fonctionnel pour l'instant, en effectuant la validation du modèle physique sur des JFETs 1,2 kV en SiC commercialement disponibles. Ces modèles devraient donc être aussi valables pour le JFET 3,3 kV.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

1 État de l'art des interrupteurs unipolaires en SiC

1.1 Introduction

La technologie silicium (Si) a dominé l'électronique de puissance depuis la seconde moitié du 20ème siècle. En commençant par les interrupteurs bipolaires dans les années 50, les industries ont peu à peu migré vers les dispositifs à grille MOS (Metal-Oxide-Semiconductor) dans les années 80 [1]. Ensuite, l'émergence de l'IGBT a permis de réduire considérablement la taille et le coût des circuits et des composants de puissance. Rapidement, ce dispositif est ainsi devenu l'interrupteur prédominant dans différents domaines de la conversion tels que les énergies renouvelables, le transport et l'éclairage. Dans les années 90, de nombreuses idées innovantes ont été proposées afin d'améliorer les performances et de se rapprocher des limites physiques du matériau Silicium. Les efforts au niveau de la conception et des procédés de fabrication ont même permis de repousser les limites que nous connaissons grâce à des composants innovants tels que la technologie des super-jonctions commercialisée par Infineon sous la dénomination commerciale CoolMOS©. Toute nouvelle technologie proposée aujourd'hui doit non seulement surpasser les performances des dispositifs traditionnels en Silicium, mais aussi être en mesure de concurrencer ces dispositifs innovants.

La première analyse qui a relié les performances d'un composant de puissance aux propriétés de base d'un matériau semi-conducteur fut publiée par GE (General Electric) en 1982 [2]. Elle proposa une équation, connue sous le nom de « figure de mérite » de Baliga (« Baliga Figure Of Merit », BFOM), qui permet d'évaluer la possibilité d'améliorer la résistance de la région de dérive (R_{dr}) d'un composant unipolaire en remplaçant le silicium avec d'autres matériaux semi-conducteurs. Par exemple, pour une tension de claquage donnée, cette analyse a indiqué une réduction de 13,7 fois de cette résistance en remplaçant le silicium par l'Arséniure de Gallium (GaAs). Compte tenu de cette prévision, des dispositifs de puissance en GaAs ont été développés chez GE (General Electric) dans les années 1980. Des diodes Schottky présentant une tension de claquage de 200 V, ont ainsi été commercialisées. Ce sont les premiers composants de puissance en matériau semi-conducteur à large bande interdite.

Le carbure de silicium (SiC) possède également un facteur de mérite intéressant, toutefois il est difficile à synthétiser. Pour l'obtention du substrat, la méthode de synthèse nommée « Lely modifiée » a été pour la première fois réalisée

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

avec succès en 1978 par Tairov et Tsvetkov [3]. Puis en 1987, une amélioration de la technologie pour la croissance du Carbure de Silicium (SiC) a été proposée par Kuroda et Matsunami [4]. La réussite de ces deux techniques a permis la réalisation de larges substrats et d'épitaxie plus épaisse en SiC. Considérant le champ électrique critique et la mobilité électronique dans le SiC, il a été prédit que la résistance spécifique de la région de dérive pour les dispositifs unipolaires en SiC serait réduite d'un facteur 100 à 200 par rapport à celle du Silicium [5]. Ceci a déclenché un réel gain d'intérêt pour le développement des dispositifs unipolaires en SiC dans les années 1990 [6]. La première diode Schottky (Schottky Barrier Diode, SBD) haute tension (400 V) en SiC-6H a été réalisée en 1992 [7], montrant une faible chute de tension à l'état passant (~1 V) et des pertes en commutation quasi-nulles, confirmant les modèles théoriques.

Dans le même temps, des efforts significatifs ont été apportés sur la fabrication de substrats de large diamètre et de grande qualité en SiC-4H. Par ailleurs, l'amélioration des contacts ohmiques ou redresseurs a permis la commercialisation des premières SBD en SiC-4H en 2001 par Infineon et Cree [8].

La réalisation de MOSFET a longtemps été étudiée par les industries. Cependant, son développement a dû faire face à des problèmes de qualité d'oxyde à l'interface du SiO_2/SiC-4H, ayant pour conséquence une mobilité des porteurs dans le canal extrêmement faible (~10 $cm^2.V^{-1}s^{-1}$) et une résistance de canal très importante. Aujourd'hui, des améliorations considérables ont été obtenues sur la mobilité des porteurs dans le canal [9]. Ceci a permis la production massive des MOSFETs en SiC à partir de 2011. Cependant, il est nécessaire d'éprouver les limites de fiabilité et de stabilité de l'oxyde sur SiC afin de pouvoir utiliser ces interrupteurs dans des applications exigeant une fiabilité à toute épreuve (aéronautique …) [10], [11].

Indépendant de la qualité d'oxyde et bénéficiant des avantages du SiC, les transistors à effet de champ de type JFET (Junction Field Effect Transistor) et de type SIT (Static Induction Transistor, une variante du JFET) ont été considérés comme des solutions alternatives au MOSFET. Plusieurs industriels se sont engagés dans la réalisation de ces dispositifs. En 2000, Siemens a publié deux structures innovantes du JFET, l'une avec une résistance très faible [12], l'autre avec un temps de commutation très court [13]. Cette dernière structure a été choisie par Infineon pour la fabrication car ses faibles pertes de puissance en commutation sont bénéfiques pour son application dans le convertisseur. En revanche, SemiSouth a repris la structure classique du SIT. Leur premier SIT normalement ouvert a été commercialisé en 2008. Malgré la fermeture de SemiSouth en 2011, la structure du SIT ne cesse d'être utilisée. En 2013, USCi a montré un SIT 1200 V en SiC dont la résistance est encore plus faible que celle des transistors de SemiSouth [14].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Dû à ses propriétés physiques (largeur de bande interdite, mobilité des porteurs, concentrations intrinsèque), le SiC-4H est plus approprié pour les applications haute tension et haute température. Dans ce chapitre, nous allons voir l'évolution de la structure et des performances des dispositifs en SiC-4H, comparer les avantages et les inconvénients de chaque génération d'interrupteurs.

1.2 Propriétés du SiC

Les performances des interrupteurs de puissance s'appuient sur quatre aspects principaux : la tenue en tension, la température critique de fonctionnement, la résistance à l'état passant et la fréquence de fonctionnement. Ces aspects sont principalement liés aux propriétés physiques des matériaux semi-conducteurs utilisés. Le Tableau 1-1 résume les propriétés électroniques de quelques matériaux semi-conducteurs à température ambiante (300 K), pour un dopage de 10^{15}-10^{16} cm^{-3} de type N.

	Si	SiC-3C	SiC-6H	SiC-4H	GaN	C
Band gap E_G (eV)	1,1	2,2	2,9	3,2	3,4	5,6
Concentration intrinsèque n_i (cm^{-3})	$1{,}5\times10^{10}$	7,5	$1{,}4\times10^{-5}$	$6{,}1\times10^{-8}$	$1{,}9\times10^{-10}$	$1{,}6\times10^{-27}$
Mobilité de l'électron μ_n ($cm^2.V^{-1}.s^{-1}$)	1350	≈ 1000	≈ 500 (⊥c) 121 (∥c)	600 (⊥c) 750 (∥c)	900	1900
Champ de claquage E_C ($V.cm^{-3}$)	2×10^5	$\sim3\times10^6$	$\sim4\times10^6$	$\sim3\times10^6$	5×10^6	$5{,}6\times10^7$
Conductivité thermique λ ($W.cm^{-1}.K^{-1}$)	1,5	4,9	4,9	4,5	1,3	20
Vitesse de saturation de l'électron $v_{sat,n}$ (10^7 $cm.s^{-1}$)	1	2,5	2	2	2	3
Permittivité relative ε	11,8	9,7	9,7	10	9	5,5

Tableau 1-1 : Comparatif des propriétés des matériaux semi-conducteurs [6],[15],[16].

Le Carbure de Silicium (SiC) est un matériau à large bande interdite (E_G > 1 eV). Ses propriétés physiques sont très différentes de celles du Silicium en partie à cause de la valeur de la bande d'énergie interdite (E_G). Typiquement, la

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

concentration intrinsèque des porteurs est d'autant plus faible que la bande d'énergie est grande.

Il existe plus d'une centaine de poly-types du SiC. Parmi eux, les polytypes -6H, -4H et -3C ont reçu le plus d'attention au cœur de l'électronique de puissance. Leurs largeurs de bande interdite sont 2,9 eV, 3,2 eV et 2,3 eV, respectivement.

Le SiC-6H est le premier poly-type pour lequel il a été possible d'obtenir un substrat monocristallin à partir d'un germe [17]. Le SiC-3C existe seulement sous forme d'hétéro-épitaxie sur des substrats du Silicium, du SiC-4H ou du SiC-6H [18]. Quant au SiC-4H, sa technique de synthèse est aujourd'hui celle qui est la plus mature parmi ces trois poly-types. Des substrats de haute qualité en 6" sont disponibles commercialement.

Les poly-types SiC-4H et -6H présentent tous les deux une mobilité électronique anisotropique [19]. Le ratio du $\mu_n(\perp c)/\mu_n(\parallel c)$ du SiC-4H est d'environ 0,8. Ce ratio est beaucoup plus important pour le SiC-6H qui est d'environ 5. Il en résulte que la mobilité électronique du SiC-4H est quasiment indépendante de la direction cristallographique.

Le Nitrure du Gallium (GaN) et le diamant (C) sont aussi des matériaux à grand gap dont les propriétés sont intéressantes pour l'électronique de puissance. Afin de choisir le matériau approprié en fonction de l'application, des facteurs de mérite (FOM) ont été proposés par différents auteurs permettant de comparer les performances des composants. Les quatre facteurs les plus utilisés sont présentés dans le Tableau 1-2.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Facteur de mérite	Aptitudes	Composants	Définition	Limites
JFM (Johnson's factor of merit) [20]	Moyenne ou basse puissance Haute fréquence	Unipolaire Bipolaire	Définir la limite supérieure de la fréquence de coupure pour une VBR désirée	Comparaison idéale : La maturité technologique n'est pas prise en compte dans le calcul.
KFM (Keyes factor of merit) [21]	Faible tension Très haute fréquence	Circuit intégré	Minimiser le délai de commutation en respectant la contrainte thermique	
BFM (Baliga factor of merit) [2]	Haute tension	Unipolaire	Minimiser les pertes en conduction dans la région de dérive	
BHFFM (Baliga High Frequency factor of merit) [22]	Haute tension Haute fréquence	Unipolaire	Minimiser les pertes en commutation	

Tableau 1-2 : Quatre facteurs de mérite les plus utilisés en électronique de puissance.

La Figure 1-1 compare les différents matériaux semi-conducteurs à grand gap selon les facteurs de mérite JFM, KFM, BFM et BHFFM par rapport au Silicium. Il est évident que les matériaux à grand gap devancent aisément le Silicium dans les applications haute fréquence et haute tension. Le diamant est mieux adapté parmi tous les matériaux proposés quelle que soit l'application. Le GaN surpasse le SiC-4H dans la fréquence de coupure et dans les pertes en conduction et en commutation. En revanche, la conductivité thermique du GaN est trois fois plus faible que celle du SiC-4H. Cela rend le SiC-4H plus performant dans les applications de haute température.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

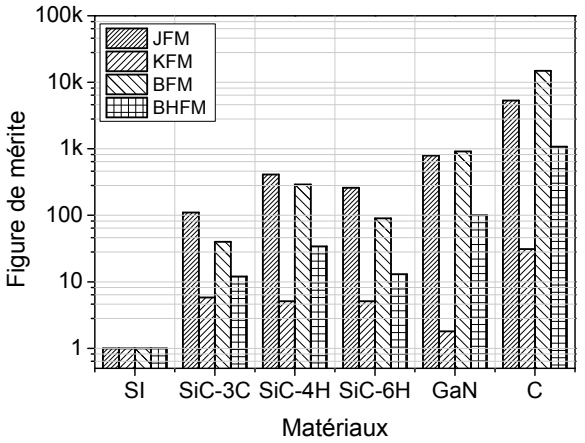
Facteur	Formule	Comparaison
JFM	$\frac{E_c \upsilon_{sat}}{2\pi}$ [20]	
KFM	$\lambda\sqrt{\frac{c\upsilon_{sat}}{4\pi\varepsilon}}$ [21]	
BFM	$\varepsilon\mu E_c^3$ [2]	
BHFFM	μE_c^2 [22]	

Figure 1-1 : Comparatif des facteurs de mérite des matériaux semi-conducteurs.

Bien que le diamant soit le matériau mieux adapté pour l'électronique de puissance, sa maturité en termes de synthèse monocristalline et de procédés de fabrication de composants est loin d'être suffisante pour la fabrication massive de dispositif [23]. Seuls quelques démonstrateurs de composants unipolaires en diamant ont été réalisés [24], [25].

Dans l'industrie du semi-conducteur, le GaN n'existe que sous forme d'hétéro-épitaxie sur un matériau tiers (SiC, Si ou Saphir) [26]. Des transistors latéraux ont ainsi été réalisés avec succès. Aujourd'hui, les transistors en GaN sont principalement des HEMTs (High Electron Mobility Transistor). Dans le domaine de l'électronique de puissance, ils sont avantageux pour les applications moyenne tension et très haute fréquence [27]. Aujourd'hui, les HEMTs en GaN sont commercialement disponibles avec des performances entre 40 V/90 A (EPC Cooroperation) et 650 V/50 A (Transphorm). La fréquence de fonctionnement des HEMTs 40 V dépasse 10 MHz grâce à leurs faibles résistances à l'état passant et capacité d'entrée [28].

En revanche, pour les applications dont la puissance est supérieure à 30 kW, il est plus convenable d'utiliser les dispositifs verticaux. Ceci nécessite des substrats monocristallins de bonne qualité au matériau semi-conducteur. La technologie SiC-4H est la plus mature sur cet aspect comparé aux GaN et diamant. Des substrats monocristallins en SiC-4H de 150 mm avec une faible densité de micro-cube sont disponibles commercialement [29]. Les composants verticaux en SiC-4H commercialisés sont la diode Schottky (0,6-1,2 kV), des interrupteurs unipolaires (1,2-1,7 kV, 60 A) et bipolaires (jusqu'au 6,5 kV, 80 A). L'état de l'art des interrupteurs unipolaires en SiC-4H sera détaillé dans la partie suivante. Le Tableau

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

1-3 résume la comparaison du substrat et des dispositifs en diamant, GaN et SiC-4H.

Matériau	Substrat	Disponibilité commerciale	Taille du substrat	Dispositifs disponibles
Diamant	Monocristallin	Non	< 0,5×0,5 cm²	JFET (600 V)[24], SBD [25]
GaN	Épitaxie sur un substrat Saphir, Silicium ou SiC	Oui	75 mm (3")	SBD (600 V-1,2 kV) [26] HEMT (40 V-650 V) [27],[30]
SiC-4H	Monocristallin	Oui	150 mm (6")	SBD (600 V-1,2 kV) JFET, MOSFET (1,2-1,7 kV) Thyristor (6,5 kV) STJ (1,2 kV) [26], [27]

Tableau 1-3 : Substrats disponibles et dispositifs réalisés en Diamant, GaN et SiC-4H.

1.3 Interrupteurs 1,2 kV existants

Grâce à sa large bande interdite, le SiC-4H présente des avantages indéniables pour l'électronique de puissance. Pour une même tenue en tension, le fort champ de claquage du SiC-4H permet de diminuer l'épaisseur de l'épitaxie et d'augmenter le dopage de l'épitaxie par rapport à un composant en Silicium. Cela réduit la résistance à l'état passant et les capacités parasites du composant, notamment les capacités grille-drain et source-drain. Sa faible concentration en porteurs intrinsèques résulte en un courant de fuite au blocage plus faible. Enfin, sa conductivité thermique élevée permet de diffuser la chaleur plus efficacement que le Silicium. Les composants sont ainsi capables de fonctionner à plus haute température ambiante. Les contraintes liées au système de refroidissement nécessaire sont réduites. Les performances des composants en SiC-4H donnent lieu à des innovations au niveau du circuit de puissance dans lequel les composants sont installés. Des circuits plus compacts, plus efficaces et plus fiables ont ainsi émergé. Le Tableau 1-4 présente les propriétés importantes du SiC-4H et leurs impacts sur les dispositifs et les circuits de puissance par rapport au Silicium.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Propriétés : SiC-4H Versus Si	Performance du dispositif en SiC-4H	Impact sur le circuit de puissance
Champ critique de claquage (×10)	Épitaxie plus fine (×10-20) Chute de potentiel plus faible (×2-3) Vitesse de commutation plus importante (×100-1000)	Circuit plus efficace et plus compact Moins d'auto-échauffement par commutation
Concentration intrinsèque plus faible (10^{20} ×)	Courant de fuite plus faible (/10^4)	Température opérationnelle plus élevée
Conductivité thermique plus élevée (3×)	Température de puce acceptable plus élevée (250-300 °C à la place de 125° C)	Puissance pulsée plus élevée Densité de courant continu plus élevée

Tableau 1-4 : Propriétés importantes du SiC-4H et leurs impacts sur les dispositifs et les circuits de puissance par rapport au Silicium [23]**.**

Pour les raisons données dans le Tableau 1-4, les interrupteurs unipolaires en SiC ont été massivement développés depuis 2001. Les fabricants industriels principaux sont SemiSouth, Cree, Infineon, USCi, Rohm, Mitsubishi et GE. Les structures commercialisées sont les suivantes : LV-JFET (Lateral-Vertical JFET), SIT, D-MOSFET (Double-implanted MOSFET). Un prototype du DT-MOSFET (Double Trench MOSFET) a été développé par Rohm en 2013. La production de ces composants est en cours.

Ce sont majoritairement des interrupteurs de 1200 V dont les caractéristiques statiques sont résumées dans le Tableau 1-5. À cette tension, les avantages du SiC par rapport au Silicium deviennent importants. C'est pour cette raison que ces interrupteurs en SiC-4H peuvent être de redoutables concurrents face aux composants en Silicium dans cette gamme de tension.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Marque	Structure	Référence du composant	I_n (A)	R_{ON} (mΩ)	A_{Source} (mm²)	A_{Drain} (mm²)	Réf
SemiSouth	SIT	SJEP120R125	15	125	2,7	4,0	[31], [32]
		SJEP120R063	30	63	NA	8,0	[33], [34]
		SJEP120R100	17	100	NA	~4,5	[35], [36]
		SJDP120R085	52	85	NA	4,0	[33], [37]
		SJDP120R045	38	45	NA	NA	[38]
Cree	D-MOS	CMF20120D	42	80	~9,4	16,6	[39], [40]
		C2M0025120D	60	25	~18,5	26,0	[41]–[43]
		C2M0040120D	40	40	12,3	~18,3	[41], [42], [44]
		C2M0080120D	20	80	~6,2	~10,4	[41], [42], [45]
		C2M0160120D	10	160	~3,1	~6,3	[41], [42], [46]
		C2M0280120D	6	280	~1,6	NA	[42], [47]
Infineon	LV-JFET	IJW120R070T1	35	70	NA	~13,4	[48], [49]
		IJW120R100T1	25	100	NA	10,1	[36], [50]
USCi	SIT	UJN1205K	38	45	~5,8	~9,4	[51]
		UJN1208K	21	80	~2,6	~5,0	[52]
Rohm	D-MOS	SCH2080KE	40	75	NA	12,6	[48], [53]
	D-MOS	SCT2160KE	22	160	NA	~7,8	[48], [54]
	DT-MOS	3e génération	NA	40	NA	13,6	[55]
GE	NA	GE12N20L	30	~110	NA	10,1	[48]

Tableau 1-5 : Résumé des différents interrupteurs unipolaires 1,2 kV en SiC-4H disponibles commercialement.

SJEP120R125				
S : SemiSouth	J : JFET	E : Normally-off (D : Normally-on)	120 : V_{BR} en Volt	125 : $R_{DS,(ON)}$ mΩ
C2M0025120D				
C : Cree	2 : 2e génération	M : MOSFET	0025 : $R_{DS,(ON)}$ mΩ	120 : V_{BR} en Volt

Tableau 1-6 : Exemple de références du composant (JFET et MOSFET).

Bien que leur tenue en tension soit identique, ces interrupteurs ont des valeurs de résistance bien différentes. Ce phénomène existe aussi dans une génération spécifique issue de la même marque, par exemple dans la série C2M de Cree. La différence vient de la surface active du composant. Pour une structure donnée, plus la surface est importante, plus la résistance de l'ensemble est faible. Cela permet

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

d'avoir un courant nominal plus important. Cependant, ce facteur joue également un rôle déterminant pour la capacité d'entrée du composant (C_{ISS}), car elle est proportionnelle à la surface. Selon l'application, un compromis entre la résistance et la capacité est nécessaire.

Nous remarquons qu'il y a presque un facteur 2 entre la surface du drain (A_{Drain}) et la surface de la source (A_{Source}). C'est parce que dans un transistor vertical, la source, la grille et la terminaison sont sur la face avant, et le drain se situe sur la face arrière. Si on néglige l'espacement entre les métallisations des électrodes, la surface du drain est approximativement la somme de toutes ces structures sur la face avant :

$$A_{Drain} = A_{Source} + A_{Grille} + A_{Terminaison} \tag{1}$$

La capacité en courant du composant est limitée, plus précisément par la surface de la grille. Dans les sections suivantes, nous allons comparer en détails les performances des composants cités ci-dessus.

1.3.1 Performances statiques

L'invention du MOSFET est partiellement liée aux limites des transistors bipolaires (BJT) dans les applications de l'électronique de puissance. Le BJT demande au driver (circuit de commande) de fournir un courant de base permanent pour rendre le composant passant. Ce critère complexifie la réalisation du driver. En plus, les électrons et les trous participent à la conduction du BJT. La durée de vie des porteurs minoritaires engendre un courant de recouvrement au blocage, ce qui ralentit la vitesse de commutation par rapport à un MOSFET de même surface et gamme de tension. En revanche, le MOSFET est un interrupteur unipolaire dont la conduction est assurée par les porteurs majoritaires. Ils sont supérieurs au BJT dans les applications de haute fréquence. La commande du composant se fait par une tension sur la grille, et le courant de grille est faible. En plus, le MOSFET est normalement ouvert. Cela veut dire que pour une tension grille-source de 0 V, le composant est ouvert.

Néanmoins, la réalisation des MOSFETs en SiC-4H n'est pas simple. Il est difficile d'obtenir une interface oxyde/semi-conducteur de bonne qualité pour former la grille. Cette problématique est devenue un verrou dans le développement des MOSFETs dans les années 2000. Plus de détails sur ce problème et les solutions seront présentés dans la section 1.3.4.

Les JFETs et les SITs sont considérés comme les alternatives au MOSFET. Dans un premier temps, ils ont été éliminés de l'application dans les convertisseurs à cause de leur tension de seuil négative et de leur fonctionnement normalement

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

fermé. Pour remédier à ce problème, SemiSouth a développé des SITs dont les zones de charge d'espace natives se rejoignent lorsqu'aucune tension n'est appliquée sur la grille, rendant ce composant normalement ouverts. Cependant, ces SITs ne sont pas les remplaçants parfaits du MOSFET. Le défaut essentiel de ces SITs normalement ouverts est la courte plage de tension de commande. Prenons le SIT SFEP120R100 comme exemple. En effet, la grille du SIT est construite sur une diode parasite P^+NN^+ dont la couche N^+ est reliée à la source qui est souvent à la masse. La polarisation sur la grille ne peut donc pas dépasser la tension de seuil de la diode (typiquement 3 V) afin d'éviter d'amorcer celle-ci. Sachant que la tension de seuil du SIT SFEP120R100 est d'environ 1 V, sa plage de commande est donc comprise entre 1 V et 3 V. En revanche, l'intervalle de commande des MOSFETs est entre quelques Volts à 20 V.

Un autre défaut des SITs normalement ouverts est le faible courant nominal. En effet, pour avoir une tension de seuil positive, le rapport longueur/largeur du canal du SIT doit être élevé. Dans ce cas, la tension de saturation du composant est faible (< 5 V) et le courant de saturation drain source l'est également. Le courant nominal est limité par le courant de saturation du SIT. Comme dans le cas du SJEP120R100, le courant nominal est de 17 A qui est le courant maximal du SIT. Récemment, des drivers (circuit de commande d'interrupteurs) capables d'opérer à une tension négative ont été développés avec succès [56]. L'utilisation des JFETs et SITs normalement fermés devient envisageable. Avec des tensions de seuil négatives, la plage de commande de ces composants est plus large que celle du SIT normalement ouvert. La Figure 1-2 représente la comparaison en tension de commande et en courant nominal des JFETs, des SITs et des MOSFETs.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

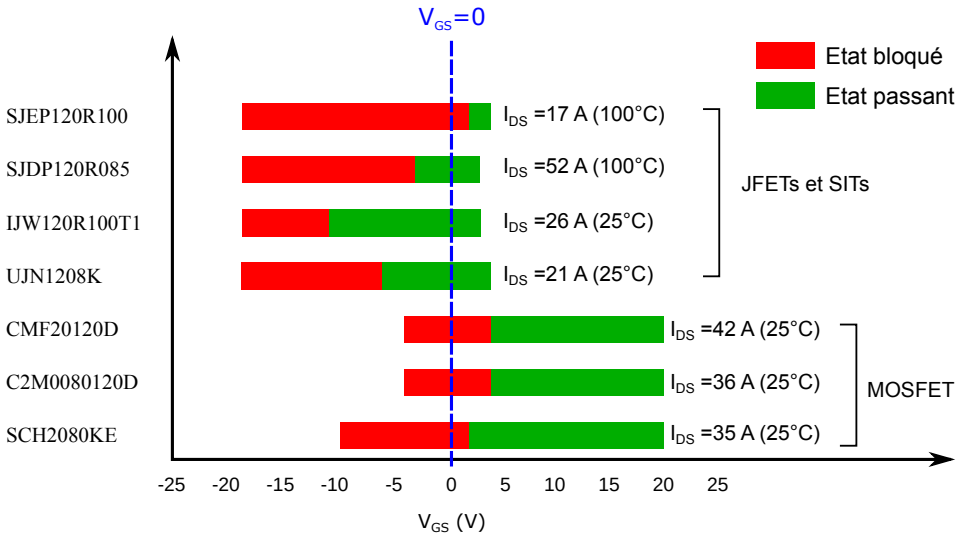


Figure 1-2 : Plage de tension grille-source des interrupteurs unipolaires avec une résistance à l'état passant comprise entre 80 mΩ et 100 mΩ.

D'un autre côté, comme on peut remarquer dans le Tableau 1-5 qui compare les interrupteurs unipolaires 1,2 kV, les surfaces des MOSFETs sont plus grandes que celles des JFETs et des SITs. Malgré le fait qu'ils ont parfois la même résistance, leurs résistances spécifiques ne sont pas identiques. Le rapport entre la tension de claquage (V_{BR}) et la résistance spécifique ($R_{ON,SP}$) d'un interrupteur est un critère important pour évaluer l'efficacité dans l'utilisation du matériau (BFM). Autrement dit, ce rapport donne une idée sur le niveau d'optimisation du composant dans la minimisation des pertes par conduction. Pour une tenue en tension donnée, plus la résistance spécifique est faible, meilleur le rapport est, plus l'interrupteur est performant. La Figure 1-3 reporte l'évolution rapport de V_{BR}/R_{ON} des interrupteurs unipolaires 1,2 kV en SiC-4H disponibles commercialement dans le temps. La résistance spécifique est calculée avec la surface de drain du composant. L'abscisse correspond à l'année de disponibilité des composants.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

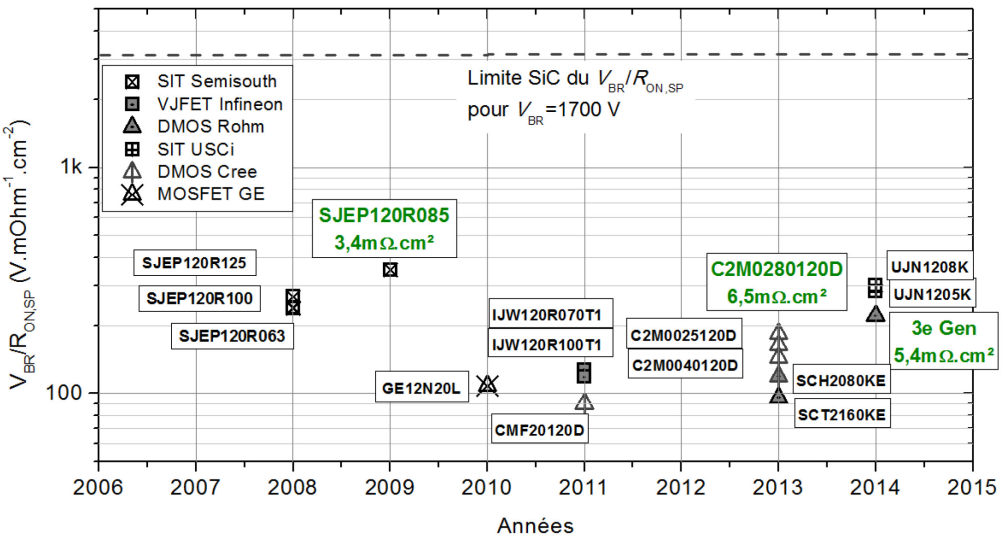


Figure 1-3 : Évolution du rapport entre la tension de claquage (V_{BR}) et la résistance spécifique ($R_{ON,SP}$) des interrupteurs unipolaires en SiC-4H disponibles commercialement. La résistance spécifique est calculée avec la surface du drain du composant.

Les SITs devancent aisément les MOSFETs et le LV-JFET en termes de résistance spécifique à l'état passant. Un SIT dont la résistance spécifique est de 3,4 mΩ.cm² a été réalisé par SemiSouth en 2009. La structure « Trench » du SIT permet d'avoir une densité de canal importante, ce qui réduit considérablement la résistance spécifique. L'explication en détail de cet avantage sera donnée dans la section 1.3.3.

Pour les D-MOSFET, la résistance spécifique minimale (6,5 mΩ.cm²) est obtenue par Cree en 2013. Ce résultat est 50 % inférieur à la première génération des D-MOSFETs réalisé deux ans avant, le CMF20120D. Les D-MOSFETs de la marque Rohm de la même année sont 2 fois plus résistifs que ceux de Cree. Cependant, la troisième génération des MOSFETs de Rohm (3e Gen) qui arrive bientôt se basera sur le DT-MOSFET (Double Implantation Trench MOSFET). C'est une structure qui permet d'améliorer le taux d'intégration du canal grâce à sa cellule plus compacte (cf. section 1.3.4). Un prototype du DT-MOS 1,2 kV du Rohm est présenté en 2014 avec une résistance spécifique de 5,4 mΩ.cm² [55], qui est 2 fois moins résistif que la 2e génération du D-MOS 1,2 kV du Rohm (12,5 mΩ.cm²).

Selon la Figure 1-3, la géométrie et la technologie de fabrication des composants unipolaires ne cessent de s'améliorer depuis 2008. Nous remarquons

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

tout de même que les valeurs du rapport V_{BR}/R_{ON} données par les interrupteurs commerciaux sont inférieures à la limite idéale du SiC-4H. Cette limite est calculée par 1,2 kV divisée par la résistance spécifique idéale de l'épitaxie de Baliga pour cette tenue en tension:

$$R_{ON-Ideal} = \frac{4V_{BR}^2}{\varepsilon_S \mu_n E_c^3} \tag{2}$$

La valeur de la résistance est d'environ 0,2 mΩ.cm². Cette valeur est bien plus faible que les résistances des interrupteurs figurés dans la Figure 1-3. Les raisons sont multiples. Premièrement, la résistance idéale est calculée pour une épitaxie dont la tenue en tension est exactement 1,2 kV. Dans la réalité, pour que le composant puisse assurer la tenue en tension malgré l'influence technologique, il faudrait sur-dimensionner l'épitaxie. Normalement, l'épitaxie fabriquée peut tenir jusqu'à 2 fois l'objectif [57]. Ensuite, il faut considérer la résistance du canal des interrupteurs unipolaires qui vient s'ajouter à la résistance du composant. Elle peut atteindre 40 % de la résistance totale du composant, comme dans le cas du SJD120R085 [58].

1.3.2 Performances dynamiques

Les transistors à effet de champ (FET) sont commandés en tension. En commutation, la fermeture et l'ouverture du composant sont réalisées par le chargement et le déchargement de la capacité d'entrée (C_{ISS}) du composant. Cette opération nécessite un certain temps, ce qui engendre des pertes en commutation. Nous allons présenter les différentes étapes de l'amorçage (fermeture) et du blocage (ouverture) d'un transistor FET à l'aide des formes d'onde idéales du courant et de la tension d'un MOSFET (Figure 1-4 et Figure 1-5).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

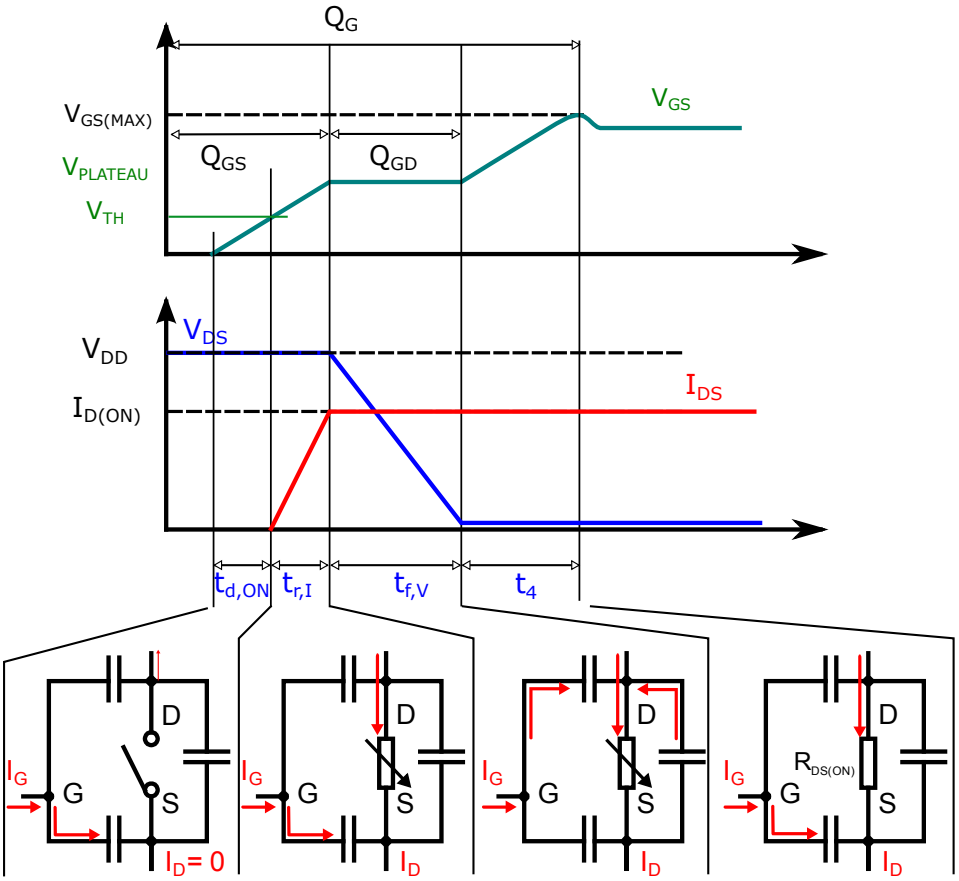


Figure 1-4 : Forme d'onde idéale du courant et de la tension à l'amorçage d'un MOSFET.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

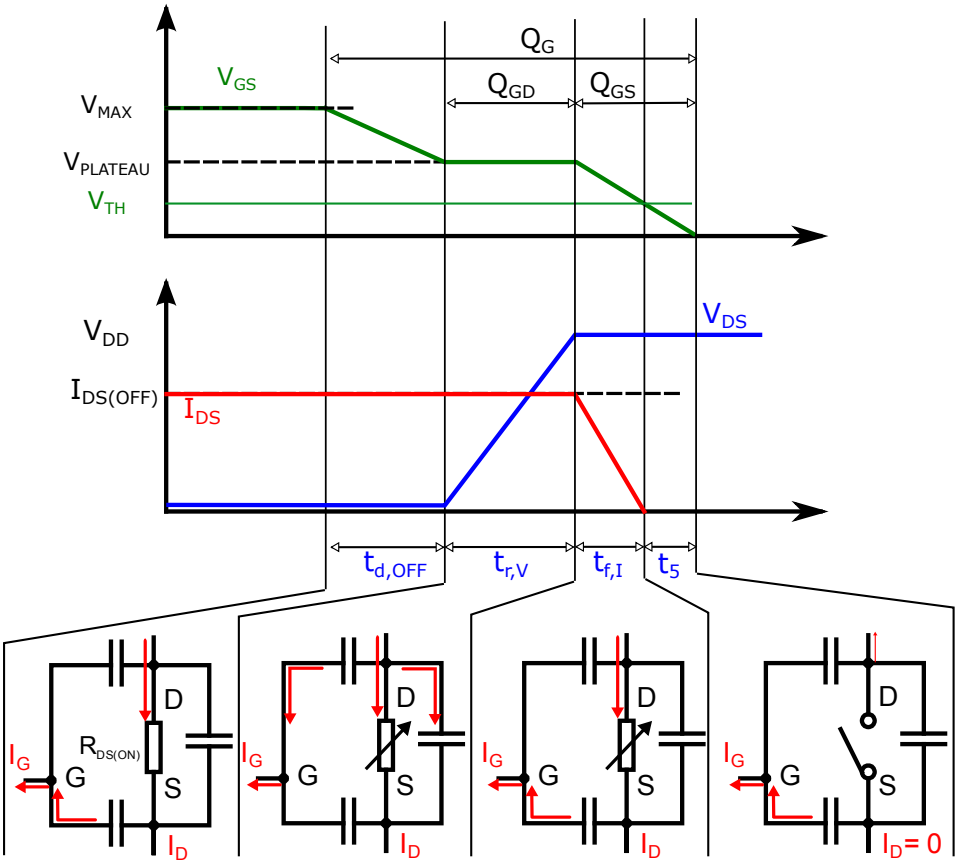


Figure 1-5 : Forme d'onde idéale du courant et de la tension au blocage d'un MOSFET.

Symbole	Signification	Phase
$t_{d,ON}$	Délai à la fermeture	Fermeture de l'interrupteur
$t_{r,I}$	Temps de montée du courant	
$t_{f,V}$	Temps de descente de la tension	
$t_{d,OFF}$	Délai à l'ouverture	Ouverture de l'interrupteur
$t_{r,V}$	Temps de montée de la tension	
$t_{f,I}$	Temps de descente du courant	

Tableau 1-7 : Signification des temps utilisés dans la Figure 1-4 et Figure 1-5.

À courant de grille constant, la vitesse de commutation d'un transistor FET dépend de sa capacité d'entrée qui est la somme de la capacité grille-source (C_{GS}) et

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

la capacité grille-drain (C_{GD}). Quand l'interrupteur est ouvert, la tension drain source est égale à la tension d'alimentation V_{DD} (non représenté sur le graphe), et le courant drain-source est nul. L'amorçage de l'interrupteur se fait en quatre phases :

Phase	Durée	V_{GS}	V_{DS}	I_{DS}	C_{GS}	C_{GD}
1	$t_{d,ON}$	$0 \nearrow V_{TH}$	V_{DD}	0	$0 \nearrow$	Q_{GD}
2	$t_{r,I}$	$V_{TH} \nearrow V_{PLATEAU}$	V_{DD}	$0 \nearrow I_{DS(ON)}$	$\nearrow Q_{GS}$	Q_{GD}
3	$t_{f,V}$	$V_{PLATEAU}$	$V_{DD} \searrow 0$	$I_{DS(ON)}$	Q_{GS}	$Q_{GD} \searrow 0$
4	t_4	$V_{PLATEAU} \nearrow V_{GS(MAX)}$	V_{DD}	$I_{DS(ON)}$	Q_G	0

Phase 1 : La capacité grille source (C_{GS}) se charge via la résistance de grille (non représentée sur le graphe) pendant le temps de délai ($t_{d,ON}$). La tension grille source atteint la tension de seuil (V_{TH}).

Phase 2 : Le courant drain source augmente à sa valeur de l'état passant ($I_{DS(ON)}$), pendant le temps $t_{r,I}$. La tension grille source atteint un plateau ($V_{PLATEAU}$) qui s'appelle le plateau de Miller. Les charges emmagasinées dans la capacité grille source atteignent Q_{GS}.

Phase 3 : La capacité grille source s'arrête de se charger et la tension grille source reste constante. En revanche, la capacité grille drain (C_{GD}) se décharge par le courant de grille (I_G) et de drain (I_D). La tension drain source diminue à 0 V.

Phase 4 : Le courant et la tension drain source n'évoluent plus guère. La capacité grille source reprend sa charge par le courant de grille pendant le temps t_4. À la fin, la tension grille source atteint sa valeur maximale ($V_{GS(MAX)}$), et les charges dans la capacité grille source atteignent Q_G.

L'ouverture de l'interrupteur se procède également en quatre phases :

Phase	Durée	V_{GS}	V_{DS}	I_{DS}	C_{GS}	C_{GD}
1	$t_{d,OFF}$	$V_{MAX} \searrow V_{PLATEAU}$	0	$I_{DS(OFF)}$	$Q_G \searrow Q_{GS}$	0
2	$t_{r,V}$	$V_{PLATEAU}$	$0 \nearrow V_{DD}$	$I_{DS(OFF)}$	Q_{GS}	$0 \nearrow Q_{GD}$
3	$t_{f,I}$	$V_{PLATEAU} \searrow V_{TH}$	V_{DD}	$I_{DS(OFF)} \searrow 0$	$Q_{GS} \searrow$	Q_{GD}
4	t_5	$V_{TH} \nearrow 0$	V_{DD}	0	$\searrow 0$	Q_{GD}

Phase 1 : La capacité grille source se décharge via la résistance de grille (non représenté sur le graphe). La tension grille source descend à la tension plateau ($V_{PLATEAU}$). La tension et le courant drain source n'évoluent pas pendant cette phase.

Phase 2 : La capacité grille drain (C_{GD}) se charge par le courant de drain (I_D) et le courant de grille (I_G). La tension drain-source augmente à la tension

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

d'alimentation (V_{DD}). Entretemps, le courant drain source et la tension grille source n'évoluent pas.

Phase 3 : La capacité grille source (C_{GS}) reprend à se décharger et la tension grille source (V_{GS}) baisse à la tension de seuil (V_{TH}). Le courant grille-source (I_{DS}) diminue de sa valeur à l'état passant ($I_{DS(OFF)}$) à 0 A.

Phase 4 : La capacité grille source finit de se décharger et la tension de grille source atteint 0 V.

La commutation d'un JFET suit les mêmes étapes que celles du MOSFET. La différence est que la tension grille source varie entre une valeur négative et 0 V pour un JFET normalement fermé.

Il est évident que le produit V_{DS}*I_{DS} n'est pas nul pendant les temps de montée et de descente de la tension et du courant drain-source. Ce phénomène engendre des pertes en commutation (P_{SW}).

$$P_{SW} = (E_{ON} + E_{OFF}) \cdot f \tag{3}$$

Avec E_{ON} et E_{OFF}, les énergies nécessaires pour la fermeture et l'ouverture de MOSFET, respectivement ; *f*, la fréquence de commutation.

$$E_{ON} = V_{DD} \times I_{DS(ON)} \times \frac{t_{f,V} + t_{r,I}}{2} \tag{4}$$

$$E_{OFF} = V_{DD} \times I_{DS(OFF)} \times \frac{t_{f,I} + t_{r,V}}{2} \tag{5}$$

Pour un courant de grille donné, la vitesse de commutation dépend de la capacité grille source (C_{GS}) et la capacité grille drain (C_{GD}). Dans l'industrie, la somme de ces deux capacités est appelée la capacité d'entrée de MOSFET, C_{ISS}. Minimiser les capacités permet d'optimiser les temps de montée et de descente. On peut donc minimiser les pertes en commutation.

La valeur de C_{ISS} est déterminée par les propriétés du matériau, la structure cellulaire du composant et la surface totale du composant. Pour une structure de transistor FET donné, la capacité d'entrée peut être réduite en diminuant la surface du composant. Cependant, cette mesure réduit aussi la capacité en courant du transistor, ce qui engendre une augmentation de résistance à l'état passant (R_{ON}). Par conséquent, pour même un niveau du courant, les pertes de conduction (P_{Cond}) augmentent :

$$P_{Cond} = R_{ON} \times I_{DS(ON)}^2 \tag{6}$$

Afin de bien évaluer la qualité d'un interrupteur, il est donc important de prendre en compte sa résistance à l'état passant et sa capacité d'entrée. La

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

fréquence de Baliga (f_B) est ainsi définie en faisant le produit de ces deux caractéristiques [22]:

$$f_B = \frac{1}{R_{ON} * C_{ISS}} \tag{7}$$

Plus la valeur de la fréquence f_B est élevée, plus l'interrupteur est optimisé pour les applications de haute fréquence et de fort courant.

On place les interrupteurs unipolaires 1,2 kV commerciaux dans le plan de C_{ISS}-R_{ON} afin de comparer leur fréquence de Baliga (f_B). Les droites dans les plans représentent les différentes fréquences obtenues par le produit de l'abscisse et l'ordonnée. Les composants sur la même droite ont donc la même fréquence f_B. Souvent, si ces composants sont issus de la même génération d'un fabricant, ils ont la même cellule élémentaire.

Composant	R_{ON} (mΩ)	C_{ISS} (pF)	A_{drain} (mm²)
SJEP120R063	63	1220	8
SJEP120R100	100	670	~4,5
SJEP120R125	125	610	4
SJDP120R085	85	670	4
SJDP120R045	45	510	NA

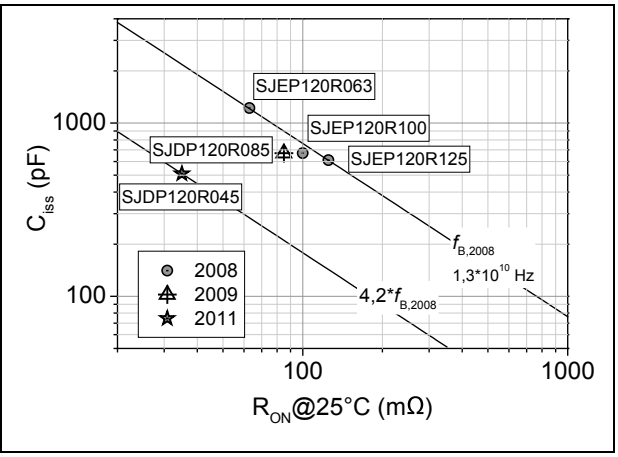


Figure 1-6 : SITs de SemiSouth sur le plan C_{ISS}-R_{ON}.

Les SITs de SemiSouth sortis en 2008, 2009 et 2011 sont placés dans la Figure 1-6. Les SJEP120R063, SJEP120R100, SJEP120R125 sont des SITs normalement ouvert, avec des tensions de seuil positives. Ils ont la même fréquence f_B ($1{,}3\times10^{10}$ Hz), car ils sont basés sur la même cellule élémentaire du SIT. La résistance spécifique de cette cellule est importante. Pour avoir des composants de faible résistance, il faut augmenter la surface du composant, comme par exemple le SJEP120R063. En revanche, la capacité d'entrée (C_{iss}) augmente également, ce qui augmente le temps nécessaire pour la commande.

La fréquence de Baliga des SITs a augmentée de 1,6 fois en 2009, et 4,2 fois en 2011. Le SJDP120R085 du 2009 a la même surface de puce (4 mm²) que le SJEP120R125 du 2008. Cependant, le SJDP120R085 est un SIT normalement fermé. Sa résistance spécifique à l'état passant ($R_{ON,SP}$) est donc plus faible que celle du SIT normalement ouvert, comme par exemple la résistance R_{ON} du SJDP120R085 qui est plus faible que celle du SJEP120R125. D'un autre côté, la

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

capacité d'entrée de ces deux SITs sont similaires. La fréquence de Baliga du SJDP120R085 est donc plus élevée que celle du SJEP120R125 à cause de la réduction de la résistance à l'état passant.

Le SJDP120R045 de 2011 a la plus faible résistance et la capacité d'entrée parmi les SITs SemiSouth. Bien qu'il n'y ait pas de données sur la surface de SJDP120R045, il est évident que la cellule élémentaire de celui-ci est plus optimisée pour avoir une résistance spécifique et une capacité spécifique faible.

Composant	R_{ON} (mΩ)	C_{ISS} (pF)	A_{drain} (mm²)
IJW120R070T1	70	1600	~13,4
IJW120R100T1	100	1200	10,1
UJN1205K	45	1020	~9,4
UJN1208K	80	500	~5,0

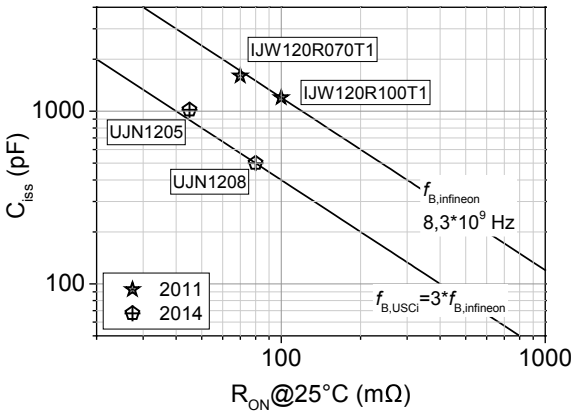


Figure 1-7 : SITs d'USCi et LV-JFET d'Infineon sur le plan C_{ISS}-R_{ON}

Les SITs d'USCi et les LV-JFET d'Infineon sont placés sur le même plan C_{ISS}-R_{ON} (Figure 1-7) afin de comparer leur capacité de fonctionnement à haute fréquence. La fréquence de Baliga des SITs d'USCi est 3 fois plus importante que celle des LV-JFET Infineon ($8{,}3\times10^9$ Hz). Le SIT UJN1205K d'USCi (9,4 mm²) et l'IJW120R100T1 d'Infineon (10,1 mm²) ont pratiquement la même surface de drain, et leurs capacités d'entrée sont proches. C'est-à-dire que les deux transistors ont des capacités spécifiques similaires. Néanmoins, le LV-JFET IJW120R100T1 est 2 fois plus résistif que le SIT UJN1205K. La différence en résistances provenant de l'avantage structurel du SIT par rapport au LV-JFET (Section 1.3.5)

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Composant	R_{ON} (mΩ)	C_{ISS} (pF)	A_{drain} (mm²)
CMF20120D	80	1915	16,6
C2M0025120D	25	2788	26,0
C2M0040120D	40	1893	~18,3
C2M0080120D	80	950	~10,4
C2M0160120D	160	525	~6,3
C2M0280120D	280	259	NA

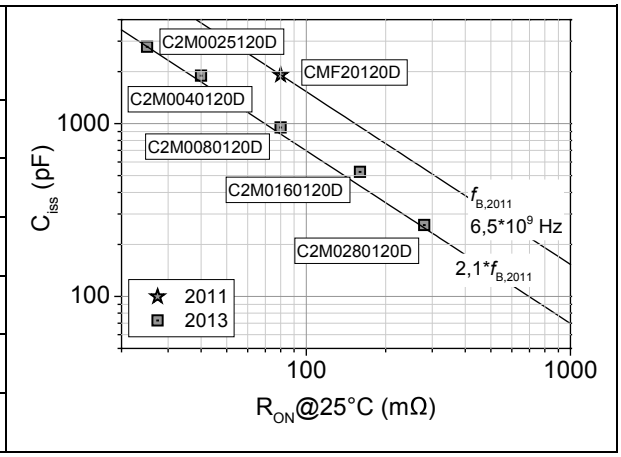


Figure 1-8 : D-MOSFET de Cree sur le plan C_{ISS}-R_{ON}.

Les deux générations des D-MOSFETs (Double Implanted MOSFET) 1,2 kV de Cree sont placés sur le plan C_{ISS}-R_{ON} (Figure 1-8) afin de constater l'évolution en termes de capacité haute fréquence des D-MOSFETs. La fréquence de Baliga de la première génération de D-MOSFET est de $6{,}5\times10^9$ Hz. En 2013, cette fréquence est augmentée de 2,1 fois. Cette amélioration est due à l'optimisation de la structure de D-MOSFET. En effet, selon la Figure 1-3, nous avons remarqué que la résistance spécifique des D-MOSFETs de 2013 réduit de 70% par rapport à la première génération.

Composant	R_{ON} (mΩ)	C_{ISS} (pF)	A_{drain} (mm²)
SCH2080KE	75	1850	12,6
SCT2160KE	160	1200	~7,8
3e génération (DT-MOS)	40	640	13,6

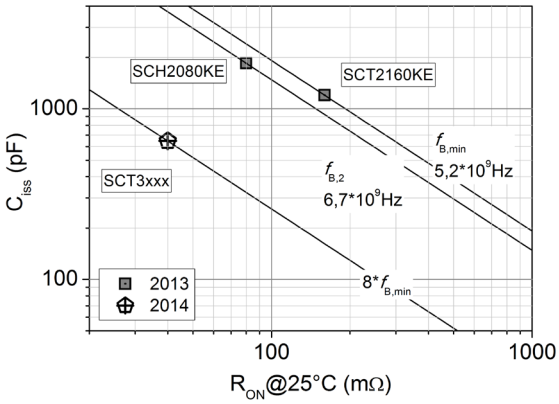


Figure 1-9 : MOSFETs de Rohm sur le plan C_{ISS}-R_{ON}. La deuxième génération est basée sur la structure D-MSOFET, et la troisième génération (bientôt disponible) est basée sur la structure DT-MOSFET.

Les MOSFETs de Rohm sont représentés dans le plan C_{ISS}-R_{ON} (Figure 1-9). La première génération des MOSFETs n'est pas montrée à cause du manque de données. La deuxième génération des MOSFETs (2013) est aussi basée sur la structure D-MOSFET comme Cree qui est une structure planaire. Mais la troisième génération présentée en 2014 est basée sur la structure DT-MOSFET (Double-

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Trench MOSFET, Cf. section 1.3.4). Nous avons remarqué que la fréquence de Baliga de la troisième génération est 8 fois plus importante que celle de la deuxième génération ($5{,}2\times10^9$ Hz). Le DT-MOSFET surpasse même les SITs avec leurs performances dynamiques. En effet, dans un DT-MOSFET, le canal est réalisé verticalement sur le flanc d'une gravure. Les deux avantages principaux de cette structure sont : 1) une capacité d'entrée spécifique minimisée ; 2) une résistance spécifique plus faible.

Nous avons comparé les performances statiques et dynamiques des interrupteurs unipolaires 1,2 kV disponibles commercialement. Les écarts de caractéristiques dépendent fortement de la cellule du dispositif. Par la suite, nous allons donc présenter les structures de ces composants pour connaitre leurs spécificités.

1.3.3 Transistor à effet d'induction (SIT)

1.3.3.1 Évolution structurelle du dispositif

Le SIT fait partie de la famille des transistors à effet de champ (FET). Le concept du FET a été proposé par Lilienfeld dans les années 1930 [59]. C'est une méthode qui consiste à contrôler le flux du courant électrique entre deux électrodes en appliquant une troisième tension entre elles. Avec ce principe, le premier transistor FET a été réalisé avec succès en 1950 par Stuetzer [60]. En 1952, Shockley a publié les premières analyses théoriques sur les transistors FET [61]. La structure du transistor unipolaire modélisé par cet article est représentée dans la Figure 1-10. C'est une structure N^+PN^+. Le courant circule entre les deux électrodes P^+ en traversant le canal du type P. Le flux du courant est modulé par la zone des charges d'espace des jonctions N^+P.

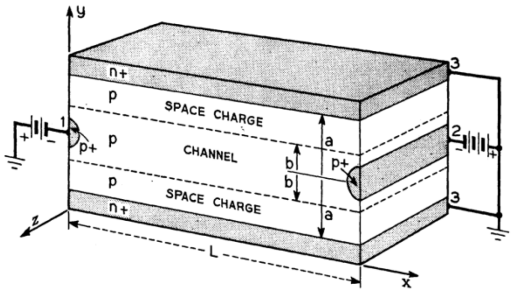


Figure 1-10 : Zone de charges d'espace et canal dans la structure du premier transistor unipolaire du Shockley [61]**.**

Basé sur le principe du transistor FET, le SIT a été inventé dans les années 70 par Nishizawa au Japon [62]. La structure de SIT initialement réalisée est représentée dans la Figure 1-11. C'est une structure verticale réalisée sur Silicium

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

qui contient une source fortement dopée, un canal faiblement dopé, des grilles fortement dopées, une région de dérive faiblement dopée et un substrat (drain) fortement dopé. La réalisation de la structure en Silicium est dans l'ordre suivant. Nous prenons l'exemple d'un substrat de type N^+. D'abord, une épitaxie sans dislocation est déposée sur le substrat. Ensuite, l'implantation des grilles de type P^+ est effectuée sur la surface de l'épitaxie. Une épitaxie avec une concentration des impuretés de N^- est redéposée sur la première épitaxie. Au finale ; une implantation de la source de type N^+ est réalisée.

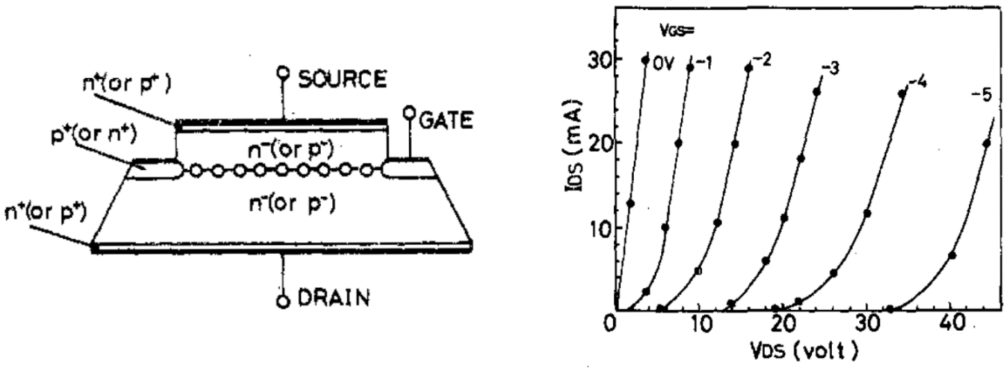


Figure 1-11 : Première structure du SIT réalisée par Nishizawa au Japon dans les années 70 et ses caractéristiques de sortie [62]**.**

Le SIT est un composant commandé par la tension grille-source (V_{GS}). Le flux du courant drain-source dépend des zones de charges d'espace dans le canal créé par les grilles en fonction de la tension de commande. Les caractéristiques de sorite (I_{DS}-V_{DS}) du premier SIT réalisé pour différentes tensions grille-source sont également données dans la Figure 1-11. C'est un interrupteur normalement fermé. Les courbes du courant drain source sont similaires à celles d'une triode, c'est-à-dire que le courant ne sature pas quelle que soit la tension drain-source. Grâce à cette propriété, le SIT Silicium a été largement utilisé comme amplificateur audio de puissance. Afin de rendre le composant plus adapté pour ces applications, Nishizawa a proposé une structure optimisée de SIT pour les opérations haute tension et haute fréquence (Figure 1-12) [62]. Par rapport à la structure sur la Figure 1-11, la capacité grille-source du SIT optimisé est réduite, ce qui permet d'augmenter la vitesse de commutation. En termes de réalisation, une gravure dans la couche redéposée (canal) est nécessaire pour contacter les grilles. Cette structure est aussi appelée la structure Trench.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

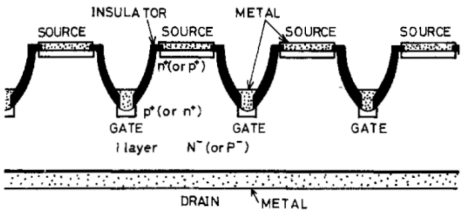
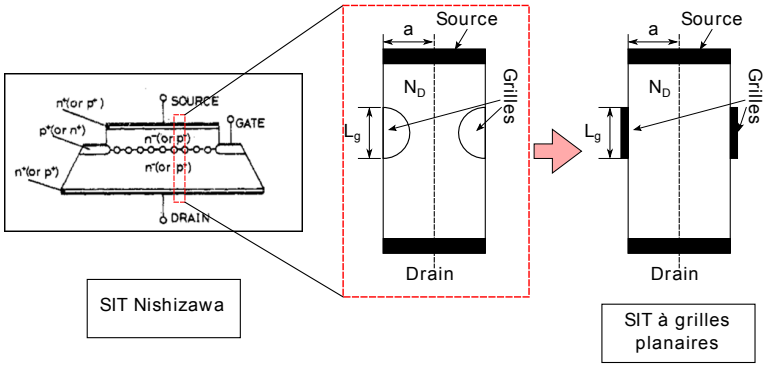


Figure 1-12 : Vue en coupe du SIT optimisé pour les applications haute tension et haute fréquence [62]**.**

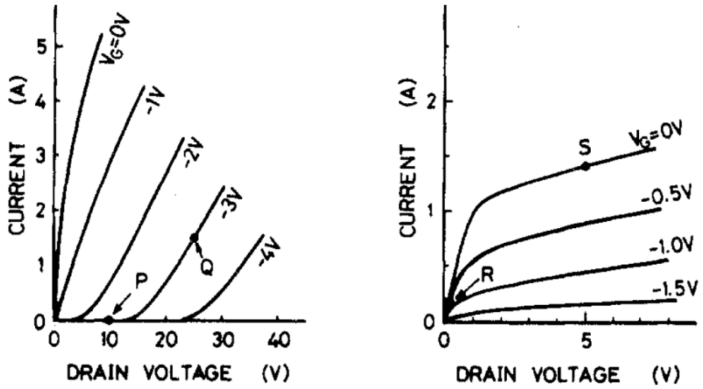
Les études montrent ensuite que les caractéristiques de courant d'un SIT dépendent fortement de la géométrie du composant [63]. Les analyses sont effectuées à l'aide de la simulation numérique d'un SIT à grille planaire. C'est une structure simplifiée de la structure initiale de Nishizawa, comme montré dans la Figure 1-13(a). Les paramètres cruciaux qui déterminent le comportement du courant en fonction de la tension drain-source sont la longueur de la grille (L_G), la largeur du canal (2×a) et le dopage du canal (N_D). Les caractéristiques du courant drain-source peuvent être similaires à celles d'une triode (Figure 1-13(b)) ou celles d'une pentode (Figure 1-13(c)).

La possibilité d'obtenir un comportement d'un SIT similaire à celui d'une pentode est intéressante pour les applications de l'électronique de puissance, telles que conversion d'énergie et limiteur du courant. De plus, à cause des problèmes de fiabilité de l'oxyde des MOSFETs en SiC, le SIT a reçu beaucoup d'attention dans les années 2000. Dans un premier temps, il est difficile d'obtenir des SITs normalement ouvert, ce qui est plus sécurisé pour les utiliser dans les convertisseurs de tension. L'utilisation de l'implantation angulaire des impuretés en 2007 a remédié à ce problème en réalisant l'implantation P^+ dans le canal du SIT [64]. Des SITs 1,2 kV en SiC-4H ont été ensuite commercialisés par SemiSouth (cf. Section 1.3.1).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés



(a)



Comportement Triode

(b)

Comportement Pentode

(c)

Figure 1-13 : SIT à grille planaire et ses caractéristiques de sortie avec différents paramètres du canal. (b) $N_D = 10^{15}$ cm^{-3}, L_g = 1 µm et a = 1,2 µm. (c) $N_D = 10^{16}$ cm^{-3}, L_g = 1 µm et a = 0,5 µm [63].

La structure du SIT SemiSouth est représentée dans la Figure 1-14(a). Elle est similaire à la structure Trench de Nishizawa (Figure 1-12). La structure SemiSouth contient une source de type N^{++}, un canal de type N dopé à N_{ch}, une épitaxie de type N dopée à N_{dr}, des grilles de type P^+ et un substrat de type N^{++}. Les électrodes de source et de drain sont situées sur la face avant et la face arrière du SIT, respectivement. Afin d'obtenir un interrupteur normalement ouvert, il faut que les zones des charges d'espace créées par la jonction P^+N occupent complètement l'espace du canal pour une tension grille-source nulle (V_{GS} = 0 V). Pour ce faire, la largeur du canal doit être étroite, et l'implantation des grilles de type P^+ est étendue jusqu'à la source grâce à la technique de l'implantation angulaire introduite par ZHAO en 2007 [64]. Le principe de cette technique est représenté dans la Figure 1-14(b). Le masque de l'implantation protège uniquement la source (n^{++}). En inclinant l'implantation des impuretés de type accepteur, une jonction P^+N est créée

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

le long de la gravure. Une partie des accepteurs est injectée dans l'extrémité de la source. Si la concentration de l'accepteur est supérieure à celle du donneur, la nature de l'extrémité de la source peut inverser. Cela peut augmenter la résistance de source.

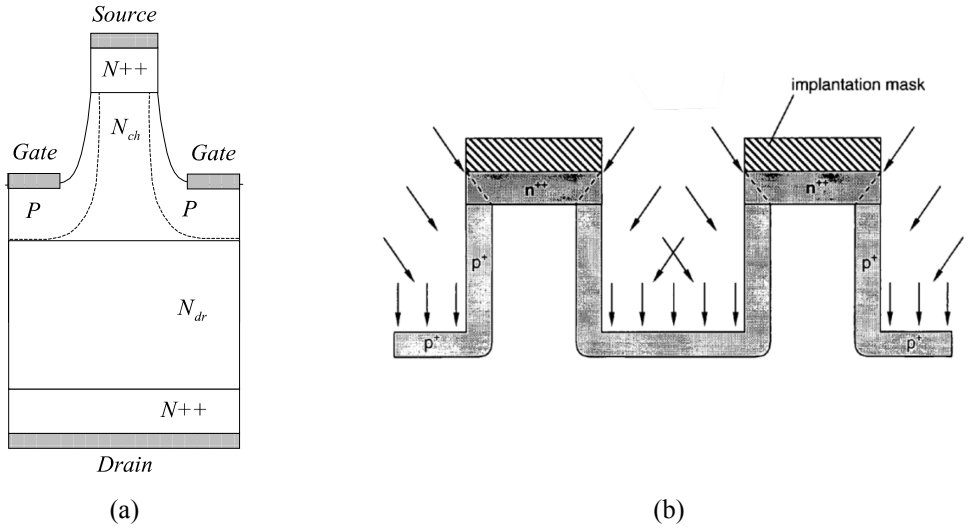


Figure 1-14 : (a) Vue en coupe du SIT normalement ouvert du SemiSouth [65]***. (b) Technique de l'implantation angulaire afin de former la grille sur le côté du canal du SIT*** [64]**.**

La faible largeur du SIT normalement ouvert augmente la résistance du canal. De plus, la tension de seuil positive réduit la plage de commande de l'interrupteur, comme nous avons présenté dans la section 1.3.1. Suite à l'apparition des drivers capables de fournir des tensions négatives, l'utilisation des SITs normalement fermés devient possible.

En 2011, le fabricant USCi a présenté son SIT 1,2 kV normalement fermé en SiC-4H qui est ensuite commercialisé en 2014 [14], [66]. La vue en coupe de ce SIT est représentée dans la Figure 1-15. Similaire au SIT de SemiSouth, le SIT d'USCi est composé d'une source N^+, un canal N^-, des grilles P^+, une région de dérive N^- et un substrat (N^+). La spécificité de cette structure réside dans la gravure dans l'épitaxie du canal qui est très verticale. Ceci permet d'avoir des zones P^+ dans le canal plus uniformes par rapport à celles du SIT de SemiSouth. De cette manière, la forme des zones de charges d'espace dans le canal est aussi plus régulière dans la structure d'USCi, ce qui permet de réduire le courant de fuite drain-source. Ainsi ils obtiennent un interrupteur normalement fermé avec une tension de seuil autour de -7 V. La résistance spécifique du SIT USCi est de 4 mΩ.cm², proche des meilleurs résultats des SITs normalement fermés de SemiSouth (3,4 mΩ.cm², Figure 1-3).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

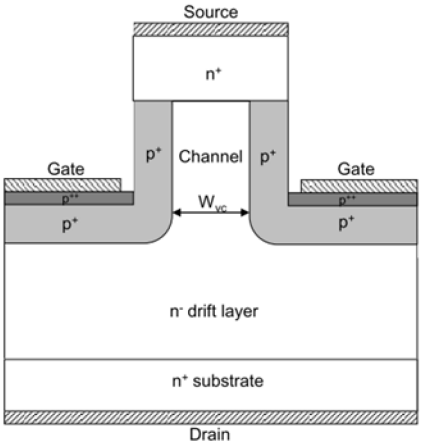


Figure 1-15 : Vue en coupe du SIT en SiC-4H d'USCi.

Les structures de SIT telles que celles de SemiSouth et d'USCi sont maintenant largement utilisées par les laboratoires de recherche et les industries pour réaliser des interrupteurs haute tension [67]–[70]. Par la suite, nous allons regarder les avantages et les inconvénients de SIT dans les applications de l'électronique de puissance.

1.3.3.2 Avantages et inconvénients des SITs

Les structures de SIT sont plus simples à réaliser par rapport aux MOSFETs, car les SITs ne dépendent pas de l'oxyde de grille. En revanche, les caractéristiques électriques (tension de seuil, courant de saturation, résistance à l'état passant) d'un SIT sont sensibles à la géométrie du canal [58]. La précision dans la réalisation de la zone du canal (épitaxie du canal, gravure pour former les trench, implantation des grilles) est cruciale afin d'assurer un bon fonctionnement du SIT.

La faible résistance spécifique à l'état passant est un point fort du SIT. En effet, le canal du SIT est purement vertical, ce qui rend la cellule du SIT plus compacte que celle du D-MOSFET et du LV-JFET[71]. Pour une surface donnée, cet avantage augmente la densité d'intégration, ce qui réduit la résistance spécifique. En revanche, la résistance à l'état passant (R_{ON}) d'un SIT est sensible à la température. La valeur de R_{ON} peut doubler entre 25°C et 150°C, tandis que la résistance d'un MOSFET en SiC reste identique à celle à la température ambiante [72].

La tension de seuil du SIT est déterminée par la géométrie et le dopage du canal. Afin de réaliser un interrupteur normalement ouvert (tension de seuil positive), il faut un canal long et étroit. Dans ce cas, les zones des charges d'espace créées par la jonction P^+N à polarisation nulle occupent complètement la section du canal. Cette mesure augmente la résistance du canal du composant.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

En termes de performance dynamique, l'avantage de la structure de SIT est la faible capacité grille-source, car la source n'est pas en regard de la grille. En revanche, à cause de la présence de la couche P^+ dans le canal, la capacité grille-drain (capacité Miller) du SIT est importante. Ceci peut dégrader la vitesse de commutation de l'interrupteur.

La tenue en température des SITs est élevée. En effet, sans la structure MOS, la limite en température du composant (sans considérer les contraintes du packaging) est la limite thermique intrinsèque du matériau SiC-4H. C'est-à-dire que la température à laquelle la concentration intrinsèque du SiC-4H atteint le niveau de dopage du canal ou de la région de dérive. Par exemple, pour que la concentration intrinsèque atteigne un dopage typique de 10^{15} cm^{-3}, la température du composant doit être supérieure à 1300 K. Cette caractéristique du SIT est très intéressante pour les applications de protection contre le court-circuit [73], [74]. Les avantages et les inconvénients de la structure de SIT sont résumés dans le Tableau 1-8.

Critères	**Avantages**	**Inconvénients**
Réalisation	Sans oxyde de grille, simple à réaliser	
Application conversion d'énergie	Faible résistance spécifique à l'état passant faible, Faible capacité grille source	Tension de seuil négative pour diminuer la résistance du composant ; Capacité spécifique grille drain (Miller) importante ; Résistance à l'état passant sensible à la température.
Fiabilité à haute température (Protection en cas du court-circuit)	Haute tenue en température	

Tableau 1-8 : Avantages et inconvénients des SITs en SiC au niveau de la réalisation et dans les applications de l'électronique de puissance.

1.3.4 MOSFETs de puissance

1.3.4.1 Structure du D-MOSFET et DT-MOSFET

Il existe actuellement deux modèles de MOSFETs de puissance selon la position du canal, appelés MOSFET planaire et Trench MOSFET [15]. Ces deux modèles ont été réalisés en SiC-4H.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Le premier MOSFET de puissance réalisé en SiC est un D-MOSFET (Double implanted MOSFET) 600 V par Rohm dans les années 2000 [75]. Ensuite, Rohm et Cree ont commercialisé des D-MOSFETs 1,2 kV en SiC-4H en 2014 dont la structure est représentée dans la Figure 1-16. La réalisation du composant commence par le dépôt d'une épitaxie de type N sur un substrat de type N^+. Une base de type P est implantée dans l'épitaxie. La source de type N^+ est implantée dans la base P. La grille est réalisée sur le plan de l'épitaxie, sans gravure. Cette structure est donc aussi appelée MOSFET planaire.

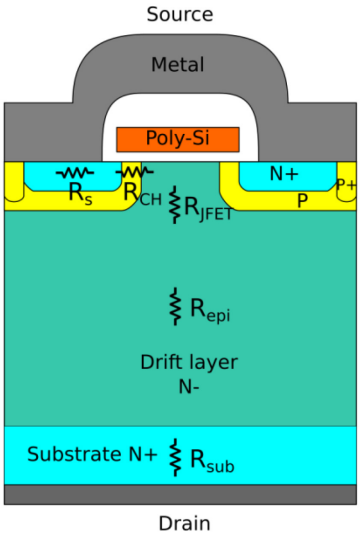


Figure 1-16 : Structure du D-MOSFET 1,2 kV avec les résistances dans la structure.

La résistance du D-MOSFET est constituée par la résistance de source (R_S), la résistance du canal (R_{CH}), la résistance JFET (R_{JFET}), la résistance de la région de dérive (R_{epi}) et la résistance du substrat (R_{sub}). Pour un MOSFET donné, la résistance du canal dépend fortement de la polarisation grille source :

$$R_{CH} = \frac{L_{CH}}{Z\mu_{ni}C_{OX}(V_G - V_{TH})} \tag{8}$$

Avec L_{CH} la longueur du canal, Z la longueur du canal orthogonale au plan de la figure, μ_{ni} la mobilité des électrons dans le canal, C_{OX} la capacité de l'oxyde de grille, V_G la polarisation de la grille (source à la masse), et V_{TH} la tension de seuil du MOSFET. Plus la polarisation de la grille est importante, moins la résistance du canal est élevée.

Le D-MOSFET est un interrupteur normalement ouvert bidirectionnel en courant (body diode). Sans polarisation (V_{GS} = 0 V), il n'y a pas de canal d'inversion formé dans la base qui permet la circulation du courant du drain vers la source. Pour une tension drain-source (V_{DS}) positive, une tension grille-source positive est nécessaire pour créer un canal du type N et mettre en conduction

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

l'interrupteur. En cas d'une tension V_{DS} négative, la mise en conduction du D-MOSFET peut se faire soit par le canal, soit par la diode interne de la structure (body diode). La Figure 1-17 montre un exemple de conduction du D-MOSFET pour une tension V_{DS} négative. Une diode bipolaire interne est formée entre le drain et la source par la zone P^+ et l'épitaxie (N^-). Sans polariser le canal (V_{GS} = 0V), le courant de la source vers le drain circule uniquement dans la diode interne. Pour une tension grille source égale à 18 V, un canal d'inversion est créé dans la base du type P. Pour la même tension drain-source, le courant circule à la fois dans la diode et dans le canal.

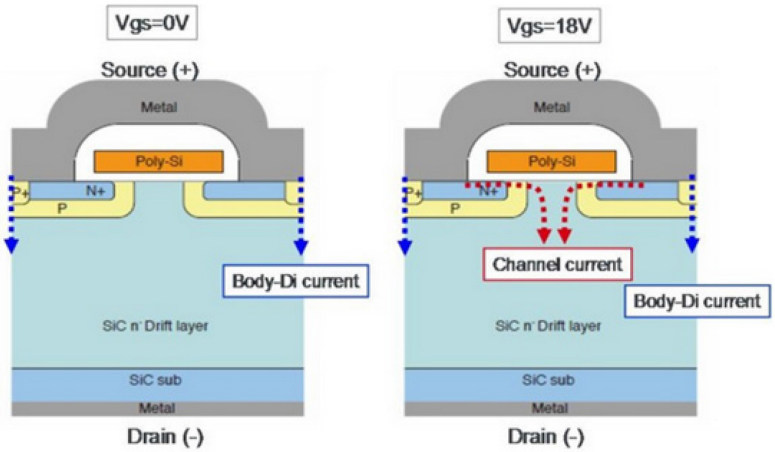


Figure 1-17 : Mise en conduction du D-MOSFET par la diode interne seule (gauche)et par la diode et le canal (droite) en cas d'une polarisation drain source négative.

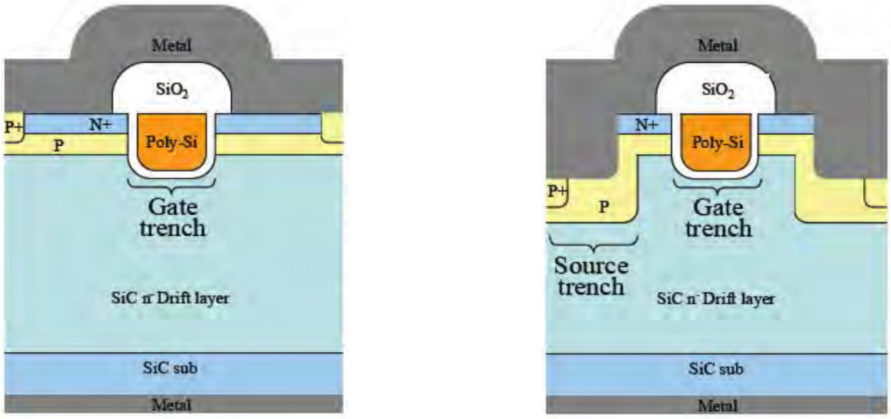
L'inconvénient principal de la structure de D-MOSFET est que la résistance spécifique ($R_{ON,SP}$) n'est pas suffisamment petite. Ceci est dû à deux raisons. La première est la résistance JFET indéniable située entre les deux porte-canaux. La deuxième est que la cellule n'est pas compacte à cause de la longueur du canal et de la source. En revanche, la région JFET est absente dans la structure de Trench MOSFET. Pour cette raison, la nouvelle génération de MOSFET de puissance de Rohm est basée sur un Trench MOSFET [75].

Le Trench MOSFET de Rohm, appelé DT-MOSFET (Double Trench MOSFET) est similaire à un U-MOSFET (Figure 1-18) [76]. Leur oxyde de grille est réalisé le long de la gravure dans l'épitaxie (région de dérive). De cette manière, le canal formé entre la source (N^+) et l'épitaxie se situe perpendiculairement au substrat. Les électrons de la source parcourent seulement le canal, la région de dérive et le substrat. La région JFET est ainsi supprimée dans les Trench MOSFETs.

La différence fondamentale entre le DT-MOSFET et l'U-MOSFET est la région de source. Dans le DT-MOSFET, un deuxième trench est réalisé dans la base

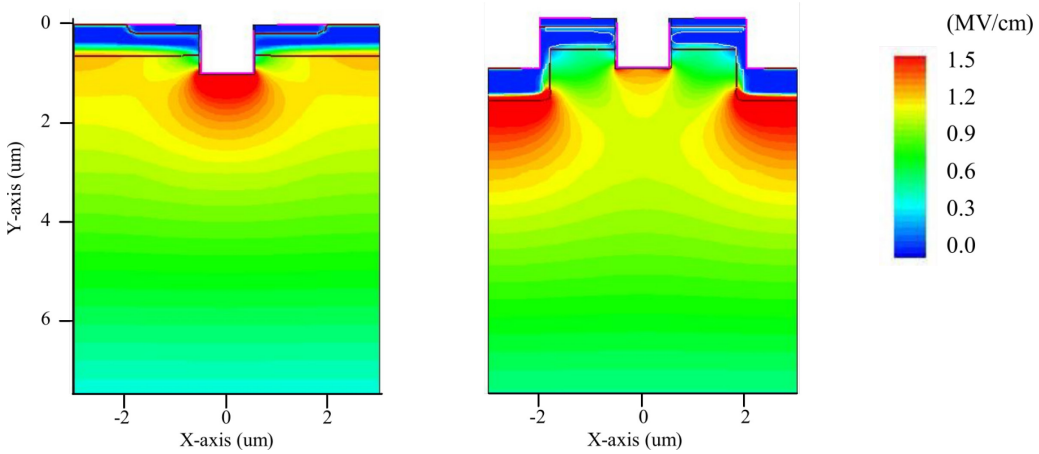
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

de type P. Cette configuration du DT-MOSFET protège mieux la grille en haute tension par rapport à l'U-MOSFET [77]. La Figure 1-19 montre la distribution du champ électrique à l'intérieur d'un U-MOSFET et d'un DT-MOSFET pour une tension drain-source à 600 V. Dans l'U-MOSFET (Figure 1-19(a)), le champ électrique le plus fort en bas du Trench de grille est de 2,66 MV/cm [77]. En revanche, dans la structure du DT-MOSFET (Figure 1-19(b)), le champ le plus fort dans la structure se trouve en bas du Trench de source. Dans ce cas, le champ électrique maximum vu par le Trench de grille est de 1,66 MV/cm. Cette structure protège la grille de la destruction par les forts champs.



(a) (b)

Figure 1-18 : Vue en coupe du (a) U-MOSFET et (b) DT-MOSFET du Rohm [76]**.**



(a) (b)

Figure 1-19 : Vue en coupe de la distribution du champ électrique à l'intérieur des MOSFETs de puissance pour une tension drain-source à 600 V. (a) U-MOSFET, (b) DT-MOSFET [77]**.**

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

1.3.4.2 Avantages et inconvénients des MOSFETs de puissance

Nous allons discuter les avantages et les inconvénients des D-MOSFETs et DT-MOSFETs sous trois aspects : la facilité dans la réalisation en SiC-4H, l'utilisation dans les applications de conversion d'énergie et la fiabilité en température.

Le MOSFET en SiC-4H est impacté par le problème de la qualité de l'interface SiC/SiO_2. En effet, le SiC-4H est composé des atomes de silicium et de carbone. Lors de la formation de l'oxyde de grille, la présence de complexes à base de carbone à l'interface SiC/SiO_2 est responsable de la grande densité des états d'interface [78]. Ceci porte atteinte à la mobilité des électrons dans le canal du MOSFET, et la résistance du canal augmente en conséquence. Il y a deux méthodes qui sont beaucoup utilisées afin d'améliorer la mobilité du canal. La première est l'oxydation du SiC dans l'ambiance des gaz de NO et N_2O [79], [80]. La deuxième est l'utilisation de la face $(11\bar{2}0)$ ou $(1\bar{1}00)$ pour fabriquer le MOSFET [9]. Des recherches récentes prouvent que la combinaison de ces deux méthodes a permis d'obtenir une mobilité supérieure à 100 cm/Vs [9].

Du point de vue de la commande, les MOSFETs présentés précédemment sont des interrupteurs normalement ouverts. Leur tension de seuil est positive, ce qui simplifie la réalisation du driver pour la commande de grille. De plus, la plage de commande, de quelques Volts à 20 Volts, est étendue (Section 1.3.1). En termes de résistance spécifique à l'état passant, le DT-MOSFET est plus avantageux que le D-MOSFET pour sa densité d'intégration de cellules et l'absence de la résistance JFET. Pour ce qui est du régime dynamique, la capacité spécifique grille-drain du DT-MOSFET est faible, car son canal est perpendiculaire au drain. Le DT-MOSFET est donc plus performant dans les applications de conversion d'énergie que le D-MOSFET. En revanche, la structure du DT-MOSFET est plus compliquée à réaliser.

Comparée aux SITs, la résistance à l'état passant des MOSFETs est moins sensible à la température que celle des SITs. La résistance des SITs peut doubler de 25°C à 150°C, tandis que la résistance d'un MOSFET en SiC reste identique à celle à la température ambiante [72]. En effet, la résistance d'un D-MOSFET est principalement composée de la résistance du canal, la résistance JFET et la résistance de dérive. En cas d'un DT-MOSFET, il n'y a pas de résistance JFET. La résistance du canal diminue avec la température croissante, tandis que les résistances JFET et de la région de dérive augmentent avec la température. Au final, la résistance totale des MOSFETs ne varie presque pas dans cet intervalle de température.

En revanche, la robustesse des MOSFETs en SiC à haute température (>175 °C) est moins bonne que celle des SITs. En effet, l'oxyde de grille est dégradé rapidement par la chaleur, ce qui entraine le claquage de l'oxyde [81]. Ce

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

défaut des MOSFETs en SiC limite leur tenue en court-circuit à un niveau bien plus faible que celui des JFETs et SITs [81], [82].

Les avantages et les inconvénients des DT-MOSFET et D-MOSFET sont résumés dans le Tableau 1-9.

Critères	Avantages	Inconvénients
Réalisation		Difficile d'obtenir une interface SiC/SiO_2 de bonne qualité DT-MOSFET : réalisation de double Trench difficile
Application conversion d'énergie	Tension de seuil positive ; Plage de tension de commande large ; Résistance constante avec la température croissante ; DT-MOSFET : faible résistance, faible capacité grille drain	D-MOSFET : résistance spécifique du composant importante.
Fiabilité à haute température (Protection en cas du court-circuit)		Faible fiabilité en température à cause de la dégradation de l'oxyde à haute température.

Tableau 1-9 : Avantages et inconvénients des MOSFETs en SiC au niveau de la réalisation et dans les applications de l'électronique de puissance.

1.3.5 JFET Vertical avec canal latéral (LV-JFET)

1.3.5.1 Structure des LV-JFETs

Le dernier interrupteur que nous allons présenter dans ce chapitre est le LV-JFET (Lateral Vertical Jonction Field Effet Transistor). Il a été conçu et fabriqué (prototype) par Siemens en 1999 [83]. La vue en coupe de la demi-cellule du LV-JFET est montrée dans la Figure 1-20. La réalisation de la structure est effectuée de la manière suivante. Sur un substrat de type N^+, une première épitaxie (Epilayer 1) de type N^- est déposée. Cette épitaxie est responsable de la tenue en tension. Ensuite, une couche de type P^{++} sont implantées avec des atomes d'aluminium. Une deuxième épitaxie (Epilayer 2) est déposée sur la première épitaxie, et une deuxième implantation des atomes d'aluminium est effectuée sur l'ensemble de la surface pour créer une grille en surface (Gate). Trois gravures sont ensuite effectuées, et la source de type N^{++} est implantée à la fin de la deuxième gravure.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

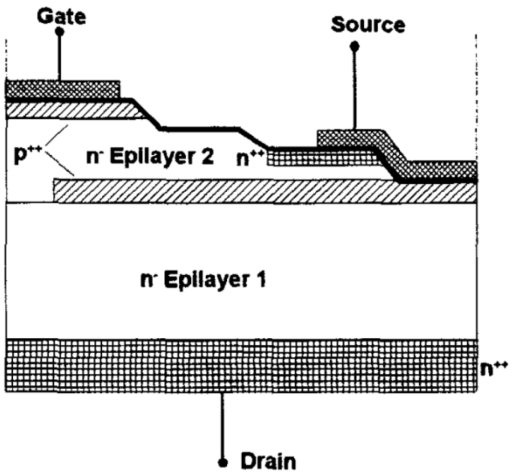


Figure 1-20 : Demi-cellule du LV-JFET développée et fabriqué en SiC par Siemens en 1999 [83].

La structure du LV-JFET est proche de la topologie du D-MOSFET. Elle contient aussi une diode interne de roue libre entre la source et le drain, puisque les couches enterrées de type P^{++} du LV-JFET sont connectées à la métallisation de la source. Le canal est en dessous de la grille en surface (Gate). Le sens de circulation du courant dans le canal est parallèle au drain. Comme le SIT, le contrôle du courant drain-source s'effectue par les zones des charges d'espace dans le canal qui dépend de la tension grille-source. Le prototype du LV-JFET fabriqué par Siemens est un interrupteur normalement fermé avec une tension de seuil comprise entre -10 V et -15 V.

Deux variantes de la structure LV-JFET ont été proposées par le laboratoire SiCED en 2000 et 2001, représentées dans la Figure 1-21 [56], [84]. La performance visée de ces deux structures n'est pas identique. Le JFET de la Figure 1-21(a) (appelé JFET-a) est conçu pour obtenir un VJFET à faible résistance. En effet, cette structure est similaire à un SIT. La source est en surface et le contact de la grille est en bas de la gravure. Les électrons circulent presque verticalement de la source vers le drain. Par rapport à la structure initiale du LV-JFET (Figure 1-20), la cellule du JFET-a est plus compacte, ce qui augmente la densité de cellule de celui-ci.

Le JFET de la Figure 1-21(b) (appelé JFET-b), est conçu pour obtenir un interrupteur de haute fréquence. Il est proche du LV-JFET initial de Siemens. Le canal est latéral, et il y a une diode interne entre le drain et la source. Mais la fabrication du JFET-b est plus simple que le LV-JFET initial. En effet, la source est implantée dans la couche P^{+} enterrée, et il ne reste qu'une gravure dans la zone grille source. La résistance spécifique du JFET-b est plus importante que celle du JFET-a pour sa résistance du canal plus importante et sa cellule moins compacte. En

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

revanche, la capacité grille-drain (capacité Miller) est réduite grâce à la couche P^+ enterrée. Cela augmente la vitesse de commutation du JFET-b. Un autre avantage de la structure du JFET-b est que le canal et la grille sont protégés par la couche P^+ enterrée des forts champs électriques au blocage. Le LV-JFET 1,2 kV d'Infineon est basé sur le JFET-b.

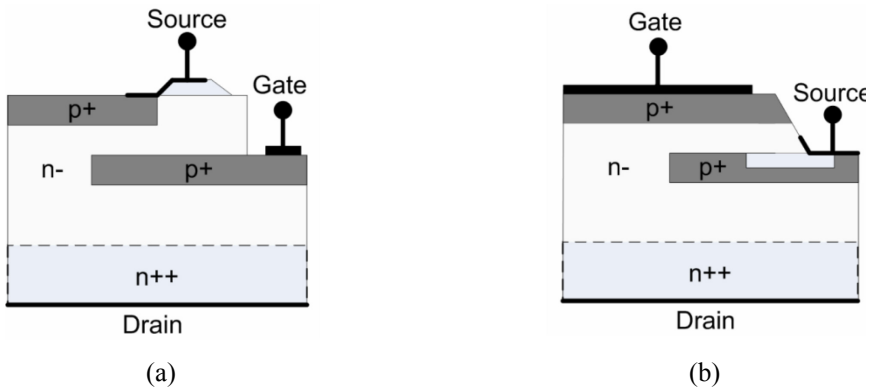


Figure 1-21 : Deux variantes de la structure LV-JFET en SiC-4H du Siemens : (a) structure à faible résistance, (b) structure à faible capacité grille-drain (capacité Miller).

1.3.5.2 Avantages et inconvénients du LV-JFET

Dans cette section, nous allons discuter les avantages et les inconvénients du LV-JFET fabriqué par Infineon (Figure 1-21(b)), afin de comparer avec les autres interrupteurs unipolaires commercialisés.

La réalisation du LV-JFET est plus simple que les MOSFETs et le SIT. Premièrement, ce JFET ne dépend pas d'un oxyde de grille. Deuxièmement, la section du canal du LV-JFET ne dépend pas de la gravure, ce qui rend le composant moins sensible à cette étape technologique que le SIT. De plus, il ne nécessite pas d'implantation angulaire pour réaliser les grilles.

D'un autre côté, la résistance spécifique du LV-JFET est plus importante que celle du SIT. En effet, pour une surface de drain donnée, la densité de cellules du LV-JFET est moins grande que celle du SIT. En général, on veut réduire la résistance du canal du LV-JFET afin de diminuer la résistance cellulaire. Pour ce faire, l'épaisseur du canal doit être grande. En échange, la tension de seuil du LV-JFET est négative et sa valeur absolue est plus grande que celle avec une faible épaisseur [83]. En revanche, cette structure possède une faible capacité Miller (grille-drain), ce qui augmente la vitesse de commutation de l'interrupteur. Ceci est bénéfique pour l'utilisation du convertisseur en réduisant les pertes de commutation.

La structure du LV-JFET est plus fiable en tension que les SITs. Grâce à la couche P^+ enterrée, le canal et la grille du LV-JFET sont protégés des forts champs

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

électriques au blocage [71]. Dans ce cas, le potentiel de la grille du LV-JFET est plus stable et la polarisation du canal est mieux assurée.

Au final, la température limite de fonctionnement du LV-JFET est élevée. Comme les SITs, la limite en température du composant (sans considérer les contraintes du packaging) est la limite thermique intrinsèque du matériau SiC-4H (>1000 K).

Les points forts et les points faibles sont résumés dans le Tableau 1-10.

Critères	Avantages	Inconvénients
Réalisation	Sans oxyde de grille, simple à réaliser ; Sans gravure profonde, ni implantation angulaire	
Application conversion d'énergie	Capacité grille drain (Miller) faible ; Protection du canal (grille) à haute tension	Tension de seuil négative pour diminuer la résistance du composant ; Résistance spécifique importante
Fiabilité à haute température (Protection en cas du court-circuit)	Haute tenue en température	

Tableau 1-10 : Avantages et inconvénients du LV-JFET d'Infineon en SiC au niveau de la réalisation et dans les applications de l'électronique de puissance.

1.4 Conclusion

Dans ce chapitre, les avantages des matériaux semi-conducteurs à large bande interdite pour l'électronique de puissance sont passés en revue. Leurs propriétés physiques permettent aux composants de fonctionner à plus haute température, de commuter plus rapidement et d'être plus compact.

Parmi les matériaux cités, le carbure de silicium est le premier à connaître une grande maturité pour la disponibilité commerciale de substrat monocristallin, notamment le poly-type SiC-4H. Ceci a motivé le développement massif des composants en SiC-4H.

Suite au développement de diode Schottky, les recherches se sont concentrées sur les MOSFETs, pour leur facilité de commande et ses faibles pertes de puissance en commutation. Cependant, les performances des MOSFETs en SiC sont dégradées

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

par la grande densité des états à l'interface SiO_2/SiC entraînant une faible mobilité des électrons dans le canal. Des techniques telles que l'oxydation sous atmosphère de NO et NO_2 et la réalisation de MOSFET sur une face spécifique du SiC ont permis d'améliorer la mobilité électronique. Enfin, des D-MOSFET (MOSFET planaire) en SiC ont été commercialisés en 2011. Quant aux DT-MOS (Double Trench MOSFET), leur commercialisation est pour bientôt.

	D-MOSFET	**DT-MOSFET**	**LV-JFET**	**SIT**
Réalisation	Difficile (interface SiC:SiO_2)	Difficile (interface SiC:SiO_2, double Trench)	Facile	Moyennement difficile (Trench, implantation angulaire)
Résistance spécifique à l'état passant	Forte	Faible	Forte	Faible
Capacité spécifique grille drain (Capacité Miller)	Importante	Faible	Faible	Importante
Tension de seuil (V_{TH})	Positive	Positive	Négative (composant résistif si tension de seuil positive)	Positive/Négative
Plage de commandement	Large (~ 20 V)	Large (~ 20 V)	Large (~ 20 V)	$V_{TH} > 0$ V: étroite (~3 V) $V_{TH} < 0$ V: Large
Fiabilité en haute tension	Moyen (Grille non protégée)	Haute (Grille protégée)	Haute (Grille et canal protégée)	Moyen (Grille et canal non protégée)
Fiabilité à haute température	Faible à cause de l'oxyde	Faible à cause de l'oxyde	Haute	Haute

Tableau 1-11 : Comparaison des D-MOSFET, DT-MOSFET, LV-JFET (Infineon) et SIT (SemiSouth).

D'un autre côté, les transistors à effet de champ tels que le LV-JFET et le SIT sont développés avec succès. Sans l'oxyde de grille, leur réalisation s'est avérée plus simple que celle des MOSFETs en SiC. Ils sont ainsi devenus les premiers interrupteurs en SiC disponibles commercialement en 2008. La comparaison des

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

LV-JFET (Infineon), SIT (SemiSouth), D-MOSFET et DT-MOSFET est donnée dans le Tableau 1-11.

Nous voulons réaliser un interrupteur unipolaire en SiC-4H dont la tension de claquage est supérieure à 3,3 kV, tension supérieure à celles des interrupteurs unipolaires commercialement disponibles. Le choix de la structure se situe entre les quatre transistors FET présentés. Nous avons éliminé les MOSFETs à cause de la complexité dans la réalisation. Le SIT a faible résistance spécifique à l'état passant et il ne dépend pas de l'oxyde de grille. Cependant, la réalisation de la zone du canal est difficile (Trench et implantation angulaire). Il y a tout de même la possibilité de simplifier le processus en supprimant l'implantation angulaire. Cependant, la tension de seuil dans ce cas est très négative (< -30 V), ce qui rend la commande du composant difficile. Au final, la structure que nous avons conçue est basée sur la structure du LV-JFET d'Infineon. La structure hérite donc des avantages du LV-JFET, tels qu'une meilleure fiabilité, un travail à haute tension et la simplicité de réalisation. Cette nouvelle structure sera présentée dans le chapitre suivant.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

2 1ère réalisation et caractérisation d'un JFET 3,3 kV en SiC-4H

2.1 Introduction

Dans le cadre du projet MadaSiC (Machine Asynchrone à Double Alimentation) via des interrupteurs en Carbure de Silicium), nous avons besoin de réaliser un interrupteur dont la tenue en tension est supérieure à 3,3 kV en SiC-4H. Le JFET (Junction Field Effect Transistor) est un candidat prometteur pour atteindre cet objectif. Il bénéfice des propriétés physiques avantageuses du Carbure de Silicium sans souffrir des problèmes inhérents à la qualité de l'interface de la grille des MOSFETs.

La structure du JFET conçue pour le projet est basée sur le LV-JFET du fabricant Infineon. L'originalité de notre JFET est qu'il a deux grilles : une grille de type P^+ enterrée et une grille Schottky en surface. Ce JFET est ainsi nommé JFET à double grille (DG-JFET for Dual-Gate JFET). Le DG-JFET bénéfice des avantages du LV-JFET : haute fiabilité à haute tension, simple dans la réalisation, et faible capacité grille drain. De plus, les couches P^+ enterrées du DG-JFET sont reliées à la grille, ce qui permettra de diminuer la tension de seuil de 50% par rapport à un LV-JFET de même épaisseur du canal.

Les dimensions de la structure du DG-JFET nécessaires pour obtenir une tenue en tension supérieure à 3,3 kV sont proposées et vérifiées par simulation dans les travaux de thèse du Dr. F. Chevalier. La fabrication du DG-JFET est effectuée principalement par la société IBS (sauf l'épitaxie du canal) qui est spécialisé dans l'implantation ionique dans du silicium. En effet dans le SiC, seule l'implantation ionique permet de réaliser des couches de type P^+ enterrées. Cette étape endommage le cristal semi-conducteur. Dans ce cas, une étape de recuit permet de recristalliser le matériau d'une part et d'activer les dopants d'autre part.

Dans ce chapitre, nous allons d'abord présenter les équations analytiques qui permettent de calculer les caractéristiques électriques du DG-JFET. Ces équations nous permettent également étudier l'impact des paramètres de conception sur la performance du composant. Ensuite, nous allons analyser les performances des différents lots du DG-JFET fabriqués. Certains verrous technologiques seront identifiés, ce qui nous aidera à améliorer les caractéristiques des composants lors de la future fabrication.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

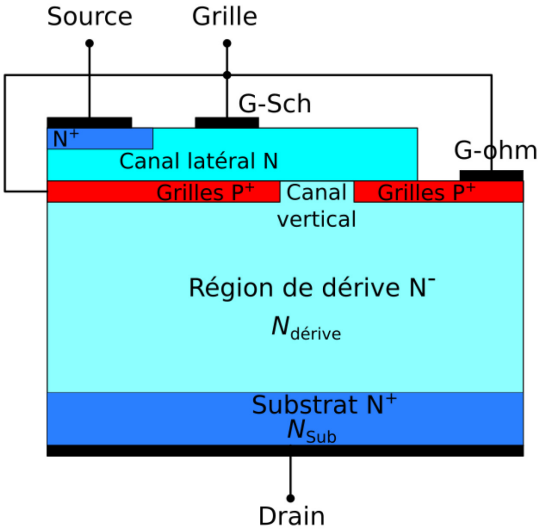
2.2 Structure du JFET à double grille (DG-JFET)

La vue en coupe du DG-JFET (Dual-Gate JFET) conçu pour le projet MadaSiC est montrée sur la Figure 2-1(a). Le dispositif est composé d'un canal latéral de type N^-, des grilles enterrées de type P^+, une région de dérive de type N^-, et un substrat de type N^+. La polarisation du canal latéral est effectuée par une grille Schottky (G-Sch) en surface et par des caissons P^+ polarisés par la grille ohmique (G-Ohm). Les deux grilles sont connectées ensemble par un niveau de métallisation supplémentaire et forment la grille unique du composant.

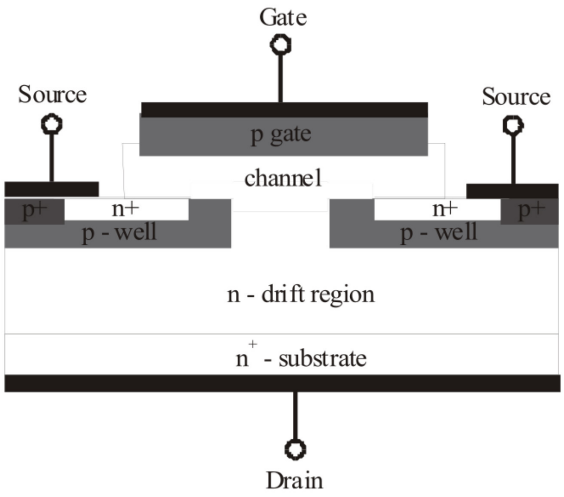
Comparé avec le LV-JFET d'Infineon (Figure 2-1(b)), la métallisation de source du DG-JFET ne contacte que la couche N^+ qui se trouve en surface. La diode PiN entre la source et le drain est donc supprimée. La deuxième grande différence entre les deux JFETs est le contrôle de l'ouverture du canal. Le pincement de canal du DG-JFET est effectué par les deux grilles simultanément, tandis que celui du LV-JFET est effectué principalement par la grille en haut. D'après les équations analytiques détaillées plus tard (partie 2.4.1), pour une même épaisseur de canal, la valeur absolue de tension de seuil du DG-JFET est presque 50% plus faible.

À l'état passant, le courant drain source du DG-JFET traverse le canal latéral, le canal vertical, la région de dérive et le substrat. La résistance totale de l'interrupteur est donc la somme des résistances de chaque partie dont la valeur dépend de la dimension, du dopage et de la mobilité des porteurs. Il faut remarquer que le courant dans le canal latéral est perpendiculaire au courant dans le substrat. Pour rappel, le SiC-4H est un matériau anisotropique dont la mobilité des porteurs dépend de la direction de croissance du substrat par rapport à l'axe-c [16], [19]. Par exemple, l'orientation du substrat qu'on utilise dans la réalisation du DG-JFET est de 8° *off-angle* par rapport à l'axe-c du SiC-4H. Le courant dans le substrat et dans la région de dérive sont donc presque parallèles avec l'axe-c (∥c). Mais le courant dans le canal latéral est perpendiculaire à l'axe-c (⊥c). Pour un dopage donné, le rapport de mobilité de l'électron $\mu_n(\perp c)/\mu_n(\parallel c)$ du SiC-4H est d'environ 0,8 [19]. C'est-à-dire que si le dopage du canal latéral est égal au dopage de la région de dérive, la mobilité du canal est 20% moins élevée que celle de la région de dérive.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés



(a)



(b)

Figure 2-1 : Vue en coupe des JFETs : (a) DG-JFET (b) LV-JFET d'Infineon [85].

2.3 Influence des paramètres de la conception

La structure du DG-JFET conçu étant présentée, nous allons ensuite étudier l'influence des paramètres de conception sur les caractéristiques électriques du composant. Cette étude est essentielle pour le dimensionnement du composant afin d'obtenir les caractéristiques électriques désirées. Elle permet aussi d'identifier les

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

tolérances technologiques lors de la fabrication au cas où les performances du composant fabriqué n'atteignent pas les attentes.

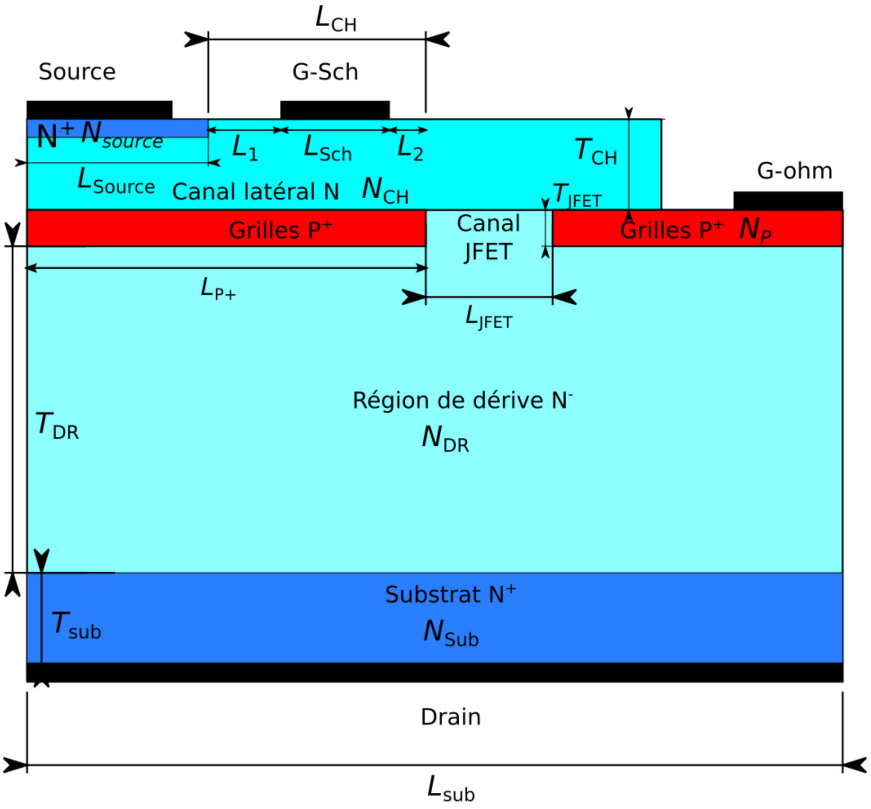


Figure 2-2 : Paramètres à définir dans la conception d'un DG-JFET.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

	Canal latéral			**Région de dérive**		**Grille P^+**				**G-Sch**		**Source**	
	N_{CH}↗	T_{CH}↗	L_{CH}↗	N_{DR}↗	T_{DR}↗	N_{P+}↗	T_{JFET}↗	L_{JFET}↗	L_{P+}↗	L_1↗	L_2↗	N_S↗	L_S↗
V_{BR} (DS)				↘	↗			↘			↗		
V_{BR} (GS)	↘	↗					↗			↗			
$\|V_{TH}\|$	↗	↗											
R_{ON}	↘	↘	↗	↘	↗		↗	↘				↘	
I_{DS} (SAT)	↗	↗											
g_m	↘	↘											
C_{GS}	↘					↗			↗				↗
C_{GD}				↘		↗			↗				

Tableau 2-1 : Influence des paramètres de la conception sur les caractéristiques électriques du DG-JFET.

Dans le projet, les DG-JFETs seront utilisés dans des onduleurs. Les caractéristiques importantes dans cette application sont la tension de claquage drain-source ($V_{BR(DS)}$), la résistance à l'état passant (R_{ON}), le courant de saturation ($I_{DS(SAT)}$), la capacité d'entrée constituée par la capacité grille-source (C_{GS}) et la capacité drain-source (C_{DS}). A ceci s'ajoutent les caractéristiques essentielles pour la commande telles que la tension de claquage grille source ($V_{BR(GS)}$), la tension de seuil (V_{TH}), la transconductance (g_m), et le courant de fuite de la grille (I_{GSS}). La valeur de ces caractéristiques (sauf $I_{DS(ON)}$ et I_{GSS}) est déterminée par la dimension et le dopage des différentes zones de la structure du DG-JFET. Le courant de fuite, en revanche, dépend à la fois de la tension grille-source, du type de contact utilisé dans le composant (Schottky ou ohmique), mais aussi de la technologie *back-end* (métallisation, passivation, gravure). Nous allons discuter les causes du courant de fuite dans la section 2.8.

La Figure 2-2 donne les paramètres de conception dans la structure du DG-JFET. L'impact des paramètres de conception sur les caractéristiques électriques est reporté dans le Tableau 2-1. La source N^+ est normalement fine et fortement dopée, afin de minimiser la résistance d'accès et d'obtenir un contact ohmique avec le métal. L'épitaxie du canal latéral et celle de la région de dérive sont effectuées séparément. Ceci permet de contrôler séparément le dopage de ces deux zones, qui sont très importantes dans la détermination de la résistance du composant. Le

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

dopage de la région de dérive est le moins fort parmi tous les dopages, car cette région est responsable de la tenue en tension du composant. Il est donc préférable d'augmenter le dopage dans le canal latéral afin de réduire la résistance totale du composant. Cependant, cette mesure rendrait la valeur absolue de la tension de seuil (V_{TH}) plus élevée. La tenue en tension drain source ($V_{BR(DS)}$) dépend aussi des paramètres dans le canal, tels que la longueur du canal JFET (L_{JFET}) et la distance entre la fin de la couche P^+ et la grille Schottky (L_2). La longueur du canal vertical (canal JFET) ne doit pas être trop grande, pour qu'au blocage, la zone de charge d'espace dans le canal latéral soit peu impactée, les grilles P^+ faisant office de protection par auto-blindage. Le même principe s'applique à la grille Schottky qui ne doit pas être trop proche du canal JFET pour que le potentiel du contact ne soit pas impacté par les champs électriques au blocage. Les paramètres du canal latéral influencent également le courant drain source dans la zone linéaire et la transconductance. Les détails des calculs des grandeurs statiques sont donnés dans la section 2.4.

Les capacités grille source (C_{GS}) et grille drain (C_{GD}) sont importantes pour la performance en commutation du DG-JFET. Pour un matériau donné (ε_r), leur valeur est proportionnelle à la surface en regard des électrodes (A), et inversement proportionnelle à la longueur de la zone de charges d'espace à l'équilibre entre les électrodes (h). L'équation pour la capacité grille source est donnée ci-dessous :

$$C_{GS} = \frac{\varepsilon_{SiC}\varepsilon_0 A_{GS}}{h_{gs}} \tag{9}$$

Où A_{GS} est la surface en regard entre la source et la grille. Elle est proportionnelle à la géométrie de ces électrodes. h_{gs} est la longueur de la zone de charge d'espace entre la source et la grille. Elle augmente si la tension de polarisation grille-source et le dopage de la grille (N_{P+}) augmentent, et elle diminue si le dopage du canal latéral (N_{CH}) augmente. Le détail pour le calcul de la longueur h_{gs} est donné dans la section 2.4.1.1. De la même façon, la capacité grille-drain est impactée par les géométries des électrodes de grille et de drain (substrat), des dopages de grille et de région de dérive (N_{dr}).

2.4 Estimation analytique des caractéristiques

L'établissement des équations permet de comprendre rapidement l'influence des paramètres structurels sur le comportement électrique du composant. Les conclusions nous aident également dans l'identification de la cause de défaillance du composant suite à une tolérance technologique.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Dans cette section, les équations de la tension de seuil et de la résistance à l'état passant seront traitées. Les résultats de calculs analytiques seront validés par les simulations par éléments finis.

2.4.1 Tension de seuil

Pour un transistor unipolaire, la tension de seuil (V_{TH}) est la tension grille supérieure à laquelle le composant devient conducteur. C'est une information importante pour le dimensionnement du circuit de commande. Cette tension est la différence entre la tension de diffusion (V_{bi} pour *Built-in Voltage* en Anglais) et la tension de pincement (V_P) du canal :

$$V_{TH} = V_{bi} - V_P \tag{10}$$

Le DG-JFET contient deux canaux. Le canal vertical est aussi appelé le canal JFET, correspondant au passage du courant entre les deux portes P^+. Puisque la géométrie et le principe de pincement de ces deux canaux est différent, il faut calculer séparément leur tension de seuil ($V_{TH,L}$ et $V_{TH,V}$). La tension de seuil du DG-JFET est donc la tension dont la valeur absolue est la plus petite des deux. Ce canal est aussi le canal principal pour moduler le courant drain-source.

2.4.1.1 Tension de seuil du canal latéral

Le canal latéral du DG-JFET peut être assimilé à un modèle très classique du JFET symétrique [86]. Il suffit de remplacer une des deux grilles ohmiques dans la structure par un contact Schottky, comme montré dans la Figure 2-3, où, $d_1(x)$ et $d_2(x)$ représentent la longueur de zone de charge d'espace (ZCE) créée par la grille Schottky et la grille ohmique, respectivement.

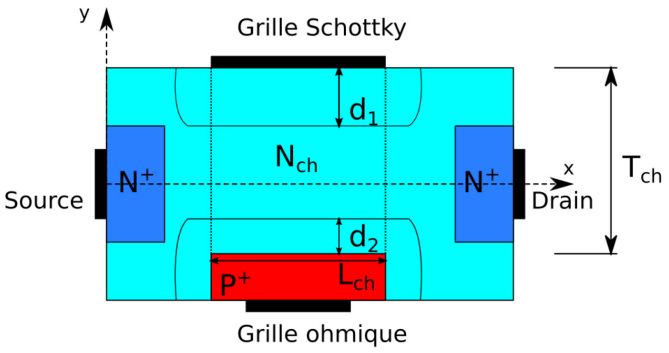


Figure 2-3 : Structure du JFET idéal symétrique avec une des deux grilles réalisée avec un contact Schottky.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

A partir de ce modèle, nous allons exprimer la tension de seuil du canal latéral. Le Tableau 2-2 représente les paramètres électriques et technologiques utilisés dans le calcul.

Paramètre	Définition	Unité
V_{bi}	Tension de diffusion	V
V_{GS}	Tension grille-source	V
N_{CH}	Dopage du canal	cm^{-3}
N_p	Dopage des grilles P+	cm^{-3}
n_i	Concentration intrinsèque des porteurs	cm^{-3}
T_{CH}	Larguer du canal	µm
$\Phi_{b,n}$	Hauteur de la barrière de Schottky	eV
$V_{TH,L}$	Tension de seuil du canal latéral	V
E_c	Énergie des électrons	eV
E_v	Énergie des trous	eV

Tableau 2-2 : Paramètres électriques et technologiques du JFET idéal.

Nous supposons que la tension du drain est nulle, et que les valeurs de $d_1(x)$ et $d_2(x)$ sont indépendantes du *x* le long du canal. La longueur de la zone de charge d'espace s'exprime par :

$$d_{1,2} = \left(\frac{2\varepsilon_{sic}\varepsilon_0(V_{bi} - V_{GS})}{qN_{CH}}\right)^{1/2} \tag{11}$$

Dans le cas d'un contact Schottky, la tension de diffusion correspond à la différence de potentiel entre la surface semi-conducteur et aux bornes de la zone de charge d'espace. Cette tension est définie par :

Contact Schottky :
$$V_{bi,Sch} = \frac{\emptyset_{b,n} - (E_c - E_F)}{q} \tag{12}$$

Tandis qu'en cas d'une jonction bipolaire P^+-N, la tension de diffusion est la différence de potentiel entre les bornes de la zone de charge d'espace dans la couche P^+ et la couche N. La tension V_{bi} est définie par :

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Jonction P^+N : $$V_{bi,PN} = \frac{kT}{q} ln(\frac{N_P N_{CH}}{n_i^2}) \quad (13)$$

Dans l'équation (12), la différence d'énergie (E_C-E_F) est fonction de concentration des électrons et de la température. La hauteur de barrière ($\Phi_{b,n}$) dépend du métal utilisé et du dopage du canal [15]. Typiquement, pour un contact Nickel/SiC-4H dont le niveau du dopage dans le canal est de 10^{16} cm^{-3}, la tension de diffusion ($V_{bi,Sch}$) est autour de 1,2 V. Pour un dopage maximal des grilles de 10^{19} cm^{-3}, la tension $V_{bi,PN}$ est d'environ 3,15 V.

La condition du pincement du canal est atteinte si les deux zones de charges d'espace se rejoignent. La tension grille source appliquée dans ce cas est donc la tension de seuil du canal latéral ($V_{TH,L}$).

$$T_{CH} = d_1 + d_2 \quad (14)$$

$$T_{CH} = \left(\frac{2\varepsilon_{sic}\varepsilon_0(V_{bi,Sch} - V_{TH,L})}{qN_{CH}}\right)^{1/2} + \left(\frac{2\varepsilon_{sic}\varepsilon_0(V_{bi,P} - V_{TH,L})}{qN_{CH}}\right)^{1/2} \quad (15)$$

À partir de l'équation (15), il est difficile d'exprimer la tension $V_{TH,L}$ en fonction des autres termes de l'équation. Nous pouvons tout de même observer que la tension de seuil du canal latéral dépend du dopage (N_{CH}) et de l'épaisseur (T_{CH}) du canal, du dopage des grilles P^+ (N_P), de la métallisation ($\Phi_{b,n}$) et de la température. Parmi ces paramètres, l'influence du dopage et de l'épaisseur du canal est la plus forte. Si la tension de seuil est négative, l'augmentation du dopage N_{CH} ou de l'épaisseur T_{CH} augmente la valeur absolue de la tension de seuil.

2.4.1.2 Tension de seuil du canal vertical

Le canal vertical, appelé aussi le canal JFET du DG-JFET peut être assimilé au modèle du BG-JFET (Buried Grid JFET) [87], comme montré dans la Figure 2-4. Les paramètres électriques et technologiques utilisés dans la modélisation sont donnés dans le Tableau 2-3.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

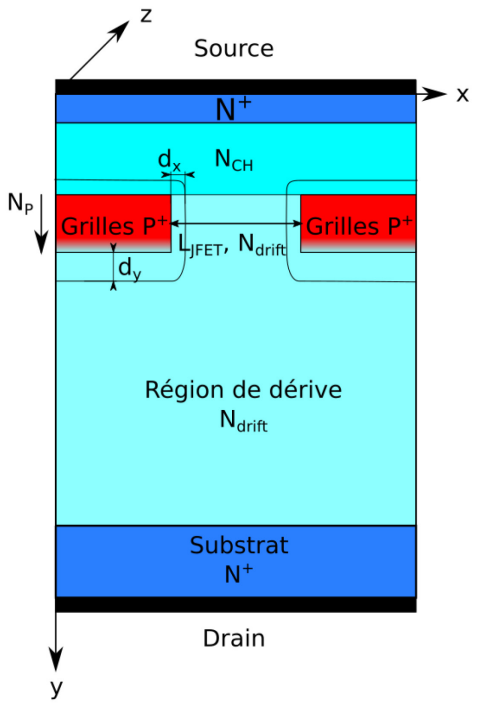


Figure 2-4 : Vue en coupe du BG-JFET idéal

Paramètre	Définition	Unité
V_{bi}	Tension de diffusion	V
V_{GS}	Tension grille-source	V
N_p	Dopage des grilles P^+	cm^{-3}
N_{drift}	Dopage de la région de dérive	cm^{-3}
L_{JFET}	Larguer du canal JFET	µm
d_x	Longueur de la zone de charge d'espace sur l'axe x	µm
d_y	Longueur de la zone de charge d'espace sur l'axe y	µm
$V_{TH,V}$	Tension de seuil du canal vertical	V

Tableau 2-3 : Paramètres électriques et technologiques du BG-JFET idéal

Nous supposons que la tension du drain est nulle. Le pincement du canal vertical se fait par l'extension des zones des charges d'espace sur l'axe *x* créées par les deux grilles P^+. La longueur de chaque zone de charge d'espace sur cette axe est exprimée par :

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

$$d_x = \left(\frac{2\varepsilon_{sic}\varepsilon_0(V_{bi} - V_{GS})}{qN_{drift}}\right)^{1/2} \tag{16}$$

Dans le cas présent, les zones de charge d'espace sont créées uniquement par des jonctions P^+N, la tension de diffusion V_{bi} est donc calculée par :

$$V_{bi} = \frac{kT}{q} ln(\frac{N_P N_{drift}}{n_i^2}) \tag{17}$$

La largeur effective du canal est donc modulée par la déplétion latérale des grilles P^+. La concentration des trous (N_P) peut diminuer dans la direction de l'axe y. Pour simplifier le calcul, nous considérons que la condition de pincement du canal JFET est atteinte si la longueur d_x pour la valeur maximale du dopage N_P est égale à la largeur du canal [88], soit :

$$L_{JFET} = d_x = \left(\frac{2\varepsilon_{sic}\varepsilon_0(V_{bi} - V_{TH,V})}{qN_{drift}}\right)^{1/2} \tag{18}$$

Nous pouvons exprimer la tension de seuil du canal vertical ($V_{TH,V}$) par :

$$V_{TH,V} = V_{bi} - \frac{qN_{drift}L_{JFET}^2}{2\varepsilon_{sic}\varepsilon_0} \tag{19}$$

La tension de seuil du canal vertical dépend fortement des paramètres du canal. À température ambiante (300 K), la tension de seuil augmente de 0,2 V si le dopage de grille augmente d'un facteur 2. Cependant, la valeur absolue de la tension de seuil est deux fois plus élevée si le dopage du canal augmente d'un facteur 2. L'influence de l'épaisseur du canal est de même grandeur que le dopage du canal.

2.4.2 Résistance à l'état passant

La résistance à l'état passant (R_{ON}) d'un transistor de puissance est considérée comme étant la résistance totale à la circulation du courant entre le drain et la source, lorsqu'une tension grille-source est appliquée pour rendre l'interrupteur passant. La valeur de la résistance R_{ON} limite la capacité maximum en courant du composant. En effet, la température de l'interrupteur augmente à cause de la puissance dissipée (P_D) par le transistor à l'état passant. La haute température entraine une défaillance du composant si le packaging ne permet d'évacuer la chaleur suffisamment (avant l'emballement thermique).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

$$P_D = I_D^2 R_{ON} \tag{20}$$

La structure cellulaire du transistor influence la résistance spécifique à l'état passant du composant. Dans le cas du DG-JFET, il s'agit d'une mise en série de 4 résistances internes, comme illustré dans la Figure 2-5. Ces quatre éléments sont la résistance du canal latéral (R_{CH}), la résistance du canal vertical (R_{JFET}), la résistance de la région de dérive ($R_{dérive}$) et la résistance du substrat (R_{sub}) :

$$R_{ON} = R_{CH} + R_{JFET} + R_{dérive} + R_{sub} \tag{21}$$

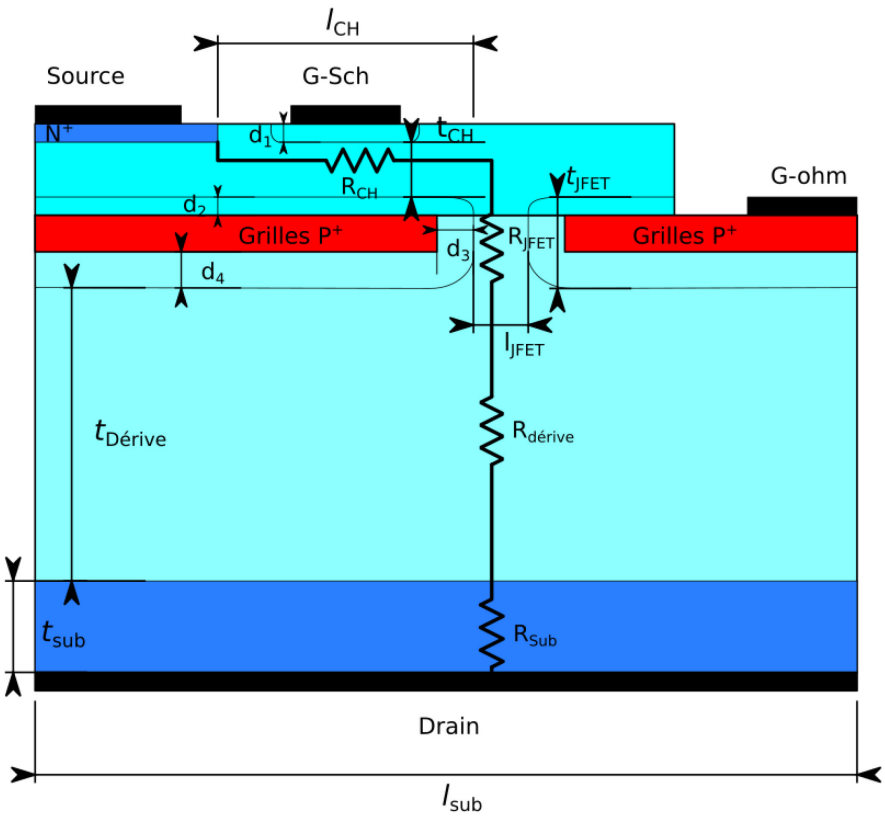


Figure 2-5 : Résistances de chaque région du DG-JFET.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Paramètre	Définition	Unité
l	Longueur parcourue par le courant	cm
s	Section du courant	cm²
l_{CH}	Longueur effective du canal latéral	cm
t_{CH}	Épaisseur effective du canal latéral	cm
l_{JFET}	Largeur effective du canal JFET	cm
t_{JFET}	Longueur effective du canal JFET	cm
t_{drfit}	Longueur effective de la région de dérive	cm
$d_{1,2,3,4}$	Longueur de la zone de charge d'espace	cm
l_{sub}	Largeur de la cellule élémentaire	cm
t_{sub}	Épaisseur du substrat	cm
W_{JFET}	Développement du canal JFET dans la 3e dimension (Layout)	cm
N_{CH}	Concentration effective en donneur dans le canal	cm^{-3}
$N_{Dérive}$	Concentration effective en donneur dans la région de dérive	cm^{-3}
N_{Sub}	Concentration effective en donneur dans le substrat	cm^{-3}

Tableau 2-4 : Paramètres électriques et technologiques utilisés dans le calcul de la résistance R_{ON}.

La dimension effective est déduite de la distance d'extension de la zone de charge d'espace dans chaque partie composant. Nous considérons que l'épaisseur effective du canal latéral (t_{CH}) est la différence entre l'épaisseur de l'épitaxie (T_{CH}) et la longueur de zone de charge d'espace établie par la grille Schottky (d_1) et la grille P^+ (d_2) pour une tension grille-source égale à 0 V:

$$t_{CH} = T_{CH} - d_1 - d_2 \tag{22}$$

$$d_{1,2} = \left(\frac{2\varepsilon_{sic}\varepsilon_0 V_{bi}}{qN_{CH}}\right)^{1/2} \tag{23}$$

De la même manière, les dimensions du canal JFET (canal vertical) et de la région de dérive sont exprimées par :

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

$$l_{JFET} = \mathrm{L_{JFET}} - 2 \times \mathrm{d_3} \tag{24}$$

$$t_{JFET} = \mathrm{T_{JFET}} + \mathrm{d_2} + \mathrm{d_4} \tag{25}$$

$$t_{dérive} = \mathrm{T_{dérive}} - \mathrm{d_4} \tag{26}$$

Les longueurs d_x sont calculées en fonction des dopages et de la tension de diffusion de jonction ou de contact (cf. section 2.4.1.1).

$$d_x = \frac{2\varepsilon_{sic}\varepsilon_0 V_{bi}}{qN_D} \tag{27}$$

Dans le cas où la section de matériau dans laquelle le courant passe est constante, la résistance du matériau peut être estimée par l'équation (28). Dans le DG-JFET, cette méthode est valable pour la résistance du canal latéral (R_{CH}), la résistance verticale (R_{JFET}) et la résistance du substrat (R_{sub}) :

	l	**s**	**N_D**
R_{CH}	l_{CH}	$t_{CH}*W_{JFET}$	N_{CH}
R_{JFET}	t_{JFET}	$l_{JFET}*W_{JFET}$	N_{drift}
R_{sub}	t_{sub}	$l_{sub}*W_{JFET}$	N_{sub}

$$\boldsymbol{R = \frac{l}{s \cdot q \cdot \mu(N_D) \cdot N_D}} \quad \textbf{(28)}$$

En revanche, la section utile de matériau du courant s'élargit quand le courant passe du canal vertical vers la région de dérive. Dans le calcul de la résistance $R_{dérive}$, il faut donc tenir en compte de l'étalement du courant dû à ce changement géométrique. La valeur de $R_{dérive}$ s'exprime par :

$$R_{dérive} = \frac{1}{q \cdot \mu(N_{dérive}) \cdot N_{dérive} \cdot W_{JFET}} \cdot \left(\frac{t_{dérive}}{l_{sub} - l_{JFET}}\right) \cdot ln\left(\frac{l_{sub}}{l_{JFET}}\right) \tag{29}$$

On voit que les résistances par partie dépendant principalement du dopage et de la géométrie du matériau. Leur contribution à la résistance totale varie selon la valeur de ces paramètres de conception. Dans tous les cas, plus le matériau est dopé, moins la résistance sera élevée. Il faut remarquer qu'il y a la présence de la longueur totale du canal (W_{JFET}) dans toutes les équations qui est proportionnelle à la densité de cellules. Cette densité dépend non seulement de la structure élémentaire du composant, mais aussi du dessin de masque (layout). Plus la densité de cellules est importante, moins la résistance totale du composant est importante.

2.4.3 Transconductance

Les JFETs sont des transistors commandés par tension grille-source (V_{GS}). La différence par rapport au MOSFET est que la variation de la tension grille source

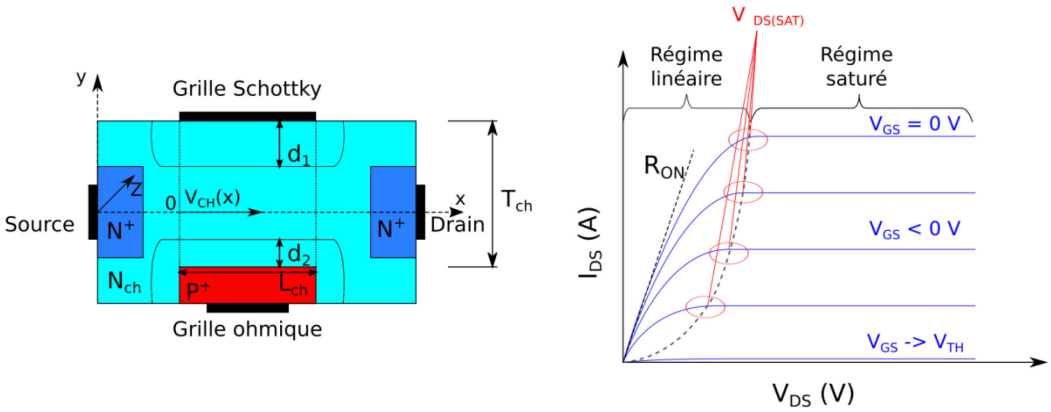
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

(V_{GS}) du JFET entraine une variation de la section utile du canal, alors que dans le cas du MOSFET l'application d'une tension de grille forme un canal d'inversion. Ceci résulte en une variation du courant de sortie du JFET, le courant drain source. La transconductance, notée g_m est ainsi définie par :

$$g_m = \frac{dI_{DS}}{dV_{GS}} \tag{30}$$

C'est une mesure de la sensibilité du courant drain source à des changements de polarisation grille-source.

On cherche à modéliser la transconductance du DG-JFET. Ceci revient à modéliser la variation du courant drain source en fonction de la variation de la géométrie du canal (section de conduction). Comme il y a deux canaux (latéral et vertical), il devient très complexe de tenir compte à la fois les changements dans les deux. Comme présenté dans la section 2.4.1, la conception est faite de sorte qu'il y ait un canal qui soit prépondérant en termes de modulation du courant. Dans le cas du DG-JFET conçu pour le projet, ce canal est le canal latéral. Sous cette condition, nous supposons donc l'impact du canal vertical sur le courant drain source comme négligeable. La modélisation de la transconductance du DG-JFET revient à modéliser la transconductance d'un JFET simple dont l'une des deux grilles est une grille Schottky (Figure 2-6(a)).



(a) (b)

Figure 2-6 : (a) JFET idéal avec une des deux grilles de type Schottky. (b) Caractéristique de sortie idéale du JFET idéal.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Paramètre	Définition	Unité
$V_{DS(SAT)}$	Tension de saturation drain source	V
V_{CH}	Tension dans le canal	V
V_{TH}	Tension de seuil du canal latéral	V
V_p	Tension de pincement du canal latéral	V
g_m	Transconductance	A/V

Tableau 2-5 : Paramètres utilisés dans le calcul de la transconductance.

Le DG-JFET est utilisé comme un interrupteur. Dans ce cas, le composant fonctionne en régime linéaire ou en régime bloqué. La condition de tensions appliquées sur la grille et le drain pour les différents modes de fonctionnement est donnée dans le Tableau 2-6. La tension de saturation drain-source ($V_{DS(SAT)}$) est la tension limite entre les régimes linéaire et saturé sur les caractéristiques de sortie du JFET idéal, représentée sur la Figure 2-6(b).

Régime de fonctionnement	Tension grille source V_{GS}	Tension drain source V_{DS}
Régime bloqué	$V_{GS(BR)} < V_{GS} < V_{TH}$	$0\ V < V_{DS} < V_{DS(BR)}$
Régime linéaire	$V_{TH} < V_{GS} < V_{GS(max)}$	$0\ V < V_{DS} < V_{DS(SAT)}$

Tableau 2-6 : Condition de tensions appliquées sur la grille et le drain pour les différents modes de fonctionnement du DG-JFET.

Avec $V_{GS(BR)}$, la tension de claquage grille-source, dépendant principalement de la dimension du canal ; $V_{GS(max)}$, la tension direct maximale grille-source, dont la valeur est équivalente à la tension de seuil de la diode grille-source.

En régime linéaire, le courant du canal est donc déterminé par la tension de canal et de sa résistance :

$$I_{CH} = \frac{dV_{CH}(x)}{dR_{CH}} = q\mu_n N_{CH} A_{CH}(x) \frac{dV_{CH}(x)}{dx} \tag{31}$$

En supposant que le courant de canal soit égal au courant drain source du JFET, la tension de canal est la différence entre la tension drain source et la chute de potentiel à travers la région de dérive et du substrat :

$$V_{CH} = V_{DS} - I_{CH}(R_{dérive} + R_{sub}) \tag{32}$$

$A_{CH}(x)$ est la section utile du canal à l'abscisse x modulée par les zones de charge d'espace établies par la tension grille source:

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

$$A_{CH}(x) = (T_{CH} - d1 - d2) \cdot W_{CH} \tag{33}$$

Avec W_{CH}, la longueur du canal dans la direction *z*. Les expressions de longueur de la zone de charge d'espace d_1 et d_2 sont données dans l'équation (11). En substituant ces équations dans l'équation (33) et en l'intégrant entre 0 et L_{CH}, nous obtenons la formule pour le courant I_{CH} :

$$I_{CH} = \frac{V_P}{3R_{CH}}\left(3\frac{V_{CH}}{V_P} - \left(\frac{V_{bi,Sch} + V_{CH} - V_{GS}}{V_P}\right)^{\frac{3}{2}} + \left(\frac{V_{bi,Sch} - V_{GS}}{V_P}\right)^{\frac{3}{2}} - \left(\frac{V_{bi,PN} + V_{CH} - V_{GS}}{V_P}\right)^{\frac{3}{2}} + \left(\frac{V_{bi,PN} - V_{GS}}{V_P}\right)^{\frac{3}{2}}\right) \tag{34}$$

Pour une valeur de la tension drain-source donnée, par définition, la transconductance est égale à :

$$g_{mL} = \frac{\partial I_{CH}}{\partial V_{GS}} \tag{35}$$

Pour simplifier l'expression du courant I_{CH}, nous supposons que la tension de diffusion du contact Schottky est égale à la tension de diffusion de la jonction P^+N :

$$V_{bi,Sch} \sim V_{bi,PN} \rightarrow V_{bi} \tag{36}$$

L'expression simplifiée du courant du canal (I_{CH}) est :

$$I_{CH} = \frac{V_P}{3R_{CH}}\left(3\frac{V_{CH}}{V_P} - 2\left(\frac{V_{bi} + V_{CH} - V_{GS}}{V_P}\right)^{\frac{3}{2}} + 2\left(\frac{V_{bi} - V_{GS}}{V_P}\right)^{\frac{3}{2}}\right) \tag{37}$$

Cette expression est identique à l'expression du courant de canal dans la région linéaire d'un JFET simple canal classique [89]. Nous voyons que le courant du canal (non saturé), qui est aussi le courant drain source, dépend fortement de la résistance du canal (R_{CH}), la tension de pincement (V_P) et les tensions drain-source (V_{DS}) et grille-source (V_{GS}). La résistance R_{CH} et la tension V_P sont déterminées par les paramètres du canal. D'après les approximations faites dans [90], la valeur de la transconductance(g_m) s'exprime par:

$$g_m = \frac{3}{2}\frac{I_{CH}}{V_P}\frac{V_{CH}}{\sqrt{V_P(V_{bi} - V_{GS}))}} \tag{38}$$

La transconductance dépend donc à la fois des tensions appliquées (V_{CH}, V_{GS}) et des paramètres propres à la structure (R_{CH}, V_P, V_{BI}). Pour des tensions données, la transconductance est inversement proportionnelle à la résistance du canal (R_{CH}),

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

déterminée par la dimension du canal. Augmenter l'épaisseur ou le dopage du canal réduit sa résistance, ce qui augmente la transconductance. D'un autre côté, la transconductance est aussi inversement proportionnelle à la tension de pincement du canal dont la valeur absolue augmente lorsque la résistance diminue. Ceci pourrait diminuer la transconductance.

2.5 Estimation par simulation des caractéristiques

2.5.1 Dimension du DG-JFET simulé

Les dimensions utilisées dans la simulation du DG-JFET sont reportées dans le Tableau 2-7. Une épitaxie épaisse ($L_{\text{dérive}}$) de 40 µm et dopé ($N_{\text{dérive}}$) de 10^{15} cm^{-3} est utilisée comme la région de dérive, afin d'avoir une tenue en tension maximum supérieure à 3,3 kV. En effet, cette épitaxie permet une tenue en tension de 6 kV (modèle de diode PiN) [91]. Le dimensionnement de la zone des canaux (zone active) consiste à faire le compromis entre la résistance à l'état passant du composant et la tension de seuil. En plus, les distances L_1 et L_2 influencent la tenue en tension finale du DG-JFET. Les détails sur l'impact des paramètres sur les caractéristiques du composant sont donnés dans la section 2.3. Au final, le canal latéral est réalisé par une deuxième épitaxie de l'épaisseur (T_{CH}) 3 µm avec un dopage (N_{CH}) égal à 10^{16} cm^{-3}. La tension de seuil est donc égale à -19,5 V, ce qui correspond à l'objectif du projet. Les dimensions résultent en une résistance à l'état passant de 177 mΩ.cm². La tenue en tension du composant pour une tension grille source égale -25V est de 4,5 kV. Les détails de la conception de la structure sont décrits dans la thèse [92].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

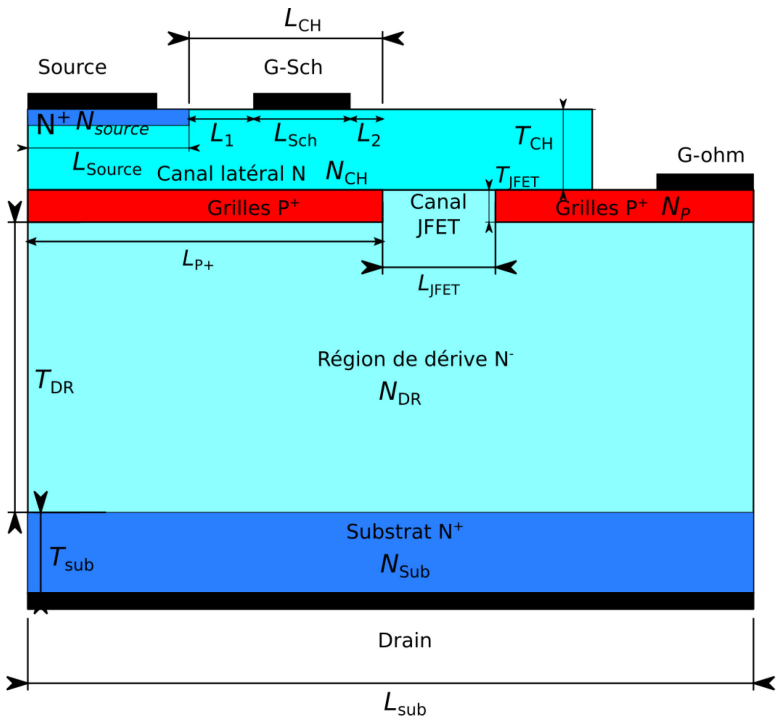


Figure 2-7 : Paramètres de conception à définir pour le DG-JFET.

Canal latéral		Canal JFET		Région de dérive		Substrat	
N_{source}	$5*10^{18}$ cm^{-3}	N_P	10^{19} cm^{-3}	N_{DR}	10^{15} cm^{-3}	N_{sub}	$5*10^{18}$ cm^{-3}
N_{CH}	10^{16} cm^{-3}	L_{JFET}	6 µm	T_{DR}	40 µm	T_{sub}	100 µm
$L_1/L_{Sch}/L_2$	3/4/2 µm	T_{JFET}	0.5 µm				
L_{CH}	9 µm						
T_{CH}	3 µm						

Tableau 2-7 : Dimensions et dopages du DG-JFET 3.3 kV simulé.

Avec ces dimensions, nous avons pu calculer les caractéristiques électriques du DG-JFET par les équations analytiques établies. Les résultats sont comparés avec la simulation par éléments finis afin de valider les calculs.

2.5.2 Comparaison des résultats simulés et analytiques

Le Tableau 2-8 compare les grandeurs électriques obtenues par les modèles analytiques et par simulation. La longueur totale du canal (W_{JFET}) est égale à 1 cm pour avoir une valeur de résistance normalisée exprimée en Ω.cm. On observe une bonne concordance entre la valeur de la résistance simulée et calculée. En termes de résistances, la résistance de la région de dérive $R_{dérive}$ est la contribution principale

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

(~70%) de la résistance à l'état passant du DG-JFET (R_{ON}), suivi par la résistance du canal latéral R_{CH} qui est 24% de R_{ON}. En termes de tension de seuil, la géométrie des deux canaux fait que la valeur absolue de la tension de seuil du canal latéral ($V_{TH,L}$, -19 V) est 11 V plus petite que celle du canal vertical ($V_{TH,V}$, -30 V). Le canal latéral bloque avant le canal vertical. La tension de seuil du DG-JFET est donc celle du canal latéral. Ce résultat correspond à l'hypothèse que l'on a faite lors du calcul de la transconductance.

Pour W_{JFET} = 1cm	Valeur analytique	Valeur simulée
R_{CH} (Ω)	5,4 (24%)	5,0 (24%)
R_{JFET} (Ω)	0,9	1,5
$R_{Dérive}$ (Ω)	16,3 (71%)	14,3 (69%)
R_{SUB} (Ω)	$4*10^{-3}$	10^{-3}
R_{ON} (Ω)	22,6	20,8
$V_{TH,L}$ (V)	-18,7	-19,5
$V_{TH,V}$ (V)	-30,5	-28,9
V_{TH} (V)	-18,7	-19,5

Tableau 2-8 : Grandeurs électriques obtenues par calcul analytique et par simulation.

La Figure 2-8 compare les caractéristiques I_{DS}-V_{GS} pour V_{DS} = 0,5 V établies par l'équation analytique et par simulation. Les deux courbes montrent une bonne concordance au niveau du courant drain-source à l'état passant du composant ($I_{DS,0}$). Cependant, la valeur absolue de la tension de seuil (V_{TH}) du composant obtenue par la courbe analytique est plus petite que celle obtenue par la courbe simulée, tandis que la transconductance analytique ($g_{m,analy}$) est plus grande que celle obtenue en simulation. La différence entre les courbes est due aux approximations faites lors de l'établissement de l'équation analytique pour la transconductance g_m. En effet, nous avons supposé que la tension de diffusion du contact Schottky est égale à celle de la jonction P^+N afin de simplifier l'expression du courant. Nous avons aussi négligé l'impact du canal vertical sur le courant drain source. Malgré la différence, le modèle de transconductance établi est une approximation valable pour estimer cette caractéristique électrique du DG-JFET.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

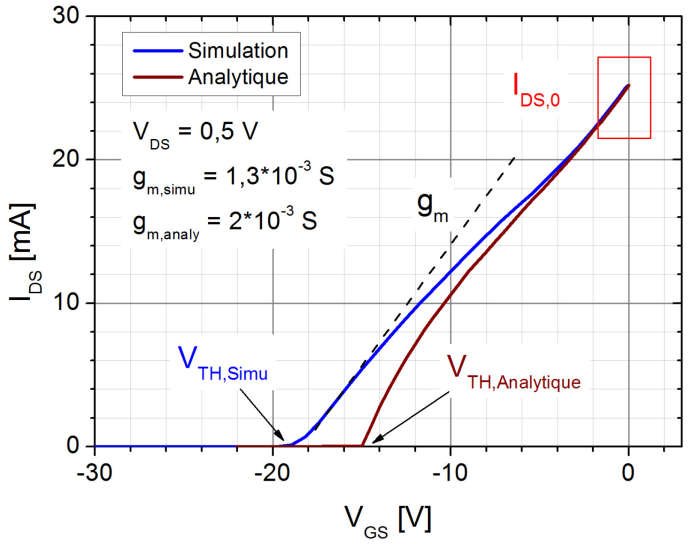


Figure 2-8 : Comparaison des caractéristiques de transfert analytique et simulée.

2.6 Réalisation du DG-JFET

2.6.1 Dessin des masques

Un jeu de masques nommé M1 a été proposé afin de fabriquer le DG-JFET. C'est la deuxième génération de masques dessinés pour la structure. En effet, dans la thèse de M. F. Chevalier (thèse pour la conception du DG-JFET), un premier jeu de masques a été proposé. Cependant, à cause d'une faible densité de cellules, les DG-JFETs fabriqués sont très résistifs (>1 Ω.cm²) par rapport à l'objectif du projet (0,19 Ω.cm²). Le masque M1 a pour objectif d'améliorer cet aspect de l'ancien masque.

Le masque M1 a 12 niveaux de masque. La Figure 2-9 donne la vue globale de la distribution des composants et des motifs de test sur un substrat de 4" du masque M1. Nous avons un total de 168 champs dont 166 champs contiennent un composant DG-JFET et 2 champs contiennent les motifs de test. Le fait de placer un JFET par champ a pour but d'avoir des composants de grande surface. Nous avons dessiné deux masques pour le DG-JFET qui se distinguent par la densité de cellules, nommé JFET-1 et JFET-2. L'objectif d'avoir deux JFETs de géométries différentes est de tester s'il est possible d'augmenter la densité de cellules en diminuant la surface de contact de la grille ohmique. Les détails sur la différence entre ces deux

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

JFETs seront présentés dans le paragraphe suivant. Les JFET-1 se trouvent sur la moitié haute de la plaque, tandis que les JFET-2 sont placés sur la moitié basse de la plaque. Les champs pour les motifs de test sont placés sur la ligne centrale. Ils sont distants de 6 champs pour deux raisons principales. La première est l'alignement des masques. En effet, les croix d'alignement sont dans les champs de test. Pour avoir un bon alignement des masques, il faut que la distance entre les deux croix d'alignement soit assez importante. La deuxième est de pouvoir constater l'homogénéité du processus entre le côté gauche et le côté droit en caractérisant les motifs de test. En revanche, il n'y a pas de champ de test en haut et en bas du substrat afin de maximiser le nombre de gros JFETs.

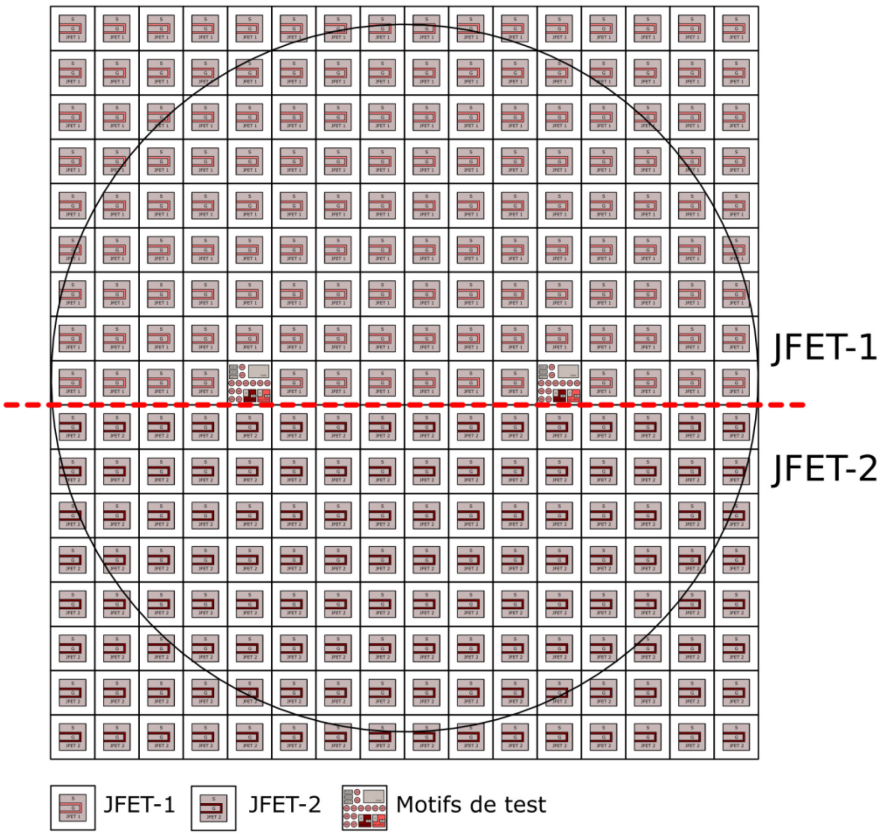
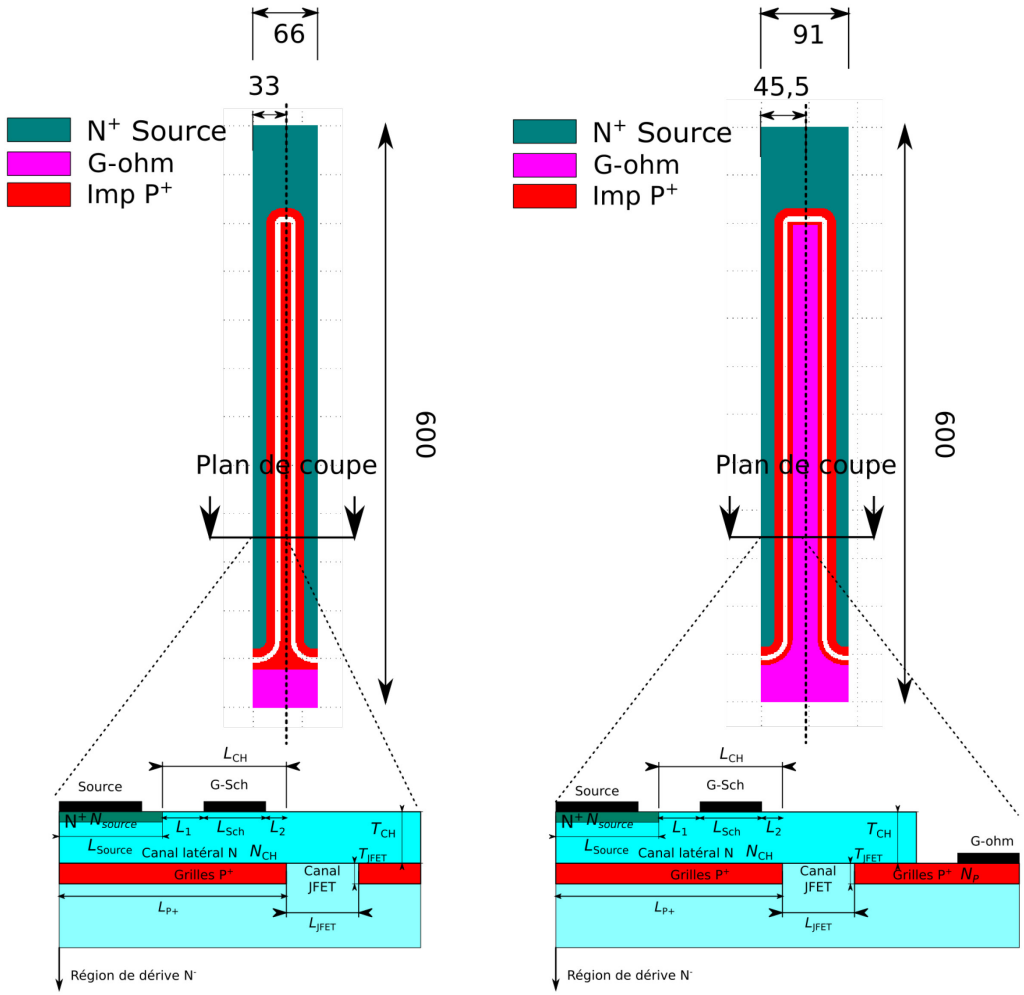


Figure 2-9 : Disposition des champs contenant les DG-JFETs de grande surface et les motifs de test sur le masque M1.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés



(a) (b)

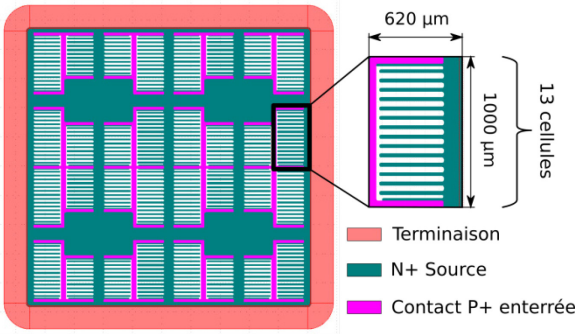
Figure 2-10 : Vue en coupe (bas) et de trois niveaux du masque (haut) des cellules élémentaires pour les gros DG-JFETs. (a) cellule du JFET-1. (b) cellule du JFET-2. Les dimensions dont en µm.

Les JFFT-1 et JFET-2 sont constitués des cellules élémentaires dont les vues en coupe (bas) et de trois niveaux du masque (haut) sont données dans la Figure 2-10. La zone active des deux cellules est identique. C'est-à-dire que les paramètres des canaux des deux cellules sont identiques. De ce fait, la tension de seuil et les résistances spécifiques des canaux des deux DG-JFETs sont les mêmes. La différence majeure entre les deux cellules est la surface du contact ohmique de grille (G-ohm). En effet, les grilles P^+ du JFET-1 sont contactées seulement en périphérie du composant, tandis que celles du JFET-2 sont contactées le long du canal. De ce fait, la largeur de cellule du JFET-1 est de 66 µm, soit 27% plus petite que celle du JFET-2 (91 µm). Pour une surface du composant donnée, la densité de

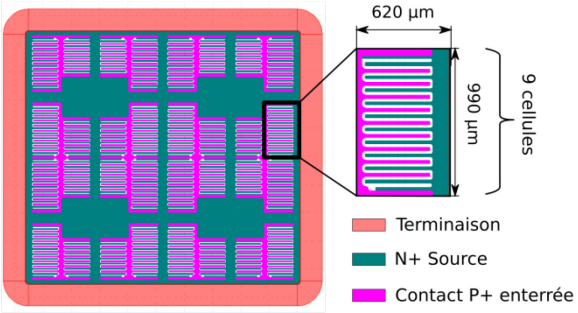
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

cellules du JFET-1 sera donc plus importante que celle du JFET-2. C'est la différence principale des deux JFETs de grande surface dessinés.

La vue de trois niveaux du masque des JFET-1 et JFET-2 est donnée dans la Figure 2-11. Ils ont la même terminaison. La surface active du JFET-2 est constituée de 9 cellules élémentaires, l'ensemble occupant alors une surface 620×990 µm^2. En revanche, il faut 13 cellules de type JFET-1 pour occuper une surface similaire de 620×1000 µm^2, soit 40% plus que le JFET-2. L'augmentation de la densité de cellule engendre une augmentation totale de la longueur de canal (W_{JFET}). La capacité en courant du DG-JFET est améliorée. Cependant, le JFET-1 présente un risque majeur liée à la réduction de la surface de contact causant la dépolarisation des grilles P^+. En effet, l'épaisseur de la couche P^+ ou la valeur son dopage non homogène pourrait causer une distribution de résistance grille-source non homogène. Ceci peut entrainer une non uniformité du contrôle du canal latéral par la tension grille source.



(a)



(b)

Figure 2-11 : Vue de trois niveaux de masque de la terminaison, du N^+ de la source et de la zone de contact du P^+ enterré du (a) JFET-1 et (b) JFET-2.

Les paramètres de conception du JFET-1 et du JFET-2 sont résumés dans le Tableau 2-9. Étant donné que les deux JFETs sont basés sur la même structure de DG-JFET, leurs zones actives sont identiques. Ils ont la même longueur du canal

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

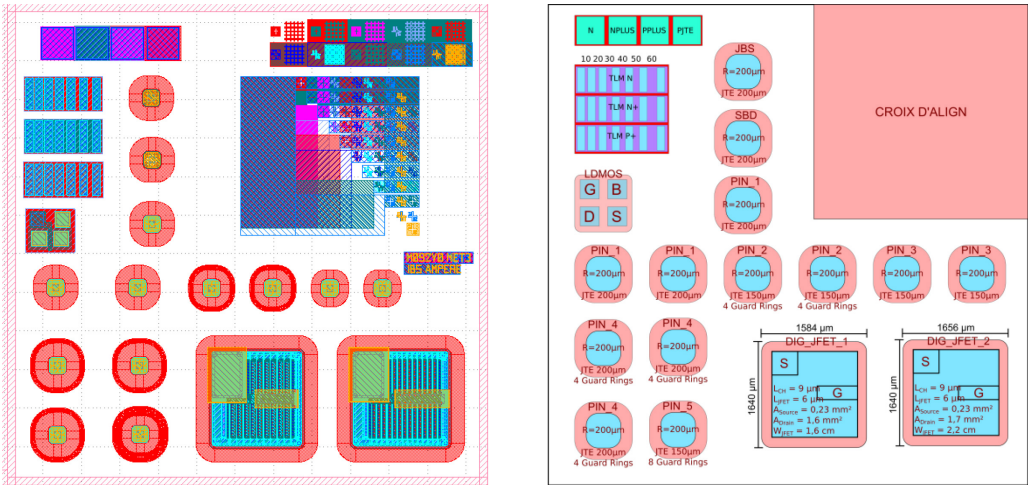
latéral (L_{CH}) et la même largeur de zone JFET (L_{JFET}). La surface totale du N^+pour la source du JFET-1 est 13,7 % plus grande que celle du JFET-2. Par conséquent, la longueur totale de canal (W_{JFET}) du JFET-1 est 38 % plus longue que celle du JFET-2. La surface du drain des deux JFETs étant identique, la densité du canal du JFET-1 est donc plus élevé.

	JFET-1	JFET-2
Longueur du canal latéral L_{CH} (µm)	9	9
Largueur du canal JFET L_{JFET} (µm)	6	6
Surface du N^+ pour la source A_{N+}(mm²)	16,6	14,6
Surface du drain A_{drain}(mm²)	23	23
Longueur totale de canal W_{JFET} (cm)	35,8	25,9
Type de terminaison	JTE	JTE
Longueur de la JTE L_{JTE} (µm)	400	400

Tableau 2-9 : Paramètres de conception des JFET-1 et JFET-2 du masque M1.

La Figure 2-12 présente la vue en masque et le schéma du champ qui contient les motifs de test. Les DIG-JFETs (JFET de test) ont les mêmes cellules que les JFET-1 et JFET-2 mais en nombre réduit. De cette manière, la variation technologique sur le composant est réduite. Les performances des DIG-JFETs permettent de valider la conception du composant en minimisant les impacts technologiques. La diode D1 est de type JBS (Junction Barrier Schottky). La diode D2 est de type SBD (Schottky Barrier Diode), elle permet de vérifier la qualité du contact Schottky qui est le même que celui des grilles en surface des JFETs. Les diodes D3 à D7 sont des diodes PiN avec différentes terminaisons. Parmi elles, la diode D3 a la même terminaison que les DIG-JFETs. Ces diodes PiN permettent de comparer l'efficacité de ces terminaisons dans la protection périphérique. Trois motifs de TLM (Transmission Line Measurement) sont réalisés. Le motif TLM de type N permet d'extraire la résistance du canal latéral. Le motif TLM de type N^+ est permet d'extraire la résistance de contact du métal/source. De même manière, le motif TLM du type P^+ permet d'obtenir la résistance du contact métal/P^+.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés



(a) (b)

Figure 2-12 : (a) Vue du masque et (b) schéma du champ qui contient les motifs de test.

Les paramètres de conception des DIG-JFETs (JFET de test) sont donnés dans le Tableau 2-9. La surface des DIG-JFETs est 1/16 de celle des JFET-1 et JFET-2. La longueur du canal JFET (W_{JFET}) est également réduite d'un facteur 16. La longueur de la JTE (L_{JTE}) est 50 % de celle du JFET-1.

	DIG-JFET-1	DIG-JFET-2
L_{CH} (µm)	9	9
L_{JFET} (µm)	6	6
A_{N+} (mm²)	1	0,88
A_{drain} (mm²)	1,6	1,6
W_{JFET} (cm)	2,2	1,6
L_{JTE} (µm)	200	200
Anneau de protection	0	0

Tableau 2-10 : Paramètres de dessins des DIG-JFETs (JFET de test).

Les types de terminaison des diodes dans le champ de test sont donnés dans le Tableau 2-11. Les diodes D1, D2 et D3 ont la même terminaison que les DIG-JFETs. La tenue en tension de ces trois diodes permet de vérifier l'efficacité de la protection du DIG-JFET. En plus de la JTE simple, des anneaux de protection (*Rings*) ont été ajoutées après la JTE dans la terminaison des diodes D4, D6 et D7. La distance (D_{ring}) entre les anneaux est de 5 µm. Cette mesure améliore la tenue en tension de la JTE simple [91].

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

	D1	D2	D3	D4	D5	D6	D7
	JBS	SBD			PIN		
Diamètre (µm)	200	200			200		
L_{JTE} (µm)	200	200	200	150	150	200	200
Rings	0	0	0	4	0	4	8
D_{rings} (µm)	-	-	-	5	-	5	5

Tableau 2-11 : Types de terminaison utilisés dans les diodes.

2.6.2 Processus de fabrication

Les DG-JFETs sont réalisés sur un substrat dopé à 10^{18} cm^{-3}. Les paramètres des épitaxies (région de dérive et canal latéral) respectent les dimensions proposées par simulation (cf. Section 2.5.1) pour obtenir une tenue en tension désirée supérieure 3,3 kV. Les étapes technologiques pour fabriquer le DG-JFET sont :

Création des motifs d'alignement et le chemin de découpe par gravure du wafer.

Création des grilles enterrées par l'implantation d'aluminium (double charge).

Ré-épitaxie du type N à 10^{16} cm^{-3} sur 3 µm.

Implantation d'azote (simple charge).

Gravure dans la ré-épitaxie pour accéder à la grille enterrée.

Deuxième implantation d'aluminium (double charge) auto-alignée avec le masque GRV3. Ceci est pour garantir le contact aux grilles enterrées après la gravure.

Création du MESA par la gravure.

Création de la JTE par l'implantation d'aluminium (double charge) à la dose de $2{,}9*10^{12}$ cm^{-2}.

Oxydation et puis dépôt (PECVD) de l'oxyde de passivation.

Ouverture d'oxyde pour les contacts (ohmique et Schottky). Cette étape est effectuée par RIE à CHF3. Il présente un risque de sur-gravure au centre du contact.

Métallisation Nickel ou Titane/Nickel de la source et de la grille ohmique.

Métallisation Nickel ou Titane/Nickel de la face arrière.

Gravure de la métallisation de la face avant.

Recuit du métal.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Métallisation Nickel ou Titane/Nickel de la grille Schottky et gravure du métal.

PECVD et ouverture de l'oxyde de passivation.

Métallisation Ti/Ni/Ag de la face avant et arrière. Et puis la gravure du métal épais.

Ces étapes sont représentées dans le Tableau 2-12.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

	Nom de l'étape	Niveau masque	Interprétation graphique
1	Alignement	ALIGN	
2	Implantation P^+	IMP-PPLUS	
3	N-épi		
4	Implantation N^+	IMP-NPLUS	
5	Gravure du N-épi	GRV3	
6	Implantation P^+	GRV3	
7	Gravure MESA	MESA1	
8	Implantation JTE	IMP_JTE1	
9	Dépôt d'oxyde de passivation		
10	Ouverture des contacts	OUV_CONT1	
11	Dépôt métal ohmique (face avant)		
12	Dépôt du métal ohmique (face arrière)		
13	Gravure du métal Ohmique	METAL1	
14	Recuit métal ohmique		
15	Dépôt et gravure du métal Schottky	METAL3	

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

16	Dépôt et ouverture de passivation	PASS1	
17	Dépôt du métal épais		

Tableau 2-12 : Processus de fabrication du DG-JFET 3,3 kV.

2.7 Caractérisation des DG-JFETs

2.7.1 Spécifications

Les spécifications du DG-JFET 3,3 kV sont données dans le Tableau 2-13. Les spécifications électriques sont établies d'après les résultats de simulations et la taille du composant. Le courant de fuite de la grille (I_{GSX}) est plafonné par la capacité en courant du circuit de commande.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

	Valeur	Unité	Conditions
Épaisseur initiale de l'épitaxie, $T_{dérive}$	40	µm	
Dopage de l'épitaxie, $N_{dérive}$	10^{15}	cm^{-3}	
Épaisseur de la ré-épitaxie, T_{CH}	3	µm	
Dopage de la ré-épitaxie, N_{CH}	10^{16}	cm^{-3}	
Tenue en tension, $V_{BR(DS)}$	> 3,3	kV	
Tension de seuil, V_{TH}	-19.5	V	I_{DS} = 0,1 mA, 25°C
Courant de fuites de la grille, I_{GSX}	< 700 (23 mm²)	µA	V_{GS} = -30 V, V_{DS} = 3,3kV 25°C
	< 50 (1,6 mm²)	µA	
Résistance à l'état passant, R_{ON}	< 0,85 (23 mm²)	Ω	V_{GS} = 0V, V_{DS} = 4 V 25°C
	< 13,5 (1,6 mm²)	Ω	

Tableau 2-13 : Spécifications du DG-JFET 3,3 kV.

2.7.2 Performances des DG-JFETs

Nous avons réalisé un total de 5 lots successifs de DG-JFET avec le masque M1 entre 2014 et 2015. Chaque lot a pour objectif de corriger les défauts de la conception ou de la technologie constatés lors de la caractérisation électrique et des analyses optiques du lot précédent. Les dates de fin de processus des lots et les changements faits lors de leur fabrication comparée au lot précédent sont listés dans le Tableau 2-14. Le lot 5 est divisé en deux sous-lots, le 5A et le 5B, car une nouvelle machine d'alignement est employée lors de la fabrication du 5B.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

N° lot	Date de fin de processus	Changements	Objectif
Lot 1	Février 2014		
Lot 2	Septembre 2014	Augmentation de l'épaisseur de l'oxyde fine	Diminuer I_{GSS}
Lot 3	Mars 2015	Amélioration de la précision de l'épitaxie du canal	Amélioration R_{ON}, V_{TH}
Lot 4	Juin 2015	Réduction de la distance de désalignement des masques ; Modification de masques de métallisation	Amélioration V_{BR}
Lot 5A	Septembre 2015	Amélioration de rugosité à cause de la gravure ;	Amélioration V_{BR}
Lot 5B	Septembre 2015	Changement de machine d'alignement (Machine semi-automatique)	Amélioration V_{BR}

Tableau 2-14 : Date de fin de processus des 5 lots du DG-JFET et changements faits lors de leur fabrication comparée au lot précédent.

La caractérisation électrique (en puce) des DG-JFETs est effectuée au sein du laboratoire Ampère. Deux appareils sont utilisés : un traceur Agilent B1505 et un source-mètre (Source Measurement Unit, SMU) Keithley 2636A. Dans un premier temps, le Keithley 2636A est utilisé pour les caractérisations en direct des JFETs et le B1505 pour la mesure haute tension au blocage. Piloté par un logiciel appelé ACS développé par Keithley, le 2636A est en mesure de tester automatiquement tous les composants sur un substrat, ce qui nous a permis de réduire le temps de caractérisation. Cependant, un inconvénient du 2636A est qu'il n'est pas capable de mesurer un transistor en mode impulsionnel avec les programmes existants. Ceci nous empêche de tracer la zone saturée (fort courant) du courant drain source des JFETs. Ensuite, des programmes de pilotage automatique pour le B1505 ont été développés au sein du laboratoire, ce qui permet de tester le composant en mode impulsionnel en fort courant (20 A).

Les performances électriques des 5 lots de DG-JFET sont comparées dans le Tableau 2-15. La caractérisation électrique des JFETs de test (1,6 mm²) est effectuée juste après le recuit du métal Schottky, tandis que celle des gros JFET 23 mm² est faite à la fin du processus de fabrication. À cause d'un problème technologique, la fabrication du lot 5 n'a pas abouti. Aucune mesure n'est effectuée sur les gros JFETs de ce lot.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

	Lot1	**Lot2**	**Lot3**	**Lot4**	**Lot5 A**	**Lot5 B**
%JFET op 23 mm²	Faible - < 5 %	Moyen 40 %	Faible 22 %	Faible 26 %	Non testé	Non testé
% JFET op 1,6 mm²	Moyen 75 %	Élevé 100 %	Élevé 100 %	Moyen 75 %	Moy-élevé 81 %	Moyen 62 %
Performances des JFETs de test 1,6 mm² (après RTA)						
R_{ON} (13,5 Ω)	Résistif > 30 Ω	Résistif 16-17,5 Ω	Résistif 16-20 Ω	Résistif 16-22 Ω	Résistif > 21 Ω	Résistif > 19 Ω
V_{TH} (-19,5 V)	Élevée > - 14,5 V	Basse ~ - 21 V	Basse ~ - 20,6 V	Élevée ~ -15 V	Élevée ~ -15 V	Élevée ~ -15 V
I_{GSS} (<50 µA)	Élevée > 0,1 mA	Moyen ~ 30 µA	Faible ~ 2 µA	Moyen ~ 10 µA	No data	No data
$V_{BR(DS), MAX}$ (>3,3 kV)	Faible < 50 V	Moyen 2200 V	Faible 1000 V	Moyen 2400 V	Moy-élevé 2560 V	Moyen 2000 V
$V_{BR(DS), moy}$	Faible < 50 V	Moyen 1866	Faible 646 V	Moyen 2230 V	Moyen 1845	Moy-faible 1543
Performances des JFETs 23 mm² (processus fini)						
$R_{ON,moy}$ (0,85 Ω)	Résistif > 1,7 Ω	Faible ~ 0,6 Ω	Faible ~ 0,77 Ω	Résistif ~ 1,1 Ω	Non testé	Non testé
$V_{TH,moy}$ (-19,5 V)	Élevée > -14,5 V	Basse ~-21 V	Élevée ~-21 V	Élevée ~ -15 V	Non testé	Non testé
$I_{GSS,moy}$ (<700 µA)	Élevée > 1 mA	Élevée > 1 mA	Élevée > 1 mA	Élevée > 1 mA	Non testé	Non testé
$V_{BR(DS), MAX}$ (>3,3 kV)	0 V	Moyen 1900 V	Faible 1224 V	Moyen 2214 V	Non testé	Non testé

Tableau 2-15 : Comparaison des performances électriques des JFETs fabriqués avec le masque M1.

2.7.2.1 Performances globales

Le rendement obtenu sur les gros JFETs de 23 mm² (%JFET op) dans chaque lot est faible. Le critère pour détecter les JFETs non fonctionnels est l'absence de modulation du courant quelle que soit la tension grille source. En revanche, le rendement pour le JFET 1,6 mm² est beaucoup plus élevé. Pour expliquer ce phénomène, il faut regarder au niveau du masque. Le JFET de 23 mm² est composé

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

de 16 JFETs de 1,6 mm² sous forme de matrice 4×4. La probabilité d'avoir des défauts de matériau ou des problèmes technologiques tels que la sur-gravure, l'oxyde de passivation est donc plus importante pour le gros JFET.

Étant fonctionnels, plus de caractérisations sont effectuées sur les JFETs avec une surface réduite afin d'identifier les défauts dans la conception et de fabrication. Regardons maintenant les performances électriques de ces composants de chaque lot fabriqué.

2.7.2.2 Performances des JFETs de test

La valeur moyenne de résistance à l'état passant des JFET de 1,6 mm² est toujours plus élevée que la spécification ($R_{on\text{-}objectif}$, 13,5 Ω), notamment dans le lot 1 et le lot 5. En fait, la résistance à l'état passant des JFETs après le recuit de métallisation est composée de la résistance interne et des résistances du contact. Comme le montre la section 2.4.2, une faible valeur de dopage de la région de dérive, de la dose du canal latéral (épaisseur × dopage), augmente la valeur de la résistance interne. À partir du lot 2, la précision sur l'épaisseur de l'épitaxie pour le canal latéral est améliorée. Reste que les informations sur les dopages ne sont pas toujours disponibles.

La résistance du contact peut aussi être l'origine du problème. La surface des contacts (source et drain) est dessinée de telle manière à ce que les résistances de contact soient négligeables devant la résistance interne. Cependant, un contact ohmique mal formé peut avoir un comportement redresseur ou être très résistif. Dans ce cas, les résistances du contact peuvent devenir comparables avec la résistance interne. Des mesures de résistance de contact de la source sont effectuées sur les motifs TLM du lot 1. La méthode pour former le contact reste identique pour les autres lots. Nous avons constaté que le contact est bien ohmique. Mais la résistance spécifique du contact (ρ_C) est de ~$3{,}7\times10^{-3}$ Ω.cm², ce qui est bien plus élevée que l'état de l'art (~10^{-5} Ω.cm²) [93]. Par conséquent, la résistance de contact de la source est ~1,6 Ω. Elle n'est donc pas négligeable devant la résistance interne idéale (13,5 Ω).

La tension de seuil (V_{TH}) du lot 1 est le plus élevée. La valeur de V_{TH} s'approche à la valeur théorique (-19,5 V) pour les lots 2 et 3 grâce à l'amélioration de la précision sur l'épaisseur de l'épitaxie pour le canal latéral. Cependant, à partir du lot 4 la valeur de V_{TH} remonte vers -15 V même avec une bonne épaisseur du canal. Sachant que la tension de seuil dépend également du dopage du canal latéral (cf. section 2.3), la variation en tension est probablement à cause de la variation de ce dopage d'un lot à l'autre. Cette hypothèse est en concordance avec celle pour la résistance.

Le courant de fuite de la grille (I_{GSS}) du lot 1 est élevé. Sa valeur est 2 fois plus importante que la valeur maximale définie par le circuit de commande (50 µA).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

À partir du lot 2, le courant I_{GSS} diminue grâce à l'amélioration de l'oxyde de passivation. Grâce à la diminution du courant de fuite, la tenue en tension ($V_{BR(DS)}$) a connu une amélioration importante entre le lot 1 et les lots ultérieurs. En effet, diminuer le courant de fuite réduit la chute de potentiel sur la résistance d'accès de la grille, qui se retrouve uniformément polarisée tout le long du canal. Dans ce cas, le JFET est donc capable de tenir d'une certaine tension. La meilleure valeur de tenue en tension ($V_{BR(DS)}$) se trouve dans le lot 5A qui est égale à 2560 V. Comparé à l'objectif (> 3,3 kV), la tenue en tension des JFETs fabriqués est encore faible.

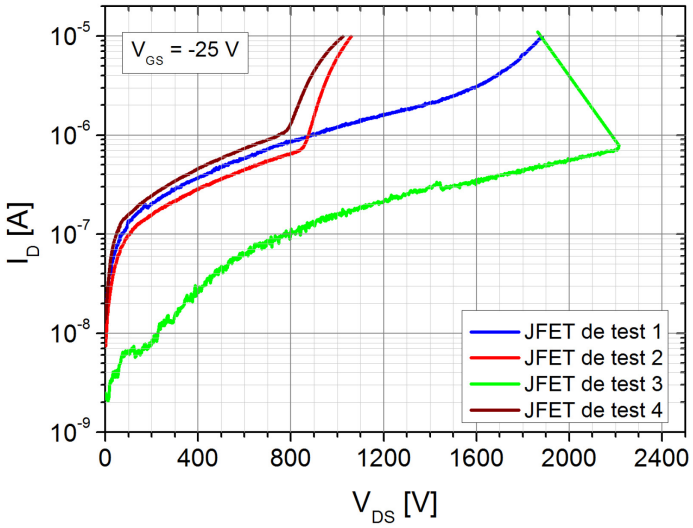


Figure 2-13 : Caractéristiques bloquées typiques des DG-JFETs de test réalisés.

Le claquage prématuré sous haute tension des JFETs de test est dû à l'augmentation du courant drain (I_D). La Figure 2-13 représente les caractéristiques I_{DS}-V_{DS} typiques au blocage des JFETs de test. Lors de la mesure, la compliance du courant que nous avons choisie est 10 µA ce qui correspond à une densité de puissance de 0,09 W/cm². La compliance du courant est la valeur maximale admissible du courant définie par l'utilisateur de l'appareil de mesure afin de protéger le composant sous test. Nous avons observé trois comportements différents.

Le premier est que le courant I_D augmente progressivement jusqu'à ce qu'il atteigne la compliance du courant, comme le cas du JFET de test 1. La cause de ce phénomène peut être le courant de fuite de la grille. Lorsque ce courant est important, l'efficacité du canal latéral pour bloquer le courant drain source diminue. Le courant drain source augmente avec la tension. Ce phénomène sera discuté en détail dans la section 2.8.2.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Le deuxième comportement est comme celui des JFET de test 2 et JFET de test 4. Le courant drain-source augmente progressivement dans un premier temps. A partir de certaine valeur de tension, les courants augmentent plus vite qu'avant. Ce phénomène peut être dû à la réduction de la distance entre le contact Schottky et le canal vertical à cause de désalignement des masques. Sous haute tension, le contact n'est plus protégé, ce qui entrainerait une augmentation du courant de fuite par la grille Schottky. Les analyses en détail du phénomène sont décrites dans la section 2.8.3.

Le troisième comportement est que le courant I_{DS} augmente brusquement sous haute tension, comme celui du JFET de test 3. La possible origine est que la dose de la JTE est trop faible. Une autre possibilité est qu'un dopage trop élevé de la région de dérive ou une épaisseur trop faible de cette même région (cf. section 2.3). Cependant, les analyses sur ce mode de claquage ne sont pas abouties, puisqu'il nous manque les données de la dose de la JTE du composant mesuré et les paramètres de l'épitaxie (région de dérive) du constructeur. Il est nécessaire de faire une analyse SIMS sur cette plaque, ce qui permet d'estimer la dose JTE de ce composant.

La valeur moyenne de la tension de chaque de chaque lot est également donnée dans le Tableau 2-15. L'écart entre la valeur moyenne et la tension de claquage maximale reflète la stabilité du processus sur la plaque. Parmi les lots, cet écart est compris entre 700 V (lot 5A) et 170 V (lot 4). La qualité du processus est plus stable dans le lot 4 que le lot 5A.

2.7.2.3 Performances des JFETs de grande surface

Les dernières lignes du Tableau 2-15 reportent les performances des gros JFETs (23 mm²) de chaque lot. Le courant de fuite de la grille élevé (I_{GSS}) est un problème commun dans les lots. À cause de ce problème, le blocage du composant n'est pas efficace et la tenue en tension des JFETs est faible. Il peut y avoir plusieurs origines pour ce problème :

- L'épaisseur du canal latéral est trop faible. Ceci engendrerait une sur-gravure lors de l'accès des grilles.
- La deuxième implantation P^+ est décalée à cause du désalignement des masques. En cas d'une sur-gravure, les grilles seraient flottantes. Ceci peut entrainer des courants de fuite importants entre la source et les caissons P^+.
- L'oxyde de passivation n'est pas efficace.
- La dose des grilles P^+ est trop faible, ce qui réduit la tension de punch through grille-source. Le transistor bipolaire parasite se déclenche pour forte tension grille-source.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

De plus, si on normalise le courant de fuite de la grille I_{GSS} par la surface du drain, cette valeur est plus importante pour les gros JFETs de 23 mm² que pour les JFET de test (1,6 mm²). Ce phénomène peut être dû au problème d'homogénéité de la technologie sur un composant de grande surface.

L'autre observation importante est que la résistance à l'état passant des gros JFETs n'est pas toujours en accord avec les JFETs de test associés. Dans le cas des lots 2 et 3, les JFETs 23 mm² sont moins résistifs que la spécification, tandis que les JFETs de test ne le sont pas. Ce phénomène peut être dû à la variation de l'épaisseur du canal latéral sur la surface d'un gros JFET. En effet, puisque le gros JFET est 16 fois plus grand que le JFET de test, il est possible que l'épitaxie pour le canal latéral ne soit pas homogène. Ceci diminuerait la résistance moyenne du gros JFET. Des analyses plus poussées sur les JFETs 23 mm^2 peuvent difficilement être menées en raison du faible nombre de composants fonctionnels.

2.7.2.4 Bilan

Les défauts de fonctionnement des DG-JFETs fabriqués ont été constatés au travers des caractérisations électriques. Ils sont résumés avec leurs possibles origines dans le Tableau 2-16.

Défauts	Erreur de conception	Désalig masque	Épi (dérive)	Imp P^+	N-épi	Grav	JTE	Pass1	Métal1
R_{ON} élevé	√		√		√				√
V_{TH} élevé	√				√				
V_{BR} faible	√	√	√	√			√		
I_{GSS} élevé	√	√		√	√	√		√	

Tableau 2-16 : Problèmes des DG-JFETs fabriqués et leurs possibles origines.

Dans tous les cas, des erreurs de conception dans le dessin de masque peuvent causer le dysfonctionnement du composant. Il est donc indispensable de faire un DRC (Design Rules Check) avant de livrer le masque, ce qui nécessite une mise en place scrupuleuse de règles précises de dessin (Design Rule Manual, DRM).

À l'aide de la simulation et des moyens techniques, des origines de défaillances des JFETs dues aux problèmes technologiques sont vérifiées, présentées dans la partie suivante.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

2.8 Identification des contraintes technologiques

Des caractérisations électriques, optiques et physico-chimiques, nous ont permis de connaitre les défauts de fonctionnement des composants. Des hypothèses ont été proposées sur les possibles origines de ces problèmes. Le Tableau 2-17 liste les problèmes qui sont identifiés pour la fabrication du DG-JFET 3,3 kV. Les moyens techniques employés pour chaque identification sont également donnés dans le tableau.

Structure	Problèmes constatés	Lots mesurés	Moyens techniques
Épitaxie pour le canal latéral	Variation en épaisseur (> 10 %) ; Épaisseur moyenne différente que la valeur théorique	Lot 1 Lot 1-2	Cartographies FTIR Mesure SIMS
Gravure	Rugosité importante ; Variation en profondeur ;	Lot 4 Lot 1-5	Mesure par IBS
Désalignement	G-Sch par rapport aux grilles P^+ 2e IMP-PLUS et la gravure	Lot 1-2-3	Photo MEB
Oxyde de passivation	Perforation de l'oxyde par la métallisation fine	Lot 1	Photo MEB

Tableau 2-17 : Problèmes identifiés pour la fabrication du DG-JFET.

Les informations sur l'épaisseur de l'épitaxie pour le canal latéral sont obtenues par deux techniques : la cartographie de FTIR (Fourier Transform InfRared spectroscopy) et la mesure TOF-SIMS (Time-of-Flight Secondary Ion Mass Spectrometry). L'analyse FTIR est une analyse spectroscopique non destructive qui permet de calculer l'épaisseur d'un épi-film sur un point précis. En répétant cette action sur différents points sur la plaque pour le DG-JFET et ensuite en rassemblant tous les points, une cartographie de l'épaisseur de l'épitaxie sur l'ensemble de la plaque est construite, ce qui nous permet d'avoir des informations précises sur la valeur moyenne et la variation de l'épaisseur. L'analyse TOFSIMS permet également d'obtenir l'épaisseur d'un épi-film sur un point de mesure. Contrairement au FTIR, les analyses TOFSIMS sont destructives. Elles sont donc uniquement effectuées sur des motifs dédiés (motif SIMS) situés dans les champs de test. Puisque le nombre de champs de test est limité sur la plaque, les analyses TOF-SIMS ne sont pas en mesure de fournir des informations aussi complètes que la cartographie FTIR. Néanmoins, le temps de mesure et de traitement de TOF-SIMS est plus court, ce qui nous permet d'avoir une première idée sur l'épaisseur de l'épitaxie lors de la fabrication des DG-JFETs. La cartographie FTIR est effectuée pour le lot 1, et les analyses TOF-SIMS sont faites pour tous les lots.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Grâce à la cartographie FTIR pour le lot 1, on a constaté que l'épitaxie pour le canal latéral est ~15 % plus épaisse au centre de la plaque qu'aux bords. D'après les équations analytiques développées dans la section 2.4, ce phénomène peut entraîner des variations en termes de résistance à l'état passant et de tension de seuil des gros JFETs situés aux différents endroits de la plaque. Cependant, des analyses plus poussées peuvent difficilement être menées en raison du faible nombre de composants fonctionnels du lot 1 et de manque d'information sur le dopage du canal.

Par la suite, on va regarder séparément les influences des problèmes de la gravure, du désalignement et de l'oxyde de passivation sur le courant de fuite de grille et la tenue en tension du DG-JFET.

2.8.1 Influence de l'oxyde fin sur le courant de fuite de la grille

Le rendement des gros JFETs du lot 1 est très faible (< 5%). La Figure 2-14 montre les caractéristiques de sortie (I_{DS}-V_{DS}) et du courant grille-source (I_{GS}) typiques des gros JFETs non fonctionnels du lot. La mesure de la puce est effectuée par le source-mètre Keithley 2636A en mode DC. Une mesure quatre pointes est nécessaire, car la résistance du composant mesurée (~ 5 Ω) est proche de la résistance du câblage (~ 2 Ω). Les courants sont limités par la compliance de l'appareil. Le courant I_{GS} est limité à 1 mA et le courant I_{DS} à 0,5 A.

Dans la Figure 2-14(a), aucun effet transistor n'est observé sur les caractéristiques de sortie (I_{DS}-V_{DS}). Les courants drain-source du JFET ne sont pas modulés par la tension grille-source (V_{GS}). Dans la Figure 2-14 (b), le courant grille-source (I_{GS}) augmente avec la tension V_{DS} pour une tension V_{GS} = 0 V. Pour des valeurs absolues plus fortes de V_{GS}, le courant I_{GS} atteint la limite de l'appareil (1 mA). Un fort courant I_{GS} dépolarise le canal du JFET, le composant n'est donc plus capable de moduler le courant drain source.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

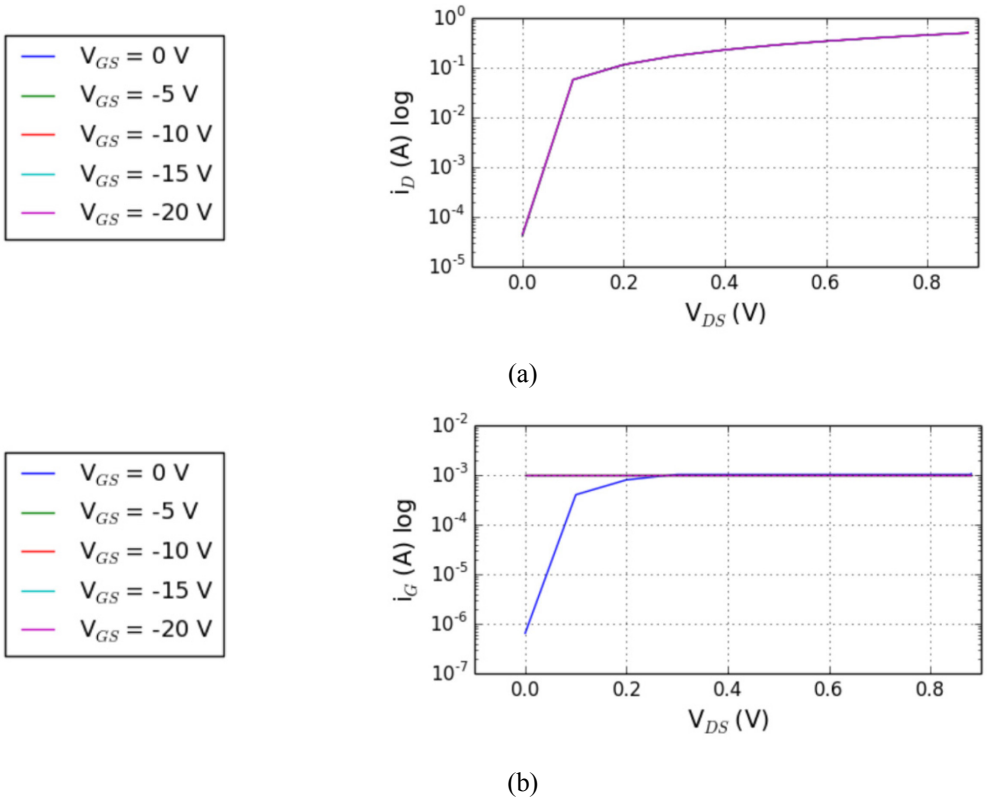


Figure 2-14 : Caractéristiques de sortie (I_{DS}-V_{DS}) et du courant grille-source (I_{GS}) typiques d'un JFET de grande surface non fonctionnel du lot 1.

La Figure 2-15 (gauche) montre la vue du masque d'un JFET de test. Trois niveaux de masques sont visualisés : l'implantation N^+ (IMP-NPLUS), la métallisation ohmique (METAL1), et la grille Schottky (METAL3). La METAL1 recouvre deux contacts, i.e. la source et la grille ohmique (G-Ohm). Le masque est composé de cellules élémentaires interdigitées. Dans la partie droite de la Figure 2-15, la vue en coupe d'un élément est montrée. Sur la vue en coupe, on voit que le métal dépasse l'ouverture du contact de 3 µm. Cette marge est choisie lors du dessin en tenant en compte de la précision de l'alignement des masques. De ce fait, l'extrémité du métal de la grille Schottky (G-Sch) se trouve aligné avec l'implantation N^+. Les deux couches sont séparées par l'oxyde de passivation fine.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

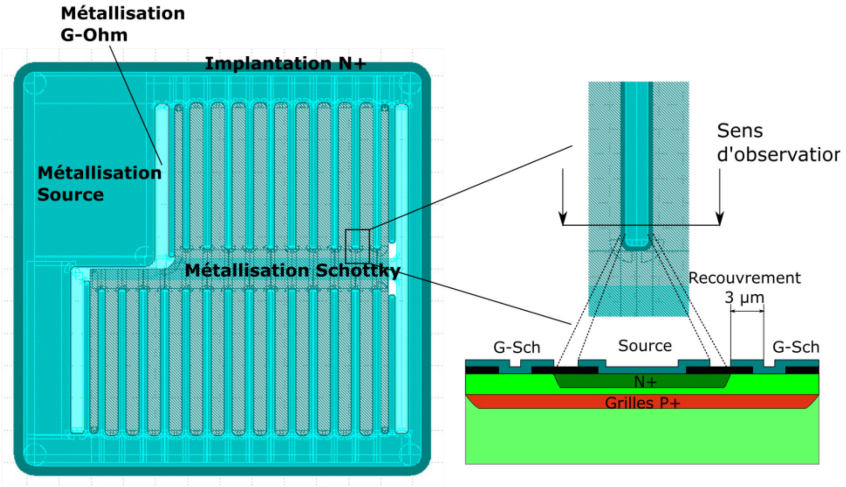


Figure 2-15 : Vue du masque d'un JFET de test (gauche) et vue en coupe d'un élément du masque (droite).

Lorsque l'oxyde fin de passivation n'est pas efficace, le métal Schottky et la source N^+ peuvent se toucher à cause de la perforation de l'oxyde par le métal, ce qui diminue l'impédance grille-source. Ce problème a été confirmé par les analyses MEB pour les DG-JFETs fabriqués par l'ancien masque qui ont la même épaisseur d'oxyde que celle du lot 1 du masque M1. La Figure 2-16 illustre un exemple de perforation de l'oxyde fin observé au MEB dans un des anciens DG-JFETs. L'épaisseur de l'oxyde est de 50 nm. Dans l'image MEB du canal latéral, on identifie la source N^+ et le nickel utilisé pour le contact Schottky (G-Sch) par leur couleur claire. La couche du nickel proche de la source correspond au métal qui dépasse l'ouverture du contact Schottky et qui pose sur l'oxyde. Lorsqu'il y a une bonne adhésion du nickel sur l'oxyde, le métal est bien isolé du semi-conducteur. Dans le cas contraire, la métallisation passe à travers le SiO_2 et diffuse dans le semi-conducteur. Une vue du dessus d'un défaut similaire est également montrée dans la Figure 2-16. Ce problème technologique peut être l'une des origines du courant de fuite important de la grille vers la source (I_{GSS}).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

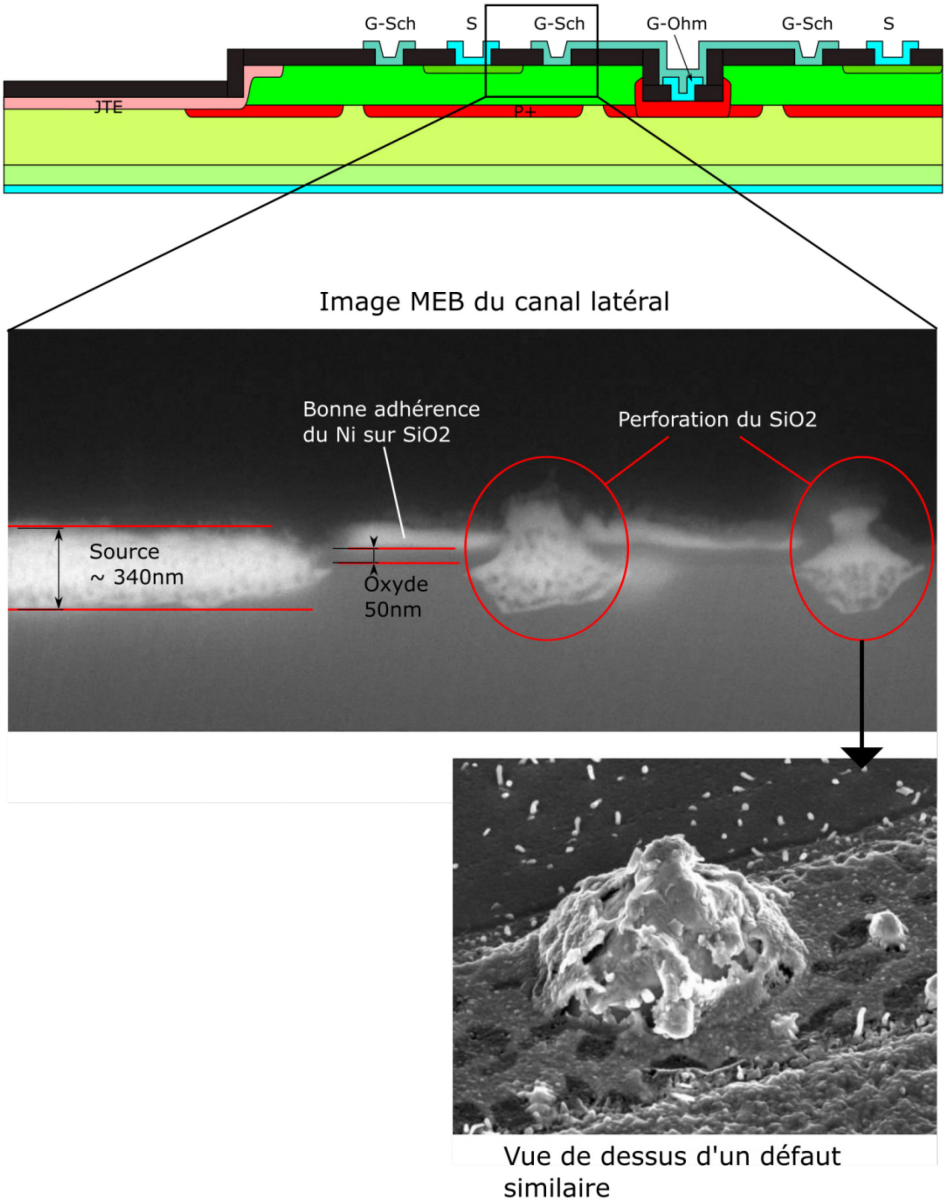


Figure 2-16 : Exemple d'observation MEB de la perforation du SiO_2 par le métal.

Nous avons donc augmenté l'épaisseur de l'oxyde d'un facteur 10 lors de la fabrication du lot 2 de DG-JFET avec le masque M1. Le Tableau 2-18 compare les performances des JFETs de test dont l'épaisseur de l'oxyde fin (T_{OX}) est de 50 nm (lot 1) et de 500 nm (lot 2). On voit que le courant de fuite moyen des JFETs de test est réduit de 1 mA à 30 µA. La tenue en tension maximum du JFET atteint 2200 V contre 50 V. Quant au rendement des gros JFETs (% JFET op), le rendement du lot 2 (40%) est plus élevé par rapport à celui du lot 1 (<5%). Cependant, ce taux reste faible. Pour les JFETs non fonctionnels du lot 2 ainsi que les lots ultérieurs, il y a

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

certainement d'autres origines pour le courant de fuite grille-source dont les problèmes de gravure, présentés dans la section suivante.

N° du lot	T_{OX} (nm)	% gros JFET op	$V_{BR,max}$ (JFET test)	$I_{GSS,moy}$ (A) (JFET test)
Lot 1	50	< 5	< 50 V	> 1 m
Lot 2	500	40	2200	< 30 µ

Tableau 2-18 : Comparaison de performances des JFETs réalisés avec différentes épaisseurs de l'oxyde de passivation.

2.8.2 Influence de la qualité de gravure sur le courant de fuite de la grille

Lors de la fabrication du DG-JFET, une gravure verticale est nécessaire pour accéder aux grilles P^+ enterrées. Ensuite, une autre étape d'implantation d'aluminium est effectuée après la gravure, appelé 2e implantation. Cette étape a pour objectif d'assurer le contact entre la métallisation et la couche P^+. Néanmoins, l'efficacité de la 2e implantation dans l'amélioration de contact dépend beaucoup de la qualité de gravure.

La Figure 2-17 représente la qualité du contact aux grilles enterrées suite à une bonne gravure, une sous-gravure, une sur-gravure et une gravure qui engendre une surface rugueuse. Ces quatre cas sont les plus probables que l'on peut rencontrer lors de la fabrication. Une bonne gravure signifie que la profondeur de la gravure est précise et que la surface après la gravure est lisse. La 2e implantation améliore le dopage à l'interface entre la métallisation posée et les grilles P^+. Dans ce cas, le contact ohmique est bien réussi.

Dans le cas où la profondeur de gravure (T_{Grv}) est inférieure à l'épaisseur du canal latéral (T_{CH}), il s'agit d'une sous-gravure. Dans ce cas, si la profondeur de l'implantation (T_{P+}) est proche de la différence entre le fond de la gravure et les grilles P^+, les grilles sont très mal contactées, voire ne sont pas contactées du tout. Ceci augmente l'impédance entre la métallisation et les grilles, ce qui rend la polarisation de la grille inutile pour contrôler les zones de charges d'espace dans le canal.

Au contraire, si la profondeur de gravure est supérieure à l'épaisseur de canal, c'est-à-dire $T_{Grv} > T_{CH}$, il s'agit d'une sur-gravure. Dans ce cas, grâce à la 2e implantation, la métallisation et les grilles enterrées sont connectées. Cependant, il peut y avoir un endroit où la dimension de P^+ est faible, ce qui produit une augmentation locale du champ électrique lors de la polarisation en inverse de la jonction PN grille-source. La présence d'un pic de champ électrique engendre du

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

courant de fuite plus important que la partie plane de la jonction. L'impédance entre la grille et la source est ainsi diminuée. La tension grille-source perd le contrôle de la zone de charge d'espace dans le canal.

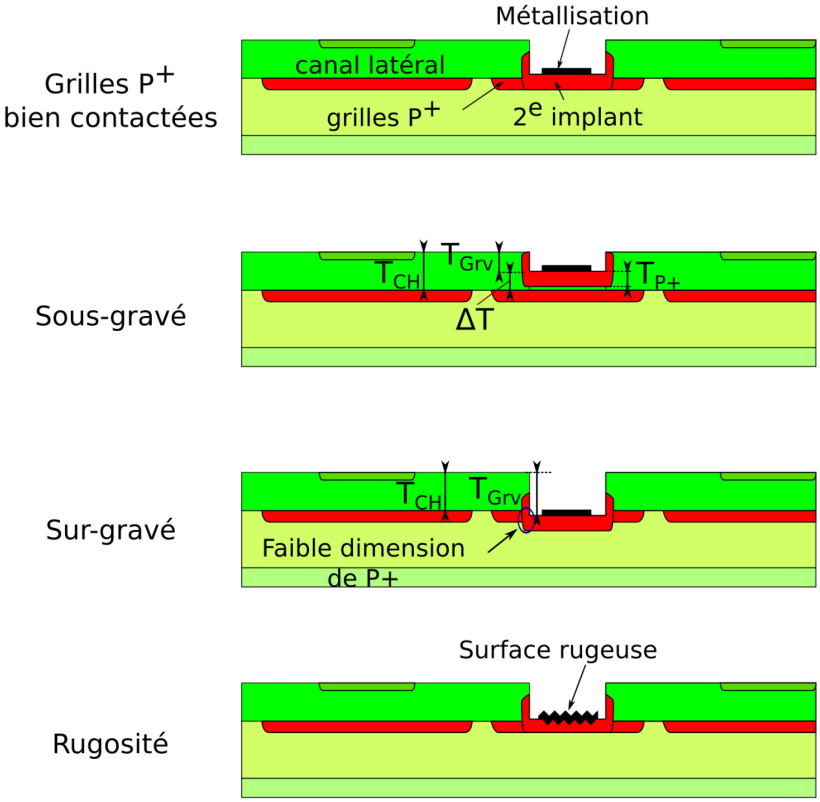


Figure 2-17 : Qualité du contact aux grilles enterrées suite à une bonne gravure, une sous-gravure, une sur-gravure et une gravure qui engendre une surface rugueuse.

La sous-gravure et la sur-gravure ont donc une conséquence similaire. La différence essentielle est la densité du courant de fuite de la grille. La sous-gravure n'introduit pas de courant de fuite puisque l'impédance grille source est très importante. Ces deux problèmes de gravure peuvent arriver en même temps à des DG-JFETs sur une plaque. Car selon les mesures du fabricant de composant, l'épaisseur du canal et la profondeur de gravure ne sont pas constantes en différents points pour les plaques des lots 1-5.

La rugosité est un autre problème de gravure qui pourrait être à l'origine du courant de fuite de la grille. Comme cela est montré dans la Figure 2-17, l'attaque non uniforme au fond de la gravure produit des sur-gravures en profondeur. De ce fait, la couche de métallisation posée dessus n'est pas plane. D'autre côté, les sur-gravures créent des endroits où la profondeur de P^+ est faible, ce qui augmenterait localement le champ électrique et introduirait du courant de fuites dans la jonction PN. Ce problème a été constaté dans le lot 4.

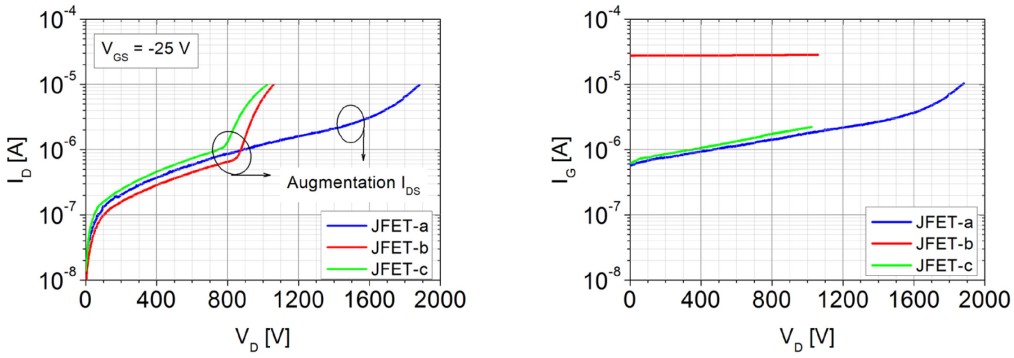
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Les problèmes qui entrainent la dépolarisation du canal pour le blocage de DG-JFET étant identifiés, les composants n'ont pas l'effet transistor pour faible tension drain-source. Ensuite, une origine pour le claquage prématuré à haute tension pour les composants fonctionnels sera présentée.

2.8.3 Influence du désalignement des masques sur la tenue en tension

2.8.3.1 Mode de défaillance

Comme présenté dans la section 2.7.2, la tenue en tension des JFETs fabriqués sont plus faibles qu'escompté. Nous avons rencontré deux modes de défaillance : claquage abrupt et progressif. La Figure 2-18 montre les caractéristiques au blocage des trois JFETs de test de 1.6 mm². Les mesures sont effectuées par le traceur Agilent B1505 dans l'environnement sous vide, ce qui limite le risque de claquage. Le critère d'arrêt de mesure est d'avoir un courant drain source supérieure à 10 µA ou un courant grille source supérieure à 100 µA, ce qui limite la puissance au claquage.



(a) (b)

Figure 2-18 : Différents modes de claquage progressif observés sur des JFETs de test. (a) Caractéristiques I_{DS}-V_{DS} et (b) I_{GS}-V_{DS} au blocage pour V_{GS} = -25 V.

La Figure 2-18 (a) montre les I_{DS}-V_{DS} au blocage des trois JFETs. Leurs comportements de départ sont caractérisés par une augmentation progressive du courant I_{DS}. Le JFET-a présente une augmentation du courant I_{DS} pour une tension V_{DS} égale à 1,6 kV, tandis que le courant I_{DS} du JFET-b augmente brusquement pour V_{DS} égale à 850 V, et celui du JFET-c pour V_{DS} égale à 790 V. Selon les études par simulation détaillée par la suite, la tension V_{DS} égale à 1,6 kV atteint le seuil où se déclenche le phénomène de punch through, ce qui entraine une

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

augmentation du courant du JFET-a. Quant aux JFET-b et JFET-c, l'origine du phénomène est différente de celle du JFET-a. L'explication de la cause sera donnée dans la section 2.8.3.3.

D'autre part, les courants I_{DS} des trois JFETs sont importants par rapport à la valeur idéale pour des tensions V_{DS} inférieures à 1000 V. En effet, le courant drain source théorique sous cette condition est dû au courant de génération dans les zones de charge d'espace dont la valeur est inférieure à 10 nA (300 K). Un fort courant drain source réduit la tenue en tension du composant. Afin d'expliquer ce problème, on va regarder les courants grille source (I_{GS}) dans les mêmes conditions pour les trois JFETs (Figure 2-18 (b)). Le courant I_{GS} du JFET-a a la même allure que son courant I_{DS}. Le courant de fuite drain-source du JFET-a provient donc du courant des grilles. En revanche, les courants I_{GS} du JFET-b et du JFET-c sont plus importants que leurs courants I_{DS}. Dans ce cas, le courant I_{DS} est seulement une partie du courant I_{GS}. Il existerait donc d'autres problèmes qui introduisent du courant entre la grille et la source, tels que la qualité de gravure, ou encore le courant du contact Schottky. Afin d'identifier le problème, il est nécessaire de mesurer séparément le courant par la grille-ohmique et la grille Schottky. Le masque actuel ne permet d'effectuer une telle mesure. Il faut donc considérer la conception d'un motif de test dans la nouvelle génération de masque afin de le faire. C'est le motif JFET-monocanal présenté dans le Chapitre 3.

2.8.3.2 Punch through de l'épitaxie

L'augmentation du courant de drain et de la grille du JFET-a est due au punch through de région de dérive. Des simulations par éléments finis ont été effectuées pour connaître la valeur théorique de la tension de punch through (V_{PTD}) du DG-JFET 3,3 kV. La vue en coupe du champ électrique dans le composant est illustrée dans la Figure 2-19. Le profil du dopage du composant y est également représenté, ce qui nous a permis de distinguer les régions du composant. Au point $x = 0$ on retrouve le canal latéral (N^-) suivi par la grille (P^+), la région de dérive (N_{epi}) et au final le substrat (N^+). Le composant est bloqué et la tension grille source est définie à -25 V. Pour une tension du drain de 500 V, le champ électrique est triangulaire. Le pic du champ ($6*10^5$ V/cm) se trouve sur la frontière P^+/N_{epi}. En augmentant la tension V_{DS}, le pic du champ augmente et la zone du champ s'étend davantage vers le substrat. Pour une tension V_{DS}=1,5 kV, la zone du champ électrique arrive à la limite de la région de dérive. Cette valeur de tension correspond donc à la tension de punch through V_{PTD} du DG-JFET. Pour V_{DS} supérieure à V_{PTD}, le champ devient trapézoïdal. Dans ce cas, la surface du champ électrique dans la région de dérive s'accroit plus rapidement pour un écart de tension donné. Par exemple, l'augmentation de la surface du champ est plus importante quand V_{DS} passe de 1,5 kV à 2 kV que quand V_{DS} passe de 1 kV à 1,5 kV. Sous plus fort champ

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

électrique, le courant de fuite de grille augmente également plus rapidement pour V_{DS} supérieure à V_{PTD}.

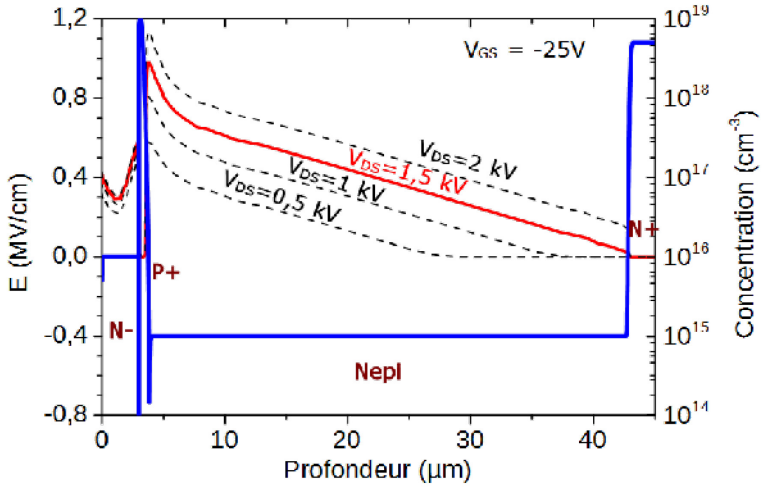


Figure 2-19 : Coupe verticale en fin du canal latéral, champ électrique simulé pour différentes tensions au blocage et profil du dopage.

2.8.3.3 Dépolarisation du canal à cause du désalignement des masques

L'augmentation du courant de drain des JFET-b et JFET-c est due à la dépolarisation du canal latéral sous haute tension. Ce phénomène provient du désalignement des masques entre l'ouverture des contacts (OUV-CONT1) et l'implantation P^+ (IMP-PPLUS) (cf. section 2.6.2). La Figure 2-20 illustre ce problème. Le désalignement peut réduire la distance (*D*) entre le contact Schottky (G-Sch) et le canal vertical.

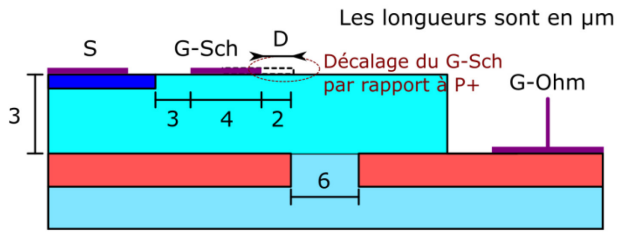
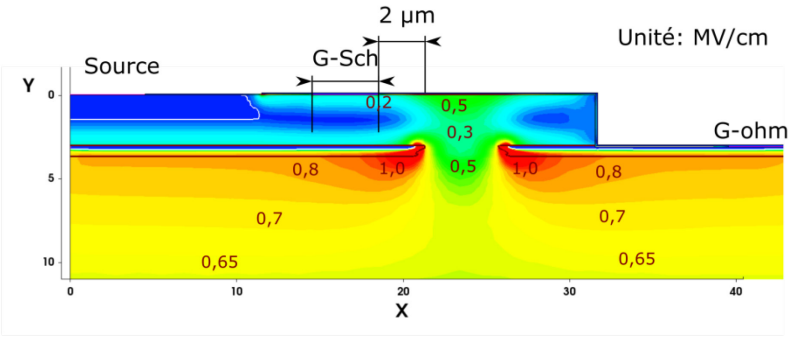


Figure 2-20 : Décalage du contact Schottky vers le canal vertical à cause du désalignement des masques.

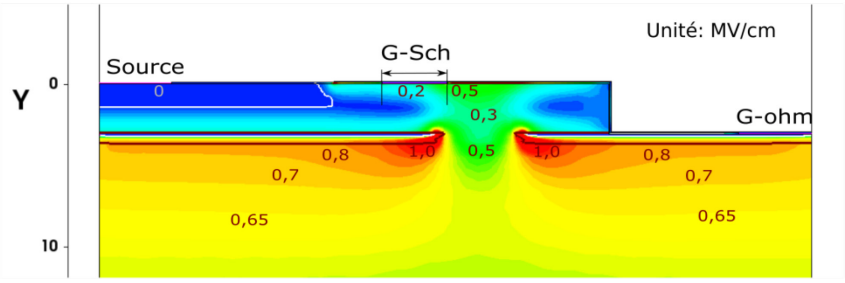
La Figure 2-21 montre le champ électrique autour de la zone active du DG-JFET 3,3 kV par simulation. La tension V_{GS} est de -25 V et la tension V_{DS} est égale

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

à la tension de punch through (V_{PTD} = 1500 V). Le pic de champ électrique dans ce cas est de 1 MV/cm, et il se trouve sur l'interface P^+/dérive. Le champ est plus faible dans le canal latéral (~0,2 MV/cm) et est nul vers la source, car le canal latéral est protégé par les grilles P^+. En revanche, la zone au-dessus du canal vertical est « visible » depuis la région de dérive. La valeur du champ au-dessus du canal vertical atteint 0,5 MV/cm, ce qui est plus élevée que celle dans le canal latéral.



(a)



(b)

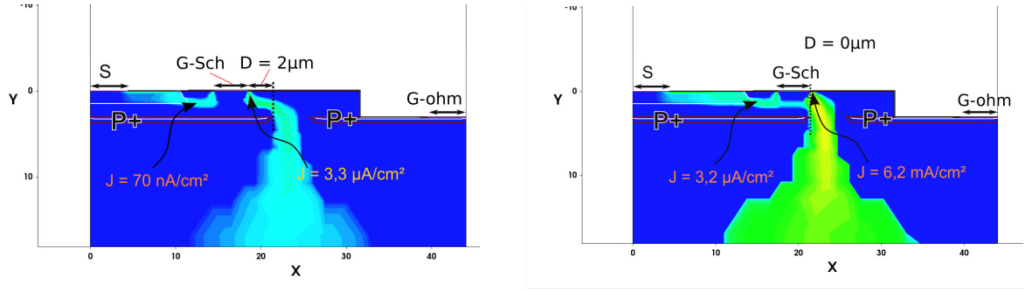
Figure 2-21 : Champ électrique autour de la zone active pour V_{GS} = -25 V et V_{DS} = 1500 V. (a) sans désalignement, (b) avec désalignement de 2 µm vers la droite.

Sans désalignement, c'est-à-dire que *D* = 2 µm (Figure 2-21(a)), le champ électrique autour du contact Schottky (E_{max}) est d'environ 0,2 MV/cm dans les mêmes conditions. Si la distance *D* devient inférieure à 2 µm à cause du désalignement, le champ électrique en-dessous du contact augmente. La Figure 2-21 (b) montre un tel cas pour un désalignement de 2 µm vers la droite. On voit que le champ maximal autour du contact Schottky est de 0,5 MV/cm. Ceci engendre un abaissement de la barrière du contact Schottky sous l'effet du champ électrique (Barrier Narrowing) [94]. Dans ce cas, le courant de fuite du contact augmente, ce qui réduit la polarisation du canal latéral.

La Figure 2-22 compare la densité du courant dans le canal latéral par simulation en cas d'alignement parfait (*D* = 2 µm) avec celui obtenu en cas d'un désalignement de 2 µm vers le canal vertical (*D* = 0 µm). Les conditions en tension

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

sont identiques au cas précédent dans la Figure 2-21 (V_{DS} = 1,5 kV, V_{GS} = -25 V). Dans la Figure 2-22(a), la densité du courant du canal (J_{CH}) est de 70 nA/cm². La densité du courant du drain vers la grille Schottky est de 3,3 µA/cm², ce qui fait un courant de drain de 53 nA pour un JFET 1,6 mm². Le courant de la grille est la somme des deux courants. Ce courant est principalement un courant thermionique. En cas de désalignement de 2 µm (Figure 2-22(b)), le champ électrique maximal en dessous du contact Schottky s'élève à 0,5 M/V. Sous fort champ électrique, la hauteur de barrière du contact Schottky abaisse plus rapidement, ce qui engendre un courant de fuite plus important par le contact pour la même tension au blocage [15]. En effet, la densité de courant par la grille Schottky s'élève à 6,2 mA/cm², soit 2×10^3 fois plus important que celle en cas d'alignement parfait. Un fort courant grille source réduit la tension de polarisation dans le canal, ce qui entraine une circulation du courant entre la source et le drain. Le canal n'est donc plus déserté. Le courant du drain dans ce cas atteint 10 µA pour un JFET de 1,6 mm².



(a) (b)

Figure 2-22 : Densité du courant simulée en cas : (a) d'alignement parfait D = 2 µm ; (b) d'un désalignement de 2 µm vers le canal vertical (D = 0 µm). Les tensions V_{DS} = 1500 V, V_{GS} = -25 V.

Le Tableau 2-19 compare la valeur du champ électrique maximale (E_{MAX}) en dessous du contact Schottky et les courants de fuites pour des tensions V_{DS} = 1,5 kV et V_{GS} = -25 V pour différentes distances de désalignement vers la droite. On voit que plus le contact Schottky est proche du canal vertical, plus le champ électrique est important. Le courant de la grille Schottky ($I_{G,Sch}$) et le courant du drain (I_D) augmentent en conséquence. Le canal est d'autant plus dépolarisé que le courant $I_{G,Sch}$ est élevé. La tenue en tension du composant peut donc être fortement réduite à cause du désalignement des masques.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

JFET 1,6 mm² D (µm)	E_{max} (MV/cm)	I_{CH} (A)	$I_{G,Sch}$ (A)	I_D (A)
2	0,2	1,1 n	53 n	52 n
1	0,3	2,6 n	1,4 µ	1,4 µ
0	0,5	26 n	10 µ	10 µ

Tableau 2-19 : Champ électrique maximal autour du contact Schottky, courant du canal (I_{CH}), courant de la grille Schottky ($I_{G,Sch}$) et courant du drain (I_D) en fonction de la distance de désalignement. V_{DS} = 1,5 kV, V_{GS} = -25 V.

2.9 Conclusion

Nous avons présenté dans ce chapitre le DG-JFET (Dual-Gate JFET) conçu pour le projet MadaSiC. La principale nouveauté dans la structure est la réalisation de deux grilles : une grille par un contact Schottky (G-Sch) en surface et une deuxième par les caissons P^+ enterrés. L'intérêt de cette double-grille est de diminuer la valeur absolue de la tension de seuil du composant et de réduire les courants de fuites drain source.

Un jeu de masque a été mis en place permettant la réalisation du DG-JFET. Nous avons choisi une épitaxie de 40 µm dopée à 10^{15} cm^{-3} afin d'obtenir une tenue en tension supérieure à 3,3 kV. Les caractéristiques électriques du DG-JFET sont sensibles aux tolérances technologiques de la zone active (source, canal latéral, grilles P^+). Les composants fabriqués n'atteignent pas les spécifications, notamment en termes de tenue en tension. Des hypothèses ont été développées pour expliquer les performances des composants. Nous avons pu vérifier certaines d'entre elles à l'aide de moyens techniques (MEB, FTIR…) et avons donc pu les corriger. Il est difficile de vérifier les autres hypothèses, en raison du manque des motifs de test adaptés. Dans le chapitre suivant, nous allons proposer un nouveau de jeu de masques appelé le M2. Il tient compte des faiblesses identifiées pour le masque M1 et renforce la robustesse du composant vis-à-vis des variations technologiques. Des motifs de test seront ajoutés afin d'identifier rapidement et facilement les problèmes de fabrication.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

3 2ème réalisation du DG-JFET 3,3kV

3.1 Introduction

Suite à la fabrication du DG-JFET 3,3 kV avec les masques précédemment présentée (M1), nous allons proposer dans ce chapitre des modifications au niveau du processus de fabrication et du dessin de masque, dans le but de résoudre les différents problèmes identifiés. Pour le nouveau masque, des endroits vulnérables (gravure, ouverture du contact) seront protégés davantage. La marge dans l'implantation sera augmentée afin de compenser le désalignement. En même temps, des motifs de test seront ajoutés. Ces motifs nous permettront d'identifier plus rapidement les défauts de fabrication.

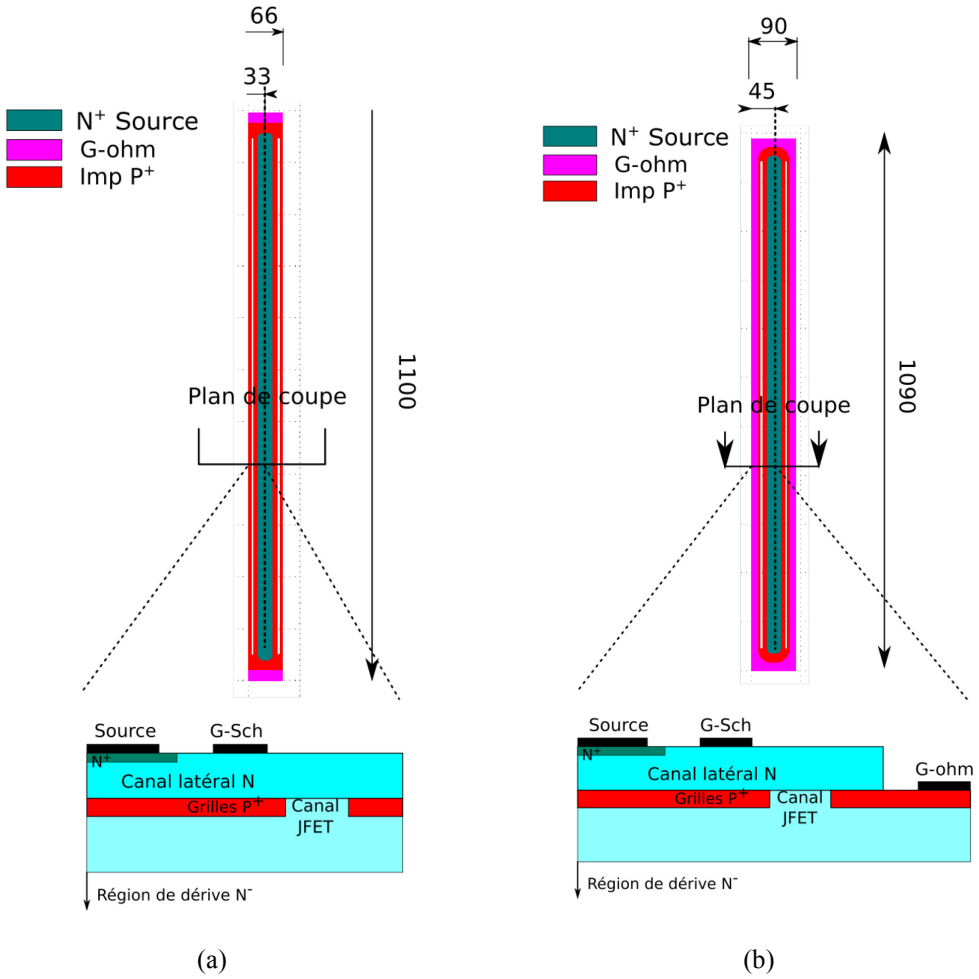
À la fin du chapitre, les caractéristiques électriques des DG-JFETs fabriqués seront présentées. Deux plaques ont été fabriquées avec le nouveau processus et jeu de masques. Des améliorations importantes en termes de tenue en tension sont présentées.

3.2 Nouveau dessin de masque

3.2.1 Optimisation de la densité de cellules

Ce nouveau jeu de masques est nommé masque M2. Il contient deux DG-JFETs de grande surface : JFET-1 de surface du drain à 18,2 mm² et JFET-2 de surface du drain à 18,8 mm² et des motifs de test. Comme pour l'ancien masque (M1), nous avons dessiné deux gros DG-JFETs avec différentes densités de cellules, dans l'objectif de tester s'il est possible d'augmenter le taux d'intégration en diminuant la surface de contact de la grille ohmique. Les cellules élémentaires des deux DG-JFETs sont représentées dans la Figure 3-1. Dans la cellule du JFET-2, la surface du contact de la grille ohmique est 40 fois plus importante que celle dans la cellule du JFET-1, ce qui augmente la surface de la cellule de 35%. Pour une surface de drain donnée, la densité de cellule du JFET-2 est donc plus faible que celle du JFET-1. Les deux cellules ont la même longueur du canal (W_{JFET}). Par ailleurs, cette longueur W_{JFET} est proportionnelle à la densité de cellules. De ce fait, la longueur W_{JFET} du JFET-2 (38,4 cm) est 20% plus courte que celle du JFET-1 (48 cm).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés



(a) (b)

Figure 3-1 : Vue de trois niveaux du masque des cellules élémentaires pour les gros DG-JFETs avec leur vue en coupe de la zone active correspondante. (a) cellule du JFET-1. (b) cellule du JFET-2. Les dimensions sont en µm.

Les cellules élémentaires pour les DG-JFETs du masque M2 sont optimisées par rapport à celles du masque M1. La Figure 3-2 compare la cellule du JFET-2 des deux générations de masques. Les modifications sur la cellule du gros DG-JFET JFET-1 sont identiques à celles opérées sur le JFET-2. La longueur totale de la nouvelle cellule du JFET-2 est 1,8 fois plus grande que celle de l'ancienne, ce qui permet de diviser par deux le nombre de cellule pour une surface de drain donnée. Comme la longueur du canal (W_{JFET}) est doublée pour la nouvelle cellule, la réduction de la densité de cellules ne diminue pas la longueur W_{JFET} du composant qui est proportionnelle à la résistance à l'état passant. De plus, la surface de la nouvelle cellule (A_{cell}) est 10% plus petite que la somme des deux anciennes cellules ($A_{cell}\times2$), ce qui augmente la densité de canal pour une surface de drain donnée et diminue la résistance à l'état passant du JFET-2 du masque M2. Le

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Tableau 3-1 compare les dimensions et la résistance à l'état passant des gros JFETs des masques M1 et M2.

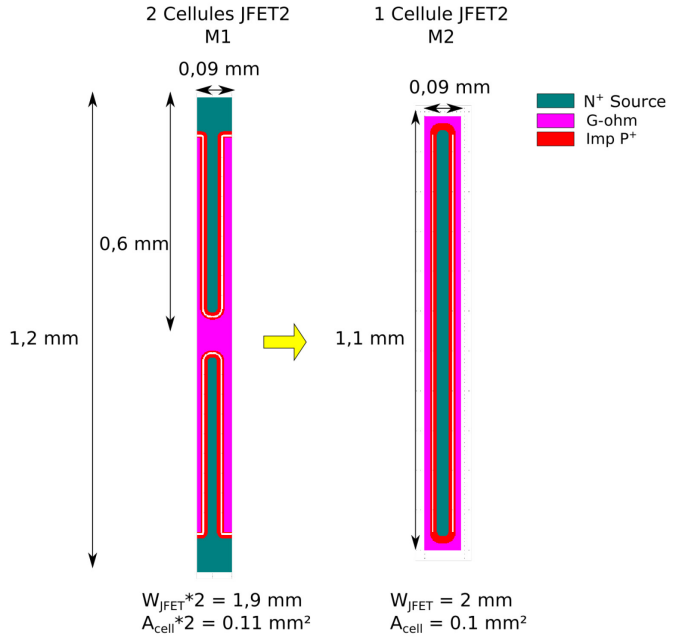


Figure 3-2 : Comparaison de la cellule élémentaire du JFET-2 des masques M1 et M2.

	JFET-1		JFET-2	
	Masque M1	Masque M2	Masque M1	Masque M2
Surface du drain (mm²)	23	18,2	23	18,8
Longueur totale du canal (W_{JFET}) (cm)	35,8	48 (+34%)	25,9	38,4 (+48%)
Résistance à l'état passant (Ω)	0,61	0,35 (-43%)	0,85	0,4 (-53%)

Tableau 3-1 : Comparatif des dimensions et de la résistance à l'état passant des gros JFETs du masque précédent (M1) et du nouveau masque (M2).

La vue globale du nouveau masque (M2) est montrée dans la Figure 3-3. Le cercle représente un rayon de 100 mm, ce qui correspond à un substrat de 4". Le JFET1, le JFET2 et les motifs de test sont placés dans le champ numéro 1, 2 et 3, respectivement. Par rapport à l'ancien masque, nous avons augmenté le nombre de champs de test (Champ 3) à 16 par plaque. Ils sont repartis à différents endroits du wafer afin d'évaluer l'homogénéité technologique mise en œuvre sur l'ensemble du

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

wafer. Les JFET-1 sont placés sur la moitié haute de la plaque et les JFET-2 sur la moitié basse. Nous avons un total de 170 composants de grandes tailles.

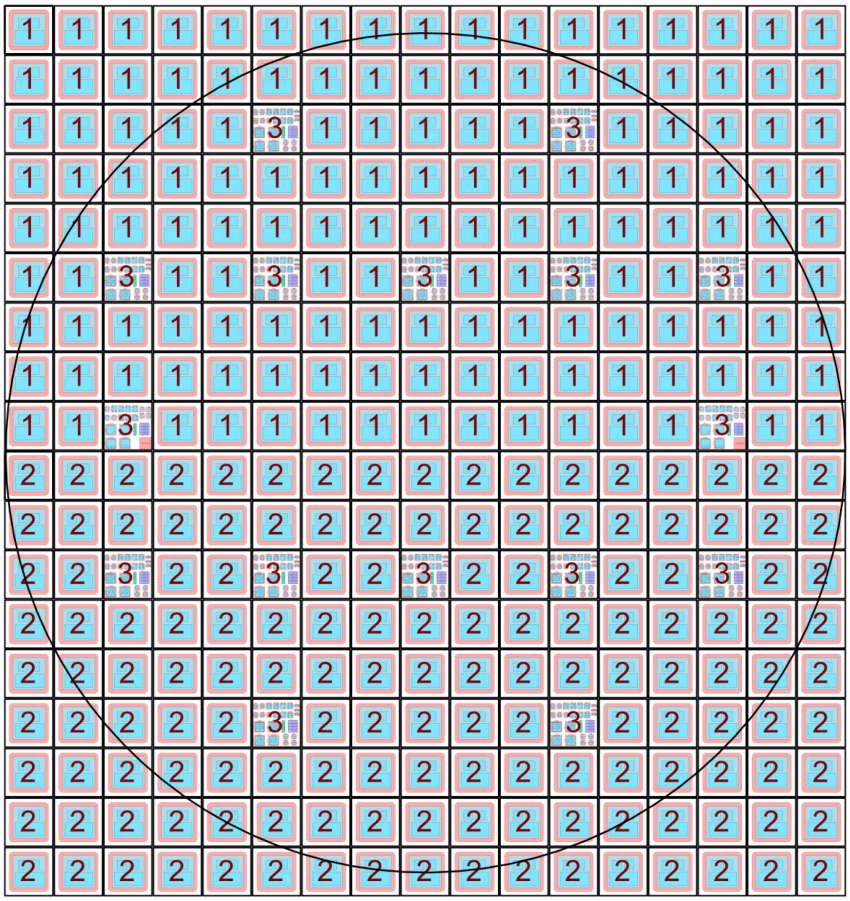


Figure 3-3 : Vue globale d'un substrat de 4" du masque M2. Champ1 : JFET-1(A_{drain} = 18,2 mm², W_{JFET} = 48 cm), champ 2 JFET-2 (A_{drain} = 18,8 mm², W_{JFET} = 38,5 cm), champ 3 : motifs de test.

3.2.2 Motifs de test étendus

Les motifs de test sont modifiés afin de tester les nouvelles géométries du composant et d'identifier rapidement les défauts de fabrication. La Figure 3-4 illustre les motifs de test retenus dans le masque M2. Il contient : des JFETs monocanaux (JFET_m_*x*), des JFETs de témoin (DIG_JFET_*x*), des diodes (PiN, SBD et JBS), les motifs de test de contact (Cont_*x*), des composants latéraux (JFET_lat et MESFET), les motifs de SIMS (Secondary Ion Mass Spectrometry) et les TLM (Transmission Line Measurement).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

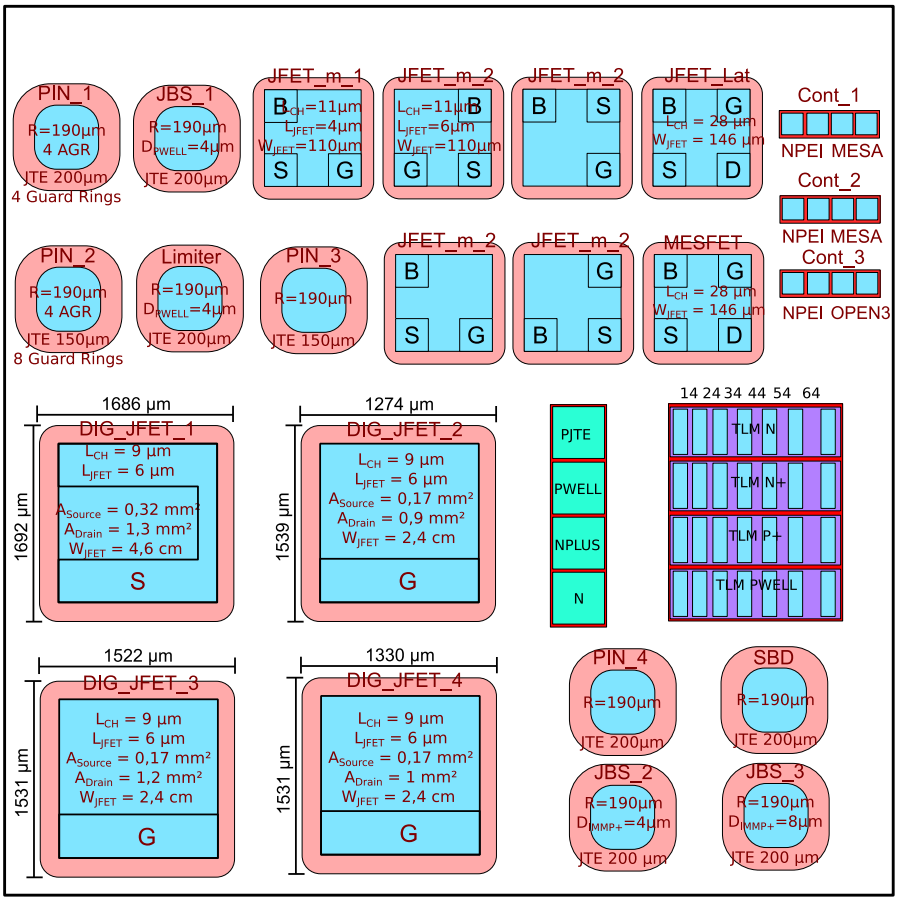


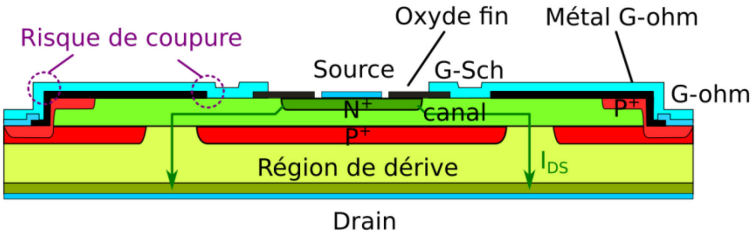
Figure 3-4 : Motifs de test du masque M2.

Les JFETs monocanaux sont des DG-JFETs élémentaires, c'est-à-dire qu'il y a seulement une cellule élémentaire qui est intégrée dans le composant. L'impact de l'homogénéité technologique sur le fonctionnement du composant est donc minimisé. Ce JFET simple permet de vérifier le fonctionnement de la cellule élémentaire du DG-JFET. De plus, les grilles Schottky (Contact S) et ohmique (Contact G) ne sont pas reliées au niveau de métallisation pour ce motif, ce qui permet de mesurer le courant de chaque grille dans le but d'identifier l'origine du courant de fuite.

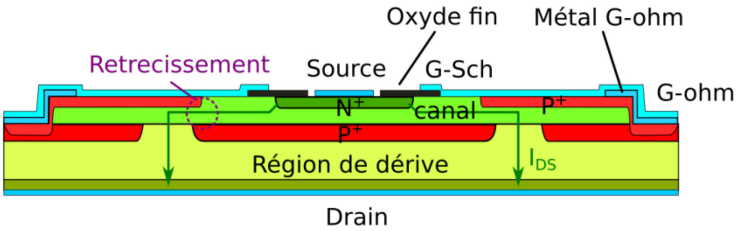
Les JFETs de test, appelés aussi les DIG-JFETs sont dessinés dans le champ test. Une dizaine de cellules élémentaires est intégrée dans chaque JFET de test. La surface du drain de ces JFETs est donc intermédiaire entre les JFETs monocanaux et les gros JFETs, composés de 16 JFET de test (sans JTE). Les JFETs de test permettent de vérifier le fonctionnement du DG-JFET, en réduisant l'influence de l'homogénéité technologique par rapport aux gros JFETs. Quatre JFETs de test sont dessinés dont la différence se trouve au niveau de la dimension de cellule élémentaire. En effet, les JFETs de test, le DIG-JFET2 et le DIG-JFET3 ont les mêmes cellules que les gros JFETs, le JFET-1 et le JFET-2, respectivement. Quant

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

aux autres JFETs de test, le DIG-JFET1 et le DIG-JFET4 sont des modifications des DIG-JFET2 et DIG-JFET3 respectivement en supprimant l'oxyde fin entre la métallisation de grille-Schottky (G-Sch) et le SiC. La Figure 3-5 représente les vues en coupes des DIG-JFET3 et DIG-JFET4. À la place de l'oxyde, une couche P^+ est réalisée entre la métallisation de la grille Schottky et le canal. Le but est de réduire le risque de coupure dans la métallisation à cause de la forme de l'oxyde, ce qui permet d'améliorer le contact entre les deux grilles.



(a)



(b)

Figure 3-5 : Vues en coupe des JFETs de test. (a) DIG-JFET3 (b) DIG-JFET4, modifié du DIG-JFET3.

Comme dans le masque M1, des diodes sont aussi dessinées dans le masque M2 pour vérifier l'efficacité de la protection périphérique des JFETs. De plus, la diode SBD (Schottky Barrier Diode) sera utilisée pour vérifier la qualité du contact Schottky pour les JFETs.

Des motifs TLM sont placés dans le but de mesurer les résistances de contact et de la couche du canal. Quatre types de motifs TLM sont dessinés selon les contacts utilisés pour les JFETs. Les motifs TLM de type N^+ et P^+ permettent d'extraire la résistance de contact de la source et de la grille ohmique, respectivement. Les motifs TLM PWELL permettent d'extraire la résistance de contact entre la métallisation et les grilles enterrées. Enfin, le motif TLM de type N permet d'extraire la résistivité du canal latéral.

Des motifs de test de contact sont ajoutés pour le masque M2, dans le but de vérifier la qualité de métallisation grille-Schottky, la qualité des gravures et la qualité de l'implantation P^+. En effet, les gravures pour contacter les grilles enterrées et pour créer le MESA sont effectuées séparément pour le nouveau

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

processus de fabrication, présenté plus tard. Pour expliquer le principe, on prend le motif de test Cont-1 comme exemple. La Figure 3-6 représente la vue en coupe de ce motif. Il est dessiné dans le but de vérifier la qualité des gravures pour les JFETs. C'est une vérification importante car des problèmes liés à la gravure peuvent produire du courant de fuite de la grille, comme présenté dans le chapitre 2. Afin de vérifier la gravure pour contacter les grilles (ETCH), le courant entre les contacts 1 et 2 est mesuré. Si la gravure est parfaite, aucun courant ne circule entre les deux contacts. Au contraire, en cas de sur-gravure ou des problèmes de rugosité, un courant apparait entre les contacts 1 et 2 réduisant l'impédance de la jonction PN. En cas de sous-gravure, il peut y avoir un « passage » de type N entre les contacts, ce qui entrainerait aussi du courant entre les contacts 1 et 2. Les contacts 3 et 4 sont dessinés afin de tester la qualité de MESA selon le même principe.

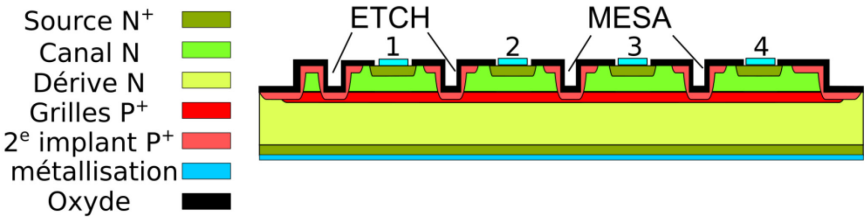
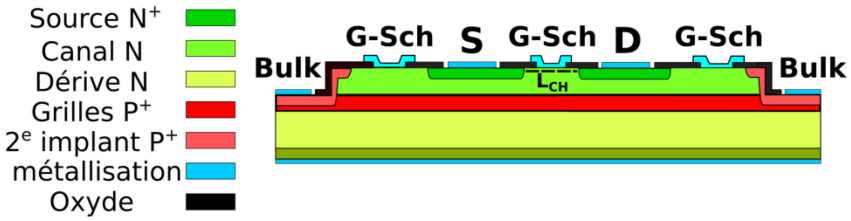


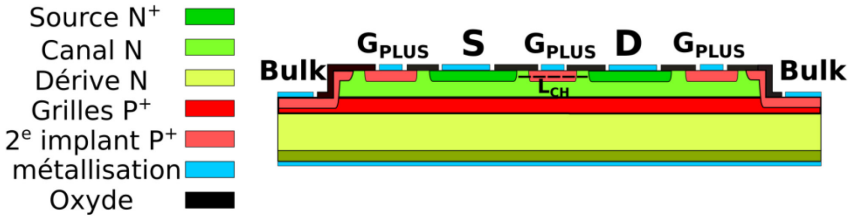
Figure 3-6 : Vue en coupe du motif de test du contact Cont-1, dans le but de vérifier la qualité de la gravure.

Enfin, des composants latéraux sont ajoutés pour les masques M2 afin de vérifier la résistance et de la tension de seuil du canal latéral pour les JFETs verticaux. Nous avons dessiné un JFET latéral et un MESFET dont le canal est formé dans la même épitaxie que celle pour le canal latéral du DG-JFET, comme présenté dans la Figure 3-7. La section utile du canal du MESFET est modulée par les zones de charges d'espace créées par un contact Schottky (G-Sch) en surface et la grille P^+ enterrée polarisée par le contact *Bulk*. C'est le même principe de fonctionnement que celui du canal latéral du DG-JFET. La tension de seuil du MESFET est donc égale à celle du DG-JFET. Le courant du MESFET circule entre le drain (D) et la source (S). Quant au choix de la longueur L_{CH}, il est fait en sorte que la résistance à l'état passant du MESFET corresponde à la résistance du canal latéral du DG-JFET. Dans le JFET latéral, la grille Schottky du MESFET est remplacée par une grille du type P^+ (G_{PLUS}). Cette structure nous permet de comparer la tension de seuil de cette structure avec celle du MESFET. Le Tableau 3-2 récapitule les motifs de test du masque M2 et leurs buts.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés



(a)



(b)

Figure 3-7 : Vue en coupe des composants latéraux. (a) MESFET, (b) JFET latéral.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Nom du motif	Éléments	Fonction
JFET monocanal	DG-JFET vertical avec une courte longueur W_{JFET} (110 µm)	Valider le fonctionnement de la cellule élémentaire ; mesurer séparément les grilles Schottky et ohmique
JFET de témoin	DG-JFET vertical dont la taille est 1/16 de celle du gros JFET	Évaluer les performances du DG-JFET en réduisant les impacts issus d'écarts dans le processus technologique
Diodes	Trois types de diode avec différentes terminaisons périphériques	Évaluer la qualité du contact Schottky pour les JFETs ; Vérifier l'efficacité de la protection des JFETs
Motif de test du contact		Vérifier la qualité de métallisation grille-Schottky, la qualité de gravure, et la qualité de l'implantation P^+
Composants latéraux	MESFET et JFET latéral	Vérification de la résistance et de la tension de seuil du canal latéral
SIMS	SIMS PJTE, SIMS P+, SIMS N+, SIMS N	Vérification du dopage des implantations de la JTE, du P^+ et du N^+, du dopage et de l'épaisseur du canal latéral
TLM	TLM N, TLM N+, TLM P+, TLM PWELL	Vérification des résistances de contact et des couches concernées.

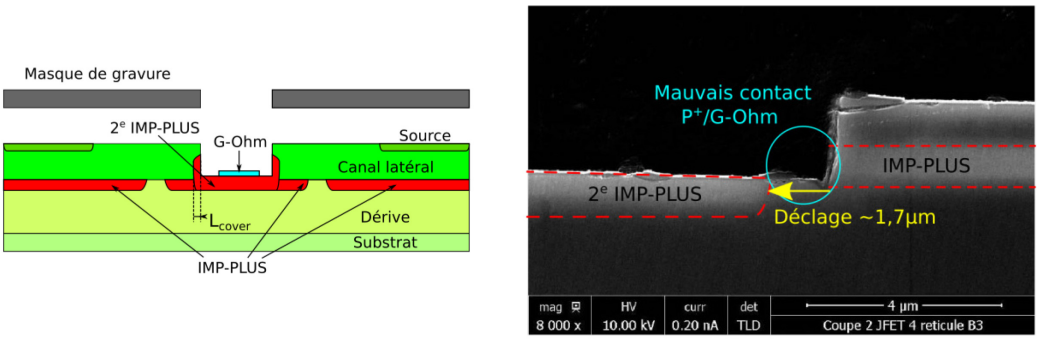
Tableau 3-2 : Récapitulatif des motifs de test du masque M2 et leurs buts.

3.2.3 Diminution de l'influence de désalignement

Dans l'ancien processus de fabrication présenté dans le chapitre 2, une deuxième implantation du P^+ après la gravure était effectuée, afin d'assurer le contact des grilles P^+. La Figure 3-8(a) représente cette étape technologique. La marge de recouvrement (L_{cover}) désigne la distance entre la gravure et la fin de la deuxième implantation (2e IMP-PLUS). Vu que le masque utilisé pour cette implantation est le même que celui pour la gravure (GRV3), la longueur L_{cover} est faible. En cas de désalignement entre la gravure et l'implantation, les deux niveaux de P^+ peuvent être déconnectés, ce qui rend le contact des grilles P^+ enterrées difficile. La Figure 3-8(b) montre cette problématique observée avec la MEB près d'une gravure dans un DG-JFET fabriqué. Nous voyons que le composant a été sur-gravé. La grille P^+

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

réalisée par la 1ère implantation (IMP-PLUS) n'est pas en contact avec la seconde et se retrouve donc flottante. À cause d'un désalignement d'environ 1,7 µm, il n'y a presque plus de connexion entre les deux implantations. Le contact métallique (G-ohm) étant réalisé sur la 2e implantation du P^+, la polarisation des grilles dans le canal n'est donc pas assurée. Afin d'améliorer la robustesse du JFET vis-à-vis du désalignement, il est nécessaire d'augmenter la longueur de recouvrement (L_{cover}) par rapport à celle de la version précédente.



(a) (b)

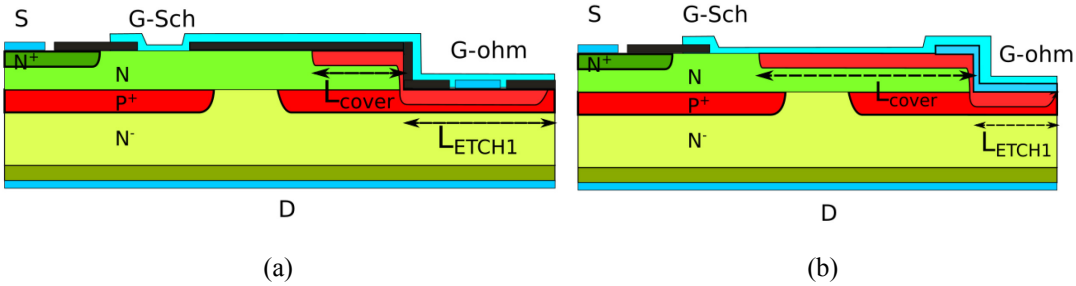
Figure 3-8 : (a) Étape de la deuxième implantation P^+ dans le processus précédent de fabrication et (b) photo MEB de la non connexion des deux implantations P^+ en cas de désalignement des masques.

En prenant en compte cette conclusion, nous proposons de modifier les cellules élémentaires des DG-JFETs du masque M1. La Figure 3-9(a) illustre le schématique de la cellule pour le JFET-2 du masque M2. La cellule du JFET-1 est modifiée de la même manière. La zone active de la structure reste identique à celle du DG-JFET présenté dans le chapitre 2. La 2e implantation s'étend plus vers la grille Schottky (G-Sch) que dans l'ancien masque, ce qui fait une longueur de recouvrement plus longue. Pour cela, il faut ajouter un niveau de masque supplémentaire pour la 2ème implantation. De cette manière, le composant est moins sensible au désalignement entre la gravure et la 2ème implantation P^+. Pour le masque M2, cette structure est utilisée pour le JFET-2 (gros JFET) et le DIG-JFET3 (JFET de test).

Nous avons ajouté une structure lors du dessin du masque M2 dont le schématique est représentée dans la Figure 3-9(b). C'est une optimisation de la structure dans la Figure 3-9(a). L'oxyde de passivation entre la métallisation de G-Sch et le canal est supprimé. Dans ce cas, l'isolation entre la métallisation et le canal est effectuée par la couche P^+ par la 2ème implantation qui arrive jusqu'au canal latéral. La longueur L_{cover} de la structure optimisée est de 13 µm à la place de 3 µm dans la structure dans la Figure 3-9(a). De cette manière, la largeur de la gravure (L_{ETCH1}) de la structure optimisée est réduite de 23 µm à 8 µm, ce qui rend

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

la cellule 17% plus compacte que la structure dans la Figure 3-9(a). Dans le masque M2, cette structure est utilisée dans le DIG-JFET4 (JFET de test).



(a) (b)

Figure 3-9 : Schématique des JFETs de test (a) normal et (b) optimisé du masque M2.

3.2.4 Amélioration de l'efficacité de la JTE

Lors de la caractérisation au blocage des JFETs fabriqués avec le masque M1, nous avons constaté que la tension de claquage moyenne des composants sur les différents lots est faible. À part le claquage à cause du courant de fuite, certains composants ont un mode de défaillance différent. La Figure 3-10 montre les caractéristiques typiques (I_{DS}-V_{DS} et I_{GS}-V_{DS}) du claquage abrupt à faible tension de drain. Le courant I_{GS} reste constant (~3µA). Le courant I_{DS} commence à augmenter pour une tension drain-source égale à 350 V. Le départ en avalanche survient pour une tension V_{DS} égale à 380 V accompagné par une chute rapide de résistance à l'état passant du composant (retour du courant). Au moment de claquage, aucune lumière n'est observée sur le contour du composant où se trouve la JTE. En effet, si la dose de JTE est trop faible par rapport à sa valeur nécessaire pour la tenue en tension, un claquage de cette JTE sous fort champ électrique peut arriver. Ceci engendre du courant bipolaire important qui traverse la terminaison, ce qui émet de la lumière dans la zone [95]. Dans le cas de ce DG-JFET, le claquage n'a donc pas lieu dans la JTE. Vu que le claquage a lieu pour une tension beaucoup plus faible que la tenue en tension prévue pour la cellule (>3,3 kV), on suppose que ce phénomène est dû au « Trenching » au pied du MESA.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

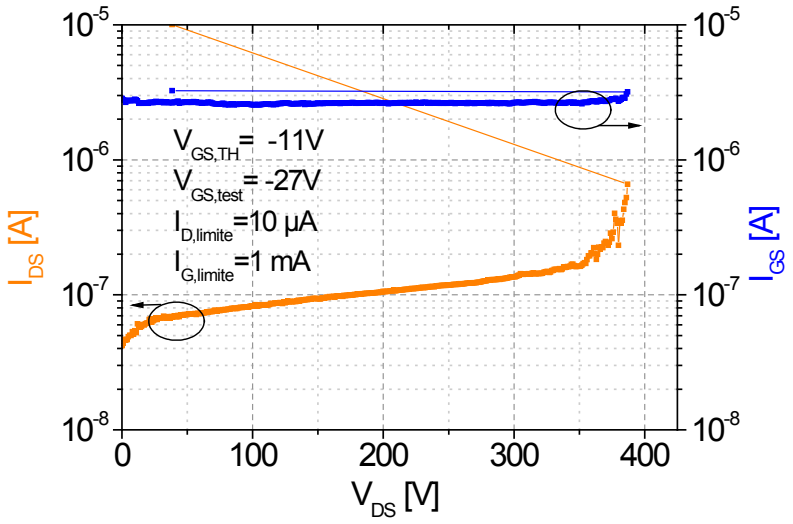
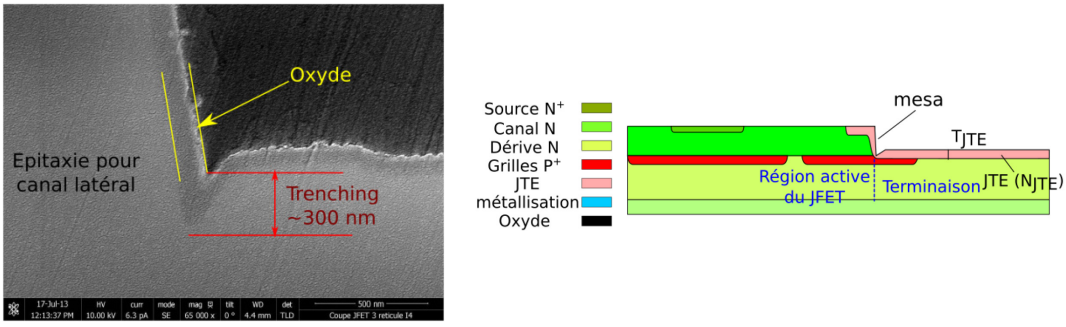


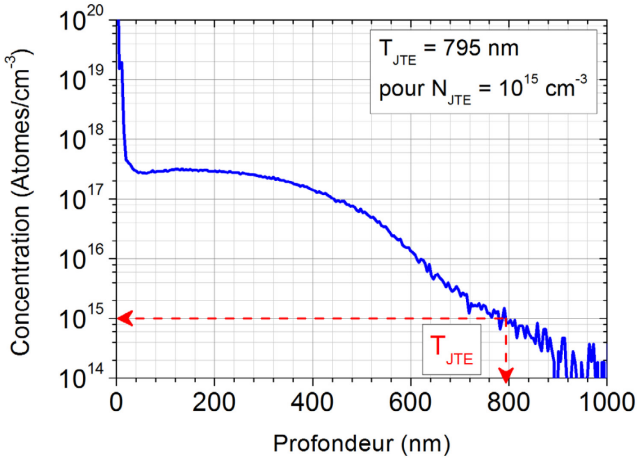
Figure 3-10 : Caractéristiques typiques du claquage abrupt d'un DG-JFET réalisé avec le masque précédent.

En effet, un Trenching désigne une sur-gravure en profondeur au pied de la gravure ionique réactive (RIE). D'après les analyses optiques effectuées sur des DG-JFETs fabriqués avec l'ancien masque avant le masque M1, des « Trenchings » au pied du MESA ont été observés (Figure 3-11(a)). La profondeur moyenne des Trenchings est de 0,3 µm. Similaire au problème de rugosité, le Trenching peut réduire considérablement la profondeur de l'implantation JTE au point de sur-gravure. En effet, le profil de la JTE réalisée dans le DG-JFET mesuré (Figure 3-10) est représenté dans la Figure 3-11(b). La profondeur de JTE (T_{JTE}) correspond au point où la concentration des atomes de JTE devient inférieure au dopage de la région où l'implantation a lieu, soit la région de dérive dans le cas du DG-JFET dopée à 10^{15} cm^{-3}. La profondeur T_{JTE} est donc de 0,79 µm. La profondeur moyenne du Trenching est donc non négligeable devant la profondeur T_{JTE}. L'amincissement de la JTE augmente localement le champ électrique sous haute tension et introduit du courant de fuite à la fin de la région active du composant, ce qui réduit la tenue en tension du DG-JFET. Dans le cas où la profondeur du Trenching est plus importante que celle de la JTE, les grilles P^+ et la JTE ne sont plus reliées, la couche P de la JTE se retrouvant à un potentiel électrique flottant. Pour un JFET bloqué dont les grilles sont polarisées, la chute de potentiel entre la grille et la JTE ne serait pas nulle, ce qui peut aussi introduire du courant de fuite de la grille.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés



(a)



(b)

Figure 3-11 : (a) Image MEB du Trenching apparaissant lors de l'étape de gravure ionique réaction (RIE) pour le MESA. (b) Profil de l'implantation de JTE mesuré par SIMS.

Pour résoudre ce problème, une modification dans la terminaison est faite pour le masque M2. La Figure 3-12 illustre la vue en coupe de la terminaison du DG-JFET du M2. Après l'implantation P pour la JTE, une deuxième implantation P^+ est effectuée au pied du MESA. De cette manière, la zone P^+ diminue le champ électrique autour du point où se trouve le « Trenching », ce qui a pour effet d'atténuer le courant de fuite inhérent à ce défaut. De plus, une métallisation est réalisée sur le flanc du MESA qui connecte la terminaison à la métallisation de la grille Schottky. Le potentiel de la JTE est donc fixé par la tension de grille du composant, ce qui évite la chute de potentiel entre les grilles et la JTE.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

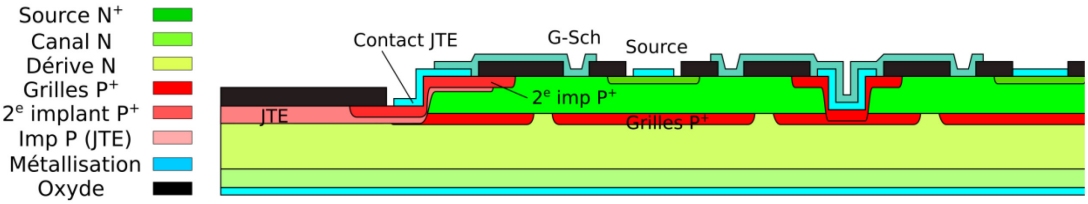


Figure 3-12 : Vue en coupe de la terminaison pour les JFETs du masque M2.

3.3 Processus de fabrication

Lors de la fabrication des DG-JFETs avec le masque M2, des modifications au niveau de processus de fabrication sont également proposées. Les nouveautés de ce processus par rapport à celui pour le masque M1 sont listées ci-dessous:

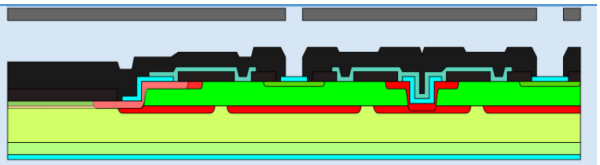
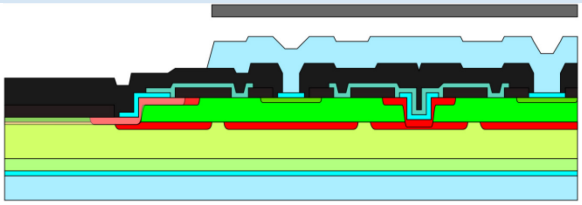
- Étape 6, la deuxième implantation P^+ n'est plus auto-alignée avec la gravure du N-épi et elle est faite après la gravure MESA. Cela nous permet de mieux protéger la grille dans la zone active et nous pouvons ainsi l'utiliser pour connecter la JTE efficacement sur la périphérie.
- Étape 9, la métallisation pour le contact ohmique est à l'intérieur de son ouverture. Ceci évite la perforation de l'oxyde par le métal pendant la phase de recuit dans la zone de recouvrement.
- Étape 11, l'ouverture de contact Schottky est séparée de l'ouverture des contacts ohmiques (étape 8), dans le but de protéger le cristal lors du recuit de métallisation.
- Étape 12, la métallisation du contact Schottky se fait par Lift-off.

Le processus de fabrication complet est représenté dans le tableau ci-dessous :

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

	Nom de l'étape	Niveau masque	Interprétation graphique
1	Alignement	ALIGN	
2	Implantation grilles	IMPP-PWELL	
3	N-épitaxie Implantation N^+	IMPN-NPLUS	
4	Gravure pour contacter P^+	ETCH-NEPI	
5	MESA	ETCH-MESA	
6	2ème implantation P^+	IMPP-PLUS	
7	Implantation JTE	IMPP-JTE	
8	Oxydation Ouverture de contact (ohmique)	OPEN1-OHM	
9	Dépôt de métal fin Gravure du métal fin (Face avant)	METAL1-OHM	
10	Gravure de l'oxyde Dépôt de métal fin Recuit du métal (Face arrière)		
11	Ouverture de contact (Schottky)	OPEN2-SCH	
12	Lift-off métal Schottky	METAL2-SCH	

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

13	Dépôt ILD Gravure ILD	OPEN3-ILD	
14	Dépôt métal épais Gravure métal épais Recuit du métal	METAL3-PAD	

3.3.1 Changement de l'épitaxie

Une nouvelle épitaxie est utilisée dans la réalisation des JFETs avec le masque M2 dans le but de réduire la résistance de la région de dérive. La vue en coupe du DG-JFET fabriqué avec cette épitaxie est représentée dans la Figure 3-13. Différente de celle des anciennes plaques, la nouvelle épitaxie est composée de trois couches. Une première épitaxie (T_{epi1} = 0,5 µm et N_{epi1} = 10^{18} cm^{-3}) est d'abord réalisée sur le substrat. Cette couche fine joue un rôle de tampon entre le substrat fortement dopé et la deuxième épitaxie faiblement dopée. La deuxième épitaxie (T_{epi2} = 10^{15} cm^{-3}, N_{epi2} = 32,8 µm) est celle servant à tenir la tension dans la cellule. La tenue en tension théorique pour cette couche est de 5 kV [96]. Cette tension est toujours plus élevée que la tenue en tension attendue du DG-JFET (3,3 kV). La troisième épitaxie (T_{epi3} = 1 µm, N_{epi3} = 10^{16} cm^{-3}) est plus dopée que la deuxième. Elle permet de diminuer la résistance du canal vertical. Les paramètres technologiques mesurés du matériau sont résumés dans le Tableau 3-3. Ceux de la ré-épitaxie sont également inclus dans le tableau.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

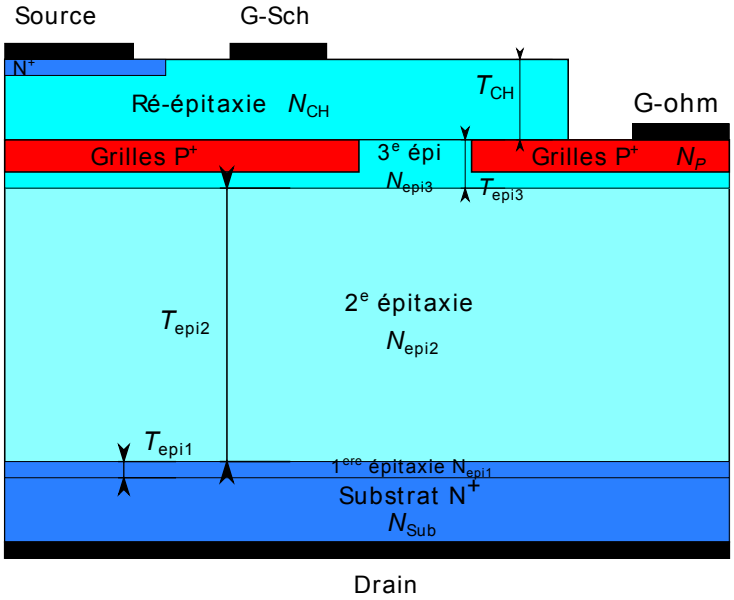


Figure 3-13 : Vue en coupe du DG-JFET 3,3 kV avec la nouvelle épitaxie.

Couche	Fonction	Dopage (cm^{-3})	Épaisseur (µm)
1ère épitaxie	Buffer	10^{18}	0,5
2e épitaxie	Région de drift, tenue en tension	$0,97*10^{15}$	32,7
3e épitaxie	Canal JFET	$1,1*10^{16}$	1
Ré-épitaxie	Canal latéral	$10\pm1,5*10^{15}$	2,93

Tableau 3-3 : Paramètres technologiques mesurés du matériau pour la fabrication du DG-JFET 3,3 kV.

Suite aux changements des paramètres de l'épitaxie, les caractéristiques électriques des JFETs évoluent également, notamment en termes de résistance à l'état passant. Les nouvelles caractéristiques statiques simulées sont présentées dans le Tableau 3-4, comparées avec les anciennes. La longueur de canal (W_{JFET}) est définie à 1 cm. La cellule simulée est celle du JFET-2, sachant que la cellule du JFET-1 a la même zone active que celle du JFET-2. La tension de claquage (V_{BR}) de la nouvelle cellule est égale à 4,5 kV, identique à celle du JFET précédent. C'est parce que le départ en avalanche dans la cellule se trouve à l'extrémité des grilles P^+. En revanche, la résistance à l'état passant de la nouvelle cellule est 24% plus faible que celle de la cellule précédente, engendrant une augmentation de courant de saturation de 30% par rapport à celui du composant précédent. Ceci est dû à la réduction de l'épaisseur de la couche faiblement dopée (10^{15} cm^{-3}) et un dopage plus fort pour le canal vertical. Le nouveau composant est donc plus performant en tant qu'interrupteur.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Grandeurs électriques (W_{JFET}=1cm)	JFET-2 simulé avec ancienne épitaxie	JFET-2 simulé avec nouvelle épitaxie
V_{BR} (V)	> 3,3 kV (~4,5 kV)	> 3,3 kV (~4,5 kV)
V_{TH} (V)	-19,5	-19
R_{ON} (Ω) (V_{DS} = 2V)	21,8	16,7
I_{SAT} (A) (V_{DS} = 20 V, V_{GS} = 0V)	0,63	0,82

Tableau 3-4 : Comparaison des grandeurs électriques statiques simulées du DG-JFET 3,3 kV avec l'ancienne et la nouvelle épitaxie.

Pour rappel, le dopage du canal vertical peut aussi avoir un impact sur la tension de seuil et la transconductance du transistor. La Figure 3-14 compare la caractéristique simulée de la transconductance du DG-JFET pour l'ancienne et la nouvelle épitaxie. Le courant du drain (I_{DS0}) pour une tension drain-source de 2 V et une tension grille-source de 0 V s'élève à 0,13 A, soit 35% de plus que le courant du composant avec l'ancienne épitaxie. Pour une tension grille source compris entre 0 V et -14 V, les deux courants évoluent selon une pente similaire. En dessous de -14 V, le canal du JFET avec la nouvelle épitaxie présente une capacité de pincement plus élevée que celui du JFET avec l'ancienne épitaxie. Ceci résulte en une transconductance plus élevée. La tension de seuil (V_{TH}) du nouveau composant augmente de 0,5 V, qui est 2,5% de la tension V_{TH} (-19,5 V) de l'ancien composant. Elle est donc négligeable. Dans ce cas, le circuit de commande pour la grille de l'ancien composant est toujours valable pour le nouveau composant.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

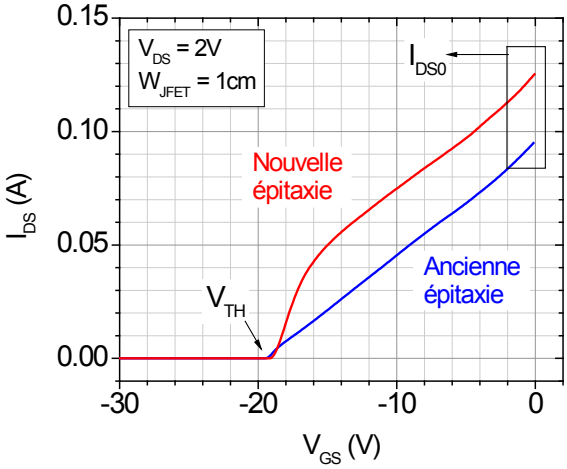


Figure 3-14 : Caractéristiques de transfert simulées du DG-JFET avec l'ancienne et la nouvelle épitaxie.

3.4 Caractérisation du Run 1

3.4.1 Performances théoriques

Nous avons réalisé le premier lot (Run 1) des JFETs et leur diode associée avec les masques M2. Avant de présenter les résultats de mesure, nous allons d'abord présenter les performances théoriques des composants dessinés pour le nouveau masque. Le Tableau 3-5 reporte la longueur totale de canal (W_{JFET}), la surface totale du drain (A_{drain}) et les grandeurs électriques simulées des JFETs du M2. Le JFET monocanal (JFET-m2) est très résistif du fait de sa longueur de canal (W_{JFET}) courte. Les JFETs de test DIG-JFET2, DIG-JFET3 et DIG-JFET4 ont la même résistance à l'état passant (R_{ON}) car leur longueur de canal est identique et à 2,4 cm. Grâce à la suppression de l'oxyde fin (cf. section 3.2.2), la surface totale du DIG-JFET4 est 13% plus petite que celle du DIG-JFET3 pour une même longueur W_{JFET}. C'est-à-dire que pour une surface donnée, la cellule du DIG-JFET4 permet d'obtenir une meilleure densité de canal.

Pour le masque M1, la résistance à l'état passant (R_{ON}) des gros JFETs, JFET-1 et JFET-2, égales à 0,61 Ω et 0,85 Ω, respectivement. Les gros JFETs, JFET-1 et JFET-2 du M2 sont donc moins résistifs que leurs composants précédents. Ceci est dû à leurs longueurs W_{JFET} qui sont plus importantes que celles des anciennes versions pour des surfaces de drain plus petites. En plus de l'épitaxie, la densité de

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

canal (W_{JFET}/A_{drain}) déterminée par le dessin de la cellule élémentaire a aussi une influence considérable sur les caractéristiques électriques des JFETs.

Bien que le changement des caractéristiques de la couche épitaxiée provoque théoriquement un changement de la tension de seuil, celui-ci reste contenu dans la mesure où la tension de seuil passe de -19,5 V à -19 V. La tenue en tension théorique est de 4,5 kV, comme les JFETs du M1.

	W_{JFET} (cm)	A_{drain} (mm²)	R_{ON} (Ω)	V_{TH} (V)	I_{SAT} (A) (V_{DS} = 20 V, V_{GS} = 0 V)	V_{BR} (kV)
JFET-m2	$1,1\times10^{-2}$	0,27	1520	-19	9×10^{-3}	4,5
DIG-JFET1	4,6	2,8	4,2	-19	3,8	
DIG-JFET2	2,4	1,9	7	-19	2	
DIG-JFET3	2,4	2,3	7	-19	2	
DIG-JFET4	2,4	2	7	-19	2	
JFET-1	48	18,2	0,34	-19	39	
JFET-2	38,4	18,8	0,43	-19	31	

Tableau 3-5 : Longueur totale du canal (W_{JFET}), surface totale du drain (A_{drain}) et grandeurs électriques simulées des JFETs du masque M2.

3.4.2 Qualité du contact Schottky

Dans le nouveau processus, nous avons réalisé la métallisation du contact Schottky par Lift-off. Cette technique permet d'éviter les problèmes inhérents à la technique de métallisation par gravure chimique du métal, notamment les résidus du métal sur l'oxyde [97]. Le processus est simple à réaliser. Cependant, l'épaisseur du métal déposé doit rester inférieure à celle de la résine pour pouvoir retirer facilement cette dernière. Enfin, le métal au pied de la résine photorésistante doit être suffisamment mince pour éviter de fissurer le bord de la métallisation en retirant la résine [98].

Afin de valider l'étape de Lift-off, la hauteur de barrière ($\Phi_{b,n}$) et le facteur d'idéalité (n) des contacts Schottky réalisés sur les JFETs sont extraits. Le facteur d'idéalité d'un contact est une mesure à quel point une caractéristique I-V correspond à la caractéristique idéale. Sa valeur varie entre 1 et 2. Pour un contact Schottky, plus la valeur n est proche de 1, plus le contact est bien formé. Pour obtenir la barrière $\Phi_{b,n}$ et le facteur n, on a mesuré le courant grille-source des JFETs de test en mettant le drain en l'air. Les résultats sont reportés dans le Tableau 3-6. 90% des contacts ont une hauteur $\Phi_{b,n}$ compris entre 1,2 eV et 1,3 eV, qui est inférieure à l'état de l'art de diode Schottky avec le métal Nickel [99], [100]. Le facteur d'idéalité n varie entre 1,23 et 1,31, qui est plus important que l'état de l'art [100]. Un facteur élevé montre que la qualité du contact Schottky n'est pas

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

homogène. Il peut y avoir des endroits à l'interface Ni/SiC où la barrière est plus faible que les autres, ce qui engendre du courant de fuite à polarisation en inverse. Ce défaut peut être dû à la température de recuit trop basse ou un problème de dopage dans le SiC [100], [101]. En effet, vu que le contact est formé sur l'épitaxie du canal, un dopage non uniforme du canal peut influencer la hauteur de barrière du contact Schottky.

	$\Phi_{b,n}$ (eV) (90%)	n
DIG-JFET2	1,24-1,26	1,23-1,29
DIG-JFET3	1,22-1,23	1,25-1,28
DIG-JFET4	1,22-1,27	1,23-1,31

Tableau 3-6 : Hauteur de barrière ($\Phi_{b,n}$) et facteur d'idéalité (n) des contact Schottky des JFETs de test.

3.4.3 Efficacité de la protection périphérique

L'efficacité de la protection périphérique est évaluée avec la tenue en tension des diodes PiN. Nous avons réalisé 4 diodes PiN sur le masque M2 avec différents types de terminaisons dont les détails sont donnés dans le Tableau 3-7. Pour les diodes PiN-3 et PiN-4, une simple JTE est implantée avec une dose de $9{,}4\times10^{12}$ /cm². La longueur de JTE est de 150 µm pour le PiN-3 et de 200 µm pour le PiN-4. Le choix de la dimension de JTE fait que la tension de claquage de la JTE doit être supérieure à celle de la cellule. De cette manière, le claquage aura lieu dans la cellule au lieu d'être dans la JTE. Dans ce cas, le claquage n'est pas destructif [95].

Diode	**L_{JTE} (µm)**	**Anneaux de JTE (JTER)**			**Anneaux de garde (AGR)**			**V_{BR} théorique de la diode (V)**
		Nombre	L_{ring} (µm)	D_{ring} (µm)	Nombre	L_{AGR} (µm)	D_{AGR} (µm)	(Égale à V_{BR} de la cellule)
PiN-1	200	4	10	5-6,5	4	4	4	5 kV
PiN-2	150	8	10	5-8,5	4	4	4	
PiN-3	150	0			0			
PiN-4	200	0			0			

Tableau 3-7 : Terminaisons des diodes PiN du masque M2.

Les diodes PiN-1 et 2 ont une terminaison qui combine la JTE, les anneaux de JTE (JTER, JTE Ring) et les anneaux de garde (AGR, Assisted Guard Rings). La

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Figure 3-15 illustre la vue en coupe de cette terminaison. Les études prouvent que cette nouvelle protection montre une tenue en tension supérieure à celle de la version sans AGR et une réduction du champ électrique en divers points sensibles de la terminaison [91]. Au niveau de l'implantation, les JTERs ont la même dose que la JTE. Les AGRs sont implantés pendant l'étape de la deuxième implantation P^+ (IMPP-PLUS), dont le dopage est de 10^{19} cm^{-3} sur une profondeur de 400 nm. La tenue en tension idéale des ces terminaisons est supérieure à 6 kV [102].

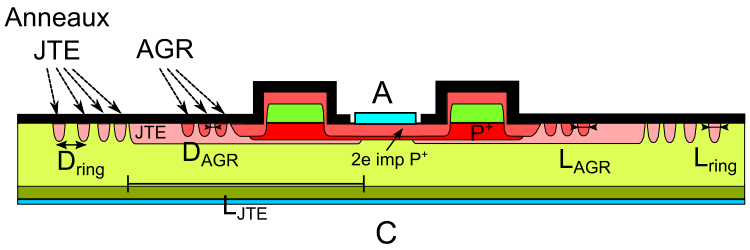


Figure 3-15 : Vue en coupe d'une diode PiN du masque M2 avec la protection périphérique.

Les diodes PiNs sont caractérisées en inverse. Les mesures sont effectuées avec le traceur Agilent B1505 sous vide afin d'éviter le claquage sous l'air. Les valeurs de la tension de claquage (V_{BR}) des diodes sont présentées dans la Figure 3-16. Toutes les diodes ont tenu plus que 3 kV. La diode PiN-1 et la diode PiN-2 ont une tension de claquage en moyenne plus élevée que celles des diodes PiN-3 et PiN-4. L'écart de la tension de claquage moyenne entre PiN-1 et PiN-4 qui ont la même longueur de JTE est de 200 V. La meilleure tenue en tension se trouve parmi les diodes PiN-1 qui est de 3,9 kV. Ce résultat montre que les JTER et les AGR renforcent l'efficacité de la simple JTE. En revanche, la réalisation de la terminaison combinée est plus complexe, et il nécessite une surface plus importante sur la puce. En effet, le diamètre complet de la diode PiN-1 est de 706 µm, tandis que le diamètre de la diode PiN-4 avec la même longueur de JTE est de 580 µm (-18%). Lors de la conception, il faut prendre en compte de ce facteur notamment lorsque la surface de puce est limitée.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

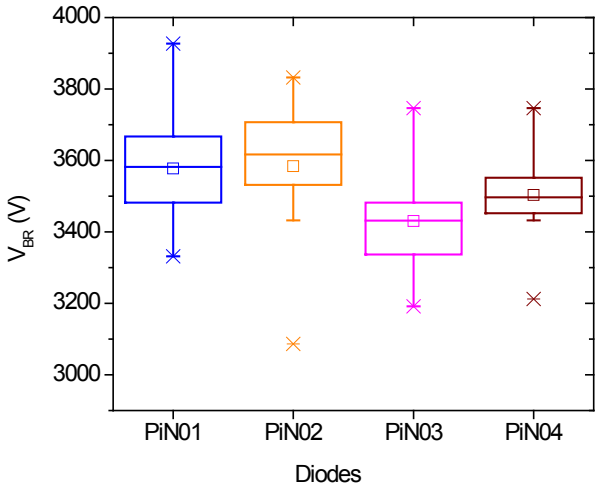


Figure 3-16 : Tenue en tension (V_{BR}) des diodes PiN du Run 1.

Par rapport aux valeurs théoriques (5 kV), les tensions de claquage des diodes restent faibles. La valeur moyenne de la tension V_{BR} des diodes PiN-1 et PiN-2 est d'autour de 3,6 kV, qui est 72% de 5 kV. La valeur moyenne pour les diodes PiN-3 et PiN-4 est entre 3450 V et 3520 V, qui est moins de 70% de 5 kV. Ce claquage prématuré est un phénomène apparaissant sur l'ensemble de la plaque, car les diodes sont situées sur 16 points différents de la plaque (cf. section 3.2). Vu que les diodes PiN-4 et les JFETs de test ont la même terminaison, nous pouvons donc prédire que la tenue en tension des JFETs sur cette plaque ne dépasse pas la tension V_{BR} la plus élevée des diodes (3,9 kV). Ce problème peut être dû aux défauts de matériau dans l'épitaxie ou de la dose de JTE réalisée qui est trop faible par rapport à sa valeur cible.

3.4.4 Homogénéité du processus de fabrication

Nous avons validé la performance du contact Schottky et de la protection périphérique réalisés. Par la suite, nous allons vérifier les performances des JFETs de la plaque. À cause d'une erreur de masque, l'ouverture de polymide sur les DIG-JFET1 et DIG-JFET5 n'est pas effectuée. Nous n'avons donc pas l'accès au contact de ces composants à la fin du processus de fabrication. Seuls les DIG-JFET2, 3 et 4, JFET-1, JFET-2 sont donc caractérisés.

Le faible rendement de composants fonctionnels (%JFET Op) était un verrou pour les lots de JFETs fabriqués avec l'ancien masque (M1). Le Tableau 3-8 reporte ce rendement pour la plaque fabriquée avec le masque M2. Nous rappelons que le critère d'un JFET fonctionnel est que la polarisation de la grille source permet de

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

moduler le courant drain-source à l'état passant et de bloquer ce courant par une valeur négative.

Tous les JFET monocanaux (JFET-m-2) sont fonctionnels. Le rendement chute à ~50% pour les DIG-JFETs, JFET à surface réduite. Aucun JFET1 n'est fonctionnel et seulement 10% du JFET2 sont fonctionnels. En augmentant la surface du composant, la possibilité pour le composant d'avoir des problèmes technologiques augmente. Deux origines de défaillance liées à la fabrication du composant peuvent être dégagées. La première est la qualité de l'épitaxie où se situe le canal latéral. La seconde est liée au processus de fabrication. Par exemple, si la profondeur de gravure n'est pas homogène sur les grilles P^+, la probabilité de sur-gravure augmente avec la surface du composant. Il suffit d'avoir quelques endroits où le courant de fuite devient important à cause de la sur-gravure pour que le composant ne bloque pas. Au contraire, s'il y a des sous-gravures présentes à certains endroits de grilles P^+, la polarisation du canal devient difficile et celui-ci reste ouvert quelle que soit la tension sur la grille. Dans ce cas, le courant drain source ne s'annule pas et le composant ne bloque pas. Les détails sur l'influence des problèmes de gravure sont présentés dans le chapitre 2

	JFET-m-2	DIG-JFET2	DIG-JFET3	DIG-JFET4	JFET1	JFET2
% JFET Op	100%	56%	50%	50%	0%	10%

Tableau 3-8 : Taux de composants fonctionnels des JFETs du Run 1.

D'après les caractéristiques électriques, il y a deux modes de défaillance de contrôle par la grille. Le premier est qu'il n'y a pas de modulation ni de blocage. La Figure 3-17 représente les caractéristiques du transistor dans les plans I_{DS}-V_{DS} et V_{DS}-I_{GS} d'un DIG-JFET présentant ce premier mode de défaillance. La tension V_{GS} varie entre 0 V et -25 V. Cette variation n'engendre aucune modulation du courant drain source (Figure 3-17(a)). Nous pouvons supposer que le canal est non polarisé quelle que soit la tension V_{GS}. Dans les mêmes conditions, les courants de fuite de la grille (Figure 3-17(b)) sont faibles et constants. Ce phénomène est différent de celui observé sur les JFETs précédents présentés dans le chapitre 2. La dépolarisation du canal est causée par un courant de grille important qui diminue de la tension de grille (V_G).

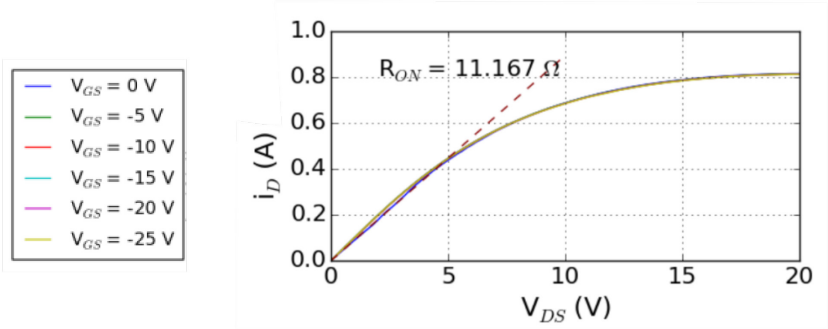
$$V_G = V_{G0} - I_G R_G \tag{39}$$

Avec V_{G0}, la tension à la sortie du circuit de commande, et R_G la résistance d'accès de la grille. Cette résistance est la somme de la résistance de métallisation et la résistance de contact. Sa valeur de cette résistance doit donc être faible pour éviter la chute de potentiel entre le contact et le semi-conducteur. Cependant, dans le cas du JFET actuel, pour un faible courant I_{GS}, la polarisation dans le canal est nulle. On peut donc supposer que la résistance R_G pour ce nouveau JFET est

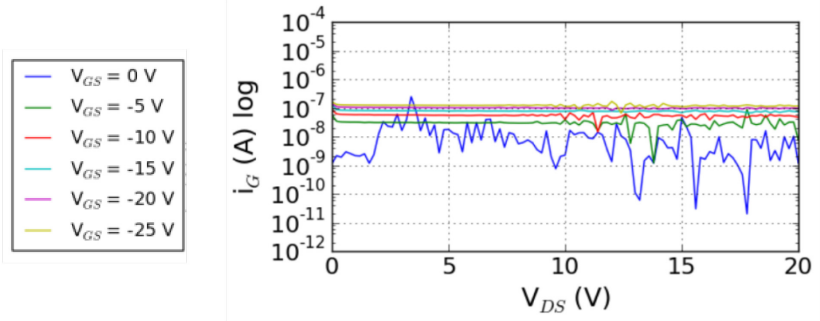
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

importante, ce qui diminue la tension V_G même pour un faible courant I_G. Ce problème peut être dû à un contact de grille ohmique très résistif.

Deux hypothèses sont développées pour expliquer ce phénomène. La première est que les grilles ohmiques ne sont pas contactées à cause de la sous-gravure. La deuxième raison est liée à la méthode Lift-off utilisée pour réaliser le contact Schottky. En effet, il peut y avoir des résidus de la résine sur le SiC où le métal est déposé. Ceci entrainerait un non contact de la grille Schottky.



(a)

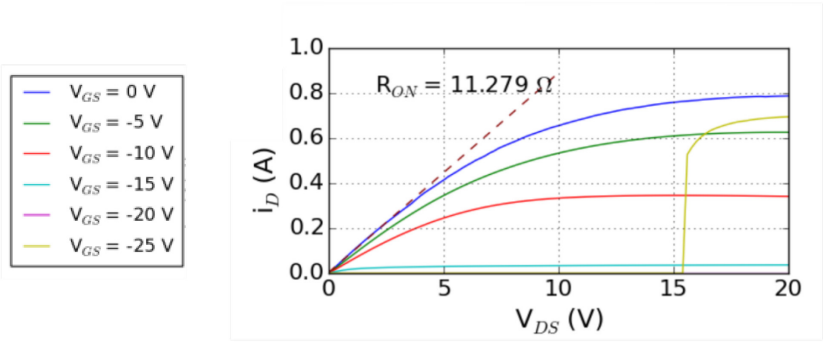


(b)

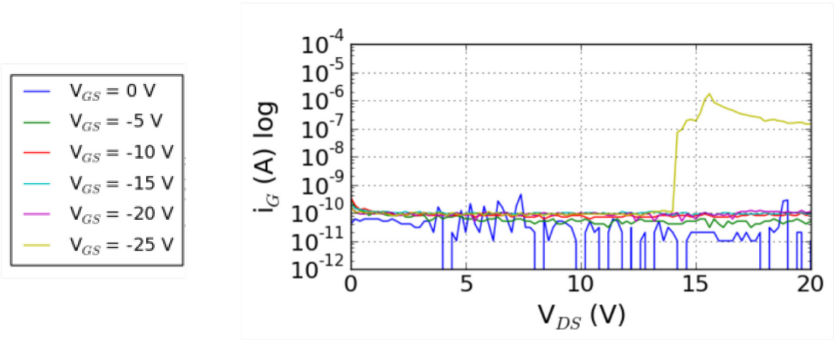
Figure 3-17 : Caractéristiques (a) de sortie et (b) du courant grille-source d'un JFET de test non fonctionnel à cause de forte résistance d'accès de la grille.

Le deuxième mode de défaillance est représenté sur la Figure 3-18. La Figure 3-18(a) représente le réseau I_{DS}-V_{DS}. Nous voyons que le courant I_{DS} est correctement modulé par la tension V_{GS}. Cependant, pour une tension V_{GS} = -20 V (composant bloqué), le courant I_{DS} (courbe jaune) augmente lors que la tension drain source dépasse 15 V. Le composant ne bloque plus. Ce phénomène est dû à l'augmentation du courant de la grille. Nous voyons que dans la Figure 3-18(b), le courant grille source (I_{GS}) passe brutalement de 10^{-10} A à 10^{-7} A pour les mêmes conditions. L'augmentation du courant I_{GS} diminue la tension de grille, ce qui entraine une dépolarisation de canal. Par conséquent, le canal n'est plus fermé et le courant drain source circule à nouveau.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés



(a)



(b)

Figure 3-18 : Caractéristiques (a) de sortie et (b) du courant grille-source d'un JFET de test non fonctionnel à cause de l'augmentation du courant grille-source pour forte tension drain-source.

Ce phénomène d'augmentation du courant I_{GS} brutale peut être dû à deux raisons différentes. La première est liée à la résistance grille source qui diminue soudainement à cause de mise en contact des deux niveaux de métallisation pour une certaine tension V_{GS}. Le champ électrique (E_{OX}) dans l'oxyde est calculé par :

$$E_{ox} = \frac{dV_{GS}}{dT_{ox}} \tag{40}$$

Avec T_{ox}, l'épaisseur de l'oxyde entre les deux métallisations, qui est de 500 nm. Pour V_{GS} = -20 V, le champ E_{OX} est donc égal à 0,4 MV/cm, qui est loin d'être le champ de claquage de SiO_2 (oxyde) qui est de l'ordre de 12 MV/cm. Néanmoins, il peut y avoir des endroits où l'épaisseur de l'oxyde est plus faible que 500 nm, ce qui augmente localement le champ électrique. Sinon, il se peut que la qualité de l'oxyde ne soit pas parfaite, ce qui diminuerait le champ de claquage de l'oxyde [79].

La deuxième raison est liée au problème du Trenching. Ce problème peut arriver lors de la gravure pour contacter les grilles enterrées, présenté dans le

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

chapitre 2. Pour une tension grille source négative, la jonction P^+N dans le JFET est polarisée en inverse. Au pied du Trenching, l'épaisseur du P^+ est plus faible, ce qui engendre un champ électrique plus fort localement. Ceci augmenterait le courant de fuite de la grille dès lors que la tension V_{GS} dépasse un certain seuil.

Afin de vérifier les origines de défaillance, il faut mesurer séparément les courants de grille Schottky et de grille ohmique pour les gros JFETs ou JFETs de test. Il est donc nécessaire d'ajouter un DIG-JFET qui permettra de distinguer ces deux grilles dans la prochaine révision.

3.4.5 Caractéristiques de transfert

Nous avons tracé la caractéristique de transfert (V_{GS}-I_{DS}) des JFETs fonctionnels afin de mesurer la tension de seuil et de la transconductance du composant. Ce ne sont pas de tests sous haute tension, les caractérisations sont donc effectuées par le traceur de courbes Agilent B1505A sous air.

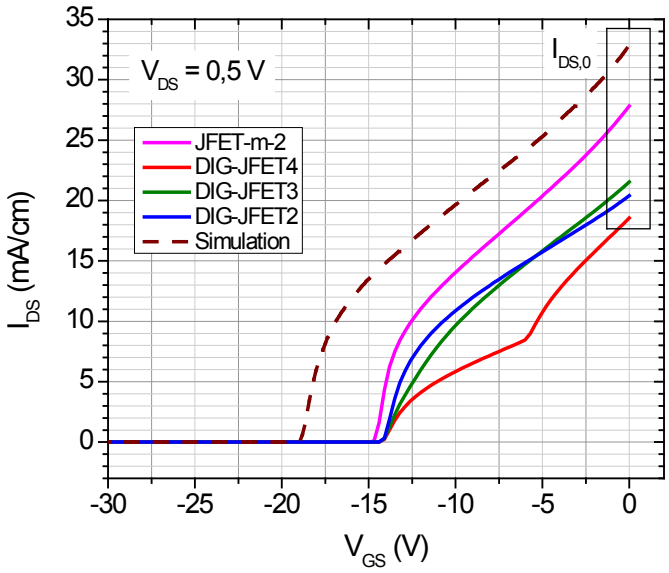


Figure 3-19 : Caractéristique de transfert du JFET monocanal et des JFETs de test dans un même champ de test, comparées avec la simulation.

La Figure 3-19 représente les caractéristiques de transfert d'un JFET monocanal (JFET-m-2) et des JFETs de test (DIG-JFETs) dans un même champ de test. Afin de pouvoir comparer les mesures sur les JFETs de différentes tailles avec les résultats de simulation, nous avons normalisé le courant avec la longueur du canal JFET (W_{JFET}). La tension de drain source (V_{DS}) est fixée à 0,5 V pour être sur le régime linéaire. Les tensions de seuil (V_{TH}) mesurées sont autour de -15 V, ce qui est plus élevé que la valeur obtenue en simulation (-19 V). Ce résultat est identique que celui des JFETs de l'ancien masque mesurés précédemment. Le calcul théorique

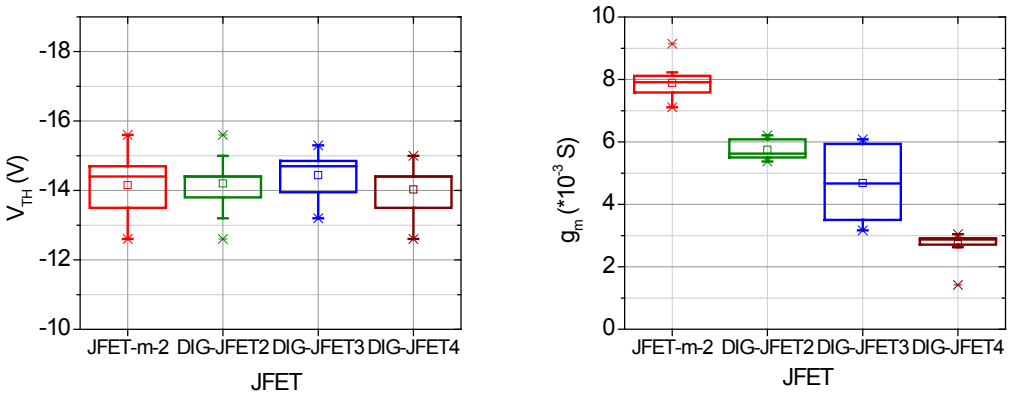
Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

présenté dans le chapitre 2 montre que la tension de seuil dépend fortement des paramètres du canal latéral. La diminution de la valeur absolue de la tension V_{TH} peut dû à un faible dopage ou une faible épaisseur du canal. Cette hypothèse peut être vérifiée par la résistance à l'état passant du composant qui augmente dans les mêmes conditions. En effet, les courants pour une tension de commande nulle ($I_{DS,0}$ à V_{GS} = 0 V) mesurés sont plus faibles que ceux obtenus par simulation, ce qui montre que les composants fabriqués sont plus résistifs que le modèle simulé. D'ailleurs, il ne faut pas négliger les résistances de contact (R_C) des composants qui n'est pas prise en compte dans les simulations. Malheureusement, à cause d'une erreur de masque, les motifs TLM qui permettent de mesurer les résistances R_C ne sont pas accessibles à la fin de processus de fabrication.

Nous remarquons aussi que les DIG-JFETs sont plus résistifs que le JFET monocanal. De plus, il y a une double pente présente sur la caractéristique de transfert du DIG-JFET. Ce phénomène est dû au rétrécissement du canal latéral dans la structure du DIG-JFET4 à cause d'implantation P^+. L'explication en détail pour la différence de résistivité sera présentée dans la partie suivante (section 3.4.6).

La Figure 3-20 montre la répartition des valeurs de la tension de seuil (V_{TH}) et de la transconductance (g_m) du JFET monocanal (JFET-m-2) et des trois DIG-JFETs. La tension V_{TH} du JFET monocanal varie entre -12,5 V et -15,7 V, soit un écart absolu de 3,2 V entre la tension la plus négative et la tension la moins négative. Cet écart présente 25% de -12,5 V. Cette variation provient donc de la variation des paramètres (dopage et épaisseur) du canal latéral sur l'ensemble de la plaque. Parmi les trois JFETs de test, la dispersion des valeurs de tension V_{TH} des trois JFETs de test sont similaires. De ce fait, on ne peut pas conclure quelle structure est plus stable vis-à-vis du processus de fabrication à partir de cette donnée. En revanche, la répartition de la transconductance se distingue bien selon la structure.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés



(a) (b)

Figure 3-20 : Répartition de (a) la tension de seuil et (b) la transconductance du JFET monocanal et JFETs de test du Run 1.

En revanche, les transconductances du JFET monocanal varient entre -7,2 mS et -9,1 mS. L'écart entre les deux extrémités représente 26% de -7,2 mS. Cette variation correspond à celle de la tension de seuil du JFET monocanal. En effet, la valeur de g_m dépend également fortement des paramètres du canal latéral comme la tension de seuil. La variation de g_m montre aussi l'homogénéité technologique du canal latéral sur l'ensemble de la plaque. Parmi les trois JFETs de test, la dispersion de la transconductance du DIG-JFET4 est la moins importante. Cependant, à cause du problème de double pente sur sa caractéristique de transfert, la transconductance moyenne du DIG-JFET4 est 4 fois plus faible. La dispersion de g_m du DIG-JFET2 est plus faible que celle du DIG-JFET3. De plus, la valeur moyenne de g_m du DIG-JFET2 est plus élevée. Pour rappel, les grilles P+ du DIG-JFET2 sont contactées en périphérie du composant afin d'augmenter la densité de cellules. Le résultat de transconductance révèle que cette structure est la plus stable vis-à-vis du processus de fabrication. En effet, en réduisant la surface de gravure, le risque des problèmes liés à cette étape est aussi réduit.

3.4.6 Caractéristiques en direct

Par la suite, nous allons mesurer la résistance à l'état passant (R_{ON}) du JFET-monocanal et des DIG-JFETs (JFET de test). Les mesures sont effectuées avec le traceur l'Agilent B1505A à 25°C. Vu que la tension appliquée sur le drain ne dépasse pas 20 V, la mesure sous vide n'est donc pas nécessaire. En revanche, la résistance à l'état passant est proche de la résistance du câblage qui est d'ordre de 2 Ω, la mesure en quatre pointes est requise afin d'obtenir un résultat précis.

Le Tableau 3-9 reporte la valeur moyenne de la résistance à l'état passant (R_{ON}) et de la résistivité (ρ_{ON}) des JFETs. La résistivité est calculée par le produit

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

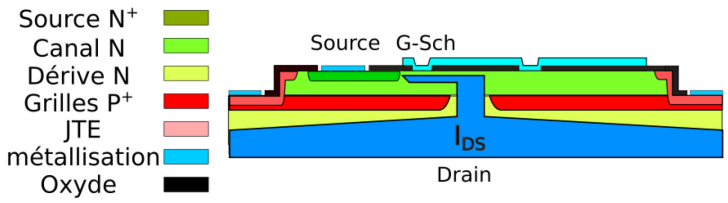
de la résistance et longueur du canal ($R_{ON} \times W_{JFET}$). La résistivité du JFET monocanal est très proche de la valeur théorique. Ceci est normal car la faible longueur de canal (W_{JFET}) minimise l'impact de la variation technologique sur la résistance du composant. Nous avons parlé dans la section précédente que la tension de seuil des JFETs monocanal est ~20% plus élevée que la valeur théorique à cause des paramètres du canal latéral. Bien que la résistance du canal latéral dépende aussi de ces paramètres, cette résistance représente 25% de la résistance totale du composant, ce qui rend la résistance R_{ON} moins sensible que la tension de seuil à la variation du canal.

DIG-JFET	R_{ON} (Ω)	ρ_{ON} moy (mΩ.cm)	Densité de canal W_{JFET}/A_{drain} (mm/mm²)	ρ_{ON} théorique (mΩ.cm)
JFET-m-2	1756±118	19,3	0,64	16,7
DIG-JFET2	11,4±0,4	27,3	26,7	
DIG-JFET3	10,7±0,3	25,7	20	
DIG-JFET4	12,5±0,7	30	24	

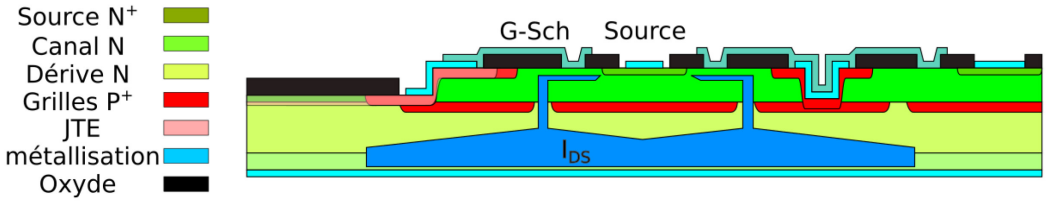
Tableau 3-9 : Résistance à l'état passant des JFET monocanal et de test du Run 1.

Les JFETs de test sont beaucoup plus résistifs que le modèle. Leurs résistivités sont au moins 53% plus importantes que la valeur théorique. Il y a deux raisons principales pour ce phénomène. La première est la résistance de contact qui est négligée dans le calcul théorique. Dans le cas où le contact est résistif ou redresseur, cette résistance deviendrait non négligeable devant la résistance du composant. Malheureusement, les motifs de TLM ne sont pas accessibles après le dépôt du polymide. Ce défaut sera corrigé dans le nouveau masque. La deuxième raison est liée à la diffusion latérale du courant dans la cellule élémentaire. En effet, le JFET monocanal contient un seul élément interdigité, tandis que les DIG-JFETs sont composés d'une vingtaine d'élément en parallèle. À l'état passant, la diffusion latérale du courant drain-source de celui-ci est donc limitée par la distance entre les éléments, ce qui augmente la résistance spécifique du composant par rapport à celle du JFET monocanal. Ce phénomène est illustré dans la Figure 3-21.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés



(a)



(b)

Figure 3-21 : Diffusion latéral du courant drain-source dans la cellule d'un (a) JFET monocanal, (b) d'un JFET de test.

Un autre phénomène remarquable est que le DIG-JFET4 est plus résistif que les DIG-JFET2 et DIG-JFET3. La particularité dans le canal du DIG-JFET4 est que l'implantation P^+ arrive jusqu'au contact Schottky (cf. section 3.2.2), ce qui réduit la section utile du canal latéral du côté du canal vertical. Ceci augmente la résistance du canal du DIG-JFET4. Lorsque la tension grille source est négative, le pincement du courant à l'entrée du canal latéral du DIG-JFET4 est plus fort que les DIG-JFET2 et DIG-JFET3, ce qui engendre une diminution de courant plus rapide lors que la tension V_{GS} varie entre 0 V et -5 V.

Le Tableau 3-10 présente le courant de saturation ($I_{DS,SAT}$) du JFET monocanal et des JFETs de test. Ce courant est également normalisé avec la longueur de canal (W_{JFET}), ce qui permet d'exprimer le courant par A/cm ($i_{DS,SAT}$). La densité du courant moyen du JFET monocanal est la plus importante parmi tous les JFETs mesurés. Ce résultat est cohérent avec celui de la résistance à l'état passant des composants. Les résultats de mesures sur la résistance et le courant du JFET monocanal valide la conception pour le DG-JFET. La difficulté principale actuelle est d'obtenir un composant fonctionnel dont la surface est plus importante.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

JFET	$I_{DS,SAT}$ (A)	$i_{DS,SAT}$ moy (A/cm)	$i_{DS,SAT}$ théorique (A/cm)
JFET-m-2	$6*10^{-3}\pm2*10^{-4}$	0,55	0,82
DIG-JFET2	0,79±0,02	0,33	
DIG-JFET3	0,81±0,03	0,34	
DIG-JFET4	0,64±0,04	0,27	

Tableau 3-10 : Courant de saturation des JFETs monocanal et de test du Run 1.

3.4.7 Tenue en tension

La terminaison utilisée dans les JFETs est la JTE simple. Pour les JFETs de test, la longueur de JTE est de 200 µm, ce qui correspond à celle de la diode PiN-04. L'efficacité de cette terminaison a été montrée dans la section 3.4.3. Dans cette partie, nous allons mesurer les tensions de claquage des JFETs de test. Ces mesures sont effectuées à la fin du processus de fabrication où la métallisation épaisse est déposée. À cause d'une erreur de masque, les contacts du JFET monocanal ne sont pas accessibles afin d'effectuer ces mesures. Cette erreur sera corrigée à la prochaine révision du masque.

Les composants ont été caractérisés sous vide à 25 °C. Les mesures des DIG-JFETs sont faites avec une source de tension continue (10 kV) fabriquée par FuG Elektronik. Le schéma de câblage de ceci est montré dans la Figure 3-22. Puisque cette source de tension a uniquement une voie d'entrée/sortie, le courant drain-source (I_{DS}) est mesuré par le FuG alors que le courant grille-source (I_{GS}) est mesurée par une source mètre Keithley 2410. La contrainte de ce câblage est que la limite inférieure du courant est de 10 nA pour le FuG. C'est-à-dire que nous ne pouvons pas visualiser l'évolution du courant I_{DS} inférieure à cette limite, ce qui permettrait de vérifier l'origine de courant de fuite du drain.

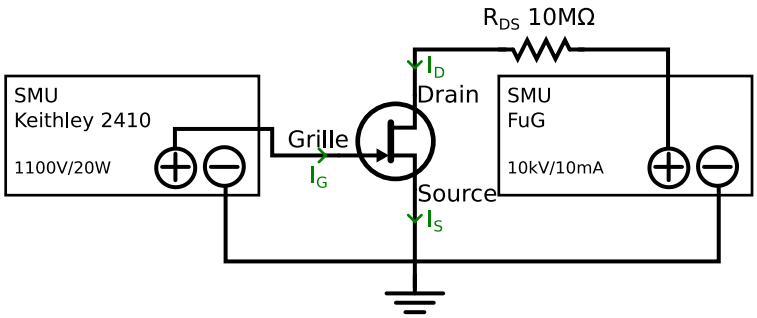


Figure 3-22 : Schéma de câblage pour la mesure sous haute tension des JFETs de test.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

La Figure 3-23 représente les caractéristiques I_{DS}-V_{DS} au blocage des JFETs de test. Le critère de claquage est que les courants I_{DS} et I_{GS} soient supérieurs au seuil de 1 µA, ce qui permet de limiter la puissance qui traverse les électrodes, notamment la grille, et éviter un claquage destructif. La tension grille source est fixée à -20 V sachant que la tension de seuil des JFETs mesurés est d'environ -15 V. On voit que les tensions de claquage (V_{BR}) sont de 3,4 kV, 3,4 kV et 3,8 kV pour le DIG-JFET2, DIG-JFET3 et DIG-JFET4, respectivement. Ces tensions V_{BR} correspondent à la tension de claquage de la diode PiN-4 qui varie entre 3,2 kV et 3,8 kV (cf. section 3.4.3). On peut ainsi supposer que la tenue en tension des JFETs de test atteint la limite de la tenue en tension de la protection périphérique.

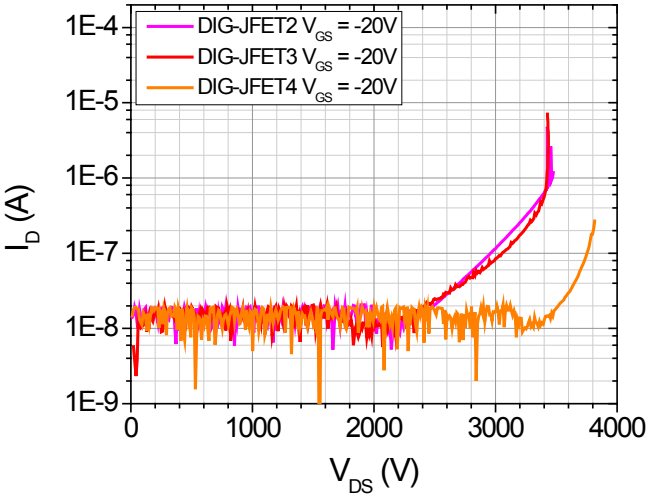


Figure 3-23 : Caractéristiques I_D-V_{DS} des JFETs de test au blocage.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

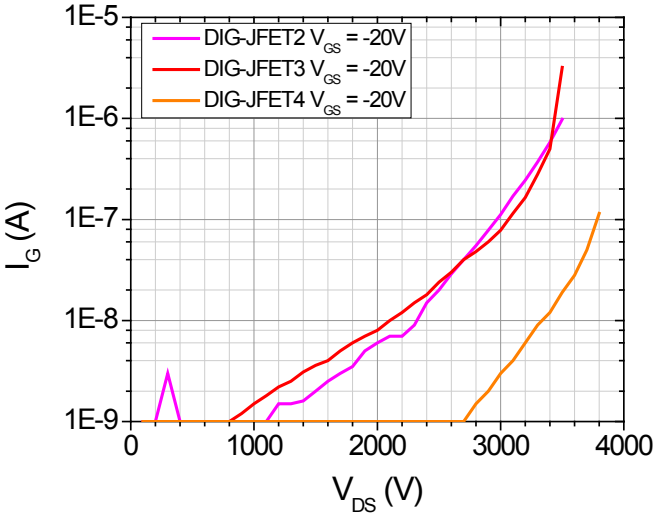


Figure 3-24 : Caractéristiques I_G-V_{DS} des JFETs de test au blocage.

Un autre phénomène qui nous permet de confirmer cette hypothèse est que leur courant I_{DS} correspond à leur courant grille-source. La Figure 3-24 représente les courants I_{GS} mesurés dans les mêmes conditions que la Figure 3-23. La résolution de courant de l'appareil de mesure, le Keithley 2410 est de 1 nA. Cette limite est inférieure à celle du courant du drain, ce qui nous permet de suivre l'évolution du courant I_{GS} pour des tensions drain source inférieures à 2 kV. Nous voyons que les courants I_{GS} des DIG-JFET2 et DIG-JFET3 dépasse 1 nA pour une tension V_{DS} supérieure à environ 1 kV. Pour des valeurs supérieures à 10 nA, ces courants I_{GS} sont identiques à leurs courants de drain source montrés dans la Figure 3-23. Le courant grille source est donc à l'origine du courant de fuite du drain pour les DIG-JFET2 et DIG-JFET3. Rappelons que la métallisation de la grille est reliée avec celle qui contacte l'implantation de JTE. Sous haute tension, le courant de JTE (I_{JTE}) peut augmenter à cause des forts champs électriques, ce qui peut être l'origine du courant de grille. La Figure 3-25 illustre ce phénomène.

La Figure 3-25 montre les différentes origines du courant de JTE. C'est un courant bipolaire à cause de génération des porteurs dans la couche P. Il est d'autant plus fort que le champ électrique local augmente. Il y a deux endroits où le risque est plus important : la jonction P^+/P où le dopage change fortement [95], et le pied du MESA où il peut avoir des Trenchings. Bien que l'impact du Trenching soit diminué grâce à la nouvelle terminaison (cf. section 3.2.4), le champ électrique au point de sur-gravure est tout de même plus élevé à cause de sa faible épaisseur locale. De ce fait, ce phénomène est toujours un risque de réduire la tension de claquage du composant sous haute tension.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

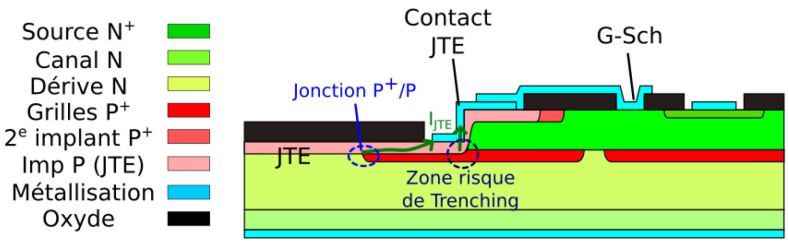


Figure 3-25 : Possibles origines du courant de JTE sous haute tension dans un DG-JFET.

Afin de vérifier cette hypothèse, il nous faut mesurer séparément les courants de grille Schottky et de grille ohmique, puisque le contact JTE est relié uniquement à la grille Schottky. Le JFET monocanal est le seul composant capable pour cette mesure. Cependant, à cause du problème de masque, le test est impossible pour l'instant. Pour ce faire, il faudra retirer la dernière couche d'isolation après la métallisation épaisse afin de contacter les JFETs monocanal. Cette étape nécessite l'aide du fabricant du composant.

3.5 Conclusion

Dans ce chapitre, nous avons présenté le nouveau jeu de masque, le M2. L'optimisation consiste à augmenter la densité de canal, augmenter la robustesse des composants vis-à-vis des variations de gravure et améliorer l'efficacité de la protection périphérique. L'objectif de ces mesures est de diminuer la résistance à l'état passant du composant, d'améliorer le courant de saturation et la tenue en tension.

		Masque M1	Masque M2
Gros JFET	Op% gros JFET	< 40%	< 10%
JFETs de test	Tension de seuil V_{TH} (V)	~ -15	~ -15
	Résistance normalisée avec longueur de canal ρ_{ON} (Ω.cm)	> 35,2	< 30
	Tenue en tension maximale V_{BR} (V)	2,6 kV	3,8 kV

Tableau 3-11 : Comparatif des performances des composants fabriqués avec l'ancien et le nouveau masque.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Le Tableau 3-11 compare les performances des JFETs fabriqués avec l'ancien et le nouveau masque. Nous avons obtenu une amélioration notable sur la tenue en tension. Des DIG-JFETs ont une tenue en tension de plus de 3,3 kV. L'efficacité de la protection périphérique est démontrée avec les diodes PiNs dont les tensions de claquage sont supérieures à 3 kV. Nous avons aussi obtenu une amélioration en termes de résistance à l'état passant normalisée avec la longueur du canal (ρ_{ON}). Les JFETs de test présentent une diminution de plus de 15% au niveau de la résistance normalisée par rapport à celle des précédents JFETs de test.

En revanche, le manque d'homogénéité du processus reste toujours une forte limitation pour cette nouvelle génération de JFET. Le taux des gros JFETs fonctionnels est faible. Des hypothèses ont été proposées concernant les étapes technologiques problématiques. La vérification ces hypothèses nécessitent des mesures supplémentaires sur le JFET monocanal qui permet de mesurer séparément les grilles Schottky et ohmique. Des observations au microscope électronique à balayage dans la zone du canal et éventuellement des ajouts de nouveaux motifs de test sont envisagées.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

4 JFETs en SiC-4H en régime de court-circuit

4.1 Motivation

Dans ce chapitre, nous allons étudier les JFETs commerciaux en court-circuit. Dans cette condition, le composant est dans un régime où la puissance dissipée à l'état passant est bien au-delà de celle en fonctionnement nominal. La température augmente donc très rapidement. La durée maximale que le composant peut tenir sans défaillance de fonctionnement définit la tenue en court-circuit de cet interrupteur. C'est un paramètre important dans les applications de disjonction DC et de conversion de tension, par exemple.

Il est donc très intéressant de mesurer ce paramètre pour le DG-JFET et d'étudier son mode de défaillance. Cependant, pour estimer correctement ce paramètre, la mesure doit s'effectuer sur un composant fonctionnel et packagé. Puisque la cause de défaillance est la température, il est essentiel de prendre en compte la qualité de packaging qui influence fortement la conductivité thermique entre le composant et le milieu ambiant. Comme présenté dans les chapitres 2 et 3, nous n'avons pour l'instant pas de gros JFET fonctionnel pour effectuer ce test. Dans ce cas, nous avons d'abord utilisé des JFETs qui sont commercialement disponibles afin de valider la méthode d'analyse et d'anticiper sur les phénomènes susceptibles d'apparaître sur notre JFET.

Depuis une dizaine d'années, quelques études ont été menées sur le comportement des interrupteurs SiC en court-circuit. Elles s'appuient principalement sur deux aspects : l'estimation de l'énergie critique et l'analyse des modes de défaillance. Dans ce deuxième aspect, il est important d'estimer la température du composant afin de localiser le point de défaillance. Il y a trois méthodes pour ce faire :

- Mesurer à l'aide d'une caméra thermique infrarouge (IR) l'élévation de la température sur la surface supérieure des puces [103] ;
- Mesurer indirectement la température de la puce à l'aide de la tension à l'état passant de la diode de structure [104] ;
- Simuler le composant en 3D à l'aide d'un programme de simulation multi-physique, notamment avec le logiciel Comsol®.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Le défaut principal de ces trois méthodes est que l'estimation s'arrête au niveau de la puce. Nous n'obtenons pas de vision de l'évolution de la température au sein même de la structure du composant.

Dans ce chapitre, nous allons chercher à estimer la température à l'intérieur du composant par simulation électrothermique en 2D avec Sentaurus®. L'utilisation de cette méthode permet d'obtenir le gradient de température dans la structure du composant et de révéler le point chaud (hotspot) à l'intérieur du composant. De cette manière, il est possible d'optimiser la structure du composant dans le but d'améliorer le temps maximale qu'il peut tenir en court-circuit. Pour réussir les simulations électrothermiques, des modèles physiques précis pour le matériau SiC-4H sont essentiels. La validation des modèles est d'abord présentée dans le chapitre. Les interrupteurs utilisés sont le LV-JFET 1,2 kV d'Infineon et le SIT 1,2 kV d'USCi, qui sont les interrupteurs unipolaires (hors MOSFET) disponibles commercialement à l'heure actuelle.

4.2 Simulation électrothermique

Comme introduit précédemment, nous avons utilisé la simulation électrothermique pour identifier le mode de défaillance du JFET en court-circuit. Dans ce type de simulation, l'auto-échauffement du composant par courant électrique est pris en compte. Par conséquent, la température du réseau cristallin (T) varie en fonction de la capacité et la conductivité thermique du matériau. La grande majorité de paramètres physiques dépendent de la température, notamment le taux de génération et recombinaison (R_{net}), la concentration en porteurs (N_D et N_A), la mobilité des porteurs (μ_D et μ_A) et les niveaux d'énergie de la bande interdite (E_g) du matériau. Ainsi la densité du courant des porteurs (J_n et J_p) est directement influencée par la température. Il en résulte que le comportement électrique (courant électrique et résistance) du composant est fortement dépendant de la température T. La Figure 4-1 illustre l'impact de la température sur les grandeurs physiques citées ci-dessus.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

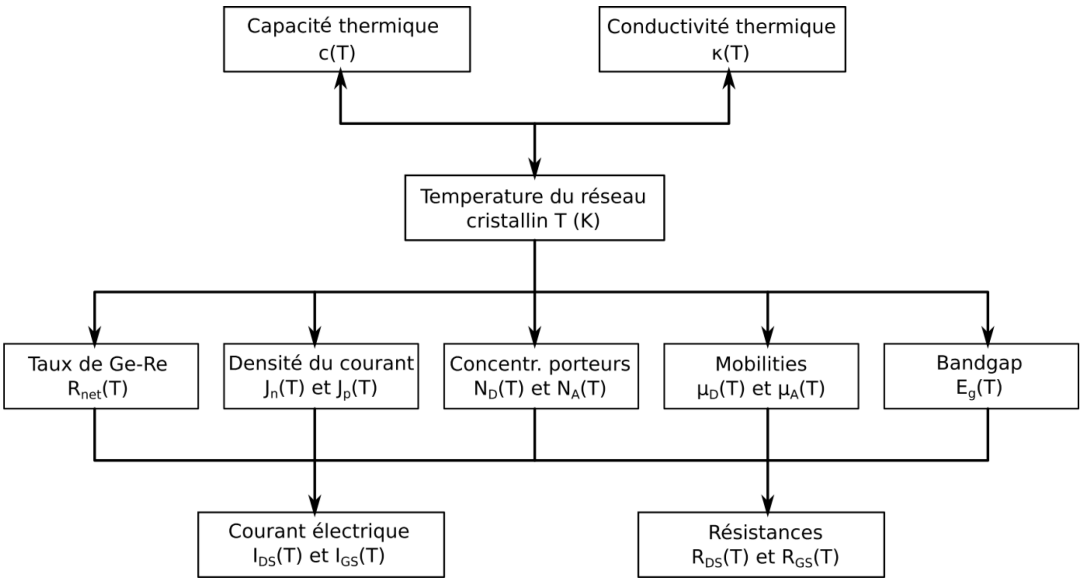


Figure 4-1 : Grandeurs physiques concernées dans la simulation électrothermique.

Le simulateur numérique utilisé dans ces travaux reste Sentaurus de Synopsys. On rappelle qu'il est capable de résoudre les équations physiques fondamentales pour la simulation du dispositif semi-conducteur qui sont : 1) l'équation de Poisson, 2) les équations de continuité, 3) les équations du courant. Ces trois groupes d'équations seront présentés par la suite.

Le potentiel électrostatique ϕ est la solution de l'équation de Poisson :

$$\nabla\left(\varepsilon\nabla\phi + \vec{P}\right) = -q(p(T) - n(T) + N_D(T) - N_A(T)) - \rho_{trap} \tag{41}$$

Symboles	Signification
ε	Permittivité du matériau
$\vec{P}$	Polarisation ferroélectrique
n, p	Densités d'électrons et de trous
N_D, N_A	Concentrations en donneurs et en accepteurs
ρ_{trap}	Densité de charges contribuées par les pièges et les charges fixes
T	Température du réseau cristallin

Des niveaux profonds sont insérés dans le matériau pour la simulation du JFET SiC-4H en court-circuit, afin d'étudier leur impact sur le courant de fuite à haute température. Ce sont des niveaux d'énergie autres que ceux des dopants dans la bande interdite du matériau qui réagissent comme des centres de recombinaison

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

[15]. De ce fait, ces niveaux sont aussi appelés « des pièges » et se manifestent à l'état passant d'un composant lorsque la conduction est bipolaire. Le processus de recombinaison via ces pièges est plus rapide que le processus de recombinaison bande à bande, ce qui réduit la durée de vie des porteurs. Les niveaux profonds sont des défauts qui sont naturellement présents dans le substrat ou qui sont introduits par des étapes technologiques qui endommagent la structure cristalline du matériau, telles que l'implantation ionique. Cette étape est indispensable dans la réalisation des grilles du type P^+ des JFETs ou SITs. De ce fait, les niveaux profonds doivent être pris en compte dans la simulation. Pour ce faire, le terme ρ_{trap} doit être pris en compte.

Les équations de continuité pour les électrons et les trous sont données par :

$$\nabla\overrightarrow{J_p} = qR_{net}(T) + q\frac{\partial p(T)}{\partial t}$$
$$\nabla\overrightarrow{J_n} = qR_{net}(T) + q\frac{\partial n(T)}{\partial t} \quad (42)$$

Symboles	Signification
$\overrightarrow{J_n}, \overrightarrow{J_p}$	Densités du courant d'électrons et de trous
R_{net}	Taux net de recombinaison

Le taux net de recombinaison (R_{net}) est influencé par la température. Étant donné que le SiC-4H est un semi-conducteur à bande interdite indirecte, la recombinaison radiative bande à bande est rare [105]. En revanche, deux autres mécanismes de recombinaison sont pris en compte : la recombinaison Auger et la recombinaison assistée par les niveaux profonds à cause de divers défauts dans le matériau (Trap assisted recombinaison). Cette dernière est aussi appelé la recombinaison Shockley-Read-Hall (SRH). Ce mécanisme est important dans la plupart des semi-conducteurs dont la densité de niveaux profonds est élevée, et particulièrement dans le cas de bande interdite indirecte comme pour le SiC-4H. Le mécanisme de recombinaison Auger est prépondérant dans le cas des matériaux fortement dopés ou lorsque la densité des porteurs excédentaires est très élevée (régime de forte injection) [106], comme par exemple, dans le substrat ou la source du composant.

En mode thermodynamique, les équations des densités de courant des électrons et des trous sont étendues à [107] :

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

$$\overrightarrow{J_n} = -nq\mu_n(\nabla\Phi_\mathrm{n} + \mathrm{P_n}\nabla\mathrm{T})$$
$$\overrightarrow{J_p} = -nq\mu_p(\nabla\Phi_\mathrm{p} + \mathrm{P_p}\nabla\mathrm{T}) \quad (43)$$

Symboles	Signification
P_n, P_p	Puissances thermoélectriques des électrons et des trous, respectivement
μ_n, μ_p	Mobilités des électrons et des trous, respectivement
Φ_n, Φ_p	Potentiels quasi-fermis des électrons et des trous, respectivement

Nous pouvons facilement remarquer que, dans la simulation électrothermique, la valeur de la température du réseau cristallin a un rôle primordial pour assurer la précision du résultat de calcul. L'estimation de cette température sera donc présentée dans les paragraphes suivants.

4.2.1 Température du réseau cristallin

La température T est la température du réseau cristallin (Lattice Temperature). C'est la température moyenne calculée à partir de la température aux « thermodes » et celle qui est située dans le dispositif. Une thermode est un contact thermique dans la simulation numérique. Elle peut être définie avec une résistance thermique (R_{th}) et une température fixe en un point, ou tout simplement un flux thermique (P_{th}). La résistance thermique est celle entre la jonction thermode/semi-conducteur et le milieu ambiant. La présence de la résistance R_{th} ou de la puissance P_{th} permet de régler le profil de température dans le dispositif. Nous avons utilisé une thermode avec la résistance dans les études suivantes.

La définition de la thermode est représentée dans la Figure 4-2. Dans une structure du JFET ou SIT, le contact « Drain » est à la fois une électrode et une thermode dans la simulation. C'est-à-dire que le flux de chaleur circule de l'intérieur de la structure vers le milieu ambiant uniquement par le côté du drain. La température de la thermode est fixée à 300 K qui est la température ambiante. Pour un contact thermique idéal, la résistance thermique tend vers zéro ($R_{th} \rightarrow 0$). Dans le cas contraire, la valeur de la résistance en cm² K/W dépend de la surface de la thermode, de la résistance thermique du boitier, de l'installation du composant lors de la mesure. La surface de la thermode est la surface du drain (A_{drain}). Pour un composant du commerce, la résistance thermique du boitier ($R_{thj\text{-}a}$) est une information disponible dans sa fiche technique. Ajoutons à cela un dissipateur avec ventilation forcée qui présente une résistance thermique de l'installation ($R_{th,app}$)

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

plus faible que celle d'un simple dissipateur sans ventilation. Le calcul de la résistance totale R_{TH} est donc :

$$R_{th} = A_{drain} \cdot (R_{thj-a} + R_{th,app}) \tag{44}$$

D'après la résistance R_{thj-a} du constructeur [49] et les conditions des mesures que nous avons employées, la valeur de la résistance thermique R_{th} est estimée à 0,25 cm²K/W.

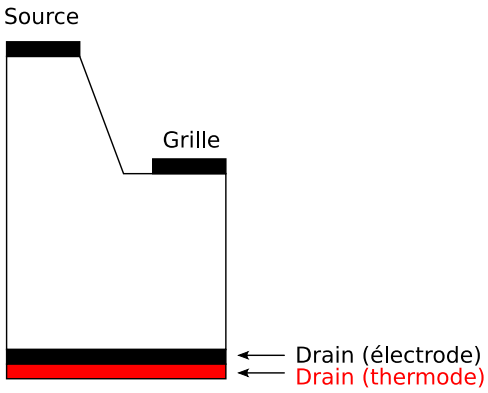


Figure 4-2 : Définition de la thermode dans la simulation du JFET/SIT.

Nous considérons que le phénomène d'auto-échauffement dans le composant est non-uniforme. Dans ce cas, la température tout au long du dispositif est calculée par le modèle thermodynamique dans Sentaurus :

$$\begin{aligned}\frac{\partial}{\partial t} c_L T - \nabla \kappa \nabla T = & -\nabla\left[(P_n T + \Phi_n)\overrightarrow{J_n} + (P_p T + \Phi_p)\overrightarrow{J_p}\right] - \left(E_c + \frac{3}{2}kT\right)\nabla\overrightarrow{J_n} \\ & - \left(E_v - \frac{3}{2}kT\right)\nabla\overrightarrow{J_p} + qR_{net}(E_c - E_v + 3kT)\end{aligned} \tag{4}$$

Symbole	Signification	Symbole	Signification
κ	Conductivité thermique	R_{net}	Taux net de la génération-recombinaison
c_L	Capacité thermique	J_n et J_p	Densités du courant des électrons et des trous, respectivement
E_c et E_v	Énergies de la bande de conduction et de valence, respectivement	P_n et P_p	Puissances thermoélectriques des électrons et des trous, respectivement

D'après le modèle, l'auto-échauffement du composant est calculé via les courants de trous et d'électrons. Même si nous travaillons sur un composant

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

unipolaire, à haute température les mécanismes de recombinaison deviennent plus importantes [106], ce qui augmente le courant bipolaire dans le composant. Pour cette raison, les termes concernant le courant de trou et le mécanisme de génération-recombinaison sont conservés dans la simulation. Le simulateur permet de prendre en compte la chaleur produite ou absorbée par les mécanismes de génération-recombinaison.

La capacité thermique c_L dépendant de la température est calculée par la formule (45). Les paramètres sont extraits de données mesurées sur le α-SiC [108].

$$c(T) = A_c + B_c T + C_C T^2 + D_c T^3 \tag{45}$$

La conductivité thermique (variant selon la température) est calculée par la formule (46). Les paramètres sont également des données expérimentales du SiC-4H [109].

$$\kappa(T) = \frac{1}{A_k + B_k T + C_k T^2} \tag{46}$$

Les paramètres pour les formules sont donnés dans la Tableau 4-1.

	A_c [J/(K cm^3)]	B_c [J/(K^2 cm^3)]	C_c (J/(K^3 cm^3))	D_c (J/(K^4 cm^3))
c	2,18	7,8*10^{-3}	-1,7*10^{-5}	1,5*10^{-8}
	A_k [(K cm)/W]	B_k [(K cm)/W]	C_k [(K cm)/W]	
κ	2,5*10^{-3}	2,75*10^{-4}	1,3*10^{-6}	

Tableau 4-1 : Coefficient pour le calcul de la capacité et de la conductivité thermique du SiC-4H.

4.2.2 Génération et recombinaison

Bien que les dispositifs en question (JFET, SIT) soient unipolaires, dans certains cas l'opération bipolaire est inévitable. Par exemple, dans le cas où la jonction grille-source du SIT est polarisée en inverse, le courant grille-source, qui est un courant bipolaire, augmente avec la température du réseau. Pour cette raison, nous avons besoin également d'un modèle réaliste afin d'interpréter le mécanisme de génération-recombinaison dans la simulation.

Nous avons inclus dans la simulation la recombinaison Shockley-Read-Hall (SRH) due aux niveaux profonds et la recombinaison Auger, une recombinaison bande à bande qui augmente avec le dopage. Le taux net de recombinaison directe R_{net} est donc la somme des deux mécanismes.

Le taux de recombinaison SRH (R_{net}^{SRH}) est exprimé par l'expression (47).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

$$R_{net}^{SRH} = \frac{np - n_{i,eff}^2}{\tau_p\left(n + n_{i,eff}\exp\left(\frac{E_{trap}}{kT}\right)\right) + \tau_n\left(p + n_{i,eff}\exp\left(\frac{-E_{trap}}{kT}\right)\right)} \quad (47)$$

Où

τ_n et τ_p sont les durées de vie des électrons et des trous ;

n et *p* sont les concentrations en électrons et en trous dues aux conditions tierces, comme le dopage ;

$n_{i,eff}$ est la concentration effective intrinsèque ;

E_{trap} est le niveau d'énergie des niveaux profonds par rapport au milieu de la bande interdite.

Les durées de vie des porteurs dépendent du niveau de dopage par l'équation de Scharfetter [110]. La concentration en porteurs intrinsèques à 300 K du SiC-4H est inférieure à 10^{-8} cm^{-3}. Sans niveaux profonds, le taux de recombinaison R_{net}^{SRH} à 300 K est approximativement 10^{-30} cm^{-3}.

Le taux de recombinaison Auger (R_{net}^{A}) est exprimée par la relation (48) :

$$R_{net}^{A} = \left(C_n(T)n + C_p(T)p\right)\left(np - n_{i,eff}^2\right) \quad (48)$$

Les deux coefficients $C_{n,p}$ sont définis par l'utilisateur et en général fonction de la température. Selon [111], leurs valeurs sont $C_n = 5*10^{-31}$ cm^6/s, $C_p = 2*10^{-31}$ cm^6/s. Le taux de recombinaison SiC-4H est fonction du niveau de dopage. Étant donné que le SiC-4H est un semi-conducteur à bande interdite indirecte, la recombinaison Auger dans les régions faiblement dopées (région de dérive, canal) est rare. En revanche, elle est beaucoup plus élevée dans la source (N^+) ou dans la grille (P^+) du composant.

4.3 LV-JFET 1,2 kV en régime de court-circuit

Dans cette section, nous allons discuter des phénomènes physiques à l'intérieur d'un LV-JFET 1,2 kV en SiC-4H lors d'un court-circuit à l'aide de la simulation électrothermique. D'abord, nous allons présenter la méthode utilisée pour construire le modèle du composant basé sur des mesures statiques d'un composant commercial. Ensuite, le comportement en court-circuit du modèle par la simulation électrothermique sera présenté et comparé avec les mesures. Au final, nous allons étudier l'influence du substrat du LV-JFET sur le temps maximal qu'il peut tenir en court-circuit.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

4.3.1 Description de la structure

La structure du LV-JFET que nous avons simulée est représentée dans la Figure 4-3. Elle est constituée d'un substrat de type N^+, une région de dérive de type N, des caissons P^+ enterrés, une source de type N^+, un canal latéral de type N et une grille de type P^+. Le canal vertical est réalisé dans l'épitaxie de la région de dérive. Cette structure de LV-JFET est similaire à celle présentée dans la littérature [83]. La différence principale est que la source N^+ du modèle est implantée dans le caisson P^+. Cette modification permet d'améliorer la convergence de la simulation électrothermique sans en impacter le résultat. En effet, le courant du canal du composant dépend uniquement de la géométrie du canal.

Des simulations statiques sont effectuées dans le but d'identifier les dimensions et les dopages du modèle qui permettent d'obtenir la meilleure approximation avec les caractéristiques statiques d'un LV-JFET 10 A-1,2 kV fourni par Infineon. Nous supposons que la source N^+ et le substrat N^+ ont le même dopage, la même hypothèse est faite pour la grille et le caisson P^+. L'épaisseur du substrat est fixée à 350 µm dans un premier temps. Nous fixons aussi une région de dérive épaisse de 10 µm et dopée à 10^{16} cm^{-3}, ce qui correspond à une diode PiN de 2,2 kV.

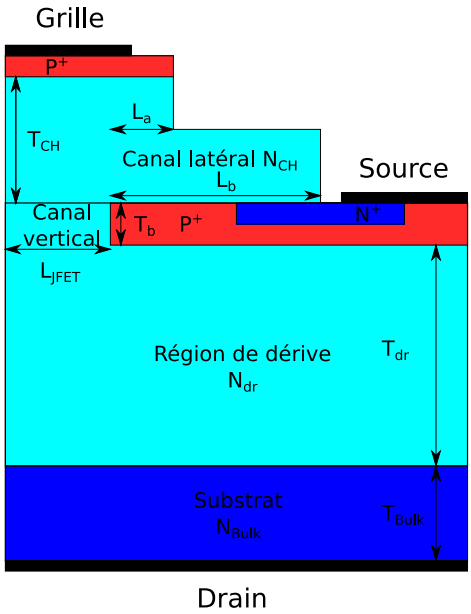


Figure 4-3 : Vue en coupe du LV-JFET 1,2 kV normalement fermé.

Les paramètres du canal sont le dopage du canal latéral (N_{CH}), l'épaisseur du canal (T_{CH}), la longueur totale du canal (L_b), la longueur entre la gravure de la grille et le canal vertical (L_a) et la largeur du canal vertical (L_{JFET}), sachant que le dopage du canal vertical est égal à celui de la région de dérive. Ces paramètres sont obtenus

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

par des simulations paramétriques statiques à 300 K. L'effet de la température n'est pas pris en compte dans un premier temps.

La modélisation réussie, les valeurs de tous les paramètres sont données dans la Tableau 4-2. Les caractéristiques I_{DS}-V_{DS} simulées du modèle sont comparées avec les mesures du LV-JFET Infineon dans la Figure 4-4. Les mesures du composant sont effectuées avec un Tektronix 371 Curve Tracer à 300 K. L'appareil utilise une impulsion d'une durée (T_{on}) de 250 µs afin d'éviter l'auto-échauffement. Nous voyons que la résistance à l'état passant (pour V_{GS} = 0 V, V_{DS} = 3 V) du modèle correspond bien à la mesure. Sa valeur est de 330 mΩ. Le courant de saturation ($I_{DS,SAT}$) du modèle pour une tension grille source (V_{GS}) égale à 0 V, et une tension drain source (V_{DS}) égale à 10 V est 15% plus faible que la valeur mesurée. Ceci peut être dû aux modèles physiques de la mobilité électronique dans le simulateur, et la différence en termes de paramètres (dopage, dimension) entre le modèle et le composant. Malgré cette différence de précision sur le courant de saturation, le modèle offre un bon point de départ pour cette étude.

Paramètre	Symbole	Valeurs	Unité
P^+	Dopage du caisson enterré et de la grille	10^{18}	cm^{-3}
L_a	Distance entre la gravure et le canal JFET	2	µm
T_{CH}	Épaisseur du canal	1,7	µm
L_b	Longueur du canal	4	µm
N_{CH}	Dopage du canal	10^{16}	cm^{-3}
L_{JFET}	Largeur du canal JFET	2	µm
N_{dr}	Dopage de la région de dérive	10^{16}	cm^{-3}
T_{dr}	Longueur de la région de dérive	10	µm
N^+	Dopage de la source et du substrat	10^{19}	cm^{-3}
T_{bulk}	Épaisseur du substrat	350	µm

Tableau 4-2 : Paramètres de la conception par identification du LV-JFET 1,2 kV.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

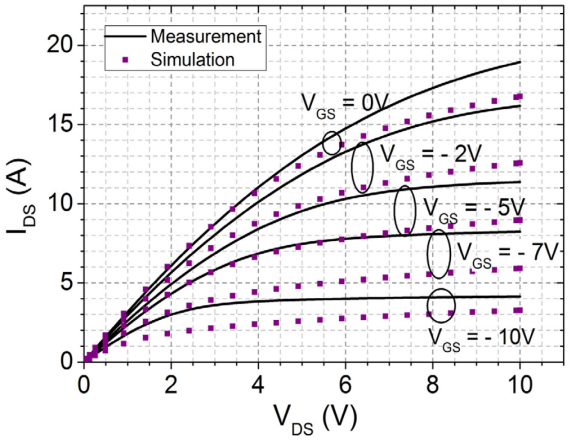


Figure 4-4 : Caractéristiques de sortie du modèle comparées avec celle du LV-JFET 1,2kV Infineon.

4.3.2 Mécanisme électrothermique dans le LV-JFET

Le modèle du LV-JFET est ensuite utilisé dans la simulation électrothermique d'un court-circuit pour une polarisation drain source (V_{DS}) constante. Puisque le phénomène d'auto-échauffement et le calcul de la température dans le dispositif sont cruciaux pendant le régime de court-circuit, les paramètres physiques thermiques sont importants dans la simulation. Ces paramètres du SiC-4H sont discutés dans la section 4.2. Pour une température de 300 K, la capacité thermique (c) est égale à 3,29 J/(K.cm^3), la conductivité thermique (κ) est égale à 4,5 cm.K/W, et la résistance thermique (R_{th}) est égale à 0,25 cm²K/W.

D'après les études précédentes [112], [113], la défaillance d'un JFET lors d'un court-circuit est due à l'élévation en température causée par l'auto-échauffement du composant. Dans le cas idéal, le SiC-4H perd ses propriétés de semi-conducteur à 1300 K et le courant drain source augmente dramatiquement. C'est le phénomène d'emballement thermique. Pour cette raison, le premier critère de défaillance est la température du réseau cristallin lorsque celle-ci atteint la température critique (T_{Cri}) de 1300 K. La durée maximale pendant laquelle le JFET fonctionne sans défaillance en court-circuit est appelée le temps de court-circuit (t_{sc}) du composant.

La Figure 4-5 montre le courant drain source simulé du LV-JFET 1,2 kV en court-circuit comparé avec la mesure effectuée sur le JFET Infineon 10 A-1,2 kV. La température maximale (T_{max}) et la température dans le canal (T_{canal}) sont également tracées. Dans cette simulation, nous fixons l'épaisseur du substrat (T_{bulk}) à 350 µm. La mesure est effectuée avec une tension drain source de 600 V.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

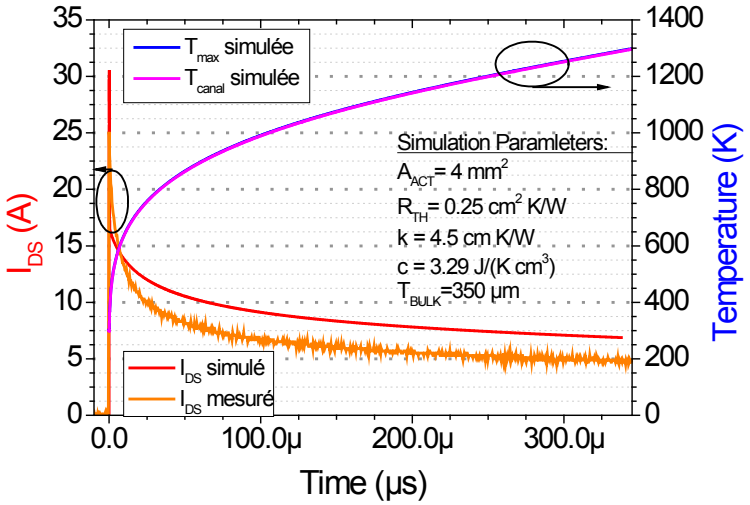


Figure 4-5 : Courant drain-source simulé et mesuré (axe gauche) et température maximale et dans le canal (axe droite) du LV-JFET en court-circuit (V_{DS} = 600 V, V_{GS} = 0 V).

Le courant simulé à partir du modèle présente une forme similaire au courant mesuré en court-circuit. Ils diminuent avec le temps (*t*) à cause de l'augmentation de la température engendrée par l'auto-échauffement du JFET. Ceci valide les modèles physiques et les paramètres choisis. Cependant, nous observons un décalage entre le courant simulé ($I_{DS,simu}$) et le courant mesuré ($I_{DS,mesu}$). En effet, la valeur maximale du courant simulé atteint 30 A tandis que celle du courant mesuré n'est que de 25 A. Ensuite, avec le temps il y a toujours une différence positive (ΔI_{DS}) entre les deux courants. Cet écart est dû aux différences en termes de courant de saturation entre le modèle et le composant mesuré présenté dans la section précédente. Ce phénomène est la conséquence de la modélisation non parfaite, toutefois il ne dénote pas d'un mécanisme de fonctionnement différent.

A cause du fort courant qui traverse le composant et la chute importante de tension entre le drain et la source (V_{DS} = 600 V), la puissance dissipée par le JFET est extrême, ce qui engendre une augmentation de température rapide à l'intérieur de la cellule du composant. Cette température provoque la génération des porteurs intrinsèques, mais en même temps elle diminue la mobilité des porteurs majoritaires dans les interrupteurs unipolaires. Ce dernier phénomène engendre une augmentation de la résistance du JFET et une diminution du courant I_{DS}. Pour une température supérieure à 900 K, la pente de la courbe de température devient plus faible. Ceci est dû à la réduction de la puissance instantanée dissipée dans le composant. Pour des températures plus élevées (>1100 K), le courant I_{DS} est presque constant dans le temps, puisque la mobilité électronique est stable, tandis que la génération de porteurs intrinsèques continue. Pour T_{MAX} = 1300 K (t =

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

350 µs), la concentration intrinsèque du SiC-4H est proche du dopage de la région de dérive. La barrière de la jonction PN est supprimée et l'emballement thermique a lieu. On définit la tenue en court-circuit d'un composant comme étant le temps maximum que le composant peut tenir dans le régime sans défaillance. La tenue en court-circuit simulée du LV-JFET est donc de 350 µs. Cependant, la tenue mesurée est de 600 µs. Nous supposons que, dans la simulation, la température augmente plus rapidement que celle dans la réalité puisque le courant de saturation simulé est plus élevé.

Une autre remarque importante est que la température dans le canal (T_{canal}) est identique à la température maximale (T_{max}) du LV-JFET. Ceci s'explique par le fait que le point chaud dans la cellule du composant se situe près des contacts de grille et de source. La Figure 4-6 montre la distribution de la température dans la cellule élémentaire entière et dans la zone active du LV-JFET pour différents moments pendant le court-circuit. Nous constatons qu'au début du court-circuit (t = 0,5 µs) le point chaud se situe à environ 3 µm sous la grille (Figure 4-6(a)). La chaleur se propage vers le substrat et un gradient de température apparaît. La température augmente très rapidement entre t = 0 µs et t = 10 µs. A t = 10 µs, l'écart de température (ΔT) dans la zone active est le plus important (100 K) (Figure 4-6(b)). Ensuite la valeur de l'écart ΔT diminue suite à la réduction de la puissance dissipée dans le composant (Figure 4-6(c)). Cependant, la conductivité thermique du contact sur la face arrière du JFET n'est pas suffisante, ce qui résulte en une augmentation continue de la valeur de la température maximale (T_{MAX}). Cette dernière s'approche de sa valeur critique (1300 K) à t = 323 µs (Figure 4-6(d)).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

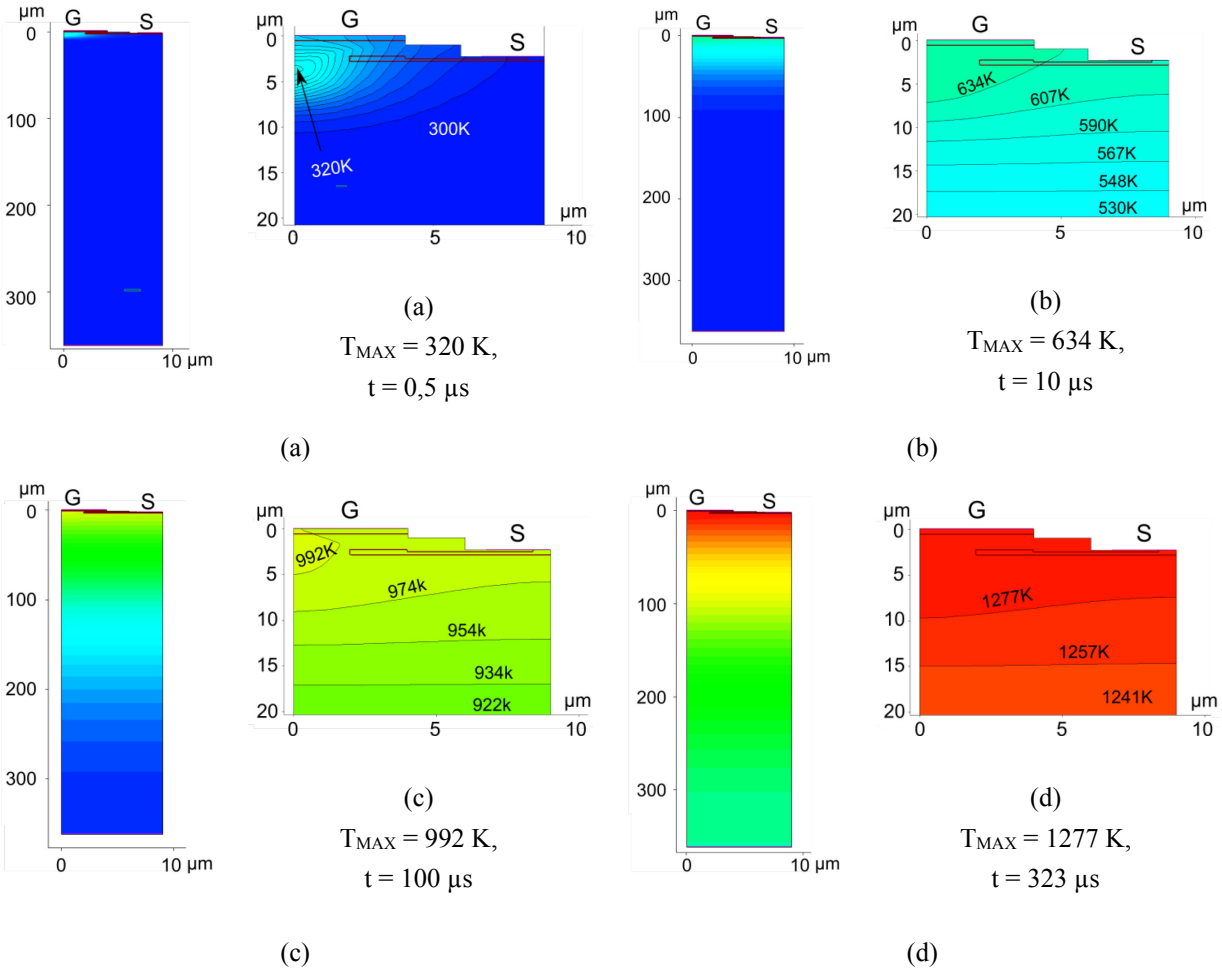


Figure 4-6 : Distribution de température dans la cellule (gauche) et dans le canal (droite) du LV-JFET à différents moments en court-circuit pour une épaisseur du substrat égale à 350 µm.

Une température élevée dans le canal peut avoir des impacts sur la métallisation (Aluminium) de la source et de la grille. En effet, le point d'ébullition de l'aluminium est d'environ 900K, qui est inférieure à la température critique de l'emballement thermique. Ce dernier phénomène peut avoir deux conséquences : modifier la résistance d'accès de la source et dégrader la commande d'ouverture de la grille. De ce fait, la défaillance du composant peut aussi être due à la dégradation de la métallisation d'Aluminium à 900 K [114], [115]. Vu que pour la structure du LV-JFET, la température maximale du composant est identique à la température dans le canal, nous considérerons, en simulation, la température maximale de 900 K comme deuxième critère de défaillance du composant en court-circuit. Le temps simulé pour atteindre cette température est de 100 µs (Figure 4-6(c)). Ce temps est donc 6 fois plus faible que le temps mesuré (600 µs). On suppose que dans la réalité, la dégradation de la métallisation ne cause pas de claquage du composant

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

immédiatement. Ce phénomène accélère uniquement la défaillance, ce qui fait que la température du composant au claquage est plus élevée que 900 K. De plus, le résultat de mesure vient d'un seul composant du fabricant Infineon. Afin de vérifier la tenue en court-circuit du LV-JFET, il est nécessaire de mesurer plus de composants de même type.

4.3.3 Influence du substrat sur la tenue en court-circuit

Nous avons également remarqué dans la Figure 4-6 que pendant le court-circuit la vague thermique arrive à une profondeur de 100 µm en moins de 100 µs. On suppose donc que si le substrat est plus fin que 350 µm, la tenue en court-circuit (t_{SC}) du JFET peut être inférieure à 350 µs. Afin de vérifier cette hypothèse et d'étudier l'influence de l'épaisseur du substrat (H_{sub}) sur T_{SC}, nous avons répété la simulation électrothermique du court-circuit en prenant des valeurs H_{sub} de 50 µm, 100 µm, 200 µm et 350 µm.

La Figure 4-7 montre l'évolution du courant et de la température maximale en court-circuit (V_{DS} = 600 V) simulée du LV-JFET 1,2 kV pour différentes épaisseurs du substrat. Le critère de défaillance reste toujours le seuil de température à 1300 K. La température augmente d'autant plus rapidement que le substrat est fin. Pour une épaisseur H_{sub} inférieure à 100 µm, la capacité thermique du substrat est faible et la chaleur a très peu de marge pour se diffuser. Une température maximale élevée engendre aussi une diminution plus rapide du courant drain-source. Ceci résulte en une diminution de la génération de puissance instantanée dans le composant. Cependant, la dissipation de cette puissance est vite limitée par la résistance thermique en face arrière du JFET. Cette réduction de courant n'est pas suffisante pour ralentir la montée en température. Par conséquent, la tenue en court-circuit du JFET est dégradée en réduisant l'épaisseur du substrat.

Souvent dans la fabrication de dispositifs semi-conducteurs tels que l'interrupteur ou la diode, la réduction de l'épaisseur du substrat permet de réduire la résistance du composant. Il est important de connaitre l'épaisseur minimum nécessaire qui permet une tenue en court-circuit suffisante pour les applications. La Figure 4-8 donne la tenue en court-circuit simulée (V_{DS} = 600 V) du JFET 1200 V en fonction de l'épaisseur du substrat pour différentes limites en température. Ces limites peuvent venir de la contrainte thermique du packaging (<300 K) et de la métallisation du composant (<900 K) ou bien la température limite de l'emballement thermique du SiC (1300 K). Si on veut que la température du composant ne dépasse pas le point d'ébullition de la métallisation d'aluminium (900 K), en utilisant la courbe pour une température maximale égale à 873 K (courbe blue), nous constatons que le temps du court-circuit ne doit pas dépasser 40 µs pour un substrat d'une épaisseur de 150 µm. De plus, on remarque que le

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

temps de court-circuit est égale à 40 µs même si l'épaisseur du substrat est plus importante que 150 µm. Dans ce cas, il n'est pas nécessaire d'augmenter l'épaisseur du substrat au-delà de 150 µm.

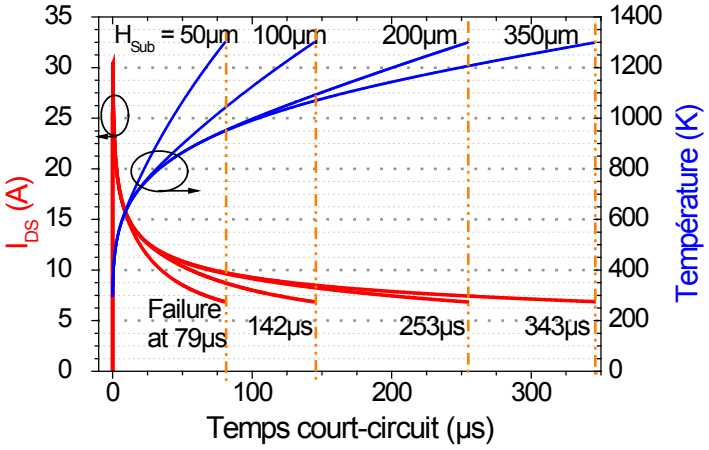


Figure 4-7 : Évolution du courant et de la température maximale en court-circuit (V_{DS} = 600 V) simulée du LV-JFET pour différentes épaisseurs du substrat (H_{sub}).

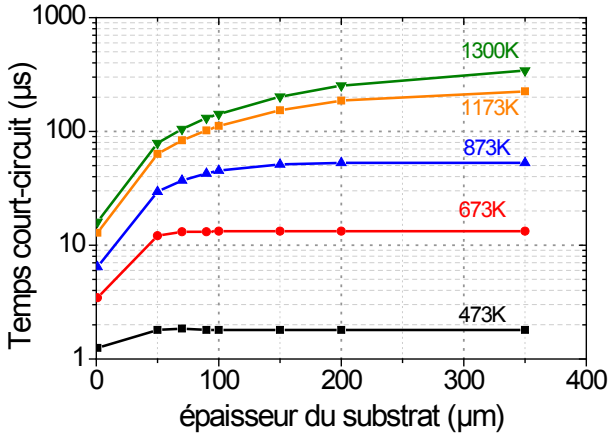


Figure 4-8 : Tenue en court-circuit (V_{DS} = 600 V) du LV-JFET simulée en fonction de l'épaisseur du substrat pour différentes limites en température.

4.3.4 Conclusion

Dans cette section, nous avons présenté les phénomènes électrothermiques à l'intérieur d'un JFET 1200 V en SiC-4H en court-circuit (V_{DS} = 600 V) à l'aide de la simulation électrothermique. Nous avons constaté qu'un point chaud se situe près de la source du LV-JFET à cause de la densité importante du courant local. L'augmentation de la température du composant dégrade rapidement la

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

métallisation de la source, ce qui engendre la défaillance en court-circuit. L'augmentation de l'épaisseur du substrat peut améliorer la capacité thermique du composant, ce qui prolonge la tenue en court-circuit du JFET. En même temps, cette étude nous a aidé à maîtriser de la simulation numérique électrothermique. C'est un outil puissant qui nous permet de comprendre les mécanismes à l'intérieur du composant et l'impact de l'épaisseur du substrat sur la tenue en court-circuit du composant.

4.4 SIT 1,2 kV en régime de court-circuit

Dans cette section, nous allons étudier l'influence du profil de dopage du canal d'un SIT (Static Induction Transistor) sur la tenue en court-circuit du composant. Le composant LV-JFET 1,2 kV utilisé dans l'étude précédente est daté de 4 ans. Il est actuellement difficile d'obtenir les nouveaux LV-JFETs en SiC. En revanche, les SITs 1,2 kV sont disponibles publiquement.

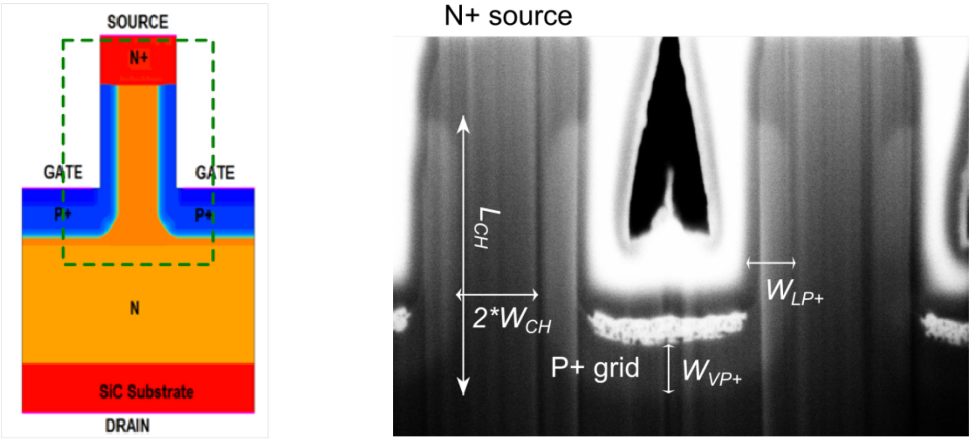
Le modèle que nous avons simulé est basé sur un SIT 1200 V commercial. Comme présenté dans le chapitre 1, il existe deux structures de JFET, le LV-JFET et le SIT. Comparé au LV-JFET, le SIT a une faible résistance spécifique à l'état passant et une faible capacité spécifique grille-source grâce à sa structure purement verticale. D'un point de vue de la réalisation, le SIT ne nécessite pas d'implantation du P^+ enterrée ni d'une deuxième épitaxie pour former le canal latéral. Pour ces raisons, le SIT a été le premier JFET en SiC-4H commercialisé [116].

D'après les mesures présentées précédemment, le LV-JFET présente une tenue en court-circuit supérieure à 300 µs pour une tension drain-source de 600 V. Dans les mêmes conditions de mesure, on a constaté que cette tenue pour le SIT 1,2 kV commercial est de 40 µs. Cette différence importante de tenue en court-circuit provient du courant de saturation plus élevé pour les SITs (105 A pour V_{DS} = 600 V) que celui pour le LV-JFET (25 A). Un fort courant engendre une densité de puissance plus élevée en régime de court-circuit, ce qui provoque une défaillance prématurée. Dans cette section, à l'aide de la simulation électrothermique, nous allons comprendre les phénomènes physiques à l'intérieur du SIT 1,2 kV qui causent la défaillance du composant. Nous cherchons ensuite une démarche de conception qui permettra de diminuer le courant de saturation de la structure, ce qui nous ramène à étudier l'influence du dopage du canal de SIT sur le courant. Validé par la simulation, le profil que nous proposons atteint l'objectif d'améliorer la tenue en court-circuit du SIT de 31%.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

4.4.1 Description des structures

La structure du SIT étudiée dans cette section est basée sur un SIT 1,2 kV commercial dont la vue en coupe et la photo avec la microscopie électronique à balayage (MEB) du canal sont montrées dans la Figure 4-9. Le composant contient une source de type N fortement dopée, un canal de type N faiblement dopé, des grilles de type P fortement dopées, une région de dérive de type N faiblement dopée, un substrat de type N fortement dopée. Les tranchées sont réalisées par la gravure sèche dans l'épitaxie du canal. Les zones P^+ sur le côté de la gravure sont ensuite effectuées par la technique de l'implantation angulaire [117]. Cette implantation permet d'obtenir un comportement électrique penthode pour le SIT, comme évoqué dans le chapitre 1. Selon les analyses MEB, les dimensions importantes de la zone active du SIT 1,2 kV sont données dans le Tableau 4-3.



(a) (b)

Figure 4-9 : (a) Vue en coupe du SIT 1,2 kV commerciale avec dans le cadre vert la zone active, (b) Photo MEB de la zone active du SIT.

Grandeur	Symbole	Valeur mesurée (µm)
Longueur du canal vertical	L_{CH}	3,3
Demi-largeur du canal	W_{CH}	0,48
Profondeur de l'implantation P^+ latérale	W_{LP+}	0,4
Profondeur de l'implantation P^+ verticale	W_{VP+}	0,78

Tableau 4-3 : Dimensions identifiées avec MEB de la zone active du SIT commercial.

Nous allons d'abord modéliser le SIT 1,2 kV avec la structure montrée dans la Figure 4-10(a). C'est un SIT classique avec un canal uniformément dopé (N_{CH1}=N_{CH2}=N_{CH}). Le principe de fonctionnement de celui-ci est que le courant circule entre le drain et la source en passant par le substrat, la région de dérive et le

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

canal. La densité du courant est modulée par la tension grille-source. La résistance à l'état passant du composant est la somme des résistances de différentes régions. Ce SIT est appelé SIT1 par la suite.

Ensuite, nous allons présenter un deuxième SIT (SIT2) dont le dopage du canal comporte deux zones ($N_{CH1} < N_{CH2}$), montré dans la Figure 4-10 (b). Cette structure a été initialement conçue pour améliorer le courant de saturation [57]. Dans cette étude, nous allons montrer une autre propriété intéressante de cette structure. En effet, elle permet de moduler la tension de seuil (V_{TH}) ou le courant de saturation ($I_{DS,SAT}$) du composant, sachant que ces paramètres dépendent de la partie faiblement dopée du canal (N_{CH1}), sans influencer la résistance du composant [118]. Nous allons donc utiliser cette propriété dans cette étude afin de proposer un modèle du SIT dont la tenue en court-circuit est améliorée grâce à une diminution du courant de saturation.

D'après les photos MEB (Figure 4-9), nous connaissons les dimensions du canal du SIT 1,2 kV. Afin de simplifier l'étude, nous supposons le dopage ($6,5*10^{15}$ cm^{-3}) et l'épaisseur (10 µm) de la région de dérive du SIT1 correspondant au SIT 1,2 kV présenté par SemiSouth [57]. Cette configuration engendre une résistance spécifique de la région de dérive de 1,2 Ω.cm². Pour les JFETs en SiC, les dopages des grilles P^+ sont compris entre 10^{18} cm^{-3} et 10^{19} cm^{-3} [119]. On définit dans un premier temps le dopage P^+ égal à 10^{18} cm^{-3}. Le substrat est dopé à 10^{19} cm^{-3} et d'épaisseur 350 µm, ce qui est identique à celui du LV-JFET modélisé précédemment. Dans ce cas, il ne nous reste plus qu'à fixer le dopage du canal vertical du SIT1.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

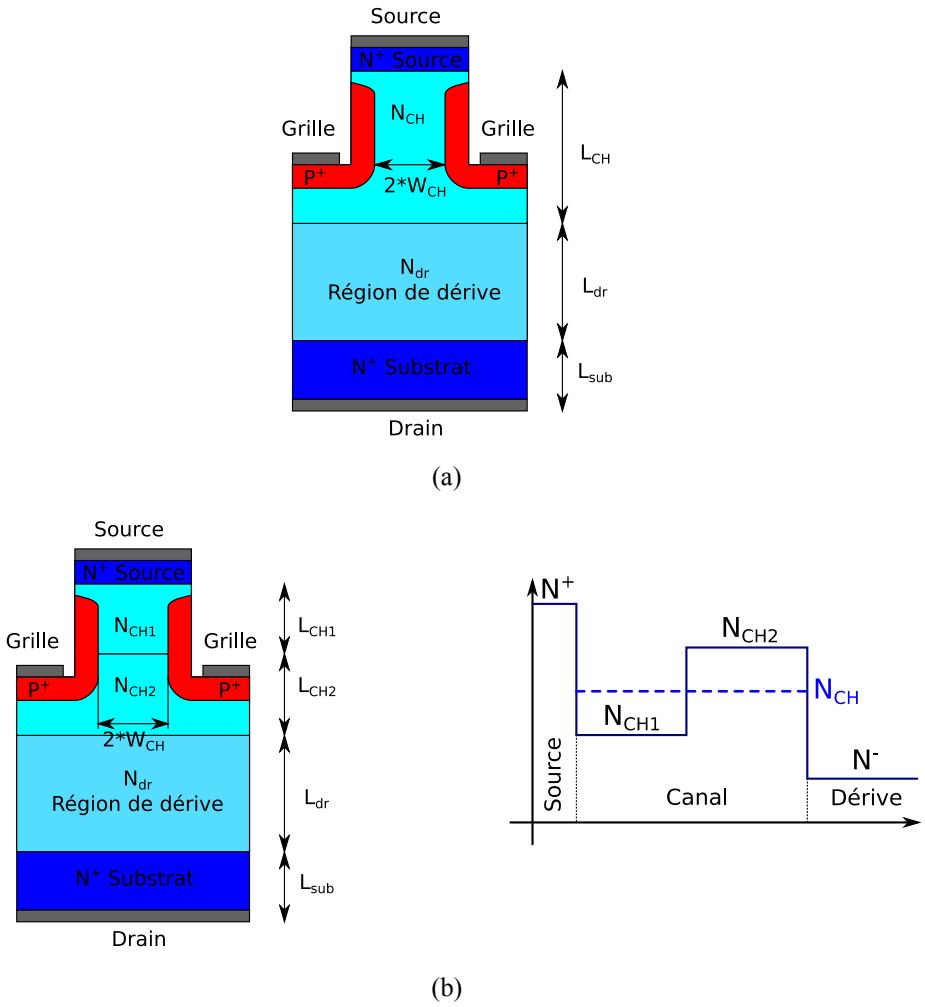


Figure 4-10 : (a)Vue en coupe du SIT classique avec le canal uniformément dopé. (b) Vue en coupe du SIT dont le dopage canal comporte deux zones et profil du dopage de ce canal (N_{CH1}<N_{CH2}).

4.4.2 Modélisation en utilisant SIT avec un canal uniformément dopé

Nous avons d'abord caractérisé le SIT 1,2 kV commercial afin d'obtenir la tension de seuil (V_{TH}), la résistance à l'état passant (R_{ON}) et le courant de saturation ($I_{DS,SAT}$) du composant. Les conditions de mesures et d'extraction pour les grandeurs électriques sont identiques à celles de la simulation. A 300 K, les valeurs de ces grandeurs sont données dans le Tableau 4-4. Elles sont présentées en comparaison avec les caractéristiques du LV-JFET 1,2 kV utilisé dans l'étude de court-circuit précédente (partie 4.3).

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Grandeur électrique	SIT commercial	LV-JFET Infineon	Conditions
R_{ON}	108 mΩ (4,2 mΩ.cm²)	333 mΩ (34 mΩ.cm²)	I_{DS} = 20 A, V_{GS} = 0 V
V_{TH}	-4,5 V	-12 V	V_{DS} = 10 mV, I_{DS} = 10 mA
$I_{DS,SAT}$	50 A	12 A	V_{GS} = 0 V, V_{DS} = 10 V

Tableau 4-4 : Caractéristiques statiques principales du SIT 1,2 kV mesurées en comparaison avec celles du LV-JFET 1,2 kV Infineon présenté dans l'étude précédente.

Nous remarquons que la valeur absolue de la tension de seuil du SIT est plus faible que celle du LV-JFET. Ceci est dû au fait que les deux implantations latérales du P^+ dans le canal du SIT sont polarisées par la grille, ce qui permet de déserter le canal plus rapidement pour une même tension. La résistance spécifique (mΩ.cm²) du SIT est 88% moins importante que celle du LV-JFET, ce qui confirme l'avantage de la structure SIT. Par conséquent, le courant de saturation du SIT est plus élevé que celui du LV-JFET.

Afin de retrouver le dopage du SIT1 (SIT avec canal uniformément dopé), il est important de connaître l'évolution des grandeurs électriques en fonction de ce paramètre. Nous allons présenter dans cette partie l'influence des paramètres du canal sur les grandeurs électriques d'un SIT avec le canal uniformément dopé.

Des simulations paramétriques sont mises en place en faisant varier la demi-largeur (W_{CH}) et le dopage (N_{CH}) du canal, et on mesure la résistance à l'état passant (R_{ON}) et la tension de seuil (V_{TH}) du SIT. Vu que le canal est vertical, nous négligeons la mobilité électronique horizontale du SiC-4H dans la simulation. L'alimentation électrique est définie en mode impulsionnel avec une durée d'impulsion de 50 µs. Ceci permet de comparer correctement la simulation avec la caractérisation effectuée sur le composant en tenant compte de l'auto-échauffement instantané.

La Figure 4-11 représente l'évolution de la résistance spécifique du SIT simulé en fonction du dopage et de largeur du canal. Les valeurs de ces deux paramètres sont choisies selon l'état de l'art actuel des procédés technologiques sur SiC-4H. La taille de la puce étant 4 mm ². La résistance à l'état passant est définie comme étant la résistance à 20% du courant de saturation pour une tension grille source nulle. De cette manière, la résistance des SITs normalement ouverts est considérée comme infinie. Donc seules les résistances du SIT normalement fermé sont représentées avec une valeur variant entre 3 et 9 mΩ.cm². Les lignes pointillées grises et la ligne rouge sont des iso-lignes pour la valeur de la résistance. Nous constatons que la résistance du SIT est plus sensible au dopage pour un canal étroit. Par exemple, pour une largeur W_{CH} égale à 0,5 µm, la résistance augmente de

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

2,2 mΩ.cm² si le dopage augmente de 10^{16} cm^{-3}. Pour une largeur W_{CH} égale à 0,7 µm, la résistance augmente seulement de 0,4 mΩ.cm² pour la même variation du dopage.

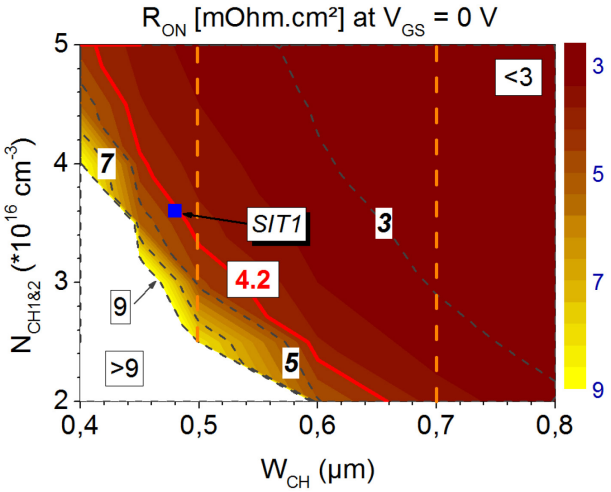


Figure 4-11 : Résistance spécifique à l'état passant (R_{ON}) du SIT avec le canal uniformément dopé (N_{CH1}=N_{CH2}=N_{CH}) en fonction de la largeur (W_{CH}) et du dopage ($N_{CH1\&2}$) du canal.

Nous avons fait les mêmes analyses sur l'évolution de la tension de seuil du SIT dont le résultat est représenté dans la Figure 4-12. Cette tension est extraite lorsque le courant drain-source est égal à 10 mA pour une tension drain-source égale à 10 mV. Contrairement à la résistance, la tension est plus sensible au dopage pour un canal large. Par exemple, pour une largeur W_{CH} égale à 0,5 µm, la valeur absolue de la tension de seuil augmente de 2 V si le dopage augmente de 10^{16} cm^{-3}. Et pour une largeur W_{CH} égale à 0,7 µm, la valeur absolue de la tension augmente de 4 V pour la même variation du dopage.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

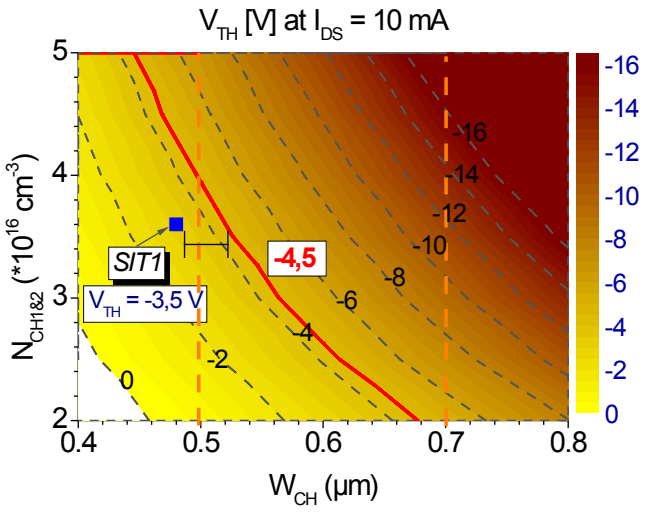


Figure 4-12 : Tension de seuil (V_{TH}) du SIT avec le canal uniformément dopé (N_{CH1}=N_{CH2}=N_{CH}) en fonction de la largeur (W_{CH}) et du dopage ($N_{CH1\&2}$) du canal.

De ces analyses, nous pouvons déduire le dopage du canal du SIT recherché selon sa résistance et sa tension de seuil mesurées en connaissant la résistance et la tension de seuil. Selon la Figure 4-11, pour une demi-larguer W_{CH} égale à 0,47 µm, le dopage nécessaire pour avoir une résistance spécifique de 4,2 mΩ.cm² est égal à $3{,}6*10^{16}$ cm^{-3}. Cependant, selon la Figure 4-12, ce dopage correspond à une tension de seuil égale à -3,5 V au lieu de -4,5 V, la valeur mesurée. Le dopage pour avoir la bonne tension est de $4{,}2*10^{16}$ cm^{-3}, ce qui engendre une résistance égale à 3,7 mΩ.cm². Cette résistance est plus faible que la valeur mesurée, ce qui résulte en un courant de saturation plus élevé pour le modèle. Ceci diminuerait la tenue en court-circuit du modèle pour une puissance dissipée instantanée plus importante. En fin de compte, le dopage à $3{,}6*10^{16}$ cm^{-3} est pris pour le modèle SIT1.

Ensuite, les caractéristiques de sortie du modèle SIT1 sont comparées avec celles des mesures dans la Figure 4-13. La limite de la zone linéaire est définie par la tension de saturation du canal (V_{CHSAT}) qui est la différence entre la tension grille source (V_{GS}) et la tension de seuil (V_{TH}) du composant [120]. La tension de saturation simulée est plus petite que celle de la mesure, car la tension V_{TH} simulée est de -3,5 V. La simulation correspond bien aux mesures dans la zone linéaire. Pour une tension grille source nulle, la simulation présente un courant de saturation plus élevé que celui des mesures (+16 %). Cette différence est due au fait que dans la zone saturée, le courant simulé augmente plus rapidement avec la tension drain source que le courant mesuré.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

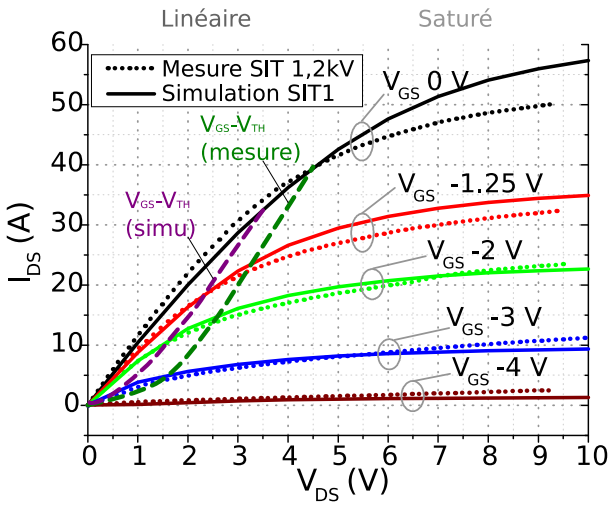


Figure 4-13 : Caractéristiques de sortie simulées du SIT avec canal uniformément dopé (SIT1) en comparaison avec les mesures du SIT 1,2 kV commercial.

D'après la littérature [121], le courant de saturation du canal (I_{CHSAT}) d'un SIT, qui est égal au courant de saturation drain source (I_{DSSAT}) donnée est calculé par :

$$I_{CHSAT} = \frac{V_p}{3R_{CH}}\left\{1 - 3\frac{V_{bi} - V_{GS}}{V_p} + 2\left(\frac{V_{bi} - V_{GS}}{V_p}\right)^{2/3}\right\} \times [1 + \lambda(V_{CH} - V_{CHSAT})] \quad (49)$$

Avec :

Symbole	Signification	Symbole	Signification
I_{CHSAT}	Courant de saturation du canal	V_{CH}	Chute de potentiel dans le canal
R_{CH}	Résistance du canal	V_{CHSAT}	Tension de saturation du canal
V_p	Tension de pincement	λ	Facteur de modulation du canal dans la zone saturée
V_{bi}	Tension de diffusion d'une jonction PN	R_{dr}	Résistance de la région de dérive
V_{GS}	Tension grille source		

Dans le cas idéal, le courant de saturation est indépendant de la tension drain source (V_{DS}). En réalité, à mesure que la tension V_{DS} augmente, le point où se produit le pincement du courant dans le canal se déplace légèrement en direction de la source. La longueur effective du canal se trouve réduite. Ce phénomène a été premièrement révélé dans les MOSFETs, connu sous le nom de modulation de la longueur de canal. Le terme $[1 + \lambda(V_{CH} - V_{CHSAT})]$ est donc ajouté dans l'expression

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

(49) pour modéliser l'effet de la tension drain source sur le courant de saturation, avec la tension V_{CH} calculée par :

$$V_{CH} = V_{DS} - I_{DS}R_{DR} \tag{50}$$

Sachant que la tension de saturation simulée est plus petite que celle de la mesure, pour une tension drain source donnée, la modulation de la longueur de canal du modèle SIT1 serait plus importante que celle du composant mesuré. Ceci engendrerait l'augmentation du courant de saturation avec la tension.

Rappelons que la tension de saturation du canal est exprimée par :

$$V_{CHSAT} = V_{GS} - V_{TH} = V_{GS} + (V_p - V_{bi}) \tag{51}$$

La tension de pincement (V_p) est exprimée par :

$$V_P = \frac{qN_{CH}W_{CH}^2}{2\varepsilon_{SiC}} \tag{52}$$

Un fort dopage du canal (N_{CH}) engendrerait une augmentation de la tension de pincement, ce qui résulterait en une augmentation de la tension de saturation. Le dopage du canal impacte également la tension de diffusion (V_{bi}) :

$$V_{bi} = \frac{kT}{q} ln\left(\frac{N_{CH}N_{P+}}{n_i^2}\right) \tag{53}$$

Toutefois, cette influence est beaucoup plus faible que celle sur la tension de pincement. Comme par exemple, pour un dopage de canal à $3{,}6*10^{16}$ cm^{-3}, la tension de diffusion du SIT est égale à 3,1 V, et la tension de pincement est égale à 7,4 V. Une augmentation de 10% pour le dopage engendre une augmentation de 1,3% pour la tension de diffusion et 11% d'augmentation pour la tension de pincement. Dans ce cas, l'influence du dopage de canal sur la tension de diffusion est donc négligeable.

4.4.3 Diminution du courant de saturation

4.4.3.1 Principe théorique

Des études récentes montrent qu'il est possible d'affecter le courant de saturation sans modifier la résistance à l'état passant d'un SIT en faisant un canal avec un dopage qui comporte deux zones [57], comme illustré dans la Figure 4-14.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

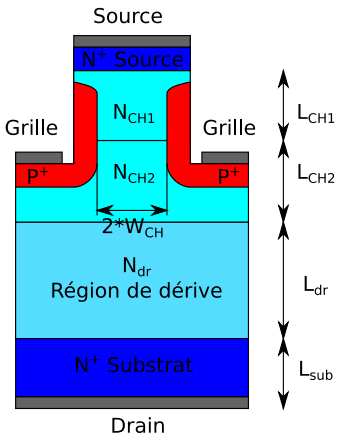


Figure 4-14 : Vue en coupe du SIT dont le dopage du canal comporte deux zones (N_{CH1}<N_{CH2}).

Ce nouveau SIT est appelé le SIT2. Son principe se résume en une résistance spécifique à l'état passant qui ne dépend que de la résistance spécifique du canal, puisque les autres paramètres du composant ne sont pas modifiés. Nous cherchons donc à avoir une égalité entre les résistances spécifiques du canal avant et après :

$$R_{CH1} + R_{CH2} = R_{CH} \tag{54}$$

Sachant que l'expression de la résistance spécifique dépend du dopage (N_d), de la mobilité électronique (μ) et de la longueur de la région (L) :

$$R = \frac{L}{\mu_n q N_d} \tag{55}$$

L'équation (54) peut se transformer en :

$$\frac{L_{CH1}}{\mu_{n,CH1} N_{CH1}} + \frac{L_{CH2}}{\mu_{n,CH2} N_{CH2}} = \frac{L_{CH}}{\mu_{n,CH} N_{CH}} \tag{56}$$

La longueur totale du canal est conservée, soit L_{CH1}+L_{CH2} = L_{CH}. On définit que les deux zones du canal ont la même longueur (L_{CH1}=L_{CH2}). En prenant N_{CH1} et N_{CH2} de manière à avoir des valeurs de mobilité proches, nous obtenons :

$$\mu_{n,CH1} \sim \mu_{n,CH2} \sim \mu_{n,CH} \tag{57}$$

L'équation (56) peut donc se simplifier à :

$$N_{CH} \sim \frac{2 \cdot N_{CH1} \cdot N_{CH2}}{(N_{CH1} + N_{CH2})} \tag{58}$$

En remplissant ces conditions, le changement de la résistance du SIT sera négligeable en remplaçant le canal uniformément dopé par un canal qui comporte

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

deux zones. Ensuite, nous allons voir comment diminuer le courant de saturation du SIT avec le dopage du canal.

Diminuer le courant de saturation d'un SIT consiste à rendre le courant de saturation drain source le plus constant possible, c'est-à-dire qu'il faut diminuer la modulation de la longueur de canal, présentée dans la partie précédente. Pour ce faire, il faut donc que le dopage de la zone faiblement dopée du canal (N_{CH1}) soit plus faible que le dopage du canal du SIT1 (N_{CH}), ce qui diminue la tension de pincement (V_p) pour cette zone.

4.4.3.2 Choix des dopages du canal

Nous allons utiliser la démarche décrite dans les paragraphes précédents pour proposer un modèle du SIT (SIT2) avec le dopage du canal non-uniforme dont :

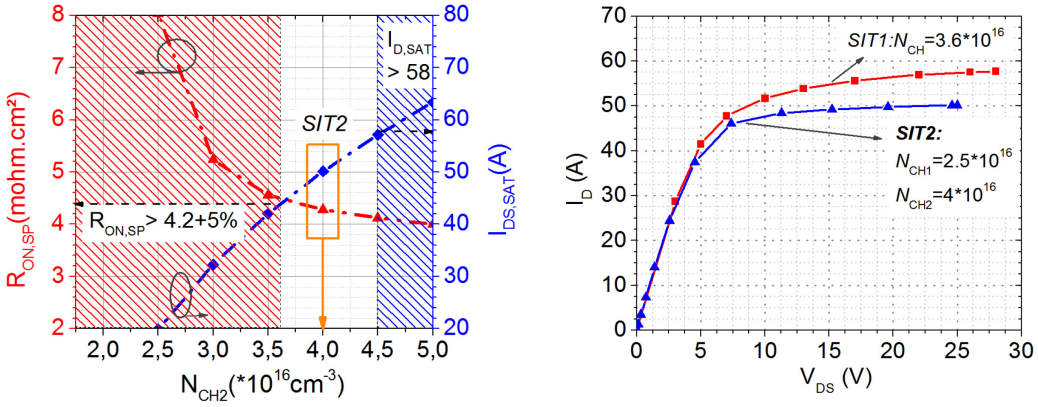
- le courant de saturation est plus faible que celui du SIT1 (SIT avec le dopage du canal uniforme modélisé dans la section 4.4.2).
- la résistance à l'état passant est identique à celle du SIT1.

Nous allons donc utiliser l'équation (58) pour estimer les dopages N_{CH1} et N_{CH2} du SIT2. Pour que le résultat soit valable, il faut respecter la condition des mobilités électroniques (équation (57)). La mobilité électronique du canal du SIT1 est de 620 $cm^{-2}(V.s)^{-1}$ pour un dopage de $3,6\times10^{16}$ cm^{-3}. On définit donc que la mobilité électronique de la zone faiblement dopée du canal du SIT2 (N_{CH1}) ne doit pas dépasser de 5% celle du canal du SIT1. Ceci fait que le dopage N_{CH1} varie entre $2,5\times10^{16}$ cm^{-3} et $3,6\times10^{16}$ cm^{-3} [16]. On fixe ensuite le dopage N_{CH1} à $2,5\times10^{16}$ cm^{-3} afin d'avoir une tension de pincement la plus faible possible. D'après l'équation (58), le dopage de la zone fortement dopée du canal du SIT2 (N_{CH2}) est égal à $6,4\times10^{16}$ cm^{-3}.

Pour valider le résultat théorique, des simulations paramétriques sont effectuées. Dans la simulation, nous avons toujours fixé la valeur N_{CH1} à $2,5*10^{16}$ cm^{-3}. Nous notons la résistance spécifique et le courant de saturation du SIT2 en faisant varier la valeur du N_{CH2}. Les autres paramètres géométriques et du dopage du SIT2 sont identiques à ceux de la structure du SIT1. L'évolution de la résistance spécifique à l'état passant ($R_{ON,SP}$) et celle du courant de saturation ($I_{D,SAT}$) sont représentées dans la Figure 4-15(a). Le dopage N_{CH2} varie entre $2,5*10^{16}$ cm^{-3} et $5*10^{16}$ cm^{-3}. La limite supérieure est inférieure à la valeur théorique du dopage N_{CH2} car on remarque que le courant de saturation du SIT2 dépasse celui du SIT1 qui est égal à 58 A pour $5*10^{16}$ cm^{-3}. La fenêtre blanche entre la zone rouge et la zone bleue cerne la valeur du dopage N_{CH2} qui permet d'avoir une résistance $R_{ON,SP}$ et un courant $I_{D,SAT}$ inférieur au celui du SIT1 (4,2 mΩ.cm², 58 A). La valeur du dopage correspondant est donc égale à 4×10^{16} cm^{-3}. Ce dopage est plus faible que celui du

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

calcul théorique ($6{,}4\times10^{16}$ cm^{-3}). En effet, dans le calcul théorique, l'influence du pincement de courant dans la zone fortement dopée du canal sur le courant de saturation n'est pas prise en compte.



(a) (b)

Figure 4-15 : (a) Résistance spécifique à l'état passant ($R_{ON,SP}$) et courant de saturation ($I_{D,SAT}$) du SIT2 en fonction du dopage N_{CH2} du canal. Le dopage N_{CH1} est fixé à $2{,}5*10^{16}$ cm^{-3}. (b) Comparaison des courants I_{DS} simulés pour V_{GS} = 0 V des SIT1 (canal uniformément dopé) et SIT2 (dopage du canal non-uniforme).

La Figure 4-15(b) compare les caractéristiques I_{DS}-V_{DS} simulée pour une tension grille source nulle du SIT1 et SIT2 à 300 K. La simulation est faite en mode pulsé avec une largeur d'impulsion de tension de 50 µs. L'effet de l'auto-échauffement du composant est pris en compte. Nous voyons que les deux courbes ont une bonne concordance dans la zone linéaire (V_{DS} < 4 V). Les deux SITs ont donc la même résistance à l'état passant. Ensuite, les deux courants commencent à saturer à partir d'une tension drain source (V_{DS}) égale à 7 V. Le courant du SIT1 continue à augmenter, tandis que celui du SIT2 reste presque constant. Pour une tension V_{DS} égale à 10 V, le courant I_{DS} du SIT2 est de 50 A, soit 13,8% moins élevé que celui du SIT1.

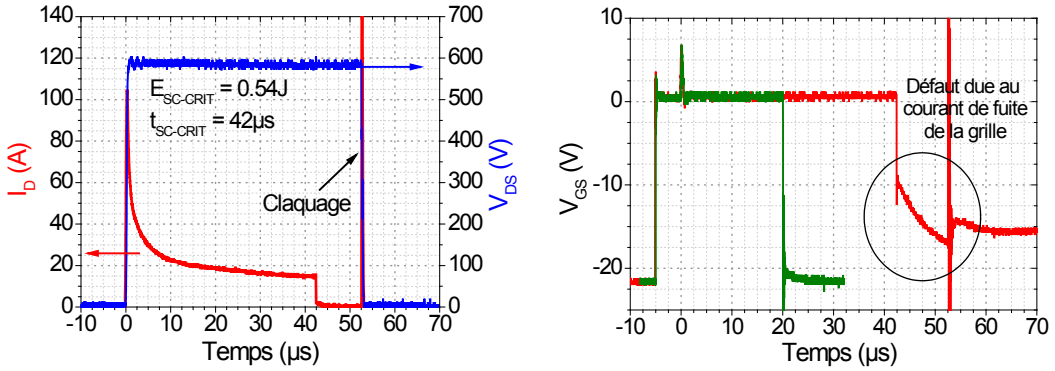
4.4.4 Amélioration de la tenue en court-circuit

Dans cette partie, nous allons comparer la tenue en court-circuit des deux modèles proposés, le SIT1 et le SIT2. La mesure en court-circuit du SIT 1,2 kV commercial est d'abord effectuée dans les mêmes conditions que celles pour le LV-JFET 1,2 kV. C'est-à-dire que la tension drain source (V_{DS}) est fixée à 600 V, et la tension grille source (V_{GS}) est nulle en régime de court-circuit. La durée de court-circuit est réglée par la largeur de l'impulsion de la tension V_{GS} qui varie entre 0 V et -22 V, tension inférieure à la tension de seuil. Cette durée augmente

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

progressivement lors de la mesure afin d'observer la variation des formes d'onde de la tension V_{GS}.

L'évolution du courant de drain (I_D) est montrée dans la Figure 4-16(a). Le courant mesuré atteint 105 A au début du test. Il redescend rapidement (t = 10 µs) à 20 A à cause de l'auto-échauffement. L'ouverture du composant dans cette mesure est effectuée au bout de 42 µs par la tension grille source. Dans un premier temps le courant I_D s'annule et la tension drain source (V_{DS}) se maintient à 600 V. C'est le comportement attendu. Mais un claquage est observé 10 µs après, accompagné par une augmentation forte du courant I_D et une chute rapide de tension V_{DS}. Le composant se retrouve à l'état passant. Ceci est dû à l'augmentation de la tension grille source (V_{GS}). La Figure 4-16(b) montre les formes d'onde de la tension grille source pour des durées de court-circuit égales à 20 µs et 42 µs. Au bout de 42 µs une variation est observée lors la descente de la tension V_{GS}, ce qui est traduit par l'apparition d'un courant de fuite de la grille [122]. Ce courant peut être causé par la haute température dans le canal, ce qui augmente le taux de génération dans la jonction PN. La tenue en court-circuit du composant (t_{SC}) est donc de 42 µs. Il a dissipé une énergie de 0,54 J, soit 13,5 J/cm².



(a) (b)

Figure 4-16 : (a) Évolution du courant drain-source du SIT 1,2 kV en régime de court-circuit (V_{DS} = 600 V). (b) Formes d'onde de la tension grille-source pour des durées de court-circuit égales à 20 µs et de 42 µs.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

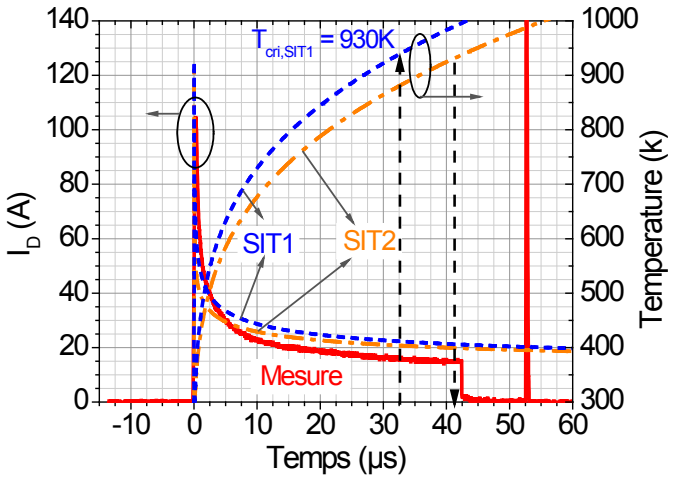


Figure 4-17 : Courants drain-source du SIT 1,2 kV (mesuré), des SIT1 et SIT2 (simulé) en court-circuit (V_{DS} = 600 V et V_{GS} = 0 V). L'évolution de la température maximale des SIT1 et SIT2 lors de l'opération sont également tracées.

Les caractéristiques des courants simulés du SIT1 et SIT2 en régime de court-circuit sont comparées avec la mesure dans la Figure 4-17. Les évolutions des températures maximales de ces deux composants sont également tracées. Les modèles thermiques utilisés dans la simulation sont tels que ceux qui sont décrits dans la section 4.2. Les courants simulés évoluent de façon similaire à la mesure. Le SIT1 étant le modèle du SIT mesuré, son courant de saturation atteint 125 A au début du régime. Ce résultat est 19% plus élevé que la mesure. Cet écart correspond à la différence de courant observée dans la modélisation (Figure 4-13). Malgré la différence de courant, nous considérons que le SIT1 donne une bonne approximation du SIT 1,2 kV mesuré. En revanche, à cause de cette différence, le critère de claquage du SIT1 est de dissiper la même qualité d'énergie que le SIT 1,2 kV, soit 0,54 J. La tenue en court-circuit du SIT1 est donc 32 µs, ce qui est 24% moins élevée que celle de la mesure. Selon la simulation, la température maximale du SIT1 à 32 µs est égale à 930 K. Cette température correspond au point d'ébullition de l'aluminium, soit la cause de défaillance conclue pour le LV-JFET dans la partie 4.3.

Les évolutions du courant et de la température au sein du SIT2 sont aussi représentées dans la Figure 4-17. Le pic du courant du SIT2 est de 115 A, soit 8% moins élevé que celui du SIT1. Dans la suite, le courant du SIT2 est toujours inférieur à celui du SIT1. Ceci engendre une puissance instantanée plus faible qui traverse le SIT2. Par ailleurs, sa température augmente moins rapidement que celle du SIT1. Le temps nécessaire pour le SIT2 d'arriver à la température critique (930 K) est de 42 µs, et l'énergie dissipée est de 0,61J, soit 13% plus élevée que

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

celle du SIT1. Le SIT2 présente donc une meilleure tenue en court-circuit que le SIT1.

Composant	Dopage du canal (cm^{-3})	Temps en court-circuit (µs)	Énergie dissipée (J)
SIT 1200 V commercial	Inconnu	42	0,54
SIT1	$N_{CH} = 3,6*10^{16}$	32	0,54
SIT2	$N_{CH1} = 2,5*10^{16}$ $N_{CH2} = 4*10^{16}$	42 (+31% que SIT1)	0,61

Tableau 4-5 : Tenue en court-circuit simulée et mesurée du SIT 1200 V.

La Tableau 4-5 récapitule les tenues en court-circuit du SIT 1200V commercial, du SIT1 et SIT2. Nous arrivons à la conclusion qu'on peut optimiser de manière indépendante le courant de saturation et la résistance à l'état passant du SIT.

4.5 Conclusion

Dans ce chapitre, nous avons étudié le temps maximal que les JFETs SiC peuvent tenir en court-circuit à l'aide de la simulation électrothermique. Deux types de JFET SiC-4H sont utilisés : le LV-JFET 1,2 kV et le SIT 1,2 kV. Les modèles physiques implémentés dans le simulateur sont d'abord révisés. Le choix des paramètres est précisément étudié afin de fournir un résultat de simulation le plus fiable possible.

L'étude sur le LV-JFET s'appuie sur la constatation des phénomènes physiques à l'intérieur du composant lors du court-circuit, notamment ceux qui dépendent de la température. Un point chaud a été identifié dans le canal, puisque la densité du courant à cet endroit est importante. Le mode de défaillance est la dégradation de la métallisation d'aluminium qui rend engendre une perte du contrôle de grille. Dans cette étude, le rôle thermique du substrat a été souligné. En fonction de la limite en température du composant, une épaisseur minimum du substrat doit être respectée, afin d'assurer la tenue en court-circuit du JFET.

L'étude sur le SIT est faite depuis autre angle. A part assurer la dimension du substrat, diminuer le courant de saturation permet également d'améliorer la tenue en court-circuit du composant. La structure simulée respecte la dimension d'un SIT commercial afin d'assurer la faisabilité technologique. Nous avons modélisé deux SITs : un premier SIT avec le dopage du canal uniforme et un deuxième SIT dont le dopage du canal est graduel. L'étude montre que le SIT avec le dopage du canal non-uniforme peut avoir un courant de saturation plus faible sans nuire à sa résistance à l'état passant. Les résultats de simulation ont démontré une

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

amélioration de la tenue en court-circuit de celui-ci de 31% par rapport au modèle initial.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

Conclusion générale et perspectives

L'ensemble de ces travaux de thèse consiste à proposer une démarche globale pour la réalisation et l'optimisation d'un JFET 3,3 kV en utilisant la technologie du carbure de silicium pour les applications électroniques de type onduleur. La mise en place d'une nouvelle filière de semi-conducteur n'est pas immédiate. En effet, la démarche de dessin des masques en accord avec la fabrication des composants en SiC n'est pas complètement maîtrisée aujourd'hui. Dans cette thèse, nous avons réussi à identifier les origines des défaillances des premiers démonstrateurs à l'aide de la modélisation, de la caractérisation et de la simulation TCAD.

La tension de claquage visée, 3,3 kV, est supérieure à celles des interrupteurs unipolaires disponibles commercialement. La conception d'un tel composant consiste donc à choisir en premier lieu une structure adéquate parmi les structures existantes et ensuite à adapter cette structure à notre objectif. Pour ce faire, nous avons analysé les trois structures qui ont permis la réalisation d'un interrupteur 1,2 kV pour la technologie SiC : le MOSFET, le JFET et le SIT, une variante du JFET. Au final, le choix de réaliser un JFET s'est fait en tenant compte de l'état d'avancement technologique sur l'oxyde de grille et des avantages fonctionnels de cette structure par rapport au SIT.

La structure du JFET réalisé a été conçue numériquement dans la thèse antérieure de M. F. Chevalier. La principale nouveauté est la réalisation de deux grilles : une grille par un contact Schottky en surface et une deuxième par les caissons P^+ enterrés. Par rapport au JFET existant, l'intérêt de cette double-grille est de diminuer la valeur absolue de la tension de seuil du composant (-50%) et de réduire les courants de fuite drain source.

Avant la fabrication, il est important de connaitre l'impact des paramètres de conception sur les caractéristiques électriques du composant. Cette information est primordiale non seulement pour optimiser ses performances, mais aussi pour identifier les origines de défaillance en cas du dysfonctionnement après la fabrication. Pour compléter les simulations effectuées dans la thèse précédente, on a modifié les modèles existants pour la tension de seuil, la résistance à l'état passant et la transconductance, pour que ceux-ci soit adaptés à notre JFET.

Les premiers démonstrateurs étant réalisés, leurs performances n'atteignent pas les spécifications, notamment en termes de tenue en tension. Selon les modes de défaillances, des hypothèses sont formulées, en se focalisant sur la qualité de l'oxyde de passivation, le désalignement de masque, la qualité de gravure et l'efficacité de la terminaison. À l'aide de la simulation et des moyens techniques d'analyse (MEB, FTIR…), nous avons pu vérifier certaines d'entre elles et donc les corriger. En revanche, des motifs de test supplémentaires sont nécessaires afin de

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

vérifier les autres hypothèses, ce qui nous ramène à proposer un nouveau jeu de masque.

Dans le nouveau jeu de masque, à l'exception des nouveaux motifs de test ajoutés, nous avons également cherché à optimiser la densité de cellule des JFETs et à améliorer leur robustesse vis-à-vis des variations de gravure. Les points faibles dans le premier masque étant pris en compte, la terminaison des nouveaux composants est connectée au même potentiel que la grille, ce qui évite le claquage prématuré. Grâce à ces mesures, la tenue en tension des JFETs de test atteint la spécification. Néanmoins, le faible rendement des JFETs fonctionnels, la basse tension de claquage des JFETs de grande surface demeurent des problèmes à résoudre dans les futurs travaux.

Nous nous sommes intéressés finalement à la robustesse du JFET SiC en régime de court-circuit, un risque important pour les interrupteurs normalement fermés dans l'application onduleur. Pour cela, nous avons mesuré des composants en court-circuit, et ensuite étudié leurs modes de défaillances au sein de la structure par simulation électrothermique. Cependant, à cause de l'absence de JFETs 3,3kV fonctionnel et packagé, cette expérience a été effectuée sur des composants commerciaux afin de valider la méthode. Des modèles physiques précis sont développés dans cette étude, ce qui a permis d'obtenir une vision de l'évolution de la température au sein des structures. Un point chaud a ainsi été identifié dans le canal des interrupteurs, où la densité du courant est la plus importante. L'augmentation de la température du composant dégrade rapidement la métallisation de la source, ce qui engendre la défaillance. Deux méthodes se sont révélées être en mesure d'augmenter le temps maximal que le composant pourrait supporter dans ce régime : l'augmentation de l'épaisseur du substrat et la diminution du courant de saturation. Les modèles développés ainsi que les conclusions tirées seront aussi valables pour notre JFET.

Les résultats obtenus sont encourageants, car on peut prévoir les difficultés lors de la réalisation d'un composant SiC haute tension et réaliser la conception d'une manière à éviter leurs impacts. La structure étant validée, le manque d'homogénéité technologique est à l'origine du faible rendement des gros JFET fonctionnels. Dans les travaux futurs, il sera donc nécessaire de proposer plusieurs dimensions du JFET afin de déterminer la surface maximale permettant d'obtenir le meilleur rendement. Un compromis sera ensuite envisagé entre la capacité en courant de la puce et le rendement. Dans ce cas, il sera également nécessaire d'étudier la faisabilité de la mise en parallèle de plusieurs JFETs.

Avec les composants fonctionnels, il sera intéressant de mesurer leur temps maximal de tenu en court-circuit. On pourra alors identifier les origines des défaillances avec la simulation électrothermique sur la base des modèles physiques

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

validés. Cette étude permettra les futures optimisations de la structure, ce qui la rendra plus appropriée pour l'application visée.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

5 Bibliographie

[1] B. J. Baliga, “Evolution of MOS-bipolar power semiconductor technology,” *Proc. IEEE*, vol. 76, no. 4, pp. 409–418, 1988.

[2] B. J. Baliga, “Semiconductors for high-voltage, vertical channel field-effect transistors,” *J. Appl. Phys.*, vol. 53, no. 3, p. 1759, Mar. 1982.

[3] D. Sadik, J. Lim, P. Ranstad, and H. Nee, “Investigation of Long-term Parameter Variations of SiC Power MOSFETs Keywords.”

[4] N. Kuroda, K. Shibahara, W. S. Yoo, S. Nishino, and H. Matsunami, “Step-controlled VPE growth of SiC single crystals at low temperatures,” in *Extended abstracts of the 19th conference on Solid State Devices and Materials*, 1987.

[5] T. P. Chow and R. Tyagi, “Wide bandgap compound semiconductors for superior high-voltage\npower devices,” *[1993] Proc. 5th Int. Symp. Power Semicond. Devices ICs*, vol. 41, no. 8, pp. 1993–1995, 1993.

[6] M. Bhatnagar and B. J. Baliga, “Comparison of 6H-SiC, 3C-SiC, and Si for power devices,” *IEEE Trans. Electron Devices*, vol. 40, no. 3, pp. 645–655, 1993.

[7] M. Bhatnagar, “Silicon-carbide high-voltage (400 V) Schottky barrier diodes,” *Electron Device Lett. IEEE*, vol. 13, no. 10, pp. 501–503, 1992.

[8] P. Friedrichs, “Technological challenges for manufacturing power devices in SiC,” *Proc. CS MANTECH Conf.*, pp. 221–224, 2007.

[9] T. Kimoto, H. Yoshioka, and T. Nakamura, “Physics of SiC MOS interface and development of trench MOSFETs,” *1st IEEE Work. Wide Bandgap Power Devices Appl. WiPDA 2013 - Proc.*, pp. 135–138, 2013.

[10] S. Tanimoto and H. Ohashi, “Reliability issues of SiC power MOSFETs towards high junction temperature operation,” *pssa*, vol. 2430, no. 10, pp. 2417–2430, 2009.

[11] R. Ouaida, “Vieillissement et mécanismes de dégradation sur des composants de puissance en carbure de silicium (SIC) pour des applications haute température,” *Thesis*, 2014.

[12] P. Friednchs, H. Mitlehner, K. O. Dohnke, D. Peters, R. Schorner, U. Weinert, E. Baudelot, and D. Stephani, “Switching Applications with low on-reisistance for fast switching applications,” pp. 3–6.

[13] P. Friedrichs, H. Mitlehner, R. Kaltschmidt, U. Weinert, W. Bartsch, C. Hecht, K.-O. Dohnke, B. Weis, and D. Stephani, “Static and Dynamic Characteristics of 4H-SiC JFETs Designed for Different Blocking Categories,” *Mater. Sci. Forum*, vol. 338–342, pp. 1243–1246, 2000.

[14] A. Bhalla, X. Li, P. Alexandrov, and J. C. Dries, “The outlook for SiC vertical JFET technology,” *1st IEEE Work. Wide Bandgap Power Devices Appl. WiPDA 2013 - Proc.*, pp. 40–43, 2013.

[15] B. J. Baliga, *Fundamentals of Power Semiconductor Devices*, vol. 26, no. 4. 2013.

[16] C. Raynaud, “Propriétés physiques et électroniques du carbure de silicium (SiC),” *Tech. l’ingénieur*, vol. tome D3119, no. 0, p. 14, 2007.

[17] G. Ziegler, P. Lanig, D. Theis, and C. Weyrich, “Single Crystal Growth of SiC Substrate Material for Blue Light Emitting Diodes,” *IEEE Trans. Ind. Appl.*, vol. ED30, no. 4, pp. 277–281, 1983.

[18] A. Henry, X. Li, H. Jacobson, S. Andersson, A. Boulle, D. Chaussende, and E. Janzén, “3C-SiC Heteroepitaxy on Hexagonal SiC Substrates,” *Mater. Sci. Forum*,

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

vol. 740–742, pp. 257–262, Jan. 2013.
[19] M. Roschke and F. Schwierz, “Electron mobility models for 4H, 6H, and 3C SiC,” *IEEE Trans. Electron Devices*, vol. 48, no. 7, pp. 1442–1447, 2001.
[20] E. Johnson, “Physical limitations on frequency and power parameters of transistors,” in *IRE International Convention Record*, 1965, vol. 13, pp. 27–34.
[21] R. W. Keyes, “Figure of merit for semiconductors for high-speed switches,” *Proc. IEEE*, vol. 60, no. 2, pp. 225–225, 1972.
[22] B. J. Baliga, “Power semiconductor device figure of merit for high-frequency\napplications,” *IEEE Electron Device Lett.*, vol. 10, no. 10, pp. 455–457, 1989.
[23] S. Sundaresan, “Fulfilling the promise of high temperature operation with silicon carbide devices,” *IEEE power Electron. Mag.*, no. March, pp. 27–35, 2015.
[24] T. Iwasaki, J. Yaita, H. Kato, T. Makino, M. Ogura, D. Takeuchi, H. Okushi, S. Yamasaki, and M. Hatano, “600 v Diamond junction field-effect transistors operated at 200° C,” *IEEE Electron Device Lett.*, vol. 35, no. 2, pp. 241–243, 2014.
[25] T. Makino, S. Tanimoto, H. Kato, N. Tokuda, M. Ogura, D. Takeuchi, K. Oyama, H. Ohashi, H. Okushi, and S. Yamasaki, “Diamond Schottky p-n diode with high forward current density and fast switching operation,” *Phys. Status Solidi Appl. Mater. Sci.*, vol. 206, no. 9, pp. 2086–2090, 2009.
[26] J. Millan, P. Godignon, X. Perpinya, A. Perez-Tomas, and J. Rebollo, “A survey of wide band gap power semiconductor devices,” *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2155–2163, 2013.
[27] H. A. Mantooth, M. D. Glover, and P. Shepherd, “Wide Bandgap Technologies and Their Implications on Miniaturizing Power Electronic Systems,” *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 6777, no. c, p. 1, 2014.
[28] M. Rodriguez, Y. Zhang, and D. Maksimovic, “High-frequency PWM buck converters using GaN-on-SiC HEMTs,” *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2462–2473, 2014.
[29] Cree, “Cree Silicon Carbide Substrates and Epitaxy,” *CREE Power Prod.*, 2014.
[30] Transphorm, “Datasheet, TPH3207WS,” no. V, pp. 1–8, 2015.
[31] D. SemiSouth, “Datasheet SJEP120R125,” no. May, pp. 1–7, 2009.
[32] J. B. Casady, D. C. Sheridan, A. Ritenour, V. Bondarenko, and R. Kelley, “High Temperature Performance of Normally-off SiC JFET’s Compared to Competing Approaches,” *Addit. Conf. (Device Packag. HiTEC, HiTEN, CICMT)*, vol. 2010, no. HITEC, pp. 000152–000159, Jan. 2010.
[33] K. Haehre, M. Meisser, F. Denk, and R. Kling, “Characterization and comparison of commercially available silicon carbide (SIC) power switches,” *Power Electron. Mach. Drives (PEMD 2012), 6th IET Int. Conf.*, vol. 63, pp. 1–6, 2012.
[34] D. SemiSouth, “Datasheet SJEP120R063,” no. February, pp. 1–7, 2009.
[35] D. SemiSouth, “Datasheet SJEP120R100,” no. February, pp. 1–8, 2011.
[36] C. DiMarino, Z. Chen, D. Boroyevich, R. Burgos, and P. Mattavelli, “Characterization and comparison of 1 . 2 kV SiC power semiconductor devices,” *Power Electron. Appl.*, p. 1, 2013.
[37] D. SemiSouth, “Datasheet SJDP120R085,” no. May, pp. 1–7, 2011.
[38] D. SemiSouth, “Datasheet SJDP120R045,” *Current*, no. May, pp. 1–6, 2011.
[39] CREE, “Datasheet CMF20120D,” pp. 1–8, 2012.
[40] R. Pratap, R. K. Singh, and V. Agarwal, “SPICE model development for SiC power MOSFET,” *2012 IEEE Int. Conf. Power Electron. Drives Energy Syst.*, pp.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

1–5, 2012.
[41] K. Peng and E. Santi, “Performance projection and scalable loss model of SiC MOSFETs and SiC Schottky diodes,” *2015 IEEE Electr. Sh. Technol. Symp. ESTS 2015*, pp. 281–286, 2015.
[42] C. Dimarino, V. Tech, and B. Hull, “Characterization and Prediction of the Avalanche Performance of 1 . 2 kV SiC MOSFETs,” pp. 263–267, 2015.
[43] CREE, “Datasheet C2M0025120D,” pp. 1–10, 2015.
[44] CREE, “Datasheet C2M0040120D,” pp. 1–10, 2015.
[45] CREE, “Datasheet C2M0080120D,” pp. 1–10, 2015.
[46] CREE, “Datasheet C2M0160120D,” pp. 1–10, 2015.
[47] CREE, “Datasheet C2M0280120D,” pp. 1–10, 2015.
[48] C. M. Dimarino, “High Temperature Characterization and Analysis of Silicon Carbide (SiC) Power Semiconductor Transistors,” *thes*, 2014.
[49] Infineon, “Datasheet IJW120R070T1,” pp. 1–20, 2013.
[50] Infineon, “Datasheet IJW120R100T1,” pp. 1–20, 2013.
[51] USCi, “Datasheet UJN1205K Die,” no. 2, pp. 1–8.
[52] USCi, “Datasheet UJN1208Z Die,” pp. 1–7.
[53] Rohm, “Datasheet SCH2080KE,” pp. 1–13, 2012.
[54] Rohm, “Datasheet SCT2160KE,” pp. 1–14, 2013.
[55] R. Co, “New Products Under Development 3 rd Gen SiC MOSFET Schematic Cross Section of SiC Trench MOSFET Ordinary designed trench MOSFET,” 2014.
[56] S. Round, M. Heldwein, J. Kolar, I. Hofsajer, and P. Friedrichs, “A SiC JFET driver for a 5 kW, 150 kHz three-phase PWM converter,” in *Fourtieth IAS Annual Meeting. Conference Record of the 2005 Industry Applications Conference, 2005.*, 2005, vol. 1, pp. 410–416.
[57] A. Ritenour, D. C. Sheridan, V. Bondarenko, and J. B. Casady, “Saturation current improvement in 1200 V normally-off SiC VJFETs using non-uniform channel doping,” *Power Semicond. Devices & IC’s (ISPSD), 2010 22nd Int. Symp.*, pp. 361–364, 2010.
[58] J. K. Lim, D. Peftitsis, J. Rabkowski, M. Bakowski, and H. P. Nee, “Analysis and experimental verification of the influence of fabrication process tolerances and circuit parasitics on transient current sharing of parallel-connected SiC JFETs,” *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2180–2191, 2014.
[59] L. J. Edgar, “Method and apparatus for controlling electric currents,” *Google Patents*, 1930.
[60] O. Stuetzer, “Junction Fieldistors,” *Proc. IRE*, vol. 40, no. 11, pp. 1377–1381, 1952.
[61] W. Shockley, “A unipolar field-effect transistor,” *Proc. IRE*, vol. 40, no. 11, pp. 1365–1376, 1952.
[62] J. Nishizawa, T. Terasaki, and J. Shibata, “Field-Effect Transistor Versus Analog Transistor (Static Induction Transistor),” *IEEE Trans. Electron Devices*, vol. 22, no. 4, pp. 185–197, 1975.
[63] K. E. N. Yamaguchi and H. Kodera, “Optimum Design of Triode-Like JFET’s,” no. 8, pp. 1061–1069, 1977.
[64] J. Zhao, “Power junction field effect power transistor with highly vertical channel and uniform channel opening.” 2007.
[65] I. Sankin, D. C. Sheridan, W. Draper, V. Bondarenko, R. Kelley, M. S. Mazzola, and J. B. Casady, “Normally-off SiC VJFETs for 800 V and 1200 V power

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

switching applications," *Proc. Int. Symp. Power Semicond. Devices ICs*, pp. 260–262, 2009.

[66] P. Alexandrov, L. Fursin, X. Li, C. Dries, and S. C. I. . (United, "Development of SiC Power Switches for Power Converters and Solid-State Disconnects," *ISiCPEAW2011*, 2011.

[67] J. H. Zhao, P. Alexandrov, J. Zhang, and X. Li, "Fabrication and Characterization of 11-kV Normally Off 4H-SiC Trenched-and-Implanted Vertical Junction FET," *IEEE Electron Device Lett.*, vol. 25, no. 7, pp. 474–476, Jul. 2004.

[68] P. Bhatnagar, A. B. Horsfall, N. G. Wright, C. M. Johnson, K. V. Vassilevski, and A. G. O'Neill, "Optimisation of a 4H-SiC enhancement mode power JFET for high temperature operation," *Solid. State. Electron.*, vol. 49, no. 3, pp. 453–458, 2005.

[69] Y. Li, P. Alexandrov, and J. H. Zhao, "1.88 mOhm cm2 1650-V Normally on 4H-SiC TI-VJFET," *IEEE Trans. Electron Devices*, vol. 55, no. 8, pp. 1880–1886, Aug. 2008.

[70] J. L. Hostetler, P. Alexandrov, X. Li, L. Fursin, and A. Bhalla, "6 . 5 kV SiC Normally-Off JFETs – Technology Status," pp. 3–6, 2014.

[71] M. Treu, R. Rupp, P. Blaschitz, K. Ruschenschmidt, T. Sekinger, P. Friedrichs, R. Elpelt, and D. Peters, "Strategic Considerations for Unipolar SiC Switch Options: JFET vs. MOSFET," *2007 IEEE Ind. Appl. Annu. Meet.*, pp. 324–330, 2007.

[72] H. Sheng, Z. Chen, F. Wang, and A. Millner, "Investigation of 1.2 kV SiC MOSFET for high frequency high power applications," *Conf. Proc. - IEEE Appl. Power Electron. Conf. Expo. - APEC*, pp. 1572–1577, 2010.

[73] A. ORELLANA and B. PIEPENBREIER, "Fast gate drive for SiC-JFET using a conventional driver for MOSFETs and additional protections."

[74] X. Huang, G. Wang, Y. Li, A. Q. Huang, and B. J. Baliga, "Short-circuit capability of 1200V SiC MOSFET and JFET for fault protection," in *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2013, pp. 197–200.

[75] R. Co, "SiC power devices Catalog," *III-Nitride, SiC, Diam. Mater. Electron. Devices*, vol. 2, 2012.

[76] Rohm, "SiC Products," *Tech. Rep.*, 2012.

[77] T. Nakamura, Y. Nakano, M. Aketa, R. Nakamura, S. Mitani, H. Sakairi, and Y. Yokotsuji, "High performance SiC trench devices with ultra-low ron," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, no. 75, pp. 599–601, 2011.

[78] D. P. Ettisserry, N. Goldsman, A. Akturk, and A. J. Lelis, "Structure, bonding, and passivation of single carbon-related oxide hole traps near 4H-SiC/SiO2 interfaces," *J. Appl. Phys.*, vol. 116, no. 17, p. 174502, 2014.

[79] L. A. Lipkin, M. K. Das, and J. W. Palmour, "N2O Processing Improves the 4H-SiC:SiO2 Interface," *Mater. Sci. Forum*, vol. 389–393, pp. 985–988, 2002.

[80] P. Jamet, S. Dimitrijev, and P. Tanner, "Effects of nitridation in gate oxides grown on 4H-SiC," *J. Appl. Phys.*, vol. 90, no. 10, pp. 5058–5063, 2001.

[81] G. Kampitsis, S. Papathanassiou, and S. Manias, "Comparative evaluation of the short-circuit withstand capability of 1.2kV silicon carbide (SiC) power transistors in real life applications," *Microelectron. Reliab.*, vol. 55, no. 12, pp. 2640–2646, 2015.

[82] B. Hull, S. Allen, Q. Zhang, D. Gajewski, V. Pala, J. Richmond, S. Ryu, M. O. Loughlin, E. Vanbrunt, L. Cheng, A. Burk, J. Casady, D. Grider, and J. Palmour, "Reliability and stability of SiC power MOSFETs and Next-Generation SiC

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

MOSFETs," pp. 139–142, 2014.
[83] H. Mitlehner, W. Bartsch, K. O. Dohnke, P. Friedrichs, R. Kaltschmidt, U. Weinert, B. Weis, and D. Stephani, "Dynamic characteristics of high voltage 4H-SiC vertical JFETs," *11th Int. Symp. Power Semicond. Devices ICs. ISPSD'99 Proc. (Cat. No.99CH36312)*, pp. 339–342, 1999.
[84] P. Friedrichs, H. Mitlehner, K. O. Dohnke, D. Peters, R. Schorner, U. Weinert, E. Baudelot, and D. Stephani, "SiC power devices with low on-resistance for fast switching applications," in *12th International Symposium on Power Semiconductor Devices & ICs. Proceedings (Cat. No.00CH37094)*, pp. 213–216.
[85] R. Siemieniec, U. Kirchner, and A.- Villach, "The 1200V Direct-Driven SiC JFET power switch Keywords Device and Driver Concept Overview on active SiC power device concepts," pp. 1–10, 2011.
[86] B. J. Baliga, "Modern power devices," Jan. 1987.
[87] J.-K. Lim and M. Bakowski, "Analysis of 1.2 kV SiC buried-grid VJFETs," *Phys. Scr.*, vol. T141, p. 14008, 2010.
[88] J. Lim, *Simulation and Electrical Evaluation of 4H-SiC Junction Field Effect Transistors and Junction Barrier Schottky Diodes with Buried Grids*. 2015.
[89] A. Grekov, Zhiyang Chen, E. Santi, J. Hudgins, A. Mantooth, D. Sheridan, and J. Casady, "Parameter extraction procedure for high power SiC JFET," in *2009 IEEE Energy Conversion Congress and Exposition*, 2009, pp. 1466–1471.
[90] J.-K. Lim, "Simulation and Electrical Evaluation of 4H-SiC Junction Field Effect Transistors and Junction Barrier Schottky Diodes with Buried Grids," 2015.
[91] M. Berthou, "Implementation of High Voltage Silicon Carbide Rectifiers and Switches," 2012.
[92] F. Chevalier, "Conception, fabrication et caractérisation de transistors à effet de champ haute tension en carbure de silicium et de leur diode associée," 2012.
[93] S. Ferrero, A. Albonico, U. M. Meotto, G. Rombolà, S. Porro, F. Giorgis, D. Perrone, L. Scaltrito, E. Bontempi, L. E. Depero, G. Richieri, and L. Merlin, "Phase formation at rapid thermal annealing of nickel contacts on C-face n-type 4H-SiC," *Mater. Sci. Forum*, vol. 483–485, pp. 733–736, 2005.
[94] J. H. Werner and H. H. Güttler, "Barrier inhomogeneities at Schottky contacts," *J. Appl. Phys.*, vol. 69, no. 3, pp. 1522–1533, 1991.
[95] R. Rupp, R. Gerlach, A. Kabakow, R. Schorner, C. Hecht, R. Elpelt, and M. Draghici, "Avalanche behaviour and its temperature dependence of commercial SiC MPS diodes: Influence of design and voltage class," in *2014 IEEE 26th International Symposium on Power Semiconductor Devices & IC's (ISPSD)*, 2014, pp. 67–70.
[96] A. O. Konstantinov, Q. Wahab, N. Nordell, and U. Lindefelt, "Ionization rates and critical fields in 4H SiC junction devices," in *Materials Science Forum*, 1998, vol. 264, pp. 513–516.
[97] D. W. Widmann, "Metallization for integrated circuits using a lift-off technique," *IEEE J. Solid-State Circuits*, vol. 11, no. 4, pp. 466–471, 1976.
[98] S. Middelhoek, "Metallization Processes in Fabrication of Schottky-barrier FET's," *IBM Journal of Research and Development*, vol. 14, no. 2. pp. 148–151, 1970.
[99] J. H. Zhao, P. Alexandrov, and X. Li, "Demonstration of the first 10-kV 4H-SiC Schottky barrier diodes," *IEEE Electron Device Lett.*, vol. 24, no. 6, pp. 402–404, 2003.
[100] K. J. Schoen, J. M. Woodall, J. A. Cooper, and M. R. Melloch, "Design

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

considerations and experimental analysis of high-voltage SiC Schottky barrier rectifiers," *IEEE Trans. Electron Devices*, vol. 45, no. 7, pp. 1595–1604, 1998.

[101] V. Saxena, J. Nong, and A. J. Steckl, "High-Voltage Ni- And Pt-SiC Schottky Diodes Utilizing Metal Field Plate Termination," *IEEE Trans. Electron Devices*, vol. 46, no. 3, pp. 456–464, 1999.

[102] D. M. Nguyen, R. Huang, L. V. Phung, D. Planson, M. Berthou, P. Godignon, B. Vergne, and P. Brosselard, "Edge Termination Design Improvements for 10 kV 4H-SiC Bipolar Diodes," *Mater. Sci. Forum*, vol. 740–742, pp. 609–612, 2013.

[103] L. Dupont, J. L. Blanchard, R. Lallemand, G. Coquery, J. M. Morelle, G. Blondel, and B. Rouleau, "Experimental and numerical results correlation during extreme use of power MOSFET designed for avalanche functional mode," *Microelectron. Reliab.*, vol. 50, no. 9–11, pp. 1804–1809, 2010.

[104] C. Buttay, T. Ben Salah, D. Bergogne, B. Allard, H. Morel, and J. P. Chante, "Avalanche behavior of low-voltage power MOSFETs," *IEEE Power Electron. Lett.*, vol. 2, no. 3, pp. 104–107, 2004.

[105] S. Simon and N. Kwok, "Physics of Semiconductor Devices," *Electronics and Power*, vol. 16, no. 1. p. 811, 1970.

[106] E. ILHAM, "Analyse des défauts et des propriétés électroniques du SiC-4H par voie optique," p. 2004, 2004.

[107] G. K. Wachutka, "Rigorous thermodynamic treatment of heat generation and conduction\nin semiconductor device modeling," *IEEE Trans. Comput. Des. Integr. Circuits Syst.*, vol. 9, no. 11, pp. 1141–1149, 1990.

[108] Y. Touloukian, R. Powell, C. Ho, and M. Nicolaou, "Thermal Diffusivity," *TPRC Data Ser.*, vol. 1, 1974.

[109] E. A. Burgemeister, W. Von Muench, and E. Pettenpaul, "Thermal conductivity and electrical properties of 6H silicon carbide," *Journal of Applied Physics*, vol. 50, no. 9. pp. 5790–5794, 1979.

[110] M. Ruff, H. Mitlehner, and R. Helbig, "SiC devices: Physics and numerical simulation," *IEEE Trans. Electron Devices*, vol. 41, no. 6, pp. 1040–1054, 1994.

[111] A. Galeskas, J. L. SiCros, V. Grivickas, U. Lindefelt, and C. Hallin, "Proceedings of the 7th International Conference on SiC, III-Nitrides and Related Materials," *Stock. Sweden*, pp. 533–536, 1997.

[112] N. Boughrara, S. Moumen, S. Lefebvre, Z. Khatir, P. Friedrichs, and J.-C. Faugieres, "Robustness of SiC JFET in Short-Circuit Modes," *IEEE Electron Device Lett.*, vol. 30, no. 1, pp. 51–53, Jan. 2009.

[113] M. Berkani, S. Lefebvre, N. Boughrara, Z. Khatir, J. C. Faugières, P. Friedrichs, and A. Haddouche, "Estimation of SiC JFET temperature during short-circuit operations," *Microelectron. Reliab.*, vol. 49, no. 9–11, pp. 1358–1362, 2009.

[114] N. Carolina, "Short-Circuit Capability of 1200V SiC MOSFET and JFET for Fault Protection," *Appl. Power Electron. Conf. Expo. (APEC), 2013 Twenty-Eighth Annu. IEEE*, pp. 197–200, 2013.

[115] M. Bouarroudj-Berkani, S. Lefebvre, D. Othman, S. M. Sabrine, Z. Khatir, and T. Ben Salah, "Failure modes and robustness of SiC JFET transistors under current limiting operations," *Proc. 2011 14th Eur. Conf. Power Electron. Appl.*, pp. 1–10, 2011.

[116] N. Kaminski and O. Hilt, "SiC and GaN devices – wide bandgap is not all the same," *IET Circuits, Devices Syst.*, vol. 8, no. 3, pp. 227–236, May 2014.

[117] J. H. Zhao and N. Brunswick, "Power junction field effect power transistor with highly vertical channel and uniform channel opening," 2007.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés

[118] S. Q. Niu, M. Berthou, and D. Tournier, “Design Impact on the Static and Short-Circuit Characteristics of SiC-SIT with Non-Uniformly Doped Channel,” *Mater. Sci. Forum*, vol. 858, pp. 925–928, May 2016.

[119] R. K. Malhan, S. J. Rashid, M. Kataoka, Y. Takeuchi, N. Sugiyama, F. Udrea, G. A. J. Amaratunga, and T. Reimann, “Switching Performance of Epitaxially Grown Normally-Off 4H-SiC JFET,” *Mater. Sci. Forum*, vol. 600–603, pp. 1067–1070, 2009.

[120] D. A. Neamen, *Semiconductor physics and devices : basic principles*. McGraw-Hill, 2003.

[121] E. Platania, Z. Chen, F. Chimento, L. Lu, E. Santi, A. Raciti, J. Hudgins, A. Mantooth, D. Sheridan, and J. Cassady, “A Physics-Based Model for a SiC JFET Device Accounting for the Mobility Dependence on Temperature and Electric Field,” in *2008 IEEE Industry Applications Society Annual Meeting*, 2008, pp. 1–8.

[122] S. Moumen, “Etude de la robustesse de transistors JFET à base de SiC vis-à-vis de stress électriques,” *Thesis*, pp. 104–105, 2012.

Cette thèse est accessible à l'adresse : http://theses.insa-lyon.fr/publication/2016LYSEI136/these.pdf
© [S. Niu], [2016], INSA Lyon, tous droits réservés