



HAL
open science

Intégration 3D : vers des capteurs d'image innovants à haute performance

Nicolas Brochard

► **To cite this version:**

Nicolas Brochard. Intégration 3D : vers des capteurs d'image innovants à haute performance. Traitement du signal et de l'image [eess.SP]. Université Bourgogne Franche-Comté, 2017. Français. NNT : 2017UBFCK020 . tel-01789105

HAL Id: tel-01789105

<https://theses.hal.science/tel-01789105>

Submitted on 9 May 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

SPIM

Thèse de Doctorat



école doctorale sciences pour l'ingénieur et microtechniques
UNIVERSITÉ DE BOURGOGNE

Intégration 3D : Vers des capteurs d'image innovants à haute performance

■ NICOLAS BROCHARD



SPIM

Thèse de Doctorat



école doctorale sciences pour l'ingénieur et microtechniques
UNIVERSITÉ DE BOURGOGNE

N° 7 7 0 9 0

THÈSE présentée par

NICOLAS BROCHARD

pour obtenir le

Grade de Docteur de
l'Université de Bourgogne

Spécialité : **Instrumentation et informatique de l'image**

Intégration 3D : Vers des capteurs d'image innovants à haute performance

Unité de Recherche :

Laboratoire Électronique, Informatique et Image

Soutenue publiquement le 11 Décembre 2017 devant le Jury composé de :

PATRICK MARQUIE	Président du Jury	Professeur à l'Université de Bourgogne, Le2i FRE 2005, Dijon
GILLES SICARD	Rapporteur	Chercheur HDR, CEA Leti, Grenoble
WILFRIED UHRING	Rapporteur	Professeur à l'Université de Strasbourg, ICube UMR 7357, Illkirch-Graffenstaden
DOMINIQUE GINHAC	Directeur de thèse	Professeur à l'Université de Bourgogne, Le2i FRE 2005, Dijon

REMERCIEMENTS

Je remercie chaleureusement mon directeur de thèse, le professeur Dominique GINHAC, pour sa patience, sa disponibilité, son aide, son écoute et le temps qu'il a su me consacrer tout au long de mes recherches. Outre son appui scientifique, sa clairvoyance et son soutien ont été bénéfiques tout au long de mes travaux. Il a su transmettre son savoir riche de son expérience et de ses connaissances me permettant ainsi d'améliorer et d'approfondir ma réflexion. Nos échanges professionnels m'ont permis de franchir un palier, m'obligeant à me poser les bonnes questions. Sur le plan humain, je le remercie grandement pour son accessibilité et la sociabilité dont il a fait preuve envers les membres du laboratoire et moi-même. L'optimisme permanent qu'il témoigne est selon moi à prendre en exemple. Il n'a eu de cesse de m'encourager, de me soutenir et de me témoigner sa confiance. Pour toutes ces raisons, il a toute ma gratitude, ma plus grande estime et mon total respect.

Mes sincères et respectueux remerciements vont au président du jury, Monsieur Patrick MARQUIE, ainsi qu'aux membres du jury, Monsieur Gilles SICARD et Monsieur Wilfried UHRING, qui me font l'honneur de juger mon travail. Je les remercie pour les judicieux conseils qu'ils m'ont prodigués, le temps qu'ils m'ont consacré ainsi que l'intérêt qu'ils ont témoigné envers mon travail.

Je remercie Rose-Marie SAUVAGE, ma tutrice DGA, ainsi que la Direction Générale de l'Armement (DGA) pour m'avoir laissé une chance et m'avoir offert la possibilité de mener mes travaux de recherche. Sans l'apport financier de la DGA, rien n'aurait pu être possible. De plus, Madame SAUVAGE, ainsi que la DGA, ont su être présent, être disponible et répondre à mes questions quand le besoin s'en faisait sentir.

Je remercie également le laboratoire le2i et l'Université de Bourgogne, nouvellement rebaptisé Université de Bourgogne Franche-Comté (UBFC), pour leur apport financier et pour m'avoir accueilli dans leur locaux.

Je tiens à rendre hommage et à témoigner ma gratitude aux personnels administratifs et plus particulièrement aux secrétaires et ex-secrétaires du laboratoire le2i trop souvent oubliées, que sont Agnès-Dorielle BATIS, Nadia BADER, Ibtissam BOURDADI, Dounia RADJ et enfin Mélanie ARNOULT. Elles ont su être à l'écoute, être accueillantes et chaleureuses en toutes circonstances. Au-delà de cela, elles ont fait preuve d'un professionnalisme remarquable. Ce fut un réel plaisir de les côtoyer tant sur le plan professionnel que personnel.

Je tiens à remercier tous les membres du laboratoire le2i actuels et anciens avec qui j'ai partagé la vie quotidienne pendant plusieurs années et qui m'ont accueilli et facilité mon intégration. Des remerciements particuliers vont à Fabrice MERIAUDEAU, ancien directeur du laboratoire, et David FOFI, directeur adjoint du laboratoire. Je souhaite également exprimer une gratitude particulière à mes plus proches collaborateurs, Julien DUBOIS, Barthélémy HEYRMAN, Franck MARZANI, Fan YANG, Yannick BENEZETH, Saverio MORFU, Ana-Maria ROXIN, Ouassila LABBANI, Christophe NICOLLE et Johel MITERAN. Enfin, je remercie l'équipe technique et particulièrement Dominique ARNOULT et Arnaud DA COSTA pour leurs compétences et leurs performances techniques et informatiques.

En tant qu'ancien représentant des doctorants de l'école doctorale SPIM, j'ai eu l'occasion de collaborer et d'échanger avec les membres du conseil de l'école doctorale. Je remercie donc chacun des membres pour les échanges constructifs et enrichissants vécus et partagés et particulièrement, Philippe LUTZ ancien directeur de l'école doctorale, Olivier LALIGANT ancien directeur adjoint de l'école doctorale, et afin Alexandrine VIEILLARD secrétaire de l'école doctorale, avec qui j'ai eu un réel plaisir de collaborer et qui, grâce à leur disponibilité, professionnalisme et compétences, m'ont permis d'aider au mieux les doctorants SPIM.

Je remercie mes collègues doctorants et non-doctorants pour tous les bons moments passés ensemble. Une pensée particulière va à Aurore MAILLARD, Mustapha BOUDERBANE, Serge BOBBIA, Axel MOINET, Anthony BOSCARO, Pierre BONAZZA, Yoan MARIN, Alexandre KREBS, Richard MACWAN, Yanjing BI, Abdelali DOUIYEK, Margarita KHOKHLOVA, Roberto MARROQUIN, Khalil JRADI, Soumaya AZZOUNI et Rachid BEHDAD avec qui j'ai partagé le plus clair de mon temps durant cette thèse.

Pour leur amour, leur soutien indéfectible et leur aide inestimable, je remercie mes parents, ma soeur et son compagnon ainsi que toute ma famille.

Enfin mes remerciements ne seraient pas complets, à mon sens, si je ne remerciais pas tous mes amis proches, amis qui ont été présents tout au long de ma vie et durant cette thèse et qui sont, au même titre que ma famille, une source de motivation, de réconfort et de joie. Des pensées et remerciements particuliers vont à Guillaume et Leslie qui m'ont toujours encouragé et permis d'affronter les épreuves et péripéties de la thèse. De plus, ils sont une source d'inspiration constante de par leur originalité et créativité. Un grand Merci, et puisse cette thèse être pour eux une preuve de mes pensées sincères.

Je dédie ce manuscrit à mon neveu, Nino, né pendant la période de la thèse, et qui est une source d'admiration constante et mon « petit héros » !

SOMMAIRE

Remerciements	v
Liste de sigles, d'abréviations et d'acronymes	xi
Introduction	1
1 Problématique	3
1.1 Bref descriptif d'un capteur d'image CMOS	3
1.2 Tendance actuelle sur les capteurs d'image CMOS	5
1.3 Pixel analogique Versus Pixel numérique	7
1.4 Les domaines d'application possibles du pixel numérique	8
1.5 L'évolution des technologies CMOS	9
1.6 Problématique de la thèse	11
2 Architecture d'un pixel numérique	15
2.1 Les différentes architectures d'un pixel CMOS	15
2.1.1 Le pixel passif	16
2.1.2 Le pixel actif	17
2.1.2.1 Le pixel 3T	17
2.1.2.2 Le pixel 4T	17
2.1.2.3 Le pixel logarithmique	19
2.2 Caractéristiques principales d'un capteur CMOS	20
2.2.1 Paramètres géométriques	20
2.2.2 Paramètres électriques et opto-électriques	20
2.2.3 Bruits et non-uniformités	24
2.2.4 Paramètres liés à la lecture	27
2.2.5 Autres métriques importantes	28
2.3 Descriptif d'un pixel numérique	29
2.3.1 Les photosites	29
2.3.1.1 La photodiode	31

2.3.1.2	La photogrigle ou photo-MOS	34
2.3.1.3	La photodiode PIN	36
2.3.1.4	Avantages et inconvénients des différents photosites	37
2.3.2	Les Convertisseurs Analogique-Numériques	38
2.3.2.1	Les convertisseurs pour capteur d'image CMOS à intégration 3D	40
A	Le convertisseur Flash	40
B	Le convertisseur à approximations succes- sives ou SAR	41
C	Le convertisseur Pipeline	42
2.3.2.2	Les convertisseurs pour pixel numérique	44
2.3.2.2.1	Les convertisseurs non-classiques pour DPS	44
A	Les convertisseurs PWM	44
B	Les convertisseurs PFM	46
2.3.2.2.2	Les convertisseurs classiques pour DPS	48
A	Le convertisseur à rampe	48
B	Le convertisseur Sigma-Delta	49
C	Le convertisseur semi-parallèle ou « <i>two step</i> <i>ADC</i> »	50
2.3.2.3	Le type de convertisseur retenu	52
2.3.3	Les mémoires	55
2.3.3.1	La mémoire SRAM	55
2.3.3.2	La mémoire DRAM	56
2.3.3.3	Les verrous logiques	57
2.3.4	Conclusion	58
3	Notre architecture de pixel	67
3.1	TEZZARON CMOS 130 nm 3D-IC FaStack	67
3.1.1	Rappels sur le transistor MOS	69
3.1.2	Détermination par simulation du V_{TH}	72
3.1.3	Simulations du courant de drain I_d	74
3.1.4	Détermination du facteur de gain du transistor KP - Modélisation EKV	76
3.1.5	Autres caractéristiques électriques	79
3.2	Présentation de l'architecture de notre pixel numérique	81
3.2.1	Présentation globale	82
3.2.2	Ensemble photosensible	88

3.2.2.1	Caractéristiques liées au suiveur de tension	88
3.2.2.2	Caractéristiques liées à la photodiode	90
3.2.2.3	Bruit global de l'ensemble photosensible	97
3.2.3	Ensemble analogique du circuit	102
3.2.3.1	Le double échantillonneur-bloqueur	102
3.2.3.2	Le modulateur $\Sigma\Delta$	105
3.2.3.2.1	Présentation du circuit	105
3.2.3.2.2	Présentation du comparateur	110
3.2.4	Ensemble numérique du circuit	113
3.2.5	Tableaux comparatifs et positionnement	116
4	Performances de notre architecture	129
4.1	Performances statiques du modulateur	129
4.1.1	Impact de la précision du comparateur	129
4.1.2	Impact des capacités internes du modulateur sur la linéarité	138
4.1.3	Influence des capacités de l'échantillonneur-bloqueur sur la linéarité	140
4.2	Performances dynamiques du modulateur	144
4.3	Performances de notre structure sur des images réelles	148
4.3.1	Détermination du nombre de cycles pour différentes résolutions	148
4.3.2	Simulations avec des images tests pour différentes résolutions	149
5	Notre circuit avec empilement de wafers	165
5.1	Introduction à l'intégration 3D	165
5.2	Présentation de la mutualisation du modulateur	168
5.3	Étude du positionnement des composants	171
5.4	Dessins des masques du pixel	177
5.5	Matrice de pixels numériques et mode de lecture particulier	179
5.5.1	Présentation du mode de lecture particulier	179
5.5.2	Adaptation des connectiques du dessin des masques en fonction du mode de lecture	180
6	Conclusion et Perspectives	185
6.1	Conclusion	185
6.2	Perspectives	187
	Liste des publications effectuées durant la thèse	189

Liste des figures	197
Liste des tableaux	199
A Annexes du chapitre 3	203
B Annexes du chapitre 4	213

LISTE DE SIGLES, D'ABRÉVIATIONS ET D'ACRONYMES

- **2D** : Deux Dimensions
- **3D** : Trois Dimensions
- **3D-IC** : Three dimensional Integrated Circuits
- **ADC** : Analog to Digital Converter
- **APS** : Active Pixel Sensor
- **BEOL** : Back End Of Line
- **BSIM** : Berkeley Short channel IGFET Mode
- **CAN** : Convertisseur Analogique-Numérique
- **CCD** : Charge Coupled Device
- **CDS** : Correlated Double Sampling
- **CIA** : Charge Integrating Amplifier
- **CIC filter** : Cascaded Integrator-Comb filter
- **CMOS** : Complementary Metal Oxide Semiconductor
- **CNA** : Convertisseur Numérique-Analogique
- **CTE** : Charge Transfer Efficiency
- **CTI** : Charge Transfer Inefficiency
- **CVF** : Charge to Voltage conversion Factor
- **D2D** : Die-to-Die
- **D2W** : Die-to-Wafer
- **DAC** : Digital to Analog Converter
- **DDS** : Double Differencing Sampling
- **DIBL** : Drain-Induced Barrier Lowering
- **DNL** : Differential Non Linearity
- **DPS** : Digital Pixel Sensor
- **DR** : Dynamic Range
- **DRAM** : Dynamic Random Access Memory
- **DRC** : Design Rules Check
- **DSNU** : Dark Signal Non-Uniformities
- **EKV** : Enz Krummenacher Vittoz
- **ENOB** : Effective Number Of Bits
- **FEOL** : Front End Of Line

- **FF** : Fill Factor
- **FFT** : Fast Fourier Transform
- **FIR** : Finite Impulse Response
- **FPN** : Fixed Pattern Noise
- **FPS** : Frame Per Second
- **FWC** : Full Well Capacity
- **GIDL** : Gate-Induced Drain Leakage
- **INL** : Integral Non Linearity
- **IPS** : Image Par Seconde
- **KTC noise** : K : Boltzmann's constant - T : Temperature - C : Capacity
- **LSB** : Least Significant Bit
- **LVS** : Layout Versus Schematic
- **LVT** : Low V_t
- **MCBS** : Multi Channel Bit Serial
- **MEMS** : Micro Electro Mechanical Systems
- **MOS** : Metal Oxide Semiconductor
- **MPEG** : Moving Picture Experts Group
- **MTF** : Modulation Transfer Function
- **NMOS** : N-type Metal Oxide Semiconductor
- **OSR** : Over Sampling Ratio
- **PDM** : Pulse Density Modulation
- **PFM** : Pulse Frequency Modulation
- **PIN diode** : Positive Intrinsic Negative diode
- **PMOS** : P-type Metal Oxide Semiconductor
- **POP** : Package On Package
- **PPS** : Passive Pixel Sensor
- **PRNU** : Pixel Response Non-Uniformities
- **PSNR** : Peak Signal-to-Noise Ratio
- **PWM** : Pulse With Modulation
- **QE** : Quantum Efficiency
- **RAM** : Random Access Memory
- **RIF** : Réponse Impulsionnelle Finie
- **RII** : Réponse Impulsionnelle Infinie
- **RMS** : Root Mean Square
- **ROM** : Read Only Memory
- **SAR** : Successive Approximation Register
- **SFDR** : Spurious Free Dynamic Range
- **SINAD** : Signal to Noise And Distorsion ratio
- **SIP** : System In Package

- **SNR** : Signal to Noise Ratio
- **SRAM** : Static Random Access Memory
- **SS** : Single Slope
- **SSIM** : Structural SIMilarity
- **TCR** : Transconductance to Current Ratio
- **THD** : Total Harmonic Distorsion
- **TSV** : Trough Silicon Via
- **W2W** : Wafer-to-Wafer
- **ZCE** : Zone de Charge d'Espace

INTRODUCTION

Que ce soit pour reconnaître, préciser ou immortaliser, l'imagerie fascine depuis son invention au début du 19ème siècle. Ses applications sont multiples aussi bien dans le domaine culturel pour l'imagination et l'interprétation qu'elles suscitent, dans le domaine scientifique pour la découverte, l'analyse et la compréhension, dans le domaine sécuritaire pour la prévention, la surveillance et l'interpellation, ou plus simplement dans le grand public pour l'utilitaire, la mémoire et la souvenance.

L'imagerie et plus précisément le capteur d'image, extension de l'œil humain, offre le fabuleux atout d'être employé et déployé en tous lieux et toutes circonstances. Il propose de nos jours une qualité d'image remarquable. L'imagerie, terme générique, comprend ainsi bien la réalisation de photodétecteurs innovants que l'utilisation d'algorithmes complexes pour différents types de traitement d'images. N'oublions pas non plus, les dispositifs additionnels tels que les filtres, les lentilles et objectifs. Au-delà de cela, l'imagerie peut également se proposer en noir et blanc, couleurs ou en multispectral.

Nos travaux de recherche portent sur la conception d'un capteur d'image innovant en technologie CMOS (*Complementary Metal Oxide Semiconductor*) sur substrat de silicium uniquement, ce qui exclut de facto le mode multispectral, ce dernier nécessitant des semi-conducteurs additionnels. Ne seront pas traités les capteurs d'image CCD (*Charge Coupled Device*) précurseurs des capteurs d'image CMOS.

Un capteur d'image est avant tout un système intégré faisant appel au domaine de la micro-électronique. De manière générale, un capteur d'image est composé d'une matrice d'éléments photosensibles communément appelés « Pixels » permettant la transformation des photons en électrons générant par la suite une tension, d'un convertisseur analogique-numérique permettant de transformer cette tension en une donnée numérique exploitable, d'un décodeur ligne/colonne et éventuellement de mémoires additionnelles permettant de stocker l'information souhaitée du pixel ou groupes de pixels. Nous nous retrouvons donc avec trois ou quatre grandes fonctionnalités qui sont l'acquisition, la numérisation, la lecture et la mémorisation.

Nous nous intéressons à un capteur d'image utilisant des pixels particuliers à savoir des pixels numériques. Ce type de pixel exploite trois des quatre fonctionnalités à l'intérieur de lui-même à savoir acquisition, numérisation et mémorisation. Sa force réside dans la parallélisation des tâches entraînant une vitesse de traitement plus élevée et permettant une réduction significative de certains bruits électroniques présents dans les capteurs d'image à pixel standard. Toutefois, sa réalisation impose certaines contraintes qui le rendent moins pertinent dans le secteur grand public où l'une des problématiques principales est la réduction de la taille du pixel pour augmenter la résolution matricielle.

La réalisation d'un pixel numérique est une première étape pour la réalisation d'un pixel « intelligent » ajoutant des traitements d'image plus complexes à son architecture. Avec l'arrivée des technologies CMOS à intégration dite « 3D », il semble possible d'ajouter un maximum de fonctionnalités à l'intérieur du pixel sans une augmentation significative de la taille de ce dernier. Nous travaillons donc sur la réalisation d'un pixel numérique avec une technologie

CMOS émergente à intégration 3D proposée par TEZZARON Semiconductor et Globalfoundries nommée CMOS 3D-IC 130 nm FaStack et basée sur l'empilement de plaquettes de silicium (*wafers*).

Notre challenge résidera dans la conception d'un pixel numérique avec technologie 3D intégrant le plus de fonctionnalités possibles, avec des performances élevées tout en minimisant autant que faire se peut la taille du pixel. Nous étudierons dans un premier temps les différentes structures existantes puis nous en choisirons une et nous l'adapterons à notre problématique. Notre travail se hiérarchise de la façon suivante : conception et optimisation du circuit, simulations pour caractérisation et enfin, réalisation et optimisation du dessin des masques en vue d'une fabrication. Notre travail de recherche s'appuie sur les logiciels de conception (CADENCE) et de calcul mathématique (MATLAB) pour les simulations.

Le manuscrit se décompose en 6 chapitres avec pour le premier, la description de notre problématique ainsi que la description de la base de notre réflexion. Le chapitre 2 traitera de l'état de l'art sur les différents sous-circuits composant le pixel numérique à savoir les différents photo-éléments existants, les différents convertisseurs analogique-numérique utilisés dans les capteurs et les différentes mémoires possibles. Le chapitre 3 montrera quelques caractéristiques électriques de la technologie puis traitera, de manière précise, l'architecture de notre pixel. Le quatrième dévoilera les performances de la structure présentée. Le cinquième parlera d'un état de l'art succinct sur les technologies CMOS à intégration 3D existantes et les différentes manières de les réaliser puis enchaînera sur la réalisation du dessin des masques et les choix que nous avons faits sur le placement des blocs par rapport à la technologie 3D utilisée. Enfin, le dernier chapitre conclura sur nos travaux et finira sur de nouvelles perspectives et nouvelles suggestions d'amélioration.

PROBLÉMATIQUE

Sommaire

1.1	Bref descriptif d'un capteur d'image CMOS	3
1.2	Tendance actuelle sur les capteurs d'image CMOS	5
1.3	Pixel analogique Versus Pixel numérique	7
1.4	Les domaines d'application possibles du pixel numérique	8
1.5	L'évolution des technologies CMOS	9
1.6	Problématique de la thèse	11

1.1/ BREF DESCRIPTIF D'UN CAPTEUR D'IMAGE CMOS

De par l'omniprésence des systèmes embarqués, la tendance générale de tout circuit intégré reste l'amélioration des performances, telle que la vitesse de fonctionnement ou encore la réduction de la consommation électrique, avec une augmentation des fonctionnalités, tout en essayant de minimiser la taille du système pour une meilleure portabilité. Nous avons vu, au cours de ces dernières décennies, une augmentation du nombre de transistors par microsystème comme l'indique la loi de MOORE. Cela est en parfaite adéquation avec l'évolution perpétuelle des technologies. Cette augmentation traduit ce qui est dit précédemment à savoir plus de performances et plus de fonctionnalités. Ceci est rendu possible par l'avancée de la technologie CMOS (*Complementary Metal Oxid Semiconductor*) à savoir la diminution de la taille du composant principal en micro-électronique, le transistor. Le capteur d'image CMOS ne déroge pas à la règle.

Avant d'aller plus loin, rappelons ce qu'est un capteur d'image CMOS et son rôle. Le capteur d'image CMOS est un système qui capture des photons, aspect corpusculaire de la lumière, les transforme en un signal analogique, lui-même transformé en un signal numérique représentation binaire de celui-ci. Cette conversion du signal analogique en un signal numérique est indispensable pour qu'un dispositif numérique ou informatique puisse traiter l'information. Nous pouvons donc diviser un imageur CMOS en trois parties globales : l'acquisition réalisée par une matrice d'éléments photosensibles, le traitement réalisé par un convertisseur analogique-numérique (CAN) et enfin la partie lecture réalisée par un décodeur ligne et un décodeur colonne. Il existe deux principales configurations qui se caractérisent par la place de la partie traitement dans la chaîne de fonctionnement. La Figure 1.1 et la Figure 1.2 montrent les deux configurations possibles.

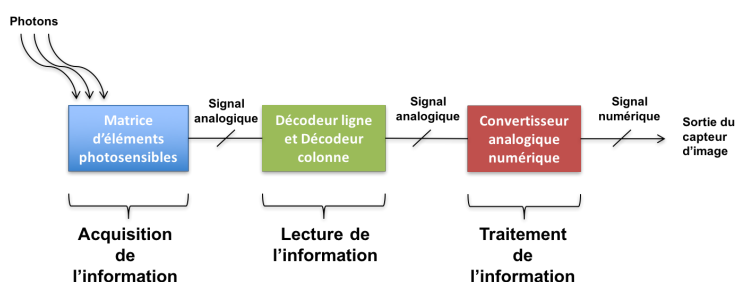


FIGURE 1.1 – Configuration N° 1 de la chaîne de fonctionnement d'un imageur CMOS.

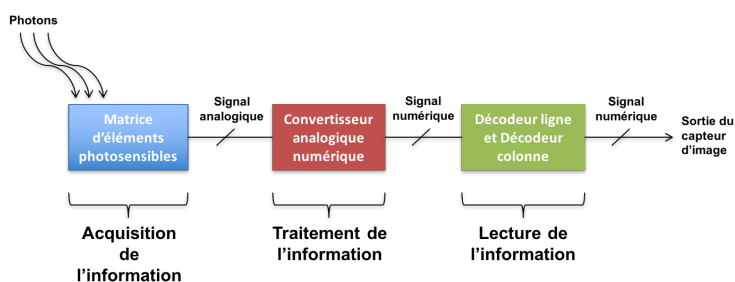


FIGURE 1.2 – Configuration N° 2 de la chaîne de fonctionnement d'un imageur CMOS.

Les « éléments photosensibles », qui composent la matrice, sont nommés « pixels ». La structure et la configuration de chaque bloc peuvent différer selon l'utilisation ou la performance désirée. Dans la première configuration (Fig. 1.1), la lecture de l'information captée se fait avant le traitement. En effet, la conversion analogique-numérique se retrouve soit en bout de chaîne du circuit soit en bas de chaque colonne de la matrice de pixels. Dans ce cas-là, nous parlons de Pixel analogique car le signal en sortie du pixel est de type analogique. A contrario, dans la deuxième configuration (Fig. 1.2), le traitement de l'information se fait avant la lecture. La conversion A/N se retrouve au niveau de l'élément photosensible à savoir dans le pixel. Nous parlons dans ce cas-là de Pixel numérique car le signal en sortie du pixel est binaire.

Nous nous retrouvons donc avec trois emplacements possibles du CAN :

1. Un seul convertisseur qui se place en fin de la chaîne d'acquisition, cas classique (Pixel analogique).
2. Un convertisseur en bas de chaque colonne de la matrice de pixels (Pixel analogique).
3. Un convertisseur dans chaque pixel (Pixel numérique).

Les représentations schématiques sur la Figure 1.3 sont volontairement simplifiées. Nous pouvons retrouver en haut à gauche le cas d'un imageur qualifié de « classique », à droite le cas « bas de colonne », et pour finir le cas, « dans le pixel ». Chacun des éléments composant l'imageur est décrit en détail ultérieurement. Nous comprenons aisément que les contraintes appliquées sur le(s) convertisseur(s) de chaque configuration diffèrent. Pour exemple, dans le cas d'un imageur classique, la consommation aura moins d'importance mais la vitesse de conversion sera un point critique alors qu'un convertisseur dans chaque pixel aura les contraintes inverses. Le convertisseur bas de colonne reste une alternative intermédiaire où peuvent être

relâchées les contraintes de vitesse par rapport au convertisseur en bout de chaîne et relâchées les contraintes de consommation par rapport au convertisseur dans chaque pixel.

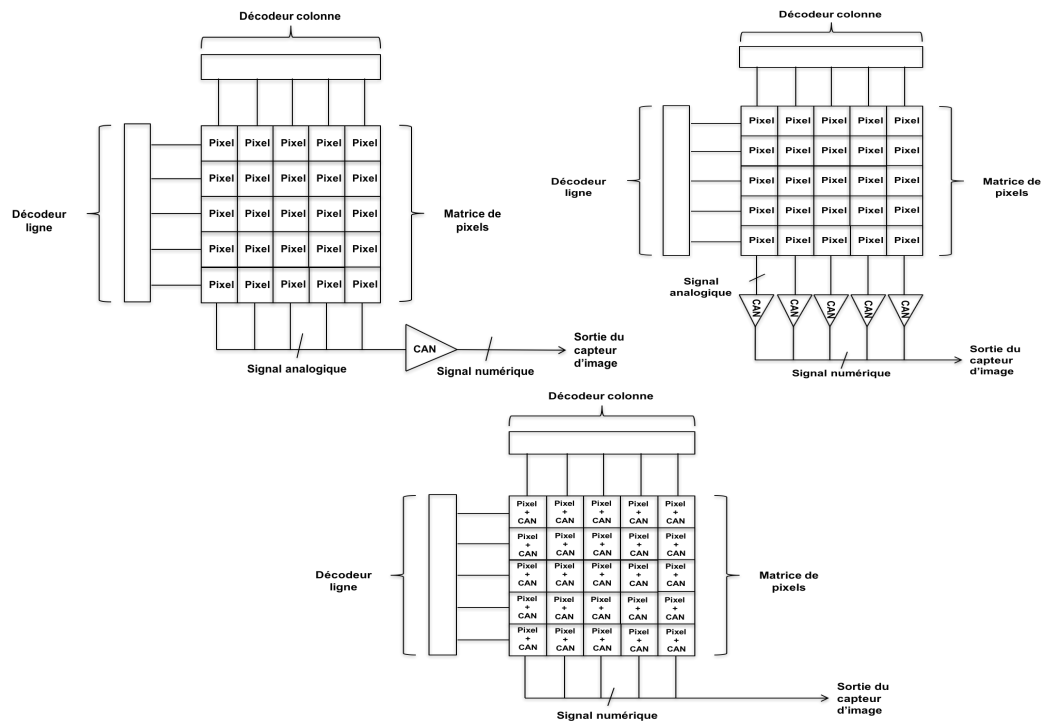


FIGURE 1.3 – Représentation des trois configurations possibles de la conversion analogique-numérique du capteur CMOS (CAN pour Convertisseur Analogique-Numérique).

Cette première approche souligne le fait que les pixels numériques, de par leurs configurations, ont une taille beaucoup plus importante qu'un pixel analogique classique. En effet, l'ajout d'éléments servant au traitement de l'information in situ, éléments que nous ne retrouvons pas dans un pixel conventionnel, entraîne, entre autres, une augmentation de la taille de celui-ci.

1.2/ TENDANCE ACTUELLE SUR LES CAPTEURS D'IMAGE CMOS

Le domaine du capteur d'image CMOS touche plusieurs domaines d'activités et le marché est en pleine expansion comme nous le montre *YOLE Développement*, société spécialisée dans l'étude de marché. La Figure 1.4 reprend les chiffres publiés en Janvier et Février 2014 par cette société. Nous constatons que les plus gros clients sont la téléphonie mobile et les objets de consommation.

Le Tableau 1.1 met en évidence une augmentation du chiffre d'affaires chez la plupart des revendeurs d'imageurs CMOS et une augmentation globale de 11%.

La question que nous pouvons naturellement nous poser est quelle est la relation entre l'étude de marché, le pixel analogique et le pixel numérique? Tout simplement la taille du pixel. Le capteur d'un appareil photo d'un célèbre fabricant japonais commercialisé entre 2010 et 2014 possède un pixel de $5,07 \mu m$ de côté et dénombre 14,20 Mégapixels dans la matrice. En 2015, toujours chez le même fabricant, un capteur dénombre 21 Mégapixels pour une taille de pixel de $1,12 \mu m$ de côté.

Société	2014 (en M\$)	2015 (en M\$)	Différence (%)
Sony	2779	3645	31
Samsung	1825	1930	6
Omnivion	1378	1250	-9
On Semiconductor	670	810	21
Canon	482	404	-16
Toshiba	360	350	-3
Parasonic	244	336	38
SK Hynix	200	325	63
Galaxycore	325	275	-15
STMicroelectronics	260	200	-23
Pixart	166	170	2
Pixelplus	114	130	14
Autres	498	523	5
Total	9300	10348	11

Tableau 1.1 – Représentation du chiffre d'affaires 2014-2015 pour les principaux acteurs du capteur d'image CMOS en accord avec les chiffres de YOLE.

Ces deux capteurs sont des capteurs CMOS avec pixel analogique munis d'une conversion en dehors du pixel. Pour comparaison, la taille d'un pixel numérique peut varier de $10 \mu m$ à $70 \mu m$ de coté [1][2], avec une taille courante s'établissant entre $30 \mu m$ et $40 \mu m$ [3].

Cette course effrénée vers l'infiniment petit s'explique par le besoin croissant d'augmenter la résolution c'est-à-dire maximiser le nombre de pixels d'un capteur d'image. Il faut savoir que la surface d'un capteur destiné au grand public est normalisée et est contrainte en dimensions. En effet, les lentilles optiques rajoutées sur le capteur pour focaliser la lumière sur la partie photosensible de celui-ci sont normalisées. De plus, la résolution d'une image est également standardisée.

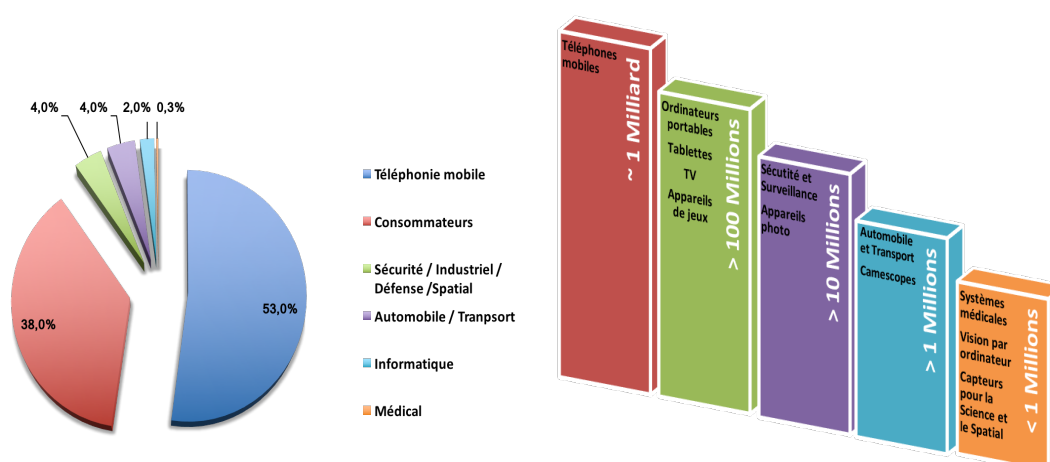


FIGURE 1.4 – Le capteur d'image CMOS dans les différents domaines d'activité selon YOLE (2013-2014). Le camembert présente le pourcentage global selon les secteurs, tandis que le graphe précise le nombre d'unités vendues par secteur.

Le fait d'augmenter la résolution de la matrice de photosites va agir sur le pouvoir séparateur du capteur. Pour simplifier, nous aurons une meilleure définition avec un nombre élevé de pixels.

1.3/ PIXEL ANALOGIQUE VERSUS PIXEL NUMÉRIQUE

Il me paraît important de présenter la différence entre un pixel analogique et un pixel numérique, ceci afin d'établir l'intérêt du pixel numérique plus complexe, alors que la tendance actuelle est à la miniaturisation du pixel. Le pixel numérique possède quelques atouts majeurs par rapport à une conversion colonne ou fin de chaîne utilisée par un capteur à pixels analogiques.

- **Conversion analogique-numérique massivement parallèle** : nous distinguons plusieurs temps globaux, ou phases, dans une chaîne de fonctionnement d'un imageur : le temps de réinitialisation de l'élément photosensible, le temps d'intégration ou d'acquisition, le temps de lecture, le temps de conversion (l'ordre dépend de la structure du capteur). L'addition de ces différents temps détermine la caractéristique « nombre d'images par seconde ». Les pixels numériques effectuent une conversion simultanément contrairement aux autres pixels qui ont une conversion séquentielle ou pseudo-séquentielle. Cela a pour conséquence une augmentation significative de la vitesse de traitement (diminution du temps de conversion) et donc une augmentation du nombre d'images par seconde. A titre comparatif, une structure avec lecture séquentielle des pixels via une conversion fin de chaîne possède une vitesse de l'ordre de 100 images par seconde [4], une structure avec conversion en bas de colonne varie de quelques centaines d'images par secondes à quelques milliers (entre 100 et environ 3000 images par seconde) [5–11] alors que le pixel numérique peut atteindre plusieurs milliers d'images par seconde [12–15].
- **Réduction du bruit** : il existe différents types de bruits dans un capteur d'image CMOS provenant de différentes sources et contribuant à une limitation de la qualité d'une image. Nous pouvons distinguer deux grandes catégories de bruit : le bruit temporel et le bruit spatial [16–18]. Le bruit temporel comprend le bruit thermique, le bruit de grenaille (*shot noise*), le bruit de grenaille du courant d'obscurité, le bruit de grenaille d'un photon, le bruit de scintillement (*flicker noise*), le bruit dû à la variation de la tension d'alimentation, le bruit de quantification (dû à la conversion analogique-numérique), etc, etc. Ces bruits sont généralement liés à la technologie CMOS et/ou au composant utilisé. Dans la deuxième catégorie, nous pouvons inclure essentiellement le bruit fixe (*fixed pattern noise*). Ce dernier est la différence de la valeur du signal de sortie de deux pixels identiques ayant la même valeur d'entrée. Le pixel numérique réduit ce dernier car un signal binaire n'est pas contraint par le bruit. Nous pouvons affirmer que l'emplacement de la conversion agit sur ce type de bruit.

Malgré ces avantages indéniables, il y a des points importants désavantageant le pixel numérique :

- La **taille du pixel** augmente du fait de l'adjonction de composants et/ou transistors in situ.
- La **consommation globale** augmente également car elle est liée de la même manière au nombre de composants dans le pixel.
- Le **facteur de remplissage**, c'est-à-dire le rapport entre l'aire de l'élément photosensible et l'aire du pixel totale, diminue fortement et entraîne une perte d'information captée et une diminution de la sensibilité du pixel.

Ces derniers points expliquent le délaissement du capteur d'image CMOS à pixel numérique pour le marché grand public. Néanmoins, il apporte une réponse en matière de rapidité et de bruit. De plus, le traitement des données numériques directement en sortie du capteur permet de simplifier, entre autres la compression de données.

1.4/ LES DOMAINES D'APPLICATION POSSIBLES DU PIXEL NUMÉRIQUE

Nous avons vu que dans le domaine grand public, l'imageur à pixel numérique n'avait pas sa place du fait de sa taille. Cependant, il existe des domaines où la taille d'un pixel est moins significative et où les performances du photosite prévalent. *Skorka et al* [3] proposent une analyse intéressante liant la taille du pixel, le domaine spectral de la lumière et le secteur d'activité. A l'inverse du secteur grand public, des secteurs comme le médical, l'industrie ou la sécurité nécessitent une meilleure qualité plutôt qu'une petite taille de pixel.

La Figure 1.5 ne prend en compte que l'imagerie et les applications liées à celle-ci. Elle nous donne une bonne représentation de la taille des pixels d'un capteur d'image selon les utilisations. Nous remarquons que des secteurs « sensibles » comme la défense, le nucléaire ou le médical nécessitent des tailles de pixel allant de $5 \mu m$ à $1000 \mu m$, ce qui reste bien plus grand qu'un pixel « grand public ». Nous pouvons donc conclure que la taille n'est pas le seul critère pour tous les capteurs d'images. En effet, en s'appuyant sur un rapport écrit par *Frost et Sullivan*, *Skorka* explique que les secteurs de l'industrie et de la sécurité ont besoin de capteurs avec une dynamique élevée acceptant en contre partie une taille de pixel plus grande. De plus, certaines applications de ces deux secteurs et du médical travaillent à faible éclairément. Or, un des objectifs principaux du pixel numérique est l'augmentation de la dynamique des capteurs linéaires. Cela en fait donc un candidat très sérieux pour ces applications.

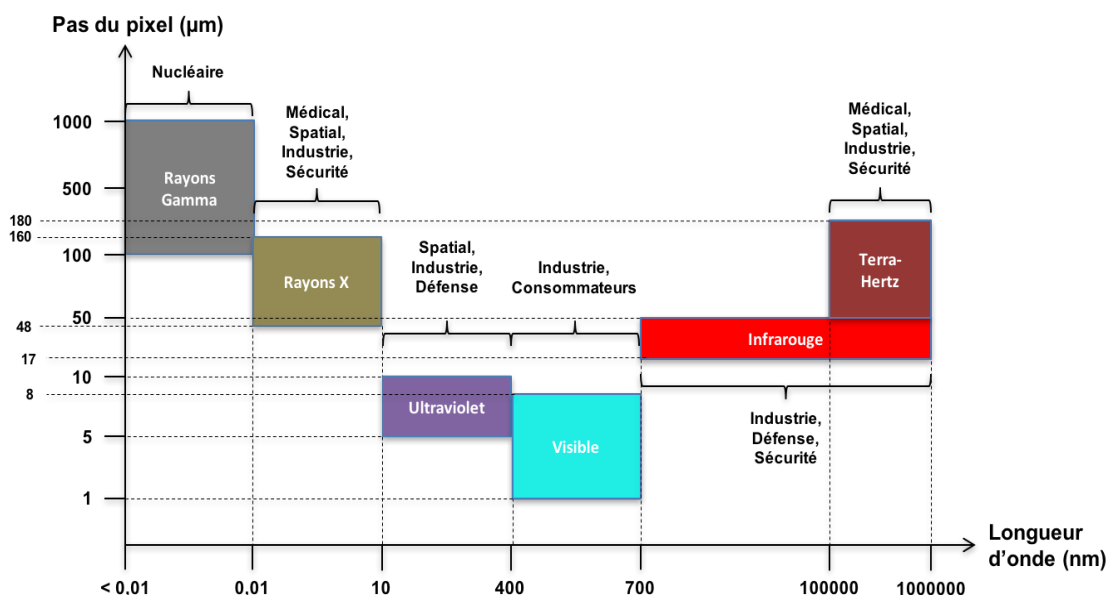


FIGURE 1.5 – Taille d'un pixel en fonction du domaine d'activité et de la bande de fréquence [3].

Toutefois, il faut préciser que ces secteurs sont très spécifiques et que les contraintes sont bien plus fortes que ce soit en matière de précision, de qualité ou d'efficacité. A titre d'information, ils travaillent couramment dans d'autres zones spectrales que le visible ce qui nécessite des matériaux supplémentaires autres que le silicium, bien que ce dernier soit capable de travailler dans l'ultraviolet, le visible et le proche infra-rouge, avec une certaine efficacité quantique (QE), sans ajout de matériaux supplémentaires. La taille d'un pixel pour des capteurs travaillant dans le proche infra-rouge varie de $17 \mu m$ à $47 \mu m$.

1.5/ L'ÉVOLUTION DES TECHNOLOGIES CMOS

La miniaturisation de tout système embarqué est rendue possible par l'évolution de la technologie CMOS. Cette évolution se traduit par la diminution de la taille, ou plus précisément la longueur de canal d'un transistor MOS. Gordon MOORE, co-fondateur d'Intel, a prédit avec sa loi en 1965, que le nombre de transistors dans un circuit de même taille doublerait tous les ans (rectifiée par la suite à 18 Mois). L'évolution de la technologie CMOS a suivi cette loi mais elle commence à ralentir. Les motivations de ces avancées technologiques sont essentiellement la diminution de la consommation électrique, l'augmentation de la vitesse de fonctionnement et également la multiplication des fonctionnalités d'un circuit pour une taille donnée, c'est-à-dire l'augmentation du nombre de transistors dans un circuit (Ref. [19]). Nous pouvons caractériser une technologie CMOS à partir de son type d'intégration (planaire ou tridimensionnelle) et de sa taille (en micromètre ou nanomètre). La Figure 1.6 représente l'avancée de la taille des technologies CMOS durant ces 40 dernières années.

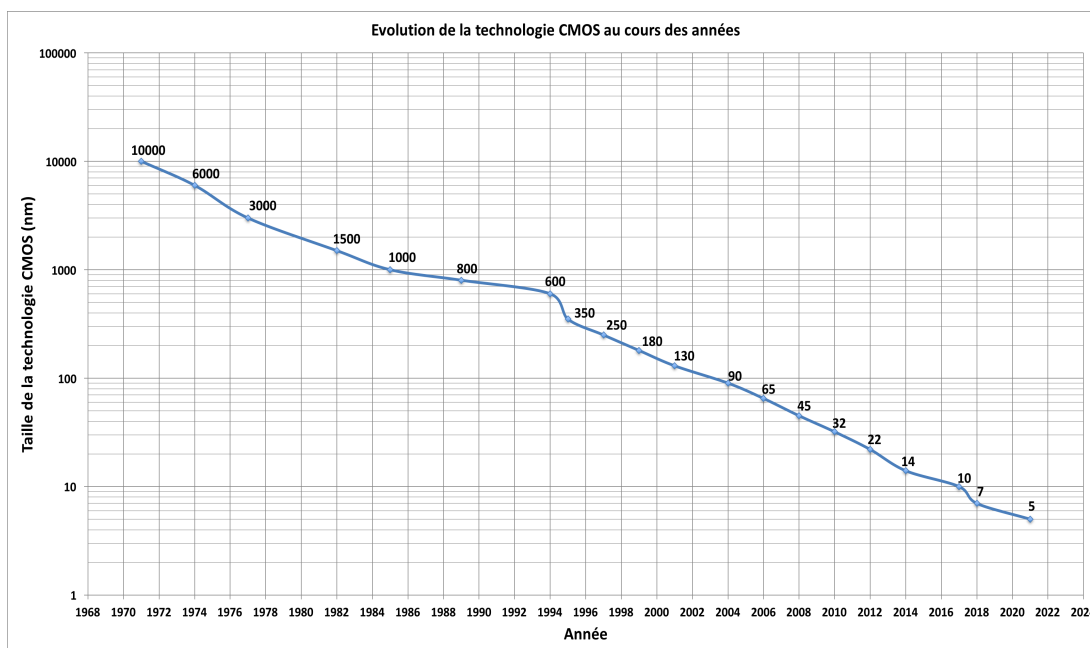


FIGURE 1.6 – Évolution de la technologie CMOS.

Technologiquement, la taille des transistors ne peut pas descendre en dessous de la taille de l'atome. Cette dernière pour l'atome de silicium, base de la technologie CMOS, est de $0,21 \text{ nm}$. La taille des transistors est actuellement de 7 nm . La marge reste donc faible si l'on considère

que nous sommes passés de $10\ \mu\text{m}$ à $7\ \text{nm}$ en seulement 47 ans. Avec de telles tailles d'autres problèmes apparaissent : le procédé de fabrication de la technologie devient de plus en plus complexe entraînant de surcroît un coût de fabrication très élevé, sans compter les problèmes intrinsèques telle que la très forte augmentation du courant de fuite.

Nous avons donc vu apparaître sur le marché, des nouvelles technologies comme la technologie dite à intégration 3D. Il existe plusieurs manières d'appréhender une technologie à intégration 3D, la plus connue étant l'intégration par empilement de wafers. Le principe de cette dernière est très simple. Une première partie d'un circuit électrique est réalisée sur un wafer de silicium avec une technologie CMOS donnée, une seconde partie du circuit sur un autre wafer, également avec une technologie CMOS donnée. Les deux wafers sont ensuite collés l'un sur l'autre. Ce procédé peut être réalisé avec deux ou plusieurs wafers. La communication entre les deux wafers s'établit grâce à ce que nous appelons des vias verticaux à travers le silicium ou « TSV » (*Trough Silicon Via*), des minuscules connections métalliques (*micro-bumps*) ou encore une dernière couche de métallisation de la technologie. Les *micro-bumps*, ou dernière couche de métallisation de la technologie, collent réellement les deux wafers alors que les TSV servent de connections entre les deux circuits des deux wafers et les blocs d'entrée/sortie. La Figure 1.7 reprend ces explications.

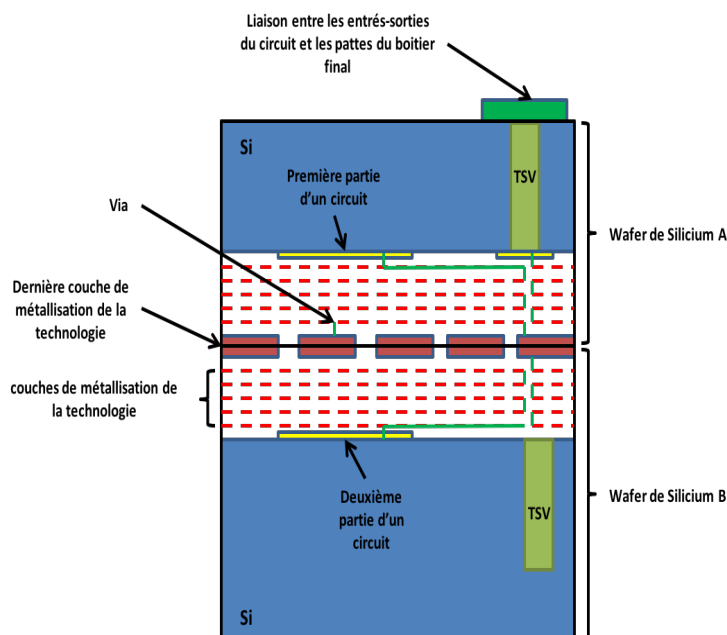


FIGURE 1.7 – Exemple d'un empilement de deux wafers.

Les premiers brevets sur la technologie 3D sont déposés dans les années 70. Nous constatons une augmentation exponentielle du nombre de brevets entre 1990 et 2011 (3 brevets en 1990, 22 en 2004 et 235 en 2011) ce qui démontre l'intérêt et l'évolution grandissante de l'intégration 3D. Ces chiffres sont en accord avec un bilan publié par la société *YOLE Développement* en 2015 [20]. De grands projets de recherche et développement européens et asiatiques voient le jour dès 1999 et la recherche continue jusqu'à aujourd'hui [21]. En 2008, le capteur d'image CMOS est le premier objet technologique à être commercialisé en utilisant une technologie CMOS à intégration 3D (avec TSV). En 2008-2009 c'est le capteur MEMS, et en 2010 les mémoires DRAM/FLASH [22][23].

La technologie 3D présente un grand intérêt et ce pour plusieurs raisons : une augmentation des performances, notamment une diminution du temps de propagation du signal des interconnexions et donc une vitesse de fonctionnement plus élevée, une diminution du coût de fabrication et une diminution de la taille du circuit [24]. Précisons qu'à présent l'empilement de wafers peut être adapté avec différents nœuds technologiques allant du 130 nm au 22 nm en passant par le 90 nm, le 65 nm et le 45 nm [20]. L'intégration par empilement de wafers reste une alternative à ne surtout pas négliger dans la réalisation d'un pixel numérique. En effet, nous avons vu que le principal défaut d'un pixel numérique reste sa taille. Nous avons également vu que le facteur de remplissage (*Fill Factor*) est très faible. En utilisant, une technologie 3D nous pouvons espérer améliorer ces critères. Un exemple de combinaison entre le pixel numérique et une technologie 3D avec empilement de wafers est présentée sur la Figure 1.8.

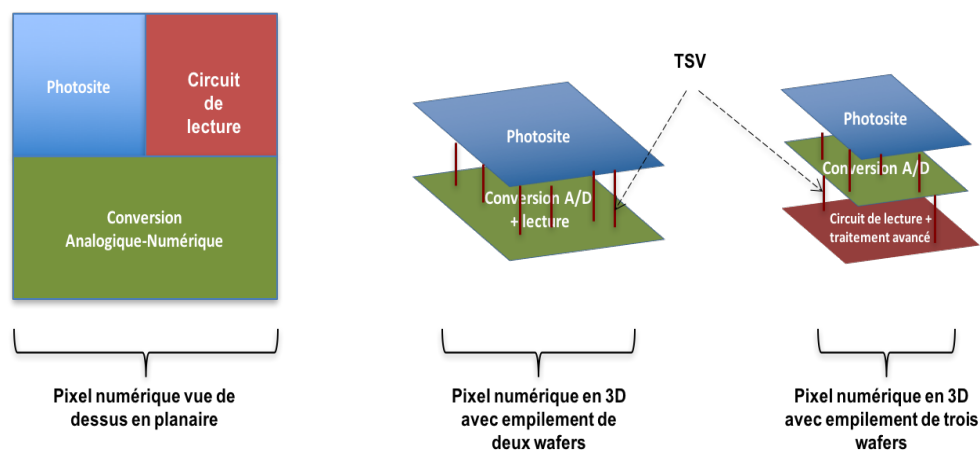


FIGURE 1.8 – Exemple de configuration d'un capteur à pixels numériques associé à une technologie 3D.

Nous comprenons vite le bénéfice qu'apporterait une intégration 3D sur un pixel numérique en termes de taille. De plus, avec la possibilité d'empiler plus de deux wafers, nous pouvons imaginer introduire un circuit de traitement avancé, comme par exemple un microprocesseur simple, dans le pixel ou groupe très restreint de pixels. Cela permettrait de faire des prétraitements comme de la compression ou du moyennage. Néanmoins, si on désire rajouter des fonctionnalités supplémentaires, il faut vérifier le bénéfice par rapport aux contraintes, vitesse, consommation, taille, etc. Dans l'exemple donné ci-dessus, avec les deux empilements 3D, le facteur de remplissage est de 100% car la taille du photosite est égale à la taille du circuit. C'est une configuration parmi tant d'autres. Comme beaucoup de circuits en micro-électronique, tout est question de compromis.

1.6/ PROBLÉMATIQUE DE LA THÈSE

Tout naturellement, nous en arrivons à la question suivante :

Peut-on concevoir un capteur d'image à pixels numériques, ou DPS (*Digital Pixel Sensor*), en technologie 3D capable de concilier compacité, fonctionnalités et performances ?

BIBLIOGRAPHIE

- [1] Zeljko Ignjatovic, Danijel Maricic, and Mark F Bocko. Low power, high dynamic range cmos image sensor employing pixel-level oversampling analog-to-digital conversion. *IEEE Sensors Journal*, 12(4) :737–746, 2012.
- [2] Roger Figueras, Justo Sabadell, Lluís Terés, and Francisco Serra-Graells. A 70- μm pitch 8-w self-biased charge-integration active pixel for digital mammography. *IEEE transactions on biomedical circuits and systems*, 5(5) :481–489, 2011.
- [3] Orit Skorka and Dileepan Joseph. Cmos digital pixel sensors : technology and applications. In *SPIE Smart Structures and Materials+ Nondestructive Evaluation and Health Monitoring*, pages 90600G–90600G. International Society for Optics and Photonics, 2014.
- [4] Munir El-Desouki, M Jamal Deen, Qiyin Fang, Louis Liu, Frances Tse, and David Armstrong. Cmos image sensors for high speed applications. *Sensors*, 9(1) :430–444, 2009.
- [5] Shunsuke Okura, Osamu Nishikido, Yusuke Sadanaga, Yasuhiro Kosaka, Norihiko Araki, Kazuhiro Ueda, and Fukashi Morishita. A 3.7 μm -pixel 1300-fps cmos image sensor with 5.0 g-pixel/s high-speed readout circuit. *IEEE Journal of Solid-State Circuits*, 50(4) : 1016–1024, 2015.
- [6] Youngcheol Chae, Jimin Cheon, Seunghyun Lim, Minho Kwon, Kwisung Yoo, Wunki Jung, Dong-Hun Lee, Seogheon Ham, and Gunhee Han. A 2.1 μm pixels, 120 frame/s cmos image sensor with column-parallel adc architecture. *IEEE Journal of Solid-State Circuits*, 46(1) :236–247, 2011.
- [7] Cyrus S Bamji, Patrick O’Connor, Tamer Elkhatib, Swati Mehta, Barry Thompson, Lawrence A Prather, Dane Snow, Onur Can Akkaya, Andy Daniel, Andrew D Payne, et al. A 0.13 μm cmos system-on-chip for a 512×424 time-of-flight image sensor with multi-frequency photo-demodulation up to 130 mhz and 2 gs/s adc. *IEEE Journal of Solid-State Circuits*, 50(1) :303–319, 2015.
- [8] Masanori Furuta, Toru Inoue, Yukinari Nishikawa, and Shoji Kawahito. A 3500fps high-speed cmos image sensor with 12b column-parallel cyclic a/d converters. In *2006 Symposium on VLSI Circuits, 2006. Digest of Technical Papers.*, 2006.
- [9] Seunghyun Lim, Jeonghwan Lee, Dongsoo Kim, and Gunhee Han. A high-speed cmos image sensor with column-parallel two-step single-slope adcs. *IEEE Transactions on Electron Devices*, 56(3) :393–398, 2009.
- [10] Masanori Furuta, Yukinari Nishikawa, Toru Inoue, and Shoji Kawahito. A high-speed, high-sensitivity digital cmos image sensor with a global shutter and 12-bit column-parallel cyclic a/d converters. *IEEE Journal of Solid-State Circuits*, 42(4) :766–774, 2007.
- [11] Xinyang Wang, Jan Bogaerts, Guido Vanhorebeek, Koen Ruythoren, Bart Ceulemans, Gérald Lepage, Pieter Willems, and Guy Meynants. A 2.2 μm cmos image sensor for high-speed machine vision applications. In *IS&T/SPIE Electronic Imaging*, pages 75360M–75360M. International Society for Optics and Photonics, 2010.

- [12] Chockalingam Veerappan, Justin Richardson, Richard Walker, Day-Uey Li, Matthew W Fishburn, Yuki Maruyama, David Stoppa, Fausto Borghetti, Marek Gersbach, Robert K Henderson, et al. A 160×128 single-photon image sensor with on-pixel 55ps 10b time-to-digital converter. In *2011 IEEE International Solid-State Circuits Conference*, pages 312–314. IEEE, 2011.
- [13] Stuart Kleinfelder, SukHwan Lim, Xinqiao Liu, and Abbas El Gamal. A 10000 frames/s cmos digital pixel sensor. *IEEE Journal of Solid-State Circuits*, 36(12) :2049–2059, 2001.
- [14] Roula Ghannoum and Mohamad Sawan. A 90nm cmos multimode image sensor intended for a visual cortical stimulator. In *2007 International Conference on Microelectronics*, pages 179–182. IEEE, 2007.
- [15] Jérôme Dubois, Dominique Ginjac, and Michel Paindavoine. A single-chip 10000 frames/s cmos sensor with in-situ 2d programmable image processing. In *Computer Architecture for Machine Perception and Sensing, 2006. CAMP 2006. International Workshop on*, pages 124–129. IEEE, 2006.
- [16] Albert JP Theuwissen. Cmos image sensors : State-of-the-art. *Solid-State Electronics*, 52(9) :1401–1406, 2008.
- [17] Hui Tian, Boyd Fowler, and Abbas E Gamal. Analysis of temporal noise in cmos photodiode active pixel sensor. *IEEE Journal of Solid-State Circuits*, 36(1) :92–101, 2001.
- [18] Abbas El Gamal and Helmy Eltoukhy. Cmos image sensors. *IEEE Circuits and Devices Magazine*, 21(3) :6–20, 2005.
- [19] Ghavam G Shahidi. Evolution of cmos technology at 32 nm and beyond. In *2007 IEEE Custom Integrated Circuits Conference*, pages 413–416. IEEE, 2007.
- [20] Rozalia Beica. 3d integration : Applications and market trends. In *3D Systems Integration Conference (3DIC), 2015 International*, pages TS5–1. IEEE, 2015.
- [21] Morihiro Kada. R&d overview of 3d integration technology using tsv worldwide and in japan. *ECS Transactions*, 64(40) :1–8, 2015.
- [22] Christophe Zinck. 3d integration infrastructure & market status. In *3D Systems Integration Conference (3DIC), 2010 IEEE International*, pages 1–34. IEEE, 2010.
- [23] Chuan Seng Tan, Kuan-Neng Chen, and Steven J Koester. *3D Integration for VLSI Systems*. CRC Press, 2016.
- [24] Jeffrey P Gambino, Shawn A Adderly, and John U Knickerbocker. An overview of through-silicon-via technology and manufacturing challenges. *Microelectronic Engineering*, 135 : 73–106, 2015.

ARCHITECTURE D'UN PIXEL NUMÉRIQUE

Sommaire

2.1	Les différentes architectures d'un pixel CMOS	15
2.1.1	Le pixel passif	16
2.1.2	Le pixel actif	17
2.2	Caractéristiques principales d'un capteur CMOS	20
2.2.1	Paramètres géométriques	20
2.2.2	Paramètres électriques et opto-électriques	20
2.2.3	Bruits et non-uniformités	24
2.2.4	Paramètres liés à la lecture	27
2.2.5	Autres métriques importantes	28
2.3	Descriptif d'un pixel numérique	29
2.3.1	Les photosites	29
2.3.2	Les Convertisseurs Analogique-Numériques	38
2.3.3	Les mémoires	55
2.3.4	Conclusion	58

Ce chapitre traite du pixel numérique, de sa composition, mais également des choix réalisés quant aux différents blocs le composant. Le principe d'un pixel digital repose sur un concept simple qui est la parallélisation des tâches. A l'instar des processeurs en informatique, l'idée est d'avoir plusieurs composants travaillant en parallèle plutôt qu'un seul composant plus complexe. Le fait de travailler en parallèle permet d'avoir des composants où certaines contraintes, comme la vitesse de fonctionnement, sont relâchées tout en gardant une meilleure efficacité. Le capteur CMOS à pixel numérique reprend ce concept. Avant de présenter le pixel numérique, il est important de rappeler les différentes configurations d'un pixel et les caractéristiques globales d'un capteur d'image CMOS.

2.1/ LES DIFFÉRENTES ARCHITECTURES D'UN PIXEL CMOS

De manière générale, un capteur d'image possède très souvent un photosite, une conversion analogique-numérique et un circuit de lecture. Cependant le pixel peut prendre différentes configurations. Il faut bien dissocier les éléments photosensibles et le pixel à proprement parlé. En effet, le pixel n'est pas juste le photosite mais possède une architecture électronique. Il y a deux grandes familles de pixel, à savoir analogique et numérique, toutes deux évoquées dans le

premier chapitre. Nous ne reviendrons pas sur les avantages de l'une par rapport à l'autre (cf. chapitre 1). Le pixel numérique est détaillé ultérieurement. Parmi les pixels analogiques, nous avons deux grandes catégories : Le pixel dit passif ou PPS (*Passive Pixel Sensor*) et le pixel dit actif ou APS (*Active Pixel Sensor*). Ne seront pas décrits les pixels très spécifiques telles que les photodiodes à avalanche polarisées en mode Geiger. Notre descriptif n'est axé que sur les pixels classiques.

2.1.1/ LE PIXEL PASSIF

Ce type d'architecture reste l'architecture de pixel la plus simple. En effet, il ne possède que le photo-élément et un transistor qui fait office d'interrupteur de sélection ligne-colonne [1]. Nous avons une représentation schématique Figure 2.1.

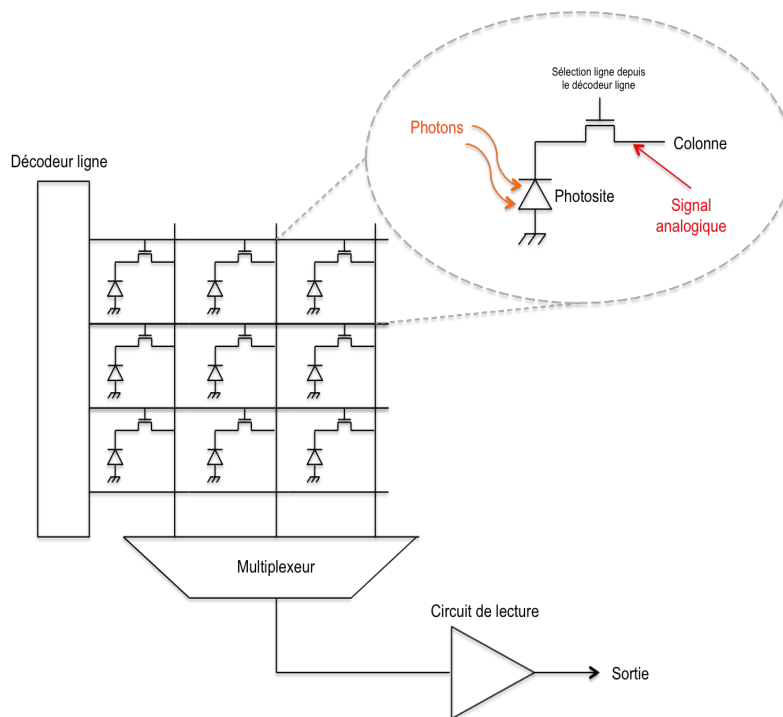


FIGURE 2.1 – Exemple d'architecture d'un capteur à pixel passif.

Dans cet exemple, le circuit de lecture n'est pas détaillé. Généralement, c'est un amplificateur à intégration de charges ou CIA (*Charge Integration Amplifier*) que l'on retrouve soit en fin de chaîne, soit à la fin de chaque colonne. A la fin de chaque colonne, il permet de garder la tension de colonne constante. Le photosite génère des électrons, représentation des photons incidents. Ces charges sont transférées vers le circuit de lecture pour être traitées grâce au décodeur et au multiplexeur via l'interrupteur de sélection. La réinitialisation du photosite se fait au niveau du circuit de lecture. Contrairement au pixel actif, il possède un avantage certain en termes de facteur de remplissage et de taille du pixel, dû notamment au nombre d'éléments électroniques intra-pixel restreints. En contrepartie, il a un moins bon rapport signal sur bruit [2][3]. Mais son principal défaut reste encore la capacité de ligne qui s'ajoute à la capacité interne du photosite lors de la phase de lecture et qui a pour conséquence une augmentation de celle-ci. Son bruit de lecture est typiquement élevé car lié à la taille de la capacité du photosite.

2.1.2/ LE PIXEL ACTIF

Globalement, le pixel actif est très proche du pixel passif au détail près qu'est rajouté à l'intérieur du pixel un amplificateur. L'amplificateur est un suiveur de tension (avec un gain en tension proche de 1). Le nom du pixel vient du fait que l'amplificateur est un composant « actif ». Il a été introduit pour pallier les problèmes du PPS. Il joue le rôle d'isolant entre le photodétecteur et la ligne de transmission. Il existe cependant plusieurs configurations de pixel actif [4][5].

2.1.2.1/ LE PIXEL 3T

La structure la plus basique est le pixel 3T (intégrant 3 transistors en plus du photodétecteur). Nous en avons une représentation Figure 2.2.

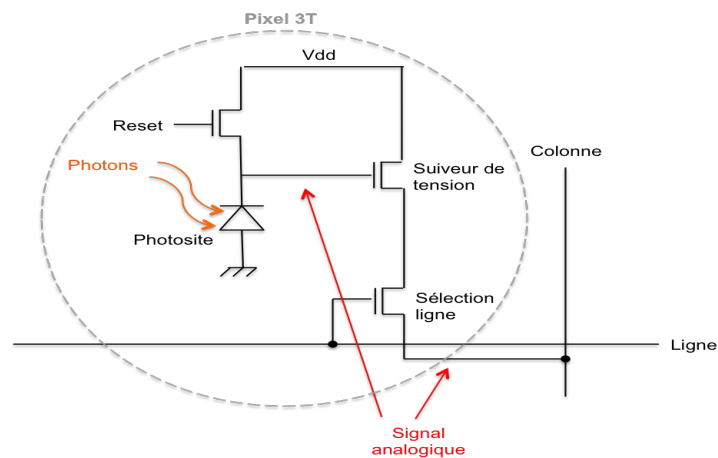


FIGURE 2.2 – Architecture d'un pixel 3T.

Le photosite est une photodiode. Son fonctionnement est le suivant : la première phase est une phase de réinitialisation. Une tension, ici V_{dd} ou tension d'alimentation, est appliquée aux bornes de la capacité de la photodiode par l'intermédiaire du transistor de *Reset*. Cette tension est souvent appelée tension de référence et est généralement la plus élevée possible. Une fois cette phase achevée, a lieu la phase d'intégration. Durant celle-ci, l'éclairement est appliqué sur le photosite. Les électrons générés par la photodiode, représentation des photons incidents, font chuter, de manière linéaire, la tension de référence jusqu'à une valeur V_{sign} dépendante du temps d'intégration et de la puissance du signal lumineux. Vient ensuite une phase de lecture où le transistor *Sélection de ligne* transmet la tension V_{sign} dans la colonne en passant par le suiveur de tension avec un gain théoriquement égal à 1. La différence des deux tensions représente la quantité de charges générée par le photosite.

2.1.2.2/ LE PIXEL 4T

Ce pixel est un peu différent de celui précédemment cité. Il a été conçu pour remédier aux problèmes du pixel 3T (essentiellement liés à la capacité du photosite). Cette structure est souvent associée à une photodiode particulière appelée photodiode PIN (*Positive Intrinsic Negative*). Cette diode particulière permet des améliorations en ce qui concerne le courant de fuite, l'efficacité quantique (sensibilité) et sa vitesse de fonctionnement en mode photodiode.

Ce type de pixel est très apprécié car il atténue le courant d'obscurité et donc le bruit. Ce pixel nécessite une technique de fabrication particulière. Son architecture est présentée Figure 2.3.

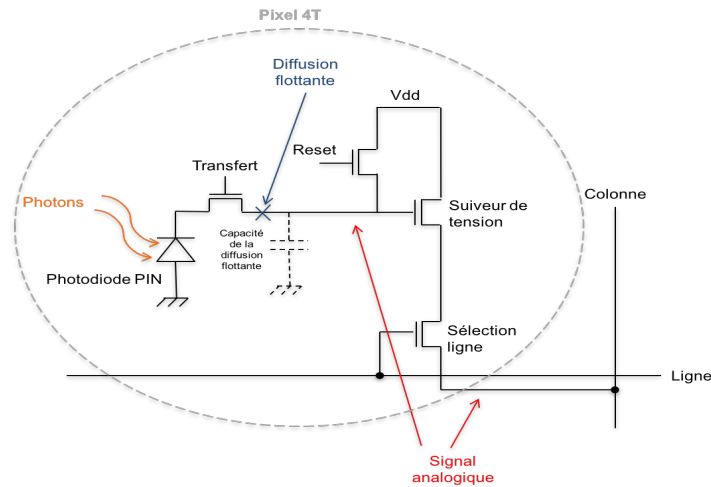


FIGURE 2.3 – Architecture d'un pixel 4T.

L'idée conceptuelle du pixel 4T est de séparer la capacité du nœud d'intégration (capacité de la jonction de la photodiode PIN) et la capacité du nœud de détection (capacité de la diffusion flottante ou diode flottante) afin de minimiser le bruit et plus particulièrement le bruit de réinitialisation. Soulignons que la capacité de jonction d'une photodiode PIN est plus petite qu'une photodiode standard. La phase d'intégration va s'effectuer aux bornes de la diode PIN et les charges collectées vont ensuite être transférées dans la capacité de la diffusion flottante sans ajout de bruit supplémentaire grâce à l'interrupteur *Transfert* (Figures 2.3 et 2.4). Le suiveur de tension a le même rôle que celui du pixel 3T. La phase de reset n'est pas faite aux bornes de la PIN, mais sur le nœud de détection (diffusion flottante).

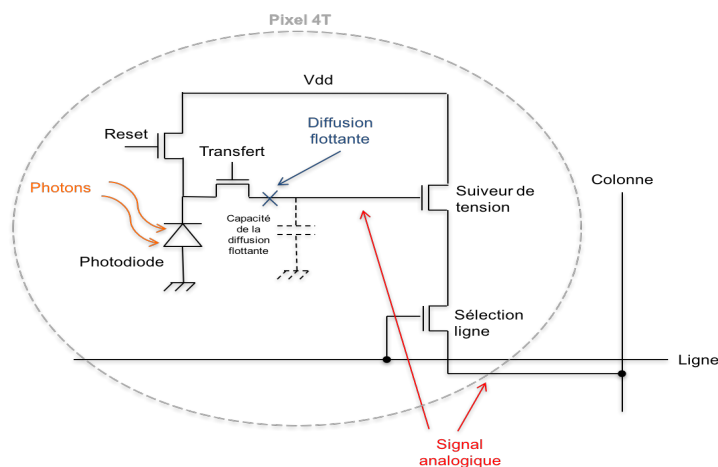


FIGURE 2.4 – Variante du pixel 4T.

Une variante peut être proposée pour utiliser une photodiode standard mais l'initialisation se fait cette fois-ci au niveau de la photodiode. Son architecture est présentée Figure 2.4.

Cette structure peut être utilisée pour le mode de fonctionnement « obturateur global » (*global shutter*) [6]. Il existe également des variantes (pixel 5T, 6T, 7T, etc.), issues des pixels 3T et 4T, non décrites dans ce manuscrit.

2.1.2.3/ LE PIXEL LOGARITHMIQUE

Les pixels 3T et 4T sont également appelés « pixels linéaires » car, pendant la phase d'intégration, les charges collectées font chuter, de manière linéaire, la tension aux bornes de la capacité de celle-ci. Il existe une architecture dans laquelle le signal varie de manière logarithmique aux bornes de la capacité de la photodiode. Ce « pixel logarithmique » est également réalisé avec une architecture possédant 3 transistors (Figure 2.5).

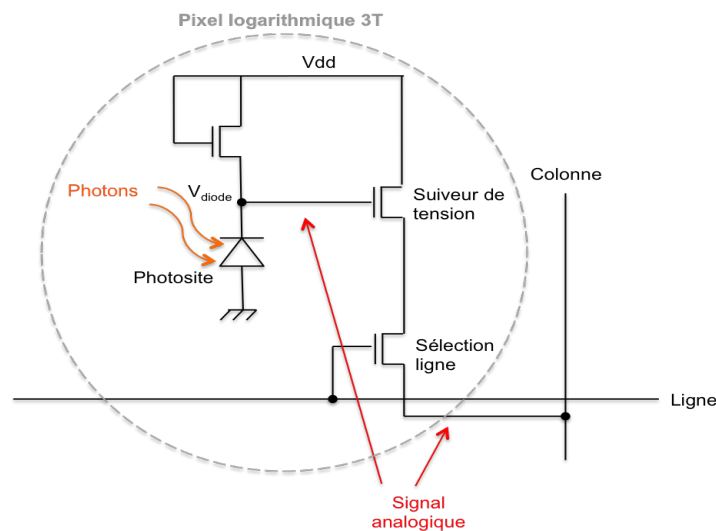


FIGURE 2.5 – pixel logarithmique.

La formule de la tension de la diode peut être définie de la façon suivante :

$$V_{diode} = V_{dd} - \frac{K_B \times T}{q} \times \ln \left(\frac{I_{diode}}{I_o} \right) \quad (2.1)$$

V_{diode} : la tension aux bornes de la photodiode (photosite) [V],

I_{diode} : le courant généré par la diode lors d'un éclairage [A],

I_o : une constante [A],

T : la température [K],

K_B : la constante de Boltzmann qui est égale à $1,3806 \times 10^{-23}$ [$J \cdot K^{-1}$],

q : la charge élémentaire égale à $1,6 \times 10^{-19}$ [C],

V_{dd} : la tension d'alimentation ou tension de référence de la diode [V].

Ce montage a une meilleure dynamique qu'un pixel linéaire et est utilisé essentiellement pour cela. Il fonctionne en temps continu et ne nécessite pas de phase d'initialisation (*Reset*). Néanmoins, il souffre d'inconvénients non négligeables tels qu'une forte dépendance à la température et un motif de bruit fixe élevé.

2.2/ CARACTÉRISTIQUES PRINCIPALES D'UN CAPTEUR CMOS

Tout capteur d'image est symbolisé par ce qu'on appelle des facteurs de mérite ou métriques. Nous en avons cité quelques uns précédemment [7–9]. Nous allons les détailler dans cette section.

2.2.1/ PARAMÈTRES GÉOMÉTRIQUES

Les paramètres géométriques sont liés à la géométrie de la matrice de pixels mais également à la forme du pixel. Nous avons :

- **La résolution de la matrice** : Elle définit le nombre de pixels dans la matrice du capteur. Plus la résolution est grande et plus il y a de détails dans une image.
- **Le facteur de remplissage (*Fill Factor*)** : Il est exprimé en pourcentage. C'est le rapport entre l'aire de l'élément photosensible et l'aire totale du pixel.

$$FF (\%) = \frac{\text{Aire de l'élément photosensible}}{\text{Aire totale du pixel}} \quad (2.2)$$

- **La taille du pixel (*Pixel pitch*)** : Ce paramètre est lié à la résolution matricielle. Il représente la dimension finale du pixel et est exprimé en micromètre (périmètre du pixel) ou micromètre carrée (surface du pixel).

Pour conclure sur ces paramètres, l'augmentation de la résolution de la matrice améliore la qualité d'une image et également la quantité de détails dans celle-ci. Toutefois, l'augmentation de la taille du pixel améliore la quantité de charges maximale et donc impacte le rapport signal sur bruit mais diminue la résolution matricielle (pour une même taille de capteur). Le facteur de remplissage joue un rôle important dans la sensibilité du pixel. En effet, plus il est élevé et plus le capteur collecte de photons. Le facteur de remplissage est directement lié à la complexité de la structure électronique du pixel et à la taille de celui-ci. Nous comprenons donc qu'un compromis doit être fait entre ces trois paramètres.

2.2.2/ PARAMÈTRES ÉLECTRIQUES ET OPTO-ÉLECTRIQUES

Les paramètres électriques dépendent des propriétés électriques du photosite en fonction de la technologie CMOS exploitée et également des caractéristiques électriques du circuit global. Les paramètres opto-électriques représentent les paramètres électriques en interaction avec la lumière. Ces derniers vont dépendre de la technologie utilisée, de la géométrie du pixel et également du circuit d'acquisition du pixel. Ces principales métriques sont listées ci-dessous :

- **Le courant d'obscurité (*Dark current*)** : C'est le courant que va générer le pixel en l'absence d'éclairement total [10]. Il est souvent exprimé en $[nA/cm^2]$ ou en $[e^-/pix/s]$. Il varie fortement en fonction de la température et en fonction du temps d'intégration. Cette variation est généralement linéaire et croissante. Il est dépendant du silicium utilisé et donc de la technologie CMOS. Ses origines résultent d'une part de la génération et de la diffusion de porteurs de charges du fait de l'agitation thermique dans le substrat et dans la zone de déplétion de la jonction P-N du photosite, et d'autre part de l'état de surface du silicium. Le courant d'obscurité va s'ajouter au courant généré lors de l'illumination

et par voie de conséquence créer une erreur. Nous pouvons définir le courant d'obscurité en fonction de la température comme ceci :

$$I_{obscurité}(T) = A \times T^{\frac{3}{2}} \times e^{\left(\frac{-E_g}{2 \times K_B \times T}\right)} + B \times T^3 \times e^{\left(\frac{-E_g}{K_B \times T}\right)} \quad (2.3)$$

En rouge : ce terme est dû à la génération de porteurs,

En bleu : ce terme est dû à la diffusion de porteurs,

A et B : deux constantes,

T : la température [K],

K_B : la constante de Boltzmann, soit $1,3806 \times 10^{-23}$ [$J \cdot K^{-1}$],

E_g : l'énergie de la bande interdite dans un semi-conducteur [J].

- **L'efficacité quantique ou QE (Quantum Efficiency)** : Elle est exprimée en pourcentage. C'est le rapport entre le nombre d'électrons collectés et le nombre de photons incidents au pixel entier (pas uniquement l'élément photosensible), ce qui la lie au facteur de remplissage. Elle dépend de la longueur d'onde mais également de la technologie utilisée. Elle contribue également à la sensibilité du pixel.

$$QE(\lambda) = \frac{\text{Nombre d'électrons produits}}{\text{Nombre de photons absorbés}} \quad [\%] \quad (2.4)$$

Nous pouvons associer une autre grandeur à cette caractéristique qui est la sensibilité spectrale du photorécepteur. Elle peut se traduire par le courant généré en fonction de la puissance d'un flux lumineux. Elle dépend également de la longueur d'onde. Son équation en fonction du QE est :

$$S_R(\lambda) = \frac{QE(\lambda) \times \lambda \times q}{h \times c} \quad (2.5)$$

$S_R(\lambda)$: la sensibilité spectrale, exprimée en [$A \cdot W^{-1}$],

q : la charge élémentaire égale à $1,6 \times 10^{-19}$ [C],

h : la constante de Planck égale à $6,626 \times 10^{-34}$ [$J \cdot s$] ou $4,135 \times 10^{-15}$ [$eV \cdot s$],

λ : la longueur d'onde [nm],

c : la vitesse de la lumière, soit $2,997 \times 10^8$ [$m \cdot s^{-1}$].

- **La capacité de stockage ou FWC (Full Well Capacity)** : C'est la capacité maximale de charges électriques que le pixel peut accumuler et est exprimée en électron. Cette caractéristique dépend de la taille et de la géométrie du photosite ainsi que la technologie usitée.

Nous pouvons l'approximer de la manière suivante (dans le cas où le photosite est une photodiode) :

$$N_{FWC} = \frac{V_{diode_sat} \times C_{Photosite}}{q} \quad (2.6)$$

N_{FWC} : quantité maximale de charges du photosite [e^-],

q : la charge élémentaire qui équivaut à $1,6 \times 10^{-19}$ [C],

V_{diode_sat} : la tension de saturation aux bornes de la photodiode [V],

$C_{Photosite}$: la capacité du photosite [F]. Cela comprend également les capacités parasites dues à l'électronique autour du photodétecteur.

- **La dynamique ou DR (*Dynamic Range*)** : Ce facteur très important définit l'écart entre la valeur de la tension minimale et la valeur de saturation, à savoir la tension maximale en sortie du pixel par rapport au seuil de bruit dans l'obscurité [11]. La différence entre la tension d'obscurité et la tension de saturation correspond à la valeur d'excursion en tension. Elle dépend de la tension maximale aux bornes de la photodiode mais également de l'excursion maximale de l'amplificateur intra-pixel (suiveur de tension avec un gain généralement inférieur à 1). Elle est également fonction du type de circuit et de l'étage d'amplification après le pixel. DR représente donc la capacité du pixel à traduire les faibles et forts éclaircissements pour une large gamme de variations d'éclaircissement. Notons que ce paramètre agit sur le nombre de bits du pixel (résolution de celui-ci). En effet, une faible dynamique limite le nombre maximal possible de bits du pixel. Cette caractéristique doit être la plus élevée possible et est généralement définie par la formule suivante :

$$DR = \frac{V_{sat} - V_{obscuri}}{\text{bruit total}} \quad (2.7)$$

DR : la dynamique s'exprime généralement en décibel [dB]. Pour cela, il faut effectuer $20 \times \log_{10}(DR)$,

V_{sat} : la tension maximale utile [V],

$V_{obscuri}$: la tension dans l'obscurité [V],

bruit total : C'est le bruit total du capteur dans l'obscurité. Il va dépendre du bruit du courant d'obscurité, du bruit dans l'obscurité de l'étage suiveur et du bruit dans l'obscurité de l'électronique avant convertisseur analogique-numérique. Pour déterminer le seuil du bruit, il faut faire la somme quadratique de ces différents bruits. La Figure 2.6 reprend ces explications.

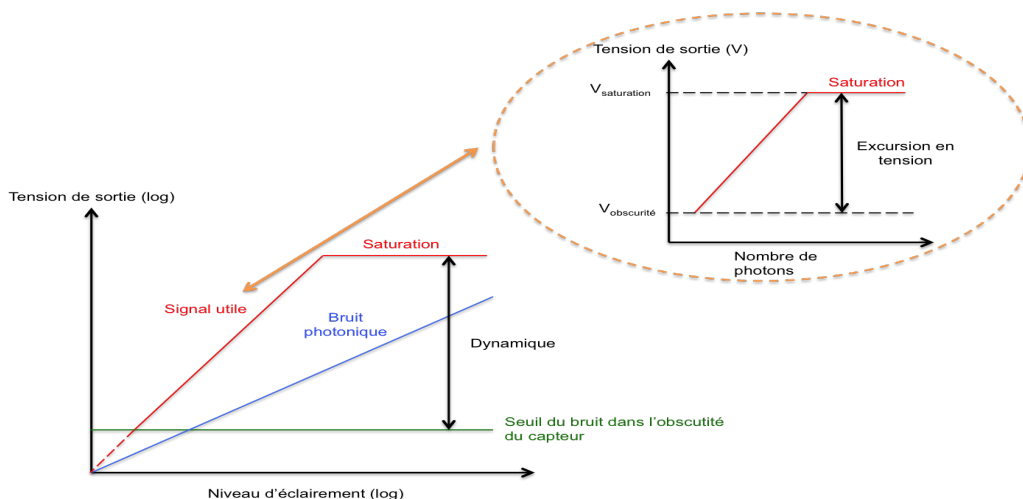


FIGURE 2.6 – Représentation de la dynamique d'un capteur.

- **Le facteur de conversion ou CVF (*Charge to Voltage conversion Factor*)** : Le facteur de conversion représente la capacité du pixel (photodiode + étage d'amplification) à transformer les électrons stockés dans la capacité du photosite en une tension, en sortie de celui-ci. Ce facteur va dépendre de la taille du photosite mais également du gain de l'étage d'amplification. L'étage d'amplification est généralement un suiveur de tension et a un gain inférieur à 1. Le CVF est défini de la façon suivante :

$$CVF = \frac{q \times G_{pixel}}{C_{photorécepteur}} \quad (2.8)$$

CVF : le facteur de conversion [V/e^-],
 q : la charge élémentaire égale à $1,6 \times 10^{-19}$ [C],
 G_{pixel} : le gain du ou des étage(s) d'amplification du pixel,
 $C_{photorécepteur}$: la capacité du photorécepteur [F].

- **La sensibilité du capteur (*Sensitivity*)** : Elle est définie comme étant le signal électrique obtenu en sortie du pixel pour un éclairement et un temps d'intégration donné. Elle peut être exprimée de deux manières et dépend de l'unité désirée [12] :

$$S_W = \frac{FF \times A_{pixel}}{C_{int}} \times \frac{\int S_R(\lambda) \times \phi(\lambda) \times d\lambda}{\int \phi(\lambda) \times d\lambda} \quad (2.9)$$

S_W : la sensibilité du capteur, exprimée en [$V/(\mu J/cm^2)$],
 $S_R(\lambda)$: la sensibilité spectrale, exprimée en [$A \cdot W^{-1}$],
 FF : le facteur de remplissage,
 $\phi(\lambda)$: la densité spectrale de puissance de l'éclairement [$W/cm^2 \cdot nm$],
 A_{pixel} : l'aire du pixel [μm^2],
 λ : la longueur d'onde [nm],
 C_{int} : la capacité d'intégration ou capacité du photosite [F].

Nous pouvons également l'écrire de cette manière :

$$S_E = \frac{FF \times A_{pixel}}{C_{int} \times K_m} \times \frac{\int S_R(\lambda) \times \Phi(\lambda) \times d\lambda}{\int_{380 nm}^{780 nm} V_e(\lambda) \times \Phi(\lambda) \times d\lambda} \quad (2.10)$$

S_E : la sensibilité du capteur, exprimée en [$V/lux \cdot s$],
 K_m : l'efficacité lumineuse spectrale maximale photopique égale à 683 [lm/W],
 $V_e(\lambda)$: la sensibilité de l'oeil humain en fonction de la longueur ou encore l'efficacité lumineuse spectrale relative photopique, sans dimension.

Nous remarquons que la sensibilité dépend de la capacité d'intégration mais également du facteur de remplissage et de l'efficacité quantique.

2.2.3/ BRUITS ET NON-UNIFORMITÉS

Nous avons évoqué précédemment différentes sources de bruit. Les bruits et non-uniformités sont des composantes parasites qui affectent la qualité d'une image. Nous allons les étudier plus en détail. Nous pouvons classer le bruit en deux grandes catégories : le bruit temporel ou bruit aléatoire (*random noise*), et le bruit spatial ou bruit de motif (*pattern noise*) [13–19].

Le bruit temporel : Cette catégorie de bruit est due aux densités spectrales de bruit des composants (transistors, capacités etc...) formant le pixel. Les plus impactants et les plus connus sont :

- **Le bruit thermique (*Johnson noise*)** : Il est généré par l'agitation thermique des porteurs de charges (électrons) dans un composant électrique. Aux bornes d'une résistance, sa densité spectrale de puissance est :

$$V_R^2(f) = 4 \times K \times T \times R \quad (2.11)$$

$V_R^2(f)$: exprimée en $[V^2 \cdot Hz^{-1}]$ (rapportée à une bande passante de 1Hz),

K : la constante de Boltzmann, soit $1,3806 \times 10^{-23} [J \cdot K^{-1}]$,

T : la température $[K]$,

R : la valeur de la résistance $[\Omega]$.

Sa densité spectrale de tension (*voltage spectral density*) est :

$$V_R(f) = \sqrt{4 \times K \times T \times R} \quad (2.12)$$

$V_R(f)$: exprimée en $[V/\sqrt{Hz}]$.

Sa moyenne quadratique $V_{thermal,RMS}$ (ou tension efficace) est :

$$V_{thermal,RMS} = \sqrt{4 \times K \times T \times R} \times \sqrt{\Delta f} \quad (2.13)$$

$V_{thermal,RMS}$: moyenne quadratique du bruit $[V]$,

Δf : bande passante $[Hz]$.

- **Le bruit de grenaille (*Shot noise*)** : Il provient de la granularité des électrons et du fait que le courant n'est pas continu mais composé de charges élémentaires. Il n'apparaît qu'avec un mouvement de charges à travers une barrière de potentiel. Il est le résultat de la génération aléatoire de porteurs de charges. Dans le cas d'un imageur, la génération thermique de porteurs de charges dans la zone de déplétion de la photodiode donne naissance au bruit de grenaille du courant d'obscurité. La génération aléatoire de photo-électrons causée par l'arrivée aléatoire des photons sur le photosite crée le bruit de grenaille photonique. De manière générale, nous pouvons définir sa densité spectrale de puissance comme ceci :

$$I_{shot_noise}^2(f) = 2 \times q \times I_{DC} \quad (2.14)$$

$I_{shot_noise}^2(f)$: exprimée en $[A^2 \cdot Hz^{-1}]$,
 q : la charge élémentaire et vaut $1,6 \times 10^{-19}$ [C],
 I_{DC} : le courant moyen qui parcourt le composant [A].

Nous pouvons également déterminer sa moyenne quadratique $I_{shot,RMS}$ (ou courant efficace) par :

$$I_{shot,RMS} = \sqrt{2 \times q \times I_{DC}} \times \sqrt{\Delta f} \quad (2.15)$$

$I_{shot,RMS}$: moyenne quadratique du bruit de grenaille [A],
 Δf : bande passante [Hz].

- **Le bruit de scintillement (*Flicker noise*)** : Le bruit en $1/f$ ou Flicker noise, est un bruit très difficile à définir. Il est généré par de nombreux mécanismes comme la fluctuation de la mobilité mais également par une fluctuation aléatoire des porteurs de charges dans le canal de conduction d'un transistor MOS [20]. Ce bruit est inversement proportionnel à la fréquence et est très dépendant de la géométrie du transistor et de la technologie CMOS utilisée.

Nous pouvons modéliser (d'après le modèle du bruit de scintillement unifié) sa densité spectrale de puissance dans un transistor MOS comme suit :

$$V_{flicker_noise}^2(f) = \frac{K1(V_{gs})}{C_{ox}^2} \times \frac{1}{W \times L} \times \frac{1}{f^c} \quad (2.16)$$

$V_{flicker_noise}^2(f)$: exprimée en $[V^2 \cdot Hz^{-1}]$,
 $K1(V_{gs})$: une quantité dépendante du procédé technologique et de la tension de polarisation V_{gs} . Cette quantité est exprimée en $[V^2 \cdot F]$,
 C_{ox} : la capacité d'oxyde de la technologie MOS [F],
 W : la largeur du transistor MOS [μm],
 L : la longueur de canal du transistor MOS [μm],
 f^c : la fréquence [Hz] avec un exposant c variant de 0,7 à 1,2.

Il est souvent associé à la fréquence de coin ou la fréquence de coude (*corner frequency*). La Figure 2.7 représente celle-ci. Elle est le résultat du croisement de l'asymptote de la courbe du bruit de scintillement et l'asymptote de la courbe du bruit thermique. Le bruit en $1/f$ est dominant en basse fréquence. En moyenne et grande fréquence, c'est le bruit blanc qui prédomine. Le bruit en $1/f$ est un bruit conséquent car il possède une très grande valeur en basse fréquence et de facto diminue le ratio signal/bruit.

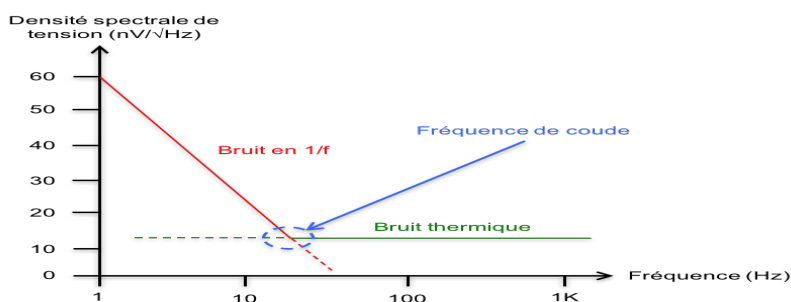


FIGURE 2.7 – Représentation de la fréquence de coude du bruit de scintillement.

Le bruit spatial : Dans ce cas-là, nous parlerons de non-uniformité plutôt que de bruit. Il est plus communément appelé FPN (*Fixed Pattern Noise*). Il résulte de la différence de comportement électrique entre deux pixels (en théorie identiques) d'un même capteur. Ce bruit est dépendant de la technologie mais également du circuit. Il est difficilement prévisible mais compensable. Il possède deux composantes :

- **Les Non-Uniformités de la réponse du pixel sous illumination ou PRNU (*Pixel Response Non-Uniformities*)** : C'est la différence du signal de sortie d'un pixel à un autre dans le cas où il y a une même illumination.
- **Les Non-Uniformités du signal d'obscurité ou DSNU (*Dark Signal Non-Uniformities*)** : Correspond à la différence de mesure du courant d'obscurité d'un pixel à un autre en l'absence d'éclairage.

Il faut préciser qu'il existe également un bruit fixe de colonne, ou FPN de colonne, généré par une différence de gain d'amplification de chaque colonne. Le FPN de colonne n'est présent que dans les architectures de capteurs d'image utilisant une amplification « bas de colonne ». Nous pouvons introduire cette caractéristique comme une composante du FPN global.



FIGURE 2.8 – Exemple de FPN colonne sur une image [21].

Ces non-uniformités sont perceptibles sur l'image par l'œil humain. L'image de la Figure 2.8 est un bon exemple de la conséquence du FPN. Cette photo laisse apparaître des lignes verticales. Ces lignes sont la traduction visible d'une variation de la valeur du signal en sortie d'une colonne à une autre alors qu'elles devraient avoir les mêmes valeurs.

Autres types de bruit : D'autres bruits existent en rapport avec la composition du circuit qui peuvent dégrader les performances du capteur comme :

- **Le bruit de quantification (*Quantification noise*) :** Ce bruit est directement lié au convertisseur analogique-numérique. Lors des étapes de la conversion, une étape de quantification transforme un signal continu en une représentation discrète de points se rapprochant le plus possible du signal source. Elle est associée à un pas de quantification qui est la plus petite valeur codable par le circuit. Or un signal analogique possède une infinité de points et un signal discret, un nombre fini de points. On comprend bien qu'il est impossible d'avoir un code par point du signal source. Le bruit de quantification est dû au fait qu'un ensemble de points du signal source va avoir le même code.
- **Les diaphonies (*Crosstalk*) :** De manière générale, la diaphonie est l'interférence d'un signal sur un autre. Il en existe trois sortes en imagerie [22] :
 1. La diaphonie spectrale (*spectral crosstalk*). Dans le cas d'un imageur couleur, nous utilisons un filtre de Bayer, au dessus des pixels, qui laisse passer les longueurs d'onde de couleurs choisies. Or le filtre n'étant pas parfait, ce dernier laisse passer une quantité de lumière de couleurs non désirées. Cette erreur est la diaphonie spectrale.
 2. La diaphonie spectrale optique (*optical spectral crosstalk*). Elle concerne les capteurs d'images couleurs. Les filtres de couleurs sont situés à une certaine distance de la surface du pixel. Certains rayons de la lumière frappent le filtre avec un angle de façon non orthogonale ce qui entraîne leur absorption par le pixel adjacent plutôt que le pixel souhaité.
 3. La diaphonie électrique (*electrical crosstalk*). Dans le cas d'un pixel, la diaphonie électrique provient du fait que les électrons photo-générés peuvent migrer vers la capacité de stockage du pixel voisin produisant ainsi une erreur de quantité de charges et donc d'information. On retrouve également une diaphonie électrique entre une ligne de conduction et une autre. En effet, la superposition de deux lignes métalliques de transmission va créer une capacité parasite et donc perturber les signaux dans les deux lignes.

2.2.4/ PARAMÈTRES LIÉS À LA LECTURE

Ces paramètres sont liés à la vitesse de fonctionnement du système et donc associés à la fréquence d'horloge du circuit.

- **Le nombre d'images par seconde ou FPS (*Frame Per Second*) :** Ce critère définit la rapidité du capteur à acquérir, convertir et lire une information lumineuse. Dans la chaîne de fonctionnement d'un capteur d'image, quatre temps principaux sont à prendre en compte : Le temps d'initialisation de l'élément photosensible, le temps d'intégration (pas dans le cas des capteurs logarithmiques), le temps de conversion et le temps de lecture. Ces quatre éléments déterminent le nombre de FPS. Ce paramètre dépend de

l'architecture du capteur, des composants le formant et également de la technologie CMOS.

- **La consommation électrique (*Power consumption*)** : Cette grandeur peut être exprimée en Watt, en Joule ou encore en Ampère. Elle correspond à la consommation électrique totale du capteur. Bien souvent, n'est présentée que la consommation de la matrice ou simplement la consommation de chaque pixel. Une de ses composantes dépend de la fréquence d'horloge du système.

2.2.5/ AUTRES MÉTRIQUES IMPORTANTES

- **Le rapport signal sur bruit ou SNR (*Signal to Noise Ratio*)** : C'est le rapport entre la tension RMS (*Root Mean Square*) du signal utile et la tension RMS du bruit lors d'une illumination, ou le rapport entre le courant RMS du signal utile et le courant RMS du bruit lors d'une illumination, ou bien encore, le rapport entre le nombre d'électrons du signal utile et le nombre d'électrons du bruit lors d'une illumination. Il est exprimé en décibel (dB). Le bruit est couramment présenté à différents points de la chaîne de fonctionnement du capteur mais le rapport signal sur bruit est généralement exprimé au niveau de l'élément photosensible et au niveau de la conversion.
- **La fonction de transfert de modulation ou MTF (*Modulation Transfer Function*)** : La MTF est exprimée en pourcent. Elle représente la capacité de résolution spatiale du capteur, où plus schématiquement, la capacité du pixel à passer du noir au blanc plus ou moins rapidement avec une réponse plus ou moins bonne selon la fréquence de transition du noir au blanc [23].



FIGURE 2.9 – Influence de la MTF sur une prise photographique [23].

2.3/ DESCRIPTIF D'UN PIXEL NUMÉRIQUE

Un pixel numérique se compose de trois éléments primordiaux : un photosite qui capte l'information (les photons) et la traduit en un signal analogique, un convertisseur analogique-numérique qui transforme le signal analogique en un signal numérique et une mémoire qui stocke le résultat. La Figure 2.10 donne un aperçu schématisé d'un pixel numérique et d'un imageur à pixels numériques.

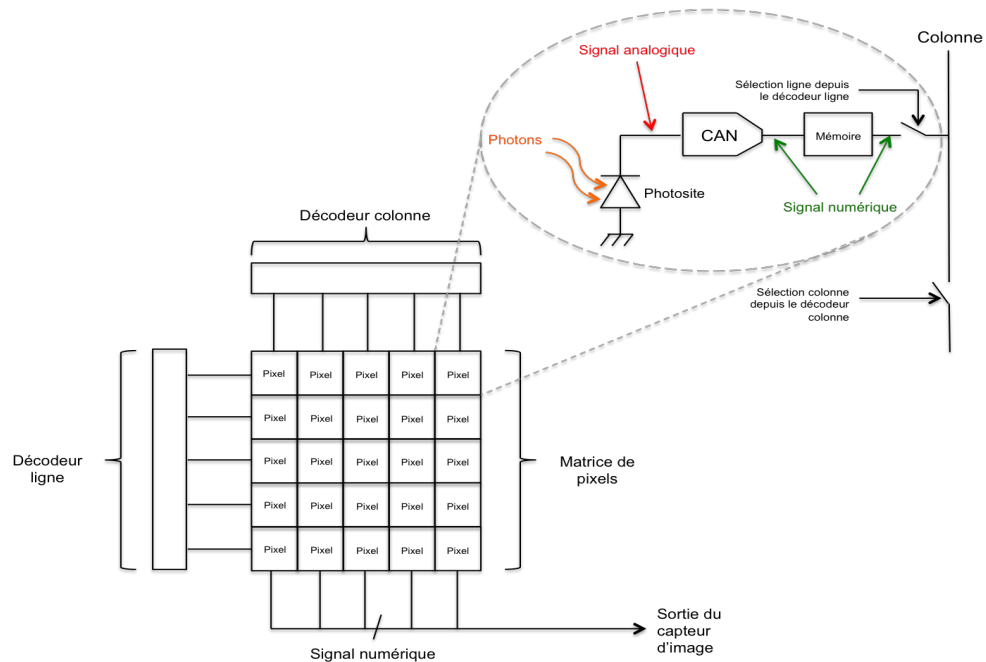


FIGURE 2.10 – Présentation du pixel digital.

Le photosite est représenté par une photodiode (élément le plus courant). Le circuit est un système matriciel, et chaque pixel est doté d'un interrupteur de lecture ligne et d'un interrupteur de lecture colonne pour sélectionner la donnée du pixel souhaitée. Intéressons-nous aux différentes possibilités pour chacun des sous-circuits. Certaines formules présentées antérieurement sont reproduites pour une meilleure lisibilité.

2.3.1/ LES PHOTOSITES

Cet élément acquiert de l'information à savoir les photons. C'est donc un élément sensible qui interagit avec la lumière. La relation de Planck-Einstein détermine l'énergie transportée par un photon :

$$E_{\text{photon}} = \frac{h \times c}{\lambda} \quad (2.17)$$

E_{photon} : énergie d'un photon [J], souvent exprimée en [eV] grâce à la relation $1 \text{ [eV]} = 1,60 \times 10^{-19} \text{ [J]}$,

c : la vitesse de la lumière égale à $2,997 \times 10^8$ [$m \cdot s^{-1}$],

h : la constante de Planck, soit $6,626 \times 10^{-34}$ [$J \cdot s$] ou $4,135 \times 10^{-15}$ [$eV \cdot s$],

λ : la longueur d'onde [nm].

L'élément de base de la micro-électronique est le silicium et la majorité des technologies CMOS repose sur cet élément chimique. Ses propriétés semi-conductrices en font un élément de choix pour la fabrication des transistors. Une des propriétés significatives du silicium, est la valeur de sa bande interdite, $1,12 eV$ à $300 K$.

Dans le cas d'un élément photosensible, l'énergie collectée est issue du photon qui en « frappant » le silicium crée une paire électron-trou. Si nous reprenons la relation de Planck-Einstein, pour qu'il y ait conduction dans un photosite réalisé à partir du silicium, l'énergie du photon doit être supérieure à la valeur énergétique de la bande interdite soit $1,12 eV$, soit la longueur d'onde maximale de $1,1 \mu m$. Cette longueur d'onde correspond au proche infra-rouge. Les photosites à base de silicium ne détectent donc plus les photons incidents au-delà de cette longueur d'onde.

Pour information, le germanium, autre élément semi-conducteur, a une valeur de bande interdite de $0,66 eV$, ce qui ramène une longueur d'onde maximale à $1,87 \mu m$. Avoir une bande interdite plus faible permet d'augmenter la bande de fréquence qu'un élément photosensible peut « capter » mais représente un risque dans la mesure où une agitation thermique trop élevée (température) rend le composant accidentellement conducteur.

Intéressons-nous à la modélisation globale de la chaîne permettant de passer d'un flux lumineux à une quantité d'électrons. Nous partons du principe que le photosite est éclairé de manière constante pendant un temps d'intégration ou temps d'exposition, T_{int} . La Figure 2.11 représente cette chaîne.

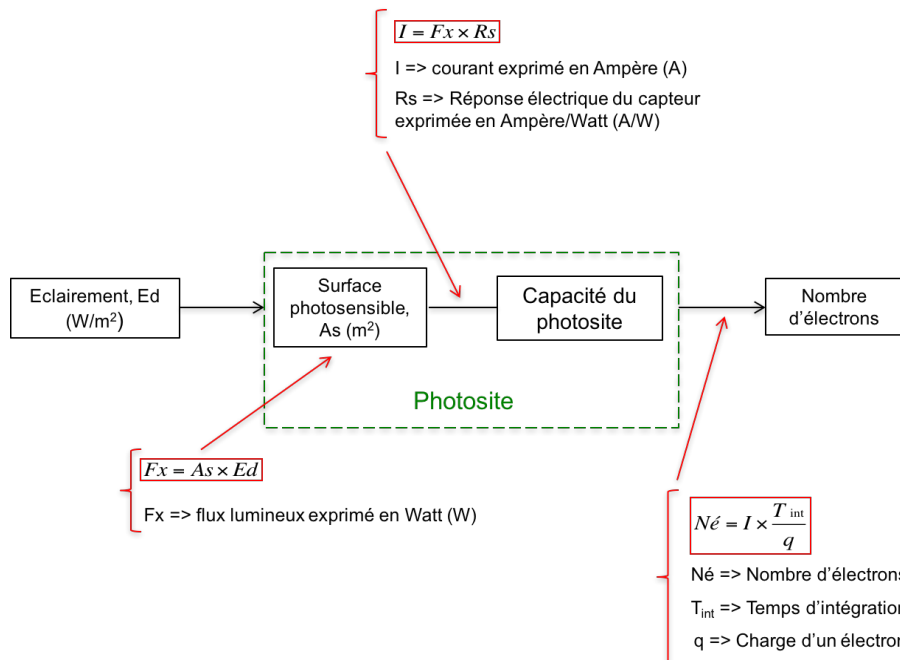


FIGURE 2.11 – Représentation du passage d'un éclairage à un nombre d'électrons via un photosite [24].

L'éclairement produit un courant par le biais de la surface photosensible du pixel. Ce courant est intégré aux bornes de la capacité du photosite pendant un temps d'intégration générant de fait une quantité de charges. Le nombre de photons s'établit comme suit :

$$N_{photons} = \frac{F_x}{E_{photon}} = \frac{F_x \times \lambda}{h \times c} \quad (2.18)$$

$N_{photons}$: nombre de photons,

F_x : flux lumineux (voir Figure 2.11),

E_{photon} : énergie d'un photon [J]. Souvent exprimée en [eV] grâce à la relation $1 [eV] = 1,60 \times 10^{-19} [J]$,

c : la vitesse de la lumière et équivaut à $2,997 \times 10^8 [m \cdot s^{-1}]$,

h : la constante de Planck égale à $6,626 \times 10^{-34} [J \cdot s]$ ou $4,135 \times 10^{-15} [eV \cdot s]$,

λ : la longueur d'onde [nm].

Avec l'Equation 2.4 de l'efficacité quantique et la Figure 2.11, nous obtenons :

$$N_{electrons} = N_{photons} \times QE(\lambda) = F_x \times R_s \times \frac{T_{int}}{q} = \frac{F_x \times \lambda}{h \times c} \times QE(\lambda) \times T_{int} \quad (2.19)$$

$N_{electrons}$: le nombre d'électrons,

$N_{photons}$: le nombre de photons,

F_x : flux lumineux (voir Figure 2.11),

$QE(\lambda)$: l'efficacité quantique,

q : la charge élémentaire, soit $1,6 \times 10^{-19} [C]$,

T_{int} : le temps d'intégration en seconde,

c : la vitesse de la lumière égale à $2,997 \times 10^8 [m \cdot s^{-1}]$,

h : la constante de Planck, $6,626 \times 10^{-34} [J \cdot s]$ ou $4,135 \times 10^{-15} [eV \cdot s]$,

λ : la longueur d'onde [nm].

R_s : la réponse électrique du capteur, ou sensibilité spectrale, (voir Figure 2.11).

$$R_s = \frac{QE(\lambda) \times q \times \lambda}{h \times c} \quad (2.20)$$

En imagerie CMOS, il existe trois acteurs principaux pour les éléments photosensibles : la photodiode, la photodiode PIN et la photo-grille, cette dernière étant moins commune que les deux autres [25].

2.3.1.1/ LA PHOTODIODE

La photodiode est traditionnellement une jonction P-N réalisée sur une technologie CMOS à base de silicium. La Figure 2.12 montre une réalisation d'une technologie CMOS.

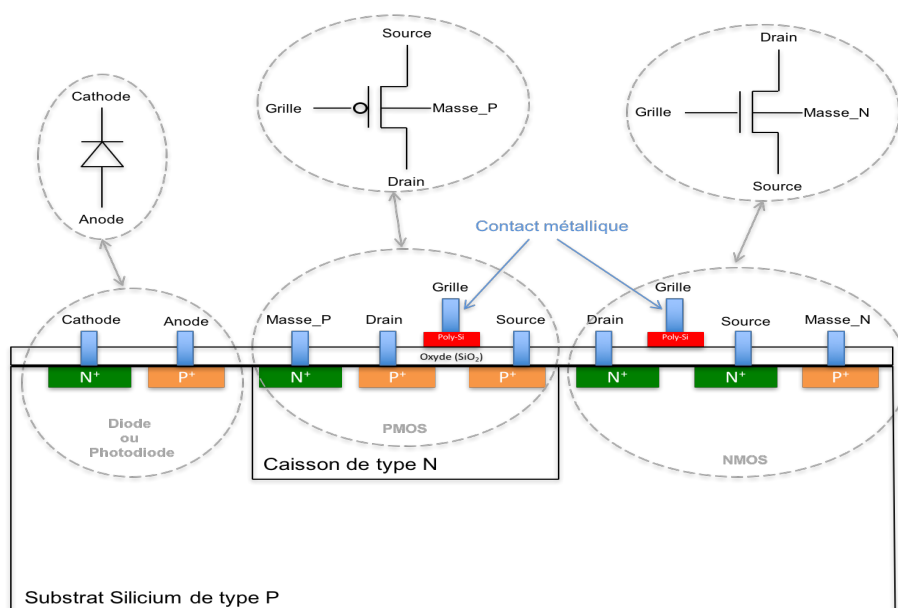


FIGURE 2.12 – Vue simplifiée d'une technologie CMOS.

La lettre C du sigle CMOS signifie « complémentaire ». Cette complémentarité découle du fait que sur un même substrat de silicium sont réalisés des transistors MOS de type P et des transistors MOS de type N. Dans la Figure 2.12, le substrat est de type P traduisant un déficit d'électrons. Les porteurs majoritaires sont les trous positivement chargés.

Le transistor NMOS est bâti avec deux implantations ioniques N^+ et une implantation d'ions P^+ , cette dernière servant à polariser le substrat. Cette polarisation s'effectue par le biais de la *Masse_N* avec une tension la plus basse possible. En appliquant une tension positive sur la grille en silicium polycristallin (chistallite de Si) et en la séparant du semi-conducteur par un oxyde (SiO_2), se crée en mouvement d'électrons entre la source et le drain (les deux implantations ioniques N^+) produisant ainsi un courant électrique.

Dans le cas du transistor PMOS, une zone dopée N est implantée (caisson de type N) pour faire office de substrat. La polarisation du substrat s'effectue par le biais de la *Masse_P* avec une tension élevée. L'implantation N^+ polarise cette zone. Le fonctionnement du transistor PMOS est quasi similaire au transistor NMOS, excepté le mouvement de trous en lieu et place du mouvement d'électrons (pour rendre le descriptif plus compréhensif, le trou est considéré comme une quasi-particule. En réalité, nous devrions parler de mouvement d'absence d'électrons). Une tension très faible est appliquée sur la grille afin de créer un canal de conduction entre la source et le drain.

Avec la technologie « CMOS » il est possible d'élaborer d'autres composants tels que la capacité, la résistance, la bobine ou bien encore la diode. Pour notre exemple la diode, qui fait office de photodiode, est réalisée par une jonction P/N^+ . De la même manière que le transistor NMOS, l'implantation ionique P^+ sert à polariser le substrat et joue le rôle d'anode de la diode. Quant à l'implantation N^+ , c'est elle qui fait office de cathode.

La réalisation de photodiode en fonction d'une technologie CMOS standard, présentée ci-dessus, est une réalisation parmi d'autres. La Figure 2.12 est simplifiée dans la mesure où seule la partie FEOL (*Front End Of Line*) est représentée. Une technologie CMOS est composée d'une partie FEOL et BEOL (*Back End Of Line*). Cette dernière se positionne au-dessus de

la FEOL et est constituée d'une superposition de couches métalliques séparées les unes des autres par un isolant, et pouvant être reliées par des vias métalliques assurant les différentes connexions métalliques du circuit. Le nombre de couches métalliques varie d'une technologie à l'autre.

Afin qu'une diode fonctionne en mode photoconducteur (convention génératrice) une polarisation inverse est exécutée aux bornes de celle-ci. Pour ce faire, un potentiel positif est soumis à sa cathode et une tension nulle sur son anode. Une zone de charge d'espace (ZCE) ou zone de déplétion, vide de porteur libre en équilibre, est créée par la polarisation inverse autour de la jonction P/N^+ . Le photon arrivant sur la photodiode, génère une paire d'électron/trou (phénomène plus efficace dans la ZCE). Sous l'effet du champ électrique, l'électron se dirige vers la zone N^+ et le trou vers la zone P. Un courant proportionnel au flux photonique est ainsi créé (Figure 2.13).

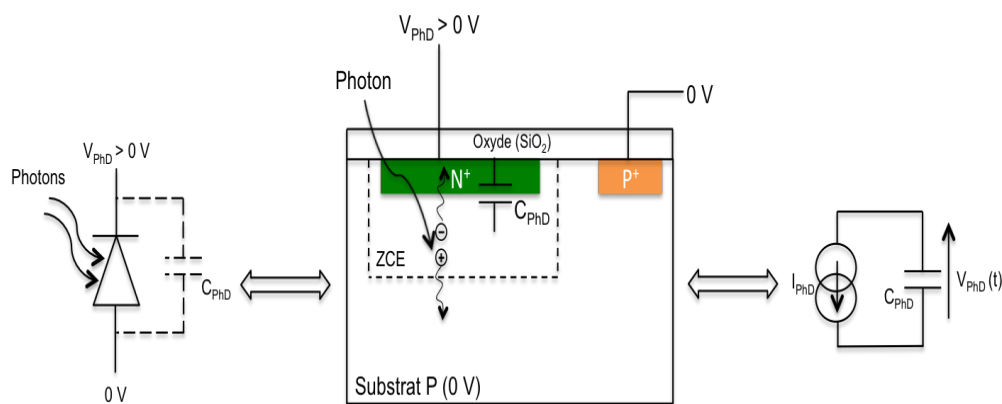


FIGURE 2.13 – Fonctionnement de la photodiode sous éclaircissement.

Sur cette figure, est reproduit le schéma électrique équivalent. La jonction P/N^+ réalise une capacité appelée capacité de jonction (C_{PhD}). Une photodiode sous éclaircissement peut être assimilée à une capacité sur laquelle est appliqué un courant. Lors de la phase de fonctionnement d'un pixel, la tension aux bornes de la capacité est fonction du temps. Une première étape d'initialisation applique une tension fixe ($V_{PhD} = V_{dd}$). Pendant la seconde étape, phase d'exposition ou d'intégration, la tension V_{PhD} chute linéairement en fonction du photo-courant généré I_{PhD} pendant toute la phase. Nous obtenons la relation suivante :

$$\Delta V = V_{dd} - V_{PhD}(T_{int}) = \frac{I_{PhD} \times T_{int}}{C_{PhD}} \quad (2.21)$$

ΔV : le signal utile [V],

I_{PhD} : le courant photo-généré [A],

T_{int} : le temps d'intégration [s],

C_{PhD} : la capacité de la photodiode [F].

L'aire photosensible du pixel, dans le cas de notre photodiode décrite ci-dessus, est l'aire de la région N^+ . Cette surface détermine majoritairement la valeur de la capacité de jonction.

2.3.1.2/ LA PHOTOGRILLE OU PHOTO-MOS

Le fonctionnement du photo-MOS diffère de celui de la photodiode. Le photo-courant est produit par une grille de transistor MOS. Son fonctionnement est calqué sur celui du CCD (*Charge Coupled Device*) ou dispositif à couplages de charges (Figure 2.14).

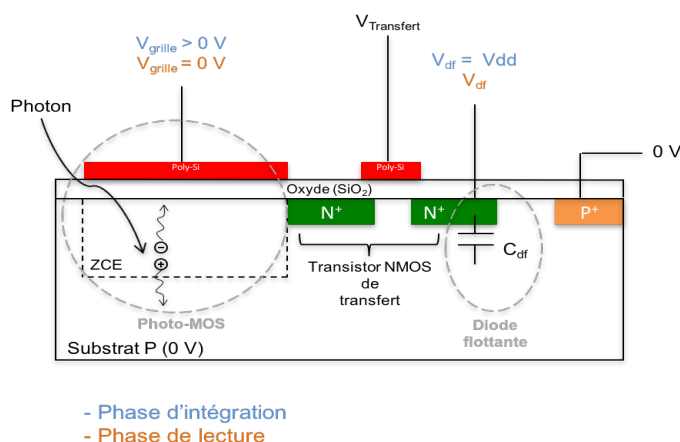


FIGURE 2.14 – Fonctionnement du photo-MOS sous éclairage.

A l'instar du transistor NMOS, la grille en silicium polycristallin est isolée du semi-conducteur par un oxyde. La région P⁺ polarise le substrat avec une tension nulle. Un transistor est ajouté en tant que transistor de transfert. Le drain de ce dernier, région N⁺ reliée à « V_{df} », ainsi que le substrat dopé P forment une diode dénommée « diode flottante ». Le fonctionnement comporte deux phases : la phase d'intégration et la phase de lecture.

Durant la phase d'intégration, une tension « V_{grille} » positive appliquée sur la grille du photo-MOS crée une ZCE qui forme un puits de potentiel. De la même manière que la photodiode, un photon génère une paire d'électron-trou dans cette ZCE. Sous l'influence du champ électrique, l'électron se retrouve sous la grille, et le trou dans le substrat. Ainsi se focalise une quantité d'électrons proportionnelle à l'éclairage. Pendant cette même phase, une tension « V_{df} » généralement égale à la tension de polarisation « V_{dd} », est appliquée à la cathode de la diode flottante, la polarisant ainsi en inverse. Ceci est rendu possible car le transistor de transfert NMOS isole la photo-grille de la diode flottante (la tension « V_{transfert} » est déterminée de sorte à bloquer le transistor qui agit alors comme un interrupteur ouvert). A noter que la source du transistor de transfert (deuxième région N⁺) est flottante et donc soumise à aucun potentiel (hors phases de Reset).

Pendant la phase de lecture, la tension « V_{grille} » est à 0 V et le transistor de transfert passant. Les électrons transitent de la photogrille à la capacité de la diode flottante et font chuter « V_{df} » proportionnellement à la quantité d'électrons transférée. La différence de la tension « V_{df} » est l'information utile et est définie de la manière suivante :

$$\Delta V_{df} = N_{electrons} \times \frac{q}{C_{df}} \quad (2.22)$$

ΔV_{df} : le signal utile [V],

$N_{electrons}$: le nombre d'électrons accumulés dans le photo-MOS,

q : la charge élémentaire égale à $1,6 \times 10^{-19}$ [C],

C_{df} : la capacité de la diode flottante [F].

V_{df} peut être calculée en fonction du flux photonique de la manière suivante :

$$V_{df} = V_{dd} - \frac{q \times N_{photons}}{C_{df}} \quad (2.23)$$

$N_{photons}$: le nombre de photons incidents à la photogrigle.

Comme le pixel 3T, la photogrigle est associée à un transistor de sélection et un suiveur de tension, finalisant une structure 4T (4 transistors + le photosite). En admettant que le suiveur ait un gain A_s (< 1), il est possible de déterminer le facteur de conversion CVF :

$$CVF = \frac{q \times A_s}{C_{df}} \quad (2.24)$$

CVF : le facteur de conversion [V/e^-],

A_s : le gain du suiveur de tension [sans unité].

Stuart Kleinfelder propose une architecture de photogrigle avec trois transistors en technologie CMOS standard [26] (Figure 2.15). Dans cette architecture, la photogrigle est réalisée avec un transistor NMOS dont la source et le drain sont joints et flottants. La source du transistor de transfert NMOS est également connectée à la source et au drain du photo-MOS.

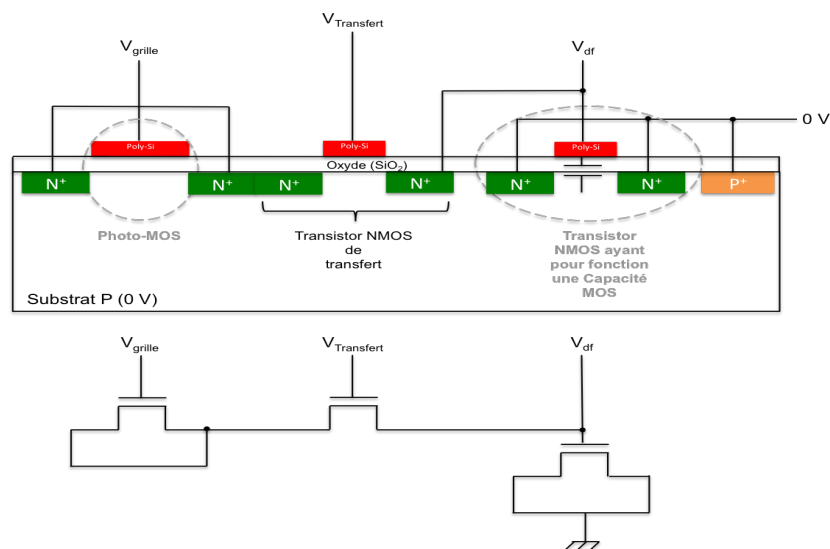


FIGURE 2.15 – Photo-MOS en technologie CMOS standard.

Contrairement à la Figure 2.14, les charges ne transitent pas dans la capacité d'une diode flottante mais dans la capacité MOS. Le fonctionnement est identique à celui présenté précédemment (Figure 2.14). La surface photosensible est la largeur de la grille du photo-MOS.

2.3.1.3/ LA PHOTODIODE PIN

Il existe de nombreuses façons de produire une diode PIN (*Positive Intrinsic Negative diode*). Très souvent, ces réalisations demandent une modification du procédé de fabrication d'une technologie MOS, et/ou l'adjonction de semi-conducteurs autres que Si [27–32]. Son fonctionnement impose la maîtrise de certains paramètres [33–36]. Plusieurs études ont été publiées sur la diode PIN en technologie CMOS standard [37–42]. Une diode PIN est une jonction P-N à laquelle est ajoutée, entre les régions P et N, une région non dopée ou très faiblement dopée, appelée région intrinsèque (Figure 2.16).

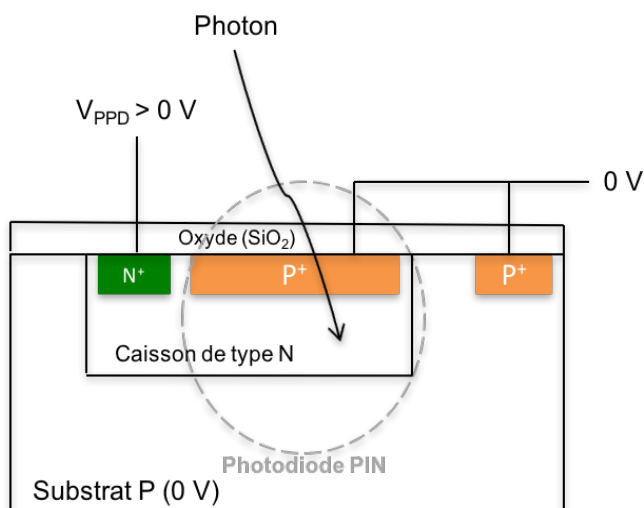


FIGURE 2.16 – Une représentation de la diode PIN [33][43].

La région intrinsèque est le caisson de type N non dopé ou très faiblement dopé. Une paire électron-trou est générée par absorption d'un photon dans la zone de déplétion (caisson N). L'intérêt de la photodiode PIN par rapport à la photodiode standard réside dans l'ajout d'une zone intrinsèque qui augmente significativement la largeur de la ZCE. Le QE est proportionnel au courant photo-généré, lui-même proportionnel à la largeur de la ZCE. Comme précisé antérieurement, un maximum de paires électrons-trous doit être produit dans la ZCE, car cette zone est exempte de recombinaisons. La largeur de la ZCE dépend du dopage et de la tension de polarisation inverse appliquée à la photodiode.

Le deuxième point à souligner est que la capacité de jonction est inversement proportionnelle à la largeur de la zone de charge d'espace. Une ZCE étendue diminue la capacité de jonction ce qui par voie de conséquence augmente la vitesse de fonctionnement de la photodiode et le facteur de conversion (CVF). La Figure 2.16 est une représentation possible parmi d'autres. En général, pour bénéficier des propriétés de la photogridde, le montage est associé à une grille de transition, ce qui constitue une structure 4T.

Pour permettre une meilleure efficacité de collecte de charges et donc avoir une meilleure sensibilité, le photosite, de par son dopage, sa structure, sa polarisation et de la capacité de sa jonction, doit posséder la plus large ZCE possible.

2.3.1.4/ AVANTAGES ET INCONVÉNIENTS DES DIFFÉRENTS PHOTOSITES

Le premier pixel APS imaginé est le montage 3T avec photodiode classique, structure basique et courante car facilement adaptable en technologie CMOS standard. Pour améliorer le courant d'obscurité, une étude est réalisée avec une architecture 3T avec différents types de photodiodes [44]. Il est démontré que la photodiode PIN possède un courant d'obscurité plus faible qu'une simple jonction P-N. Toutefois plus compacte et structurellement plus simple, la photodiode classique permet une meilleure optimisation de son intégration et un meilleur facteur de remplissage (FF) [45].

Toujours dans une architecture 3T, l'ajout d'une diode PIN minimise le bruit de Reset car elle possède une capacité de jonction moindre et donc un meilleur CVF que la diode standard. Néanmoins, le QE de celle-ci est relativement bas (40% au maximum) en éclairage face avant mais qui peut être amélioré avec un éclairage face arrière. Ceci dit, de récentes recherches ont permis d'améliorer le QE (78,3%) pour les diodes PIN [46]. Avec une technologie CMOS standard, le QE peut atteindre 70% et plus [47]. Le photo-MOS possède un QE très faible.

Le montage 4T avec photogrille est conçu pour pallier les problèmes de fuites et de bruits rencontrés sur le montage 3T avec jonction P-N. Ce montage est basé sur le transfert de charges, à l'instar des capteurs CCD. Il est essentiel de maîtriser les dopages et potentiels de la structure afin d'obtenir la meilleure efficacité de transfert de charges (CTE) ou alors l'inefficacité du transfert de charges (CTI) la plus basse. Une comparaison descriptive entre photogrille et photodiode abonde dans ce sens [48].

Indépendamment de la structure du pixel, le bruit de lecture et le bruit en $(1/f)$ sont améliorés avec les techniques dites CDS (*Correlated Double Sampling*) et DDS (*Double Differencing Sampling*) [7].

Une structure avec photogrille possède un CVF meilleur que celui d'un pixel 3T avec photodiode car le facteur de conversion est inversement proportionnel à la capacité de jonction. Dans le cas où est utilisée une diode flottante ou diffusion flottante, la capacité de jonction est non pas celle du photosite mais celle de cette diffusion flottante qui possède une capacité plus petite que celle du photorécepteur. La diode PIN présente une capacité de stockage moindre dépendant du dopage, de la polarisation de la diode et de la capacité de celle-ci dans une structure 3T, et donc une plus faible dynamique du pixel [49]. De plus, de par sa composition, elle possède un FF plus bas que la diode standard.

Pour résumer, les photosites et différentes structures de pixel visent à diminuer la taille de la capacité de l'élément photosensible. Diminuer la taille de la capacité diminue le bruit de Reset et augmente la valeur du CVF qui joue un rôle important sur la sensibilité de l'élément photosensible. Cependant, cette diminution entraîne inévitablement la diminution de la quantité de charges collectable par le photosite et donc diminue la dynamique de sortie. Le SNR étant lié à la dynamique, cette dernière est également diminuée. La photodiode possède une capacité plus grande que celle d'une photogrille, elle-même plus grande que celle d'une photodiode PIN. Il résulte que la photodiode PIN est plus sensible et a un meilleur rendement que la photogrille, elle-même plus sensible que la photodiode. Le même raisonnement est appliqué pour une structure 4T vis-à-vis de la structure 3T. La structure 4T vise à diminuer la capacité de l'élément photosensible et diminuer les fuites. Toutefois, le pixel 3T avec photodiode a bien

souvent un meilleur FF et une meilleure intégration. De plus, c'est la configuration la plus facile à réaliser en technologie CMOS standard.

Pour conclure, nous privilégions la photodiode à la photogrigille, la diode PIN étant difficilement réalisable dans notre cas. La raison en est que dans un premier temps, le QE est privilégié. De plus, l'architecture même autour de notre photo-élément a été simplifiée, le pixel numérique ayant déjà une architecture plus complexe que n'importe quel autre pixel. Pour finir, le sujet de notre étude n'est pas l'optimisation du photosite mais l'ajout d'une architecture complexe dans un pixel et son optimisation en fonction de la technologie utilisée.

2.3.2/ LES CONVERTISSEURS ANALOGIQUE-NUMÉRIQUES

Un CAN est un assemblage électronique dont le montage sert à convertir des grandeurs analogiques en données numériques codées en plusieurs bits (Figure 2.17). Schématiquement ce montage se compose d'un filtre anti-repliement, d'un échantillonneur-bloqueur, d'un quantifieur et d'un encodeur.

Le filtre anti-repliement a pour fonction d'éviter le repliement de hautes fréquences parasites sur la gamme de fréquences souhaitée, et donc l'ajout d'erreurs sur le signal utile à traiter. L'échantillonneur-bloqueur, acquiert une valeur du signal d'entrée à un instant donné, et maintient aussi stable que possible la valeur acquise pour qu'elle puisse être convertie. Le quantifieur ou quantification permet de diviser la valeur stockée en « quantum » (plus petite valeur analogique mesurable par le convertisseur). L'encodeur retranscrit les valeurs multiples de quantum en code binaire ou autres types de codage.

La conversion passe par une phase d'échantillonnage. Nous ne pouvons pas parler d'échantillonnage sans rappeler le théorème de Shannon-Nyquist qui précise que **La fréquence d'échantillonnage doit être supérieure à deux fois la fréquence la plus élevée d'un signal à spectre limité**. Dans le cas contraire, il y a perte d'informations et déformation du signal reconstitué. Cela nous amène aux deux grandes catégories de convertisseurs « classiques » que sont les convertisseurs de Nyquist ou à échantillonnage de Nyquist (*Nyquist rate converter*), et les convertisseurs à sur-échantillonnage (*Oversampling converter*).

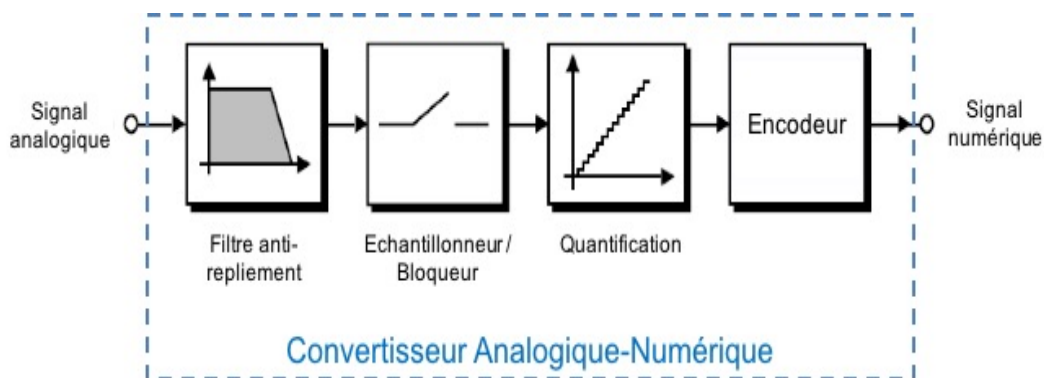


FIGURE 2.17 – Vue générale d'un CAN.

Dans les convertisseurs de Nyquist, la fréquence d'échantillonnage est légèrement supérieure au double de la fréquence maximale contenue dans le signal échantillonné. Dans les convertisseurs à sur-échantillonnage, la fréquence d'échantillonnage est supérieure voire très supérieure au

double de la fréquence maximale du signal d'entrée. Cette dernière configuration améliore le rapport signal sur bruit dans la bande passante du signal considéré et obtient généralement de meilleures résolutions.

Dans l'imagerie CMOS, les convertisseurs peuvent prendre différentes places dans le circuit, en bout de chaîne, en bas de chaque colonne de la matrice photosensible ou bien directement dans le pixel. Le choix de sa position dépend de l'application recherchée.

Les paramètres principaux pour chaque type de convertisseur sont sa consommation, sa précision, sa vitesse de conversion, sa surface, et éventuellement le bruit électronique qu'il insère dans le système [50].

Quel que soit son emplacement, une résolution élevée est privilégiée car cette dernière détermine la précision du système et donc la précision sur l'image. Une haute résolution combinée à une résolution matricielle élevée permet d'obtenir une haute qualité d'image. Néanmoins cette qualité est souvent limitée par le circuit en lui-même du fait de son type de conversion, de son bruit électronique ou encore de sa dynamique d'entrée.

Les contraintes d'un CAN ou ADC (*Analog to Digital Converter*) bas de colonne ou en bout de chaîne diffèrent d'un CAN à l'intérieur même du pixel. Dans le pixel, un effort doit être porté sur la consommation et la taille du circuit du convertisseur. En effet, une taille trop grande dégrade le facteur de remplissage et la consommation augmente significativement en fonction du nombre de pixels et la consommation de chaque convertisseur. De plus, ces deux facteurs limitent le nombre de pixels dans la matrice. Quant à la vitesse de conversion, la contrainte peut être relâchée du fait de la parallélisation des CAN. Le Tableau 2.1 reporte les caractéristiques des CAN en fonction de leur implantation.

	CAN niveau pixel	CAN niveau colonne	CAN niveau capteur
Avantages	<p>Très rapide en temps de conversion,</p> <p>Parallélisation des tâches,</p> <p>Signal de sortie non affecté par les non-uniformités</p>	<p>Bon compromis vitesse/résolution,</p> <p>Facteur de remplissage non affecté.</p>	<p>Non contraint en taille,</p> <p>Moins contraint en consommation,</p> <p>Possibilité de résolution très élevée,</p> <p>Facteur de remplissage non affecté.</p>
Inconvénients	<p>Très Contraint en taille et consommation,</p> <p>Résolution affectée par la taille et la consommation,</p> <p>Facteur de remplissage très diminué.</p>	<p>Contraint en taille et consommation,</p> <p>Signal de sortie affecté par les non-uniformités.</p>	<p>Très Contraint en vitesse de conversion,</p> <p>Signal de sortie affecté par les non-uniformités.</p>

Tableau 2.1 – Avantages et inconvénients des différentes localisations du CAN.

En nous focalisant sur les convertisseurs dits « classiques » pour ne citer qu'eux, le convertisseur à rampe(s) et le convertisseur Sigma-Delta sont souvent utilisés pour le pixel numérique. Le convertisseur à approximations successives ou SAR (*Successive Approximation Register*), le convertisseur Cyclic et le convertisseur Pipeline sont plutôt utilisés pour l'architecture « en fin de colonne » car ils présentent un bon compromis résolution/vitesse. On privilégie les

convertisseurs les plus rapides pour la configuration « matrice entière » comme le convertisseur Flash. Ceci dit, nous pouvons retrouver une grande variété de convertisseurs dans ces deux dernières catégories car la taille n'est pas un facteur limitant et l'évolution des technologies permet d'améliorer la vitesse de fonctionnement pour une résolution donnée.

Bien que le pixel numérique soit notre principal sujet d'étude, il nous semble approprié de commencer par lister les différents convertisseurs utilisés pour les capteurs CMOS à intégration 3D pour finir sur les convertisseurs généralement utilisés pour les DPS, la logique suivie par le monde scientifique pour la réalisation et le choix d'architecture d'un capteur à intégration 3D étant la même que pour l'intégration 2D. Nous avons donc trois sous-chapitres dont le premier traite des CAN pour capteurs avec technologie 3D, et ne concernant que les convertisseurs utilisés niveau colonne et niveau capteur, le deuxième traitant des CAN pour DPS et le dernier concernant notre choix de structure de CAN.

2.3.2.1/ LES CONVERTISSEURS POUR CAPTEUR D'IMAGE CMOS À INTÉGRATION 3D

La configuration d'un imageur avec technologie CMOS à intégration 3D reste inchangée. Nous retrouvons les trois configurations CAN. La particularité réside dans le positionnement des éléments photosensibles qui se retrouvent sur la tranche de la technologie la plus élevée (*wafer*). Les autres éléments sont partagés sur les autres tranches. La partie analogique du circuit se trouve, très souvent, sur la première tranche si la technologie 3D a un nombre de tranches limité.

Par souci de simplification, nous allons évoquer les convertisseurs en fonction du groupe de pixels qui leur sont attachés. La taille du groupe de pixels définit le type de pixel, à savoir un pixel numérique, une conversion bas-colonne ou encore une conversion en bout de chaîne.

Quand nous évoquons un groupe limité de pixels (1 à 8) pour un convertisseur, nous pouvons assimiler ce groupe à un pixel numérique bien que la configuration standard soit un convertisseur pour un pixel. Quand le groupe de pixels est plus important, nous passons plutôt à une configuration « bas de colonne », et « bout de chaîne » si le nombre de pixels pour un convertisseur est très élevé. Les contraintes sur le convertisseur analogique-numérique sont les mêmes que pour un imageur planaire et dépendent du nombre de pixels que celui doit traiter pour une résolution donnée. Par exemple, le convertisseur à simple rampe [51–53] se retrouve utilisé pour un pixel ou un groupe limité de pixels, tandis que le convertisseur à modulation PFM [54][55] ou le convertisseur Sigma-Delta pour un groupe moyen de pixels [56].

A/ Le convertisseur Flash

Ce convertisseur, sans doute le plus connu, est le plus gourmand en terme d'intégration et de consommation, et est également le plus rapide en vitesse de conversion. Un exemple est présenté Figure 2.18.

Pour cet exemple, seul un convertisseur de 3 bits est représenté. Le principe de fonctionnement réside dans le fractionnement de la tension V_{REF} en sous-fractions d'une valeur proportionnelle à cette dernière, puis de comparer la tension d'entrée V_{in} à chaque sous-fraction.

Le nombre de sous-fractions et la valeur de celles-ci dépendent du nombre et de la valeur des résistances R . La valeur des résistances dépend de la résolution souhaitée du convertisseur. Selon que V_{in} soit inférieure ou supérieure à la valeur de la tension de la sous-fraction de V_{REF} associée, un « 1 » logique ou un « 0 » logique sort de chaque comparateur.

L'encodeur se charge de transformer le mot de 7 bits en mot de 3 bits avec l'encodage désiré. Cette architecture possède une très grande rapidité de conversion mais elle a des contraintes de taille, d'appariement des composants et de consommation qui augmente de façon exponentielle selon la résolution.

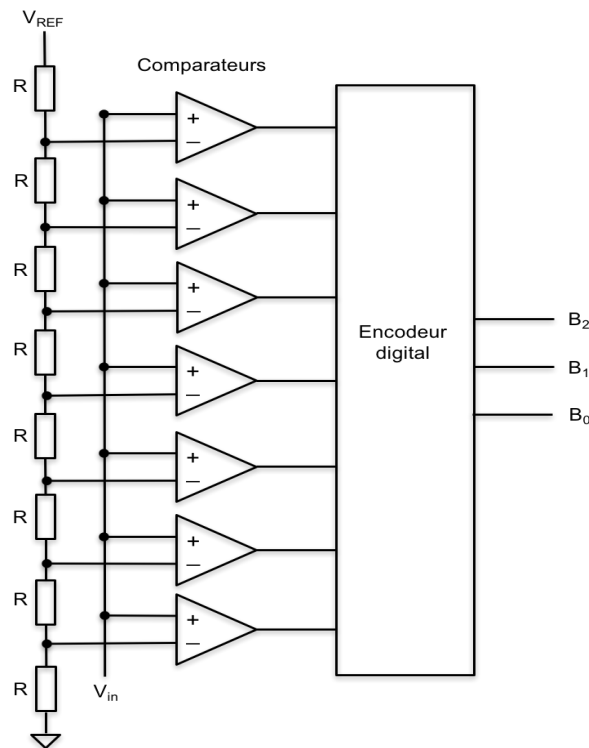


FIGURE 2.18 – Convertisseur Flash 3 bits.

Cette architecture ne peut pas être utilisée pour le pixel numérique dans laquelle l'intégration et la consommation sont des contraintes très fortes. Néanmoins, il est un très bon candidat pour les convertisseurs niveau capteur ou rattachés à un groupe élevé de pixels (concernant les imageurs à intégration 3D).

B/ Le convertisseur à approximations successives ou SAR

Le convertisseur à approximations successives ou convertisseur « à redistribution de charges » est souvent utilisé pour la conversion parallèle niveau colonne. Il présente un bon compromis vitesse/résolution. La résolution est élevée et la vitesse d'exécution est supérieure aux convertisseurs Sigma-Delta et à rampe(s).

La Figure 2.19 présente son schéma et également l'algorithme de fonctionnement. L'exemple proposé est sur 8 bits.

La pleine échelle de la conversion est déterminée par la tension de référence. Au premier coup d'horloge, le bit de poids fort du mot binaire, chargé dans le registre à approximations successives, est forcé à « 1 » (ce qui correspond à la moitié de la pleine échelle) puis est converti en tension analogique pour être comparé à la tension d'entrée échantillonnée.

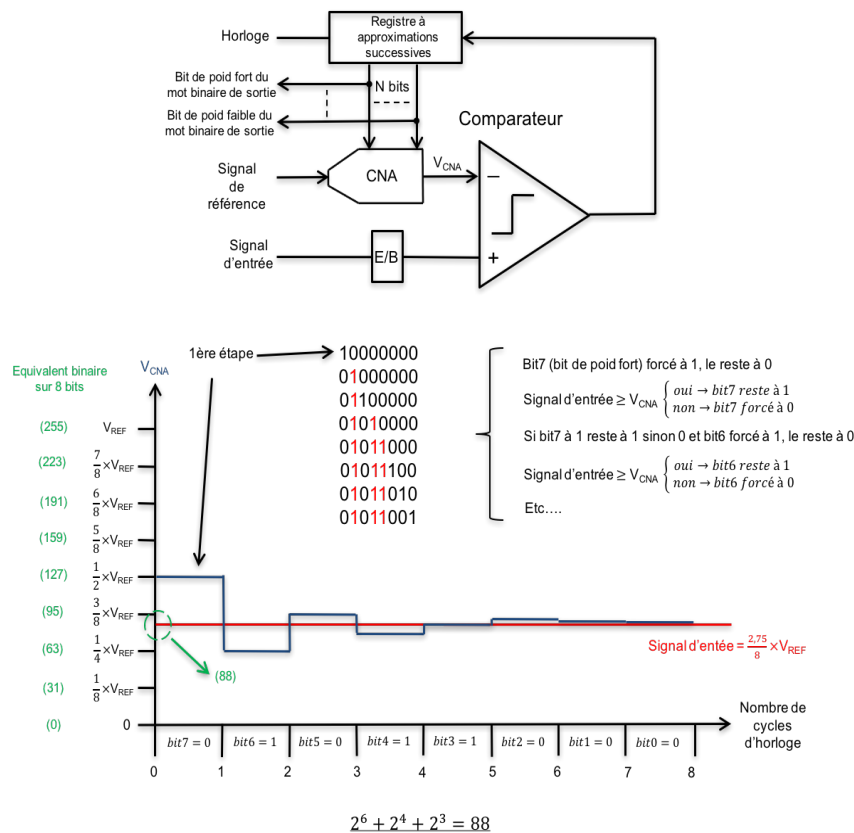


FIGURE 2.19 – Schéma global d'un convertisseur SAR.

Si la tension du signal d'entrée est supérieure à la tension en sortie du convertisseur numérique-analogique, le bit de poids fort reste à « 1 » et est stocké. Dans le cas contraire, il passe à « 0 ». Au coup d'horloge suivant, le bit (N-2) passe à « 1 », le bit (N-1) garde la valeur (« 0 » ou « 1 ») du précédent cycle d'horloge, et le reste du mot binaire est à « 0 » et la même étape de conversion/comparaison s'effectue. Cette étape se déroule pour les autres bits du mot binaire jusqu'à la fin de conversion à savoir « N » coups d'horloge. Nous obtenons ainsi une dichotomie mathématique. Là où le convertisseur Sigma-Delta (décrit plus loin) a besoin d'un nombre de cycles d'horloge fonction de l'*OSR* pour la conversion, le SAR a besoin de *N* cycles. C'est pour cette raison qu'il est plus rapide.

Dans l'état de l'art sur les capteurs à intégration 3D, cette catégorie de convertisseur atteint en général 9 à 10 bits de résolution mais pour un groupe de pixels supérieur à 4 (de plusieurs centaines à quelques milliers de pixels) [57–60].

Cette architecture est généralement utilisée pour un groupe de pixels car son architecture est plus complexe que le Sigma-Delta ou le convertisseur à rampes. Il nécessite un très bon circuit logique de contrôle (SAR) et un CNA précis ce qui le rend plus difficile à intégrer. Son efficacité dépend également de la qualité de son comparateur.

C/ Le convertisseur Pipeline

Ce convertisseur est une extension du convertisseur « two step » (présenté dans les conver-

tisseurs pour DPS). L'idée est de mettre en cascade plusieurs CAN de très faible résolution là où le convertisseur « two step » en utilise deux, de résolution plus élevée. Cette solution est trouvée pour répondre à la nécessité de garder la même vitesse de fonctionnement que le convertisseur Flash tout en limitant la consommation et en améliorant l'intégration pour une résolution donnée. Cela revient à limiter le nombre de comparateurs.

Pour cette architecture, un compromis s'opère entre vitesse, intégration (nombre d'étages) et résolution minimale/optimale de chaque étage. Rao et Kishore [61] présentent ce compromis pour une résolution de 10 bits. Suntharalingam and Co [62] la mentionnent pour une résolution de 12 bits, 10 fps et 32 pix/convertisseur.

Le convertisseur Pipeline est généralement plus rapide que le convertisseur SAR pour une résolution maximale plus petite. Ceci en fait également un candidat de choix pour la configuration « bas de colonne » et peut être le meilleur compromis vitesse/résolution. Néanmoins, il reste, pour l'instant, peu présent dans les capteurs d'image CMOS à intégration 3D. Le schéma global est proposé Figure 2.20.

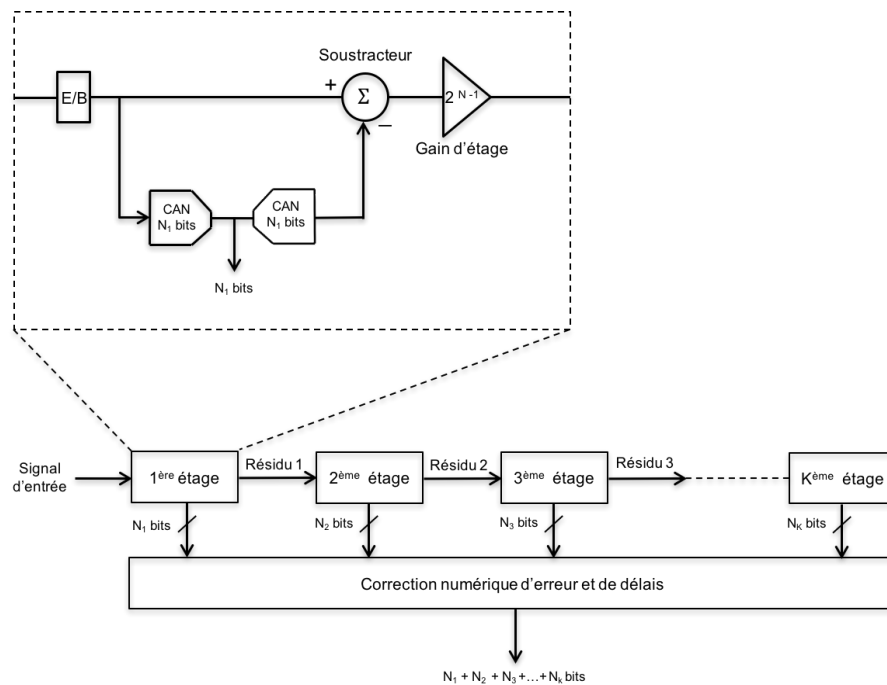


FIGURE 2.20 – Schéma global d'un convertisseur Pipeline.

Chaque étage est composé d'un échantillonneur/bloqueur (E/B), d'un CAN de « N » bits, un DAC de « N » bits, d'un soustracteur et d'un Gain d'étage.

La résolution de chaque étage peut varier de 1 à 4 bits. Le signal d'entrée est échantillonné puis converti en « N » bits, retranscrit en signal analogique pour être soustrait à la valeur échantillonnée. Cette différence donne un reste ou résidu qui est amplifié pour garder la même échelle et passer dans le deuxième étage. Sans gain d'étage, le résidu diminuerait d'étage en étage et serait trop faible pour être traité. Le même cycle se perpétue jusqu'au dernier bloc. La somme du résultat de la conversion analogique-numérique de chaque bloc donne la résolution finale.

Le gain, le CAN et DAC peuvent introduire des erreurs (offset, erreur de précision de gain,

erreur de précision du DAC, etc.) ce qui peut entraîner des codes manquants. De plus, un délai est rajouté à chaque étage pouvant constituer un problème pour les systèmes de contrôle par exemple. Pour pallier ces différents problèmes, un circuit de correction numérique est ajouté afin de minimiser voir supprimer les erreurs. Le débit reste néanmoins limité par la vitesse d'un étage.

2.3.2.2/ LES CONVERTISSEURS POUR PIXEL NUMÉRIQUE

D'un point de vue général, presque tous les types de CAN peuvent être utilisés pour les configurations du convertisseur du capteur « en bout de chaîne » et « en bas de chaque colonne », et permettent d'élaborer des architectures relativement complexes permettant de hautes résolutions et une vitesse de conversion élevée.

Dans le cas du pixel numérique, tout est basé sur la simplicité et l'efficacité afin de ne pas pénaliser le pixel avec une taille trop importante et un fill factor trop faible. Dans le but de répondre à ces deux objectifs, certaines structures qualifiées de « non classiques », c'est-à-dire peu courantes, sont privilégiées pour leur simplicité et leur robustesse. Nous pouvons les classer en deux grandes catégories qui sont les convertisseurs à modulation de largeur d'impulsion ou PWM (*Pulse With Modulation*), et les convertisseurs à modulation de fréquence d'impulsion ou PFM (*Pulse Frequency Modulation*) ou à modulation de densité d'impulsion ou PDM (*Pulse Density Modulation*). Les convertisseurs sigma-delta et les convertisseurs à simple ou double rampes, se classent dans une de ces deux catégories car le type de modulation est sensiblement le même mais la structure du circuit diffère.

Les tendances montrent que les architectures à rampe et à sur-échantillonnage sont largement préférées pour la conversion niveau pixel et se retrouvent également niveau colonne. Les CAN Flash et Pipeline sont plutôt niveau circuit et les convertisseurs SAR (à approximation successive) et Cyclic niveau colonne.

2.3.2.2.1/ Les convertisseurs non-classiques pour DPS

A/ Les convertisseurs PWM

Cette structure voit le jour dans les années 80-90 [63]. La quantification utilisée dans ce convertisseur (*light to time converter*) est de la famille des convertisseurs à modulation d'impulsions ou PWM, aussi connue sous le nom de « *time to first spike approach* » .

Cette structure utilise une intégration pour quantifier le signal analogique et travaille à la fréquence de Nyquist. Nous parlons de modulation d'impulsion, car le temps est quantifié lorsque la tension en sortie du comparateur change d'état (V_{COMP}), à raison d'un seul changement par conversion (Figure 2.21).

Deux cas de figure sont représentés. Avec un éclairage important (en rouge sur le graphique) et avec un éclairage plus faible (en bleu sur le graphique). La première phase est une phase de réinitialisation, phase au cours de laquelle la tension $V_{PHOTOSITE}$ est appliquée aux bornes du photosite grâce au transistor de *RESET*.

S'ensuit une phase d'intégration où la tension V_{INT} décroît linéairement en fonction de la quantité de charges générées par le photosite. Au même moment, l'incrémentación du compteur débute. Dès que V_{INT} atteint la tension de référence V_{REF} , le comparateur change d'état,

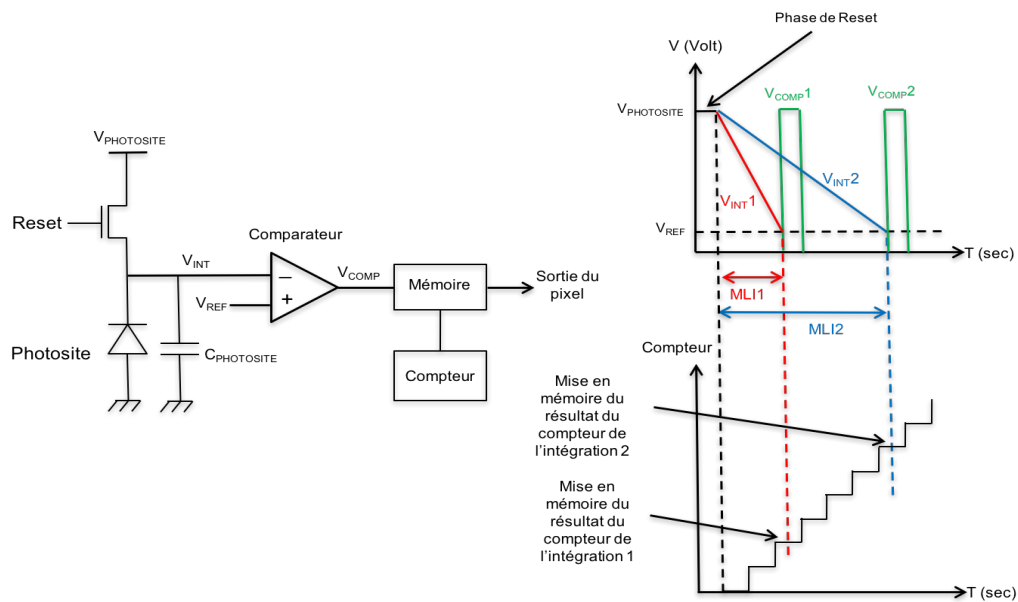


FIGURE 2.21 – Schéma global et principe de fonctionnement de l'approche PWM dans un DPS.

typiquement passe du 0 logique au 1 logique, et active la fonction « écriture » de la mémoire pour permettre le stockage de la valeur.

Le temps d'intégration est inversement proportionnel au courant photo-généré. Pour V_{INT1} , l'éclairement est plus important que celui de V_{INT2} .

La valeur numérique (résultat du compteur) est donc l'image du courant généré. Dans ce type de montage un compteur à code Gray (une variante du code binaire naturel) est souvent utilisé pour améliorer la consommation d'énergie et minimiser les éventuelles diaphonies qui peuvent apparaître entre les connexions.

La résolution du convertisseur dépend donc du temps d'intégration qui se définit comme suit :

$$T_{INT} = \frac{C_{INT} \times (V_{PHOTOSITE} - V_{REF})}{I_{PHOTOSITE} + I_{dc}} \quad (2.25)$$

T_{INT} : le temps d'intégration au borne de la capacité du photosite [s],

C_{INT} : la capacité au noeud sensible comprenant la capacité du photosite et les capacités parasites [F],

$V_{PHOTOSITE}$: la tension de RESET [V],

V_{REF} : la tension de référence [V],

$I_{PHOTOSITE}$: le courant photo-généré [A],

I_{dc} : le courant d'obscurité [A].

Cette structure présente l'avantage de consommer peu. Pour améliorer la consommation ainsi que le FF, tout en gardant une taille de pixel raisonnable, le compteur est généralement en dehors du pixel. Toutefois cette structure souffre d'un SNR relativement bas [64], et dépasse

très rarement les 8 bits de résolution [65–69]. Plusieurs publications annoncent 10 bits de résolution mais au détriment d'un FPS très faible [70][71]. De plus, le nombre d'images par seconde est très dépendant du temps d'intégration. Cela s'explique par le fait qu'à l'exception du comparateur, les éléments sont positionnés hors pixel. Un compromis est à faire entre le nombre d'images par seconde et la résolution.

B/ Les convertisseurs PFM

Ce convertisseur fait également partie de la famille des convertisseurs à modulation d'impulsions. Bien que la structure soit similaire à la structure précédente, le mode de fonctionnement diffère. Son approche n'est plus basée sur une durée, mais sur une fréquence d'apparition.

Le nombre de changements d'état (passage du 0 logique au 1 logique) de la tension est comptabilisé en sortie du comparateur. Cette modulation se retrouve parfois dans l'état de l'art sous le nom « *Spike counting* » ou « *Spiking pixel encoding* » et le convertisseur « *Light to Frequency converter* ». Une représentation du circuit ainsi que son fonctionnement sont présentés Figure 2.22.

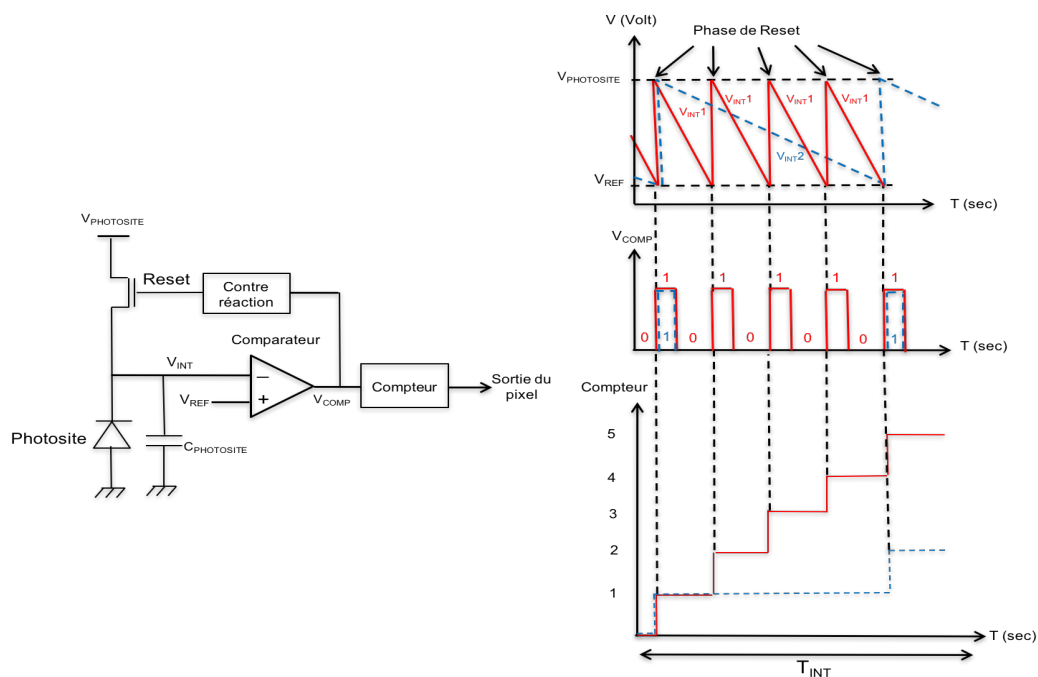


FIGURE 2.22 – Schéma global et principe de fonctionnement de l'approche PFM dans un DPS.

Deux cas d'éclairément sont présentés sur la Figure 2.22, un fort et un faible éclairément respectivement en rouge et en bleu. T_{INT} symbolise la durée de l'éclairément.

Une première phase de réinitialisation est accomplie aux bornes du photosite imposant la tension $V_{PHOTOSITE}$. Puis la tension V_{INT} décroît jusqu'à une tension V_{REF} . Lorsque les tensions V_{INT} et V_{REF} s'égalisent, V_{COMP} change d'état, incrémente le compteur et réinitialise la tension aux bornes du photosite. La fonction du circuit de contre-réaction est de performer la phase de réinitialisation. Le cycle est répété pendant toute la durée T_{INT} .

La résolution dépend donc du temps d'intégration mais également de la durée que va mettre V_{COMP} à atteindre V_{REF} . A l'instar du convertisseur PWM, il n'y a pas d'échantillonnage (ou phase d'acquisition de l'information) car le signal est traité directement. De surcroît, cette structure se comporte comme une structure à sur-échantillonnage, ce qui lui confère un meilleur SNR, contrairement à la modulation PWM qui travaille à la fréquence de Nyquist. Tout convertisseur travaillant en sur-échantillonnage nécessite un filtrage numérique et le compteur joue ce rôle.

Plus la quantité de charges générées par le photosite est élevée, plus la décroissance de V_{INT} est rapide, et plus la valeur du compteur est élevée. Nous avons bien une représentation numérique fonction de la quantité de charges générées. Le nombre d'impulsions idéalement détecté par le compteur est défini par la formule suivante :

$$N_{IMP} = \frac{(I_{PHOTOSITE} + I_{dc}) \times T_{INT}}{C_{INT} \times (V_{PHOTOSITE} - V_{REF})} \quad (2.26)$$

N_{IMP} : le nombre d'impulsions,

T_{INT} : le temps d'éclairement qui équivaut également au temps de fonctionnement du compteur [s],

C_{INT} : la capacité au noeud sensible comprenant la capacité du photosite et les capacités parasites [F],

$V_{PHOTOSITE}$: la tension de RESET [V],

V_{REF} : la tension de référence [V],

$I_{PHOTOSITE}$: le courant photo-généré [A],

I_{dc} : le courant d'obscurité [A].

Ce qui définit la formule de la résolution du compteur :

$$N = \log_2(N_{IMP}) \quad (2.27)$$

N : la résolution théorique du comparateur [bit].

Cette architecture peut atteindre de hautes résolutions (10-12 bits) [72][73]. Cependant le compteur est souvent intégré au pixel ce qui augmente la taille de ce dernier et potentiellement diminue le FF [74][67].

Une variante de cette structure est proposée sur la base du pixel à amplificateur à transimpédance capacitif (*CTIA pixel*). Ce dernier permet une meilleure linéarité et une meilleure sensibilité, ce qui le rend très populaire dans les domaines de l'infra-rouge et des rayons X. L'ajout de l'amplificateur à transimpédance capacitif autorise des résolutions correctes (10 bits) mais augmente significativement la taille de pixel (entre $55\mu m$ et $135\mu m$ de côté) [75-77].

Une autre approche proposée par A. Peizerat [78][79] utilise la même modulation, mais du point de vue courant, ce qui permet un relâchement des contraintes du comparateur. La qualité de la conversion n'est plus dépendante du temps de conversion mais des propriétés de la phase de Reset par injection de charges. Un compromis est à faire entre la résolution et le temps

d'intégration et par extension le nombre d'images par seconde. Cette structure atteint une résolution théorique de 15 bits.

2.3.2.2.2/ Les convertisseurs classiques pour DPS

A/ Le convertisseur à rampe

Le convertisseur simple rampe (*Single Slope*) fait partie de la famille des CAN à intégration (il existe une version améliorée, le convertisseur double rampe). Cette structure est très populaire et classique. Elle peut être classée dans la famille des conversions à largeur d'impulsion car son mode de fonctionnement est similaire exception faite de la comparaison. Celle-ci n'est plus effectuée en fonction de l'intégration au niveau de la capacité du photosite, mais par un signal rampe généré indépendamment (Figure 2.23). La version la plus connue de cette structure dans le pixel numérique est celle proposée par Kleinfelder [80].

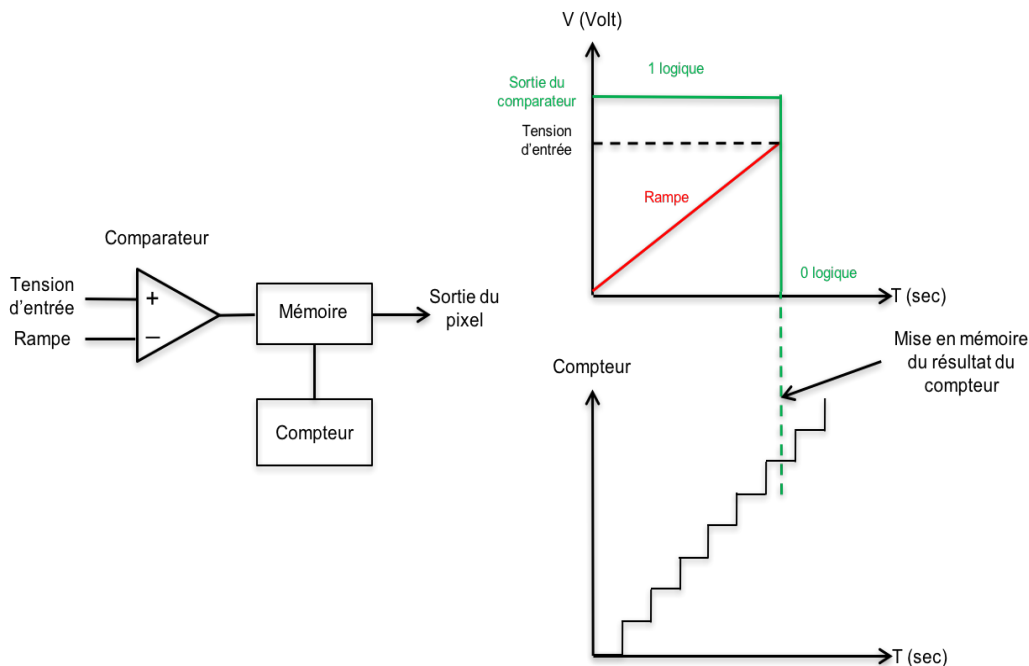


FIGURE 2.23 – Schéma global d'un convertisseur simple rampe pour DPS.

La tension en sortie du photosite est comparée à une rampe linéaire en fonction du temps. Un compteur comptabilise les cycles d'horloge. Dès que la tension de la rampe est égale à la tension d'entrée du comparateur (tension en sortie du photosite), le comparateur change d'état et fournit une information (0 logique pour notre exemple) qui active l'écriture de la mémoire et la réinitialisation du compteur. Le nombre de cycles d'horloge est mémorisé. La valeur d'entrée est proportionnelle au nombre de cycles d'horloge nécessaire pour que la rampe atteigne celle-ci. La rampe peut être de type analogique ou numérique [81–90].

Pour améliorer le facteur de remplissage ainsi que la taille du pixel, le compteur et le générateur de rampe sont hors du pixel. La conversion dépasse rarement 8 bits et son efficacité est très

dépendante de la rampe générée. De plus, sa vitesse de conversion est limitée par le temps d'intégration du signal rampe, ce qui en fait un convertisseur relativement lent. Cependant, c'est une structure relativement bien immunisée contre le bruit et la surface du composant n'augmente pas en fonction de la résolution.

La différence observée entre la conversion PWM et la conversion simple rampe est l'acquisition. Dans les structures non classiques, l'étage « échantillonneur-bloqueur » n'existe pas et l'information est traitée directement, contrairement aux structures classiques qui ont un point mémoire. Ceci permet d'avoir une information plus stable et moins dépendante des variations du circuit et du procédé de fabrication et donc une meilleure linéarité de conversion au prix d'une intégration plus grande.

B/ Le convertisseur Sigma-Delta

Le convertisseur Sigma-Delta utilise le sur-échantillonnage. Bien qu'il puisse être classé dans la famille de la modulation PFM, son montage et son résultat fréquentiel diffèrent. Il ne moyenne pas seulement le bruit comme la modulation PFM, mais fait également de la « mise en forme de bruit » (*noise shaping*) ce qui améliore le SNR. Les comparaisons d'un point de vue fréquentiel des convertisseurs à fréquence de Nyquist, à sur-échantillonnage et à sur-échantillonnage avec mise en forme du bruit seront traitées ultérieurement.

Le convertisseur Sigma-Delta, moins courant dans les pixels numériques, nécessite plus de composants qui inévitablement génèrent une taille de pixel plus grande et un facteur de remplissage plus faible (aspect propre à tous les DPS). Ses atouts résident cependant dans sa basse consommation, sa très grande résolution et son intégration correcte, ceci au détriment d'une vitesse de conversion moyenne voire faible. Le schéma global d'un modulateur du premier ordre est présenté Figure 2.24.

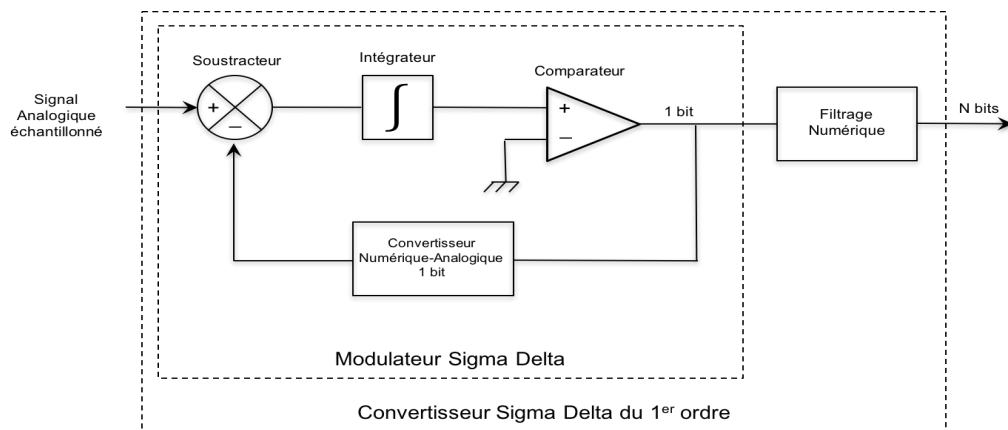


FIGURE 2.24 – Schéma global d'un convertisseur Sigma-Delta.

La structure du convertisseur Sigma-Delta est plus complexe. Contrairement à son homologue le convertisseur PFM, les ajouts d'un soustracteur et d'un re-bouclage avec convertisseur numérique-analogique (CNA) 1 bit sont nécessaires pour son bon fonctionnement. Le soustracteur permet la « mise en forme du bruit » du point de vue fréquentiel. La boucle de contre-réaction, avec le CNA, maintient proche le signal de sortie moyenné de l'intégrateur du niveau de référence du comparateur.

L'ajout d'un échantillonneur-bloqueur s'avère parfois utile et c'est donc un signal analogique échantillonné équivalent à une tension continue que nous retrouvons en entrée du convertisseur. La structure intègre puis compare la différence entre le signal d'entrée et le résultat issu du comparateur. Cette comparaison est rendue possible grâce au CNA qui retranscrit en signal analogique les données numériques (0 logique et 1 logique) fournies par le comparateur.

L'intégrateur tend à annuler la différence du signal d'entrée et le signal sortant du CNA. La densité de 1 logique à la sortie du modulateur est proportionnelle au signal d'entrée. En sommant les erreurs faites sur les tensions, l'intégrateur agit comme un filtre passe-bas sur le signal d'entrée et comme un filtre passe-haut sur le bruit de quantification. Le niveau du bruit reste inchangé mais sa distribution est « mise en forme » c'est-à-dire qu'une partie est rejetée en haute fréquence.

Le modulateur effectue un nombre de cycles en fonction d'un ratio appelé taux de suréchantillonnage ou OSR (*Over Sampling Ratio*). Ce ratio correspond au rapport entre la fréquence d'échantillonnage et deux fois la bande passante du signal d'entrée. Plus le nombre de cycles est élevé et plus sont élevés la résolution et le temps de conversion.

La fréquence d'apparition des 1 ou 0 logique est égale à la fréquence d'échantillonnage. Il apparaît donc, après la fin du temps de conversion, un train d'impulsions en sortie du comparateur. Ce train d'impulsions est décimé et filtré grâce au filtrage numérique. Il existe des modulateurs d'ordre supérieur dépendant du nombre d'intégrateurs présents dans la chaîne de modulation. Ces modulateurs autorisent une plus haute résolution pour un OSR fixé. Une attention particulière doit être portée sur la stabilité du système d'ordre supérieur.

En 1999, Joo [91] propose une structure de modulation Sigma-Delta avec buffer de courant permettant d'atteindre un haut nombre d'images par seconde (100k images/sec). McIlrath [92] propose une structure simple, fonctionnant comme un Sigma-Delta, avec une haute dynamique mais sensible au bruit. Pour améliorer la taille du pixel, une architecture de pixel à 5 transistors est présentée [93]. Cette structure simplifiée atteint un SNR de 52 dB.

Le point commun de toutes ces architectures est que la décimation est en dehors du pixel. Mahmoodi [94][95] propose une technique d'optimisation d'intégration d'un filtre FIR (*Finite Impulse Response*) comme filtre de décimation à l'intérieur du pixel. Le fait de placer la décimation à l'intérieur du pixel améliore la résolution et le nombre d'images/sec. Pour améliorer la résolution, une architecture du second ordre avec décimation in-pixel est réalisée [96] et permet d'atteindre légèrement plus de 10 bits vrais de résolution mais au prix d'un pixel de 100 μm de côté.

C/ Le convertisseur semi-parallèle ou « two step ADC »

Ce convertisseur est imaginé pour résoudre le problème du convertisseur CAN Flash qui nécessite $2^N - 1$ comparateurs, avec N égal à la résolution. Avec cette nouvelle structure, le nombre de comparateurs est désormais de $2 \times (2^{N/2} - 1)$. En contrepartie la vitesse de conversion est réduite par rapport à celle d'un Flash.

Une version hybride est apparue où les CAN de la structure ne sont plus des CAN Flash. Le convertisseur semi-parallèle est de type « suréchantillonnage » et/ou « à fréquence de Nyquist » en fonction des convertisseurs utilisés dans son architecture. La Figure 2.25 schématise son fonctionnement.

Le signal d'entrée échantillonné est converti par un premier CAN avec une précision grossière

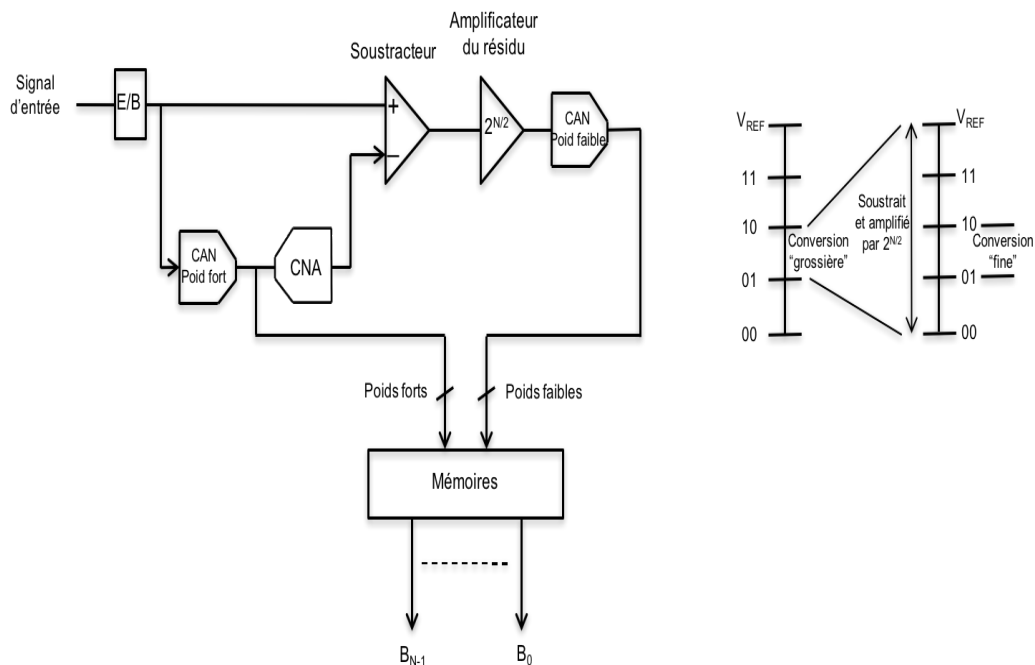


FIGURE 2.25 – Schéma global d'un convertisseur semi-parallèle.

afin de fournir des bits de poids forts du mot binaire final. Ces bits de poids forts sont re-transcrits en un signal analogique par l'entremise d'un CNA, puis soustraits du signal d'entrée échantillonné. Le résultat de la soustraction ou « résidu » est ensuite amplifié puis converti par un second CAN pour apporter une conversion plus fine. Le résultat de la conversion donne les derniers bits du mot binaire final. Le schéma de droite sur la Figure 2.25 reprend ces explications et l'exemple est présenté pour une résolution de 4 bits.

Woo [97] présente une méthode pour combiner un convertisseur Sigma-Delta pour le « convertisseur de poids forts » et un convertisseur arithmétique pipe-liné en tant que « convertisseur de poids faibles ». 15 bits de résolution sont annoncés. Toutefois, le deuxième convertisseur est « niveau colonne » ce qui réduit le nombre d'images/sec et la taille du pixel reste élevée ($50 \mu m$ de côté).

Pour améliorer le bruit de quantification d'une structure PFM, une combinaison est faite entre un convertisseur PFM pour le « convertisseur de poids forts » et un convertisseur simple rampe pour le « convertisseur de poids faibles » [98]. La résolution est élevée (16 bits théorique) mais au prix d'une circuiterie complexe. Un maximum d'éléments est en dehors du pixel pour favoriser la taille de celui-ci. Cette structure particulière est élaborée dans le cadre d'une utilisation dans l'infra-rouge. Bien que non précisée dans le document, nous pouvons supposer qu'une telle structure affecterait de manière significative la consommation, l'intégration et le nombre d'images/sec pour une utilisation standard dans le domaine du visible.

Plusieurs publications similaires [99–101] attestent de très bonnes résolutions (< 15 bits) mais au prix d'une taille élevée du pixel, d'une partie de l'architecture en dehors du pixel, d'une consommation globale plus élevée et d'un nombre d'images/sec faible.

Cette structure peut être utilisée pour compenser les défauts d'un convertisseur existant ou encore relâcher certaines contraintes sur une catégorie de convertisseur pour pouvoir l'intégrer

niveau pixel au prix d'un compromis vitesse de conversion/résolution. Si certaines contraintes peuvent être relâchées sur le premier convertisseur, toute l'efficacité de la structure repose sur lui. Au final, la structure plus complexe du convertisseur semi-parallèle le rend moins populaire.

2.3.2.3/ LE TYPE DE CONVERTISSEUR RETENU

Le choix le plus important dans un pixel numérique reste le choix du convertisseur. En effet, c'est lui qui régit la résolution et la précision du pixel et par extension, la qualité de l'image. Au delà de ça, de part sa taille et sa consommation, il influe énormément sur la résolution de la matrice de pixels.

Mais quel convertisseur choisir et selon quels critères ?

La première attention doit porter sur le système d'acquisition, et dans ce cas, doit-on collecter les charges puis les convertir aussitôt ou doit-on collecter puis stocker celles-ci et les convertir ensuite ? Cela revient à s'interroger sur l'intégration d'un échantillonneur-bloqueur comme c'est le cas pour les convertisseurs « traditionnels », et pas comme pour les convertisseurs PWM et PFM. L'inconvénient de ces derniers est qu'ils sont dépendants de l'environnement et de l'éclairement (la précision dépend du temps d'intégration et de la constance de l'éclairement).

Nous décidons de nous orienter sur des convertisseurs plus conventionnels qui offrent une grande variété de techniques de conversion et dont le choix dépend de l'utilisation que l'on souhaite en faire. Ces convertisseurs ne dépendent pas de l'éclairement et leurs précisions dépendent de la technologie utilisée et de la qualité du « Design ». Ce qui nous amène à nous orienter vers un circuit plus robuste.

Les principaux challenges dans la réalisation d'un pixel numérique résident dans la taille du pixel et la consommation. De part leur large taille et l'ajout de circuits, les pixels numériques ont une résolution spatiale très faible et une consommation élevée. L'idée est donc d'arriver à trouver le meilleur compromis entre complexité, taille et performance.

Pour choisir le type de convertisseur conventionnel le plus adéquat, les deux critères de référence sont la résolution et la précision. Des facteurs de mérite existent pour déterminer la qualité d'un convertisseur prenant en compte ces deux critères mais également d'autres critères comme la taille ou la consommation. Le Tableau 2.2 nous donne un premier tour d'horizon sur les structures classiques en fonction de la vitesse et de la précision. Le convertisseur « two step » n'apparaît pas car nous pouvons le considérer comme un cas particulier du convertisseur Pipeline. Ce tableau nous permet de cibler les convertisseurs en fonction de l'application. En effet, si nous privilégions la vitesse par rapport à la précision, le choix porterait sur le CAN Pipeline ou SAR. A contrario, si la précision est préférée à la vitesse, les convertisseurs Sigma Delta ou à rampes seraient de bons candidats.

Le convertisseur à rampes, dont la précision est très dépendante de son signal rampe, possède une bonne immunité aux bruits. Ses principaux défauts sont la lenteur du convertisseur et la précision élevée nécessaire des éléments externes le composant. L'idée est d'avoir un pixel le moins dépendant possible d'éléments externes.

Le CAN Pipeline est intéressant car un compromis peut être fait entre résolution et vitesse. Toutefois, la taille de sa structure dépend de la résolution. De plus, il est sensible aux variations du procédé de fabrication qui engendrent des erreurs de gain et d'offset. Il nécessite un circuit de correction ce qui complexifie le circuit bien que la multiplication des étages relâche les contraintes de précision sur chaque composant de l'étage. L'augmentation d'étage entraîne une augmentation de la latence et une augmentation de la vitesse.

Architecture	Temps de conversion	Précision	Taille
à Rampes	double pour chaque bit ajouté à la résolution (+)	++++	la structure du circuit ne varie pas avec l'augmentation de la résolution (++++)
Pipeline	augmente linéairement avec l'augmentation de la résolution (++++)	+++	la structure varie linéairement avec l'augmentation de la résolution (+++)
SAR	augmente linéairement avec l'augmentation de la résolution (+++)	+++	la structure varie linéairement avec l'augmentation de la résolution (+++)
Sigma Delta	compromis entre résolution et bruit (++)	+++++	la structure du circuit ne varie pas avec l'augmentation de la résolution (++++)

Tableau 2.2 – Comparaison d'architectures classiques de CAN.

Le CAN SAR, tout comme le CAN Pipeline, est également un excellent compromis. Cependant, il est sensible aux bruits du comparateur et il a besoin d'une grande précision du CNA pour avoir une grande précision finale. De plus, la taille du CNA augmente avec la résolution du convertisseur et il nécessite un circuit numérique et de contrôle complexe. Il peut avoir également besoin d'un filtre anti-repliement.

Le convertisseur Sigma-Delta possède une structure relativement simple quand il est d'ordre faible mais peut devenir très complexe si on désire atteindre de très hautes résolutions. De plus, il nécessite un filtrage pour la décimation ce qui rend son fonctionnement lent (toutefois plus rapide que le convertisseur à rampes).

Nous retenons cette dernière structure pour les raisons suivantes :

- Il est très précis et nous privilégions la précision à la vitesse. En effet, le pixel numérique travaille en parallèle. La contrainte peut être relâchée sur le temps de conversion bien qu'il ne doit pas non plus être totalement négligé.
- Il est complètement intégrable au sein d'un pixel car il ne nécessite pas d'éléments externes et n'est donc pas tributaire de leur précision.
- Il a une faible consommation.
- Il est robuste car il possède une moins grande sensibilité aux bruits et aux variations de procédés de fabrication.
- Sa taille ne varie pas en fonction de la résolution.

De plus, il est important de nous intéresser au domaine fréquentiel pour mieux comprendre les points forts des convertisseurs $\Sigma\Delta$. Imaginons que nous travaillons avec une structure idéale de CAN où seul le bruit de quantification (bruit indépendant à la structure du CAN) est pris en compte. Un signal sinusoïdal est capturé à l'entrée du CAN. Si l'on trace la FFT (*Fast Fourier Transform*) du signal et du bruit en sortie et pour CAN, nous retrouvons les signaux présentés Figure 2.26.

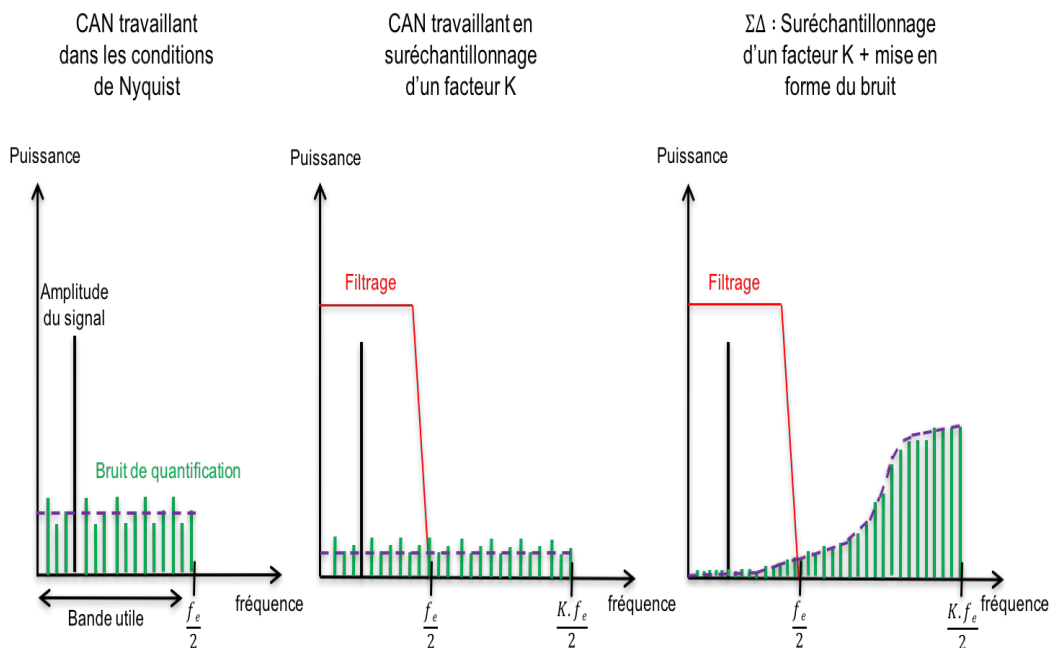


FIGURE 2.26 – Représentations fréquentielles pour différents modes de fonctionnement d'un CAN.

Nous avons vu que certains convertisseurs travaillent dans les conditions de NYQUIST, d'autres encore par sur-échantillonnage. Le Sigma-Delta combine sur-échantillonnage et mise en forme du bruit.

En vert, nous sont montrées, les différentes raies fréquentielles contenant du bruit. La moyenne de l'amplitude de ces raies nous donne un « plafond de bruit ». Ce plafond sert à déterminer le rapport signal sur bruit.

Nous remarquons qu'avec un fonctionnement avec sur-échantillonnage, le plafond de bruit est diminué par rapport à un fonctionnement dans les conditions de NYQUIST. Attention, le bruit n'est pas supprimé. La totalité du bruit est constante et est invariante selon le mode de fonctionnement du CAN. Le sur-échantillonnage permet d'étaler le bruit sur une plus vaste gamme de fréquence diminuant la valeur du plafond de la bande utile et ainsi augmentant le SNR. Ceci dit, il est impératif de rajouter un filtrage (filtre de décimation + filtre passe bas) pour ne garder que la bande de fréquence qui nous intéresse et supprimer le bruit en dehors de celle-ci. Le CAN Sigma-Delta combine sur-échantillonnage et réjection du bruit en haute fréquence. A l'instar du CAN sur-échantillonnage, il nécessite un filtrage mais la combinaison des deux permet de diminuer d'avantage le plafond de bruit. Cette particularité vient de sa structure. En effet, l'intégrateur dans sa boucle de fonctionnement agit comme un filtre passe haut pour le bruit.

Dans ces travaux de thèse, notre objectif majeur est de concevoir un pixel numérique capable de concilier capacité, fonctionnalité et performances. Le CAN Sigma-Delta apparait comme le meilleur compromis pour satisfaire simplicité (garant d'une bonne intégration) et précision (garant d'une bonne qualité). En intégrant un CAN Sigma-Delta au sein de chaque pixel, la lenteur de conversion est largement compensée par le parallélisme massif de la conversion de la matrice de pixels.

2.3.3/ LES MÉMOIRES

Dans le monde des mémoires, nous retrouvons deux grandes familles que sont la mémoire à lecture seule ou ROM (*Read Only Memory*), où l'écriture y est impossible, et la mémoire à accès aléatoire ou RAM (*Random Access Memory*) où les opérations « écriture » et « lecture » sont possibles.

Dans le cas des imageurs, nous avons besoin d'effectuer les deux opérations et également l'opération de stockage. Seule la mémoire RAM nous intéresse. Dans cette catégorie, nous retrouvons la mémoire à accès aléatoire dynamique ou DRAM (*Dynamic Random Access Memory*) et la mémoire à accès aléatoire statique SRAM (*Static Random Access Memory*).

Les bascules et verrous logiques peuvent également faire office de mémoire et leurs utilisations dépendent du fonctionnement et de l'architecture du circuit. Certaines structures de convertisseurs nécessitent des bascules, composées de verrous logiques, pour fonctionner et il est possible de les utiliser en tant que point mémoire. Souvent la mémoire se retrouve à l'extérieur du pixel car jugée trop dispendieuse pour la taille du pixel, pour le facteur de remplissage et également pour la consommation d'énergie [64].

2.3.3.1/ LA MÉMOIRE SRAM

De manière standard, cette mémoire est composée de 6 transistors. Elle a l'avantage d'être rapide et ne nécessite pas de « rafraîchissement », comme la DRAM, mais a besoin de plus de place pour être réalisée. C'est une mémoire volatile ce qui signifie qu'elle mémorise sa valeur tant qu'elle est alimentée. Elle possède trois mode de fonctionnement : Stockage, lecture et écriture. A l'instar, du capteur d'image CMOS, elle est composée d'une matrice de cellules 1 bit et nécessite donc un décodeur ligne et un décodeur colonne.

La cellule SRAM 6T 1 bit est présentée Figure 2.27.

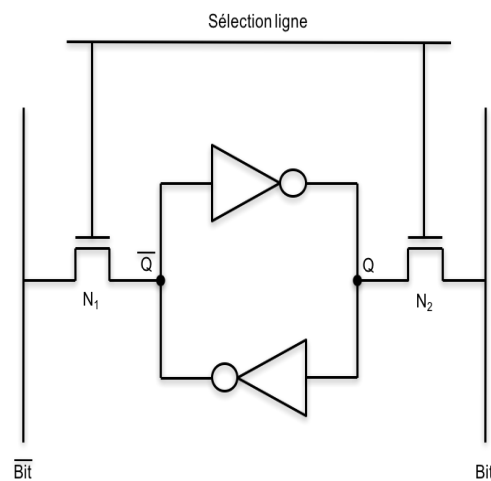


FIGURE 2.27 – Schéma d'une cellule SRAM 6T.

Les transistors N1 et N2 font office d'interrupteurs et chacun des deux inverseurs est composé d'un transistor de type P et d'un transistor de type N.

Pour le mode stockage, un zéro logique est envoyé sur la « sélection ligne » provoquant l'ouverture des deux interrupteurs et isolant les deux inverseurs. La valeur stockée (0 logique ou 1 logique) se retrouve dans une boucle changeant d'état à chaque passage d'un inverseur.

Pour la phase de lecture, les lignes de conduction Bit et \overline{Bit} sont pré-chargées à une valeur de tension VDD, correspondant au 1 logique. Un circuit de pré-charge doit être rajouté pour le fonctionnement de la mémoire (il n'est pas présenté sur le schéma). Les capacités des deux lignes de conduction sont donc à la tension VDD.

Puis la sélection de ligne est activée et la tension VDD est envoyée sur les interrupteurs provoquant leur fermeture. Si un 1 est stocké, ce qui équivaut à 1 (VDD) au nœud Q et à 0 (0 V) au nœud \overline{Q} , la tension aux bornes de la capacité de la ligne Bit reste à VDD. Par contre, la tension aux bornes de la capacité de la ligne \overline{Bit} commence à chuter légèrement de ΔV , obligeant ainsi le nœud \overline{Q} à passer de 0 V à $0 + \Delta V$. Un amplificateur de lecture, en bas de chaque colonne, détecte cette variation ΔV , et compare les tensions sur les lignes Bit et \overline{Bit} . Sa décision, donne un 1 logique ou un 0 logique en sortie si respectivement $V_{BIT} > V_{\overline{BIT}}$ ou $V_{BIT} < V_{\overline{BIT}}$. Dans ce type de structure, la taille des transistors doit être optimisée de sorte à éviter un changement d'état non désiré entraînant une lecture erronée.

Pour le cycle d'écriture, la ligne Bit est forcée à la valeur de stockage souhaitée, \overline{Bit} à son inverse et VDD est appliquée sur la sélection de ligne. Si les interrupteurs N1 et N2 sont bien dimensionnés par rapport aux transistors des deux inverseurs, la valeur est soit réécrite si la valeur stockée est différente ou soit maintenue si elle est identique. A la fin des cycles écriture/lecture, les interrupteurs sont désactivés.

Pour assurer le bon fonctionnement du système, des contraintes de réalisation et de dimensionnement sont à prendre en compte. Plusieurs publications traitant du pixel numérique ou de l'imageur 3D font référence à la mémoire SRAM [65] [99] [102] [103].

Malgré son intégration plutôt coûteuse, cette mémoire est un choix à ne pas négliger, surtout si l'on souhaite des applications extrêmement rapides.

2.3.3.2/ LA MÉMOIRE DRAM

Cette mémoire est également volatile. Sa composition est très souvent faite d'un transistor et d'une capacité. La capacité stocke la valeur pendant un temps donné, ce qui oblige l'adjonction d'un circuit de rafraîchissement supplémentaire afin de garder en mémoire la valeur stockée. Le rafraîchissement de la valeur se fait de manière régulière.

La mémoire DRAM est également incluse dans une matrice et son accès est fait par un adressage. Elle est plus facilement intégrable mais est plus lente que la mémoire SRAM et nécessite des circuits additionnels. Elle apparaît dans de nombreuses publications [26][84].

Un mixte peut être envisagé entre la SRAM et DRAM [67].

Il existe plusieurs variantes à l'architecture de la DRAM [66] mais sa représentation la plus simple est la mémoire DRAM 1T (Figure 2.28) présentée ci-après.

Cette mémoire possède également trois cycles de fonctionnement. Le stockage est réalisé quand un 0 logique est envoyé sur la sélection de ligne, bloquant ainsi le transistor N1 faisant office d'interrupteur.

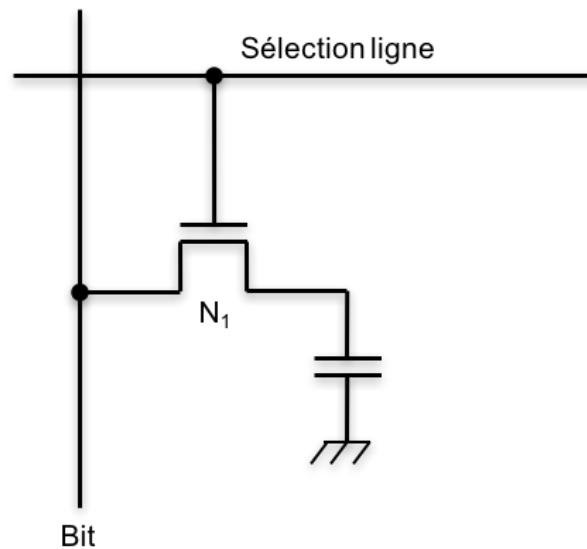


FIGURE 2.28 – Schéma d'une cellule DRAM 1T.

Pour l'écriture, la valeur à stocker est envoyée sur la ligne *Bit* et un 1 logique est envoyé sur la ligne de sélection qui charge ou décharge la capacité.

Pour la lecture, dans un premier temps, la ligne *Bit* est préchargée à une valeur de référence (généralement, $\frac{V_{DD}}{2}$) puis l'interrupteur est activé. Un transfert de charges s'établit entre la capacité de stockage et la capacité de la ligne de conduction *Bit*. Si un 1 est stocké, la tension de précharge augmente légèrement de ΔV . A contrario, si un 0 est stocké la tension de précharge décroît légèrement de ΔV . Cette différence de tension étant très faible, un amplificateur de lecture détecte cette différence et génère un 0 ou un 1 en sortie.

2.3.3.3/ LES VERROUS LOGIQUES

Il existe un certain nombre de verrous logiques comme le verrou D ou le verrou RS. Ils ont un état de mémorisation. Dans beaucoup de pixels numériques, un compteur est utilisé [104–106]. Ce dernier est très souvent composé de bascules D, elles même composées de verrous D, faisant à la fois office de compteur mais également de stockage à condition qu'il ne soit pas réinitialisé.

Un verrou RS simple dispose de deux portes logiques (deux NOR ou deux NAND), composées chacune de 4 transistors. Un verrou D est constituée de quatre portes NOR et d'un inverseur. Généralement, un circuit numérique consomme majoritairement de l'énergie pendant la commutation des transistors le composant. Le registre ne pose pas de problème en termes de consommation mais en termes d'intégration.

Un exemple de verrou RS nous est montré Figure 2.29. Le choix retenu est la bascule D car nous verrons par la suite que nous utilisons pour filtrage du convertisseur un compteur numérique composé de bascules D.

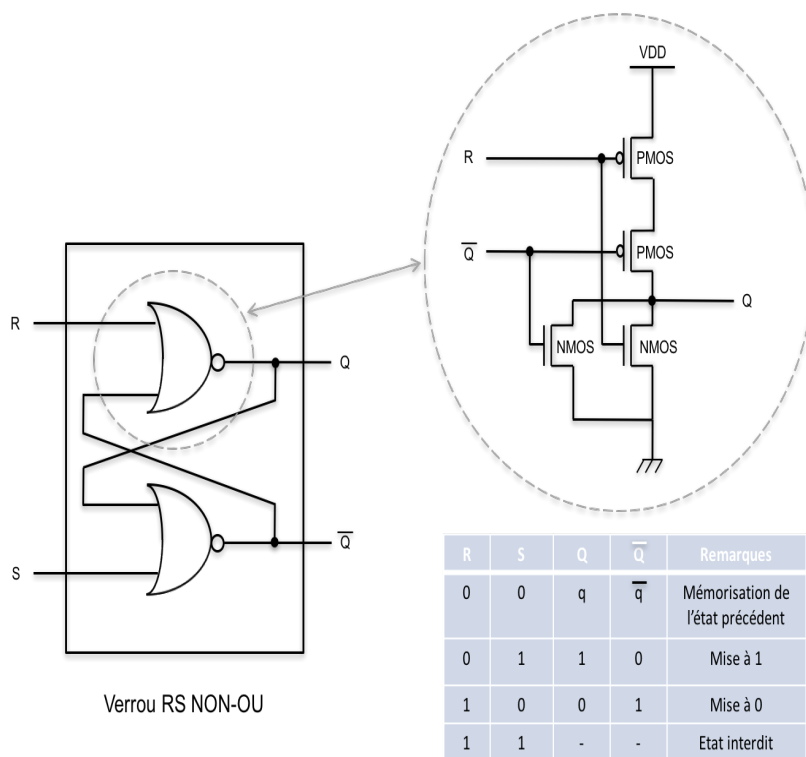


FIGURE 2.29 – Exemple d'un verrou RS.

2.3.4/ CONCLUSION

Un état de l'art est présenté concernant les différents blocs d'un pixel numérique. Le schéma Figure 2.30 rappelle notre structure de pixel numérique retenue.

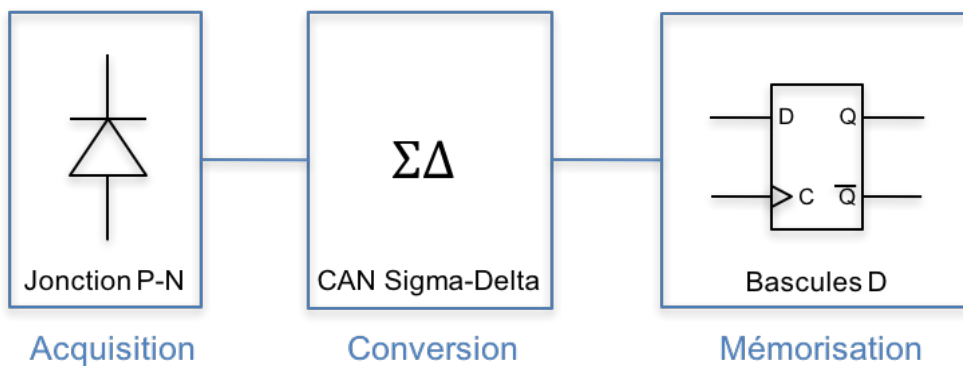


FIGURE 2.30 – Notre structure de pixel numérique.

Nous avons donc un photodiode (jonction P-N) pour l'acquisition, un convertisseur Sigma-Delta pour la conversion et enfin des bascules D pour la mémorisation.

BIBLIOGRAPHIE

- [1] Iliana L Fujimori, Ching-Chun Wang, and Charles G Sodini. A 256/spl times/256 cmos differential passive pixel imager with fpn reduction techniques. In *Solid-State Circuits Conference, 2000. Digest of Technical Papers. ISSCC. 2000 IEEE International*, pages 106–107. IEEE, 2000.
- [2] Lester J Kozlowski, J Luo, WE Kleinhans, and T Liu. Comparison of passive and active pixel schemes for cmos visible imagers. In *Aerospace/Defense Sensing and Controls*, pages 101–110. International Society for Optics and Photonics, 1998.
- [3] M Tartagni, F Filomena, N Manaresi, R Canegallo, and R Guerrieri. A comparative analysis of active and passive pixel cmos image sensors.
- [4] G Adam. Investigation of 4t cmos image sensor design and the effects of radiation damage. *PhM Dissertation, University of Surrey, UK*, 5, 2010.
- [5] Manuel Innocent. General introduction to cmos image sensors.
- [6] Stefan Lauxtermann, Adam Lee, John Stevens, and Atul Joshi. Comparison of global shutter pixels for cmos image sensors. In *2007 International Image Sensor Workshop*, 2007.
- [7] M Bigas, Enric Cabruja, Josep Forest, and Joaquim Salvi. Review of cmos image sensors. *Microelectronics journal*, 37(5) :433–451, 2006.
- [8] Perceval Coudrain. *Contribution au développement d'une technologie d'intégration tri-dimensionnelle pour les capteurs d'images CMOS à pixels actifs*. PhD thesis, Toulouse, ISAE, 2009.
- [9] Fadoua Guezzi Messaoud. *Analyse de l'apport des technologies d'intégration tri-dimensionnelles pour les imageurs CMOS : application aux imageurs à grande dynamique*. PhD thesis, Paris Est, 2014.
- [10] harvest imaging. How to measure the average dark signal?, 25-08-2011. URL <http://harvestimaging.com/blog/?p=795>.
- [11] Philippe Martin-Gonthier. *Contributions à l'amélioration de la dynamique des capteurs d'image CMOS à la réponse linéaire*. PhD thesis, Toulouse, ISAE, 2010.
- [12] Tarek Lulé, Stephan Benthien, Holger Keller, FAMF Mutze, Peter Rieve, Konstantin Seibel, Michael Sommer, and MABM Bohm. Sensitivity of cmos based imagers and scaling perspectives. *IEEE transactions on electron devices*, 47(11) :2110–2122, 2000.
- [13] R.I. Hornsey. Noise in image sensors.
- [14] harvest imaging. How to measure : Fixed-pattern noise in light or prnu (1), 14-02-2012. URL <http://harvestimaging.com/blog/?p=916>.

- [15] harvest imaging. How to measure : Fixed-pattern noise in light or prnu (2), 13-03-2012. URL <http://harvestimaging.com/blog/?p=937>.
- [16] harvest imaging. How to measure : Fixed-pattern noise in light or prnu (3), 05-04-2012. URL <http://harvestimaging.com/blog/?p=959>.
- [17] harvest imaging. How to measure the fixed-pattern noise in dark or dsnu (1), 19-09-2011. URL <http://harvestimaging.com/blog/?p=814>.
- [18] harvest imaging. How to measure the fixed-pattern noise in dark (2), 11-10-2011. URL <http://harvestimaging.com/blog/?p=838>.
- [19] Bill Claff. Fixed pattern noise analysis, 07-03-2015. URL http://www.photonstophotos.net/GeneralTopics/Sensors_&_Raw/Sensor_Analysis_Primer/Fixed_Pattern_Noise_Analysis.htm.
- [20] Yannis Tsvividis and Colin McAndrew. *Operation and Modeling of the MOS Transistor*. Oxford Univ. Press, 2011.
- [21] Robert Henderson. *Cmos image sensor design*, 2001.
- [22] Gennadiy Agranov, Vladimir Berezin, and Richard H Tsai. Crosstalk and microlens study in a color cmos image sensor. *IEEE Transactions on Electron Devices*, 50(1) :4–11, 2003.
- [23] Magali Estribeau. *Analyse et modélisation de la fonction de transfert de modulation des capteurs d'images à pixels actifs CMOS*. PhD thesis, Toulouse, ENSAE, 2004.
- [24] Claude Gabriel. Chapitre 6 : physique des capteurs utilisés pour la photographie numérique, 2015/2016. URL <http://www.claudegabriel.be/B2%20Lumi%C3%A8re%20et%20image,%20chapitre%206.pdf>.
- [25] Horst Zimmermann and H Zimmermann. *Integrated silicon optoelectronics*, volume 148. Springer, 2010.
- [26] Stuart Kleinfelder, SukHwan Lim, Xinqiao Liu, and Abbas El Gamal. A 10000 frames/s cmos digital pixel sensor. *IEEE Journal of Solid-State Circuits*, 36(12) :2049–2059, 2001.
- [27] Alice Pelamatti, Vincent Goiffon, Aziouz Chabane, Pierre Magnan, Cédric Virmontois, Olivier Saint-Pé, and Michel Breart de Boisanger. Charge transfer speed analysis in pinned photodiode cmos image sensors based on a pulsed storage-gate method. In *2015 45th European Solid State Device Research Conference (ESSDERC)*, pages 156–159. IEEE, 2015.
- [28] Carla DCP Novo and Renato C Giacomini. Analysis of photocurrent and quantum efficiency of pin bulk cmos and pin soi cmos photodiodes.
- [29] Chen Xu, Chao Shen, Wen Wu, and MANSUN Chan. Backside-illuminated lateral pin photodiode for cmos image sensor on sos substrate. *IEEE transactions on electron devices*, 52(6) :1110–1115, 2005.
- [30] Viktor Gruev, Jan Van der Spiegel, Ralf M Philipp, and Ralph Etienne-Cummings. Image sensor with general spatial processing in a 3d integrated circuit technology. In *2006 IEEE International Symposium on Circuits and Systems*, pages 4–pp. IEEE, 2006.

- [31] Tatsushi Nakahara, Hiroyuki Tsuda, Kouta Tateno, Shinji Matsuo, and Takashi Kurokawa. Hybrid integration of smart pixels by using polyimide bonding : demonstration of a gaas pin photodiode/cmos receiver. *IEEE Journal of selected topics in quantum electronics*, 5(2) :209–216, 1999.
- [32] S Klinger, M Berroth, M Kaschel, M Oehme, and E Kasper. Ge-on-si pin photodiodes with a 3-db bandwidth of 49 ghz. *IEEE Photonics Technology Letters*, 21(13) :920, 2009.
- [33] Sung-Sik Lee, Arokia Nathan, Myung-Lae Lee, and Chang-Auck Choi. Analytical pinning-voltage model of a pinned photodiode in a cmos active pixel sensor. *Journal of Sensor Science and Technology*, 20(1) :14–18, 2011.
- [34] Y Xu. *Fundamental Characteristics of a Pinned Photodiode CMOS Pixels*. TU Delft, Delft University of Technology, 2015.
- [35] Alice Pelamatti, Vincent Goiffon, Alexis de Ipanema Moreira, Pierre Magnan, Cédric Virmontois, Olivier Saint-Pé, and Michel Breart de Boisanger. Comparison of pinning voltage estimation methods in pinned photodiode cmos image sensors. *IEEE Journal of the Electron Devices Society*, 4(2) :99–108, 2016.
- [36] Alice Pelamatti, Vincent Goiffon, Magali Estribeau, Paola Cervantes, and Pierre Magnan. Estimation and modeling of the full well capacity in pinned photodiode cmos image sensors. *IEEE Electron Device Letters*, 34 :pp–900, 2013.
- [37] Berkehan Ciftcioglu, Lin Zhang, Jie Zhang, John R Marciante, Jonathan Zuegel, Roman Sobolewski, and Hui Wu. Integrated silicon pin photodiodes using deep n-well in a standard 0.18- μm cmos technology. *Journal of lightwave technology*, 27(15) :3303–3313, 2009.
- [38] Saša Radovanović. *High-speed photodiodes in standard CMOS technology*. PhD thesis, 2004.
- [39] Behrooz Nakhkoob, Sagar Ray, and Mona M Hella. High speed photodiodes in standard nanometer scale cmos technology : a comparative study. *Optics express*, 20(10) :11256–11270, 2012.
- [40] Jeremy D Schaub, Steven J Koester, Gabriel Dehlinger, Q Christine Ouyang, Drew Guckenberger, Min Yang, Dennis L Rogers, Jack Chu, and Alfred Grill. High-speed lateral pin photodiodes in silicon technologies. In *Integrated Optoelectronic Devices 2004*, pages 1–11. International Society for Optics and Photonics, 2004.
- [41] Eric R Fossum, Donald B Hondongwa, et al. A review of the pinned photodiode for ccd and cmos image sensors. *IEEE J. Electron Devices Soc*, 2(3) :33–43, 2014.
- [42] Albert JP Theuwissen. Better pictures through physics. *IEEE Solid-State Circuits Magazine*, 2(2) :22–28, 2010.
- [43] Cao Chen, Zhang Bing, Wu Longsheng, Li Xin, and Wang Junfeng. Pinch-off voltage modeling for cmos image pixels with a pinned photodiode structure. *Journal of Semiconductors*, 35(7) :074012, 2014.
- [44] Kartikeya Murari, Ralph Etienne-Cummings, Nitish Thakor, and Gert Cauwenberghs. Which photodiode to use : A comparison of cmos-compatible structures. *IEEE sensors journal*, 9(7) :752–760, 2009.

- [45] James Janesick, John Cheng, Jeanne Bishop, James T Andrews, John Tower, Jeff Walker, Mark Grygon, and Tom Elliot. Cmos minimal array. In *SPIE Optics+ Photonics*, pages 62950O–62950O. International Society for Optics and Photonics, 2006.
- [46] M Davidovic, T Wimbauer, and H Zimmermann. pin photodiode in 0.15 μm cmos. *Electronics Letters*, 50(17) :1229–1231, 2014.
- [47] Pierre Magnan. Detection of visible photons in ccd and cmos : A comparative view. *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, 504(1) :199–212, 2003.
- [48] Johannes Solhusvik, Cyril Cavadore, and Jean A Farre. Experimental results from 32 x 32 cmos photogate and photodiode active pixel image sensors. In *Aerospace/Defense Sensing and Controls*, pages 101–111. International Society for Optics and Photonics, 1996.
- [49] Myung Han Bae, Byoung Soo Choi, and Jang Kyoo Shin. Linear-logarithmic active pixel sensor with photogate for wide dynamic range cmos image sensor. 24(2) :79–82, 2015.
- [50] Juan A Leñero-Bardallo, Jorge Fernández-Berni, and Ángel Rodríguez-Vázquez. Review of adcs for imaging. In *IS&T/SPIE Electronic Imaging*, pages 90220I–90220I. International Society for Optics and Photonics, 2014.
- [51] Charles Chih-Min Liu, Manoj M Mhala, Chin-Hao Chang, Honyih Tu, Po-Sheng Chou, Calvin Chao, and Fu-Lung Hsueh. 6.8 a 1.5 v 33mpixel 3d-stacked cmos image sensor with negative substrate bias. In *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, pages 124–125. IEEE, 2016.
- [52] Fernando Raymundo, Phillipe Martin-Gonthier, Romain Molina, Sebastien Rolando, and Pierre Magnan. Exploring the 3d integration technology for cmos image sensors. In *2013 IEEE 11th International Workshop of Electronics, Control, Measurement, Signals and their application to Mechatronics (ECMSM)*. IEEE, pages 1–5, 2013.
- [53] Manuel Suarez, Victor M Brea, Carlos Domínguez Matas, Ricardo Carmona, Gustavo Liñán, and Ángel Rodríguez-Vázquez. In-pixel adc for a vision architecture on cmos-3d technology. In *3D Systems Integration Conference (3DIC), 2010 IEEE International*, pages 1–7. IEEE, 2010.
- [54] Masahide Goto, Kei Hagiwara, Yoshinori Iguchi, Hiroshi Ohtake, Takuya Saraya, Masaharu Kobayashi, Eiji Higurashi, Hiroshi Toshiyoshi, and Toshiro Hiramoto. Three-dimensional integrated cmos image sensors with pixel-parallel a/d converters fabricated by direct bonding of soi layers. In *2014 IEEE International Electron Devices Meeting*, pages 4–2. IEEE, 2014.
- [55] Masahide Goto, Kei Hagiwara, Yoshinori Iguchi, Hiroshi Ohtake, Takuya Saraya, Masaharu Kobayashi, Eiji Higurashi, Hiroshi Toshiyoshi, and Toshiro Hiramoto. Pixel-parallel 3-d integrated cmos image sensors with pulse frequency modulation a/d converters developed by direct bonding of soi layers. *IEEE Transactions on Electron Devices*, 62(11) : 3530–3535, 2015.
- [56] Adi Xhakoni, Ha Le-Thai, and Georges GE Gielen. A low-noise high-frame-rate 1-d decoding readout architecture for stacked image sensors. *IEEE Sensors Journal*, 14(6) : 1966–1973, 2014.

- [57] Kouji Kiyoyama, Y Sato, Hiroyuki Hashimoto, K-W Lee, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi. A block-parallel adc with digital noise cancelling for 3-d stacked cmos image sensor. In *3D Systems Integration Conference (3DIC), 2013 IEEE International*, pages 1–4. IEEE, 2013.
- [58] Kouji Kiyoyama, Kang Wook Lee, Takafumi Fukushima, H Naganuma, Hiroaki Kobayashi, Tetsu Tanaka, and Mitsumasa Koyanagi. A block-parallel signal processing system for cmos image sensor with three-dimensional structure. In *3D Systems Integration Conference (3DIC), 2010 IEEE International*, pages 1–4. IEEE, 2010.
- [59] Shang-Fu Yeh, Jin-Yi Lin, Chih-Cheng Hsieh, Ka-Yi Yeh, and Chung-Chi Jim Li. A new cmos image sensor readout structure for 3d integrated imagers. In *Custom Integrated Circuits Conference (CICC), 2011 IEEE*, pages 1–4. IEEE, 2011.
- [60] Kang-Wook Lee, Yuki Ohara, Kouji Kiyoyama, Ji-Cheol Bea, Mariappan Murugesan, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi. Die-level 3-d integration technology for rapid prototyping of high-performance multifunctionality hetero-integrated systems. *IEEE Transactions on Electron Devices*, 60(11) :3842–3848, 2013.
- [61] Perala Prasad Rao and Kondepudi Lal Kishore. Optimizing the stage resolution of a 10-bit, 50 ms/sec pipelined a/d converter & its impact on speed, power, area, and linearity. *Circuits and Systems*, 3(02) :166, 2012.
- [62] Vyshnavi Suntharalingam, Robert Berger, Stewart Clark, Jeffrey Knecht, Andrew Mesnier, Kevin Newcomb, Dennis Rathman, Richard Slattery, Antonio Soares, Charles Stevenson, et al. A 4-side tileable back illuminated 3d-integrated mpixel cmos image sensor. In *Solid-State Circuits Conference-Digest of Technical Papers, 2009. ISSCC 2009. IEEE International*, pages 38–39. IEEE, 2009.
- [63] J-E Eklund, Christer Svensson, and Anders Astrom. Vlsi implementation of a focal plane image processor—a realization of the near-sensor image processing concept. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 4(3) :322–335, 1996.
- [64] Denis Guangyin Chen, Daniel Matolin, Amine Bermak, and Christoph Posch. Pulse-modulation imaging—review and performance analysis. *IEEE transactions on biomedical circuits and systems*, 5(1) :64–82, 2011.
- [65] Kourosh Hassanli, Sayed Masoud Sayedi, and J Jacob Wikner. A compact, low-power, and fast pulse-width modulation based digital pixel sensor with no bias circuit. *Sensors and Actuators A : Physical*, 244 :243–251, 2016.
- [66] Xiaoxiao Zhang, Sylvain Leomant, Ka Lai Lau, and Amine Bermak. A compact digital pixel sensor (dps) using 2t-dram. *Journal of Low Power Electronics and Applications*, 1(1) :77–96, 2011.
- [67] Chen Shoushun, Farid Boussaid, and Amine Bermak. Robust intermediate read-out for deep submicron technology cmos image sensors. *IEEE Sensors Journal*, 8(3) :286–294, 2008.
- [68] Alistair Kitchen, Amine Bermak, and Abdesselam Bouzerdoum. Pwm digital pixel sensor based on asynchronous self-resetting scheme. *IEEE Electron Device Letters*, 25(7) :471–473, 2004.

- [69] Chen Xu, Chao Shen, Amine Bermak, and Mansun Chan. A new digital-pixel architecture for cmos image sensor with pixel-level adc and pulse width modulation using a $0.18\ \mu\text{m}$ cmos technology. In *Electron Devices and Solid-State Circuits, 2003 IEEE Conference on*, pages 265–268. IEEE, 2003.
- [70] Kyoungrok Cho, Sang-Jin Lee, Omid Kavehei, and Kamran Eshraghian. High fill factor low-voltage cmos image sensor based on time-to-threshold pwm vlsi architecture. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 22(7) :1548–1556, 2014.
- [71] Scott Hanson, ZhiYoong Foo, David Blaauw, and Dennis Sylvester. A 0.5 v sub-microwatt cmos image sensor with pulse-width modulation read-out. *IEEE Journal of Solid-State Circuits*, 45(4) :759–767, 2010.
- [72] Jens Doge, Gert Schonfelder, Gerhard Thomas Streil, and Andreas Konig. An hdr cmos image sensor with spiking pixels, pixel-level adc, and linear characteristics. *IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing*, 49(2) :155–158, 2002.
- [73] Kouros Hassanli, Sayed Masoud Sayedi, Rasoul Dehghani, Armin Jalili, and J Jacob Wikner. A highly sensitive, low-power, and wide dynamic range cmos digital pixel sensor. *Sensors and Actuators A : Physical*, 236 :82–91, 2015.
- [74] Amine Bermak, Abdessellam Bouzerdoum, and Kamran Eshraghian. A vision sensor with on-pixel adc and in-built light adaptation mechanism. *Microelectronics Journal*, 33 (12) :1091–1096, 2002.
- [75] Josep Maria Margarit, Germán Vergara, Víctor Villamayor, Raúl Gutiérrez-Álvarez, Carlos Fernández-Montojo, Lluís Terés, and Francisco Serra-Graells. A 2 kfps sub- μw /pix uncooled-pbse digital imager with 10 bit dr adjustment and fpn correction for high-speed and low-cost mwir applications. *IEEE Journal of Solid-State Circuits*, 50(10) : 2394–2405, 2015.
- [76] R Figueras, LI Terés, and F Serra-Graells. A $55\ \mu\text{m} \times 55\ \mu\text{m}$ charge-integration digital pixel sensor for digital direct mammography in $0.18\ \mu\text{m}$ cmos technology. In *Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), 2011 IEEE*, pages 3625–3630. IEEE, 2011.
- [77] G Vergara, R Linares Herrero, R Gutiérrez Álvarez, C Fernandez-Montojo, LJ Gómez, V Villamayor, A Baldasano Ramírez, and MT Montojo. 80×80 vpd pbse : the first uncooled mwir fpa monolithically integrated with a si-cmos roic. In *SPIE Defense, Security, and Sensing*, pages 87041M–87041M. International Society for Optics and Photonics, 2013.
- [78] Arnaud Peizerat, Marc Arques, Patrick Villard, Jean-Luc Martin, and Gérard Bouvier. Pixel-level adc by small charge quantum counting. In *2006 13th IEEE International Conference on Electronics, Circuits and Systems*, pages 423–426. IEEE, 2006.
- [79] Amaud Peizerat, M Arques, P Villard, and JL Martin. Pixel-level a/d conversion : comparison of two charge packets counting techniques. In *International Image Sensor Workshop (IISW)*, volume 200, 2007.
- [80] Stuart Kleinfelder, Suk Hwan Lim, Xinqiao Liu, and Abbas El Gamal. A 10,000 frames/s $0.18\ \mu\text{m}$ cmos digital pixel sensor with pixel-level memory. *ISSCC Dig. Tech. Papers*, pages 88–89, 2001.

- [81] Arthur Spivak, Alexander Belenky, and Orly Yadid-Pecht. Very sensitive low-noise active-reset cmos image sensor with in-pixel adc. *IEEE Transactions on Circuits and Systems II : Express Briefs*, 63(10) :939–943, 2016.
- [82] Derek Ho, Glenn Gulak, and Roman Genov. Cmos 3-t digital pixel sensor with in-pixel shared comparator. In *2012 IEEE International Symposium on Circuits and Systems*, pages 930–933. IEEE, 2012.
- [83] Hongbo Zhu and Tadashi Shibata. A real-time motion-feature-extraction vlsi employing digital-pixel-sensor-based parallel architecture. *IEEE Transactions on Circuits and Systems for Video Technology*, 24(10) :1787–1799, 2014.
- [84] JP Crooks, SE Bohndiek, CD Arvanitis, R Speller, H XingLiang, EG Villani, M Towrie, and R Turchetta. A cmos image sensor with in-pixel adc, timestamp, and sparse readout. *IEEE Sensors Journal*, 9(1) :20–28, 2009.
- [85] CH Hwang, IW Kwon, YS Lee, and HC Lee. Cmos readout integrated circuit involving pixel-level adc for microbolometer fpas. In *SPIE Defense and Security Symposium*, pages 694029–694029. International Society for Optics and Photonics, 2008.
- [86] Christian Reckleben, Karsten Hansen, Pradeep Kalavakuru, Janusz Szymański, Florian Erdinger, Peter Fischer, Manfred Kirchgessner, and Jan Soldat. A 64-by-64 pixel-adc matrix. In *Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), 2015 IEEE*, pages 1–4. IEEE, 2015.
- [87] C Reckleben, K Hansen, P Kalavakuru, and I Diehl. 8-bit 5-ms/s per-pixel adc in an 8-by-8 matrix. In *Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), 2011 IEEE*, pages 668–672. IEEE, 2011.
- [88] Joseph A Schmitz, Mahir Kabbeer Gharzai, Sina Balkır, Michael W Hoffman, Daniel J White, and Nathan Schemm. A programmable vision chip with pixel-neighborhood level parallel processing. In *2015 IEEE International Symposium on Circuits and Systems (ISCAS)*, pages 2125–2128. IEEE, 2015.
- [89] W Jendernalik. On analog comparators for cmos digital pixel applications. a comparative study. *Bulletin of the Polish Academy of Sciences Technical Sciences*, 64(2) :271–278, 2016.
- [90] Joseph A Schmitz, Mahir K Gharzai, Sina Balkır, Michael W Hoffman, Daniel J White, and Nathan Schemm. A 1000 frames/s vision chip using scalable pixel-neighborhood-level parallel processing. *IEEE Journal of Solid-State Circuits*, 2016.
- [91] Youngjoong Joo, Jinsung Park, Mikkel Thomas, Kee Shik Chung, Martin A Brooke, Nan Marie Jokerst, and D Scott Wills. Smart cmos focal plane arrays : a si cmos detector array and sigma-delta analog-to-digital converter imaging system. *IEEE Journal of Selected Topics in Quantum Electronics*, 5(2) :296–305, 1999.
- [92] Lisa G McIlrath. A low-power low-noise ultrawide-dynamic-range cmos imager with pixel-parallel a/d conversion. *IEEE Journal of Solid-State Circuits*, 36(5) :846–853, 2001.
- [93] Zeljko Ignjatovic, Danijel Maricic, and Mark F Bocko. Low power, high dynamic range cmos image sensor employing pixel-level oversampling analog-to-digital conversion. *IEEE Sensors Journal*, 12(4) :737–746, 2012.

- [94] Alireza Mahmoodi and Dileepan Joseph. Pixel-level delta-sigma adc with optimized area and power for vertically-integrated image sensors. In *2008 51st Midwest Symposium on Circuits and Systems*, pages 41–44. IEEE, 2008.
- [95] Alireza Mahmoodi. *Low-area low-power delta-sigma column and pixel sensors*. PhD thesis, University of Alberta, 2011.
- [96] Daehee Lee, D Kang, K Park, M Cho, KT Lim, S Cho, and G Cho. A second-order sigma-delta pixel sensor for x-ray applications. In *2015 IEEE International Conference on Consumer Electronics (ICCE)*, pages 259–260. IEEE, 2015.
- [97] DH Woo, CB Kim, and HC Lee. Current input extended counting adc with wide dynamic range for lwir fpas. *IEEE Sensors Journal*, 9(4) :441–448, 2009.
- [98] Omer Ceylan, Atia Shafique, Abdurrahman Burak, Can Caliskan, Melik Yazici, Shahbaz Abbasi, Arman Galioglu, Huseyin Kayahan, and Yasar Gurbuz. Digital readout integrated circuit (droic) implementing time delay and integration (tdi) for scanning type infrared focal plane arrays (irfpas). *Infrared Physics & Technology*, 79 :101–112, 2016.
- [99] Hüseyin Kayahan, Melik Yazici, Ömer Ceylan, and Yasar Gurbuz. A new digital readout integrated circuit (droic) with pixel parallel a/d conversion and reduced quantization noise. *Infrared Physics & Technology*, 63 :125–132, 2014.
- [100] Jeffrey M Raynor, Andrew Scott, Christopher Holyoake, and Donald S Reay. A single-exposure linear hdr 17-bit hybrid $50\mu\text{m}$ analogue-digital pixel in 90nm bsi.
- [101] Derek Ho, M Omair Noor, Ulrich J Krull, Glenn Gulak, and Roman Genov. Cmos tunable-color image sensor with dual-adc shot-noise-aware dynamic range extension. *IEEE Transactions on Circuits and Systems I : Regular papers*, 60(8) :2116–2129, 2013.
- [102] Hidetake Sugo, Shunichi Wakashima, Rihito Kuroda, Yuichiro Yamashita, Hirofumi Sumi, Tzu-Jui Wang, Po-Sheng Chou, Ming-Chieh Hsu, and Shigetoshi Sugawa. A dead-time free global shutter cmos image sensor with in-pixel lofic and adc using pixel-wise connections. In *VLSI Circuits (VLSI-Circuits), 2016 IEEE Symposium on*, pages 1–2. IEEE, 2016.
- [103] Mukul Sarkar, David San Segundo Bello, Chris van Hoof, and Albert JP Theuwissen. Biologically inspired cmos image sensor for fast motion and polarization detection. *IEEE Sensors Journal*, 13(3) :1065–1073, 2013.
- [104] David XD Yang, Boyd Fowler, and Abbas El Gamal. A nyquist-rate pixel-level adc for cmos image sensors. *IEEE Journal of Solid-State Circuits*, 34(3) :348–356, 1999.
- [105] Josep Maria Margarit, German Vergara, Víctor Villamayor, Raul Gutierrez-Alvarez, Carlos Fernandez-Montojo, Lluís Terés, and Francisco Serra-Graells. A 2 kfps sub- μw /pix uncooled-pbse digital imager with 10 bit dr adjustment and fpn correction for high-speed and low-cost mwir applications. *IEEE Journal of Solid-State Circuits*, 50(10) : 2394–2405, 2015.
- [106] M Habibi. Application of dynamic counter circuits in programmable digital pixel sensor architectures. *International Journal of Circuit Theory and Applications*, 42(10) :989–1005, 2014.

NOTRE ARCHITECTURE DE PIXEL

Sommaire

3.1	TEZZARON CMOS 130 nm 3D-IC FaStack	67
3.1.1	Rappels sur le transistor MOS	69
3.1.2	Détermination par simulation du V_{TH}	72
3.1.3	Simulations du courant de drain I_d	74
3.1.4	Détermination du facteur de gain du transistor KP - Modélisation EKV	76
3.1.5	Autres caractéristiques électriques	79
3.2	Présentation de l'architecture de notre pixel numérique	81
3.2.1	Présentation globale	82
3.2.2	Ensemble photosensible	88
3.2.3	Ensemble analogique du circuit	102
3.2.4	Ensemble numérique du circuit	113
3.2.5	Tableaux comparatifs et positionnement	116

Nous avons vu l'état de l'art et avons défini les architectures globales des différents blocs d'un pixel numérique. il s'agit maintenant de déterminer plus en détail l'architecture de notre convertisseur et de la lier à la technologie CMOS à intégration 3D choisie.

Un premier descriptif de la technologie 3D est présenté puis par la suite les différents sous-circuits du CAN ainsi que leurs performances. Il va sans dire que les performances sont technologiquement dépendantes et donc une première étude de la technologie est faite pour déterminer le potentiel de celle-ci.

3.1/ TEZZARON CMOS 130 NM 3D-IC FASTACK

Le prélude de ce projet commence par le dénombrement des technologies CMOS 3D existantes et la qualification de celles qui nous sont financièrement accessibles. La solution sélectionnée est la technologie CMOS 3D-IC FaStack de chez TEZZARON/GLOBALFOUNDRIES.

Cette technologie est privilégiée sur la base de deux critères importants que sont le prix de fabrication, et le diamètre et l'espacement des TSV (*Trough Silicon Via*). Un TSV est une interconnexion électrique verticale passant à travers le silicium.

Il existe plusieurs façons de concevoir et d'appréhender l'intégration 3D. Une présentation approfondie des technologies CMOS 3D sera traitée ultérieurement.

Notre attention se porte dans un premier temps sur les propriétés électriques de la technologie retenue. Cette technologie est dite à « empilement de wafers » avec connections par TSV

et/ou par la couche de métal la plus haute. Elle nous est fournie par le CMP de Grenoble. Le CMP (CIRCUITS MULTI-PROJETS) est une unité mixte de service Grenoble INP/CNRS servant d'intermédiaire entre les concepteurs de circuits et les fondeurs. Le CMP met à disposition des concepteurs un portefeuille de technologies. De plus, il collecte les masques des circuits de plusieurs concepteurs et les fait fabriquer sur le même wafer. La technologie de TEZZARON/GLOBALFOUNDRIES accessible au CMP repose sur une option d'empilement de deux wafers seulement. La connexion de ceux-ci est effectuée grâce à la couche de Métal 6, à savoir la plus haute. Les deux wafers possèdent le même nœud technologique de 130 nm. La société GLOBALFOUNDRIES propose la technologie CMOS 130 nm et la société TEZZARON SEMICONDUCTOR se charge de l'implantation des TSV niveau CMOS et de la connexion des deux wafers.

La technologie CMOS 3D-IC FaStack offre la possibilité de travailler avec des transistors 130 nm ou 350 nm. L'interface de liaison en métal 6 a un espacement minimal de $2,4 \mu m$ et une dimension minimale de $1,4 \mu m$ avec une forme octogonale. La capacité d'un plot métal 6 est très inférieure à $2 - 3 fF$ et sa résistance inférieure à $150 m\Omega$. La densité de métal 6 dans le dessin des masques finaux recommandés est de 35%. Les TSV ont également une forme octogonale avec une largeur minimale de $1,2 \mu m$ et un espacement minimal entre deux TSV de $1,3 \mu m$. La capacité d'un TSV est égale à $2 - 3 fF$ et sa résistance égale à $150 m\Omega$. Les espacements sont très importants dans notre cas car ils déterminent la taille minimale d'un pixel. En effet, dans le cas d'un pixel numérique, nous avons logiquement une connexion par pixel et donc la taille minimale d'un côté du pixel équivaut à l'espacement minimal entre deux connexions. La Figure 3.1 présente cette technologie CMOS 3D.

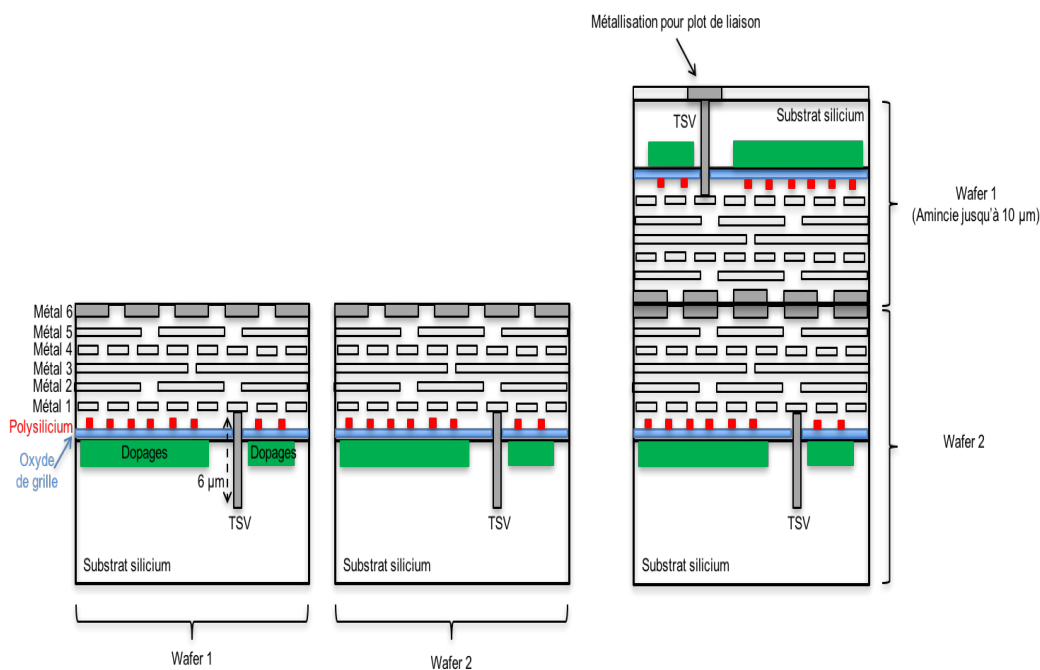


FIGURE 3.1 – Technologie FaStack.

La technologie CMOS 130 nm possède un seul niveau de silicium polychristallin et seuls les 5 premiers niveaux de métal peuvent servir de connexion pour le circuit électrique sur un même wafer.

Les caractéristiques électriques principales données par le fondeur sont les suivantes :

- Alimentation partie analogique : 1,5 V/3,3 V.
- Alimentation partie numérique : 1,5 V (initialement 1,2 V).
- Alimentation plot E/S : 3,3 V.
- Couches additionnelles : Faible V_t (LVT), Deep Nwell, Double grilles pour les dispositifs en 3,3 V.
- Taille des transistors : $L_{min} = 130 \text{ nm}$ et $W_{min} = 150 \text{ nm}$ pour 1,5 V et $L_{min} = 350 \text{ nm}$ et $W_{min} = 150 \text{ nm}$ pour 3,3 V.
- V_t nominal pour 1,5 V : 0,53 V pour le NMOS et $-0,56 \text{ V}$ pour le PMOS. Faible V_t : 0,42 V pour le NMOS et $-0,43 \text{ V}$ pour le PMOS.
- V_t nominal pour 3,3 V : 0,66 V pour le NMOS et $-0,67 \text{ V}$ pour le PMOS.
- Partie numérique : librairie de cellules standards fournie par ARM ainsi que les librairies d'E/S. Nécessité d'adapter les plots d'E/S à l'intégration 3D.
- Capacité d'oxyde : $11 \text{ fF} \cdot \mu\text{m}^{-2}$ pour 1,5 V (grille fine) et $4,8 \text{ fF} \cdot \mu\text{m}^{-2}$ pour 3,3 V (grille épaisse).

Pour des questions de rapidité et de consommation, notre choix de nœud technologique se porte sur le 130 nm. En effet, un nœud technologique plus petit est plus rapide et donc capable de fonctionner à vitesse d'horloge plus rapide. De surcroît, la taille est diminuée et donc l'alimentation également, ce qui peut favoriser la consommation et l'intégration. Nous décidons d'œuvrer à faible tension de seuil V_{TH} . Les raisons sont explicitées subséquentement.

A ce stade, il devient pertinent de vérifier par simulation quelques paramètres du transistor NMOS et PMOS. En effet, nous travaillons à faible dimension, ce qui engendre une meilleure rapidité, une plus faible consommation et une meilleure intégration, le tout au détriment du gain et des contraintes liées aux variations de température.

3.1.1/ RAPPELS SUR LE TRANSISTOR MOS

Les régimes de fonctionnement d'un transistor MOS dépendent des tensions drain-source V_{DS} et grille-source V_{GS} appliquées à ses bornes. L'axe drain-source dans un transistor MOS forme ce que l'on nomme le canal de conduction. Pour qu'il y ait génération de courant, la présence de charges est requise dans ce dernier. La polarisation modifie les bandes d'énergie (bande de valence et bande de conduction) pour permettre ou non l'apparition de ces charges.

Selon la valeur de la tension V_{GS} , nous distinguons trois états de la capacité MOS. Les commentaires suivants concernent un transistor MOS de type N.

- Quand $V_{GS} < 0$, nous sommes dans le **régime d'accumulation**. La tension faible ou négative appliquée à la grille attire les trous du substrat dans le canal et empêche le passage des électrons de la source vers le drain même si une tension V_{DS} positive est appliquée.
- Quand $V_{GS} < V_{TH}$, nous sommes dans le **régime de déplétion ou faible inversion ou sous-le-seuil**. Cette tension n'est pas suffisamment négative ou suffisamment positive pour attirer des électrons ou des trous. La zone sous la grille est dite « déplétée » c'est-à-dire vide de charge électrique. La couche de déplétion forme une capacité de déplétion en série avec la capacité d'oxyde. La capacité totale dans ce régime est très faible et très inférieure à la capacité d'oxyde. De plus, elle décroît quand V_{GS} augmente.

- Quand $V_{GS} > V_{TH}$, nous sommes dans le **régime de forte inversion**. La tension V_{GS} est suffisamment positive pour attirer les électrons dans le canal de conduction et créer un courant. La capacité MOS est proche de la valeur de la capacité d'oxyde et ne varie pas en fonction de V_{GS} .

Si la tension V_{GS} influence le courant, il en est de même quant à la tension V_{DS} sur les différents modes de fonctionnement du transistor.

Les explications suivantes présentent l'influence de la tension V_{DS} et les équations du courant drain-source I_{DS} associées. Les modes de fonctionnement du transistor sont au nombre de quatre, soient le mode « bloqué », le mode « sous-le-seuil », le mode « linéaire » et le mode « saturé ».

Deux catégories de courant forment I_{DS} . En régime de faible inversion, le courant est dénommé courant « de diffusion » alors qu'en régime de forte inversion, le courant est nommé courant « de dérive ». Il existe un régime particulier appelé régime d'inversion modéré, qui est un régime transitoire entre les régimes de faible et forte inversion, et dans lequel le courant de drain est un courant de dérive et un courant de diffusion.

- Quand V_{GS} est égal à 0, le transistor est **coupé ou bloqué** (*Cut off*), et le courant de drain I_{DS} , est égal à 0 ou très peu différent de 0 (en tenant compte des courants de fuite). Il existe un très faible courant à l'état bloqué I_{off} (*off current*), mesuré pour une tension V_{GS} égale à 0 V et V_{DS} égale à la tension d'alimentation (1,5 V). I_{off} représente, entre autres, les courants de fuite drain-source.
- Un raccourci précise qu'il y a conduction du transistor quand $V_{GS} = V_{TH}$. Or, quand $V_{GS} < V_{TH}$ (tension de seuil du transistor), le transistor est polarisé en faible inversion (*weak inversion*) et travaille dans la **région « sous-le-seuil »** (*Subthreshold*). Malgré la faible présence de porteurs de charges dans le canal, un courant très faible de drain se forme et est régi selon la loi exponentielle suivante :

$$I_d = I_{TH} \times \exp\left(\frac{V_{GS} - V_{TH}}{S} \times \ln(10)\right) \times \left[1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right] \quad (3.1)$$

I_d : le courant de drain [A],

I_{TH} : le courant de drain quand $V_{GS} = V_{TH}$, égal à environ : $10^{-7} \times \left(\frac{W}{L}\right)$ [A],

V_{GS} : la tension grille-source [V],

V_{DS} : la tension drain-source [V],

V_{TH} : la tension de seuil du transistor [V],

V_T : la tension thermique [V], égale à 26 mV à température ambiante,

S : la pente sous-le-seuil [*mV/décade*], définie par :

$$S = V_T \times \left(1 + \frac{C_{dep}}{C_{ox}} + \frac{C_{SS}}{C_{ox}}\right) \times \ln(10) \quad (3.2)$$

C_{ox} : la capacité d'oxyde [F],

C_{SS} : la capacité associée aux états d'interface [F],

C_{dep} : la capacité de la couche de déplétion [F].

- Quand $V_{GS} \geq V_{TH}$, le transistor possède deux modes de fonctionnement qui dépendent de V_{DS} . Lorsque $V_{DS} < V_{DS,sat}$, le transistor travaille en **régime linéaire** (ou ohmique ou triode), c'est-à-dire que le transistor se comporte comme une résistance contrôlée en tension. Lorsque $V_{DS} > V_{DS,sat}$, un phénomène de saturation du courant se produit et apparaît un pincement du canal de conduction. La tension V_{DS} n'a plus d'influence sur le courant et le transistor se comporte comme une source de courant contrôlée par V_{GS} . Le MOS travaille alors en **régime saturé**. Pour les transistors à canal long ($L > 1 \mu m$), il est admis que $V_{DS,sat} = V_{GS} - V_{TH}$. Nous avons alors :

En régime linéaire,

$$I_d = \mu \times C_{ox} \times \left(\frac{W}{L}\right) \times \left[(V_{GS} - V_{TH}) \times V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (3.3)$$

I_d : le courant de drain [A],

C_{OX} : la capacité d'oxyde surfacique [$F \cdot \mu m^{-2}$],

μ : la mobilité des porteurs de charge [$\mu m^2 \cdot V^{-1} \cdot s^{-1}$],

W : la largeur de grille du transistor [μm],

L : la longueur du canal de conduction [μm],

V_{GS} : la tension grille-source [V],

V_{DS} : la tension drain-source [V],

V_{TH} : la tension de seuil du transistor [V].

En régime saturé,

$$I_d = \left(\frac{\mu \times C_{ox}}{2}\right) \times \left(\frac{W}{L}\right) \times (V_{GS} - V_{TH})^2 \times [1 + \lambda \times (V_{DS} - V_{DS,sat})] \quad (3.4)$$

I_d : le courant de drain [A],

C_{OX} : la capacité d'oxyde surfacique [$F \cdot \mu m^{-2}$],

μ : la mobilité des porteurs de charge [$\mu m^2 \cdot V^{-1} \cdot s^{-1}$],

λ : le paramètre de modulation de canal [V^{-1}],

W : la largeur de grille du transistor [μm],

L : la longueur du canal de conduction [μm],

V_{GS} : la tension grille-source [V],

V_{DS} : la tension drain-source [V],

$V_{DS,sat}$: la tension drain-source quand le transistor entre en régime saturée [V],

V_{TH} : la tension de seuil du transistor [V].

- Notre objectif est de travailler en canal court ($L < 1 \mu m$). Si les technologies de très petites tailles autorisent des vitesses plus rapides bénéfiques pour les circuits numériques, elles n'en sont pas moins préjudiciables sous certains aspects pour la partie analogique. Un des effets du canal court est l'influence du drain sur la tension de seuil V_{TH} , appelée DIBL (*Drain-Induced Barrier Lowering*). La conséquence directe est la diminution de la tension de seuil au fur et à mesure de l'augmentation de la tension drain-source. Un autre effet important appelé GIDL (*Gate-Induced Drain Leakage*) est l'augmentation du courant de fuite drain-substrat due à l'application d'un très fort champ électrique sur la

jonction du drain. L'effet le plus défavorable impactant le courant de drain, est l'effet de saturation de la vitesse de dérive des porteurs de charge. Quand le transistor atteint cet état, on dit qu'il est en régime de « saturation de la vitesse » (*velocity saturation*), et cet état est vite atteint pour les transistors à canal court. En régime saturé, le courant de drain change et est défini comme suit :

$$I_d = W \times \nu_{sat} \times C_{OX} \times (V_{GS} - V_{TH} - V_{DS,sat}) \quad (3.5)$$

I_d : le courant de drain [A],

W : la largeur de la grille du transistor [μm],

ν_{sat} : la saturation de la vitesse de dérive des porteurs de charges [$m \cdot s^{-1}$],

C_{OX} : la capacité d'oxyde surfacique [$F \cdot \mu m^{-2}$],

V_{GS} : la tension grille-source [V],

V_{TH} : la tension de seuil du transistor [V],

$V_{DS,sat}$: la tension drain-source quand le transistor entre en régime saturée [V].

Le courant de drain ne varie plus de manière quadratique en fonction de V_{GS} mais linéairement. De plus, $V_{DS,sat} \neq V_{GS} - V_{TH}$ à l'inverse des transistors à canal long. Nous introduisons une nouvelle tension, appelée tension surmultipliée de la grille V_{OV} (*gate overdrive voltage*). Cette tension représente l'excès de la tension grille-source par rapport à la tension de seuil et est définie comme $V_{OV} = V_{GS} - V_{TH}$.

3.1.2/ DÉTERMINATION PAR SIMULATION DU V_{TH}

La tension V_{TH} est la tension de seuil du transistor. Cette caractéristique détermine l'état bloqué ou passant du transistor.

Il existe plusieurs méthodes pour définir par simulation la valeur de cette tension [1]. L'une d'elles est la méthode TCR (*Transconductance to Current Ratio*). Cette méthode est indiquée car adaptée aux canaux courts. De plus elle est moins tributaire d'une part de la variation de la tension de grille liée à la mobilité des porteurs de charge, et d'autre part de l'influence des résistances séries [2]. La méthode TCR est basée sur la détermination de la dérivée première du rapport de la variation de la transconductance $I_d(V_{gs})$ en fonction de la tension de grille $g_m(V_{gs})$ sur la variation du courant de drain en fonction de la tension de grille $I_d(V_{gs})$. Ce rapport est communément appelé rapport *gmoverid*. Cela revient à calculer la dérivée seconde du logarithme népérien de $I_d(V_{gs})$. La valeur de la tension de seuil issue de ce calcul correspond à l'extremum négatif ou positif de l'abscisse de la courbe.

Une des courbes résultantes est montrée Figure 3.2. Les autres sont présentées en annexe (Figures A.1, A.2 et A.3). Elles sont obtenues pour deux configurations de taille de grille (max et min) et ce pour les transistors NMOS et PMOS.

Ces configurations sont $L = L_{min}$ et $W = 10 \mu m$ (généralement, le cas des fondeurs) et $L = L_{min}$ et $W = 150 nm$. Cette dernière configuration est en adéquation avec les objectifs visés de taille de circuit. Le tracé de ces courbes se réalise en régime ohmique, soit $V_{ds} \ll (V_{ds,sat})$ et $V_{gs} > (V_{TH})$. Les mesures sont effectuées pour $V_{ds} = 10 mV$ et V_{gs} variable de 0 à 1,5 V.

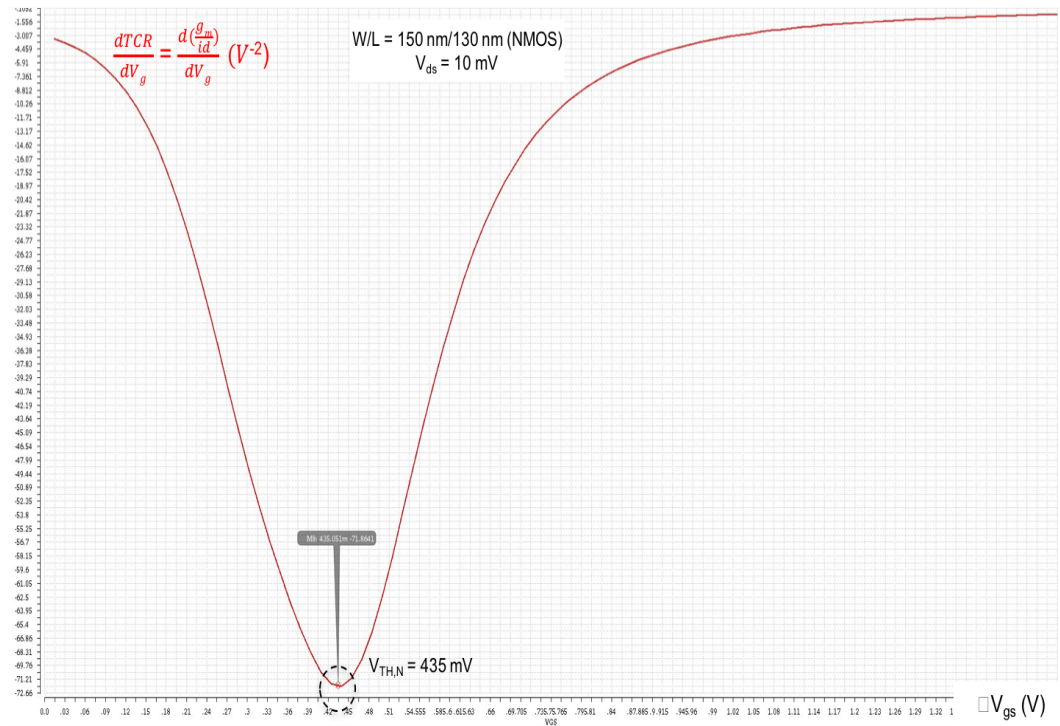


FIGURE 3.2 – Dérivée du TCR en fonction de la tension grille. Détermination de V_{TH} d'un transistor de type N pour $L = L_{min}$ et $W = 150 \text{ nm}$.

Pour le transistor MOS de type N, les valeurs de la tension de seuil pour $W_{max} = 10 \mu\text{m}$ et $W_{min} = 150 \text{ nm}$ sont respectivement 500 mV et 435 mV . Ces valeurs sont du même ordre de grandeur que les valeurs annoncées par le fondeur mais diffèrent légèrement. La plateforme de simulation CADENCE utilise le modèle BSIM4 (*Berkley Short-Chanel IGFET Model* version 4.3). L'exacte valeur de V_{TH} n'est pas nécessaire. Ce qu'il faut retenir c'est que V_{TH} varie légèrement en fonction de W , et que travailler avec un V_{TH} faible, augmente le courant à l'état passant I_{ON} , mais augmente également les courants de fuite I_{OFF} . Pour la suite de nos simulations nous retenons 435 mV pour la taille de grille minimale et 500 mV pour une très grande taille.

Pour le transistor MOS de type P, les valeurs sont exprimées en valeurs absolues, la tension de seuil étant négative. Nous retrouvons des valeurs V_{TH} très proche l'une de l'autre pour $W_{max} = 10 \mu\text{m}$ et $W_{min} = 150 \text{ nm}$, contrairement au NMOS. La tension de seuil est arrondie à $|V_{TH,P}| = 455 \text{ mV}$.

La détermination de la tension de seuil permet de mesurer d'autres caractéristiques, entre autres les variations de la tension de seuil en fonction de la tension de drain et de la température. Pour ce faire, nous prenons une valeur de V_{OV} égale à environ 5 % de la tension d'alimentation, soit 75 mV .

Pour le transistor NMOS, la variable V_{OV} donne la tension $V_{GS} = 510 \text{ mV}$ pour $W = 150 \text{ nm}$ et $V_{GS} = 575 \text{ mV}$ pour $W = 10 \mu\text{m}$. Les graphiques (Figures A.4 et A.5) sont présentés en annexe.

La tension de seuil décroît en fonction de V_{DS} mais également en fonction de la température. A taille minimale, $V_{TH,N}$ varie de 433 mV à 355 mV pour une tension V_{DS} allant de 0 à $1,5 \text{ V}$

à température ambiante, et a un coefficient de décroissance en fonction de la température de $-0,93 \text{ mV}/^\circ\text{C}$.

Pour un $W = 10 \text{ }\mu\text{m}$, $V_{TH,N}$ varie de 516 mV à 437 mV pour une tension V_{DS} allant de 0 à $1,5 \text{ V}$ à température ambiante, et a un coefficient de décroissance en fonction de la température de $-0,8 \text{ mV}/^\circ\text{C}$. La tension de seuil est légèrement moins impactée par la variation en température pour une grande largeur de grille.

Pour le transistor PMOS, la tension V_{GS} est fixée à 530 mV pour les deux caractéristiques de tailles de grille, avec $V_{OV} = 70 \text{ mV}$. Les graphiques (Figures A.6 et A.7) sont présentés en annexe. Pour rappel, les valeurs de courants et tensions de seuil sont négatives mais présentées positives pour une meilleure compréhension.

A taille minimale, $|V_{TH,P}|$ varie de 453 mV à 428 mV pour une tension V_{SD} allant de 0 à $1,5 \text{ V}$ à température ambiante, et a un coefficient de décroissance en fonction de la température de $-0,99 \text{ mV}/^\circ\text{C}$. Le coefficient de variation en température est sensiblement le même que pour le NMOS. Néanmoins, la tension de seuil est moins affectée par la variation de la tension de drain.

Pour un $W = 10 \text{ }\mu\text{m}$, $|V_{TH,P}|$ varie de 441 mV à 408 mV pour une tension V_{SD} allant de 0 à $1,5 \text{ V}$ à température ambiante, et a un coefficient de décroissance en fonction de la température de $-1,11 \text{ mV}/^\circ\text{C}$. Le PMOS semble être plus affecté par le changement de température.

Il est primordial avant toute réalisation de connaître la variation de la tension de seuil. Nos simulations nous donnent un aperçu significatif du comportement de V_{TH} pour notre technologie.

3.1.3/ SIMULATIONS DU COURANT DE DRAIN I_d

Une autre caractéristique intéressante est la variation du courant de drain et ses limites en fonction des différentes tensions et des courants I_{ON} et I_{OFF} . Une des courbes issues des simulations est montrée Figure 3.3, les autres figurent en annexe (Figures A.8, A.9 et A.10). Elles sont obtenues pour deux configurations de taille de grille (max et min) et ce pour les transistors NMOS et PMOS.

Pour le NMOS à taille minimale, le transistor a un courant maximal (I_{ON}) de $120,5 \text{ }\mu\text{A}$, et un courant de fuite à l'état bloqué (I_{OFF}) de 230 pA . Ces deux courants représentent une figure de mérite du transistor. Exprimés d'un point de vue surfacique, nous obtenons $I_{ON,N} \simeq 800 \text{ }\mu\text{A} \cdot \mu\text{m}^{-1}$ et $I_{OFF,N} \simeq 1,5 \text{ nA} \cdot \mu\text{m}^{-1}$. Pour un transistor à canal court, le courant de drain peut être exprimé lorsque $V_{GS} = V_{DS} = 1,5 \text{ V}$, soit :

$$I_d = W \times I_{ON,N} \quad (3.6)$$

I_d : le courant de drain [A],

W : la largeur de la grille du transistor [μm],

$I_{ON,N}$: le courant surfacique à l'état passant pour $V_{GS} = V_{DS} = 1,5 \text{ V}$ [$\mu\text{A} \cdot \mu\text{m}^{-1}$].

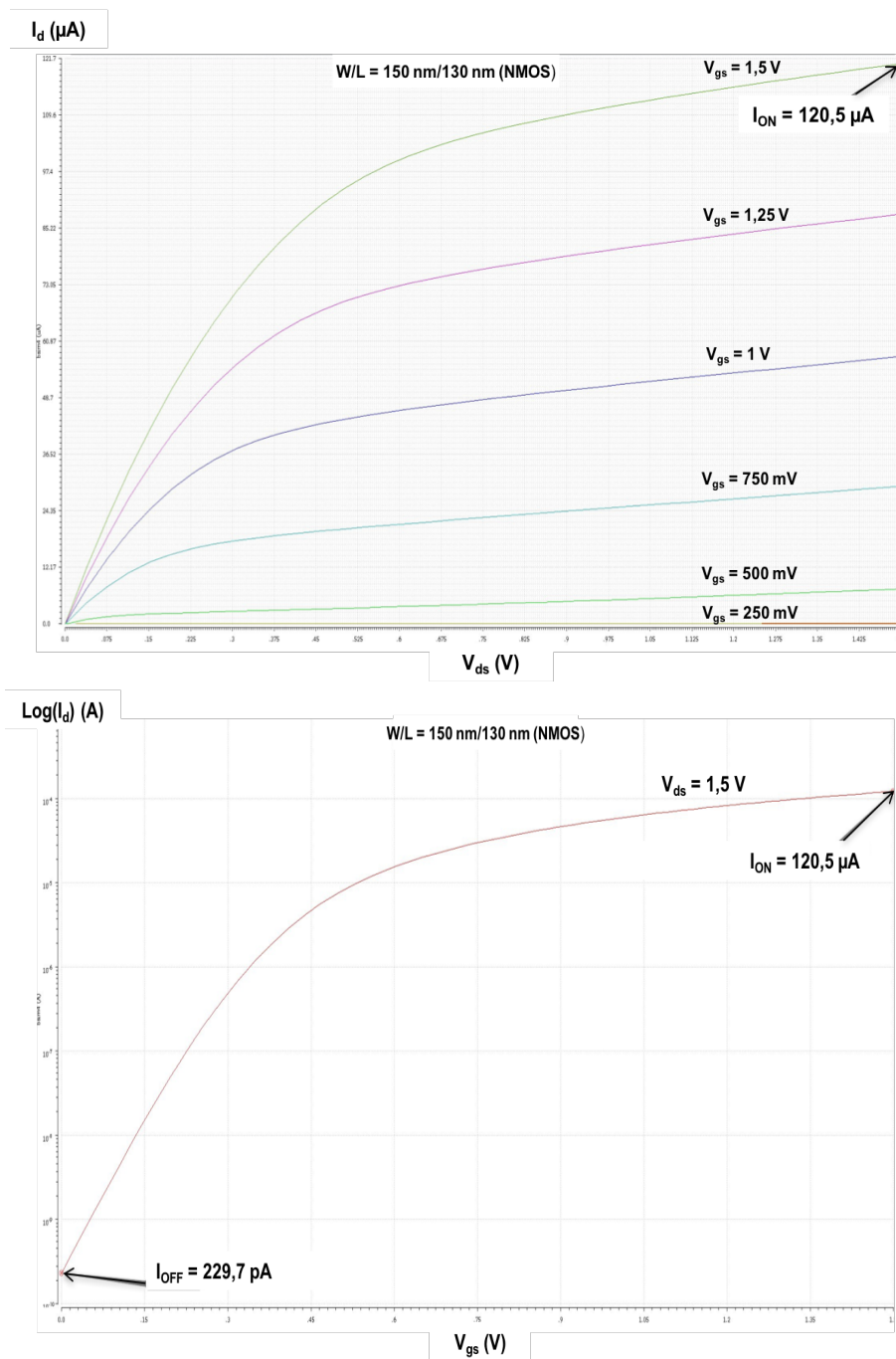


FIGURE 3.3 – En haut, variation de I_D en fonction de V_{GS} et V_{DS} . En bas, logarithme de I_D en fonction de V_{GS} pour $V_{DS} = 1,5 \text{ V}$ (NMOS avec $W = 150 \text{ nm}$ et $L = 130 \text{ nm}$).

Avec,

$$I_{ON,N} = v_{sat} \times C_{OX} \times (V_{GS} - V_{TH} - V_{DS,sat}) \quad (3.7)$$

v_{sat} : la saturation de la vitesse de dérive des porteurs de charges [$m \cdot s^{-1}$],

C_{OX} : la capacité d'oxyde surfacique [$F \cdot \mu m^{-2}$],

V_{GS} : la tension grille-source [V],

V_{TH} : la tension de seuil du transistor [V],

$V_{DS,sat}$: la tension drain-source lorsque le transistor entre en régime saturée [V].

Pour le transistor NMOS à grosse taille, $I_{ON} = 6,2 \text{ mA}$ et $I_{OFF} = 1,2 \text{ nA}$, soient $I_{ON,N} \simeq 620 \mu A \cdot \mu m^{-1}$ et $I_{OFF,N} \simeq 0,12 \text{ nA} \cdot \mu m^{-1}$.

Il ressort que $I_{OFF,N}$ est environ 10 fois plus grand pour W_{min} vis-à-vis de W très grand, ce qui induit plus de fuites pour un transistor à taille minimale.

Pour le transistor de type P, avec $W = 150 \text{ nm}$, nous obtenons $I_{ON} = 40 \mu A$ et $I_{OFF} = 6,78 \text{ pA}$, soient $I_{ON,P} \simeq 267 \mu A \cdot \mu m^{-1}$ et $I_{OFF,P} \simeq 0,0447 \text{ nA} \cdot \mu m^{-1}$. Avec $W = 10 \mu m$, nous avons $I_{ON} = 3,05 \text{ mA}$ et $I_{OFF} = 409 \text{ pA}$, soient $I_{ON,P} \simeq 300 \mu A \cdot \mu m^{-1}$ et $I_{OFF,P} \simeq 0,0409 \text{ nA} \cdot \mu m^{-1}$. Le courant $I_{OFF,P}$ est quasiment identique pour les deux tailles et nettement inférieur à $I_{OFF,N}$.

De plus, nous notons un facteur 3 entre $I_{ON,N}$ et $I_{ON,P}$ à $W = 150 \text{ nm}$, et un facteur de 2 à $W = 10 \mu m$. Ces données précisent la compensation de la mobilité des porteurs de charges entre un transistor N et un transistor P à petite et grande taille.

La connaissance du courant de drain et la tension de seuil permettent d'aborder d'autres caractéristiques électriques tels que le facteur de modulation de canal et la fréquence de transition du transistor.

3.1.4/ DÉTERMINATION DU FACTEUR DE GAIN DU TRANSISTOR KP - MODÉLISATION EKV

Il existe deux modèles très utilisés pour physiquement et électriquement caractériser les transistors MOS à canal court, le modèle BSIM développé par le Département EECS (*Electrical Engineering and Computer Sciences*) de l'Université de Californie à Berkeley, et le modèle EKV (*Enz Krummenacher Vittoz*), développé par C. C. Enz, F. Krummenacher et E. A. Vittoz provenant de l'École Polytechnique Fédérale de Lausanne (EPFL) [3] [4].

Bien que le logiciel CADENCE utilise le modèle BSIM, une modélisation EKV peut être adaptée pour connaître la mobilité du NMOS et PMOS par simulations sous Virtuoso XL (logiciel de la plate-forme CADENCE). Cette modélisation permet d'assurer une continuité du modèle. L'idée est d'utiliser un modèle de courant de drain unique quelle que soit la phase d'inversion du transistor. Connaître la mobilité du transistor est utile dans le sens où, bien que le transistor atteigne rapidement le régime de « velocity saturation » en canal court, il existe une plage de tension où le régime est en forte inversion.

L'équation du courant est la suivante :

$$I_{DS} = I_F \times I_{SAT} \times \frac{W}{L} \quad (3.8)$$

I_{DS} : le courant drain-source [A],

I_{SAT} : le courant de saturation, considéré comme une constante [A],

W : la largeur du transistor [μm],

L : la longueur de canal du transistor [μm],

I_F : le coefficient d'inversion, avec pour correspondance :

- $I_F < 0,1$: régime de faible inversion.
- $0,1 < I_F < 10$: régime d'inversion modérée.
- $I_F > 10$: régime de forte inversion.

Nous pouvons réécrire l'Equation 3.8 de la manière suivante :

$$I_F = \frac{I_{DS}}{2 \times n \times K_P \times \frac{W}{L} \times V_T^2} \quad (3.9)$$

K_P : le facteur de gain du transistor [$A \cdot V^{-2}$],

n : un coefficient,

V_T : la tension thermique [V], égale à 26 mV à température ambiante.

Avec les Equations 3.8 et 3.9, nous pouvons donc écrire :

$$I_{SAT} = 2 \times n \times K_P \times V_T^2 \quad (3.10)$$

La dernière équation nécessaire pour ce modèle concerne le rapport de la transconductance g_m sur le courant de drain I_d (rapport *gmoverid*). Nous l'explicitons comme ceci :

$$\frac{g_m}{I_d} = \frac{1}{n \times V_T} \times \frac{1}{\frac{1}{2} + \sqrt{\frac{1}{4} + I_F}} \quad (3.11)$$

I_d : le courant de drain [A],

g_m : la transconductance [$A \cdot V^{-1}$].

Pour déterminer le facteur de gain du transistor K_P , la première étape consiste à définir le coefficient n . Pour ce faire, le transistor NMOS ou PMOS est placé dans un régime de faible inversion, c'est-à-dire $I_F = 0$ avec $V_{GS} < V_{TH}$ et $V_{DS} > 4 \times V_T$. Ceci permet de simplifier l'Equation 3.11 comme suit :

$$\frac{g_m}{I_d} = \frac{1}{n \times V_T} \quad (3.12)$$

Puis $\frac{g_m}{I_d}$ est tracé en fonction de I_{DS} , et la valeur du *gmoverid* est définie pour $I_F = 0$. Cette valeur acquise, le coefficient n est déterminé avec l'Equation 3.12. n acquis, le facteur de gain K_P est déterminé de la manière suivante :

$$K_P = \frac{2}{n} \times \left(-\frac{d\sqrt{I_d}}{dV_S} \right)^2 \times \frac{L}{W} \quad (3.13)$$

K_P : le facteur de gain du transistor [$A \cdot V^{-2}$],

I_d : le courant de drain [A],

W : la largeur du transistor [μm],

L : la longueur de canal du transistor [μm],

n : un coefficient,

V_S : la tension de la source du transistor [V].

Le transistor est mis en régime de forte inversion à savoir $V_{GS} > V_{TH}$ et $V_{DS} > V_{GS} - V_{TH}$ avec V_S variable. K_P est tracé en fonction de V_S suivant l'Equation 3.13. Après avoir déterminé n et K_P , I_{SAT} est calculé suivant l'Equation 3.10. Nous obtenons une modélisation du courant de drain du transistor en fonction des différents régimes.

Paramètres	L = 130 nm				L = 3 μm			
	NMOS		PMOS		NMOS		PMOS	
	W = 150 nm	W = 10 μm	W = 150 nm	W = 10 μm	W = 150 nm	W = 10 μm	W = 150 nm	W = 10 μm
n	1,32	1,5	1,276	1,2114	1,23	1,62	1,2592	1,1522
g_m/I_d (V^{-1})	28,94	25,59	30,13	31,75	31,07	23,72	33,18	33,38
K_p ($\mu A \cdot V^{-2}$)	246	202	75,23	98,32	277,1	240	71	70,4
I_{SAT} (nA)	439	409	130	161	460	526	121	110
$\mu = \frac{K_P}{C_{OX}}$ ($cm^2 \cdot (V \cdot s)^{-1}$)	209	168	62,6	82	231	200	59,16	58,6

Tableau 3.1 – Paramètres de la modélisation EKV pour différentes tailles de transistor (avec μ : la mobilité des porteurs de charges et K_P : le facteur de gain du transistor).

Les données calculées dans le Tableau 3.1 sont établies avec des paramètres W et L extrêmes. Nous constatons une augmentation de la mobilité des porteurs de charge pour les NMOS et une diminution pour les PMOS lorsque L augmente. Or la mobilité est théoriquement insensible à la variation de la longueur du canal de conduction. De plus, à taille identique, le facteur de mobilité entre un PMOS et NMOS varie d'un facteur de 2 à 4.

Pour illustrer la modélisation EKV, la transconductance ainsi que le courant sont tracés en fonction du coefficient d'inversion pour un NMOS avec $W = 10 \mu m$ et $L = 130 nm$.

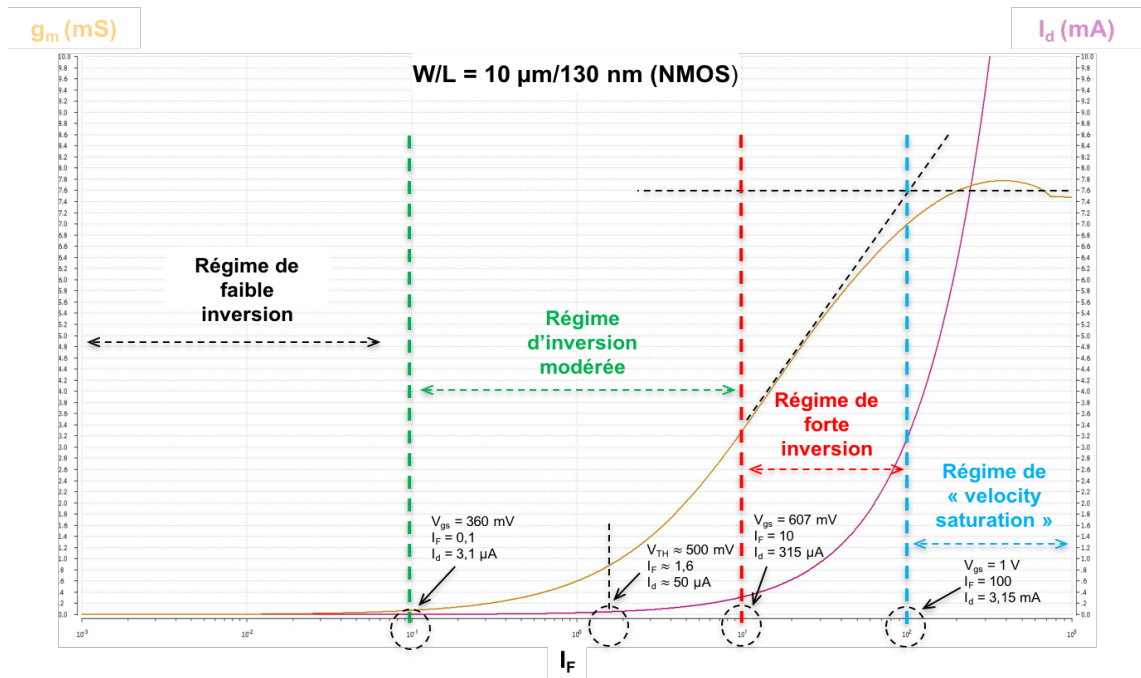


FIGURE 3.4 – Les différents régimes du NMOS en fonction du coefficient d'inversion.

3.1.5/ AUTRES CARACTÉRISTIQUES ÉLECTRIQUES

Le Tableau 3.2 regroupe les paramètres étudiés précédemment, ainsi que certaines données physiques de la technologie MOS communiquées par le fondeur. Cette vue d'ensemble met en évidence pour le transistor PMOS des données du même ordre de grandeur pour chaque paramètre et ce quelle que soit la taille du transistor. Il n'en est pas de même pour le transistor NMOS.

Paramètres	NMOS_1,5_LVT		PMOS_1,5_LVT	
	L = 130 nm		L = 130 nm	
	W = 150 nm	W = 10 μm	W = 150 nm	W = 10 μm
V_{TH}	435 mV	500 mV	455 mV	440 mV
I_{ON}	$800 \mu A \cdot \mu m^{-1}$	$620 \mu A \cdot \mu m^{-1}$	$267 \mu A \cdot \mu m^{-1}$	$300 \mu A \cdot \mu m^{-1}$
I_{OFF}	$1,2 nA \cdot \mu m^{-1}$	$0,12 nA \cdot \mu m^{-1}$	$0,0447 nA \cdot \mu m^{-1}$	$0,0409 nA \cdot \mu m^{-1}$
ν_{sat}	$100\ 000 m \cdot s^{-1}$		$80\ 000 m \cdot s^{-1}$	
ϵ_0	$8,85 aF \cdot \mu m^{-1}$		$8,85 aF \cdot \mu m^{-1}$	
$\epsilon_{ox} = 3,9 \cdot \epsilon_0$	$34,51 aF \cdot \mu m^{-1}$		$34,51 aF \cdot \mu m^{-1}$	
t_{ox}	28 Å (2,8 nm)		28 Å (2,8 nm)	
$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$	$12 fF \cdot \mu m^{-1}$		$12 fF \cdot \mu m^{-1}$	

Tableau 3.2 – Quelques paramètres physiques de la technologie avec V_{TH} : la tension de seuil, ϵ_0 : la permittivité diélectrique du vide, ϵ_{OX} : la constante diélectrique du dioxyde de silicium, ν_{sat} : la vitesse de saturation des porteurs, t_{ox} : l'épaisseur de l'oxyde, C_{ox} : la capacité surfacique de l'oxyde, I_{ON} : le courant à l'état passant et I_{OFF} : le courant à l'état bloqué.

Certains critères tels que le facteur de la modulation de canal λ , la résistance de sortie $R_{ds} = \frac{1}{g_{ds}}$, le gain en boucle ouverte du transistor $\frac{g_m}{g_{ds}}$, la fréquence de transition du transistor $f_T = \frac{g_m}{2 \times \pi \times C_{gs}}$, la capacité d'oxyde C_{OX} et la capacité grille-source C_{gs} méritent toute notre attention.

Ces critères sont regroupés dans le tableau suivant et définis pour une polarisation précise et fonction de paramètres fixés tels que $V_{OV} = 75 \text{ mV}$, $I_d = 3 \text{ } \mu\text{A}$ à taille minimale et $I_d = 250 \text{ } \mu\text{A}$ à grande taille. De plus, le facteur pour compenser la différence de mobilité des charges entre les transistors PMOS et NMOS est fixé à 3.

Paramètres	$L = L_{min} = 130 \text{ nm}$			
	$V_{OV} = 75 \text{ mV}$			
	$I_d = 3 \text{ } \mu\text{A}$		$I_d = 250 \text{ } \mu\text{A}$	
	NMOS	PMOS	NMOS	PMOS
Largeur de canal	$W = 150 \text{ nm}$	$W = 3 \times 150 \text{ nm}$	$W = 10 \text{ } \mu\text{m}$	$W = 3 \times 10 \text{ } \mu\text{m}$
$R_{ds} \text{ (k}\Omega\text{)}$	286,5	696	4,85	7,5
$\lambda \text{ (V}^{-1}\text{)}$	1,15	0,48	0,82	0,53
$\frac{g_m}{g_{ds}} \text{ (V} \cdot \text{V}^{-1}\text{)}$	10,73	25,07	14,07	24,15
$\frac{g_m}{I_d} \text{ (V}^{-1}\text{)}$	12,33	11,87	11,6	12,88
$C_{gs} \text{ (F)}$	127a	397a	8,36f	26,21f
$g_m \text{ (A} \cdot \text{V}^{-1}\text{)}$	27,1 μ	36,1 μ	2,1m	3m
$C_{OXN,P} \text{ (fF)}$	0,234	0,7	15,6	46,8
$f_T \text{ (GHz)}$	34	14,5	40	18,16
$V_{ds,sat} \text{ (mV)}$	106	125	115	120

Tableau 3.3 – Quelques caractéristiques électriques en fonction d'une polarisation.

Les valeurs du Tableau 3.3 sont données à titre indicatif et définies pour une polarisation faible et une polarisation élevée. Pour notre projet, un courant de $250 \text{ } \mu\text{A}$ est trop considérable, surtout pour un pixel CMOS. Une matrice relativement petite (64×64 par exemple) consommant $250 \text{ } \mu\text{A}$ par pixel donnerait une consommation de 1 A , et entraînerait d'énormes problèmes de température.

Un courant de $3 \text{ } \mu\text{A}$ reste un courant de référence. Les données de ce tableau traduisent parfaitement l'avancée de la technologie CMOS, à savoir un gain de plus en plus petit ($\frac{g_m}{g_{ds}}$ et $\frac{g_m}{I_d}$ faible) et une vitesse de plus en plus élevée (f_T élevée). La valeur du facteur de modulation de canal reste élevée du fait de L_{min} . Pour diminuer cette valeur, il suffit de multiplier le W et L par 2 ou 3 pour garder un rapport $\frac{W}{L}$ constant au prix d'une diminution de la vitesse du transistor et d'une augmentation de sa surface.

Avec les valeurs des paramètres regroupées dans les deux tableaux ci-dessus, ainsi que les comportements du courant de drain I_d et de la tension de seuil V_{TH} , nous avons tous les éléments pour appréhender la technologie CMOS afin de concevoir un pixel adapté aux propriétés de celle-ci.

3.2/ PRÉSENTATION DE L'ARCHITECTURE DE NOTRE PIXEL NUMÉRIQUE

Il existe différentes manières de concevoir un convertisseur $\Sigma\Delta$ ou plus précisément différentes possibilités de réaliser chacun des blocs le composant.

Notre structure est d'ordre 1. Un ordre supérieur permet d'atteindre une résolution équivalente mais avec un nombre de cycles moindre et donc une diminution de temps de conversion. Néanmoins, l'ordre supérieur nécessite l'ajout d'un intégrateur coûteux en surface et une attention particulière doit être portée sur la stabilité du système. Nous préférons privilégier la taille du pixel.

Pour le modulateur $\Sigma\Delta$ du premier ordre, les fonctionnalités sont au nombre de 4 avec une soustraction, une intégration, une comparaison et une conversion numérique-analogique 1 bit (cf. Figure 2.24).

Schématiquement, la soustraction et l'intégration peuvent être réalisées par un amplificateur opérationnel (AOP). Toutefois ce dernier nécessite une polarisation et peut devenir une structure complexe à gain élevé (multiplication des étages de gain, compensation fréquentielle, stabilité, etc.), sachant que plus le gain boucle ouverte est élevé, plus la fonction réalisée est précise. Cette complexité peut le rendre difficilement compatible avec une intégration au sein d'un pixel. De plus, pour une diminution de la consommation, il est recommandé de travailler avec des structures à commutation fonctionnant avec horloge. Il existe différentes structures de comparateurs plus ou moins complexes. Sa complexité dépendra souvent de la précision, de la vitesse de fonctionnement et de la consommation que l'on désire. Le CNA 1 bit peut être conçu avec un simple inverseur.

Face à la multitude de choix potentiels pour la conception d'un CAN $\Sigma\Delta$, nous nous sommes orientés vers une structure proposée par R. J. Baker [5][6] qui présente une bonne compatibilité avec les exigences de notre cahier des charges. Les avantages de la structure sont :

1. Un circuit d'intégration très intéressant pour un DPS car ne nécessitant pas d'étage de gain pour le fonctionnement (hormis le comparateur). Il n'a donc pas besoin d'AOP ni pour la soustraction, ni pour l'intégration.
2. Une faible consommation d'énergie car le circuit fonctionne en commutation.
3. Ne nécessite pas de DAC 1 bit.
4. Ne nécessite pas d'éléments externes au circuit mise à part la génération de l'horloge. Ceci est très important car le circuit est uniquement dépendant de ses propres variations à l'inverse de la plupart des pixels numériques qui utilisent un maximum d'éléments en externe pour favoriser le facteur de remplissage et la taille du pixel.
5. La partie analogique du circuit utilise peu d'éléments et le fonctionnement du circuit est simple et efficace.
6. Il peut atteindre de bonnes résolutions ($> 10 \text{ bits}$) avec une fréquence uniquement limitée par le type de comparateur.

Toutefois, le circuit proposé par Baker est un circuit « bas de colonne » moins contraint sur le plan de la surface occupée qu'un DPS. L'originalité du travail présenté dans ce mémoire concerne l'étude et la réalisation d'une version de ce convertisseur qui soit compatible avec une intégration au sein d'un pixel. Cette adaptation passe par une étude exhaustive de tous les éléments constitutifs du convertisseur, pour une intégration des éléments en taille réduite

voire minimale dans le maximum des cas. La taille minimale nous assure une diminution de la consommation et une meilleure intégration. Il est aisé d'avoir une très haute résolution si la taille du pixel n'est pas prise en compte. Notre objectif est de concevoir un « vrai » pixel digital avec une taille la plus petite possible, tout en assurant rapidité et surtout précision.

3.2.1/ PRÉSENTATION GLOBALE

La structure possède trois grands ensembles : le premier ensemble est l'élément photosensible et son électronique proche, le second est la partie analogique avec deux échantillonneurs-bloqueurs et le circuit de modulation $\Sigma\Delta$ et le troisième ensemble est la partie numérique avec un compteur numérique asynchrone. La Figure 3.5 illustre ces propos.

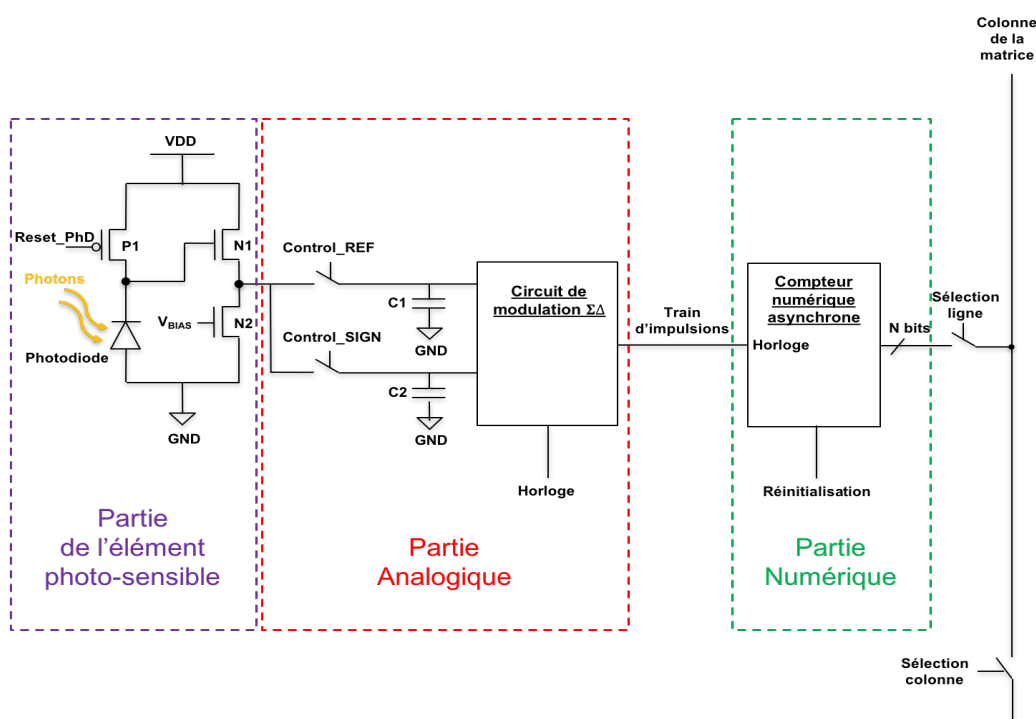


FIGURE 3.5 – Schéma global de notre pixel.

La photodiode est initialisée par application de la tension d'alimentation V_{DD} à ses bornes, via un transistor PMOS $P1$ qui fait office d'interrupteur, et via le signal $Reset_PhD$. Les transistors NMOS $N1$ et $N2$ forment un suiveur de tension, avec un gain en tension proche de 1. Ce suiveur permet d'isoler la photodiode du reste du circuit.

L'initialisation effectuée, le premier signal en sortie du suiveur de tension est échantillonné puis stocké en mémoire dans la capacité $C1$ grâce au signal de commande $Control_REF$. Ce premier signal stocké définit la tension de référence V_{REF} . La photodiode génère ensuite un groupe d'électrons en fonction du groupe de photons captés pendant la phase dite « d'intégration ». A la fin de cette phase, un deuxième échantillon de la tension en sortie du suiveur est stocké dans la capacité $C2$ grâce au signal de commande $Control_SIGN$ établissant ainsi la tension du signal, V_{SIGN} . La différence de ces tensions (signal - référence) est transformée en un train d'impulsions (succession de 1 logique et de 0 logique) par le biais du modulateur $\Sigma\Delta$.

Ce train d'impulsions est ensuite décimé en « X » bits, « X » étant la résolution choisie, grâce à un compteur asynchrone (*Ripple Counter*) qui détermine le nombre de 1 logique du train d'impulsions. Le compteur joue le rôle de filtre de décimation mais également de mémoire car il garde l'information tant qu'il n'est pas réinitialisé.

La Figure 3.6 montre les chronogrammes de fonctionnement. N'est pas montrée, la tension aux bornes de la capacité du photosite. Toutefois, c'est la même que celle en sortie du suiveur de tension à un coefficient près.

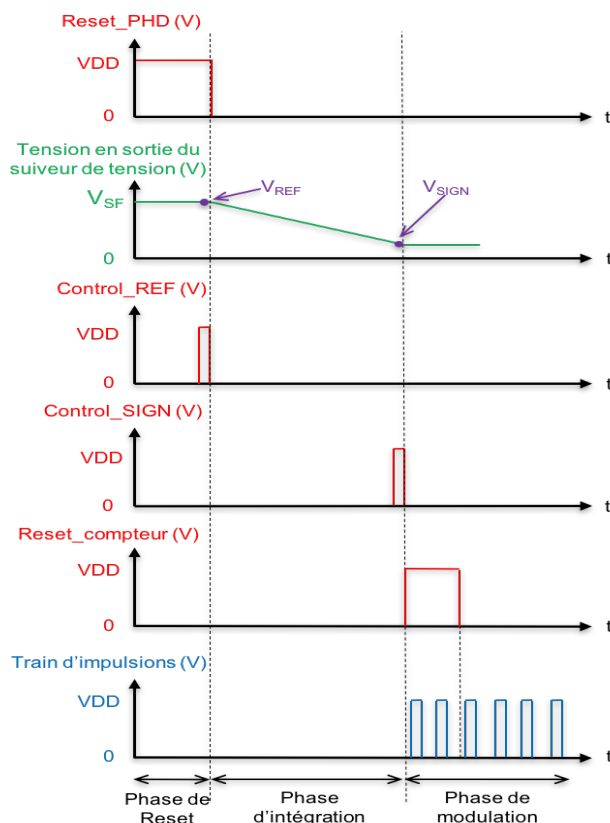


FIGURE 3.6 – Chronogrammes de fonctionnement de notre structure.

Grâce aux deux échantillonneurs-bloqueurs, le circuit n'a pas besoin d'une référence externe. Les pixels ont leur propre référence. De plus, chacun des pixels composant la matrice opère sa propre acquisition indépendamment les uns des autres. L'acquisition de l'information est réalisée simultanément sur tous les pixels. Néanmoins, cela a un prix qui est une augmentation de la taille du circuit.

La partie de l'élément photosensible de notre circuit reste standard et s'apparente au pixel 3T. Le pixel est linéaire et non logarithmique car, bien que ce dernier possède une meilleure dynamique de sortie, il a un SNR plus faible, un niveau de FPN élevé et un temps de réponse plus long [7].

La partie « décimation » du convertisseur $\Sigma\Delta$ permet de diminuer la fréquence d'échantillonnage d'un facteur B . Cela revient à supprimer un certain nombre d'échantillons, le nombre dépendant du facteur de décimation appliqué. Cet écrémage est assuré par un filtre de décimation qui assure un filtrage passe-bas et une division de la fréquence (Figure 3.7).

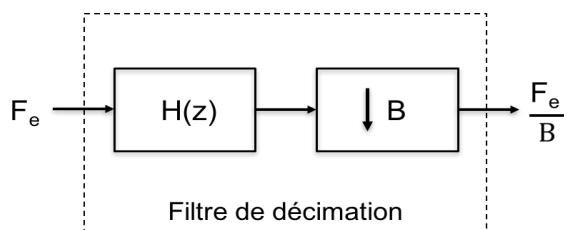


FIGURE 3.7 – Vue conceptuelle d'un filtre de décimation.

La figure ci-dessus schématise un filtre passe-bas anti-repliement avec un décimateur. La littérature fourmille d'architectures de filtres numériques permettant la réalisation de filtres de décimation.

Il existe deux grandes familles de filtres numériques.

- Le filtre à Réponse Impulsionnelle Finie ou filtre RIF. Sa réponse, basée sur un nombre fini de valeurs du signal d'entrée, tend à une stabilisation égale à 0.
- Le filtre à Réponse Impulsionnelle Infinie ou filtre RII. Sa réponse dépend de la valeur d'entrée et de la valeur de sortie préalable et sa réponse n'atteint jamais 0 [8–10].

Un intégrateur agit comme un filtre passe-bas. Le filtre doit restituer le plus fidèlement possible le signal dans la bande utile considérée et la meilleure atténuation possible en dehors de celle-ci. Le choix du filtre dépend du système, et un ordre supérieur, deux filtres numériques en cascade ou plus, est souvent plus efficace dans l'atténuation. Les filtres RII sont plus sensibles et sélectifs mais plus complexes que les filtres RIF, et leur stabilité dépend de leur architecture.

La fonction de transfert $H(z)$ (transformée en Z) d'un filtre RIF d'ordre M est de la forme :

$$H(z) = a_0 + a_1 \cdot Z^{-1} + \dots + a_M \cdot Z^{-M} \quad (3.14)$$

La fonction de transfert $H(z)$ (transformée en Z) d'un filtre RII d'ordre N est de la forme :

$$H(z) = \frac{1}{1 + b_1 \cdot Z^{-1} + \dots + b_N \cdot Z^{-N}} \quad (3.15)$$

Par souci d'efficacité, le filtrage est souvent le résultat de deux filtres (et plus) en cascade. Dans ce cas, la fonction de transfert est définie comme suit :

$$H(z) = H_a(z) \times H_b(z) \quad (3.16)$$

Avec $H_a(z)$, la fonction de transfert du premier filtre et $H_b(z)$, celle du second.

Les arrangements les plus utilisés dans les filtres de décimation sont RII-RIF et RIF2 [11]. Une des formes les plus simples du filtre RIF est le filtre en peigne (*Comb filter*) fonctionnant :

— soit en moyeneur avec pour fonction de transfert à un seul délai :

$$H(z) = 1 + Z^{-1} \tag{3.17}$$

— Soit en différenciateur avec pour fonction de transfert à un seul délai :

$$H(z) = 1 - Z^{-1} \tag{3.18}$$

L'intégrateur est un filtre RII à simple pôle et a pour fonction de transfert :

$$H(z) = \frac{1}{1 - Z^{-1}} \tag{3.19}$$

Le filtre en peigne est très populaire car il effectue un filtrage avec pour base un délai. L'élément Z^{-1} représente le délai et peut être conçu avec une simple bascule D. Le schéma de chacune des fonctions citées ci-dessus est présenté Figure 3.8.

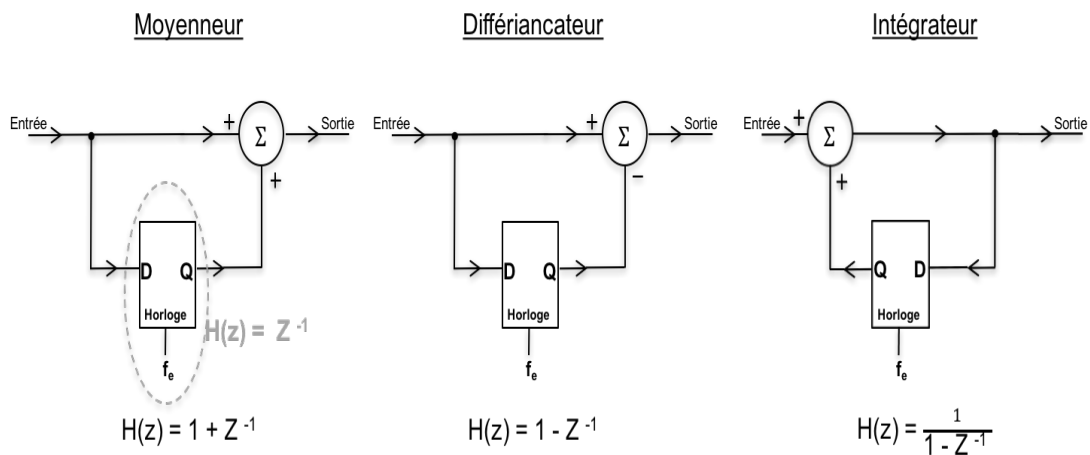


FIGURE 3.8 – Fonctions numériques avec délais.

Les simplicités fonctionnelles du filtre peigne et du filtre intégrateur donnent naissance au filtre intégrateur-peigne en cascade ou CIC filter (*Cascaded Integrator-Comb filter*) qui se classifie dans la catégorie RII-RIF. Sa fonction de transfert est :

$$H(z) = \left(\frac{1 - Z^{-B}}{1 - Z^{-1}} \right)^K \tag{3.20}$$

Avec B , le facteur de décimation et K , l'ordre du filtre.

Son schéma structurel est présenté Figure 3.9.

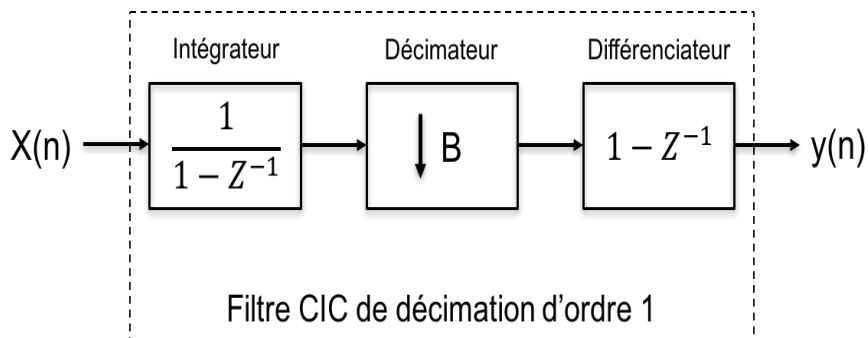


FIGURE 3.9 – Filtre CIC d'ordre 1.

Une structure simple mais efficace et à faible consommation utilise des moyennes et des décimateurs par deux, la classant dans la catégorie de type RIF2. Sa fonction de transfert est la même qu'en (3.20) et son schéma structurel est présenté Figure 3.10.

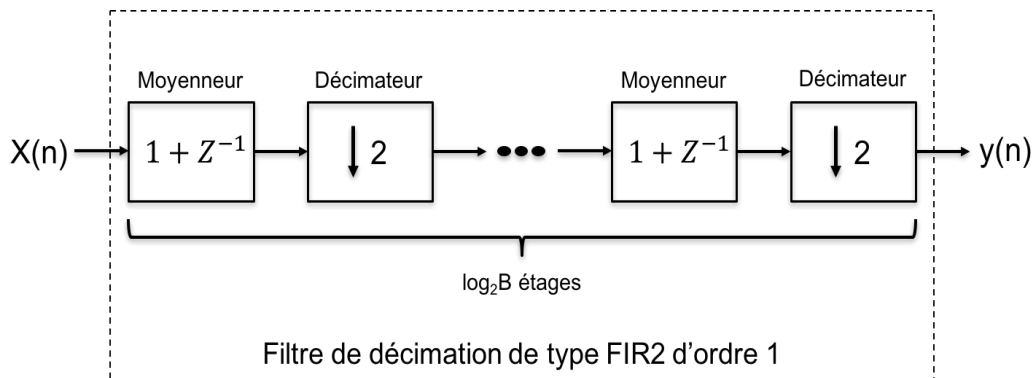


FIGURE 3.10 – Filtre FIR2 d'ordre 1.

L'avantage des structures 3.9 et 3.10 présentées est qu'elles n'ont pas besoin d'un multiplieur dans leur architecture. Certes, la littérature foisonne de filtres numériques RIF et RII hautement plus sélectifs, mais ces derniers présentent des architectures plus complexes nécessitant des multiplieurs. La complexité, hormis les problèmes de précision, de fiabilité et de stabilité, est très souvent synonyme de consommation.

Notre structure comprend un compteur asynchrone usité comme filtre de décimation. Le circuit de modulation $\Sigma\Delta$ génère en sortie un train d'impulsions, une alternance de 1 et 0 logique, de N échantillons de 1 bit avec une fréquence pour chaque échantillon égale à f_e (correspondant, dans notre cas, à la fréquence de l'horloge du circuit de modulation) (Figure 3.11).

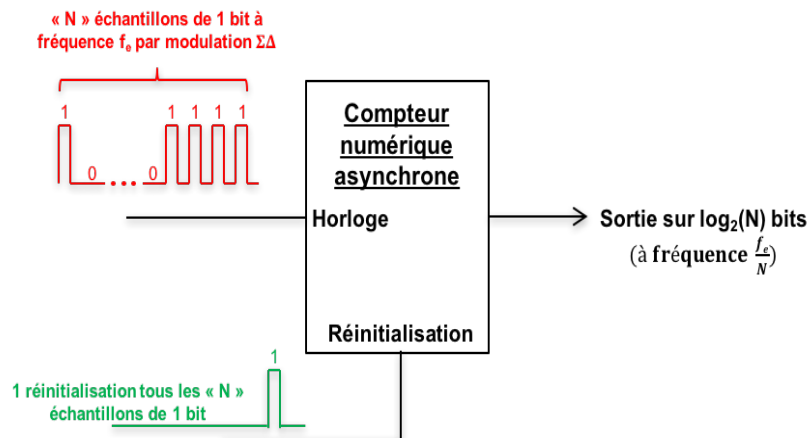


FIGURE 3.11 – Le compteur numérique asynchrone.

Si la réinitialisation est opérée tous les N échantillons et que chaque train d'impulsions en sortie du modulateur contient N échantillons de 1 bit de durée T_e , alors la sortie est la somme de ces N échantillons tous les $N \times T_e$. Dans le domaine en Z , la relation est la suivante :

$$H(z) = \frac{Y(z)}{X(z)} = \sum_{n=0}^{N-1} Z^{-n} = 1 + Z^{-1} + Z^{-2} + \dots + Z^{1-N} \quad (3.21)$$

La fonction de transfert peut être réécrite comme suit :

$$H(z) = \frac{1 - Z^{-N}}{1 - Z^{-1}} \quad (3.22)$$

Cela nous ramène à la fonction de transfert (3.20) dans laquelle le filtre est d'ordre 1. Nous pouvons considérer le compteur agissant comme un filtre de moyennage, identique au rôle du filtre de décimation avec un facteur de décimation de N .

Le passage du domaine en Z au domaine fréquentiel est possible en appliquant la relation $Z = e^{(j \times 2 \times \pi \times \frac{f}{f_e})}$, le module d'une fonction complexe $X(\omega)$ avec $|X(\omega)| = \sqrt{\Re[X(\omega)]^2 + \Im[X(\omega)]^2}$ et la formule d'Euler $e^{(j \times b)} = \cos(b) + j \times \sin(b)$. Nous obtenons une réponse fréquentielle de type sinus cardinal.

La fonction de transfert (3.22) transposée dans le domaine fréquentiel devient :

$$|H(f)| = N \times \left| \frac{\text{Sinc}\left(\pi \times \frac{N \times f}{f_e}\right)}{\text{Sinc}\left(\pi \times \frac{f}{f_e}\right)} \right| \quad (3.23)$$

Le compteur en tant que filtre de décimation n'est adapté que dans certaines utilisations [12][13]. János Mårkus and Co [14] réalisent une étude comparative sur plusieurs types de

filtres. Il ressort de cette étude que le compteur n'est pas le filtre le plus efficace, et qu'à très haute résolution il est préférable d'utiliser d'autres architectures de filtre plus complexes et d'ordre supérieur pour une meilleure atténuation. Toutefois le compteur en tant que filtre de décimation reste le plus compact, donc compatible avec une intégration pixel, et s'avère suffisant pour 10 bits de résolution, donc compatible avec notre cahier des charges.

3.2.2/ ENSEMBLE PHOTOSENSIBLE

Cette partie du circuit se compose de :

- ✓ Une photodiode, jonction P-N réalisée sur wafer séparé du reste du circuit. Sa taille est dépendante de ce dernier (le choix des composants autres que ceux constituant l'ensemble photosensible, leur emplacement et leur répartition sur deux autres wafers font l'objet d'une présentation subséquente).
- ✓ Un transistor PMOS de réinitialisation à taille minimale pour faciliter son intégration.
- ✓ Deux transistors NMOS formant le suiveur de tension (*Source follower*). L'évaluation du gain effectif du suiveur de tension, mais également son excursion et son bruit sont réalisés par simulation.

3.2.2.1/ CARACTÉRISTIQUES LIÉES AU SUIVEUR DE TENSION

Sur la Figure 3.5, le transistor N_1 joue le rôle du suiveur de tension et le transistor N_2 celui de la source de courant. Deux possibilités :

- Le transistor N_2 est considéré comme une source parfaite et le gain en tension de cette structure s'exprime de la façon suivante :

$$A_v = \frac{V_{OUT}}{V_{IN}} = \frac{g_{mN1} \times R_{ds}}{(g_{mN1} + g_{mbN1}) \times R_{ds} + 1} \quad (3.24)$$

A_v : le gain en tension,

V_{OUT} : la tension de sortie [V],

V_{IN} : la tension d'entrée [V],

g_{mN1} : la transconductance du transistor N_1 [$A \cdot V^{-1}$],

g_{mbN1} : la transconductance *backgate* du transistor N_1 qui est la variation du courant de drain en fonction de la variation de la tension *bulk-source* [$A \cdot V^{-1}$],

R_{ds} : la résistance drain-source du transistor N_1 [Ω].

- La source de courant est non idéale, l'expression du gain en tension devient :

$$A_v = \frac{(R_{dsN1} || R_{dsN2} || \frac{1}{g_{mbN1}})}{(R_{dsN1} || R_{dsN2} || \frac{1}{g_{mbN1}}) + \frac{1}{g_{mN1}}} \quad (3.25)$$

R_{dsN1} : la résistance drain-source du transistor N_1 [Ω],

R_{dsN2} : la résistance drain-source du transistor N_2 [Ω].

Nous pouvons cependant, pour simplifier, l'approximer de cette manière :

$$A_v \approx \frac{g_{mN1}}{g_{mN1} + g_{mbN1} + \frac{1}{R_{dsN1}} + \frac{1}{R_{dsN2}}} \quad (3.26)$$

Un autre point important est la tension maximale en sortie du suiveur de tension. Cette tension max détermine l'excursion en tension du convertisseur. Dans notre cas, elle est très proche de $V_{OUTmax} \approx V_{DD} - V_{gs1} \approx V_{DD} - V_{thN1}$. La Figure 3.12 présente la caractéristique entrée-sortie de notre suiveur de tension, son gain en fonction de la tension d'entrée, sa consommation et son bruit électronique. Le Tableau 3.4 reporte les caractéristiques électriques de celui-ci.

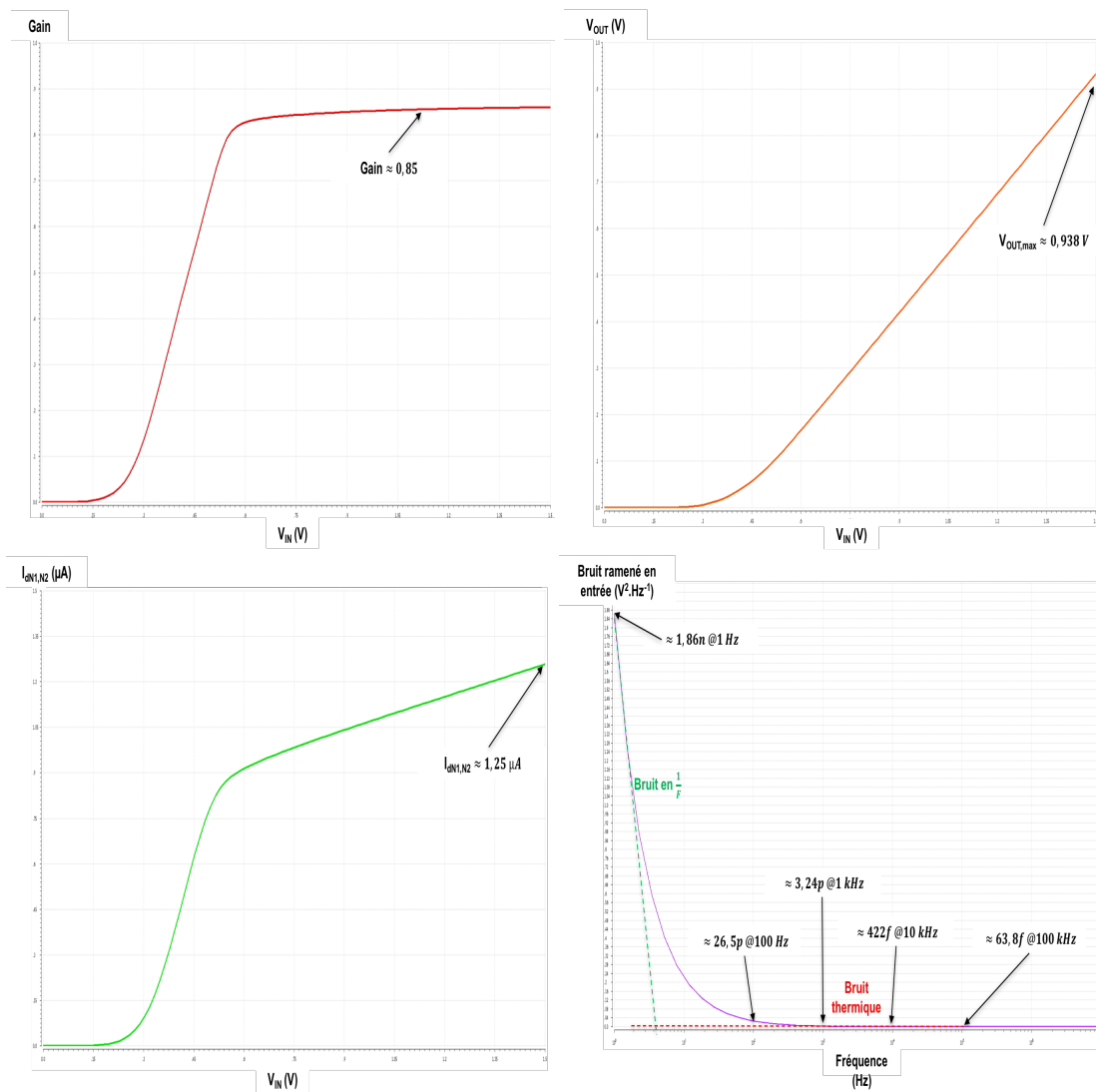


FIGURE 3.12 – En haut, de gauche à droite : le gain en fonction de la tension d'entrée et la caractéristique entrée-sortie. En bas, de gauche à droite : le courant généré par le transistor N_2 en fonction de la tension d'entrée et le bruit ramené en entrée en fonction de la fréquence.

Paramètres du suiveur de tension	Transistor N_1	Transistor N_2
Largeur (nm)	150	150
Longueur (nm)	260	325
tension d'alimentation VDD (V)	1,5	
Gain	0,85	
V_{BIAS} (mV) (polarisation)	450	
Consommation (μA)	1,25	
$V_{OUT,max}$ (V)	0,938	
bruit thermique ($V^2 \cdot Hz^{-1}$)	422f @10kHz	
bruit en $\frac{1}{f}$ ($V^2 \cdot Hz^{-1}$)	1,86n @1Hz	

Tableau 3.4 – Les différents paramètres du suiveur de tension.

Les longueurs des transistors sont supérieures à W afin de diminuer le courant. La tension de polarisation est déterminée de sorte à ce que les transistors fonctionnent en saturation tout en étant la plus petite possible pour limiter la consommation. Elle permet aussi de maximiser la tension de sortie dans le cas où $V_{thN1} \approx V_{gsN1}$.

Le gain permet de calculer le CVF de notre pixel mais il est nécessaire de déterminer la capacité de notre photodiode (cf. Equation 2.24).

3.2.2.2/ CARACTÉRISTIQUES LIÉES À LA PHOTODIODE

La capacité de notre diode doit être définie. Cette donnée détermine également la capacité de stockage N_{FWC} (cf. Equation 2.6). Il existe deux manières de réaliser une jonction P-N sur un substrat de type P en technologie CMOS standard (Figure 3.13). Soit avec une couche de diffusion N^+ , soit avec un caisson de type N, N_{WELL} . La capacité d'une jonction P-N est dépendante de la tension appliquée à ses bornes. Elle est la somme de deux capacités : celle de la paroi latérale, C_{jsw} , et celle du bas C_j .

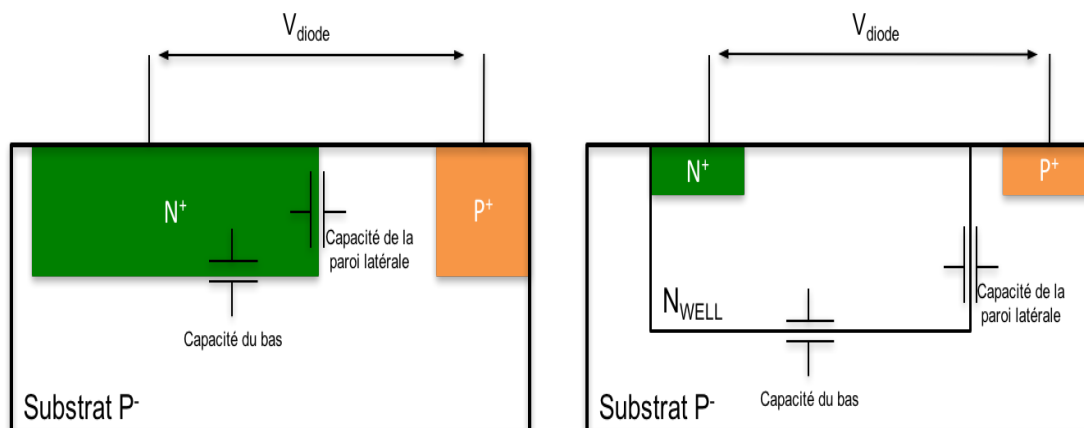


FIGURE 3.13 – Capacités d'une jonction P-N.

Nous avons donc :

$$C_{PN}(V_{diode}) = C_j(V_{diode}) + C_{jsw}(V_{diode}) \quad (3.27)$$

$C_{PN}(V_{diode})$: la capacité totale de la diode en fonction de la tension à ses bornes [F],

$C_j(V_{diode})$: la capacité du bas de la diode en fonction de la tension de la diode [F],

$C_{jsw}(V_{diode})$: la capacité latérale de la diode en fonction de la tension de la diode [F].

Pour déterminer les différentes capacités, certains paramètres de la technologie sont nécessaires. Ces derniers sont fournis par le fondeur et présentés dans le Tableau 3.5.

Paramètres technologiques	NP_1,5	NP_1,5_LVT	Nwell_P
M_j	0,3336	0,3217	0,386
M_{jsw}	0,2598	0,2777	0,2587
P_b (V)	0,7047	0,6773	0,6005
P_{hp} (V)	1,1	0,8313	0,5847
C_J (fF · μm^{-2})		0,69	0,11
C_{JSW} (fF · μm^{-1})		0,09	0,42

Tableau 3.5 – Paramètres technologiques (non exhaustifs) de la capacité de jonction P-N.

Les équations suivantes sont tirées du modèle BSIM4.

Pour $V_{diode} < 0$,

$$C_{PN}(V_{diode}) = \frac{C_J \times Aire}{(1 - \frac{V_{diode}}{P_b})^{M_j}} + \frac{C_{JSW} \times Périimètre}{(1 - \frac{V_{diode}}{P_{hp}})^{M_{jsw}}} \quad (3.28)$$

Pour $V_{diode} > 0$,

$$C_{PN}(V_{diode}) = C_J \times Aire \times (1 + M_j \times \frac{V_{diode}}{P_b}) + C_{JSW} \times Périimètre \times (1 + M_{jsw} \times \frac{V_{diode}}{P_{hp}}) \quad (3.29)$$

C_J : la capacité du bas avec une polarisation égale à 0 [$fF \cdot \mu\text{m}^{-2}$],

$Aire$: l'aire effective de la diode [μm^2],

M_j : un coefficient granulométrique pour la capacité du bas,

P_b : le potentiel intégré au niveau de la capacité du bas [V],

C_{JSW} : la capacité latérale avec une polarisation égale à 0 [$fF \cdot \mu\text{m}^{-1}$],

$Périimètre$: le périmètre effectif de la diode [μm],

M_{jsw} : un coefficient granulométrique pour la capacité latérale,
 P_{hp} : le potentiel intégré au niveau de la capacité latérale [V].

Des études comparatives réalisées sur des architectures de jonction P-N [15][16] précisent que la diode N^+/P^- possède un courant d'obscurité plus faible et un meilleur facteur de remplissage dû au fait qu'une structure N_{WELL}/P^- est contrainte par des règles de dessin différentes. La diode N_{WELL}/P^- n'est pas en reste car elle possède une meilleure sensibilité et une meilleure efficacité quantique. Le Tableau 3.5 montre les valeurs technologiques pour des diodes de type N^+/P^- et de type N_{WELL}/P^- avec une tension d'alimentation de 1,5 V avec et sans masque LVT (faible V_{th}). Dans notre projet, la diode n'a pas de masque LVT et est polarisée en inverse.

Quelques propriétés des photodiodes N_{WELL}/P^- et N^+/P^- sont présentées dans les Tableaux 3.6 et 3.7. Ces propriétés sont calculées pour les tensions aux extremums et pour trois dimensions différentes. Le CVF est calculé en fonction du gain du suiveur de tension.

Surface de la diode (μm^2)	28,5 × 28,5		30 × 30		32,5 × 32,5	
$ V_{diode} $ (V)	0	1,5	0	1,5	0	1,5
C_{PN} (pF)	0,57	0,391	0,632	0,43	0,74	0,5
CVF ($\frac{\mu V}{e^-}$)	0,238	0,347	0,215	0,314	0,184	0,268
N_{FWC} (e^-)	$3,62 \times 10^6$		4×10^6		$4,69 \times 10^6$	

Tableau 3.6 – Propriétés non exhaustives de la photodiode N^+/P_{SUB} pour trois dimensions différentes.

Surface de la diode (μm^2)	28,5 × 28,5		30 × 30		32,5 × 32,5	
$ V_{diode} $ (V)	0	1,5	0	1,5	0	1,5
C_{PN} (pF)	0,137	0,0895	0,149	0,0974	0,17	0,11
CVF ($\frac{\mu V}{e^-}$)	0,99	1,51	0,9	1,39	0,8	1,22
N_{FWC} (e^-)	$0,83 \times 10^6$		$0,9 \times 10^6$		$1,03 \times 10^6$	

Tableau 3.7 – Propriétés non exhaustives de la photodiode N_{WELL}/P_{SUB} pour trois dimensions différentes.

Les capacités parasites dues aux transistors N_1 (capacité grille-source) et P_1 (capacités grille-source et grille-drain) sont de l'ordre de quelques dizaines d'atto-Farads. Nous considérons que la capacité totale du pixel est environ égale à la capacité de la jonction.

Un autre aspect intéressant de la photodiode est le courant d'obscurité. Le courant d'obscurité est le courant généré par la photodiode polarisée en inverse, en l'absence de lumière. A ce titre, il est régi par la même équation du courant d'une diode polarisée en inverse.

En faisant abstraction des variations en température et à température ambiante de 300 K (26,58 °C), l'équation s'écrit :

$$I_{dark} = J_s \times Aire \times (e^{\frac{V_{diode}}{V_T}} - 1) \quad (3.30)$$

I_{dark} : le courant d'obscurité [A],

J_s : le courant surfacique de saturation inverse [$A \cdot m^{-2}$],

$Aire$: l'aire effective de la diode [m^2],

V_{diode} : la tension aux bornes de la diode [V],

V_T : la tension thermique [V], égale à 26 mV à 300 K.

Si on considère la valeur absolue de la tension de la diode grande (proche de V_{DD}), alors $I_{dark} = -J_s \times Aire$.

Pour une diode de $28,5 \mu m \times 28,5 \mu m$, dimensions estimées, le fondeur annonce un courant surfacique de saturation de $3,098 \times 10^{-7} A \cdot m^{-2}$ pour la diode avec diffusion N^+ et $3,23 \times 10^{-6} A \cdot m^{-2}$ pour la diode avec N_{WELL} . Cela nous donne respectivement un courant d'obscurité de 0,25 fA et 2,6 fA, soit un rapport de 1 à 10.

Le courant varie en fonction de la température. L'évolution du courant d'obscurité pour les deux structures est régie par l'équation suivante :

$$I_{dark}(T) = J_s(NOM) \times Aire \times \exp\left(\frac{\left(\frac{E_g(NOM)}{V_T(NOM)} - \frac{E_g(T)}{V_T(T)} + XTI \times \ln\left(\frac{T}{T_{NOM}}\right)\right)}{NJS}\right) \quad (3.31)$$

$I_{dark}(T)$: le courant d'obscurité en fonction de la température [A],

$J_s(NOM)$: le courant surfacique de saturation inverse à 300 K [$A \cdot m^{-2}$],

$Aire$: l'aire effective de la diode [m^2],

XTI : exposant de température de courant de la jonction égal à 3 dans notre cas,

NJS : coefficient d'émission de la jonction égal à 1 dans notre cas,

$E_g(NOM)$: l'énergie de la bande interdite à 300 K [eV], définie par :

$$E_g(NOM) = 1,17 - \frac{7,02e^{-7} \times (300)^2}{300 + 1108} \quad (3.32)$$

$E_g(T)$: l'énergie de la bande interdite en fonction de la température [eV], définie par :

$$E_g(T) = 1,17 - \frac{7,02e^{-7} \times (T)^2}{T + 1108} \quad (3.33)$$

T : la température [K],

$V_T(NOM)$: la tension thermique [V], égale à 26 mV à 300 K,

$V_T(T)$: la tension thermique en fonction de la température $[V]$, définie par :

$$V_T(T) = \frac{K_B \times T}{q} \quad (3.34)$$

q : la charge élémentaire égale à $1,6 \times 10^{-19} [C]$,

K_B : la constant de Boltzmann, soit $1,38 \times 10^{-23} [J \cdot K^{-1}]$.

Il nous est possible de construire pour les deux structures les courbes figurant les variations du courant d'obscurité en fonction de la température (Figure 3.14). Les calculs sont établis pour une température comprise entre $-40 \text{ }^\circ C$ à $100 \text{ }^\circ C$ et pour une taille de photodiode de $28,5 \text{ } \mu m \times 28,5 \text{ } \mu m$.

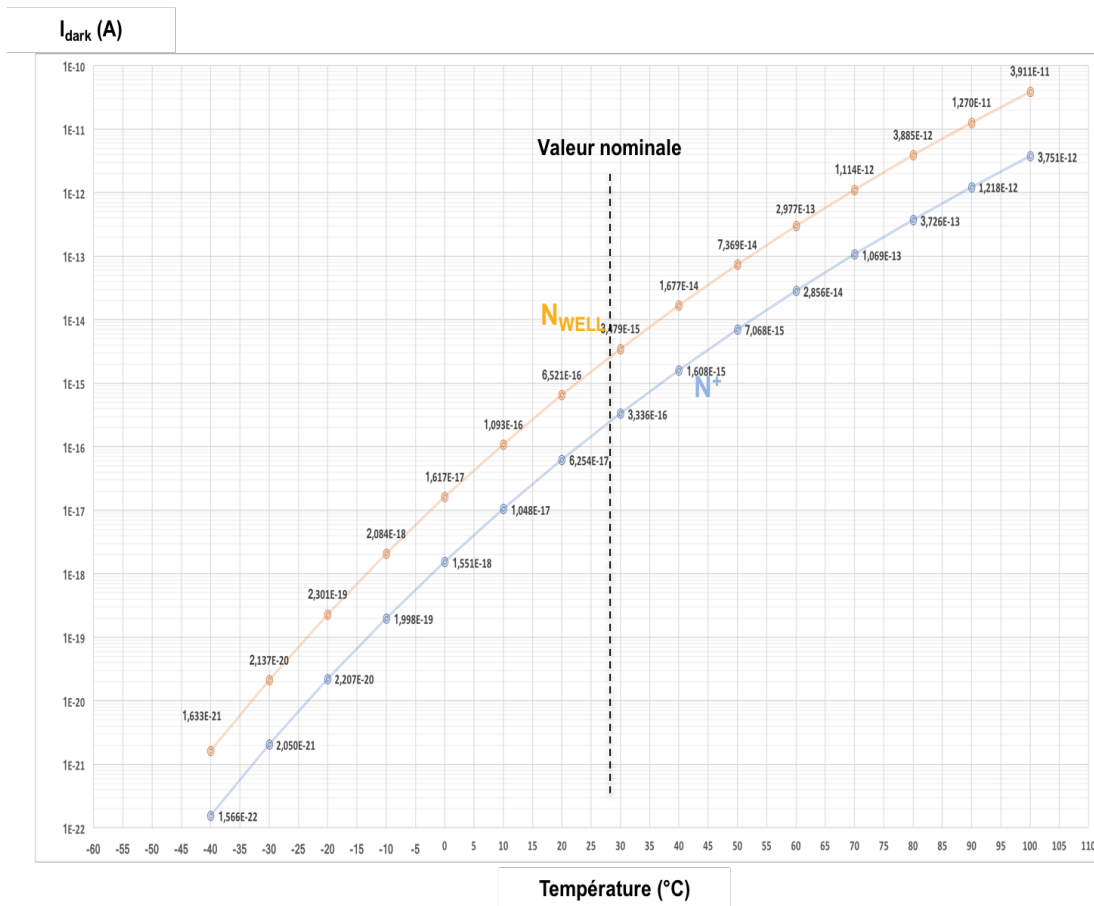


FIGURE 3.14 – Variation du courant d'obscurité en fonction de la température pour les deux architectures de diode et pour une taille de diode de $28,5 \text{ } \mu m \times 28,5 \text{ } \mu m$.

L'échelle du courant est en \log . L'évolution du courant est exponentielle, et le rapport en fonction de la température est plus ou moins constant entre les deux types de photodiodes et égal à environ 10.

Pour la diffusion N^+ , le courant d'obscurité varie de $1,56 \times 10^{-22}$ A pour -40 °C à $3,7$ pA pour 100 °C. Avec le N_{WELL} , le courant d'obscurité varie de $1,63 \times 10^{-21}$ A pour -40 °C à 39 pA pour 100 °C. Les calculs laissent apparaître avec cette technologie une meilleure capacité de stockage maximale et un courant d'obscurité plus faible pour une diode avec diffusion N^+ . Faut de structure physique et donc de tests réels, il est difficile de statuer sur le QE et la sensibilité de la photodiode.

Notre réflexion ne serait pas complète si nous n'abordions pas le bruit de « Reset » (KTC noise). Le bruit de Reset d'une photodiode est un bruit généré lors de la phase de réinitialisation du pixel. Il est répertorié comme un des bruits les plus importants du pixel. En admettant que la phase de Reset ait atteint son état stable, le bruit est défini comme suit [17][18] :

$$\sigma_{RST1} = \sqrt{\frac{K_B \times T}{C_{PhD}}} \quad (3.35)$$

σ_{RST1} : le bruit de Reset à la réinitialisation du pixel par le transistor $P1$ [V_{RMS}],
 K_B : la constante de Boltzmann et vaut $1,38 \times 10^{-23}$ [$J \cdot K^{-1}$].
 T : la température [K],

Ou bien encore,

$$\sigma_{RST2} = \frac{1}{q} \times \sqrt{K_B \times T \times C_{PhD}} \quad (3.36)$$

σ_{RST2} : le bruit de Reset à la réinitialisation du pixel par le transistor $P1$ [e_{RMS}^-],

La Figure 3.15 présente pour les deux structures la variation de la capacité de la photodiode (en négligeant les capacités parasites des transistors) en fonction de la tension appliquée à ses bornes, ainsi que la variation du bruit de Reset en fonction de la tension et de la température. Pour rappel, le bruit de Reset varie en fonction de la capacité de la photodiode et que celle-ci varie en fonction de la tension à ses bornes (cf. Equations 3.27, 3.28 et 3.29 ainsi que 3.35 et 3.36). Il ressort que la capacité de la diode et le bruit de Reset sont moins sensibles aux variations de tension et de température avec la couche N_{WELL} . De plus, le bruit de Reset est nettement inférieur avec cette dernière. A température nominale et pour une tension de diode égale à $-1,5$ V (valeur de la tension aux bornes de la diode pendant la phase de Reset), nous obtenons 120 e_{RMS}^- pour le N_{WELL} contre 252 e_{RMS}^- pour le N^+ , soit un facteur légèrement supérieur à deux pour une couche N^+ . La courbe du bruit en fonction de la tension est présentée pour visualiser l'évolution du bruit et son comportement si différentes tensions étaient appliquées à la photodiode pendant une phase de Reset, une tension de 0 V étant quelque peu insensée.

Pour diminuer le bruit de Reset, outre les méthodes standards comme la technique de double échantillonnage corrélé, nous pouvons soit diminuer la capacité de la photodiode, soit augmenter la tension appliquée à ses bornes lors de la phase de Reset.

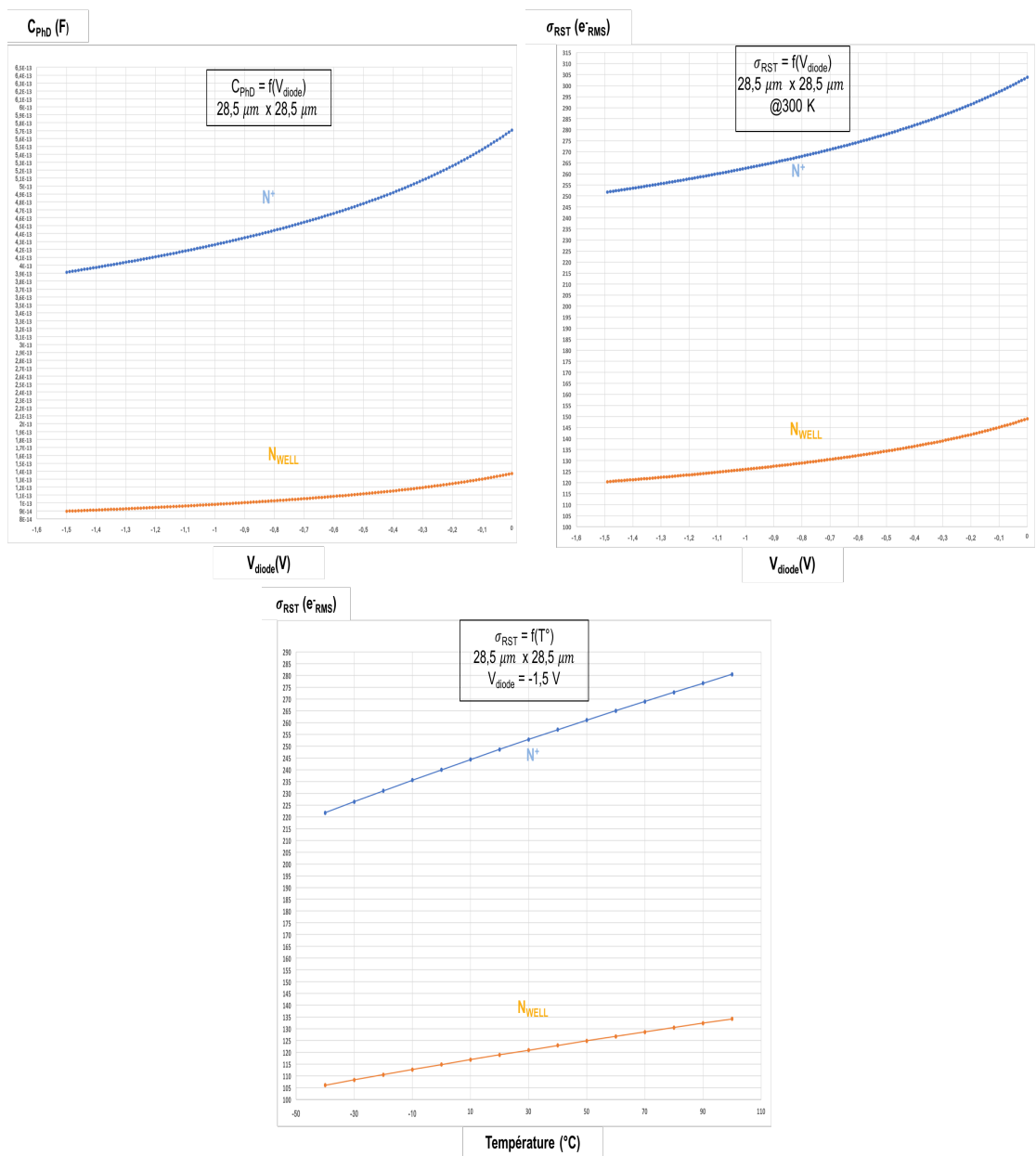


FIGURE 3.15 – En haut, de gauche à droite : variation de la capacité de la diode en fonction de la tension aux bornes de celle-ci et variation du KTC noise en fonction de la tension aux bornes de la diode. En bas, variation du KTC noise en fonction de la température.

On comprend qu'à ce stade, un compromis est nécessaire quant aux choix de la couche et de la taille de la capacité pour réaliser la photodiode.

Plus la capacité est grande, meilleure est la capacité maximale de stockage de charges mais plus faible est le facteur de conversion et plus élevé est le bruit de réinitialisation.

La couche N^+ permet de diminuer le courant d'obscurité mais augmente la taille de la capacité. De nombreux auteurs optent pour un bruit de Reset limité et une sensibilité améliorée, ceci au détriment de la capacité de stockage maximale de la photodiode, quitte à essayer de l'améliorer par d'autres méthodes ou d'autres architectures. C'est avec cette logique que nous privilégions la couche N_{WELL} pour la réalisation de la photodiode.

3.2.2.3/ BRUIT GLOBAL DE L'ENSEMBLE PHOTOSENSIBLE

Une photodiode, ce n'est pas seulement une capacité mais également des résistances, symbolisant des résistances parasites. Nous retrouvons le schéma électrique du premier étage Figure 3.16.

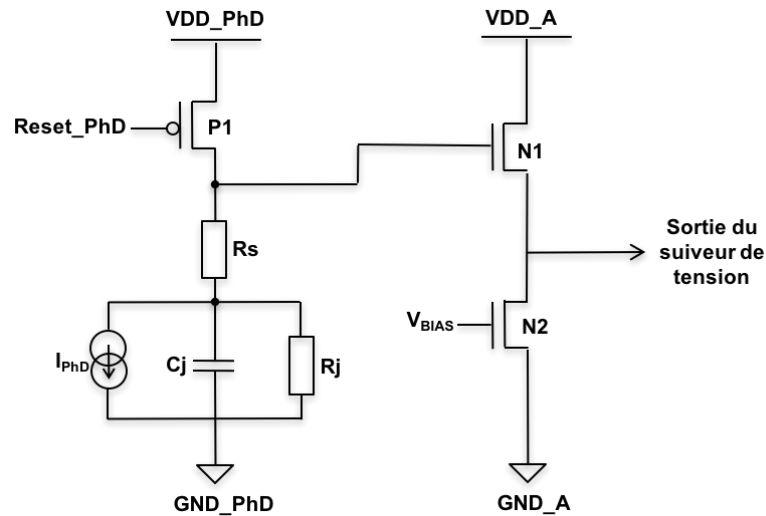


FIGURE 3.16 – Schéma électrique de la photodiode P-N et du suiveur de tension.

R_S représente la résistance série et plus précisément la somme des résistances de contacts et de la couche N^+ ou N_{WELL} . Habituellement, sa valeur est de quelques centaines d'Ohm (estimée à 500Ω). R_S doit être la plus petite possible afin d'éviter la chute de potentiel au niveau de la cathode de la photodiode. Cette diminution est possible en travaillant sur le dessin des masques du circuit.

R_j est la résistance de jonction (*shunt resistance*). Elle caractérise le courant de fuite dans la jonction, et doit être la plus grande possible (estimée à $300 M\Omega$) pour limiter celui-ci.

C_j est la capacité de jonction précédemment calculée, et I_{PhD} le courant de la photodiode. Ce dernier se décompose, sans tenir compte du bruit pour l'instant, de la manière suivante :

$$I_{PhD} = I_L + I_{dark} \quad (3.37)$$

I_{PhD} : le courant de la photodiode sous illumination [A],

I_L : le courant généré par l'éclairage [A], dépendant du flux lumineux de la source, de l'efficacité quantique et de l'aire de la photodiode,

I_{dark} : le courant d'obscurité [A] quand la diode est polarisée.

Outre le bruit de Reset et le bruit du suiveur de tension, il existe le bruit de grenaille dont une des composantes est issue du courant d'obscurité et une autre du courant d'intégration (courant généré pendant la phase d'intégration dépendant du flux lumineux).

Nous pouvons catégoriser le bruit suivant trois phases [18–20] :

- Le bruit pendant la phase de Reset,
- Le bruit pendant la phase d'intégration,
- Le bruit dû, entre autres, au suiveur de tension, communément appelé bruit de lecture. La phase de lecture pour un pixel 3T est la phase durant laquelle l'interrupteur de ligne envoie la valeur issue de la photodiode sur la colonne sélectionnée. Dans notre cas, bien qu'il s'agisse d'une phase de pré-lecture, nous pouvons l'apparenter à la phase où il y a mémorisation des tensions par les échantillonneurs-bloqueurs.

Pendant la phase de réinitialisation (en rappelant l'Equation (3.35) avec une notation différente), nous avons :

$$\overline{V_{n,RST}^2} = \frac{K_B \times T}{C_{PhD}} \quad (3.38)$$

$\overline{V_{n,RST}^2}$: la tension *RMS* de bruit pendant la phase de Reset [V^2],
 K_B : la constante de Boltzmann égale à $1,38 \times 10^{-23}$ [$J \cdot K^{-1}$],
 T : la température [K],
 C_{PhD} : la capacité effective de la photodiode [F].

Pendant cette phase, le bruit est majoritairement un bruit thermique. En fin de phase d'intégration, nous avons :

$$\overline{V_{n,INT}^2} = \frac{q \times (I_L + I_{dark})}{C_{PhD}^2} \times T_{INT} \quad (3.39)$$

$\overline{V_{n,INT}^2}$: la tension *RMS* de bruit pendant la phase d'intégration [V^2],
 I_L : le courant généré par l'éclairement [A], dépendant du flux lumineux de la source, de l'efficacité quantique et de l'aire de la photodiode,
 I_{dark} : le courant d'obscurité [A] quand la diode est polarisée,
 q : la charge élémentaire égale à $1,6 \times 10^{-19}$ [C],
 T_{INT} : le temps d'intégrations [s],
 C_{PhD} : la capacité effective de la photodiode [F].

Pendant cette phase, le bruit est un bruit de grenaille . Ce bruit s'intègre de la même manière que le courant généré par le flux lumineux aux bornes de la capacité de jonction.

La contribution en bruit généré par le suiveur de tension se décompose en deux parties, le bruit thermique de la structure et le bruit en $\frac{1}{f}$.

- La tension *RMS* de bruit thermique ramenée en entrée du suiveur :

$$\overline{V_{n,th}^2} = 4 \times K_B \times T \times \left(\frac{2}{3 \times g_{mN2}} + \frac{2 \times g_{mN1}}{3 \times g_{mN2}^2} \right) \quad (3.40)$$

$\overline{V_{n,th}^2}$: la tension *RMS* de bruit thermique du suiveur de tension [V^2],
 g_{mN1} : la transconductance du transistor *N1* schéma Figure 3.16 [S],
 g_{mN2} : la transconductance du transistor *N2* schéma Figure 3.16 [S].

— La tension *RMS* de bruit de scintillement ramenée en entrée du suiveur :

$$\overline{V_{n,\frac{1}{f}}^2} = \frac{1}{C_{OX}} \times \left(\frac{K_N \times g_{mN1}^2}{(W \times L)_{N1} \times g_{mN2}^2} + \frac{K_N}{(W \times L)_{N2}} \right) \times \frac{1}{f} \quad (3.41)$$

$\overline{V_{n,\frac{1}{f}}^2}$: la tension *RMS* de bruit de scintillement du suiveur de tension [V^2],

K_N : le coefficient du bruit de scintillement du transistor NMOS lié à la technologie,

C_{OX} : la capacité d'oxyde du transistor [$F \cdot \mu m^{-2}$],

W : la largeur du transistor [μm],

L : la longueur de canal du transistor [μm],

f : la fréquence considérée [Hz].

La tension de bruit totale, ramenée en entrée, générée par le suiveur de tension est :

$$\overline{V_{n,totSF,in}^2} = \overline{V_{n,\frac{1}{f}}^2} + \overline{V_{n,th}^2} \quad (3.42)$$

$\overline{V_{n,totSF,in}^2}$: la tension *RMS* de bruit total du suiveur de tension [V^2].

La tension *RMS* totale de bruit de la partie de l'élément photosensible [21] se traduit par :

$$\overline{V_{n,totPhD,in}} = \sqrt{\left(\overline{V_{totSF,in}^2} + \overline{V_{n,INT}^2} + \overline{V_{n,RST}^2} \right)} \quad (3.43)$$

$\overline{V_{n,totPhD,in}}$: La tension *RMS* de bruit total de l'ensemble photosensible [V_{RMS}].

Dans notre cas, en sortie du suiveur de tension, nous retrouvons un échantillonneur/bloqueur qui génère également du bruit et qui de la même manière que le bruit de Reset est dominé par le bruit thermique lié à sa capacité. Si nous ne considérons que le bruit thermique du suiveur ainsi que celui de l'échantillonneur/bloqueur (en négligeant le bruit apporté par le transistor servant d'interrupteur), pendant la phase d'échantillonnage/blocage en sortie du suiveur de tension, nous obtenons un bruit égal à :

$$\overline{V_{n,outSF,th}^2} = \frac{2}{3} \times (g_{mN1} + g_{mN2}) \times (R_{dsN1} || R_{dsN2}) \times \frac{K_B \times T}{C_{EB}} \quad (3.44)$$

$\overline{V_{n,outSF,th}^2}$: la tension *RMS* de bruit thermique en sortie du suiveur de tension aux bornes de la capacité d'échantillonnage [V^2],

g_{mN1} : la transconductance du transistor $N1$ schéma Figure 3.16 [S],

g_{mN2} : la transconductance du transistor $N2$ schéma Figure 3.16 [S],

R_{dsN1} : la résistance drain-source du transistor $N1$ schéma Figure 3.16 [Ω],

R_{dsN2} : la résistance drain-source du transistor $N2$ schéma Figure 3.16 [Ω],
 C_{EB} : la capacité d'échantillonnage (C1 ou C2 sur le schéma Figure 3.5) [F].

Nous pouvons ainsi déterminer le bruit total en sortie du suiveur de tension juste avant le circuit de modulation $\Sigma\Delta$, en considérant le bruit amené par l'échantillonneur comme suit :

$$\overline{V_{n,tot,out}^2} = \left[\overline{V_{n,RST}^2} + \overline{V_{n,INT}^2} + \overline{V_{n,\frac{1}{f}}^2} \right] \times G_{SF}^2 + \overline{V_{n,outSF,th}^2} \quad (3.45)$$

$\overline{V_{n,tot,out}^2}$: la tension RMS de bruit totale en sortie du suiveur de tension aux bornes de la capacité d'échantillonnage [V^2],

G_{SF} : le gain en tension du suiveur de tension.

Le bruit total en sortie est une superposition de bruits durant les différentes phases de fonctionnement de notre circuit. Le bruit à prendre en considération est le bruit que nous venons de définir, le bruit généré par le modulateur (hors bruit de quantification) étant moyenné par le nombre de cycles pendant la durée de son fonctionnement. Une étude intéressante [20] précise que trop augmenter la taille des transistors du suiveur de tension augmente le bruit ramené en entrée. Le courant de polarisation de celui-ci joue également un rôle important sur le bruit et doit être le plus élevé possible. Nous pouvons voir également que le bruit thermique est inversement proportionnel à la taille des capacités. Un compromis doit être trouvé entre consommation, intégration et niveau de bruit. Pour finir, le bruit total en sortie est très souvent ramené en entrée au niveau de la partie photosensible et est exprimé en électron RMS . Pour ce faire, la formule suivante nous donne l'équivalence :

$$NEQ = \frac{\sqrt{\overline{V_{n,tot,out}^2}}}{CVF} \quad (3.46)$$

NEQ : l'équivalence du bruit total de sortie ramenée en entrée [e_{RMS}^-].

Il est possible d'évaluer le bruit de notre structure en fonction du nombre d'électrons générés en entrée, en partant du postulat que le QE est de l'ordre de 50% pour une longueur d'onde de 550 nm. La réponse électrique du capteur est de $0,2216 A \cdot W^{-1}$ pour la longueur d'onde considérée (2.20). Le courant maximal généré par la photodiode est déterminé à environ 20 nA. Cela implique, avec une aire de pixel de $28,5 \times 28,5 \mu m^2$, un flux lumineux de 90 nW et donc un éclairage de $110 W \cdot m^{-2}$. Transformé en Lux, le flux lumineux est environ égal à 75130 Lux ou $75130 lumen \cdot m^{-2}$, ce qui correspond à un éclairage extérieur en plein soleil.

La valeur moyenne de la capacité de l'élément photosensible est considérée comme fixe et égale à la valeur moyenne de 115 fF. La capacité de l'échantillonneur-bloqueur est choisie à 352 fF. Le temps d'intégration est estimé à environ 6 μs pour une capacité maximale d'environ $0,83 \times 10^6 e^-$. La tension de bruit thermique en sortie du suiveur de tension $\overline{V_{n,outSF,th}^2}$ est égale à $265,4 nV^2$ avec $g_{mN1} = 18,37 \mu S$, $g_{mN2} = 17 \mu S$, $R_{dsN1} = 1,59 M\Omega$ et $R_{dsN2} = 2,4 M\Omega$ (3.44). Le flicker noise $\overline{V_{n,\frac{1}{f}}^2}$ est simulé et est égal à environ $1 \mu V^2$.

En considérant le courant maximale de 20 nA pour $T_{INT} = 6 \text{ } \mu\text{s}$ et $I_{dark} = 2,6 \text{ fA}$, le bruit d'intégration $\overline{V_{n,INT}^2} = 1,45 \times 10^{-6} \text{ V}^2$ (3.39), $\overline{V_{n,RST}^2} = 36 \times 10^{-9} \text{ V}^2$ (3.38), et $NEQ = 877 e_{RMS}^-$ pour une capacité maximale d'environ $0,83 \times 10^6 e^-$ (3.45)(3.46). Cette valeur correspond à un fort éclaircissement pour $QE = 50\%$.

Une précision sur le fait que la capacité de l'échantillonneur diminue la bande passante du premier étage : plus elle est grande et plus la bande passante diminue. Dans notre cas, avec la valeur spécifiée, nous avons une bande passante estimée de 2 MHz . Cette capacité diminue donc le bruit en augmentant sa taille mais affecte négativement la vitesse du pixel. Si nous restons dans cette configuration, nous pouvons tracer le bruit total en fonction du nombre d'électrons générés aux bornes de la photodiode pendant l'intégration. Cela correspond à différents niveaux d'éclaircissements.

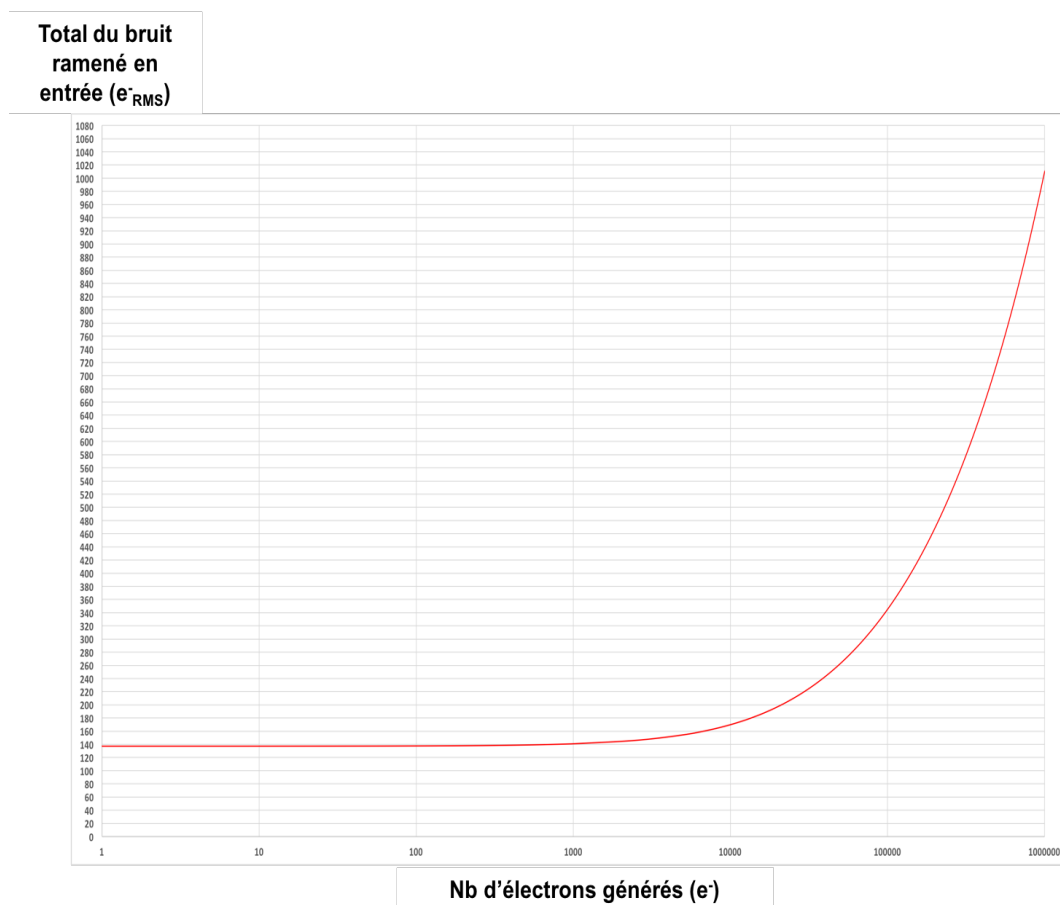


FIGURE 3.17 – Évolution du bruit total en fonction du nombre d'électrons en entrée.

La courbe est calculée pour un temps d'intégration de $6 \text{ } \mu\text{s}$. Pour diminuer les électrons générés, il suffit d'augmenter le temps d'intégration. Augmenter ce temps entraîne une baisse du nombre d'images par seconde. Nous avons fait une estimation de comportement du premier ensemble de notre circuit. La diminution du bruit entraîne inévitablement une augmentation de la taille de certains composants, une baisse de la rapidité et une augmentation de la consommation. Là encore tout est histoire de compromis et de priorités.

3.2.3/ ENSEMBLE ANALOGIQUE DU CIRCUIT

Cet ensemble se compose du double circuit échantillonneur-bloqueur, et du circuit de modulation $\Sigma\Delta$.

3.2.3.1/ LE DOUBLE ÉCHANTILLONNEUR-BLOQUEUR

Le circuit est composé d'un circuit échantillonneur-bloqueur pour le signal de référence et d'un échantillonneur-bloqueur pour le signal utile.

Dans ce circuit, trois interactions indésirables sont à prendre en compte :

- ✓ L'injection de charges. Une petite quantité de charges s'accumule sous la grille du transistor durant la phase où l'interrupteur NMOS est en mode passant. Au changement de phase, une partie de ces charges se dirige vers la capacité de stockage, l'autre partie dans la direction opposée, créant une erreur sur le signal d'entrée. C'est l'effet « injection de charges ».
- ✓ La traversée de l'horloge. L'effet de la traversée d'horloge est dû aux capacités parasites du NMOS (capacité grille-drain et capacité grille-source). Durant la transition de l'horloge, un couplage capacitif se forme entre les capacités parasites et la capacité de stockage créant ainsi un « offset » en tension et donc une erreur aux bornes de celle-ci.
- ✓ Le bruit thermique liée à la capacité (présenté précédemment).

Pour minimiser les effets de la traversée de l'horloge et de l'injection de charges, nous avons utilisé une porte de transmission en tant qu'interrupteur dont le schéma est représenté Figure 3.18.

La porte de transmission est constituée d'un transistor NMOS et d'un transistor PMOS. Les deux drains sont connectés ensemble, il en est de même pour les deux sources. Le signal de commande des deux transistors doit être inversé, ce qui nécessite l'utilisation d'un inverseur. Les deux transistors de la porte de transmission ont une taille minimale pour minorer les capacités parasites. Le NMOS et le PMOS de l'inverseur ont une longueur de canal (L) identique et minimale. La largeur de grille (W) du PMOS est trois fois supérieure au W de taille minimale du NMOS pour compenser la mobilité des porteurs de charge.

Le bruit majoritaire de la capacité de stockage est le bruit thermique. Le bruit de scintillement, bien que présent, est négligé. Le bruit total s'associe à la tension de sortie de l'échantillonneur-bloqueur. Les bruits des deux échantillonneurs-bloqueurs sont décorrélés.

Un compromis est fait entre taille, vitesse et bruit. La capacité utilisée est la capacité d'oxyde du transistor qui a une valeur d'environ $11 - 12 \text{ fF} \cdot \mu\text{m}^{-2}$. La tension appliquée à ses bornes va malheureusement varier linéairement au cours du temps.

Avec la capacité d'oxyde d'un PMOS, les valeurs élevées varient très lentement, contrairement aux valeurs inférieures à V_{TH} . Un écart de 30 mV peut être constaté pour les valeurs faibles entre le début et la fin de la durée du stockage. Pour le NMOS, c'est l'inverse. Pour annihiler ces variations, un cycle de conversion le plus court possible s'impose.

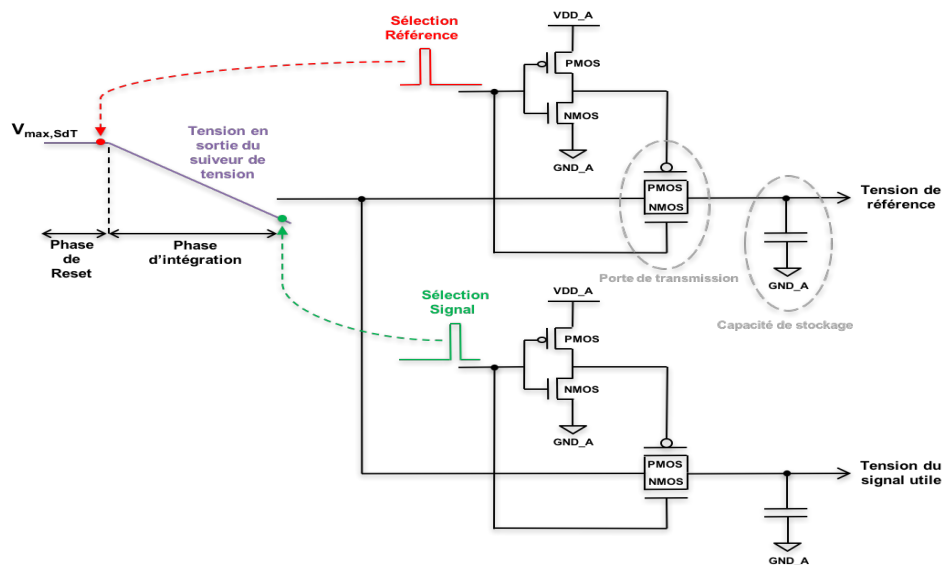


FIGURE 3.18 – Circuit double échantillonneur-bloqueur.

Les graphiques Figure 3.19 et Figure 3.20, obtenus par calcul, mettent en évidence l'impact du bruit par rapport à la taille de la capacité et donc celle du transistor (le PMOS et le NMOS ont la même valeur pour la capacité d'oxyde).

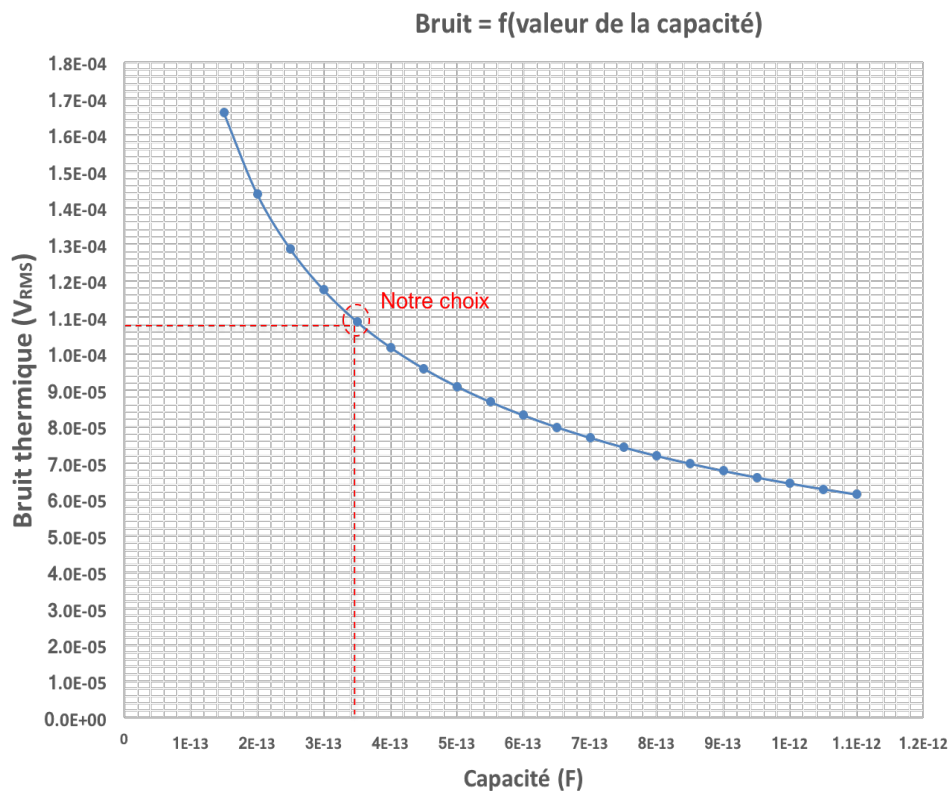


FIGURE 3.19 – Variation du bruit thermique en fonction de la capacité.

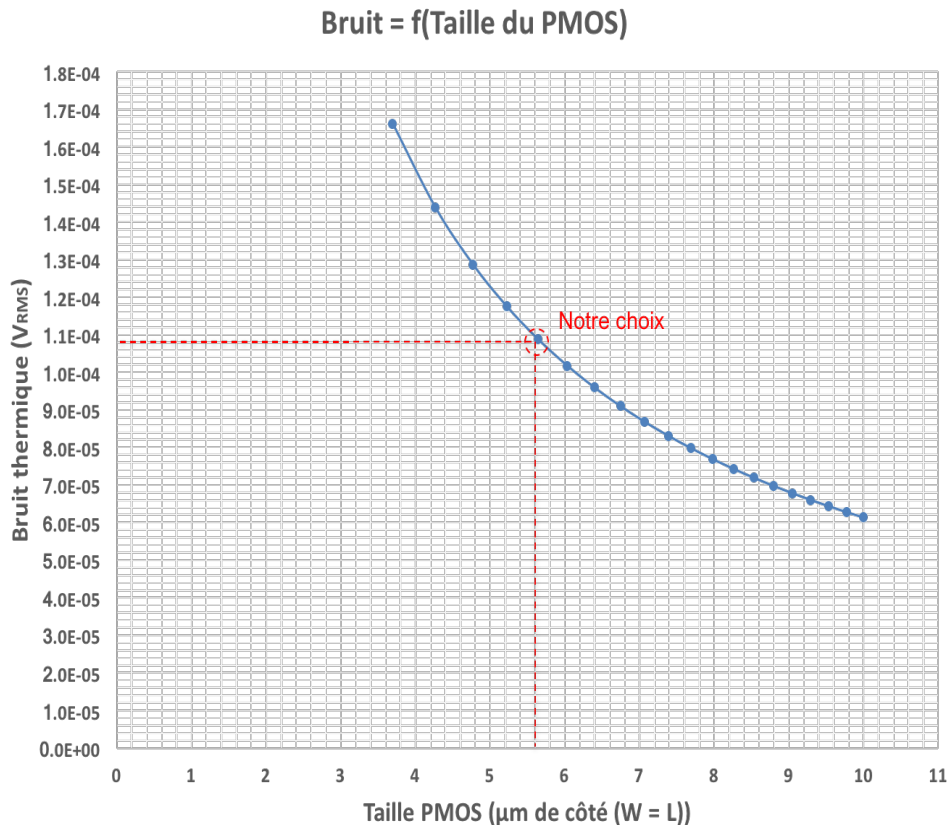


FIGURE 3.20 – Variation du bruit thermique en fonction de la taille du PMOS.

Il apparaît clairement que la diminution du bruit passe par une taille significative de la capacité, entraînant inévitablement une taille significative du transistor, W et L étant égaux. Nous optons pour une capacité de 352 fF nous donnant un bruit de $108 \mu V_{RMS}$, et pour une taille de transistor de $5,6 \mu m \times 5,6 \mu m$, optimisant ainsi la taille au détriment du bruit et en essayant de trouver un compromis acceptable entre les deux.

Pour optimiser le dessin des masques finaux, la capacité est scindée en deux capacités en parallèle de $4 \mu m \times 4 \mu m$.

La consommation du circuit échantillonneur-bloqueur est également un paramètre à ne pas négliger. Deux composantes expliquent cette consommation :

- La puissance statique liée aux courants de fuite de la capacité et de l'inverseur. Les courants de fuite sont directement liés au courant surfacique de saturation de jonction des transistors NMOS et PMOS. Les transistors de l'inverseur étant de petites dimensions, nous nous intéressons essentiellement au courant de fuite de la capacité.

Le transistor PMOS a un courant surfacique inverse de saturation égal à $1,014 \mu A \cdot m^{-2}$ pour cette technologie. La taille du transistor est de $5,6 \mu m \times 5,6 \mu m$, soit une consommation statique de $0,032 \text{ fA}$. Quant au transistor NMOS, le courant surfacique inverse de saturation est de $12,96 \mu A \cdot m^{-2}$, soit une consommation statique de $0,406 \text{ fA}$. Les consommations sont anecdotiques dans les deux cas.

- La puissance dynamique liée à la commutation des inverseurs. Une des constituantes est la valeur moyenne dénommée « courant de court-circuit » et l'autre, est le courant de

commutation. Le courant de court-circuit moyen mesuré de l'inverseur est de $14 \mu A$. Le courant de commutation de l'inverseur dépend de la capacité de sortie, de la fréquence, de la tension d'alimentation et du nombre moyen de transitions 0-1 lors d'un cycle d'horloge. Ce courant est estimé à $500 pA$.

La consommation en courant de ce circuit reste négligeable vis-à-vis de l'ensemble du circuit.

3.2.3.2/ LE MODULATEUR $\Sigma\Delta$

Ce type de modulateur est très souvent composé d'un amplificateur opérationnel (AOP ou ampli-op) pour l'intégration, d'un comparateur et d'un convertisseur CNA 1 bit.

L'AOP permet d'amplifier une différence de tension et de réaliser des opérations mathématiques comme la dérivation, l'intégration, l'addition, la soustraction etc. Il est également utilisé dans le filtrage analogique. Dans bien des montages électroniques, son gain boucle ouverte élevé est synonyme de meilleure précision. Le gain boucle ouverte d'un ampli-op est dépendant du gain du transistor. Il est souvent nécessaire de multiplier les étages d'amplification. De ce fait, la taille du circuit et la consommation augmentent.

A partir d'un système d'ordre 2, la stabilité du système devient délicate. En effet, il est nécessaire d'adjoindre une compensation fréquentielle (ajouts de résistances et/ou capacités pour les pôles et les zéros de l'amplificateur). S'ajoutent à cela les compensations de l'offset de sortie et des variations de l'alimentation.

Bien que cela reste un formidable outil, l'amplificateur nécessite une réalisation contraignante. C'est pourquoi, nous avons décidé de proposer un modulateur $\Sigma\Delta$ n'utilisant pas d'AOP mis à part pour le comparateur.

3.2.3.2.1/ Présentation du circuit

Le circuit adopté réalise une modulation Sigma-Delta sans ampli-op (sauf pour le comparateur). Son schéma électrique est présenté Figure 3.21.

Il possède un miroir de courant (P2 et P3), un comparateur cadencé à une certaine fréquence (fréquence qui équivaut à la fréquence d'échantillonnage d'une structure classique de Sigma-Delta), deux capacités commutées (C3 et C4), deux interrupteurs (N5 et N6), deux transistors faisant office de convertisseurs tension-courant (N3 et N4) et deux autres capacités (C5 et C6). Le fonctionnement est symbolisé Figure 3.22.

Au début de la conversion, les tensions échantillonnées de référence et du signal sont transformées en courant grâce aux transistors $N3$ et $N4$ et aux capacités commutées.

Le courant issu de la tension de référence est divisé et une partie est injectée dans la capacité $C5$ créant une tension V^- à ses bornes, et une partie est recopiée et injectée dans la capacité $C6$ grâce au miroir de courant. Le courant issu du signal est quant à lui directement injecté dans la capacité $C6$ créant ainsi une soustraction de courant (le sigma du delta-sigma) et générant ensuite une tension V^+ .

Le courant de la référence est toujours supérieur au courant issu du signal car la tension de référence est toujours supérieure ou égale à la tension du signal (la structure est symétrique). V^- est plus petit que V^+ . Une première comparaison est faite. Le comparateur fonctionne sur front bas de l'horloge. De plus, quand $V^- < V^+$, un 1 logique est envoyé en sortie du modulateur et un 0 logique est envoyé sur l'interrupteur $N5$.

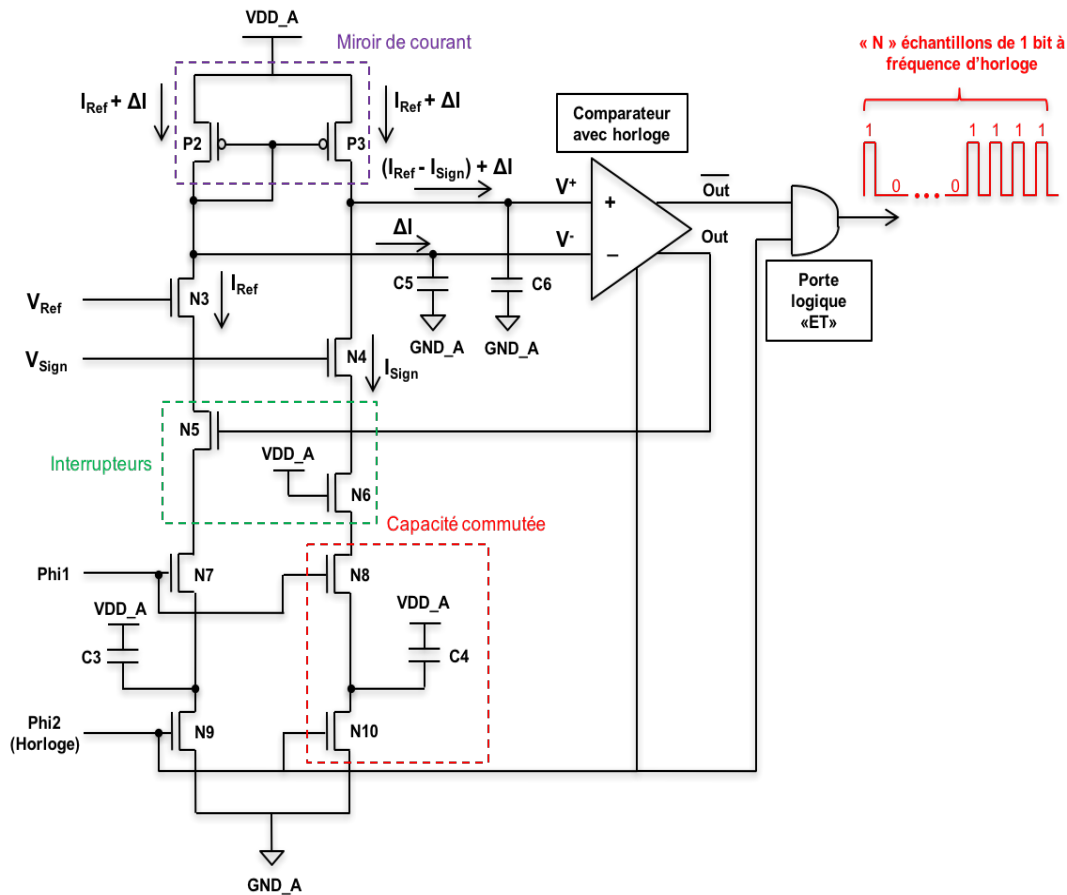


FIGURE 3.21 – Schéma électrique du modulateur.

Le contraire est réalisé quand $V^- > V^+$. A chaque coup d'horloge la tension V^- augmente générant ainsi un nombre de 1 équivalent au nombre de coups d'horloge. Dès que $V^- \geq V^+$, un 0 est envoyé en sortie et un 1 sur l'interrupteur $N5$, réenvoyant de ce fait le courant de référence dans la capacité $C5$ et donc faisant chuter la tension V^- . Ce cycle se répète jusqu'à la fin du temps de conversion.

Par analogie (cf. Figure 3.22), cela revient à ajouter une quantité de charges dans un seau à chaque coup d'horloge pour augmenter la tension V^- jusqu'à ce qu'elle soit égale à V^+ . Le nombre de quantité de charges nécessaire pour y parvenir est comptabilisé et ce pendant toute la durée du cycle de conversion, sachant que lorsque $V^- \geq V^+$, V^- est réinitialisée (le seau se vide). A noter que la capacité $C5$ n'est pas indispensable dans le principe de fonctionnement du circuit. Elle est ajoutée d'une part pour permettre aux signaux V^+ et V^- d'être affectés de la même manière par la variation de la masse et d'autre part pour lisser le courant.

L'interrupteur $N6$ est toujours fermé et est rajouté pour avoir une parfaite symétrie du circuit. Grâce à la contre-réaction du comparateur, le miroir de courant, les capacités commutées et les transistors $N3$ et $N4$, nous avons bien une intégration du signal V^- qui se crée, remplaçant ainsi une intégration avec ampli-op dans une structure standard de convertisseur $\Sigma\Delta$.

Mettre en contre-réaction la sortie du comparateur permet que la charge dans la capacité $C6$, moyennée sur le temps, soit une constante lorsque $I_{Ref} = I_{Sign}$.

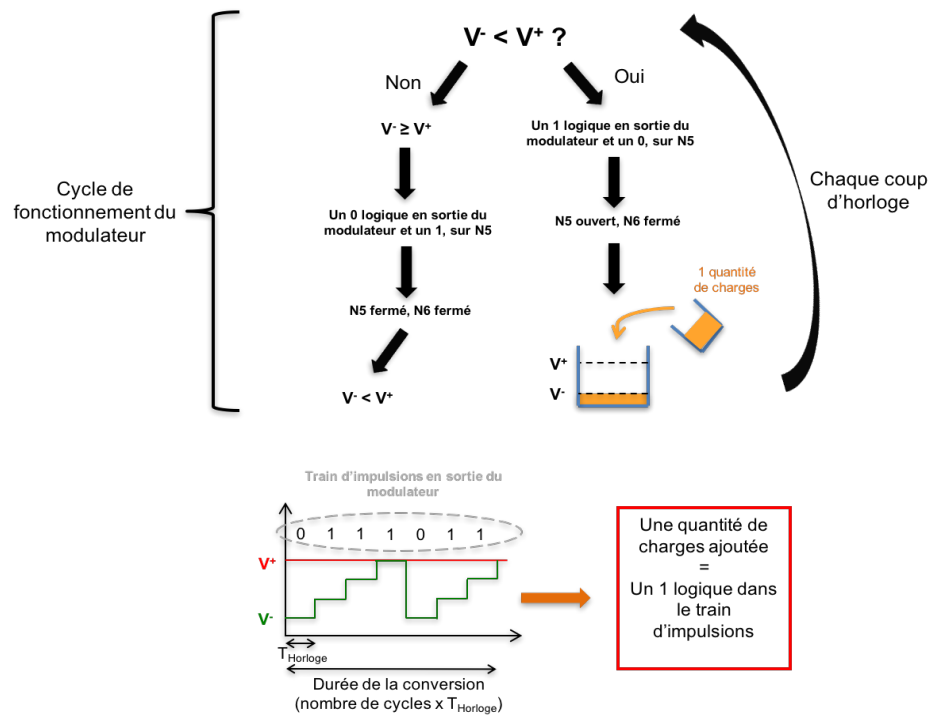


FIGURE 3.22 – Fonctionnement du modulateur.

L'équation du système est alors déduite comme étant :

$$(V_{Ref} - V_{gsN3}) \times \frac{f_{PHI2} \times C3 \times M}{N} = (V_{Sign} - V_{gsN4}) \times f_{PHI2} \times C4 \quad (3.47)$$

- V_{Ref} : la tension de référence [V],
- V_{gsN3} : la tension grille-source du transistor N3 [V],
- V_{Sign} : la tension du signal [V],
- V_{gsN4} : la tension grille-source du transistor N4 [V],
- $C3$: la valeur de la capacité C3 [F],
- $C4$: la valeur de la capacité C4 [F],
- f_{PHI2} : la fréquence d'horloge [Hz],
- N : le nombre total de coups d'horloge durant la durée du cycle de conversion,
- M : le nombre total d'activations de l'interrupteur N5 pendant la durée du cycle de conversion.

Sachant que $C3 = C4$ et que M représente le complément à 1 du train d'impulsions en sortie, l'Equation 3.47 est réécrite comme suit :

$$(V_{Sign} - V_{gsN4}) = (V_{Ref} - V_{gsN3}) \times \frac{N - P}{N} \quad (3.48)$$

P : le nombre de 1 logique du train d'impulsions.

L'Equation 3.48 permet de déterminer P qui représente de la différence entre le signal de référence et le signal utile :

$$P = [V_{Ref} - V_{Sign} + (V_{gsN4} - V_{gsN3})] \times \frac{N}{V_{Ref} - V_{gsN3}} \quad (3.49)$$

Cette équation montre que P est linéaire si le terme $(V_{gsN4} - V_{gsN3})$ est supprimé, sachant que V_{Ref} est considérée comme constante et V_{gsN3} également. Une approche est faite sur la conception du circuit de sorte que $V_{gsN4} = V_{gsN3} = V_{thN}$. Dans ce cas, l'Equation 3.49 se transforme en :

$$P = (V_{Ref} - V_{Sign}) \times \frac{N}{V_{Ref} - V_{thN}} \quad (3.50)$$

Avec $V_{Ref} - V_{thN}$ constant, la linéarité de P est avérée.

Qu'en est-il si $V_{gsN4} \neq V_{gsN3} \neq V_{thN}$? Nous ne connaissons pas la variation de V_{gsN4} qui est en fait la variation de V_{sN4} (tension de la source du transistor $N4$). Nous savons que V_{gsN3} et V_{Ref} sont constants. Par contre, V_{Sign} et V_{gsN4} varient en fonction de l'intensité de la lumière.

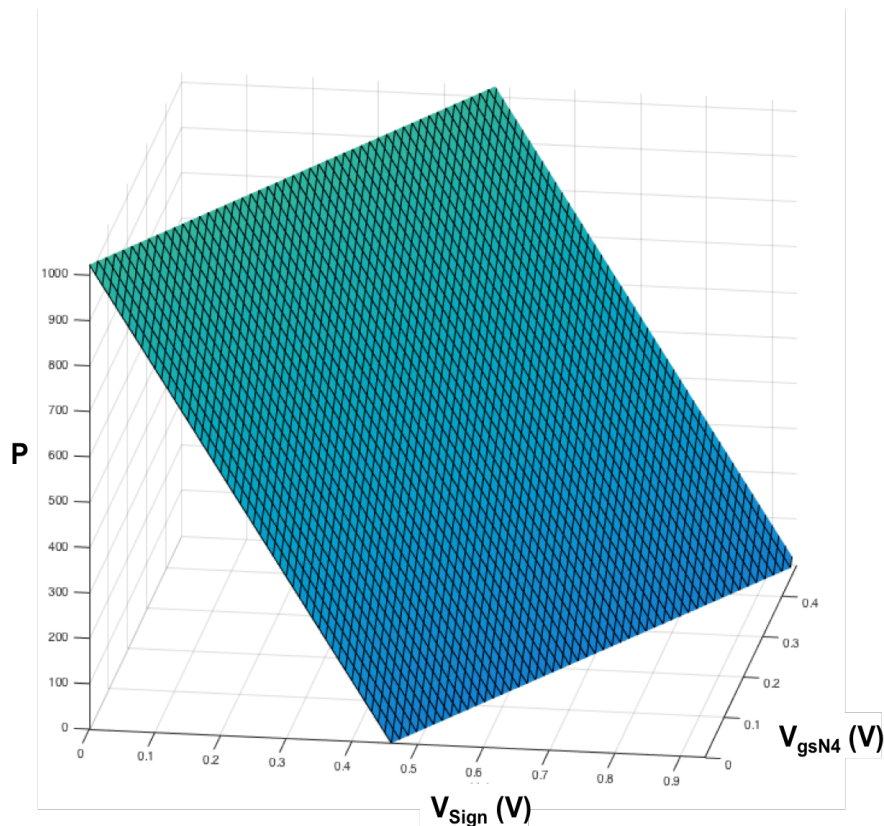


FIGURE 3.23 – Variation de P en fonction de la variation de V_{Sign} et V_{gsN4} .

La Figure 3.23 présente la variation de P en fonction de la variation de V_{Sign} et V_{gsN4} . La valeur maximum de V_{gsN4} est la valeur de V_{gsN3} et la valeur maximum de V_{Sign} est celle de V_{Ref} . Le P maximum est 1023 soit 10 Bits.

P est tracé pour toutes les variations de V_{gsN4} et de V_{Sign} . Nous obtenons un plan, ce qui confirme l'homogénéité et donc la linéarité de la fonction.

Afin de maîtriser autant que faire se peut la réponse du convertisseur, nous optons pour la solution de l'équation 3.50, soit $V_{gsN4} = V_{gsN3} = V_{thN}$.

Si nous traçons $P = f(V_{Ref} - V_{Sign})$, d'après l'Equation 3.50, pour $N = 1023$, $V_{thN} = 450 \text{ mV}$, et V_{Sign} variant de 0 à V_{Ref} , nous obtenons la Figure 3.24. Notre pleine échelle est atteinte pour $V_{Sign} = V_{thN}$.

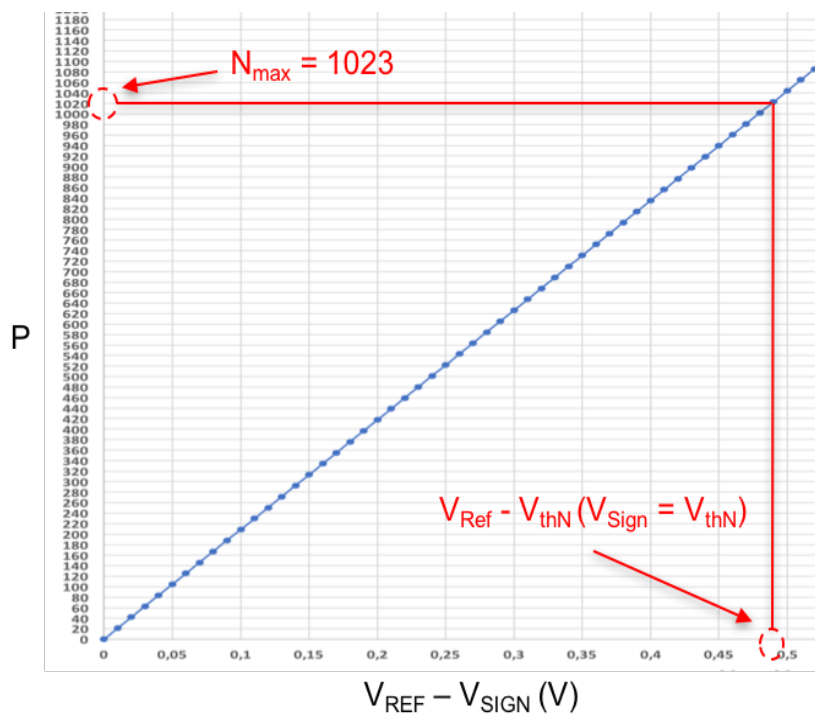


FIGURE 3.24 – $P = f(V_{Ref} - V_{Sign})$ théorique pour $N = 1023$.

Donc la précision théorique du modulateur, et donc du convertisseur, est déterminée par l'équation suivante :

$$Pr = \frac{V_{Ref} - V_{thN}}{2^X - 1} \quad (3.51)$$

Pr : précision théorique du comparateur,
 X : le nombre de bits désiré.

La précision théorique est de $477 \mu\text{V}$ pour 10 bits avec un V_{thN} égal à 450 mV et pour V_{Ref} égal à 938 mV .

Notre système est très dépendant de V_{thN} . L'accroissement de la pleine échelle est possible, soit en augmentant V_{Ref} qui est la tension en sortie du suiveur de tension, soit en diminuant V_{thN} .

Notre technologie mise en oeuvre propose une couche LVT ou « low Vt », ce qui engendre V_{thN} et V_{thP} plus faibles. Cela nous permet de disposer d'une pleine échelle plus grande et donc de diminuer légèrement la contrainte sur la précision mais au prix d'une augmentation des courants de fuite.

En se référant à l'Equation 3.49, où $V_{gsN4} \neq V_{gsN3} \neq V_{thN}$, le maximum de N est atteint pour $V_{Sign} = 2 \times V_{gsN3} - V_{gsN4}$. La précision est alors déterminée comme suit :

$$Pr = \frac{V_{Ref} - V_{gsN3}}{2^X - 1} \quad (3.52)$$

L'optimisation du dessin des masques est obtenue avec des capacités commutées de tailles égales à $4 \mu m \times 4 \mu m$, équivalentes à celles des capacités de l'échantillonneur-bloqueur.

Une fréquence d'horloge de $10 MHz$ autorise un juste compromis entre la taille du transistor $N4$ (et $N3$), la vitesse et la consommation. En effet, la fréquence augmente la consommation et le transistor $N4$ (et $N3$) fonctionne en régime saturé. Le courant moyen généré par la capacité commutée $C3$ (et $C4$) est donc de $815 nA$. Notons que la fréquence de l'horloge peut être augmentée pour diminuer le temps de conversion mais au prix d'une augmentation de la consommation.

Afin d'obtenir un $V_{gs} = V_{th}$, les transistors $N3$ et $N4$ ont un rapport $\frac{W}{L} = \frac{2}{3}$ avec comme échelle W_{min} et L_{min} .

Les interrupteurs sont tous de tailles minimales. Le miroir de courant a un $\frac{W}{L} = \frac{6}{6}$ avec comme échelle W_{min} et L_{min} , ceci afin d'obtenir un compromis équitable entre la taille des transistors et la précision de la recopie.

Concernant la valeur de $C5$ et de $C6$, nous la fixons égale à environ 10 fois la valeur de $C3$ et $C4$, ce qui donne une taille de $13 \mu m \times 13 \mu m$, soit la valeur de $1,85 pF$. Cette valeur peut sembler élevée, mais elle permet de lisser la tension V^+ , et donc de gagner en précision. La tension V^+ doit rester constante.

3.2.3.2.2/ Présentation du comparateur

Un comparateur possède souvent [22] :

- Un étage d'amplification dont le gain détermine la précision du comparateur, soit le minimum de variation détectable entre les deux tensions d'entrée.
- Un étage créant une contre-réaction positive, également appelé étage de décision qui convertit une faible variation de tension en une valeur logique en sortie (0 ou 1) en déterminant quelle entrée est la plus grande.
- Un étage avec un verrou RS.

Le problème de cette structure est clairement la consommation de l'étage d'amplification qui est statique. Une bonne sensibilité nécessite souvent un gain élevé. Sont donc apparus les comparateurs dynamiques dont une architecture parmi d'autres, objet de notre premier choix,

est présentée Figure 3.25. Cette structure n'a pas besoin d'un courant élevé pour créer un contre-balancement pendant la phase de décision. Elle présente un bruit de rebond (*Kickback noise*) réduit. Celui-ci intervient lors du changement d'état du verrou (deux inverseurs à couplage croisé $P6$, $N12$, $P7$ et $N13$) qui perturbe le signal d'entrée [12]. L'étude de ce bruit n'a pas fait de notre part l'objet d'une étude approfondie, la sensibilité et la consommation étant notre engagement premier.

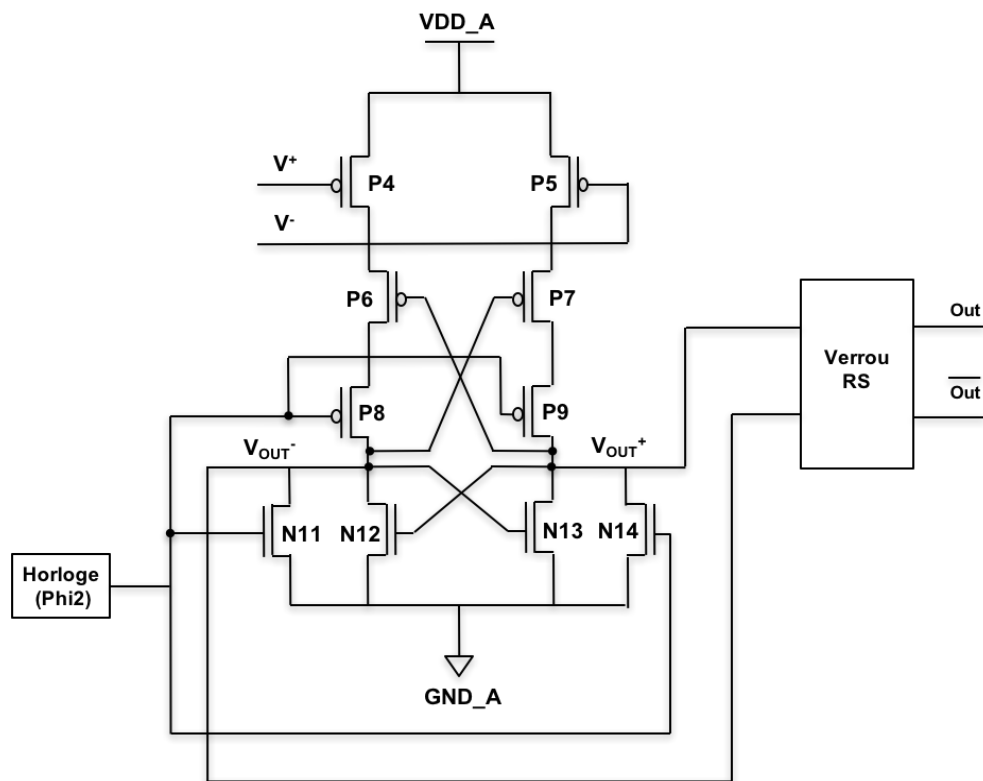


FIGURE 3.25 – Comparateur utilisé.

A l'état haut de l'horloge, les sorties V_{OUT}^- et V_{OUT}^+ sont tirées vers la masse (GND_A). Quand l'horloge bascule niveau bas, Si $V^+ > V^-$, et donc $V_{sgP4} < V_{sgP5}$, cela conduit à $V_{sdP4} < V_{sdP5}$. Cela a pour conséquence de faire passer, grâce aux deux inverseurs, V_{sgP6} de VDD_A à GND_A et de maintenir V_{sgP7} à VDD_A , sachant que V_{sgP6} et V_{sgP7} sont initialement à VDD_A . Nous nous retrouvons donc en sortie avec $V_{OUT}^+ = VDD_A$ et $V_{OUT}^- = GND_A$. Si $V^+ < V^-$, il se produit l'inverse et nous obtenons $V_{OUT}^+ = GND_A$ et $V_{OUT}^- = VDD_A$.

Le gain est assuré par les tensions V_{sdP4} et V_{sgP6} . Avec cette structure, un compromis est réalisé entre la taille des transistors, la consommation et la fréquence de l'horloge. Nous avons vu précédemment que la fréquence d'horloge est fixée à 10 MHz , ceci afin de limiter le courant généré par les capacités commutées. Augmenter la fréquence d'horloge, diminue la résistance équivalente de la capacité commutée et donc augmente le courant dans la branche.

Le Tableau 3.8 reporte les courants et les précisions à chaque basculement d'horloge en fonction de la taille des transistors, sachant que notre échelle est $W_{min,N} = 150\text{ nm}$, $W_{min,P} = 3 \times 150\text{ nm}$ et $L_{min,N,P} = 130\text{ nm}$. Tous les transistors sont à L_{min} , les PMOS ont tous la même taille et les NMOS également.

Taille	Courant moyen	Courant de pointe	Précision
$5 \times W_{min,N,P}$	489 nA	45 μA	9 mV
$7,5 \times W_{min,N,P}$	815 nA	75 μA	6 mV
$10 \times W_{min,N,P}$	1,087 μA	100 μA	5 mV
$12,5 \times W_{min,N,P}$	1,3 μA	120 μA	3,5 mV
$15 \times W_{min,N,P}$	1,57 μA	145 μA	3 mV
$17,5 \times W_{min,N,P}$	1,84 μA	170 μA	2,5 mV
$20 \times W_{min,N,P}$	2,22 μA	205 μA	2 mV
$22,5 \times W_{min,N,P}$	2,4 μA	220 μA	1,9 mV
$25 \times W_{min,N,P}$	2,66 μA	245 μA	1,7 mV
$27,5 \times W_{min,N,P}$	2,93 μA	270 μA	1,5 mV
$30 \times W_{min,N,P}$	3,26 μA	300 μA	1,4 mV

Tableau 3.8 – Conséquences des tailles des transistors sur le comparateur.

La précision du comparateur détermine également la précision du convertisseur. Pour augmenter la précision, la fréquence peut être baissée mais cela impacterait le temps total de conversion et donc le nombre d'images/s. Avec cette architecture, la précision passe par la taille des transistors. Cela revient à augmenter le gain car celui-ci est dépendant de la taille de ces derniers (cf. Tableau 3.8).

La mémoire RS (ou verrou RS), réalisée avec deux portes *NOR*, est présente pour supprimer les pics de courant (*glitches*) (cf. Figure 3.26) en sortie du comparateur et la porte logique *AND* synchronise la sortie de la bascule avec l'horloge.

Les consommations des constituants de la mémoire RS et de la porte *AND* sont présentées Tableau 3.9, sachant que cet ensemble est composé de deux portes *NOR*, d'une porte *NAND* et d'un inverseur. Les transistors sont à L_{min} avec $W_P = 3 \times 150 \text{ nm}$ et $W_N = 150 \text{ nm}$. Ces tailles sont choisies pour minimiser la consommation et l'intégration. La consommation statique est considérée comme négligeable.

Porte logique	$I_{court-circuit}$	I_{peak}	C_{out}	$I_{commutation}$
NOR_1	270 nA	25 μA	732 aF	10 nA
NOR_2	348 nA	32 μA	183 aF	2,75 nA
<i>NAND</i>	143 nA	44 μA	278 aF	4,19 nA
<i>Inverseur</i>	100 nA	32 μA	0,0014 pF	210 nA

Tableau 3.9 – Consommation des portes logiques du comparateur.

Le courant de court-circuit, $I_{court-circuit}$, représente la valeur moyenne du courant mesuré en fonction du temps pendant la phase de transition du PMOS et NMOS. Le courant I_{peak} est la valeur maximale qu'atteint le courant de court-circuit.

Le courant de commutation est défini comme suit :

$$I_{commutation} = \alpha_{0-1} \times f_{Horloge} \times C_{out} \times V_{DD} \quad (3.53)$$

$I_{commutation}$: le courant de commutation [A],

α_{0-1} : le nombre moyen de transitions de la porte logique pendant un cycle d'horloge,

$f_{Horloge}$: la fréquence de l'horloge [Hz],

C_{out} : la capacité en sortie de la porte logique [F],

V_{DD} : la tension d'alimentation.

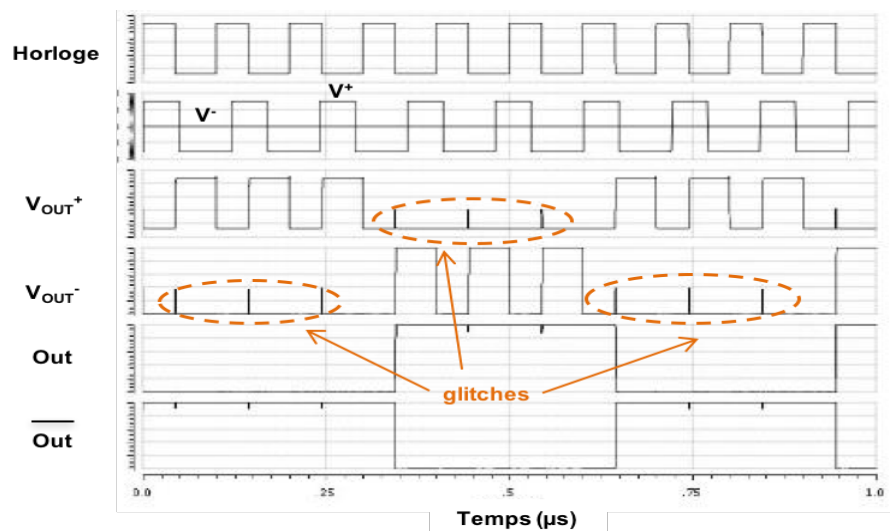


FIGURE 3.26 – Exemple de glitches en sortie du comparateur.

La consommation dynamique est la somme des courants de court-circuit et de commutation, soit $1,09 \mu A$ ($1,65 \mu W$).

Bien souvent, dans un circuit logique complexe, la composante de commutation est bien plus problématique que la composante de court-circuit du fait du nombre de transitions de chaque porte. Dans notre cas, c'est l'inverse, exception faite de l'inverseur qui a une capacité de sortie un peu plus élevée. Notre nombre moyen de commutations est considéré égal à 1 par cycle d'horloge.

3.2.4/ ENSEMBLE NUMÉRIQUE DU CIRCUIT

Comme il est précisé antérieurement, nous utilisons un compteur asynchrone en guise de filtre numérique (*Ripple counter*). Ce compteur se compose de bascules D et d'un inverseur. Il est synthétisé grâce au langage VHDL (*VHSIC Hardware Description Language*). La plateforme CADENCE permet de gérer un flot de conception complet analogique mais également numérique. Nous utilisons les cellules standards proposées dans le « *Design Kit* » pour le concevoir. Le schéma est présenté Figure 3.27.

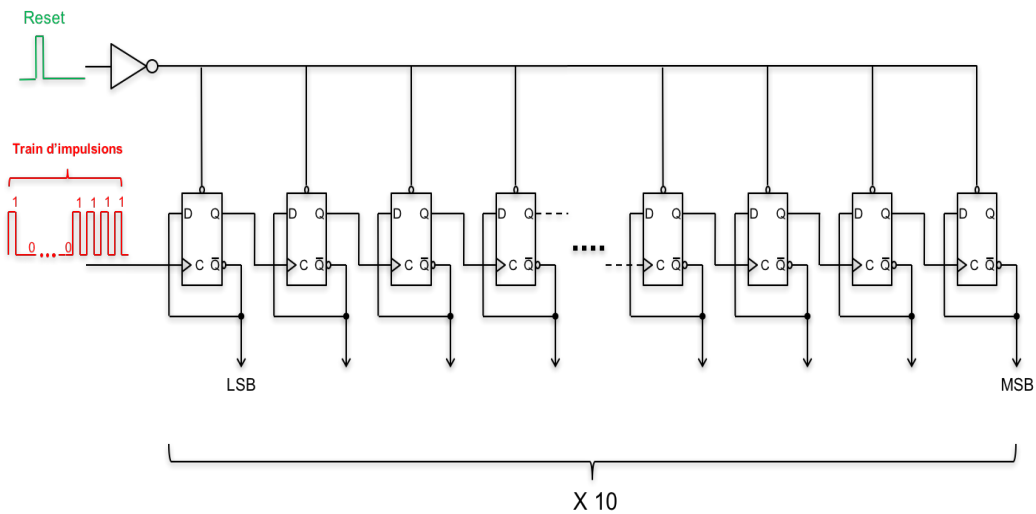


FIGURE 3.27 – Schéma du compteur asynchrone.

Le fonctionnement de ce circuit est relativement simple. La période du signal d'entrée est divisée par deux à chaque passage d'une bascule D. Le nombre de bascules détermine le nombre de bits désirés.

C'est un circuit compact et simple à mettre en œuvre. Néanmoins l'inconvénient de ce circuit, outre l'aspect filtrage, est la vitesse d'exécution qui est lente et dépendante du nombre de bascules (et donc de la résolution). En effet, la fréquence du signal en sortie du compteur est la fréquence du signal d'entrée divisée par $(2^n - 1)$, n étant la résolution. Pour expliciter son fonctionnement, nous simulons quatre signaux d'entrées différents et montrons les signaux de sorties résultants (Figure 3.28).

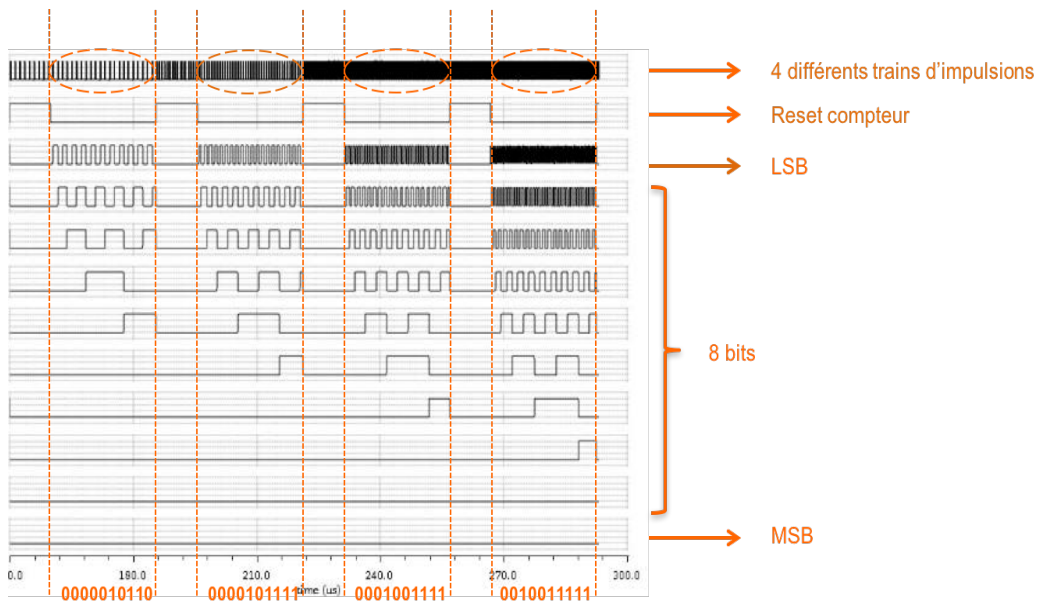


FIGURE 3.28 – Fonctionnement du compteur asynchrone.

La figure révèle bien la division par 2 de la période de bit en bit et donc l'effet de décimation. Un aspect particulier de cette structure est le fait que le compteur mémorise le résultat jusqu'à ce que le signal de réinitialisation soit envoyé. Si le signal de Reset est global alors les valeurs numériques de chaque pixel sont stockées et l'information est mémorisée jusqu'à ce que tous les pixels de la matrice soient lus. La Figure 3.29 montre cette fonctionnalité.

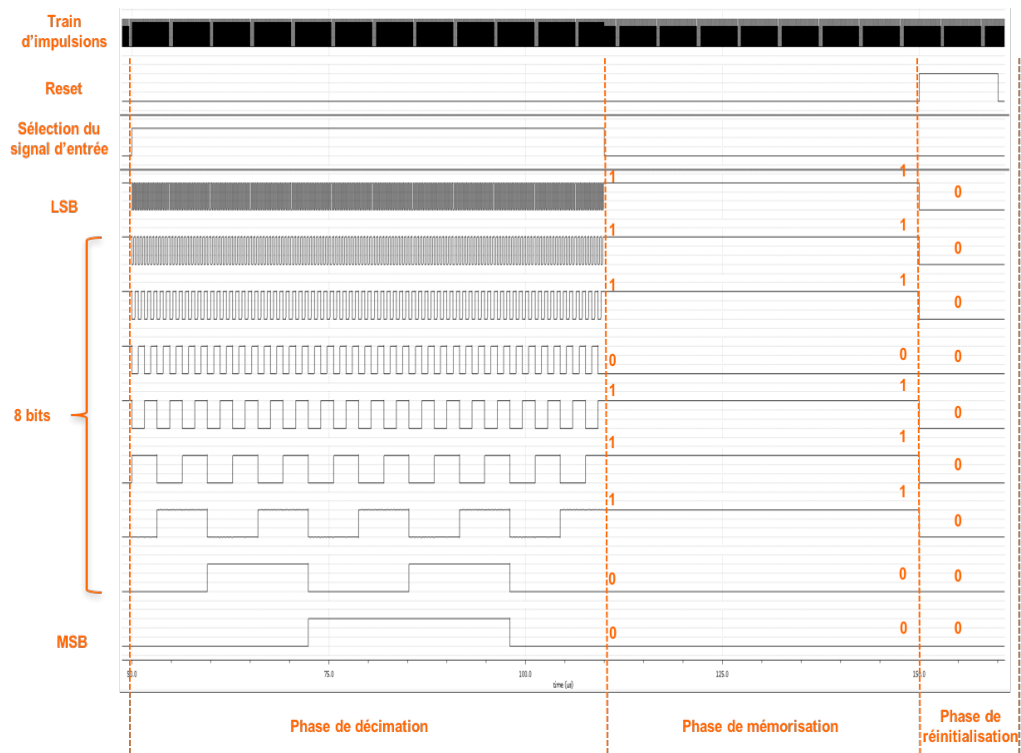


FIGURE 3.29 – Effet mémoire du compteur asynchrone.

Sur cette figure, un train d'impulsions est simulé à une fréquence de 10 MHz et un signal de sélection est ajouté pour ne sélectionner qu'une partie du train d'impulsions et ainsi dévoiler l'effet mémoire.

La consommation du système est simulée. Nous avons une puissance de fuite de $7,2\text{ nW}$ soit $4,8\text{ nA}$, une puissance dynamique de $13,352\text{ µW}$ soit $8,9\text{ µA}$ et donc une puissance totale de $13,360\text{ µW}$ soit $8,907\text{ µA}$.

Ce circuit n'est pas investigué plus avant. L'idée première est de développer une structure compacte et capable de combiner l'effet filtrage et mémoire sans avoir besoin de rajouter d'éléments externes. Le choix ainsi fait permet de valider la partie numérique du pixel. Nous sommes par contre tout à fait conscients que d'autres solutions plus performantes mériteraient d'être investiguées comme par exemple combiner un filtre plus complexe (filtre RIF, filtre RII, etc.) avec une mémoire de type SRAM ou bien combiner le compteur avec un filtre numérique pour améliorer le filtrage.

3.2.5/ TABLEAUX COMPARATIFS ET POSITIONNEMENT

Il est intéressant de se positionner par rapport aux différentes recherches menées à travers le monde. Pour ce faire, nous avons sélectionné quelques publications récentes sur les pixels numériques (Tableaux 3.10 et 3.11) et sur les capteurs d'image CMOS à intégration 3D (Tableaux 3.12 et 3.13).

En ce qui concerne les capteurs à pixel numérique, la première constatation porte sur la faible résolution matricielle. Cela s'explique bien souvent par la taille du pixel et/ou par la consommation de celui-ci. En effet, la plupart des circuits offrent des pixels de taille de 30 à 50 μm de côté [23–28]. Seuls quelques pixels ont des tailles plus compactes avec des pixels d'une dizaine de microns de côté [29–34]. Ces deux éléments limitent la résolution spatiale. De ce fait, le pixel numérique est très souvent utilisé pour des applications très spécifiques. Mise à part certaines applications comme les rayons X et l'infra-rouge qui utilisent un matériau autre que le silicium pour la détection et donc nécessite l'ajout d'une couche supplémentaire, le facteur de remplissage dépasse rarement 40% [26, 27, 29, 30, 34, 35].

Nous remarquons également une résolution de conversion de 8 bits dans la majorité des cas (sauf pour les applications citées précédemment). Ceci se justifie par le fait que de nombreuses recherches sont menées sur l'optimisation des circuits avec les éléments les moins complexes possibles tels que les comparateurs 2T [31] ou encore sur la DRAM 2T [36]. Ceci autorise une taille du pixel et une consommation moindres, au détriment de la précision de la conversion. Certains pixels ne possèdent pas non plus les trois fonctionnalités de base à savoir l'acquisition, la numérisation et la mémorisation afin d'améliorer la consommation et la taille du pixel. Nous avons souhaité intégrer un maximum de fonctionnalités dans notre pixel.

En nous comparant aux applications spécifiques comme l'infra-rouge et les rayons X, les résolutions de conversion et les facteurs de remplissage des circuits proposées sont très proches de notre structure, avec pour notre circuit une taille du pixel meilleure [23, 24, 37]. L'utilisation de quatre compteurs dans notre architecture entraîne une consommation plus importante, de l'ordre de 300 mW au total. Cela suggère, à condition de changer le détecteur photosensible, que notre circuit est adapté aux applications de type infra-rouge et rayons X.

En dehors de ces applications spécifiques, notre pixel a une taille et une consommation plus élevées, mais un facteur de remplissage nettement supérieur. Notre pixel est comparativement doté de plus de fonctionnalités et a une plus grande résolution en sortie des CANs comparé aux circuits présentés dans [27, 30–34]. La technologie 3D nous apporte la possibilité d'avoir un excellent compromis entre FF, résolution du CAN, fonctionnalités et taille de pixel.

Intéressons-nous maintenant aux imageurs 3D. La première remarque est que l'utilisation des technologies 3D touche tous les secteurs de l'imagerie. Cela va des SPADs aux applications grand public. Il est délicat d'établir une corrélation avec toutes les publications car les performances dépendent essentiellement de la résolution de la matrice, du nombre de wafers et du nombre de pixels par CAN.

Nous retrouvons la même tendance que pour les imageurs planaires, à savoir que les groupes de pixels par CAN les plus élevés ont une résolution matricielle plus élevée, une résolution du CAN bien souvent supérieure à 10 bits et une taille de pixel très faible mais un IPS très faible [38–42]. Ces groupes-ci sont clairement destinés à des applications grand public tels les smartphones.

Si nous nous comparons aux circuits ayant une configuration similaire, à savoir un groupe très restreint de pixels par CAN, nous remarquons qu'il y a des compromis à faire [43–46]. Pour une résolution identique, si une taille de pixel vraiment faible est privilégiée, le FF est diminué ou

des fonctionnalités sont ajoutées. Pour un même FF, augmenter la résolution du CAN, entraîne une augmentation de la taille du pixel. Au contraire recourir à de nouvelles fonctionnalités, pour une taille de pixel raisonnable, diminue la complexité de la conversion et donc sa résolution.

Dans notre cas, nous optons pour un compromis entre précision, fonctionnalités (structure complète de convertisseur niveau pixel), vitesse, taille de pixel et facteur de remplissage. Nous obtenons une taille de pixel raisonnable ($32,5 \mu m \times 32,5 \mu m$), tout en ayant une résolution correcte (10 bits espérés) du CAN avec un nombre d'IPS estimé égal ou supérieur à 900. Notre circuit n'est résolument pas adapté au grand public, et plutôt réservé pour des applications spécifiques où la précision prévaut sur la taille du pixel. Notre structure offre un mode de lecture permettant de travailler avec un voisinage de pixels et est adapté à différents algorithmes de traitement d'images. Les points forts de notre structure sont le facteur de remplissage et la résolution de la conversion. Cette architecture offre une taille de pixel raisonnable pour un pixel numérique. Soulignons que le circuit de conversion est entièrement niveau pixel. Par contre, notre structure possède un nombre d'IPS moyen et la consommation est élevée. Toutefois, nous avons trouvé un juste compromis entre rapidité, résolution et taille.

Papier	Année	matrice	Taille du pixel	FF	Type de conversion	Complexité du pixel	IPS	Résolution du CAN	DNL, INL	Consommation	SNR, SINAD, ENOB
[23]	2014	20 × 24	55 μm × 55 μm	100% (rayons X)	Modulation à densité d'impulsion (MDI)	dérecteur rayons X + gain programmable avec CNA + MDI + compteur	s.o.	10 bits	s.o.	10 μW/pixel	s.o.
[29]	2015	16 × 16	13 μm × 13 μm	33,5%	Modulation lumière-fréquence ou Modulation de fréquence d'impulsion (MFI)	photodiode + MFI + compteur + registre à décalage	s.o.	10 bits	INL : 0,066 GHz	103 nW/pixel	s.o.
[24]	2009	128 × 128	50 μm × 50 μm	100% (IR)	Convertisseur de type comptage avec 2 conversions sur-échantillonnées	4 photodiodes + circuit d'injection dirigée + circuit E-B + CNA + intégrateur + comparateur + buffer numérique	60	LSB : 8 bits MSB : 7 bits	DNL : ±1 LSB INL : ±4 LSB	50mW au total	SNR : 85 dB THD : -95 dB
[30]	2014	100 × 100	10,8 μm × 10,8 μm	13,5%	Convertisseur simple rampe	photodiode + Reset (tr) + circuit E-B + comparateur + DRAM 8 bits + buffer	40	8 bits	s.o.	9mW au total	s.o.
[25]	2008	64 × 64	50 μm × 50 μm	20%	MFI	photodiode + circuit de Reset + circuit de délais + comparateur + compteur 8 bits Gray	20	8 bits	s.o.	9,2mW au total	s.o.
[47]	2010	320 × 256	25 μm × 25 μm	100% (IR)	Conversion courant-fréquence	photodiode + Reset (tr) + capacité d'intégration + comparateur + compteur 15 bits + mémoire 15 bits + buffers	50	15 bits	s.o.	0,9 μW/pixel	SNR : 90 dB
[26]	2009	64 × 72	30 μm × 30 μm	10%	Convertisseur simple rampe	photodiode + Reset (tr) + capacité de stockage + suivi de tension + comparateur + DRAM 16 bits + ROM 8 bits	1000	8-9 bits	INL : 0,8%	230mW au total à 1000 ips	s.o.
[36]	2011	64 × 64	22 μm × 22 μm	20%	Modulation à largeur d'impulsion (MLI)	photodiode + Reset (tr) + comparateur + circuit Flag + 4 × RAM 2T + circuit de contrôle logique	33	4/8 bits	s.o.	1 μA/pixel	s.o.
[31]	2010	128 × 128	5 μm × 5 μm	32%	MLI	photodiode + Reset (tr) + compteur 2T + Buffer	8,5	compteur 10 bits	s.o.	140nJ/image à 8,5 ips	SNR : 23,6 dB
[35]	2016	16 × 16	21 μm × 21 μm	39%	MLI	photodiode + Reset (tr) + SRAM 8 bits + CAN MLI avec inverseurs	5000 max	8	s.o.	2,85 nW/pixel à 33 ips	s.o.
[32]	2014	64 × 64	5 μm × 5 μm	58%	MLI	photodiode + circuit de reset + comparateur avec inverseurs + interrupteurs	31 max	8	s.o.	539 pW/pixel à 7,8 ips	SNR : 26 dB

Tableau 3.10 – Quelques papiers récents sur les DPS planaires .

Papier	Année	matrice	Taille du pixel	FF	Type de conversion	Complexité du pixel	IPS	Résolution du CAN	DNL, INL	Consommation	SNR, SINAD, ENOB
[48]	2015	10 × 20	100 μm × 100 μm	58%	Sigma-Delta du deuxième ordre	photodiode logarithmique + suaiveur de tension + modulateur sigma-delta du deuxième ordre + filtre de décimation	500	10-11 bits	s.o.	320 mW/pixel	Simulations : SNR : 65 dB ENOB : 10,74 bits SINAD : 66,4 dB mesure : ENOB : 11,2 bits
[33]	2012	128 × 128	10 μm × 10 μm	31%	Sigma-delta	photodiode + 2 transistors + CNA 1 bit avec 2 transistors et 1 capacité	30	8 bits	INL : 0,6% DNL : 0,4%	0,06 $\mu\text{W}/\text{pixel}$	SNR : 52 dB ENOB : 8 bits
[34]	2012	64 × 64	10 μm × 10 μm	33%	Convertisseur simple rampe	photodiode + Reset (tr) + comparateurs partagés	30	7 bits	s.o.	8 mW au total	s.o.
[27]	2016	64 × 80	39,6 μm × 39,6 μm	12%	Convertisseur simple rampe	photodiode + Reset (tr) + buffer + comparateur	1000	8 bits	s.o.	36 mW au total	s.o.
[49]	2001	352 × 288	9,4 μm × 9,4 μm	15%	Convertisseur simple rampe	photodiode + Reset (tr) + comparateur + DRAM 8 bits	10000	8 bits	s.o.	50 mW au total à 10000 ips	s.o.
[50]	2015	80 × 80	135 μm × 135 μm	68%	MDI	détecteur IR + CDS + CTIA + comparateur + CNA + correction d'offset + correction de gain + compteur 10 bits circuit complet	2000	10 bits	s.o.	1 $\mu\text{W}/\text{pixel}$	s.o.
[28]	2010	304 × 240	30 μm × 30 μm	30%	MLI avec événements	de détection de changement + 2 photodiodes + Reset (tr) + comparateur + porte ET logique	30	9,3 bits	s.o.	175 mW au total en fonctionnement	SNR : 56 dB
[51]	2014	180 × 148	33 μm × 33 μm	0,8%	Convertisseur simple rampe	photodiode + Reset (tr) + buffer avec AOP + comparateur + circuit logique de contrôle + SRAM 7 + 4 bits	1205,4	7 bits	s.o.	111,2 mW au total à 1205,4 ips	SNR : 53,8 dB
[52]	2013	8 × 8	175 μm × 175 μm	10%	CAN 2 steps	photodiode avec shutter + photodiode avec shutter + comparateur avec auto. Reset + LFSR 15 bits	0,1-100	s.o.	DNL CNA : $\pm 0,4$ LSB INL CNA : 0,9LSB/-0,6LSB	100 $\mu\text{W}/\text{pixel}$ à 30 ips	SNR : 46 dB
[37]	2013	80 × 80	130 μm × 130 μm	100% (IR)	MDI	détecteur IR + circuit de suppression de courant d'obscurité + CTIA + circuit de contrôle de gain + comparateur + intégrateur numérique	2000	10 bits	s.o.	0,5 W au total à 1500 ips	s.o.
notre travail	2015	128 × 128	32,5 μm × 32,5 μm	80%	sigma-delta	4 photodiodes + 4 Resets (tr) + 4 suaiveurs de tension + 5 circuits E-B + MDS + 4 compteurs 10 bits	s.o.	10 bits	DNL : 1,37/-0,74 LSB INL : 2,5/-3,5 LSB	11 $\mu\text{A}/\text{pixel}$	Simulations : SNR : 60 dB ENOB : 7,2 bits SINAD : 44,95 dB

Tableau 3.11 – Quelques papiers récents sur les DPS planaires (suite).

Papier	Année	Matrice	Nb de pixels par CAN	Taille du pixel	Type de conversion	Complexité du pixel ou groupe de pixels	FF	Nb de wafers	Consommation	IPS	Résolution CAN
[43]	2013	128 × 128	1	10 μm × 10 μm	convertisseur simple rampe	photodiode + Reset (tr.) + CDS + circuit auto-zéro + comparateur + SRAM 10 bits	33%	2	s.o.	200 pour une matrice de 512 × 512	10 bits
[38]	2016	4,9 Mpix (RS) 309 kpix (GS)	16	1,65 μm × 1,65 μm (RS) 6,6 μm × 6,6 μm (GS)	convertisseur simple rampe	16 photodiodes + Reset (tr.) + capacité LOFIC + Suiveur de tension + comparateur + 4 × DRAM-3T 12 bits	s.o.	1 substrat pH ₂ D + 1 substrat ASIC	s.o.	120 (GS)	12 bits
[39]	2009	1024 × 1024	64	8,3 μm × 8,3 μm	convertisseur Pipeline	64 pixels 4T + CAN Pipeline 12 bits + Séquenceur + interface I ² C + encodeur d'adresse + générateurs de polarisation	99,7%	7	6,88 mW/Mpix/sec à 10 ips	10	12 bits
[53]	2014	4 × 200 SPADs	4 × 2 SPADs	64 μm × 47 μm par groupe de 8	convertisseur temps-numérique (TDC)	8 SPADs + circuit WTA + TDC + SRAM 12 bits	presque 100%	2	s.o.	s.o.	12 bits
[54]	2013	255 × 480	255	10 μm × 10 μm	convertisseur SAR	255 photodiodes avec Reset (tr.) et suiveur de tension + CDS analogique + CAN SAR + CDS numérique	s.o.	3	387 μW/CAN	s.o.	9 bits (SINAD : 44,5 dB)
[44]	2015	128 × 96	1	80 μm × 80 μm	MFI	photodiode + circuit de délais + circuit de Reset + compteur 16 bits	s.o.	2	s.o.	s.o.	16 bits
[40]	2016	6592 × 5024	5024	1,2 μm × 1,2 μm	convertisseur simple rampe	5024 pixels 3T + capacité MOM + comparateur + compteur hybride	82,5%	2	180 mW au total	7,5	12 bits

Tableau 3.12 – Quelques papiers récents sur les imageurs 3D.

Papier	Année	Matrice	Nb de pixels par CAN	Taille du pixel	Type de conversion	Complexité du pixel ou groupe de pixels	FF	Nb de wafers	Consommation	IPS	Résolution CAN
[55]	2015	$2 \times 1 \times 400$ SPADs	$2 \times 4SPADs$	$11,75 \mu m \times 11,75 \mu m$	TDC	8 SPADs + circuit WTA + TDC + SRAM 13 bits	23,3%	2	$7 mW$ (coeur seulement)	s.o.	12 bits
[41]	2016	3312×2524	8×2524	$1, 12 \mu m \times 1, 12 \mu m$	convertisseur simple rampe	8×2524 Pixels (non-spécifié) + multiplexeur 8:1 + amplificateur à gain programmable + comparateur + compteur 11 bits + circuit de commande de puissance	s.o.	2	81 mW au total (M=16)	24 (M=16)	11 bits
[42]	2015	3206×2512	2512	$1, 1 \mu m \times 1, 1 \mu m$	convertisseur simple rampe	2512 Pixels 3T + Amplificateur + comparateur + compteur 11 bits + circuit CCMS	s.o.	2	s.o.	7,2	11 bits
[45]	2010	320×240	4	$25 \mu m \times 25 \mu m$	convertisseur simple rampe	4 photodiodes + intégrateur + comparateur + mémoire analogique 8 bits + compteur 8 bits + mémoire digitale 8 bits + générateur de rampe + circuit de détection Min/Max	proche de 100%	3 wafers + 1 couches capteurs	$1, 12 \mu W/comparateur$ + $871 \mu W/CNA$ + $570 \mu W/géné.ramp.$	s.o.	8 bits
[46]	2012	320×240	4	$8 \mu m \times 8 \mu m$	convertisseur simple rampe	4 pixels 3T + CDS + comparateur + compteur + Réseaux de capacités commutés pour filtrage Gaussian + multiplexeurs + différentes mémoires	14%	2	$3, 6 nJ/pixel$	234	8 bits
notre travail	2015	128×128	4	$32, 5 \mu m \times 32, 5 \mu m$	sigma-delta	4 photodiodes + 4 Resets (tr.) + 4 suiveurs de tension + 5 circuits E-B + MDS + 4 compteurs 10 bits	80%	2	$11 \mu A/pixel$	s.o.	10 bits

Tableau 3.13 – Quelques papiers récents sur les imageurs 3D (Suite).

BIBLIOGRAPHIE

- [1] Adelmo Ortiz-Conde, Francisco J García-Sánchez, Juan Muci, Alberto Terán Barrios, Juin J Liou, and Ching-Sung Ho. Revisiting mosfet threshold voltage extraction methods. *Microelectronics Reliability*, 53(1) :90–104, 2013.
- [2] Denis Flandre, Valeria Kilchytska, and Tamara Rudenko. g_m/i_d method for threshold voltage extraction applicable in advanced mosfets with nonlinear behavior above threshold. *IEEE Electron Device Letters*, 31(9) :930–932, 2010.
- [3] Bing J Sheu, Donald L Scharfetter, P-K Ko, and M-C Jeng. Bsim : Berkeley short-channel igfet model for mos transistors. *IEEE Journal of Solid-State Circuits*, 22(4) : 558–566, 1987.
- [4] Christian C Enz, François Krummenacher, and Eric A Vittoz. An analytical mos transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications. In *Low-Voltage Low-Power Analog Integrated Circuits*, pages 83–114. Springer, 1995.
- [5] R Jacob Baker. Introduction to cmos design. *CMOS : Circuit Design, Layout, and Simulation, Third Edition*, pages 1–30, 2010.
- [6] R Jacob Baker. Per column one-bit adc for image sensors, November 25 2008. US Patent 7,456,885.
- [7] M Bigas, Enric Cabruja, Josep Forest, and Joaquim Salvi. Review of cmos image sensors. *Microelectronics journal*, 37(5) :433–451, 2006.
- [8] Sajjan Godara, Nitesh Goyal, and MS Pattar. Efficient digital decimation filter designs for improved frequency response in high frequency applications. In *Proceedings of National Conference on Advances in Engineering and Technology*, pages 38–42, 2014.
- [9] Radhouane Laajimi, Randa Khemiri, Ali Ajmi, and Mohsen Machhout. Vlsi design of a high performance decimation filter used for digital filtering. *VLSI Design*, 7(1), 2016.
- [10] Nasir Nabi Hurrah, Zubair Jan, Anil Bhardwaj, Shabir Ahmad Parah, and Amit Kant Pandit. Oversampled sigma delta adc decimation filter : Design techniques, challenges, tradeoffs and optimization. In *Recent Advances in Engineering & Computational Sciences (RAECS), 2015 2nd International Conference on*, pages 1–6. IEEE, 2015.
- [11] Hassan Aboushady, Yannick Dumonteix, Marie-Minerve Louerat, and Habib Mehrez. Efficient polyphase decomposition of comb decimation filters in/spl sigma//spl delta/analog-to-digital converters. In *Circuits and Systems, 2000. Proceedings of the 43rd IEEE Midwest Symposium on*, volume 1, pages 432–435. IEEE, 2000.
- [12] R Jacob Baker. *CMOS : Mixed-Signal Circuit Design*, volume 1. John Wiley & Sons, 2009.

- [13] Jacques Robert, Gabor C Temes, Vlado Valencic, Roger Dessoulavy, and Philippe Deval. A 16-bit low-voltage cmos a/d converter. *IEEE Journal of Solid-State Circuits*, 22(2) : 157–163, 1987.
- [14] János Márkus, José Silva, and Gabor C Temes. Theory and applications of incremental/spl delta//spl sigma/converters. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 51(4) :678–690, 2004.
- [15] Kartikeya Murari, Ralph Etienne-Cummings, Nitish Thakor, and Gert Cauwenberghs. Which photodiode to use : A comparison of cmos-compatible structures. *IEEE sensors journal*, 9(7) :752–760, 2009.
- [16] Jun Hyung Bae, M Cho, MS Kim, DH Lee, and G Cho. Performance comparison of cmos-based photodiodes for high-resolution and high-sensitivity digital mammography. *Journal of Instrumentation*, 6(12) :C12046, 2011.
- [17] Vincent Goiffon, Paola Cervantes, Cédric Virmontois, Franck Corbière, Pierre Magnan, and Magali Estriebeau. Generic radiation hardened photodiode layouts for deep submicron cmos image sensor processes. *IEEE Transactions on Nuclear Science*, 58(6) :3076–3084, 2011.
- [18] Hui Tian, Boyd Fowler, and Abbas E Gamal. Analysis of temporal noise in cmos photodiode active pixel sensor. *IEEE journal of solid-state circuits*, 36(1) :92–101, 2001.
- [19] R Turchetta, JD Berst, B Casadei, G Claus, C Colledani, W Dulinski, Y Hu, D Husson, JP Le Normand, JL Riester, et al. A monolithic active pixel sensor for charged particle tracking and imaging using standard vlsi cmos technology. *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, 458(3) :677–689, 2001.
- [20] Yavuz Degerli, Francis Lavernhe, Pierre Magnan, and Jean A Farré. Analysis and reduction of signal readout circuitry temporal noise in cmos image sensors for low-light levels. *IEEE Transactions on Electron Devices*, 47(5) :949–962, 2000.
- [21] Igor Brouk, Amikam Nemirovsky, Kamal Alameh, and Yael Nemirovsky. Analysis of noise in cmos image sensor based on a unified time-dependent approach. *Solid-State Electronics*, 54(1) :28–36, 2010.
- [22] Heungjun Jeon and Yong-Bin Kim. A novel low-power, low-offset, and high-speed cmos dynamic latched comparator. *Analog Integrated Circuits and Signal Processing*, 70(3) : 337–346, 2012.
- [23] Roger Figueras, Ricardo Martínez, Lluís Terés, and Francisco Serra-Graells. Experimental characterization of a $10\mu\text{w}$ $55\mu\text{m}$ -pitch fpn-compensated cmos digital pixel sensor for x-ray imagers. *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, 761 :19–27, 2014.
- [24] DH Woo, CB Kim, and HC Lee. Current input extended counting adc with wide dynamic range for lwir fpas. *IEEE Sensors Journal*, 9(4) :441–448, 2009.
- [25] Chen Shoushun, Farid Boussaid, and Amine Bermak. Robust intermediate read-out for deep submicron technology cmos image sensors. *IEEE Sensors Journal*, 8(3) :286–294, 2008.

- [26] JP Crooks, SE Bohndiek, CD Arvanitis, R Speller, H XingLiang, EG Villani, M Towrie, and R Turchetta. A cmos image sensor with in-pixel adc, timestamp, and sparse readout. *IEEE Sensors Journal*, 9(1) :20–28, 2009.
- [27] Joseph A Schmitz, Mahir K Gharzai, Sina Balkir, Michael W Hoffman, Daniel J White, and Nathan Schemm. A 1000 frames/s vision chip using scalable pixel-neighborhood-level parallel processing. *IEEE Journal of Solid-State Circuits*, 52(2) :556–568, 2017.
- [28] Christoph Posch, Daniel Matolin, and Rainer Wohlgenannt. A qvga 143db dynamic range asynchronous address-event pwm dynamic image sensor with lossless pixel-level video compression. In *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International*, pages 400–401. IEEE, 2010.
- [29] Kourosh Hassanli, Sayed Masoud Sayedi, Rasoul Dehghani, Armin Jalili, and J Jacob Wikner. A highly sensitive, low-power, and wide dynamic range cmos digital pixel sensor. *Sensors and Actuators A : Physical*, 236 :82–91, 2015.
- [30] Hongbo Zhu and Tadashi Shibata. A real-time motion-feature-extraction vlsi employing digital-pixel-sensor-based parallel architecture. *IEEE Transactions on Circuits and Systems for Video Technology*, 24(10) :1787–1799, 2014.
- [31] Scott Hanson, ZhiYoong Foo, David Blaauw, and Dennis Sylvester. A 0.5 v sub-microwatt cmos image sensor with pulse-width modulation read-out. *IEEE Journal of Solid-State Circuits*, 45(4) :759–767, 2010.
- [32] Kyoungrok Cho, Sang-Jin Lee, Omid Kavehei, and Kamran Eshraghian. High fill factor low-voltage cmos image sensor based on time-to-threshold pwm vlsi architecture. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 22(7) :1548–1556, 2014.
- [33] Zeljko Ignjatovic, Danijel Maricic, and Mark F Bocko. Low power, high dynamic range cmos image sensor employing pixel-level oversampling σ/δ analog-to-digital conversion. *IEEE Sensors Journal*, 12(4) :737–746, 2012.
- [34] Derek Ho, Glenn Gulak, and Roman Genov. Cmos 3-t digital pixel sensor with in-pixel shared comparator. In *Circuits and Systems (ISCAS), 2012 IEEE International Symposium on*, pages 930–933. IEEE, 2012.
- [35] Kourosh Hassanli, Sayed Masoud Sayedi, and J Jacob Wikner. A compact, low-power, and fast pulse-width modulation based digital pixel sensor with no bias circuit. *Sensors and Actuators A : Physical*, 244 :243–251, 2016.
- [36] Xiaoxiao Zhang, Sylvain Leomant, Ka Lai Lau, and Amine Bermak. A compact digital pixel sensor (dps) using 2t-dram. *Journal of Low Power Electronics and Applications*, 1 (1) :77–96, 2011.
- [37] G Vergara, R Linares Herrero, R Gutiérrez Álvarez, C Fernández Montojo, LJ Gomez, V Villamayor, A Baldasano Ramírez, and MT Montojo. 80×80 vpd pbse : the first uncooled mwir fpa monolithically integrated with a si-cmos roic. In *Proc. of SPIE Vol*, volume 8704, pages 87041M–1, 2013.
- [38] Hidetake Sugo, Shunichi Wakashima, Rihito Kuroda, Yuichiro Yamashita, Hirofumi Sumi, Tzu-Jui Wang, Po-Sheng Chou, Ming-Chieh Hsu, and Shigetoshi Sugawa. A dead-time free global shutter cmos image sensor with in-pixel lofic and adc using pixel-wise connections. In *VLSI Circuits (VLSI-Circuits), 2016 IEEE Symposium on*, pages 1–2. IEEE, 2016.

- [39] Vyshnavi Suntharalingam, Robert Berger, Stewart Clark, Jeffrey Knecht, Andrew Messier, Kevin Newcomb, Dennis Rathman, Richard Slattery, Antonio Soares, Charles Stevenson, et al. A 4-side tileable back illuminated 3d-integrated mpixel cmos image sensor. In *Solid-State Circuits Conference-Digest of Technical Papers, 2009. ISSCC 2009. IEEE International*, pages 38–39. IEEE, 2009.
- [40] Charles Chih-Min Liu, Manoj M Mhala, Chin-Hao Chang, Honyih Tu, Po-Sheng Chou, Calvin Chao, and Fu-Lung Hsueh. 6.8 a 1.5 v 33mpixel 3d-stacked cmos image sensor with negative substrate bias. In *Solid-State Circuits Conference (ISSCC), 2016 IEEE International*, pages 124–125. IEEE, 2016.
- [41] Kei Shiraishi, Yasuhiro Shinozuka, Tomonori Yamashita, Kazuhide Sugiura, Naoto Watanabe, Ryuta Okamoto, Tatsuji Ashitani, Masanori Furuta, and Tetsuro Itakura. 6.7 a 1.2 e- temporal noise 3d-stacked cmos image sensor with comparator-based multiple-sampling pga. In *Solid-State Circuits Conference (ISSCC), 2016 IEEE International*, pages 122–123. IEEE, 2016.
- [42] Shang-Fu Yeh, Kuo-Yu Chou, Hon-Yih Tu, Calvin Yi-Ping Chao, and Fu-Lung Hsueh. A 0.66 e- rms temporal-readout-noise 3d-stacked cmos image sensor with conditional correlated multiple sampling (ccms) technique. In *VLSI Circuits (VLSI Circuits), 2015 Symposium on*, pages C84–C85. IEEE, 2015.
- [43] Fernando Raymundo, Phillipe Martin-Gonthier, Romain Molina, Sebastien Rolando, and Pierre Magnan. Exploring the 3d integration technology for cmos image sensors. In *Electronics, Control, Measurement, Signals and their application to Mechatronics (ECMSM), 2013 IEEE 11th International Workshop of*, pages 1–5. IEEE, 2013.
- [44] Masahide Goto, Kei Hagiwara, Yuki Honda, Masakazu Nanba, Hiroshi Ohtake, Yoshinori Iguchi, Takuya Saraya, Masaharu Kobayashi, Eiji Higurashi, Hiroshi Toshiyoshi, et al. 128× 96 pixel-parallel three-dimensional integrated cmos image sensors with 16-bit a/d converters : By direct bonding with embedded au electrodes. In *SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2015 IEEE*, pages 1–2. IEEE, 2015.
- [45] Manuel Suarez, Victor M Brea, Carlos Domínguez Matas, Ricardo Carmona, Gustavo Liñán, and Ángel Rodríguez-Vázquez. In-pixel adc for a vision architecture on cmos-3d technology. In *3D Systems Integration Conference (3DIC), 2010 IEEE International*, pages 1–7. IEEE, 2010.
- [46] Manuel Suarez, Víctor M Brea, Jorge Fernandez-Berni, Ricardo Carmona-Galan, Gustavo Linan, Diego Cabello, and Ángel Rodriguez-Vazquez. Cmos-3d smart imager architectures for feature detection. *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, 2(4) :723–736, 2012.
- [47] Sylvette Bisottoa, E Borniola, and L Mollard. A 25 μ m pitch lwir staring focal plane array with pixel-level 15-bit adc roic achieving 2mk netd. In *Proc. of SPIE Vol*, volume 7834, pages 78340J–1, 2010.
- [48] Daehee Lee, D Kang, K Park, M Cho, KT Lim, S Cho, and G Cho. A second-order sigma-delta pixel sensor for x-ray applications. In *Consumer Electronics (ICCE), 2015 IEEE International Conference on*, pages 259–260. IEEE, 2015.

- [49] Stuart Kleinfelder. A 10,000 frames/s 0.18 μm cmos digital pixel sensor with pixel-level memory. *ISSCC Dig. Tech. Papers, Feb 2001*, 2001.
- [50] Josep Maria Margarit, German Vergara, Víctor Villamayor, Raul Gutierrez-Alvarez, Carlos Fernandez-Montojo, Lluís Terés, and Francisco Serra-Graells. A 2 kfps sub- μW /pix uncooled-pbse digital imager with 10 bit dr adjustment and fpn correction for high-speed and low-cost mwir applications. *IEEE Journal of Solid-State Circuits*, 50(10) :2394–2405, 2015.
- [51] Sonia Vargas-Sierra, Gustavo Liñán-Cembrano, and Ángel Rodríguez-Vázquez. A 151 db high dynamic range cmos image sensor chip architecture with tone mapping compression embedded in-pixel. *IEEE Sensors Journal*, 15(1) :180–195, 2015.
- [52] Derek Ho, M Omair Noor, Ulrich J Krull, Glenn Gulak, and Roman Genov. Cmos tunable-color image sensor with dual-adc shot-noise-aware dynamic range extension. *IEEE Transactions on Circuits and Systems I : Regular papers*, 60(8) :2116–2129, 2013.
- [53] E Charbon, M Scandini, J Mata Pavia, and M Wolf. A dual backside-illuminated 800-cell multi-channel digital sipm with 100 tdcs in 130nm 3d ic technology. In *Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC), 2014 IEEE*, pages 1–4. IEEE, 2014.
- [54] Kouji Kiyoyama, Y Sato, Hiroyuki Hashimoto, K-W Lee, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi. A block-parallel adc with digital noise cancelling for 3-d stacked cmos image sensor. In *3D Systems Integration Conference (3DIC), 2013 IEEE International*, pages 1–4. IEEE, 2013.
- [55] Juan Mata Pavia, Mario Scandini, Scott Lindner, Martin Wolf, and Edoardo Charbon. A 1×400 backside-illuminated spad sensor with 49.7 ps resolution, 30 pj/sample tdcs fabricated in 3d cmos technology for near-infrared optical tomography. *IEEE Journal of Solid-State Circuits*, 50(10) :2406–2418, 2015.

PERFORMANCES DE NOTRE ARCHITECTURE

Sommaire

4.1 Performances statiques du modulateur	129
4.1.1 Impact de la précision du comparateur	129
4.1.2 Impact des capacités internes du modulateur sur la linéarité	138
4.1.3 Influence des capacités de l'échantillonneur-bloqueur sur la linéarité	140
4.2 Performances dynamiques du modulateur	144
4.3 Performances de notre structure sur des images réelles	148
4.3.1 Détermination du nombre de cycles pour différentes résolutions	148
4.3.2 Simulations avec des images tests pour différentes résolutions	149

Ce chapitre traite des tests réalisés sur notre structure. Il s'agit de simuler les principales caractéristiques de notre convertisseur niveau pixel. Dans un premier temps, nous présentons les résultats relatifs aux caractéristiques statiques de la modulation. Nous enchaînons sur les résultats des caractéristiques dynamiques et essentiellement sur la FFT du signal de sortie du modulateur. Pour compenser l'absence de structure physique, nous avons reconstitué des images tests en fonction de la réponse de notre structure et les avons comparé aux images tests originales.

4.1/ PERFORMANCES STATIQUES DU MODULATEUR

Il s'agit de vérifier l'impact de la précision du comparateur et la linéarité de la courbe de sortie du modulateur.

4.1.1/ IMPACT DE LA PRÉCISION DU COMPARATEUR

La précision du comparateur ne donne pas directement la précision du convertisseur mais est liée à celle-ci. Pour être le plus efficace possible, le comparateur doit détecter une différence de tension entre V^+ et V^- la plus petite possible (cf. Figure 3.21). A chaque coup d'horloge, V^- augmente de quelques de millivolts.

Notre simulation démarre pour une précision de 6 mV , soit une taille de transistors de $7,5 \times W_{min,N,P}$. La précision dépend du gain de la structure, donc du gain des transistors et donc de la taille de ceux-ci. Plus la taille des transistors est élevée, plus le gain de la structure est élevé et donc plus la précision du comparateur est petite. La simulation est réalisée pour une variation du signal d'entrée de $500\ \mu\text{V}$ aux dimensions du circuit précisées ci-avant. La tension V_{Sign} varie de 0 à $V_{Ref} = 938\text{ mV}$, V_{Ref} étant constant pendant la durée de la simulation. Le nombre total de cycles est de 1023, soit une résolution de 10 bits. Le premier résultat est montré Figure 4.1.

Cette première simulation nous enseigne que :

- La linéarité est effective sur une plage définie, sachant que l'éclairement est d'autant plus grand que $V_{Ref} - V_{Sign}$ est grand.
- Cette linéarité s'efface à mesure que V_{Sign} s'approche de V_{thN} . Après la valeur théorique de la pleine échelle, le nombre de codes forme un plateau et tend vers 1023. La pleine échelle est décalée car $V_{gsN3,N4}$ n'est pas exactement égal à V_{thN} .
- Des sauts de code de grandes tailles apparaissent, dus à l'imprécision du comparateur. La Figure 4.2, zoom de la partie linéaire de la courbe Figure 4.1, précise ces sauts de code.

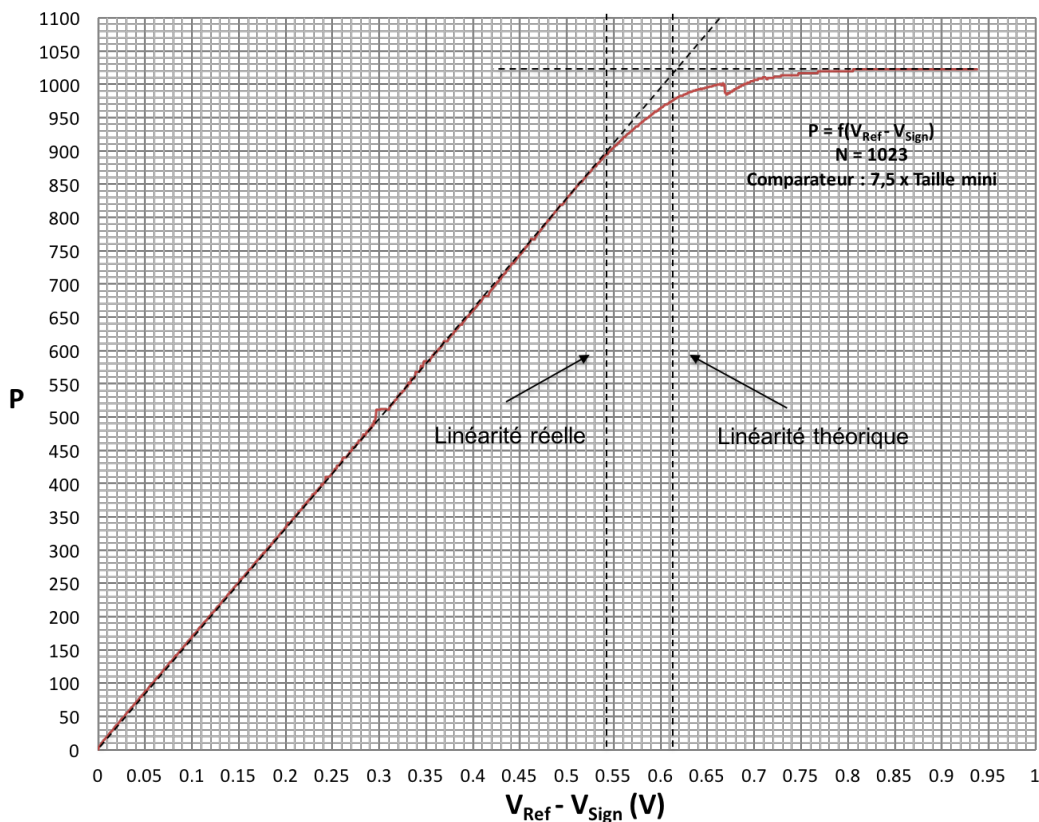


FIGURE 4.1 – $P = f(V_{Ref} - V_{Sign})$ simulé pour $N = 1023$ et une précision du comparateur de 6 mV .

En faisant abstraction de la précision du convertisseur, la linéarité semble relativement bonne.

Le nombre maximal de codes de la partie linéaire est de 900 (au lieu de 1023), soit environ 88% du nombre maximal souhaité.

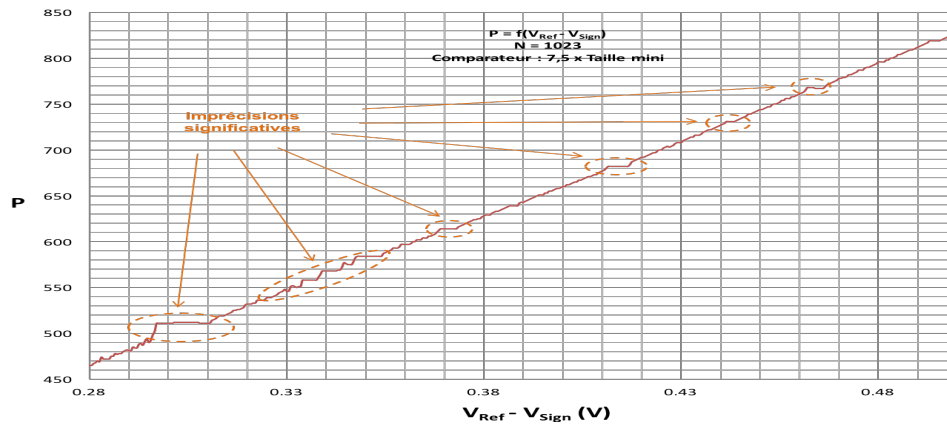


FIGURE 4.2 – Zoom sur la partie linéaire de $P = f(V_{Ref} - V_{Sign})$ simulé pour $N = 1023$ avec une précision du comparateur de 6 mV .

La même courbe est tracée pour différentes précisions et donc, comme vu précédemment, pour différentes tailles des transistors du comparateur (Figure 4.3).

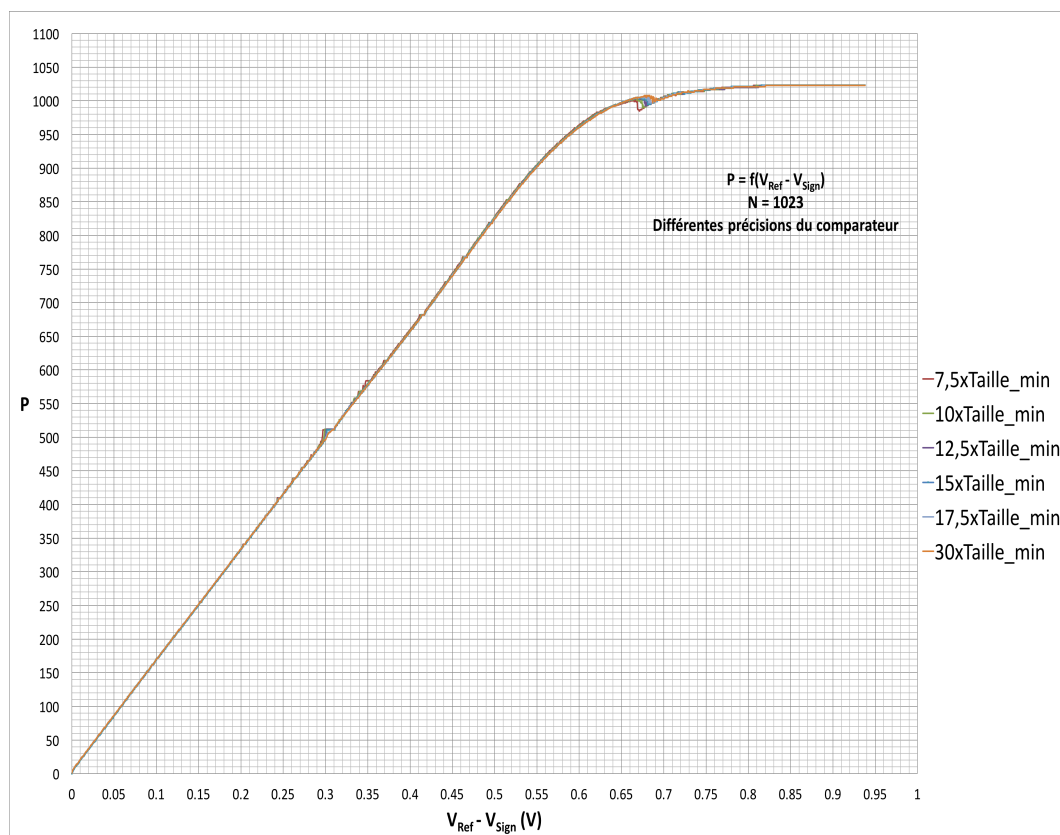


FIGURE 4.3 – $P = f(V_{Ref} - V_{Sign})$ simulé pour $N = 1023$ pour différentes précisions du comparateur.

La Figure 4.3 confirme que la linéarité est semblable quelle que soit la taille des transistors du comparateur.

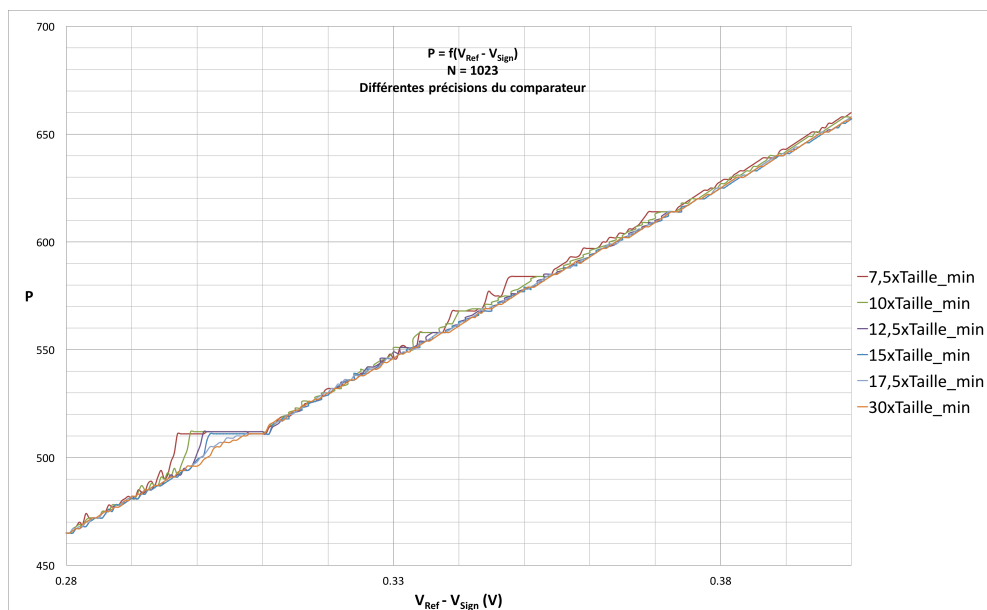


FIGURE 4.4 – Zoom sur la partie linéaire de $P = f(V_{Ref} - V_{Sign})$ simulé pour $N = 1023$ pour différentes précisions du comparateur.

La Figure 4.4, quant à elle, montre que les sauts de codes diminuent à mesure que la précision du comparateur s'améliore, ce qui est logique dans la mesure où la décision du comparateur dépend de sa précision.

Pour vérifier la linéarité d'une courbe d'un point de vue statique, des métriques existent dans le monde des convertisseurs et qui sont la non linéarité différentielle et la non linéarité intégrale. Il en existe d'autres comme la monotonie, l'erreur de gain ou l'erreur de décalage (offset). Nous nous focalisons sur les deux premières.

- ✓ La non linéarité différentielle ou DNL (*Differential Non Linearity*) concerne les différences de tension de chaque changement de code. Elle est idéalement égale à la valeur d'un bit de poids faible ou LSB (*Least Significant Bit*) pour chaque code. Elle s'exprime en % de LSB.
- ✓ La non linéarité intégrale ou INL (*Integral Non Linearity*) représente la différence entre la courbe d'un système et la droite idéale qui passe le plus près possible de l'ensemble de ses points. Elle s'exprime également en % de LSB.

Pour déterminer l'INL, nous soustrayons la partie linéaire de la courbe issue de la simulation à sa courbe de tendance (courbe idéale). Pour déterminer la DNL, le calcul n'est pas aussi immédiat. En effet dans nos simulations nous faisons varier la tension d'entrée par pas de $500 \mu V$ et nous visualisons le signal de sortie. Avec le signal nous comptabilisons via un programme le nombre d'états hauts, ce qui correspond à notre code. Or la DNL est déterminée en fonction de la différence de tensions correspondant à un code et non l'inverse. Pour pallier au problème, nous faisons une interpolation de notre courbe en fixant les codes et en déterminant les tensions correspondantes. L'Equation 4.1 est ensuite appliquée pour chaque point de la courbe, à l'exception du premier.

$$DNL(i) = \frac{(V_{Ref} - V_{Sign})_{i+1} - (V_{Ref} - V_{Sign})_i}{V_{LSBideal}} - 1 \quad (LSB) \quad (4.1)$$

$V_{LSBideal}$: la tension du bit de poids faible [V].

Notre tension de LSB est calculée comme étant la valeur maximale de notre pleine échelle de la partie linéaire de la courbe de simulation divisée par la valeur maximale du code associé. Nous obtenons un LSB de $606 \mu V$. Bien que les calculs du DNL et INL soient réalisés sur la partie linéaire de notre courbe, les valeurs du décrochement nous donnent une information supplémentaire sur l'intensité de l'éclairement du pixel.

INL et DNL sont comparées pour différentes précisions du comparateur en commençant par la précision de $6 mV$, soit $7,5 \times W_{min,N,P}$. Les différentes courbes sont réalisées avec l'aide du logiciel MATLAB.

La Figure 4.5 montre le résultat de l'interpolation obtenue (courbe rouge) et le résultat de notre simulation (courbe bleue). Les deux courbes sont presque totalement superposées, ce qui démontre la validité de l'approche. Les autres courbes interpolées pour les différentes précisions sont présentées en annexe B.

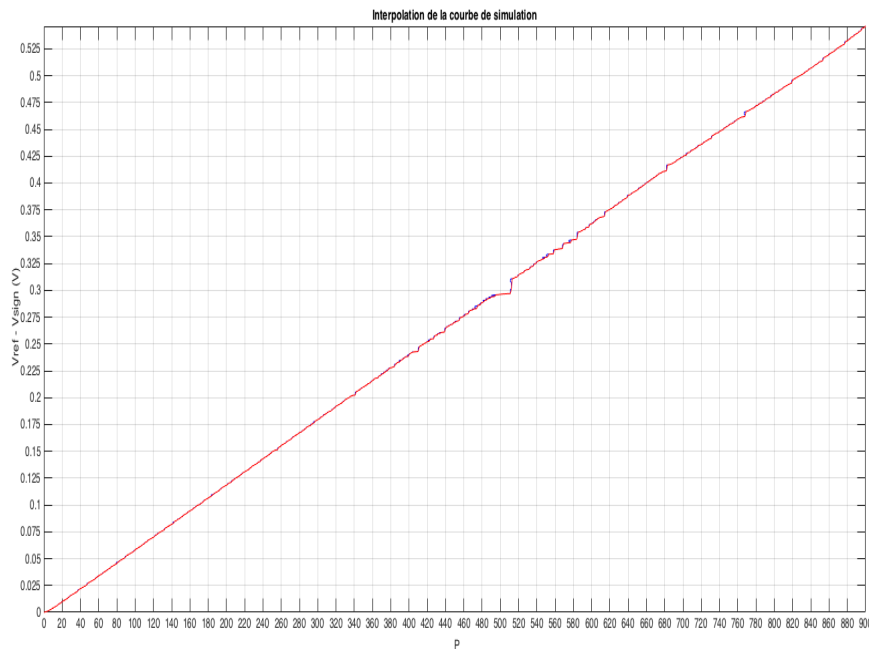


FIGURE 4.5 – Interpolation (en rouge) de notre courbe de simulation (en bleue) pour un comparateur avec précision simulée de $6 mV$ pour la résolution de 10 bits ($N = 1023$).

Nous obtenons un résultat issu de l'interpolation plus que satisfaisant car très proche de la réponse de notre système simulé. Le très faible écart est dû au pas de variation de la tension d'entrée qui est de $500 \mu V$.

Le DNL et l'INL obtenues sont présentées respectivement Figure 4.6 et Figure 4.7.

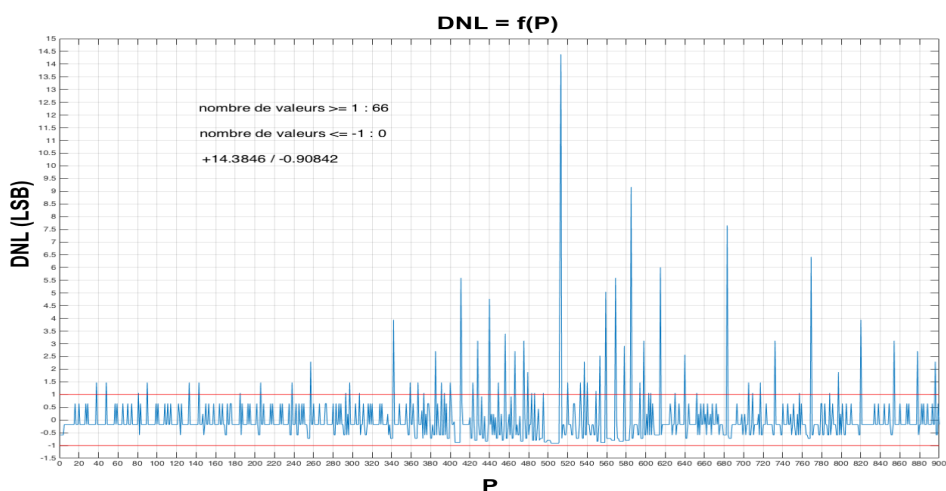


FIGURE 4.6 – DNL de la réponse du système pour un comparateur avec une précision simulée de 6 mV pour la résolution de 10 bits ($N = 1023$).

La DNL indique 66 valeurs supérieures ou égales à 1 LSB. Nous avons donc un nombre non négligeable de codes manquants. La valeur maximale est de 14,36 ce qui correspond à la marche importante aux alentours du code 511 (cf. Figure 4.5).

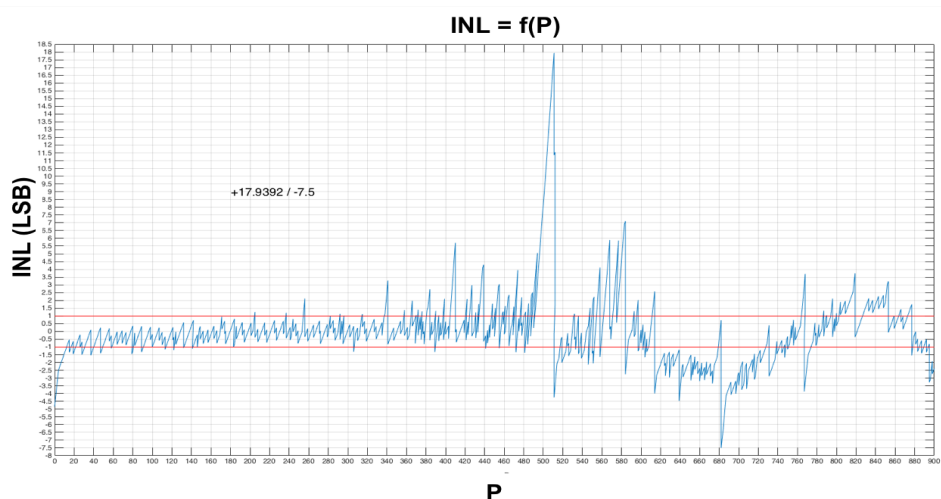


FIGURE 4.7 – INL de la réponse du système pour un comparateur avec une précision simulée de 6 mV pour la résolution de 10 bits ($N = 1023$).

L'INL nous donne une erreur relative. La valeur maximale de l'écart entre notre réponse et sa courbe de tendance est d'environ 18 et la valeur minimale est de $-7,5$. Cela signifie que l'erreur relative aux extrêmes est respectivement de $+2\%$ et $-0,8\%$. L'évolution de la DNL et de l'INL révèle que la précision de 6 mV du comparateur n'est pas suffisante. Il est nécessaire d'augmenter la taille de ses transistors.

Nous poursuivons notre étude avec une précision de $2,5 \text{ mV}$ représentant une taille de $17,5 \times W_{min,N,P}$. Rappelons que la correspondance précision/taille est déterminée par simulation. La détermination de la courbe de tendance et son équation permettent la construction de la Figure 4.8 .

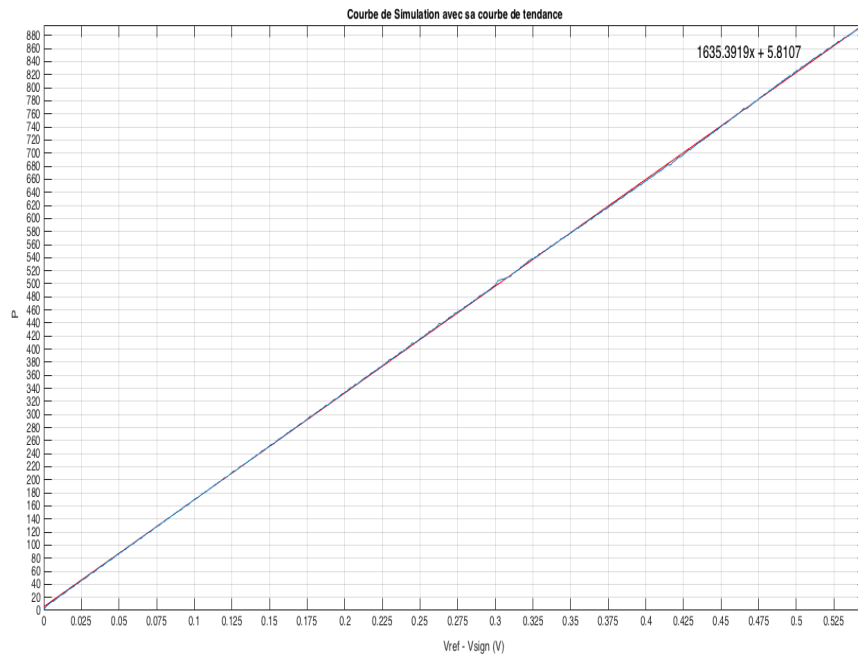


FIGURE 4.8 – $P = f(V_{Ref} - V_{Sign})$ simulé (en bleu) pour $N = 1023$ et une précision du comparateur de $2,5 \text{ mV}$ et sa courbe de tendance (en rouge).

Les sauts de code sont de moindres tailles, néanmoins il est nécessaire de qualifier la linéarité de cette courbe. DNL et INL sont présentées respectivement Figures 4.9 et 4.10.

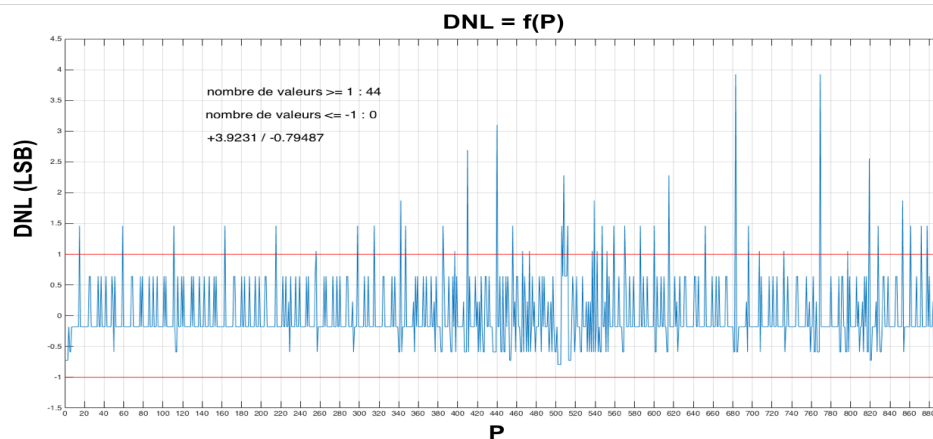


FIGURE 4.9 – DNL de la réponse du système pour un comparateur avec une précision simulée de $2,5 \text{ mV}$ pour la résolution de 10 bits ($N = 1023$).

DNL précise 44 valeurs supérieures ou égales à 1 LSB, avec une valeur maximale de 3,9 au lieu de 14,36.

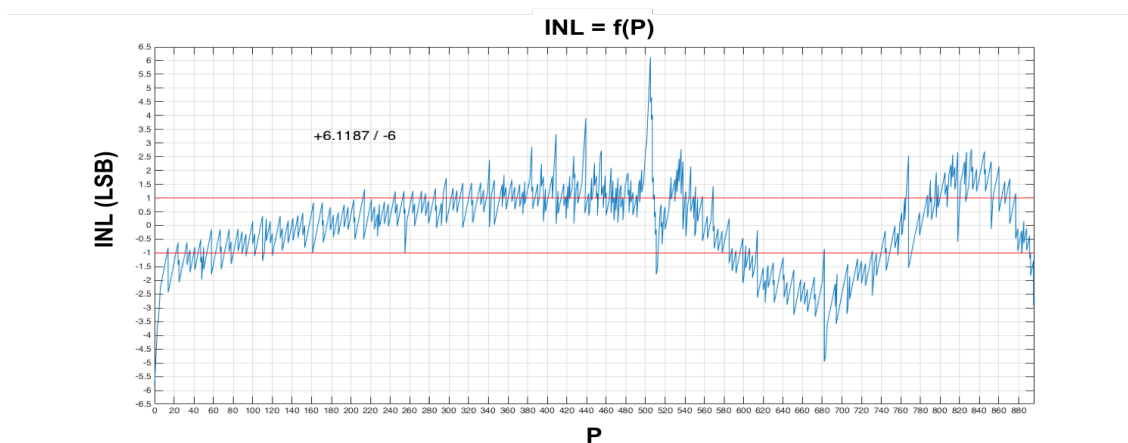


FIGURE 4.10 – INL de la réponse du système pour un comparateur avec une précision simulée de $2,5\text{ mV}$ pour la résolution de 10 bits ($N = 1023$).

L'erreur relative passe de $+2\% / -0,8\%$ à $+0,68\% / -0,66\%$, ce qui est une nette amélioration.

Une dernière linéarité est simulée avec une taille élevée de $30 \times W_{min,N,P}$, donnant une précision de $1,4\text{ mV}$, afin de vérifier les limites de la précision vis-à-vis de la linéarité. La courbe de tendance est présentée Figure 4.11.

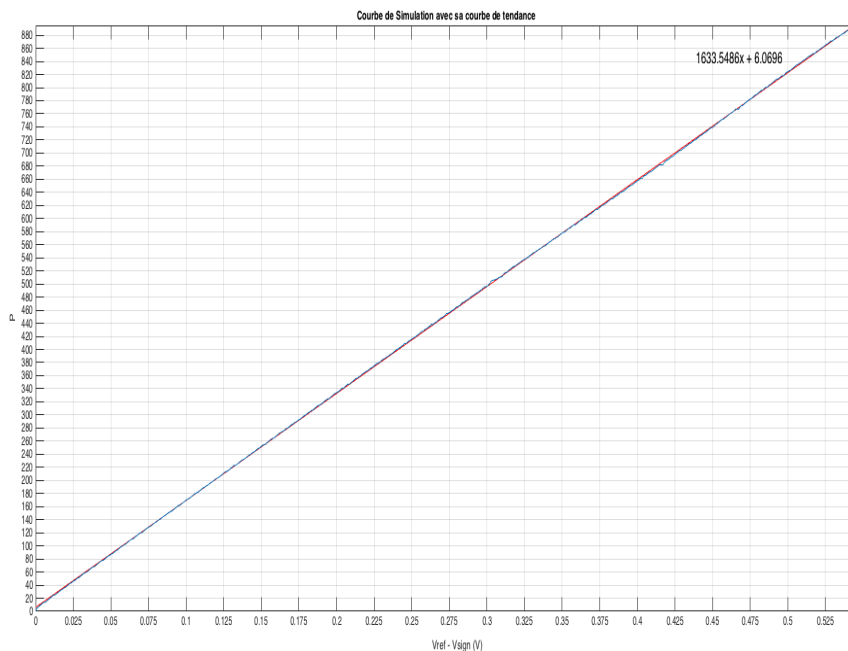


FIGURE 4.11 – $P = f(V_{Ref} - V_{Sign})$ simulé (en bleu) pour $N = 1023$ et une précision du comparateur de $1,4\text{ mV}$ et sa courbe de tendance (en rouge).

La même remarque peut être émise au sujet des sauts de code de moindre taille sur la courbe simulée mais il est délicat de statuer sur le fait qu'elle soit meilleure ou pas vis-à-vis de celle avec un comparateur de précision de $2,5\text{ mV}$. DNL et INL sont présentées respectivement Figures 4.12 et 4.13.

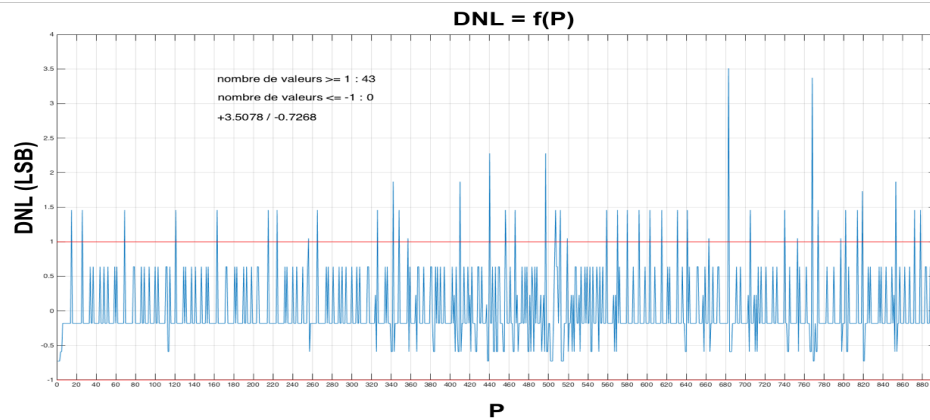


FIGURE 4.12 – DNL de la réponse du système pour un comparateur avec précision simulée de $1,4\text{ mV}$ pour la résolution de 10 bits ($N = 1023$).

La DNL montre 43 valeurs supérieures ou égales à 1 LSB, au lieu de 44 précédemment. La valeur maximale est de 3,5.

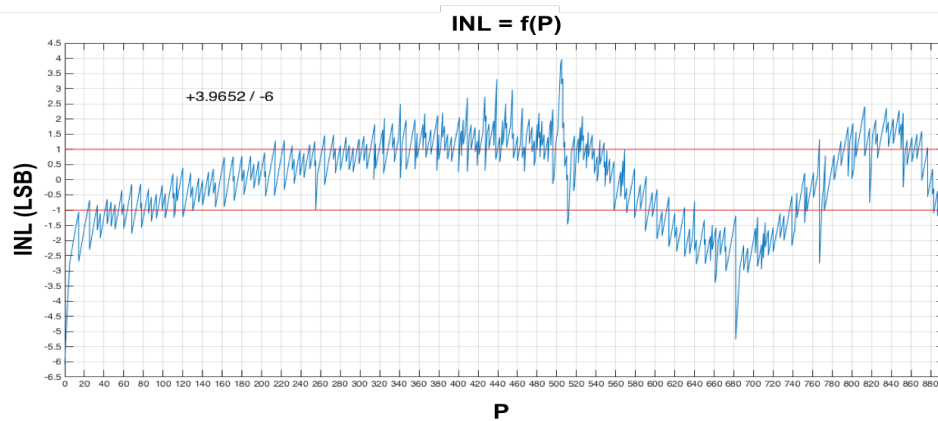


FIGURE 4.13 – INL de la réponse du système pour un comparateur avec une précision simulée de $1,4\text{ mV}$ pour la résolution de 10 bits ($N = 1023$).

L'erreur relative passe de $+0,68\% / -0,66\%$ pour une précision de $2,5\text{ mV}$, à $+0,44\% / -0,66\%$ pour une précision de $1,4\text{ mV}$. L'amélioration n'est pas suffisamment significative par rapport à l'augmentation notable de la taille des transistors.

Les courbes DNL et INL apportent de réelles informations entre précision et linéarité. Si la précision de 6 mV est nettement insuffisante, le gain en terme de linéarité n'est pas significatif entre une précision de $2,5\text{ mV}$ et $1,4\text{ mV}$, au prix d'une taille de transistor 2 fois supérieure et une consommation électrique plus élevée.

Le meilleur compromis est une taille de transistor de $17,5 \times W_{min,N,P}$. Le dimensionnement minimal de notre circuit et un courant le plus faible possible entraînent inévitablement des codes manquants pour une résolution de 10 bits. Toutefois, aucun système n'est totalement parfait et les résultats obtenus sans être idéaux sont acceptables et encourageants.

4.1.2/ IMPACT DES CAPACITÉS INTERNES DU MODULATEUR SUR LA LINÉARITÉ

En fonction de la fréquence, les capacités commutées $C3$ et $C4$ (Figure 3.21) fixent le courant injecté dans la branche. La taille de ces capacités est primordiale mais doit être inférieure à celle des capacités $C5$ et $C6$. Si normalement le ratio capacité/capacité commutée n'a pas trop d'importance à condition d'être supérieur à 1, celui-ci influe sur la linéarité et sur la précision de notre système. Le ratio est également dépendant de la fréquence de fonctionnement.

Nous optons pour un rapport 10 entre $C4$ et $C6$ (et donc $C3$ et $C5$) car cela semble être le juste compromis entre taille de la capacité et la précision. Pour vérifier notre hypothèse, une simulation est effectuée avec un ratio proche de 5, équivalent donc à une taille de capacité de $9 \times 9 \mu m^2$ pour $C5$ et $C6$, avec une précision du comparateur de $2,5 mV$. Cette taille de capacité représenterait une amélioration significative sur la taille finale du pixel. De plus, d'autres simulations ont été réalisées sur différentes tailles entre les deux tailles citées ci-dessus mais elles n'ont pas été suffisamment concluantes.

La DNL et l'INL de la simulation sont présentées respectivement Figures 4.15 et 4.16. Le résultat de la simulation avec sa courbe de tendance apparaît Figure 4.14. La simulation est effectuée dans les mêmes conditions que celles présentées précédemment et la linéarité est comparée sur la même pleine échelle.

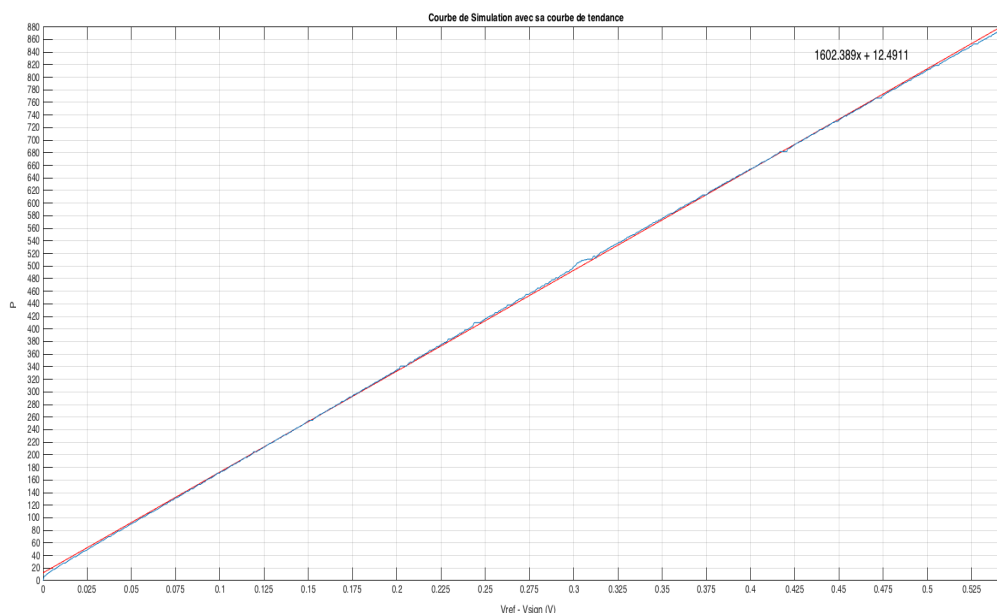


FIGURE 4.14 – $P = f(V_{Ref} - V_{Sign})$ simulé (en bleu) et sa courbe de tendance (en rouge) pour $N = 1023$, avec une précision du comparateur de $2,5 mV$ et une taille de capacité de $9 \times 9 \mu m^2$.

Nous constatons une perte de linéarité et de précision. Pour la même pleine échelle, le code maximal passe de 900 à 881.

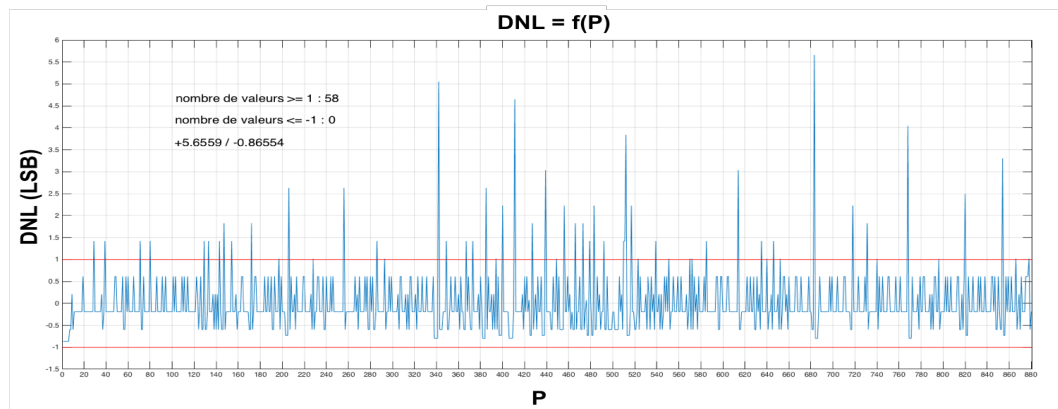


FIGURE 4.15 – DNL de la réponse du système pour un comparateur avec une précision simulée de $2,5 \text{ mV}$ pour une résolution de 10 bits et une taille de capacité de $9 \times 9 \mu\text{m}^2$.

Pour la DNL, le nombre de valeurs supérieures ou égales à 1 passe de 44 à 58. Nous avons une augmentation du nombre de codes manquants.

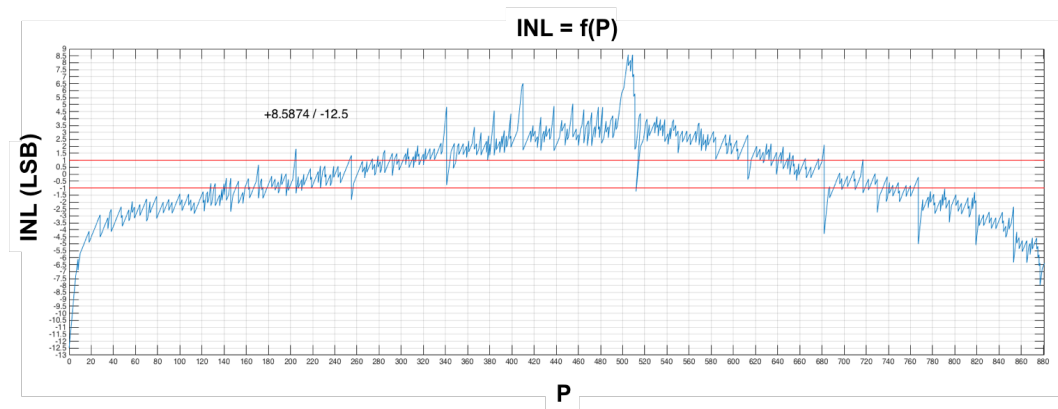


FIGURE 4.16 – INL de la réponse du système pour une précision simulée du comparateur de $2,5 \text{ mV}$, une résolution de 10 bits et une taille de capacité de $9 \times 9 \mu\text{m}^2$.

L'erreur relative augmente également. Cela peut s'expliquer par le fait que la tension V^+ oscille au lieu d'être constante, oscillation provoquée par les circuits commutés. L'oscillation est d'autant plus grande que la capacité est petite avec notre fréquence de fonctionnement. La taille de la capacité est essentielle car elle est un des éléments le plus importants dans notre circuit et détermine la taille finale du pixel.

Pour ne pas perdre en précision, nous devons opter pour une taille supérieure à $9 \times 9 \mu\text{m}^2$, ce qui augmente la taille du pixel et la consommation par le biais des courants de fuite. Nous choisissons une taille de $13 \times 13 \mu\text{m}^2$ favorisant dans ce cas la précision. En effet, nous obtenons une meilleure DNL et une meilleure INL (cf. Figures 4.9 et 4.10) avec cette dernière. Le courant de fuite associé à chaque capacité est de $2,2 \text{ nA}$.

4.1.3/ INFLUENCE DES CAPACITÉS DE L'ÉCHANTILLONNEUR-BLOQUEUR SUR LA LINÉARITÉ

Les premières simulations sont accomplies sur l'échantillonneur-bloqueur (E-B) (cf. Chapitre 3) avec capacités PMOS. Malgré un temps de conversion relativement faible, $112,3 \mu s$ pour $N = 1023$ (nonobstant le temps du filtrage), la tension aux bornes des capacités varie linéairement durant la conversion.

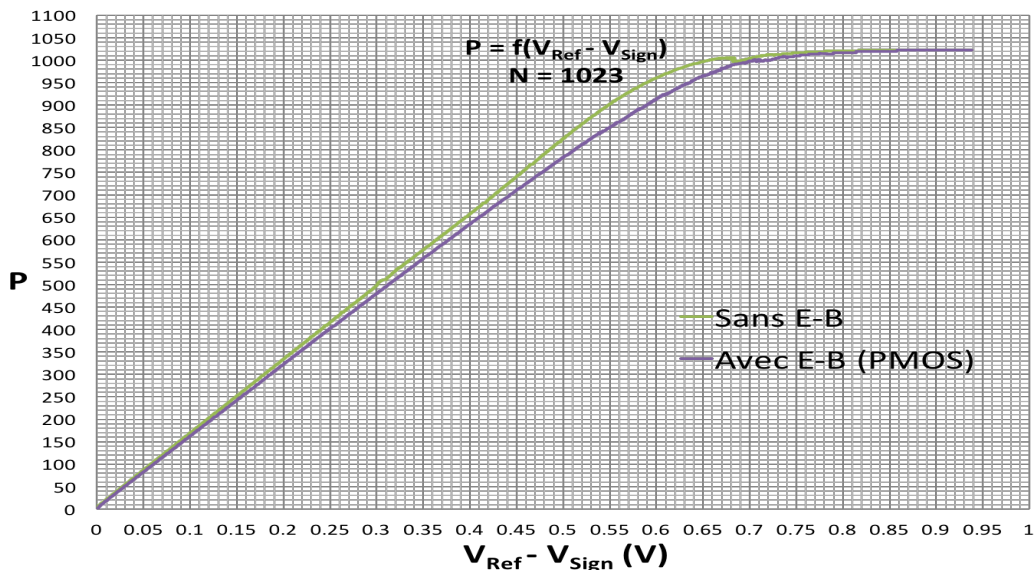


FIGURE 4.17 – Courbes du modulateur avec l'échantillonneur-bloqueur (capacité PMOS) et sans.

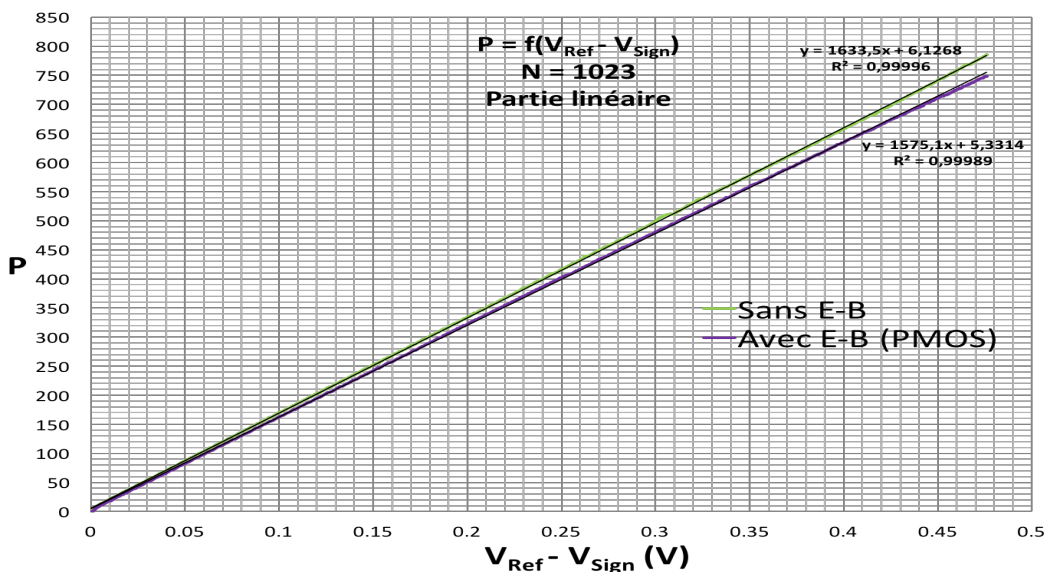


FIGURE 4.18 – Partie linéaire des courbes du modulateur avec l'échantillonneur-bloqueur (capacité PMOS) et sans.

Nous constatons que la meilleure linéarité possible de la courbe est obtenue pour un nombre de code maximal de 747. Ceci s'explique par une perte de linéarité plus rapide. Les variations des tensions de référence et du signal peuvent donc être une complication si elles sont trop importantes. Une correction possible est la diminution du temps de conversion en augmentant la fréquence d'horloge. Le problème avec notre structure réside dans le comparateur car pour augmenter la fréquence et garder la même précision, il faut augmenter significativement les tailles des transistors le composant. La DNL et l'INL sont représentées dans les figures suivantes.

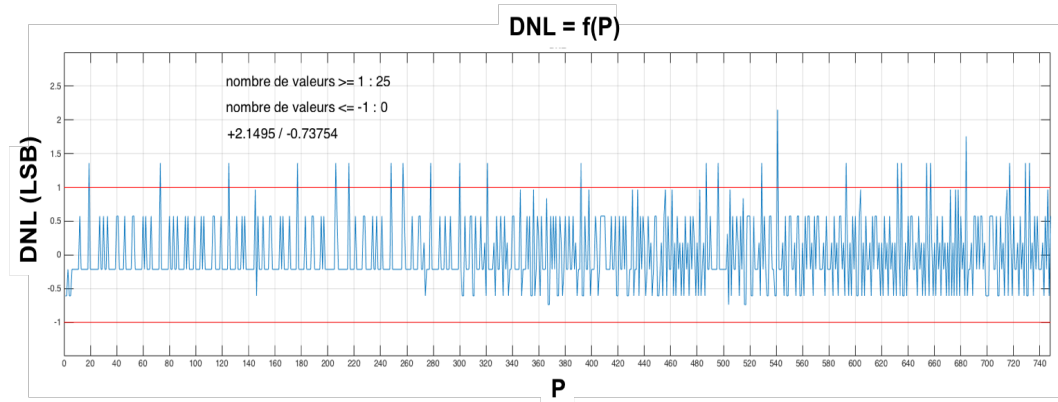


FIGURE 4.19 – DNL de la réponse du système pour un comparateur avec une précision de $2,5 \text{ mV}$ simulée pour une résolution de 10 bits avec les échantillonneurs-bloqueurs.

La DNL varie entre $+2,1$ et $-0,73$ au lieu de $+3,5$ à $-0,8$. Si le saut maximal de codes est moins important, le nombre de codes manquants augmente significativement. Sur la partie linéaire du modulateur avec échantillonneur-bloqueur doté de capacités PMOS, le nombre de valeurs supérieures ou égales à 1 LSB est de 25.

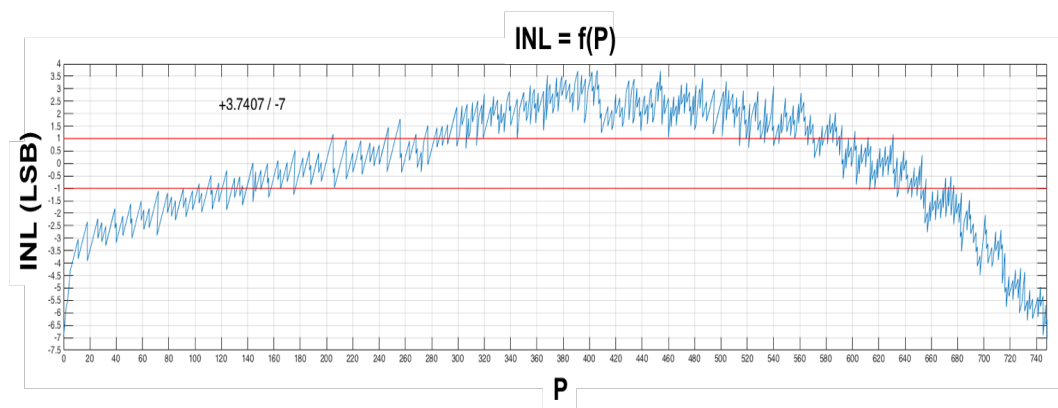


FIGURE 4.20 – INL de la réponse du système pour un comparateur avec une précision simulée de $2,5 \text{ mV}$ pour une résolution de 10 bits avec les échantillonneurs-bloqueurs.

Une seconde série de simulations est réalisée en utilisant comme capacité un NMOS. Nous obtenons la courbe en sortie Figure 4.21

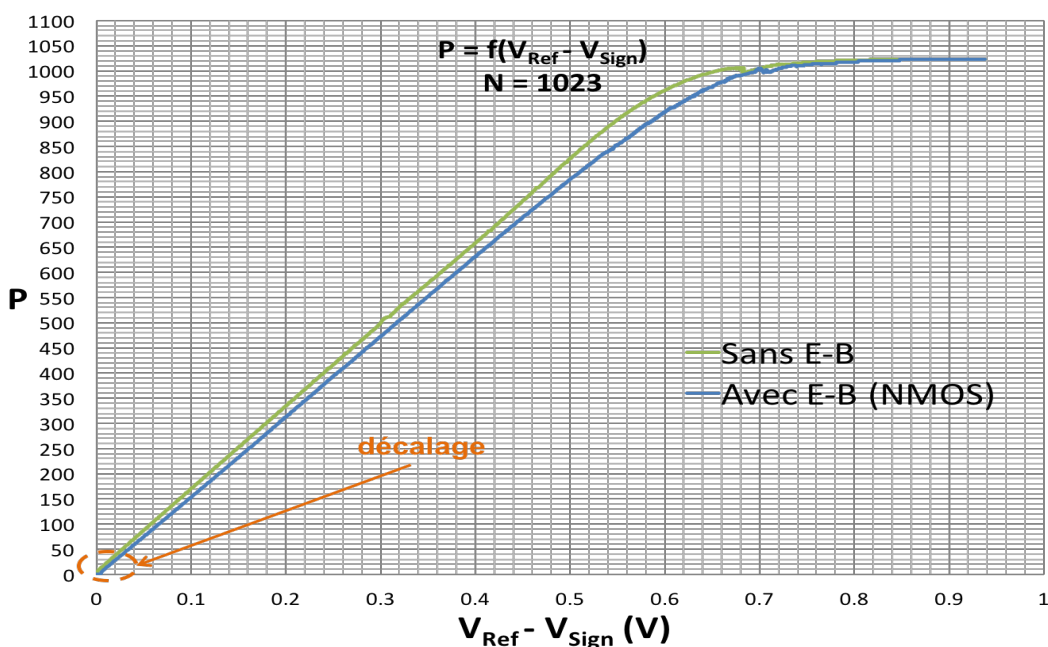


FIGURE 4.21 – Courbes du modulateur avec l'échantillonneur-bloqueur (capacité NMOS) et sans.

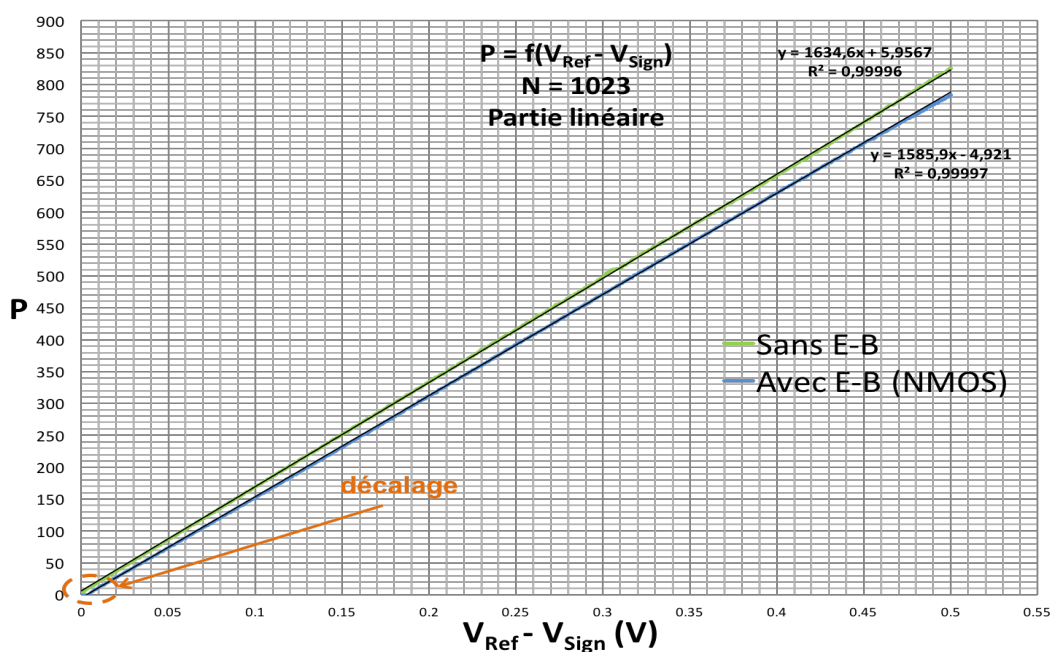


FIGURE 4.22 – Partie linéaire des courbes du modulateur avec l'échantillonneur-bloqueur (capacité NMOS) et sans.

Nous constatons l'apparition d'un décalage. La courbe verte reporte la fonction de sortie avec uniquement le modulateur. La variation des tensions de référence et du signal n'a pas beaucoup d'importance en soit. Ce qui est primordial, c'est que l'écart entre les deux reste constant.

Autrement dit, il faudrait que la variation soit la même pour les deux, quelle que soit la tension en entrée de l'échantillonneur-bloqueur. Or ce n'est pas le cas. Avec un NMOS comme capacité, les tensions élevées décroissent plus rapidement que les faibles tensions. Avec un PMOS, c'est l'inverse. Ceci explique qu'il y ait un offset pour les faibles tensions avec une capacité NMOS et pas avec le PMOS.

La DNL et l'INL sont montrées Figure 4.23 et Figure 4.24 après correction du décalage.

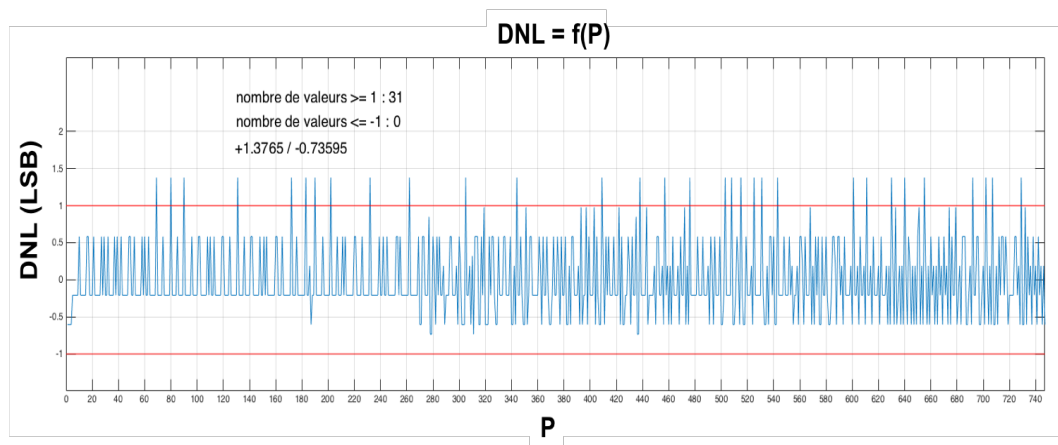


FIGURE 4.23 – DNL de la réponse du système pour un comparateur avec une précision simulée de $2,5\text{ mV}$ pour une résolution de 10 bits avec les échantillonneurs-bloqueurs (capacité NMOS).

Par comparaison, nous obtenons une meilleure variation de la DNL avec une capacité avec transistor NMOS vis-à-vis d'une capacité avec transistor PMOS. La valeur maximale, quant à elle, diminue et est de $+1,3$. Le nombre de valeurs supérieures ou égales à 1 LSB est de 31.

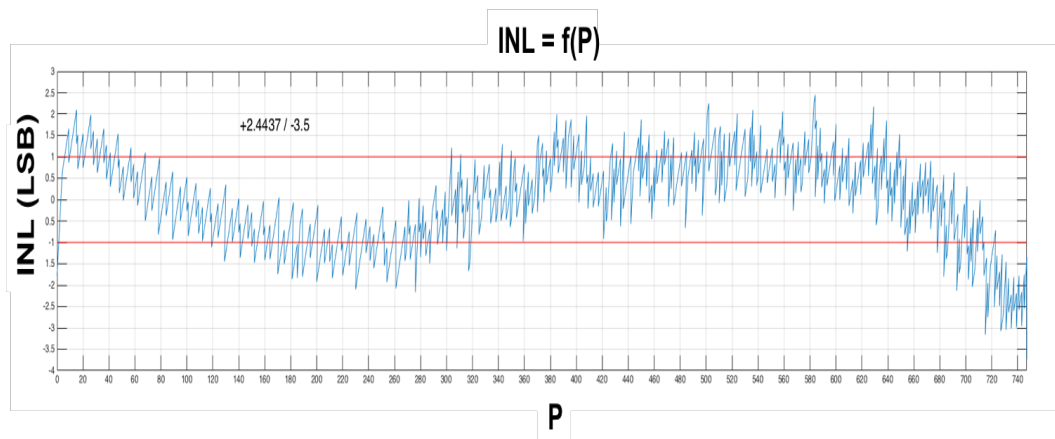


FIGURE 4.24 – INL de la réponse du système pour un comparateur avec une précision simulée de $2,5\text{ mV}$ pour une résolution de 10 bits avec les échantillonneurs-bloqueurs (capacité NMOS).

La variation de l'INL est presque symétrique jusqu'aux alentours du code 747. Globalement, la

linéarité est meilleure avec l'échantillonneur avec capacité NMOS. L'offset peut être quantifié et donc compensé par post-traitement comme souvent dans le domaine du capteur d'image et de manière générale en micro-électronique. Nos échantillonneurs-bloqueurs ont donc pour capacité de stockage, la capacité d'oxyde des transistors NMOS.

4.2/ PERFORMANCES DYNAMIQUES DU MODULATEUR

L'analyse du comportement statique de notre structure précise quatre grandeurs qualifiant la linéarité, soient l'erreur d'offset, l'erreur de gain, le DNL et l'INL.

Plusieurs auteurs au travers de leur(s) publication(s) font état de leur vif intérêt pour l'analyse du comportement dynamique d'une structure afin de caractériser sa linéarité. Les grandeurs dynamiques incriminées sont le rapport signal sur bruit ou SNR (*Signal to Noise Ratio*), le signal sur bruit avec distorsions ou SINAD (*Signal to Noise And Distorsion Ratio*), le taux de distorsion harmonique ou THD (*Total Harmonic Distorsion*), la plage dynamique exploitable ou SFDR (*Spurious Free Dynamic Range*) utile pour les systèmes en télécommunication et le nombre effectif de bits ou nombre de bits vrais ou ENOB (*Effective Number Of Bits*).

L'analyse se fait donc d'un point de vue fréquentiel. Il s'agit de stresser notre modulateur avec une sinusoïde la plus pure possible à une fréquence donnée pour étudier le comportement du signal de sortie. Celui-ci est analysé avec une transformation de Fourier rapide ou FFT (*Fast Fourier Transform*). Un fenêtrage de pondération est appliqué afin de rendre le calcul de la FFT plus approprié. Nous optons pour la fenêtre « Blackman-Harris ». Cette fenêtre permet une bonne précision sur l'amplitude des harmoniques mais également une bonne précision sur le plafond de bruit. Nous réalisons une première simulation avec un signal sinusoïdal de fréquence 152,587 Hz soit 65536 fois moins que notre fréquence d'horloge. Le nombre de périodes est fixé à 30 pour augmenter le nombre de points de la FFT, et donc sa précision. Le nombre total d'échantillons est de 65536×30 . L'amplitude du signal, égale à 96% de $0,5 V_{PP}$, est calibrée de sorte à se positionner sur la partie linéaire de la courbe $P = f(V_{Ref} - V_{Sign})$. Rappelons que notre pleine échelle n'est pas V_{Ref} mais $V_{Ref} - V_{thN}$. Nous obtenons la FFT présentée sur la Figure 4.25.

La simulation est réalisée avec le logiciel CADENCE et la FFT est calculée avec le logiciel MATLAB. La forme de la courbe est caractéristique d'un Sigma-Delta du 1^{er} ordre. Le bruit est rejeté en haute fréquence et sa pente est d'environ 20 dB/dec (1^{er} ordre). Nous pouvons estimer le plafond de bruit dans la bande utile à environ -120 dB.

Après avoir tracé la FFT du train d'impulsions de sortie, le calcul du THD est le suivant :

$$THD(dB) = 20 \times \log_{10} \left(\frac{\sqrt{A_2^2 + \dots + A_n^2}}{A_1} \right) \quad (4.2)$$

A_1 : la valeur RMS de l'amplitude du fondamental [V],

A_2 : la valeur RMS de l'amplitude du deuxième harmonique [V],

A_n : la valeur RMS de l'amplitude du n^{ième} harmonique [V].

Notre THD est calculé sur les 6 premiers harmoniques car ce sont les plus significatifs. Le THD est égal à -45,09 dB.

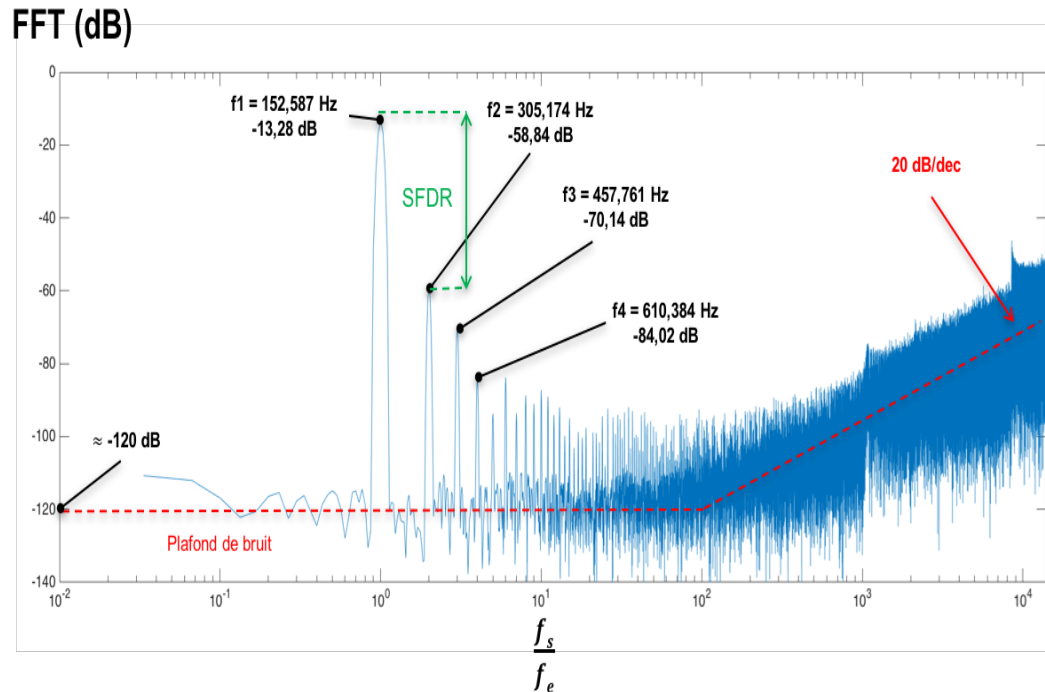


FIGURE 4.25 – FFT du train d'impulsions de sortie en fonction d'un signal sinusoïdal de 152,587 Hz.

Le SNR est déterminé à partir de la Figure 4.25. Pour y parvenir, il suffit de définir le plafond de bruit N_P (en dB si la FFT est tracée en dB) et soustraire le gain (en dB) obtenu lors du procédé de calcul de la FFT à savoir :

$$Q_N(dB) = N_P(dB) + 10 \times \log_{10} \left(\frac{M}{2} \right) \quad (4.3)$$

Q_N : la valeur RMS du niveau de bruit de quantification [dB],
 N_P : le plafond de bruit obtenu après le procédé de la FFT [dB],
 M : le nombre d'échantillons de la FFT.

La valeur du SNR est égale à la valeur de la pleine-échelle du signal du convertisseur (en dB), soit 0 dB , moins la valeur de Q_N . Le plafond de bruit est la sommation de la valeur théorique du SNR et de la valeur RMS du niveau de bruit de quantification en dB , soit :

$$N_P(dB) = (6,02 \times N + 1,76 \text{ dB}) + Q_N(dB) \quad (4.4)$$

N : la résolution du convertisseur [bit].

Le SINAD est calculé comme suit :

$$SINAD = -10 \times \log_{10} \left(10^{\frac{-SNR}{10}} + 10^{\frac{-THD}{10}} \right) \quad (4.5)$$

$SINAD$: le signal sur bruit avec distorsions [dB].

Si l'utilisation de la pleine-échelle du signal est effective, le nombre de bits vrais (ENOB) est défini comme suit :

$$ENOB = \frac{SINAD - 1,76 \text{ dB}}{6,02} \quad (4.6)$$

$ENOB$: le nombre effectif de bits [bit].

Si l'utilisation la pleine-échelle du signal n'est pas avérée, alors le nombre de bits vrais (ENOB) est :

$$ENOB = \frac{SINAD - 1,76 \text{ dB} + 20 \times \log_{10} \left(\frac{A_{PE}}{A_{in}} \right)}{6,02} \quad (4.7)$$

A_{PE} : la valeur RMS de l'amplitude de la pleine échelle [V],

A_{in} : la valeur RMS de l'amplitude du signal d'entrée [V].

Notre signal a une amplitude d'environ $-13,28 \text{ dB}$. Avec un plafond de bruit de -120 dB , cela donne un SNR d'environ 60 dB en considérant la pleine échelle à 0 dB . Le SFDR est de $45,56 \text{ dB}$, ce qui est peu. Dans notre cas, le SFDR n'est pas une mesure critique. Il le serait dans un système audio ou en télécommunication. Par contre un SFDR faible annonce inévitablement un ou plusieurs harmoniques élevés, ce qui se vérifie. Le deuxième harmonique est très élevé signifiant une dissymétrie du train d'impulsions de sortie par rapport à la sinusoïde d'entrée. Pour une même valeur de la sinusoïde, nous pouvons avoir un nombre d'impulsions légèrement différent. Cela montre également une irrégularité de la forme de l'INL. Une si forte distorsion s'explique par la qualité de l'intégration du modulateur Sigma-Delta. En effet, travailler à faible taille de transistor offre des avantages comme une meilleure intégration et consommation mais rend le circuit bien plus sensible aux différentes variations car le gain est diminué. Nous utilisons également un simple miroir de courant. Améliorer celui-ci, au prix de l'ajout de transistors, pourrait améliorer la recopie du courant et donc probablement, la qualité de l'intégration du modulateur, entraînant une diminution de la distorsion. Au final, nous obtenons une valeur de SINAD de $44,95 \text{ dB}$ et donc un ENOB de 7,2 bits. Notons qu'en considérant uniquement le SNR, c'est à dire sans tenir compte des harmoniques correspondant au calcul du nombre de bits théorique, nous obtenons 9,67 bits de résolution.

Pour montrer l'effet du compteur en tant que filtre, l'Equation 3.23 est appliquée à la FFT. Nous observons le résultat Figure 4.26.

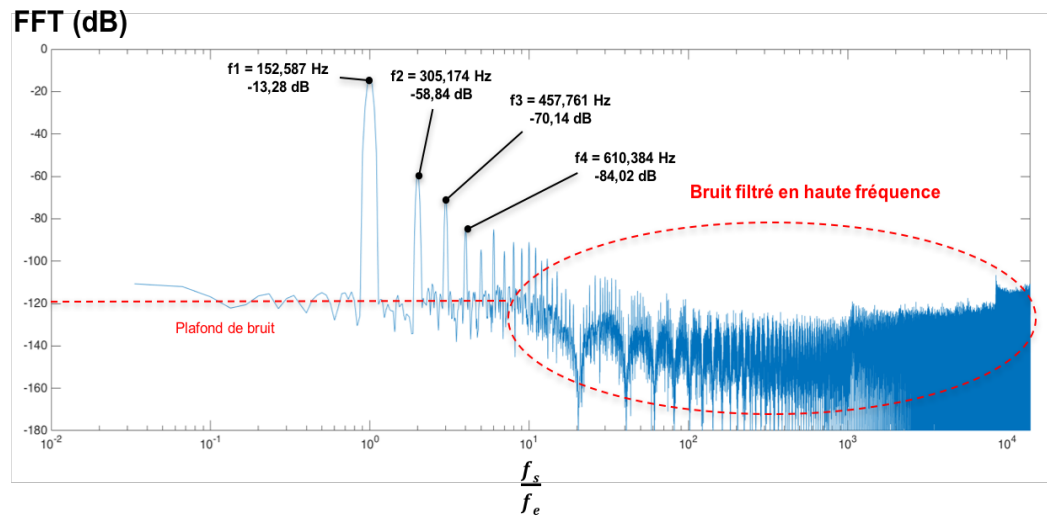


FIGURE 4.26 – FFT filtrée du train d'impulsions de sortie en fonction d'un signal sinusoïdal de 152,587 Hz.

Nous constatons que le bruit en haute fréquence est filtré. Pour compléter notre étude, nous évaluons également une FFT dans des conditions identiques avec un signal d'entrée de fréquence 1,22 kHz et un nombre de périodes fixé à 60 (pour avoir un nombre d'échantillons suffisant), soit un nombre total d'échantillons de 8192×60 . Il en résulte la Figure 4.27.

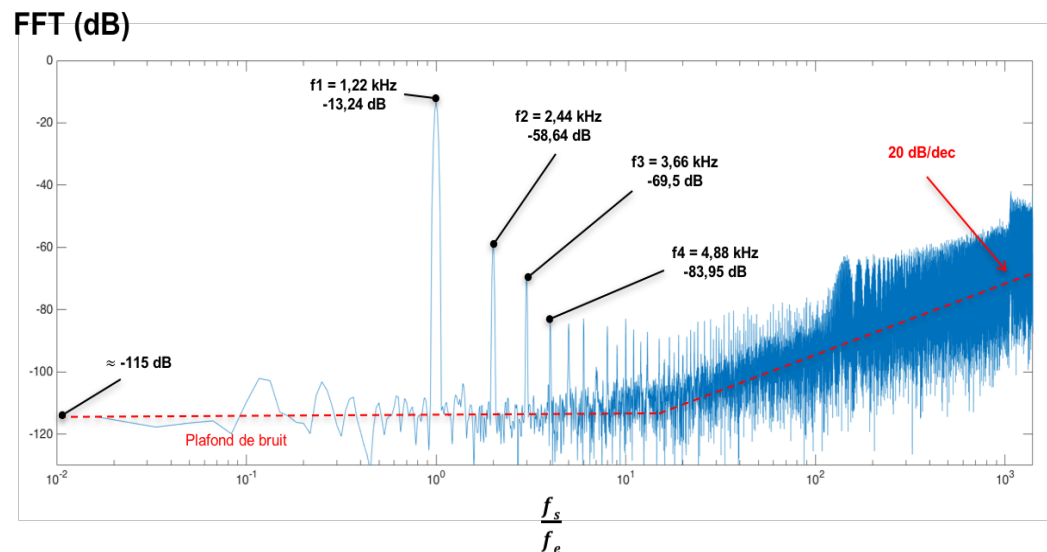


FIGURE 4.27 – FFT du train d'impulsions de sortie en fonction d'un signal sinusoïdal de 1,22 kHz.

Nous obtenons un THD de $44,98 \text{ dB}$, un plafond de bruit d'environ -115 dB , un SNR d'environ 61 dB , un SINAD de $44,87 \text{ dB}$ et enfin, un ENOB de $7,2 \text{ bits}$. Les résultats sont très proches de la simulation précédente.

Pour conclure, bien que nous possédons une bonne linéarité de la courbe de sortie du mo-

dulateur, une attention doit être portée sur les distorsions de notre système car elles nuisent significativement à la résolution finale de notre pixel.

4.3/ PERFORMANCES DE NOTRE STRUCTURE SUR DES IMAGES RÉELLES

Nous souhaitons confronter le pixel développé à de vraies images. Pour cela, nous faisons l'hypothèse d'avoir une matrice de pixels parfaitement identiques auxquels nous appliquons un signal d'entrée dont la valeur provient d'une image existante. Cette approche nous permet de comparer les images d'entrée avec les images produites par notre capteur simulé.

4.3.1/ DÉTERMINATION DU NOMBRE DE CYCLES POUR DIFFÉRENTES RÉOLUTIONS

De prime abord, nous complétons l'étude de la linéarité du système pour différentes résolutions (8 bits, 9 bits et 10 bits). Il s'agit d'estimer le nombre de cycles approprié permettant d'obtenir la meilleure linéarité entre 0 et la valeur maximale désirée (255, 511 et 1023). Pour y parvenir, nous vérifions le rapport des coefficients directeurs de chaque droite pour différentes résolutions. S'ils sont proportionnels, il nous sera facile d'estimer le nombre de cycles nécessaires pour optimiser la linéarité.

Les simulations sont effectuées dans les mêmes conditions à savoir un pas de simulation de $500 \mu V$ et une horloge de $10 MHz$. Nous avons commencé par un nombre de cycle égal à 255 puis 511 et enfin, 1023. Nous obtenons les courbes Figure 4.28.

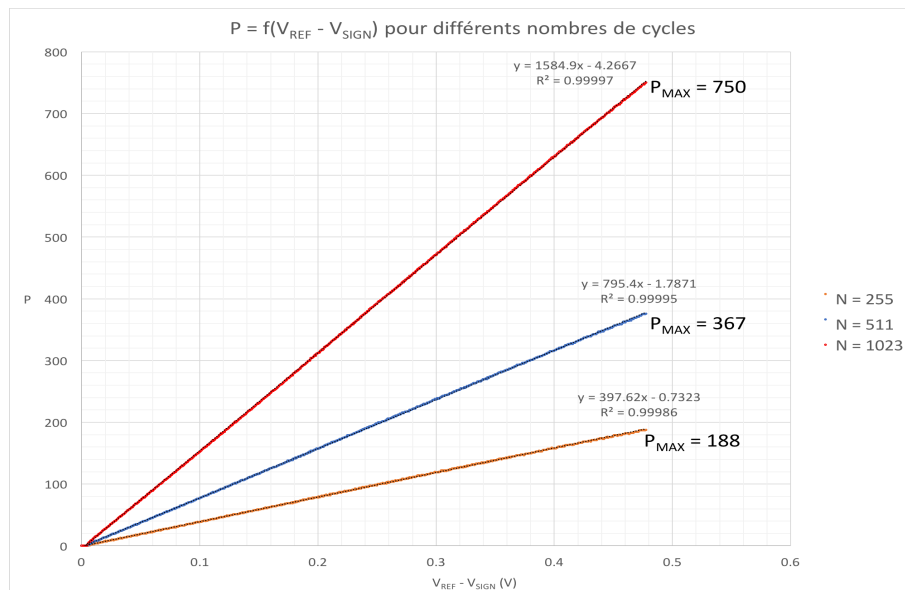


FIGURE 4.28 – Différentes courbes de sortie de notre système pour différents nombres de cycles.

Seule la partie linéaire des courbes est tracée. Sont affichés sur le graphique le coefficient de

la courbe de tendance de chaque courbe, le coefficient de détermination associé, et enfin la valeur maximale du code de la partie linéaire.

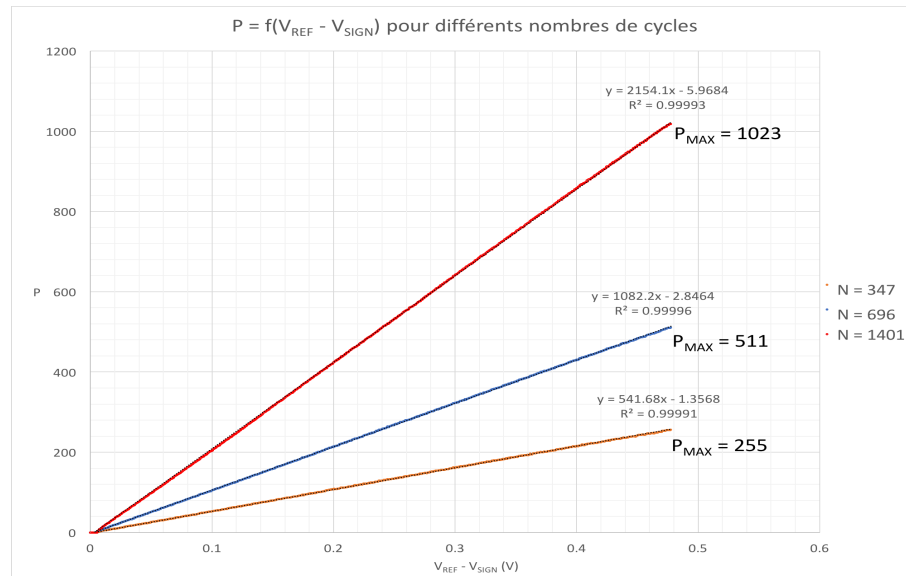


FIGURE 4.29 – Différentes courbes de sortie de notre système pour différents nombres de cycles (bis).

Le premier jeu de courbes nous précise deux points. Le premier est qu'il y a proportionnalité des coefficients directeurs. En effet, dès que le nombre de cycles est multiplié par deux, le coefficient directeur est multiplié par deux. Le deuxième est que l'ordonnée à l'origine est également multipliée par deux lorsque le nombre de cycles est multiplié par deux. Cela signifie que le décalage en tension est le même quel que soit le nombre de cycles. Nous pouvons donc facilement le compenser par la suite.

Néanmoins dans chaque cas la valeur maximale du code est inférieure à la valeur du nombre de cycles. Cela confirme que l'obtention du code souhaité dans la partie linéaire de la courbe passe par l'augmentation du nombre de cycles et donc du temps de conversion. Les courbes précédentes sont reprises de sorte à ce que les nombres de codes de 8, 9 et 10 bits soient dans la partie linéaire. Nous obtenons les courbes Figure 4.29.

Nous pouvons établir les mêmes remarques que précédemment au sujet de la proportionnalité. Grâce à celle-ci, nous avons défini que 8 bits (i.e. une valeur max de 255) dans la partie linéaire nécessitent 347 cycles, 9 bits (i.e. une valeur max de 511) nécessitent 696 cycles et 10 bits (i.e. une valeur max de 1023) nécessitent 1401 cycles. Cette augmentation est causée par la perte de linéarité et donc par un défaut de gain de notre système.

4.3.2/ SIMULATIONS AVEC DES IMAGES TESTS POUR DIFFÉRENTES RÉOLUTIONS

Nous avons une idée significative du nombre de cycles nécessaires pour les différentes résolutions. Afin d'avoir un visuel sur la qualité de la modulation, autres que les caractéristiques déjà évoquées, nous confrontons la réponse en sortie du modulateur à deux images noir et blanc :

- Image de 8 bits non-compressée, codée sur 255 niveaux de gris par échantillon et possédant 1024×1024 pixels (Figure 4.30).

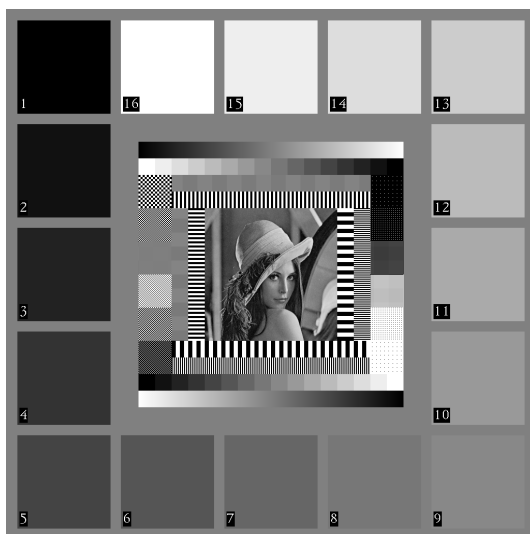


FIGURE 4.30 – Image de test de 8 bits.

- Photo de 16 bits non-compressée, codée sur 65536 niveaux de gris par échantillon et possédant 1539×1024 pixels (Figure 4.31).



FIGURE 4.31 – Photo réelle de bureau de 16 bits.

Pour chacune de ces images, nous voulons reconstruire l'image selon la réponse en sortie de notre système, puis comparer l'image ainsi obtenue à l'image initiale. Il existe deux métriques souvent utilisées pour comparer la qualité de deux images : le PSNR (*Peak Signal-to-Noise Ratio*) et le SSIM (*Structural SIMilarity*) [1–3]. Le PSNR est une mesure de distorsion de pixel à pixel tandis que le SSIM est une mesure de similarité entre fenêtrages d'une même image ou de deux images différentes.

Entre deux images de dimension $v \times h$, le PSNR est calculé de la façon suivante :

$$PSNR = 10 \times \log_{10} \left(\frac{NG^2}{EQM} \right) \quad (4.8)$$

$PSNR$: le rapport signal sur bruit maximal [dB],

NG : la valeur maximale du niveau de gris de l'image.

Avec,

$$EQM = \frac{1}{v \times h} \sum_{i=0}^{v-1} \sum_{j=0}^{h-1} (I_A(i, j) - I_{Ref}(i, j))^2 \quad (4.9)$$

EQM : l'erreur quadratique moyenne,

I_A : l'image A,

I_{Ref} : l'image de référence.

Le principe du SSIM est de déterminer une potentielle dégradation d'une image à l'autre en fonction de l'environnement local du défaut. Elle est composée de trois termes : luminosité, contraste et contours. Elle est calculée sur plusieurs fenêtrages d'une image. Entre deux fenêtrages d'une image, F_1 et F_2 , chacun de taille identique $h \times h$, sa formule est :

$$SSIM(F_1, F_2) = l(F_1, F_2) \times c(F_1, F_2) \times s(F_1, F_2) \quad (4.10)$$

$SSIM(F_1, F_2)$: la mesure de similarité entre F_1 et F_2 variant entre 0 et 1,

$l(F_1, F_2)$: le terme de luminosité entre F_1 et F_2 ,

$c(F_1, F_2)$: le terme de contraste entre F_1 et F_2 ,

$s(F_1, F_2)$: le terme de contours entre F_1 et F_2 .

Avec,

$$l(F_1, F_2) = \frac{(2 \times \mu_{F_1} \times \mu_{F_2} + c_1)}{(\mu_{F_1}^2 + \mu_{F_2}^2 + c_1)} \quad (4.11)$$

μ_{F_1} : la moyenne de F_1 ,

μ_{F_2} : la moyenne de F_2 ,

c_1 : un coefficient égal à $(0,01 \times NG)^2$ par défaut,

NG : la valeur maximale du niveau de gris de l'image.

Ainsi que,

$$c(F_1, F_2) = \frac{(2 \times \sigma_{F_1} \times \sigma_{F_2} + c_2)}{(\sigma_{F_1}^2 + \sigma_{F_2}^2 + c_2)} \quad (4.12)$$

σ_{F_1} : la variance de F_1 ,

σ_{F_2} : la variance de F_2 ,

c_2 : un coefficient égal à $(0,03 \times NG)^2$ par défaut,

NG : la valeur maximale du niveau de gris de l'image.

Et enfin,

$$s(F_1, F_2) = \frac{(2 \times COV_{F_1 F_2} + c_3)}{(\sigma_{F_1} \times \sigma_{F_2} + c_3)} \quad (4.13)$$

$COV_{F_1 F_2}$: la covariance entre F_1 et F_2 ,

c_3 : un coefficient égal à $\frac{c_2}{2}$.

Avec le logiciel MATLAB, nous réalisons la première étape qui est la reconstruction de l'image réelle en fonction des valeurs issues des simulations. Nous effectuons les tests pour 8 et 10 bits. 8 bits est une résolution de référence en imagerie, et 10 bits la résolution souhaitée avec notre système. Nous prenons en compte les nombres de cycles et les simulations du modulateur de la Figure 4.32.

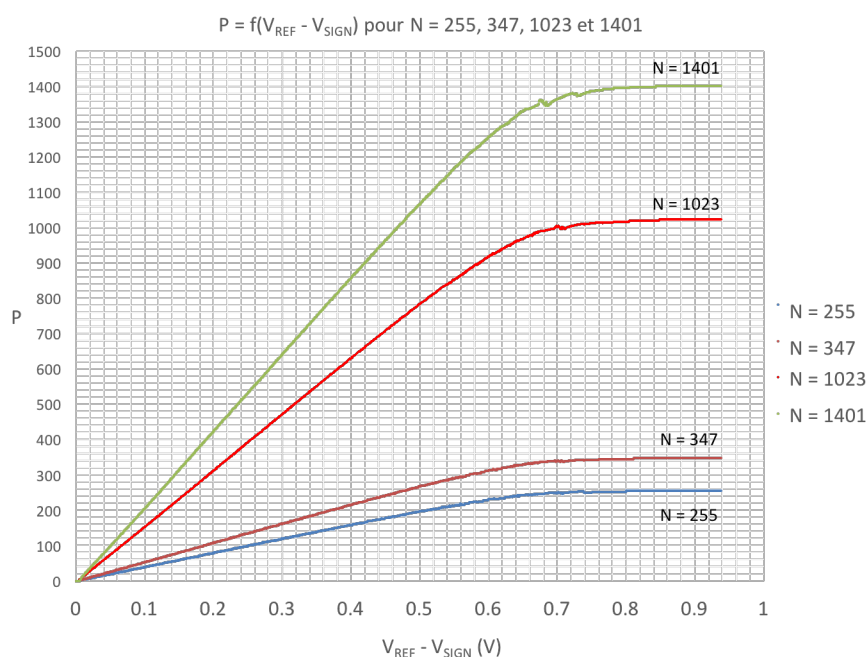


FIGURE 4.32 – $P = f(V_{REF} - V_{SIGN})$ pour N = 255, 347, 1023 et 1401.

Le principe de la reconstruction de l'image est le suivant. A l'issue de chaque simulation CADENCE, nous obtenons un tableau de deux lignes de 1877 valeurs dont une ligne correspond à la variation en tension par pas de $500 \mu V$ de 0 à $938 mV$ (V_{REF}) et l'autre correspond aux valeurs du code numérique en sortie du modulateur associées aux tensions. L'image originale peut également être considérée comme un tableau de dimension égale à la taille de l'image avec des valeurs allant de 0 à $2^N - 1$, N étant la résolution. L'idée est de trouver une équivalente entre les deux tableaux. Nous partons du postulat qu'il y a une linéarité parfaite dans la pleine échelle en tension. Dans un premier temps, nous déterminons une tension équivalente de l'image réelle dans la pleine échelle des simulations CADENCE. Nous pouvons écrire :

$$Input_{Analog} = \frac{Input}{2^N - 1} \times Range_{Analog} \quad (4.14)$$

$Input$: l'image de départ,

$Input_{Analog}$: la tension équivalente de l'image de départ,

N : le nombre de bits,

$Range_{Analog}$: la pleine échelle en tension, avec :

$$Range_{Analog} = Step \times Nb_{valeurs} \quad (4.15)$$

$Step$: le pas en tension de la simulation qui est de $500 \mu V$,

$Nb_{valeurs}$: le nombre de valeurs dans le tableau égal à 1877.

Nous cherchons ensuite l'indice correspondant à la tension équivalente de l'image de départ nous permettant ainsi de récupérer la valeur du code dans le tableau de 1877 valeurs. Les Equations 4.16 et 4.17 traduisent ceci :

$$Input_{Analog} = Step \times index \quad (4.16)$$

$index$: l'indice du tableau de 1877 valeurs.

Avec les équations précédentes, nous déterminons l'équation suivante :

$$index = \frac{Input_{Analog}}{Step} \times Nb_{valeurs} \quad (4.17)$$

L'indice obtenu, il suffit de regarder le code numérique associé. Schématiquement, nous pouvons affirmer que :

$$Output_{Digital} = Table(index) \quad (4.18)$$

Output_{Digital} : la valeur du code numérique du tableau de 1877 valeurs,
Table : le tableau de 1877 valeurs obtenu avec la simulation CADENCE.

Il suffit de répéter ces opérations de valeur en valeur du tableau de l'image réelle et de les reporter dans un tableau de même dimension puis reconstruire l'image avec les codes numériques récupérés. Les nombres de cycles 255 et 347 sont associés à l'image 8 bits. 1023 et 1401 sont associés à celle de 16 bits (image transformée en 10 bits pour les calculs). Une première reconstitution pour $N = 255$ produit la Figure 4.33.

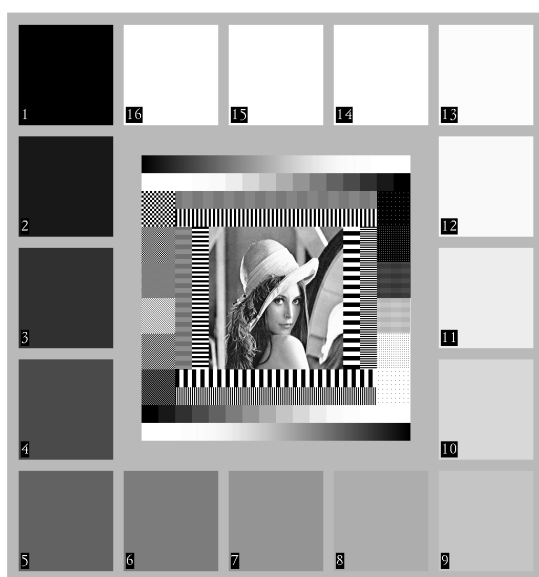


FIGURE 4.33 – Reconstitution de l'image 8 bits avec notre courbe pour $N = 255$.

Nous constatons un effet de saturation important au niveau du blanc (255) par comparaison à l'image originale (Figure 4.30). Nos propos sont confirmés par les histogrammes Figure 4.34.

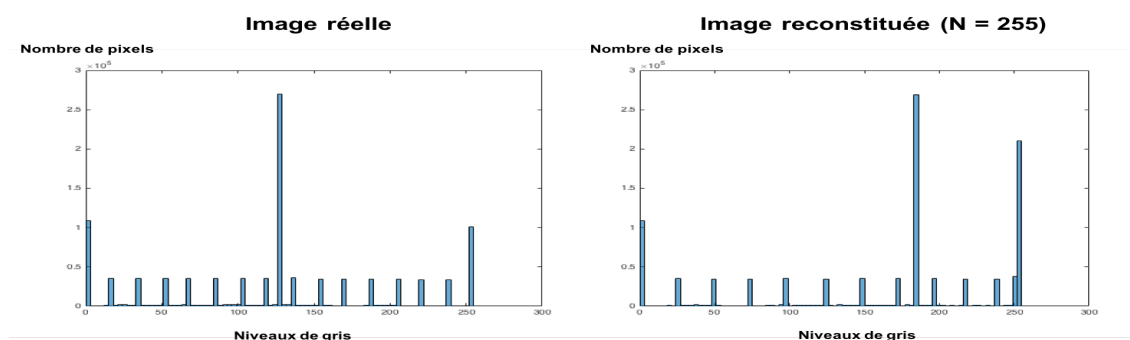


FIGURE 4.34 – Histogrammes de l'image d'entrée et de l'image reconstituée avec $N = 255$.

L'histogramme de l'image reconstituée montre clairement un nombre de pixels pour le blanc (255) plus élevé que celui de l'image initiale. Ceci s'explique par la saturation de la courbe en sortie du modulateur. L'indice SSIM entre les deux images est égal à 0,9336. Le PSNR et le SNR sont respectivement de 15,3150 dB et 12,3738 dB. Ces données confirment une forte distorsion entre les deux images. Rappelons que l'indice SSIM doit être très proche de 1 pour une bonne similitude, et les PSNR et SNR doivent être les plus élevés possible. Au vue de ces premiers résultats, un nombre de cycles égal à 255 ne suffit pas pour restituer une image acceptable sur 8 bits.

Les mêmes tests sont effectués pour $N = 347$ (Figure 4.35).



FIGURE 4.35 – Reconstitution de l'image 8 bits avec notre courbe pour $N = 347$.

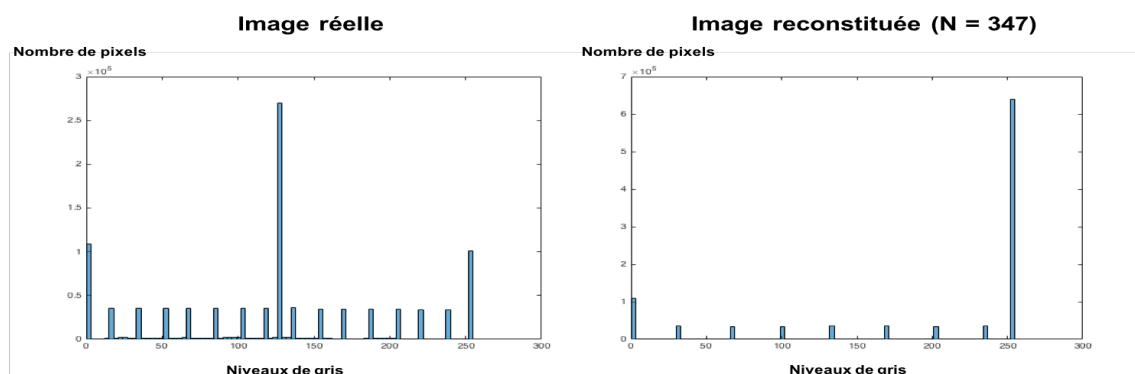


FIGURE 4.36 – Histogrammes de l'image d'entrée et de l'image reconstituée avec $N = 347$.

L'histogramme Figure 4.36 de l'image reconstituée montre également une forte saturation de pixels dans le blanc (255). Le nombre de pixels est plus élevé que celui de l'image avec $N = 255$. L'indice SSIM est égal à 0,8109.

Le PSNR est de 7,6512 dB et le SNR équivaut à 7,3887 dB. Les résultats ne sont pas surprenants. En effet, pour la courbe avec $N = 347$, nous arrivons rapidement à la valeur de saturation qui est de 255 (cf. Figure 4.32). Toutes les valeurs au-dessus de 255 sont saturées ce qui explique les résultats précédents. Notre objectif est d'obtenir le nombre de cycles nécessaires afin d'atteindre la valeur 255 comme valeur maximale de la partie linéaire de la courbe simulée, et de travailler uniquement dans cette partie. Nous reproduisons les mêmes simulations pour $N = 347$ mais en ne considérant que la partie linéaire de la courbe (cf. Figure 4.29). La Figure 4.37 présente le résultat obtenu.

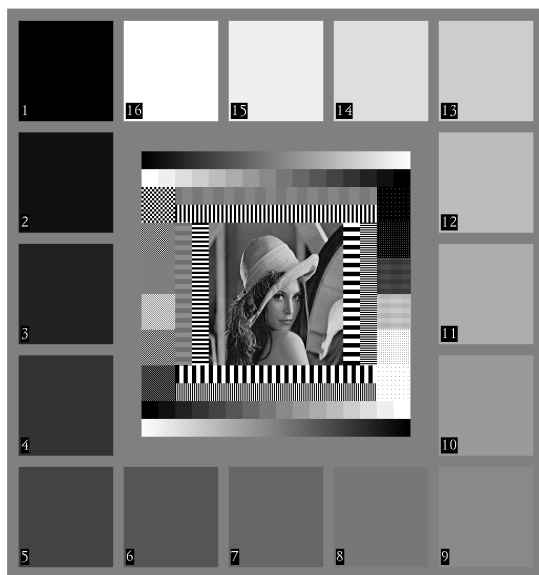


FIGURE 4.37 – Reconstitution de l'image 8 bits avec uniquement la partie linéaire de notre courbe pour $N = 347$.

Le résultat obtenu est très bon. Visuellement, l'image reconstruite et l'image originale sont quasiment identiques. Nous parvenons aux mêmes dégradés de gris entre les deux images.

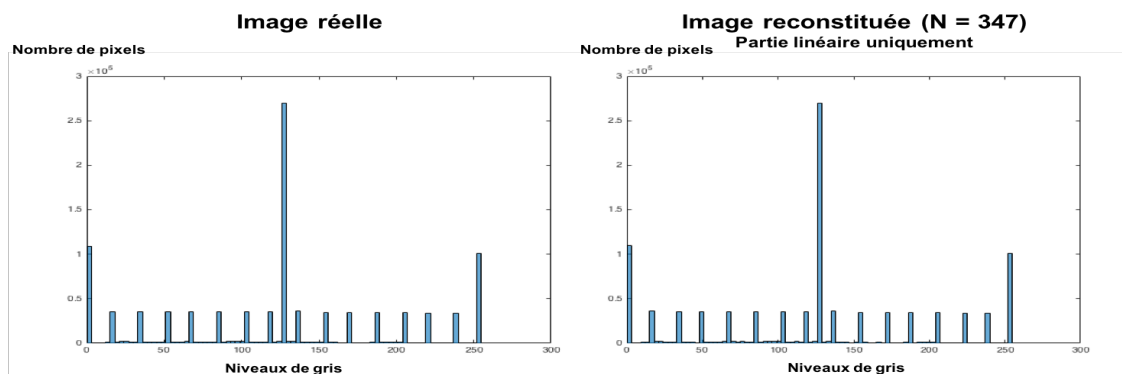


FIGURE 4.38 – Histogrammes de l'image réelle et de l'image reconstruite avec $N = 347$ (partie linéaire uniquement).

Les histogrammes sont présentés Figure 4.38. Ils confirment nos appréciations visuelles. Nous avons un PSNR égal à 50,7170 dB, un SNR égal à 45,8844 dB et enfin, un indice SSIM égal à 0,9962. Ces données étayent notre démonstration. Notre modulation Sigma-Delta possède une très bonne reconstitution d'image à 8 bits pour $N = 347$ en se limitant à la partie linéaire.

La réalité est que notre système ne fournit pas seulement la partie linéaire, mais la courbe entière. L'idée est alors de simuler une diminution de la durée de la phase d'exposition afin de se limiter dans la partie linéaire et éviter la partie de saturation de notre courbe. Le résultat est présenté Figure 4.39.

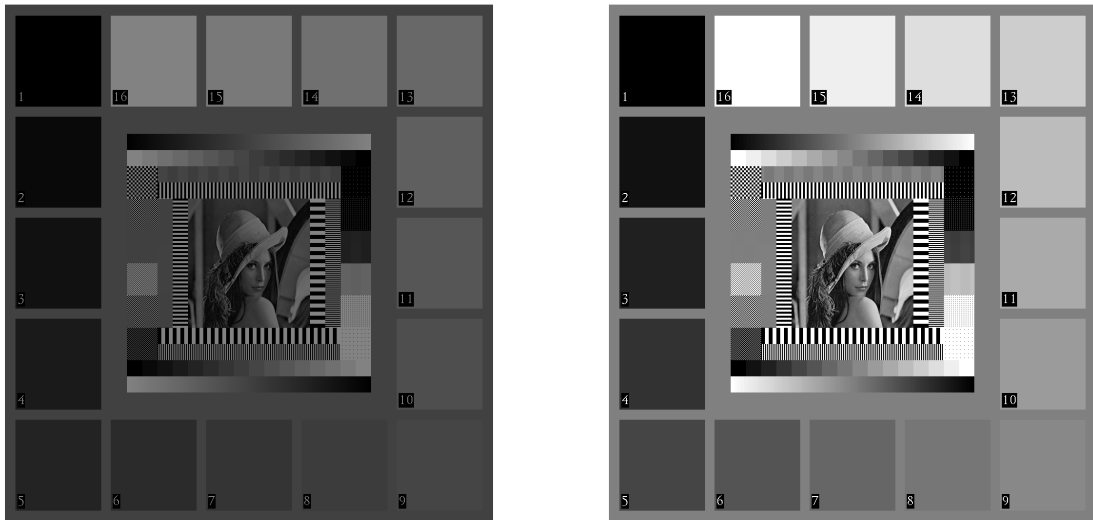


FIGURE 4.39 – A gauche, l'image de départ avec simulation d'une sous-exposition. A droite, l'image résultante après reconstitution avec notre courbe pour $N = 347$.

Les résultats sont comparables à la simulation précédente. Les histogrammes sont présentés Figure 4.40.

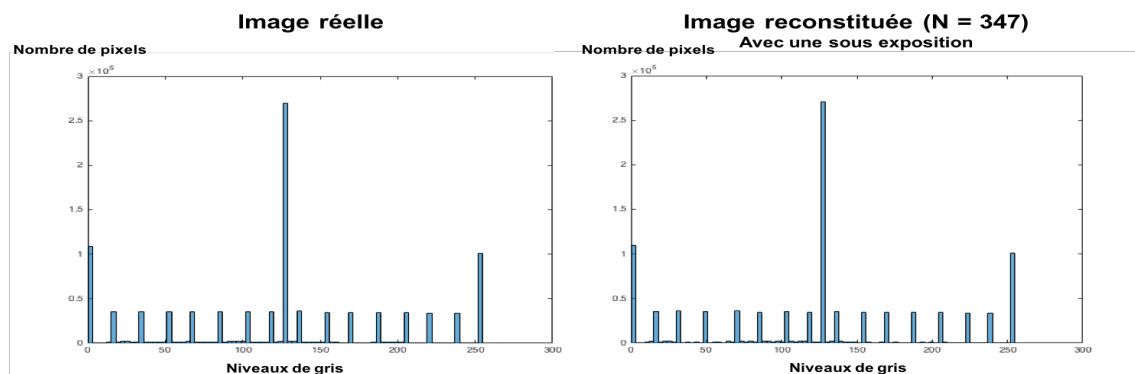


FIGURE 4.40 – Histogrammes de l'image réelle et de l'image reconstituée avec $N = 347$ (avec une sous-exposition de l'image initiale).

Le PSNR est égal à 50,0449 dB, SNR égal à 45,2070 dB et l'indice SSIM égal à 0,9942. Nous pouvons d'ores et déjà affirmer que notre système, pour $N = 347$, produit une image 8 bits

très correcte. Pour améliorer la précision sur 8 bits, il suffit de paramétrer la phase d'exposition et donc le temps d'intégration afin de travailler dans la partie linéaire de la courbe de sortie de la modulation.

Pour une précision de 10 bits, le procédé de simulation est identique à celui pratiqué pour l'image de 8 bits. Toutefois, la photo témoin est une image encodée sur 16 bits (Figure 4.31). L'étape initiale consiste à transformer sous MATLAB l'image 16 bits en 10 bits.



FIGURE 4.41 – Reconstitution de l'image 16 bits sur 10 bits avec notre courbe pour $N = 1023$.

La reconstitution de l'image en 10 bits est effectuée avec un nombre de cycles égal à 1023 (Figure 4.41). Il est difficile de se prononcer visuellement car les détails abondent. Nous constatons de prime abord un éclaircissement de la photo. Les histogrammes (Figure 4.42) précisent les spécificités entre l'image initiale et l'image reconstituée.

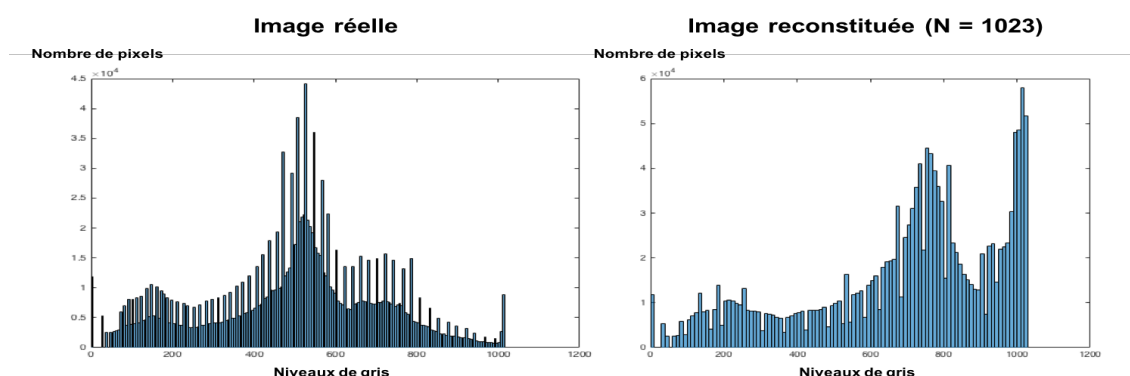


FIGURE 4.42 – Histogrammes de l'image réelle et de l'image reconstituée avec $N = 1023$.

L'histogramme révèle un effet de saturation de l'image reconstituée avec un nombre élevé de pixels dans les hauts niveaux de gris. Le PSNR est égal à 14,1123 dB, le SNR est égal à 11,2518 dB, et l'indice SSIM équivaut à 0,8512. Comme précédemment, nous avons des résultats non satisfaisants. Nous poursuivons avec $N = 1401$. Notre photo reconstituée est montrée Figure 4.43.



FIGURE 4.43 – Reconstitution de l'image 16 bits sur 10 bits avec notre courbe pour $N = 1401$.

Nous observons une dégradation conséquente de la photo. La saturation avec $N = 1401$ est plus importante et le nombre de pixels plus élevé dans les hautes valeurs. Cela est confirmé par les histogrammes Figure 4.44.

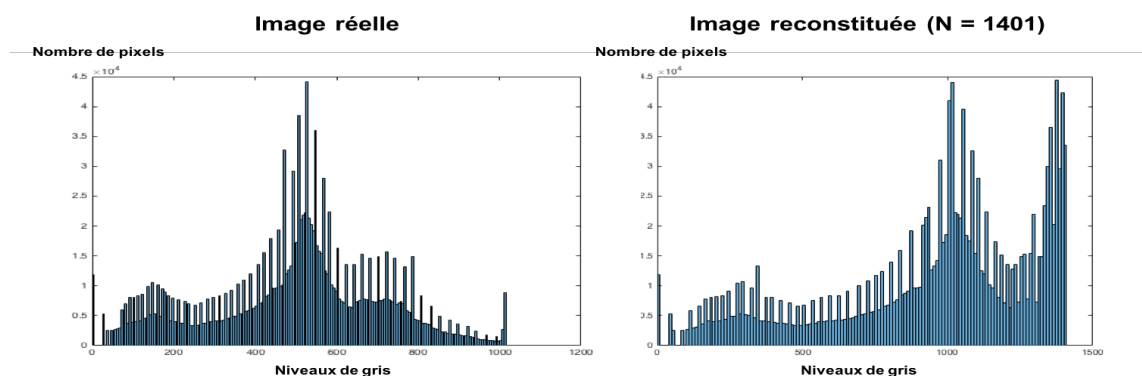


FIGURE 4.44 – Histogrammes de l'image réelle et de l'image reconstituée avec $N = 1401$.

Le PSNR et le SNR sont respectivement de 6,8164 dB et 6,6577 dB. L'indice SSIM est égal à 0,6658. A l'instar de la reconstitution effectuée avec $N = 347$, nous recherchons un nombre de cycle égal à 1023 comme valeur maximale de la partie linéaire de la courbe simulée. Nous

reproduisons les mêmes simulations pour $N = 1401$ mais en ne considérant que la partie linéaire de la courbe (cf. Figure 4.29). Le résultat obtenu est présenté Figure 4.45.



FIGURE 4.45 – Reconstitution de l'image 16 bits sur 10 bits avec uniquement la partie linéaire de notre courbe pour $N = 1401$.

Visuellement les images semblent identiques. Les histogrammes (Figure 4.46) confirment notre impression.

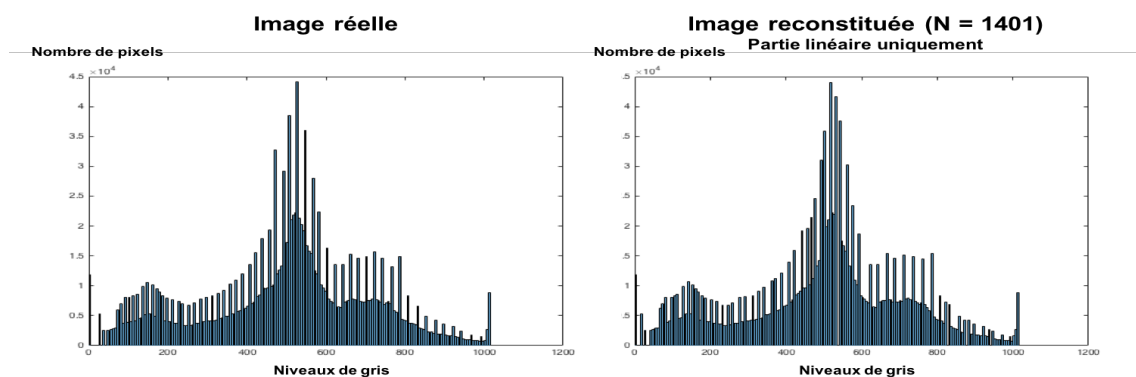


FIGURE 4.46 – Histogrammes de l'image réelle et de l'image reconstituée avec $N = 1401$ (partie linéaire uniquement).

Le PSNR est égal à 46,4604 dB, le SNR est égal à 40,9276 dB et l'indice SSIM est égal à 0,9976. Nous procédons à une simulation de sous éclaircissement sur la courbe entière. Le résultat est présenté Figure 4.47.



FIGURE 4.47 – A gauche, l'image de départ avec simulation d'une sous-exposition. A droite, l'image résultante après reconstitution avec notre courbe pour $N = 1401$.

Le résultat est probant. Les histogrammes (Figure 4.48) attestent du résultat.

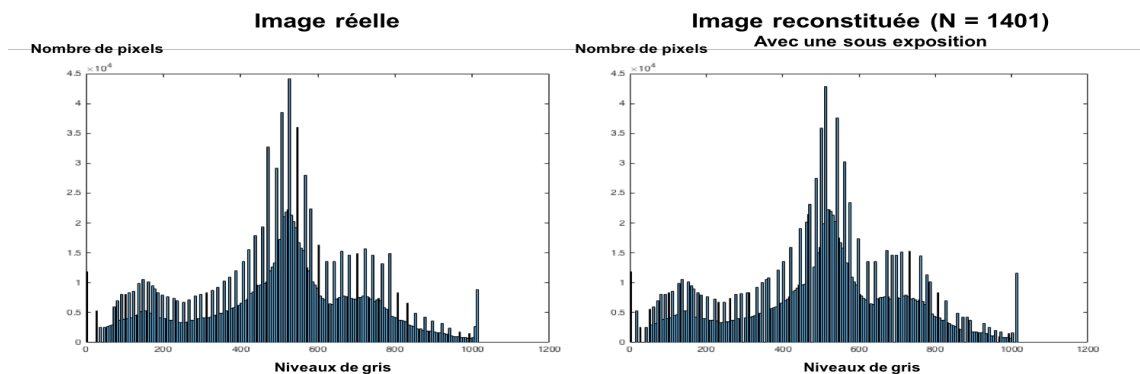


FIGURE 4.48 – Histogrammes de l'image réelle et de l'image reconstituée avec $N = 1401$ (avec une sous-exposition de l'image initiale).

Le PSNR est égal à 46,6005 dB, le SNR est égal à 41,0714 dB et l'indice SSIM est égal à 0,9970. Toutefois, rappelons que la valeur numérique en sortie de chaque compteur ne peut pas dépasser 1023 du fait de l'architecture de chacun.

Pour conclure, les simulations des performances statiques du modulateur nous ont montré que nous avons une linéarité correcte mais avec un nombre de codes manquants. La précision est donc inférieure à 10 bits. Les performances dynamiques de notre système nous mettent en garde également sur les distorsions élevées obtenues et qui ont pour conséquence une forte diminution du nombre de bits. Cependant, nous travaillons à taille très réduite et les résultats obtenus ne sont pas choquants pour un circuit de petite taille en l'absence de circuit(s) supplémentaire(s) de compensation. La perte de linéarité de la réponse de notre système est facilement compensable avec une augmentation du nombre de cycles de la modulation. Toutefois, aux vues des photos reconstituées dans les bonnes conditions d'intégration et le bon nombre de cycles, nous avons une bonne précision et une bonne reconstitution de l'image. Ces simulations donnent un aperçu des résultats supposés du circuit physique.

BIBLIOGRAPHIE

- [1] Zhou Wang, Alan C Bovik, Hamid R Sheikh, and Eero P Simoncelli. Image quality assessment : from error visibility to structural similarity. *IEEE transactions on image processing*, 13(4) :600–612, 2004.
- [2] Alain Hore and Djemel Ziou. Image quality metrics : Psnr vs. ssim. In *Pattern recognition (icpr), 2010 20th international conference on*, pages 2366–2369. IEEE, 2010.
- [3] Aqsa Rashid and Muhammad Khurrum Rahim. Classification, analysis and comparison of non-blind image quality measure. *International Journal of Signal Processing, Image Processing and Pattern Recognition*, 9(4) :347–360, 2016.

NOTRE CIRCUIT AVEC EMPILEMENT DE WAFERS

Sommaire

5.1	Introduction à l'intégration 3D	165
5.2	Présentation de la mutualisation du modulateur	168
5.3	Étude du positionnement des composants	171
5.4	Dessins des masques du pixel	177
5.5	Matrice de pixels numériques et mode de lecture particulier	179
5.5.1	Présentation du mode de lecture particulier	179
5.5.2	Adaptation des connectiques du dessin des masques en fonction du mode de lecture	180

Jusqu'à présent nous avons abordé les performances électriques de notre circuit. Restent à résoudre l'intégration et le positionnement de chaque composant. La technologie 3D participe à l'optimisation de la taille de chaque pixel. Nous sommes limités par deux wafers mais il est également intéressant d'étudier la possibilité de disposer de trois wafers. Dans ce chapitre, nous rappelons les différentes manières de réaliser une intégration 3D. Puis, nous présentons la méthode utilisée pour optimiser la taille du pixel. Ensuite, une étude est portée sur les différentes intégrations et positionnements possibles de chaque composant. Nous montrons, par la suite, les dessins des masques finaux du pixel numérique. Pour finir, nous expliquons notre mode de lecture particulier.

5.1/ INTRODUCTION À L'INTÉGRATION 3D

Bien que l'idée d'une intégration 3D émerge dans les années 70-80, elle prend son essor auprès de nombreux industriels et organismes académiques depuis le début du 21^{ème} siècle. Nous pouvons citer sans ordre établi l'université de l'Arkansas, ASET, le laboratoire Lincoln, le MIT, le CEA-LETI, Tezzaron Semiconductor, IBM, Intel, Ziptronix, ZyCube, l'université du Minnesota, IMEC, SONY et bien d'autres.

L'intégration 3D est synonyme d'empilements verticaux. Mais de quoi? Plusieurs grandes approches sont développées [1–8]. Nous pouvons les distinguer par la présence ou l'absence de via à travers le silicium ou TSV (*Through Silicon Via*), et par la densité des TSV pour les connexions.

La première catégorie est l'empilement vertical de puces encapsulées, communément appelé *3D Packaging* ou 3D-P.

Nous trouvons dans celle-ci :

- Le SIP (*System In Package*) qui représente l'empilement vertical de plusieurs puces dont les connexions se font par fils métalliques au sein d'une même encapsulation.
- Le POP (*Package On Package*) qui est l'empilement vertical de circuits intégrés encapsulés. Les connexions se font par des moyens traditionnels. Il n'y a pas de TSV.

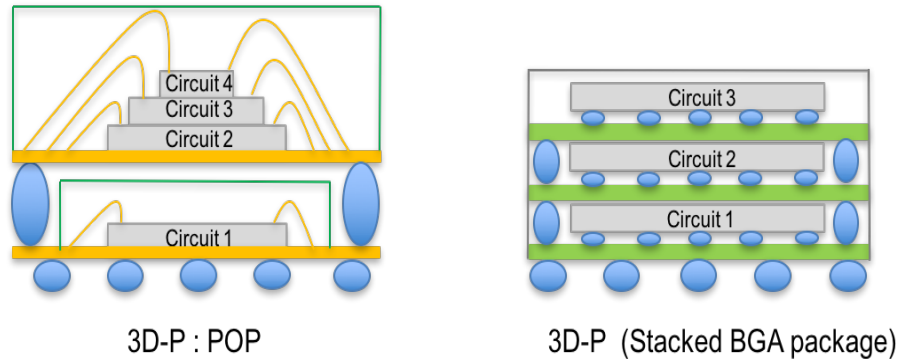


FIGURE 5.1 – Exemples d'intégration 3D-P.

La deuxième catégorie est l'empilement vertical de circuits intégrés, communément appelé « 3D-SIC » (*3D Stacked Integrated circuits*). Les connexions sont réalisées soit par TSV, soit par liaison métallique. Dans cette catégorie, nous retrouvons :

- L'empilement vertical de « die » sur « die » (D2D), Le « die » étant un circuit intégré sur morceau de silicium avant encapsulation. L'approche D2D est éprouvée surtout sur la mémoire. L'idée est de connecter verticalement deux ou plusieurs « dies » à l'aide de TSV. Un exemple est montré Figure 5.2.

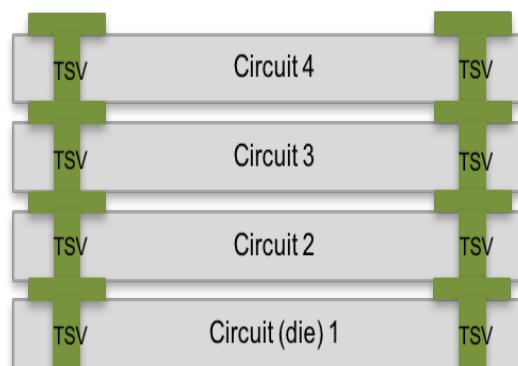


FIGURE 5.2 – Schématisation d'un empilement de plusieurs « dies » .

- L'empilement de « dies » sur plaquette de silicium (wafer) (D2W). L'approche D2W est la connexion d'un circuit ou plusieurs circuits sur un ou plusieurs circuits d'un wafer. On peut citer pour exemple la connexion d'un circuit MEMS sur un des circuits du wafer. Une représentation est faite Figure 5.3.

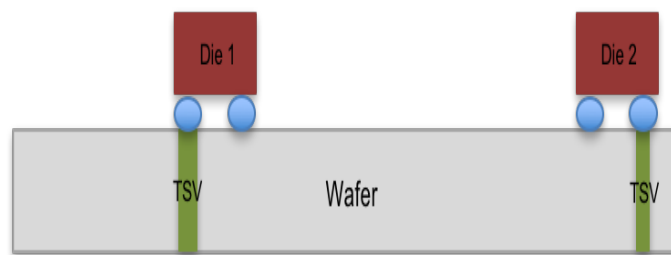


FIGURE 5.3 – Schématisation d'un empilement de « dies » sur wafer.

- L'empilement de wafer sur wafer (W2W). L'approche W2W permet la connexion de deux wafers. La densité de TSV des deux premières approches suit généralement la densité des plots de connexions. L'intégration W2W nous offre la possibilité d'avoir une forte densité de TSV et donc de permettre une connexion massive de circuits d'une plaque de silicium à l'autre. La connexion des deux wafers se fait soit « Face à Face » (*Face to Face*) soit « Face à Arrière » (*Face to Back*).

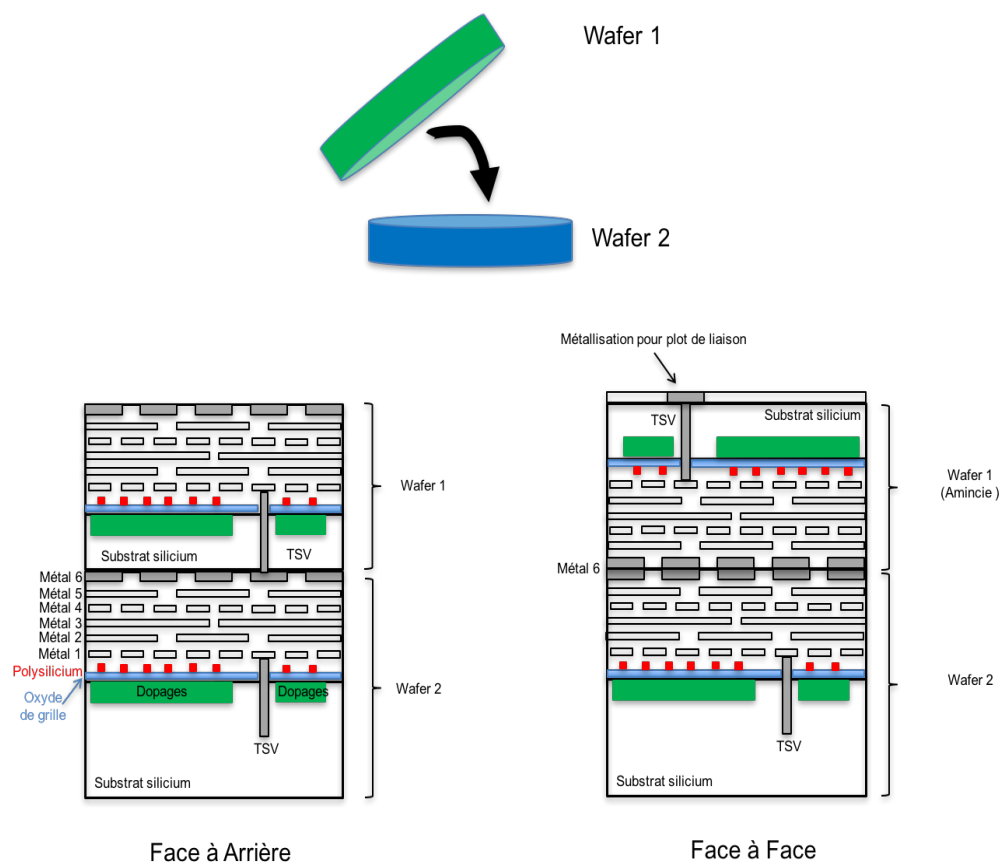


FIGURE 5.4 – Empilement de deux wafers.

- Un mélange de plusieurs procédés cités précédemment.

Cette troisième catégorie, que nous pouvons qualifier de « véritable intégration 3D » ou *holy Graal* (Saint Graal) pour reprendre les dénominations de certains scientifiques, est la connexion verticale de transistors. L'idée est de réaliser plusieurs couches de transistors sur un même wafer. Le BEOL (*Back End of Line*), partie où se trouvent les couches métalliques d'une technologie CMOS, est commune avec plusieurs couches de FEOL (*Front End Of Line*), partie où se localisent les différentes implantations d'une technologie CMOS. Elle porte le nom de *3D monolithic integration*. On parle également de 3D séquentiel. Cette catégorie est encore à l'étude et est la moins usitée car souffrant de problèmes de migrations d'implantations et également de problèmes thermiques. Il y a un contact vertical par transistor FET.

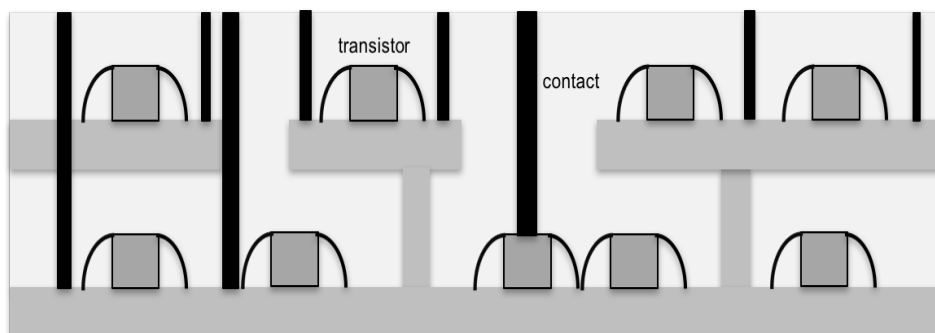


FIGURE 5.5 – Empilement de couches de transistors.

Avec ces différentes configurations possibles, nous discernons les avantages d'une intégration 3D. Les principales motivations d'une telle intégration sont la réduction de la taille du circuit et la rapidité de fonctionnement.

Dans notre cas, la technologie utilisée (CMOS 130 nm 3D-IC FaStack Tezzaron) est un empilement de wafers face à face. Cette technologie semble bien adaptée à la conception de capteurs d'image CMOS car elle permet entre autres la réalisation d'un premier wafer avec les photodiodes et un second avec le reste du circuit. De plus, l'espacement entre chaque TSV et chaque contact de la couche de métal 6 est assez faible, ce qui autorise une taille réduite de l'espacement entre pixels et favorise ainsi une intégration élevée.

5.2/ PRÉSENTATION DE LA MUTUALISATION DU MODULATEUR

Avant de présenter le positionnement des composants ainsi que le dessin des masques de chaque wafer, nous devons expliciter la solution que nous avons retenue afin de minimiser la taille du pixel ainsi que la consommation. Cette solution est la méthode MCBS (*Multi Channel Bit Serial*), méthode de regroupement et de partage de structures communes [9]. Cela consiste dans notre cas à regrouper quatre éléments photosensibles pour un modulateur $\Sigma\Delta$. Cela sous-entend également le rattachement de quatre compteurs asynchrones. Une représentation en est faite Figure 5.6. Nous avons choisi cette solution car l'étude préliminaire de la surface occupée par chacun des blocs de notre pixel nous conduit à une surface prohibitive pour le pixel (largement supérieure à $1000 \mu m^2$).

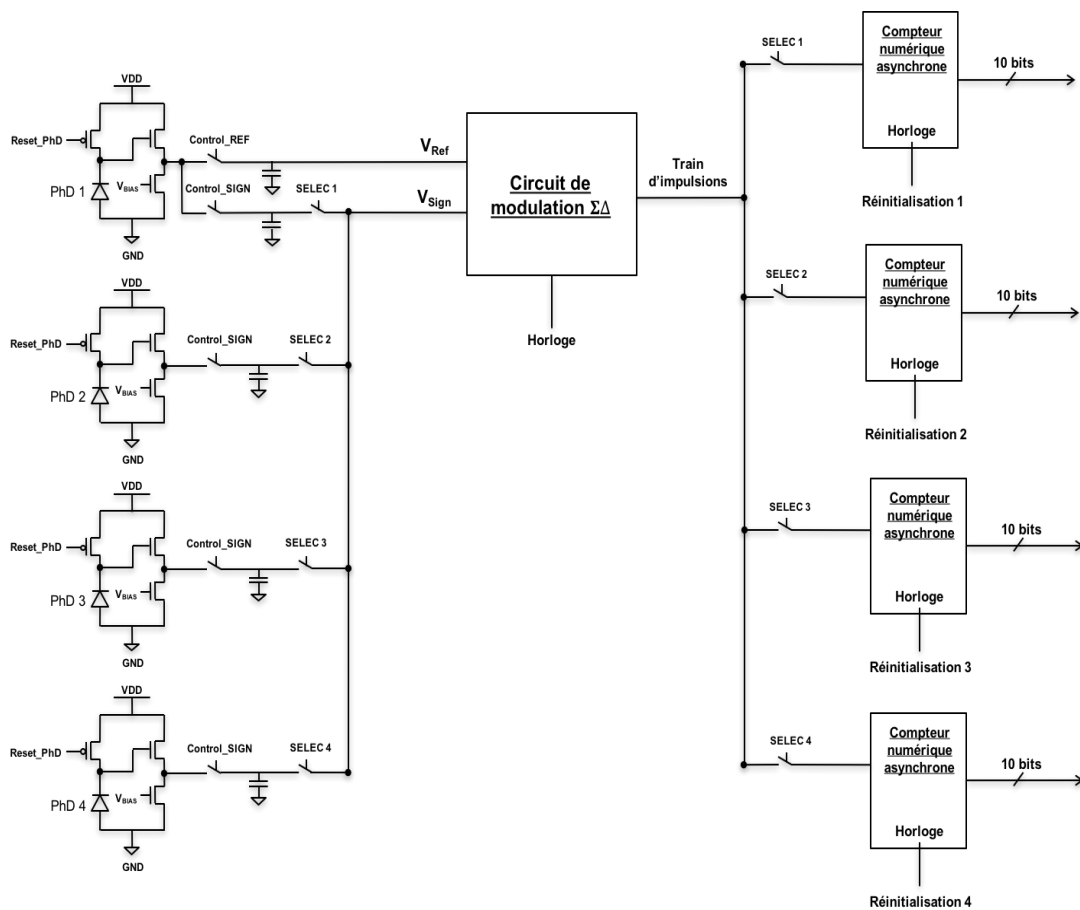


FIGURE 5.6 – MCBS avec notre structure.

La mutualisation du circuit de modulation pour quatre pixels a des répercussions significatives sur la surface du pixel mais également sur le fonctionnement du groupe de quatre pixels. Sur la figure ci-dessus, les signaux ayant la même dénomination sont connectés ensemble. La phase de « Reset » est appliquée conjointement sur les photodiodes et sur le stockage du signal utile des 4 photodiodes en fin de phase d'intégration.

Pour optimiser le placement, nous avons mutualisé un signal de référence pour chaque groupe de 4 pixels, ce qui permet d'économiser trois capacités de stockage. En contrepartie, des non-uniformités vont être engendrées entre chaque pixel du groupe de 4 pixels. Il est difficile de certifier que les tensions stockées aux bornes des différents échantillonneurs-bloqueurs soient affectées des mêmes variations que la tension de référence mutualisée.

En raison de la mutualisation du circuit de modulation, la conversion des valeurs analogiques stockées dans les quatre pixels est effectuée séquentiellement, ce qui entraîne un temps de conversion multiplié par quatre. Toutefois, même dans le cas d'une conversion sur 10 bits utilisant 1400 cycles, le temps de conversion des quatre pixels reste faible ($\approx 600 \mu s$), rendant l'approche MCBS parfaitement viable.

La largeur d'impulsion du signal de sélection détermine le nombre de cycles du circuit de modulation et donc la résolution. Nous avons la possibilité de contrôler la résolution d'une image à l'autre. Schématiquement, il est possible de travailler sur une zone d'intérêt, la première image pouvant être prise en faible résolution pour augmenter le nombre d'images/sec et avoir ainsi la

globalité de l'image, et focaliser la deuxième sur la zone d'intérêt désirée à plus haute résolution pour une meilleure précision. Pour ce faire, il suffit de faire varier la largeur d'impulsions des différents signaux de sélection. C'est en cela que notre structure et le convertisseur Sigma-Delta sont séduisants. Malgré sa lenteur relative, aucun élément n'est ajouté pour faire varier la résolution.

Evidemment se pose la question philosophique du pixel numérique car au final nous mutualisons quatre pixels. Peut on encore parler de pixel numérique avec cette mutualisation ? En se limitant à quatre pixels, nous pouvons affirmer que « OUI » car la conversion analogique numérique reste massivement parallèle, n'entraînant qu'une légère augmentation du temps de conversion global. De plus, cette mutualisation est indépendante de la résolution en pixels du capteur (1/4 de la matrice est convertie simultanément quelle que soit la taille de la matrice), ce qui n'est pas le cas pour des schèmes classiques de conversion bas de colonne par exemple. Ainsi, en se limitant à quatre pixels seulement, nous restons dans l'esprit du pixel purement numérique tout en limitant significativement la surface de silicium occupée.

Un autre aspect positif de cette structure, outre la diminution de la taille du pixel, est la diminution de la consommation. La consommation statique du circuit sans MCBS a été estimée à $1,26 \mu A/pixel$ et la consommation dynamique à $11,84 \mu A/pixel$. Avec le MCBS, nous avons une consommation statique équivalente de $1,25 \mu A/pixel$ dû au suiveur de tension, et une consommation dynamique moindre de $9,65 \mu A/pixel$.

Nous observons une variation de la tension aux bornes des différentes capacités des échantillonneurs-bloqueurs entre la fin de la phase d'intégration et la fin des quatre conver-

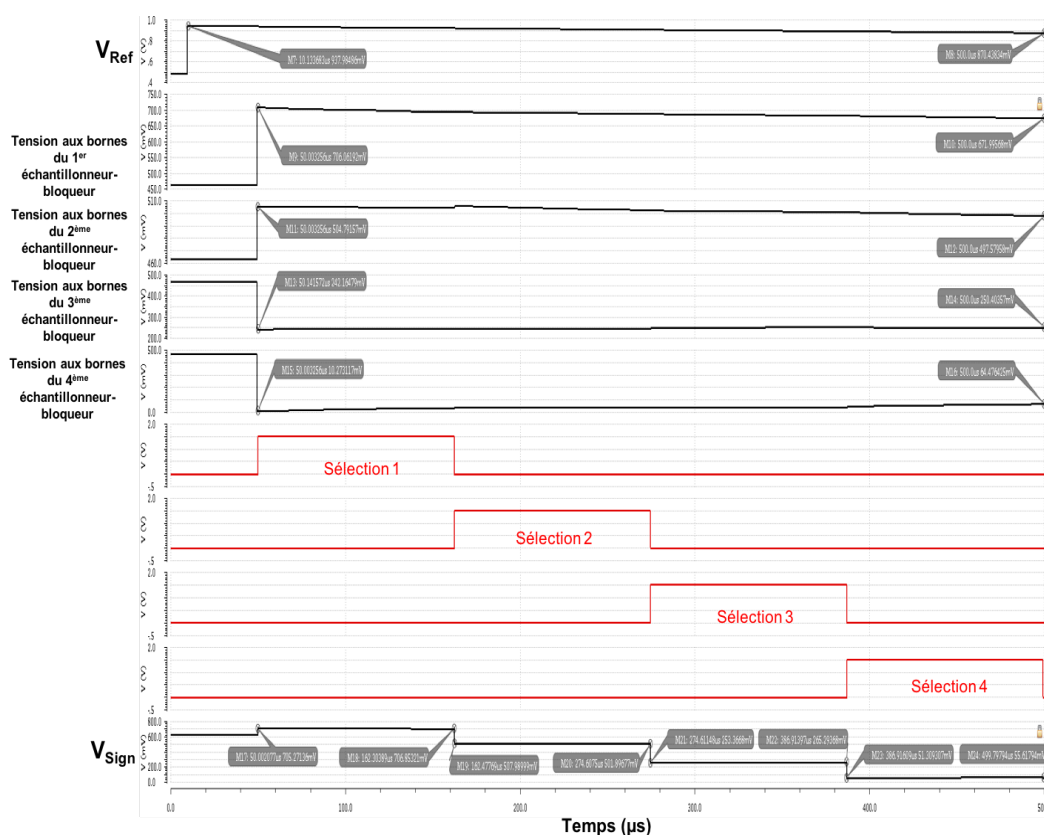


FIGURE 5.7 – Différentes variations des tensions issues du MCBS.

sions. Cela signifie que V_{Sign} varie durant une même conversion et peut s'écarter plus ou moins fortement de la tension initiale aux bornes de la capacité de l'échantillonneur-bloqueur selon que ce soit la première, deuxième, troisième ou quatrième conversion. La variation pendant une même conversion peut affecter la linéarité. De plus, l'offset en tension peut entraîner une erreur potentielle sur l'information captée entre le début du stockage des différentes tensions utiles et le début de la conversion, et une non-uniformité (équivalente au PRNU) si le groupe de 4 pixels est supposé avoir la même valeur. Pour ces raisons, le temps de conversion doit être le plus petit possible pour limiter l'offset.

Pour illustrer nos propos, sont représentés Figure 5.7 la tension de référence, les quatre tensions utiles générées par les 4 photodiodes, les signaux de sélection des tensions utiles des 4 différents échantillonneur-bloqueurs (en rouge) et le comportement de la tension V_{Sign} . La largeur des signaux de sélection est $1023 \times T_{freq} + T_{Reset-compt}$. Ce résultat est indiqué pour la valeur de la résolution maximale désirée. De plus, il existe un laps temps nécessaire avant stabilisation de la modulation. Par conséquent le « Reset » de chaque compteur se fait au début de chaque conversation et pendant la durée de la stabilisation (des tensions V^+ et V^-) qui est de $10 \mu s$ maximum.

Pour quantifier l'écart en tension observé, nous déterminons le coefficient de variation :

- Pour une tension de $938 mV$, nous avons une variation de $-138 \mu V/\mu s$, soit une diminution de 7,2% sur $490 \mu s$.
- Pour une tension de $706 mV$, nous avons une variation de $-75,7 \mu V/\mu s$, soit une diminution de 4,8% sur $450 \mu s$.
- Pour une tension de $505 mV$, nous avons une variation de $-16 \mu V/\mu s$, soit une diminution de 1,43% sur $450 \mu s$.
- Pour une tension de $242 mV$, nous avons une variation de $18 \mu V/\mu s$, soit une augmentation de 3,4% sur $450 \mu s$.
- Pour une tension de $10 mV$, nous avons une variation de $120 \mu V/\mu s$, soit une augmentation de 527% sur $450 \mu s$.

Nous vérifions que la variation de tension diffère selon la tension appliquée aux bornes de l'échantillonneur et que l'écart en tension peut être élevé entre deux conversions. Nous pouvons voir une faible variation en pourcentage sur les hautes valeurs en tension et une très haute variation sur les faibles valeurs en tension. Dans notre cas, seules nous intéressent les hautes valeurs en tension car la réponse de notre système a une linéarité jusqu'à $(V_{REF} - V_{SIGN}) \approx 0,5 V$. Cela revient à dire que nous avons une très bonne linéarité pour les hautes valeurs de V_{SIGN} . Certes notre MCBS crée une légère non uniformité mais au bénéfice d'une très nette diminution de la taille du pixel. C'est d'autant plus vrai si nous travaillons avec des images en sous-exposition comme vue dans le chapitre précédent car une très forte saturation équivaut à un V_{SIGN} très petit.

5.3/ ÉTUDE DU POSITIONNEMENT DES COMPOSANTS

Nous envisageons la technologie 3D essentiellement pour la capacité d'intégration. Le circuit précédemment simulé, une réflexion s'impose quant à la disposition des composants. Selon notre circuit, quatre cas de figures sont envisageables pour la répartition des sous-blocs de notre circuit sur les deux wafers.

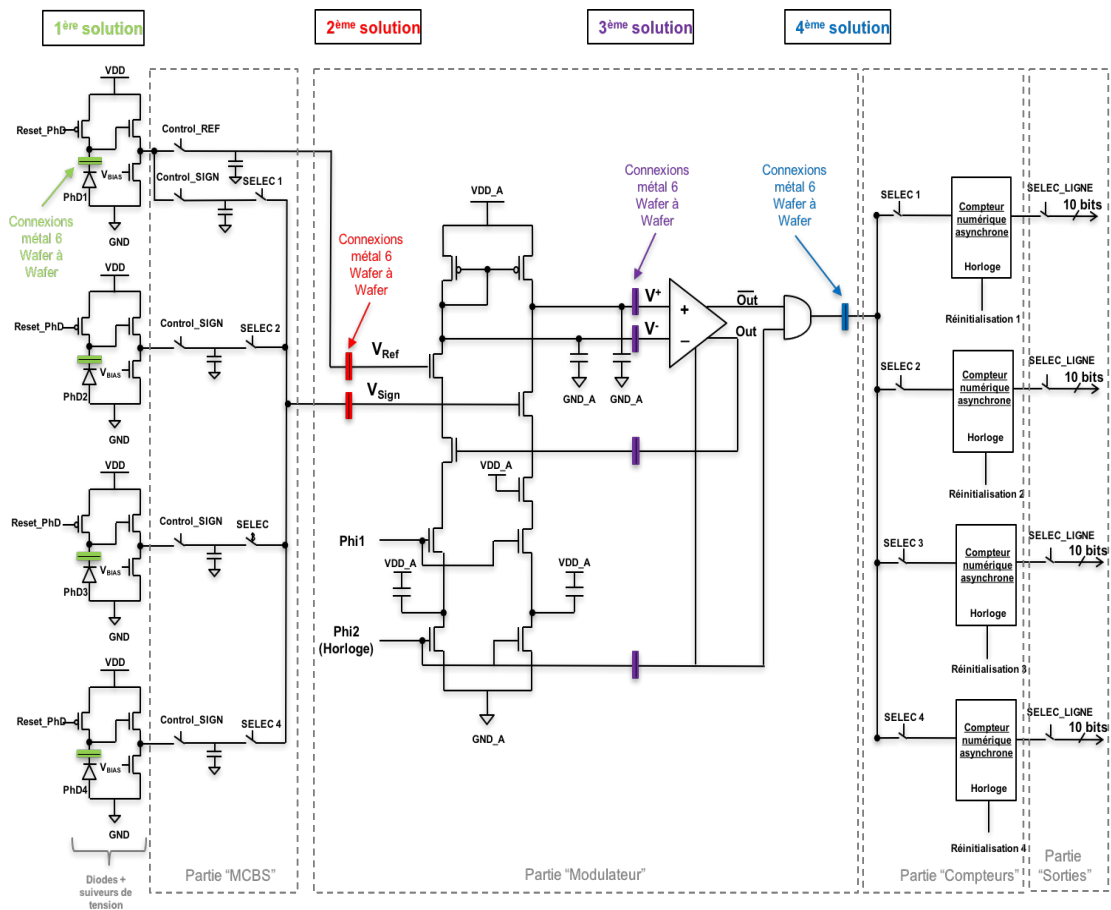


FIGURE 5.8 – Les quatre solutions possibles de positionnement.

Nous décomposons notre circuit en cinq sous-ensembles comme signalé Figure 5.8 :

- Le sous-ensemble avec diodes et suiveurs de tension associés.
- Le sous-ensemble « MBCS » composé de cinq échantillonneurs.
- Le sous-ensemble « Modulateur » comprenant le miroir de courant, les capacités commutées et le comparateur.
- Le sous-ensemble « Compteurs » où nous retrouvons les quatre compteurs asynchrones.
- Le sous-ensemble « Sorties » constitué des interrupteurs pour la sélection de ligne (40 au total, 1 interrupteur par bit).

Traditionnellement, la partie numérique est séparée ou isolée de la partie analogique afin d'éviter une perturbation réciproque. Un problème de désappariement (*mismatch*) peut subvenir. Cela sous-entend dans notre cas la formation de PRNU sur l'image finale. Il est extrêmement difficile de modéliser et de prévoir ce phénomène, et seules des mesures physiques peuvent répondre à cette problématique. Conscient malgré tout du phénomène, nous privilégions le facteur de remplissage de notre pixel, qui est un des problèmes majeurs du pixel numérique.

Selon les sous-ensembles, l'architecture de notre circuit ainsi que le nombre de wafers, les quatre cas de figure possibles pour le positionnement des composants sont énumérés ci-après.

- La première possibilité est de concevoir un wafer uniquement composé des photodiodes et de positionner le reste du circuit sur le deuxième wafer.
- La deuxième possibilité est d'intégrer sur le premier wafer le sous-ensemble nommé MCBS en plus des diodes et des suiveurs de tension.
- La troisième possibilité envisagée est d'ajouter au premier wafer décrit précédemment (deuxième possibilité), la première partie du modulateur et d'avoir sur le deuxième wafer le comparateur, les quatre compteurs et le sous-ensemble « Sorties » .
- La dernière possibilité consiste à séparer la partie analogique de la partie numérique (en considérant que le comparateur fait partie intégrante de la partie analogique et a donc la même alimentation que le modulateur) et de mettre sur le deuxième wafer les compteurs et les interrupteurs de sortie.

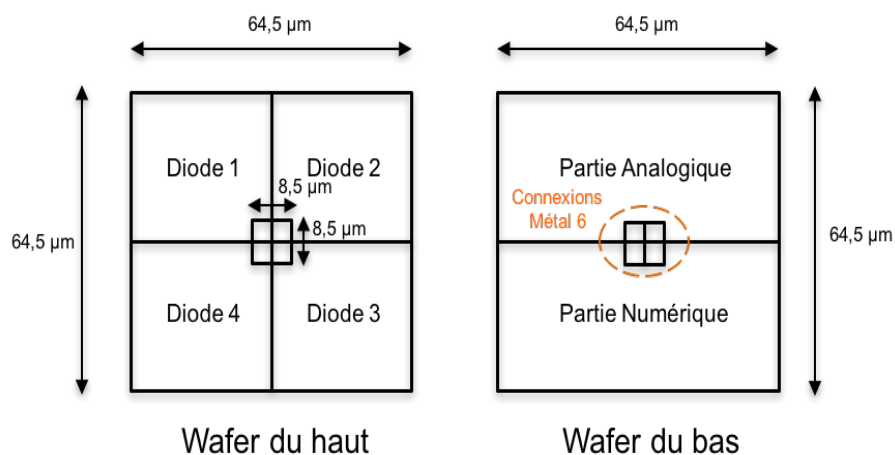
Nous avons évalué, et confirmé avec le dessin des masques finaux, la superficie de chaque bloc du circuit :

- La partie « MCBS » est de $924 \mu m^2$.
- La partie « Modulateur » est égale à $971 \mu m^2$.
- La partie « Sorties » est de $234 \mu m^2$.
- L'espace nécessaire pour quatre connexions de métal 6 est de $72,25 \mu m^2$ (très dépendant de la solution retenue mais déterminé dans le cas le plus défavorable).
- La partie « Compteurs » est égale à $1859 \mu m^2$.
- Le comparateur seul (avec mémoire RS) équivaut à $341 \mu m^2$.
- Les quatre suiveurs de tension ont une superficie de $50 \mu m^2$.
- Les quatre transistors de Reset ont une superficie de $12 \mu m^2$.
- Le total (sans tenir compte des diodes) est de $4123 \mu m^2$ soit $64,21 \times 64,21 \mu m^2$.

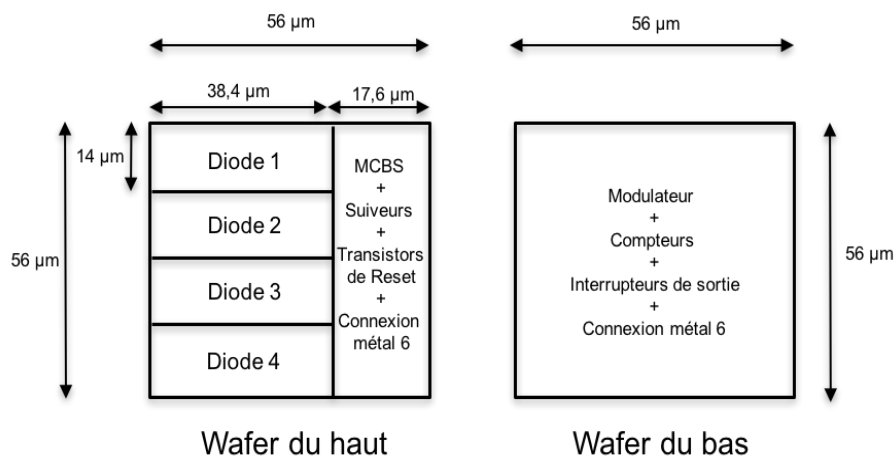
Ces évaluations tiennent compte de la place nécessaire pour les différentes connexions métalliques, sachant que nous ne pouvons utiliser que 5 niveaux de métal. En nous affranchissant de l'estimation de la superficie des connexions de métal 6, la partie Analogique (sans les diodes et avec le comparateur) fait $1957 \mu m^2$, et la partie Numérique $2093 \mu m^2$. Notre vision vis-à-vis de notre circuit est d'obtenir une surface équivalente ou presque entre la partie Analogique et la partie Numérique.

Première possibilité

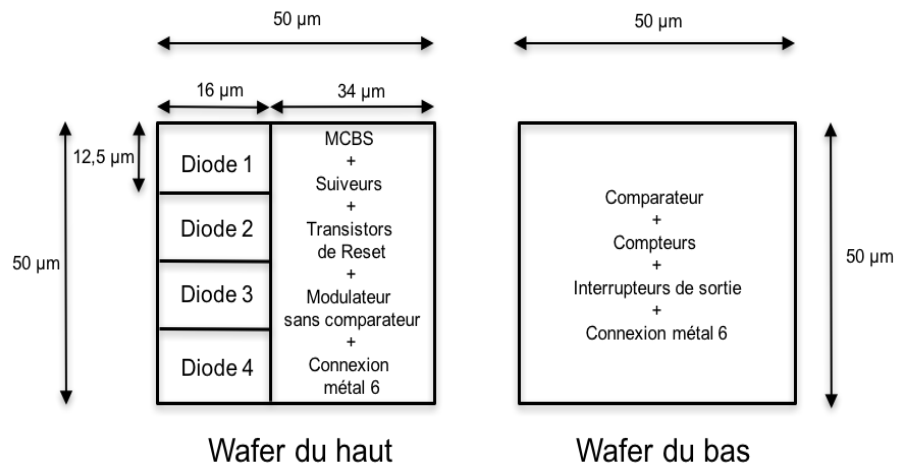
Avec cette possibilité, la taille de wafer est arrondie à $64,5 \times 64,5 \mu m^2$. Cela ramène la taille de la diode à $32,18 \times 32,18 \mu m^2$ avec un facteur de remplissage de quasiment 98%. Cette solution est probablement assujettie au problème de PRNU. Une représentation schématique est présentée Figure 5.9.

FIGURE 5.9 – 1^{ère} possibilité d'intégration.Deuxième possibilité

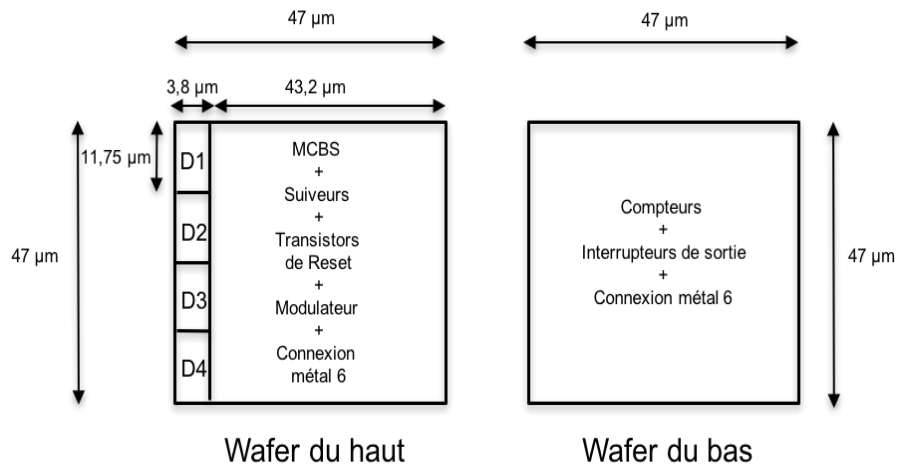
La taille de wafer de cette proposition diminue et passe à $56 \times 56 \mu m^2$, Ce qui établit la taille de diode à $38,4 \times 14 \mu m^2$. Ramené à un carré, la taille de la diode est de $23,2 \times 23,2 \mu m^2$. Le facteur de remplissage diminue et n'atteint plus qu'environ 69%. A l'instar de la première possibilité, un *mismatch* peut apparaître. A noter qu'une diminution de la taille de la capacité, peut diminuer le bruit et notamment le bruit de Reset.

FIGURE 5.10 – 2^{ème} possibilité d'intégration.Troisième possibilité

La troisième possibilité permet de diminuer la taille du groupe de quatre photodiodes à $50 \times 50 \mu m^2$, Ce qui ramène la diode à $16 \times 12,5 \mu m^2$. Ramené à un carré, la taille de la diode se fixe à $14,1 \times 14,1 \mu m^2$. Le facteur de remplissage diminue de manière significative et passe à 32%. Les remarques de la deuxième possibilité peuvent être transposées à ce cas de figure. Cependant, il est à noter que le comparateur est à la frontière entre l'analogique et le numérique.

FIGURE 5.11 – 3^{ème} possibilité d'intégration.Quatrième possibilité

Cette dernière possibilité ne souffrirait pas d'une non-uniformité due au *mismatch* entre la partie analogique et numérique. Néanmoins, elle pâtit du plus petit *Fill Factor*, soit 8%. Il serait très difficile, avec notre architecture, de descendre en dessous d'une taille de $47 \times 47 \mu m^2$, la taille des diodes serait alors de $6,7 \times 6,7 \mu m^2$. Nous pourrions augmenter le *Fill Factor* en augmentant la taille du circuit, mais pour atteindre un *Fill Factor* de 50%, il faudrait multiplier par deux la surface de la partie analogique, en partant du principe que les tailles des deux wafer sont identiques.

FIGURE 5.12 – 4^{ème} possibilité d'intégration.Solution retenue

Les solutions les plus intéressantes sont les deux premières. En effet, bien que la taille diminue (légèrement) de la première à la quatrième possibilité, un facteur de remplissage inférieur à 50% rend une technologie 3D incongrue pour un pixel numérique.

Nous retenons la première possibilité, privilégiant le facteur de remplissage à la diminution de la taille de la photodiode. En effet, rien ne démontre, faute de tests physiques, qu'une réduction du bruit est suffisamment significative par rapport au gain de la sensibilité amené par l'augmentation du facteur de remplissage, sachant que la sensibilité est dépendante de la capacité de la photodiode et de l'aire du pixel.

La mesure du PRNU permettrait également de vérifier la pertinence d'un choix par rapport à l'autre. Faute d'expérimentations, l'amélioration du *Fill Factor* qui est un des points faibles actuels des pixels numériques planaires motive notre choix.

L'étude porte sur le circuit mutualisant un groupe de pixels. Sans la solution du MCBS et avec un facteur de remplissage de presque 100%, le circuit aurait une taille estimée de $43,5 \times 43,5 \mu\text{m}^2$, ce qui fait une augmentation de près de 44% de la surface du pixel. Avec la seconde possibilité, nous aurions une taille estimée de $39 \times 39 \mu\text{m}^2$ avec un facteur de remplissage de 72%. Au regard de ces dernières estimations, l'utilisation du MCBS est confortée avec notre structure car un de nos objectifs est de parvenir à élaborer un pixel numérique à taille contrôlée, la plus petite possible.

La technologie nous laisse peu de marges de manoeuvre en étant limité à un empilement de deux wafers. Nous avons toutefois envisagé d'avoir à disposition trois wafers pour l'implémentation des différents blocs de notre circuit. Nous montrons Figure 5.13 les avantages offerts par l'empilement de trois wafers.

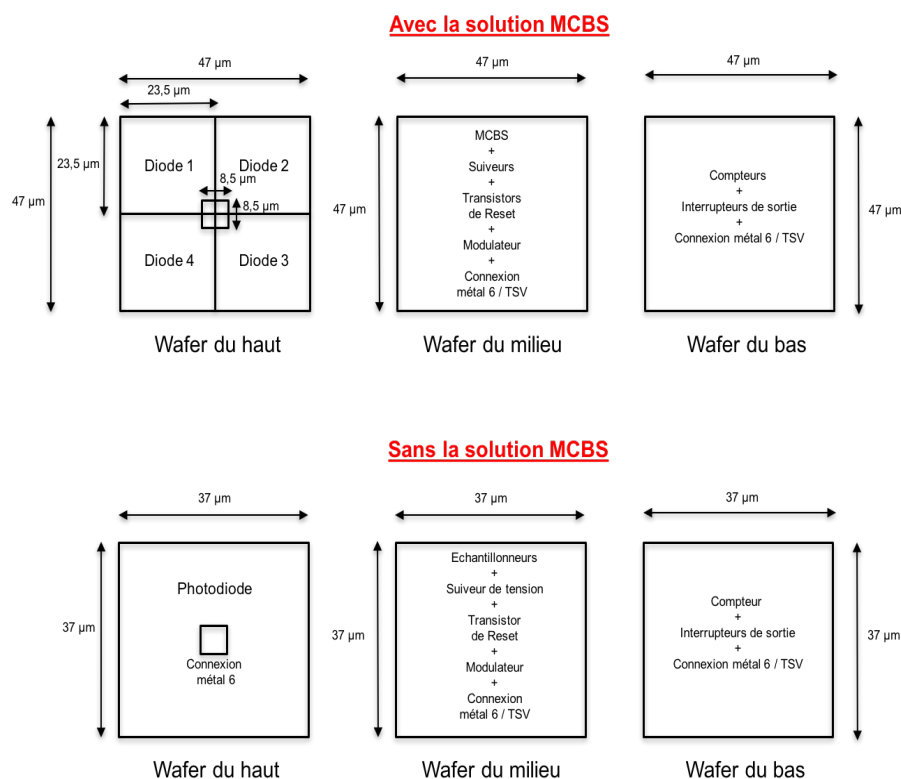


FIGURE 5.13 – Notre choix avec un empilement de trois wafers.

Sur la Figure 5.13 sont montrées les configurations avec et sans MCBS. Avec MCBS et l'empilement de 3 wafers, nous garderions le même facteur de remplissage avec une surface de la

diode plus petite et surtout une séparation totale entre les photodiodes, la partie analogique et la partie numérique.

Sans MCBS, nous aurions les mêmes avantages hormis la diode qui aurait une taille plus grande (avec la condition d'une séparation totale entre le circuit analogique et le circuit numérique). A noter que le wafer du bas ne serait pas totalement rempli. Cela laisserait la possibilité d'étudier un nouveau filtre numérique plus efficace et de remplacer le compteur, ou encore de rajouter un pré-circuit de traitement supplémentaire. La place disponible serait de $13,5 \times 13,5 \mu m^2$ soit $182 \mu m^2$.

5.4/ DESSINS DES MASQUES DU PIXEL

Ne sont représentés que les dessins des masques des deux wafers du groupe de quatre pixels. Les deux dessins respectent le DRC (*Design Rules Check*) et le LVS (*Layout Versus Schematic*). Ces deux méthodes permettent de vérifier d'une part si les règles de dessin spécifiées par le fondeur sont respectées et d'autre part si le dessin des masques du circuit correspond au schéma électrique. Comme indiqué précédemment, le premier wafer ne contient que les photodiodes et le wafer du dessous, le reste du circuit. La Figure 5.14 détaille le wafer du dessus.

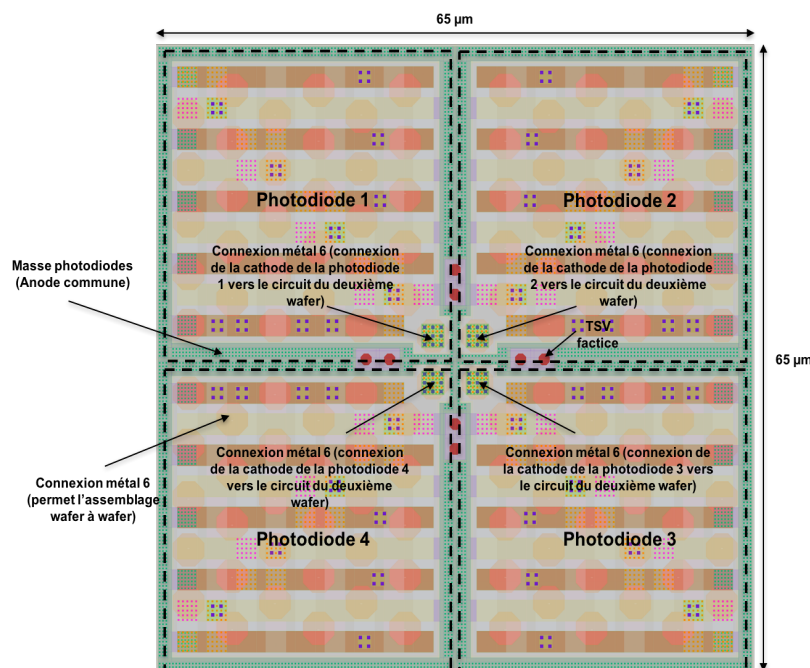


FIGURE 5.14 – Layout du wafer du dessus avec les photodiodes.

La dimension totale d'un groupe de 4 photodiodes est de $65 \times 65 \mu m^2$, soit pour chaque diode la dimension de $32,5 \times 32,5 \mu m^2$. La couche N_{WELL} de chaque photodiode a une superficie de $28,6 \times 28,6 \mu m^2$, soit un facteur de remplissage de 77%.

Chaque diode est entourée d'un anneau de garde P^+ afin de polariser le substrat (anode de la photodiode). Cette partie est commune à toutes les diodes et sa polarisation est de 0 Volt, soit le potentiel le plus bas.

Au centre du dessin des masques se trouvent les anodes des diodes qui sont connectées au circuit situé sur le wafer du dessous. Chaque cathode est constituée d'un Via N^+ /Métal 1. Il en est de même pour tous les Vias et les couches métalliques nécessaires pour connecter la couche de métal 1 à la couche de métal 6.

Au-dessus de la couche N_{WELL} , des couches métalliques factices sont ajoutées et reliées à la masse pour respecter chaque densité locale nécessaire à chaque matériau pour la fabrication. Des TSV factices sont rajoutées pour les mêmes raisons. Les octogones de métal 6 lient les deux wafers. Une densité locale doit également être respectée.

En respectant toutes les règles de dessin, il paraît difficile d'améliorer le facteur de remplissage à moins de dessiner de manière totalement différente les diodes. La Figure 5.15 montre la disposition de chaque composant du circuit sur le wafer du dessous.

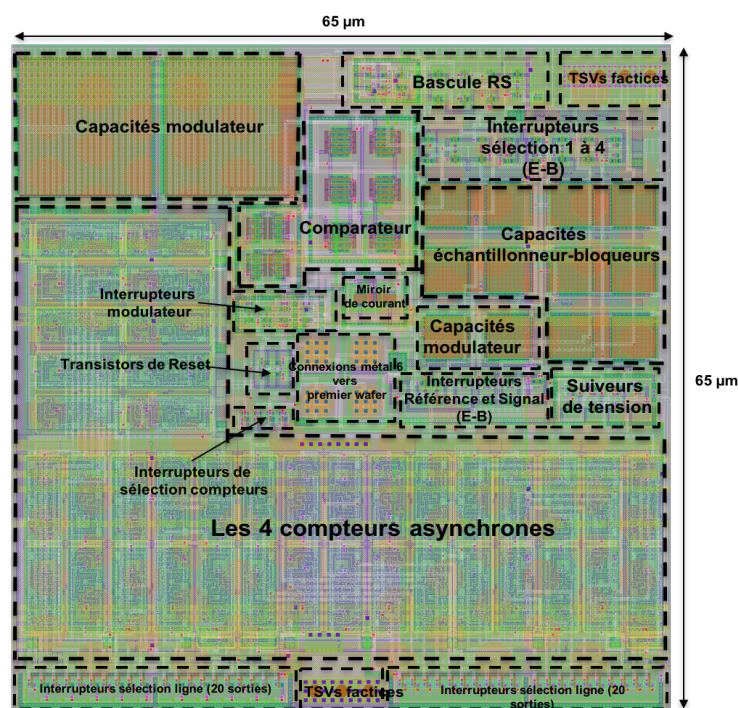


FIGURE 5.15 – Layout du wafer du dessous avec le circuit complet.

La taille du circuit est identique au circuit du précédent wafer. Ce layout respecte les règles de dessin et celles concernant les densités locales des matériaux. Pour des raisons similaires aux diodes, des TSVs factices sont rajoutées. Des TSVs autres que factices sont nécessaires pour les plots d'entrées/sorties afin d'assurer les liaisons filaires entre le *package* de la puce et le circuit. La partie analogique représente environ 50% du layout (idem pour la partie numérique). Tout en bas de celui-ci, se positionnent les interrupteurs permettant de sélectionner la ligne de la matrice. Au centre, se situent les quatre connexions métalliques reliant les cathodes des diodes à ce circuit.

Nous avons essayer de respecter les règles élémentaires sur l'appariement des composants. Néanmoins, nous sommes en présence d'un circuit à signaux mixtes. Les alimentations de la partie analogique et de la partie numérique sont séparées pour éviter la propagation de perturbations d'un circuit à un autre, exception faite de la polarisation du substrat qui est

commune à la composante analogique et numérique. Le problème est que pour les NMOS des compteurs, les polarisations du substrat et de la source sont issues de deux sources différentes. Nous ne pouvons pas appliquer deux potentiels différents sur le substrat de silicium. La valeur du potentiel devrait être la même mais il est difficile de prévoir l'influence de la variation d'un des potentiels et son impact sur le fonctionnement du compteur. La mesure des non-uniformités (PRNU) sur un circuit réel pourrait nous renseigner.

5.5/ MATRICE DE PIXELS NUMÉRIQUES ET MODE DE LECTURE PARTICULIER

5.5.1/ PRÉSENTATION DU MODE DE LECTURE PARTICULIER

Dans nos travaux, nous avons envisagé la conception d'une matrice de 128×128 . Ce choix est motivé par la consommation de notre pixel ainsi que sa taille. Toutefois, il est impossible de concevoir un groupe de plots de sortie par pixel. L'idée retenue est de réaliser des sorties pour $4 \times 2 \times 2$, soit 160 sorties parallèles quelle que soit la taille finale de la matrice.

Le choix d'un voisinage de 16 pixels codés sur 10 bits est retenu car il permet d'envisager l'intégration de bon nombre d'opérations bas niveau de traitement d'image opérant sur des voisinages [10–13]. Pour exemple, les données issues des macros blocs de 16 pixels sont directement utilisables par des algorithmes de compression MPEG. Un autre intérêt d'œuvrer avec le traitement de blocs est le travail sur zones d'intérêt d'une image [14]. La Figure 5.16 représente la matrice de notre imageur avec son mode de lecture.

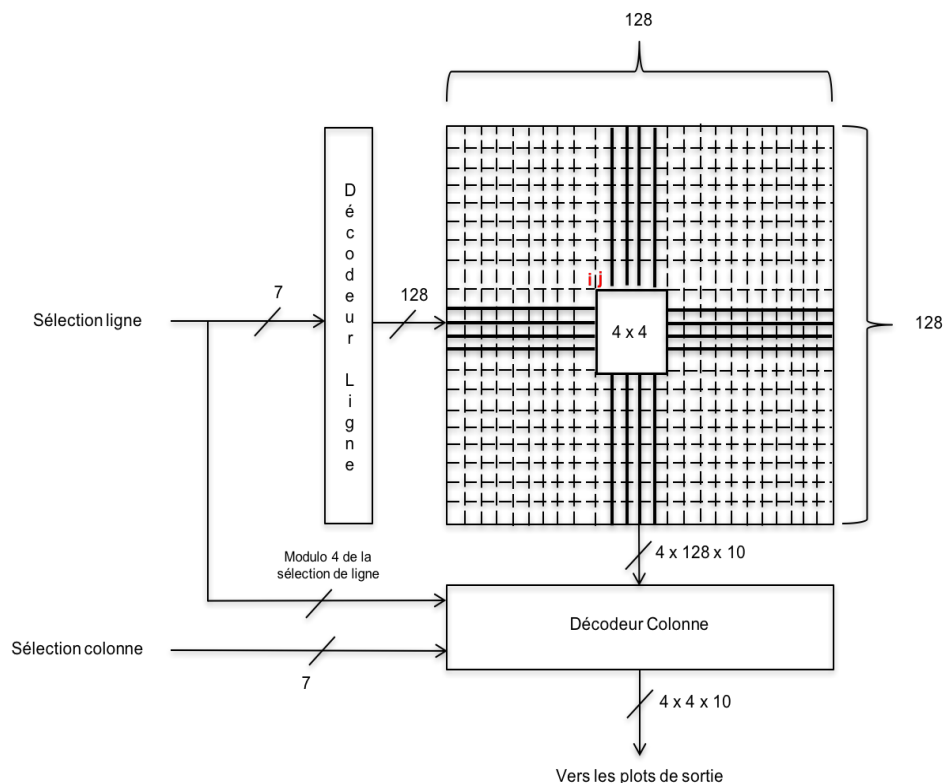


FIGURE 5.16 – Mode de lecture de notre capteur d'image.

La figure représente une matrice 128×128 pixels. Le principe de fonctionnement présenté est le même quelle que soit la taille de la matrice, à l'exception du nombre de connections.

Nous optons pour la possibilité de choisir n'importe quel voisinage de 16 pixels, n'importe où dans la matrice. Pour ce faire, nous adaptons les décodeurs lignes et colonnes mais également le dessin des masques du groupe de pixels (présenté ultérieurement). Les coordonnées du voisinage dans l'image sont choisies en fonction d'un pixel référent, le pixel le plus haut à gauche.

Le décodeur ligne active quatre lignes à la fois mais l'adressage se fait par pas d'une ligne. 0 (0000000 en réalité) en sélection de ligne active les lignes 0, 1, 2 et 3 (0 étant la ligne en haut à gauche) alors que 1 (0000001) en sélection active les lignes 1, 2, 3 et 4, et ainsi de suite. Le décodeur colonne reçoit quant à lui en entrée l'équivalent de quatre lignes entières soient $4 \times 128 \times 10$ bits et fournit en sortie 160 bits. Nous comprenons qu'une taille de matrice plus conséquente complexifie le décodeur colonne en multipliant le nombre de multiplexeurs le composant, mais est sans influence sur les dessins des masques de la matrice.

Le choix de la colonne se fait par la sélection colonne mais utilise également le modulo 4 de la sélection de ligne pour synchroniser les deux décodeurs. Cette architecture offre la possibilité de choisir le voisinage de 16 pixels dans l'image en fonction de l'adressage codé sur 14 bits, 7 bits pour les lignes et 7 bits pour les colonnes. Les décodeurs ont été écrits, synthétisés et validés en langage VHDL.

5.5.2/ ADAPTATION DES CONNECTIQUES DU DESSIN DES MASQUES EN FONCTION DU MODE DE LECTURE

Les lignes métalliques de liaison des entrées et des sorties du circuit se font sur le wafer du bas et sont remontées par la suite grâce aux plots d'entrées/sorties posés sur les deux wafers. La communication des plots sur les deux wafers et vers le *package* est réalisée grâce à la couche de métal 6 et aux TSVs. Les alimentations sont faites en métal 1 et métal 2 (respectivement couleur bleue et blanche). Les signaux d'entrée et de contrôle sont réalisés en métal 5 (couleur jaune) et les sorties du groupe de quatre pixels, 40 au total, sont en métal 4 (couleur verte). Nous utilisons un mode de lecture qui permet la lecture d'un voisinage de 16 pixels avec pour coordonnées de référence n'importe quel pixel de la matrice. Pour rendre cela possible le nombre de lignes de métallisations des sorties (couleur verte) est doublé afin d'éviter que deux pixels envoient simultanément des informations sur les mêmes lignes métalliques. La solution est présentée Figure 5.17.

La figure montre nos connectiques avec une matrice 8×8 . Nous différencions les groupes de pixels pairs et les groupes de pixels impairs. La dénomination « pair » et « impair » est choisie en fonction des lignes et non en fonction des colonnes. Les groupes de pixels pairs et impairs sont identiques à l'exception de la connexion aux sorties des interrupteurs de sélection de ligne.

Chaque groupe de pixels possède 40 interrupteurs de sélection, un par bit de chaque pixel. Il y a seulement deux signaux de commande de sélection de ligne par groupe. $2 \times 4 \times 10$ lignes métalliques verticales en métal 4 traversent chaque groupe de pixels. La totalité de ces groupes de connexions est connectée au décodeur colonne. Pour assurer notre mode lecture, les pixels 1 des groupes pairs sont reliés entre eux. Il en est de même pour les pixels 2, 3 et 4. De manière séparée, les pixels 1 des groupes impairs sont reliés entre eux, et ainsi de suite. Cela permet de sélectionner n'importe quel pixel de la matrice et de lire son voisinage.

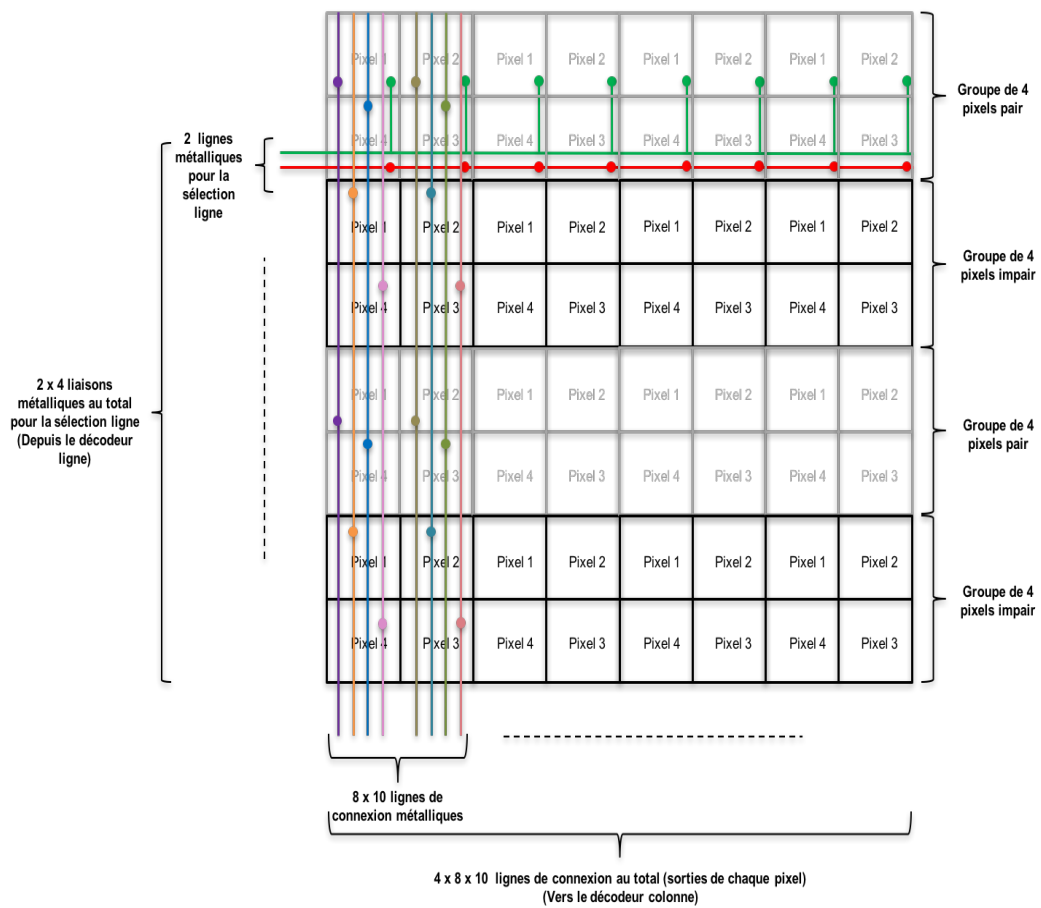


FIGURE 5.17 – Connexions des sorties et des signaux de sélection.

Un zoom est présenté Figure 5.18 et Figure 5.19 sur le layout des interrupteurs du groupe pair et du groupe impair. Les interrupteurs du groupe pair sont reliés aux liaisons numérotées Xx et les interrupteurs du groupe impair aux liaisons numérotées Xx' .

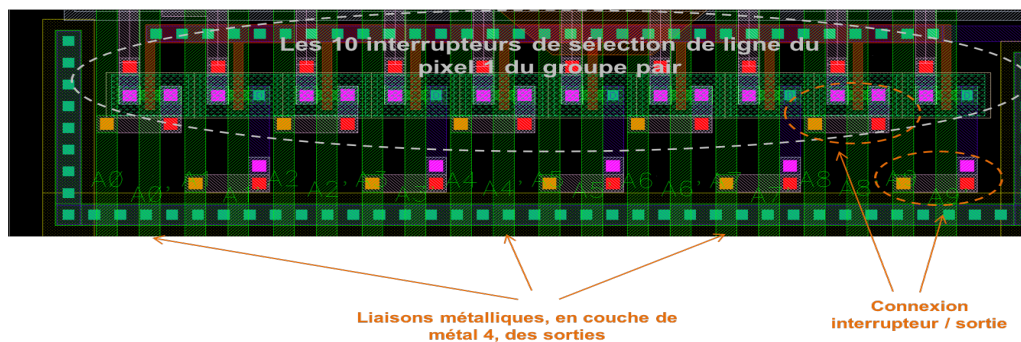


FIGURE 5.18 – Zoom sur le layout des 10 interrupteurs du pixel 1 du groupe pair (situé en bas du layout du wafer 2).

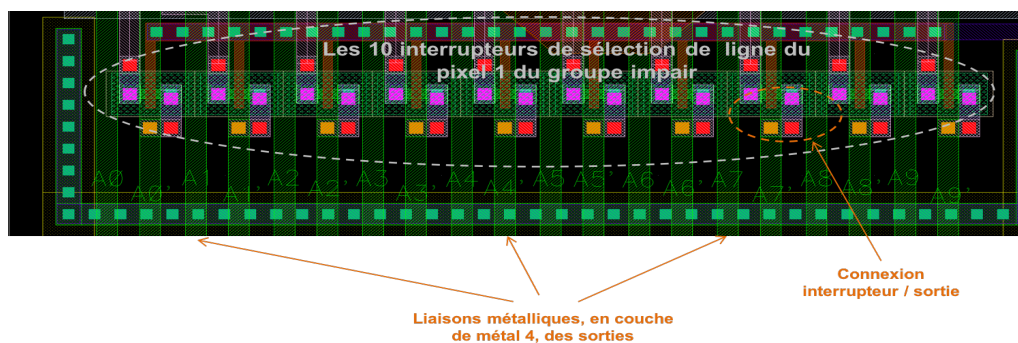


FIGURE 5.19 – Zoom sur le layout des 10 interrupteurs du pixel 1 du groupe impair (situé en bas du layout du wafer 2).

Pour conclure, nous avons présenté la méthode MCBS adaptée à notre circuit qui permet de diminuer la consommation et également la taille de chaque pixel. Certes cette méthode peut avoir quelques contraintes comme un temps de conversion global multiplié par quatre ainsi que des petites variations en tension pouvant créer de légères non-uniformités, mais nous diminuons la taille de chaque pixel de près de 44% et la consommation dynamique par pixel d'environ $2 \mu A$. De plus, bien que le temps de conversion total soit augmenté, nous restons dans un temps de conversion faible ($\approx 600 \mu s$) nous permettant d'approximer un nombre d'IPS aux alentours de 900 et plus (cela dépend également de la fréquence de lecture). Nous avons pris le parti d'avoir un mode de lecture par voisinages de 16 pixels et ce pour deux raisons : la première est que cela permet de travailler sur des zones d'intérêts d'une image. Bien souvent, seule une région d'une image est intéressante à traiter. Nous avons donc la possibilité avec notre capteur d'avoir soit l'image entière soit une région de l'image permettant ainsi d'augmenter ou pas le nombre d'IPS et/ou la résolution sur une partie de l'image seulement ou l'image entière. La deuxième est le fait que de nombreux algorithmes de traitement de l'image utilisent des opérations sur voisinage de pixels comme par exemple le codage MPEG. Cela autorise une potentielle intégration de traitement plus complexe dans notre pixel selon la technologie CMOS 3D utilisée. Pour finir, nous avons avec notre architecture de pixel et notre structure de capteur une bonne flexibilité d'utilisation.

BIBLIOGRAPHIE

- [1] Jian-Qiang Lu, Ken Rose, and Susan Vitkavage. 3d integration : Why, what, who, when ? *Future Fab Int*, 23(23) :25–26, 2007.
- [2] Bart Vandevelde, Chukwudi Okoro, Mario Gonzalez, Bart Swinnen, and Eric Beyne. Thermo-mechanics of 3d-wafer level and 3d stacked ic packaging technologies. In *Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Micro-Systems, 2008. EuroSimE 2008. International Conference on*, pages 1–7. IEEE, 2008.
- [3] Philip Garrou, Christopher Bower, and Peter Ramm. *Handbook of 3d integration : volume 1-technology and applications of 3D integrated circuits*. John Wiley & Sons, 2011.
- [4] P Garrou, M Koyanagi, and P Ramm. *Handbook of 3d integration : 3d process technology*, vol. 3, 2014.
- [5] Steven J Koester. *3D integration for VLSI systems*. Pan Stanford Publishing, 2011.
- [6] Rozalia Beica. 3d integration : Applications and market trends. In *3D Systems Integration Conference (3DIC), 2015 International*, pages TS5–1. IEEE, 2015.
- [7] Dingyou Zhang and James J-Q Lu. 3d integration technologies : An overview. In *Materials for Advanced Packaging*, pages 1–26. Springer, 2017.
- [8] Rajen Chanchani. 3d integration technologies—an overview. In *Materials for Advanced Packaging*, pages 1–50. Springer, 2009.
- [9] David XD Yang, Boyd Fowler, and Abbas El Gamal. A nyquist-rate pixel-level adc for cmos image sensors. *IEEE Journal of Solid-State Circuits*, 34(3) :348–356, 1999.
- [10] Milin Zhang and Amine Bermak. Cmos image sensor with on-chip image compression : A review and performance analysis. *Journal of Sensors*, 2010, 2010.
- [11] Yusuke Oike and Abbas El Gamal. Cmos image sensor with per-column $\sigma\delta$ adc and programmable compressed sensing. *IEEE Journal of Solid-State Circuits*, 48(1) :318–328, 2013.
- [12] Shoushun Chen, Amine Bermak, and Yan Wang. A cmos image sensor with on-chip image compression based on predictive boundary adaptation and memoryless qtd algorithm. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 19(4) :538–547, 2011.
- [13] M Dadkhah, M Jamal Deen, and Shahram Shirani. Block-based compressive sensing in a cmos image sensor. *IEEE Sensors Journal*, 12(99) :1–1, 2012.
- [14] Jaehyuk Choi, Seokjun Park, Jihyun Cho, and Euisik Yoon. A 3.4- μ m w object-adaptive cmos image sensor with embedded feature extraction algorithm for motion-triggered object-of-interest imaging. *IEEE Journal of Solid-State Circuits*, 49(1) :289–300, 2014.

CONCLUSION ET PERSPECTIVES

Sommaire

6.1 Conclusion	185
6.2 Perspectives	187

6.1/ CONCLUSION

Notre début de siècle voit émerger de nouvelles technologies dans le domaine de la micro-électronique. Les technologies CMOS planaires cohabitent dorénavant avec les technologies CMOS à intégration 3D. Elles sont présentes dans de nombreuses structures telles que les mémoires, les micro-processeurs et également les capteurs d'image. La commercialisation dans le domaine du capteur d'images est récente. Un des premiers capteurs réalisés en technologie 3D a été proposé par Sony en 2012. Le Samsung Galaxy S7 produit par le même constructeur en 2016 est équipé d'un capteur CMOS à intégration 3D.

L'intégration 3D offre de nombreuses perspectives et d'autant plus dans l'imagerie. Il est possible d'améliorer le facteur de forme, d'ajouter des fonctionnalités, d'augmenter la vitesse de transmission, et chaque plaquette de silicium peut être optimisée indépendamment l'une de l'autre garantissant une bonne flexibilité.

Au démarrage du projet en 2013, la seule technologie accessible du point de vue académique était la technologie 130 nm de TEZZARON. Notre projet initial reposait sur l'idée d'intégrer un maximum de fonctionnalités au sein même du pixel pour permettre une parallélisation massive des traitements. Cette parallélisation assure une rapidité de traitement bonifiée et une simplification du circuit de traitement du capteur. Elle permet également d'envoyer des données déjà traitées à un micro-processeur facilitant des tâches comme le filtrage, le moyennage, la calibration éventuelle, la compression ou toute autre opération mathématique sur les données. Nous sommes dans la logique de l'évolution des micro-processeurs, où plutôt que résoudre « ad infinitum » les complexités croissantes rencontrées par le processeur (vitesse, etc.), les tâches se mutualisent au travers du processeur multi-cœurs.

Nous avons ainsi conçu un capteur à pixels numériques intégrant une conversion analogique-numérique au sein de chaque pixel ou groupe restreint de pixels, constituant une première étape avant l'intégration de fonctionnalités plus complexes. Pour cela, nous avons utilisé une technologie 3D à deux wafers permettant d'apporter des éléments de réponse à des problématiques cruciales du pixel numérique que sont la taille et le facteur de remplissage.

Nous avons fait le choix de concevoir un convertisseur Sigma-Delta, qui bien que plus lent

en temps de conversion, offre une bonne précision et généralement une faible consommation. Il ne nécessite pas de composant externe et surtout autorise un changement de résolution sans modifier sa structure. Notre contribution principale concerne l'intégration au niveau pixel d'une structure de convertisseur sigma delta, conçue originellement pour une intégration bas de colonne, moins contrainte en surface. Nos efforts se sont focalisés sur la réduction de la complexité des différents blocs de la structure habituelle du convertisseur Sigma-Delta. Cela nous a amené notamment à réaliser un modulateur $\Sigma\Delta$ sans AOP pour son sous-circuit intégrateur et à privilégier une approche basée sur un compteur asynchrone numérique 10 bits pour le filtre de décimation. Nous avons regroupé la modulation par groupes de quatre pixels afin d'optimiser la taille du pixel et rester dans un format très intéressant au vu de l'état de l'art des pixels numériques. Notre volonté a été de travailler avec des transistors à taille minimale, favorisant la consommation et l'intégration. Nous avons réalisé un circuit complet, ce qui nous permet de mettre en avant une linéarité relativement bonne (bien que perfectible), notamment sur les images réelles.

Concernant le dessin des masques, afin d'optimiser le facteur de remplissage, les photodiodes ont été positionnées sur un wafer et le reste du circuit sur l'autre. Les dessins des masques du circuit ont été réalisés en vue d'une fabrication du circuit. Nous avons pour projet d'appuyer nos résultats issus de la simulation par des mesures physiques. Malheureusement ce circuit n'a jamais vu le jour. Malgré nos relances incessantes tout au long de notre projet, le fabricant a continuellement repoussé la date de réalisation, avant d'annuler purement et simplement cette prestation.

En ce qui concerne l'utilisation de notre capteur, il existe de nombreux algorithmes de traitement d'image utilisant comme données d'entrée des voisinages de taille restreinte. C'est pourquoi nous avons conçu un système d'adressage et de lecture en parallèle de macrobloques de 16 pixels codés sur 10 bits. Nous pouvons ainsi travailler par zone ou région d'intérêt sur l'image globale avec des voisinages de 16 pixels. Le fait de combiner la résolution variable (jusqu'à 10 bits) et la lecture par voisinage permet d'une part d'obtenir rapidement une première image complète à faible résolution, et permet d'autre part d'augmenter la précision sur l'image suivante en travaillant uniquement sur la zone d'intérêt de l'image désirée.

A propos des figures de mérite, voici un résumé des principaux chiffres clefs caractérisant notre capteur. La taille d'un pixel est de $32,5 \mu m \times 32,5 \mu m$ avec un facteur de remplissage de l'ordre de 80%. La consommation est de $11 \mu A/pixel$. Nous obtenons un SNR de 60 dB, un THD de l'ordre de -45 dB, un SINAD de 44,95 dB, un ENOB d'environ 7,2 bits, une DNL de $+1,37/ - 0,73$ (pour $N = 1023$) et un INL de $+2,447/ - 3,5$ (pour $N = 1023$). Le bruit ramené en entrée sur le photorécepteur est estimé à $140 e_{rms}^-$ pour un faible et moyen éclairément et $920 e_{rms}^-$ pour un très fort éclairément (saturation).

Cette structure bien qu'intéressante et efficace compte-tenu de sa simplicité, présente certaines imperfections. L'utilisation de la technique de mutualisation, pertinente en termes d'intégration et de consommation, multiplie par quatre le temps de conversion. Un offset est rajouté sur les tensions de référence et du signal utile susceptible d'entraîner une non-uniformité (ce problème se retrouve sur les convertisseurs bas-de-colonne par exemple). L'autre aspect discutable de cette structure est la perte de linéarité due au gain du modulateur. Contrairement à un Sigma-Delta classique, nous avons besoin d'un nombre de cycles plus élevé pour atteindre 10 bits de résolution. Notre structure possède également des harmoniques élevées. Celles-ci doivent faire l'objet d'une attention particulière et d'une future étude approfondie pour les diminuer. Pour finir, l'utilisation du compteur comme mémoire n'est pas forcément l'option la moins consommatrice.

Bien qu'elles puissent sans aucun doute être améliorées et optimisées, nos investigations ont été pertinentes et ont permis d'obtenir des résultats très encourageants. Cette architecture est à notre connaissance une première au niveau pixel dans une technologie 3D, ce qui fait son originalité par rapport à l'état de l'art. Les résultats mis en avant montrent clairement le potentiel de la structure mais nécessitent également de pousser plus en avant les travaux afin d'optimiser l'intégration et les performances de ce pixel numérique.

6.2/ PERSPECTIVES

Nous considérons plusieurs pistes à propos de l'amélioration et l'optimisation de notre capteur. Notre idée première est de parfaire la partie mémorisation de notre pixel. Nous utilisons actuellement quatre compteurs asynchrones qui ont la double fonctionnalité décimation/mémorisation. Un compteur numérique équivaut à $\frac{1}{8}$ de la surface totale du groupe de quatre pixels, et représente la quasi-totalité de la consommation dynamique par pixel.

Afin d'améliorer la superficie et la consommation, nous envisageons de remplacer trois des quatre compteurs par 30 cellules 1 bit de SRAM 6T. Nous prévoyons cette alternative car les quatre conversions d'un groupe de pixels se font de manière séquentielle. Le résultat des trois premières conversions serait stocké dans les 30 cellules SRAM 6T et le résultat de la dernière serait mémorisé dans le compteur restant.

En admettant travailler avec des tailles optimales, nous visualisons le bénéfice en terme de surface. En effet, un compteur est composé de 292 transistors, soient actuellement 1168 transistors pour les fonctionnalités décimation et mémorisation. Une cellule SRAM 6T se compose de 6 transistors, ce qui représenterait seulement 472 transistors. La consommation dynamique pourrait être également améliorée car une cellule SRAM consomme très peu.

Cette solution ne nécessite aucune modification majeure de notre structure. La réflexion porterait sur le dessin des masques ainsi que sur la structure de la mémoire dont les amplificateurs de lecture en bas de colonne qui sont nécessaires dans toute structure de mémoire de type SRAM.

Le deuxième progrès porterait sur la partie analogique de notre structure. Nous pourrions retirer la capacité C_5 (cf. Figure 3.21) qui n'est pas critique dans le fonctionnement de la modulation. Cette capacité est présente afin de pallier certaines variations électriques.

Ce changement pourrait s'accompagner d'un changement d'architecture de comparateur. La nouvelle architecture de comparateur nommée *double tail*, autoriserait une meilleure précision, ou à précision équivalente, une taille de transistors moindre avec une fréquence d'horloge plus élevée. L'augmentation de la fréquence d'horloge aurait deux effets positifs que sont la possibilité d'augmenter le nombre d'IPS (toutefois non critique pour nous), et permettrait de diminuer le temps de conversion pour pallier l'offset sur l'échantillonnage.

Cette nouvelle proposition aurait pour avantage global la diminution de la taille du pixel et offrirait la potentialité de ne plus utiliser la solution MCBS faisant de notre pixel un « vrai » pixel numérique. Ce changement s'accompagnerait inévitablement d'une étude supplémentaire sur le nouveau comparateur mais également sur le comportement global du système.

A plus longue échéance, une expérimentation attrayante serait de transformer la structure actuelle en une structure du deuxième ordre. Cela permettrait soit de diminuer le nombre de cycles si la même précision est conservée, soit d'augmenter la précision. Augmenter la précision permet d'accroître la dynamique de notre capteur. En effet, si la dynamique initiale est imposée par la structure du pixel, diminuer le LSB de la conversion, et donc augmenter le nombre de bits de la conversion, permet d'obtenir un plus grand nombre de niveaux de

gris indépendamment de la dynamique de départ. Toutefois, l'amélioration de la précision du convertisseur a un prix. Schématiquement faire passer une structure Sigma-Delta du premier ordre en une structure Sigma-Delta du second ordre entraîne inévitablement l'ajout d'un étage d'intégration dans la boucle de fonctionnement. Nous aurions une augmentation significative du nombre de composants et donc des augmentations potentielles de la consommation et de la taille du pixel. De plus, une attention particulière devra être portée sur la stabilité du système. L'étude portera également probablement sur le filtrage numérique, le compteur numérique étant possiblement trop juste en terme d'efficacité pour une résolution supérieure à 10 bits.

Les problématiques qui s'imposent et qui viennent enrichir la notre sont alors : quelle est la plus haute résolution recherchée avec notre conversion sachant que nous avons une forte contrainte d'intégration, et surtout quel est le juste compromis entre précision et surface du pixel ?

Une des solutions possibles pour répondre à cette problématique est la technologie CMOS à intégration 3D, récemment arrivée sur le marché et disponible pour les laboratoires académiques, que l'on retrouve à travers la solution OPEN 3D du laboratoire LETI à Grenoble. Cette solution est aussi basée sur le principe de l'empilement de wafers. Bien que plus onéreuse que la précédente, la solution du LETI offre un avantage certain sur sa consœur : le nœud technologique peut différer entre le wafer du haut et celui du bas. Nous pouvons imaginer une séparation entre les parties analogique et numérique et recourir à un nœud plus gros en Analogique sur un wafer et plus petit en Numérique sur un autre. Cette solution ne propose pour le moment qu'un empilement de deux wafers mais à plus long terme, nous pouvons espérer un empilement plus conséquent rendant alors le pixel très haute résolution à taille contrôlée, voire fortement réduite, bien plus envisageable. Le point discutable de la technologie du LETI est l'espacement des connexions wafer à wafer qui est plus grand que celui de la technologie de TEZZARON ($\approx 50 \mu m$). Néanmoins, une étude plus approfondie doit être investiguée afin de voir si un pixel numérique avec conversion Sigma-Delta du second ordre ayant une résolution de 12 à 14 bits avec un facteur de remplissage de près de 100% pour une taille de pixel d'environ $50 \mu m$ est réalisable, ce qui pourrait être une nette avancée dans le domaine.

Pour finir, nous avons souvent parlé de pixel intelligent. Faute de temps, nous n'avons pas pu travailler sur la partie « processeur » et plus précisément sur l'unité arithmétique et logique qui permettrait de faire des opérations mathématiques simples et qui est la base de tout micro-processeur. La première étape serait de définir les opérations de base pour un ou des traitements d'images spécifiques puis de développer l'architecture adéquate, et enfin optimiser la taille pour le rendre compatible à un pixel voire un groupe de pixels tout en assurant une faible consommation. La solution OPEN 3D à plusieurs wafers, serait également extrêmement intéressante pour l'intégration de ce micro-processeur.

LISTE DES PUBLICATIONS EFFECTUÉES DURANT LA THÈSE

Le nombre de publications scientifiques est de 5 : une publication dans une revue internationale à comité de lecture et avec proceedings indexée WOS [1] et 4 publications en conférence internationale à comité de lecture et avec proceedings [2–5].

- [1] D Pellion, K Jradi, Nicolas Brochard, D Prêle, and Dominique Ginhac. Single-photon avalanche diodes (spad) in cmos 0.35 μm technology. *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, 787 :380–385, 2015.
- [2] Nicolas Brochard and Dominique Ginhac. In-pixel adc in 3d technology. In *New Circuits and Systems Conference (NEWCAS), 2017 15th IEEE International*, pages 53–56. IEEE, 2017.
- [3] Nicolas Brochard, Jamel Nebhen, and Dominique Ginhac. 3d-ic : new perspectives for a digital pixel sensor. In *Proceedings of the 10th International Conference on Distributed Smart Camera*, pages 92–97. ACM, 2016.
- [4] Nicolas Brochard, Jamel Nebhen, Julien Dubois, and Dominique Ginhac. Design of a 3d-ic multi-resolution digital pixel sensor. In *Real-Time Image and Video Processing*, page 989707, 2016.
- [5] D Pellion, K Jradi, N Brochard, D Prêle, and Dominique Ginhac. Dark count rate measurement in geiger mode and simulation of a photodiode array, 2 with cmos 0.35 technology and 3 transistorquenching. 4. In *7th international conference on New Developments in Photodetection*, 2014.

TABLE DES FIGURES

1.1	Configuration N° 1 de la chaîne de fonctionnement d'un imageur CMOS.	4
1.2	Configuration N° 2 de la chaîne de fonctionnement d'un imageur CMOS.	4
1.3	Représentation des trois configurations possibles de la conversion analogique-numérique du capteur CMOS (CAN pour Convertisseur Analogique-Numérique).	5
1.4	Le capteur d'image CMOS dans les différents domaines d'activité selon YOLE (2013-2014).	6
1.5	Taille d'un pixel en fonction du domaine d'activité et de la bande de fréquence.	8
1.6	Évolution de la technologie CMOS.	9
1.7	Exemple d'un empilement de deux wafers	10
1.8	Exemple de configuration d'un capteur à pixels numériques associé à une technologie 3D.	11
2.1	Exemple d'architecture d'un capteur à pixel passif.	16
2.2	Architecture d'un pixel 3T.	17
2.3	Architecture d'un pixel 4T.	18
2.4	Variante du pixel 4T.	18
2.5	pixel logarithmique.	19
2.6	Représentation de la dynamique d'un capteur.	22
2.7	Représentation de la fréquence de coude du bruit de scintillement.	26
2.8	Exemple de FPN colonne sur une image.	26
2.9	Influence de la MTF sur une prise photographique [23].	28
2.10	Présentation du pixel digital.	29
2.11	Représentation du passage d'un éclaircissement à un nombre d'électrons via un photosite.	30
2.12	Vue simplifiée d'une technologie CMOS.	32
2.13	Fonctionnement de la photodiode sous éclaircissement.	33
2.14	Fonctionnement du photo-MOS sous éclaircissement.	34
2.15	Photo-MOS en technologie CMOS standard.	35
2.16	Une représentation de la diode PIN.	36
2.17	Vue générale d'un CAN.	38

2.18	Convertisseur Flash 3 bits.	41
2.19	Schéma global d'un convertisseur SAR.	42
2.20	Schéma global d'un convertisseur Pipeline.	43
2.21	Schéma global et principe de fonctionnement de l'approche PWM dans un DPS.	45
2.22	Schéma global et principe de fonctionnement de l'approche PFM dans un DPS.	46
2.23	Schéma global d'un convertisseur simple rampe pour DPS.	48
2.24	Schéma global d'un convertisseur Sigma-Delta.	49
2.25	Schéma global d'un convertisseur semi-parallèle.	51
2.26	Représentations fréquentielles pour différents modes de fonctionnement d'un CAN.	54
2.27	Schéma d'une cellule SRAM 6T.	55
2.28	Schéma d'une cellule DRAM 1T.	57
2.29	Exemple d'un verrou RS.	58
2.30	Notre structure de pixel numérique.	58
3.1	Technologie FaStack.	68
3.2	Dérivée du TCR en fonction de la tension grille. Détermination de V_{TH} d'un transistor de type N pour $L = L_{min}$ et $W = 150 \text{ nm}$	73
3.3	En haut, variation de I_D en fonction de V_{GS} et V_{DS} . En bas, logarithme de I_D en fonction de V_{GS} pour $V_{DS} = 1,5 \text{ V}$ (NMOS avec $W = 150 \text{ nm}$ et $L = 130 \text{ nm}$).	75
3.4	Les différents régimes du NMOS en fonction du coefficient d'inversion.	79
3.5	Schéma global de notre pixel.	82
3.6	Chronogrammes de fonctionnement de notre structure.	83
3.7	Vue conceptuelle d'un filtre de décimation.	84
3.8	Fonctions numériques avec délais.	85
3.9	Filtre CIC d'ordre 1.	86
3.10	Filtre FIR2 d'ordre 1.	86
3.11	Le compteur numérique asynchrone.	87
3.12	En haut, de gauche à droite : le gain en fonction de la tension d'entrée et la caractéristique entrée-sortie. En bas, de gauche à droite : le courant généré par le transistor N_2 en fonction de la tension d'entrée et le bruit ramené en entrée en fonction de la fréquence.	89
3.13	Capacités d'une jonction P-N.	90
3.14	Variation du courant d'obscurité en fonction de la température pour les deux architectures de diode et pour une taille de diode de $28,5 \mu\text{m} \times 28,5 \mu\text{m}$	94

3.15	En haut, de gauche à droite : variation de la capacité de la diode en fonction de la tension aux bornes de celle-ci et variation du KTC noise en fonction de la tension aux bornes de la diode. En bas, variation du KTC noise en fonction de la température.	96
3.16	Schéma électrique de la photodiode P-N et du suiveur de tension.	97
3.17	Évolution du bruit total en fonction du nombre d'électrons en entrée.	101
3.18	Circuit double échantillonneur-bloqueur.	103
3.19	Variation du bruit thermique en fonction de la capacité.	103
3.20	Variation du bruit thermique en fonction de la taille du PMOS.	104
3.21	Schéma électrique du modulateur.	106
3.22	Fonctionnement du modulateur.	107
3.23	Variation de P en fonction de la variation de V_{Sign} et V_{gsN4}	108
3.24	$P = f(V_{Ref} - V_{Sign})$ théorique pour $N = 1023$	109
3.25	Comparateur utilisé.	111
3.26	Exemple de glitches en sortie du comparateur.	113
3.27	Schéma du compteur asynchrone.	114
3.28	Fonctionnement du compteur asynchrone.	114
3.29	Effet mémoire du compteur asynchrone.	115
4.1	$P = f(V_{Ref} - V_{Sign})$ simulé pour $N = 1023$ et une précision du comparateur de 6 mV	130
4.2	Zoom sur la partie linéaire de $P = f(V_{Ref} - V_{Sign})$ simulé pour $N = 1023$ avec une précision du comparateur de 6 mV	131
4.3	$P = f(V_{Ref} - V_{Sign})$ simulé pour $N = 1023$ pour différentes précisions du comparateur.	131
4.4	Zoom sur la partie linéaire de $P = f(V_{Ref} - V_{Sign})$ simulé pour $N = 1023$ pour différentes précisions du comparateur.	132
4.5	Interpolation (en rouge) de notre courbe de simulation (en bleue) pour un comparateur avec précision simulée de 6 mV pour la résolution de 10 bits ($N = 1023$).	133
4.6	DNL de la réponse du système pour un comparateur avec une précision simulée de 6 mV pour la résolution de 10 bits ($N = 1023$).	134
4.7	INL de la réponse du système pour un comparateur avec une précision simulée de 6 mV pour la résolution de 10 bits ($N = 1023$).	134
4.8	$P = f(V_{Ref} - V_{Sign})$ simulé (en bleu) pour $N = 1023$ et une précision du comparateur de $2,5\text{ mV}$ et sa courbe de tendance (en rouge).	135
4.9	DNL de la réponse du système pour un comparateur avec une précision simulée de $2,5\text{ mV}$ pour la résolution de 10 bits ($N = 1023$).	135

4.10	INL de la réponse du système pour un comparateur avec une précision simulée de $2,5\text{ mV}$ pour la résolution de 10 bits ($N = 1023$).	136
4.11	$P = f(V_{Ref} - V_{Sign})$ simulé (en bleu) pour $N = 1023$ et une précision du comparateur de $1,4\text{ mV}$ et sa courbe de tendance (en rouge).	136
4.12	DNL de la réponse du système pour un comparateur avec précision simulée de $1,4\text{ mV}$ pour la résolution de 10 bits ($N = 1023$).	137
4.13	INL de la réponse du système pour un comparateur avec une précision simulée de $1,4\text{ mV}$ pour la résolution de 10 bits ($N = 1023$).	137
4.14	$P = f(V_{Ref} - V_{Sign})$ simulé (en bleu) et sa courbe de tendance (en rouge) pour $N = 1023$, avec une précision du comparateur de $2,5\text{ mV}$ et une taille de capacité de $9 \times 9\ \mu\text{m}^2$	138
4.15	DNL de la réponse du système pour un comparateur avec une précision simulée de $2,5\text{ mV}$ pour une résolution de 10 bits et une taille de capacité de $9 \times 9\ \mu\text{m}^2$	139
4.16	INL de la réponse du système pour une précision simulée du comparateur de $2,5\text{ mV}$, une résolution de 10 bits et une taille de capacité de $9 \times 9\ \mu\text{m}^2$	139
4.17	Courbes du modulateur avec l'échantillonneur-bloqueur (capacité PMOS) et sans.	140
4.18	Partie linéaire des courbes du modulateur avec l'échantillonneur-bloqueur (capacité PMOS) et sans.	140
4.19	DNL de la réponse du système pour un comparateur avec une précision de $2,5\text{ mV}$ simulée pour une résolution de 10 bits avec les échantillonneurs-bloqueurs.	141
4.20	INL de la réponse du système pour un comparateur avec une précision simulée de $2,5\text{ mV}$ pour une résolution de 10 bits avec les échantillonneurs-bloqueurs.	141
4.21	Courbes du modulateur avec l'échantillonneur-bloqueur (capacité NMOS) et sans.	142
4.22	Partie linéaire des courbes du modulateur avec l'échantillonneur-bloqueur (capacité NMOS) et sans.	142
4.23	DNL de la réponse du système pour un comparateur avec une précision simulée de $2,5\text{ mV}$ pour une résolution de 10 bits avec les échantillonneurs-bloqueurs (capacité NMOS).	143
4.24	INL de la réponse du système pour un comparateur avec une précision simulée de $2,5\text{ mV}$ pour une résolution de 10 bits avec les échantillonneurs-bloqueurs (capacité NMOS).	143
4.25	FFT du train d'impulsions de sortie en fonction d'un signal sinusoïdal de $152,587\text{ Hz}$	145
4.26	FFT filtrée du train d'impulsions de sortie en fonction d'un signal sinusoïdal de $152,587\text{ Hz}$	147
4.27	FFT filtrée du train d'impulsions de sortie en fonction d'un signal sinusoïdal de $1,22\text{ kHz}$	147
4.28	Différentes courbes de sortie de notre système pour différents nombres de cycles.	148

4.29	Différentes courbes de sortie de notre système pour différents nombres de cycles (bis).	149
4.30	Image de test de 8 bits.	150
4.31	Photo réelle de bureau de 16 bits.	150
4.32	$P = f(V_{REF} - V_{SIGN})$ pour $N = 255, 347, 1023$ et 1401 .	152
4.33	Reconstitution de l'image 8 bits avec notre courbe pour $N = 255$.	154
4.34	Histogrammes de l'image d'entrée et de l'image reconstituée avec $N = 255$.	154
4.35	Reconstitution de l'image 8 bits avec notre courbe pour $N = 347$.	155
4.36	Histogrammes de l'image d'entrée et de l'image reconstituée avec $N = 347$.	155
4.37	Reconstitution de l'image 8 bits avec uniquement la partie linéaire de notre courbe pour $N = 347$.	156
4.38	Histogrammes de l'image réelle et de l'image reconstituée avec $N = 347$ (partie linéaire uniquement).	156
4.39	A gauche, l'image de départ avec simulation d'une sous-exposition. A droite, l'image résultante après reconstitution avec notre courbe pour $N = 347$.	157
4.40	Histogrammes de l'image réelle et de l'image reconstituée avec $N = 347$ (avec une sous-exposition de l'image initiale).	157
4.41	Reconstitution de l'image 16 bits sur 10 bits avec notre courbe pour $N = 1023$.	158
4.42	Histogrammes de l'image réelle et de l'image reconstituée avec $N = 1023$.	158
4.43	Reconstitution de l'image 16 bits sur 10 bits avec notre courbe pour $N = 1401$.	159
4.44	Histogrammes de l'image réelle et de l'image reconstituée avec $N = 1401$.	159
4.45	Reconstitution de l'image 16 bits sur 10 bits avec uniquement la partie linéaire de notre courbe pour $N = 1401$.	160
4.46	Histogrammes de l'image réelle et de l'image reconstituée avec $N = 1401$ (partie linéaire uniquement).	160
4.47	A gauche, l'image de départ avec simulation d'une sous-exposition. A droite, l'image résultante après reconstitution avec notre courbe pour $N = 1401$.	161
4.48	Histogrammes de l'image réelle et de l'image reconstituée avec $N = 1401$ (avec une sous-exposition de l'image initiale).	161
5.1	Exemples d'intégration 3D-P.	166
5.2	Schématisme d'un empilement de plusieurs « dies ».	166
5.3	Schématisme d'un empilement de « dies » sur wafer.	167
5.4	Empilement de deux wafers.	167
5.5	Empilement de couches de transistors.	168
5.6	MCBS avec notre structure.	169
5.7	Différentes variations des tensions issues du MCBS.	170
5.8	Les quatre solutions possibles de positionnement.	172

5.9	1 ^{ère} possibilité d'intégration.	174
5.10	2 ^{ème} possibilité d'intégration.	174
5.11	3 ^{ème} possibilité d'intégration.	175
5.12	4 ^{ème} possibilité d'intégration.	175
5.13	Notre choix avec un empilement de trois wafers.	176
5.14	Layout du wafer du dessus avec les photodiodes.	177
5.15	Layout du wafer du dessous avec le circuit complet.	178
5.16	Mode de lecture de notre capteur d'image.	179
5.17	Connexions des sorties et des signaux de sélection.	181
5.18	Zoom sur le layout des 10 interrupteurs du pixel 1 du groupe pair (situé en bas du layout du wafer 2).	181
5.19	Zoom sur le layout des 10 interrupteurs du pixel 1 du groupe impair (situé en bas du layout du wafer 2).	182
A.1	Dérivée du TCR en fonction de la tension grille. Détermination de V_{TH} d'un transistor de type N pour $L = L_{min}$ et $W = 10 \mu m$	203
A.2	Dérivée du TCR en fonction de la tension grille. Détermination de V_{TH} d'un transistor de type N pour $L = L_{min}$ et $W = 150 nm$	204
A.3	Dérivée du TCR en fonction de la tension grille. Détermination de V_{TH} d'un transistor de type P pour $L = L_{min}$ et $W = 10 \mu m$	204
A.4	Influence de la température et de la tension de drain sur la tension de seuil pour un NMOS ($W = 150 nm$).	205
A.5	Influence de la température et de la tension de drain sur la tension de seuil pour un NMOS ($W = 10 \mu m$).	206
A.6	Influence de la température et de la tension de drain sur la tension de seuil pour un PMOS ($W = 150 nm$).	207
A.7	Influence de la température et de la tension de drain sur la tension de seuil pour un PMOS ($W = 10 \mu m$).	208
A.8	En haut, variation de I_D en fonction de V_{GS} et V_{DS} . En bas, logarithme de I_D en fonction de V_{GS} pour $V_{DS} = 1,5 V$ (NMOS avec $W = 10 \mu m$ et $L = 130 nm$).	209
A.9	En haut, variation de I_D en fonction de V_{GS} et V_{DS} . En bas, logarithme de I_D en fonction de V_{SG} pour $V_{SD} = 1,5 V$ (PMOS avec $W = 150 nm$ et $L = 130 nm$).	210
A.10	En haut, variation de I_D en fonction de V_{SG} et V_{SD} . En bas, logarithme de I_D en fonction de V_{SG} pour $V_{SD} = 1,5 V$ (PMOS avec $W = 10 \mu m$ et $L = 130 nm$).	211
B.1	Interpolation (en rouge) de notre courbe de simulation (en bleue) pour un comparateur avec précision simulée de $2,5 mV$ pour une résolution de 10 bits ($N = 1023$).	213

B.2 Interpolation (en rouge) de notre courbe de simulation (en bleue) pour un comparateur avec une précision simulée de $1,4 \text{ mV}$ pour la résolution de 10 bits ($N = 1023$).	214
--	-----

LISTE DES TABLEAUX

1.1	Représentation du chiffre d'affaires 2014-2015 pour les principaux acteurs du capteur d'image CMOS en accord avec les chiffres de YOLE.	6
2.1	Avantages et inconvénients des différentes localisations du CAN.	39
2.2	Comparaison d'architectures classiques de CAN.	53
3.1	Paramètres de la modélisation EKV pour différentes tailles de transistor (avec μ : la mobilité des porteurs de charges et K_P : le facteur de gain du transistor).	78
3.2	Quelques paramètres physiques de la technologie avec V_{TH} : la tension de seuil, ϵ_0 : la permittivité diélectrique du vide, ϵ_{OX} : la constante diélectrique du dioxyde de silicium, ν_{sat} : la vitesse de saturation des porteurs, t_{ox} : l'épaisseur de l'oxyde, C_{ox} : la capacité surfacique de l'oxyde, I_{ON} : le courant à l'état passant et I_{OFF} : le courant à l'état bloqué.	79
3.3	Quelques caractéristiques électriques en fonction d'une polarisation.	80
3.4	Les différents paramètres du suiveur de tension.	90
3.5	Paramètres technologiques (non exhaustifs) de la capacité de jonction P-N.	91
3.6	Propriétés non exhaustives de la photodiode N^+/P_{SUB} pour trois dimensions différentes.	92
3.7	Propriétés non exhaustives de la photodiode N_{WELL}/P_{SUB} pour trois dimensions différentes.	92
3.8	Conséquences des tailles des transistors sur le comparateur.	112
3.9	Consommation des portes logiques du comparateur.	112
3.10	Quelques papiers récents sur les DPS planaires	118
3.11	Quelques papiers récents sur les DPS planaires (suite).	119
3.12	Quelques papiers récents sur les imageurs 3D.	120
3.13	Quelques papiers récents sur les imageurs 3D (Suite).	121

ANNEXES

A

ANNEXES DU CHAPITRE 3

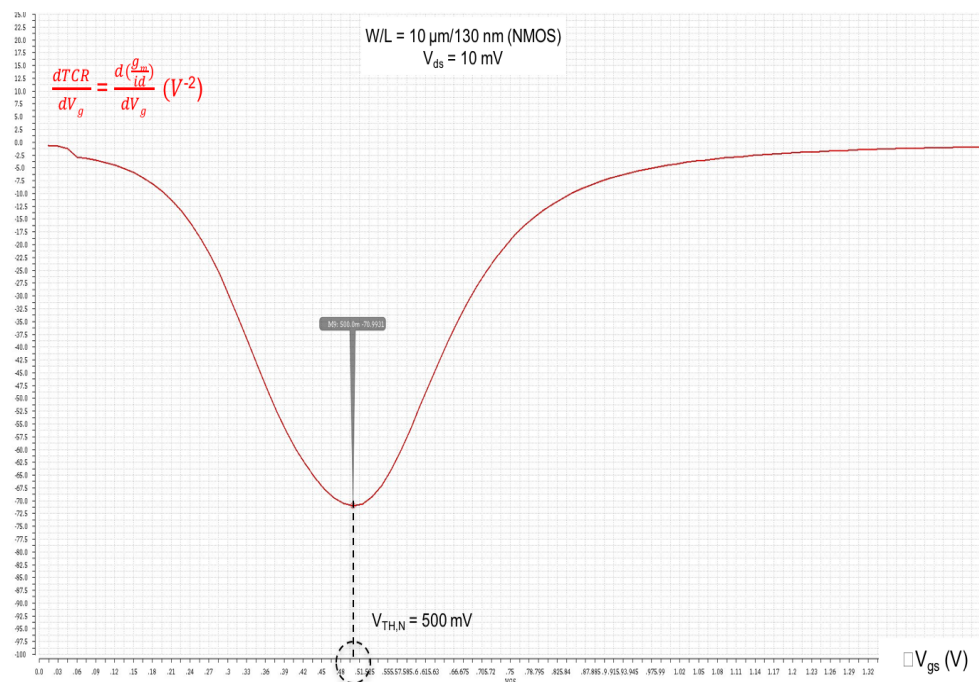


FIGURE A.1 – Dérivée du TCR en fonction de la tension grille. Détermination de V_{TH} d'un transistor de type N pour $L = L_{min}$ et $W = 10 \mu m$.

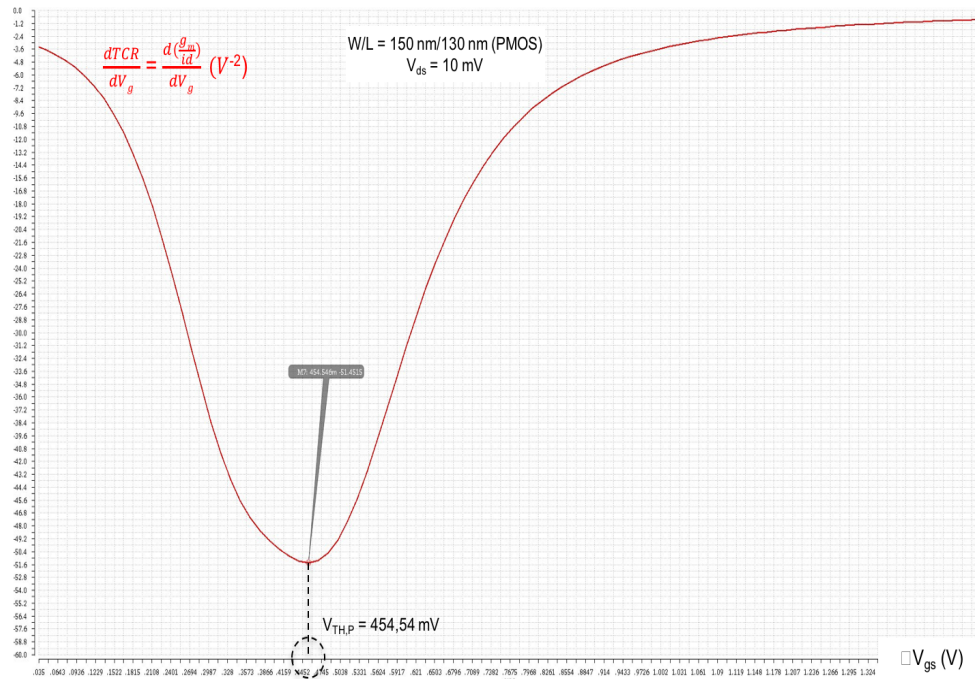


FIGURE A.2 – Dérivée du TCR en fonction de la tension grille. Détermination de V_{TH} d'un transistor de type P pour $L = L_{min}$ et $W = 150 \text{ nm}$.

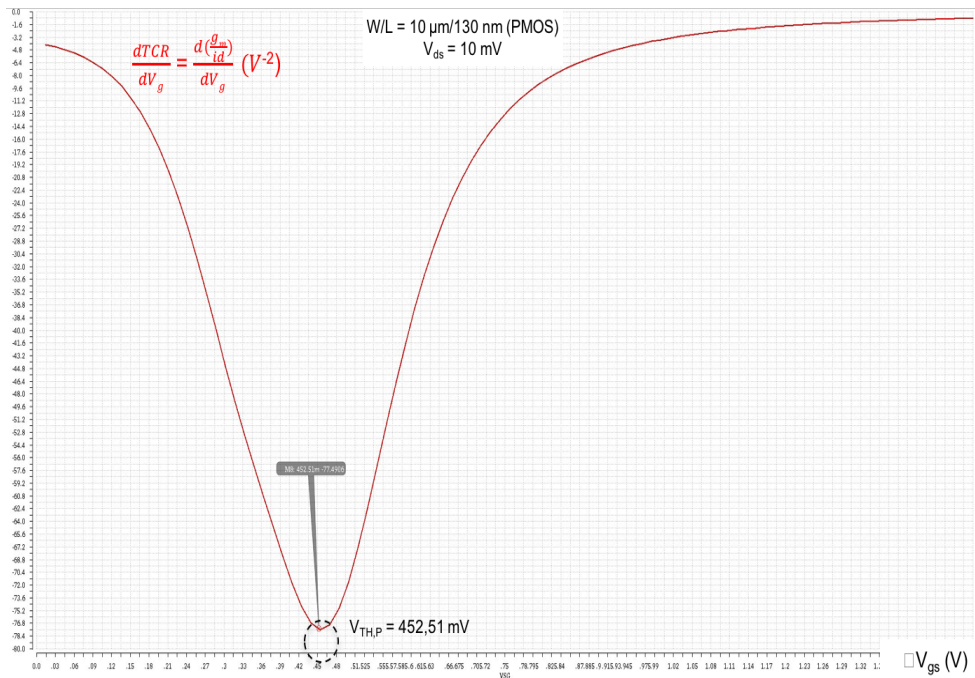


FIGURE A.3 – Dérivée du TCR en fonction de la tension grille. Détermination de V_{TH} d'un transistor de type P pour $L = L_{min}$ et $W = 10 \mu\text{m}$.

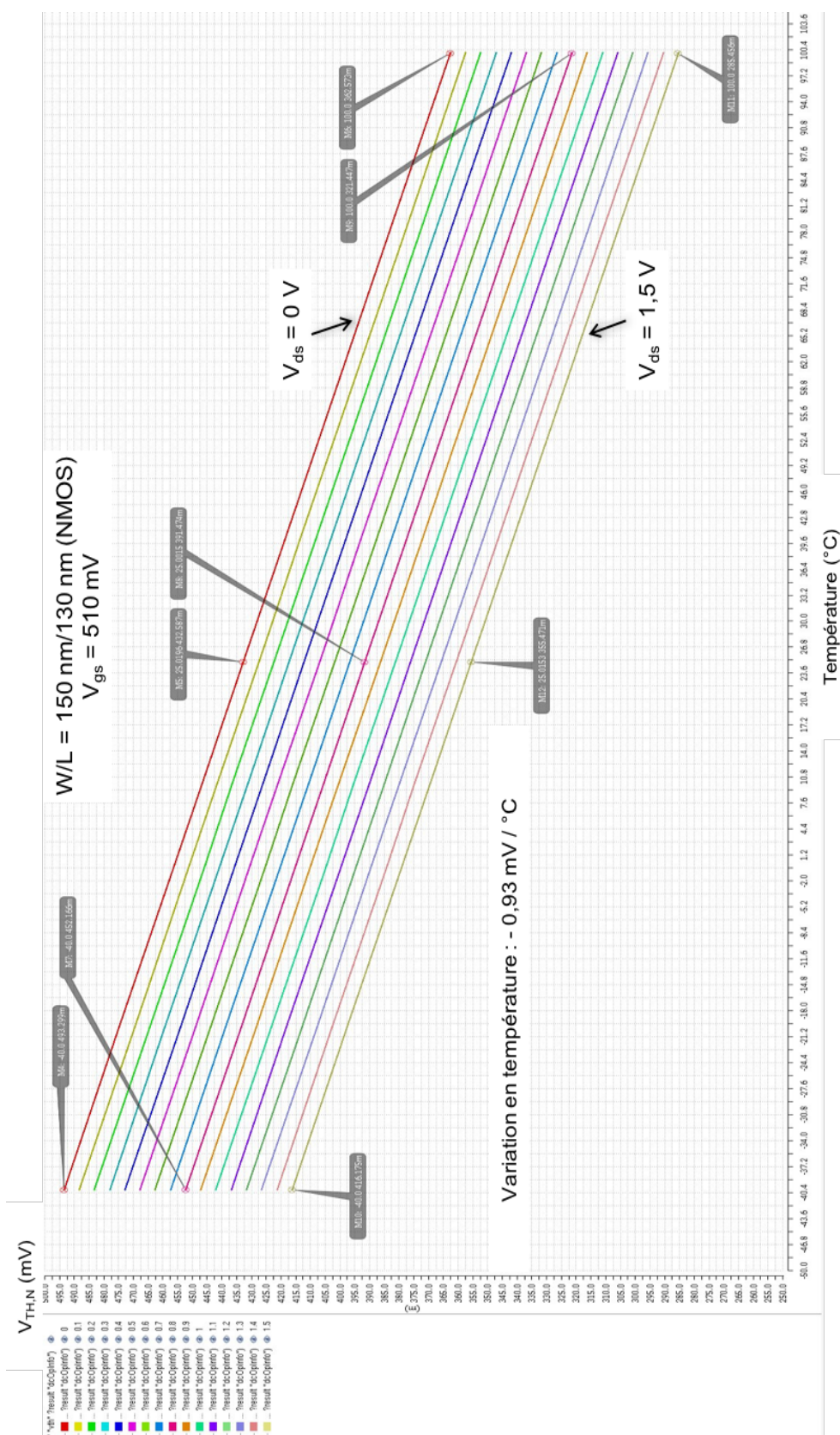


FIGURE A.4 – Influence de la température et de la tension de drain sur la tension de seuil pour un NMOS ($W = 150 \text{ nm}$).

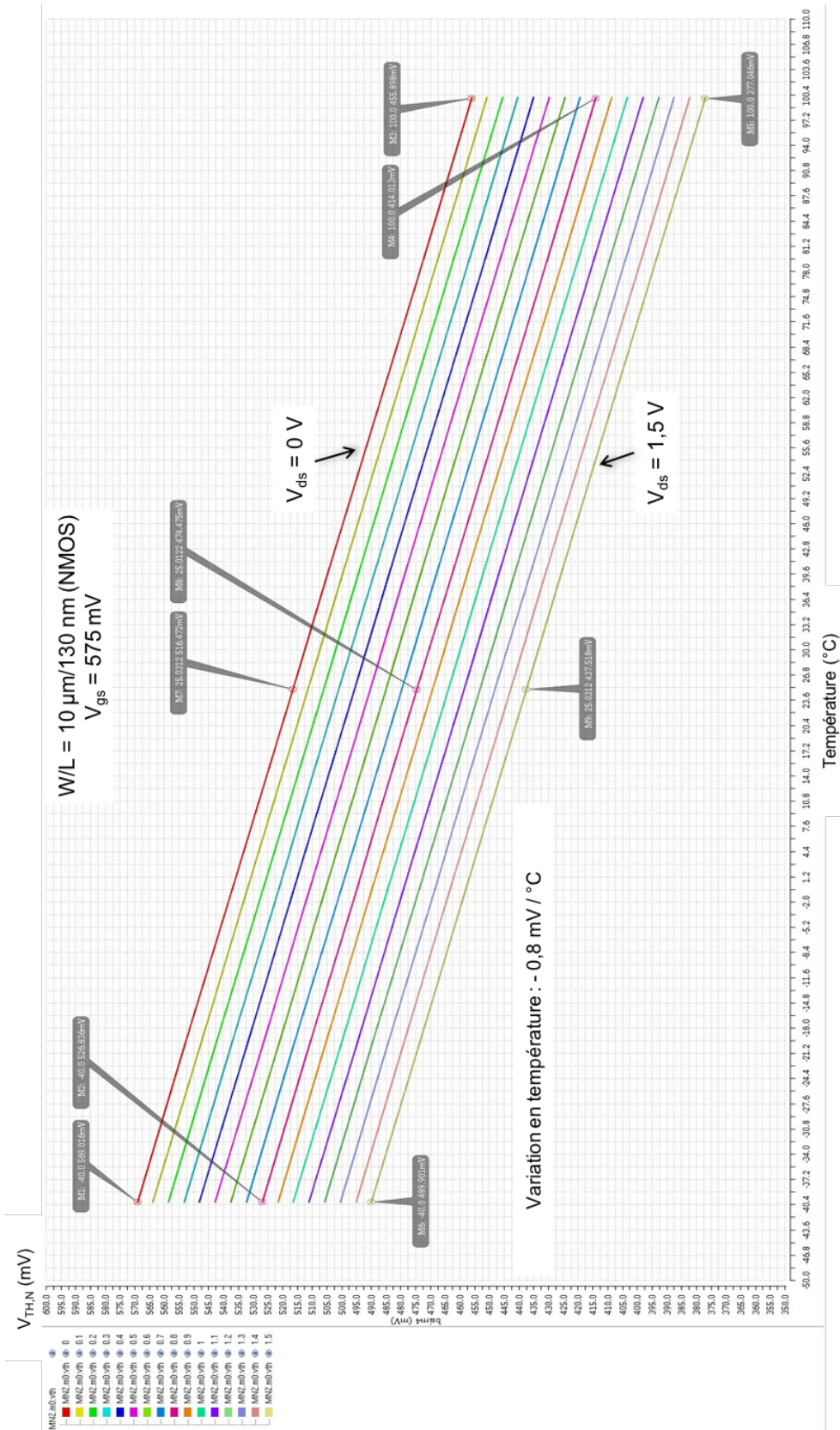


FIGURE A.5 – Influence de la température et de la tension de drain sur la tension de seuil pour un NMOS ($W = 10 \mu m$).

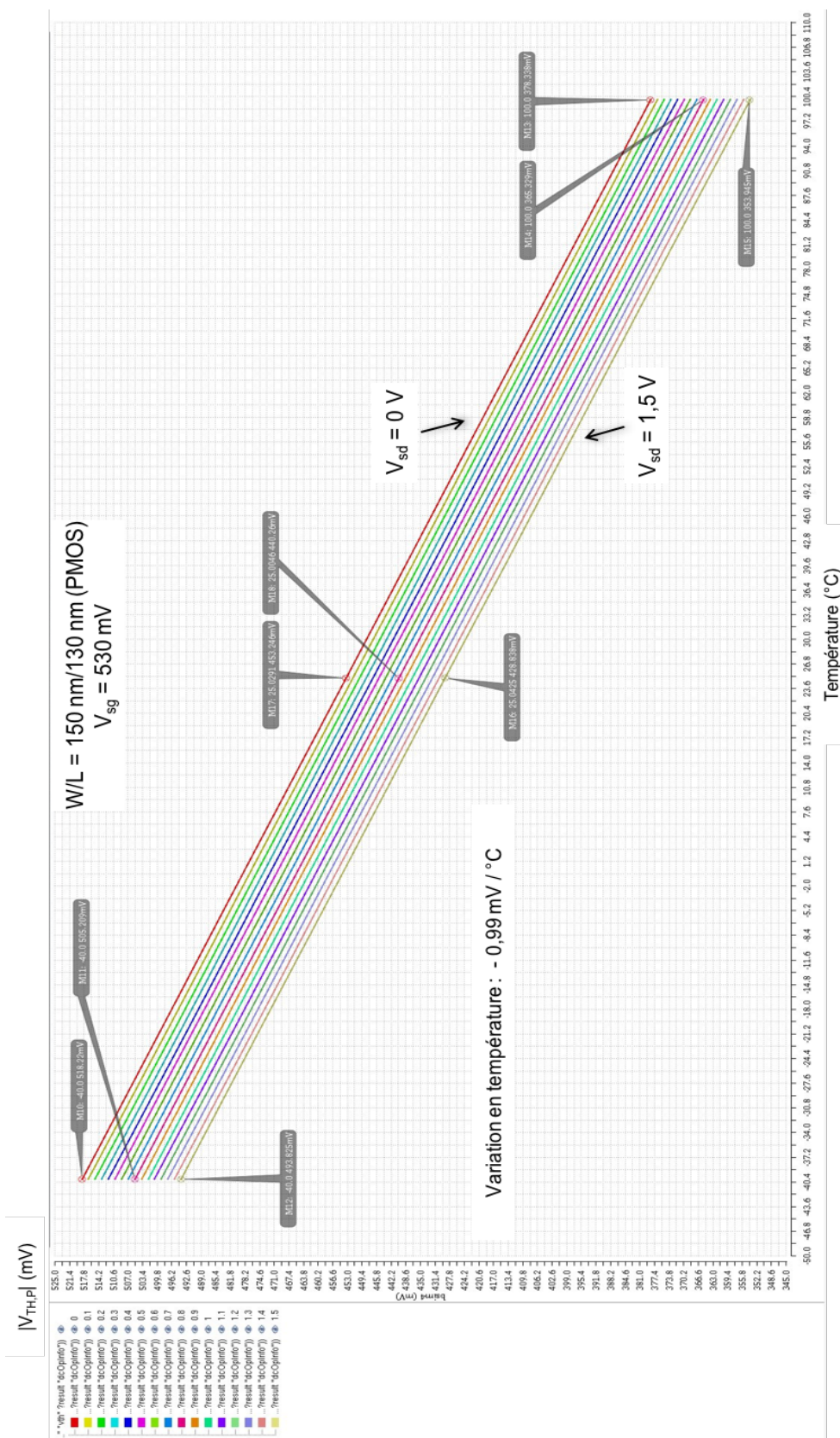


FIGURE A.6 – Influence de la température et de la tension de drain sur la tension de seuil pour un PMOS ($W = 150 \text{ nm}$).

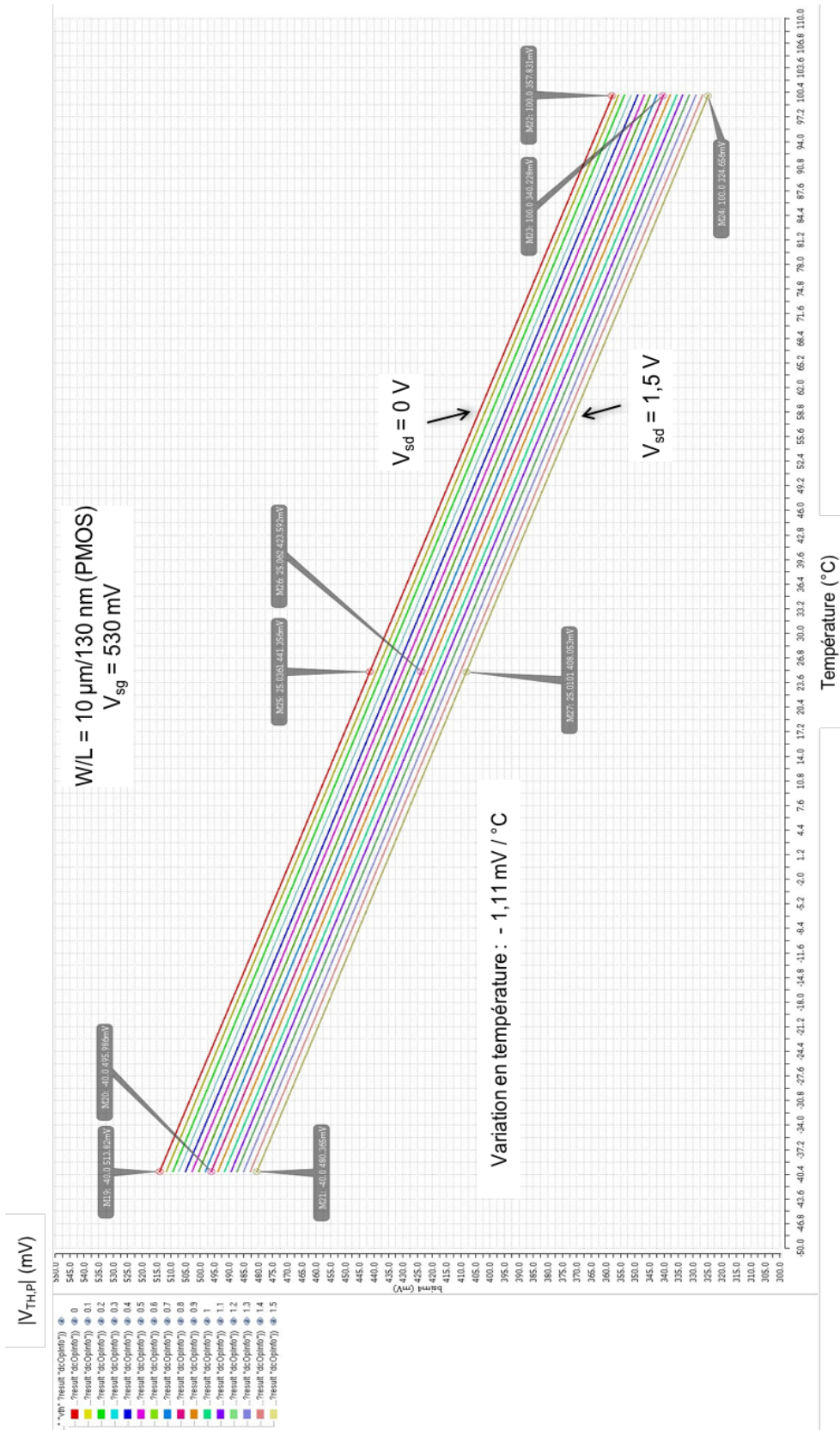


FIGURE A.7 – Influence de la température et de la tension de drain sur la tension de seuil pour un PMOS ($W = 10 \mu m$).

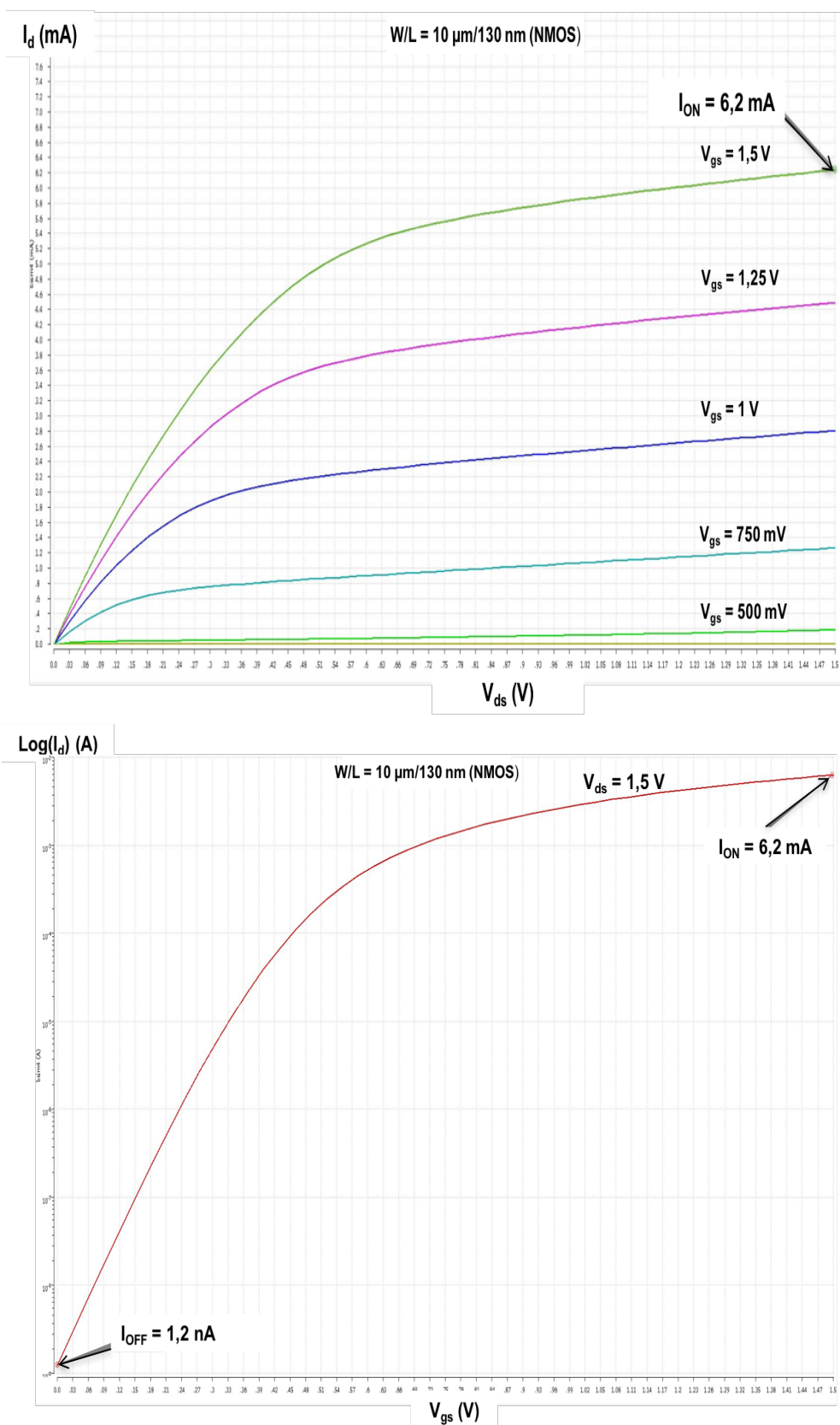


FIGURE A.8 – En haut, variation de I_D en fonction de V_{GS} et V_{DS} . En bas, logarithme de I_D en fonction de V_{GS} pour $V_{DS} = 1,5 \text{ V}$ (NMOS avec $W = 10 \mu\text{m}$ et $L = 130 \text{ nm}$).

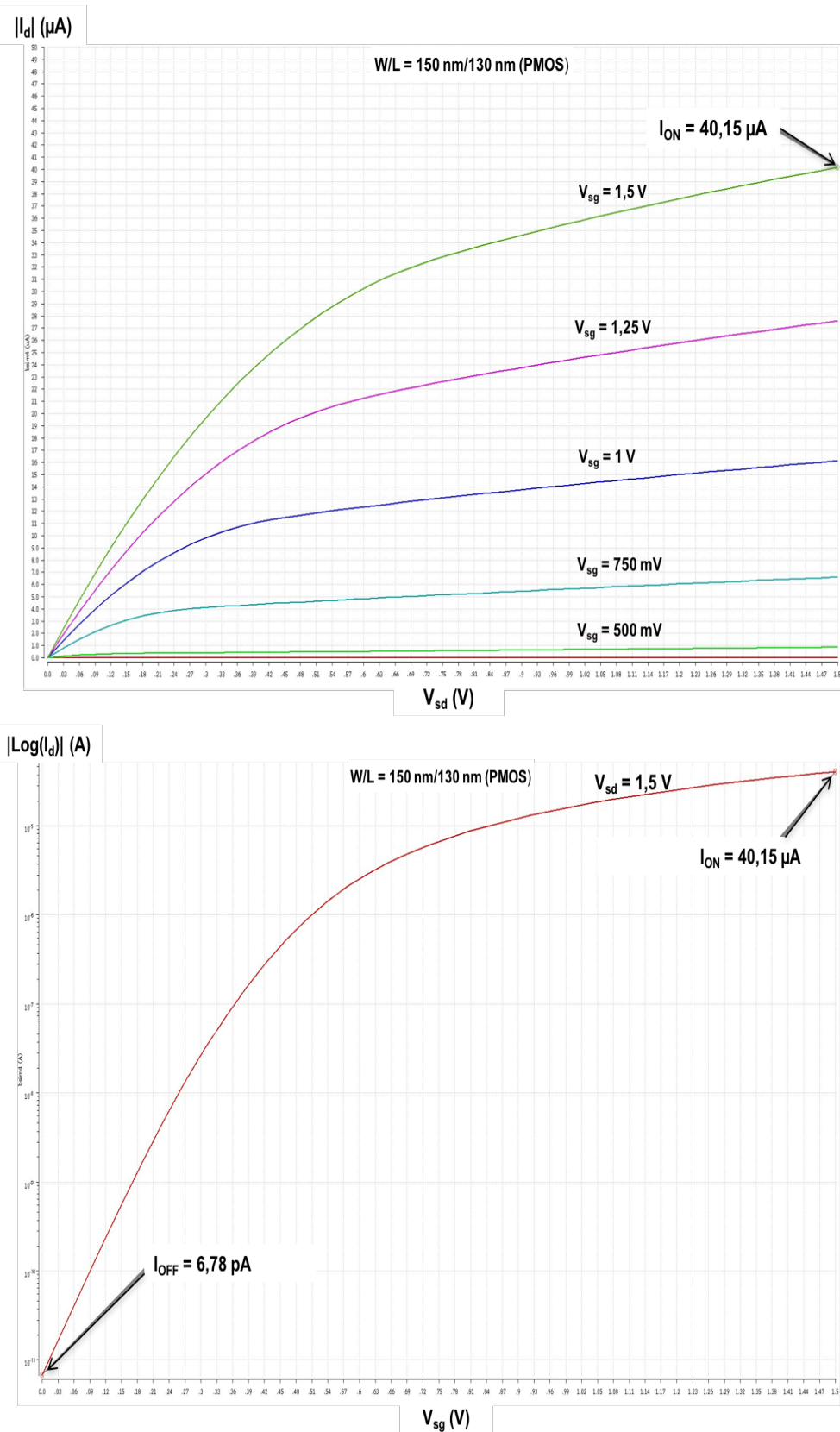


FIGURE A.9 – En haut, variation de I_D en fonction de V_{SG} et V_{SD} . En bas, logarithme de I_D en fonction de V_{SG} pour $V_{SD} = 1,5 \text{ V}$ (PMOS avec $W = 150 \text{ nm}$ et $L = 130 \text{ nm}$).

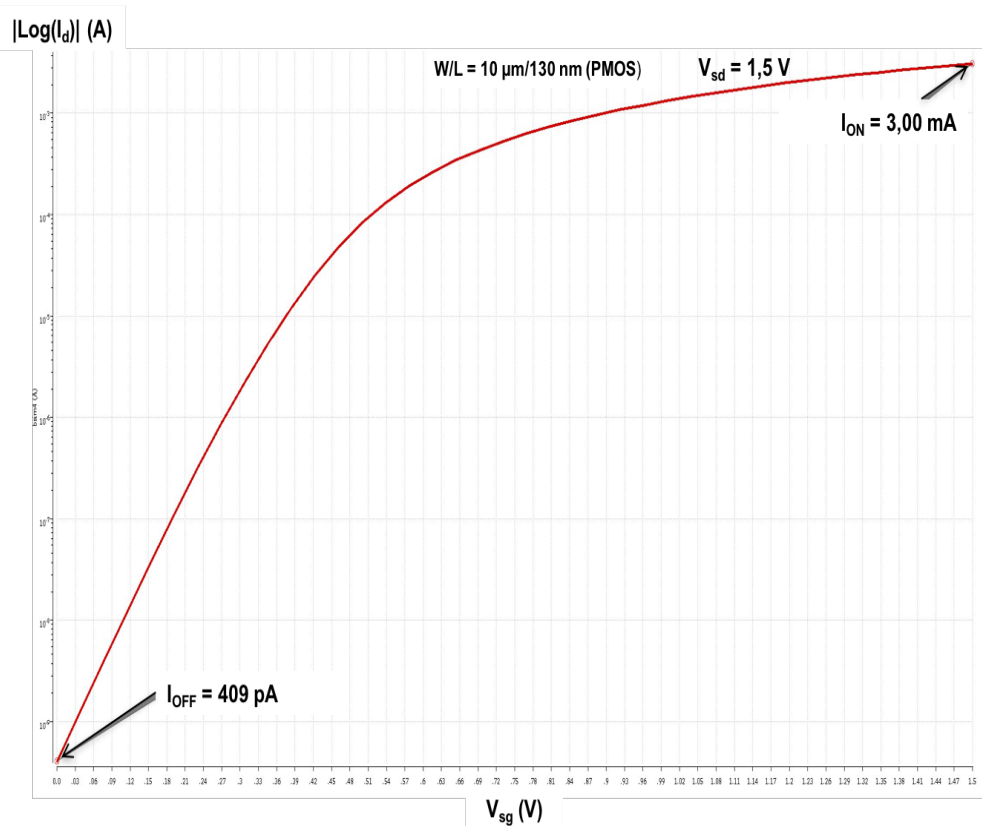
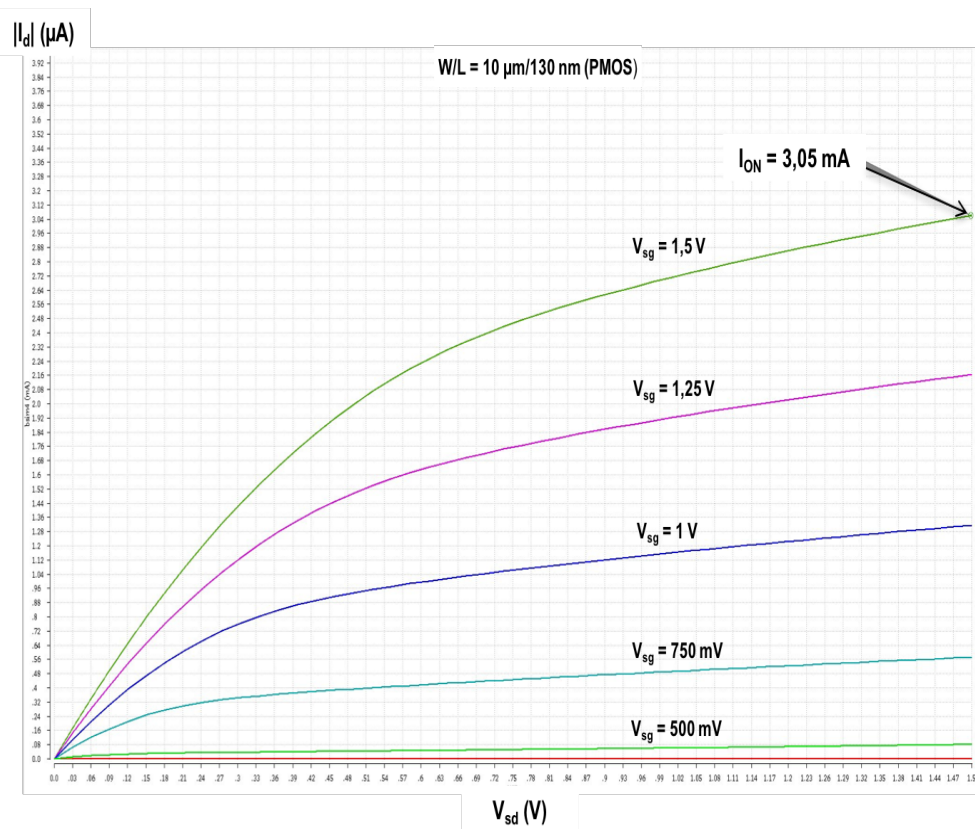


FIGURE A.10 – En haut, variation de I_D en fonction de V_{SG} et V_{SD} . En bas, logarithme de I_D en fonction de V_{SG} pour $V_{SD} = 1,5 \text{ V}$ (PMOS avec $W = 10 \mu\text{m}$ et $L = 130 \text{ nm}$).

B

ANNEXES DU CHAPITRE 4

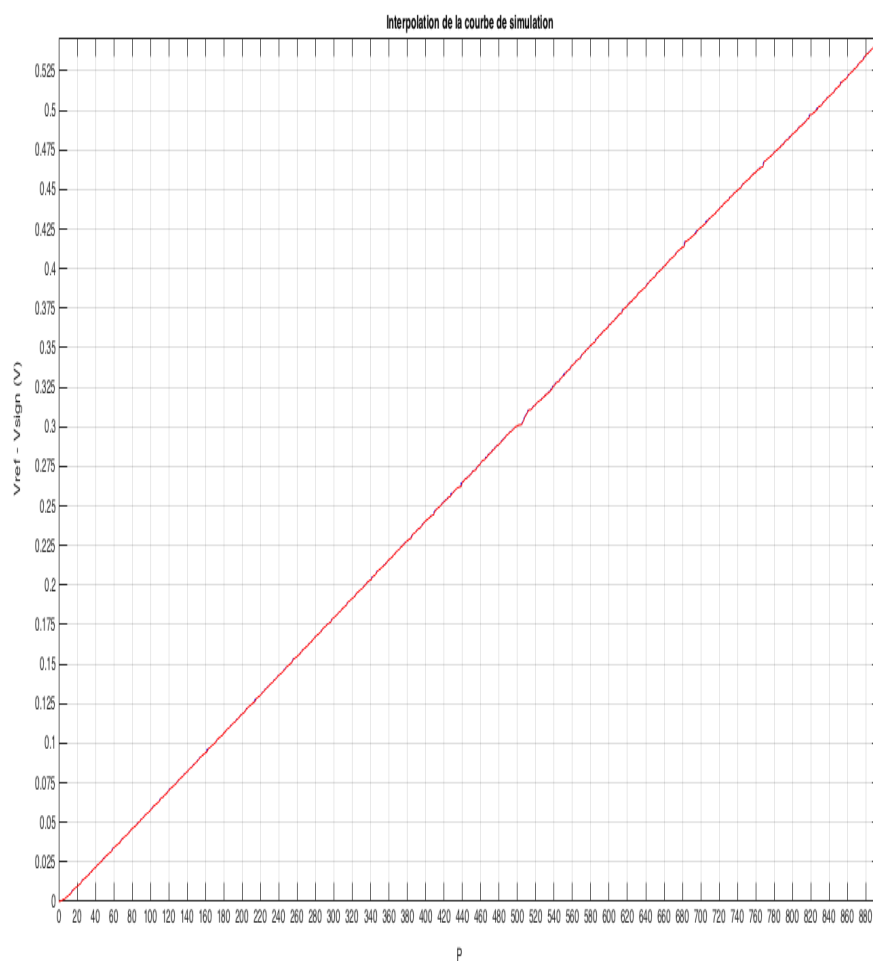


FIGURE B.1 – Interpolation (en rouge) de notre courbe de simulation (en bleue) pour un comparateur avec précision simulée de $2,5 \text{ mV}$ pour une résolution de 10 bits ($N = 1023$).

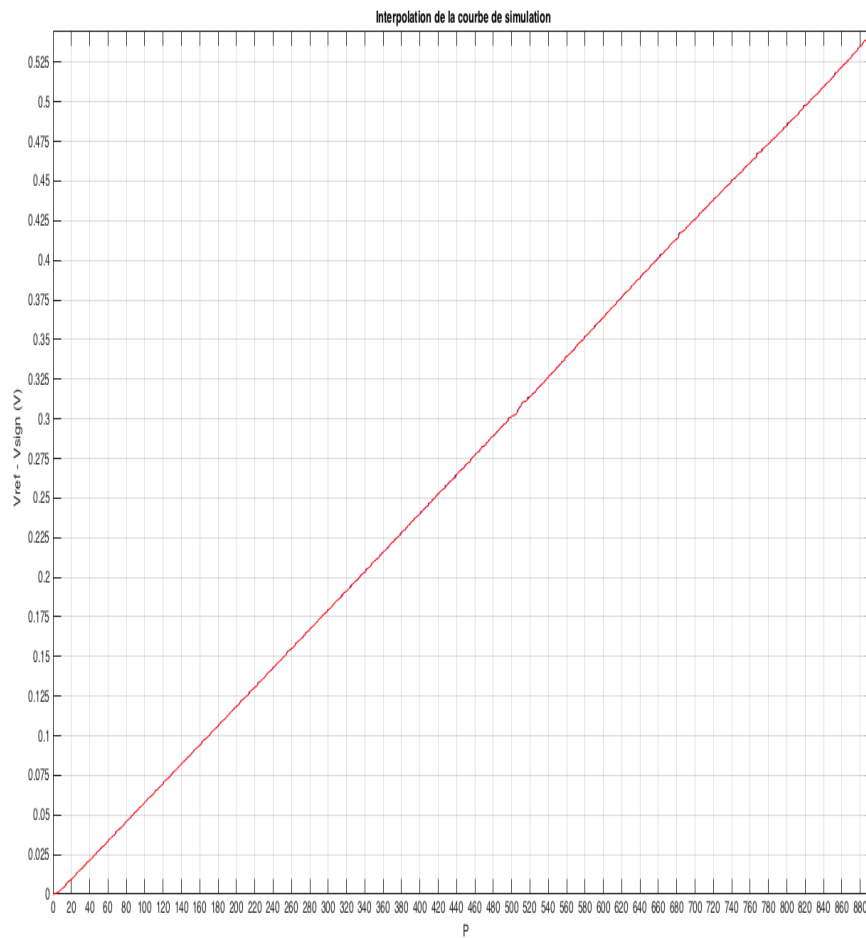


FIGURE B.2 – Interpolation (en rouge) de notre courbe de simulation (en bleue) pour un comparateur avec une précision simulée de $1,4 \text{ mV}$ pour la résolution de 10 bits ($N = 1023$).

Résumé :

Aujourd'hui, les capteurs d'image CMOS sont quasi exclusivement architecturés autour de pixels analogiques. Une transition vers des pixels purement numériques permettrait d'améliorer significativement les performances des imageurs. Malheureusement, une telle approche est difficilement envisageable car elle entraîne un pixel surdimensionné et inutilisable pour le marché grand public. Une des voies prometteuses pour résoudre ce problème d'intégration des pixels est de réfléchir non plus en deux dimensions (2D), mais en trois dimensions (3D), en répartissant les différentes fonctionnalités sur plusieurs wafers interconnectés.

Ainsi, les travaux présentés dans ce manuscrit décrivent la conception d'un capteur d'image purement numérique en technologie CMOS 3D-IC 130 nm Tezzaron. Ce capteur est architecturé autour d'un pixel numérique intégrant une modulation sigma delta du premier ordre sur 10 bits de résolution maximale. L'étude exhaustive des différents blocs constituant le pixel nous a permis de proposer au final une solution garantissant une surface maîtrisée de silicium : taille finale de pixel de $32,5 \mu\text{m} \times 32,5 \mu\text{m}$ pour un facteur de remplissage de plus de 80%. Au niveau des performances brutes, la simulation du pixel a révélé de bons résultats : consommation de $11 \mu\text{A}/\text{pixel}$, rapport signal sur bruit de 60 dB, nombre effectif de bits d'environ 7,2 bits, non linéarité différentielle maximale et minimale de $+1,37 / -0,73$ (pour $N = 1023$) et une non linéarité intégrale maximale et minimale de $+2,447 / -3,5$ (pour $N = 1023$).

Mots-clés : Capteur à pixels numériques, Tezzaron Semiconductor, Convertisseur Sigma Delta, circuit intégré à technologies 3D.

Abstract:

Nowadays, CMOS image sensors are almost exclusively architected around analog pixels. A transition to purely digital pixels would significantly improve the performances of imagers. Unfortunately, such an approach is difficult to consider because it implies an oversized and unsuitable pixel for the consumer market. One of the promising ways to solve this problem of pixel integration is to think not only in two dimensions, but in three dimensions by distributing the different functionalities on several interconnected wafers.

Thus, the research presented in this phd thesis describes the design of a purely digital image sensor in a CMOS 3D-IC 130 nm Tezzaron technology. This sensor is architected around a full digital pixel integrating a first order sigma delta modulation with a maximal 10-bit resolution. The exhaustive study of the different blocks constituting the pixel allowed us to finally propose a solution guaranteeing a contained surface of silicon: a pixel size of $32,5 \mu\text{m} \times 32,5 \mu\text{m}$ with a fill factor of at least 80%. Regarding performances, the pixel simulations revealed good results: $11 \mu\text{A}/\text{pixel}$ consumption, 60 dB signal-to-noise ratio, 7.2 effective number of bits, maximum and minimum differential nonlinearity of $+1,37 / -0,73$ (for $N = 1023$) and a maximum and minimum integral nonlinearity of $+2,447 / -3,5$ (for $N = 1023$).

Keywords: Digital pixel sensor, Tezzaron Semiconductor, Sigma Delta converter, 3D-IC.

The logo for the SPIM (École doctorale SPIM) features the letters 'S', 'P', 'I', and 'M' in a large, white, sans-serif font. To the left of the 'S' is a thick orange horizontal bar.