



HAL
open science

Conditionnement de capteurs capacitifs dans des systèmes faible consommation

Patcharee Kongpark

► **To cite this version:**

Patcharee Kongpark. Conditionnement de capteurs capacitifs dans des systèmes faible consommation. Micro et nanotechnologies/Microélectronique. Université Montpellier, 2016. Français. NNT : 2016MONTT251 . tel-01809023

HAL Id: tel-01809023

<https://theses.hal.science/tel-01809023>

Submitted on 6 Jun 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de Docteur

Délivré par l'Université de Montpellier

Préparée au sein de l'école doctorale
Information, Structures et Systèmes (I2S)

Et de l'unité de recherche
Laboratoire d'Informatique, de Robotique et
de Microélectronique de Montpellier (LIRMM)

Spécialité :
Systèmes Automatiques et Microélectroniques (SyAM)

Présentée par Patcharee KONGPARK

Conditionnement de capteurs capacitifs dans des
systèmes faible consommation

Soutenue le 14 octobre 2016 devant le jury composé de



M. Guy CATHEBRAS, Professeur, Université de Montpellier

M. Nicolas BERTSCH, Ingénieur, MEMSCAP SA

M. Dimitri GALAYKO, Maître de conférences, UPMC Sorbonne Universités

M. Luc HEBRARD, Professeur, Université de Strasbourg

M. Frédérick MAILLY, Maître de conférences, Université de Montpellier

M. Pascal NOUET, Professeur, Université de Montpellier

Président du jury

Examineur

Rapporteur

Rapporteur

Co-encadrant de thèse

Directeur de thèse

M. Laurent LATORRE, Professeur, Université de Montpellier

Invité

Avant-Propos

Les travaux présentés dans ce mémoire ont été effectués au Laboratoire d'Informatique, de Robotique et de Microélectronique de Montpellier (LIRMM) du Centre National de la recherche Scientifique (CNRS) au sein du département Microélectronique du LIRMM et de l'équipe Conception et Test de Microsystèmes grâce à une bourse d'études octroyée par le Ministère thaïlandais des Sciences et Technologies. Je tiens à remercier Messieurs Jean Claude König et Philippe Poignet respectivement précédent et actuel Directeur du LIRMM, pour m'avoir admis dans leur laboratoire et m'avoir donné l'opportunité de préparer la thèse dans de bonnes conditions.

Je remercie également Monsieur Luc Hébrard, Professeur à l'université de Strasbourg, ainsi que Monsieur Dimitri Galayko, Maître de conférences à UPMC Sorbonne Universités, d'avoir accepté d'être les rapporteurs de ce manuscrit.

J'exprime toute ma gratitude à mon directeur de thèse, Monsieur Pascal Nouet, Professeur à l'université de Montpellier pour m'avoir accueilli et intégré à son équipe depuis les travaux de projet et de stage de fin étude de Master 2, pour son encadrement et m'avoir accompagné tout au long de ces années mais aussi pour m'avoir donné une chance de pouvoir enseigner au département Microélectronique et automatique (MEA) de l'école polytechnique universitaire d'ingénieurs de Montpellier en tant que vacataire et son binôme dans le cadre de cours/TD et TP sur la conception de circuits intégrés analogiques.

Je tiens à remercier mon co-directeur de thèse, Monsieur Laurent Latorre, Professeur à l'université de Montpellier qui m'a guidé durant la première année de cette thèse.

Je remercie du fond du cœur mon co-encadrant de thèse, Monsieur Frédéric Mailly, Maître de conférences à l'Université de Montpellier pour son support et ses conseils à chacune des étapes qui ont mené à la réalisation de ce travail de thèse et particulièrement pour ses remarques et ses conseils sur la rédaction et l'amélioration de la qualité de ce manuscrit.

Je souhaite remercier Messieurs Oliver Potin et Jérémie Salles qui m'ont aidé à réaliser les dessins des masques. Je n'oublierai pas de remercier toute l'équipe de la salle de test Messieurs Laurent Deknyff et Ludovic Guillaume-Sage pour leur aide pendant les expérimentations.

Je tiens à exprimer toute mon amitié à mes camarades pour les bons moments que nous avons passés ensemble, pour leur aide, leur disponibilité, leur dynamisme, leur sympathie et leur convivialité.

Enfin, je voudrais remercier très chaleureusement mes parents et toute la famille Buendia pour leur soutien, encouragement, équilibre et envie de réussir tout au long de mes études et de mon doctorat en France.

Table des matières

Introduction générale	1
Chapitre I. Etat de l'art : Les capteurs capacitifs et leurs interfaces.....	5
I.1) Les capteurs capacitifs	5
I.1.1) Capteur différentiel à écartement de plaque variable	7
I.1.2) Capteur différentiel à surface de capacité variable.....	8
I.2) Les interfaces de capteurs capacitifs différentiels.....	10
I.2.1) Interfaces à temps continu	10
I.2.2) Interfaces à temps discret.....	18
I.3) Conclusion.....	26
Chapitre II. Contexte et objectif.....	31
II.1) Introduction	31
II.2) Le pont actif différentiel	31
II.2.1) Principe	31
II.2.2) Autres architectures différentielles	43
II.2.3) Synthèse.....	54
II.3) Pont actif en présence d'une charge capacitive	58
II.4) Conversion Sigma-Delta	61
II.4.1) Caractéristiques principales des convertisseurs.....	61
II.4.2) Théorème de Shannon-Nyquist	63
II.4.3) Bruit de quantification	63
II.4.4) Effet du sur-échantillonnage.....	64
II.4.5) Modulation Sigma-Delta un bit d'ordre 1 retour courant	66
II.5) Conclusion.....	67
Chapitre III. Interface de conditionnement $\Sigma\Delta$ à contre-réaction tension/courant résistive	69
III.1) Introduction	69
III.2) Principe	69
III.3) Implémentation	70
III.4) Prototype, mise en œuvre et résultats	71
III.4.1) Description	71
III.4.2) Étude en boucle ouverte.....	73
III.4.3) Étude du modulateur $\Sigma\Delta$	77

III.5) Conclusion	83
Chapitre IV. Retour capacitif	85
IV.1) Introduction	85
IV.2) Principe	85
IV.3) Architectures proposées	86
IV.3.1) Première architecture.....	86
IV.3.2) Seconde architecture.....	96
IV.4) Retour capacitif avec pont actif cascode	101
IV.4.1) Principe	101
IV.4.2) Résultats en simulation.....	101
IV.4.3) Prototype, mise en œuvre et résultats.....	105
IV.5) Conclusion.....	107
Chapitre V. Réalisation d'un démonstrateur intégré	109
V.1) Introduction	109
V.2) Modulateur $\Sigma\Delta$ tout intégré.....	109
V.2.1) Description.....	111
V.2.2) Simulation du $\Sigma\Delta$	117
V.2.3) Validation expérimentale du $\Sigma\Delta$	119
V.3) Conclusion.....	121
Conclusion générale	123
Liste des publications	127
Références.....	129
Annexes 1	137
Annexes 2	139
Annexes 3	141

Introduction générale

Depuis l'apparition du premier transistor en 1947 et du premier circuit intégré inventé en 1958, les technologies microélectroniques n'ont cessé d'évoluer jusqu'à devenir indispensables au quotidien. L'industrie du semi-conducteur est aujourd'hui une industrie de premier plan qui innove sans cesse au niveau des technologies de fabrication. Parmi ces technologies, les technologies CMOS (Complementary Metal Oxide Semi-conductor) sur substrat massif sont encore très largement prépondérantes sur le marché du semi-conducteur même si d'autres technologies progressent ou sont sur le point d'émerger (SOI, FinFET, nanotubes de carbone, ...).

Les développements technologiques justifiés par la croissance rapide du marché des semi-conducteurs ont permis, dix ans après l'introduction des premiers circuits intégrés à base de transistors, de disposer de capacités de micro-usinage en surface, utilisant la gravure sélective de couches sacrificielles, et en volume, utilisant la gravure du substrat semi-conducteur. À partir de ces étapes technologiques simples, les chercheurs ont proposé la fabrication de capteurs micro-usinés qui héritaient des avantages des circuits intégrés tels que les petites dimensions, la fabrication par lot, la faible consommation d'énergie ou le faible coût. L'apparition de ces technologies d'usinage a permis la multiplication exponentielle des capteurs dans notre environnement car l'industrialisation des capteurs traditionnels était ralentie par un coût élevé, des contraintes de fabrication importantes, des parasites dus à la connectique et une inadaptation aux contraintes (encombrement, consommation...) des applications émergentes.

Ces systèmes miniaturisés dont les dimensions sont de l'ordre du micromètre sont appelés « MEMS » (Micro Electro Mechanical Systems) aux États-Unis ou Microsystèmes en France et en Europe ou Micromachines au Japon. Les premiers succès commerciaux sont apparus dans les années 1980 sous la forme de capteurs de pression sur silicium tout intégrés. Les MEMS ont la particularité de pouvoir intégrer, sur un même substrat et dans une même technologie ou sur différentes puces issues de technologies différentes, des capteurs, des actionneurs, de l'électronique de mesure, des dispositifs de traitement d'information. La particularité de ces systèmes est qu'ils sont multiphysiques et font donc appel à différents domaines tels que l'électrique, la mécanique, l'optique, l'électrochimique, la thermique... Dans le même temps, les technologies d'intégration à très grande échelle (Very Large Scale Integration, VLSI) ont permis d'intégrer un nombre croissant de fonctions et offrent des possibilités décuplées de traitement numérique du signal. Aujourd'hui, les capteurs MEMS et les circuits « VLSI » sont très utilisés dans de nombreux domaines tels que l'automobile, les télécommunications, le médical, la météorologie, la construction antisismique, le spatial... Leurs avantages majeurs sont les réductions de coût, d'encombrement, de masse et de consommation.

Le monde des capteurs MEMS est extrêmement varié et parmi eux, les capteurs capacitifs représentent une part importante du marché. La mesure est souvent basée sur le changement de valeur d'une capacité électrique obtenu lorsque une au moins des électrodes se déplace. Ce

principe est très utilisé pour la mesure de faibles déplacements tels que ceux obtenus dans les micro-accéléromètres que l'on trouve couramment dans les smartphones, les appareils photo, les systèmes de déploiement d'airbags, les manettes de jeu vidéo... D'autres capteurs capacitifs utilisent les variations de permittivité électrique du diélectrique situé entre deux électrodes. Certains capteurs d'humidité utilisent ce principe. Enfin, il existe aussi des capteurs de pression capacitifs qui sont généralement destinés à de très hautes températures et de très fortes pressions. Une membrane en silicium jouant le rôle d'électrode mobile va se rapprocher d'une électrode fixe, créant ainsi une variation de capacité électrique.

Dans la plupart des cas, les variations de capacités sont relativement faibles (de l'ordre de quelques %) et il est donc impératif d'optimiser le conditionnement électronique et la conversion analogique numérique pour disposer d'un signal exploitable par un microcontrôleur.

Ce travail de thèse est donc dédié à la conception d'une interface électronique, pour capteurs capacitifs, faible consommation ($<10\mu\text{A}$), faible bruit, disposant d'une sortie numérique.

Le manuscrit est constitué de cinq chapitres et organisé comme suit. Le premier chapitre rappelle les principes utilisés dans les capteurs capacitifs. Après une brève présentation des différents types de capteurs capacitifs, un état de l'art des différentes interfaces pour capteurs capacitifs est présenté. Ces interfaces sont classées en deux grandes familles suivant qu'elles reposent sur des architectures à temps continu ou à temps discret. Les techniques de traitement de signal couramment utilisées sont explicitées. La sortie des interfaces peut être sous forme de tension, courant, temps ou fréquence. L'obtention d'une sortie numérique est aussi présentée.

Le deuxième chapitre présente les différentes architectures de convertisseurs capacité/tension que nous avons étudiées. Elles sont toutes basées sur le pont actif, une architecture développée et brevetée par l'équipe Conception et Test de Microsystèmes du LIRMM pour le conditionnement de capteurs résistifs. Les études théoriques et les règles de conception à respecter afin de préserver le rapport signal sur bruit du convertisseur sont présentées. La fin du chapitre est consacrée à la présentation du principe conduisant à l'obtention d'une sortie numérique. Pour cela une contre réaction 1 bit est proposée afin de réaliser une conversion $\Sigma\Delta$.

Le troisième chapitre montre une première implantation du modulateur $\Sigma\Delta$ à retour courant. Le convertisseur numérique analogique de la boucle de rétroaction est alors réalisé par une résistance qui permet une conversion tension/courant. Les résultats théoriques sont comparés à des résultats de simulations et à des résultats expérimentaux obtenus à partir d'un prototype fabriqué sur une technologie CMOS dans le cadre d'une thèse précédente.

Le quatrième chapitre propose une deuxième implantation du modulateur $\Sigma\Delta$. Une contre réaction capacitive est maintenant utilisée afin de compenser les variations de capacités du capteur. Deux structures différentes de convertisseur capacité/tension ont été proposées et les

résultats sont comparés. Des résultats expérimentaux ont également été obtenus en utilisant le prototype évoqué ci-dessus et des composants discrets.

En se basant sur les résultats des études préliminaires présentées dans les chapitres III et IV, et notamment sur les résultats expérimentaux, nous avons conçu un démonstrateur original qui est présenté dans le dernier chapitre. La conception de chacun des blocs élémentaires d'un modulateur tout intégré sur silicium est décrite et les résultats expérimentaux obtenus sur un prototype fabriqué en technologie CMOS 0,35 μ m sont présentés. La consommation totale est de 3 μ A, la non-linéarité est inférieure à 2% et la résolution est de 0,1pF pour une pleine échelle de 5pF, soit une résolution de 5,6 bits.

Enfin, une conclusion générale, où sont rassemblés les principaux résultats et quelques perspectives, termine ce manuscrit.

Chapitre I. Etat de l'art : Les capteurs capacitifs et leurs interfaces

I.1) Les capteurs capacitifs

Les capteurs capacitifs sont très courants pour la mesure en laboratoire et industrielle de grandeurs aussi bien physiques que chimiques [1], [2]. Traditionnellement, il s'agit principalement de condensateurs plans et de condensateurs cylindriques (Fig. 1.1).

Plus récemment, de nombreux capteurs capacitifs sont réalisés à partir de techniques issues de la microélectronique pour obtenir un micro-système électromécanique (Micro Electro Mechanical System, MEMS). Dans ce cas la capacité est généralement basée sur une structure interdigitée (Fig. 1.2).

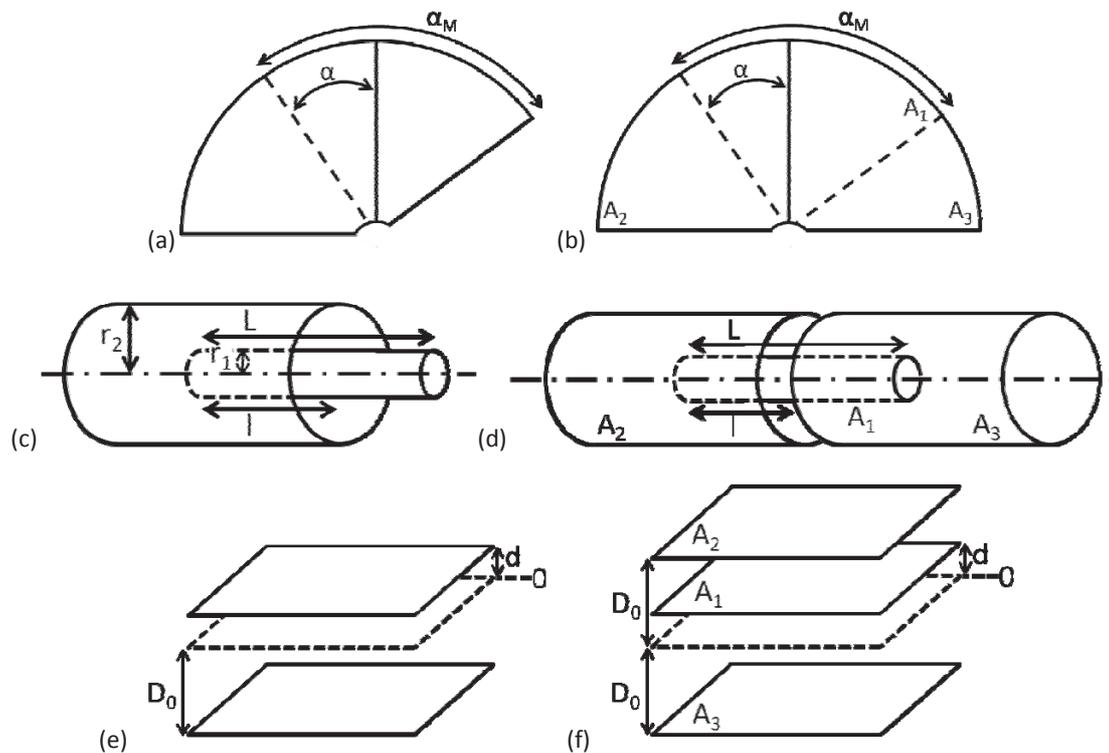


Fig. 1.1 Principe des capteurs capacitifs à surface variable :

- (a) condensateur plan simple rotatif, (b) condensateur plan double différentiel rotatif,
- (c) condensateur cylindrique simple à déplacement rectiligne, (d) condensateur cylindrique double différentiel à déplacement rectiligne.

Principe des capteurs capacitifs à écartement variable :

- (e) condensateur plan simple, (f) condensateur plan double différentiel (d'après [4])

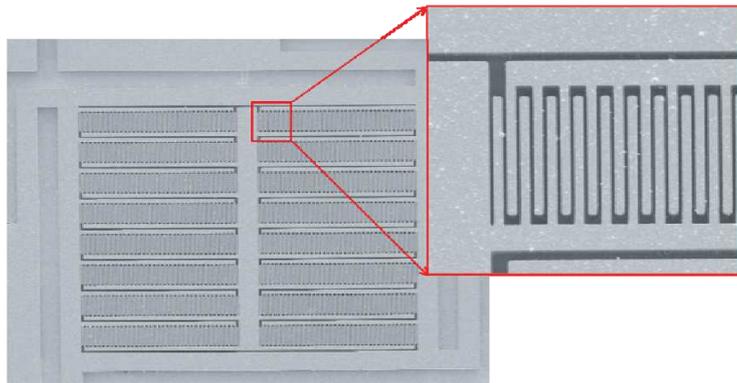


Fig. 1.2 Exemple de capacité à base de peignes interdigités (comdrive) [50]

Le principe des capteurs capacitifs est basé sur la variation d'une capacité en réponse à la variation du mesurande (i.e. la grandeur à mesurer). La variation de cette capacité peut être induite par celle d'un des trois paramètres qui caractérise le condensateur :

- la distance D entre les armatures/plaques ;
- la surface active A des armatures/plaques ;
- la permittivité ϵ du diélectrique séparant les deux armatures/plaques.

Par exemple, les capteurs de pression sont basés typiquement sur une variation de la distance et les capteurs de position sur une variation de la surface ou de la distance. Les variations de permittivité du diélectrique sont par exemple exploitées dans des capteurs d'humidité mais ce type de transduction est moins courant.

Les capteurs capacitifs peuvent être classés en deux familles [2], [3] : 1) les capteurs capacitifs simples, qui ont un seul élément de détection, c'est à dire une seule capacité variable, et 2) les capteurs capacitifs différentiels qui ont deux éléments de détection, ou deux capacités variables, qui varient de façon opposées et forment un demi-pont capacitif. La Fig. 1.3 montre les circuits équivalents de ces deux types de capteur capacitif.

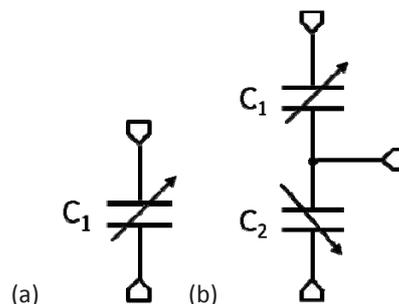


Fig. 1.3 Circuit équivalent d'un capteur capacitif (a) simple et (b) différentiel

Les avantages de la structure différentielle sont la rejection des effets des grandeurs d'influence (par exemple, température, interférence, bruit en mode commun) qui impactent de

façon équivalente les deux éléments de détection et la possibilité de commander plusieurs capteurs avec la même interface [19], [37]. Pour cette raison, les capteurs capacitifs différentiels sont largement utilisés pour mesurer une accélération, une pression, une contrainte, des positions angulaires, des déplacements, l'humidité...

Pour les accéléromètres capacitifs micro-usinés, la structure différentielle est généralement constituée de trois structures interdigitées : la plaque centrale est mobile et les plaques externes sont fixes. Elle est équivalente à deux capacités de détection (C_1 et C_2) avec une électrode commune comme représenté sur la Fig. 1.4.

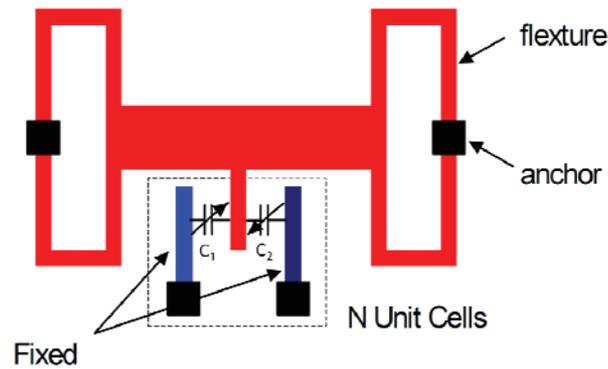


Fig. 1.4 Schéma électrique équivalent d'un accéléromètre capacitif [89]

Au repos, la plaque mobile centrale est centrée par rapport aux deux plaques fixes et C_1 et C_2 sont égales et de valeur nominale C_0 (unité en Farad) égale à :

$$C_0 = \epsilon_0 \epsilon_r \frac{A_0}{D_0} \quad (1.1)$$

Où ϵ_0 est la permittivité électrique du vide qui vaut $8,854 \times 10^{-12} \text{ F.m}^{-1}$, ϵ_r est la permittivité relative du diélectrique placé entre les plaques, A_0 est la surface nominale des plaques en regard, et D_0 est la distance nominale entre les plaques à la position de repos.

1.1.1) Capteur différentiel à écartement de plaque variable

Si le mesurande déplace la plaque mobile et modifie la distance (surface A_0 constant), un changement de capacité symétrique est observé sur les 2 capacités : par exemple, la capacité C_1 augmente de ΔC quand la distance diminue et C_2 diminue de ΔC . Les expressions de C_1 et C_2 sont donc :

$$C_1 = \epsilon_0 \epsilon_r \frac{A_0}{D_0 - d} \quad (1.2)$$

$$C_2 = \epsilon_0 \epsilon_r \frac{A_0}{D_0 + d} \quad (1.3)$$

Où d est le déplacement de la plaque mobile.

Elles peuvent également s'exprimer en fonction de C_0 :

$$C_1 = \frac{C_0}{1 - \frac{d}{D_0}} \quad (1.4)$$

$$C_2 = \frac{C_0}{1 + \frac{d}{D_0}} \quad (1.5)$$

Si $d \ll D_0$, on a également :

$$C_1 = C_0 + \Delta C \quad (1.6)$$

$$C_2 = C_0 - \Delta C \quad (1.7)$$

À partir de l'équation (1.4) et (1.5), C_0 peut s'écrire :

$$C_0 = C_1 \left(1 - \frac{d}{D_0}\right) = C_2 \left(1 + \frac{d}{D_0}\right) \quad (1.8)$$

En remplaçant la capacité nominale C_0 en fonction de C_1 de l'équation (1.8) dans l'équation (1.5) ou C_0 en fonction de C_2 dans l'équation (1.4), la variation relative de distance $\frac{d}{D_0}$ est égale à :

$$\frac{d}{D_0} = \frac{C_1 - C_2}{C_1 + C_2} \quad (1.9)$$

Et encore en remplaçant C_1 et C_2 des équations (1.6) et (1.7) dans l'équation (1.9), le paramètre $\frac{d}{D_0}$ est obtenu par :

$$\frac{d}{D_0} = \frac{\Delta C}{C_0} \quad (1.10)$$

I.1.2) Capteur différentiel à surface de capacité variable

Si le mesurande modifie la surface (distance D_0 constant), C_1 et C_2 varient en sens contraire en fonction du déplacement x . En fonction de C_0 et du déplacement maximum X , les capacités C_1 et C_2 s'expriment par :

$$C_1 = C_0 \left(1 + \frac{x}{X}\right) \quad (1.11)$$

$$C_2 = C_0 \left(1 - \frac{x}{X}\right) \quad (1.12)$$

La variation relative de la surface $\frac{x}{X}$ induite par le mesurande peut être calculé par :

$$\frac{x}{X} = \frac{C_1 - C_2}{C_1 + C_2} = \frac{\Delta C}{C_0} \quad (1.13)$$

À partir des équations ci-dessus (1.10) et (1.13) nous pouvons constater que le déplacement est proportionnel à la différence de la capacité.

Pour mesurer le rapport de $\frac{\Delta C}{C_0}$, la paire de condensateurs variables est généralement configurée en demi-pont capacitif, semblable à la Fig. 1.5. La variation de la capacité est alors mesurée en appliquant deux tensions alternatives aux extrémités du demi-pont capacitif (plaques fixes) et en prenant la sortie, qui peut être une tension ou courant, au niveau du nœud central (plaque mobile) tel qu'illustré à la Fig. 1.5 (a). Une alternative est présentée dans la Fig. 1.5 (b) : dans ce cas, une tension de polarisation est appliquée au centre du demi-pont capacitif et les plaques fixes sont ensuite connectées à l'interface de conditionnement différentielle. Les signaux d'entrée peuvent alors être des tensions (amplificateur de tension) ou des courants (amplificateur à transrésistance) et la sortie est généralement une tension, qui peut être différentielle, comme sur la Fig. 1.5 (b), ou référencée. Les avantages de l'interface différentielle sont l'amélioration du taux de réjection du bruit d'alimentation et la réjection au premier ordre de l'erreur de mode commun [19], [37].

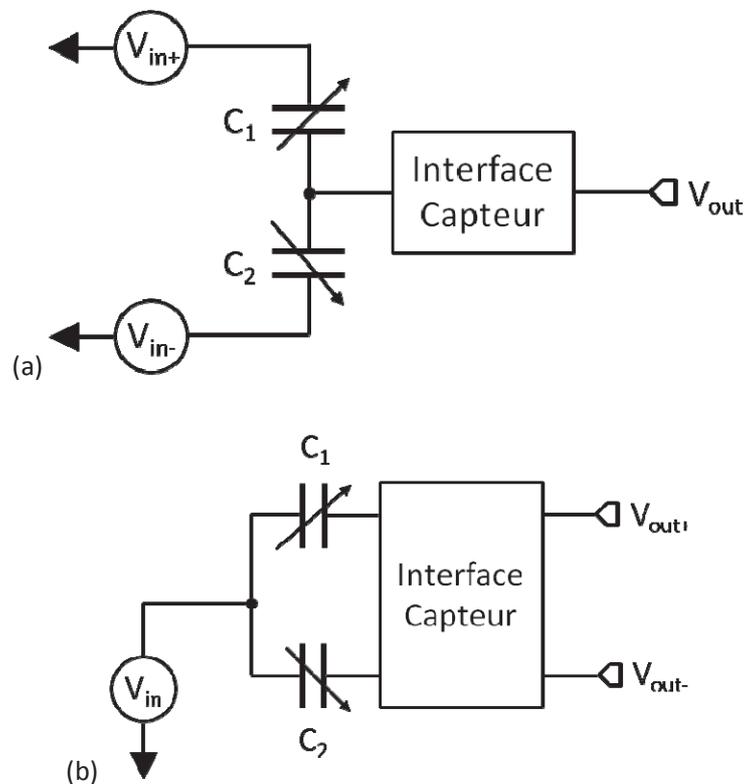


Fig. 1.5 Interface de sortie (a) simple et (b) différentielle

Pour réaliser les interfaces de conditionnement de capteurs capacitifs différentiels dans des applications faible consommation, plusieurs architectures ont été proposées et développées [24], [44], [32], [26], [28], [29], [30], [7], [38], [40], [43]. Ces circuits peuvent être à temps continu ou à temps discret et sont basés sur une conversion de capacité en tension, en courant, en temps ou en fréquence.

Pour la conversion capacité/fréquence (C/F) la variation de fréquence est généralement inversement proportionnelle à la variation de la capacité. Le convertisseur C/F peut être réalisé sous la forme d'un oscillateur dont la fréquence de sortie dépend du mesurande. La conversion

capacité/tension (C/V) peut être réalisée en temps continu ou en temps discret ; la tension de sortie varie alors de façon continue ou prend la forme d'une tension échantillonnée. Ceci peut être réalisé en utilisant une architecture à capacités commutées (Switched Capacitor SC) pour effectuer une conversion capacité/courant (C/I) et puis une conversion courant/tension (I/V). Afin d'obtenir une sortie numérique, une conversion analogique-numérique (CAN, en anglais Analog-Digital Conversion ADC) est ensuite nécessaire. La conversion numérique la plus répandue est basée sur un convertisseur de type $\Sigma\Delta$ [7], [20], [21]. La Fig. 1.6 résume le schéma bloc du système de capteur.



Fig. 1.6 Architecture générale d'un système de capteur

I.2) Les interfaces de capteurs capacitifs différentiels

I.2.1) Interfaces à temps continu

Les circuits à temps continu sont rarement utilisés dans les applications faible consommation mais on en trouve quelques exemples dans la littérature, généralement basés sur un amplificateur de tension, un amplificateur à transimpédance ou un oscillateur.

I.2.1.1) Pont capacitif et amplificateur de tension

L'implantation à temps continu la plus simple consiste à convertir la variation de capacité en une tension électrique puis de l'amplifier à l'aide d'un amplificateur de tension. Un exemple est présenté dans la Fig. 1.7 (a). Le pont capacitif, constitué d'une capacité de détection C_s et d'une capacité de référence C_r , est connecté à deux signaux carrés V_{p+} et V_{p-} déphasés de 180° et d'amplitude V_p . L'amplitude de la sortie du pont capacitif est alors proportionnelle à la variation de capacité ($C_s - C_r = \Delta C$). Après amplification par un amplificateur de tension et démodulation par un démodulateur synchrone, la tension de sortie est :

$$V_{\text{out}} = A_V V_p \frac{\Delta C}{2C_r + C_p} \quad (1.14)$$

Où A_V est le gain de l'amplificateur et C_p est la capacité parasite.

Afin de minimiser le bruit et d'améliorer la capacité minimale détectable, il faut augmenter l'amplitude V_p et réduire la capacité parasite C_p . En supposant que la fréquence des signaux V_{p+} et V_{p-} est dans la bande passante de l'amplificateur, la capacité minimale détectable est donnée par :

$$\Delta C_{\text{min}} = \frac{2C_r + C_p}{V_p} V_{\text{noise}} \sqrt{BW} \quad (1.15)$$

Où V_{noise} est le bruit thermique ramené en entrée de l'amplificateur et BW est la bande passante de la mesure.

Les équations (1.14) et (1.15) montrent que cette architecture n'élimine pas l'effet de la capacité parasite C_p qui dégrade le gain et la résolution du circuit d'interface. Pour réduire ces effets des parasites, l'amplificateur à transimpédance de la Fig. 1.7 (b) est proposé.

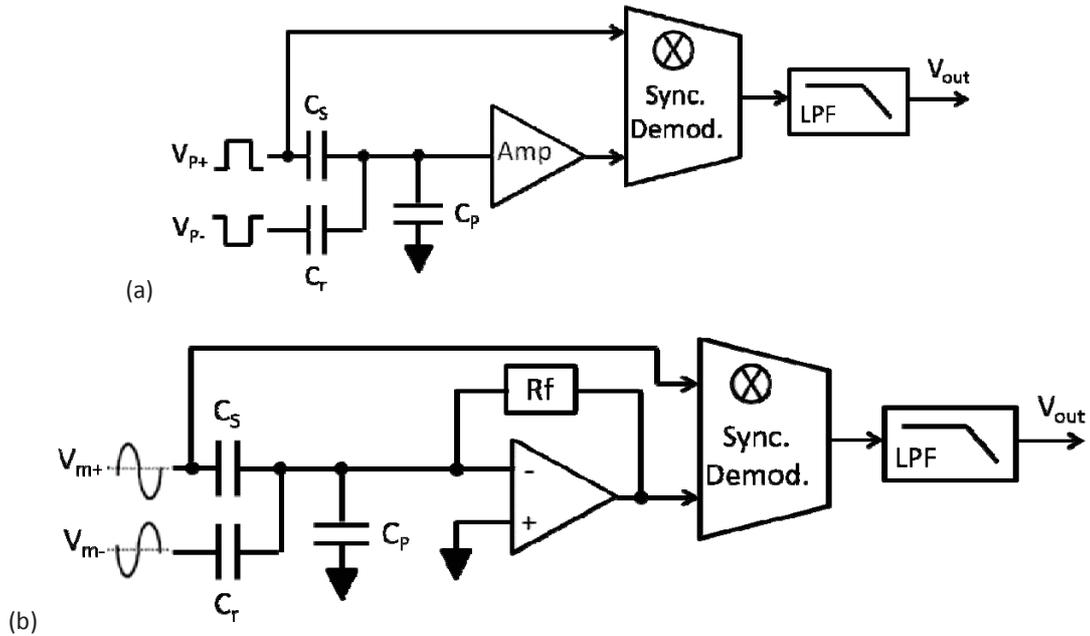


Fig. 1.7 Schéma fonctionnel simplifié des différents circuits de lecture capacitifs : (a) Pont capacitif avec amplificateur de tension; (b) Amplificateur à transimpédance (d'après [24])

Le pont capacitif est polarisé par deux tensions alternatives déphasées de 180° . Ces tensions sinusoïdales d'amplitude V_m et de fréquence f_{drive} évitent les erreurs induites par la distorsion. La sortie du pont est maintenue à 0V par la masse virtuelle d'un amplificateur opérationnel à contre-réaction résistive R_f . Cette masse virtuelle réduit l'effet de la capacité parasite en la court-circuitant. La sortie du pont capacitif est alors un courant qui traverse R_f . Si la fréquence f_{drive} est située dans la bande passante de l'amplificateur, la tension de sortie V_{out} est donnée par :

$$V_{out} = 2\pi f_{\text{drive}} V_m R_f \Delta C \quad (1.16)$$

En supposant que le bruit de l'amplificateur est négligeable devant le bruit thermique de la résistance R_f , la capacité minimale détectable est :

$$\Delta C_{\min} = \frac{\sqrt{BW}}{V_m} \sqrt{\frac{2kT(2C_T + C_p)}{\pi GBW_{\text{amp}}}} \quad (1.17)$$

Où GBW_{amp} est le produit gain bande de l'amplificateur, k est la constante de Boltzmann ($k=1,3806 \times 10^{-23} \text{ J.K}^{-1}$) et T est la température en Kelvin.

En utilisant ce principe, A. Sharma et al. [44] ont proposé un amplificateur à transimpédance de résolution 0,02aF/VHz pour un gyroscope MEMS. Cet amplificateur à transimpédance est basé sur un amplificateur de transconductance (OTA) avec une résistance R_f de 10 M Ω , un gain DC de 104 dB, une bande passante de 10 Hz et un bruit thermique de 17nV/VHz. Fabriqué en technologie CMOS 0,6 μ m, il consomme 400 μ W pour une tension d'alimentation de 1,5V.

1.2.1.2) Capteurs capacitifs différentiels à sortie temporelle

Les interfaces basées sur la conversion d'une variation de capacité en un signal temporel, une fréquence ou un rapport cyclique, sont les architectures les plus compactes et simples et sont donc les plus utilisées dans les systèmes faible consommation. Le principe de ces interfaces est généralement basé sur l'utilisation d'un oscillateur, en anneau ou à relaxation.

a) Capteurs capacitifs à base d'oscillateur en anneau

L'oscillateur en anneau est un convertisseur C/F basé sur l'utilisation d'un nombre impair d'inverseurs en cascade tels que la sortie du dernier est rebouclée sur l'entrée du premier. Un système instable, dont la fréquence d'oscillation est inversement proportionnelle au retard des inverseurs, est ainsi obtenu. Le retard et donc la fréquence de l'oscillateur changent en fonction des variations de la capacité du capteur, ajoutée entre la sortie d'un inverseur et la masse. La fréquence d'oscillation est alors inversement proportionnelle à la capacité.

A. Verma et B. Razavi [32] ont utilisé ce convertisseur C/F pour la mesure de la différence entre deux capacités. Le schéma proposé est illustré sur la Fig. 1.8. La fréquence d'oscillation est une fonction de C_1 ou C_2 . Le mismatch relatif entre les capacités, $\frac{\Delta C}{C_0}$, se traduit en une variation relative de fréquence $\frac{\Delta f_{out}}{f_{out}}$, en fonction de la capacité connectée à l'oscillateur. Une variation de fréquence de la forme :

$$\frac{\Delta f_{out}}{f_{out}} = \alpha \frac{\Delta C}{C_0} \quad (1.18)$$

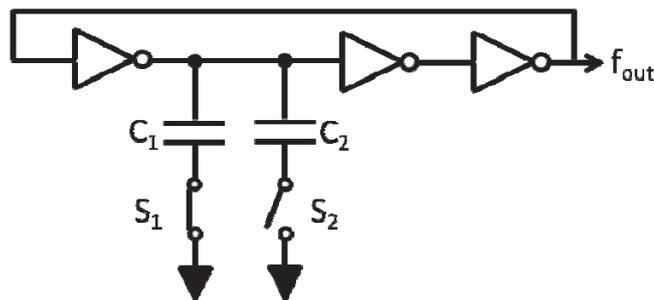


Fig. 1.8 Oscillateur en anneau pour mesurer la différence entre deux capacités (d'après [32])

Cependant, la sensibilité des inverseurs au bruit apporté par les sondes limite la résolution. Le circuit a donc été modifié pour l'architecture différentielle de la Fig. 1.9 où les inverseurs sont remplacés par des amplificateurs dont les retards sont plus précis et permettent de réduire la dépendance de α aux dispersions de retard entre chaque étage. Chaque amplificateur est

réalisé sous la forme d'une simple paire différentielle à charge résistive. Six paires de capacités sont également utilisées pour augmenter le rapport signal/bruit. Un prototype de cet oscillateur en anneau différentiel à trois étages a été fabriqué dans une technologie CMOS 0,13 μ m. Une résolution fréquentielle de ± 5 kHz pour des fréquences d'oscillation comprises entre 57 et 215MHz permet de mesurer des différences avec des résolutions inférieures à 0.01% pour des capacités nominales de 7.7, 15.4, 23 ou 49 fF.

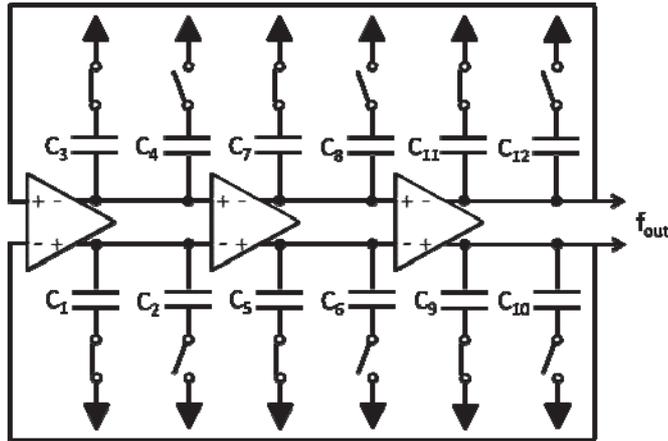


Fig. 1.9 Oscillateur en anneau à sortie différentielle (d'après [32])

À partir de ce principe [32], un oscillateur en anneau à sortie différentielle peut être utilisé pour mesurer des variations de capacité de deux ponts capacitifs en posant $C_1=C_3=C_0+\Delta C$ et $C_2=C_4=C_0-\Delta C$ (Fig. 1.10). La variation de fréquence $\frac{\Delta f_{out}}{f_{out}}$ vaut $\frac{\Delta C}{2C_0}$.

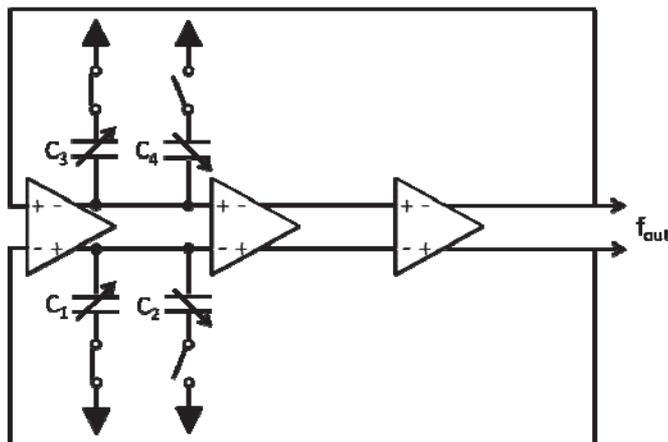


Fig. 1.10 Oscillateur en anneau adapté du circuit décrit dans [32]

b) Capteurs capacitifs à base d'oscillateur à relaxation

Un exemple simple d'oscillateur à relaxation est l'adaptation du principe des convertisseurs double rampe à la mesure différentielle de capacités (Fig. 1.11) : dans cette architecture, le fait d'utiliser le même courant de référence et le même comparateur pour charger tour à tour les deux capacités permet de minimiser l'offset. Il s'agit de charger une des capacités C_1 par

exemple, avec un courant de référence (I_{bias}) jusqu'à la tension de seuil (V_{ref}) d'un comparateur. Pendant cette durée, notée ΔT_{compte} , un compteur est incrémenté au rythme de l'horloge.

$$\Delta T_{compte} = \frac{C_1 V_{ref}}{I_{bias}} \quad (1.19)$$

Durant la seconde phase, la deuxième capacité C_2 est chargée par le même courant et jusqu'au même seuil alors que le compteur est configuré en décompte et donne $\Delta T_{décompte}$.

$$\Delta T_{décompte} = \frac{C_2 V_{ref}}{I_{bias}} \quad (1.20)$$

L'état final du compteur est alors proportionnel à la différence entre les deux capacités :

$$\Delta T_{compte} - \Delta T_{décompte} = \frac{(C_1 - C_2) V_{ref}}{I_{bias}} \quad (1.21)$$

Pour une résolution de N bits, la fréquence d'horloge minimale est donnée par :

$$f_{clk} = \frac{2^N I_{bias}}{(C_1 - C_2) V_{ref}} \quad (1.22)$$

La différence minimale entre C_1 et C_2 (i.e. la variation minimale de la capacité) correspondant à un code binaire de 1 est donc :

$$\Delta C_{min} = \frac{I_{bias}}{V_{ref} f_{clk}} \quad (1.23)$$

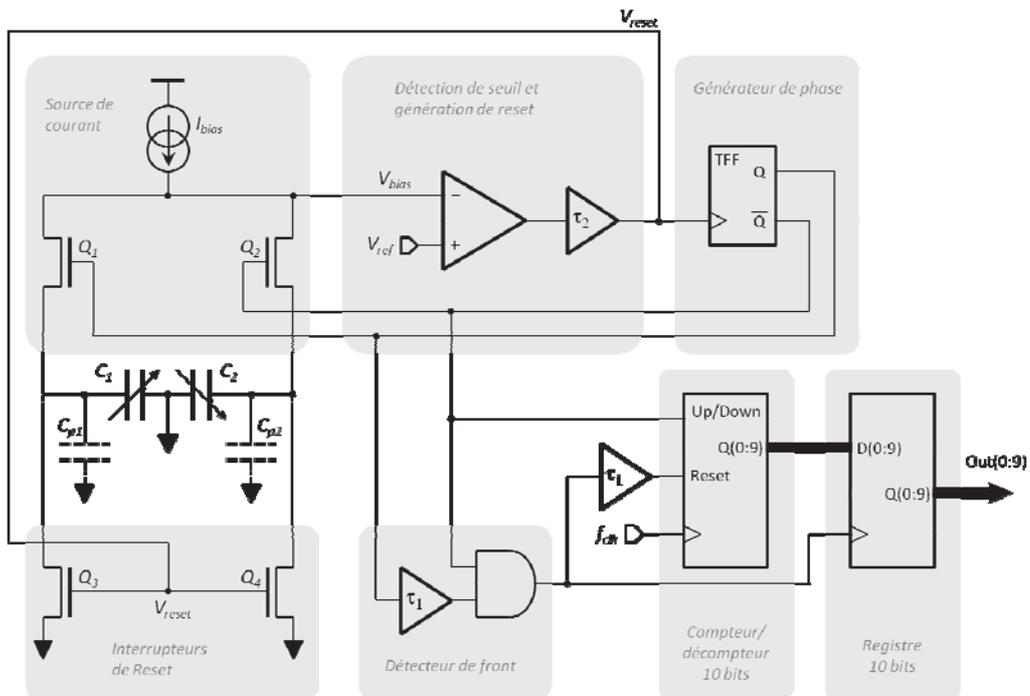


Fig. 1.11 Oscillateur à relaxation pour l'interface de capteurs capacitifs différentiels (d'après [26])

L'équation (1.23) montre qu'un faible courant est suffisant pour détecter de petites variations de capacité pour une fréquence élevée mais les commutations rapides du compteur ont un impact important sur la consommation globale. De plus, les variations sur les valeurs de la source de courant et du seuil du comparateur entraînent une erreur de gain inévitable. Le circuit présenté par T.G. Constandinou et al. [26], fabriqué en CMOS 0,35 μ m AMS et alimenté sous 3,3V, consomme 26 μ W, sa surface totale est de 240 μ m x 140 μ m en incluant le compteur et tout l'environnement de l'oscillateur. La plage de capacité mesurable est de ± 5 pF, soit 8 bits de résolution pour une fréquence d'horloge de 128kHz, un courant I_{bias} de 10nA et une tension de référence V_{ref} de 2V. Notons enfin que le compteur doit être surdimensionné (10 bits) afin d'éviter tout dépassement avant la fin du comptage.

S. Lee et al. [27] ont proposé pour un accéléromètre capacitif 3 axes le même type d'architecture en technologie CMOS 0,35 μ m AMS. La différence est que les deux capacités du capteur différentiel sont chargées simultanément et que la sortie est une impulsion dont la durée correspond à la différence des temps de charge des deux capacités. Pour une tension d'alimentation de 1,5V, la consommation et la surface de chaque circuit d'interface sont de 157 μ W et 0.16 mm² respectivement, soit 0,47 mW de consommation totale pour 3 voies incluant la conversion du signal temporel en un mot numérique. Avec une tension V_{ref} de 1,2V, une capacité nominale de 1pF et une plage de variation de capacité ($|C_1 - C_2|$) de 0 à 1pF, la sensibilité obtenue est de 42 μ s/pF. Pour une bande passante de 200Hz, le rapport signal sur bruit est de 75,3dB (i.e. signal de -4,1 dB et bruit de -79,4 dB), correspondant à une résolution d'environ 12,5bits.

Un autre circuit d'interface basse consommation est présenté par N. Nizza et al. [28] pour mesurer de petites variations de capacité comprises entre 16fF et 256fF. Le demi pont capacitif est polarisé par une tension triangulaire appliquée à son nœud central pour obtenir une impulsion en sortie dont la durée τ est linéairement proportionnelle à la capacité différentielle $|C_X - C_R|$. Le circuit présenté sur la Fig. 1.12 utilise uniquement des boucles de rétroaction locales et intègre un hacheur PWM (Pulse Width Modulation) afin d'atténuer l'effet du bruit en 1/f et le mismatch du dispositif. Un prototype a été conçu et fabriqué dans une technologie CMOS 0,32 μ m fournie par ST Microelectronics (process BCD6s). Sa surface totale est de 0,52mm² et sa consommation est de 84 μ W, soit 28 μ A sous une tension d'alimentation de 3V. Pour une bande passante de 2,6kHz et une fréquence d'horloge de 30kHz, une sensibilité de 32,8 μ s/pF et une résolution de 800aF sont obtenues.

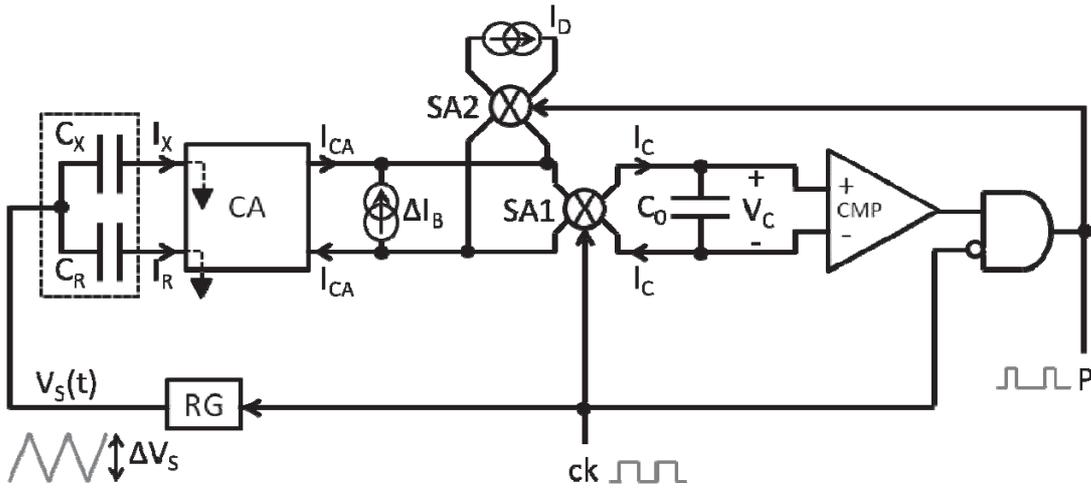


Fig. 1.12 Circuit d'interface basé sur une conversion C/F proposé par [28]

Le principe de l'oscillateur à relaxation est également utilisé dans [34] pour mesurer une différence de capacité à partir d'un oscillateur contrôlé en capacité (capacitance-controlled oscillator). Cet oscillateur illustré sur la Fig. 1.13 est basé sur un oscillateur à relaxation proposé par K. Martin [51] et est principalement composée de cinq parties : un intégrateur OTA-C (operational transconductance amplifier et une capacité C_{int}), un comparateur, une source de courant commutée I_{ch} , un bloc logique de commutation de contrôle et une bascule de Schmitt. Les $C_{s1} \dots C_{sn}$ sont des capacités à mesurer. C_{p2} et C_{p3} sont les capacités parasites. Les résistances R_{div1} , R_{div2} et l'amplificateur opérationnel fournissent une tension de référence de $V_{CC}/2$. L'état de sortie du comparateur change dès que la tension de sortie de l'intégrateur croise la valeur de la tension de référence. Les charges des capacités C_{off} et $\sum C_{si}$ sont périodiquement transférées vers C_{int} . Les états de charge/décharge de la source de courant commutée sont contrôlés par la logique de commande qui dépend du signal de sortie de l'oscillateur. Dans le cas idéal, la période du signal de sortie de l'oscillateur T_p s'exprime en fonction de la capacité C_{si} à mesurer :

$$T_p = 2 \frac{(\sum C_{si} + C_{off})V_{CC}}{I_{ch}} + 4t_d \quad (1.24)$$

Avec V_{CC} , la tension d'alimentation, et t_d , le retard dans la boucle de l'oscillateur qui est déterminé par le retard du comparateur.

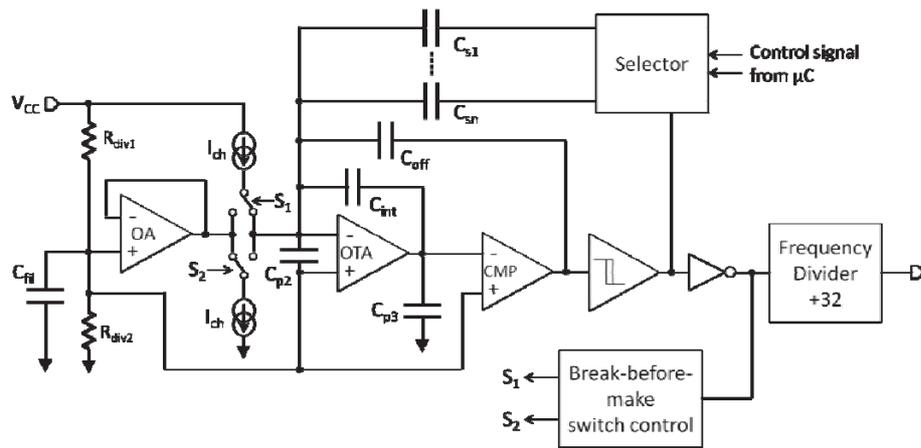


Fig. 1.13 Oscillateur contrôlé en capacité (d'après [34])

L'interface a été mise en œuvre dans une technologie CMOS 0,7 μ m et consomme 12 mW sous une tension d'alimentation de 5V. Pour une fréquence d'oscillation de 90 kHz, la résolution et la non-linéarité mesurée sur une plage de mesure de 2 pF sont respectivement de 11,3 ppm et 300 ppm.

Pour réduire le coût, la complexité, la surface et la consommation d'énergie des interfaces de conditionnement, le concept de « circuit d'interface direct » a été introduit (Fig. 1.14 (a)) [22], [23]. Ces circuits ne nécessitent ni conditionneurs du capteur (basés sur des amplificateurs ou des oscillateurs) ni convertisseur analogique-numérique ; le demi-pont capacitif du capteur est directement relié aux entrées/sorties d'un microcontrôleur (μ C) et le front-end analogique est un simple buffer Trigger de Schmitt (embarqué dans le μ C) qui déclenche une horloge numérique.

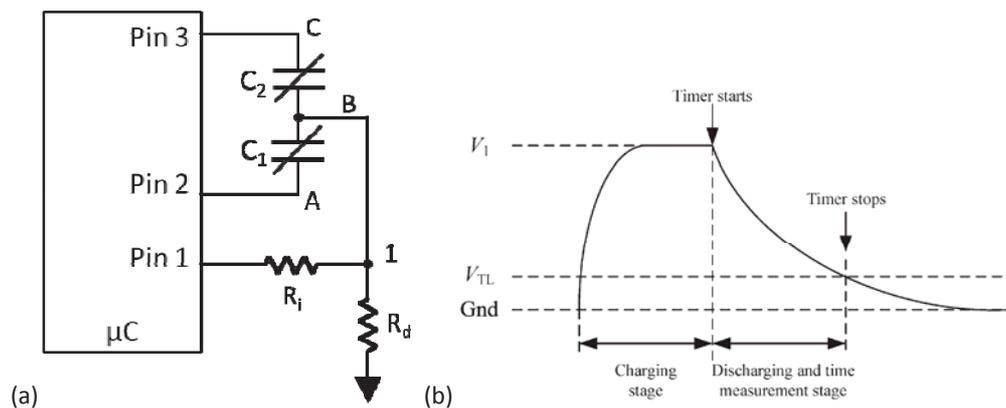


Fig. 1.14 (a) Circuit d'interface directe pour un capteur capacitif différentiel (d'après [23]) et (b) allure du signal V_1

Ce circuit effectue trois mesures du temps de décharge de C_1 , C_2 et C_1+C_2 respectivement. Le Tab. 1.1 résume les états des 'pin2' et 'pin3', ainsi que les temps de décharge de chaque capacité avec $k_c=R_d \ln(V_1/V_{TL})$ et V_{TL} est une tension de seuil du buffer.

Meas.	Pin2	Pin3	C _{eq}	Temps de décharge
1	'0'	HZ	C ₁	T ₁ =k _c (C ₀ +ΔC)
2	HZ	'0'	C ₂	T ₂ =k _c (C ₀ -ΔC)
3	'0'	'0'	C ₁ +C ₂	T ₃ =2k _c C ₀

Tab. 1.1 États des 'pin2' et 'pin3' et les temps de décharge de chaque capacité

À chaque mesure, le circuit fonctionne sur deux phases (Fig. 1.14 (b)). Pendant la première phase, 'pin1' est polarisé par un '1' logique (=V_{DD}) et la capacité C_{eq} est chargée à la tension V₁ (=V_{DD}) à travers R_i (R_i << R_D). Pendant la seconde phase, 'pin1' est définie comme une entrée haute-impédance (HZ) et la capacité C_{eq} se décharge à travers R_d. Le circuit d'interface de la Fig. 1.14 a été réalisé avec un μC AVR ATtiny2313 8-bit (Atmel) fonctionnant à 20 MHz, pour V_{DD} = 5V et V_{TL} = 2.2V. Le capteur capacitif différentiel est un accéléromètre 1 axe SCG10Z-G001CC (VTI Technologies) de sensibilité 0,065-0,2pF/g, de capacité nominale C₀ de 1.2 à 1.8pF et de plage de mesure de ±2g. Pour un C₀ de 1.5pF et une pleine échelle ΔC/C de ±7%, une résolution de 7 bits et une non-linéarité de 1.1% de la pleine échelle sont obtenues.

I.2.2) Interfaces à temps discret

I.2.2.1) Interface capteur à capacités commutées

Les architectures à capacités commutées sont parmi les plus utilisées pour la mesure de capacité. Ce convertisseur C/V (Fig. 1.15) utilise un amplificateur de tension (dont les entrées négative et positive sont respectivement connectées au capteur capacitif différentiel et à une tension de référence (la masse)) et une capacité de rétroaction C_{int}.

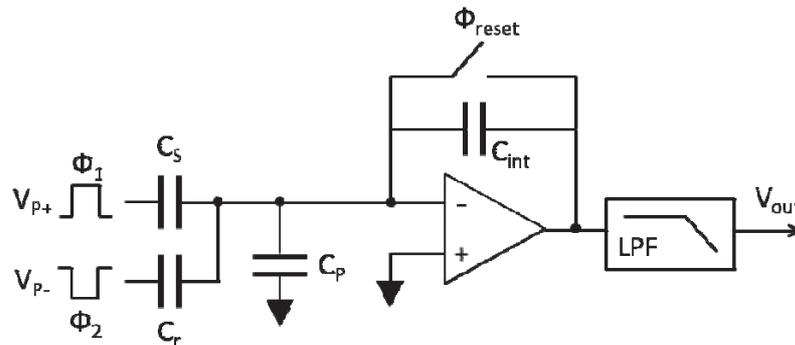


Fig. 1.15 Circuit à capacité commutée (d'après [24])

Pendant la phase /Φ_{reset}, les deux capacités du demi pont capacitif sont chargées par deux sources de tension de même amplitude V_p mais de phase opposée. La conservation de la charge sur l'entrée inverseuse de l'amplificateur implique une charge ΔC*V_p sur la capacité de rétroaction C_{int}. La charge de la capacité C_{int} étant C_{int}V_{out}, la tension de sortie V_{out} est donc :

$$V_{out} = V_p \frac{\Delta C}{C_{int}} \quad (1.25)$$

La valeur de C_{int} permet donc de régler le gain de l'étage et la plage de mesure.

Comme précédemment, la masse virtuelle en entrée de l'amplificateur court-circuite la capacité parasite C_p .

Y. Wang et V. P. Chodavarapu [29] ont proposé une implantation de ce convertisseur C/V en technologie CMOS IBM 0,13 μm pour des capteurs de pression MEMS capacitifs sur une plage de température de fonctionnement allant de -55°C à 225°C . Pour une tension d'alimentation de 2,5V, une tension de polarisation du pont capacitif V_p de $1,25V_{c-c}$, une capacité de rétroaction de 2pF, une capacité de référence C_r de 1,805 pF et une plage de variation de la capacité ΔC de -1 pF à 1 pF, ce convertisseur présente une bonne linéarité ($R^2 = 0,998$).

D'autres architectures à capacités commutées sont proposées dans la littérature pour le conditionnement de capteurs capacitifs. Le circuit de la Fig. 1.16 proposée par N. Wongkomet and B. E. Boser [30] est conçu pour mesurer les variations de capacités C_s , de valeurs nominales de quelques centaines de femto farads (fF), sur une plage ΔC de 1 à 100 atto farads (aF). La capacité C_{int} a été choisie égale à C_s et la tension de sortie est de l'ordre de $10\mu\text{V}$ à 1mV.

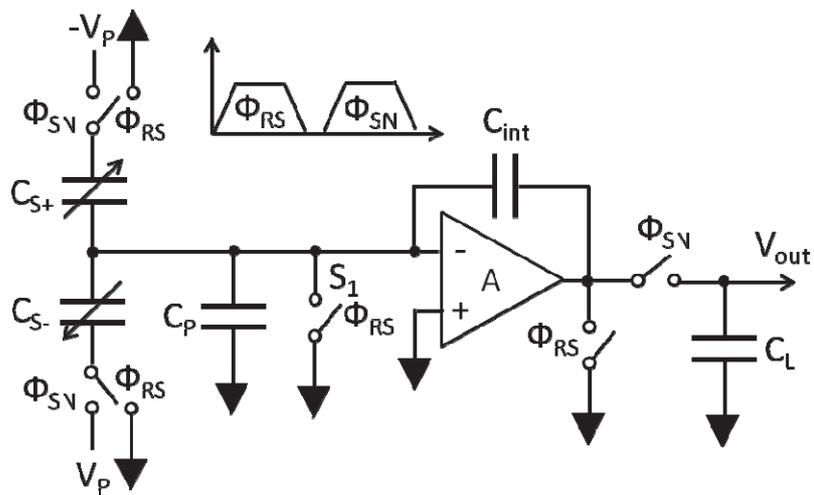


Fig. 1.16 Circuit typique à capacité commutée proposé par [30]

En pratique, le transfert de charge vers la capacité C_{int} n'est pas parfait [19], [21] et les imperfections sont dues :

- à la réponse transitoire finie de l'amplificateur et au temps que met la tension à l'entrée négative de l'amplificateur V_{in-} à devenir une masse virtuelle ; une partie de la charge est alors perdue à travers la conductance parasite de la capacité à mesurer ;
- au gain fini Av de l'amplificateur qui conduit à une charge résiduelle proportionnelle à V_{out}/Av ;
- et à l'offset de l'amplificateur qui entraîne une charge résiduelle proportionnelle à V_{offset} qui n'est pas transférée à C_{int} .

Pour éliminer l'offset de l'amplificateur, une technique de double échantillonnage corrélé (Correlated Double Sampling CDS) peut être implantée dans les circuits des Fig. 1.15 et Fig. 1.16 en ajoutant une capacité à la sortie de l'amplificateur et une horloge supplémentaire, comme illustré sur la Fig. 1.17. Cette technique permet aussi d'annuler le bruit en $1/f$ de l'amplificateur, le bruit de commutation (également appelé le bruit kT/C) et l'injection de charge afin d'obtenir un circuit à haute résolution [19], [25], [33], [35], [36]. À la fin de la phase Φ_{RS} et durant la phase Φ_{SN1} de la Fig. 1.17 (b), l'erreur est amplifiée et stockée dans la capacité C_H . Lors de la phase Φ_{SN2} , les tensions $\pm V_P$ sont appliquées aux capacités du capteur. La sortie de l'amplificateur est alors la somme du signal amplifié V_{sig} et de l'erreur due à l'amplification de l'offset V_{error} . La tension V_{error} ayant été précédemment stockée aux bornes de C_H , la tension de sortie V_{out} est égale à V_{sig} . Cette technique (CDS) a été mise en œuvre dans un capteur de position capacitif utilisé pour des micro actionneurs et fabriqué en technologie CMOS $1,2 \mu\text{m}$ [30]. La surface du prototype est de $2,2\text{mm} \times 2,2\text{mm}$. Sous une tension d'alimentation de 5V, le CDS diminue l'offset de l'amplificateur de 300mV à 10mV et la fréquence de coin du bruit en $1/f$ de 1MHz à 100Hz [30].

En technologie CMOS $0,5\mu\text{m}$, une résolution de 20 aF a été atteinte par [24], [36] sur une bande passante de 1Hz, pour une fréquence d'horloge de 1MHz et une sensibilité de $0,2\text{-}1,2\text{V/pF}$. Obtenue pour un accéléromètre capacitif de sensibilité égale à 20pF/g et de pleine échelle de $\pm 1,35\text{g}$, cette résolution est équivalente à $1\mu\text{g}$ et d'environ 21 bits. La surface du circuit est de $5,58\text{mm}^2$ et pour une tension d'alimentation de 5V, la consommation est inférieure à 12mW.

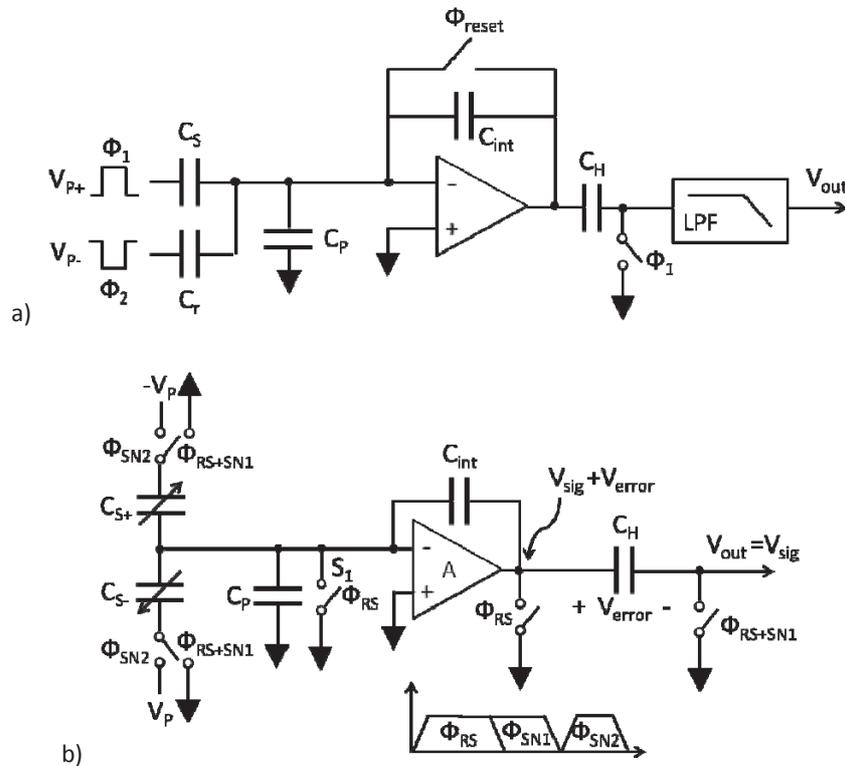


Fig. 1.17 Convertisseur capacité-tension avec CDS d'après a) [24] et b) [30]

Un autre circuit de conversion C/V avec CDS (Fig. 1.18) est proposé par W. Bracke et al. [7], [31] afin de supprimer l'effet de la tension d'offset. Cette interface n'a besoin que d'une seule source de tension pour alimenter le capteur capacitif et un cycle de mesure pour déterminer C_x et C_x' . La capacité C_s sur l'entrée négative de l'amplificateur permet de stocker la tension d'offset et le bruit basse fréquence de l'amplificateur durant la phase Φ_1 puis de les retrancher lors de la phase Φ_2 . Ce convertisseur C/V utilise un amplificateur de classe AB avec un étage de sortie de type cascode pour réduire l'erreur de mesure sans pénaliser la consommation. Cet amplificateur consomme $3,5\mu\text{A}$, soit $7\mu\text{A}$ pour cet étage. Afin d'obtenir la sortie numérique, la tension de sortie du convertisseur C/V est ensuite amplifiée par un amplificateur à capacités commutées entièrement différentiel basé sur la technique CDS (pour éliminer les offsets) et fonctionne à une fréquence d'horloge de 8kHz. Puis le signal est converti en numérique par un modulateur $\Sigma\Delta$ du 1^{er} ordre cadencé à 128kHz. Ce modulateur est composé d'un étage d'entrée qui assure une conversion de la tension différentielle d'entrée en courant, d'un convertisseur numérique analogique 1 bit en mode courant (deux sources de courant type cascode de signes opposés), d'un intégrateur basé sur un amplificateur à deux étages et une capacité d'intégration de 10 pF et d'un comparateur utilisé comme un quantificateur.

Ce convertisseur C/V de taille de 3,2mm x 2,9mm a été réalisé dans une technologie CMOS 0,5 μm afin d'interfacer des capteurs avec des capacités nominales C_x et C_x' de 1 à 15 pF et des variations autour de la valeur nominale de 200 fF à 10 pF. La bande passante, le temps de conversion et la résolution sont également paramétrables de 1 à 100 Hz, de 2 à 8 ms et de 8 à 10 bits respectivement. Sous une tension d'alimentation de 3 V et pour une résolution de 10 bits à 100 Hz, le système a une consommation totale d'environ 40 μA . La consommation des différents blocs est donnée dans le Tab. 1.2. Cette consommation totale dépend de la bande passante et de la résolution. Ainsi la mise en veille temporaire de certains blocs permet de réduire la consommation à quelques μA .

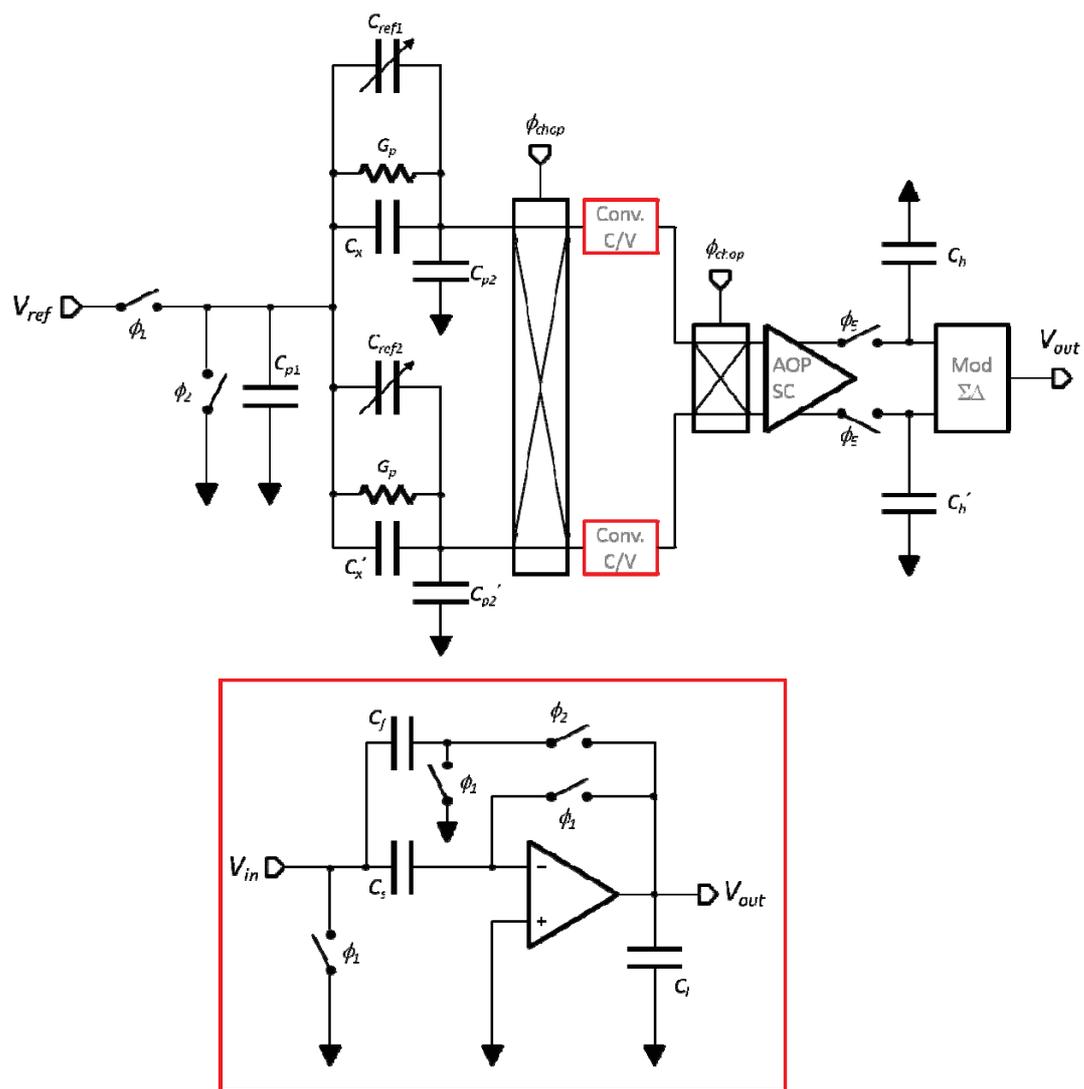


Fig. 1.18 Architecture générale d'un circuit de lecture de capteurs capacitifs différentielles à soPrtie numérique 1 bit (d'après [7])

Blocs analogiques	Consommation (μA)
Références de tension, de courant	13.5
Générations des horloges	8
Convertisseurs C/V	2x3.5
Amplificateur à capacités commutées	4
Modulateur $\Sigma\Delta$	6

Tab. 1.2 Bilan de consommation de l'interface capacitif générique (d'après [31])

I.2.2.2) Etage à compensation de force électrostatique

Dans la littérature scientifique, il existe des architectures à capacités commutées développées pour des accéléromètres capacitifs en boucle ouverte d'un point de vue mécanique (c'est-à-dire sans contre réaction électrostatique). Cependant, sans contre réaction et si la balance des forces électrostatiques agissant sur les deux côtés de l'électrode mobile n'est pas assurée, la linéarité des accéléromètres capacitifs est rapidement dégradée. La solution est de maintenir en équilibre électrostatique l'électrode mobile. Cet équilibre est obtenu en conservant à tout moment une charge Q identique pour les deux capacités formant la paire différentielle. Cette solution est publiée en 1990 [38] sous le nom de Self Balancing Bridge (SBB). L'architecture est présentée sur la Fig. 1.19 (a) et constituée du capteur capacitif différentiel C_A et C_B . L'électrode mobile se trouve au point milieu du capteur qui est ensuite relié à deux étages intégrateurs basés sur des amplificateurs de transconductance (OTA). Pendant la phase Φ_2 d'initialisation, la tension de sortie V_S est appliquée sur C_4 . Le premier étage étant alors configuré en suiveur, cette tension est propagée au niveau de l'électrode mobile (V_{MID}). Ainsi Les capacités C_A , C_B , et C_1 étant court-circuitées, la quantité de charges stockée sur l'électrode mobile est nulle. La capacité C_3 mémorise la tension de sortie au niveau du second intégrateur. La conservation de la charge au niveau de l'électrode Pendant la phase Φ_1 puis la conservation de la charge au niveau de V_2 pendant la phase Φ_2 conduit à :

$$(V_{MID} - V_{ref}) C_A = - (V_{MID} + V_{ref}) C_B \quad (1.26)$$

L'équilibre des charges dans C_A et C_B est ainsi correctement maintenu.

$$|Q_A| = |Q_B| \quad (1.27)$$

À partir de l'équation (1.26), V_{MID} est :

$$V_{MID} = V_{ref} \frac{C_A - C_B}{C_A + C_B} \quad (1.28)$$

Avec $C_A = C_0 + \Delta C / 2$; $C_B = C_0 - \Delta C / 2$ et $V_{MID} = V_S$, l'équation (1.28) devient :

$$V_S = V_{ref} \frac{\Delta C}{2C_0} \quad (1.29)$$

Un prototype de 1,8mm x 2,3mm a été réalisé une technologie SACMOS (self-aligned contact MOS) 3 μm en 1990 : la consommation était de 12 mW sous une tension d'alimentation de 2,5V. Pour une bande passante de 100 Hz, des capacités nominales de l'accéléromètre de 22 pF et une dynamique du capteur de ± 1 g, le bruit en sortie était de -110 dBV/ $\sqrt{\text{Hz}}$, correspondant à une résolution de 0,04 fF [38].

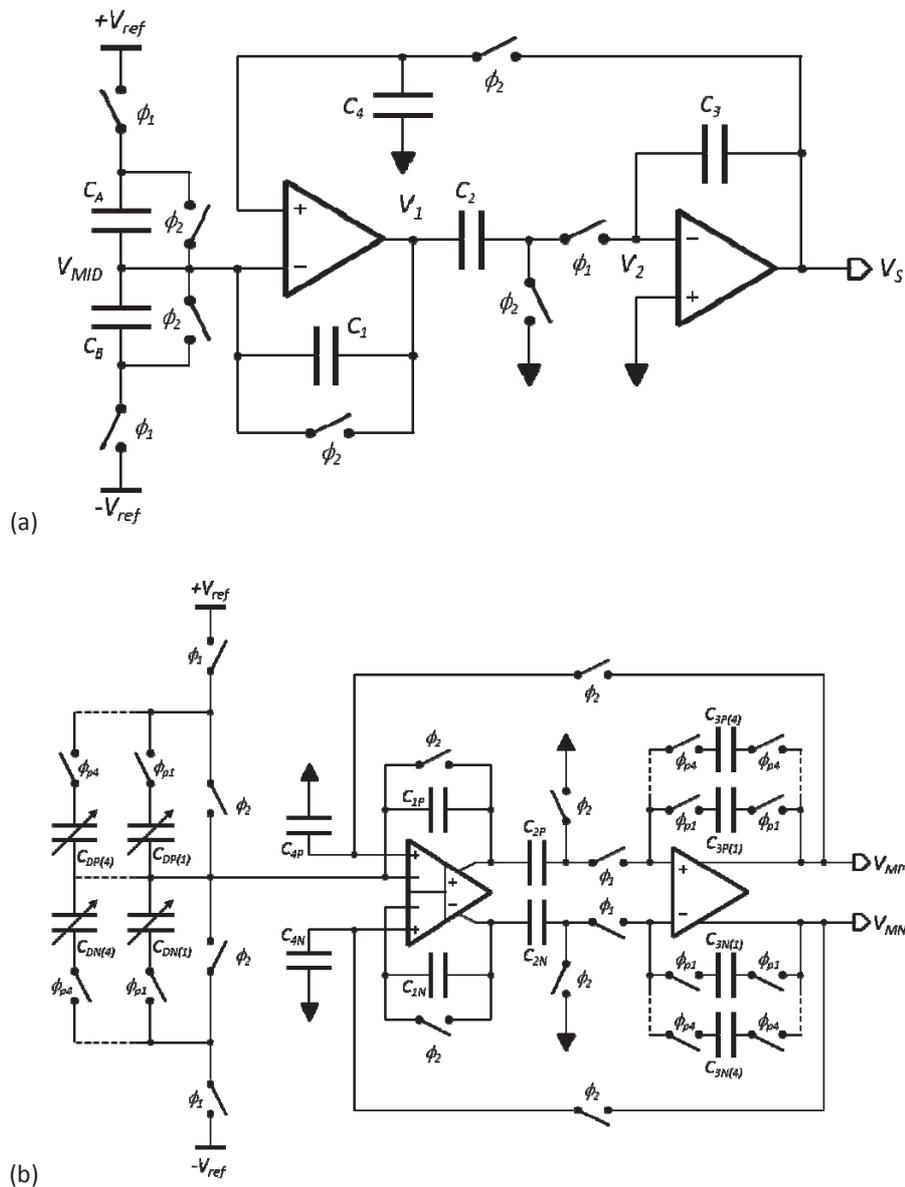


Fig. 1.19 Convertisseur capacité-tension avec compensation des perturbations dues aux forces électrostatiques (SBB) d'après (a) [38] et (b) [39]

M. Paavola, M. Kamarainen et al. [39], [40] ont appliqué ce principe pour une architecture différentielle afin de réduire des bruits de commutation, d'améliorer le SNR et d'optimiser les performances du circuit de conditionnement sans augmenter sa consommation (Fig. 1.19 (b)). Le capteur de ce travail est un accéléromètre 3 axes constitué de 4 masses mobiles qui constituent autant de paires de capacités et de capteurs capacitifs différentiels. En particulier, les offsets des amplificateurs sont éliminés grâce à une stabilisation par découpage, réalisée par permutation des tensions $\pm V_{ref}$. De plus, les capacités $C_{1N,P}$ et $C_{2N,P}$ sont programmables, ce qui permet d'ajuster la fréquence de coupure du circuit et d'assurer sa stabilité.

Dans [40], les capacités $C_{DN,P}$ des 3 axes de mesure d'accéléromètre sont de 1, 2 ou 3 pF. Des capacités de référence, programmables par pas de 0,125 pF, ont également été intégrées pour permettre une caractérisation précise de l'interface (sans capteur). Enfin, la consommation des deux amplificateurs opérationnels a été optimisée puisque leur contribution est significative dans la puissance totale du circuit. Le circuit de 0,3mm² est réalisé en technologie BiCMOS 0,13 µm. Le courant consommé par ce front-end est de 20 µA sous 1,8 V pour une fréquence de mesure fixée à 1 kHz. La dynamique du capteur est de ±4 g et les niveaux de bruit mesurés sur chacun des axes x, y et z sont respectivement 424, 607 et 560 µg/VHz.

Avec les mêmes technologies de fabrication, tension d'alimentation et dynamique du capteur, une interface complète de 0,51mm² comprenant ce front-end, des générateurs d'horloges (détaillés dans [41]), des références de tension et de courant (détaillées dans [42]) et une conversion analogique/numérique est présentée dans [39]. La consommation des différents blocs est donnée dans le Tab. 1.3. La fréquence d'échantillonnage de l'accélération est de 1,04 kHz et les niveaux de bruit mesurés sur chacun des axes x, y et z sont respectivement 482, 639 et 662 µg/VHz.

Blocs fonctionnements	Consommation (µA)	Surface (mm ²)
Front-end	18.3	0.2983
Références de tension, de courant	29.3	0.1180
Génération des horloges	8.1	0.0106
CAN	7.2	0.0802
Total	62.9	0.5071

Tab. 1.3 Bilan de consommation de l'interface complète (d'après [39])

1.2.2.3) Amplificateur à transfert de charge

Une autre architecture à capacités commutées faible consommation proposée dans [43] est basée sur un amplificateur à transfert de charge associé à un amplificateur de transconductance (OTA) (Fig. 1.20). Le premier étage est composé des capacités du capteur (C_1 à C_4), de quatre transistors MOS connectés en grilles communes jouant le même rôle que la masse virtuelle d'un montage à amplificateur opérationnel, des capacités de référence (C_5 à C_8) égales à la valeur nominale C_0 , d'interrupteurs réalisés par les portes de transmission et commandés selon trois phases d'horloge et d'un filtre optionnel de contre réaction. Le second étage est composé d'un OTA constitué de deux convoyeurs de courant pour les contraintes de linéarité.

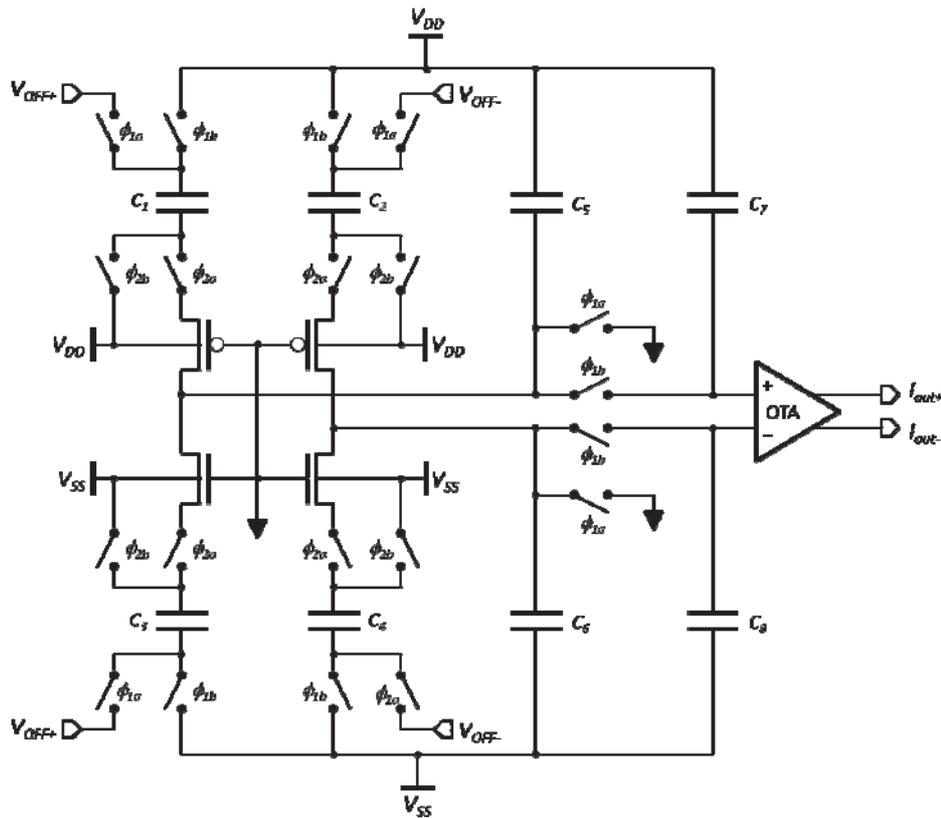


Fig. 1.20 Amplificateur à transfert de charge (d'après [43])

La première phase, pour Φ_{1a} et Φ_{2b} actives (interrupteurs fermés), réinitialise les capacités C_1 à C_6 , la seconde, pour Φ_{1a} et Φ_{2a} actives, pré-charge les capacités du capteur C_1 à C_4 et la dernière phase, Φ_{1b} et Φ_{2a} actives, transfère ces charges vers les capacités d'échantillonnage C_7 et C_8 . L'avantage de cet étage est de ne consommer aucun courant statique tout en rejetant efficacement les effets des capacités parasites dû à leur connections à la source d'un transistor. En effet, aucun amplificateur opérationnel n'est utilisé et seul le courant nécessaire à la phase de réinitialisation est consommé. Ainsi, le potentiel de la source à la fin de la seconde et de la dernière phase ne dépend que de la tension de seuil du transistor et donc les capacités parasites n'interviennent pas dans le transfert de charge.

Pour une tension d'alimentation $-V_{SS} = V_{DD} = 1,6$ V, la consommation totale du circuit réalisé en technologie CMOS $0,35 \mu\text{m}$ est de $50 \mu\text{W}$; celle du premier étage est de seulement $3 \mu\text{W}$ pour des capacités nominales du capteur C_0 de 1 pF et une fréquence d'échantillonnage de 50 kHz . Une capacité parasite de 1 pF entraîne une erreur de mesure des capacités du capteur de $1,5\text{fF}$.

1.3) Conclusion

Dans ce premier chapitre, nous avons présenté un état de l'art sur les capteurs capacitifs et les principales interfaces de conditionnement permettant de convertir les variations de capacité du capteur en un signal électrique.

Une première partie débute avec une présentation des différents types de capteur capacitif. Ensuite nous avons rappelé le principe du capteur capacitif qui est basé sur la variation d'une capacité sous l'effet d'une variation de la distance, de la surface ou de la permittivité du diélectrique.

Dans la seconde partie, une grande variété d'interfaces, en temps continu ou en temps discret, pour capteurs capacitifs différentiels a été présentée mais il est impossible d'être exhaustif. La littérature montre que de nombreuses interfaces sont basées sur une conversion de la variation de capacité en une fréquence ou une tension. La conversion en fréquence est effectuée par un oscillateur à temps continu. La conversion en tension est peu utilisée pour réaliser les interfaces à temps continu car elle nécessite de grande valeur de résistance et un amplificateur linéaire. L'architecture à capacités commutées est une architecture courante de l'interface à temps discret et permet de rendre le signal compatible avec la dynamique du convertisseur analogique numérique. Afin d'obtenir une sortie numérique, les architectures de type $\Sigma\Delta$ sont les plus proposées et développées. Le tableau suivant résume les performances, selon plusieurs critères, des architectures présentées dans ce chapitre, d'autres architectures de la littérature, et d'interfaces commercialisées.

Nous proposons, pour la suite de nos travaux en technologie CMOS, d'étudier la faisabilité d'une conversion capacité/tension à partir d'un *pont actif*, une architecture développée et brevetée par l'équipe Conception et Test de Microsystèmes du LIRMM pour le conditionnement de capteurs résistifs. Le prochain chapitre est donc consacré à l'étude de cette architecture pour la mesure de la capacité. Pour réaliser une conversion analogique numérique, un convertisseur de type $\Sigma\Delta$ est choisi. Ces choix sont motivés par le fait que ce convertisseur peut s'implanter simplement dans le cas d'un 1^{er} ordre et permet d'atteindre une bonne résolution et une faible consommation.

Référence	V _{DD} (V)	Consommation	C ₀ (F)	ΔC(F)	Full-scale	Résolution	Bande passant (Hz)	Sensibilité	Type d'interface	Proces
[44]	1,5	400μW					10		C/V TI	CMOS 0,6μm
[32]				8f					C/F oscillateur en anneau	CMOS 0,13μm
[26]	3,3	26μW	5p	2,5p	±5p	8bits	1		C/F oscillateur à relaxation	CMOS 0,35μm AMS
[27]	1,5	157-470μW	1p	0-1p		12,5bits	200	42μs/pF	C/F oscillateur à relaxation	CMOS 0,35μm AMS
[28]	3	84μW/28μA	256f	16f	256f	800aF	2,6k	32,8 μs/pF	PWM	CMOS 0,32μm BCD6s
[34]	5	12mW	2p	2p		11,3ppm			CCO	CMOS 0,7μm
[29]	2,5		1,805p	1p					C/V SC	CMOS 0,13μm IBM
[30]	5			1-100a					C/V SC	CMOS 1,2μm
[24]	5	12mW	20p			20aF	1	0,2-1,2V/pF	C/V SC	CMOS 0,5μm
[7]	3	40μA	1p à 15p	200f-10p		10bits	1-100		C/V ΣΔ	CMOS 0,5μm
[38]	2,5	12mW	22p			0,04fF	100		SBB	SACMOS 3μm
[40]	1,8	20μA	3p	0,125p					SBB	BICMOS 0,13μm
[43]	1,6	50μW	1p			1,5fF			C/V SC	CMOS 0,35μm AMS
[20]	2,7-5,25	800μA	20p	4p		2aF			C/V ΣΔ	
[37]	5	2,2mW	10,3p	1p		1fF	10		C/V SC	

Référence	V _{DD} (V)	Consommation	C ₀ (F)	ΔC(F)	Full-scale	Résolution	Bande passant (Hz)	Sensibilité	Type d'interface	Proces
[10]			84p	10p-20p			20k		C/V	
[12]			1p	0,5f		0,044f			C/V	
[18]	2	20μA	1p	0,1p	±0,3p				C/I	CMOS 0,8μm
[13]	5	7,2mW	38p			10aF	1-1k	0,2-1,2 V/pF	C/V ΣΔ	CMOS 0,5μm
[14]	2,5	30mW	9,5p à 10,5p			100aF	100		C/V ΣΔ	CMOS 1,2μm
[6]	3,3	211μW/64μA	6,8p		6,8p	15bits/200afF	65		PM	CMOS 0,35μm AMS
[8]	5	1mA/5mW	5,8p		10p	14bits	10k		PM	CMOS 0,7μm
[9]	3	28μA	0,5p à 0,76p	16f	256f	8bits			PWM	CMOS 0,32μm BCD6s
[11]	3,3	1,44mA	2p	0,5p		11bits			C/V ΣΔ	CMOS 0,35μm AMS
[15]	1,2	20μW	6p à 8p						PWM	CMOS 0,18μm UMC
[16]	2,5	6mW	5,3p			14bits	1		PWM ΣΔ	CMOS 0,25μm
[17]	1,2-2,75	21,2-97,6μA	1,5p à 2,5pF			12bits	1-25		C/V ΣΔ	CMOS 0,25μm
[45]	3,3	100μA	10p-14p	0,5p	4p	6bits	200	62,5fF/LSB	C/V ΣΔ	
[46]	3,3	700μA	17p		±4p	17,6bits	87,2	31fF/LSB	C/V ΣΔ	
[47]	3,3	60μA	10p		10p	8bits	870	39fF/LSB		

Référence	V _{DD} (V)	Consommation	C ₀ (F)	ΔC(F)	Full-scale	Résolution	Bande passant (Hz)	Sensibilité	Type d'interface	Proces
[48]	2,7	580μA	20p	2p	20p	17bits	12	153aF/LSB	C/V ΣΔ	
[49]	2,5	600μA	2,5p	0,4p		12bits	160			

TI= transimpedance amplifier

PWM= pulse-width modulation

CCO=capacitance-controlled oscillator

SC= Switched Capacitor

SBB= Self Balancing Bridge

PM= period modulation

Chapitre II. Contexte et objectif

II.1) Introduction

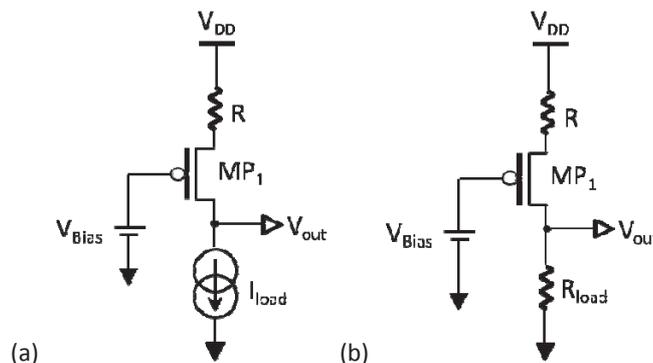
L'équipe Conception et Test de Microsystèmes du LIRMM développe depuis plus de dix ans des capteurs intégrés à l'aide de technologies microélectroniques CMOS standards (CMOS-MEMS). Nous avons notamment contribué à l'intégration de capteurs résistifs dans des systèmes faible consommation, faible encombrement et forte sensibilité.

Pour ces capteurs résistifs, une architecture originale de conditionnement de capteur, nommée « pont actif », a été brevetée [52], [53]. Cette architecture représente une alternative active au traditionnel pont de Wheatstone associé à un étage d'amplificateur faible bruit (LNA). Son principe est d'utiliser le courant de polarisation des résistances pour polariser simultanément l'étage d'amplification faible bruit. Elle permet d'obtenir ainsi une forte sensibilité à la variation des résistances et de réduire la consommation globale du système pour des applications très faible consommation tout en ayant une bonne résolution [54]. De plus, l'utilisation d'une architecture différentielle améliore l'immunité aux variations des grandeurs d'influences telles que la température, la tension d'alimentation ou le procédé de fabrication (« process only »).

II.2) Le pont actif différentiel

II.2.1) Principe

Plusieurs architectures de pont actif (Fig. 2.1) permettent de fusionner les fonctions d'amplification et de conditionnement de capteurs (résistifs) en utilisant un seul et même courant de polarisation et donc de réduire la consommation totale de l'interface. Cependant, une structure différentielle auto-polarisée (telle que celle de la Fig. 2.2) est le meilleur compromis [55], [56] en terme de bruit, sensibilité à la température et consommation. En effet, une mesure différentielle est par nature moins sensible aux variations de température et de tension d'alimentation. L'inconvénient des autres structures (simple branche) est la forte dépendance de leur point de polarisation à la température ambiante : la sensibilité nominale n'est en effet obtenue qu'à une seule température et dès que la température varie, la tension de sortie sature à la tension d'alimentation ou la masse à cause du gain important.



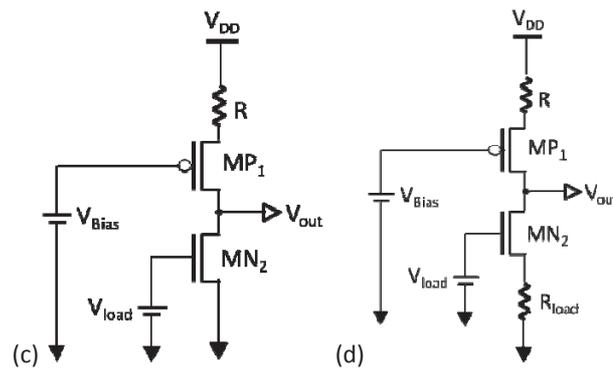


Fig. 2.1 Pont actif chargé par (a) un générateur de courant, (b) une résistance, (c) un transistor et (d) cascode

Le pont actif différentiel de la Fig. 2.2 est constitué de deux miroirs de courant simples PMOS et NMOS en parallèle et à charges résistives. Les 4 résistances sont identiques et les 4 transistors sont dimensionnés de telle sorte que leurs transconductances g_m (A/V) soient les mêmes. Les courants de polarisation des deux branches sont donc identiques. Pour un capteur capacitif, ce pont actif peut être utilisé pour amplifier et convertir en tension le courant de déséquilibre du pont capacitif (cf. Chapitre I section I.2). La branche de gauche, constituée des transistors MP_1 et MN_1 montés en diode, sert d'étage d'entrée et de polarisation. La branche de droite, constituée des transistors MP_2 et MN_2 , est l'étage de sortie et d'amplification du pont actif.

Dans le cas d'une symétrie parfaite de l'architecture, tous les paramètres des transistors MP_1 et MN_1 ont une variation à la température identique respectivement à celle des transistors MP_2 et MN_2 . La tension de sortie V_{out} varie donc de la même façon que la tension de grille V_G qui varie très peu avec la température (de l'ordre de $1\text{mV}/^\circ\text{C}$). Ainsi, lorsque la température varie, les tensions de polarisation des transistors MP_2 et MN_2 varient dans les mêmes proportions que leurs paramètres internes (V_{TH} , μ_0 , ...), ce qui permet de réduire fortement la dépendance à la température (inconvenient majeur des structures simple branche). De même, une variation de la tension d'alimentation de $\pm\Delta V_{DD}$ se retrouve sur les tensions V_G et V_{out} (égales à $\frac{V_{DD} \pm \Delta V_{DD}}{2}$) et la sortie différentielle n'est pas perturbée. L'influence des variations aléatoires du procédé de fabrication sur la structure différentielle sera discutée dans la section II.2.3.

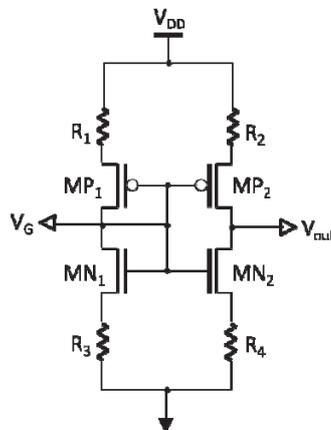


Fig. 2.2 Pont actif différentiel à sources dégénérées

II.2.1.1) Etude de résistance d'entrée et de sortie

Afin d'étudier les résistances d'entrée r_{in} (branche de gauche) et de sortie r_{out} (branche de droite) du pont actif, une analyse petit signal est nécessaire. Un générateur de courant petit signal est connecté au nœud v_g de l'étage d'entrée afin de déterminer la résistance d'entrée r_{in} . Les transistors PMOS et NMOS montés en diode sont équivalents à des résistances de valeur $1/g_m$.

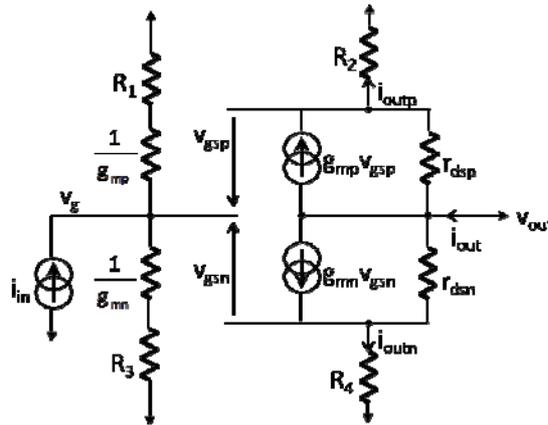


Fig. 2.3 Modèle petit signal équivalent du pont actif différentiel à sources dégénérées

La résistance d'entrée r_{in} s'écrit alors :

$$r_{in} = \frac{v_g}{i_{in}} = \left(R_3 + \frac{1}{g_{mn1}} \right) // \left(R_1 + \frac{1}{g_{mp1}} \right) \quad (2.1)$$

En posant les 4 résistances identiques et les g_m identiques, la résistance d'entrée r_{in} du pont actif s'écrit donc :

$$r_{in} = \frac{1}{2} \left(R + \frac{1}{g_m} \right) \quad (2.2)$$

L'équation (2.2) montre que l'obtention d'une résistance d'entrée élevée nécessite une forte valeur des résistances R et/ou un g_m des transistors faible.

Afin de compléter cette étude sur la résistance d'entrée, la résistance de sortie a été déterminée. Cela nécessite une étude du schéma petit signal de la Fig. 2.4 où v_g est relié à la masse et aucun courant ne circule dans l'étage d'entrée.

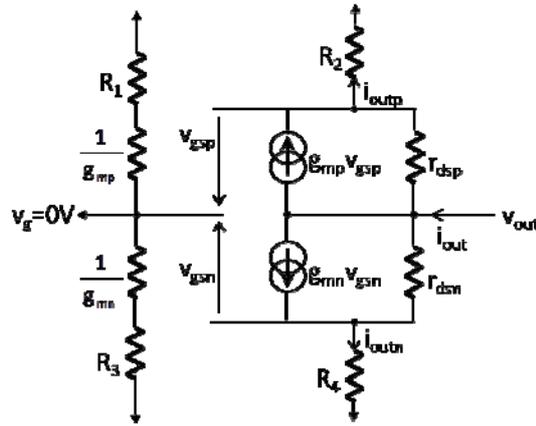


Fig. 2.4 Modèle petit signal permettant de calculer la résistance de sortie

D'après la loi des mailles sur l'étage de sortie de la partie basse du schéma petit signal (Fig. 2.4), la tension de sortie v_{out} s'exprime :

$$v_{out} = r_{dsn2}(i_{outn} - g_{mn2}v_{gsn2}) + R_4 i_{outn} \quad (2.3)$$

De plus :

$$v_{gsn2} = v_g - R_4 i_{outn} \quad (2.4)$$

Or $v_g = 0$, v_{gsn2} est donc :

$$v_{gsn2} = -R_4 i_{outn} \quad (2.5)$$

En remplaçant v_{gsn2} par son expression dans l'équation (2.3), la tension de sortie devient :

$$v_{out} = i_{outn}(r_{dsn2} + g_{mn2}R_4r_{dsn2} + R_4) \quad (2.6)$$

Cette résistance de sortie r_{outn} s'écrit alors :

$$\frac{v_{out}}{i_{outn}} = r_{outn} = r_{dsn2} + g_{mn2}R_4r_{dsn2} + R_4 \quad (2.7)$$

La résistance de sortie de la partie haute du schéma petit signal r_{outp} est calculée de manière identique que r_{outn} et s'écrit donc :

$$r_{outp} = r_{dsp2} + g_{mp2}R_2r_{dsp2} + R_2 \quad (2.8)$$

Vu de la sortie ces deux résistances sont en parallèles et la résistance de sortie r_{out} du pont actif différentiel est donc :

$$r_{out} = \frac{r_{outn}r_{outp}}{r_{outn} + r_{outp}} \quad (2.9)$$

En supposant, comme précédemment, les résistances identiques et les g_m identiques, la résistance de sortie du pont actif s'écrit donc :

$$r_{out} = g_m R \frac{r_{dsn2} r_{dsp2}}{r_{dsn2} + r_{dsp2}} \quad (2.10)$$

L'équation (2.10) montre que l'obtention d'une résistance de sortie élevée nécessite des valeurs importantes de résistances R , de g_m , des r_{ds} , et donc des longueurs de transistors importantes car les résistances drain source r_{ds} sont proportionnelles à L/l_{DS} [86].

II.2.1.2) Etude de la transrésistance (conversion courant/tension)

Dans le cas d'un capteur de température résistif, une étude théorique complète du gain en tension en boucle ouverte du pont actif a été développée dans des thèses précédentes [55], [56]. Dans ces études, le signal issu de la résistance sensible est équivalent en petit signal à une tension d'entrée v_{in} . Dans cette section, nous considérons la structure comme un convertisseur courant/tension et nous étudions donc son gain A_R qui a la dimension d'une résistance. Une analyse petit signal est nécessaire et est présentée dans la Fig. 2.3 en appliquant un générateur de courant au nœud v_G . Ce gain (i.e. la transrésistance A_R) est donné par :

$$A_R = \frac{v_{out}}{i_{in}} = \frac{v_g}{i_{in}} \frac{v_{out}}{v_g} \quad (2.11)$$

$\frac{v_g}{i_{in}}$ est la résistance d'entrée r_{in} calculée dans la section précédente.

Pour déterminer le 2nd terme $\frac{v_{out}}{v_g}$, les courants de court-circuit des plans N et P sont successivement calculés.

Pour le plan N, une loi des mailles appliquée sur le modèle petit signal (Fig. 2.3) conduit à :

$$R_4 i_{outn} = -r_{dsn2} (i_{outn} - g_{mn2} v_{gsn2}) \quad (2.12)$$

En remplaçant $v_{gsn2} = v_g - R_4 i_{outn}$ dans l'équation (2.12), le courant de sortie petit signal de la partie base du pont actif s'écrit alors :

$$i_{outn} = \frac{g_{mn2} r_{dsn2} v_g}{R_4 + r_{dsn2} + g_{mn2} r_{dsn2} R_4} \quad (2.13)$$

En supposant $g_{mn2} r_{dsn2} R_4 \gg R_4 + r_{dsn2}$, ce courant de sortie devient alors :

$$i_{outn} = \frac{v_g}{R_4} \quad (2.14)$$

Pour le plan P, le courant de court-circuit petit signal i_{outp} est calculé la même façon que i_{outn} .

$$i_{outp} = \frac{v_g}{R_2} \quad (2.15)$$

Une loi des nœuds appliquée sur l'étage de sortie de ce modèle petit signal (Fig. 2.3) conduit à :

$$i_{out} = v_g \left(\frac{1}{R_2} + \frac{1}{R_4} \right) \quad (2.16)$$

La tension de sortie est :

$$V_{out} = -r_{out}i_{out} \quad (2.17)$$

En remplaçant i_{out} de l'équation (2.16) dans l'équation (2.17), la tension de sortie pour 4 résistances identiques devient :

$$\frac{V_{out}}{V_g} = -r_{out} \frac{2}{R} \quad (2.18)$$

Enfin, en remplaçant $\frac{V_{out}}{V_g}$ de l'équation (2.18) et $\frac{V_g}{i_{in}}$ de l'équation (2.2) dans l'équation (2.11), la transrésistance s'écrit donc :

$$A_R = \frac{V_{out}}{i_{in}} = -\frac{r_{out}}{R} \left(R + \frac{1}{g_m} \right) \quad (2.19)$$

En considérant $R \gg \frac{1}{g_m}$, la résistance d'entrée n'a plus d'effet sur ce gain et l'obtention d'un gain élevé nécessite une grande résistance de sortie r_{out} :

$$A_R = \frac{V_{out}}{i_{in}} = -r_{out} \quad (2.20)$$

II.2.1.3) Etude de bruit

Afin de compléter les études théoriques présentées dans les sections précédentes, une étude de bruit est nécessaire. Les sources de bruit dans un dispositif sont représentées sous forme de générateurs de tension ou de courant, respectivement en série ou en parallèle avec l'élément bruyant [75], [76] en utilisant la relation entre les théorèmes de Thévenin et de Norton pour les sources d'alimentation [77]. Le modèle utilisé (Fig. 2.5) prend en compte les sources de bruit en tension des résistances R_i et des transistors M_i .

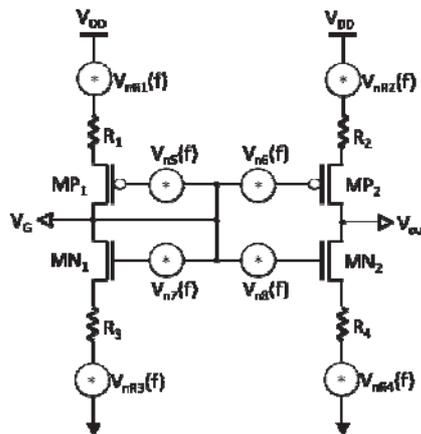


Fig. 2.5 Modèle de bruit du pont actif différentiel à sources dégénérées

Le bruit prépondérant d'une résistance est le bruit thermique, encore appelé bruit blanc ou bruit de Johnson ; il est dû au mouvement aléatoire des porteurs de charge libres (c'est-à-dire

des électrons) généré par l'agitation thermique. La résistance bruyante est modélisée [57] comme la mise en série d'une résistance parfaite non bruyante et d'un générateur de tension dont la densité spectrale de puissance de bruit en V^2/Hz vaut :

$$v_{nR}^2(f) = 4kTR \quad (2.21)$$

Où k est la constante de Boltzmann ($1,3806 \times 10^{-23} \text{ J.K}^{-1}$), T la température, exprimée en Kelvin et R , la résistance exprimée en ohms.

Ce bruit peut être également donné par le modèle équivalent de Norton dans lequel un générateur de courant de bruit est en parallèle avec la résistance non bruyante. Sa densité spectrale de puissance de bruit en A^2/Hz s'écrit alors :

$$i_{nR}^2(f) = \frac{v_{nR}^2(f)}{R^2} = \frac{4kT}{R} \quad (2.22)$$

Le bruit du transistor MOS contient deux contributions majeures : le bruit en $1/f$, dont la densité spectrale de puissance diminue avec la fréquence, et le bruit thermique. Le modèle généralement utilisé en basses et moyennes fréquences [57] afin de représenter le bruit induit dans un transistor MOS est un générateur de tension appliqué sur la grille et supposant un courant de grille nul. Lorsque le transistor fonctionne en régime saturé, la densité spectrale de puissance de bruit en V^2/Hz s'exprime :

$$v_{nMOS}^2(f) = \frac{K}{WLC_{ox}f} + 4kT \frac{2}{3} \frac{1}{g_m} \quad (2.23)$$

Où K (V^2/F) est une constante dépendant très fortement de la technologie utilisée, des caractéristiques du composant et généralement déterminée expérimentalement. W (μm), L (μm) et C_{ox} ($F/\mu\text{m}^2$) désignent respectivement la largeur, la longueur et la capacité de l'oxyde de grille par unité de surface du transistor.

Le premier terme en $1/f$ est le bruit en $1/f$, également appelé *flicker noise*, bruit basse fréquence ou bruit rose ; il est inversement proportionnel à la surface de grille du transistor, WL , et à la fréquence. Ce bruit domine généralement en basses fréquences comme indiqué sur la Fig. 2.6, devient ensuite de plus en plus faible puis négligeable devant le bruit thermique qui est alors la principale source de bruit. Le bruit en $1/f$ dépend également de la technologie utilisée et cette dépendance est exprimée par le paramètre K de l'équation (2.23). Ainsi, le bruit en $1/f$ diminue lorsqu'on améliore la qualité de fabrication des composants. Pour décrire l'origine du bruit en $1/f$, plusieurs théories ont été avancées [82], [83], [84], [85]. Ce bruit peut être dû à des impuretés dans le matériau du transistor, à des variations du nombre de porteurs, à des fluctuations de la mobilité, à des recombinaisons électron trou parasites sur le trajet de l'électron de la source vers le drain ou à des phénomènes de piégeage aléatoires d'électrons à l'interface oxyde/silicium du transistor. Le second terme de l'équation (2.23), le bruit thermique ou bruit blanc est inversement proportionnel à la transconductance g_m du transistor. En effet ce bruit est généré par le canal du transistor équivalent à une résistance. Il est donc simplement celui de la résistance drain-source du transistor et peut donc être représenté par

un générateur de courant de bruit entre le drain et la source du transistor dont la densité spectrale de courant de bruit en A^2/Hz est :

$$I_{nMOS}^2(f) = 4kT \frac{2}{3} g_m \quad (2.24)$$

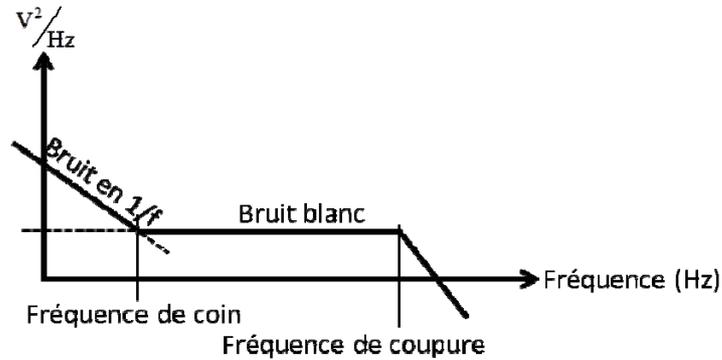


Fig. 2.6 Différentes représentations de bruit

L'application du théorème de superposition sur le modèle de bruit du pont actif permet de calculer la densité spectrale de puissance totale en sortie.

$$v_{nout}^2(f) = \sum Av_i^2 v_{ni}^2(f) \quad (2.25)$$

Où les Av_i sont les gains en tension de la structure en considérant les densités spectrales de bruit $v_{ni}(f)$ équivalentes à des signaux d'entrée v_{in} .

Soit une densité spectrale de puissance de bruit (A^2/Hz) ramenée en entrée du pont actif (au nœud V_G) :

$$i_{nin}^2(f) = \frac{v_{nout}^2(f)}{A_R^2} \quad (2.26)$$

Où A_R est la transrésistance du convertisseur courant/tension.

Notons que les contributions en bruit des deux sources de tension de bruit $v_{n5}(f)$ et $v_{n6}(f)$ sur le signal de sortie sont les mêmes [59]. En fait, les courants à travers les sources $v_{n5}(f)$ et $v_{n6}(f)$ sont nuls car une borne de chaque source est connectée à une grille de transistor. Le courant de la branche de gauche n'est donc pas affecté par $v_{n5}(f)$ et $v_{n6}(f)$ et la tension v_G est nulle en petit signal. De la même façon, les contributions des sources de bruit $v_{n7}(f)$ et $v_{n8}(f)$ sur la sortie sont les mêmes. Ces égalités sont vraies pour tous les miroirs de courant et permettront de simplifier les calculs de bruit dans la suite de ce chapitre.

Afin de déterminer le bruit en sortie de la structure, une étude petit signal est nécessaire. Ainsi, on utilise le théorème de superposition. Le modèle petit signal complet est donc divisé en sous modèles permettant de calculer la contribution de chacune des sources de bruit sur le bruit de sortie.

Tout d'abord, la contribution de la source de bruit en tension $v_{nR1}(f)$ sur la tension de sortie petit signal v_{out} est calculée. En supposant que toutes les autres sources de bruit sont nulles, le modèle petit signal simplifié est présenté dans la Fig. 2.7.

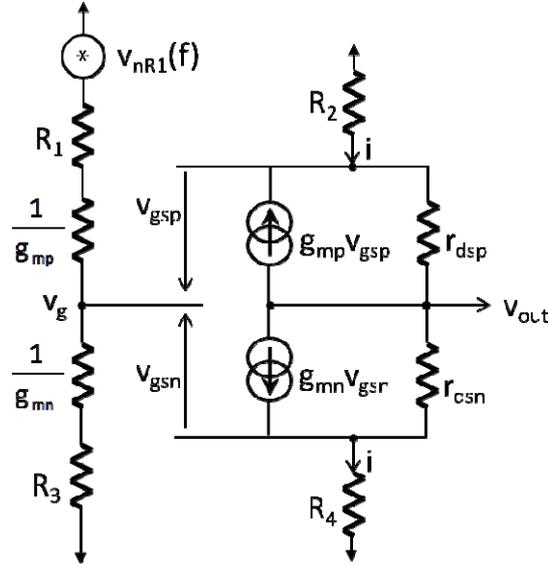


Fig. 2.7 Schéma petit signal avec la source de bruit $v_{nR1}(f)$

Une loi des mailles appliquée sur ce modèle petit signal (Fig. 2.7) conduit à :

$$v_{nout1}(f) = -(i + g_{mp}v_{gsp})r_{dsp} - R_2i \quad (2.27)$$

De plus :

$$v_{nout1}(f) = (i - g_{mn}v_{gsn})r_{dsn} + R_4i \quad (2.28)$$

Et :

$$v_{gsp} = v_g + R_2i \quad (2.29)$$

$$v_{gsn} = v_g - R_4i \quad (2.30)$$

En remplaçant, les v_{gs} par leurs expressions, la densité spectrale de tension de bruit en sortie de l'équation (2.27) devient :

$$v_{nout1}(f) = -(r_{dsp} + g_{mp}r_{dsp}R_2 + R_2)i - g_{mp}r_{dsp}v_g \quad (2.31)$$

Et le courant i déduit de l'équation (2.28) s'écrit :

$$i = \frac{v_{nout1}(f) + g_{mn}r_{dsn}v_g}{R_4 + r_{dsn} + g_{mn}r_{dsn}R_4} \quad (2.32)$$

En remplaçant le courant i de l'équation (2.32) dans l'équation (2.31), la densité spectrale de tension de bruit en sortie petit signal du circuit s'écrit alors :

$$v_{\text{nout1}}(f) = \frac{-(r_{\text{dsn}}r_{\text{dsp}}R_2 + r_{\text{dsn}}r_{\text{dsp}}R_4)g_{\text{mn}}g_{\text{mp}}V_g}{g_{\text{mn}}r_{\text{dsn}}R_4 + g_{\text{mp}}r_{\text{dsp}}R_2} \quad (2.33)$$

En considérant $R_2 = R_4$ et $g_{\text{mn}} = g_{\text{mp}} = g_m$, la tension de sortie devient alors :

$$v_{\text{nout1}}(f) = -\frac{2r_{\text{dsn}}r_{\text{dsp}}g_mV_g}{r_{\text{dsn}} + r_{\text{dsp}}} \quad (2.34)$$

De plus :

$$v_g = \frac{v_{\text{nR1}}(f)}{2} \quad (2.35)$$

La densité spectrale de tension de bruit en sortie du pont actif est donc :

$$v_{\text{nout1}}(f) = -\frac{r_{\text{dsn}}r_{\text{dsp}}}{r_{\text{dsn}} + r_{\text{dsp}}}g_m v_{\text{nR1}}(f) \quad (2.36)$$

Le même raisonnement pour v_{nR3} conduirait à :

$$v_{\text{nout3}}(f) = \frac{r_{\text{dsn}}r_{\text{dsp}}}{r_{\text{dsn}} + r_{\text{dsp}}}g_m v_{\text{nR3}}(f) \quad (2.37)$$

La contribution de la source de tension de bruit $v_{\text{nR2}}(f)$ sur la tension de sortie petit signal v_{out} est ensuite calculée. Comme dans l'étude précédente, toutes les autres sources de bruit sont nulles. Notons que la tension v_g est à la masse car aucun courant ne circule dans la branche de gauche. Le modèle petit signal est donné la Fig. 2.8.

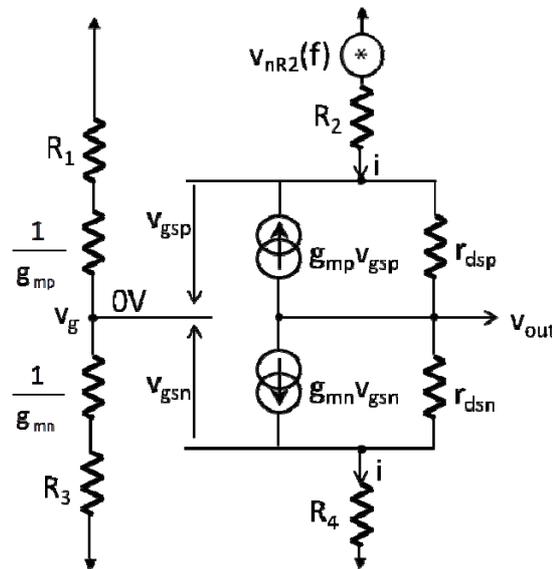


Fig. 2.8 Schéma petit signal avec la source de bruit $v_{\text{nR2}}(f)$

La densité spectrale de tension de bruit en sortie s'exprime à partir d'une loi des mailles :

$$v_{\text{nout2}}(f) = v_{\text{nR2}}(f) - (i + g_{\text{mp}}v_{\text{gsp}})r_{\text{dsp}} - R_2i \quad (2.38)$$

De plus :

$$v_{\text{nout}2}(f) = (i - g_{\text{mn}}v_{\text{gsn}})r_{\text{dsn}} + R_4i \quad (2.39)$$

Et :

$$v_{\text{gsn}} = -R_4i \quad (2.40)$$

$$v_{\text{gsp}} = R_2i - v_{\text{nR}1}(f) \quad (2.41)$$

En remplaçant, les v_{gs} par leurs expressions, la densité spectrale de tension de bruit en sortie de l'équation (2.38) devient :

$$v_{\text{nout}2}(f) = (g_{\text{mp}}r_{\text{dsp}} + 1)v_{\text{nR}2}(f) - (r_{\text{dsp}} + g_{\text{mp}}r_{\text{dsp}}R_2 + R_2)i \quad (2.42)$$

Et le courant i déduit de l'équation (2.39) s'écrit :

$$i = \frac{v_{\text{nout}2}(f)}{R_4 + r_{\text{dsn}} + g_{\text{mn}}r_{\text{dsn}}R_4} \quad (2.43)$$

En remplaçant le courant i de l'équation (2.43) dans l'équation (2.42), la densité spectrale de tension de bruit en sortie s'écrit alors :

$$v_{\text{nout}2}(f) = \frac{(g_{\text{mp}}r_{\text{dsp}} + 1)g_{\text{mn}}r_{\text{dsn}}R_4}{g_{\text{mn}}r_{\text{dsn}}R_4 + g_{\text{mp}}r_{\text{dsp}}R_2}v_{\text{nR}2}(f) \quad (2.44)$$

En supposant que $R_2 = R_4$, $g_{\text{mn}} = g_{\text{mp}} = g_{\text{m}}$ et $g_{\text{mp}}r_{\text{dsp}} \gg 1$, la densité spectrale de tension de bruit en sortie du pont actif est donc :

$$v_{\text{nout}2}(f) = \frac{r_{\text{dsn}}r_{\text{dsp}}}{r_{\text{dsn}} + r_{\text{dsp}}}g_{\text{m}}v_{\text{nR}2}(f) \quad (2.45)$$

Le même raisonnement pour $v_{\text{nR}4}$ conduirait à :

$$v_{\text{nout}4}(f) = -\frac{r_{\text{dsn}}r_{\text{dsp}}}{r_{\text{dsn}} + r_{\text{dsp}}}g_{\text{m}}v_{\text{nR}4}(f) \quad (2.46)$$

Pour $R_1=R_2=R_3=R_4=R$, les densités spectrales de puissance de bruit des résistances ont la même valeur en sortie :

$$v_{\text{nout}i}^2(f) = (r_{\text{dsn}}/r_{\text{dsp}})^2 g_{\text{m}}^2 v_{\text{nR}i}^2(f) \quad (2.47)$$

On s'intéresse maintenant à l'étude de la contribution de la source $v_{\text{n}6}(f)$ sur la tension de sortie petit signal v_{out} . Le modèle petit signal de bruit du circuit est illustré dans la Fig. 2.9 (a). Aucun courant ne circulant dans la branche de gauche, v_{g} est équivalent à une masse. Dans ce calcul, les autres sources de bruit sont à zéro et le transistor MN_2 et la résistance R_4 sont modélisés par une résistance équivalente R_{equ} .

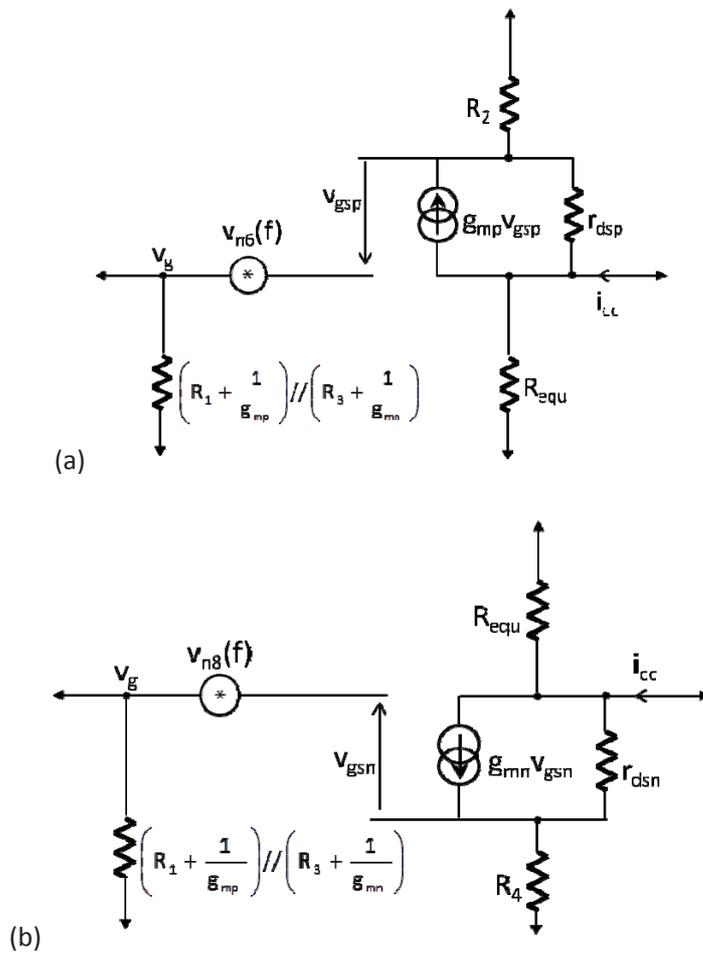


Fig. 2.9 Schéma petit signal avec la source de bruit (a) $v_{n6}(f)$ et (b) $v_{n8}(f)$

Soit i_{cc} le courant de court-circuit imposé au nœud v_{out} :

$$i_{cc} = \frac{r_{dsp} g_{mp} v_{gsp}}{R_2 + r_{dsp}} \quad (2.48)$$

De plus :

$$v_{gsp} = v_{n6}(f) - R_2 i_{cc} \quad (2.49)$$

En remplaçant v_{gsp} par son expression dans l'équation du courant de court-circuit, il s'exprime :

$$i_{cc} = \frac{g_{mp} r_{dsp}}{R_2 + r_{dsp} + g_{mp} r_{dsp} R_2} v_{n6}(f) \quad (2.50)$$

La densité spectrale de tension de bruit en sortie du circuit en considérant la source de bruit $v_{n6}(f)$ est donc :

$$v_{n_{out6}}(f) = r_{out} \frac{g_{mp} r_{dsp}}{R_2 + r_{dsp} + g_{mp} r_{dsp} R_2} v_{n6}(f) \quad (2.51)$$

En supposant $g_{mp}r_{dsp}R_2 \gg R_2+r_{dsp}$, cette densité spectrale de tension de bruit devient alors :

$$v_{nout6}(f) = \frac{r_{out}}{R_2} v_{n6}(f) \quad (2.52)$$

Ainsi, en supposant une symétrie parfaite du circuit ($R_2=R_4$), la contribution en bruit de la source de tension de bruit $v_{n8}(f)$ sur la sortie est la même que celle de $v_{n6}(f)$ étant donné le modèle petit signal de bruit illustré dans la Fig. 2.9 (b). Notons que le couple de composants MP_2 et R_2 est transformé en une résistance équivalente R_{equ} .

Ces calculs intermédiaires permettent de déterminer la densité spectrale totale de tension de bruit en sortie du pont actif :

$$v_{nout_{total}}(f) = \sqrt{4v_{nout1}^2(f) + 4v_{nout6}^2(f)} \quad (2.53)$$

En supposant une surface WL des transistors suffisamment importante pour que le bruit en $1/f$ soit négligeable, la densité spectrale totale de tension de bruit en sortie est donc :

$$v_{nout_{total}}(f) = 2 \sqrt{\left(\frac{r_{dsn}}{r_{dsp}}\right)^2 g_m^2 4kTR + \left(\frac{r_{out}}{R_2}\right)^2 4kT \frac{2}{3} \frac{1}{g_m}} \quad (2.54)$$

Soit une densité spectrale de bruit de courant ramenée en entrée du pont actif calculée à partir de l'équation (2.26) avec A_R donné par l'équation (2.19) :

$$i_{in}(f) = \frac{4 \sqrt{kT \left[\left(\frac{r_{dsn}}{r_{dsp}}\right)^2 g_m^2 R + \left(\frac{r_{out}}{R_2}\right)^2 \frac{2}{3} \frac{1}{g_m} \right]}}{\frac{r_{out}}{R} \left(R + \frac{1}{g_m} \right)} \quad (2.55)$$

II.2.2) Autres architectures différentielles

Afin d'améliorer le gain, la résistance d'entrée, la résistance de sortie et la performance en bruit, deux autres structures de pont actif différentiel sont proposées : un pont actif sans dégénération de source (simple) et un pont actif cascode.

II.2.2.1) Pont actif différentiel sans dégénération de source (simple)

La structure illustrée sur la Fig. 2.10 est simplement composée de 4 transistors MOS : le miroir de courant simple PMOS est placé en parallèle avec un miroir de courant simple NMOS dans l'objectif principal de diminuer le nombre de composants et le bruit du circuit. Comme précédemment, les courants de polarisation des 2 branches sont identiques. Ainsi, les transistors sont dimensionnés de façon à avoir les mêmes $V_{eff} = V_{gs} - V_t$ et g_m afin d'obtenir une symétrie quasi-parfaite de la structure.

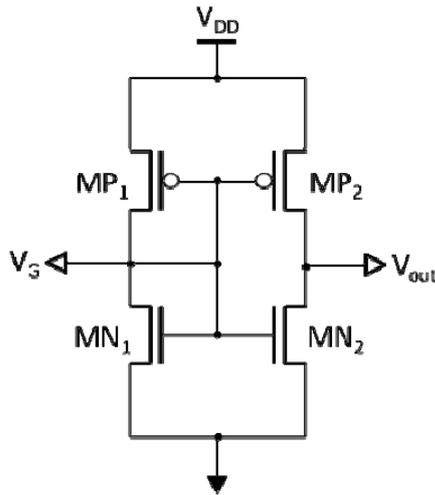


Fig. 2.10 Pont actif sans dégénération de source (simple)

a. Résistance d'entrée et de sortie

Comme précédemment, un générateur de courant est appliqué au nœud v_G pour calculer la résistance d'entrée r_{in} et le gain du convertisseur courant/tension. Le schéma petit signal complet est présenté dans la Fig. 2.11.

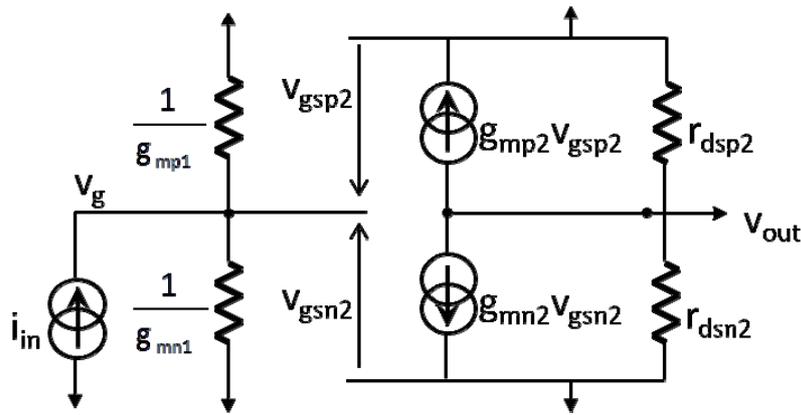


Fig. 2.11 Modèle petit signal complet du pont actif sans dégénération de source (simple)

De façon immédiate, la résistance d'entrée r_{in} est :

$$r_{in} = \frac{1}{g_{mn1}} // \frac{1}{g_{mp1}} = \frac{1}{g_{mn1} + g_{mp1}} \quad (2.56)$$

L'équation (2.56) montre que l'obtention d'une résistance d'entrée élevée nécessite de faibles g_m , c'est-à-dire des V_{eff} et V_{DD} importants et/ou un faible courant de polarisation.

Pour calculer la résistance de sortie, le modèle complet est ensuite simplifié en éliminant la branche de gauche (c'est-à-dire pour une tension d'entrée $v_g=0$). Le schéma petit signal devient donc celui de la Fig. 2.12.

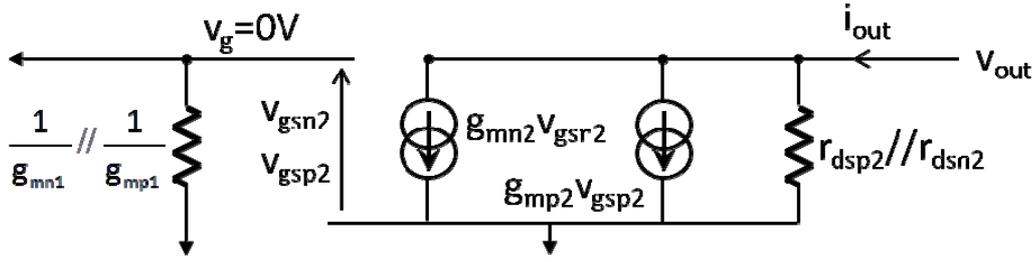


Fig. 2.12 Modèle petit signal pour calculer la résistance de sortie

Une loi des mailles permet de déterminer une relation entre les tensions petit signal v_{out} et i_{out} :

$$v_{out} = (i_{out} - g_{mn2}v_{gsn2} - g_{mp2}v_{gsp2})(r_{dsn2} // r_{dsp2}) \quad (2.57)$$

De plus :

$$v_{gsn2} = v_{gsp2} = v_g = 0 \quad (2.58)$$

La tension de sortie de l'équation (2.57) est donc :

$$v_{out} = i_{out}(r_{dsn2} // r_{dsp2}) \quad (2.59)$$

Cette résistance de sortie r_{out} s'écrit alors :

$$r_{out} = \frac{v_{out}}{i_{out}} = r_{dsn2} // r_{dsp2} \quad (2.60)$$

L'équation (2.60) montre que l'obtention d'une résistance de sortie élevée nécessite des résistances drain source des transistors élevées, c'est-à-dire des longueurs importantes et/ou un faible courant de polarisation puisque ces résistances sont proportionnelles à L/I_{DS} [86].

b. Gain

Comme précédemment, le gain (V/A) en boucle ouverte est déterminé à partir de l'équation (2.11). $\frac{v_g}{i_{in}}$ est égal à la résistance d'entrée r_{in} de l'équation (2.56). Afin d'obtenir $\frac{v_{out}}{v_g}$, une loi des nœuds est appliquée sur le modèle petit signal (Fig. 2.11) :

$$g_{mn2}v_{gsn2} + g_{mp2}v_{gsp2} + \frac{v_{out}}{r_{dsn2} // r_{dsp2}} = 0 \quad (2.61)$$

En remplaçant v_{gsn2} et v_{gsp2} de l'équation (2.58) et $r_{dsn2} // r_{dsp2}$ de l'équation (2.60) dans l'équation (2.61), le gain en tension est alors :

$$\frac{v_{out}}{v_g} = -(g_{mn2} + g_{mp2})r_{out} = -\frac{r_{out}}{r_{in}} \quad (2.62)$$

Afin d'obtenir le gain ou transrésistance A_R , il faut remplacer $\frac{v_{out}}{v_g}$ de l'équation (2.62) et $\frac{v_g}{i_{in}}$ de l'équation (2.56) dans l'équation (2.11), soit :

$$A_R = \frac{V_{out}}{i_{in}} = -r_{out} \quad (2.63)$$

L'équation (2.63) montre que le gain du convertisseur courant/tension ne dépend que de la résistance de sortie.

c. Bruit

Le calcul du bruit nécessite une étude de la structure incluant les sources de bruit. Le modèle utilisé en basses fréquences est présenté dans la Fig. 2.13. Dans ce modèle, le bruit de chaque transistor est modélisé par une source de bruit en tension équivalente en série sur la grille. Comme précédemment, la contribution du transistor MP_2 est la même que celle du transistor MP_1 sur le bruit de sortie du circuit ; de même, les contributions des transistors MN_2 et MN_1 sont identiques.

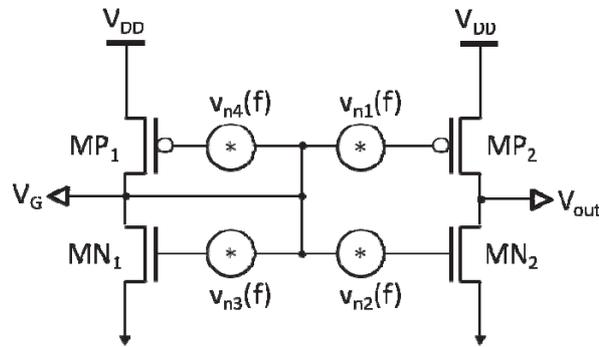
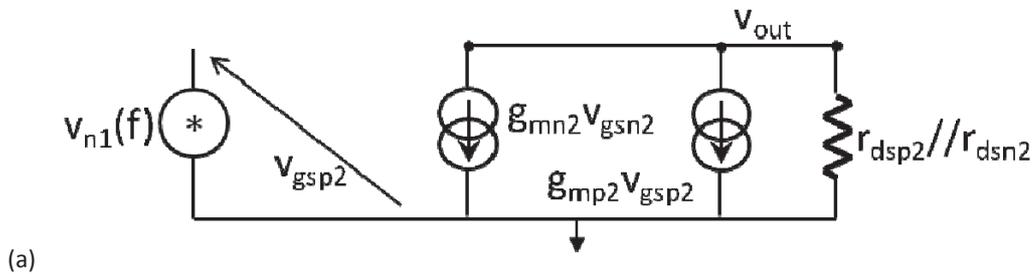


Fig. 2.13 Modèle de bruit

Afin de calculer la contribution de chacune de ces sources, on utilise le théorème de superposition sur le schéma petit signal complet. Dans un premier temps, on calcule la contribution de la source de tension de bruit $v_{n1}(f)$ sur la tension de sortie petit signal v_{out} . En supposant que la source de tension de bruit $v_{n2}(f)$ est nulle, le schéma petit signal simplifié est présenté dans la Fig. 2.14 (a). Aucun courant ne circulant dans la branche de gauche, v_g est équivalent à une masse et $v_{n1}(f)$ est donc connecté à la masse.



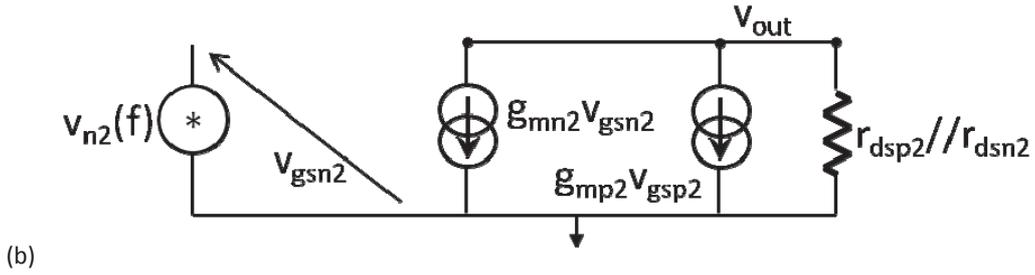


Fig. 2.14 Modèle petit signal de bruit avec la source de bruit (a) $v_{n1}(f)$ et (b) $v_{n2}(f)$

La loi des mailles permet de déterminer la contribution du bruit de MP_1 ou MP_2 en sortie :

$$v_{nout1}(f) = (-g_{mn2}v_{gsn2} - g_{mp2}v_{gsp2})(r_{dsn2} // r_{dsp2}) \quad (2.64)$$

De plus :

$$v_{gsp2} = v_{n1}(f) \quad (2.65)$$

Et :

$$v_{gsn2} = 0 \quad (2.66)$$

En remplaçant, les v_{gs} par leurs expressions, la contribution du bruit en sortie de l'équation (2.64) devient :

$$\begin{aligned} v_{nout1}(f) &= -g_{mp2} v_{n1}(f)(r_{dsn2} // r_{dsp2}) \\ &= -g_{mp2} r_{out} v_{n1}(f) \end{aligned} \quad (2.67)$$

On s'intéresse à présent à l'étude de la contribution de la source $v_{n2}(f)$ sur la tension de sortie petit signal v_{out} . Dans ce calcul, on suppose que la source de bruit $v_{n1}(f)$ est à zéro, v_{gsp2} est donc égale à 0. Le schéma petit signal est présenté dans la Fig. 2.14 (b). Comme précédemment, aucun courant ne circule dans la branche de gauche. En appliquant la loi des mailles sur le schéma petit signal, la contribution du bruit de MN_1 et MN_2 en sortie est :

$$v_{nout2}(f) = -g_{mn2} r_{out} v_{n2}(f) \quad (2.68)$$

La densité spectrale de puissance de bruit totale est la somme quadratique des contributions des transistors précédentes:

$$v_{nouttotal}^2(f) = 2v_{nout1}^2(f) + 2v_{nout2}^2(f) \quad (2.69)$$

Pour $g_{mn2} = g_{mp2} = g_m$, les contributions théoriques des 4 transistors sont identiques sur le bruit de sortie du circuit. En négligeant le bruit en $1/f$, la densité spectrale de puissance de bruit totale en sortie est donc :

$$v_{nouttotal}^2(f) = 4 \left(4kT \frac{2}{3} g_m \right) r_{out}^2 \quad (2.70)$$

Soit une densité spectrale de puissance de bruit (en A^2/Hz) ramenée en entrée de la structure :

a. Résistance d'entrée et de sortie

Comme précédemment, Le nœud v_G est raccordée au générateur de courant pour calculer la résistance d'entrée r_{in} et le gain A_R . Le schéma petit signal est présenté dans la Fig. 2.16.

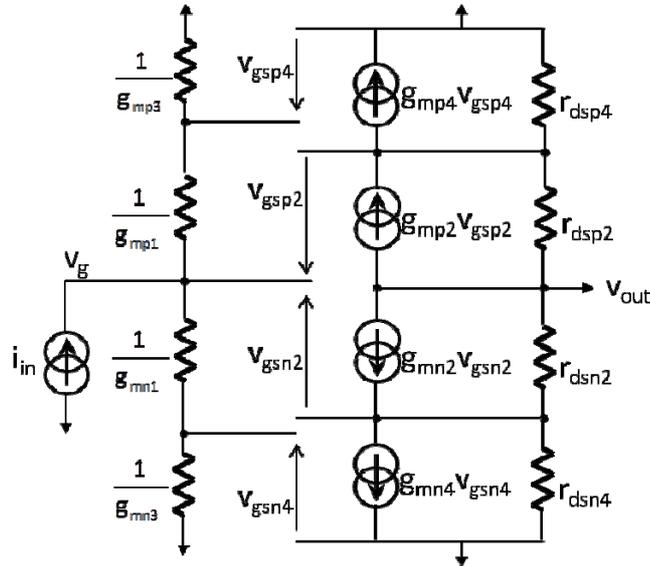


Fig. 2.16 Modèle petit signal équivalent du pont actif différentiel cascode

De façon immédiate, la résistance d'entrée est :

$$r_{in} = \frac{v_g}{i_{in}} = \sum \frac{1}{g_{mn}} // \sum \frac{1}{g_{mp}} = \frac{1}{\frac{g_{mn1}g_{mn3}}{g_{mn1}+g_{mn3}} + \frac{g_{mp1}g_{mp3}}{g_{mp1}+g_{mp3}}} \quad (2.73)$$

L'équation (2.73) montre que l'obtention d'une résistance d'entrée élevée nécessite de faibles g_m et donc de diminuer le courant de polarisation quelque soit la valeur de V_{eff} .

Afin de calculer la résistance de sortie, comme précédemment, v_g est connecté à la masse et aucun courant ne circule dans la branche de gauche (étage d'entrée) ; les tensions v_{gsn4} et v_{gsp4} et les sources de courant $g_{mn4}v_{gsn4}$ et $g_{mp4}v_{gsp4}$ sont donc nulles. Le schéma petit signal simplifié est présenté dans la Fig. 2.17.

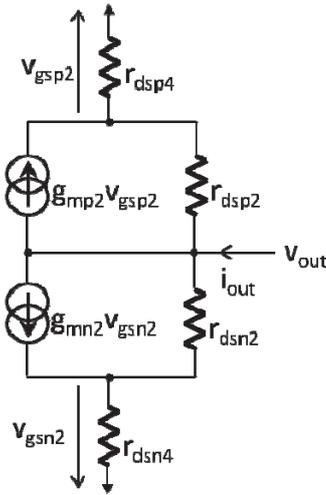


Fig. 2.17 Modèle petit signal afin de calculer la résistance de sortie à charge cascode

Ce modèle est identique à celui de la Fig. 2.4. La résistance de sortie est déterminée de la même façon que dans la section II.2.1.1 :

$$r_{outn} = r_{dsn2} + g_{m2}r_{dsn2}r_{dsn4} + r_{dsn4} \quad (2.74)$$

Et :

$$r_{outp} = r_{dsp2} + g_{m2}r_{dsp2}r_{dsp4} + r_{dsp4} \quad (2.75)$$

En supposant que les $g_{m2}r_{ds2}r_{ds4} \gg r_{ds2} + r_{ds4}$ et $g_{m2} = g_{m1}$, la résistance de sortie de l'équation (2.9) s'exprime donc :

$$r_{out} = g_{m1} \frac{r_{dsn2}r_{dsn4}r_{dsp2}r_{dsp4}}{r_{dsn2}r_{dsn4} + r_{dsp2}r_{dsp4}} \quad (2.76)$$

L'équation (2.76) montre que pour obtenir une grande résistance de sortie, tous les transistors doivent être dimensionnés avec une grande longueur L (augmentation de r_{ds} pour un I_{ds} fixe) et ceux de l'étage d'amplificateur également dimensionnés pour avoir de grandes transconductances g_{m1} .

b. Gain

Une analyse petit signal (Fig. 2.16) du circuit autour de son point de polarisation a été développée afin de déterminer son gain en boucle ouverte. Comme précédemment, l'utilisation de l'équation (2.11) est possible en utilisant l'équation (2.73) pour calculer la résistance d'entrée $r_{in} = \frac{v_g}{i_{in}}$. Le terme $\frac{v_{out}}{v_g}$ est obtenu par :

$$\frac{v_{out}}{v_g} = \frac{-r_{out}(i_{outn} + i_{outp})}{v_g} \quad (2.77)$$

Les courants de court-circuit des plans N et P sont successivement calculés.

Pour le plan N, une loi des mailles appliquée sur le modèle petit signal (Fig. 2.16) conduit à :

$$r_{dsn4}(i_{outn} - g_{mn4}v_{gsn4}) = -r_{dsn2}(i_{outn} - g_{mn2}v_{gsn2}) \quad (2.78)$$

De plus :

$$v_{gsn2} = v_g - r_{dsn4}(i_{outn} - g_{mn4}v_{gsn4}) \quad (2.79)$$

Et v_{gsn4} est obtenu par la méthode du pont diviseur de tension :

$$v_{gsn4} = \frac{g_{mn1}}{g_{mn1} + g_{mn3}} v_g \quad (2.80)$$

En remplaçant, les v_{gs} par leurs expressions, i_{outn} de l'équation (2.78) devient :

$$i_{outn} = \frac{\frac{g_{mn1}}{g_{mn1} + g_{mn3}} g_{mn4} r_{dsn4} + g_{mn2} r_{dsn2} + \frac{g_{mn1}}{g_{mn1} + g_{mn3}} g_{mn2} r_{dsn2} g_{mn4} r_{dsn4}}{r_{dsn4} + r_{dsn2} + g_{mn2} r_{dsn2} r_{dsn4}} v_g \quad (2.81)$$

En supposant que $\frac{g_{mn1}}{g_{mn1} + g_{mn3}} g_{mn2} r_{dsn2} g_{mn4} r_{dsn4} \gg \frac{g_{mn1}}{g_{mn1} + g_{mn3}} g_{mn4} r_{dsn4} + g_{mn2} r_{dsn2}$ et $g_{mn2} r_{dsn2} r_{dsn4} \gg r_{dsn2} + r_{dsn4}$, i_{outn} est donc :

$$i_{outn} = \frac{g_{mn1}}{g_{mn1} + g_{mn3}} g_{mn4} v_g \quad (2.82)$$

Pour le plan P, le courant de court-circuit petit signal i_{outp} est calculé la même façon que i_{outn} .

$$i_{outp} = \frac{g_{mp1}}{g_{mp1} + g_{mp3}} g_{mp4} v_g \quad (2.83)$$

En remplaçant les équations (2.82) et (2.83) dans l'équation (2.77), on obtient alors :

$$\frac{v_{out}}{v_g} = -r_{out} \left(\frac{g_{mn1} g_{mn4}}{g_{mn1} + g_{mn3}} + \frac{g_{mp1} g_{mp4}}{g_{mp1} + g_{mp3}} \right) \quad (2.84)$$

En posant $g_{mn3} = g_{mn4}$ et $g_{mp3} = g_{mp4}$ et en remplaçant $\frac{v_g}{i_{in}}$ de l'équation (2.73) et $\frac{v_{out}}{v_g}$ de l'équation (2.84) dans l'équation (2.11), le gain A_R (V/A) est :

$$A_R = \frac{v_{out}}{i_{in}} = -r_{out} \quad (2.85)$$

Comme la structure précédente, ce gain ne dépend que la résistance de sortie.

c. Bruit

Le modèle illustré sur la Fig. 2.18 comporte les contributions de chacune des sources de bruit en tension des transistors sur le bruit en sortie. Comme précédemment, la contribution d'une seule source de bruit est étudiée pour chaque miroir de courant car la contribution des deux transistors MOS est la même sur le bruit en sortie.

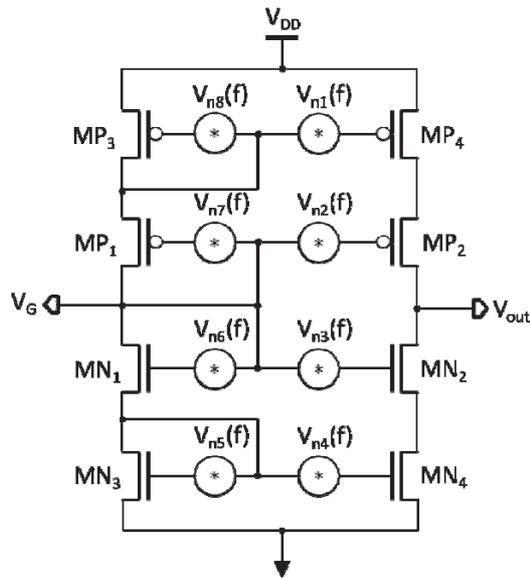


Fig. 2.18 Modèle de bruit

Le bruit en sortie de la structure est calculé à partir du théorème de superposition sur le modèle petit signal (Fig. 2.19 (a)) en éliminant la branche de gauche puisque les sources de bruit n'induisent pas de courant (v_g est relié à la masse). Dans un premier temps, on calcule la contribution de la source de bruit $v_{n1}(f)$ sur le signal de sortie en supposant que toutes les autres sources de bruit sont à zéro (Fig. 2.19 (b)). La résistance équivalente représente la résistance drain source du transistor MN_2 en parallèle avec celle du MN_4 .

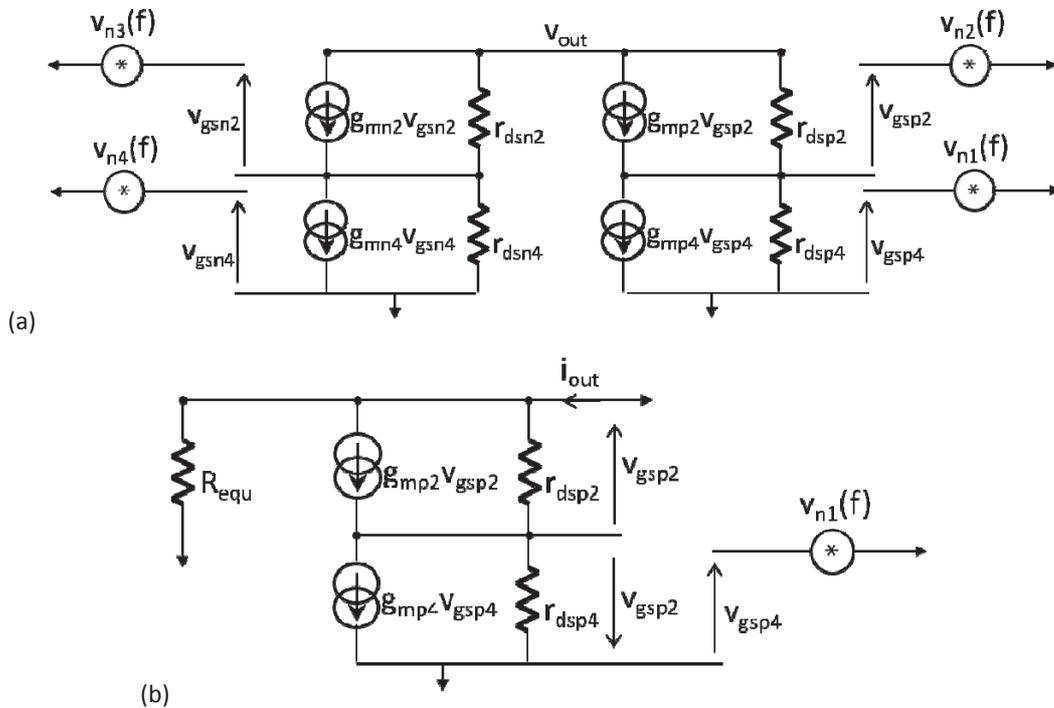


Fig. 2.19 Modèle petit signal de bruit avec la source de bruit (a) $v_{n1}(f)$ - $v_{n4}(f)$ et (b) $v_{n1}(f)$

Comme précédemment, on calcule le courant de court-circuit ($v_{out} = 0$).

Une loi des nœuds appliquée sur le modèle petit signal (Fig. 2.19 (b)) conduit à :

$$i_{out} = \left(g_{mp2} + \frac{1}{r_{dsp2}} \right) v_{gsp2} \quad (2.86)$$

De plus :

$$g_{mp4} v_{gsp4} = g_{mp2} v_{gsp2} + \frac{1}{r_{dsp2}} v_{gsp2} + \frac{1}{r_{dsp4}} v_{gsp2} \quad (2.87)$$

Avec $v_{gsp4} = v_{n1}(f)$ dans l'équation (2.87), on obtient :

$$v_{gsp2} = \frac{g_{mp4} r_{dsp2} r_{dsp4}}{g_{mp2} r_{dsp2} r_{dsp4} + r_{dsp2} + r_{dsp4}} v_{n1}(f) \quad (2.88)$$

En remplaçant v_{gsp2} par son expression dans l'équation (2.86), ainsi en supposant $g_{mp2} \gg 1/r_{dsp2}$ et $g_{mp2} r_{dsp2} r_{dsp4} \gg r_{dsp2} + r_{dsp4}$, i_{out} s'écrit alors :

$$i_{out} = g_{mp4} v_{n1}(f) \quad (2.89)$$

Les contributions en bruit des transistors MP₄ ou MP₃ en sortie sont donc :

$$v_{nout1}(f) = -r_{out} i_{out} = -g_{mp4} r_{out} v_{n1}(f) \quad (2.90)$$

La contribution de la source de tension de bruit $v_{n2}(f)$ sur la tension de sortie est ensuite calculée. La Fig. 2.20 illustre le schéma petit signal permettant de déterminer la contribution du bruit de MP₂ et MP₁ en sortie. Comme dans l'étude précédente, toutes les autres sources de bruit sont à zéro. Ceci implique que la source de courant $g_{mp4} v_{gsp4}$ est nulle car v_{gsp4} est égale à 0.

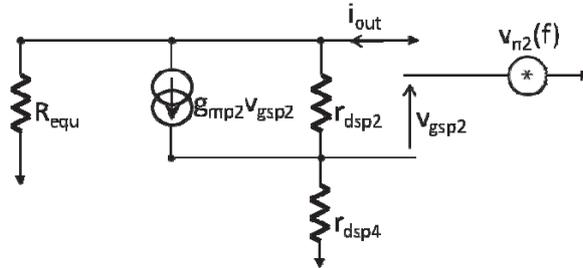


Fig. 2.20 Modèle petit signal de bruit avec la source de bruit $v_{n2}(f)$

Ce schéma petit signal est identique à celui de la Fig. 2.9 (a). La contribution sur le bruit de sortie de MP₂ et MP₁ est donc :

$$v_{nout2}(f) = \frac{r_{out}}{r_{dsp4}} v_{n2}(f) \quad (2.91)$$

Puis on s'intéresse à l'étude de la contribution de la source $v_{n3}(f)$ sur la tension de sortie. Comme dans l'étude précédente, toutes les autres sources de bruit sont à zéro. Le schéma petit signal obtenu est donc identique à celui de la Fig. 2.9 (b). La contribution du bruit de MN₂ et donc également de MN₁ en sortie est donc :

$$v_{n\text{out}3}(f) = \frac{r_{\text{out}}}{r_{\text{dsn}4}} v_{n3}(f) \quad (2.92)$$

Enfin, comme dans l'étude précédente, toutes les autres sources de bruit sont à zéro afin de calculer la contribution de la source de tension de bruit $v_{n4}(f)$ sur la tension de sortie. Le schéma petit signal obtenu est identique à celui de la Fig. 2.19. Ce schéma permet d'obtenir la contribution du bruit de MN_4 et donc également de MN_3 en sortie :

$$v_{n\text{out}4}(f) = -g_{mn4} r_{\text{out}} v_{n4}(f) \quad (2.93)$$

La densité spectrale de puissance de bruit totale est la somme quadratique des contributions des transistors précédentes:

$$v_{n\text{outtotal}}^2(f) = 2 \sum v_{n\text{out}i}^2(f) \quad (2.94)$$

En supposant que les g_m sont très supérieurs aux $1/r_{ds}$, ce qui est généralement le cas, et en négligeant le bruit en $1/f$, le bruit des transistors MP_1 , MP_2 , MN_1 , MN_2 est négligeable devant celui des charges actives. Dans ce cas, la densité spectrale de puissance de bruit totale en sortie est :

$$v_{n\text{outtotal}}^2(f) = 8kT \frac{2}{3} (g_{mn4} + g_{mp4}) r_{\text{out}}^2 \quad (2.95)$$

Afin de déterminer la densité spectrale de courant de bruit ramenée en entrée de la structure, l'équation (2.71) est nécessaire avec A_R de l'équation (2.85) et en supposant $g_{mn4} = g_{mp4} = g_{m2}$, on obtient donc :

$$i_{n\text{in}}(f) = \frac{v_{n\text{outtotal}}(f)}{A_R} = 4 \sqrt{kT \frac{2}{3} g_{m2}} \quad (2.96)$$

On constate que pour obtenir un faible courant de bruit $i_{n\text{in}}$ ramené en entrée du pont actif différentiel cascode, les transistors de charge doivent être dimensionnés pour avoir de faibles transconductances g_{m2} . Rappelons que les transconductances g_{m1} des transistors d'amplification (4 transistors au centre de la structure) doivent être les plus grandes possibles pour avoir un gain important.

II.2.3) Synthèse

Dans cette section, trois architectures différentes du pont actif différentiel ont été proposées. L'objectif principal de ces architectures est d'augmenter les résistances d'entrée et de sortie afin d'augmenter le gain, proportionnel à la résistance de sortie et le rapport signal sur bruit, qui dépend du bruit en courant ramené en entrée. Ce bruit est inversement proportionnel à la résistance d'entrée. Les études théoriques ont été présentées pour les différentes architectures et sont récapitulées dans le Tab. 2.1 ci-dessous pour le cas où l'on suppose tous les r_{ds} et les g_m identiques et $g_m r_{ds} \gg 1$.

Architectures	Sources dégénérées	Simple	Cascode
r_{in}	$\frac{1}{2}\left(R + \frac{1}{g_m}\right)$	$\frac{1}{2g_m}$	$\frac{1}{g_m}$
r_{out}	$g_m R \frac{r_{ds}}{2}$	$\frac{r_{ds}}{2}$	$g_m \frac{r_{ds}^2}{2}$
Gain (A/V)	$\frac{r_{out}}{R}\left(R + \frac{1}{g_m}\right)$	r_{out}	r_{out}
Bruit thermique (V ² /Hz)	$4kTg_m r_{ds}^2\left(g_m R + \frac{2}{3}\right)$	$\frac{8}{3}kTg_m r_{ds}^2$	$\frac{8}{3}kTg_m^3 r_{ds}^4$
Bruit ramené en entrée (A/√Hz)	$\frac{2\sqrt{kTg_m r_{ds}^2\left(g_m R + \frac{2}{3}\right)}}{\frac{r_{out}}{R}\left(R + \frac{1}{g_m}\right)}$	$4\sqrt{kT\frac{2}{3}g_m}$	$4\sqrt{kT\frac{2}{3}g_m}$

Tab. 2.1 Résumé des propriétés des 3 architectures présentées dans ce chapitre (en supposant tous les r_{ds} et les g_m identiques et $g_m r_{ds} \gg 1$)

Les courbes de la Fig. 2.21 illustre le gain en V/A et le bruit ramené en entrée sur ces trois architectures avec les mêmes conditions ($I_p=1\mu A$ et $V_{DD}=3.3V$) et R_{in} plus grand possible. Parmi ces trois architectures, la résistance d'entrée la plus élevée est celle du pont actif à sources dégénérées (4 résistances identiques) : 500kΩ en prenant les résistances R et les g_m les plus grands possible. Pour l'architecture cascode, en respectant $\Sigma V_{GS}=V_{DD}$, la résistance d'entrée reste constante quelque soit la valeur de g_{m1} et g_{m2} et est environ 5 fois inférieure à celle du pont actif à sources dégénérées. Pour l'architecture sans charge (uniquement composée de 2 PMOS et 2 NMOS), une seule valeur de résistance d'entrée est réalisable et vaut 250 kΩ environ pour $I_p=1\mu A$ et $V_{DD}=3.3V$.

Concernant le gain A_R en boucle ouverte, l'architecture cascode (Fig. 2.21 (a) en vert) permet d'obtenir un gain (équivalent à une résistance de sortie) beaucoup plus élevé que les autres architectures grâce à des transistors de grande surface. Malheureusement son bruit ramené en entrée, aussi bien en basse fréquence que sur le plateau (Fig. 2.21 (b) en vert), est aussi le plus élevé car son terme g_m est bien supérieur à celui de l'architecture sans charge. Son bruit est également bien supérieur à celui de l'architecture à sources dégénérées, qui est égal à $4\sqrt{kT\frac{1}{R}}$ si $R \gg 1/g_m$. En ce qui concerne le bruit ramené en entrée et donc le rapport signal sur bruit, le pont actif à sources dégénérées est le meilleur, surtout en basse fréquence où le bruit en $1/f$ est bien inférieur à celui des 2 autres structures.

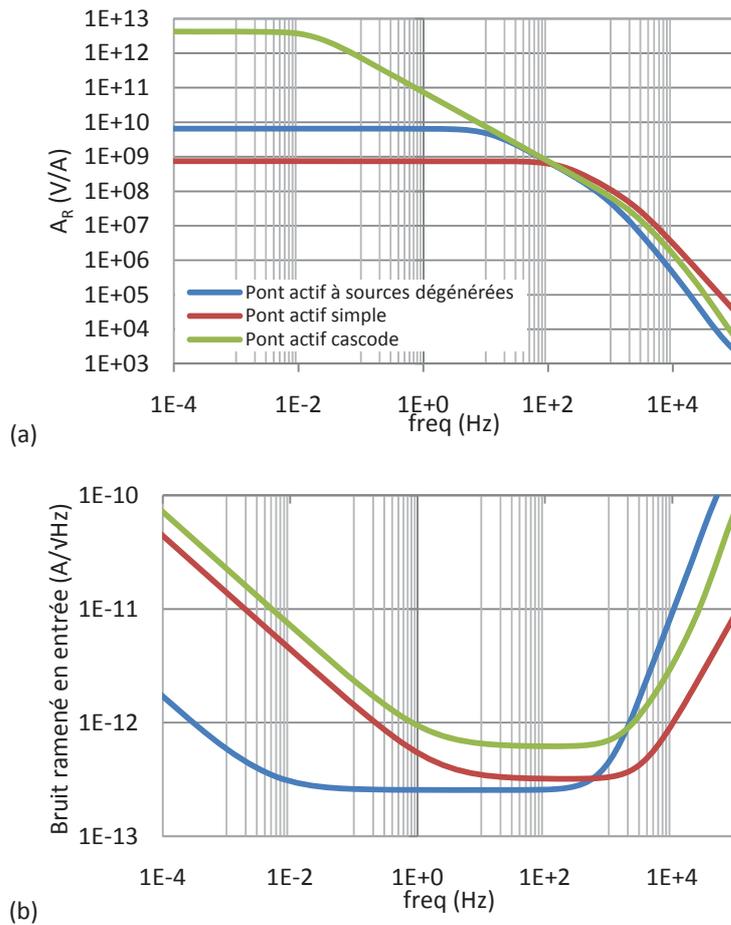


Fig. 2.21 (a) Gain en V/A et (b) analyse de bruit ramené en entrée des 3 structures avec I_p de $1\mu A$ et V_{DD} de 3.3V

L'inconvénient majeur de ces 3 architectures est la sensibilité aux variations du procédé de fabrication sur une technologie donnée. En effet, pour toute technologie, des disparités 'process' (entre deux composants de lots différents) et 'mismatches' (entre deux composants d'une même puce) sur les caractéristiques des composants sont présentes. Ces variations aléatoires de caractéristiques influencent aussi bien les composants actifs (transistors, diodes...) que les composants passifs (résistances, condensateurs...). Dans le cas du 'mismatch', ces variations induisent un offset entre la tension V_G et la tension de sortie V_{out} et une possible saturation de la tension de sortie V_{out} à V_{DD} ou 0 sans signal d'entrée. Afin de compenser cet offset, deux solutions basées sur l'utilisation d'une contre réaction à commande digitale sur le principe d'un convertisseur à approximations successives (SAR) sont proposées. La première solution est basée sur l'utilisation des $2^N - 1$ résistances identiques, pour N bits, mise en série entre la masse et les deux résistances connectées aux transistors NMOS des branches gauche et droite du pont actif. La seconde solution consiste à utiliser une source de courant programmable connectée à l'entrée V_G du pont actif. La Fig. 2.22 illustre l'implémentation de ces 2 solutions de compensation d'offset. Sur les deux solutions, plus la résolution N est élevée plus l'offset résiduel ($V_{out} - V_G$) diminue.

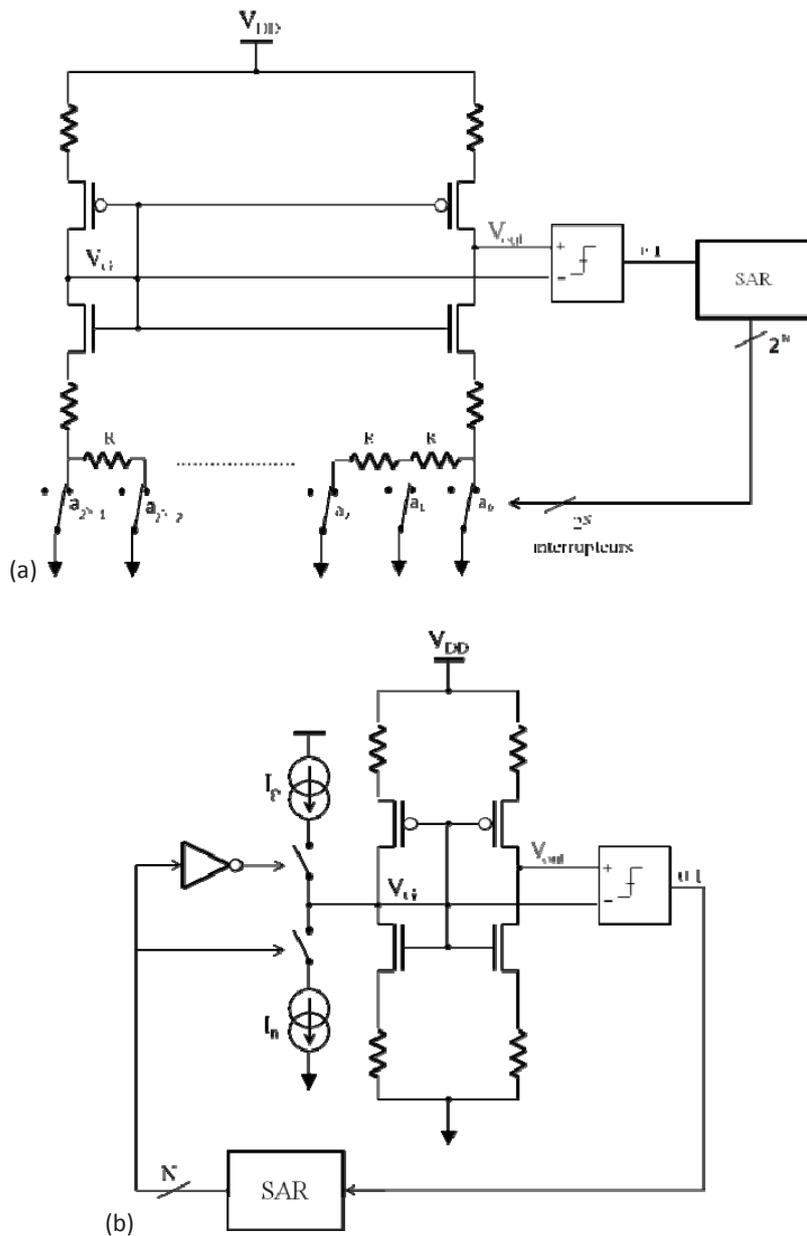


Fig. 2.22 Compensation d'offset du pont actif à sources dégénérées (a) par réseau des résistances et (b) par sources de courant

Notons que « I_p et l'inverseur» et « I_N » sont respectivement des miroirs de courant cascode PMOS et NMOS. Ces sources de courant programmables peuvent être réalisées :

- par N sources de courant pondérées dont les tailles varient en puissance de deux pour N bits (Fig. 2.23) mais avec l'inconvénient d'une faible précision due aux dispersions entre les sources de tailles très différentes
- ou par des sources de courant en code thermomètre, où 2^N-1 sources de courant identiques sont placées en parallèle avec l'avantage d'une précision beaucoup mieux

maîtrisée mais l'inconvénient d'un grand nombre de courants et de signaux de commandes à router.

À cause de la différence entre le nombre de sources de courant de ces 2 méthodes, les erreurs de non linéarité différentielle (DNL) sont très différentes. Le DNL max de la méthode à sources de courant pondérées correspond au code 2^{N-1} c'est à dire au moment où le bit de poids fort commute à '1' et tous les autres bits commutent à '0' ; il est plus élevé que celui de la méthode en code thermomètre qui a un DNL quasi-identique sur tous les codes [74].

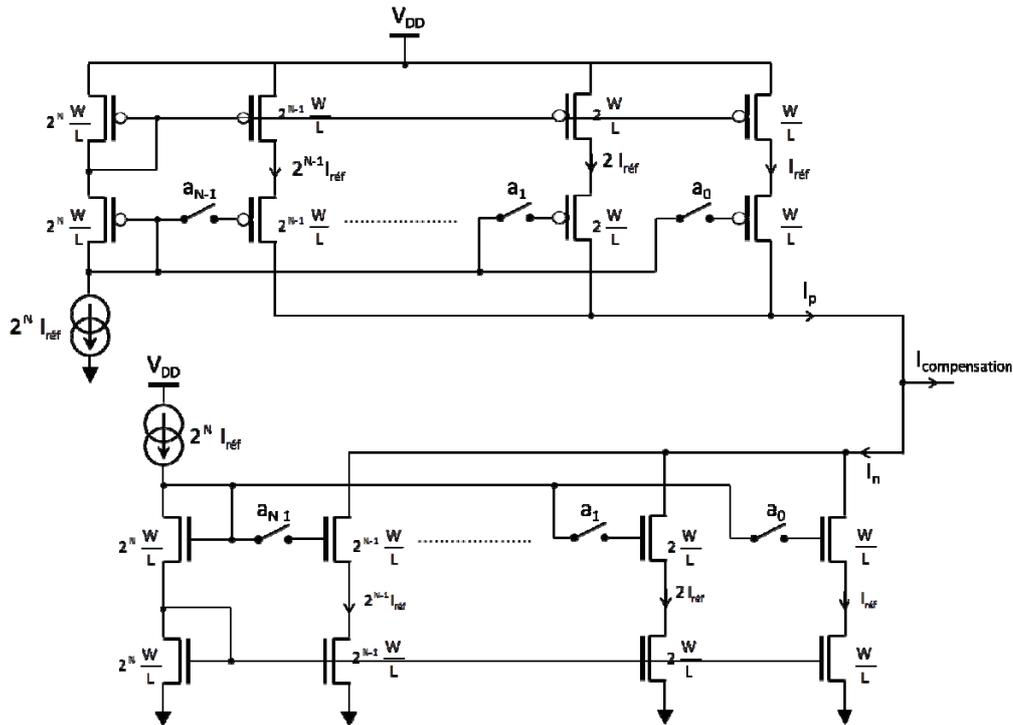


Fig. 2.23 Sources de courant pondérées pour compensation d'offset

II.3) Pont actif en présence d'une charge capacitive

Afin de vérifier l'effet intégrateur de courant du pont actif, une source de courant est connectée au nœud de basse impédance V_G en présence d'une charge capacitive (Fig. 2.24 (a)). Grâce à sa grande impédance de sortie, le pont actif en haute fréquence se comporte alors comme un intégrateur. Le schéma équivalent est donné dans la Fig. 2.24 (b). Ce circuit est constitué d'une résistance r_{out} et de la charge de capacité C_L montés en série et correspond à un filtre passe-bas du premier ordre de fréquence de coupure :

$$f_c = \frac{1}{2\pi\tau} \quad (2.97)$$

Où $\tau = r_{out}C_L$ est la constante de temps du circuit.

$$I_1 = \pm(C_0 + \Delta C) \left| \frac{dV_{in}}{dt} \right| \quad (2.98)$$

$$I_2 = \mp(C_0 - \Delta C) \left| \frac{d\overline{V}_{in}}{dt} \right| = \pm(C_0 - \Delta C) \left| \frac{dV_{in}}{dt} \right| \quad (2.99)$$

Le courant rectangulaire I_{in} injecté à l'entrée du pont actif est donc :

$$I_{in} = I_1 - I_2 = \pm 2\Delta C \left| \frac{dV_{in}}{dt} \right| \quad (2.100)$$

Le pont actif fonctionne donc comme un convertisseur capacité/tension. Les tensions d'entrée et de sortie, V_G et V_{out} , sont ainsi :

$$V_G = \pm 2\Delta C \left| \frac{dV_{in}}{dt} \right| r_{in} \quad (2.101)$$

$$V_{out} = \pm 2\Delta C \left| \frac{dV_{in}}{dt} \right| r_{out} \quad (2.102)$$

La mesure de ΔC consiste finalement à démoduler le signal carré en sortie du pont actif. Cependant, cette tension rectangulaire n'est observable que si la fréquence f_{in} des signaux triangulaires V_{in} et \overline{V}_{in} est inférieure à la fréquence de coupure f_c . Dans le cas contraire la sortie V_{out} est un signal triangulaire (intégration d'un signal carré) dont l'amplitude est plus difficilement mesurable. Ainsi, l'utilisation de ce convertisseur en boucle ouverte est peu pratique à cause :

- d'un gain très important, qui entraîne une non-linéarité et une limitation de la dynamique de variations ΔC mesurables,
- de la faible fréquence du signal V_{in} , qui limite la bande passante du capteur
- de la forte sensibilité aux variations 'process', qui impactent énormément la valeur du gain, et 'mismatches', qui saturent la tension de sortie V_{out} à V_{DD} ou 0 et rendent l'asservissement du point de polarisation indispensable.

Pour résoudre ces problèmes, une architecture contre-réactionnée a été proposée pour asservir le point de polarisation de la structure dans le cas du conditionnement de capteurs résistifs. Le principe est de compenser le déséquilibre du pont actif dû aussi bien aux 'mismatches' qu'aux variations des résistances du capteur par :

- l'injection d'un courant sur la source d'un ou plusieurs transistors : une contre-réaction numérique à deux groupes de générateurs de courant pondérés (comme sur la Fig. 2.23) compense le déséquilibre en plaçant ces deux groupes sur la source d'un transistor ou un groupe dans la branche de gauche et l'autre dans celle de droite [55], [88]
- l'injection d'un courant sur V_G : deux méthodes ont ainsi été proposées, une contre-réaction analogique par l'intermédiaire d'une résistance de contre réaction et une numérique sous la forme d'un modulateur sigma delta $\Sigma\Delta$ [58].

- l'ajout d'une résistance dans l'une des 2 branches en fonction du signe du déséquilibre, soit par l'intermédiaire d'un potentiomètre numérique (comme sur la Fig. 2.22 (a)), soit sous la forme d'un modulateur sigma delta $\Sigma\Delta$ qui commute à haute fréquence une résistance d'une branche à l'autre.

Parmi toutes ces solutions, les contre-réactions numériques semblent les plus prometteuses puisqu'elles transforment le système en convertisseur analogique numérique (CAN). Parmi les architectures de CAN, le convertisseur $\Sigma\Delta$ est très répandu car il est particulièrement adapté à l'intégration, à la faible consommation et à la réalisation d'interfaces génériques [81]. Comme le montre la section suivante, les propriétés du pont actif différentiel offrent une occasion de construire ce convertisseur avec peu d'éléments supplémentaires.

II.4) Conversion Sigma-Delta

Les convertisseurs analogique numérique sigma-delta $\Sigma\Delta$ peuvent atteindre des résolutions très importantes en contrepartie d'une bande passante utile inférieure au MHz [66], [67]. De telles résolutions peuvent être atteintes du fait du sur-échantillonnage (oversampling), qui étale le bruit de quantification sur une bande de fréquence très supérieure à celle du signal, et de la mise en forme particulière du bruit de quantification (noise shaping) qui tend à rejeter ce bruit hors de la bande utile.

II.4.1) Caractéristiques principales des convertisseurs

II.4.1.1) Pleine échelle (Full scale) et résolution

La pleine échelle représente la plage d'entrée maximale. Elle est divisée en autant de plages d'égales dimensions (cas de la quantification uniforme) qu'il y a de codes possibles de la sortie numérique. La résolution d'un CAN est la plus petite variation de l'entrée qui fait changer la sortie numérique. Pour un CAN à N bits, le nombre d'états possibles différents en sortie est 2^N , ce qui permet d'exprimer des signaux numériques de 0 à 2^N-1 en code binaire naturel correspondant à la valeur analogique échantillonnée en entrée. Ainsi, un CAN est caractérisé également par la plage de variation acceptable du signal analogique d'entrée, appelée Pleine Echelle (en anglais Full Scale) et que nous noterons FS. La résolution peut donc s'exprimer dans la même dimension que la pleine échelle ou en pourcentage de la pleine échelle ou en nombre de bits.

Chaque plage est associée à un code numérique représentant le signal analogique d'entrée. La Fig. 2.26 représente la caractéristique de transfert idéale (sans défaut) en escalier d'un CAN à 3 bits. En mode unipolaire, le signal analogique d'entrée est positif, la pleine échelle est alors donnée par $FS=V_{max}$. En mode bipolaire, le CAN est configuré de façon à accepter un signal analogique d'entrée négatif ou positif. La pleine échelle est donc donnée par $FS=V_{max}-V_{min}$. En général $V_{max} = -V_{min}$, la plage de variation est alors symétrique entre $\left[-\frac{FS}{2}; \frac{FS}{2}\right]$.

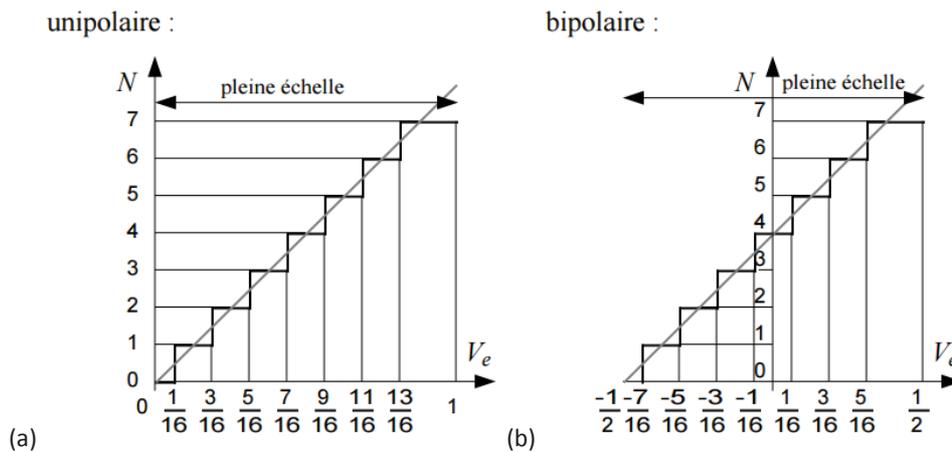


Fig. 2.26 Caractéristique de transfert idéale d'un CAN (a) unipolaire et (b) bipolaire

II.4.1.2 Pas et erreur de quantification

Le pas de quantification ou quantum ou bit de poids faible (LSB, Least Significant Bit), noté Δ , est défini comme étant la dimension des plages précédentes. Il représente le signal analogique associé au bit de poids le plus faible, exprimé par :

$$\Delta = \frac{FS}{2^N} \quad (2.103)$$

La quantification introduit une erreur résultant de la différence entre la valeur analogique d'entrée et la valeur numérique codée. Lors de la numérisation d'un signal sur N bits, le codage de l'amplitude sur un nombre fini de possibilité entraîne une erreur de quantification.

Pour un signal d'entrée compris dans la pleine échelle, l'erreur de quantification présente une allure de dents de scie (Fig. 2.27) et peut avoir une erreur maximale de $\pm\Delta/2$.

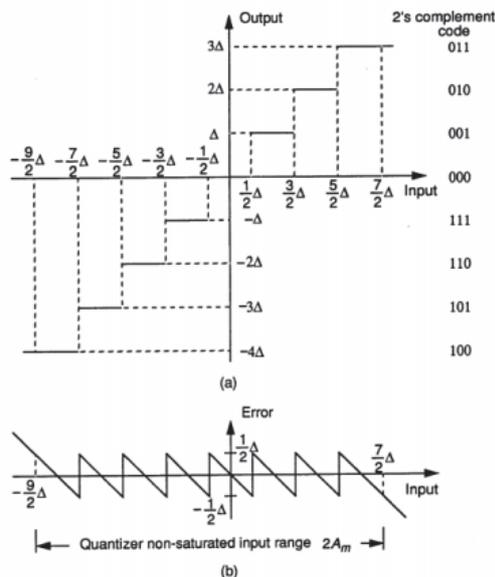


Fig. 2.27 Caractéristique de transfert 3 bits en mode bipolaire et son erreur de quantification [61]

II.4.2) Théorème de Shannon-Nyquist

Le théorème de Shannon-Nyquist ou théorème de l'échantillonnage [68] indique qu'un signal est correctement échantillonné, seulement si sa fréquence maximale F_0 reste en dessous de la moitié de la fréquence d'échantillonnage ($F_{ech}/2 \geq F_0$). Dans ce cas, il est ensuite possible de reconstruire un signal de sortie de manière fidèle au signal d'entrée sans distorsion. Dans le cas contraire, les fréquences voisines de la fréquence d'échantillonnage et de ses multiples sont repliées dans la bande utile. Ce phénomène est le repliement spectral ou aliasing (Fig. 2.28 (a)). La zone hachurée sur la Fig. 2.28 (a) montre ce qui se produit dans le cas où la condition du théorème d'échantillonnage n'est pas respectée. La reconstruction d'un signal contaminé par l'aliasing résulte en une distorsion du signal de sortie. Afin d'éviter ce phénomène de repliement, il est indispensable que la fréquence d'échantillonnage F_{ech} soit au moins deux fois supérieure à la bande passante du signal d'entrée. La Fig. 2.28 (b) montre le spectre du signal échantillonné lorsque la fréquence d'échantillonnage augmente. Pour éviter le repliement, il est aussi possible de placer en entrée de l'échantillonneur un filtre anti-repliement permettant de réduire la bande utile du signal. Ce filtre est le plus souvent un passe-bas d'ordre élevé et de fréquence de coupure F_c inférieure à la moitié de la fréquence d'échantillonnage.

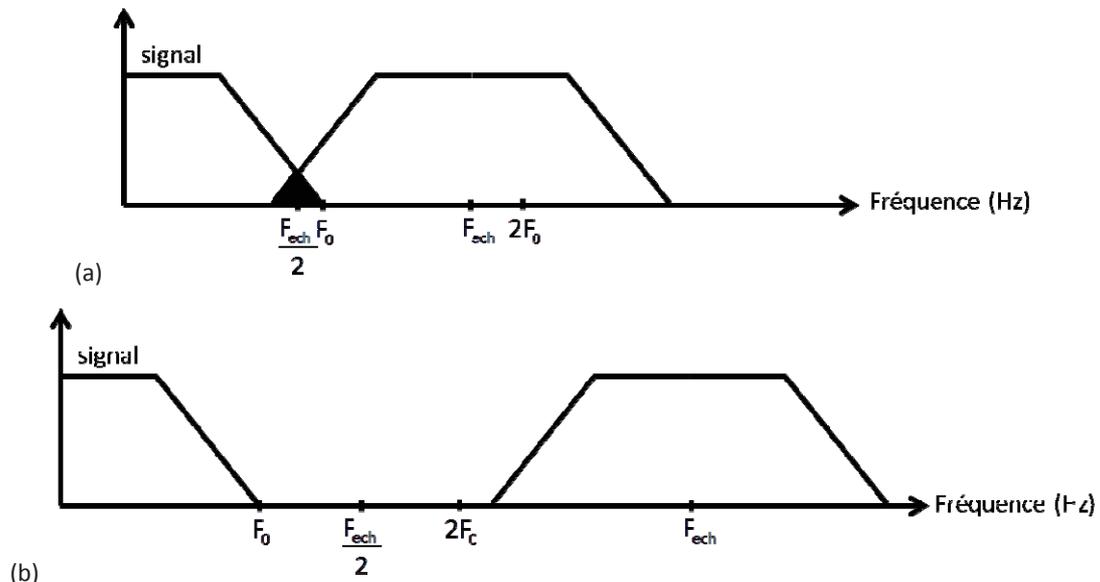


Fig. 2.28 Spectre du signal échantillonné dans le cas (a) du non-respect ($F_{ech} < 2F_0$) et (b) du respect du théorème de Shannon

II.4.3) Bruit de quantification

Pour un signal quelconque, l'erreur de quantification est assimilable à un bruit blanc échantillonné de moyenne nulle et ayant une égale probabilité de se trouver dans l'intervalle $\left[-\frac{\Delta}{2}; \frac{\Delta}{2}\right]$. Ce bruit de quantification échantillonné à une fréquence F_{ech} se caractérise par une puissance de bruit [87] :

$$P_b = \frac{\Delta^2}{12} \quad (2.104)$$

Où Δ est le pas de quantification du convertisseur.

Pour un quantificateur sur N bits, le rapport entre la puissance d'une sinusoïde occupant la pleine échelle du convertisseur et la puissance de bruit dans la bande passante est généralement appelé rapport signal sur bruit (Signal to Noise Ratio) en dB et est égal à :

$$\text{SNR} = 6,02N + 1,76 \quad (2.105)$$

Quand un signal est échantillonné à une fréquence F_{ech} , toute la puissance de bruit se trouve dans la bande de Nyquist entre 0 et $F_{\text{ech}}/2$. La répartition spectrale de cette puissance de bruit donne une densité spectrale de puissance :

$$D_{\text{sp}}(f) = \frac{\Delta^2}{6F_{\text{ech}}} \quad (2.106)$$

La Fig. 2.29 donne l'allure du spectre d'un signal échantillonné et du bruit introduit par la quantification.

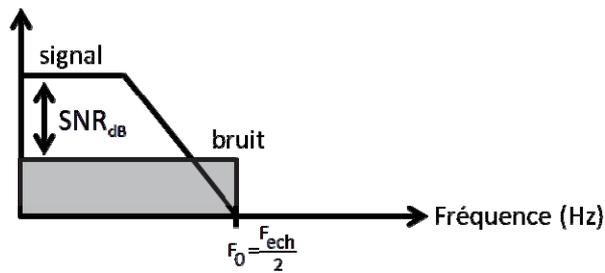


Fig. 2.29 Spectre du signal

II.4.4) Effet du sur-échantillonnage

Lorsque ce signal est échantillonné à une fréquence K fois supérieure (K est appelé facteur de sur-échantillonnage ou OverSampling Ratio), cette multiplication va diminuer d'autant la densité spectrale du bruit qui se répartit entre 0 et KF_0 (Fig. 2.30). Ainsi dans la bande de Nyquist $[0 ; F_0]$ la puissance de bruit est divisée par K.

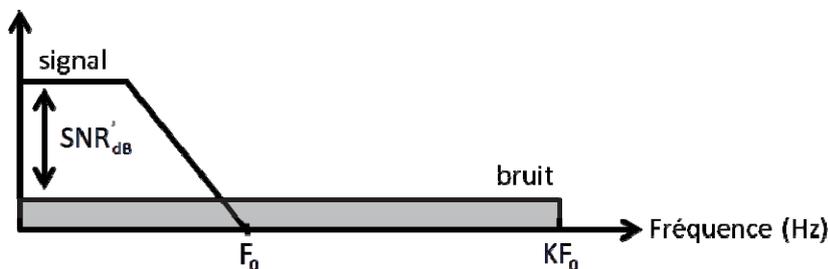


Fig. 2.30 Densité spectrale de puissance avec sur-échantillonnage

Le facteur de sur-échantillonnage est défini comme le rapport de la fréquence d'échantillonnage sur la fréquence de Nyquist. On a donc :

$$K = \frac{F_{ech}}{2F_0} \quad (2.107)$$

La puissance du bruit dans la bande de Nyquist est donc :

$$P_b = \frac{\Delta^2}{12K} \quad (2.108)$$

Le rapport signal sur bruit (en dB) pour une sinusoïde pleine échelle par un quantificateur N bits et un facteur de sur-échantillonnage K devient :

$$SNR = 6,02N + 1,76 + 10\log(K) \quad (2.109)$$

Pour chaque doublement de la fréquence d'échantillonnage, la puissance du bruit de quantification est réduite de moitié, le rapport signal sur bruit d'un convertisseur augmente de 3dB (à comparer avec l'équation (2.105)), et la résolution du convertisseur augmente d'un demi bit. C'est donc par un échantillonnage à haute vitesse que l'on augmente la précision. Ainsi, le sur-échantillonnage étale le spectre du bruit de quantification sur une plus grande bande de fréquence, diminuant d'autant ce bruit dans la bande de Nyquist. De plus, le fait d'échantillonner largement au dessus de la fréquence maximale du signal d'entrée permet de relâcher notablement les contraintes sur le filtre anti-repliement (coupure à $KF_0/2$).

Le convertisseur $\Sigma\Delta$ est donc un convertisseur analogique numérique (CAN) à sur-échantillonnage (oversampling converters) car la fréquence d'échantillonnage est supérieure de plusieurs ordres de grandeur à la fréquence maximale contenue dans le signal d'entrée ($F_{ech} \gg 2F_0$). Ce sur-échantillonnage permet d'obtenir des résolutions importantes pour un coût relativement faible. Le convertisseur $\Sigma\Delta$ est un système composé de 2 étages (Fig. 2.31) : le modulateur $\Sigma\Delta$ lui-même et un filtre numérique décimateur. L'avantage de la modulation $\Sigma\Delta$ est de mettre en forme le bruit de quantification. En effet pour augmenter la précision du convertisseur, il faut séparer le signal utile basse fréquence du bruit de quantification et donc repousser ce bruit vers les hautes fréquences. Une fois le bruit de quantification repoussé en dehors de la bande utile, les techniques de filtrage numérique passe-bas sont appliquées au bruit de quantification mis en forme. Le filtre numérique décimateur en sortie du modulateur $\Sigma\Delta$ permet ainsi d'éliminer la majorité du bruit de quantification, qui est en dehors de la bande utile, d'améliorer le rapport signal sur bruit et de réduire la fréquence d'échantillonnage du signal filtré (rôle de la décimation). De très bonnes résolutions sont ainsi atteintes avec un faible coût analogique. En sortie du filtre numérique décimateur l'information est numérisée sous la forme d'un flux de données sur N bits obtenu à partir du flot binaire de 1 bit de sortie du modulateur.

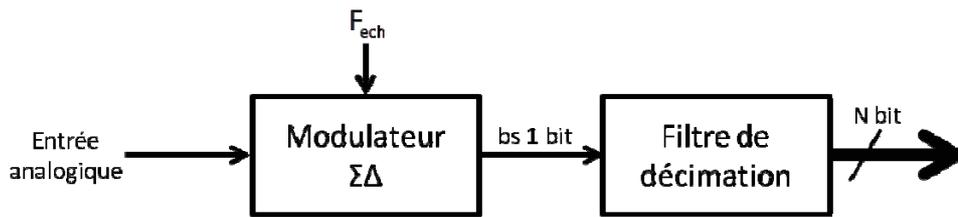


Fig. 2.31 Principe du convertisseur $\Sigma\Delta$

Dans la suite de cette thèse, seule l'implantation du modulateur $\Sigma\Delta$ est étudiée. En effet, pour des raisons d'économie, le filtre numérique de décimation n'a pas été intégré sur silicium. Ainsi, le procédé de décimation est effectué par un post-traitement du flot de bits en utilisant un script Verilog-A[®] en simulation et un script Matlab[®] pour les mesures expérimentales.

II.4.5) Modulation Sigma-Delta un bit d'ordre 1 retour courant

L'utilisation d'un quantificateur 1 bit peut suffire pour construire un modulateur $\Sigma\Delta$ avec une résolution importante [62] à condition que le bruit de quantification soit rejeté à l'extérieur de la bande utile. Des modulateurs avec un quantificateur multi-bit peuvent être utilisés mais ils sont plus difficiles à réaliser [63]. La Fig. 2.32 montre le schéma de principe d'un modulateur $\Sigma\Delta$ du premier ordre (une seule boucle de rétroaction). Le modulateur est constitué d'une boucle d'asservissement comprenant un sommateur-soustracteur analogique, un intégrateur analogique, un quantificateur échantillonné 1 bit (CAN/ADC) basé sur un comparateur synchrone, et un convertisseur numérique analogique (CNA/DAC) 1 bit dans la boucle de rétroaction. La fréquence d'échantillonnage F_{ech} du modulateur $\Sigma\Delta$ est communément appelé la fréquence d'horloge F_{clk} du modulateur. À chaque cycle d'horloge, le modulateur intègre et convertit la différence entre le signal d'entrée et le signal sortant du CNA, c'est-à-dire l'erreur de conversion ou l'erreur de quantification. La présence d'un intégrateur dans la boucle tend à annuler la moyenne de cette erreur et met en forme le bruit de quantification du modulateur. La conséquence est que la valeur du signal sortant du CNA converge en moyenne vers la valeur du signal d'entrée. Le comparateur synchrone est généralement basé sur l'association d'un comparateur et d'une bascule DFF (Differential FlipFlop). La sortie de la bascule constitue le signal de sortie du modulateur $\Sigma\Delta$ (i.e. flot de bits ou train de bits ou en anglais bitstream) mais également le signal d'entrée du CNA 1 bit. Le CNA/DAC de la boucle de retour est une source de courant $\pm I_{fb}$ réalisée simplement par un interrupteur qui commute un courant de référence positif ou négatif $\pm I_{fb}$ sur l'entrée du soustracteur (courant de retour I_R). L'interrupteur est contrôlé par le flot de bits en sortie du modulateur qui vaut 0V (soit '0' logique) ou V_{DD} (soit '1' logique). Le CNA est donc équivalent à un générateur de courant commandé par une tension. Il s'agit donc d'une conversion tension/courant. Le but du CNA/DAC est que la sortie de l'intégrateur, image de la moyenne de l'erreur de quantification, soit maintenue proche de 0.

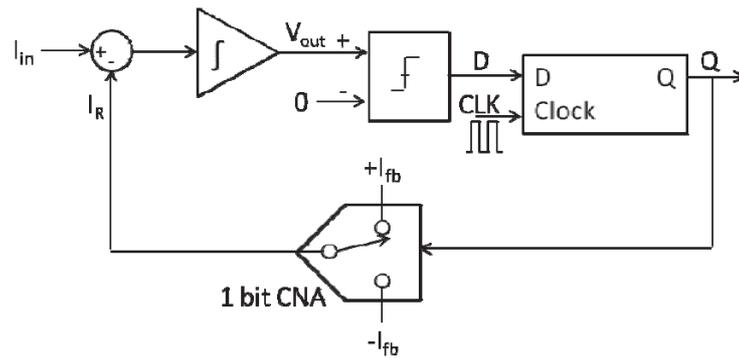


Fig. 2.32 Principe du modulateur $\Sigma\Delta$ du premier ordre en mode courant

II.5) Conclusion

Dans ce chapitre, trois architectures différentes du pont actif différentiel ont été présentées pour la conversion courant/tension ou capacité/tension. Des analyses théoriques complètes ont été présentées pour les différentes architectures afin de déterminer les règles de conception. À cause de leur fort gain et des effets des variations du procédé de fabrication, l'utilisation de ces convertisseurs pour l'interfaçage de capteurs capacitifs en boucle fermée est plus facile qu'en boucle ouverte. Le modulateur $\Sigma\Delta$ 1 bit retour courant est une bonne solution afin d'asservir le point de fonctionnement du pont actif différentiel et de fournir une sortie numérique. Afin de réaliser le modulateur $\Sigma\Delta$, le courant de la contre réaction $\pm I_{fb}$ peut être obtenu par une source de courant CMOS 1bit [64], [65] telle que celle de la Fig. 2.23. Cependant, ces sources ne sont pas faciles à réaliser notamment pour des courants très faibles : quelque réalisation et les résultats obtenus en simulation sont présentés dans l'annexe 1 mais les résultats n'ont pas été satisfaisants. Deux autres structures de contre réaction en courant ont donc été envisagées : une contre-réaction résistive, qui permet d'obtenir $\pm I_{fb}$ à travers une résistance R_{fb} , et un retour capacitif qui consiste à commuter une capacité C_{fb} en parallèle à celles du capteur pour compenser le déséquilibre. Les deux chapitres suivants sont consacrés à l'étude de ces méthodes de contre réaction.

Chapitre III. Interface de conditionnement

$\Sigma\Delta$ à contre-réaction tension/courant

résistive

III.1) Introduction

Le chapitre précédent a montré différentes architectures du convertisseur capacité/tension basées sur le pont actif différentiel. Il a été démontré que l'implantation d'une architecture à sortie numérique est possible grâce aux caractéristiques intrinsèques du pont actif différentiel. Le principe de la modulation $\Sigma\Delta$ à retour en courant a été développé afin de contrôler le point de fonctionnement et d'obtenir une sortie numérique. Dans ce chapitre, nous allons étudier une des deux méthodes de réalisation de la contre réaction en courant mentionnées précédemment ; celle basée sur une conversion tension/courant à l'aide d'une résistance. Pour cette étude un pont actif à sources dégénérées est considéré aussi bien pour les simulations que pour les résultats expérimentaux car un prototype issu d'une thèse précédente était disponible [56].

III.2) Principe

Le principe de la contre réaction en courant basée sur l'utilisation d'une résistance est décrit dans le schéma bloc de la Fig. 3.1. Le pont actif différentiel est associé à une contre réaction tension/courant qui fournit le courant nécessaire pour équilibrer la tension de sortie du système. Ainsi une variation de capacité ($2\Delta C$) engendre une variation de la valeur de courant d'entrée $I_{in} = \pm 2\Delta C \left| \frac{dV_{in}}{dt} \right|$. Ce signal analogique d'entrée I_{in} est additionné à un courant de retour alternativement positif ou négatif selon la sortie Q du modulateur. Le signal analogique I_x en sortie du soustracteur correspond à l'erreur de quantification du signal analogique d'entrée I_{in} . Appliqué en entrée du pont actif, l'erreur I_x est convertie en une variation de la tension V_G qui est ensuite intégrée pour donner l'erreur moyenne en sortie de l'intégrateur (V_{out}). Ce dernier est connecté à l'entrée positive d'un comparateur dont l'entrée négative est reliée à la tension référence V_{ref} ($=V_{DD}/2$ si l'intégrateur est polarisé entre 0 et V_{DD}). En sortie du comparateur, le signal D prend les valeurs logiques 1 ou 0, selon que l'erreur moyenne est supérieure ou inférieure à 0 ($D=1$ pour $V_{out} \geq V_{ref}$ et $D=0$ pour $V_{out} < V_{ref}$). À chaque front montant du signal d'horloge à la fréquence F_{clk} (largement supérieure à celle de I_{in}), l'état du comparateur est ensuite échantillonné et le résultat induit la sortie Q de la bascule D. Enfin, Q commande le CNA 1 bit de la boucle de retour dont la sortie prend les valeurs I_{fb} ou $-I_{fb}$ pour $Q=1$ et $Q=0$ respectivement. Le courant de retour est donc égal en moyenne au courant I_{in} ; le flot de bits de Q donne donc une représentation de I_{in} , c'est-à-dire de ΔC .

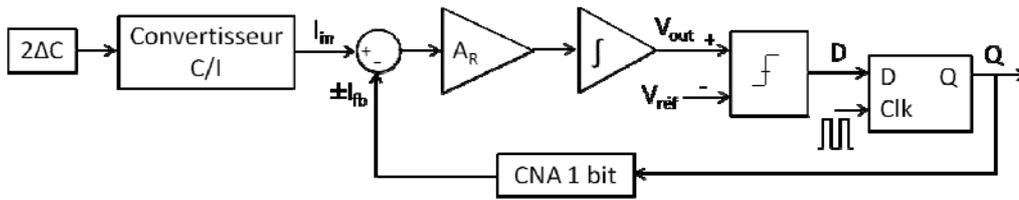


Fig. 3.1 Schéma bloc du modulateur $\Sigma\Delta$ retour courant

III.3) Implémentation

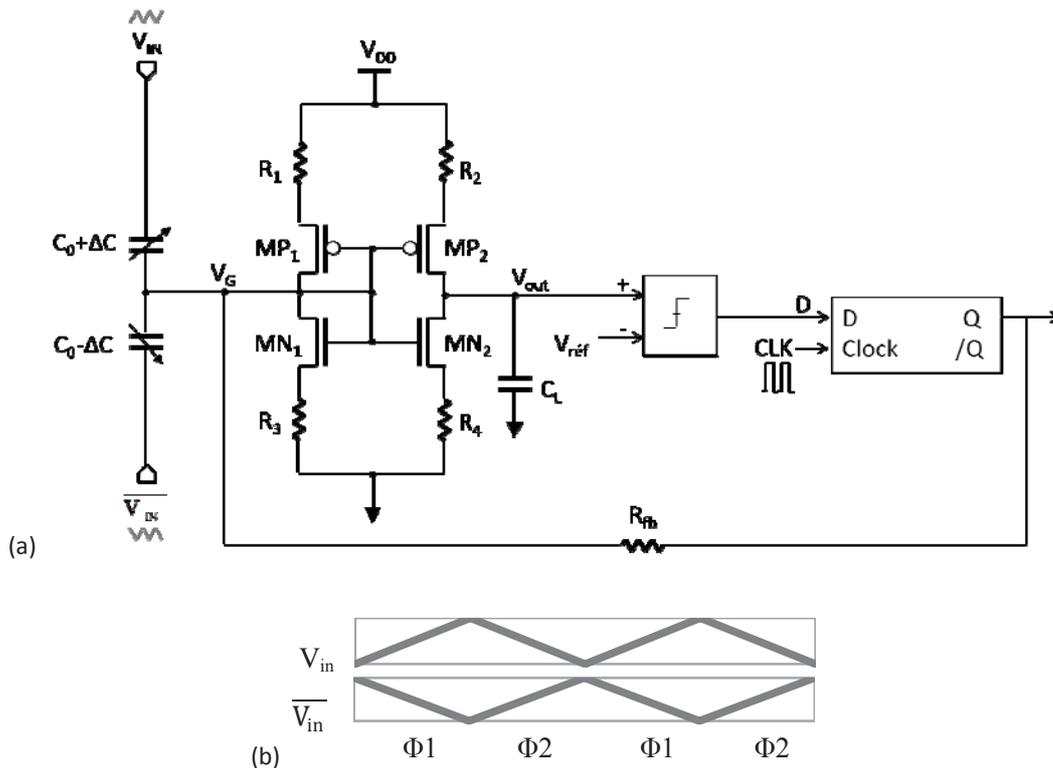


Fig. 3.2 (a) Pont actif avec le modulateur $\Sigma\Delta$ retour résistif et (b) Signaux V_{in} et $\overline{V_{in}}$

Le pont actif à sources dégénérées est intégré dans le modulateur $\Sigma\Delta$ de la Fig. 3.2 (a). Dans cette architecture, le pont capacitif est réalisé par 2 capacités variables $C_0 \pm \Delta C$. La capacité variable $C_0 + \Delta C$ est connectée à une tension triangulaire V_{in} d'amplitude V_{in} et de fréquence F_{in} tandis que l'autre capacité variable $C_0 - \Delta C$ est connectée à une tension triangulaire $\overline{V_{in}}$ de même amplitude et déphasée de π (Fig. 3.2 (b)). L'erreur de quantification est intégrée grâce à un filtre passe bas, réalisé par une capacité d'intégration C_L , connectée au nœud V_{out} , et par l'impédance de sortie du pont actif (r_{out}). Le train de bits (bitstream) délivré permet de générer le courant de retour I_{fb} en plaçant une résistance de contre réaction R_{fb} entre V_G et la tension d'alimentation V_{DD} (niveau haut de Q) ou la masse (niveau bas de Q). Le courant I_{fb} est donc

$$I_{fb} = \frac{V_Q - V_G}{R_{fb}} \quad (3.1)$$

Ce courant permet de maintenir les tensions V_G et V_{out} proche de la tension de référence. La résistance de contre réaction R_{fb} est déterminée afin d'obtenir la plage de fonctionnement souhaitée (i.e. pleine échelle, FS pour Full Scale en anglais). Ainsi pour une variation de capacité de $\pm\Delta C_{FS}$ correspondant à la pleine échelle, le courant de contre réaction I_{fb} doit pouvoir compenser un courant I_{in} égal à $\pm 2\Delta C_{FS} \left| \frac{dV_{in}}{dt} \right|$ soit :

$$I_{fb} = \pm 2\Delta C_{FS} \left| \frac{dV_{in}}{dt} \right| \quad (3.2)$$

La pleine échelle en pourcentage de la valeur nominale C_0 des capacités est donc :

$$FS = \pm \frac{\Delta C_{FS}}{C_0} = \pm \frac{I_{fb}}{2C_0 \left| \frac{dV_{in}}{dt} \right|} \quad (3.3)$$

Dans la suite on distingue 2 phases : la première demi-période de V_{in} (pente positive) est la phase Φ_1 alors que l'autre demi-période est Φ_2 . D'une phase à l'autre, le signe du courant I_{in} change et les ratios de '1' et de '0' dans le bitstream sont donc inversés. La mesure de ΔC est donc déduite de la différence des mesures obtenues pendant les phases Φ_1 et Φ_2 .

III.4) Prototype, mise en œuvre et résultats

III.4.1) Description

Deux prototypes de convertisseur courant/tension, basés sur l'architecture du pont actif différentiel à sources dégénérées, ont été implantés sur silicium (Fig. 3.3 (a)). Ces deux prototypes dimensionnés de façon identique ont été initialement fabriqués afin de réaliser des capteurs de température à quatre résistances sensibles (Fig. 3.3 (b)). Les couples de résistances sensibles à la température $\{R1 ; R4\}$ et $\{R2 ; R3\}$ sont respectivement des résistances en polysilicium *polyh* et *poly2* de la technologie CMOS 0.35 μ m d'AMS (Austria Microsystems). La tension d'alimentation nominale V_{DD} est égale à 3.3V. Les courants de polarisation (I_p) des prototypes ont été fixés à 1 μ A par branche (i.e. $I_{total}=2\mu$ A, $P_{consommée}<10\mu$ W). Afin d'obtenir une bonne résolution et une symétrie du circuit, les 4 résistances sont identiques et pour tous les transistors, une tension $V_{eff} = V_{gs} - V_t = 0.4V$ a été choisie et une transconductance g_m égale à 5 μ A/V est obtenue par :

$$g_m = \frac{2I_p}{V_{eff}} \quad (3.4)$$

Les dimensions des transistors PMOS et NMOS sont calculées à partir de l'équation suivante :

$$\frac{W}{L} = \frac{2I_p}{\mu_{N/P} C_{ox} V_{eff}^2} \quad (3.5)$$

Où $\mu_{N/P}$ est la mobilité des porteurs dans les canaux des transistors PMOS ou NMOS de la technologie utilisée (donnée dans le Design Kit).

La valeur des résistances est déterminée à partir de la loi d'Ohm :

$$R = \frac{V_{DD} - V_{GSp} - V_{GSn}}{2 I_p} = 620k\Omega \quad (3.6)$$

Les dimensions des transistors PMOS et NMOS et les valeurs des résistances, calculées à partir des équations (3.5) et (3.6), sont détaillées dans le Tab. 3.1 :

Fonction	Composants	W (μm)	L (μm)
Gain	PMOS MP_1, MP_2	40	180
	NMOS MN_1, MN_2	20	240
Charge	Rpolyh R_1, R_4	10	10126.8
	Rpoly2 R_2, R_3	2	43400

Tab. 3.1 Dimensions des principaux éléments constituant le pont actif à sources dégénérées

Le premier prototype (Fig. 3.3 (b)) permet d'étudier expérimentalement la structure en boucle ouverte, en mesurant notamment, sa résistance d'entrée, sa résistance de sortie, son gain (A/V) et le bruit ramené en entrée, et de valider les études théoriques précédentes. Cette structure de test n'étant pas rebouclée, elle pourra être utilisée comme convertisseur courant/tension dans un modulateur $\Sigma\Delta$ pour capteur capacitif grâce à un accès direct aux nœuds $V_{DD_G}, V_{DD_D}, V_{SS_G}, V_{SS_D}, V_G$ et V_{out} par des pads d'entrées/sorties. Le second prototype est un capteur de température en boucle fermée à retour analogique tout intégré : il ne pourra donc pas être utilisé dans la suite de l'étude. La surface totale du circuit est égale à 0.4mm^2 et il a été encapsulé dans un boîtier métallique 'TO-8'.

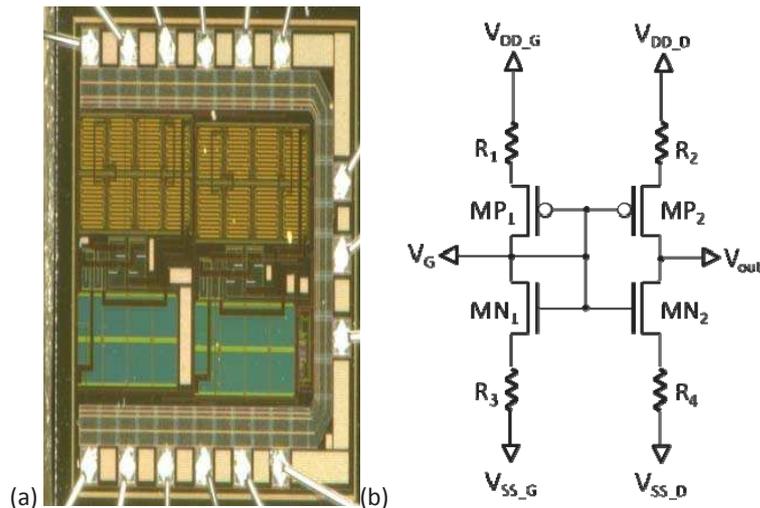


Fig. 3.3 (a) Images et (b) schéma du prototype de pont actif à sources dégénérées

III.4.2) Étude en boucle ouverte

III.4.2.1) Résistances d'entrée et de sortie

Afin d'estimer par simulation les résistances d'entrée et de sortie du pont actif et de valider les équations (2.2) et (2.10), des variations de courant I_G et I_{out} sont imposées par un générateur de courant (Fig. 3.4). Les valeurs des transconductances g_m et des résistances drain-source petit signal r_{ds} des transistors PMOS et NMOS, détaillées dans le Tab. 3.2, sont extraites d'une simulation autour du point de polarisation au courant d'entrée I_G de -0.52nA , valeur à laquelle le circuit est équilibré ($V_G=V_{out}$). En effet, les 4 résistances du prototype n'étant pas faites dans le même matériau, elles ne sont pas strictement identiques et le circuit n'est pas tout à fait équilibré à I_G nul.

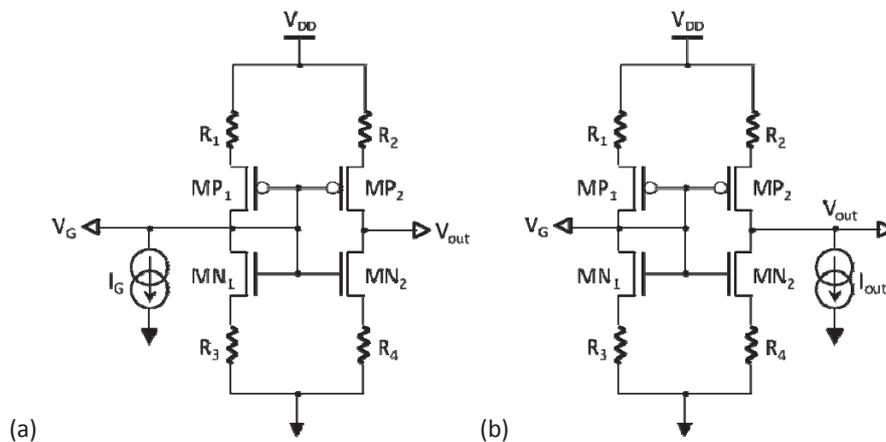


Fig. 3.4 Schémas utilisés pour obtenir des résistances d'entrée et de sortie et le gain A_R

Composants	g_m ($\mu\text{A/V}$)	r_{ds} ($\text{G}\Omega$)	I_p (μA)
PMOS MP_1, MP_2	4.38	1.25	0.935
NMOS MN_1, MN_2	4.44	0.65	0.935

Tab. 3.2 Paramètres obtenus de la simulation quand $V_G=V_{out}$

En remplaçant les différents paramètres issus de la simulation par leurs valeurs dans les équations (2.2) et (2.10), les résistances d'entrée et de sortie théoriques du pont actif sont respectivement égales à $423\text{k}\Omega$ et $1.6\text{G}\Omega$. Ces résultats sont confirmés par les courbes de simulations de la Fig. 3.5. En entrée, la pente de la courbe (Fig. 3.5 (a)) est égale à 459 kV/A , soit une résistance d'entrée de $459\text{k}\Omega$. En sortie, une résistance de sortie maximum est extraite de la pente autour de 5.2nA de la courbe simulée (Fig. 3.5 (b)) et vaut approximativement 1.7 V/nA soit $1.7\text{G}\Omega$. Les résultats simulés sont donc très proches des résultats théoriques obtenus avec les équations (2.2) et (2.10).

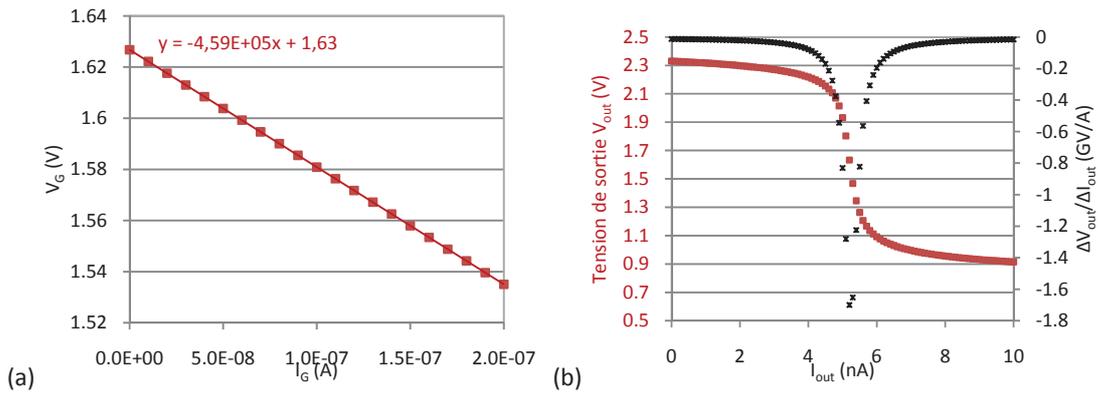


Fig. 3.5 Simulations des caractéristiques de transfert I/V en entrée et sortie (utilisées pour extraire les valeurs des résistances d'entrée et de sortie)

Concernant l'étude expérimentale, les résistances d'entrée et de sortie du pont actif sont mesurées en boucle ouverte à température ambiante. Afin de réaliser les variations de tension V_G et V_{out} , les variations des courant I_G et I_{out} (Fig. 3.4) sont imposées par un analyseur de paramètres HP4156 [60]. Cet analyseur est un instrument paramétrique de haute précision très utile pour la caractérisation des dispositifs semi-conducteurs. Dans notre cas, il permet de polariser le circuit, de visualiser les différents signaux et d'exporter les données vers ordinateur. Il possède quatre voies qui peuvent servir de sources de tension, sources de courant, moniteurs de tension et moniteurs de courant. Ces voies sont conçues pour être programmées à travers une interface utilisateur. Il est ainsi possible de mesurer les caractéristiques de transfert I/V du circuit.

La Fig. 3.6 montre les mesures des caractéristiques de transfert I/V du circuit. Notons tout d'abord que les variations simulées et mesurées de la tension V_G en fonction du courant I_G sont les mêmes donc les résistances d'entrée sont équivalentes. De même, les variations simulées et mesurées de la tension V_{out} en fonction du courant I_{out} sont en bon accord malgré la présence d'un décalage d'offset (le maximum est obtenu expérimentalement pour 114.8nA au lieu de 5.2nA) et d'une pente maximale supérieure (2.17GV/A) probablement dus aux dispersions statistiques du procédé de fabrication. Cette augmentation de la résistance de sortie vient du fait que les résistances du prototype fabriqué sont légèrement plus grandes que les valeurs typiques utilisées en simulation.

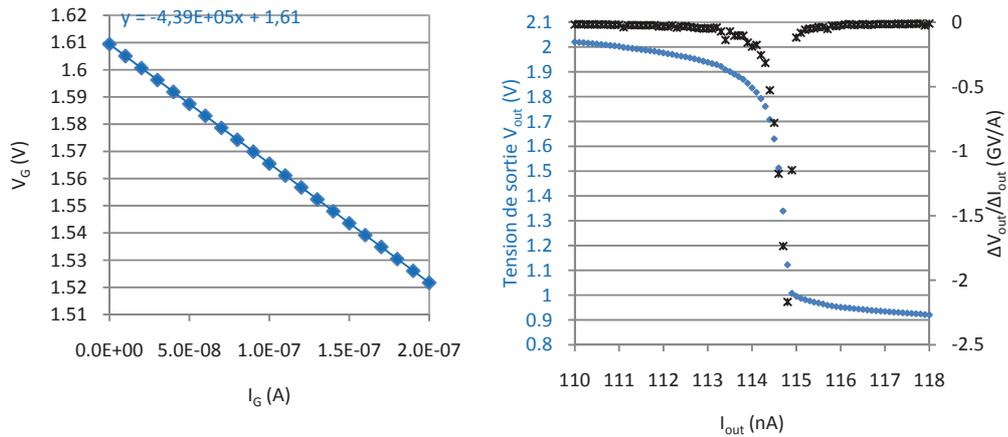


Fig. 3.6 Mesures des caractéristiques de transfert I/V en entrée et sortie (utilisées pour la mesure expérimentale des résistances d'entrée et de sortie)

III.4.2.2) Gain

Le gain du convertisseur courant/tension A_R est obtenu en utilisant la même méthode que la Fig. 3.4 (a). La caractéristique de transfert du circuit est donc simulée et reportée dans la Fig. 3.7 en rouge. Le gain est donné par le maximum de la dérivée (Fig. 3.7 en noir), égal à 1.7GV/A, il est très proche de la valeur théorique 1.6GV/A déduite de l'équation (2.19), en utilisant les valeurs des paramètres du Tab. 3.2. Ainsi, les valeurs de ce gain en théorie et en simulation sont identiques à celle de la résistance de sortie et à celle obtenue par l'équation (2.20) du Chapitre II puisque les $1/g_m$ de ce prototype sont négligeables devant R.

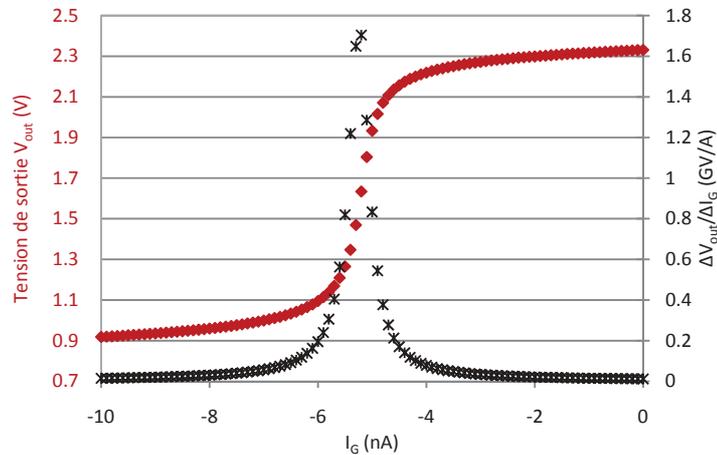


Fig. 3.7 Simulation de la caractéristique de transfert du convertisseur courant/tension

La caractéristique de transfert expérimentale du pont actif, dont on extrait le gain A_R , est présentée sur la Fig. 3.8.

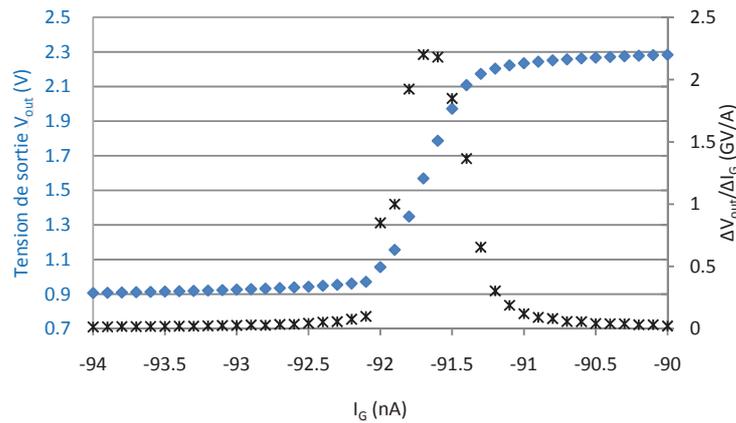


Fig. 3.8 Caractéristique de transfert expérimentale du convertisseur courant/tension

À cause du mismatch de fabrication, un courant d'entrée I_G d'environ -91.7nA est nécessaire pour équilibrer le circuit et obtenir un gain maximum égal à 2.2GV/A , soit une valeur éloignée de moins de 30% de la valeur obtenue par simulation. On note également que ce gain correspond approximativement à la valeur de la résistance de sortie ($2.17\text{G}\Omega$). Une étude Monte Carlo (Fig. 3.9) de la dispersion du gain du pont actif et du courant d'entrée I_G auquel il est obtenu a été réalisée sur 500 circuits en appliquant les deux types de variations du procédé de fabrication 'process' et 'mismatch'. Cette étude montre que le gain peut varier de 1.22GV/A à 2.52GV/A et le courant I_G correspondant de -539nA à 501nA . Les mesures obtenues sur le prototype, 2.2GV/A et -91.7nA respectivement, sont donc en bon accord avec les plages de dispersion prévues par la simulation Monte Carlo.

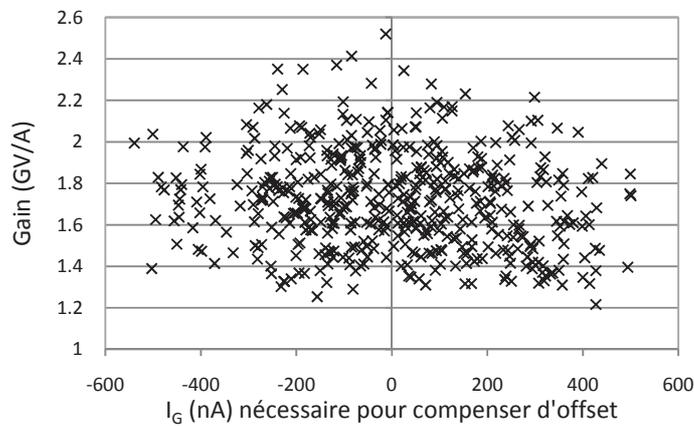


Fig. 3.9 Résultats de l'analyse Monte Carlo

III.4.2.3) Bruit

Afin de valider les équations (2.54) et (2.55), les densités spectrales de bruit sont calculées : les différents paramètres sont remplacés par les valeurs extraites de la simulation, pour le pont équilibré (Tab. 3.2), et A_R est pris égal à 1.6GV/A . La densité spectrale théorique de tension de bruit est égale à $0.46\text{mV}/\sqrt{\text{Hz}}$ en sortie du circuit, soit une densité spectrale de bruit ramenée en entrée du circuit égale à $287\text{fA}/\sqrt{\text{Hz}}$.

Une simulation est ensuite réalisée pour vérifier les résultats ci-dessus. Sur la Fig. 3.10, la densité spectrale de puissance de bruit en sortie du pont actif (en bleu) montre la contribution du bruit en $1/f$ en basses fréquences et celle du bruit thermique sous la forme d'un plateau jusqu'à la fréquence de coupure. Notons que le bruit équivalent en sortie est simulé sans la charge capacitive ; seules des capacités parasites d'environ 90fF sont présentes en sortie et remplacent C_L . Une fréquence de coupure d'environ 1kHz est ainsi obtenue. Ce plateau de bruit thermique est légèrement supérieur à celui obtenu par la formule théorique (0.48mV/VHz au lieu de 0.46mV/VHz). D'autre part, cette simulation montre que le dimensionnement des transistors a été optimisé puisque la contribution la plus importante sur le plateau de bruit thermique est celle des résistances (en rouge). Dans ce cas, l'équation (2.54) de la densité spectrale totale de tension de bruit en sortie devient :

$$v_{n\text{out_total}}(f) = 2\sqrt{(r_{\text{dsn}}/r_{\text{dsp}})^2 g_m^2 4kTR} \quad (3.7)$$

Le bruit en courant équivalent ramené en entrée du pont actif (en vert) est aussi simulé : le plateau de bruit est égal à 278fA/VHz, très proche de la valeur théorique. Notons que la contribution sur ce plateau est le rapport entre le bruit thermique de l'équation (3.7) et le gain A_R en V/A.

$$i_{\text{min}}(f) = \frac{4\sqrt{kT(r_{\text{dsn}}/r_{\text{dsp}})^2 g_m^2 R}}{A_R} \quad (3.8)$$

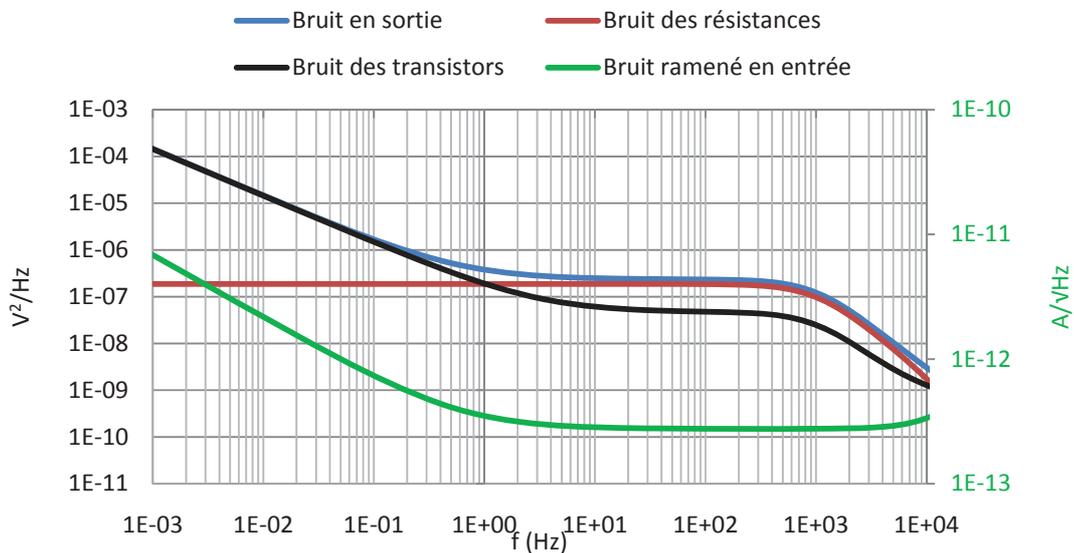


Fig. 3.10 Densités spectrales de bruit simulées en sortie et en entrée du convertisseur courant/tension

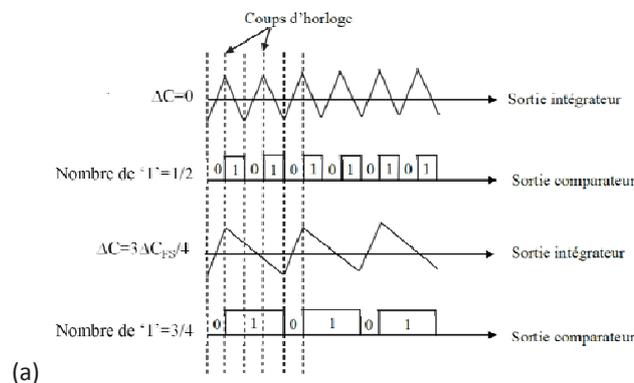
III.4.3) Étude du modulateur $\Sigma\Delta$

Le modulateur détaillé précédemment a été mis en œuvre sur un circuit imprimé. Pour une facilité de mise en œuvre, des condensateurs céramiques de 10pF connectés en parallèle sont

utilisés afin de reproduire les deux capacités variables de valeurs nominales C_0 de 100pF. Une capacité d'intégration externe C_L de 100pF permet de fixer la fréquence de coupure du filtre passe bas. Un comportement intégrateur pour des fréquences supérieures à 1Hz est ainsi obtenu ($r_{out} \approx 2,17G\Omega$). Le comparateur TS374 [69], la bascule D CMOS4013 [70] et la résistance de contre réaction R_{fb} de 10M Ω sont aussi des composants discrets. Un courant de feedback (cf. équation (3.1)) de $\pm 165nA$ est ainsi obtenu. La tension de référence $V_{réf}$ est réalisée par la branche de gauche du pont actif du second prototype, dont le dimensionnement des transistors et des résistances est identique. $V_{réf}$ et V_G sont environ égaux à 1.6V. De plus, un potentiomètre extérieur est connecté en série avec l'une résistance afin de régler la tension de sortie proche de $V_{réf}$ et de compenser l'offset entre V_G et V_{out} à température ambiante. Notons que l'offset est ici principalement dû aux variations du procédé de fabrication et de la température ambiante.

Afin de caractériser le modulateur, un oscilloscope capture le train de bits en sortie et le signal d'horloge. Pour chaque ΔC , le train de bits est sauvegardé sur une fenêtre de 100 périodes du signal V_{in} . La fréquence d'horloge est choisie 1000 fois supérieure à la fréquence F_{in} de V_{in} . Ainsi, pour chaque période de V_{in} , 1000 échantillons sont obtenus, soit 500 échantillons dans chaque phase Φ_1 et Φ_2 . Pour chaque période d'horloge, le script Matlab® (Annexe 3) identifie la valeur du bit (0 ou 1). Le pourcentage de '1' logiques est ensuite calculé en fonction de $\Delta C/C_0$ (%) pour chaque phase Φ_1 et Φ_2 . Chaque calcul étant réalisé sur 500 bits, la résolution est au mieux de 0.2% de la pleine échelle sur chaque phase.

En absence de courant I_{in} ($\Delta C=0$) la sortie du pont actif V_{out} est une onde triangulaire symétrique synchronisée sur la fréquence d'horloge F_{clk} mais de période double ce qui produit une suite de '0' et de '1' logiques dans la sortie de bascule D qui ressemble à 01010.... Une densité de '1' de 50% est ainsi obtenue dans chaque phase Φ_1 et Φ_2 . Pour une variation de capacité ΔC négative le ratio de '1' augmente dans la phase Φ_1 et diminue symétriquement durant Φ_2 de telle sorte que la somme des ratios de '1' des deux phases reste égale à 100%. Lorsque la variation ΔC est positive, les variations sont de signes opposées sur les phases Φ_1 et Φ_2 . Ainsi, lorsque ΔC augmente vers ΔC_{FS} les ratios de '1' des phases Φ_1 et Φ_2 tendent vers 0 et 100% respectivement. La Fig. 3.11 illustre ce comportement.



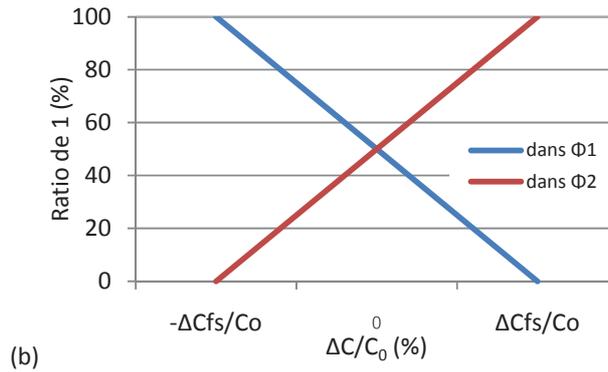


Fig. 3.11 (a) Signaux du modulateur dans la phase Φ_2 et (b) Caractéristiques de transfert dans 2 phase Φ_1 et Φ_2 en fonction de $\Delta C/C_0$ (%)

Les gains théoriques (variations du pourcentage de '1' dans le bitstream par pourcentage de variation de la capacité nominale C_0) sur chaque phase Φ_1 et Φ_2 sont extraits des pentes des caractéristiques de transfert de la Fig. 3.11 et donnés par :

$$\text{Gain}_{\Phi 1} = -\frac{C_0 \left| \frac{dV_{in}}{dt} \right|}{I_{fb}} \quad (3.9)$$

$$\text{Gain}_{\Phi 2} = \frac{C_0 \left| \frac{dV_{in}}{dt} \right|}{I_{fb}} \quad (3.10)$$

Le gain théorique du modulateur est la différence entre l'équation (3.10) et (3.9). Compte tenu de la valeur de I_{fb} de l'équation (3.2), il est également inversement proportionnel à la pleine échelle :

$$\text{Gain} = \frac{2C_0 \left| \frac{dV_{in}}{dt} \right|}{I_{fb}} = \frac{C_0}{\Delta C_{FS}} = \frac{1}{FS} \quad (3.11)$$

Notons que le gain s'exprime en %/% (pourcentage de '1' par pourcentage de variation de la capacité sensible), donc il est sans unité.

La Fig. 3.12 présente les caractéristiques de transfert expérimentales sur une plage de $\Delta C/C_0$ de $\pm 40\%$ pour 3 différentes valeurs de ΔC_{FS} , obtenues en modifiant $\left| \frac{dV_{in}}{dt} \right|$ (cf. équation (3.2)), donc pour 3 gains différents. Chaque point est le résultat d'une moyenne sur 100 valeurs mesurées (correspondant à 100 périodes du signal V_{in}). Notons que le modulateur est testé sur plusieurs périodes du signal V_{in} afin de moyennner le bruit et d'améliorer le rapport signal sur bruit. Les paramètres de ces caractéristiques de transfert sont rassemblés dans le Tab. 3.3.

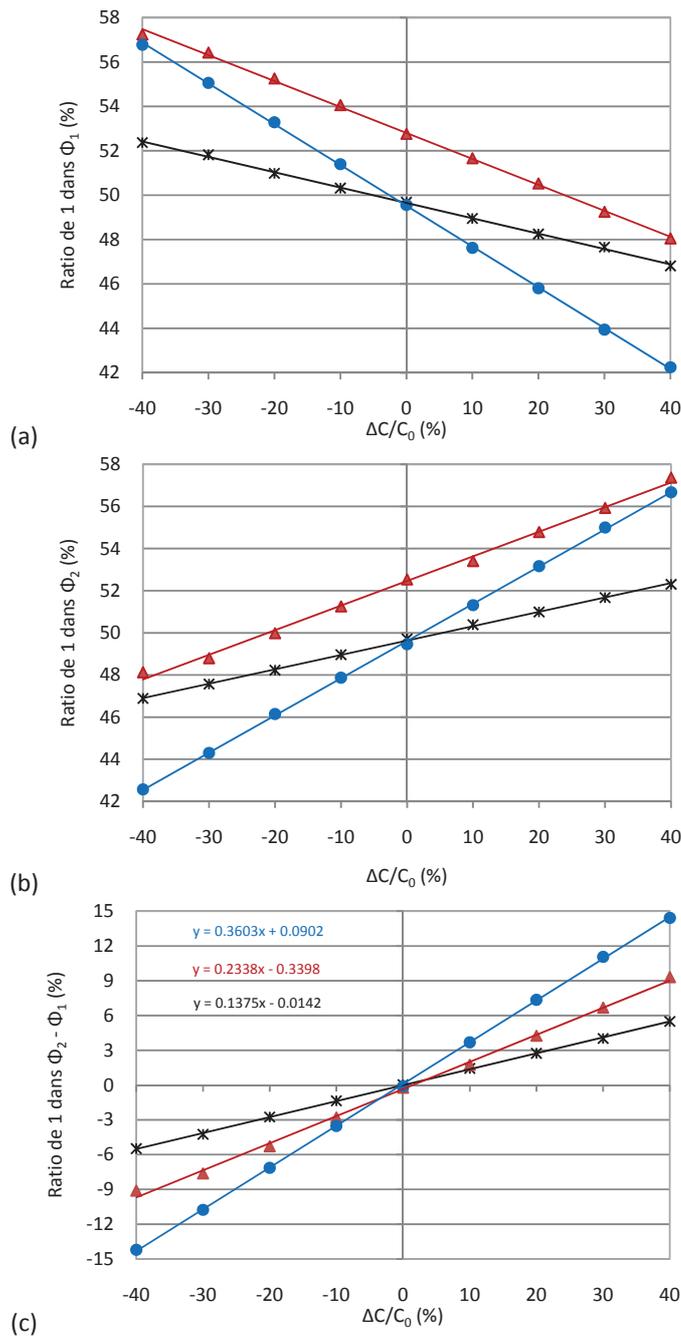


Fig. 3.12 Caractéristiques de transferts (a) dans Φ_1 , (b) dans Φ_2 et (c) dans $\Phi_2 - \Phi_1$ sur 3 valeurs différences de ΔC_{F5} (code couleur identique à Tab. 3.3)

Courbes	Noir	Rouge	Bleu
Amplitude de V_{in} (V_{c-c})	2	10	8
Fréquence de V_{in} (Hz)	30	10	20
Fréquence du modulateur F_{clk} (kHz)	30	10	20
ΔC_{FS} calculé à partir de l'équation (3.2) (pF)	690	413	257
Gain théorique	0.145	0.242	0.388
Gain simulé	0.1446	0.24	0.3885
Gain mesuré	0.1375	0.2338	0.36
Erreur relative (%)	5.17	3.39	7.22

Tab. 3.3 Paramètres des caractéristiques de transfert du modulateur $\Sigma\Delta$ retour résistif

En cas de mauvais réglage du potentiomètre extérieur, des offsets importants peuvent être observés dans les deux phases Φ_1 et Φ_2 (courbe rouge notamment) mais ils sont identiques sur les 2 phases et sont annulés par la soustraction sur la sortie numérique finale (Fig. 3.12 (c)). Cette propriété est intéressante puisqu'elle permet également de rejeter les bruits en basse fréquence ou les variations lentes d'offset du pont actif. De plus, les gains mesurés, extraits des pentes des caractéristiques de transfert et reportées dans le Tab. 3.3, sont très proches des gains théoriques et simulés. Les erreurs relatives sont inférieures à 8% et sont probablement dues à l'incertitude sur les capacités externes utilisées comme capacités variables et sur la résistance externe utilisée comme résistance de contre réaction.

Notons qu'en simulation, le bitstream de sortie est obtenu par une analyse de bruit transitoire en utilisant les circuits de la bibliothèque AMS (COMP01B pour le comparateur et DF1 pour la bascule). Il est ensuite enregistré et traité par un compteur codé en Verilog-A® (Annexe 2) pour obtenir le résultat numérique sur une période de V_{in} .

Afin d'étudier la résolution du modulateur, on s'intéresse à l'écart-type de la valeur numérique de sortie pour une variation de capacité ΔC donnée :

$$\text{Écart - typ} \bar{\sigma} = \sqrt{\frac{1}{N} \sum_{i=1}^N \left(y_i - \frac{1}{N} \sum_{j=1}^N y_j \right)^2} \quad (3.12)$$

Où N est le nombre de périodes du signal V_{in} ou le nombre de valeurs numériques obtenues par soustraction des résultats des phases Φ_1 et Φ_2 .

L'écart-type présenté dans la Fig. 3.13 (a) est calculé à partir de l'équation (3.12) sur 100 mesures (i.e. 100 périodes du signal V_{in} , $N=100$) pour chaque ΔC . Quelque soit le gain ou la valeur de ΔC , l'incertitude sur la sortie numérique est de 0.65% environ, soit une incertitude sur les variations de capacité mesurée de 5pF (en noir), 3pF (en rouge) et 1.5pF (en bleu) en fonction du gain considéré. Notons que l'écart-type mesuré est supérieur à celui obtenu par simulation (Fig. 3.13 (b)). Cette différence est probablement due à des bruits externes qui

perturbent les mesures en salle de test : perturbations à 50 Hz, bruit de l'alimentation, perturbations électromagnétiques induites par les appareils environnants, etc...

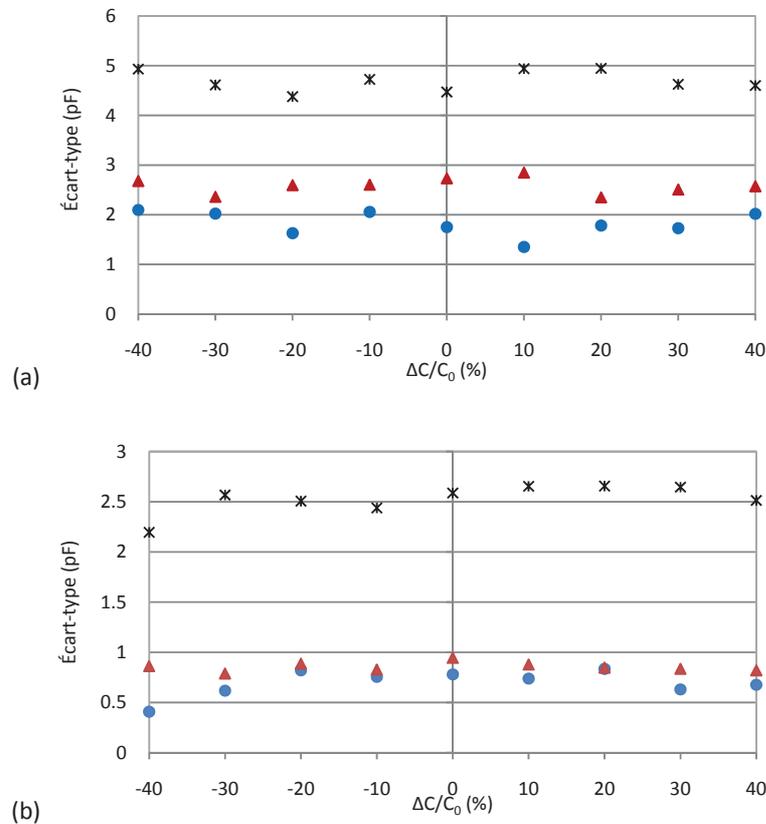
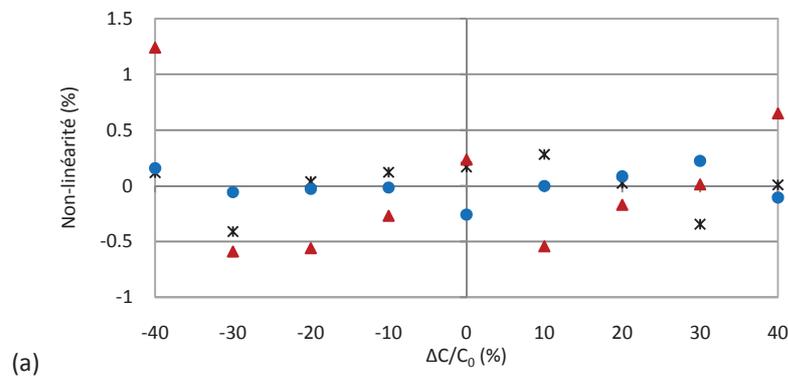


Fig. 3.13 Écart-type obtenu en (a) manipulation et (b) simulation (code couleur identique à Tab. 3.3)

Enfin, les caractéristiques de transfert de la Fig. 3.12 (c) présentent de faibles non-linéarités. Cette non-linéarité présentée sur la Fig. 3.14 (a) est la différence entre la valeur mesurée et une droite idéale obtenue par une régression linéaire ; elle est exprimée en pourcentage de la pleine échelle du modulateur. La non-linéarité mesurée est supérieure à celle de la simulation présentée sur la Fig. 3.14 (b) mais cette non-linéarité plus importante est probablement due à l'incertitude sur les capacités externes utilisées pour les mesures expérimentales dont les valeurs présentent une dispersion pouvant représenter jusqu'à 1% de la pleine échelle.



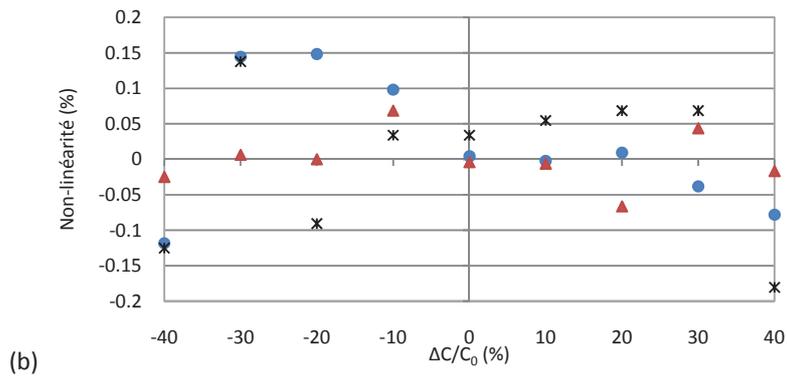


Fig. 3.14 Non-linéarité obtenue en (a) manipulation et (b) simulation (code couleur identique à Tab. 3.3)

III.5) Conclusion

Dans ce chapitre, le principe de la contre réaction en courant en utilisant une résistance a été appliqué au pont actif différentiel à sources dégénérées pour obtenir un modulateur $\Sigma\Delta$. Cette contre réaction résistive est relativement facile à mettre en œuvre en utilisant peu d'éléments additionnels. Un prototype de ce circuit a permis de valider ce principe pour différents gains en utilisant des éléments externes. Il a été démontré une résolution de 0.65% de la pleine échelle sur la sortie numérique, équivalent à 7 bits de résolution. Cette résolution est équivalente à un rapport signal sur bruit d'environ 40dB, calculé à partir de l'équation de (2.109) en considérant la bande passante du signal d'entrée égale à $F_{in}/2$ (i.e. $K=2000$). Enfin, la présence d'une faible non-linéarité est observée sur la sortie du modulateur, probablement due à l'incertitude sur les éléments externes.

Chapitre IV. Retour capacitif

IV.1) Introduction

Dans le chapitre précédent, nous avons présenté un modulateur $\Sigma\Delta$ utilisant une résistance afin de créer un courant de contre-réaction, de contrôler le point de fonctionnement et d'obtenir une sortie numérique. Le principe de cette contre réaction a été expérimentalement démontré pour un prototype de convertisseur capacité/tension basé sur un pont actif différentiel à sources dégénérées fabriqué en technologie CMOS 0.35 μm . Ce chapitre est maintenant consacré à une seconde méthode de contre réaction : un retour capacitif. Dans un premier temps, ce principe est appliqué au même prototype (Fig. 3.3) que celui du chapitre précédent.

IV.2) Principe

Le schéma bloc de la Fig. 4.1 présente le principe de la contre réaction capacitive. Le CNA de la boucle de retour fournit la capacité nécessaire pour équilibrer la tension de sortie V_{out} du pont actif. Ainsi, la variation totale de $2\Delta C$ (i.e. variations symétriques des 2 capacités de $\pm\Delta C$) est comparée à la capacité de contre réaction $\pm C_{\text{fb}}$. La section suivante montrera comment cette variation symétrique de capacité C_{fb} est obtenue. La soustraction de ces capacités est transformée en un courant $I_{\text{in}} = \pm(2\Delta C + C_{\text{fb}}) \left| \frac{dV_{\text{in}}}{dt} \right|$ grâce à la polarisation du pont capacitif par les tensions V_{in} et $\overline{V_{\text{in}}}$. Ce courant induit une variation de la tension V_G qui est ensuite amplifiée et intégrée par le pont actif à charge capacitive C_L . La tension de sortie V_{out} , image de la moyenne de I_{in} , est ensuite comparé à la tension de référence $V_{\text{réf}}$ du comparateur synchrone (comparateur analogique et bascule D) dont les changements d'état se font sur front montant du signal d'horloge. Notons que le comparateur analogique peut être supprimé et que la sortie du pont actif différentiel V_{out} est alors directement comparée à la tension de seuil de la bascule D ; cela nécessite tout de même une diminution de la fréquence d'horloge et donc de la résolution numérique de sortie du modulateur car le rapport signal sur bruit à l'entrée de la bascule est plus faible. Au final, le signal de sortie Q de la bascule D modifie le sens de la contre-réaction capacitive afin de rendre nulles en moyenne les variations du courant I_{in} .

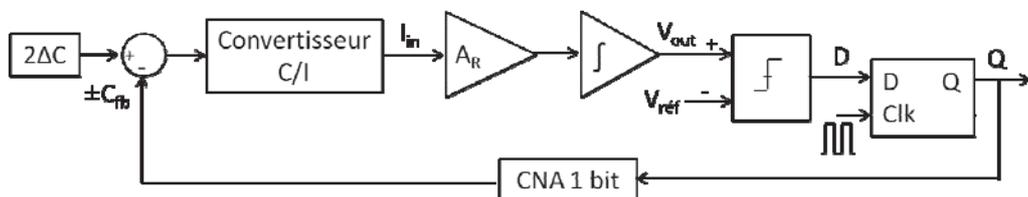


Fig. 4.1 Schéma bloc du modulateur $\Sigma\Delta$ retour capacitif

La capacité de contre réaction C_{fb} est déterminée afin d'obtenir la plage de fonctionnement souhaitée (i.e. la pleine échelle FS). Pour une variation symétrique des capacités de mesure de

ΔC_{FS} , le signal d'entrée est $2\Delta C_{FS}$ et doit être compensé par la capacité C_{fb} . La pleine échelle est donc :

$$FS = \pm \frac{\Delta C_{FS}}{C_0} = \pm \frac{C_{fb}}{2C_0} \quad (4.1)$$

Le gain théorique du modulateur de l'équation (3.11) sur la plage de $\pm FS$ devient donc :

$$\text{Gain} = \frac{1}{FS} = \frac{2C_0}{C_{fb}} \quad (4.2)$$

À partir des équations (4.1) et (4.2), s'il n'y a pas d'offset (nombre de '1' de 50% dans chaque phase Φ_1 et Φ_2 à $\Delta C=0$), la sortie du modulateur théorique (nombre de '1' de $\Phi_2 - \Phi_1$) de $\pm 100\%$ est obtenue quand la variation de la capacité sensible ΔC est de $\pm \frac{C_{fb}}{2}$. Le ratio théorique de '1' obtenu par soustraction sur les phases Φ_2 et Φ_1 en fonction de ΔC est illustré sur la Fig. 4.2.

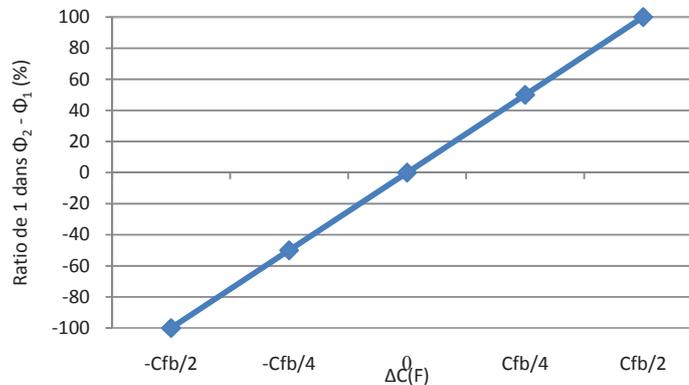


Fig. 4.2 Caractéristique de transfert en fonction de $\Delta C(F)$

IV.3) Architectures proposées

Dans cette section, le principe de la contre réaction capacitive a été appliqué au prototype de pont actif à sources dégénérées précédent (Fig. 3.3). Afin d'obtenir des effets de signes opposés avec la capacité de contre réaction, cette capacité est connectée entre V_G et V_{in} ou entre V_G et $\overline{V_{in}}$. Les courants de contre-réaction générés sont ainsi de signes opposés. Pour commuter la capacité de contre réaction, deux architectures différentes ont été testées. Leur différence principale réside dans le nombre de capacités de contre-réaction utilisées (une ou deux).

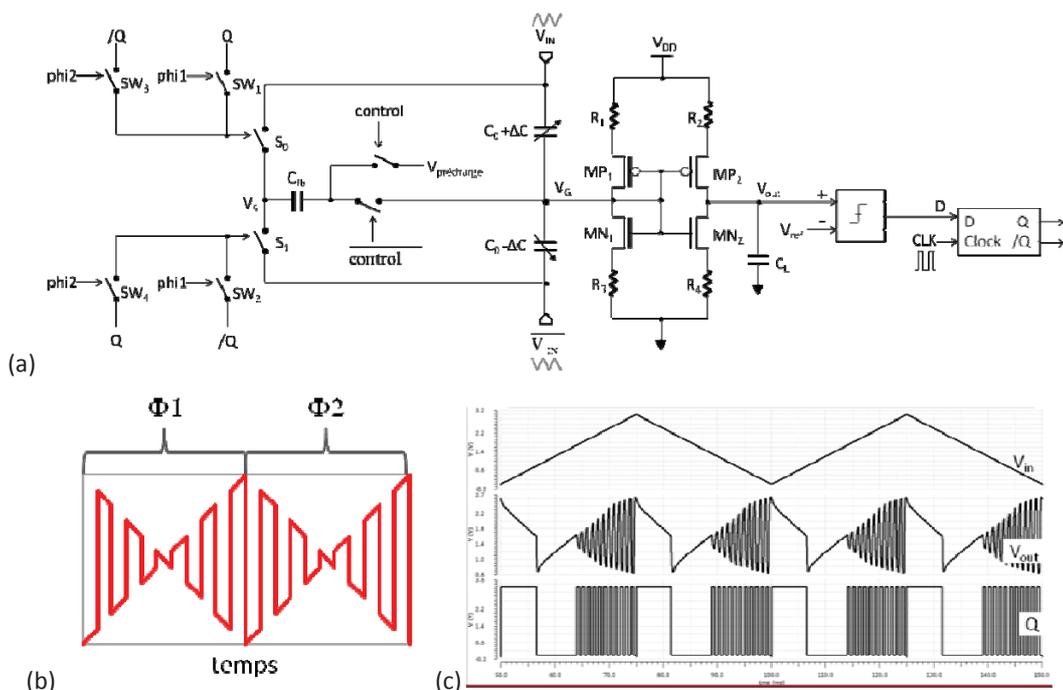
IV.3.1) Première architecture

IV.3.1.1) Implémentation

La Fig. 4.3 (a) présente l'implémentation du modulateur à retour capacitif en utilisant une seule capacité de contre réaction C_{fb} et 8 interrupteurs. Dans un premier temps, nous ne considérons pas les 2 interrupteurs contrôlés par les signaux $\overline{\text{control}}$ et control ; la capacité C_{fb}

est supposée connectée en permanence à V_G . Les interrupteurs SW_1 et SW_2 sont contrôlés par un signal carré 'phi1' à la même fréquence que celle de V_{in} . Les interrupteurs SW_3 et SW_4 sont contrôlés par un signal 'phi2', complémentaire de 'phi1'. Ces 4 interrupteurs sont nécessaires car les pentes des 2 phases de V_{in} et $\overline{V_{in}}$ sont différentes (voir la Fig. 3.2 (b)). Pendant la phase Φ_1 , SW_1 et SW_2 sont fermés et SW_3 et SW_4 sont ouverts. Les interrupteurs S_0 et S_1 qui se trouvent entre C_{fb} et les signaux triangulaires sont donc commandés respectivement par Q et \overline{Q} . Les changements d'état de S_0 et S_1 permettent de placer la capacité de contre réaction C_{fb} en parallèle avec $C_0+\Delta C$ (reliée à V_{in}) ou $C_0-\Delta C$ (reliée à $\overline{V_{in}}$). Quand $Q = 1$ et $\overline{Q} = 0$, S_0 est fermé, S_1 est ouvert, V_S est égal à V_{in} et C_{fb} est en parallèle avec $C_0+\Delta C$; sinon, pour $Q = 0$ et $\overline{Q} = 1$, S_0 est ouvert, S_1 est fermé, et C_{fb} est en parallèle avec $C_0-\Delta C$. Pendant la phase Φ_2 , le signe de I_{in} étant inversé, il est nécessaire de changer la logique de commande en inversant Q et \overline{Q} pour commander les positions des interrupteurs S_0 et S_1 .

En fonction de la sortie de la bascule et des positions de S_0 et S_1 , le potentiel V_S varie donc en permanence entre V_{in} et $\overline{V_{in}}$ tel que sur la Fig. 4.3 (b). L'autre borne de la capacité C_{fb} étant connectée à V_G dont le potentiel est presque constant, le pont actif subit une forte injection de charges à chaque commutation de l'autre borne de C_{fb} de V_{in} à $\overline{V_{in}}$ (notamment lorsque ces potentiels sont proches de leur maximum). Cette forte injection de charge a pour effet de dépolariiser l'étage d'entrée du pont actif, de faire partir en saturation la tension de sortie V_{out} et de rendre la sortie du modulateur incorrecte (bloquée à 0 ou 1) pendant de nombreuses périodes d'horloge (Fig. 4.3 (c)). Afin de palier à ce problème, la capacité C_{fb} est transitoirement déconnectée du pont actif à chaque période d'horloge grâce à 2 interrupteurs et aux signaux de commande $control$ et $\overline{control}$: juste avant le front d'horloge, elle est ainsi connectée à une tension de référence égale à V_G afin d'être préchargée à $V_{in}-V_G$ ou $\overline{V_{in}}-V_G$ avant d'être reconnectée au pont actif (Fig. 4.3 (d)).



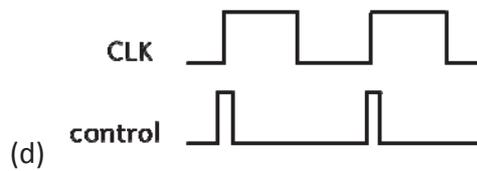
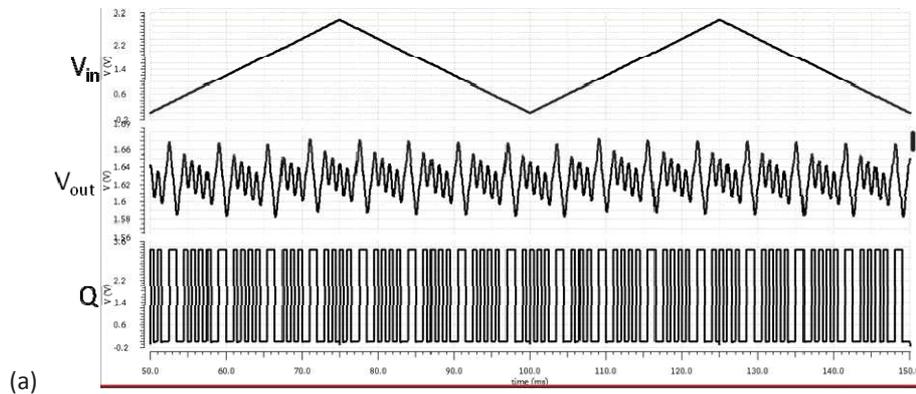


Fig. 4.3 (a) modulateur $\Sigma\Delta$ utilisant une seule capacité C_{fb} , (b) allure du signal V_s , (c) allure des signaux V_{in} , V_{out} et Q sans les signaux $\overline{\text{control}}$ et control et (d) chronogramme du signal control

IV.3.1.2) Simulation et validations expérimentales

Une simulation (analyse transitoire avec bruit) de l'architecture avec les signaux de commande control et $\overline{\text{control}}$ est réalisée afin de valider le principe de fonctionnement. Tous les interrupteurs sont réalisés par des portes de transmission basées sur un transistor NMOS en parallèle avec un PMOS. Les amplitudes des signaux 'phi1', 'phi2', 'control' et $\overline{\text{control}}$ sont égales à V_{DD} , soit 3.3V. L'amplitude maximum du signal V_{in} et $\overline{V_{in}}$ est donc de $3.3V_{CC}$ et l'offset du signal est de 1.65V car la tension appliquée en entrée des portes de transmission doit être comprise entre 0 et V_{DD} . La Fig. 4.4 présente les signaux en sortie de l'intégrateur et de la bascule pour deux périodes de V_{in} et un ΔC nul : le fonctionnement semble maintenant correct et les blocages à 0 ou 1 de la Fig. 4.3 (c) ont été éliminés. Pour chaque variation de la capacité ΔC , le modulateur est simulé avec une analyse de bruit transitoire en utilisant les circuits de la bibliothèque AMS (COMP01B pour le comparateur et DF1 pour la bascule). Afin d'obtenir le résultat numérique sur une période de V_{in} , le bitstream est enregistré et traité par un compteur codé en Verilog-A® (Annexe 2). Les résultats sont présentés sur la Fig. 4.4 (b).



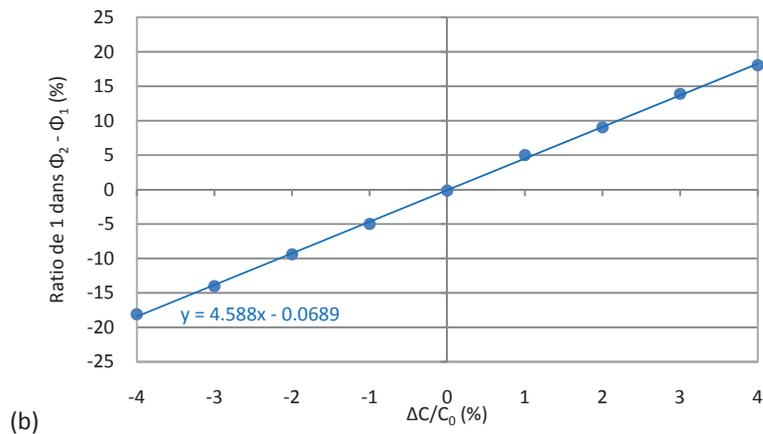


Fig. 4.4 Modulateur $\Sigma\Delta$ utilisant une seule capacité C_{fb} avec les signaux $\overline{\text{control}}$ et $\overline{\text{control}}$:
 (a) allure des signaux V_{in} , V_{out} et Q pour $\Delta C=0$, $C_0=100\text{pF}$, $C_{fb}=47\text{pF}$ avec $V_{in}=3V_{C-C}$, $F_{in}=20\text{Hz}$ et $F_{clk}=2\text{kHz}$
 (b) taux de '1' en fonction de $\Delta C/C_0$

Concernant l'étude expérimentale, le modulateur détaillé précédemment a été mis en œuvre sur un circuit imprimé. Comme dans le chapitre précédent, deux capacités variables de valeurs nominales 100pF sont obtenues par la mise en parallèle de condensateurs céramiques. La capacité d'intégration C_I de 100pF est connectée au nœud V_{out} (signal à l'entrée positive du comparateur) afin de réaliser le filtre passe bas avec la résistance de sortie du pont actif de 2,17G Ω . La fréquence de coupure est de 1Hz. Le comparateur synchrone est toujours basé sur les circuits TS374 [69] et CMOS4013 [70]. La tension de référence V_{ref} connectée à l'entrée négative du comparateur est obtenue par le demi-pont actif du second prototype qui est égale à V_G ($\approx 1.6V$), les deux prototypes étant dimensionnés de la même façon. Les interrupteurs sont réalisés par des portes de transmission CMOS4066BC [71]. Les signaux 'phi2' et $\overline{\text{control}}$ sont obtenus à partir de 'phi1' et 'control' à travers des inverseurs CMOS4049UBC [72]. Enfin, un potentiomètre extérieur est mis en série avec l'une résistance afin d'annuler l'offset entre Φ_1 et Φ_2 pour un ΔC nul. En absence de cette compensation, il serait nécessaire d'augmenter les capacités de contre réaction C_{fb} afin de prendre en compte l'offset dans la pleine échelle.

Dans un premier temps, afin de vérifier le fonctionnement de cette architecture de retour capacitif, le modulateur a été testé avec une seule capacité de contre réaction de 47pF, soit la pleine échelle FS de $\pm 23.5\%$ (calculé à partir de l'équation (4.1)). La Fig. 4.5 illustre les signaux principaux obtenus expérimentalement à la sortie du modulateur $\Sigma\Delta$ en absence de courant I_{in} ($\Delta C=0$), avec $V_{in} = \overline{V}_{in} = 3V_{C-C}$ ($V_{min} = 0V$, $V_{max} = 3V$ et $V_{moyen} = 1.5V$), $F_{in} = 20\text{Hz}$, $\frac{dV_{in}}{dt} = 120V/s$, $F_{clk} = 10\text{kHz}$, soit 250 échantillons (i.e. périodes d'horloge) dans chaque phase Φ_1 et Φ_2 . Sans les interrupteurs et les signaux de commande $\overline{\text{control}}$ et $\overline{\text{control}}$ le dysfonctionnement du modulateur décrit dans la section IV.3.1.1 est clairement visible sur la Fig. 4.5 (a).

Le temps nécessaire de déconnection de la capacité C_{fb} de V_G et de connexion à V_{ref} , afin d'éviter la saturation de V_{out} , a été déterminé expérimentalement : il est de l'ordre de 20% de la période d'horloge, soit 10% avant et après le front montant du signal d'horloge CLK. Cependant, malgré cette déconnection, il semble qu'il subsiste un possible dysfonctionnement

du modulateur à chaque début de phase Φ_1 et Φ_2 puisque la sortie reste alternativement bloquée à '0' ou '1' pendant plusieurs périodes d'horloge (en rouge sur la figure).

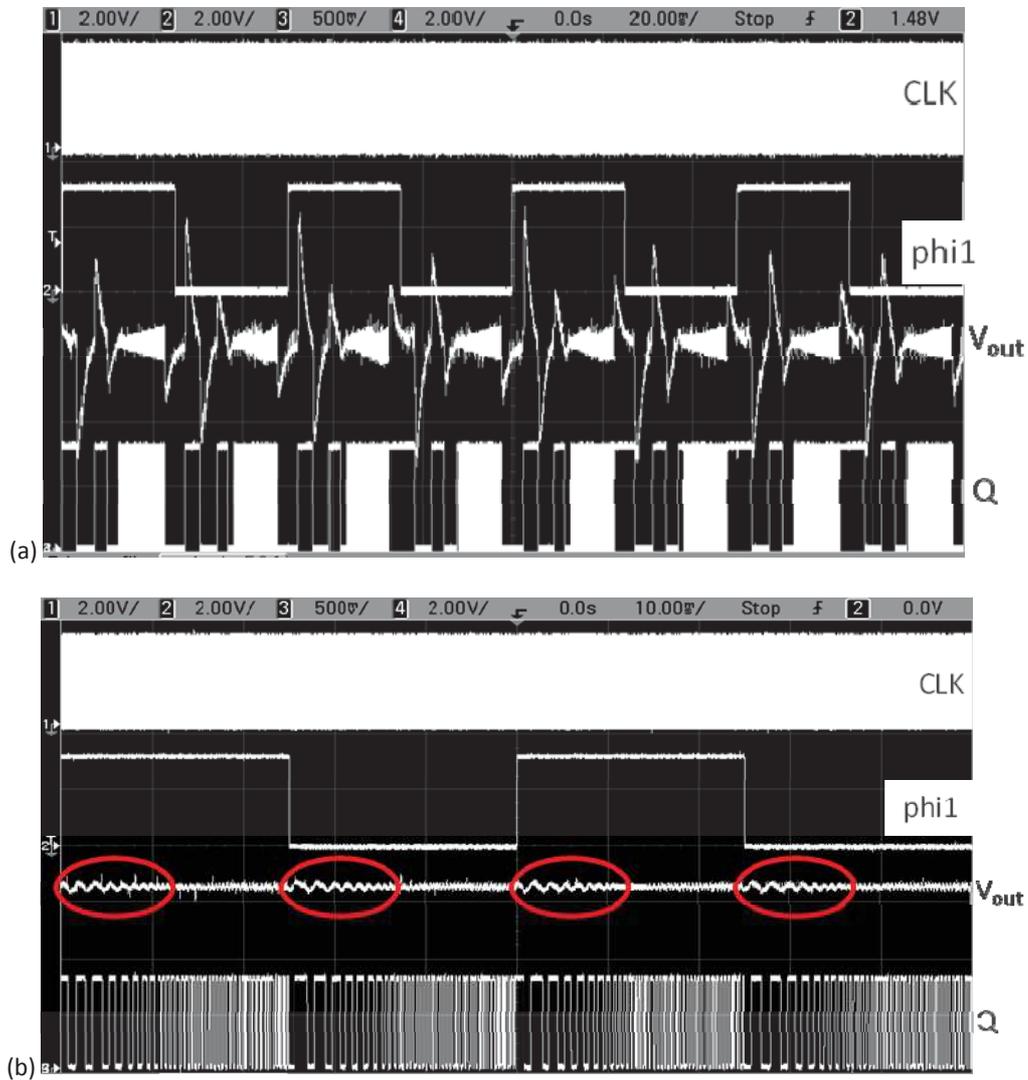


Fig. 4.5 Différents signaux du modulateur (a) sans et (b) avec signal 'control', $F_{clk} = 10\text{kHz}$

Afin de vérifier si ce possible dysfonctionnement influence le ratio de '1' dans le bitstream, le nombre de '1' est déterminé à l'aide d'un script Matlab® sur une partie variable de chaque phase Φ_1 et Φ_2 . La Fig. 4.6 présente les variations du ratio de '1' calculées sur 250, 200, 150, 100 et 50 dernières périodes d'horloge de chaque phase en fonction de $\Delta C/C_0(\%)$. Pour améliorer le SNR, ces ratios sont mesurés sur 100 périodes de V_{in} pour chaque ΔC .

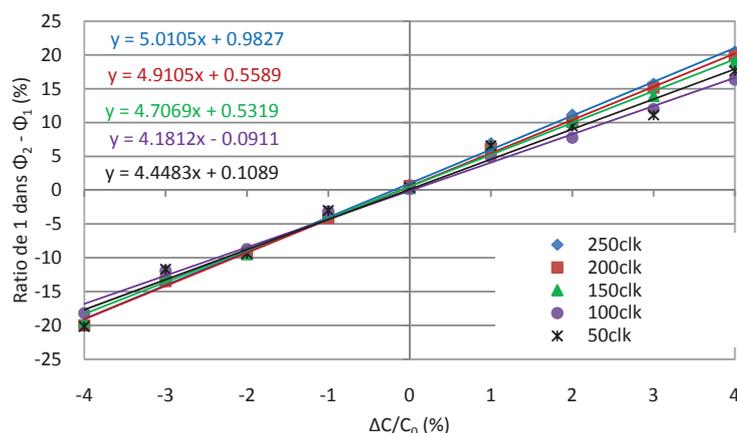


Fig. 4.6 Taux de '1' en fonction de $\Delta C/C_0$, $F_{clk} = 10\text{kHz}$

La Fig. 4.6 montre que les gains des caractéristiques de transfert sont différents (de 4.18 à 5). Le gain augmente légèrement et s'éloigne de la valeur théorique (i.e. $1/FS = 1/0,235 = 4,26$) au fur et à mesure que le ratio de '1' est calculé sur une partie croissante des demi-périodes de V_{in} . Il est donc probable que le début de chaque demi-période reste perturbé malgré le préchargement de la capacité contrôlé par les signaux control et $\overline{\text{control}}$. Cette perturbation semble avoir pour conséquence une erreur de gain mais la réponse du modulateur reste linéaire.

Afin d'observer l'effet de la fréquence d'horloge sur ce phénomène, la caractéristique de transfert est tracée dans les mêmes conditions que précédemment avec une fréquence d'horloge de 20kHz et 4kHz : F_{in} restant égale à 20Hz, le nombre de périodes d'horloge par période de V_{in} est modifiée. À la fréquence d'horloge de 20kHz, l'effet de cette perturbation est clairement visible car l'amplitude de la tension à l'entrée du comparateur est moins élevée. La Fig. 4.7 (a) montre que le gain calculé sur 500 périodes d'horloge (la totalité de la demi-période de V_{in}) est presque le double de celui calculé sur 250 périodes d'horloge (la dernière moitié de la demi-période de V_{in}) et le double de celui calculé sur 200 périodes d'horloge. Ensuite le gain reste à peu près constant en considérant les 150, 100 ou 50 dernières périodes d'horloge (même si la résolution intrinsèque est alors diminuée). Comme attendu l'effet de la perturbation est moins visible avec la fréquence d'horloge de 4kHz car l'amplitude de la tension augmente en sortie de l'intégrateur. Cette fréquence d'horloge conduit à une résolution du modulateur de 1% de la pleine échelle car il n'y a plus que 100 périodes d'horloge dans chaque phase Φ_1 et Φ_2 . La Fig. 4.7 (b) illustre les caractéristiques de transfert à cette fréquence. Les variations du ratio de '1' dans chaque moitié des demi-périodes de V_{in} sont quasi identiques.

Notons que cette courbe linéaire est obtenue malgré des variations d'offset importantes dues à la température pendant les mesures. La Fig. 4.7 (c) montre la moyenne du ratio de '1' sur Φ_1 et Φ_2 pour les différents ΔC mesurés. Ce résultat montre l'intérêt de la mesure sur deux phases pour la rejection de l'offset du pont actif.

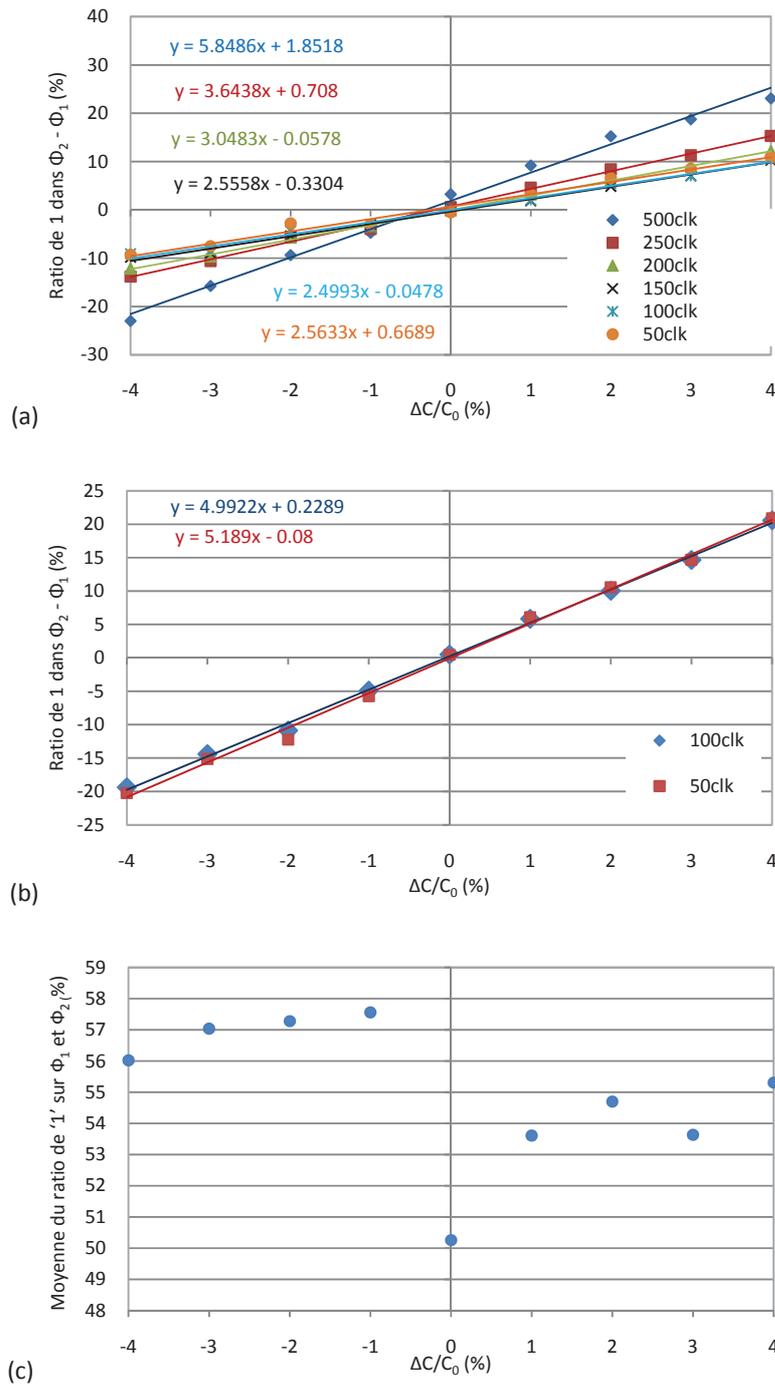


Fig. 4.7 Caractéristiques de transfert à (a) $F_{clk}=20kHz$ (b) $F_{clk}=4kHz$ et (c) offset à chaque ΔC pour F_{clk} de 4kHz

Afin d'étudier la performance de cette architecture de contre réaction pour de plus grands gains (i.e. $C_{fb}<47pF$ et $FS<\pm 23.5\%$), la variation du ratio de '1' est tracée dans les mêmes conditions que précédemment (amplitude de $V_{in} = 3V_{C-C_r}$, $F_{in} = 20Hz$, 100 mesures) pour des capacités de contre réaction C_{fb} de 22pF et 10pF. Pour ces 2 valeurs, la fréquence d'horloge utilisée est de 2kHz pour augmenter l'amplitude des signaux en sortie de l'intégrateur et éviter

tout disfonctionnement. Les résultats obtenus en manipulation et en simulation sont illustrés dans la Fig. 4.8 et résumés dans le Tab. 4.1.

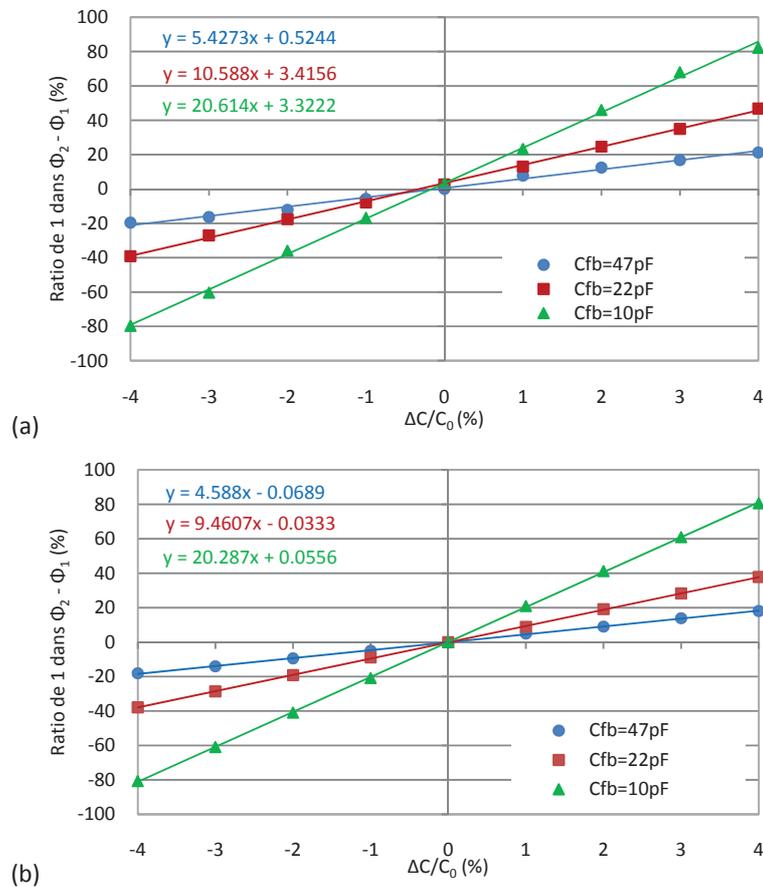


Fig. 4.8 Caractéristiques de transferts pour 3 valeurs différentes de C_{fb} à F_{clk} de 2kHz :
(a) manipulation et (b) simulation

Courbes	Bleu	Rouge	Vert
C_{fb} (pF)	47	22	10
FS (%)	± 23.5	± 11	± 5
Gain théorique	4.26	9.1	20
Gain simulé	4.6	9.46	20.3
Gain mesuré	5.427	10.588	20.614
Erreur relative (%)	27.4	16.35	3.07
Ecart-type (pF)	0.55	0.3	0.15
Non-linéarité (%)	± 0.7	± 0.5	± 1.5

Tab. 4.1 Paramètres des caractéristiques de transfert du modulateur $\Sigma\Delta$ retour capacitif

D'après le Tab. 4.1, l'erreur relative de gain entre la mesure et la théorie sur la plage $\pm 4\%$ de $\Delta C/C_0$ diminue en même temps que la capacité de contre réaction C_{fb} . Le gain du modulateur

obtenu par C_{fb} de 10pF est ainsi le plus proche du gain théorique correspondant. Pour les autres, l'erreur relative est supérieure à 10%. Cependant, les gains mesurés pour les C_{fb} de 47pF et 22pF diminuent et se rapprochent de la valeur théorique lorsque la caractéristique du modulateur est étudiée sur une variation plus proche de $\pm FS(\%)$: ceci est dû à la saturation du gain pour les grandes variations de C_0 ; phénomène couramment observé pour les modulateurs du 1^{er} ordre et lié à l'effet du bruit de dithering [73]. Ainsi, la Fig. 4.9 montre les caractéristiques de transfert pour C_{fb} de 47pF sur la plage de $\Delta C/C_0$ de $\pm 4\%$ et de $\pm 20\%$. Comme attendu le gain obtenu diminue de 5.427 à 4.33 soit la diminution de l'erreur de 27.69% à 1.88%.

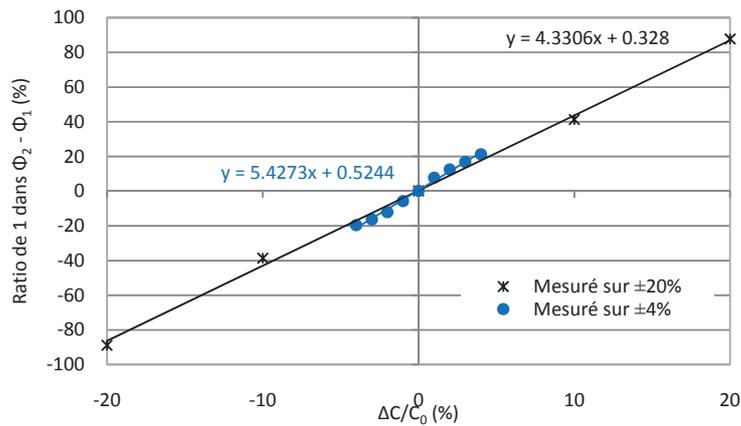


Fig. 4.9 Caractéristiques de transferts de C_{fb} de 47pF sur $\pm 4\%$ et $\pm 20\%$ de $\Delta C/C_0$ et

Le Tab. 4.1 présente également les valeurs typiques de l'écart-type de la mesure, exprimé en pF, et de la non-linéarité, exprimée en pourcentage de la pleine échelle, qui sont respectivement extraites des Fig. 4.10 (a) et Fig. 4.10 (c) sur une plage de variations $\pm 4\%$ de $\Delta C/C_0$. Pour chaque $\Delta C/C_0$, l'écart-type est extrait sur 100 mesures et l'incertitude obtenue sur la sortie numérique est de 3% d'environ, 2 fois supérieures aux valeurs simulées (Fig. 4.10 (b)). La non-linéarité exprimée en pourcentage de la pleine échelle de la sortie du modulateur est la différence entre la courbe de la Fig. 4.8 et la droite idéale obtenue par une régression linéaire. Ces valeurs de non-linéarité mesurées sont d'environ 3-4 fois supérieures aux valeurs simulées (Fig. 4.10 (d)) mais cet écart provient essentiellement de l'incertitude sur les capacités externes utilisées.

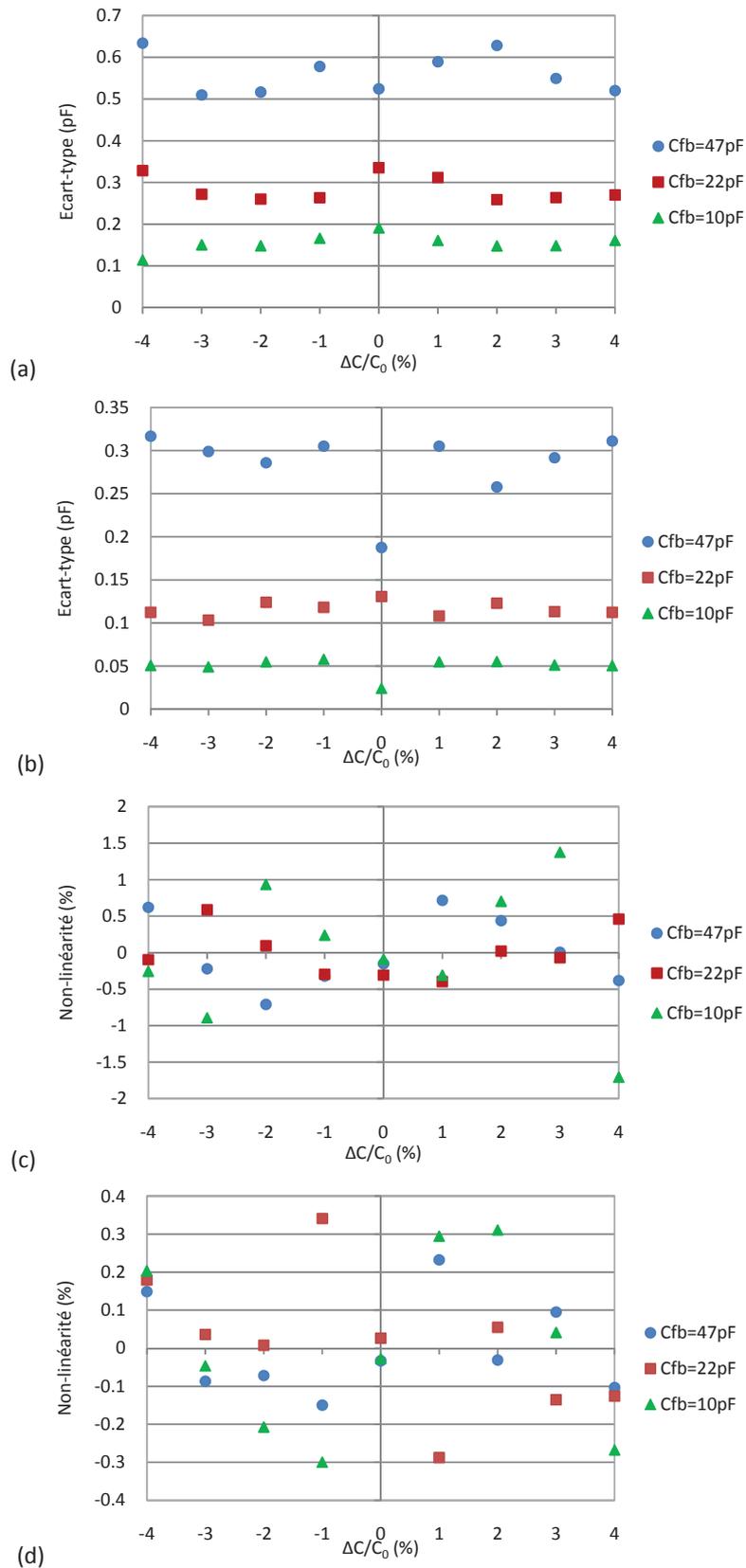


Fig. 4.10 (a) Écart-type obtenues en manipulation, (b) en simulation, (c) non-linéarité obtenues en manipulation et (d) en simulation

Afin de vérifier que la tension moyenne des signaux V_{in} et $\overline{V_{in}}$ n'a pas d'influence sur le fonctionnement du modulateur tant que V_{in} et $\overline{V_{in}}$ restent compris entre 0V et V_{DD} , la Fig. 4.11 présente les caractéristiques de transfert pour 3 différentes valeurs de tension moyenne (amplitude de $V_{in}=3V_{c-c}$) : les 3 gains obtenus sont relativement proches, ce qui démontre que le modulateur peut fonctionner quelque soit la tension moyenne des signaux V_{in} et $\overline{V_{in}}$.

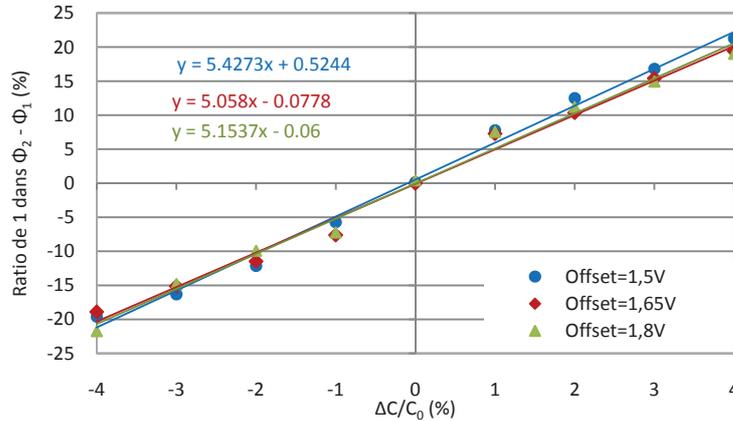


Fig. 4.11 Caractéristiques de transferts pour 3 valeurs différentes de tension moyenne des signaux V_{in} et $\overline{V_{in}}$ pour C_{fb} de 47pF

IV.3.2) Seconde architecture

IV.3.2.1) Implémentation

La seconde implémentation du modulateur à retour capacitif utilise deux capacités de contre réaction C_{fb} et 8 interrupteurs (Fig. 4.12). Dans cette implémentation, les interrupteurs SW_1 à SW_4 sont toujours nécessaires et fonctionnent de la même manière que ceux de la première implémentation (Fig. 4.3 (a)). Afin d'éviter le dysfonctionnement observé sur la Fig. 4.5 et de supprimer les signaux $control$ et $\overline{control}$, 2 capacités de contre-réaction de même valeur sont utilisées et connectées respectivement à V_{in} et $\overline{V_{in}}$. L'interrupteur S_0 est déplacé entre l'autre armature de la première C_{fb} (nœud V_0) et l'entrée du pont actif V_G . De même, S_1 est placé entre la seconde capacité C_{fb} (nœud V_1) et V_G . Le principe de fonctionnement de S_0 et S_1 est le même que celui de la première implémentation. Pour minimiser les phénomènes d'injection de charge à la connexion des capacités C_{fb} , les potentiels V_0 et V_1 soient maintenus à un potentiel constant $V_{précharge}$ proche de V_G quand l'une des 2 C_{fb} est déconnectée du pont actif (S_0 ou S_1 ouvert) : deux interrupteurs supplémentaires, S_2 et S_3 , sont donc ajoutés respectivement entre V_0 et $V_{précharge}$ et entre V_1 et $V_{précharge}$. Ainsi, S_2 est fermé quand C_{fb} est en parallèle avec $C_0-\Delta C$, tandis que S_3 est fermé quand C_{fb} est en parallèle avec $C_0+\Delta C$. Notons enfin que l'emplacement des interrupteurs dans cette architecture permet d'utiliser des tensions V_{in} et $\overline{V_{in}}$ supérieures à 3,3V puisqu'elles ne sont jamais appliquées directement sur les interrupteurs.

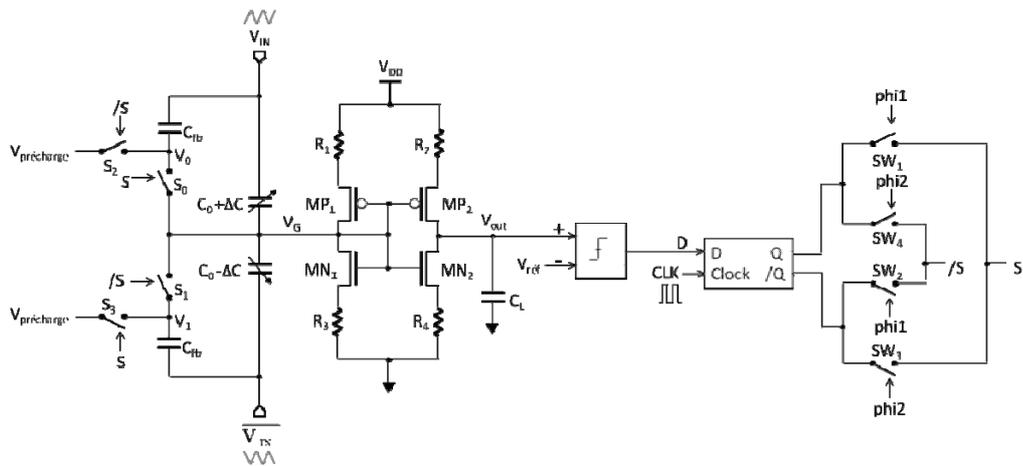


Fig. 4.12 Modulateur $\Sigma\Delta$ utilisant $2C_{fb}$

IV.3.2.2) Simulations et validations expérimentales

Comme précédemment, pour chaque variation de la capacité ΔC , le modulateur est simulé sur une analyse de bruit transitoire en utilisant les circuits de la bibliothèque AMS (COMP01B pour le comparateur, DF1 pour la bascule et des portes de transmission pour les interrupteurs).

Concernant l'étude expérimentale, cette architecture de modulateur à deux capacités C_{fb} a été mise en œuvre sur un circuit imprimé. Les capacités C_{fb} sont des condensateurs céramiques externes. La valeur de la capacité nominale C_0 est de 100pF : les deux capacités variables sont constituées de condensateurs céramiques associés en parallèle. L'intégration de l'erreur de quantification est obtenue au nœud V_{out} par une capacité C_L externe de 100pF et la résistance de sortie du pont actif de 2.17G Ω . Une fréquence de coupure de 1Hz est ainsi obtenue. Le comparateur, la bascule D, l'interrupteur et l'inverseur sont respectivement réalisés par les circuits TS374, CMOS4013, CMOS4066BC et CMOS4049UBC. Le demi-pont actif du second prototype est utilisé afin d'obtenir la tension de référence $V_{réf}$ du comparateur environ égale à V_G ($\approx 1.6V$). L'autre tension de référence $V_{précharge}$ reliée à S_2 et S_3 est appliqué par un générateur de tension de 1.6V. Afin de réduire l'offset dû à la dispersion du procédé de fabrication, entre V_G et V_{out} et entre Φ_1 et Φ_2 , un potentiomètre extérieur est placé en série avec l'une des résistances du pont actif.

Afin de vérifier le fonctionnement de cette architecture de retour capacitif, le modulateur est testé avec les 3 mêmes valeurs de capacité de contre réaction C_{fb} que la première architecture (section IV.3.1) : 47, 22 et 10pF. La Fig. 4.13 présente la réponse du modulateur c'est à dire les variations du ratio de '1', en fonction de $\Delta C/C_0(\%)$ mesurées (Fig. 4.13 (a)) et simulées (Fig. 4.13 (b)) à une fréquence d'horloge de $1000 \cdot F_{in}$: chaque demi-période de V_{in} est ainsi de 500 périodes d'horloge et une résolution de 0.2% de la pleine échelle est donc obtenue. À chaque $\Delta C/C_0$ et pour améliorer le SNR, la variation du ratio de '1' du modulateur est calculée en moyenne sur 100 mesures, soit sur 100 périodes de V_{in} . Les paramètres principaux et les résultats de chaque caractéristique de transfert sont résumés dans le Tab. 4.2.

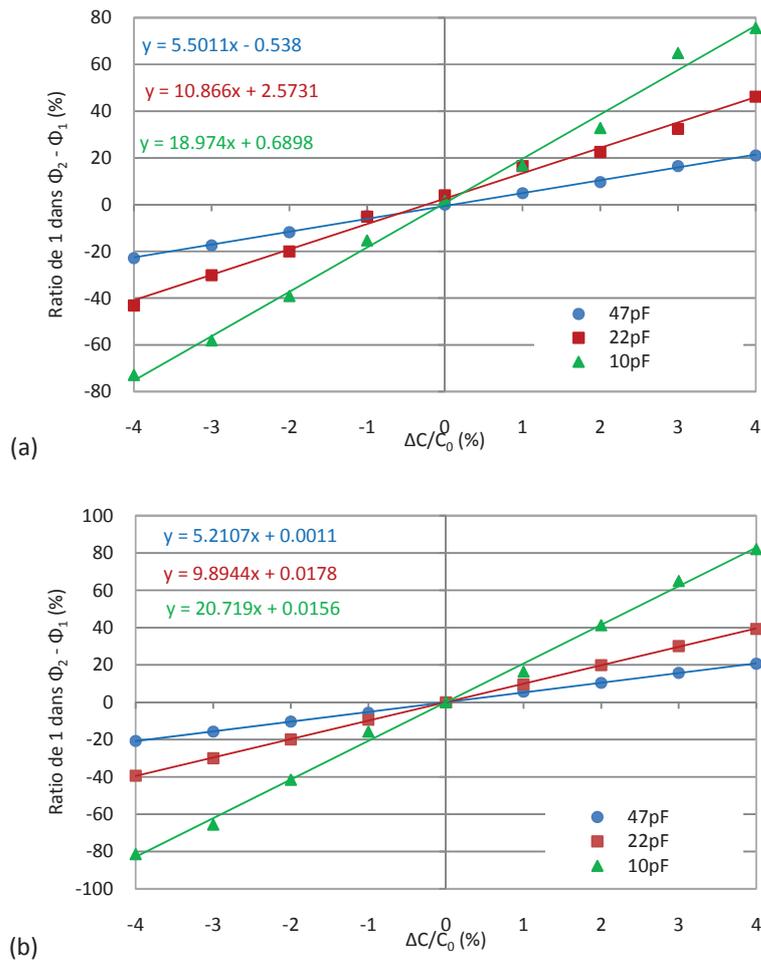
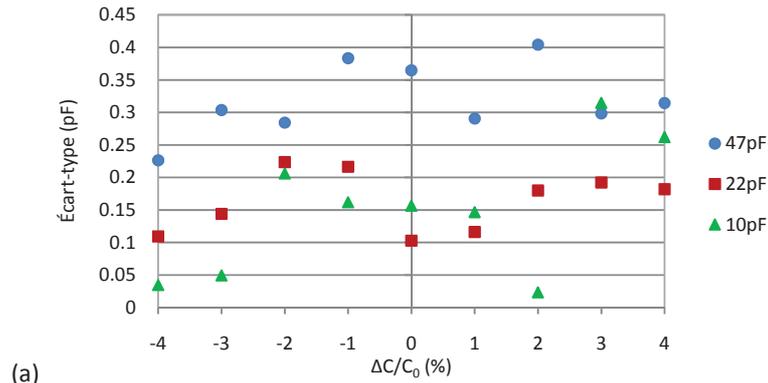


Fig. 4.13 Caractéristiques de transfert pour 3 valeurs différentes de C_{fb} :
(a) manipulation et (b) simulation

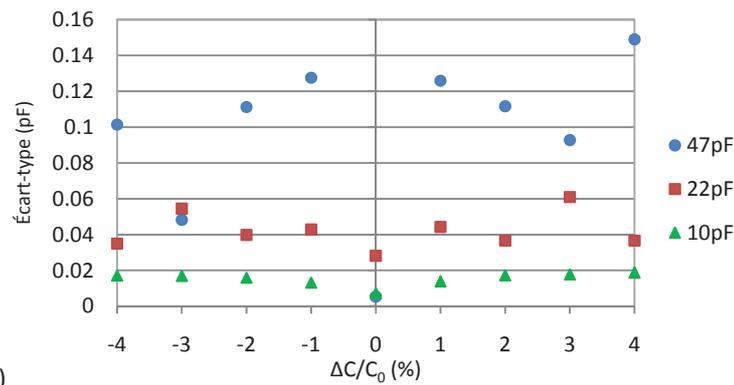
Courbes	Bleu	Rouge	Vert
C_{fb} (pF)	47	22	10
Amplitude de V_{in} (V_{c-c})	10	10	20
F_{in} (Hz)	200	500	500
FS (%)	± 23.5	± 11	± 5
Gain théorique	4.26	9.1	20
Gain simulé	5.2	9.9	20.7
Gain mesuré	5.5	10.87	18.97
Erreur relative (%)	29.4	19.4	-5.13
Ecart-type (pF)	0.32	0.16	0.15
Non-linéarité (%)	± 0.4	± 1.2	± 3.5

Tab. 4.2 Paramètres des caractéristiques de transfert du modulateur $\Sigma\Delta$ avec 2 C_{fb}

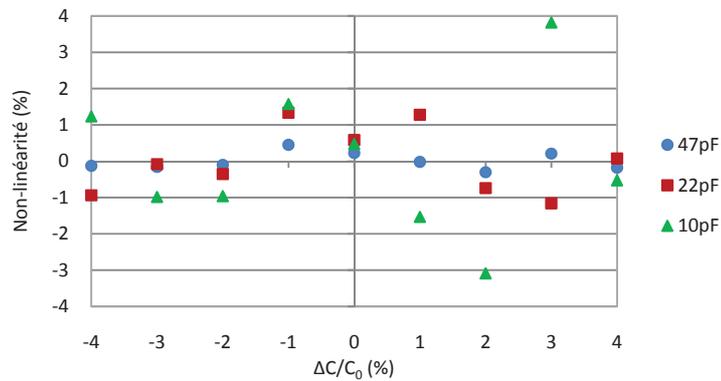
Le gain est obtenu par la pente de la droite idéale obtenue par une régression linéaire. L'écart-type est calculé à partir de l'équation (3.12) avec N égal à 100 mesures. La non-linéarité est la différence entre le résultat de la Fig. 4.13 et la droite idéale obtenue par une régression linéaire et est exprimée en pourcent de la pleine échelle de la sortie du modulateur. La Fig. 4.14 (a) et (c) ci-dessous présente les écart-types (pF) et les non-linéarités (%) expérimentaux pour les 3 valeurs de C_{fb} . Ces valeurs mesurées sont supérieures aux valeurs simulées (Fig. 4.14 (b) et (d)) mais l'écart provient certainement du bruit de l'environnement de test et de l'incertitude sur les capacités externes utilisées.



(a)



(b)



(c)

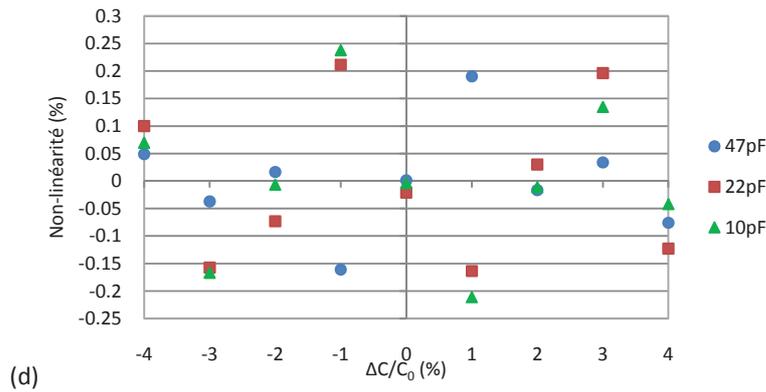


Fig. 4.14 (a) Écart-types (pF) expérimentaux, (b) simulés, (c) non-linéarités (%) expérimentales et (d) simulées

Pour montrer l'efficacité de la mesure différentielle pour la rejection de l'offset, la Fig. 4.15 montre la moyenne du ratio de '1' sur Φ_1 et Φ_2 , c'est à dire l'offset de la structure pour les différents ΔC mesurés. Comparées aux résultats de la première architecture de contre réaction capacitive (Fig. 4.7 (c)), les variations d'offsets sont ici plus petites car l'amplitude du signal d'entrée est plus importante (F_{in} et $\left| \frac{dV_{in}}{dt} \right|$ sont plus grands).

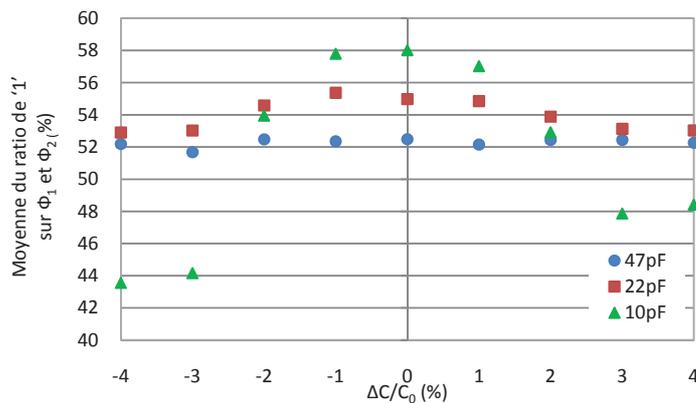


Fig. 4.15 Variation d'offset mesurées pour 3 valeurs différentes de C_{fb}

Pour conclure, il a été démontré que l'implantation du modulateur à retour capacitif utilisant deux capacités C_{fb} permet d'obtenir une meilleure résolution que l'architecture à une seule capacité C_{fb} : une résolution de 200fF a ainsi été obtenue pour une capacité C_{fb} de 10pF grâce notamment à l'augmentation de l'amplitude de V_{in} , impossible sur la première architecture. De plus, elle est plus facile à implémenter puisqu'elle nécessite moins de signaux de contrôle. Cependant, l'inconvénient majeur lors des manipulations est l'effet des composants externes et l'incertitude sur les valeurs des condensateurs céramiques.

Dans la section suivante, la contre-réaction capacitive est testée pour plusieurs valeurs nominales C_0 et différentes pleines échelle (FS) sur un autre convertisseur capacité/tension : un pont actif cascade.

IV.4) Retour capacitif avec pont actif cascode

IV.4.1) Principe

Dans cette section, l'architecture de contre réaction utilisant deux capacités C_{fb} a été appliquée au convertisseur capacité/tension basé sur un pont actif cascode. Le schéma complet du modulateur $\Sigma\Delta$ ainsi obtenu est donné sur la Fig. 4.16.

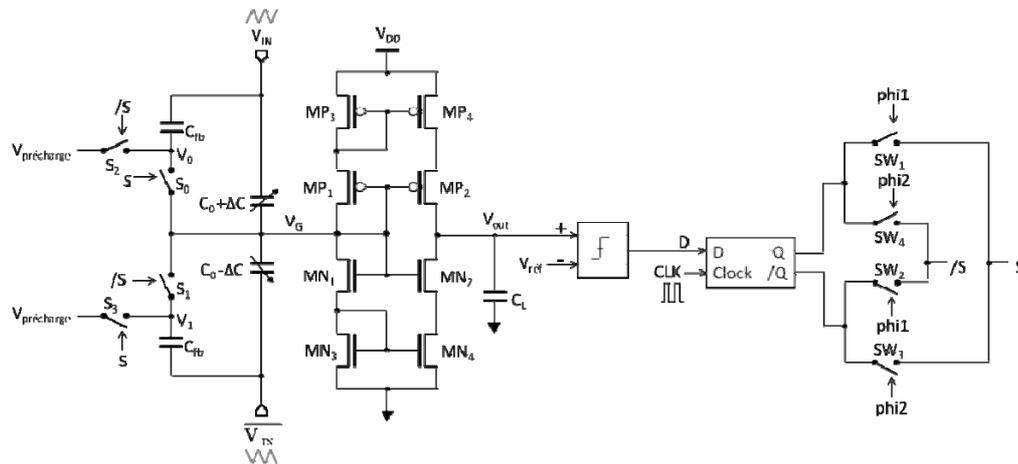


Fig. 4.16 Modulateur $\Sigma\Delta$ basé sur un pont actif cascode

Le courant de polarisation (I_p) de ce pont actif a été fixé à $1\mu\text{A}$ dans chaque branche (i.e. $I_{\text{total}}=2\mu\text{A}$) pour une tension d'alimentation V_{DD} de 3.3V . Afin d'obtenir des potentiels V_G et V_{out} égaux à $V_{DD}/2$, tous les transistors sont dimensionnés de telle sorte que leurs V_{GS} soient égaux à $V_{DD}/4$. Des transistors de grande surface et de grande longueur sont utilisés afin respectivement de diminuer le bruit en $1/f$ (et donc sa fréquence de coin) et d'augmenter la résistance de sortie et donc le gain ou transrésistance (en V/A). La résistance d'entrée R_{in} est d'environ $100\text{k}\Omega$; pour un courant de polarisation fixé, elle est indépendante de la façon de dimensionner les transistors en respectant $\Sigma V_{GS}=V_{DD}$. La tension de sortie du pont actif est intégrée au travers d'une capacité de 0.5pF et de la résistance de sortie du pont actif égale à $73\text{G}\Omega$ (i.e. $A_R=73\text{GV/A}$). La fréquence de coupure ainsi obtenue est de 4Hz .

IV.4.2) Résultats en simulation

Pour estimer les performances de l'architecture, le modulateur est analysé par une simulation de bruit transitoire. Le comparateur est un circuit de la bibliothèque AMS (COMP01B) et une fréquence d'horloge F_{clk} de 10kHz est choisie afin de contrôler la bascule D standard de la bibliothèque AMS (DF1). Le bitstream est enregistré et traité par un compteur codé en Verilog-A® (Annexe 2). La Fig. 4.17 présente les caractéristiques de transfert du modulateur $\Sigma\Delta$ simulé pendant 0.1s pour une amplitude V_{in} de 5V , une fréquence F_{in} de 10Hz , une capacité nominale C_0 de 100pF , une capacité C_{fb} de 10pF (soit $\text{FS} = \pm 5\%$) et un gain de 20 (calculé à partir de l'équation (4.2)). Le résultat présente une bonne linéarité et un gain simulé très proche de la valeur théorique. Cependant un offset de -4% affecte la mesure quel que soit

la valeur de ΔC (courbe en rouge). En fait, cet offset est dû à la présence du bruit basse fréquence en $1/f$ qui n'est pas identique dans chaque phase (Φ_1 et Φ_2) et n'est donc pas entièrement rejeté par la mesure différentielle. Pour chaque valeur de ΔC , le simulateur reproduit le même bruit transitoire et donc cela se traduit par une erreur systématique sur la sortie. Cette hypothèse a été confirmée par l'augmentation de la surface des transistors (à rapport W/L et I_p identiques) qui permet de diminuer la fréquence de coin du bruit en $1/f$, donc de le rendre négligeable et d'annuler l'offset (courbe en noir). Une autre solution pour rejeter ce bruit et l'offset induit est d'augmenter la fréquence de V_{in} afin de diminuer les fluctuations aléatoires de la sortie entre les deux phases de mesure Φ_1 et Φ_2 .

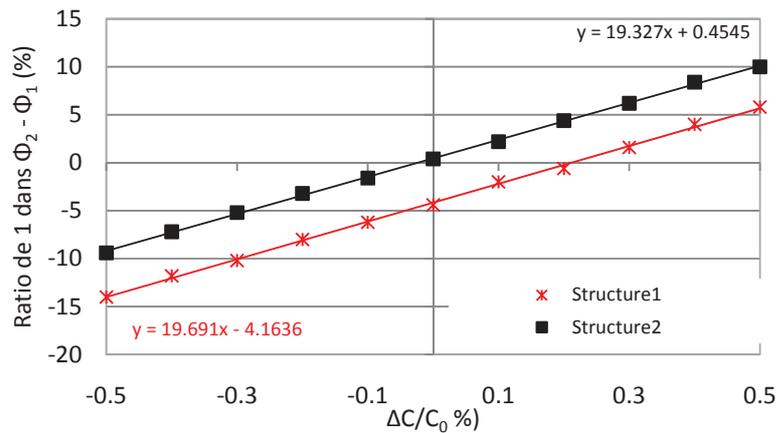


Fig. 4.17 Caractéristiques de transfert du modulateur $\Sigma\Delta$ simulées sur le pont actif cascode et sur une période de V_{in}

Afin de vérifier la robustesse de l'architecture, une simulation Monte Carlo est réalisée sur 100 circuits. La Fig. 4.18 montre la réponse (offset et gain) du modulateur obtenue pour un pont actif différentiel ayant un gain A_R de 73GV/A et dans les mêmes conditions que celle de la courbe rouge de la Fig. 4.17. Sur une plage de variation de $\Delta C/C$ de $\pm 0.3\%$, la structure simulée possède un offset typique (à ΔC nul) de -4% et un gain typique de 19.4. Sous l'effet des disparités, le ratio de '1' dans le bitstream dans chaque phase (Φ_1 et Φ_2) varie entre 46.6% et 57.8% pour $\Delta C=0$. Après soustraction des 2 phases, ces variations induisent une variation de l'offset final du modulateur de -10% à 10% (Fig. 4.18 (a)). Concernant le gain, une variation plutôt faible de 19 à 21, soit $\pm 5\%$, est observée (Fig. 4.18 (b)). En effet, ce gain ne dépend que du ratio des capacités nominales C_0 et de contre réaction C_{fb} ; ratio affecté seulement par les variations de procédé de type 'mismatch' et non par les variations 'process'.

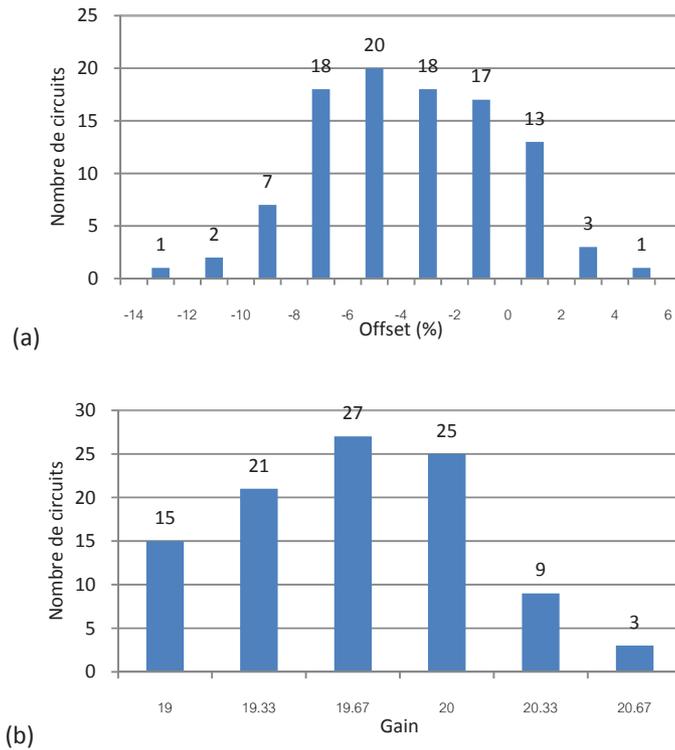
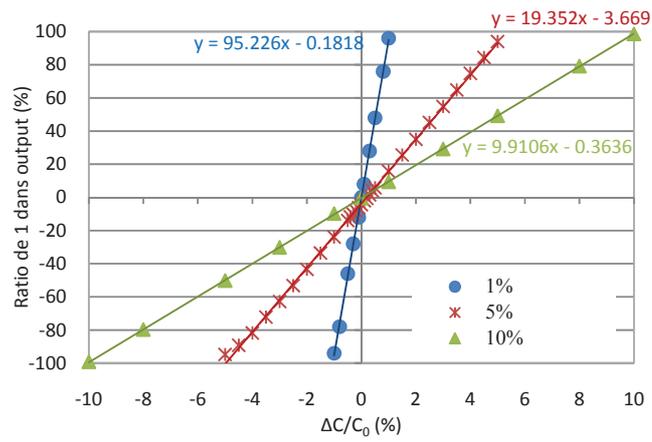
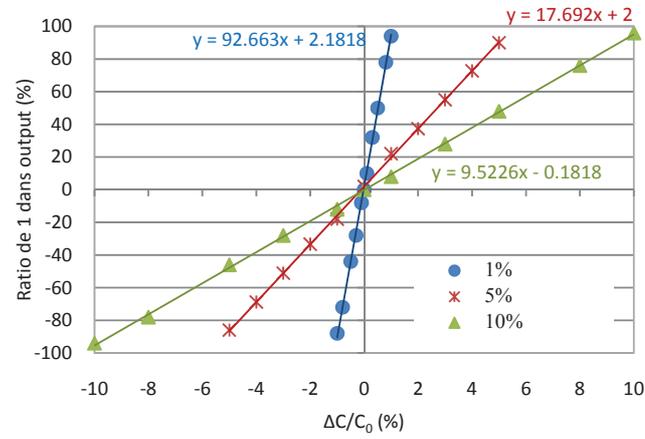


Fig. 4.18 Résultats de l'analyse Monte Carlo : (a) Offset à $\Delta C=0$ et (b) Gain entre $\pm 0.3\%$ de $\Delta C/C$

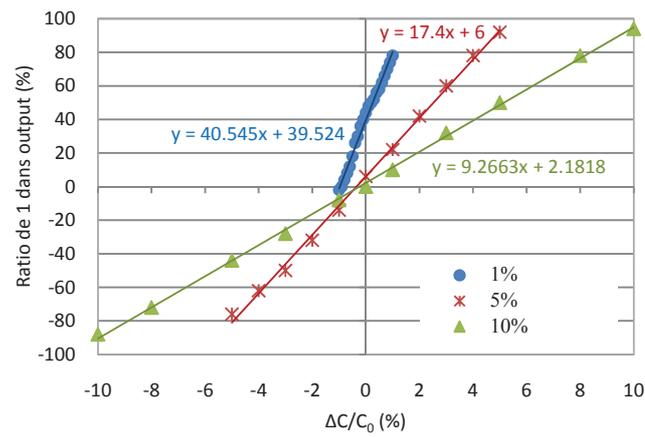
Cette architecture est également étudiée pour des valeurs nominales C_0 du capteur capacitif inférieures à 100pF. Pour cette étude, la fréquence F_{in} du signal V_{in} est augmentée à 100Hz afin d'améliorer le rapport signal sur bruit (SNR). Pour garder la même résolution (0.2% de la pleine échelle dans cette section) la fréquence d'horloge est portée à 100kHz. La Fig. 4.19 présente les caractéristiques de transferts pour différentes capacités nominales C_0 (100, 10 et 1pF). Le gain et la pleine échelle FS du modulateur étant fixés par la capacité de contre réaction C_{fb} , 3 pleines échelles différentes ($\pm 1\%$, $\pm 5\%$ et $\pm 10\%$) sont ainsi simulées en modifiant les valeurs de C_{fb} . Pour C_0 de 100pF et 10pF, les gains obtenus sont proche du gain théorique (calculé à partir de l'équation (4.2)) malgré un écart croissant avec C_0 et FS décroissant (Fig. 4.19 (a) et (b)). Pour C_0 de 1pF, le dysfonctionnement du modulateur apparaît pour la pleine échelle FS de $\pm 1\%$: un grand offset et une erreur de gain sont alors clairement observés (Fig. 4.19 (c)). Ce dysfonctionnement est dû au mauvais SNR en entrée de comparateur : le bruit en 1/f du convertisseur capacité/tension est alors trop élevé pour être compensé par la capacité de contre réaction. La sortie du comparateur est donc régie par ce bruit et la sortie du modulateur peut être transitoirement bloquée à '0' ou '1' (Fig. 4.20), ce qui induit une erreur de la sortie numérique.



(a) $C_0=100\text{pF}$



(b) $C_0=10\text{pF}$



(c) $C_0=1\text{pF}$

Fig. 4.19 Caractéristique de transfert pour différentes pleines échelle et différentes capacités nominales
(a) $C_0=100\text{pF}$, (b) $C_0=10\text{pF}$ et (c) $C_0=1\text{pF}$

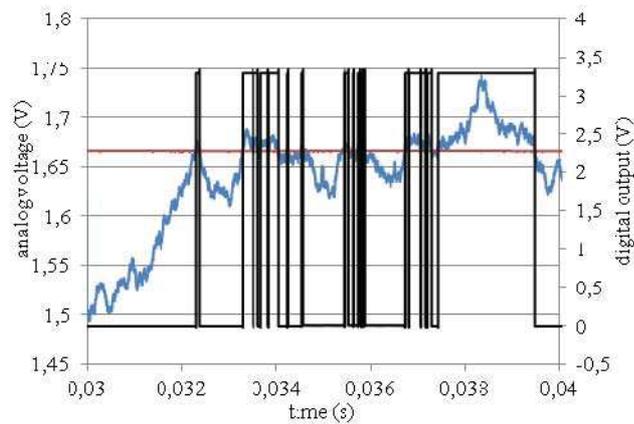


Fig. 4.20 Signal V_G (en rouge), V_{out} (en bleu) et Q (en noir) pour C_0 de 1pF et FS de $\pm 1\%$

IV.4.3) Prototype, mise en œuvre et résultats

Le convertisseur capacité/tension basé sur un pont actif cascode a été implanté sur silicium dans la technologie CMOS AMS 0,35 μ m avec une capacité d'intégration C_L de 200fF (Fig. 4.21). Il est réalisé sans structure de compensation d'offset et dimensionné pour avoir une résistance d'entrée R_{in} de 100k Ω avec un courant de polarisation de 1 μ A par branche, soit 2 μ A au total. Afin de diminuer le bruit en 1/f, des transistors de grande surface sont utilisés ; la résistance de sortie R_{out} et le gain (V/A) ou transrésistance A_R sont de l'ordre de 300G Ω . En sortie, un suiveur de tension basé sur un amplificateur opérationnel OP05B issu de la bibliothèque AMS 0,35 μ m est ajouté : la fréquence de coupure F_c du montage ainsi obtenu est de 2,6 Hz.

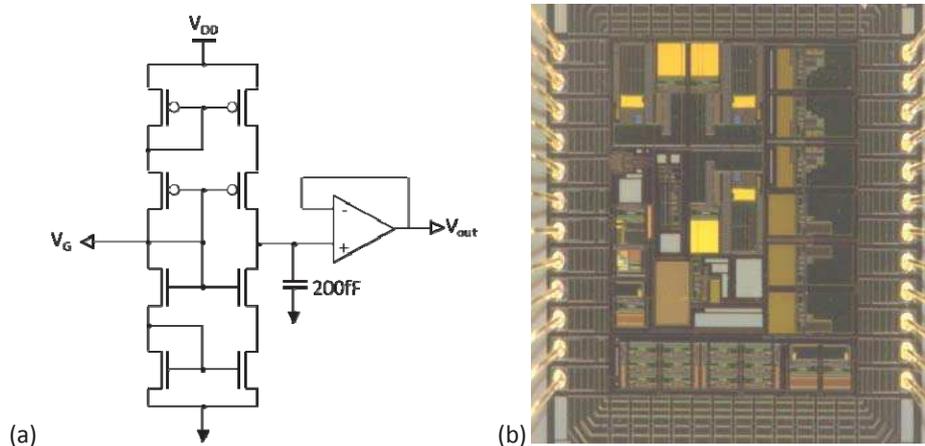
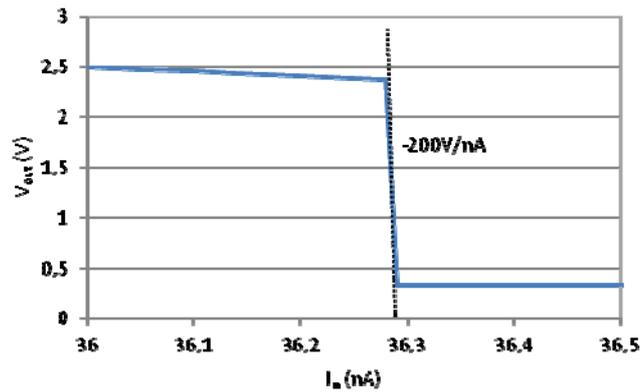


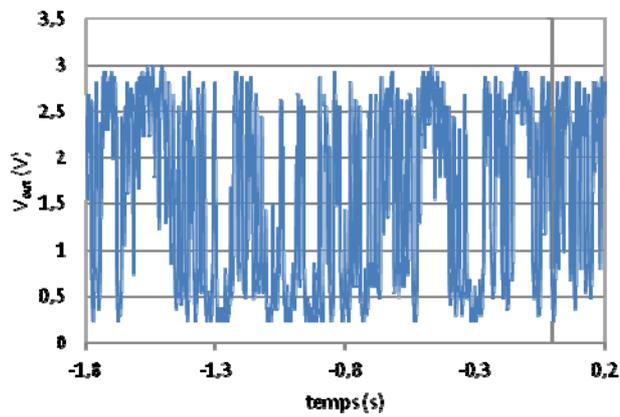
Fig. 4.21 (a) Schéma et (b) Layout du prototype du pont actif cascode encapsulé dans un boîtier 'DIL 48'

Le gain A_R de ce prototype a été validé expérimentalement en utilisant le même dispositif de test (analyseur de paramètres HP4156A) que précédemment (section III.4.2). La Fig. 4.22 (a) montre la mesure de la caractéristique de transfert I/V du circuit (le courant d'entrée I_{in} appliqué au nœud V_G). Un gain maximum de 200 V/nA est obtenu pour un courant d'entrée de 36,3 nA. Comme précédemment, l'offset de la structure est du aux variations du procédé de fabrication. Notons que le gain réel est probablement supérieur à 200 V/nA mais ne peut pas

être vérifié car le pas de variation du courant d'entrée est limité à 10 pA. De même, la mesure de cette caractéristique est obtenue par une moyenne de la tension de sortie effectuée par le HP4156A. Sans cet effet passe bas, la mesure est impossible à cause d'un très fort bruit à 50Hz en sortie de la structure. Cette perturbation est très bien observée sans filtrage quand $V_{out} \approx V_G$ (Fig. 4.22 (b)) et l'analyse spectrale montre qu'elle est bien à 50Hz (Fig. 4.22 (c)). Cette perturbation pourrait être atténuée en augmentant la valeur de la capacité C_L afin de diminuer la fréquence de coupure F_c . Cependant, il n'a pas été possible de le faire à cause de l'étage suiveur placé en sortie du prototype qui empêchait l'accès à la sortie du pont actif.



(a)



(b)

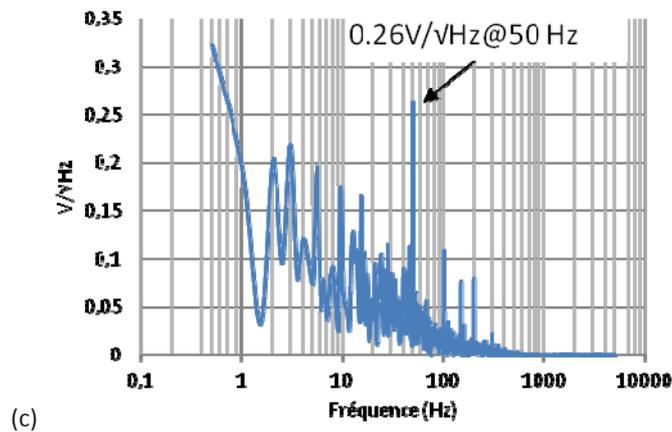


Fig. 4.22 (a) caractéristique de transfert I/V, (b) tension de sortie quand $V_{out} \approx V_G$ et (c) analyse FFT de Fig. 4.22 (b)

IV.5) Conclusion

Dans ce chapitre, deux architectures de contre réaction capacitive, à une seule ou deux capacités de contre réaction, ont été présentées. Ces deux architectures ont été adaptées pour contrôler le point de fonctionnement du convertisseur courant/tension basé sur le pont actif différentiel et pour obtenir une sortie numérique représentant la variation de la capacité ΔC du capteur capacitif. Les résultats expérimentaux ont été obtenus à partir d'un prototype basé sur une architecture de pont actif différentiel à sources dégénérées fabriqué en technologies CMOS $0,35\mu\text{m}$. L'architecture de contre réaction à deux capacités C_{fb} est l'architecture la plus simple à mettre en œuvre puisqu'elle nécessite moins de signaux de contrôle. Comme nous avons vu, elle donne également les meilleures performances en termes de résolution. Quelle que soit l'architecture, des dysfonctionnements du modulateur, dû à un faible SNR en entrée de la bascule, ont pu être observés en simulation et en manipulation. Ce SNR peut être amélioré par différentes techniques : ajout d'un comparateur en sortie de l'intégrateur, augmentation de $\left| \frac{dV_{in}}{dt} \right|$ et/ou de la fréquence de V_{in} et/ou de la résistance d'entrée et/ou de la surface des transistors du pont actif. Enfin, l'augmentation de la surface des transistors (à courant de polarisation constant) permet également d'augmenter la résistance de sortie et le gain (V/A) et donc de réduire la fréquence de coin du bruit en $1/f$ et son influence sur la sortie.

Chapitre V. Réalisation d'un démonstrateur intégré

V.1) Introduction

Dans ce chapitre, un modulateur $\Sigma\Delta$ à retour capacitif est implanté sur silicium en technologie CMOS AMS 0,35 μm . Ce prototype est basé sur un pont actif différentiel à sources dégénérées et dimensionné pour améliorer la résistance d'entrée, le gain A_R et le rapport signal sur bruit. Il est le fruit de l'analyse des résultats obtenus dans les chapitres précédents. Le but est d'obtenir une résolution plus élevée que celle du premier prototype (Chapitre IV) pour un capteur capacitif différentiel de 10pF de valeur nominale. Pour diminuer la consommation totale, un comparateur faible consommation est aussi conçu spécialement pour ce modulateur. En effet, il a été observé précédemment qu'une bascule numérique utilisée comme comparateur avait une consommation statique trop importante.

V.2) Modulateur $\Sigma\Delta$ tout intégré

Dans le Chapitre II, il ressort que le meilleur compromis en termes de résistance d'entrée, de résistance de sortie, de gain A_R , et de rapport signal sur bruit est obtenu par le pont actif différentiel à sources dégénérées. En effet, à courants de polarisation identiques, cette architecture présente une résistance d'entrée plus grande qu'un pont actif différentiel simple et cascode et le bruit en courant ramené en entrée est le plus faible. Afin de réaliser le CNA dans la boucle de retour, la contre réaction capacitive à deux capacités a été choisie car le Chapitre IV a montré qu'il était possible d'obtenir une résolution inférieure à 1% de la pleine échelle, soit un SNR supérieur à 30dB pour une capacité nominale de 10pF. La Fig. 5.1 illustre donc l'architecture $\Sigma\Delta$ toute intégrée sur silicium et son layout ; le détail de chaque fonction est l'objet des sections suivantes.

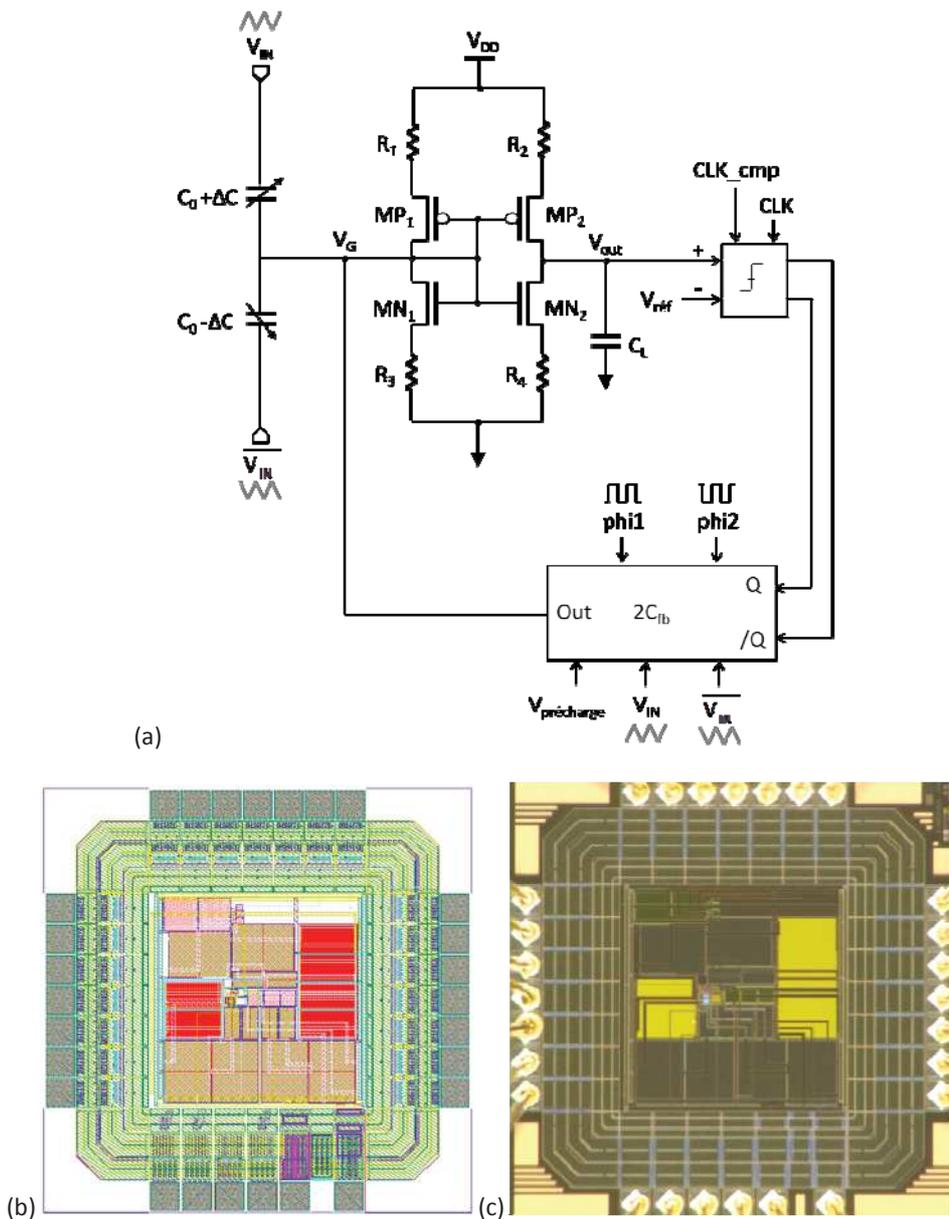


Fig. 5.1 (a) Schéma et (b-c) Layout du prototype tout intégré

Pour ce prototype, une capacité nominale C_0 du capteur capacitif égale à 10pF est considérée et les capacités de contre réaction C_{fb} sont fixées à 2pF afin d'obtenir une plage de la variation ΔC mesurable de $\pm 10\%$ de la valeur nominale. Le gain théorique du modulateur, calculé à partir de l'équation (4.2), vaut ainsi 10. La fonction intégration est réalisée par une capacité intégrée C_L de 2pF associée à l'impédance de sortie du pont actif différentiel. Enfin, les tensions V_{ref} , égales à V_G sont obtenues par des demi-ponts actifs, c'est à dire deux résistances et deux transistors montés en diode qui ont les mêmes dimensions que ceux du convertisseur courant/tension.

Dans la suite de ce chapitre, la conception du convertisseur courant/tension et du comparateur synchrone est détaillée et les résultats simulés et expérimentaux obtenus pour le modulateur complet sont exposés.

V.2.1) Description

V.2.1.1) Convertisseur courant/tension

Le convertisseur courant/tension repose sur l'architecture d'un pont actif différentiel à sources dégénérées dont les quatre résistances de référence sont identiques. L'objectif principal est d'améliorer la résolution du modulateur. L'entrée étant en courant l'obtention d'un bon SNR en entrée nécessite d'augmenter la résistance d'entrée. De même, l'obtention d'un bon SNR en sortie de l'intégrateur et en entrée du comparateur passe par l'augmentation du gain et donc de la résistance de sortie. Afin d'obtenir ces grandes résistances, il est nécessaire d'augmenter la valeur des résistances de charge ce qui conduit à une augmentation de leur surface et une diminution du courant de polarisation. Pour limiter la surface finale, les quatre résistances de référence sont réalisées en polyh à cause de sa résistivité plus élevée que celle du poly2 (1.2kΩ/□ contre 50Ω/□). Le courant total consommé du convertisseur courant/tension a été fixé à 1μA, i.e. la moitié de celui du prototype du Chapitre III, induisant une plus grande résistance d'entrée. Afin d'obtenir un gain élevé, les tensions $V_{eff} = V_{GS} - V_t$ des transistors PMOS et NMOS de l'étage d'amplification ont été fixées à 0,1V. Afin d'obtenir une symétrie quasi-parfaite de la structure, leurs transconductances g_m , calculées à partir de l'équation (3.4), sont donc égales à 10μA/V. La longueur L des transistors est prise suffisamment grande pour que leur résistance drain-source r_{ds} soit grande et donc que la résistance de sortie et le gain soient élevés. De plus, une surface WL importante est également choisie pour limiter la contribution du bruit en 1/f en basse fréquence.

La valeur des résistances est donnée par :

$$R = \frac{V_{DD} - V_{GSp} - V_{GSn}}{2 * I_p} = 1.9M\Omega \quad (5.1)$$

Les dimensions des transistors PMOS et NMOS, calculées à partir de l'équation (3.5), et des résistances sont résumées dans le Tab. 5.1 ci-dessous :

Fonction	Composants	W (μm)	L (μm)	I _p (μA)
Gain	PMOS MP ₁ , MP ₂	100	50	0.5
Gain	NMOS MN ₁ , MN ₂	150	200	
Référence	Rpolyh R ₁ -R ₄	2	2850	

Tab. 5.1 Dimensions des principaux éléments constituant le convertisseur courant/tension

Le layout des quatre résistances de référence est réalisé sous la forme d'une structure interdigitée et symétrique centrée (common centroïde) afin de réduire l'impact d'un mauvais

appariement des résistances. La surface des résistances est de 0,2mm x 0,2mm et celle du pont actif est de 0,3mm x 0,4mm.

Afin d'évaluer la résistance d'entrée, la résistance de sortie, le gain A_R et le bruit, des simulations électriques ont été effectuées. Les valeurs des paramètres des transistors sont extraites de la simulation pour un pont actif équilibré à $I_G=0$ et présentées dans le Tab. 5.2. Le courant de polarisation simulé est de 0,46 μ A dans chaque branche.

Composants	$g_m(\mu A/V)$	$r_{ds}(G\Omega)$
PMOS MP_1, MP_2	7.52	1.13
NMOS MN_1, MN_2	7.88	1.03

Tab. 5.2 Paramètres obtenus de la simulation à $I_G=0$

En utilisant les valeurs du Tab. 5.2 et l'équation (2.1), la résistance d'entrée théorique du pont actif est égale à 1,01M Ω . Ce résultat est confirmé par simulation puisque la pente de la caractéristique de transfert en entrée du pont actif $\Delta V_G/\Delta I_G$ (Fig. 5.2 en rouge) est égale à 1,12M Ω .

La Fig. 5.2 montre également la caractéristique de transfert (en bleu), i.e. V_{out} en fonction de I_G . La dérivée de cette caractéristique de transfert (en vert) est le gain A_R en V/A du circuit. Le gain maximum extrait autour de $I_G=0$ est égal à 9,24GV/A, une valeur relativement proche de 8,43GV/A, le gain théorique calculé en remplaçant les différents paramètres par leurs valeurs du Tab. 5.2 dans l'équation (2.19).

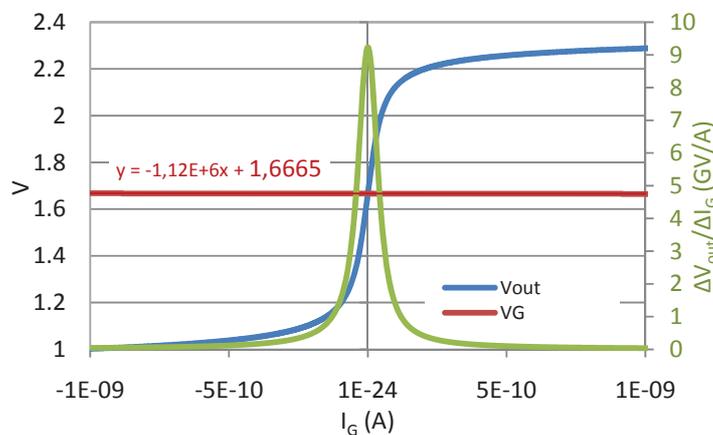


Fig. 5.2 Simulation de la caractéristique de transfert I/V du convertisseur courant/tension

La Fig. 5.3 montre une simulation de la tension de sortie du pont actif en fonction du courant de sortie (en noir) et sa dérivée (en violet). La résistance de sortie extraite de la pente autour de 0A de cette caractéristique de transfert est égale à 9,24G Ω et correspond comme attendu au gain A_R de la structure déterminé sur la Fig. 5.2.

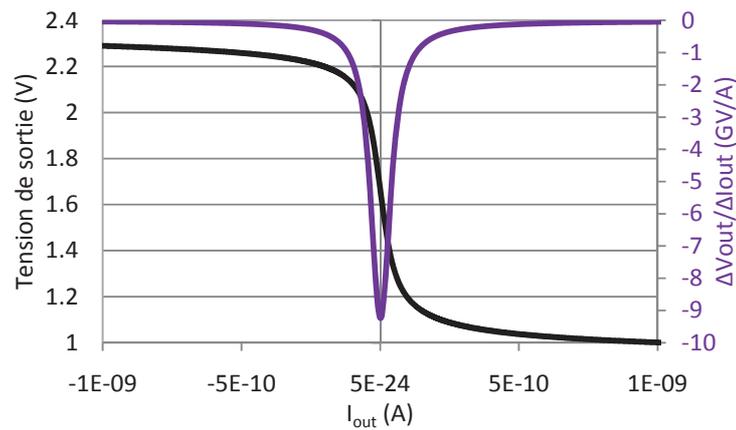
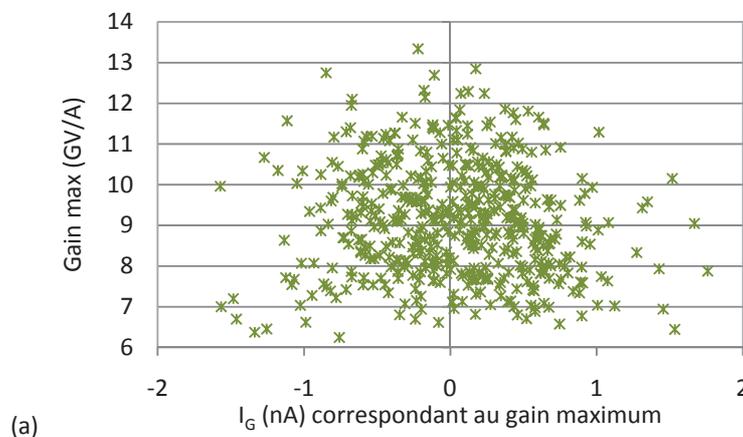


Fig. 5.3 Simulations des caractéristiques de transfert I/V en sortie (utilisées pour extraire la valeur de la résistance de sortie)

Les dispersions du gain maximum A_R et du courant d'entrée I_G , auquel ce gain est obtenu et le pont actif est équilibré (i.e. $V_G = V_{out}$), sont étudiées par une simulation Monte Carlo en appliquant les deux types de variations du procédé de fabrication 'process' et 'mismatch'. Les résultats sont présentés dans la Fig. 5.4. La Fig. 5.4 (a) présente les variations du gain maximum obtenu : il varie de 6.25GV/A à 13.3GV/A, soit de -32% à +44% par rapport au gain simulé (9.24GV/A). De plus le courant I_G auquel ce gain est obtenu varie de -1.57nA à 1.76nA.

Concernant l'offset, il est possible de le compenser en modifiant le courant I_G , en ajoutant une résistance variable dans une des 2 branches ou en faisant varier la tension d'alimentation d'une branche. Ainsi, un courant I_G négatif diminue la tension de sortie et un courant positif l'augmente. La Fig. 5.4 (b) montre le courant I_G nécessaire pour corriger l'offset en fonction de sa valeur initiale. Cette figure montre également la valeur de la résistance R_{offset} à mettre en série avec R_4 pour le compenser : cette résistance R_{offset} varie entre -7.4kΩ et 6.4kΩ. Notons qu'une valeur négative de R_{offset} signifie qu'elle est en fait mise en série avec R_3 . Enfin la Fig. 5.4 (c) illustre la dernière solution de compensation d'offset qui consiste à faire varier la tension d'alimentation d'une des 2 branches (celle de droite dans cet exemple). Pour ce prototype une variation de la tension V_{DD} de $\pm 4mV$ suffit à effectuer la correction (Fig. 5.4 (c)).



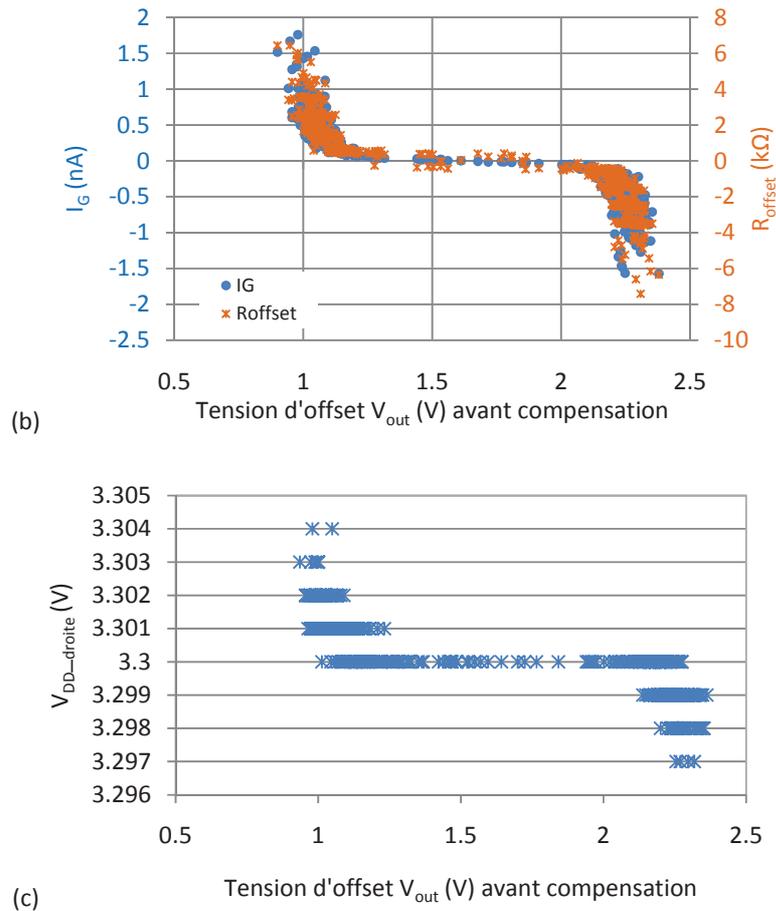


Fig. 5.4 Résultats de l'analyse Monte Carlo

La Fig. 5.5 montre le résultat de la simulation de la densité spectrale de puissance de bruit (en V^2/Hz) en sortie du pont actif différentiel : elle met en évidence les contributions de bruit des résistances (bruit blanc en rouge), et des transistors (bruit blanc et bruit en $1/f$ en noir). Un plateau de bruit blanc est obtenu en sortie entre la fréquence de coin du bruit en $1/f$ à 0,02Hz et la fréquence de coupure à 10Hz ; il est égal à $2,8\mu V^2/Hz$, soit $1,66mV/VHz$. Sur ce plateau, le bruit des transistors (en noir) est négligeable devant celui des résistances (en rouge) grâce à l'optimisation du dimensionnement des transistors. Le bruit observé est tout de même supérieur à celui du prototype du Chapitre III car la valeur des résistances de référence est plus élevée ($1,9M\Omega$ au lieu de $620k\Omega$). Au dessus de 10Hz, correspondant à la fréquence de coupure du filtre passe bas, la densité spectrale de puissance de bruit (V^2/Hz) diminue avec une pente de $-40dB/décade$, soit $-20dB/décade$ pour la densité spectrale de tension de bruit (V/VHz). La densité spectrale de courant de bruit ramené en entrée du pont actif est également reportée (en vert) dans la Fig. 5.5. La densité spectrale de ce bruit est égale à $180fA/VHz$ sur ce plateau de 1Hz jusqu'à 1kHz environ. Les 2 plateaux de bruit, en entrée et en sortie, sont très proches des valeurs théoriques obtenues à partir des équations (3.7) et (3.8), respectivement égales à $1.51mV/VHz$ et $179fA/VHz$ en utilisant les valeurs des paramètres du Tab. 5.2 et A_R égal à $8.43GV/A$.

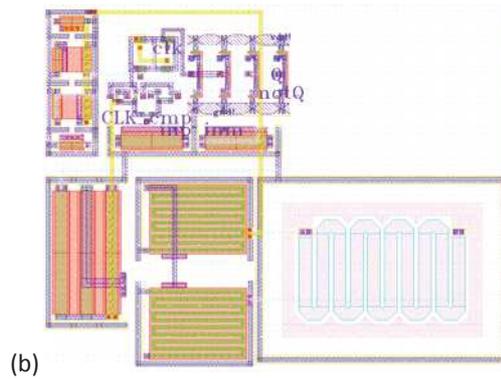


Fig. 5.6 (a) Schéma et (b) Layout du comparateur synchrone de 60µm x 75µm

Le courant de polarisation du comparateur I_0 est de 300nA (i.e. $I_0=I_{MN1}=I_{MN2}=I_{MN3}$). Les dimensions de ses principaux éléments sont détaillées dans le Tab. 5.3.

Fonction	Composants	W (µm)	L (µm)
Etage de polarisation	Rpolyh R	2	150
	PMOS MP ₁	0.5	150
	PMOS MP ₂	0.55	150
	NMOS MN ₁ -MN ₂	2	20
Comparateur	MN ₃	2	20
	PMOS MP ₃ -MP ₈	0.8	4
	NMOS MN ₄ -MN ₅	2	10
	NMOS MN ₆ -MN ₁₀	0.4	0.35
Point mémoire	PMOS	1	0.35
	NMOS	1	0.35

Tab. 5.3 Dimensions des principaux éléments constituant le comparateur synchrone

Ce comparateur fonctionne différemment sur les 2 phases d'horloge de CLK_cmp : 'track' et 'latch'. Durant la phase de 'track', sur niveau haut (V_{DD}) de CLK_cmp, le transistor MN₁₀ est considéré comme un interrupteur fermé, et les transistors montés en diode MN₆ et MN₈ sont passants. Les courants drain source de MP₇ et MP₈, égaux à $I_0/2$ ou 0 selon la présence d'une différence de tension en entrée, recopient respectivement de MP₆ et MP₃ et sont respectivement repartis dans MN₆ et MN₈. Enfin le courant drain source de MN₁₀ est la somme de ces courants soit égal à $I_0/2$. Le comparateur est dans un état stable. L'ensemble MP₇, MP₈, MN₆, MN₇, MN₈ et MN₉ fonctionne comme un étage de faible gain différentiel. Les tensions V_{S+} et V_{S-} sont constantes à 0V ou à la tension différentielle initiale qui vaut quelques centaines de mV. En effet, si la tension d'entrée notée V_{in+} est supérieure à l'entrée V_{in-} , les courants drain source de MP₇ et MP₈ sont respectivement égaux à 0A et $I_0/2$, V_{S-} vaut 0V, V_{S+} reste à la tension différentielle initiale, ces 0 sont dû à l'effet du transistor MN₄. Et sinon le courant drain source

de MP_8 et MP_7 est respectivement égal à $0A$ et $I_0/2$, V_{S+} vaut $0V$ et V_{S-} reste à la tension différentielle initiale, ces 0 sont dû à l'effet du transistor MN_5 .

Lorsque le signal CLK_cmp passe à niveau bas ($0V$), phase de 'latch', l'interrupteur MN_{10} est ouvert. Les transistors montés en diode MN_6 et MN_8 ont alors leur source en l'air. Aucun courant ne circule dans ces transistors. L'étage de gain devient un circuit *latch* dû aux transistors MN_7 et MN_9 en couplage croisé. La tension différentielle initiale est amplifiée par ce circuit *latch* jusqu'à V_{DD} . La valeur en sortie dépend des entrées sur niveau haut de CLK_cmp . On obtient alors V_{DD} (soit un '1' logique) sur la sortie V_{S+} si l'entrée V_{in+} est supérieure à l'entrée V_{in-} et donc $0V$ (soit un '0' logique) si V_{in+} est inférieure à V_{in-} . La sortie V_{S-} est le complément de la sortie V_{S+} .

Le courant consommé par ce comparateur est donc égal à $1,05\mu A$. Cependant, pour utiliser ce comparateur dans le modulateur $\Sigma\Delta$, il faut que la tension différentielle évaluée dans la phase de 'track' reste invisible en sortie du modulateur et n'influe pas sur le fonctionnement du CNA. Un point mémoire constitué de 2 portes de transmission et de 3 inverseurs est donc inséré afin de mettre en forme et de garder en mémoire la sortie du comparateur pendant toute la période d'horloge CLK . Le signal en sortie du point mémoire sert ensuite d'entrée au nœud Q du CNA du retour capacitif. Afin d'obtenir le signal $/Q$, un inverseur est connecté à la sortie du point mémoire. De plus, seules les tensions V_{DD} et 0 doivent être présentées en entrée du point mémoire afin de réduire sa consommation statique. Pour cela, un schéma d'horloge simple, sans recouvrement, est choisi. La Fig. 5.7 illustre ce schéma d'horloge et les signaux obtenus pour ce comparateur.

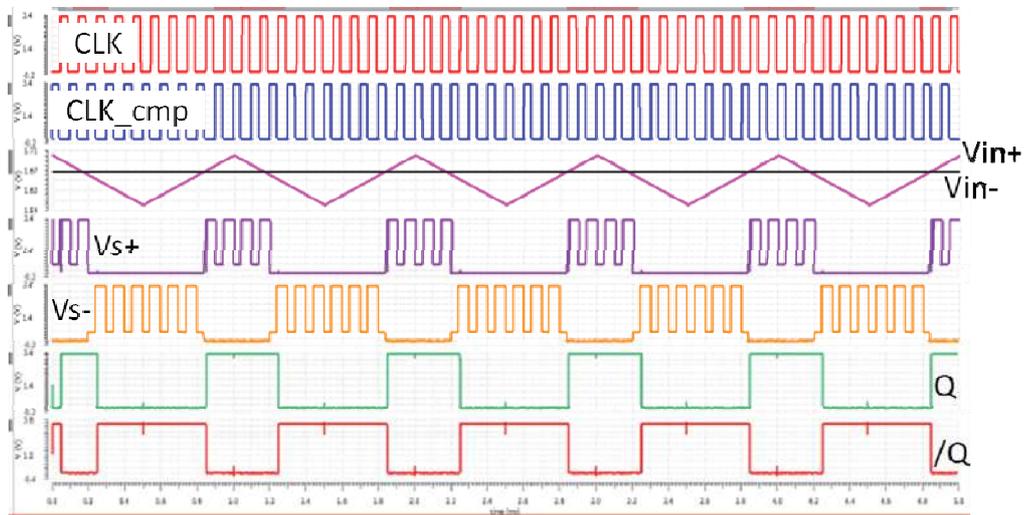
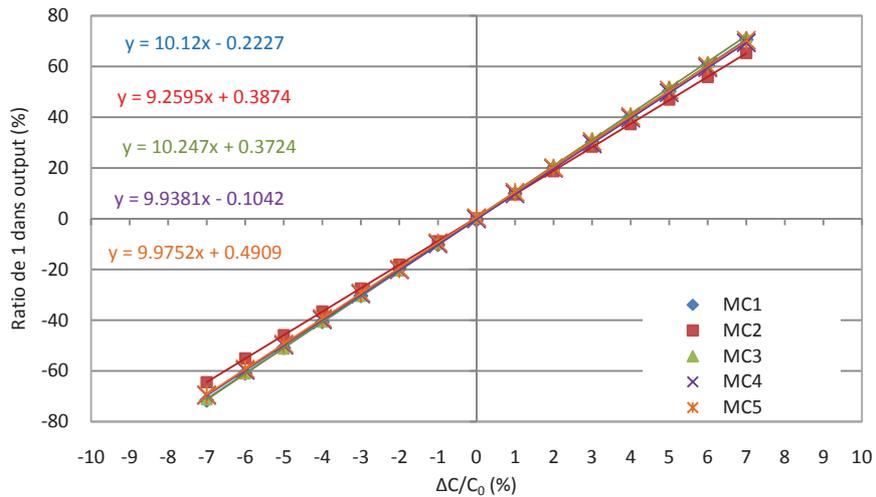


Fig. 5.7 Signaux du comparateur synchrone

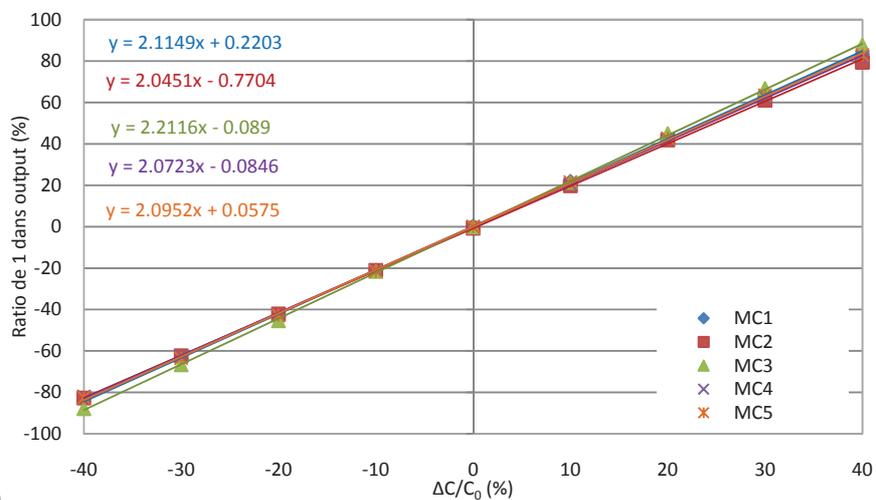
V.2.2) Simulation du $\Sigma\Delta$

La Fig. 5.8 (a) présente une simulation Monte Carlo de la fonction de transfert du modulateur réalisée grâce à une analyse de bruit transitoire sur 5 circuits en appliquant les deux types de variations du procédé de fabrication 'process' et 'mismatch'. Les résultats sont

tracés pour une variation de la capacité (ΔC) par pas de 1% de la valeur nominale ($C_0 = 10\text{pF}$), une tension V_{in} de $10V_{C-C}$, une fréquence F_{in} de 100Hz , une fréquence d'horloge F_{clk} de $204,8\text{kHz}$ (soit 1024 périodes d'horloge dans chaque phase Φ_1 et Φ_2) et des capacités C_{fb} de 2pF (gain de 10). Chaque point de la courbe est obtenu par une moyenne effectuée sur 10 périodes de V_{in} ; le temps de simulation de ses analyses de bruit transitoire est donc relativement long (i.e. de l'ordre de 8 heures pour chaque point de chaque courbe). Pour les 5 circuits, les fonctions de transferts semblent quasi-linéaires et les gains correspondant varient entre 9.26 et 10.25, soit respectivement de -7.4% à 2.5% de la valeur théorique.



(a)



(b)

Fig. 5.8 Taux de '1' dans le bitstream en sortie du modulateur $\Sigma\Delta$ pour C_0 de 10pF : (a) C_{fb} de 2pF et (b) de 10pF

En condition réelle, cette valeur de C_{fb} de 2pF est trop petite pour compenser l'offset résiduel du pont actif : il est donc nécessaire de l'augmenter pour inclure l'offset dans la pleine échelle. Pour $C_{fb} = 10\text{pF}$, la pleine échelle et le gain sont respectivement de $\pm 50\%$ et de 2. Les résultats de la simulation Monte Carlo sont présentés dans la Fig. 5.8 (b) pour les mêmes conditions que

la Fig. 5.8 (a). Comme précédemment, la réponse est linéaire et les variations de gain sur 5 circuits sont de l'ordre de 5% à 10% de la valeur théorique.

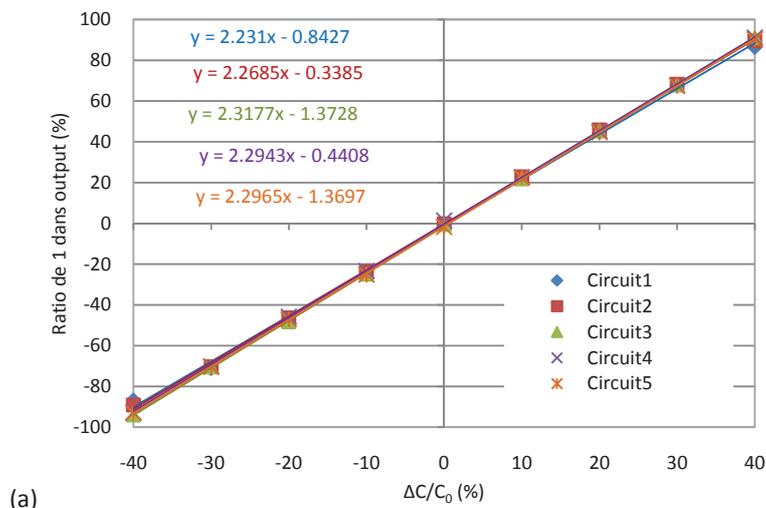
V.2.3) Validation expérimentale du $\Sigma\Delta$

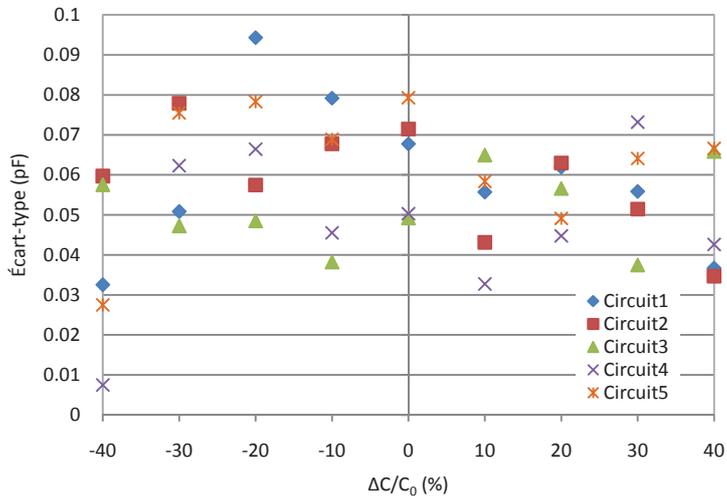
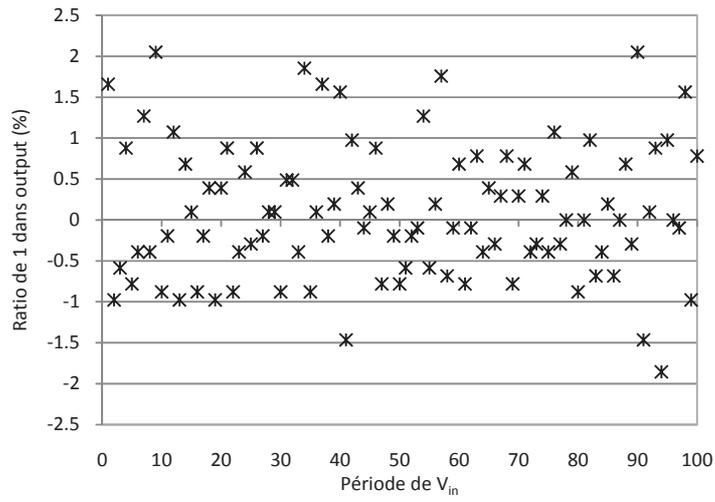
Comme précédemment, les capacités C_{fb} et les capacités variables sont des condensateurs céramiques. La Fig. 5.9 (a) présente les résultats expérimentaux obtenus sur 5 circuits pour une variation (ΔC) de la capacité nominale par pas de 1pF (soit 10% de C_0), une tension V_{in} de $10V_{C-C}$, une fréquence F_{in} de 100Hz et une fréquence d'horloge F_{clk} de 204,8kHz (soit 1024 périodes d'horloge dans chaque phase Φ_1 et Φ_2). Chaque point de la courbe est obtenu par une moyenne effectuée sur 100 périodes de V_{in} afin d'améliorer le SNR. Notons que cette fois-ci le potentiomètre extérieur n'est pas nécessaire car la capacité C_{fb} de 10pF est assez grande pour compenser l'offset dû aux variations du procédé de fabrication. Pour les 5 circuits testés la dispersion sur le gain est faible (1 à 2 %) et les valeurs obtenues sont très proches des valeurs théorique (2) et simulées (environ 2.1).

Afin d'évaluer la résolution du modulateur, la Fig. 5.9 (b) présente les 100 valeurs numériques obtenues pour le 1^{er} circuit à $\Delta C=0$ sur 100 périodes de V_{in} : la résolution du modulateur est alors déduite de l'écart-type. Les écart-types pour chaque ΔC et chaque circuit sont présentés sur la Fig. 5.9 (c) ; ils sont inférieurs à 2%, soit une incertitude sur les variations de capacité mesurée de 100fF. À partir de la Fig. 5.9 (a), les non-linéarités exprimées en pourcentage de la pleine échelle du modulateur sont calculées et présentées dans la Fig. 5.9 (d).

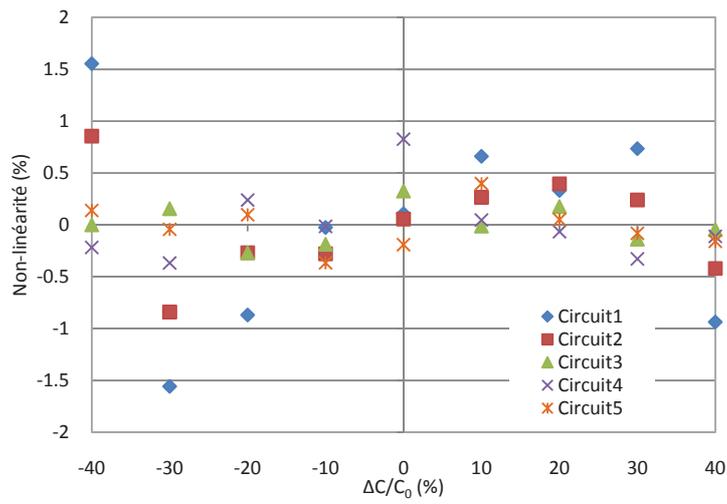
Enfin, grâce au faible bruit en $1/f$ et à l'utilisation de 4 résistances identiques, ce prototype présente de faible variation d'offset (Fig. 5.9 (e)) pour les différents ΔC mesurés. Comme expliqué précédemment, cet offset est de toute façon rejeté par la mesure différentielle sur les 2 phases Φ_1 et Φ_2 .

Notons finalement que les écart-types, les non-linéarités et les offsets mesurés sont inférieurs à ceux du prototype précédent (section IV.3.2).





(c)



(d)

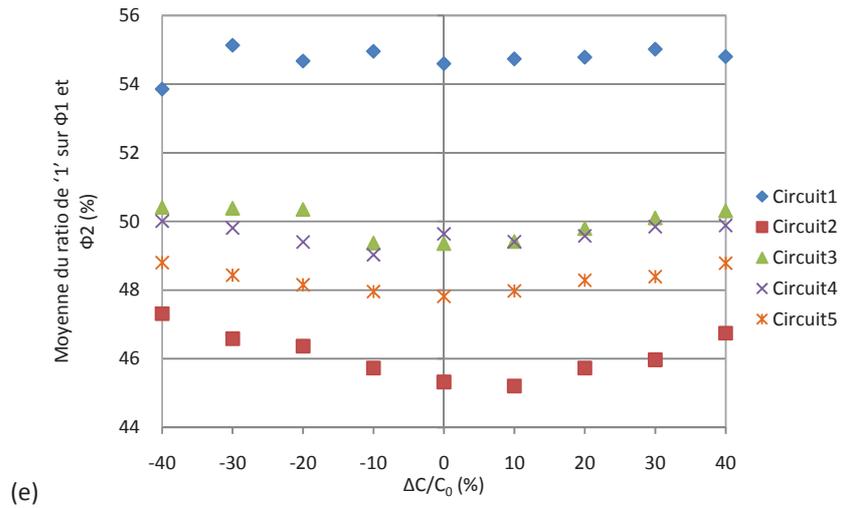


Fig. 5.9 Résultats expérimentaux pour les 5 circuits, C_0 de 10pF et C_{fb} de 10pF : (a) Caractéristique de transfert en fonction de $\Delta C/C_0$ (%), (b) Taux de '1' dans le bitstream à chaque période de V_{in} pour le 1^{er} circuit à $\Delta C=0$, (c) Écart-type (pF), (d) non-linéarités (%) et (e) offset pour les différents ΔC mesurés

V.3) Conclusion

L'implantation tout intégrée du modulateur $\Sigma\Delta$ à retour capacitif utilisant deux capacités de contre réaction C_{fb} est présenté dans ce chapitre. La technologie utilisée est la technologie CMOS AMS 0,35 μ m et le modulateur est constitué d'un pont actif polarisé par un courant de 1 μ A, d'un comparateur faible consommation d'environ 450nA et d'un étage de polarisation qui consomme de 600nA. La consommation totale est donc d'environ 3 μ A. Le convertisseur capacité/tension est basé sur un pont actif différentiel à sources dégénérées dont la résistance d'entrée R_{in} est de 1M Ω et le gain A_R d'environ 8-9V/nA. Ce modulateur a été fabriqué puis testé en utilisant des capacités céramiques comme capacités variables $C_0 \pm \Delta C$ et capacités de contre réaction C_{fb} . Les gains expérimentaux des circuits testés, qui dépendent que du ratio des capacités nominales C_0 et de contre réaction C_{fb} , sont environ 5 à 15% supérieurs aux valeurs théoriques. L'écart type et la non linéarité sur la sortie numérique est de 2% maximum, soit une résolution équivalente de 5.6 bits ou 100fF pour une pleine échelle de 5pF.

Conclusion générale

De nos jours, les capteurs capacitifs sont largement utilisés dans la mesure de grandeurs physiques telles que le déplacement, le taux d'humidité, la pression, etc. Cette large diffusion est principalement due au développement des technologies MEMS qui ont permis de réduire le coût, la taille et la consommation des capteurs. Pour mesurer des variations de capacité, des interfaces de conditionnement électronique de capteur ont été développées afin d'obtenir un signal électrique exploitable tel qu'une tension, un courant, un temps, une fréquence ou directement une sortie numérique. C'est dans ce cadre que se positionne l'objectif de cette thèse ; étudier la faisabilité d'une mesure capacitive à sortie numérique à partir d'un *pont actif*, une architecture développée et brevetée par l'équipe Conception et Test de Microsystèmes du LIRMM pour le conditionnement de capteurs résistifs.

Dans le premier chapitre consacré à état de l'art, nous avons présenté et expliqué les différentes interfaces pour capteurs capacitifs différentiels. Il a été montré que la conversion capacité/fréquence est la technique qui conduit généralement aux plus faibles consommations et aux architectures les plus compactes. Les conversions capacité/tension ou capacité/courant présentent également de bonnes résolutions mais nécessitent une conversion analogique numérique. La conversion numérique couramment utilisée est la modulation $\Sigma\Delta$ qui est relativement facile à implanter, notamment pour les modulateurs du 1^{er} ou du 2nd ordre, et est donc bien adaptée à l'intégration, à la faible consommation et à la réalisation d'interfaces génériques.

Dans le second chapitre, le principe de fonctionnement d'un convertisseur capacité/tension faible consommation est présenté. Ce convertisseur a été proposé pour amplifier et convertir en tension le courant de déséquilibre du pont capacitif d'un capteur capacitif différentiel. Les principales caractéristiques des architectures proposées sont détaillées, notamment les résistances d'entrée et de sortie (R_{in} et R_{out}), les gains ou transrésistances A_R et le bruit équivalent ramené en entrée.

Le premier convertisseur proposé est basé sur deux miroirs de courant simples PMOS et NMOS ; les sources des transistors sont dégénérées en reliant celles-ci aux tensions d'alimentation par l'intermédiaire d'une résistance ce qui permet d'améliorer la résistance d'entrée, la résistance de sortie, le gain A_R ou la performance en bruit, deux autres architectures basées sur ce principe ont été étudiées : un pont actif différentiel sans dégénération de source (composée de 2 PMOS et 2 NMOS) et un pont actif différentiel à sortie cascode (composée de 4 PMOS et 4 NMOS). Les études théoriques des différentes architectures ont été détaillées et ont permis de conclure que le pont actif différentiel à sources dégénérées est le meilleur compromis entre résistance d'entrée, résistance de sortie, gain A_R . Il présente donc le meilleur rapport signal sur bruit ramené en entrée. L'utilisation de ces convertisseurs en boucle ouverte étant impossible à cause du gain très important, de la faible bande passante et de la forte sensibilité aux variations du procédé de fabrication, deux méthodes d'asservissement du point de fonctionnement ont été proposées pour contre-

réactionner le système et obtenir une sortie numérique n bits : une contre réaction par sources de courant pondérées ou par un réseau de résistances. Afin d'obtenir une sortie numérique sous-forme d'un train de bits correspondant à la variation de capacité, un modulateur sigma-delta $\Sigma\Delta$ 1 bit du 1^{er} ordre a aussi été proposé. Dans cette architecture, un courant de contre réaction positif ou négatif est injecté en entrée du pont actif, grâce à une résistance R_{fb} connectée à une source de tension 0 ou V_{dd} . Une alternative a enfin été proposée ou une capacité C_{fb} est mise en parallèle avec l'une ou l'autre des deux capacités variables du capteur afin d'implanter les retours positifs et négatifs.

Le principe du modulateur $\Sigma\Delta$ utilisant une résistance de contre-réaction a été validé grâce à un prototype de pont actif dans le troisième chapitre. Le convertisseur courant/tension est basé sur un pont actif différentiel à sources dégénérées consommant $2\mu A$ sous $3,3V$ et implanté sur silicium dans la technologie CMOS AMS $0.35\mu m$. Afin de mettre en œuvre le modulateur $\Sigma\Delta$, les capacités variables, le comparateur synchrone et la résistance de rétroaction ont été ajoutés comme des composants externes. Différentes pleines échelles ont été testées en modifiant la valeur du courant de contre-réaction I_{fb} par ajustement de la valeur de R_{fb} . Finalement, une résolution de 0.65% de la pleine échelle a été obtenue sur la sortie numérique ; résolution équivalente à 7 bits, soit un SNR d'environ 40dB.

Dans le quatrième chapitre, une seconde implémentation du modulateur basée sur une capacité C_{fb} est étudiée et testée expérimentalement. Dans cette architecture, des interrupteurs et deux signaux d'horloge (ϕ_1 et ϕ_2) sont nécessaires pour inverser le signe de la contre-réaction entre les phases (Φ_1 et Φ_2). Pour obtenir un bon fonctionnement, il faut être attentif au problème d'une forte injection de charges à chaque commutation de la capacité C_{fb} . Cette injection peut être éliminée, ou au moins réduite, par la déconnection temporaire de la capacité C_{fb} avant chaque commutation ou par l'utilisation de deux capacités C_{fb} . Les résultats expérimentaux ont été obtenus grâce au même prototype de pont actif que celui du chapitre 3. Une résolution de 200fF a été obtenue pour une capacité C_{fb} de 10pF (i.e. une pleine échelle de $\pm 5pF$).

Enfin, après ces premières validations du modulateur $\Sigma\Delta$, une version « toute intégrée » sur silicium est proposée dans le chapitre 5. Les caractéristiques simulées et les résultats expérimentaux sont présentés et comparés dans ce dernier chapitre. Le modulateur est constitué d'un pont actif différentiel à sources dégénérées consommant $1\mu A$ et d'un comparateur synchrone faible consommation ($\approx 1\mu A$). Les interrupteurs de commutation sont également implantés sur silicium. Le courant de polarisation de la structure utilisée pour obtenir les tensions de référence V_{ref} (une pour réaliser la précharge de la capacité C_{fb} et l'autre pour l'entrée négative du comparateur) est également de $1\mu A$. Le prototype complet consomme donc d'environ $3\mu A$ et sa surface est de $1.4mm \times 1.4mm$. Les capacités variables et les C_{fb} sont des condensateurs externes. Finalement, une résolution inférieure à 100fF a été obtenue pour une pleine échelle de $\pm 5pF$ et une capacité nominale C_0 de 10pF.

Les résultats obtenus sur la version toute intégrée ont permis de valider le principe de cette architecture de conditionnement de capteur capacitif et de confirmer l'adaptation du pont actif

différentiel à un système ultra-faible consommation de bonne résolution et à sortie numérique directe.

Pour les travaux futurs, il faudrait adapter l'architecture à de plus petites valeurs nominales de capacité à mesurer (inférieure au pF) et à de petites variations (de l'ordre du fF), notamment en utilisant un modulateur $\Sigma\Delta$ d'ordre plus élevé afin de réduire le bruit de quantification, d'améliorer le rapport signal sur bruit et donc la résolution et le nombre de bits. Mais pour avancer efficacement dans ces travaux, il faudrait confronter le savoir-faire développé dans cette thèse à une application issue d'un capteur capacitif industriel dans le cadre d'un travail collaboratif entre monde académique et industrie. En effet, nous sommes aujourd'hui capables de spécifier une électronique de conditionnement basée sur les architectures que nous avons proposés en termes de résistance d'entrée et de sortie, de gain de conversion et donc de consommation et de nombre de bits.

Liste des publications

- [1] P. Kongpark, F. Mailly, L. Latorre, P. Nouet, *A Time-Efficient Simulation Flow for DAC Characterization & Optimization*, p. 298-299, ISBN 978-2-9517461-1-4, XXVII Conference on Design of Circuits and Integrated Systems (DCIS2012), Avignon, France, November 28th – 30th, 2012.

- [2] P. Kongpark, F. Mailly, L. Latorre, P. Nouet, *An ultra-low-power front-end for differential capacitive sensors*, doi: 10.1109/DTIP.2015.7160964, Symposium on Design, Test, Integration & Packaging of MEMS/MOEMS (DTIP2015), Montpellier, France, April 27th – 30th, 2015.

- [3] P. Kongpark, S. Hacine, L. Latorre, F. Mailly, P. Nouet, *A fully-digital and ultra-low-power front-end for differential capacitive sensors*, doi: 10.1007/s00542-015-2777-z, Microsystem Technologies, 2015.

Références

- [1] L. K. Baxter, *Capacitive Sensors. Design and Applications*. New York: IEEE Press, 1997.
- [2] J. Fraden, *Handbook of Modern Sensors: Physics, Designs, and Applications*, 3rd ed. New York: Springer-Verlag, 2004.
- [3] R. Pallàs-Areny and J. G. Webster, *Sensors and Signal Conditioning*, 2nd ed. New York: Wiley, 2001.
- [4] Georges Asch et coll, *Capteurs en instrumentation industrielle*, 7^e édition, Dunod, Paris 2010, p. 367.
- [5] J. C. Lotters, W. Olthuis, P. H. Veltink, and P. Bergveld, *A sensitive differential capacitance to voltage converter for sensor applications*, IEEE Trans. Instrum. Meas., vol. 48, no. 1, p. 89–96, Feb. 1999.
- [6] Z. Tan, M. I. A. P. Pertijs, and G. C. M. Meijer, *An energy-efficient 15-bit capacitive sensor interface*, in Proc. ESSCIRC 2011, Helsinki, pp. 283–286, Sep. 12–16, 2011.
- [7] W. Bracke, P. Merken, R. Puers and C. Van Hoof, *Ultra-Low-Power Interface Chip for Autonomous Capacitive Sensor Systems*, in Proc. IEEE Transactions on Circuits and Systems I : Regular Papers, vol. 54, no 1, p. 130-140, Jan. 2007.
- [8] A. Heidary, S. H. Shalmany and G. Meijer, *A flexible low-power high-resolution integrated interface for capacitive sensors*, in Proc. IEEE International Symposium on Industrial Electronics (ISIE), p. 3347, 2010.
- [9] P. Bruschi, N. Nizza and M. Dei, *A low-power capacitance to pulse width converter for MEMS interfacing*, ESSCIRC, p. 446-449, 2008.
- [10] F. Han, Z. Gao, and Y. Wang, *A differential capacitance to voltage converter for electrostatic levitation applications*, Sens. Actuators A, Phys., vol. 99, no. 3, p. 249–255, Jun. 2002.
- [11] D. Y. Shin, H. Lee and S. Kim, *A Delta–Sigma Interface Circuit for Capacitive Sensors With an Automatically Calibrated Zero Point*, in Proc. IEEE Trans. Circuits and Systems II, vol. 58, no. 2, p. 90-94, 2011.
- [12] K. Mochizuki, T. Masuda and K. Watanabe, *An interface circuit for high-accuracy signal processing of differential-capacitance transducers*, in Proc. IEEE Trans. Instrum. Meas., vol. 47, no. 4, p. 823–827, Aug. 1998.
- [13] H. Kulah, J. Chae, N. Yazdi and K. Najafi, *Noise Analysis and Characterization of a Sigma-Delta Capacitive Microaccelerometer*, in Proc. IEEE J. Solid-State Circuits, vol. 41, no. 2, p. 352–361, Feb. 2006.

- [14] B. Wang, T. Kajita, T. Sun and G. Temes, *High-Accuracy Circuits for On-Chip Capacitive Ratio Testing and Sensor Readout*, in Proc. IEEE Trans. Instrum. Meas., vol. 47, no. 1, p. 16–20, Feb. 1998.
- [15] K. Kapucu and C. Dehollain, *A Passive UHF RFID System with a Low-Power Capacitive Sensor Interface*, in Proc. IEEE RFID Technology and Applications Conference (RFID-TA), p. 301-305, 2014.
- [16] B. V. Amini and F. Ayazi, *A 2.5-V 14-bit $\Sigma\Delta$ CMOS SOI Capacitive Accelerometer*, in Proc. IEEE J. Solid-State Circuits, vol. 39, no. 12, p. 2467–2476, Dec. 2004.
- [17] M. Paavola, M. Kamarainen, Erkka Laulainen, M. Saukoski, Lauri Koskinen, Marko Kosunen, and K. Halonen, *A Micropower $\Delta\Sigma$ Based Interface ASIC for a Capacitive 3-Axis Micro-Accelerometer*, in Proc. IEEE J. Solid-State Circuits, vol. 44, no. 11, p. 3193–3210, Nov. 2009.
- [18] S. Pennisi, *High-Performance and Simple CMOS Interface Circuit for Differential Capacitive Sensors*, in Proc. IEEE transactions on circuits and systems ii: express briefs, vol. 52, no. 6, June 2005.
- [19] M. Lemkin and B.E. Boser, *A three-axis micromachined accelerometer with a CMOS position-sense interface and digital offset-trim electronics*, in Proc. IEEE Journal of Solid-State Circuits, vol. 34, No. 4, p. 456-468, April 1999.
- [20] J. O'Dowd, A. Callanan, G. Banarie, and E. Company-Bosch, *Capacitive sensor interfacing using sigma-delta techniques*, in Proc. IEEE Sensors, p. 951-954, Oct.-Nov. 2005.
- [21] W. Bracke, P. Merken, R. Puers, and C. Van Hoof, *On the optimization of ultra-low-power front-end interfaces for capacitive sensors*, Sens. Actuators A, vol. 117, p. 273–285, 2005.
- [22] F. Reverter and O. Casas, *Direct interface circuit for differential capacitive sensors*, in Proc. IEEE Int. Instrum. Meas. Technol. Conf., Victoria, BC, Canada, p. 1609–1612, 2008.
- [23] F. Reverter and O. Casas, *Interfacing Differential Capacitive Sensors to Microcontrollers: A Direct Approach*, in Proc. IEEE Transactions on Instrumentation and Measurement, vol. 59, no. 10, p. 2763-2769, Oct. 2010.
- [24] N. Yazdi, H. Kulah and K. Najafi, *Precision Readout Circuits for Capacitive Microaccelerometers*, in Proc. IEEE Sensors Conference, p. 28-31, 2004.
- [25] M. Lemkin and B. E. Boser, *A micromachined fully differential lateral accelerometer*, in CICC Dig. Tech. Papers, p. 315–318, May 1996.
- [26] T.G. Constandinou, J. Georgiou and C. Toumazou, *A micropower front-end interface for differential-capacitive sensor systems*, in Proc. IEEE International Symposium on Circuits and Systems, ISCAS, p. 2474-2477, 18-21 May 2008.

- [27] S. Lee, A. Lee, C.H. Je, M.L. Lee, G. Hwang and C.A. Choi, *1.5 V SubmW CMOS Interface Circuit for Capacitive Sensor Applications*, ETRI Journal, vol. 30, no. 5, p. 644-652, Oct. 2008.
- [28] N. Nizza, M. Dei, F. Butti and P. Bruschi, *A Low-Power Interface for Capacitive Sensors With PWM Output and Intrinsic Low Pass Characteristic*, in Proc. IEEE Transactions on circuits and systems I: Regular papers, vol. 60, no. 6, p. 1419- 1431, June 2013.
- [29] Y. Wang and V. P. Chodavarapu, *Differential Wide Temperature Range CMOS Interface Circuit for Capacitive MEMS Pressure Sensors*, Sensors 2015, 15, 4253-4263; doi:10.3390/s150204253.
- [30] N. Wongkomet and B. E. Boser, *Correlated Double Sampling in Capacitive Position Sensing Circuits for Micromachined Applications*, in Proc. IEEE Asia-Pacific Conference on Circuits and Systems Microelectronics and Integrating Systems, p.723-726, 1998.
- [31] W. Bracke, R. Puers and C. Van Hoof, C. Van Hoof, *Ultra-Low-Power Capacitive Sensor Interface*, Springer, The Netherlands, 2007.
- [32] A. Verma and B. Razavi, *Frequency-Based Measurement of Mismatches Between Small Capacitors*, in Proc. IEEE Custom Intergrated Circuits Conference, 2006.
- [33] A. Burstein and W. J. Kaiser, *Mixed analog-digital highly sensitive sensor interface circuit for low-cost microsensors*, in Proc. Sensors and Actuators A 52, p. 193-197, 1996.
- [34] X. Li, G. W. De Jong, G. C. M. Meijer, F. N. Toth and F. M. L. Van Der Goes, *Low-Cost CMOS Interface for Capacitive Sensors and Its Application in a Capacitive Angular Encoder*, in Proc. Analog Integrated Circuits and Signal Processing, 1997.
- [35] N. Yazdi and K. Najafi, *An Interface IC for A Capacitive Silicon μg Accelerometer*, in Proc. IEEE International Solid-State Circuits Conference, 1999.
- [36] H. Kulah, J. Chae, N. Yazdi and K. Najafi, *A Multi-Step Electromechanical $\Sigma\Delta$ Converter for Micro-g Capacitive Accelerometers*, in Proc. IEEE International Solid-State Circuits Conference, 2003.
- [37] N. Yazdi, A. Mason, K. Najafi and K. D. Wise, *A generic interface chip for capacitive sensors in low-power multi-parameter Microsystems*, in Proc. Sensors and Actuators 84, p. 351–361, 2000.
- [38] H. Leuthold and F. Rudolf, *An ASIC for high-resolution capacitive microaccelerometers*, in Proc. Sens. Actuators A: Phys., vol. 21, no. 1-3, p. 278-281, Feb. 1990.
- [39] M. Paavola, M. Kamarainen, J.A.M. Jarvinen, M. Saukoski, M. Laiho and K.A.I. Halonen, *A Micropower Interface ASIC for a Capacitive 3-Axis Micro-Accelerometer*, in Proc. IEEE J. of Solid-State Circuits, vol. 42, no. 12, p. 2651-2665, Dec. 2007.
- [40] M. Kamarainen, M. Saukoski, M. Paavola, J.A.M. Jarvinen, M. Laiho and K.A.I. Halonen, *A Micropower Front End for Three-Axis Capacitive Microaccelerometers*, in Proc. IEEE

Transactions on Instrumentation and Measurement, vol. 58, no. 10, p. 3642-3652, Oct. 2009.

- [41] M. Paavola, M. Laiho, M. Saukoski and K. Halonen, *A micropower 2 MHz CMOS frequency reference for capacitive sensor applications*, Circuit Theory and Design, 2005. Proceedings of the 2005 European Conference on, vol. 3, p. III/425-III/428, Sep. 2005.
- [42] M. Paavola, M. Saukoski, M. Laiho and K. Halonen, *A Micropower Voltage, Current, and Temperature Reference for a Low-Power Capacitive Sensor Interface*, in Proc. IEEE International Symposium on Circuits and Systems, ISCAS, p. 3067-3070, 27-30 May 2007.
- [43] P.D. Dimitropoulos, D.P. Karampatzakis, G.D. Panagopoulos and G.I. Stamoulis, *A low-power/low-noise readout circuit for integrated capacitive sensors*, in Proc. IEEE Sensors Journal, vol. 6, no. 3, p. 755-769, Jun. 2006.
- [44] A. Sharma, M. F. Zaman and F. Ayazi, *A 104-dB dynamic range transimpedance-based CMOS ASIC for tuning fork microgyroscopes*, in Proc. IEEE J. Solid-State Circuits, vol. 42, no. 8, p. 1790–1802, Aug. 2007.
- [45] <http://www.analog.com/media/en/technical-documentation/data-sheets/AD7150.pdf>
- [46] http://www.analog.com/media/en/technical-documentation/data-sheets/AD7745_7746.pdf
- [47] http://www.datasheetlib.com/datasheet/1471187/zssc3122_zmdi-zentrum-mikroelektronik-dresden.html
- [48] <http://www.mas-oy.com/wp-content/uploads/2016/06/DA6510.pdf>
- [49] <https://www.sparkfun.com/datasheets/IC/LIS3LV02DQ.pdf>
- [50] S. Seok, W. Choi and K. Chun, *A novel linearly tunable MEMS variable capacitor*, Journal of Micromechanics and Micro engineering, no. 1, p. 82-86, 2002.
- [51] K. Martin, *A voltage-controlled switch-capacitor relaxation oscillator*, in Proc. IEEE J. Solid-State Circuits, vol. SC-16, p. 412–414, 1981.
- [52] E. M. Boujamaa, P. Nouet, F. Mailly, and L. Latorre, *Circuit for Amplifying a Signal Representing a Variation in Resistance of a Variable Resistance and Corresponding Sensor*, US Patent 8,487,701 B2, July 16, 2013.
- [53] E. M. Boujamaa, N. Dumas, L. Latorre, F. Mailly, and P. Nouet, *The Active Bridge: an Alternative to the Wheatstone bridge for Efficient Conditioning of Resistive MEMS Sensors*, Design, Test, Integration and packaging of MEMS/MOEMS (DTIP'09), Avril 2009.
- [54] E. M. Boujamaa, B. Alandry, S. Hacine, L. Latorre, F. Mailly, and P. Nouet, *A Low Power Interface Circuit for Resistive Sensors with Digital Offset Compensation*, in Proc. IEEE International Symposium on Circuits and Systems (ISCAS' 10), June 2010.

- [55] E. M. Boujamaa, *Interface faible consommation pour capteurs MEMS résistifs à faible sensibilité*, 2010.
- [56] S. Hacine, *Application du pont actif différentiel à la mesure de température faible consommation sur CMOS*, 2013.
- [57] T. C. Carusone, D. A. Johns and K. W. Martin, *Analog Integrated Circuit Design*, 1996, p. 379.
- [58] S. Hacine, T. El Khach, F. Mailly, L. Latorre and P. Nouet, *A Micro-Power High-Resolution $\Sigma\Delta$ CMOS Temperature Sensor*, doi: 10.1109/ICSENS.2011.6127123, in Proc. IEEE Sensors Conference 2011, Limerick, Ireland, October 28th – 31th, 2011.
- [59] T. C. Carusone, D. A. Johns and K. W. Martin, *Analog Integrated Circuit Design*, 1996, p. 393.
- [60] Agilent Technologies, "HP4156 Datasheet." [Online]. Available: <http://www.siliconinvestigations.com/HPREP/HP4155-6/HP4155-6.htm>.
- [61] S. Shu, *Oversampling Digital-to-Analog Converters*, 1995.
- [62] P.M. Aziz, H.V. Sorensen and J. Van der Spiegel, *An Overview of Sigma-Delta Converters: How a 1-bit ADC achieves more than 16-bit resolution*, in Proc. IEEE Signal Processing Magazine, Volume 13, Issue 1, September 1996, pp. 61-84.
- [63] M.K. Kinyua and K.S. Chao, *High resolution multi-bit sigma-delta modulator architecture*, Proceedings of the 40th Midwest Symposium on Circuits and Systems, (MWSCAS'97), Vol. 1, 3-6 Aug 1997, pp. 304-307
- [64] K. Leitis and T. Halim, *Current mode delta-sigma-modulation for low-voltage operation*, Proceedings of the 10th International Scientific Conference (Unitech'10), November 2010.
- [65] A. Tang, F. Yuan and E. Law, *CMOS Current-Mode Active Transformer Sigma-Delta Modulators*, in Proc. IEEE Mid-West Symp. Circuits and Systems. pp. 625-628, Knoxville, TN., Aug. 2008
- [66] <http://www.analog.com/en/products/audio-video/audio-ad-converters/ad1871.html>
- [67] <http://www.analog.com/media/en/technical-documentation/data-sheets/AD7731.pdf>
- [68] C. E. Shannon, "Communication in the presence of noise", in proc. IRE, pp. 37:10-21, 1949.
- [69] <http://www.farnell.com/datasheets/1690519.pdf>
- [70] <https://www.fairchildsemi.com/datasheets/CD/CD4013BC.pdf>
- [71] <https://www.fairchildsemi.com/datasheets/CD/CD4066BC.pdf>

- [72] <https://www.fairchildsemi.com/datasheets/CD/CD4049UBC.pdf>
- [73] O. Leman, *Modélisation et conception d'interfaces faible bruit pour capteurs thermiques micro-usinés: application aux accéléromètres convectifs*, 2009.
- [74] P. Kongpark, L. Latorre, F. Mailly and P. Nouet, *A Time-Efficient Simulation Flow for DAC Characterization & Optimization*, Proceedings of XXVII Conference on Design of Circuits and Integrated Systems (DCIS'2012), Avignon, France, November 2012.
- [75] F.R. Connor, *Noise*, Belfast, Edward Arnold, 104 p., 1973.
- [76] A. Van Der Ziel, *Noise in Solid State Devices and Circuits*, John Wiley and Sons, 306 P., 1986
- [77] R. Q. Twiss, *Nyquist's and Thevenin's Theorems Generalized for Nonreciprocal Linear Networks*, Journal of Applied Physics, vol. 26, 5, pp. 509-602, 1954.
- [78] T. C. Carusone, D. A. Johns and K. W. Martin, *Analog Integrated Circuit Design*, 1996, p. 426.
- [79] B. Song, H. S. Lee and M. Tompsett, *A 10-b 15-MHz CMOS Recycling Two-Step A/D Converter*, in Proc. IEEE J. of Solid-State Circuits, Vol. 25, no. 6, pp. 1328–1338, December 1990.
- [80] F. S. Campos, *Active Pixel Sensor CMOS Operating Multi - Sampled in Time Domain*, Photodiodes - World Activities in 2011.
- [81] M. Paavola, M. Kamarainen, E. Laulainen, M. Saukoski, L. Koskinen, M. Kosunen and K. Halonen, *A Micropower $\Sigma\Delta$ -Based Interface ASIC for a Capacitive 3-Axis Micro-Accelerometer*, in Proc. IEEE Journal of Solid-State Circuits, vol. 44, n° 11, p. 3193-3210, novembre 2009.
- [82] A. L. McWhorter, *1/f noise and germanium surface properties*, in Semiconductor Surface Physics. Philadelphia: University of Pennsylvania Press, 1957.
- [83] F. N. Hooge, *1/f noise*, Physica, vol. 83B, p. 14, 1976.
- [84] K. K. Hung, P. K. Ko, C. Hu and Y. C. Cheng, *A unified model for the flicker noise in metal-oxide-Semiconductor Field-Effect Transistors*, in Proc. IEEE Transactions on electron devices, vol. 37, No. 3, March 1990.
- [85] G. K. Kousik, C. M. van Vliet, G. Bosman and P. H. Handel, *Quantum 1/f noise associated with ionized impurity scattering and electron-phonon scattering in condensed matter*, Adv. Phys., vol. 34, p. 663, 1985.
- [86] T. C. Carusone, D. A. Johns and K. W. Martin, *Analog Integrated Circuit Design*, 1996, p. 28.

- [87] W. R. Bennett, *Spectra of Quantized Signals*, Bell System Technical Journal, Vol. 27, July 1948, pp. 446- 471.
- [88] B. Alandry, *Intégration de systèmes multi-capteurs CMOS-MEMS : application à une centrale d'attitude*, 2010.
- [89] B. E. Boser, *Capacitive interfaces for monolithic integrated sensors*, Kluwer Academic Publishers, November 1997.

Annexes 1

La Fig. A.1 ci-dessous montre l'implémentation de source de courant CMOS afin de réaliser le courant $\pm I_{fb}$ dans la boucle de contre réaction. Le courant I_{fb} est commandé par la sortie du modulateur et $-I_{fb}$ par le complément.

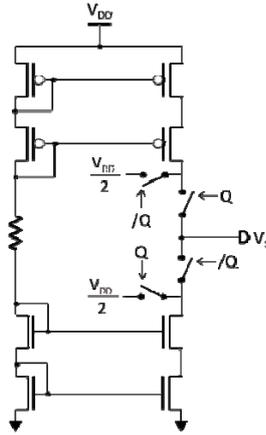


Fig. A.1 Source de courant $\pm I_{fb}$

Les transistors sont dimensionnés pour obtenir le courant feedback de $\pm 1\text{nA}$ avec la tension d'alimentation V_{DD} de 3.3V. La technologie utilisée est une technologie CMOS $0.35\mu\text{m}$ d'AMS. La Fig. A.2 montre les résultats de simulations Monte-Carlo (process et mismatch) sur 100 runs. Sous l'effet des disparités, le courant feedback varie de 400pA à 2.4nA, soit une variation du courant nominale de -60% à 140% environ.

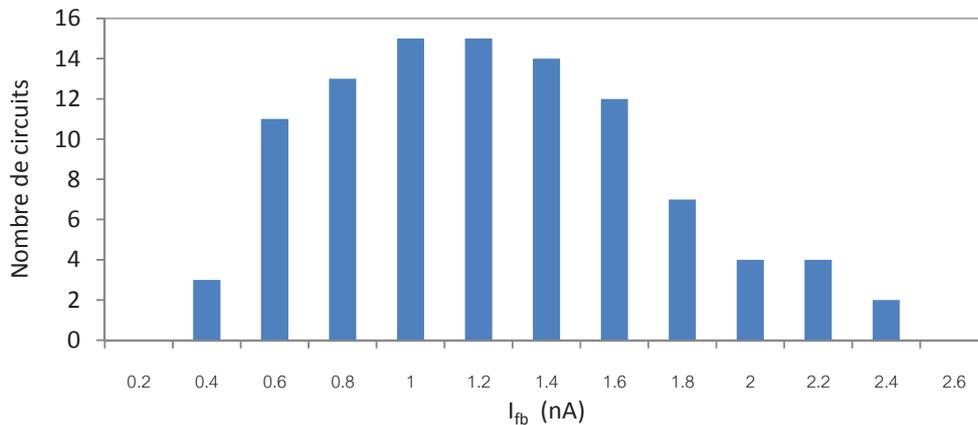


Fig. A.2 Variabilité du courant feedback avec V_s de 1.65V et $Q=1$

La sortie du modulateur $\Sigma\Delta$ est simulé avec le convertisseur capacité/tension celui de la Fig. 4.16 où tous les composants sont affectés par la variation du procédé de fabrication « process only » et avec $C_0=100\text{pF}$, $V_{in}=5\text{Vc-c}$, $F_{in}=10\text{Hz}$, $F_{clk}=10\text{kHz}$, $I_{in}=\pm 20\text{nA}$, $FS=\pm 5\%$ et $\text{Gain}=20$.

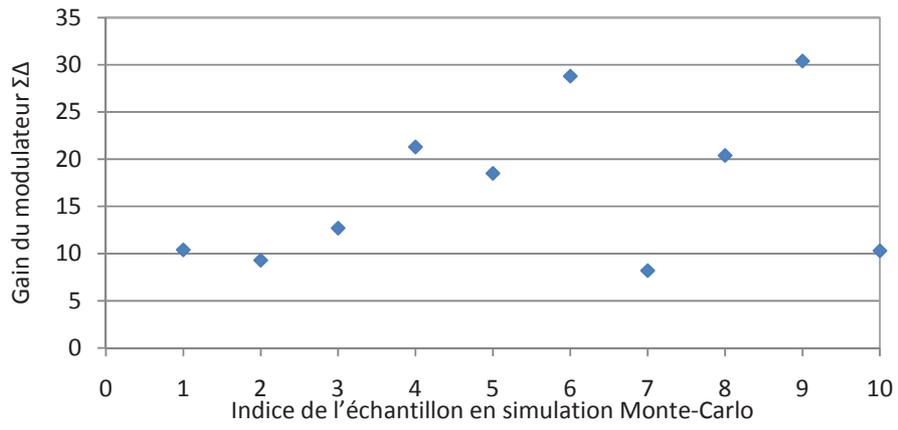


Fig. A.3 Gain obtenue entre $\Delta C/C_0$ de $\pm 1\%$

Annexes 2

Compteur des '1' dans le bitstream codé en Verilog-A

```
`include "discipline.h"
`include "constants.h"
(* instrument_module *)
module counter(out, vin, clk);
electrical out, vin, clk;
parameter real vlogic=1.65;
parameter real num_period=Fclk/(2Fin);
`define NUM_CODES 10000
real vd_val[0:`NUM_CODES-1];
real val_comp[0:`NUM_CODES-1];
integer period;
real value,value_D;
integer val_num;
analog begin
@(cross(V(clk)-2.5, +1.0))
period=period+1;
val_comp[period]=V(vin);
value_D=val_comp[period];
if (period==0)begin
val_comp[0]=0;
vd_val[0]=0;
value=0;
end else begin
if(val_comp[period]>=vlogic)begin
value=vd_val[period-1]+1;
end
if(val_comp[period]<vlogic)begin
value=vd_val[period-1];
end
vd_val[period]=value;
end
if(period==num_period)begin
val_num=vd_val[period];
value=val_num;
end
if(period==num_period+1)begin
period=1;
val_num=0;
end
V(out) <+ val_num;
end
endmodule
```


Annexes 3

Compteur des '1' dans le bitstream codé en Matlab

```
time=1;
clock=2;
sortie=3;
t=data(:,time); % tableau "data"
clk=data(:,clock);
Q=data(:,sortie);
F=100;
Fclk=204800;
period=Fclk/(F*2);
Threshold=1.65;
vin=100;
A=ones(1,vin); P1=ones(1,vin);
P2=ones(1,vin);E=ones(1,vin);
a=0;niveauBasClk = 0;
for b=1:vin
N=2e6/vin;%tableau de 2e6 lignes
M=N/2;
niveauBasClk = 0;j = 0;k = 0;l=0;
%phase1
for i = ((b-1)*N)+1:(b*N)-M
    if (clk(i)>Threshold)
        if (niveauBasClk == 1)
            niveauBasClk = 0;
            if (Q(i)>Threshold)
                k = k + 1;
            else
                end
        end
    else
        niveauBasClk = 1;
    end
end
P1(b)=k;

%phase2
for i = (b*N-M)+1:b*N
    if (clk(i)>Threshold)
        if (niveauBasClk == 1)
            niveauBasClk = 0;
            if (Q(i)>Threshold)
                l = l + 1;
            else
                end
        end
    else
        niveauBasClk = 1;
    end
end
P2(b)=l;
A(b)=(l-k)*100/period;
end
disp('nombre de clk :');
disp(period);
disp(mean(P1)*100/period);
disp(mean(P2)*100/period);
disp('offset en % :');
disp((mean(P1)+mean(P2))*50/period);
disp('Nombre de <1> phase2-1 en % :');
disp(mean(A));
Moyenne=mean(A);
for b=1:vin
    E(b)=(A(b)-mean(A)).^2;
end
disp('Ecart-type(%) :');
disp(mean(E).^0.5);
disp('Ecart-type(F) :');
disp('////////////////////////////////////////');
```

Conditionnement de capteurs capacitifs dans des systèmes faible consommation

Résumé

De nos jours, les capteurs capacitifs sont largement utilisés dans la mesure de grandeurs physiques telles que le déplacement, l'humidité, la pression, etc. Cette large diffusion est principalement due au développement des technologies MEMS qui ont permis de réduire leur coût, leur taille et leur consommation. Pour mesurer ces variations de capacité, des interfaces de conditionnement électronique ont été développées afin d'obtenir un signal électrique exploitable tel qu'une tension, un courant, un temps, une fréquence ou directement une sortie numérique. C'est dans ce cadre que se positionne l'objectif de cette thèse ; étudier la faisabilité d'une mesure capacitive à sortie numérique à partir d'un *pont actif*, une architecture développée et brevetée par l'équipe Conception et Test de Microsystèmes du LIRMM pour le conditionnement de capteurs résistifs basse consommation. La conversion numérique utilisée est une modulation Sigma-Delta 1 bit du 1^{er} ordre, relativement facile à implémenter, et donc bien adaptée à l'intégration, à la faible consommation et à la réalisation d'interfaces génériques. Pour le retour 1 bit, deux structures de contre réaction ont été proposées : une contre-réaction résistive et une capacitive. Les résultats théoriques sont comparés à des résultats de simulations et à des mesures obtenues à partir des prototypes fabriqués en technologie CMOS 0,35µm d'Austria MicroSystem (AMS).

Capacitive sensors conditioning in low power systems

Abstract

Nowadays, capacitive sensors are widely used in the measurement of physical quantities such as displacement, humidity, pressure, etc. This wide dissemination is mainly due to the development of MEMS technologies that have reduced their cost, size and consumption. To measure these capacitance changes, sensor electronic interfaces have been developed to obtain an exploitable electrical signal such as voltage, current, time, frequency or directly a digital output. It is in this framework that the aim of this thesis is positioned; to study the feasibility of a capacitive measurement with digital output from an active bridge, an architecture developed and patented by the Design and Test Microsystems team of LIRMM for conditioning low power resistive sensors. The digital conversion used is a one-bit first-order Sigma-Delta modulation that is relatively easy to implement, and is well adapted to integration, low power consumption and realization of generic sensor interfaces. Two feedback architectures have been proposed: a resistive feedback and a capacitive. The theoretical results are compared with the results of simulations and measurements obtained from prototypes fabricated using a 0.35µm CMOS technology from Austria MicroSystem (AMS).