



**HAL**  
open science

# Fiabilité et analyse physique des défaillances des composants électroniques sous contraintes électro-thermiques pour des applications en mécatronique.

Safa Mbarek

## ► To cite this version:

Safa Mbarek. Fiabilité et analyse physique des défaillances des composants électroniques sous contraintes électro-thermiques pour des applications en mécatronique.. Matériaux. Normandie Université, 2017. Français. NNT : 2017NORMR142 . tel-01812499

**HAL Id: tel-01812499**

**<https://theses.hal.science/tel-01812499>**

Submitted on 11 Jun 2018

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Normandie Université

## THÈSE

Pour obtenir le diplôme de doctorat

Spécialité ELECTRONIQUE, MICROELECTRONIQUE, OPTIQUE ET LASERS, OPTOELECTRONIQUE  
MICROONDES

Préparée au sein de l'Université de Rouen Normandie

### Fiabilité et analyse physique des défaillances des composants électroniques sous contraintes électro-thermiques pour des applications en mécatronique

Présentée et soutenue par  
**Safa MBAREK**

Thèse soutenue publiquement le 22 Décembre 2017  
devant le jury composé de

M. Farid TEMCAMANI	Professeur, ECS-Lab, ENSEA	Rapporteur
M. Zoubir KHATIR	Directeur de recherche, LTN, IFSTTAR	Rapporteur
M. Pierre POUVIL	Professeur, Quartz, ENSEA	Examineur
M. Olivier LATRY	Maître de conférences HDR, GPM, Université de Rouen Normandie	Directeur de thèse
M. Pascal DHERBECOURT	Maître de conférences HDR, GPM, Université de Rouen Normandie	Codirecteur de thèse
M. François FOUQUET	Enseignant chercheur, Irseem, ESIGELEC	Encadrant
M. Mohamed MASMOUDI	Maître de conférences, GPM, Université de Rouen Normandie	Invité

Thèse codirigée par Olivier LATRY et Pascal DHERBECOURT, Groupe de Physique des Matériaux UMR  
CNRS 6634 – Université et INSA de Rouen – Normandie Université

UNIVERSITÉ DE ROUEN NORMANDIE  
ÉCOLE DOCTORALE PSIME

Physique, Sciences de l'Ingénieur, Matériaux, Energie

# THÈSE

pour obtenir le grade de

Docteur de l'Université de Rouen Normandie

Discipline : PHYSIQUE

Spécialité : GÉNIE ÉLECTRIQUE, ÉLECTRONIQUE, PHOTONIQUE ET  
SYSTÈMES

Présentée et soutenue publiquement le 22-12-2017 par

Safa MBAREK

**Fiabilité et analyse physique des défaillances des composants  
électroniques sous contraintes électro-thermiques pour des  
applications en mécatronique.**

Thèse co-dirigée par Olivier LATRY et Pascal DHERBECOURT  
et encadrée par François FOUQUET

Version provisoire

**Membres du Jury :**

Farid TEMCAMANI	Professeur, ECS-Lab, ENSEA	Rapporteur
Zoubir KHATIR	Directeur de recherche, LTN, IFSTTAR	Rapporteur
Pierre POUVIL	Professeur, Quartz, ENSEA	Examineur
Olivier LATRY	Maître de conférences-HDR, GPM-CNRS, Univ. Rouen	Directeur
Pascal DHERBECOURT	Maître de conférences-HDR, GPM-CNRS, Univ. Rouen	Co-directeur
François FOUQUET	Enseignant-chercheur, Irseem, ESIGELEC	Encadrant
Mohamed MASMOURI	Maître de conférences, GPM-CNRS, Univ. Rouen	Invité

# Table des matières

<b>Table des matières</b>	<b>1</b>
<b>Liste des figures</b>	<b>3</b>
<b>Introduction générale</b>	<b>9</b>
<b>1 État de l'art</b>	<b>13</b>
1.1 Introduction . . . . .	13
1.2 Les semi-conducteurs . . . . .	14
1.2.1 Évolution de la structure du MOSFET . . . . .	14
1.2.1.1 MOSFET vertical à grille en rainure (V-MOSFET) . . . . .	15
1.2.1.2 MOSFET vertical "planar" à double diffusion (VD-MOSFET) . . . . .	16
1.2.1.3 MOSFET blindé (Shielded MOSFET) . . . . .	18
1.2.1.4 MOSFET vertical à grille en tranché (U-MOSFET) . . . . .	19
1.2.2 Propriétés des matériaux . . . . .	20
1.2.3 Le SiC dans les structures MOS . . . . .	22
1.3 Mécanismes de défaillance et moyens d'analyse associés . . . . .	25
1.3.1 Time Dependant Dielectric Breakdown (TDDB) . . . . .	25
1.3.1.1 Le modèle électrochimique E . . . . .	27
1.3.1.2 Le modèle d'injection de trous dans l'anode 1/E . . . . .	27
1.3.2 Bias Temperature Instability (BTI) . . . . .	29
1.3.3 Phénomènes à évènement singulier . . . . .	31
1.3.3.1 Single Event Gate Rupture (SEGR) . . . . .	32
1.3.3.2 Single Event Burnout (SEB) . . . . .	33
1.3.4 Reconstruction métallique . . . . .	34
1.4 Types de stress . . . . .	38
1.4.1 Étude de la robustesse . . . . .	39

1.4.1.1	La surintensité (Over-Current Condition) . . . . .	39
1.4.1.2	La surtension (Over-Voltage Condition) . . . . .	42
1.4.2	Étude du vieillissement . . . . .	45
1.4.2.1	Fatigue de l'oxyde de grille : cas du stress en polarisation de grille (HTGB) . . . . .	45
1.4.2.2	High Temperature Reverse Bias (HTRB) . . . . .	46
1.4.2.3	Contraintes thermiques . . . . .	47
1.5	Méthodologie de l'analyse de défaillance . . . . .	49
1.6	Conclusion . . . . .	52
<b>2</b>	<b>Caractérisation macroscopique et microscope d'un VDMOSFET en Carbure de Silicium</b> . . . . .	<b>54</b>
2.1	Introduction . . . . .	54
2.2	Caractérisation électrique . . . . .	55
2.2.1	Caractérisation statique . . . . .	55
2.2.2	Caractérisation I-V-T . . . . .	55
2.2.3	Mesure du courant de fuite de grille $I_{gss}$ . . . . .	61
2.2.4	Tension de seuil $V_{th}$ . . . . .	62
2.2.4.1	Mesure directe . . . . .	62
2.2.4.2	Modélisation physique . . . . .	63
2.2.5	Caractérisation dynamique . . . . .	63
2.2.6	Capacité MOS réelle . . . . .	64
2.2.7	Capacités intrinsèques $C_{GS}$ , $C_{DS}$ et $C_{DG}$ . . . . .	65
2.2.8	Capacités extrinsèques $C_{iss}$ , $C_{oss}$ et $C_{rss}$ . . . . .	67
2.3	Caractérisation microstructurale et chimique . . . . .	70
2.3.1	Préparation de l'échantillon . . . . .	70
2.3.1.1	Préparation de l'échantillon en face avant . . . . .	70
2.3.1.2	Préparation de l'échantillon en face arrière . . . . .	74
2.3.2	Étude au microscope électronique à émission de photons . . . . .	77
2.3.3	Caractérisation structurale au microscope électronique à balayage . . . . .	80
2.3.4	Caractérisation chimique par EDX . . . . .	82
2.4	Conclusion . . . . .	84
<b>3</b>	<b>Robustesse en court-circuit des MOSFETs SiC</b> . . . . .	<b>87</b>
3.1	Introduction . . . . .	87
3.2	Protocole expérimental . . . . .	88

3.3	Essais destructifs et analyse microstructurale de la défaillance . . . . .	89
3.3.1	Essai destructif en condition de pulse long . . . . .	89
3.3.2	Essai destructif sous pulses progressifs et évaluation de l'énergie critique . . . . .	92
3.3.3	Analyse microstructurale de la défaillance . . . . .	100
3.4	Essais non destructifs et analyse microstructurale de la dégradation . . . .	103
3.4.1	Essais non destructifs . . . . .	103
3.4.2	Analyse microstructurale de la dégradation . . . . .	105
3.5	Conclusion . . . . .	109
<b>4</b>	<b>Vieillessement en régime de court-circuit des MOSFETs SiC</b>	<b>112</b>
4.1	Introduction . . . . .	112
4.2	Banc de vieillissement et protocole expérimental . . . . .	113
4.3	Résultats expérimentaux : Observations et discussion (cas du premier lot) .	116
4.3.1	Variation de la tension de seuil . . . . .	118
4.3.2	Capacités intrinsèques d'un MOSFET . . . . .	118
4.3.2.1	Capacité grille-source $C_{GS}$ . . . . .	119
4.3.2.2	Capacité grille-source $C_{GD}$ . . . . .	120
4.3.2.3	Capacité drain-source $C_{DS}$ . . . . .	120
4.4	Résultats expérimentaux : Observations et discussion (cas du deuxième lot)	120
4.4.1	Lecture de la courbe $C_{GS}(V_{GS})$ d'un VMOSFET . . . . .	121
4.4.2	Influence des paramètres $t_{ox}$ , $N_A$ et $Q_{ot}$ sur les caractéristiques $C(V)$	122
4.4.3	Discussion . . . . .	126
4.5	Conclusion . . . . .	130
	<b>Conclusion générale</b>	<b>131</b>
	<b>Bibliographie</b>	<b>135</b>
	<b>Annexe 1</b>	<b>144</b>

# Table des figures

1.1	Structure d'une cellule de base d'un MOSFET à structure latérale [Bal08]. . . . .	15
1.2	Structure d'une cellule de base d'un V-MOSFET [Bal08]. . . . .	16
1.3	Structure d'une cellule de base d'un VD-MOSFET [Bal10]. . . . .	17
1.4	Les structures d'une cellule de base d'un MOSFET blindé (a) en mode d'inversion, (b) en mode d'accumulation (ACCUFET) [Bal10]. . . . .	18
1.5	Structure d'une cellule de base d'un U-MOSFET [Bal10]. . . . .	20
1.6	Résumé des propriétés les plus pertinentes du Si, SiC et GaN [HSSK03]. . . . .	22
1.7	Les offsets de bande de conduction et de valence du Si, 6H-SiC, 4H-SiC et GaN par rapport au SiO <sub>2</sub> . Les constantes diélectriques, les conductivités thermiques et les champs électriques critiques de ceux-ci sont également donnés. . . . .	24
1.8	Tendances de la variation du temps avant défaillance TF en fonction du champ extérieur données par le modèle $E$ et le modèle $1/E$ . Le modèle $E$ donne les TF les plus courts à faibles valeurs de champ électrique et le modèle $1/E$ donne les TF les plus longs [McP12]. . . . .	29
1.9	Coupe transversale d'un MOSFET vertical montrant (a) deux demi-cellules et la région d'étranglement (Neck region) [TWB <sup>+</sup> 95] et (b) l'accumulation de charges positives à l'interface SiC/SiO <sub>2</sub> causée par l'application d'une polarisation de drain [ABG <sup>+</sup> 96]. . . . .	32
1.10	Coupe transversale d'un MOSFET de puissance vertical où la source N <sup>+</sup> agit comme l'émetteur, la région P-body comme la base et la couche épitaxiale N comme le collecteur du transistor bipolaire parasite [LBGT06]. . . . .	33
1.11	Observation de la métallisation d'un transistor IGBT (a) avant cyclage actif (image MEB, 1000x) et (b) après 3,2 millions cycles entre 85 °C et 125 °C (image MEB, 1000x) [Cia02]. . . . .	35

1.12	Vieillessement de la métallisation à 1.15 J/cycle (a) état initial, (b) après 100 cycles, (c) après 6000 cycles et (d) après 29.000 cycles [PLP <sup>+</sup> 11]. . . . .	36
1.13	Images FIB (Focused Ion Beam) d'une coupe transversale de la métallisation d'un MOSFET (a) à l'état neuf et (b) après vieillissement [KLT <sup>+</sup> 07]. . . . .	37
1.14	(a) Reconstruction de la métallisation après la suppression de la passivation polyimide (image MEB, 800x) et (b) déplétion du joint de grain dans une couche passivée après un cyclage actif (image MEB, 1500x) [Cia02]. . . . .	38
1.15	Conduction croisée due à l'effet de couplage de la capacité Miller d'un JFET [DRB <sup>+</sup> 11]. . . . .	40
1.16	Schéma de principe du banc de test expérimental pour les tests en régime de court-circuit [Joi92]. . . . .	41
1.17	Chronogrammes de la tension et du courant pendant le test de Court-Circuit (CC) [FYC13]. . . . .	42
1.18	Schéma de principe du banc de test expérimental pour les tests en régime d'avalanche [Tex]. . . . .	43
1.19	Allure des chronogrammes de tension et courant pendant le test d'avalanche (UIS) [Die94]. . . . .	44
1.20	Schéma de principe du banc dédié au test de vieillissement en HTGB et à la mesure de la tension de seuil $V_{th}$ [YC13]. . . . .	46
1.21	Schéma de principe du banc dédié au test de vieillissement en HTRB et à la mesure du courant de fuite de drain [YC13]. . . . .	47
1.22	Comparaison entre le test en puissance constante et le test en puissance variable [Joi07]. . . . .	48
1.23	Diagramme de méthodologie appliqué à l'analyse de défaillance de composants électroniques sous contraintes électro-thermiques. . . . .	51
2.1	Évolution des caractéristiques (a) d'entrée et (b) de sortie du MOSFET SiC mesurées à $T = 25^{\circ}\text{C}$ . . . . .	56
2.2	Analyse de la disparité en I-V entre des transistors issus du même lot mesurée à $T = 25^{\circ}\text{C}$ et $V_{GS} = 14\text{V}$ . . . . .	58
2.3	Caractéristiques de sortie $I_D(V_{DS})$ du composant de référence C1 pour différentes températures mesurées à $V_{GS} = 14\text{V}$ . . . . .	58
2.4	Variation du courant de drain $I_{DS}$ en fonction de la température à des tensions de polarisations fixes $V_{DS} = 17\text{V}$ et $V_{GS} = 14\text{V}$ pour le composant de référence C1. . . . .	60



2.5	Variation du courant de drain $I_{DS}$ en fonction de la tension de grille $V_{GS}$ (valeurs extraites à partir du datasheet du DUT). Influence de la tension de polarisation de drain $V_{DS}$ et de la température $T$ pour le composant de référence C1. . . . .	61
2.6	Schéma de principe du banc de mesure du courant de fuite de grille. . . . .	62
2.7	Schéma de principe du banc de mesure de la tension de seuil, $V_{th}$ , d'un MOSFET de puissance. . . . .	63
2.8	Répartition des charges dans la structure MOS réelle [SN07]. . . . .	64
2.9	Mesure de la capacité en mode "2-pin", (a) le DUT raccordé au connecteur en mode 2-pin et (b) schéma de principe de la mesure entre le contact de drain et de grille et de la capacité mesurée. . . . .	66
2.10	Mesure de la capacité en mode "guarded", (a) le DUT raccordé au connecteur en mode guarded et (b) schéma de principe de la mesure entre le contact de drain et de grille et de la capacité mesurée. . . . .	67
2.11	Monture de test pour la mesure des capacités extrinsèques d'un MOSFET de puissance. . . . .	68
	(a) Capacités extrinsèques mesurées . . . . .	69
	(b) Capacités extrinsèques fournies par le fabricant [Cre] . . . . .	69
2.12	Concordance entre les capacités extrinsèques mesurées et celles fournies par le fabricant du composant d'étude en fonction de la tension de drain $V_{DS}$ à $V_{GS} = 0V$ et $f = 1MHz$ . . . . .	69
2.13	Présentation du composant d'étude (a) à l'état neuf et (b) après une ablation laser. . . . .	71
2.14	Ouverture à la JetEtch de deux composants en utilisant différents paramètres. . . . .	72
2.15	Composant placé face en bas pour une ouverture chimique à la Jetetch. . . . .	73
	(a) . . . . .	74
	(b) . . . . .	74
2.16	Ouverture chimique manuelle en utilisant (a) l'acide sulfurique et (b) l'acide nitrique. . . . .	74
2.17	Machine de préparation de surfaces (ASAP) utilisée pour l'usinage mécanique en face arrière. . . . .	75
2.18	Les outils utilisés pour une ouverture en face arrière d'un MOSFET vertical. . . . .	75
2.19	Vue de la face arrière du transistor après fraisage (a) ouverture en escalier et (b) apparition de la couche de brasure. . . . .	76

2.20	Vue de la face arrière du transistor après polissage faisant apparaître les transistors élémentaires. . . . .	77
2.21	Signature en photoémission du composant d'étude en face avant à $V_{GS} = 8V$ sous différentes polarisations de drain (a) $V_{DS} = 30V$ , (b) $V_{DS} = 40V$ , (c) $V_{DS} = 50V$ et (d) $V_{DS} = 60V$ . . . . .	78
2.22	Analyse en photoémission du composant sous test en face arrière. . . . .	79
2.23	Vue au MEB de la surface d'un composant de référence. . . . .	80
2.24	Coupe transversale du composant sous test. . . . .	81
2.25	Structure en coupe transversale d'une cellule élémentaire du DUT. . . . .	82
2.26	Cartographie chimique de plusieurs sites de la surface du DUT après ouverture à l'acide nitrique. . . . .	83
3.1	Schéma de principe du banc de test expérimental pour l'étude de la robustesse en régime de court-circuit [Oth15]. . . . .	88
3.2	DUT1 : Analyse de la robustesse sous un long pulse de court-circuit, $V_{DS} = 600V$ , $T = 25^\circ C$ et $R_G = 10\Omega$ . . . . .	89
3.3	Structure transversale d'un MOSFET de puissance en SiC pendant un stress en court-circuit [FYC13]. . . . .	91
3.4	Limite théorique de l'emballement thermique des différents semi-conducteurs en fonction de la tension de claquage [BPA+11]. . . . .	92
3.5	DUT2 : Essai en court-circuit précédant la défaillance, $T_{CC} = 13\mu s$ , $V_{DS} = 600V$ , $T = 25^\circ C$ , $R_G = 10\Omega$ . . . . .	93
	(a) $V_{GS}$ et $I_D$ . . . . .	94
	(b) $V_{GS}$ et $V_{DS}$ . . . . .	94
3.6	DUT2 : Essai de court-circuit causant la défaillance, $T_{CC} = 14\mu s$ , $V_{DS} = 600V$ , $T = 25^\circ C$ , $R_G = 10\Omega$ . . . . .	94
3.7	DUT2 : Évolution de la tension de grille pendant les tests en court-circuit jusqu'à défaillance du composant, $V_{DS} = 600V$ , $T = 25^\circ C$ et $R_G = 10\Omega$ . . . . .	95
3.8	DUT3 : Essai de court-circuit précédant la défaillance, $T_{CC} = 13\mu s$ , $V_{DS} = 600V$ , $T = 25^\circ C$ et $R_G = 47\Omega$ . . . . .	96
	(a) $V_{GS}$ et $I_D$ . . . . .	97
	(b) $V_{GS}$ et $V_{DS}$ . . . . .	97
3.9	DUT3 : Essai de court-circuit causant la défaillance, $T_{CC} = 14\mu s$ , $V_{DS} = 600V$ , $T = 25^\circ C$ et $R_G = 47\Omega$ . . . . .	97

3.10	DUT3 : Évolution du courant de drain durant les essais de court-circuit et mise en évidence l'apparition des queues de courant pour les essais de longue durée, $V_{DS} = 600V$ , $T = 25^{\circ}C$ et $R_G = 47\Omega$ . . . . .	98
3.11	Cartographies thermiques (normalisées à la température maximale mesurable : $500^{\circ}C$ ) correspondants à l'évolution de la distribution de la température avec l'augmentation de la durée de l'impulsion en court-circuit : $V_{GS} = 18V$ , $V_{DS} = 400V$ et $T_{CASE} = 27^{\circ}C$ [CFY+14]. . . . .	99
3.12	DUT3 : Évolution de la tension de grille $V_{GS}$ durant les essais de court-circuit et mise en évidence de l'apparition d'un courant de fuite de grille, $V_{DS} = 600V$ , $T = 25^{\circ}C$ et $R_G = 47\Omega$ . . . . .	100
3.13	DUT1 : Analyse au MEB montrant un état catastrophique de la couche de métallisation. . . . .	101
3.14	DUT1 : Coupe transversale au FIB d'une cellule choisie sur un site où la dégradation semble modérée montrant la dégradation de la couche d'aluminium et la couche supérieure de l'oxyde. . . . .	101
3.15	DUT2 : Analyse au MEB montrant un bon état de la surface du composant avec disparition de la couche de passivation causée par l'ouverture chimique. . . . .	102
3.16	DUT4 : Évolution de la tension Grille-Source pendant les tests en court-circuit montrant l'apparition d'un courant de fuite de grille, $T = 25^{\circ}C$ , $R_G = 10\Omega$ . . . . .	104
3.17	DUT4 : Évolution du courant de drain durant les derniers tests en court-circuit montrant l'apparition des queues de courant, $T = 25^{\circ}C$ , $R_G = 10\Omega$ . . . . .	104
3.18	Analyse microstructurale au MEB montrant l'état de surface du DUT4 après dégradation. . . . .	105
3.19	DUT4 : Analyse microstructurale au MEB à petite échelle mettant en évidence la dégradation de la couche de métallisation au niveau des bondings de source. . . . .	106
3.20	DUT4 : Analyse microstructurale au microscope à photo-émission mettant en évidence l'apparition de cellules émissives. . . . .	106
3.21	DUT4 : Image MEB de la découpe FIB au niveau de la cellule émissive 1 sur laquelle on voit apparaître le défaut. . . . .	107
3.22	DUT4 : Image MEB de la découpe FIB au niveau de la cellule émissive 2 sur laquelle on voit apparaître le défaut. . . . .	108
3.23	DUT4 : Image réalisée au MET montrant un "void" entre la métallisation et l'oxyde de grille. . . . .	109

4.1	Schéma de principe du banc de test expérimental pour l'étude du vieillissement en régime de court-circuit. . . . .	113
4.2	Carte de commande et de mesure du courant de drain pour l'étude du vieillissement en régime de court-circuit. . . . .	114
4.3	Conditions des tests de vieillissement comparées aux conditions de test de robustesse et aux limites de la zone de fonctionnement sûre (SOA). . . . .	115
4.4	Évolution des caractéristiques $I_{DS}$ avant et après vieillissement en court-circuit, $t_{CC} = 500\mu s$ . . . . .	116
4.5	Vue transversale de la structure d'un VD-MOSFET et localisation du stockage électrostatique des charges . . . . .	119
4.6	Mesure de la capacité $C_{GS}$ du composant d'étude (VDMOSFET) à haute fréquence (1MHz). . . . .	121
4.7	Structure utilisée pour la simulation de l'influence des paramètres $t_{ox}$ , $N_A$ et $Q_{ot}$ sur l'évolution de la caractéristique C(V) d'une capacité MOS en SiC. . . . .	123
4.8	Influence de l'épaisseur de l'oxyde $t_{ox}$ sur l'évolution de la caractéristique C(V) d'une capacité MOS en SiC. . . . .	124
4.9	Influence de la concentration des dopants $N_A$ sur l'évolution de la caractéristique C(V) d'une capacité MOS en SiC. . . . .	125
4.10	Influence des charges piégées dans l'oxyde $Q_{ot}$ sur l'évolution de la caractéristique C(V) d'une capacité MOS en SiC. . . . .	125
4.11	Mesure de la capacité intrinsèque $C_{GS}$ avant et après vieillissement sur des composants vieillis sous les différentes durées de pulse. . . . .	126
4.12	Suppression du décalage du côté droit entre les courbes $C_{GS}$ mesurées avant et après vieillissement sur des composants vieillis sous les différentes durées de pulse. . . . .	127
4.13	Suppression du décalage dû aux pièges de charge du côté gauche des courbes $C_{GS}$ mesurées avant et après vieillissement sur des composants vieillis sous les différentes durées de pulse. . . . .	129
4.14	Variation de la tension de seuil mesurée et ajustée en fonction de $1/C_{rss0}$ avant et après vieillissement des composants [MFD <sup>+</sup> 16]. . . . .	130
4.15	Distribution des charges pour les différents régimes de polarisation pour une capacité MOS de type P. . . . .	148
4.16	Courbes $C/C_{max}$ idéales en quasi-statique et en haute fréquence pour une capacité MOS de type P. . . . .	149

# Introduction générale

Face aux contraintes nouvelles des applications mécatroniques de dernière génération, la filière carbure de silicium (SiC) pour des composants d'électronique de puissance est en plein essor. Des transistors en carbure de silicium sont de plus en plus disponibles dans le commerce pour des applications telles que la conversion de l'énergie électrique. Plusieurs générations ont vu le jour et proposent des performances sans cesse améliorées. La technologie carbure de silicium présente de nombreux avantages par rapport à la technologie silicium (Si) classique, avec entre autres une tenue en température très élevée. Grâce à sa simplicité de commande et l'avantage d'être normalement bloqué, le MOSFET en carbure de silicium est devenu l'un des plus sérieux candidats grand gap pour substituer les conventionnels MOSFETs ou IGBT en silicium.

Les puces en carbure de silicium sont plus robustes en température mais la principale limitation porte sur l'oxyde de grille dont la qualité électrique est loin de concurrencer celle de l'oxyde de silicium. Même si l'architecture des composants en SiC ressemble aujourd'hui à celle des composants traditionnels en Silicium, les propriétés du SiC et les processus technologiques d'élaboration induisent des différences structurelles et fonctionnelles sensibles. Les industriels, ne disposant pas de retour d'expérience sur cette technologie, optent pour l'emploi de composants en silicium pour le haut degré de maîtrise de cette filière. De ce fait, l'activité de recherche internationale est menée autour de ce candidat susceptible de détrôner le Silicium.

Dans la technologie SiC, les mécanismes de défaillance initiés sont mal connus. La connaissance précise du mécanisme et de l'origine de défaillance pourrait permettre de définir des solutions curatives ou palliatives. C'est dans ce contexte que s'inscrivent ces travaux de thèse. Cette étude permettra de mettre en place une méthodologie se basant sur l'exploitation des moyens d'analyse de défaillance mis à disposition et la corrélation entre les observations macroscopiques et microscopiques. Les travaux présentés proposent aussi

la mesure des capacités en tant qu'indicateur de dégradation permettant de remonter aux mécanismes de défaillance.

Une illustration des caractéristiques du carbure de silicium et une analyse de l'évolution de l'architecture du MOSFET de puissance sont tout d'abord présentées dans un premier chapitre. Il est question d'introduire le carbure de silicium comme technologie d'étude, dans une configuration de composant MOSFET à structure verticale. Un aperçu de l'état de maturité de la filière est proposé afin de déterminer le champ d'application du SiC et les possibilités que présente la maîtrise du matériau dans la structure MOSFET. Aussi, la limite de cette technologie et les mécanismes de défaillance relevés dans la littérature sont exposés. Pour qualifier ces composants, des tests de robustesse et de fiabilité sont recensés dont les essais en court-circuit choisis dans le cadre de notre étude pour l'investigation d'un MOSFET SiC disponible sur le marché. Enfin, le premier chapitre se termine par la présentation de la démarche méthodologique développée pour contourner les limites de l'analyse de défaillance dans les tests de robustesse et proposer de nouveaux indicateurs de dégradation pour l'étude de fiabilité. Cette méthodologie est résumée par un diagramme en fin de chapitre.

Afin de comprendre les mécanismes responsables du comportement électrique et électrothermique de ces transistors, ce travail de thèse s'appuie sur une seconde partie consacrée à la caractérisation macroscopique et microscopique avant contraintes de ces derniers. Son objectif principal est d'étudier le composant d'étude sous ses différents aspects. La caractérisation électrique s'articule autour de la caractérisation statique d'une part, décrivant son comportement électrothermique et les principaux indicateurs de dégradation, et dynamique d'autre part, à travers la mesure des capacités internes des composants. L'étude microstructurale est introduite par une étape de préparation d'échantillon permettant d'accéder à la partie active du transistor. Elle a pour objectif de connaître les caractéristiques physico-chimiques du composant. Le parc instrumental de pointe employé aux fins de l'analyse de défaillance est également présenté et re-situé dans toute la démarche méthodologique. Les données récoltées sont alors d'un niveau parfaitement suffisant pour aborder les essais et analyses des deux chapitres suivants.

Le carbure de Silicium, grâce à ses propriétés physiques, est pressenti comme un matériau dédié aux hautes températures et peut expérimenter des régimes extrêmes de fonctionnement. L'étude de robustesse en court-circuit et l'analyse de défaillance du MOSFET

en carbure de silicium font l'objet de la troisième partie de ce travail. La corrélation entre dégradation physique et dégradation électrique nécessite une localisation fine du défaut si ce dernier n'est pas superficiel. Cette partie a non seulement pour objectif d'étudier les potentialités du composant sous test, mais aussi de proposer un protocole de test permettant de contourner les limites de l'analyse physique de défaillance suites aux essais de robustesse. Ces investigations poussées ont pour vocation à servir de base méthodologique pour une analyse de défaillance anticipative et fiable pour des composants nouvelle génération sous forte contrainte électrothermique.

A égales contraintes énergétiques, les composants évoluent différemment selon les puissances appliquées. Des essais de vieillissement en court-circuit sont proposés dans le quatrième et dernier chapitre du manuscrit afin d'explorer le comportement du transistor d'étude à faible puissance et longue durée de pulse. Ces tests ont amené à observer l'évolution de deux paramètres, la tension de seuil et la capacité interne Grille-Source. La caractéristique  $C(V)$  est exploitée dans cette étude comme indicateur de dégradation permettant de remonter aux caractéristiques physiques microscopiques du défaut.

# Chapitre 1

## État de l'art

### 1.1 Introduction

L'un des enjeux les plus importants dans les différentes industries de l'électronique de puissance concerne aujourd'hui la fiabilité. Ensemble, les industriels et la communauté scientifique sont en perpétuelle recherche pour l'amélioration et le suivi de la robustesse et de la qualité des composants de puissance. Le MOSFET est l'un des dispositifs les plus utilisés dans les circuits de conversion d'énergie grâce à sa forte impédance d'entrée et sa vitesse de commutation. De plus, l'utilisation du carbure de silicium a permis aux MOSFETs de puissance de supplanter leurs homologues de la filière silicium, les rendant capables d'accomplir de nouvelles fonctions jusque-là inaccessibles. Cependant, cette filière n'a pas atteint une maturité suffisante pour remplacer le silicium. En effet, l'intégration du SiC est limitée par les problèmes de fiabilité.

Dans ce premier chapitre seront présentés les avantages et limites des MOSFETs de puissance en carbure de silicium et les moyens d'analyse de la fiabilité. Dans un premier temps, nous rappellerons l'intérêt de l'utilisation des semi-conducteurs à large bande interdite dans l'électronique de puissance. Notre étude se focalisera principalement sur les avantages de la technologie SiC ainsi que les problèmes liés à son intégration pour des structures MOSFET de puissance. Depuis sa conception, la structure du MOSFET vertical a subi plusieurs modifications, leurs principales caractéristiques seront alors présentées. Dans une seconde partie, nous nous intéresserons aux problèmes de fiabilité que présentent les MOSFETs en SiC. Les mécanismes de défaillance généraux de ces derniers seront introduits et un intérêt particulier sera porté sur la principale faiblesse de ces transistors : la dégradation de la couche d'oxyde. Il est alors de ce fait impératif de s'assurer de leur via-



bilité. C'est pourquoi, avant d'introduire sur le marché les composants de puissance, les fondeurs réalisent plusieurs tests normés de robustesse et de fiabilité afin de les qualifier. En tenant compte de toutes les données et contraintes tirées de la littérature, nous présenterons la méthodologie que nous adoptons et sur laquelle sera basée l'analyse de défaillance des MOSFETs en SiC soumis aux tests de robustesse et de vieillissement en court-circuit.

## 1.2 Les semi-conducteurs

Les semi-conducteurs de puissance sont les composants de base de l'ensemble du système de conversion d'énergie. Ces composants dissipent la plus grande partie des pertes d'énergie des convertisseurs de puissance. Par conséquent, le développement et l'amélioration de ces dispositifs a été la force motrice dans le progrès des systèmes d'électronique de puissance.

### 1.2.1 Évolution de la structure du MOSFET

Le transistor unipolaire le plus couramment utilisé est le transistor de puissance Métal Oxyde Semi-conducteur à effet de champ (MOSFET). Bien que d'autres structures telles que les JFETs (Junction Field Effect Transistors) ont bien été étudiées, elles n'ont pas été prospères pour les applications d'électronique de puissance en raison des avantages que présente le MOSFET (impédance d'entrée plus importante, résistance de drain plus faible, etc.).

Si le MOSFET a été initialement plébiscité comme une alternative aux transistors bipolaires de puissance grâce à sa forte impédance d'entrée et sa vitesse de commutation rapide, il a accaparé aussi avec succès le marché de la basse tension ( $< 100\text{V}$ ) et les applications à haute vitesse de commutation ( $> 100\text{kHz}$ ) [Bal05]. Néanmoins, la résistance à l'état passant du MOSFET en silicium est trop grande pour les applications haute tension. Cependant, l'introduction du carbure de silicium comme matériau de base dans les structures MOSFET a montré des aptitudes très prometteuses pour les applications qui nécessitent des tensions de blocage allant jusqu'à  $5000\text{V}$ .

Les premiers MOSFETs à structures latérales (figure 1.1) ne sont pas conçus pour supporter des tensions élevées ou gérer de fortes intensités de courant. Dans les années 1970, il a été reconnu qu'une architecture verticale est nécessaire pour concevoir un composant

de puissance. La structure verticale permet d'utiliser des électrodes épaisses de source et de drain en évitant le transport du courant à travers les doigts métalliques minces. De plus, la distribution du potentiel à travers la structure verticale est plus favorable pour supporter des tensions élevées.

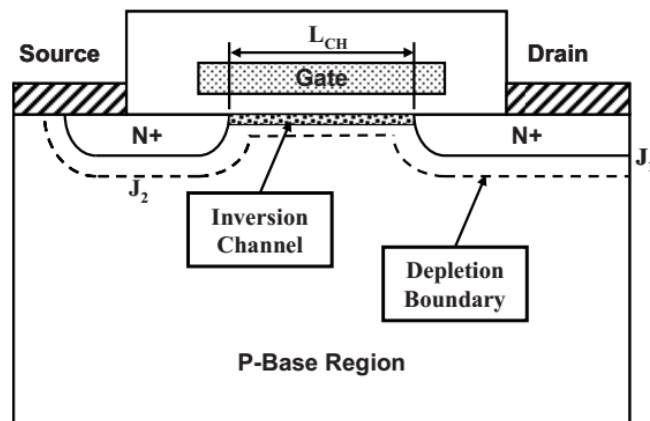


FIGURE 1.1 – Structure d'une cellule de base d'un MOSFET à structure latérale [Bal08].

Dans toutes les structures verticales du MOSFET de puissance, les régions de source N<sup>+</sup> et de drain sont séparées par une région P-base. La jonction P-N formée entre la région P-base et le drain est utilisée pour supporter des tensions élevées en considérant une zone de dérive légèrement dopée. Pour supprimer le transistor parasite N-P-N formée dans la structure du MOSFET de puissance, la jonction P-N entre la région de source N<sup>+</sup> et la région P-base est court-circuitée par l'enveloppe du métal de la source au dessus de cette jonction. Cela permet également l'électrode de source d'agir comme contact de substrat pour la structure MOS formée entre la grille et la région P-base.

### 1.2.1.1 MOSFET vertical à grille en rainure (V-MOSFET)

La première structure de transistor MOS de puissance haute tension a été développée dans les années 1970 en utilisant un procédé de gravure à rainure en V [Bal08]. Une coupe transversale de la structure V-MOSFET est illustrée par la figure 1.2. Les régions de source N<sup>+</sup> et de drain sont séparées par une région P-base, formant deux jonctions P-N nommées J1 et J2 sur la figure. Une rainure en V est formée au niveau de la surface supérieure et pénètre à travers les deux jonctions. L'électrode de grille est placée à l'intérieur de la rainure en V après la création d'un oxyde de grille sur sa surface.

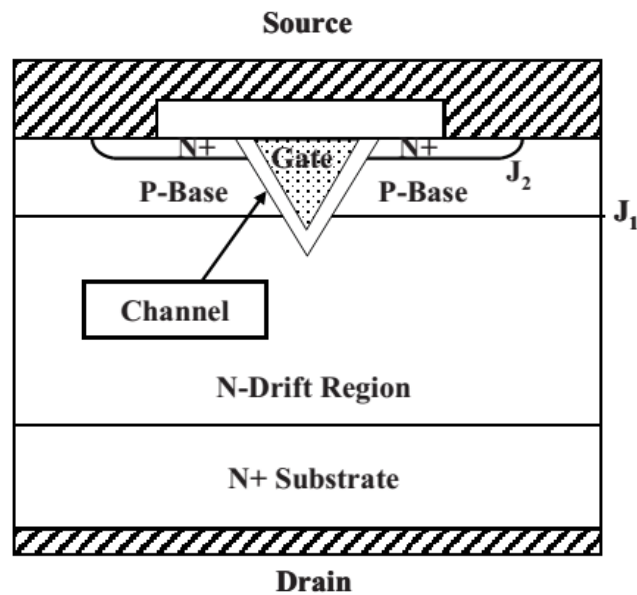


FIGURE 1.2 – Structure d'une cellule de base d'un V-MOSFET [Bal08].

La circulation du courant entre les électrodes de drain et de source de la structure V-MOSFET peut être induite par la formation d'un canal à la surface de la zone P-base au dessous de l'oxyde de grille. Une polarisation positive appliquée à l'électrode de grille attire les électrons à la surface du semi-conducteur sous l'oxyde de grille, formant un chemin pour le flux de courant entre la source et le drain.

La structure V-MOSFET est mise à l'écart à cause des difficultés de fabrication. Il a été constaté que le potassium utilisé dans les solutions d'attaque chimique contamine l'oxyde de grille, produisant des instabilités à long terme lors du fonctionnement du V-MOSFET. En outre, l'angle aigu de la rainure en V diminue la tension de claquage.

### 1.2.1.2 MOSFET vertical "planar" à double diffusion (VD-MOSFET)

Pour contourner l'instabilité de la structure V-MOSFET, une structure plane à double diffusion (VD-MOSFET) a ensuite été développée. C'est la première structure MOSFET de puissance introduite par l'industrie des semi-conducteurs de puissance [Bal10]. Une coupe transversale de la structure de la cellule de base est illustrée par la figure 1.3. Cette structure est fabriquée en partant d'une couche épitaxiale de type N développée sur un substrat fortement dopé  $N^+$ . Le canal est formé par la différence entre l'extension latérale de la région P-base et la région de source  $N^+$ . Les deux régions sont auto-alignées sur le côté gauche et le côté droit de la grille.

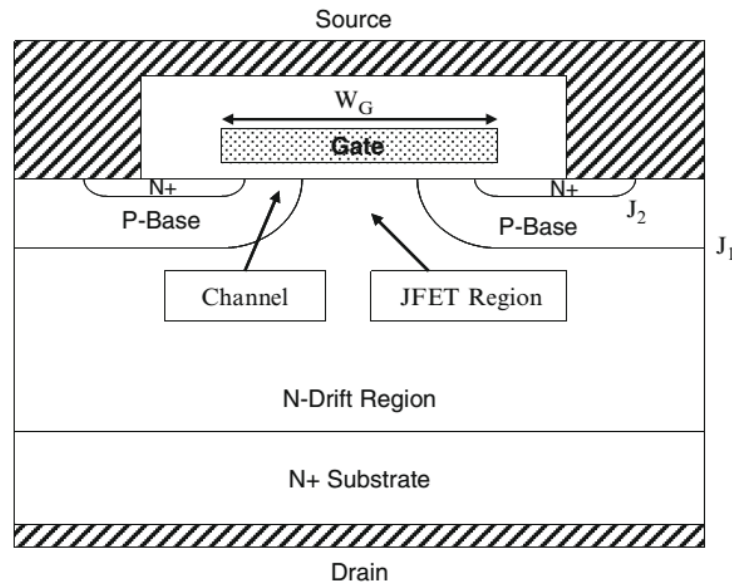


FIGURE 1.3 – Structure d'une cellule de base d'un VD-MOSFET [Bal10].

Quand le drain est polarisé positivement, le flux du courant de drain est induit par l'application d'une polarisation positive à la grille, créant ainsi une couche d'inversion à la surface de la zone P-base sous l'électrode de grille. Le canal de cette zone d'inversion constitue un chemin pour le transport des électrons de la source vers le drain. Les électrons entrent ensuite dans la zone de dérive N à la surface de la structure pour être transportés à travers la région JFET située entre les deux zones adjacentes P-base. L'étranglement du flux de courant à travers la zone JFET augmente sensiblement la résistance interne de la structure VD-MOSFET. Par la suite, le courant diffuse de la zone JFET vers toute largeur transversale de la cellule.

La longueur du canal de ce composant peut être réduite à des dimensions submicroniques en contrôlant la profondeur de diffusion de la zone P-base et la zone de source N<sup>+</sup> sans avoir recours à des outils de lithographie coûteux. Néanmoins, l'applicabilité de cette structure au carbure de silicium est limitée par les points suivants :

1. La tension de seuil plus élevée du VD-MOSFET en carbure de silicium augmente la résistance spécifique à cause de la grande contribution du canal.
2. Un champ électrique peut se développer dans l'oxyde de grille et peut conduire à une défaillance du composant, bien avant que le champ électrique dans le semi-conducteur ne puisse atteindre le champ électrique critique de claquage.

- La faible mobilité de la couche d'inversion (obtenue avec un oxyde élaboré thermiquement) peut limiter la résistance spécifique bien au delà de la capacité de la région de dérivation.

### 1.2.1.3 MOSFET blindé (Shielded MOSFET)

Les limitations de la structure VD-MOSFET peuvent être surmontées par le blindage de la région P-base. La structure de base du transistor VD-MOSFET blindé est représentée par la figure 1.4. Le blindage est effectué soit avec un canal en couche d'inversion soit un canal en couche d'accumulation [Bal05].

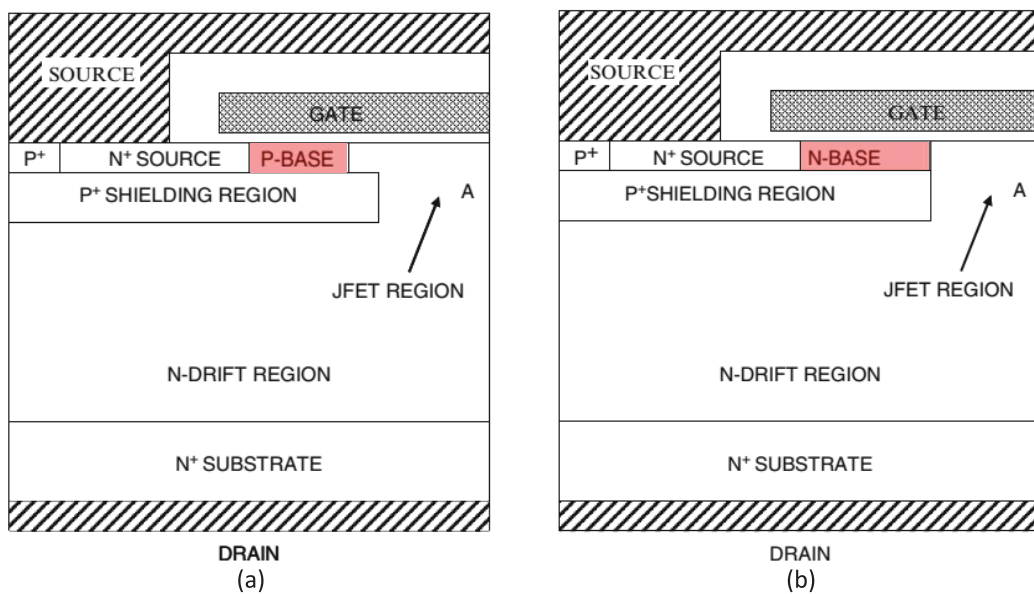


FIGURE 1.4 – Les structures d’une cellule de base d’un MOSFET blindé (a) en mode d’inversion, (b) en mode d’accumulation (ACCUFET) [Bal10].

La zone de blindage  $P^+$  (figure 1.4 (a)) se prolonge à la fois sous la région de source  $N^+$ , ainsi que sous la région P-base. L’écart entre les deux régions  $P^+$  est optimisé afin d’obtenir une faible résistance spécifique tout en protégeant l’interface d’oxyde de grille du champ électrique présent dans la zone de dérivation. Une fois la région JFET déplétée par la polarisation de drain, une barrière de potentiel est formée au niveau de la zone A. Cette barrière empêche que le champ électrique ne devienne important à l’interface de l’oxyde de grille.

Contrairement à la structure en mode d’inversion, L’ACCUFET (figure 1.4 (b)) n’a aucune région P-base. Cette zone est remplacée par une région N-base légèrement dopée.

Comme dans le cas de la structure en mode d'inversion, la structure en mode d'accumulation contient une région de blindage P<sup>+</sup>, qui se prolonge sous la région de source N<sup>+</sup> et la région de blindage N-base. L'extension de la région de blindage P<sup>+</sup> au-delà du bord de la région de source N<sup>+</sup> définit la longueur du canal.

Le MOSFET de puissance blindé 600V en SiC (mode inversion) se caractérise par une résistance à l'état passant ( $R_{ON}$ ) bien inférieure à celles des structures MOSFET de puissance conventionnelles en Si. Cependant, cette structure n'est pas compétitive avec les MOSFET de puissance en Si qui utilisent le couplage de charge. De plus, la diode formée par la jonction N/P-body montre une chute de tension relativement importante à l'état passant et de mauvaises caractéristiques de récupération en inversion [Bal10].

Inversement, il a été démontré que la résistance de la structure ACCUFET 600V en SiC est beaucoup plus petite que celle de la structure en mode d'inversion et même des composants en silicium à couplage de charge. En outre, la chute de tension de la diode a été réduite et les caractéristiques de récupération en inversion sont beaucoup plus supérieures à celles des dispositifs en mode d'inversion.

#### 1.2.1.4 MOSFET vertical à grille en tranché (U-MOSFET)

Plus récemment, une structure U-MOSFET a été développée en utilisant une grille en tranchée pour répondre à la grande résistance interne du VD-MOSFET [Bal10]. Comme on le voit sur la figure 1.5, la tranchée se prolonge dans la région de dérive N depuis la surface supérieure de la structure à travers la source N<sup>+</sup> et la région P-base. L'électrode de grille est placée à l'intérieur de la tranchée après la formation de l'oxyde de grille par oxydation thermique du fond et des parois latérales.

Le flux du courant de drain dans la structure U-MOSFET est induit par l'application d'une polarisation positive à l'électrode de grille créant ainsi une couche d'inversion à la surface de la zone P-base tout au long des parois latérales verticales de la tranchée. Le canal de cette zone d'inversion constitue un chemin pour le transport des électrons de la source vers le drain lorsque la tension appliquée au drain est positive. Une fois le canal traversé, les électrons pénètrent dans la région de dérive N au dessous des tranchées. Le courant se propage ensuite sur la totalité de la largeur transversale de la cellule.

La structure U-MOSFET ne contient pas de région JFET, ce qui permet une réduction

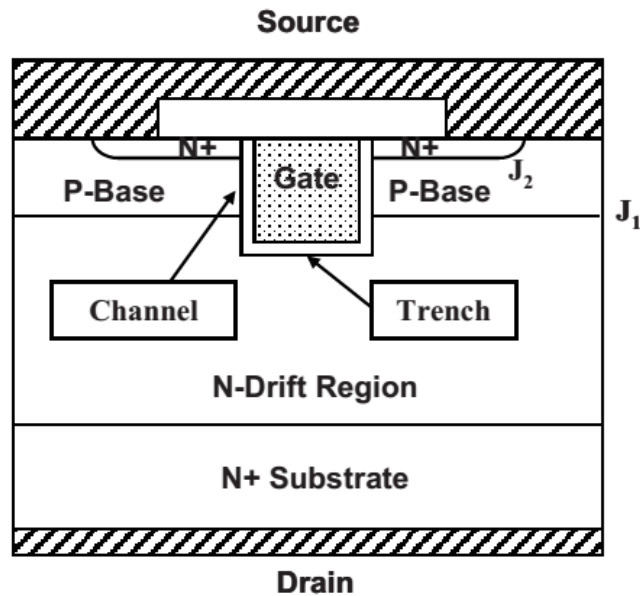


FIGURE 1.5 – Structure d'une cellule de base d'un U-MOSFET [Bal10].

significative de la résistance interne par rapport à celle la structure VD-MOSFET. La réduction de la résistance interne par la structure U-MOSFET lui a permis de gagner en popularité pour des applications commerciales.

Cependant, il a été constaté que la grande capacité d'entrée et la grande charge de transfert de grille de l'U-MOSFET neutralise l'avantage de la faible résistance spécifique dans les applications haute fréquence tels que les modules régulateurs de tension (VRM) utilisés pour l'alimentation des microprocesseurs [Bal10].

### 1.2.2 Propriétés des matériaux

La performance d'un composant ne dépend pas que de l'architecture mais dépend aussi du matériau semi-conducteur utilisé. Récemment, les composants à base de silicium (Si) ont dominé le marché grâce à leur maturité et à la technologie de fabrication bien établie du Si. Cependant, l'électronique de puissance à base de silicium a connu ses limites pour certaines applications en raison de capacités thermiques insuffisantes, tension de claquage, ou fréquence de commutation [MPSH15]. En effet, plusieurs applications dans les domaines de l'avionique et l'automobile nécessitent par exemple des dispositifs de conversion d'énergie opérants à des températures ambiantes significativement supérieures à 200°C, bien au dessus de la limite du silicium.

Les limites physiques du Si réduisent considérablement l'efficacité des convertisseurs de puissance actuels qui nécessitent, entre autres, des systèmes de refroidissement complexes et coûteux, créant ainsi un besoin croissant de technologies capables de fournir un fonctionnement à haute température, haute fréquence et une densité de puissance élevée. Par conséquent, une nouvelle génération de semi-conducteurs à grand gap (wide band-gap : WBG) a émergé et représente une alternative viable aux composants de puissance en Si. L'utilisation de ces nouveaux dispositifs semi-conducteurs de puissance permettra d'accroître l'efficacité de la transformation de l'énergie électrique et d'améliorer considérablement la taille et la robustesse des convertisseurs de puissance.

Parmi les candidats possibles de matériaux semi-conducteurs, le carbure de silicium (SiC) et le nitrure de gallium (GaN) présentent les meilleurs compromis entre les propriétés physiques (tension de blocage élevée, fonctionnement à haute température et des fréquences de commutation élevées), la disponibilité commerciale du matériau de base (wafers et couches épitaxiales) et la maturité de leurs processus d'élaboration.

La figure 1.6 met en évidence certaines propriétés des matériaux semi-conducteurs WBG capables de remplacer le Si. Le SiC et le GaN présentent des bandes interdites ( $\sim 3\text{eV}$ ) trois fois plus larges que celle du Si ( $\sim 1\text{eV}$ ) se traduisant par des températures de fonctionnement beaucoup plus élevées et une meilleure résistance aux radiations. Les champs électriques de claquage du SiC et du GaN sont supérieurs à celui du Si. Cela permet de concevoir des composants de puissance à large bande interdite avec des couches de tension de blocage plus minces et plus dopées. Dans le cas des semi-conducteurs unipolaires, ceci peut donner lieu à une chute de tension plus faible à l'état passant et moins de pertes en conduction. De plus, la forte conductivité électrique du SiC ( $4.9^\circ\text{C/W}$ ) permet à la chaleur dissipée d'être évacuée plus rapidement.

D'importantes améliorations de la qualité des matériaux SiC et GaN au cours des dernières années ont conduit à la commercialisation des composants SiC et GaN, particulièrement les diodes Schottky, les MOSFETs et les JFETs. Bien que, théoriquement, le GaN propose de meilleures performances (fréquence et tension plus élevés) que le SiC, le manque de substrats massifs de bonne qualité nécessaires pour les composants verticaux et la faible conductivité thermique accordent au SiC une meilleure position pour les composants haute tension.



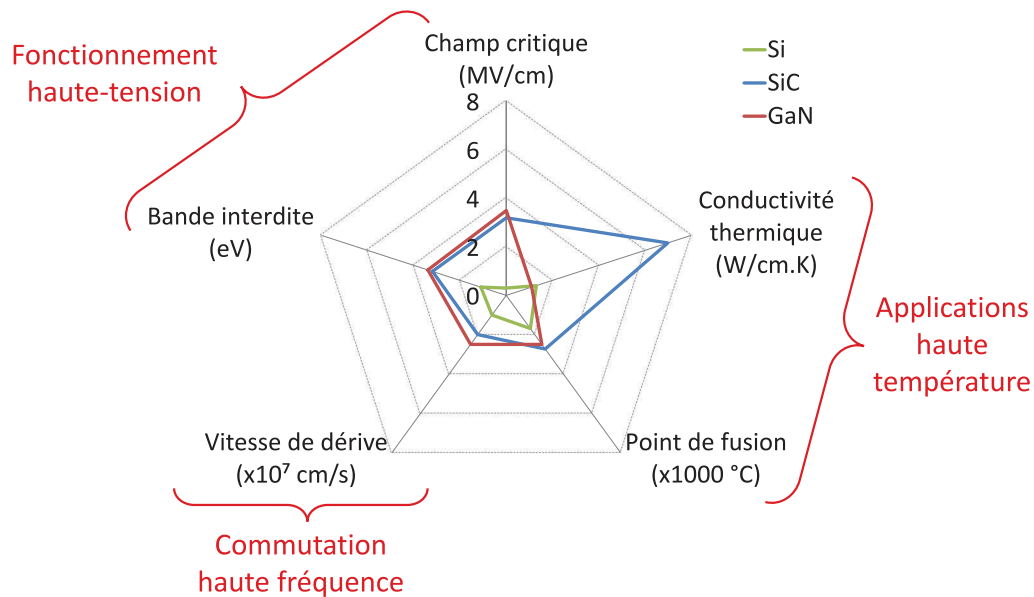


FIGURE 1.6 – Résumé des propriétés les plus pertinentes du Si, SiC et GaN [HSSK03].

Ces nouveaux composants de puissance représentent une véritable percée dans l'électronique de puissance, bien que de nombreuses améliorations soient encore nécessaires. En effet, un grand nombre des avantages matériels ne sont pas pleinement exploités à cause de la qualité spécifique des matériaux, les limitations technologiques, la conception non optimisée de certains composants ainsi que des problèmes de fiabilité. Les défauts matériels restent la cause première de la défaillance des composants. Ces défauts et leurs effets secondaires sont aggravés par les forts champs électriques, les grandes densités de courant, l'augmentation de température et le stress surfacique des couches de matériaux.

### 1.2.3 Le SiC dans les structures MOS

Les transistors Métal-Oxyde-Semi-conducteur à effet de champ (MOSFETs) ont bien évidemment été d'intérêt depuis le début de développement de composants SiC puisque ce dernier est le composant ayant eu le plus de succès dans le monde du Si. La capacité du SiC à former du dioxyde de silicium ( $\text{SiO}_2$ ) en tant qu'oxyde natif est un autre avantage important pour la conception du MOSFET. Néanmoins, jusqu'à nos jours, ces composants souffrent d'une faible mobilité du canal d'inversion et diminution de la hauteur de barrière entre le SiC et le  $\text{SiO}_2$  à cause de la forte densité d'états de surface présente actuellement dans l'interface SiC/ $\text{SiO}_2$ .

L'origine de ces pièges est liée à l'imperfection des interfaces SiC/diélectrique due à la

présence d'agrégats de carbone (C) et/ou de liaisons pendantes de Si et C. Un nombre significatif d'électrons censés fournir la faible résistance de la couche d'inversion se retrouve piégé dans ces états d'énergie et par les électrons mobiles, ce qui augmente davantage la résistance de la région du canal.

Des données expérimentales [SFPS99] ont montré que la densité de ces états d'interface dans le SiC augmente exponentiellement (au delà de 2.4eV au dessus de la bande de valence de tous les polytypes de SiC). Dans cette étude, la mobilité anormalement faible des électrons d'inversion dans les MOSFETs 4H-SiC (par rapport au 3C, 6H et 15R SiC) a été attribuée à la plus grande largeur de bande interdite du 4H-SiC parmi les polytypes SiC couramment étudiés.

La localisation et la densité des états d'interface dans la bande interdite influence non seulement la mobilité du canal, mais aussi les courants tunnels Fowler-Nordheim (F-N) à l'interface SiC/diélectrique. L'existence d'une importante densité d'électrons au niveau des états d'interface les amène à agir comme une source principale de courant tunnel FN dans le diélectrique, plutôt que de la position du niveau de Fermi. Une hauteur de barrière "effective" ( $\Phi_{\text{eff}}$ ) est généralement observée dans la plupart des cas au lieu d'une hauteur de barrière bien définie déterminée par la différence entre le niveau de Fermi et la bande de conduction. Elle est déterminé par la densité et la localisation des états d'interface dans la bande d'énergie. Comme la plupart des états d'interface est située à proximité du bord de la bande de conduction,  $\Phi_{\text{eff}}$  est proche de l'offset de bande de conduction de l'interface SiC/SiO<sub>2</sub>.

A une température et champ électrique donnés, les courants tunnel FN devraient être beaucoup plus élevés pour les composants SiC que pour ceux à base de Si puisque l'offset de bande de conduction entre le SiC et le SiO<sub>2</sub> est inférieur à celui entre le Si et le SiO<sub>2</sub>. Comme le montre la figure 1.7, l'offset de bande de conduction de l'interface Si/SiO<sub>2</sub> est de 3.2eV contre seulement 2.7eV pour le 4H-SiC. Ainsi, pour le même courant tunnel FN, cette différence de 0.5eV dans l'offset de bande exige que le champ électrique dans le diélectrique soit réduit d'environ 1.5 pour un système 4H-SiC/SiO<sub>2</sub> par rapport à un système Si/SiO<sub>2</sub> [Sin06].

Des études ont également montré que des défauts dans les plaquettes SiC et les couches épitaxiales peuvent réduire le champ électrique critique de claquage, entraîner une augmentation des courants de fuite et dégrader les performances des composants pendant

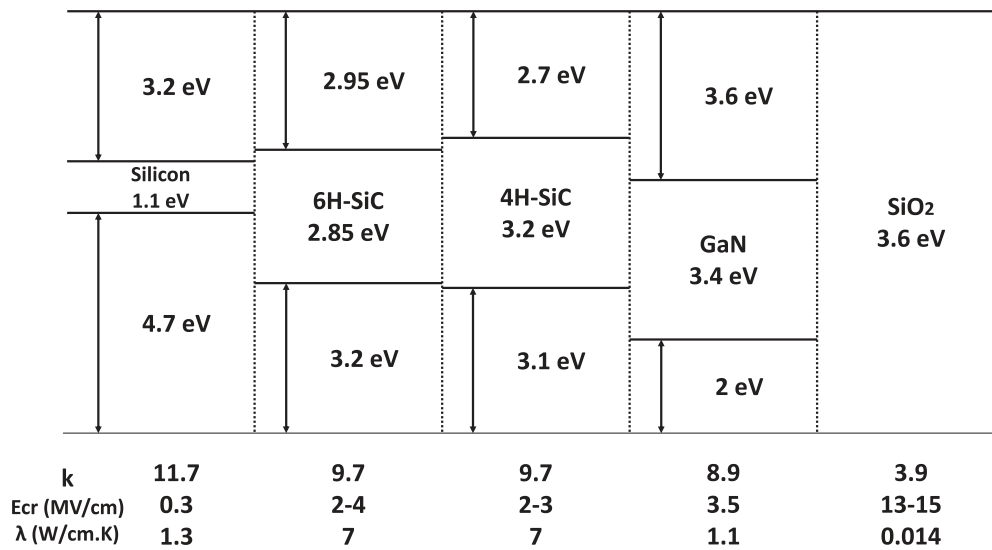


FIGURE 1.7 – Les offsets de bande de conduction et de valence du Si, 6H-SiC, 4H-SiC et GaN par rapport au SiO<sub>2</sub>. Les constantes diélectriques, les conductivités thermiques et les champs électriques critiques de ceux-ci sont également donnés.

leur fonctionnement. Le défaut le plus important est la microfissure. Elle se présente sous la forme d'un trou d'un diamètre allant du nm au  $\mu\text{m}$  et une longueur de quelques cm à travers le cristal. Il a été montré qu'un composant SiC présentant une microfissure au niveau de sa zone active ne peut pas supporter un champ électrique important, et par conséquent toute puissance significative.

Outre les microfissures, beaucoup d'autres défauts matériels sont fréquemment observés dans le SiC. Ces défauts peuvent être classés en défauts au niveau de la plaquette et défauts épitaxiaux. Généralement, les défauts dans les plaquettes SiC agissent comme étant des sites de nucléation pour les défauts épitaxiaux qui peuvent affecter les performances de l'appareil. Les divers défauts sur les plaquettes nues (exposées) de SiC sont les dislocations vis, les dislocations coin, les dislocations du plan basal et les détériorations de polissage. Les défauts dans les couches épitaxiales de SiC dépendent quant à eux des méthodes et des réacteurs utilisés pour la fabrication des couches [Kim15].

## 1.3 Mécanismes de défaillance et moyens d'analyse associés

Les imperfections des MOSFETs à carbures de silicium ne présentent pas le seul frein à leur bon fonctionnement. En effet, la fiabilité des dispositifs semi-conducteurs dépend aussi de leur résistance aux stress auxquels ils sont soumis. Les contraintes auxquelles sont confrontés ces composants peuvent être classées en deux familles : les contraintes environnementales sont liées à l'environnement du composant (température ambiante, humidité au voisinage du composant, surtension,...), les contraintes fonctionnelles sont liées aux conditions de fonctionnement (stress électrique, stress mécanique et stress thermique). Si une partie du composant a une structure particulièrement fragile, elle peut être vulnérable au stress appliqué, la rendant ainsi sujette à des défaillances.

Étant l'un des matériaux à large bande interdite, le carbure de silicium (SiC), est un semi-conducteur prometteur pour la nouvelle génération de composants de puissance. Des études approfondies ont été menées pour la caractérisation électrique de ces dispositifs. Cependant, les mécanismes de défaillance des composants SiC n'ont pas été entièrement explorés. De plus, les mécanismes de défaillance du MOSFET de puissance sont différents de ceux des MOSFETs latéraux traditionnels à cause de sa structure particulière.

Dans cette partie, nous nous intéressons à l'énumération des mécanismes de défaillances les plus communs des MOSFETs de puissance à structure verticale. Nous nous limitons aux mécanismes pouvant affecter la puce de ces composants.

A ce jour, la plupart des travaux sur les MOSFET de puissance en SiC ont mis l'accent sur l'augmentation de la mobilité. Les impuretés de carbone et d'autres défauts dans le SiO<sub>2</sub> et aux interfaces SiO<sub>2</sub>/SiC y jouent un rôle crucial. Deux mécanismes peuvent en résulter à savoir le Time Dependant Dielectric Breakdown (TDDB) et le Bias Temperature Instability (BTI).

### 1.3.1 Time Dependant Dielectric Breakdown (TDDB)

Étant l'un des mécanismes de défaillance les plus communs des MOSFETs, la rupture du diélectrique en fonction du temps (TDDB) a été largement étudié pour les dispositifs à base de silicium [McP12]. Cependant, ce phénomène n'a pas été suffisamment étudié pour

les composants SiC.

Le TDDB se réfère au processus physique par lequel un diélectrique soumis à un champ électrique constant, inférieur à la force nominale de claquage du matériau, se détériore avec le temps. Cette détérioration a lieu en deux étapes. Pendant la première phase, les charges sont piégées au fil du temps dans le matériau diélectrique sous l'effet du champ électrique appliqué. Ces défauts conduisent à la formation de chemins de conduction. Lorsque la densité de défauts atteint un niveau critique, une augmentation brusque du courant de grille est observée et, éventuellement, le MOSFET perd sa contrôlabilité de la tension de grille.

Bien que l'adoption générale d'un modèle unique de TDDB pour la silice peut faire défaut, certaines observations de TDDB pour la silice sont largement reconnues :

1. Le TDDB dépend fortement du champ électrique.
2. Le TDDB peut dépendre fortement de la température.
3. L'énergie d'activation peut dépendre du champ électrique.
4. Le TDDB peut dépendre de la polarité.
5. Le paramètre d'accélération du champ électrique augmente avec la constante diélectrique  $k$ .
6. Des pièges neutres/défauts/liaisons cassées irréversibles sont générés pendant le stress TDDB.
7. Le signal de la résonance de spin électronique augmente pendant le stress TDDB.
8. La génération de défauts/liaisons cassées mène à la formation d'un chemin conducteur de percolation qui peut enclencher la défaillance.
9. Les données statistiques du TDDB peuvent être décrits par la loi de Weibull.
10. Les diélectriques polaires tels que la silice sont sujets au TDDB alors que les diélectriques apolaires ne le sont pas.

Différents modèles ont été proposés pour expliquer la création et accumulation des défauts dans la couche d'oxyde. Les modèles les plus utilisés sont basés sur la dégradation induite soit par champ électrique soit par courant électrique, soit par une combinaison des deux [McP12].

### 1.3.1.1 Le modèle électrochimique E

Le modèle électrochimique E se base sur l'existence d'une relation entre le champ électrique et la dégradation d'oxyde. Il donne une estimation quantitative de l'énergie d'activation (énergie nécessaire pour rompre la liaison moléculaire). Les liaisons chimiques faibles dans le  $\text{SiO}_2$  associées aux lacunes d'oxygène subissent de fortes tensions en raison du champ électrique élevé appliqué à travers l'oxyde. Certaines liaisons peuvent obtenir assez d'énergie thermique pour se détacher et créer des défauts. L'énergie d'activation diminue avec l'augmentation du champ électrique externe et est donnée par l'équation 1.1 :

$$\Delta H = \Delta H_0 - p_{eff}(m, n)E_{ox} \quad (1.1)$$

avec

$$p_{eff}(m, n) = (z^*e)r_0[\eta(m, n)]^{-1} \left( \frac{2+k}{3} \right) \quad (1.2)$$

où  $\Delta H_0$  est l'énergie nécessaire pour rompre la liaison en l'absence d'un champ externe.  $p_{eff}$  est le moment dipolaire effectif de rupture et varie entre 7 et 14 eÅ. Le temps avant défaillance (Time to Failure : TF) est donné par l'équation 1.3 :

$$TF = A_0 \exp \left[ \frac{\Delta H_0}{K_B T} - \gamma E \right] \quad (1.3)$$

avec

$$\gamma = - \left[ \frac{\partial \ln(TF)}{\partial E} \right]_{T=constant} = \frac{P_{eff}}{K_B T} \quad (1.4)$$

$\gamma$  étant le paramètre d'accélération du champ électrique.

Ce modèle répond à deux observations principales du TDDB. D'après l'équation 1.1, si la liaison moléculaire ne possède pas un moment dipolaire, alors le TDDB n'a pas lieu (observation 10). De plus, les équations 1.2 et 1.4 indiquent que le paramètre d'accélération du champ  $\gamma$  augmente avec la constante diélectrique (observation 5). Cependant, la limite majeure du modèle  $E$  est la non prise en considération de la dépendance du TDDB de la polarité (observation 4).

### 1.3.1.2 Le modèle d'injection de trous dans l'anode 1/E

Le modèle d'injection de trous dans l'anode 1/E est basé sur la dépendance du TDDB au courant. Il relie la défaillance TDDB à la circulation d'un courant à travers le diélectrique

sous l'effet du phénomène Fowler-Nordheim. Les électrons injectés par le mécanisme F-N de la cathode dans la bande de conduction du SiO<sub>2</sub>, sont accélérés vers l'anode. Pendant l'accélération des électrons à travers le diélectrique, des détériorations peuvent avoir lieu. De plus, quand ces électrons atteignent l'anode, des trous peuvent être créés et injectés dans le diélectrique causant ainsi des dégradations [McP12].

Étant donné que l'injection des électrons et des trous est le résultat d'une conduction tunnel F-N, le TF est inversement proportionnel à l'exponentielle du champ électrique,  $1/E$  (équation 1.5) :

$$TF = \tau_0(T) \exp \left[ \frac{G(T)}{E_{ox}} \right] \quad (1.5)$$

Dans cette équation,  $G = B + H$ , où  $B$  est associé à l'effet tunnel des électrons ( $B \sim 240\text{MV/cm}$ ),  $H$  est associé à l'effet tunnel des trous ( $H \sim 55 - 115\text{MV/cm}$ ),  $\tau_0(T)$  est un pré-facteur qui dépend de la température.

Le modèle  $1/E$  présente deux limites majeures : (1) le taux de génération de trous à l'anode est extrêmement faible à basses valeurs de champ/tension et (2) la capacité des trous injectés à produire des défauts dans la silice est sous estimée. De plus, comme le F-N est très peu dépendant de la température, aucune explication quantitative n'est donnée par cette théorie quant à la forte dépendance du TDDB de la température.

D'autres modèles existent comme le modèle  $E^{1/2}$  et le modèle  $V^N$ . Ces modèles donnent des temps avant défaillance TF compris entre ceux donnés par le modèle  $E$  et le modèle  $1/E$ . En effet, ces deux derniers tendent à servir de limites ; le modèle  $E$  étant le plus conservateur. La figure 1.8 montre la variation du TF en fonction du champ électrique appliqué. Pour les forts champs électriques, les modèles convergent vers les mêmes temps de défaillance alors que pour les faibles valeurs, chaque modèle tend à prendre en considération un nombre des observations citées ci dessus. Il convient de souligner que ces modèles ont été construits à partir des mêmes données expérimentales.

Le choix du modèle physique correct pour analyser les données TDDB est très important pour développer à la fois une technologie hautement fiable et compétitive. Le modèle  $E$  est le plus conservateur. Adopter ce modèle permet de garantir le fonctionnement le plus fiable du composant. Cependant, il ne permet pas de bénéficier des performances du transistor à leur maximum contrairement à ce que propose le modèle  $1/E$  qui est le plus

optimiste. Ainsi, choisir l'un ou l'autre de ces deux modèles revient à faire un compromis entre la fiabilité et la performance.

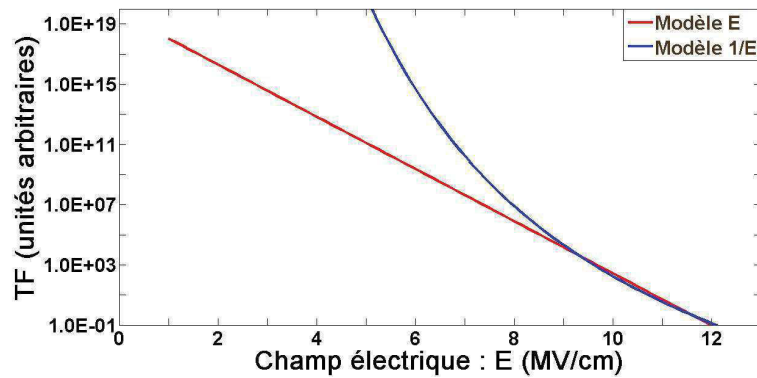


FIGURE 1.8 – Tendances de la variation du temps avant défaillance TF en fonction du champ extérieur données par le modèle  $E$  et le modèle  $1/E$ . Le modèle  $E$  donne les TF les plus courts à faibles valeurs de champ électrique et le modèle  $1/E$  donne les TF les plus longs [McP12].

Le test le plus couramment utilisé pour l'investigation du TDDB est le "stress constant", appliqué sous forme de stress sous tension constante ou de stress sous courant constant. Dans le premier cas, une tension (qui est souvent inférieure à la tension de claquage de l'oxyde) est appliquée sur la grille, tandis que le courant de fuite est surveillé [GHS<sup>+</sup>08] et [SSF<sup>+</sup>13]. Le TF est le temps qu'il faudra pour que l'oxyde se rompe sous cette tension appliquée. Le test est ensuite répété plusieurs fois pour obtenir une distribution du TF. Ces distributions sont utilisées pour créer des courbes de fiabilité et pour prédire le comportement de l'oxyde sous d'autres tensions.

### 1.3.2 Bias Temperature Instability (BTI)

Le Bias Temperature Instability (BTI) est l'un des mécanismes de dégradation les plus critiques dans l'état de l'art des composants MOS à base de Si. Ce mécanisme décrit la génération de charges dans l'oxyde et les pièges d'interface induits par les polarisations de grille et par les températures élevées. Les pièges et les ions mobiles dans les oxydes ont été signalés comme étant les principales causes du BTI dans les Si-MOS. Ce mécanisme est communément observé comme un décalage de la tension de seuil ( $\Delta V_{th}$ ) des transistors MOS fonctionnant à des températures élevées sous des champs élevés d'oxyde de grille.



La manifestation la plus importante du BTI (Bias Temperature Instability) lorsqu'on traite des technologies CMOS a lieu quand la grille d'un transistor pMOSFET est polarisée négativement (dans le régime de forte inversion) ; ceci est appelé Negative Bias Temperature Instability (NBTI). Quand la grille est polarisée positivement, le phénomène est appelé Positive Bias Temperature Instability (PBTI). En incluant les nMOSFETs, on retrouve quatre différentes permutations du BTI : NBTI/pMOS, PBTI/pMOS, NBTI/nMOS et PBTI/nMOS. Outre le cas déjà mentionné du NBTI/pMOS qui présente l'effet le plus dominant de la famille BTI, les nMOSFETs montrent aussi un comportement de PBTI non négligeable. Les combinaisons restantes PBTI/pMOS et NBTI/nMOS sont moins enclins à se dégrader en raison de BTI.

La grande majorité des études approfondies menées récemment sur le BTI a été axée sur les couches diélectriques de SiO<sub>2</sub>, SiON, et des matériaux high-k de très faible épaisseur [SB03, Sch07, HDP06, SZ06], et seulement quelques groupes de recherche semblent avoir abordé le BTI sur les oxydes de grille à grande épaisseur [ANG08, ANG09, EGT<sup>+</sup>07, ABKZ07]. Dans un certain nombre d'applications, les MOSFET de puissance sont régulièrement exploités dans des environnements hostiles et à forts niveaux de courant et tension, conduisant à l'auto-échauffement et/ou l'augmentation des champs, et favorisant ainsi le BTI. En conséquence, le BTI pourrait être critique pour un fonctionnement fiable des MOSFETs de puissance, même s'ils présentent des couches d'oxyde épaisses [SMD<sup>+</sup>14].

Le BTI a été largement étudié pour les transistors MOS à base de silicium [SB03, Sch07]. La libération de l'hydrogène à partir des liaisons pendantes inter-faciales passivées de Si sous le BTI peut conduire à la création de pièges à l'interface et l'accumulation de charges dans la couche d'oxyde. Cependant, l'hydrogène, si important dans la technologie MOS Si, se comporte différemment dans les MOS SiC, où l'azote est plus important. En effet, pour les carbures de silicium de haute qualité, l'hydrogène est inefficace dans la passivation des défauts interfaciaux et les défauts des liaisons pendantes sont relativement moins importants que dans le Si [Sch09].

Une remarquable variété de modèles relatifs à la dégradation et la relaxation du NBTI ont été publiés. Malheureusement, ces modèles sont souvent contradictoires ou même controversés [HDP06, SB03, Sch07]. Une raison à cela pourrait être le fait que les expériences sont menées sur différentes technologies de composants avec différentes épaisseurs d'oxyde de grille [ANG08]. Toutefois, la géométrie du composant et la nature de l'oxyde de

grille sont susceptibles d'influer significativement [SB03]. Par conséquent, la dynamique de la dégradation et de la relaxation ont été attribués à de nombreux effets comme le piègeage de trous, libération d'hydrogène à l'interface, diffusion/craquage de l'hydrogène à l'intérieur et à l'interface de l'oxyde de grille, divers défauts d'oxyde et bien plus.

Parmi les divers modèles NBTI proposés, le modèle Reaction-Diffusion (R-D) est le plus répandu. L'équation 1.6 présente la variation de la quantité de charge d'interface générés en fonction du temps. Dans ce modèle, les pièges d'interface sont générés à l'interface  $SiO_2/Si$  (réaction) avec une dépendance linéaire de la durée du stress. Il existe un peu de controverse sur l'applicabilité du modèle R-D au mécanisme NBTI. Ce qui est encore débattu, c'est la valeur de l'exposant de temps  $n$ , qui est prédit d'être supérieur à 0.25, mais fréquemment observé comme étant plus bas.

$$\Delta N_{it}(t) = \frac{2k_F N_0 t}{1 + \sqrt{1 + 4k_F N_0 k_R t^{3/2} / (0.5\sqrt{D_H})}} \quad (1.6)$$

Bien que le BTI soit un problème critique de la fiabilité des composants et circuits en SiC, peu d'études ont été menées pour l'investigation de ce mécanisme [SZZ<sup>+</sup>11, ABKZ07, FZS<sup>+</sup>14, MOT16], son origine dans le SiC n'a pas été étudiée en détail. Selon [SZZ<sup>+</sup>11], les effets du BTI dans le SiC sont liés à la densité des atomes dopants ionisés dans le substrat des capacités MOS SiC. Les résultats obtenus sous stress de BTI en commutation de polarisation appuient fortement l'hypothèse que des espaces vacants d'oxygène sont relativement abondants à côté de l'interface SiC/SiO<sub>2</sub>. Ils jouent ainsi un rôle très important dans le BTI lorsque le piègeage de trous est favorisé.

L'étude du BTI est le plus souvent réalisé à l'aide du test High Temperature Gate Bias (HTGB). Ce test consiste à stresser électriquement l'oxyde de grille en appliquant une tension de polarisation maximale et ce à haute température. Le test de HTGB sera étudié plus en détails plus loin dans ce chapitre.

### 1.3.3 Phénomènes à évènement singulier

Les MOSFETs de puissance sont souvent utilisés dans les systèmes du domaine spatial à cause de leurs caractéristiques électriques exceptionnelles. Cependant, ils sont vulnérables

aux phénomènes d'événements singuliers lorsqu'ils sont exposés à l'environnement radiatif de l'espace. L'espace naturel contient des protons de haute énergie et des ions lourds ainsi qu'un vaste rayonnement. Parmi les mécanismes les plus importants, nous notons le claquage de grille par événement singulier (Single Event Gate Rupture : SEGR) et le burnout par événement singulier (Single Event Burnout : SEB).

### 1.3.3.1 Single Event Gate Rupture (SEGR)

Le Single event Gate Rupture (SEGR) est un mode de défaillance considérable et spécifique aux DMOS lorsqu'ils sont utilisés dans des applications aérospatiales [ABG<sup>+</sup>96]. Ce mécanisme de défaillance est provoqué par le passage d'un ion lourd à travers le goulot d'étranglement (neck region : région entre les deux canaux d'une cellule, voir figure 1.9(a)) tandis que le drain est polarisé positivement (transistor à canal n) [WLL<sup>+</sup>12]. Les paires électron-trou générées sur le chemin de l'ion commencent à se séparer sous l'influence du champ du substrat ( $V_{DS}$ ). Suite à la séparation des charges dans le substrat, une quantité de charges positives s'accumule à l'interface SiC/SiO<sub>2</sub> comme le montre la figure 1.9(b).

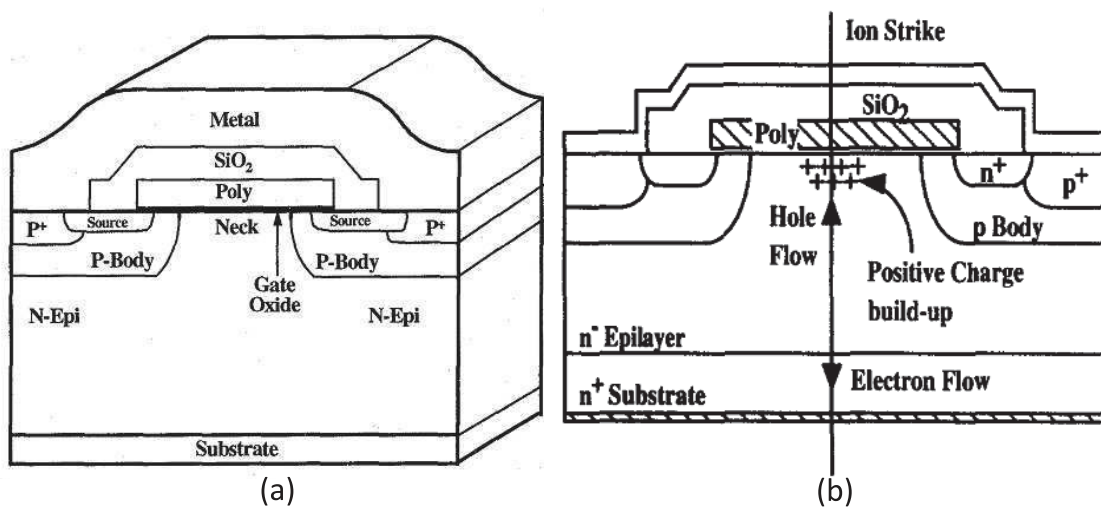


FIGURE 1.9 – Coupe transversale d'un MOSFET vertical montrant (a) deux demi-cellules et la région d'étranglement (Neck region) [TWB<sup>+</sup>95] et (b) l'accumulation de charges positives à l'interface SiC/SiO<sub>2</sub> causée par l'application d'une polarisation de drain [ABG<sup>+</sup>96].

Cette accumulation de charges ne dure que pendant des périodes de l'ordre de quelques picosecondes et entraîne une augmentation transitoire du champ d'oxyde dans la zone d'impact. Si l'augmentation du champ dépasse le champ critique de claquage d'oxyde  $E_{CR}$ , un claquage d'oxyde a lieu (SEGR) et un court-circuit permanent à travers l'oxyde en ré-

sulte [ABG<sup>+</sup>96].

Différents aspects de ce mécanisme de défaillance ont été rapportés dans la littérature, y compris la dépendance de l'épaisseur d'oxyde, de la température et l'énergie de seuil de l'ion. Selon [WLL<sup>+</sup>12], les régions cellulaires sont largement considérées comme les plus vulnérables, mais sous certaines conditions, d'autres zones peuvent devenir sensibles à ce phénomène.

### 1.3.3.2 Single Event Burnout (SEB)

Le SEB est le prédominant parmi les modes de défaillance induits par des ions dans les MOSFETs de puissance non durcis au rayonnement. Semblable au SEGR, le SEB est également déclenché par le passage d'un ion lourd à travers un MOSFET lorsqu'il est polarisé à son état bloqué [LBGT06]. Lors du passage de l'ion, des paires électron-trou sont générées tout au long de sa trajectoire créant des courants transitoires dans lesquels des trous remontent vers la source via la région P-base et des électrons vers le drain.

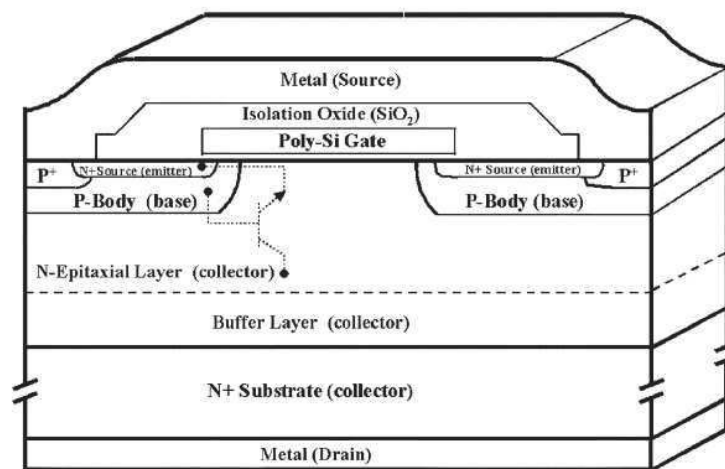


FIGURE 1.10 – Coupe transversale d'un MOSFET de puissance vertical où la source N+ agit comme l'émetteur, la région P-body comme la base et la couche épitaxiale N comme le collecteur du transistor bipolaire parasite [LBGT06].

Cette fuite de courant à travers la région de P-base va générer une chute de tension au niveau de la jonction base-émetteur du transistor bipolaire parasite (voir figure 1.10). Quand la chute de tension est supérieure à une valeur de seuil, le transistor bipolaire à jonction parasite va se mettre à l'état passant. Suite à un mécanisme de rétroaction, de

forts courant et tension surviennent dans le canal et déclenchent le deuxième claquage du MOSFET de puissance causant la destruction du composant [Zha06].

Le SEB se produit principalement dans les MOSFETs à canal n. Les expériences montrent qu'il est difficile d'induire le SEB dans les transistors à canal p. En effet, le taux d'ionisation des trous d'impact est inférieur à celui des électrons, ce qui rend l'amplitude des courants d'avalanche générés inférieure à celle des transistors à canal n [JPD<sup>+</sup>96].

La sensibilité d'un dispositif aux défaillances par évènement singulier peut être étudiée en plaçant des composants de test sous un flux de neutrons dans un cyclotron ou une autre installation d'accélérateur de particules [GvDL<sup>+</sup>12]. Plusieurs paramètres peuvent être considérés lors des tests comme la densité du flux de neutrons, l'intensité des neutrons et l'orientation du composant par rapport au faisceau de neutrons. Les expériences sont généralement effectuées sous différentes tensions de polarisation de drain. Selon Liu et al. [LBGT06] et [LTZ<sup>+</sup>10], il n'y a pas de tension de polarisation de grille aggravante pour le SEB, le SEGR cependant a une probabilité plus élevée de survenir lorsqu'une polarisation négative de grille est appliquée.

### 1.3.4 Reconstruction métallique

Un des matériaux les plus présents dans les MOSFETs est l'aluminium. Il est présent dans la métallisation de source pour permettre l'équipotentialité sur toute la surface ainsi que la mise en parallèle de l'ensemble des cellules élémentaires composant la puce. De plus, elle permet d'empêcher le déclenchement de structures parasites et le report des fils de bonding sur la puce. Le vieillissement et la dégradation de cette couche peuvent être critiques. La répartition du courant sur la puce et la qualité du contact avec les fils de bonding seront ainsi fortement impactés [DGW04] [RBD<sup>+</sup>15].

Cette couche de métallisation est la plus sensible aux contraintes mécaniques engendrées par les changements de température auxquelles le composant est soumis. En effet, pour des applications fonctionnant à haute température (automobile, aéronautique) ou sous de fortes contraintes de fonctionnement (court-circuit ou d'avalanche) le vieillissement de la couche de métallisation engendre un processus de reconstruction de l'aluminium qui, à long terme peut conduire à la défaillance du composant [PLP<sup>+</sup>11].

La métallisation d'aluminium a une épaisseur variant entre  $3\mu\text{m}$  et  $10\mu\text{m}$ , ce qui représente une couche extrêmement fine. A cause de la grande disparité thermo-mécanique entre l'aluminium et le substrat d'une part et de la rigidité du substrat d'autre part, le stress subi par la couche mince d'aluminium pendant le fonctionnement cyclique du composant peut être bien au-delà de la limite élastique. Dans de telles circonstances, la relaxation se fait par fluage de diffusion, glissement de joints de grains ou par déformation plastique par glissement de dislocations. La nature de la dégradation dépend de la température et des conditions de stress [Cia02]. Ainsi, la surface devient irrégulière et perd le motif de sa structure.

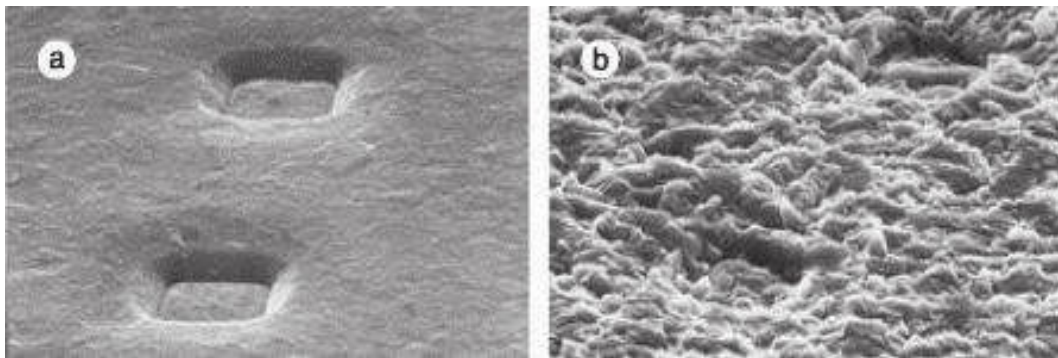


FIGURE 1.11 – Observation de la métallisation d'un transistor IGBT (a) avant cyclage actif (image MEB, 1000x) et (b) après 3,2 millions cycles entre  $85\text{ }^{\circ}\text{C}$  et  $125\text{ }^{\circ}\text{C}$  (image MEB, 1000x) [Cia02].

La figure 1.11 montre l'état de la métallisation d'un IGBT avant et après avoir subit 3,2 millions cycles actifs entre  $85\text{ }^{\circ}\text{C}$  et  $125\text{ }^{\circ}\text{C}$  et met en évidence la reconstruction de la couche d'aluminium. En effet, les puits de source sont clairement observables sur la figure 1.11(a) et la couche d'aluminium paraît lisse, alors que les puits de source sont devenus presque imperceptibles après le cyclage (figure 1.11(b)).

D'autres travaux ont surveillé régulièrement l'évolution la couche de métallisation au Microscope Électronique à Balayage (MEB), grâce auquel le processus de fissuration au niveau des joints de grains a été observé à différents stades du vieillissement, et pour différentes conditions expérimentales [PLP<sup>+</sup>11]. La figure 1.12 montre l'évolution de la couche de métallisation ayant subi un cyclage par court-circuit de  $1.15\text{ J/cycle}$ . Après les quelques milliers premiers cycles, on observe clairement des débuts de fractures aux joints de grains juste après la déformation plastique de la couche d'aluminium. Ensuite, une dégradation très importante des couches de métallisation est constatée après 29.000 courts-circuits.

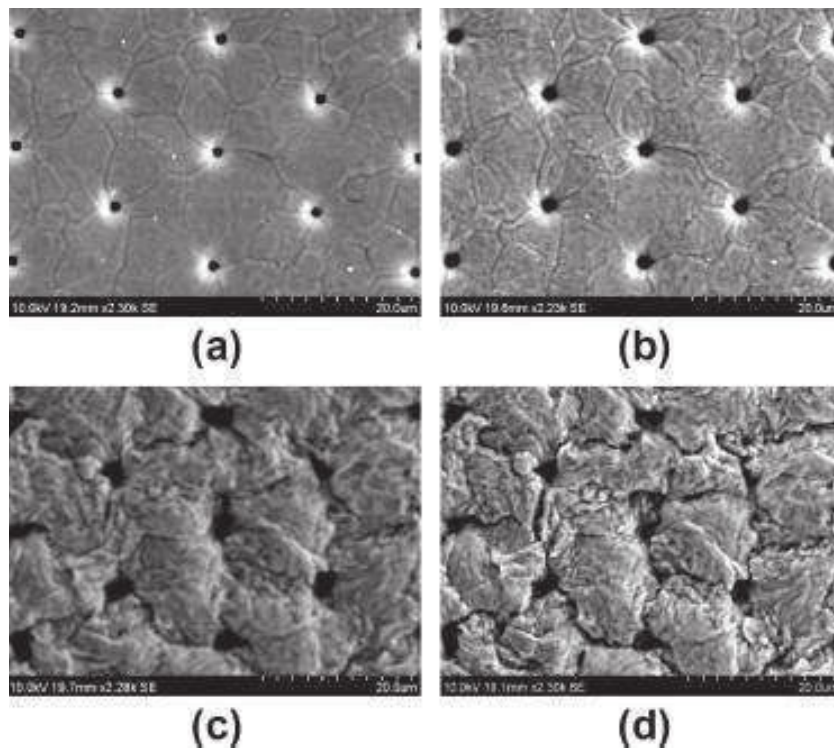


FIGURE 1.12 – Vieillissement de la métallisation à 1.15 J/cycle (a) état initial, (b) après 100 cycles, (c) après 6000 cycles et (d) après 29.000 cycles [PLP<sup>+</sup>11].

Dans ses travaux, Khong [KLT<sup>+</sup>07] montre des coupes transversales d'un MOSFET où les grains en surface et dans le volume sont indiscernables après un certain nombre de cycles (figure 1.13). De nombreuses fissures rejoignant les puits de source en surface et plongeant dans la profondeur de la couche de métallisation en direction du silicium ont été observées.

Il a été démontré qu'une fine couche de passivation peut être déposée sur la couche de métallisation afin de réduire l'impact de ce mécanisme [Cia02]. La figure 1.14(a) montre le rôle de cette couche dans la suppression des phénomènes de reconstruction dans les couches d'aluminium. En effet, après l'élimination sélective de la passivation polyimide, on peut voir clairement que cette sur-couche a pratiquement inhibé l'extrusion des grains de métal dans le centre de l'image. Par conséquent, l'utilisation de sur-couches de passivation peut être considérée comme une mesure efficace pour contrôler l'augmentation de la résistance des couches de métallisation soumises à de fortes fluctuations de température.

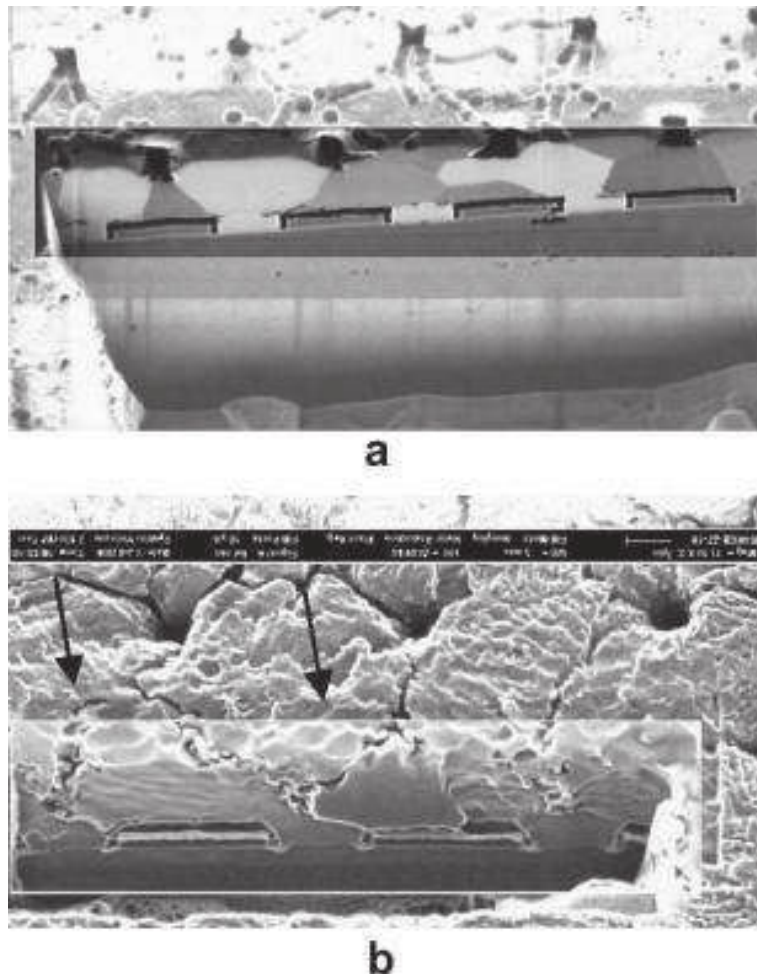


FIGURE 1.13 – Images FIB (Focused Ion Beam) d’une coupe transversale de la métallisation d’un MOSFET (a) à l’état neuf et (b) après vieillissement [KLT<sup>+</sup>07].

La figure 1.14(b) montre un grand plan de la métallisation d’aluminium qui a été revêtue d’une couche de passivation, puis ayant subi un cyclage actif avec une température maximale de 125 °C. Conformément aux attentes, aucune reconstruction ne s’est produite. Cependant, on peut voir clairement que les joints de grains ont été déplétés à cause des effets de cavitation. Un vide de joints de grains a également été observé dans les couches de métallisation non passivées soumises à de longs cycles avec une température de jonction maximale inférieure à 100 °C [Cia02].



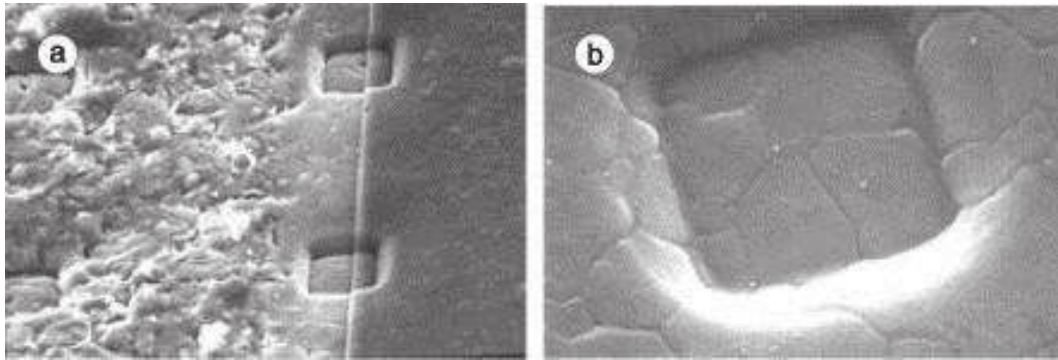


FIGURE 1.14 – (a) Reconstruction de la métallisation après la suppression de la passivation polyimide (image MEB, 800x) et (b) déplétion du joint de grain dans une couche passivée après un cyclage actif (image MEB, 1500x) [Cia02].

## 1.4 Types de stress

Plusieurs approches peuvent être empruntées pour mener l'analyse de défaillance d'une technologie particulière ou de composants électroniques spécifiques disponibles sur le marché. Pendant des décennies, les retours d'expérience faits lors des essais de fiabilité étaient la base pour estimer les probabilités de défaillance et en déduire le temps moyen de bon fonctionnement (Mean Time To Failure : MTTF) des composants de puissance et des systèmes dans lesquels ils étaient intégrés.

Cependant, ces derniers temps, l'intégration de plus en plus poussée des applications de l'électronique de puissance dans les domaines de l'électronique embarquée combinée avec une production au moindre coût et dans des délais extrêmement courts a créé le besoin de reconsidérer les méthodes d'estimation de la fiabilité. Dans ce but, les industriels se tournent actuellement vers l'utilisation de méthodes de test basées sur des études de fiabilité et de robustesse prospectives dans le cadre d'une recherche amont et non uniquement dans le sens "qualification des composants" [Den13].

Tout au long de leur vie, les composants sont soumis à de la fatigue. Dans cette partie, on s'intéresse à l'énumération des tests de fatigue les plus répandus proposés dans la littérature. On présentera aussi les accidents de fonctionnement les plus communs auxquels ces transistors peuvent être contraints ainsi que les tests de robustesse proposés.

### 1.4.1 Étude de la robustesse

Les MOSFETs sont incroyablement robustes, néanmoins se mettent très rapidement en défaut lorsque leurs limites sont dépassées. En effet, les transistors peuvent être amenés à fonctionner en régimes extrêmes. Une partie de ces régimes est constituée de modes de fonctionnement anormaux mais qui sont d'apparition fréquente dans les applications réelles et peuvent se présenter lors de la mise en service d'un convertisseur ou lors d'un défaut de commande. Ces conditions sévères sont contraignantes car elles conduisent à une forte et rapide augmentation de la température de la puce engendrant des dérives d'origine électrothermique et par la suite la défaillance du composant.

Différents tests de robustesse existent pour étudier les différents mécanismes de destruction auxquels les composants de puissance sont soumis. Trois modes de défaillance ont été identifiés et sont communs aux convertisseurs de puissance (MOSFET, IGBT, JFET,...) : la surintensité, la surtension et la destruction de la grille. Dans ce qui suit, on se propose de recenser les différents tests de robustesse considérés pour les MOSFETs de puissance classés par mode de destruction.

#### 1.4.1.1 La surintensité (Over-Current Condition)

La surintensité se produit quand un MOSFET est polarisé à l'état passant sans aucun élément dans le circuit pour limiter le courant. Le transistor se retrouve ainsi avec une tension d'alimentation appliquée entièrement sur les bornes drain-source. Typiquement, ce défaut se produit si une charge a été court-circuitée. De même, si deux MOSFETs fonctionnent dans un demi-pont, une surintensité peut survenir si les deux sont activés et conduisent en même temps (conduction croisée) [NXP12].

Une conduction croisée a lieu si la grille du transistor MOSFET (normally off) n'est pas polarisée avec une tension grille-source suffisamment faible (Les MOSFETs normally off sont bloqués avec une tension nulle). Cela se produit si l'une des conditions suivantes est satisfaite :

- La commande de grille ne fournit pas une tension de sortie nulle.
- Un bruit est couplé à la grille pendant la commutation à travers la capacité Miller ( $C_{GD}$ ) du MOSFET (figure 1.15).
- La sortie de la commande de grille est bloqué à l'état actif.

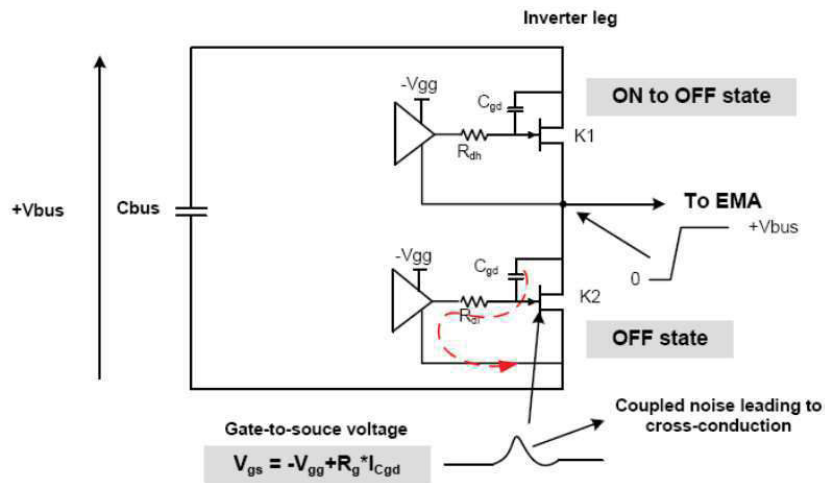


FIGURE 1.15 – Conduction croisée due à l’effet de couplage de la capacité Miller d’un JFET [DRB<sup>+</sup>11].

La figure 1.15 présente un exemple de conduction croisée due à l’effet du couplage de la capacité Miller d’un JFET. Lorsque le transistor d’en haut K1 se met en conduction, la tension de drain du transistor d’en bas K2 augmente de 0 à  $+V_{bus}$  avec une forte variation  $dv/dt$ . Comme K2 est hors tension ( $V_{GS}$  constante), un courant parasite est généré à partir de la capacité de Miller de K2 et circule à travers l’impédance d’entrée du pilote (driver) de la grille ce qui augmente la tension de grille, et active K2.

L’un des tests les plus répandus est l’étude de la robustesse en court-circuit. Il consiste à mesurer l’énergie (énergie critique  $E_C$ ) que le MOSFET peut supporter sous une condition de court-circuit. Dans cette condition, le composant est forcé à l’état passant, avec une haute tension appliquée aux bornes du drain-source. La figure 1.16 présente un exemple de banc de test dédié aux stress en court-circuit donné par la norme JEDEC [Joi92] (Joint Electron Device Engineering Council). Ce banc est composé principalement par les éléments suivants :

- Une source de tension continue,  $V_{DD}$ .
- Un circuit de commande (Drive) ajustable qui permet de régler la tension de commande entre grille et source ( $V_{DRIVER}$ ). Cette tension doit être ajustée en fonction de la tension de seuil et de la tension nominale d’utilisation.

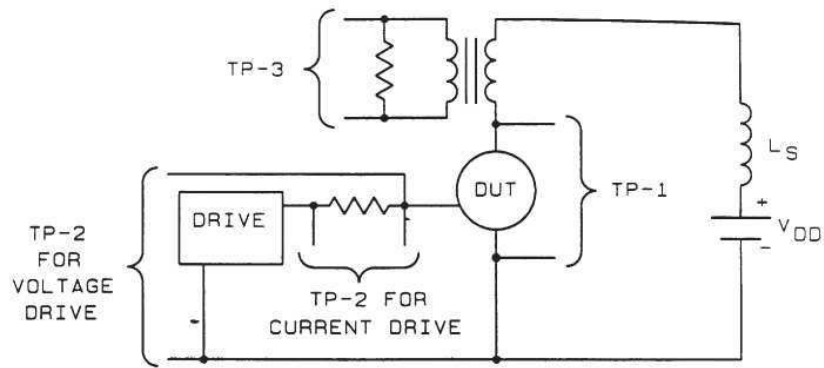


FIGURE 1.16 – Schéma de principe du banc de test expérimental pour les tests en régime de court-circuit [Joi92].

- Le composant sous test (noté DUT pour Device Under Test)
- Une résistance de grille externe,  $R_G$ , qui permet de contrôler les vitesses de variation du courant lors des phases de commutation du composant sous test. Cette résistance permet de limiter, lors de la phase de blocage, la surtension qui apparaît aux bornes du DUT à travers l'inductance parasite de la maille de commutation.
- Une charge de faible impédance pour mesurer le courant de drain du composant sous test.

La figure 1.17 présente l'allure typique des chronogrammes de courant et de tension pendant le test en court-circuit. D'abord, le composant est polarisé à l'état bloqué, avec une tension drain-source ( $V_{DS}$ ) prédéfinie. Ensuite, le transistor est rendu passant avec un seul pulse sans aucune charge entre la source de tension et la masse. Le courant est ainsi limité seulement par les caractéristiques du composant, [FYC13] ce qui provoque un flux de courant très élevé et des niveaux de puissance trop importants pour être dissipés par le composant.

Sous ces conditions, le transistor est en conduction, de sorte que toutes ses cellules sont stimulées et que la densité de courant est uniforme sur toute la surface active de la puce.

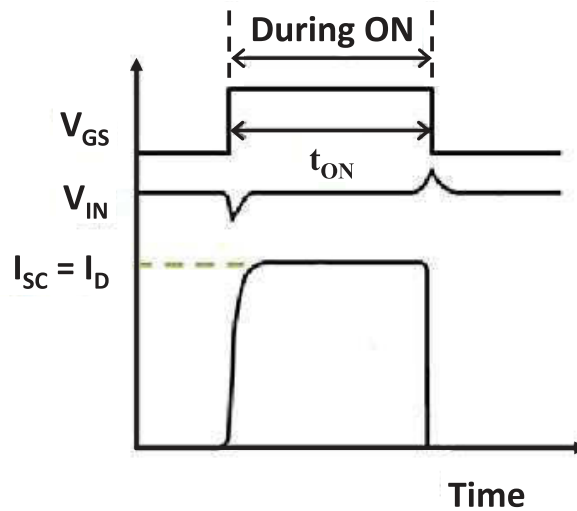


FIGURE 1.17 – Chronogrammes de la tension et du courant pendant le test de Court-Circuit (CC) [FYC13].

Par conséquent, la chaleur est générée d'une manière uniforme à travers la puce.

Certaines applications nécessitent des exigences standards en ce qui concerne l'énergie critique, tandis que d'autres n'en ont pas besoin. Par exemple, si un interrupteur est prévu pour une utilisation dans des applications typiques d'entraînement de moteur, il doit être capable de résister à une situation de court-circuit pendant au moins  $10\mu\text{s}$  [RHD<sup>+</sup>10]. Cette durée est nécessaire pour l'enclenchement du circuit de protection du système.

#### 1.4.1.2 La surtension (Over-Voltage Condition)

L'avalanche, appelée aussi défaillance par surtension, est déclenchée par une tension excessive aux bornes du composant. Le mode d'avalanche est induit par une polarisation directe de la jonction base-émetteur du transistor parasite NPN du MOSFET (voir figure 1.10), le mettant en conduction. Lors de la mise hors conduction du MOSFET de puissance quand il est utilisé en commutation à haute fréquence, une surtension peut se produire entre le drain et la source. Cette tension peut dépasser les valeurs nominales maximales du MOSFET [Tos16].

La surtension destructive à travers le JFET peut être induite par les conditions suivantes :

- Une forte variation  $di/dt$  durant de la mise à l'état off du MOSFET.
- Inductances parasites dans le circuit pouvant provoquer de très forts pics de tension

inductifs au niveau du drain pendant la commutation.

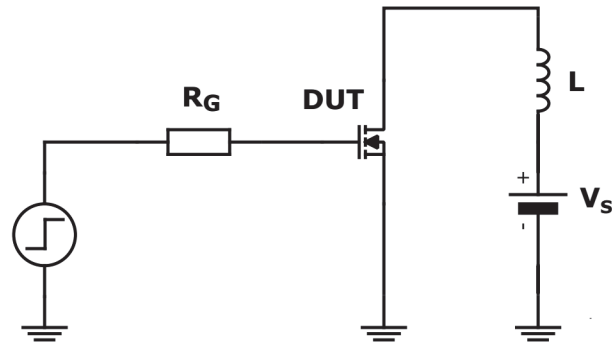


FIGURE 1.18 – Schéma de principe du banc de test expérimental pour les tests en régime d'avalanche [Tex].

La capacité d'un transistor en avalanche est mesurée à l'aide du test de "Unclamped Inductive Switching" (UIS) [RHD<sup>+</sup>10]. Il est nommé ainsi puisqu'il n'y a pas de diode de verrouillage aux bornes de la bobine pour limiter la tension "Flyback" apparaissant sur le drain [Die94]. Ce test a pour but de déterminer les énergies maximales ( $E_{AS}$ ) qu'un composant peut supporter avant défaillance et de mettre en évidence le mécanisme de défaillance sous-jacent [FYC13].

L'UIS simule des situations où un transistor MOSFET est mis à l'état off dans un circuit contenant une inductance. Étant donné que le courant ne peut pas tomber à zéro instantanément à travers l'inductance, la tension source-drain du MOSFET augmente jusqu'à conduire le composant à une destruction par avalanche. L'énergie stockée dans l'inductance est alors dissipée dans le transistor MOS [NXP12].

La figure 1.18 présente un exemple de banc de test dédié aux stress d'avalanche. Ce banc est composé principalement des éléments suivants :

- Une source de tension continue,  $V_{DS}$ .
- Une inductance, L.
- Le composant sous test.
- Un circuit de commande (Drive) avec une durée de pulse ajustable pour contrôler le rechargement de l'inductance.

- Une résistance de grille.

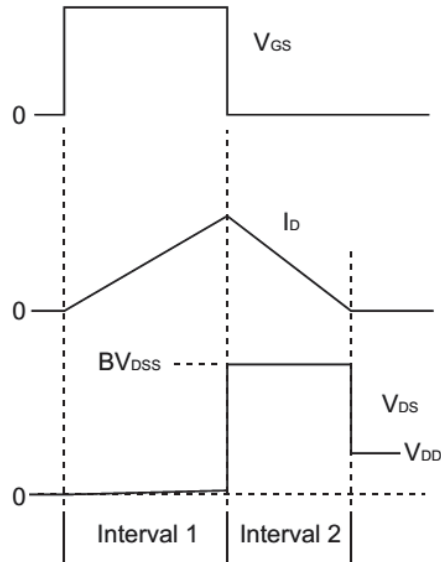


FIGURE 1.19 – Allure des chronogrammes de tension et courant pendant le test d’avalanche (UIS) [Die94].

La figure 1.19 présente l’allure typique des chronogrammes de courant et de tension pendant le test en avalanche. Le DUT est mis à l’état "ON" au début de l’intervalle 1 provoquant une augmentation linéaire du courant dans l’inductance. Le courant augmente jusqu’à ce que le pic du niveau de courant d’avalanche souhaité soit atteint. A cet instant, le circuit de commande met le DUT à l’état "OFF" mettant fin à l’intervalle 1 [Die94]. La quantité d’énergie stockée dans l’inductance est calculée à partir de l’équation :

$$W_L = \frac{1}{2} L \cdot I_D^2 \quad (1.7)$$

où :  $W_L$  est l’énergie stockée par l’inductance et  $I_D$  le pic du courant de drain à la fin de l’intervalle 1. L’intervalle 2 commence à la fin de l’intervalle 1 quand le DUT est mis à l’état "OFF" interrompant la charge de l’inducteur. Étant donné que le courant de l’inductance ne peut pas changer instantanément, l’énergie stockée dans l’inductance va entraîner une augmentation rapide de la tension drain-source jusqu’à ce que la tension de claquage drain-source soit atteinte.

Le test d’avalanche peut paraître semblable à celui du court-circuit, cependant, il existe

une différence significative entre les deux. Dans le test de court-circuit, le composant est à l'état passant et la densité du courant est uniforme sur toute la surface de la puce. Pour le test d'avalanche, le transistor est à l'état off et doit se mettre en avalanche pour conduire le courant. A cause de cette différence, la quantité d'énergie pouvant être absorbée en toute sécurité dans les conditions de l'UIS est considérablement moindre que dans le cas de court-circuit.

## 1.4.2 Étude du vieillissement

En plus des tests de robustesse, plusieurs tests de fiabilité sont proposés dans la littérature visant à évaluer la stabilité à long terme des composants [HJPT<sup>+</sup>17, OBL<sup>+</sup>14, OLB<sup>+</sup>13, YC13]. Les tests de vieillissement simulent les conditions de fonctionnement des transistors d'une manière accélérée, et sont principalement effectués pour la qualification des composants et la surveillance de la fiabilité suivant les standards JEDEC [Joi05]. La dissipation d'énergie et la gestion thermique sont des questions clés dans l'application et la fiabilité des composants de puissance.

### 1.4.2.1 Fatigue de l'oxyde de grille : cas du stress en polarisation de grille (HTGB)

L'oxyde est utilisé comme une couche d'isolation de la grille. Sa fiabilité influe directement sur la fiabilité du MOSFET. En effet, il est connu que le constituant le plus faible du MOSFET de puissance en SiC est la couche de diélectrique de grille. Les problèmes de fiabilité les plus importants sont censés provenir des régions MOS [RHD<sup>+</sup>10]. Le développement d'oxyde de haute qualité est un problème difficile pour l'industrie. Parmi les tests existants pour l'étude de la fiabilité de l'oxyde de grille on note le High Temperature Gate Bias (HTGB) et le Constant Voltage Stress (CVS) pour l'étude du TDDB.

Les causes de défaillances potentielles pour l'ensemble des mécanismes comportent des champs électriques élevés. En plus des champs électriques élevés, le claquage de l'oxyde implique également des températures élevées. Le MOSFET est donc soumis à des contraintes thermiques et électriques pour solliciter et dégrader différentes parties de la structure [PDGP08].

Le test de polarisation de grille à haute température (HTGB) est conçu pour stresser électriquement et à haute température l'oxyde de grille. Ce test a pour but de détecter toute dérive des paramètres électriques causée par nombre de pièges de charge à ou près de l'interface SiC/SiO<sub>2</sub> et les pièges d'oxyde massique générés lors de la croissance de l'oxyde.



Ces défauts peuvent engendrer des conceptions à travers l'oxyde qui doit être un parfait isolant [YC13].

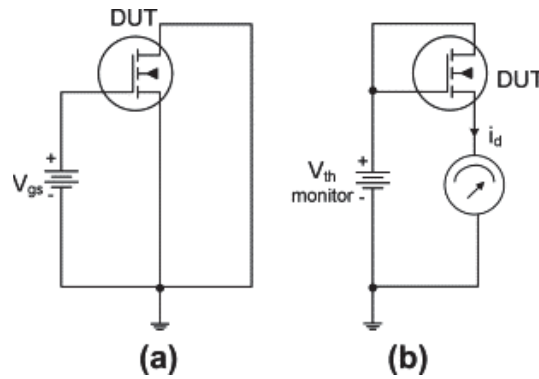


FIGURE 1.20 – Schéma de principe du banc dédié au test de vieillissement en HTGB et à la mesure de la tension de seuil  $V_{th}$  [YC13].

Le HTGB vise à surveiller la variation de la valeur de tension de seuil ( $V_{th}$ ) suite à un stress prolongé de la grille. La figure 1.20 présente un schéma de principe du banc de test. Tout au long du stress, le DUT est soumis à une forte température environnementale. Le stress consiste à appliquer une tension continue de polarisation de grille-source avec le drain court-circuité à la source [YC13].

Selon la norme AEC Q101 du "Automotive Electronics Council" [Aut05], le MOSFET doit résister à 1000 heures de test à une température ambiante de l'ordre de 125 °C. Les paramètres électriques (tension de seuil) ne doivent pas se décaler de plus de 25% sinon le MOSFET est classé défaillant.

#### 1.4.2.2 High Temperature Reverse Bias (HTRB)

Les tests de polarisation de drain à haute température (HTRB) ont pour but d'accélérer les mécanismes de défaillance thermiquement activables en utilisant des conditions de fonctionnement biaisées. Ce test est utilisé principalement pour la détection des contaminants ioniques. Ces contaminants vont diffuser dans la zone active sous l'influence de la température et de forts champs électriques causant un décalage localisé de la tension de seuil.

Pendant le test HTRB le courant de fuite drain ( $I_{leak}$ ) est monitoré tout au long du

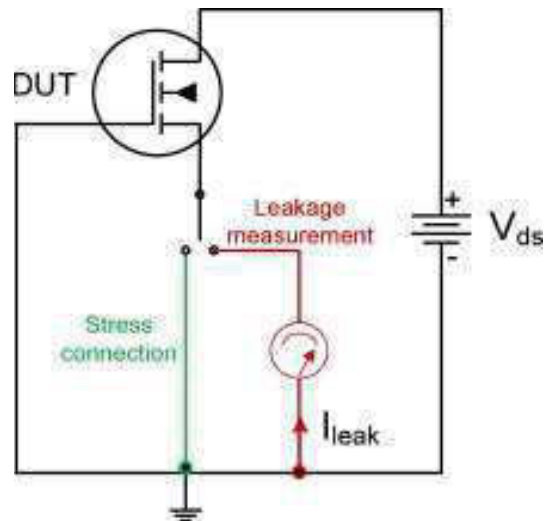


FIGURE 1.21 – Schéma de principe du banc dédié au test de vieillissement en HTRB et à la mesure du courant de fuite de drain [YC13].

test. La figure 1.21 présente un schéma de principe du banc de test. Lors du test HTRB, les DUTs sont soumis à une tension de drain équivalente ou légèrement inférieure à la tension nominale de claquage (Drain-Source Breakdown Voltage :  $V_{(BR)DSS}$ ); la grille est reliée à la source. Ces tests sont effectués à une température ambiante proche de la température de jonction maximale ( $T_{jmax}$ ) sur une période prolongée (généralement 1000 heures).

### 1.4.2.3 Contraintes thermiques

La dissipation de l'énergie et la gestion thermique sont des enjeux clés dans la fiabilité des composants de puissance. En effet, les conditions de fonctionnement, particulièrement les températures ambiantes élevées et les fortes variations de température, engendrent souvent des stress et constituent des conditions de fonctionnement sévères pour le composant [Kan12].

Les contraintes thermiques dans l'électronique de puissance ont deux origines. La première origine est le cyclage de puissance. Ce cyclage est obtenu quand le convertisseur est soumis à des variations de charge dues à son profil de mission, induisant des variations de perte dans le composant. La seconde origine est le cyclage thermique. Ce cyclage est dû aux variations de l'environnement thermique dans lequel le convertisseur est placé [SFH<sup>+</sup>11].

La pratique habituelle de spécifier une "température de jonction" n'est pas suffisante pour résoudre les problèmes de température. Le comportement dynamique est essentiel.

Les durées d'impulsion et les rapports cycliques influent sur les contraintes thermiques du composant. Et comme les contraintes sont dynamiques, la température du transistor est loin d'être homogène, au contraire, elle n'est pas uniforme dans le composant et dépend du temps [Kan12].

Le cyclage de puissance simule la distribution non uniforme de la température résultant de la commutation du composant dans l'application [Joi07]. Ce test est effectué pour déterminer l'aptitude des composants à résister aux contraintes thermiques et mécaniques induites par les basses et hautes températures cycliques, la non uniformité de la température étant induite par le régime de fonctionnement du transistor.

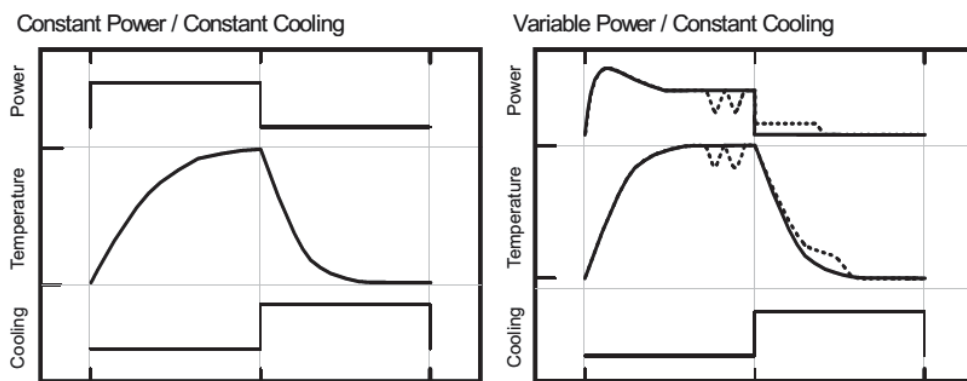


FIGURE 1.22 – Comparaison entre le test en puissance constante et le test en puissance variable [Joi07].

Il existe plusieurs façons d'effectuer le cyclage de puissance. La puissance appliquée peut être constante ou variable, de même l'arrêt de la chauffe ou le refroidissement du composant peuvent être constants ou variables, ou des combinaisons de ceux-ci. La figure 1.22 illustre l'exemple des différences entre un test à puissance constante et un test avec puissance variable avec un refroidissement constant pour les deux.

- Puissance constante : l'alimentation est soit "ON" (à une valeur prédéterminée, pendant la phase de chauffe) ou "OFF" (pendant le refroidissement).
- Puissance variable : la polarisation varie durant une même phase (de chauffe ou refroidissement).

- Refroidissement constant : comme dans le cas de la puissance constante, le refroidissement est soit à l'état "ON" (à une valeur prédéterminée lors de la phase de refroidissement ou durant tout le cycle) ou "OFF" (pendant la phase de chauffe).
- Refroidissement variable : le refroidissement varie pendant une même phase (de refroidissement ou de chauffe).

En appliquant ce stress, il est possible de vérifier la performance des différents matériaux et interfaces dans le composant, en particulier les interconnexions de soudure. Les changements permanents dans les caractéristiques électriques et/ou physiques peuvent résulter de ces contraintes mécaniques.

## 1.5 Méthodologie de l'analyse de défaillance

L'analyse de défaillance s'appuie sur une méthodologie structurée et ordonnée. Elle est basée sur la connaissance des contraintes subies par le composant défaillant et s'oriente en fonction des différents mécanismes de défaillance susceptibles d'avoir été engendrés. Un diagramme de l'ensemble des étapes de la méthodologie employée pour l'étude de robustesse et vieillissement est présenté en figure 1.23. Un enchaînement chronologique de l'utilisation des différents outils d'investigation y est associé, ce qui permet d'avoir une vue globale et une ligne conductrice, mais aussi de planifier le projet de recherche, pour fixer les jalons et les échéances à s'imposer.

Une analyse de défaillance rigoureuse et solide repose sur une connaissance suffisante des données d'entrée. La première étape de la méthodologie consiste en une connaissance satisfaisante du système à étudier et de ses caractéristiques intrinsèques. Cette étape d'investigation emploie des moyens destructifs et non-destructifs pour collecter un maximum d'informations sur le composant d'étude. En plus de la caractérisation du composant, les paramètres électriques macroscopiques sont exploités comme indicateurs de défaillance. La mesure de ces paramètres doit se réaliser systématiquement à l'issue de chaque manipulation du composant en s'assurant de la répétabilité et la reproductibilité des mesures sous peine de fausser toute l'analyse de défaillance mise en place par la suite. En plus des paramètres macroscopiques, la structure du composant doit être connue à un degré suffisant. En effet, cette caractérisation microscopique constitue un point de référence pour les analyses physiques.

Dans le cas de campagnes de stress du système, les conditions de test doivent être justifiées par la finalité de l'étude. Pour effectuer des études de fiabilité ou de robustesse, il faut accélérer le temps, ou augmenter le niveau de contrainte. Dans le cas d'une évolution graduelle, on parle de fiabilité. Dans le cas où le système subit une défaillance catastrophique, on parle dans ce cas de robustesse. Plus simplement, vieillissement ou mort dissocient ces deux types d'études.

Dans un troisième chapitre, les tests de robustesse en court-circuit sont menés en vue d'une analyse de défaillance. Les mécanismes de défaillance initiés doivent permettre de s'orienter vers une compréhension fine de leur développement mais aussi de leur origine. La corrélation entre la dégradation des indicateurs macroscopiques et les évolutions structurales est la base d'une analyse de défaillance poussée et solide. La compréhension du mécanisme de défaillance, mais aussi la reconstruction inverse de son évolution, peuvent amener à identifier l'origine précise de la défaillance. Néanmoins la défektivité du transistor suite à ces essais est un point handicapant dans ce processus, notamment pendant l'étape de localisation de défaut. Une nouvelle approche de test est alors proposée pour pallier cette limite.

Les essais de vieillissement sous des contraintes modérées en court-circuit sont quant à eux menés. L'identification puis l'extraction fiable d'indicateurs de "santé" du système sont à réaliser pour suivre leurs évolutions. Un intérêt particulier est porté à l'étude de l'évolution d'un paramètre clé, la capacité du transistor. Cette analyse vise à exploiter cette mesure afin d'extraire les caractéristiques physiques du système et en déduire l'évolution physico-chimique de ce dernier. Une dégradation contrôlée et une exploitation des mesures de capacité sont les bases de l'étude de fiabilité proposée dans un quatrième chapitre dans la perspective de remonter aux facteurs déclencheurs de la dégradation.

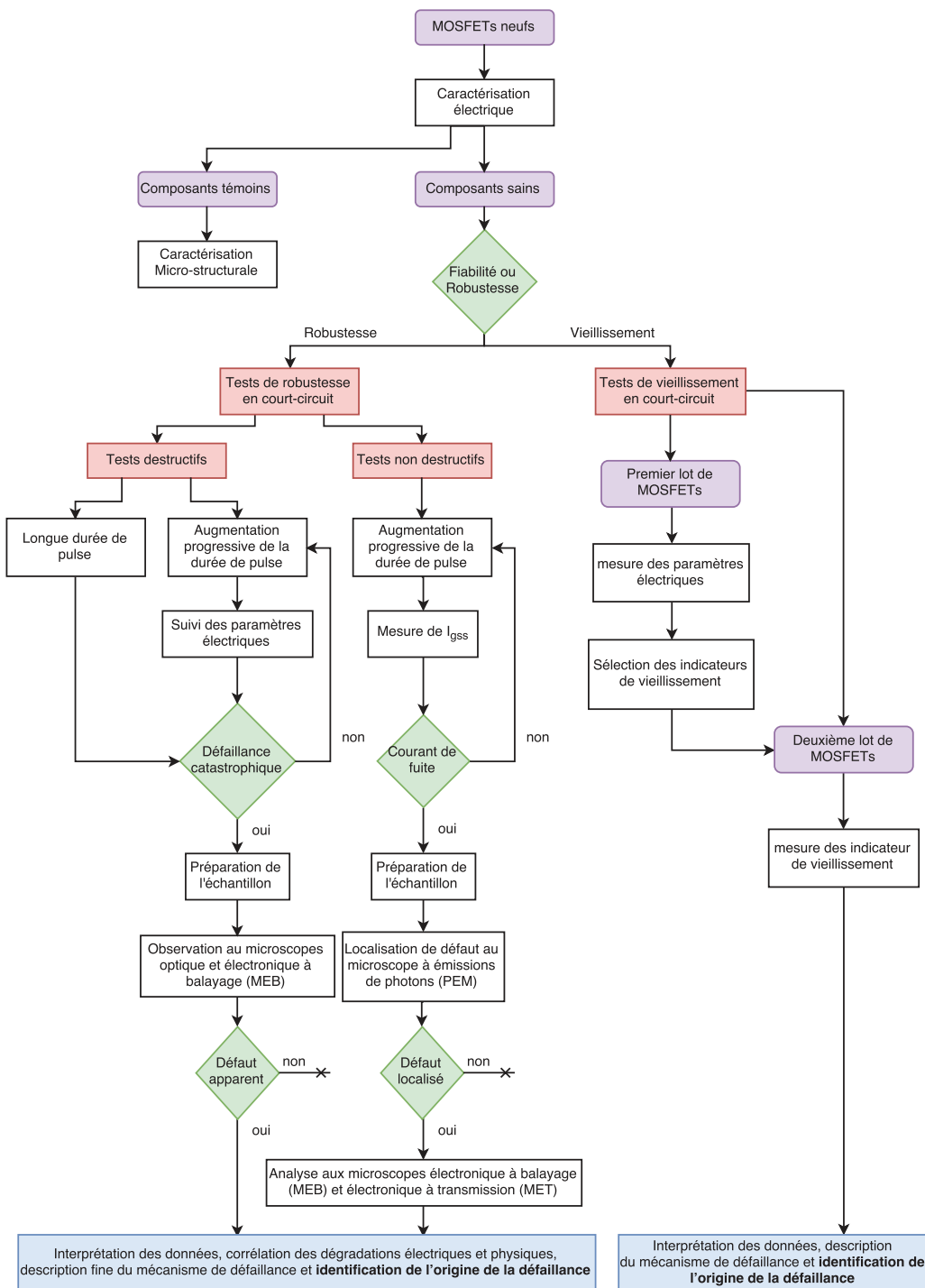


FIGURE 1.23 – Diagramme de méthodologie appliqué à l'analyse de défaillance de composants électroniques sous contraintes électro-thermiques.

## 1.6 Conclusion

L'étude de la fiabilité et de la robustesse des composants de puissance est une étape indispensable pour l'intégration de ces derniers dans des environnements de fonctionnement sévères. Le but de ce premier chapitre bibliographique était de présenter les avantages des MOSFETs en carbure de silicium qui font l'objet de cette étude.

L'évolution de la structure du MOSFET lui a permis d'être plus performant et plus stable. La structure latérale n'étant pas conçue pour supporter des tensions élevées ou gérer de fortes intensités de courant, la structure verticale a été élaborée pour répondre aux contraintes haute puissance. Les composants en silicium ont dominé le marché grâce à leur maturité et la maîtrise de la technologie de fabrication. Cependant ils ont atteint leur limite pour certaines applications, notamment dans le domaine de l'aéronautique et l'automobile. Par conséquent, une nouvelle génération de semi-conducteurs à grand gap a émergé dont le carbure de silicium. Les qualités intrinsèques remarquables de ce dernier (tension de blocage importante, fonctionnement à haute température et fréquence de commutation élevée) font de lui un bon candidat pour remplacer la technologie silicium.

Bien que présentant un fort potentiel, le manque de maturité de cette technologie freine son intégration dans l'industrie. Ces composants souffrent d'une forte densité d'états d'interface présente à l'interface SiC/SiO<sub>2</sub> causant une faible mobilité du canal et la création de courants tunnels Fowler-Nordheim. De plus, des défauts dans les plaquettes et les couches épitaxiales SiC peuvent réduire le champ électrique critique de claquage ce qui entraîne une augmentation des courants de fuite et dégrade les performances des composants. Les imperfections des MOSFETs à carbures de silicium ne présentent pas le seul frein à leur bon fonctionnement. En effet, la fiabilité des dispositifs semi-conducteurs dépend aussi de leur résistance aux stress auxquels ils sont soumis.

Des études approfondies ont été menées pour la caractérisation électrique de ces dispositifs. Cependant, les mécanismes de défaillance des composants SiC n'ont pas été entièrement explorés. En effet, la compréhension des différents mécanismes n'est pas encore maîtrisée comme dans le cas du silicium. De plus, la défaillance du MOSFET de puissance est différente de celle des MOSFETs latéraux traditionnels à cause de sa structure particulière. A ce jour, les principales défaillances du MOSFET de puissance recensées sont liées soit au claquage d'oxyde de grille, soit à l'activation de structures parasites inhérentes au

MOSFET de puissance, soit à la reconstruction de la couche de métallisation.

Tout au long de leur vie, les composants sont soumis à de la fatigue et peuvent être amenés à fonctionner en régimes extrêmes. Une partie de ces régimes est constituée de modes de fonctionnement anormaux mais qui sont d'apparition fréquente dans les applications réelles et peuvent se présenter lors de la mise en service d'un convertisseur ou lors d'un défaut de commande. Ces conditions sévères sont contraignantes car elles conduisent à une forte et rapide augmentation de la température de la puce engendrant des dérives d'origine électrothermique et par la suite la défaillance du composant. Dans ce but, les industriels et la communauté scientifique se tournent actuellement vers l'utilisation de méthodes de test basées sur des études de fiabilité et de robustesse prospectives dans le cadre d'une recherche amont. Dans le cadre de ces travaux, nous avons fait le choix de nous intéresser particulièrement à l'étude du comportement du composant en vieillissement et en robustesse sous des contraintes de court-circuit.

L'analyse de défaillance s'appuie sur une méthodologie structurée et ordonnée. Elle est basée sur la connaissance des contraintes subies par le composant défaillant et s'oriente en fonction des différents mécanismes de défaillance susceptibles d'avoir été engendrés. L'ensemble des travaux de cette thèse vise à faire ressortir une méthodologie d'analyse de défaillance et de compréhension des phénomènes de dégradation qui pourra être transposable à d'autres technologies futures. Un diagramme de l'ensemble des étapes de la méthodologie que nous avons mis en place pour l'étude de robustesse et vieillissement en court-circuit est présenté à la fin du chapitre. Ce diagramme est développé sur la base de tests préliminaires qui ont permis de faire ressortir les limites de l'analyse de défaillance et permet de proposer une démarche palliative adaptée aux moyens d'analyse dont nous disposons.



## Chapitre 2

# Caractérisation macroscopique et microscope d'un VDMOSFET en Carbure de Silicium

### 2.1 Introduction

Le premier chapitre nous a permis d'introduire l'intérêt des MOSFETs de puissance en SiC ainsi que les différentes étapes d'évolution de sa structure. Les principaux problèmes et mécanismes de défaillance attribués à cette technologie ont été mis en évidence. Aussi les différents tests usuels de fiabilité et de robustesse ont été présentés. Enfin, nous avons décrit la méthodologie de travail développée pour mener à terme l'analyse de robustesse et de fiabilité du composant d'étude.

Dans ce chapitre, nous nous intéressons à l'étude du composant sous test sous ses différents aspects. Les mesures électriques macroscopiques sont les indicateurs de base pour le suivi de l'état de santé du composant. De plus, à partir de l'extraction de paramètres, il est possible de remonter aux caractéristiques physiques du transistor.

En plus de l'étude de l'évolution des paramètres électriques, l'analyse de défaillance se base aussi sur la structure physique du composant pour une compréhension plus fine des mécanismes de dégradation. En employant les instruments de pointe que sont les microscopes à émission de photons ou encore les microscopes électroniques, l'identification de défaut et leur corrélation à la contrainte appliquée et à la dégradation électrique constatée,

assure une analyse fiable et robuste.

## 2.2 Caractérisation électrique

En plus de la caractérisation physique du composant sous test, les mesures électriques constituent un excellent indicateur de santé. Selon le besoin, ces mesures auront pour but de remonter à la physique du transistor, de suivre l'évolution de la dégradation pendant les tests de fiabilité ou encore de s'assurer de l'innocuité des outils d'analyse.

### 2.2.1 Caractérisation statique

Le composant sous test choisi pour cette étude est un MOSFET en SiC du commerce à structure verticale intégré dans un boîtier résine TO-247. Les caractéristiques électriques générales données par le constructeur sont les suivantes :

- Tension maximale de drain  $V_{DS}$  de 1200V
- Courant nominal de drain  $I_d$  de 24A
- Résistance drain-source à l'état passant  $R_{DS(on)}$  de 160m $\Omega$
- Puissance dissipée  $P_{tot}$  de 134W
- Température de jonction  $T_j$  de  $-55^{\circ}\text{C}$  à  $+135^{\circ}\text{C}$
- Tension de seuil  $V_{th}$  de 3.1V

### 2.2.2 Caractérisation I-V-T

La première étape pour la caractérisation électrique du MOSFET consiste à mesurer ses caractéristiques de transfert ( $I_{DS}(V_{GS})$ ) et de sortie ( $I_{DS}(V_{DS})$ ). Les courbes I-V statiques sont tracées en mode pulsé à l'aide du banc de mesure IVCAD développé par la société *Amcad*. Le pulse de drain englobe temporellement le pulse de grille. Celui-ci étant fixé pour nos mesures à 3 $\mu\text{s}$  avec un rapport cyclique de 0,15%. Ainsi, cette configuration, nous permet de s'affranchir de l'auto-échauffement du composant lors de la mesure. Ceci est vérifié à partir des mesures des pulses temporels du courant de drain.

En régime statique, un lot d'une trentaine de transistors étudiés présente des allures de courbes I-V caractéristiques. Tous les transistors ont été caractérisés à l'état neuf. La figure

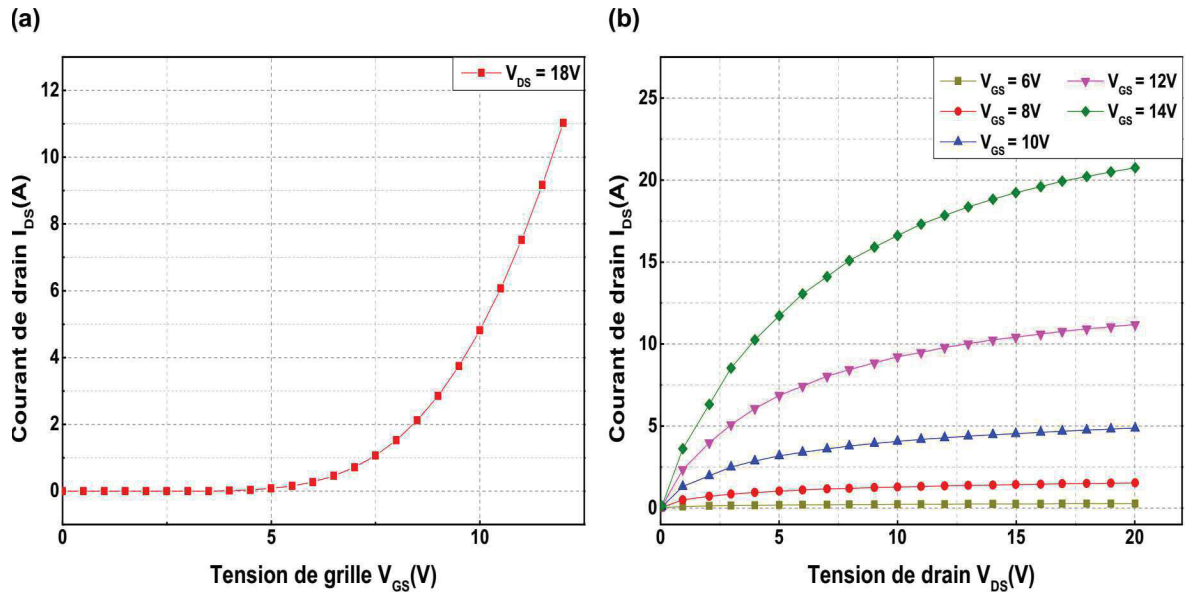


FIGURE 2.1 – Évolution des caractéristiques (a) d'entrée et (b) de sortie du MOSFET SiC mesurées à  $T = 25^{\circ}\text{C}$ .

2.1(b) montre l'évolution du courant de sortie pour plusieurs valeurs de tension de grille de 6 à 14V. Le choix de ces tensions est justifié par la limite de la sonde de grille à 15V. De plus, les mesures sont effectuées à faibles valeurs de tension de drain puisque la sonde de drain est limitée à 30A en courant. La figure 2.1(a) présente la variation du courant de drain avec la tension de grille à  $V_{DS}$  égale à 18V. Toutes ces mesures de courant sont effectuées à une température ambiante de  $25^{\circ}\text{C}$  asservie par un Peltier pour assurer la stabilisation thermique des DUT.

La modélisation empirique du courant de drain proposée par Leturcq [Let99] est donnée par l'équation 2.1. Ce modèle décrit deux régimes de fonctionnement du courant  $I_{DS}$  : le régime linéaire ( $V_{DS} \leq (V_{GS} - V_{th})$ ) et le régime saturé ( $V_{DS} > (V_{GS} - V_{th})$ ).

$$I_{DS} = \begin{cases} 0 & \text{pour } V_{GS} < V_{th} \\ K_p \left[ (V_{GS} - V_{th}) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] & \text{pour } V_{DS} \leq (V_{GS} - V_{th}) \\ I_{Dsat} = K_p \frac{V_{Dsat}^2}{2} & \text{pour } V_{DS} = V_{Dsat} \\ I_{Dsat} = K_p \frac{(V_{GS} - V_{th})^2}{2} & \text{pour } V_{DS} = V_{Dsat} \end{cases} \quad (2.1)$$

où

$$K_p = \frac{\mu_n Z C_{ox}}{L}$$

avec :

- $K_p$  coefficient désigné comme "facteur de pente".
- $\mu_n$  la mobilité des électrons dans le canal.
- $Z$  la largeur de ce canal dans la direction normale au plan des figures 1.2 et 2.25.
- $L$  la longueur du canal.
- $C_{ox}$  capacité de la couche d'oxyde par unité de surface.

L'équation 2.1 décrit convenablement l'évolution de la caractéristique  $I_{DS}(V_{GS}, V_{DS})$ . Pour des valeurs de tension de drain  $V_{DS}$  faibles devant le terme  $V_{GS} - V_{th}$ , les caractéristiques sont linéaires, le courant varie de façon croissante en fonction de la tension de drain. Cette zone de fonctionnement est appelée la zone ohmique. Au delà de la tension de pincement, le courant devient pratiquement indépendant de la tension de drain. C'est la zone saturée.

La mesure des caractéristiques de sortie est effectuée après chaque manipulation du composant, notamment après l'étape de décapsulation. Elle permet ainsi de vérifier l'état de santé du DUT. Un composant C1 est utilisé comme étalon avant chaque campagne de caractérisation pour s'assurer de la validité et reproductibilité de la mesure. Cette mesure a permis de garantir tout au long de la phase de caractérisation la détection immédiate de toute anomalie, liée à la chaîne de mesure, pouvant biaiser les données expérimentales.

Suite aux mesures de courant effectuées sur les différents transistors étudiés, nous avons remarqué une grande disparité entre les composants bien que issus du même lot (figure 2.2). Cette disparité est généralement due au processus de fabrication. En effet, pour des mesures effectuées à une température ambiante de 25°C et à une tension de grille  $V_{GS} = 14V$ , nous observons un écart de plus de 13A pour une tension de polarisation  $V_{DS} = 7V$ .

Ainsi, les mesures I-V permettent aussi la classification des transistors en sous-groupes ayant les caractéristiques électriques les plus proches. Ceci garantit une meilleure comparaison entre les transistors après stress. En effet, lors des stress de robustesse par exemple,

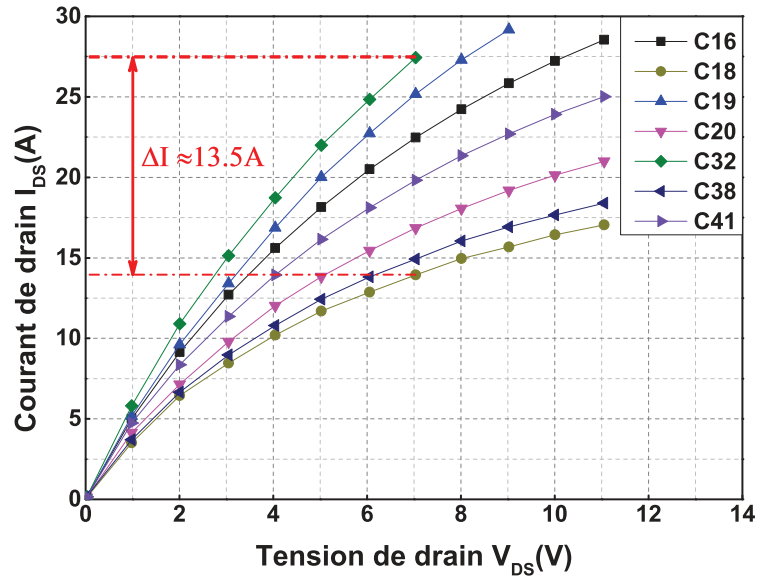


FIGURE 2.2 – Analyse de la disparité en I-V entre des transistors issus du même lot mesurée à  $T = 25^\circ C$  et  $V_{GS} = 14V$ .

il est plus judicieux de comparer l'énergie critique de composants assez similaires présentant des courants de drain voisins, dans les mêmes conditions de polarisation de grille et de drain.

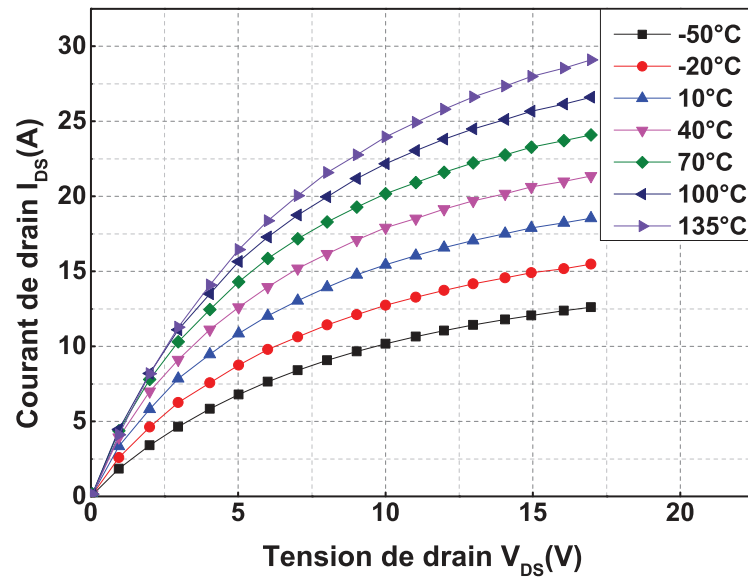


FIGURE 2.3 – Caractéristiques de sortie  $I_D(V_{DS})$  du composant de référence C1 pour différentes températures mesurées à  $V_{GS} = 14V$ .

Toujours dans l'optique d'étudier le comportement du DUT, une caractérisation en fonction de la température a été réalisée sur tout l'intervalle proposé par le constructeur, de  $-50^{\circ}\text{C}$  à  $+135^{\circ}\text{C}$ . Pour effectuer les mesures en assurant la stabilisation thermique du transistor, trois moyens expérimentaux ont été mis en œuvre :

- Pour les températures négatives un système à air froid forcé a été utilisé, le composant étant placé sous cloche. Un thermocouple placé au plus près de la semelle du DUT contrôle la température.
- Pour les températures comprises entre  $10^{\circ}\text{C}$  et  $100^{\circ}\text{C}$  un module à effet Peltier est requis.
- Pour des températures plus élevées une plaque à résistances chauffantes est utilisée.

Ces trois moyens régulés assurent une précision et une stabilité satisfaisantes. Les courbes de sortie I-V-T sont tracées sur la figure 2.3 pour une tension de grille  $V_{GS} = 14\text{V}$  sur une plage de température allant de  $-50^{\circ}\text{C}$  à  $+135^{\circ}\text{C}$ . Nous observons une augmentation régulière du courant de drain avec l'augmentation de la température et de la tension de drain  $V_{DS}$ . La variation du courant en fonction de la température est due à la dépendance en température de quelques grandeurs physiques du modèle précédemment présenté (équation 2.1). Les paramètres thermosensibles du courant sont  $V_{th}$  et  $\mu_n$ .

Le comportement électro-thermique du MOSFET de puissance en SiC peut être décrit par l'équation 2.2 proposée par [CFKH12] et [RCDFI13] en se basant sur la théorie développée dans [SBdR02a] pour des composants en silicium. Le courant de drain est linéairement dépendant de l'augmentation de la température :

$$I_D(T_J) = I_D(T_0) + \alpha_T(T_J - T_0) \quad (2.2)$$

Dans cette expression,  $T_0$  est la température ambiante,  $T_J$  est la température de jonction et  $\alpha_T$  est le coefficient de température pour le courant de drain :

$$\alpha_T = \left. \frac{\partial I_D}{\partial T} \right|_{V_G, V_D} \quad (2.3)$$

Comme on peut le constater sur la figure 2.4, pour une valeur de tension de grille  $V_{GS} = 14\text{V}$ , le coefficient du courant de drain en fonction de la température  $\alpha_T$  est positif. Cependant, sous d'autres conditions de polarisation (figure 2.5), le courant diminue avec la température et le composant affiche un coefficient négatif.

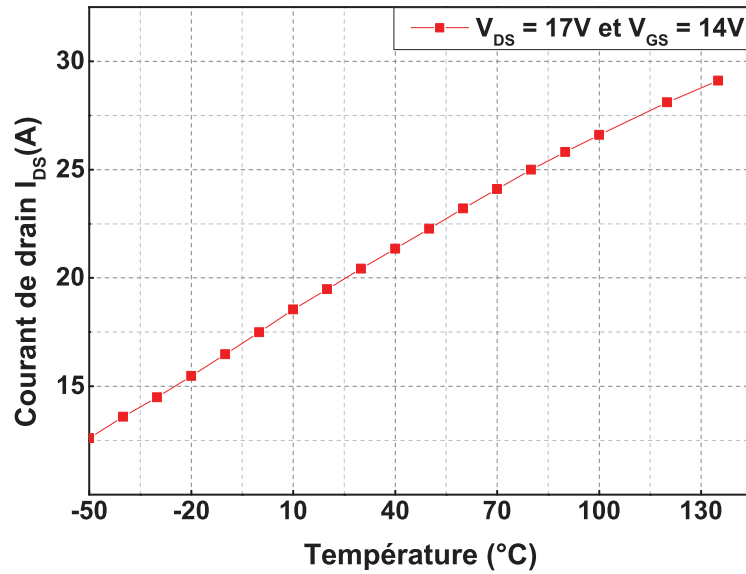


FIGURE 2.4 – Variation du courant de drain  $I_{DS}$  en fonction de la température à des tensions de polarisations fixes  $V_{DS} = 17V$  et  $V_{GS} = 14V$  pour le composant de référence C1.

Pour une tension de polarisation de drain fixe ( $V_{DS} = 10V$ ), le courant de drain augmente avec la température pour les faibles valeurs de  $V_{GS}$  cependant, la température a un effet inverse pour des valeurs de  $V_{GS}$  supérieures à  $V_{GS2}$ . De plus, nous remarquons que pour des tensions de drain plus faibles ( $V_{DS} = 5V$ ), l'inversement de la tendance de l'évolution du courant (changement de signe de  $\alpha_T$ ) se fait à une autre valeur  $V_{GS1}$  inférieure à  $V_{GS2}$ . Ainsi, l'évolution du courant de drain dépend non seulement de la température mais aussi des conditions de polarisation du drain et de la grille.

Cette évolution spécifique résulte principalement du comportement de la tension de seuil  $V_{th}(T)$  et de la mobilité des électrons  $\mu(T)$  avec la température.  $V_{th}(T)$  diminue avec l'élévation de la température engendrant l'augmentation du courant. Cependant, l'augmentation de  $\mu(T)$  avec la température [RSL<sup>+</sup>09] fait diminuer la valeur du courant de drain. Selon les conditions de polarisation ( $V_{GS}$ ,  $V_{DS}$  et  $T$ ), l'un des deux paramètres prédomine et engendre soit un comportement thermique stable (diminution du courant avec la température,  $\alpha_T < 0$ ), soit instable (augmentation du courant avec la température,  $\alpha_T > 0$ ) [CFKH13].

Le comportement thermique du MOSFET de puissance en SiC s'aligne avec les investigations menées pour des transistors faible tension en Silicium [SBdR02a, SBdR02b]. Ce-

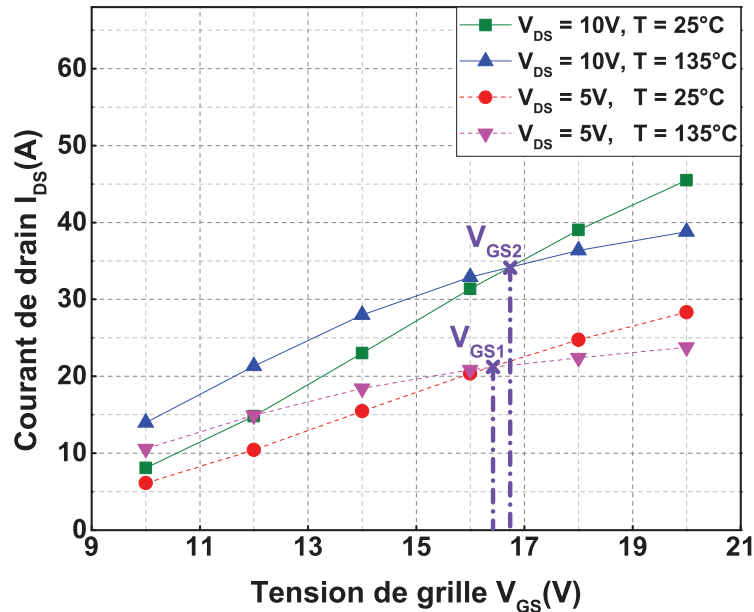


FIGURE 2.5 – Variation du courant de drain  $I_{DS}$  en fonction de la tension de grille  $V_{GS}$  (valeurs extraites à partir du datasheet du DUT). Influence de la tension de polarisation de drain  $V_{DS}$  et de la température  $T$  pour le composant de référence C1.

pendant, il est très différent du comportement typique des MOSFETs de puissance haute tension en Si.

### 2.2.3 Mesure du courant de fuite de grille $I_{gss}$

Le deuxième paramètre surveillé pendant les stress de robustesse est le courant de fuite de grille. L'oxyde de grille étant la partie la plus sensible du composant, une chute de la tension de grille a été observée lors des mesures de robustesse en court-circuit [OLB<sup>+</sup>13]. La figure 2.6 montre le schéma de principe du banc dédié à cette mesure.

La mesure consiste à relier le drain du composant sous test à la source et à polariser la grille à une tension déterminée. Dans notre cas nous faisons la mesure du courant de fuite de grille à l'aide d'un picoampmètre à une tension de polarisation  $V_{GS} = 20V$ . Il est à noter que la tension est augmentée graduellement. Pour notre composant à son état neuf, nous mesurons plus ou moins 2 picoampères correspondant à du bruit de mesure.



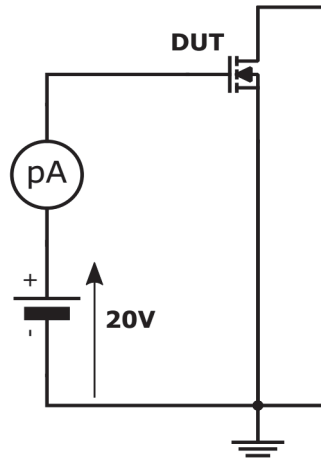


FIGURE 2.6 – Schéma de principe du banc de mesure du courant de fuite de grille.

## 2.2.4 Tension de seuil $V_{th}$

La tension de seuil,  $V_{th}$ , est l'un des paramètres essentiels pour la caractérisation d'un transistor MOS. Elle est définie comme étant la tension grille-source minimale nécessaire pour que le courant commence à circuler à travers le canal du composant. Trois manières existent pour déterminer cette tension : par mesure directe, par extraction à partir des caractéristiques de transfert ou par modélisation physique. Dans ce chapitre, nous nous basons sur la mesure de la tension de seuil en tant qu'indicateur du vieillissement du composant et sur le modèle physique pour expliquer les modes de dégradation après les tests de vieillissement.

### 2.2.4.1 Mesure directe

Pour le suivi de la dégradation des transistors, la tension de seuil a été prise comme étant la tension grille-source à laquelle le courant de drain a atteint 1mA. Pour la mesure, les bornes de grille et de drain du MOSFET ont été court-circuitées et mises au même potentiel par rapport à la source ( $V_{GS} = V_{DS}$ ), ce qui est une pratique courante. Nous augmentons progressivement la tension Grille-Source jusqu'à ce que nous mesurons la valeur de courant de drain  $I_d$  souhaitée. Un source-mètre Keithley a été utilisé à la fois en tant que source d'alimentation et pour mesurer le courant de drain. La figure 2.7 présente le schéma de principe du banc de mesure.

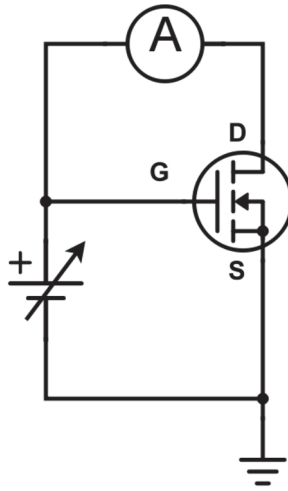


FIGURE 2.7 – Schéma de principe du banc de mesure de la tension de seuil,  $V_{th}$ , d'un MOSFET de puissance.

### 2.2.4.2 Modélisation physique

En prenant le substrat comme référence des potentiels, la tension de seuil s'écrit sous la forme :

$$V_{th} = V_{FB} + 2\phi_F + \frac{\sqrt{2q\epsilon_{SiC}N_A(2\phi_F)}}{C_{ox}} \quad (2.4)$$

avec  $\phi_F$  le potentiel de Fermi (équation 4.9),

$V_{FB}$  la tension de bande plate (équation 2.5).

où  $\epsilon_{SiC}$  est la constante diélectrique du SiC et  $N_A$  est la concentration des dopants de la zone P.

Nous notons que la tension de seuil dépend essentiellement du dopage de la zone P, de l'épaisseur d'oxyde et de la présence de charges à l'interface SiC/SiO<sub>2</sub>. Les résultats des simulations de capacité mettant en évidence l'influence de ces paramètres sur l'évolution de la tension de seuil sont reportés dans la partie 4.4.2.

### 2.2.5 Caractérisation dynamique

La caractérisation électrique C(V) du transistor VDMOS étudié montre que la capacité grille source " $C_{GS}$ " est la somme de 3 capacités [Let99]. Afin de comprendre les dégradations observées sur ces transistors, il est nécessaire de revoir le fonctionnement de l'élé-

ment de base de ces transistors, à savoir la capacité MOS (Métal-Oxyde-Semi-conducteur). L'étude d'une capacité idéale est détaillée dans l'annexe 1. Dans ce qui suit nous nous limiterons au cas de la capacité MOS idéale.

## 2.2.6 Capacité MOS réelle

Même lorsque aucune polarisation n'est appliquée à notre structure, un champ électrique s'établit localement au voisinage de l'interface SiC/SiO<sub>2</sub> puisque les travaux de sortie du métal et du silicium sont différents. Pour obtenir une charge nulle, il faut donc annuler ce champ électrique interne. Il en résulte que le régime de bande plate (correspondant à la limite des régimes d'accumulation et de déplétion) n'est atteint que une valeur particulière de la tension de grille (non nulle) appelée tension de bande plate  $V_{FB}$ .

De plus, il existe plusieurs types de charges dans l'oxyde à savoir : les charges fixes  $Q_f$ , les charges mobiles  $Q_m$  et les charges piégées  $Q_{ot}$ . Ces charges ont elles aussi leur influence sur le régime de bande plate. D'autres charges d'états d'interface  $Q_{it}$  sont aussi situées à l'interface SiC/SiO<sub>2</sub> et dépendent des niveaux de polarisation appliqués [Sol99]. Ces charges restent cependant faibles devant les charges d'oxyde. Ces charges sont représentées dans la figure 2.8.

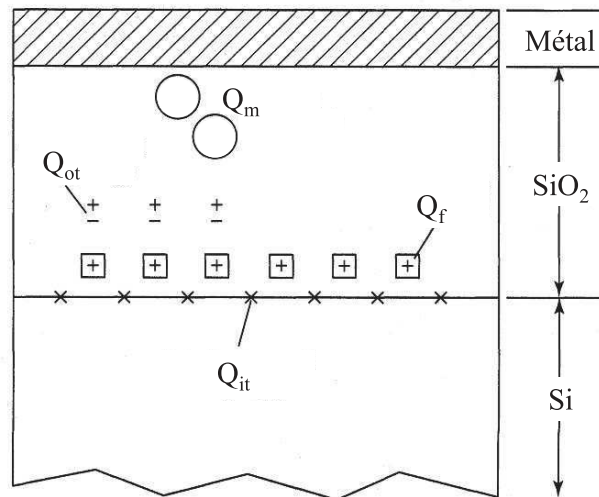


FIGURE 2.8 – Répartition des charges dans la structure MOS réelle [SN07].

Le potentiel de bande plate d'un semi-conducteur type P s'exprime donc :

$$V_{FB} = \phi_{MS} - \frac{Q_{ox}}{C_{ox}} \quad (2.5)$$

avec

$$\phi_{MS} = \phi_M - \phi_{SC} = \phi_M - \left( \chi_{SC} + \frac{E_g}{2} + \phi_F \right) \quad (2.6)$$

$\phi_M$  équivalent tension du travail de sortie du métal,

$\phi_{SC}$  équivalent tension du travail de sortie du semi-conducteur,

$\chi_{SC}$  affinité électronique du semi-conducteur,

$E_g$  énergie de gap.

Tous les résultats concernant l'étude des capacités MOS idéales restent valables dans le cas d'une structure réelle à condition de remplacer dans toutes les expressions  $V_G$  par  $V_G - V_{FB}$  [Aub99].

## 2.2.7 Capacités intrinsèques $C_{GS}$ , $C_{DS}$ et $C_{DG}$

La mesure des capacités intrinsèques en mode statique ( $C_{GS}$ ,  $C_{DS}$  et  $C_{DG}$ ) a été réalisé à l'aide d'un impédance-mètre Hewlett Packard 4194A. Cette méthode se base sur l'analyse de la variation de la capacité en fonction de la tension et de la fréquence choisie (en régime petits signaux).

Deux méthodes de mesure sont distinguées pour la quantifications de ces capacités statiques [Sis10] :

- La mesure "2-pin" : cette première méthode consiste à mesurer la capacité totale comprise entre les deux contacts de mesure, comme le montre la figure 2.9.a. Chaque capacité est mesurée en fonction de la tension appliquée aux bornes des deux contacts à basse fréquence (1kHz) ou à haute fréquence (1MHz) avec un niveau d'oscillation de 50mV.

Ainsi, si la mesure est effectuée entre le drain et la source (figure 2.9.b), la capacité mesurée ( $C_{mes}$ ) en fonction de la tension  $V_{DS}$  est équivalente à la capacité drain-source ( $C_{DS}$ ) en parallèle avec les capacités grille-source ( $C_{GS}$ ) et drain-source ( $C_{DG}$ ) mises en série.

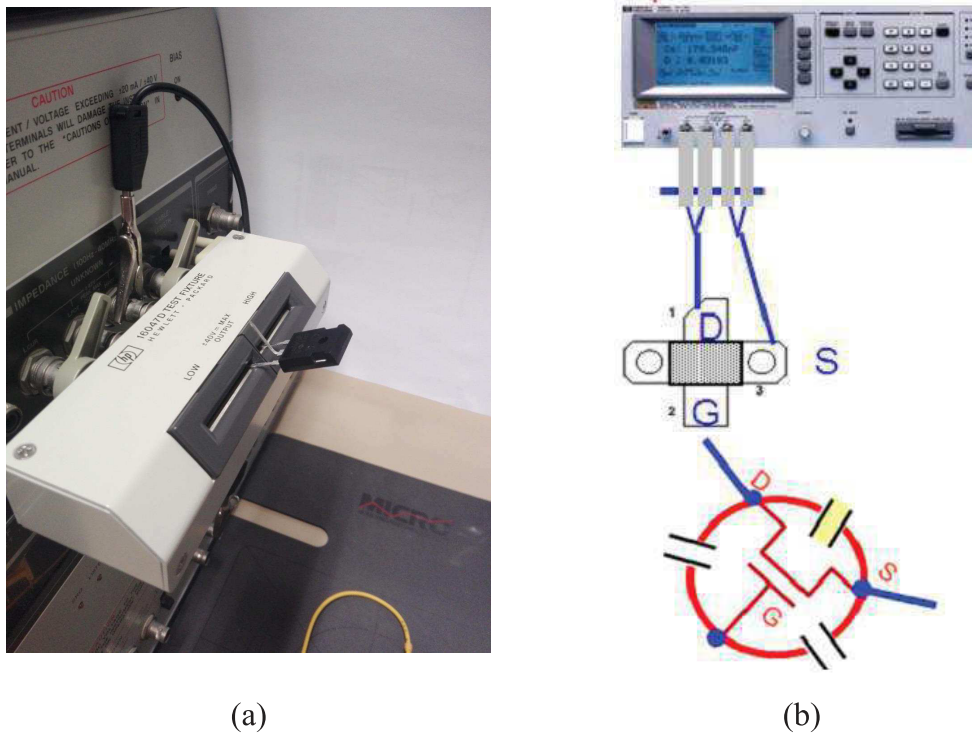


FIGURE 2.9 – Mesure de la capacité en mode "2-pin", (a) le DUT raccordé au connecteur en mode 2-pin et (b) schéma de principe de la mesure entre le contact de drain et de grille et de la capacité mesurée.

$$C_{mes} = C_{DS} + \frac{C_{GS} \cdot C_{DG}}{C_{GS} + C_{DG}} \quad (2.7)$$

- La mesure "Guarded" : cette deuxième méthode consiste en la mesure de l'unique capacité existante entre deux contacts du transistor en fonction de la tension appliquée et pour cela, le troisième contact est relié à une masse virtuelle "guard". Le guard est électriquement différent de la masse de l'appareil reliée à la terre.

De même, si la mesure est effectuée entre le drain et la source (figure 2.10) avec la grille est reliée au guard, la capacité mesurée ( $C_{mes}$ ) en fonction de la tension  $V_{DS}$  est égale à la capacité  $C_{DS}$ . Ces mesures en mode "Guarded" sont effectuées à des fréquences et un niveau d'oscillation semblables à la première méthode.

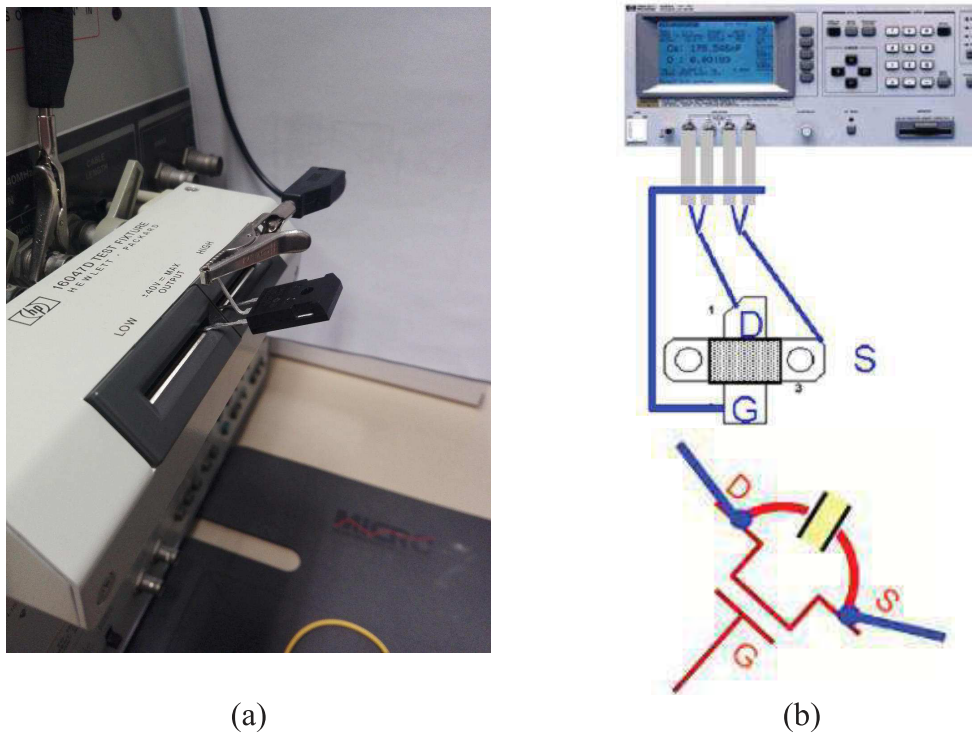


FIGURE 2.10 – Mesure de la capacité en mode "guarded", (a) le DUT raccordé au connecteur en mode guarded et (b) schéma de principe de la mesure entre le contact de drain et de grille et de la capacité mesurée.

## 2.2.8 Capacités extrinsèques $C_{iss}$ , $C_{oss}$ et $C_{rss}$

Les capacités extrinsèques représentent les capacités mesurées entre électrodes quand le drain et la source sont dynamiquement connectées. Dans la plupart des cas, ce sont ces capacités que les constructeurs fournissent sur leurs datasheets. En effet, le fabricant ne donne pas directement les capacités intrinsèques pour des raisons liées aux mesures. La méthode de mesure des capacités d'entrée  $C_{iss}$  (resp. de sortie  $C_{oss}$  et miller  $C_{rss}$ ) vue entre les électrodes de grille-source (resp. drain-source et grille-drain) tend à évaluer l'évolution de ces dernières pour des tensions  $V_{DS}$  élevées de l'ordre de la tenue en tension du composant.

Les mesures de ces capacités dynamiques sur un MOSFET de puissance sont définies dans le standard Jecdec JEDS24 [Joi85]. La mesure de ces capacités se fait avec un LCR-mètre. Pour notre étude, nous disposons d'un LCR-mètre GW INSTEK LCR-8110G capable de fonctionner à des fréquences atteignant 10MHz et pouvant être calibré en circuit ouvert et en court-circuit. Ce LCR-mètre est doté d'une borne Guard qui correspond à sa masse.

L'accès LO-C du LCR-mètre est au même potentiel que la borne Guard (mais n'est pas relié par un fil).

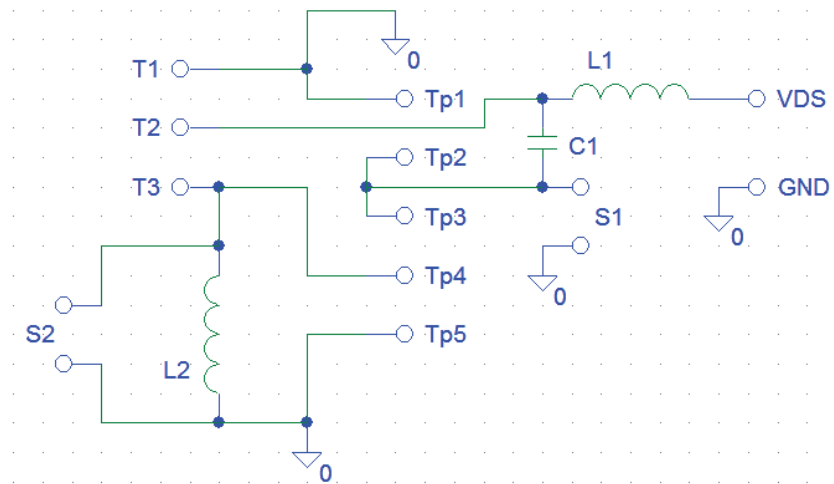
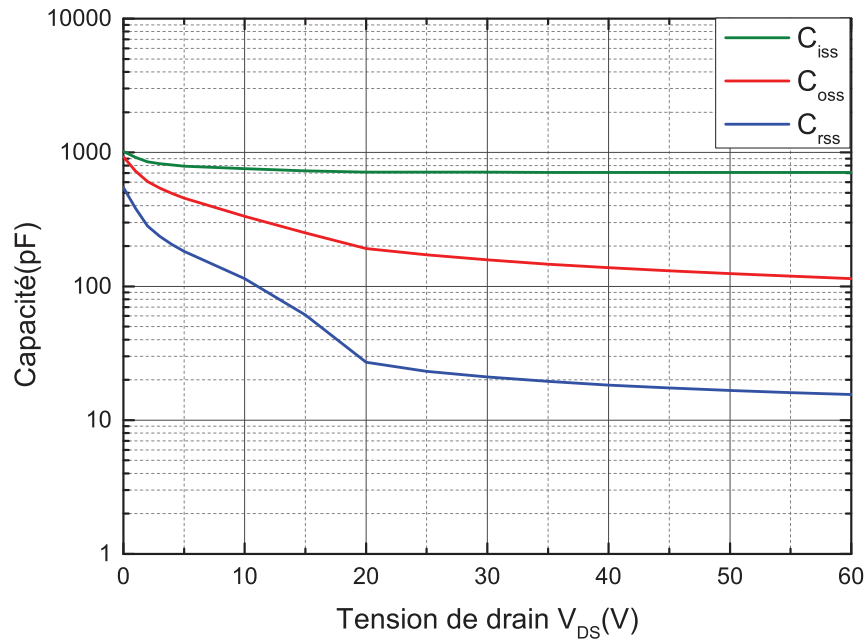


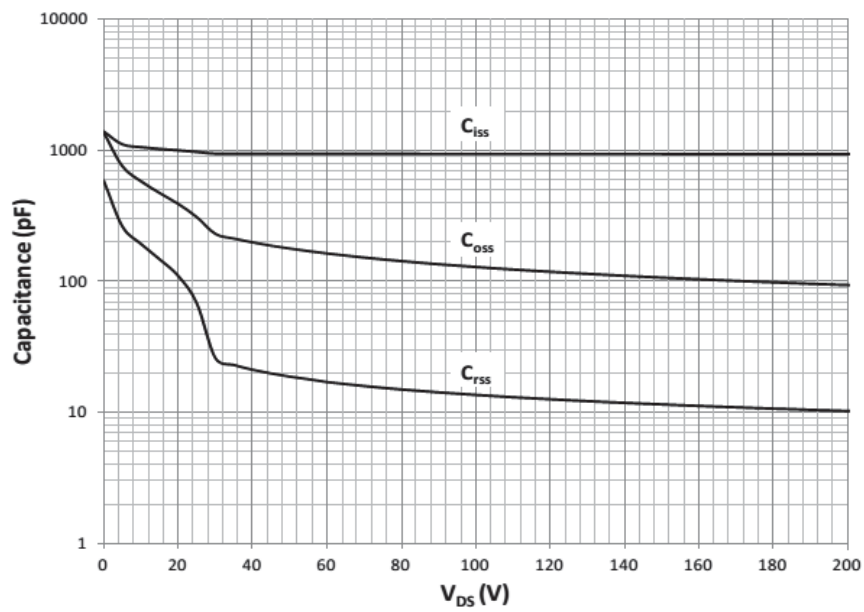
FIGURE 2.11 – Monture de test pour la mesure des capacités extrinsèques d'un MOSFET de puissance.

Dans le cadre de la thèse, plusieurs transistors ont dû être utilisés, c'est pourquoi nous avons conçu une monture de test permettant de changer facilement d'échantillon et de faire les trois mesures de capacité sans manipulations inutiles. La carte conçue dispose d'un bornier à vis pour connecter le DUT, de différents plots pour se connecter au LCR-mètre conformément au standard JEDS24 ainsi que de connexions supplémentaires pour configurer le circuit de test en fonction de la capacité mesurée. La monture de test utilisée pour les mesures des capacités extrinsèques est représentée sur la figure 2.11.

Ces trois capacités sont mesurées à une fréquence  $f$  donnée avec une amplitude petit signal  $V_{AC}$  (niveau d'oscillation) fixée et en fonction de deux paramètres qui sont la tension drain-source  $V_{DS}$  et la tension grille-source  $V_{GS}$ . Dans notre cas des valeurs typiques sont données par le constructeur avec  $f = 1\text{MHz}$ ,  $V_{AC} = 25\text{mV}$ . Pour réaliser les mesures le MOSFET a été mis dans l'état bloqué en appliquant une tension nulle sur sa grille et en faisant varier la tension  $V_{DS}$  de 0V à 60V. Les mesures effectuées sur un composant de référence sont reproduites sur la figure 2.12.a et concordent avec celles données par le constructeur (figure 2.12.b).



(a) Capacités extrinsèques mesurées



(b) Capacités extrinsèques fournies par le fabricant [Cre]

FIGURE 2.12 – Concordance entre les capacités extrinsèques mesurées et celles fournies par le fabricant du composant d'étude en fonction de la tension de drain  $V_{DS}$  à  $V_{GS} = 0V$  et  $f = 1MHz$ .



Les capacités extrinsèques  $C_{iss}$ ,  $C_{oss}$  et  $C_{rss}$  sont définies par les relations suivantes :

$$C_{iss} = C_{GS} + C_{GD} \quad (2.8)$$

$$C_{oss} = C_{GD} + C_{DS} \quad (2.9)$$

$$C_{rss} = C_{GD} \quad (2.10)$$

Un nombre important de mesures sont à réaliser afin de vérifier ces équations.

## 2.3 Caractérisation microstructurale et chimique

En complément de la caractérisation électrique du composant, l'observation et la collecte d'informations sont indispensables pour l'analyse de défaillance. Il est primordial d'étudier la structure du DUT à l'état neuf afin de pouvoir identifier les défauts engendrés par les stress de robustesse. Les outils d'analyse à des échelles microscopiques sont les moyens d'accès à la compréhension des mécanismes de défaillance.

### 2.3.1 Préparation de l'échantillon

#### 2.3.1.1 Préparation de l'échantillon en face avant

La partie active du transistor, la puce, est protégée par un boîtier, pour y accéder il est nécessaire de retirer la résine époxyde. L'ouverture du boîtier est opérée en deux étapes successives. Nous procédons tout d'abord à une ablation laser en découpant une fenêtre autour de la puce pour enlever une grande partie de résine. En plus de délimiter la zone d'ouverture, l'ablation au laser est rapide, propre et sans danger pour l'utilisateur. Néanmoins, l'utilisation de cette méthode est limitée par les fils de bondings de source et de grille (le contact de drain est assuré par la semelle en cuivre en face arrière). Ces fils étant en aluminium risquent de se chauffer avec le laser et ainsi endommager le composant. C'est pourquoi, nous arrêtons ce processus dès l'apparition des bondings.

Pour ce faire, nous utilisons un laser de découpe SESAME 1000 dédié à cet effet. L'ablation laser nécessite de connaître au préalable la localisation de la puce. Par l'intermédiaire d'une interface logicielle, l'instrument est paramétré principalement par la puissance du laser et par la définition de la zone à usiner. Le processus se déroule sur plusieurs passages

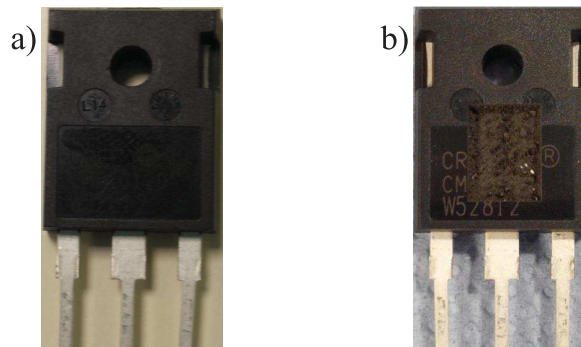


FIGURE 2.13 – Présentation du composant d'étude (a) à l'état neuf et (b) après une ablation laser.

successifs. La figure 2.13 présente un MOSFET avant et après l'ablation laser. On remarque le début d'apparition d'un fil de bonding du côté droit du composant. Avant de passer à l'étape suivante, nous procédons à une caractérisation électrique du composant pour vérifier l'innocuité de cette ouverture, la caractérisation en I-V est suffisante.

L'étape suivant l'ablation laser consiste en l'ouverture chimique. Cette étape présente l'avantage d'être moins invasive sur le composant néanmoins, elle est plus lente et moins précise. De plus, la manipulation d'acides concentrés nécessite l'application de mesures de sécurité. Deux méthodes d'ouverture peuvent être utilisées :

- Ouverture à la JetEtch : cette machine est un décapsuleur automatisé à base d'acides. L'opérateur a la possibilité de choisir le réglage le plus adéquat. Plusieurs paramètres sont proposés tels que le choix de : l'acide (nitrique, sulfurique ou un mélange des deux), le ratio, le volume, le temps, la température de chauffage de l'acide, etc... L'opérateur dispose de masques en caoutchouc pour délimiter la zone d'ouverture et limiter le débordement de l'acide.

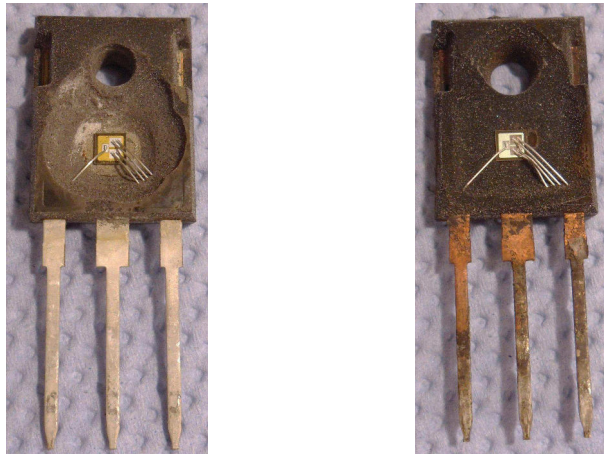


FIGURE 2.14 – Ouverture à la JetEtch de deux composants en utilisant différents paramètres.

Plusieurs essais sont effectués avant de trouver la meilleure formule pour l'ouverture chimique. La figure 2.14 présente deux composants ouverts à l'aide de la JetEtch en utilisant différentes configurations. Les différentes ouvertures présentent des dépôts. Bien qu'étant précédé d'une ablation laser délimitant la fenêtre creusée, les acides ont débordé en dehors des masques et de la zone d'ouverture.

La projection de l'acide se fait d'en bas vers le haut (figure 2.15), le transistor étant placé face en bas. Malgré les différentes configurations de tests, l'acide déborde avant d'atteindre la puce qui se situe à une profondeur de quelques millimètres sous la résine. Le mélange d'acide dont nous disposons dans cette machine n'est pas assez puissant pour atteindre la puce et bien nettoyer la surface à cause des nouvelles technologies de fabrication des résines.



FIGURE 2.15 – Composant placé face en bas pour une ouverture chimique à la Jetetch.

- Ouverture à la main : cette méthode est peu recommandée puisque l'opérateur manipule des acides concentrés (nitrique ou sulfurique) connus pour leur dangerosité. Cependant, elle permet une meilleure maîtrise du dosage de l'acide et du versement dans la cavité. L'opérateur a la possibilité d'observer l'avancement de la décomposition de la résine et ainsi mieux contrôler l'ouverture. Le résultat est beaucoup plus propre et la puce est bien dégagée.

Le composant est placé sur une plaque chauffante puisque l'acide n'est efficace qu'à partir d'une certaine température. L'acide est versé par goutte à l'aide d'une pipette dans la cavité obtenue après l'ablation laser. Quand l'acide chauffe, une partie de la résine est éliminée. Le composant doit alors être rincé à l'eau et bien séché à l'aide d'un papier dédié à cet effet. Cette étape doit être répétée autant de fois que nécessaire jusqu'à ce que la puce soit totalement dégagée.

Des essais aux acides nitrique et sulfurique ont été effectués et ont donné des résultats différents. Sur la figure 2.16(a), on remarque la disparition de la couche de passivation suite à une ouverture à l'acide sulfurique. L'acide nitrique semble quant à lui être inoffensif. En effet, le composant est couvert d'une couche de passivation de couleur jaunâtre comme le montre la figure 2.16(b). C'est pourquoi nous préférons l'ouverture à l'acide nitrique pour les futures décapsulations.

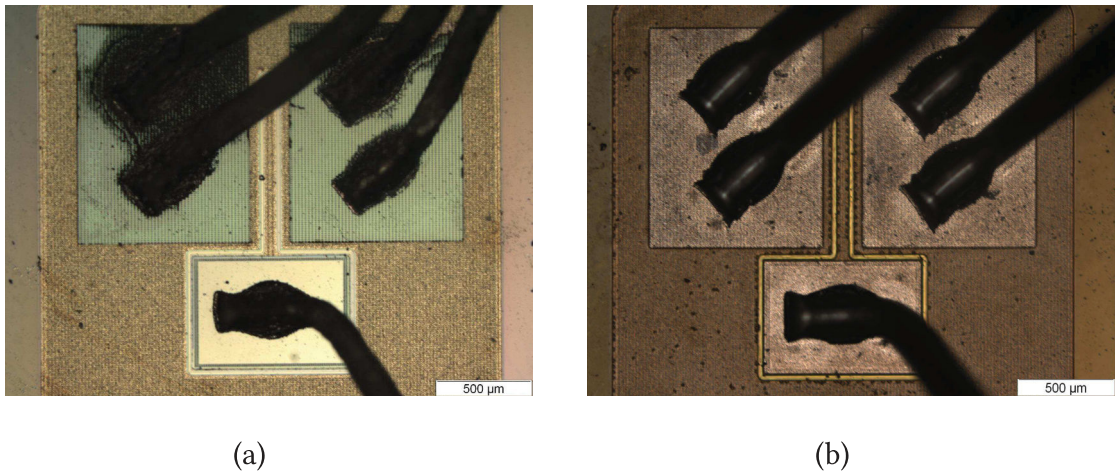


FIGURE 2.16 – Ouverture chimique manuelle en utilisant (a) l’acide sulfurique et (b) l’acide nitrique.

### 2.3.1.2 Préparation de l’échantillon en face arrière

L’observation des défauts en face avant peut être limitée par l’épaisse couche d’aluminium recouvrant une grande partie de la surface de la puce de notre composant. En effet, lorsque les composants électroniques possèdent des ponts en or, ou une surface métallisée, la méthode utilisée pour la localisation des défauts est généralement inefficace en ouverture face avant. C’est pourquoi, nous pouvons avoir recours aux techniques d’ouverture en face arrière qui permettront d’avoir accès au transistor élémentaire par amincissement du substrat.

Cette méthode d’ouverture consiste à enlever une partie du cuivre en créant un trou au niveau de la puce. Étant donné que le contact de drain se fait par le biais de la semelle en cuivre, il faut s’assurer que la dimension du trou est inférieure à la dimension de la puce et qu’une partie de celle-ci reste couverte. Ainsi, une partie du contact ohmique de drain est conservée et la fonctionnalité du transistor est préservée. Ce procédé est entièrement réalisé à l’aide d’une machine semi-automatique de préparation de surfaces *ASAP-I* (Automated Selected Area Preparation) de la société Digit Concept (figure 2.17).

L’ouverture en face arrière se déroule sur plusieurs étapes en utilisant différents outils (figure 2.18). Tout d’abord, nous déterminons la zone d’ouverture. Les dimensions de celle-ci doivent tenir compte des contraintes imposées par les instruments utilisés pour les analyses postérieures. Le microscope électronique à balayage (MEB) a un angle de  $54^\circ$  avec son faisceau d’ions focalisé (FIB). Pour pouvoir accéder à toute la surface d’étude avec les

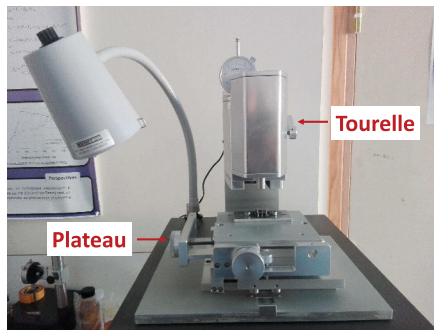


FIGURE 2.17 – Machine de préparation de surfaces (ASAP) utilisée pour l'usinage mécanique en face arrière.

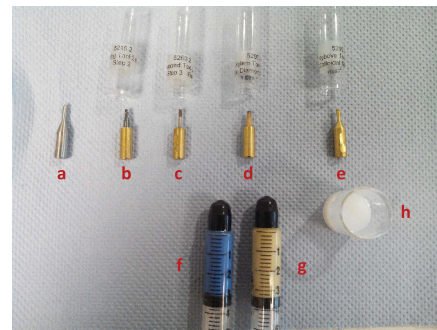


FIGURE 2.18 – Les outils utilisés pour une ouverture en face arrière d'un MOSFET vertical.

deux instruments simultanément, il faut élargir les dimensions de l'ouverture au-delà des bords de la puce.

Ensuite, une fois le composant fixé sur le plateau de la machine, nous alignons le centre de l'ouverture avec la tourelle et nous vérifions la planéité de la surface à l'aide d'une pointe (figure 2.18.a). Puis, nous réglons manuellement la largeur de balayage sur les axes x et y. Le fraisage se fait par palier comme le montre la figure 2.19.a nous permettant de garantir un angle de  $54^\circ$  avec la verticale. Cette étape consiste à enlever la couche de cuivre à l'aide d'un outil de fraisage en acier (milling tool) de 2mm de diamètre (figure 2.18.b). Nous incrémentons la profondeur de fraisage progressivement jusqu'à atteindre la couche de brasure (figure 2.19.b).

L'une des grandes difficultés de l'ouverture mécanique réside dans la mesure des épaisseurs et des profondeurs atteintes au cours du processus. La détection de la couche de brasure au bon moment est primordiale. L'outil utilisé pour l'ouverture doit être remplacé par une fraise en diamant sinon le substrat risque d'être abimé et le composant sera endommagé. C'est pourquoi, l'opérateur doit être attentif à tout indicateur de changement de comportement comme la modification de la couleur du lubrifiant qui vire au noir.

La couche de brasure atteinte, nous changeons l'outil par une fraise en diamant fine (diamond tool) (figure 2.18.c) pour amincir le substrat de quelques dizaines de micromètres. Nous vérifions constamment la profondeur jusqu'à ne laisser plus que  $70\mu\text{m}$  d'épaisseur de substrat. A partir de ce point, nous procédons au polissage en utilisant différentes pâtes

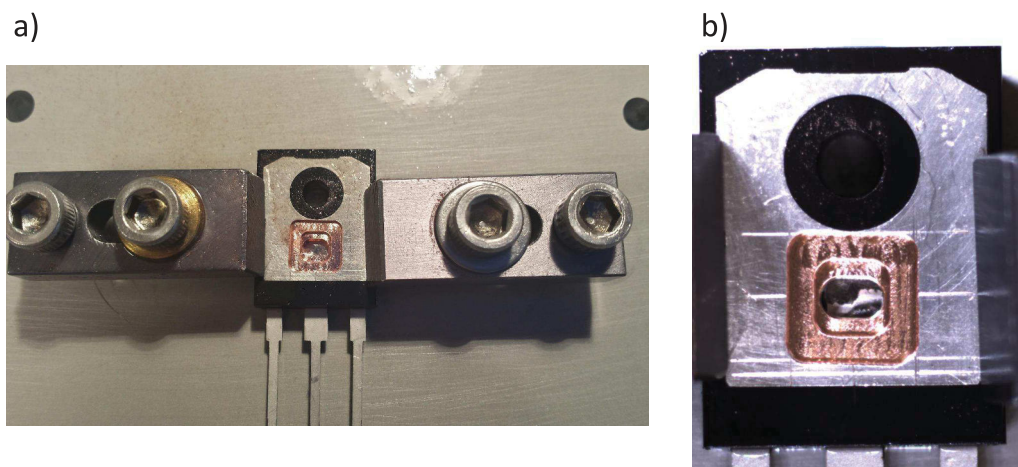


FIGURE 2.19 – Vue de la face arrière du transistor après fraisage (a) ouverture en escalier et (b) apparition de la couche de brasure.

diamantées (figures 2.18.f et 2.18.g) et de la silice colloïdale (figure 2.18.h). Cette étape sert à obtenir un aspect correct du substrat permettant son observation optique. La figure 2.20 montre une vue en microscope optique de la face arrière du composant permettant de voir les transistors élémentaires à travers la couche de substrat. Le composant est maintenant prêt pour l'analyse en microscopie à émission de photons.

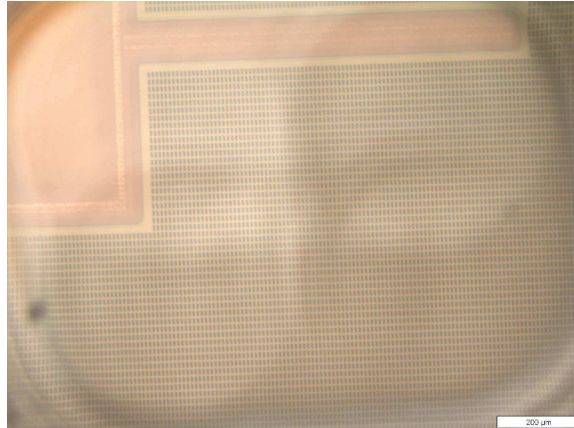


FIGURE 2.20 – Vue de la face arrière du transistor après polissage faisant apparaître les transistors élémentaires.

### 2.3.2 Étude au microscope électronique à émission de photons

L'un des obstacles de l'analyse des dégradations des composants consiste en la localisation des sites endommagés. Ces sites ont des dimensions allant du micromètre jusqu'à l'échelle atomique. L'analyse par microscopie à photoémission est une technique semi-destructive pour la localisation de défauts jusqu'à l'échelle du micromètre (résolution en longueur d'onde limitée au proche infrarouge et au visible) sur composants actifs. Elle est considérée semi-destructrice car elle nécessite une ouverture du boîtier tout en assurant la fonctionnalité du composant.

Cette méthode est utilisée pour la localisation des sites émissifs au niveau de la puce, qui peuvent être la conséquence de dégradations ou anomalies du composant. En effet, un nombre de défauts peut produire une faible émission de lumière suite à la polarisation du composant. Cette polarisation stimule le transistor en champ électrique ou en courant. Les sites émissifs peuvent varier selon les conditions de polarisation. La microscopie à émission de photons permet de capturer ces émissions optiques extrêmement faibles. Le composant est alimenté sous différents modes de tension  $V_{GS}$  et  $V_{DS}$  afin de solliciter le composant en champ ou en courant pour faire apparaître des émissions de lumière (électroluminescence).

L'émission de lumière n'est pas toujours signe de défaut. En effet, un défaut peut se manifester par l'apparition ou l'absence de lumière en un point spécifique. Ainsi, l'émission peut être le signe d'un défaut ou d'un fonctionnement normal. Il est donc indispensable d'étudier la signature lumineuse du transistor à son état neuf pour la comparer avec celle



d'un composant vieilli.

Pour notre étude, nous utilisons le microscope *HAMAMATSU PHEMOS* 1000 dont dispose le GPM. Il est constitué d'un microscope optique classique doté d'un détecteur de photons très sensible placé dans une chambre noire. Elle permet d'isoler optiquement l'ensemble du matériel. Le microscope est doté de quatre optiques (x5, x20, x50 et x100), le détecteur quant à lui est constitué d'une caméra Si-CCD refroidie à  $-70^{\circ}\text{C}$  afin de limiter le bruit thermique intrinsèque.

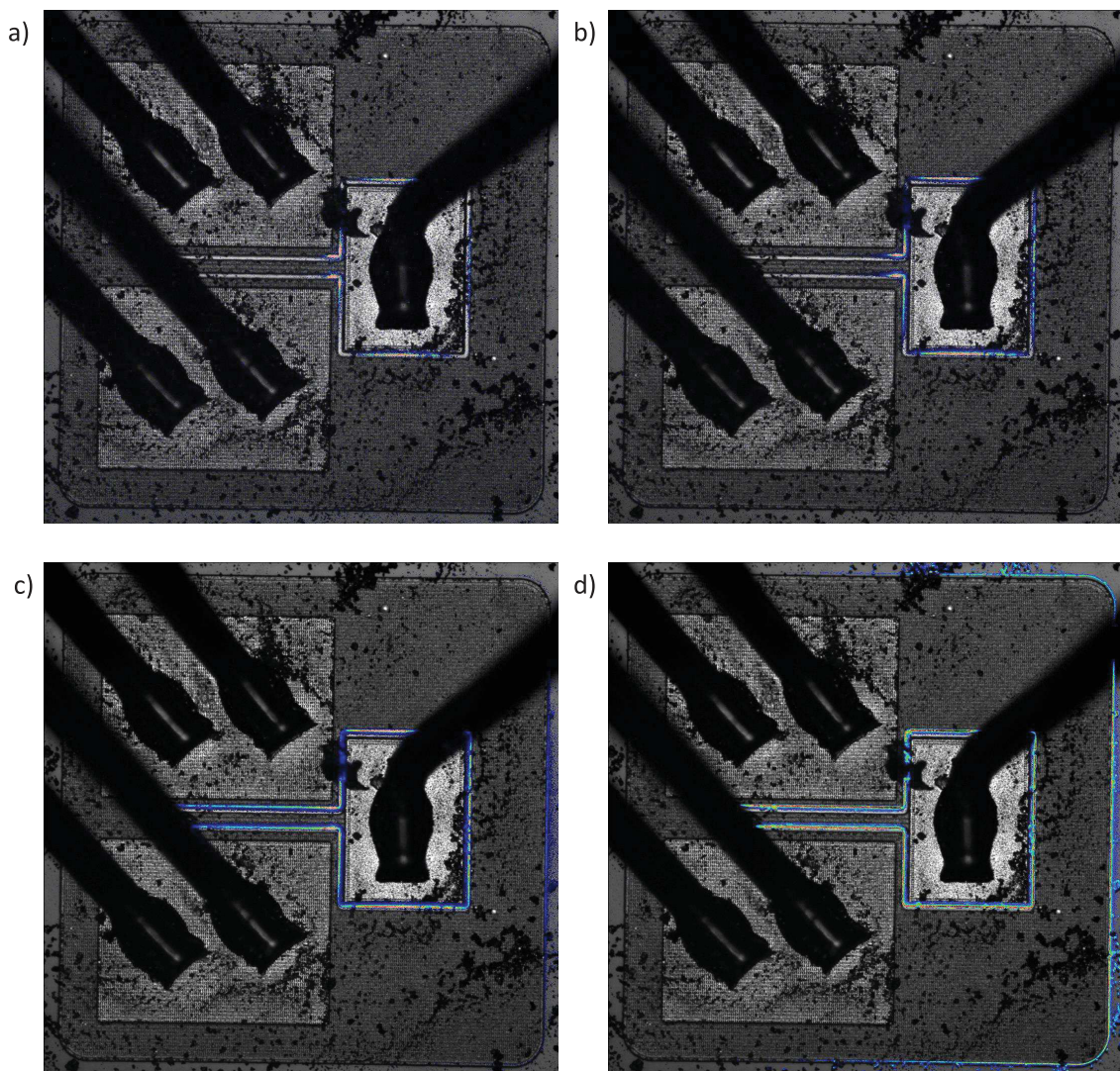


FIGURE 2.21 – Signature en photoémission du composant d'étude en face avant à  $V_{GS} = 8\text{V}$  sous différentes polarisations de drain (a)  $V_{DS} = 30\text{V}$ , (b)  $V_{DS} = 40\text{V}$ , (c)  $V_{DS} = 50\text{V}$  et (d)  $V_{DS} = 60\text{V}$ .

Cette technique nécessitant une ouverture du boîtier, les transistors ne peuvent pas être analysés avant stress. C'est pourquoi, il est nécessaire d'effectuer une analyse à l'état neuf sur un composant de référence. La figure 2.21 présente la signature du composant d'étude en face avant sous différentes conditions de polarisation. Nous remarquons un élargissement de la zone émissive avec l'augmentation de la tension de drain. Cette zone est située sur les bords des différentes couches de métallisation séparant les contacts de grille et de source (zone T). En effet, la surface de la puce est recouverte d'une couche d'aluminium pour assurer le contact de grille et de la source. L'absence de régions émissives en face avant est la signature du composant à son état neuf.

Une analyse en photoémission a aussi été réalisée en face arrière sur un composant de référence. Le transistor a été polarisé à une tension de grille  $V_{GS} = 2.25V$  et une tension de drain  $V_{DS} = 35V$ . La figure 2.22 représente la signature du composant en face arrière. Le transistor présente des cellules émissives situées aux extrémités de la zone T émanant d'un fonctionnement normal du composant. Cette signature concorde avec celle obtenue en observation en face avant. Cependant, un peu plus loin, sous la zone de contact de source, nous observons une cellule émissive isolée. Le composant étant neuf et en l'absence d'émission générale, nous associons cette anomalie à un défaut de fabrication. Cette cellule sera étudiée à des échelles plus petites en Microscopie à Electronique à Balayage (MEB).

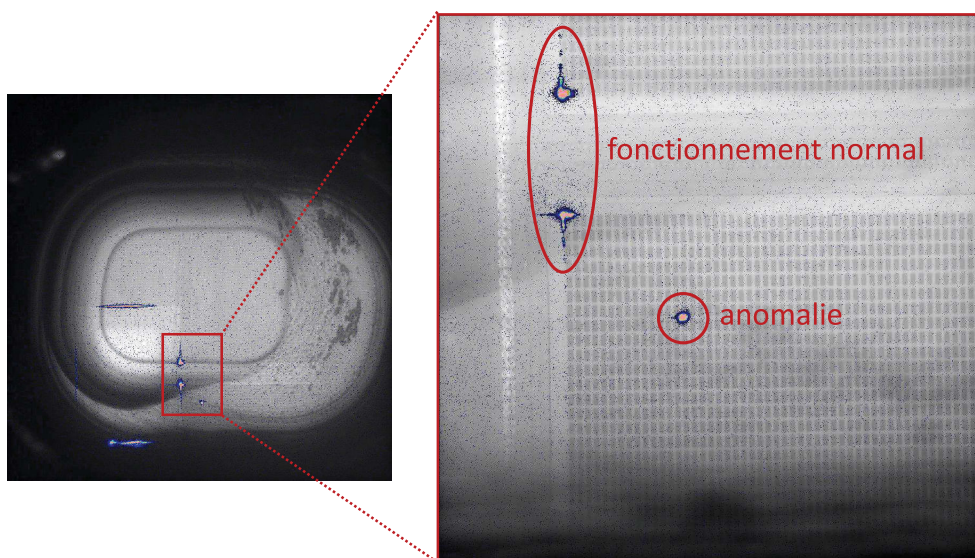


FIGURE 2.22 – Analyse en photoémission du composant sous test en face arrière.

Si la photoémission est une technique efficace pour la localisation de défauts, il n'est

pas toujours évident d'en tirer toutes les informations. En effet, cette technique permet de localiser un point d'intérêt mais ne permet pas d'expliquer la nature du défaut. De plus, la couche de métallisation qui couvre la surface de la puce empêche la localisation de certains défauts ce qui nécessite une ouverture en face arrière délicate et pouvant endommager l'échantillon.

### 2.3.3 Caractérisation structurale au microscope électronique à balayage

Le microscope électronique à balayage (MEB) permet d'observer la matière à l'échelle microscopique. Cette technique de microscopie électronique est capable de produire des images en haute résolution de la surface d'un échantillon en le scannant avec un faisceau focalisé d'électrons. Cette méthode se base sur l'interaction électrons-matière et permet d'étudier le composant à fort grossissement au-delà des limites du microscope optique.

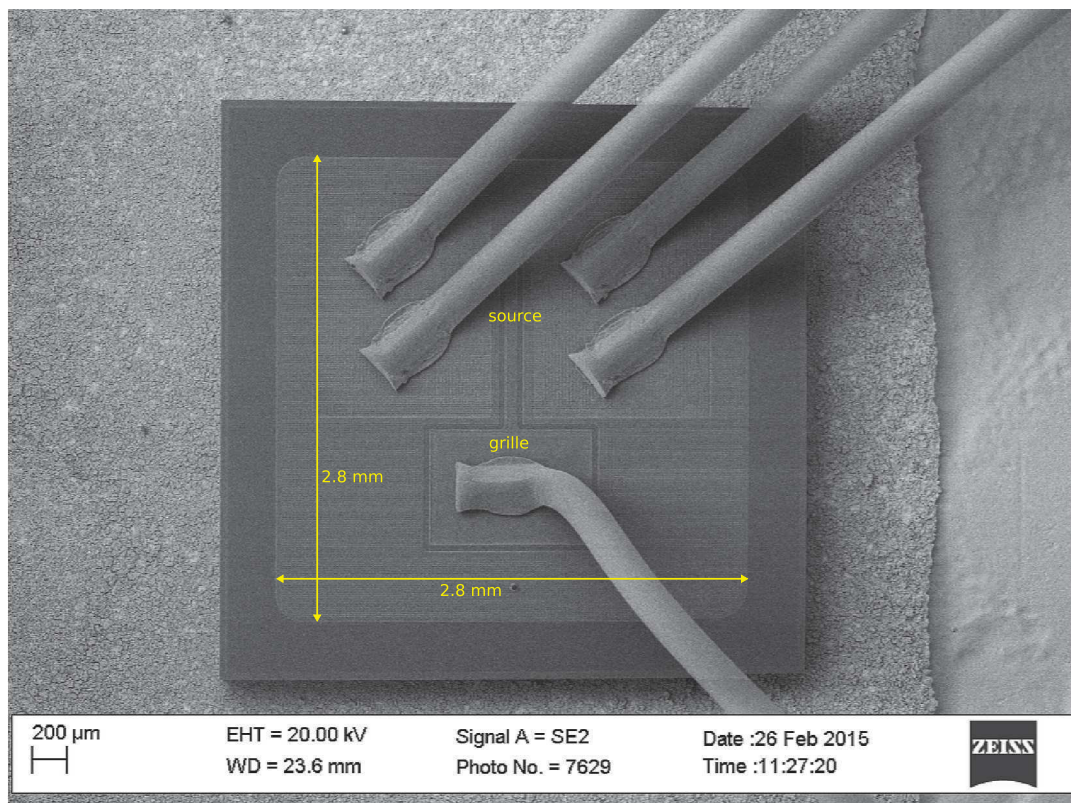


FIGURE 2.23 – Vue au MEB de la surface d'un composant de référence.

La figure 2.23 montre une vue de surface d'un composant de référence. La surface active

du composant est de 2.7mm x 2.7mm. Quatre fils de bonding sont connectés aux zones de métallisation de la source et un cinquième est relié au bloc de la grille. De simples mesures montrent que la surface de métallisation de source correspond à 36.7% de la surface active de la puce pendant que le bloc et les pistes d'interconnexion de grille correspondent à 9.7% de la surface active. Le reste de la surface est constitué de la région inactive autour de la périphérie de la puce.

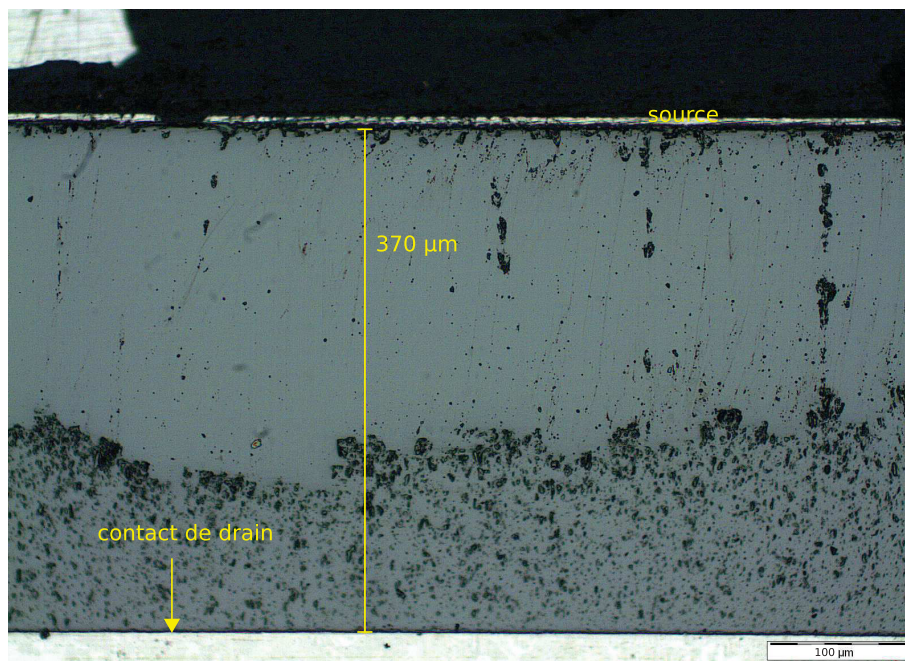


FIGURE 2.24 – Coupe transversale du composant sous test.

La figure 2.24 montre une coupe transversale de la puce obtenue par découpe à l'aide d'une scie à fil puis polissage avec différents papiers abrasifs. Le composant est un MOSFET vertical (voir paragraphe 1.2.1.1), la métallisation de source et la grille sont situés sur la face supérieure au dessus d'une couche de substrat en SiC de 370µm d'épaisseur, alors que le drain est situé sur la face inférieure. La puce est soudée à la semelle de cuivre à l'aide d'une couche de brasure de 65µm d'épaisseur, constituée principalement d'argent, d'étain et d'antimoine.

Se limiter à la fonction imagerie du microscope ne permet pas d'accéder à la structure verticale du composant. C'est pourquoi il est indispensable de coupler avec des coupes transversales pour étudier les cellules élémentaires du transistor (figure 2.25).

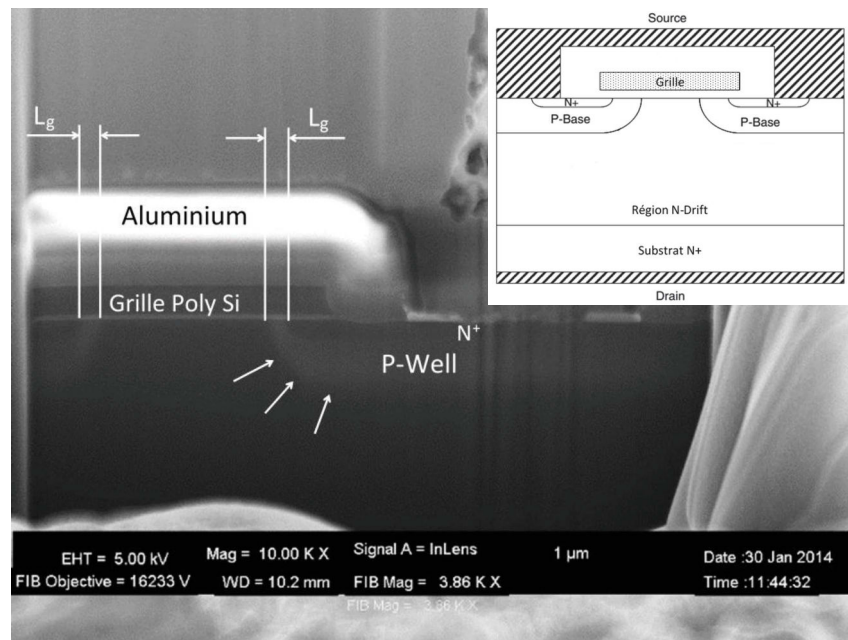


FIGURE 2.25 – Structure en coupe transversale d’une cellule élémentaire du DUT.

Une coupe au FIB (Focused Ion Beam) a été effectuée sur un composant de référence au niveau d’une cellule élémentaire. L’étude est réalisée sur un MEB ZEISS NVISION40 qui dispose d’une colonne FIB et d’un micro-manipulateur. Il est donc possible d’avoir accès à une coupe transversale du composant. Sur la figure 2.25 nous retrouvons les différents éléments constitutifs d’une cellule tels que représentés dans la littérature [DW12]. La partie supérieure de la puce est constituée du métal de source et d’une matrice de grille en poly silicium. Le transistor est constitué de contacts de source aux zones de diffusion  $N^+$  situées à l’intérieur du P-body. La zone de dérive  $N^-$  est formée en utilisant une couche de carbure de silicium ainsi que l’épaisseur totale de la puce.

Cette coupe a aussi permis la mesure de différentes dimensions telles que l’épaisseur de l’oxyde de grille  $t_{ox}$  (égale à 60nm) nécessaires pour des études ultérieures. Ainsi, l’analyse structurale permet d’avoir une vue de référence d’une cellule saine. Le tableau 2.1 résume les différentes dimensions caractéristiques de notre composant d’étude.

### 2.3.4 Caractérisation chimique par EDX

En complément de la complémentaires ont aussi été menées en EDX (Energy Dispersive X-ray spectrometry) pour déterminer les éléments chimiques et les couches constitutives de la puce. Cette méthode permet de réaliser des cartographies quantitatives présentant les

TABLE 2.1 – Tableau récapitulatif des différentes dimensions du composant d'étude.

Surface Active (SA) (mm x mm)	Métallisation de source (% SA)	Bloc de grille (% SA)	Couche de substrat ( $\mu\text{m}$ )	Oxyde de grille ( $t_{ox}$ ) (nm)
2.7 x 2.7	36.7 %	9.7 %	370	60

distributions chimiques des échantillons ou des pointés pour déterminer des compositions chimiques locales.

Cette technique présente l'avantage de se coupler au sein d'un même équipement au MEB et au FIB. Ainsi, sans aucun contact avec l'air, le composant est coupé, observé, et analysé. Cependant, l'EDX ne permet pas de détecter les éléments légers. Par conséquent, une présence ou une absence de certains de ces éléments ne pourra être révélée par EDX.

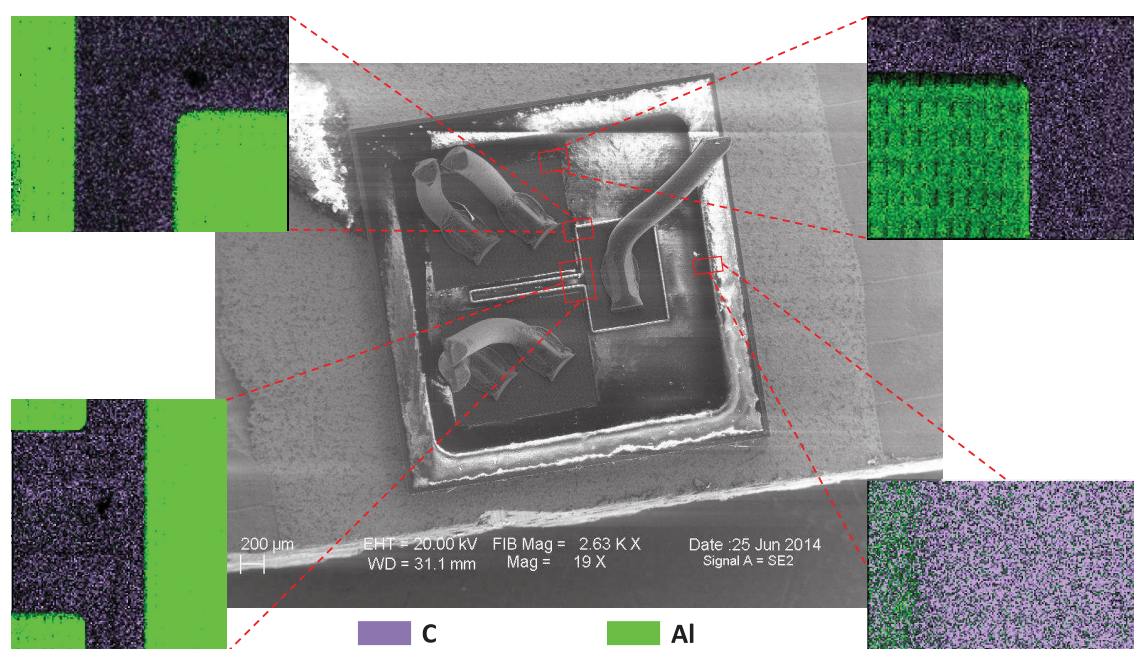


FIGURE 2.26 – Cartographie chimique de plusieurs sites de la surface du DUT après ouverture à l'acide nitrique.

Une cartographie chimique par EDX a été réalisée sur le composant de référence montrant les différents éléments couvrant la surface. A la surface deux éléments sont omni-

présents à savoir le carbone et l'aluminium. L'aluminium est présent au niveau des fils de bonding pour assurer le contact de grille et de source, alors que la couche de carbone couvre le reste de la surface de la puce comme le montre la figure 2.26. D'après la littérature, cette couche consiste en une couche protectrice de passivation [Pan09]. Étant donné que cette couche est principalement composée de polyimides [SGH08] et que ces derniers ont la propriété d'être des matériaux légers, il est alors entendu qu'ils ne soient pas détectés par cette analyse.

## 2.4 Conclusion

Ce chapitre a permis de dispenser une connaissance approfondie du composant d'étude. Depuis ses paramètres électro-thermiques (caractéristiques I-V-T, tension de seuil, courant de fuite de grille, capacités internes) jusqu'à sa caractérisation physico-chimique. Ces caractérisations permettent de disposer de toutes les données nécessaires à l'interprétation des dégradations et à la compréhension des mécanismes de défaillance.

Les mesures électriques constituent un excellent indicateur de santé et permettent de surveiller l'évolution de la dégradation. Selon le besoin, ces mesures peuvent aussi servir à la caractérisation physique du composant ou encore à s'assurer de l'innocuité des moyens d'analyse. Les premières caractérisations I-V-T appuyées de modèles empiriques ont permis de décrire le comportement électro-thermique du composant sous différentes conditions de fonctionnement. L'évolution du courant de drain dépend non seulement de la température de jonction mais aussi de la polarisation du drain et de la grille et révèle un comportement très différent de celui typique des MOSFETs de puissance en Si. Cette caractérisation a aussi montré une importante disparité entre les différents échantillons, bien qu'issus du même lot, mettant en évidence un manque de maîtrise du processus de fabrication.

En complément aux caractérisations statiques du transistor, une étude préliminaire portant sur la caractérisation des capacités internes du MOSFET a été introduite dans ce chapitre pour servir de base à l'étude des tests de vieillissement abordée dans le quatrième chapitre. La mesure des capacités sera exploitée non seulement en tant qu'indicateur de dégradation mais aussi pour remonter aux propriétés physiques du composant.

Aux caractérisations électriques, s'ajoutent les caractérisations physico-chimiques du composant, indispensables à l'analyse de défaillance. Ces caractérisations permettent de

disposer de toutes les données nécessaires à l'interprétation des dégradations et à la compréhension des mécanismes de défaillance. Pour réaliser ces caractérisations, le laboratoire est doté d'un large parc instrumental permettant de réaliser des préparations d'échantillons et des caractérisations physico-chimiques sur les composants. L'étape de préparation d'échantillon est primordiale car elle permet d'accéder à des zones enfouies du composant mais elle est aussi l'une des étapes les plus critiques dans l'assurance de la réussite de l'analyse. Parce que la préparation touche physiquement le composant, elle en devient plus risquée pour le composant et le défaut.

Deux modes de préparation d'échantillons ont été pratiqués : l'ouverture en face avant et l'ouverture en face arrière. Le premier mode permet d'accéder à la couche de métallisation de la puce après une ablation laser et une ouverture chimique. Elle présente l'avantage d'être moins contraignante pour le composant cependant, la présence de la couche d'aluminium peut limiter la détection des défauts en microscopie à émission de photons. Pour pallier cette contrainte, le deuxième mode permet d'amincir une portion de la couche de substrat pour détecter les sites émissifs. Cette ouverture est mécanique et est réalisée à l'aide d'une machine semi-automatique. La complexité de cette méthode est liée à la détection de la couche de brasure au bon moment pour changer les outils de fraisage sans laquelle le substrat sera abîmé et l'étude de la défaillance compromise.

Les outils d'analyse à des échelles microscopiques sont les moyens d'accès à la compréhension des mécanismes de défaillance et la granularité recherchée de l'information se conditionne par le degré de finesse de l'analyse souhaitée. Du microscope optique au microscope électronique à transmission en passant par le microscope électronique à balayage, ces instruments se complètent par leurs frontières communes ou leurs lieux d'intersections. Ces instruments sont aussi dotés de sondes ou capteurs permettant de compléter l'analyse soit par des découpes microscopiques à l'aide de faisceaux à ions focalisés ou des analyses chimiques des atomes de l'échantillon.

L'un des obstacles de l'analyse des dégradations des composants consiste en la localisation des sites endommagés. Ces sites ont des dimensions allant du micromètre jusqu'à l'échelle atomique. L'analyse par microscopie à photoémission est une technique semi-destructive pour la localisation de défauts jusqu'à l'échelle du micromètre (résolution en longueur d'onde limitée au proche infrarouge et au visible) sur composants actifs. Elle est considérée semi-destructrice car elle nécessite une ouverture du boîtier tout en assu-



rant la fonctionnalité du composant. La deuxième condition étant compromise par les tests (destructifs) de robustesse en court-circuit, nous proposons dans le chapitre suivant une méthodologie de test permettant de garder le composant en état polarisable.

# Chapitre 3

## Robustesse en court-circuit des MOSFETs SiC

### 3.1 Introduction

La technologie SiC est relativement récente. Bien que répondant aux normes actuelles de fiabilité, son intégration dans l'industrie est limitée par le manque de retour d'expérience concernant leur fonctionnement en milieu opérationnel. Il est de ce fait indispensable de mener une analyse bien approfondie pour étudier le degré de maturité de cette technologie.

L'intégration des dispositifs d'électronique de puissance dans l'industrie nécessite une connaissance approfondie de leur robustesse puisque ces derniers sont soumis à de fortes contraintes électro-thermiques. Le test de court-circuit (CC) est l'un des plus utilisés pour l'évaluation de la robustesse des semi-conducteurs de puissance pendant la phase de conduction. Ce test a pour but d'évaluer la résistance du composant en dissipation de puissance (section 1.4). C'est avec cet objectif que nous proposons dans ce chapitre d'étudier la robustesse en régime de court-circuit d'un MOSFET en SiC.

La première partie du chapitre est consacré à la description du protocole expérimental du test. Le schéma de principe du banc de test est présenté et les conditions de tests sont spécifiées.

Dans la deuxième partie, nous nous intéressons aux essais destructifs en court-circuit tels que proposés dans la littérature. Les mesures électriques relevées au cours des essais

permettent d'énoncer des hypothèses relatives aux mécanismes de défaillance à l'origine des modes de défaillances observés. Pour approfondir l'étude, une analyse microstructurale de la défaillance est proposée ainsi qu'aux limitations rencontrées.

Pour palier les limitations d'analyse de défaillance rencontrées lors de tests effectués selon le protocole d'usage décrit dans la littérature [OLB<sup>+</sup>13][CLL<sup>+</sup>15], nous proposons un nouveau protocole de test. Effectuer des essais non destructifs de robustesse, nous permet la polarisation du transistor après les tests et ainsi de procéder à une localisation du défaut par microscopie à photo-émission (PEM).

### 3.2 Protocole expérimental

Les tests de robustesse en court-circuit ont été réalisés au sein du laboratoire SATIE de l'université Paris-Saclay (Laboratoire des Systèmes et Applications des Technologies de l'Information et de l'Energie) dans le cadre d'un échange scientifique. Le SATIE est équipé d'un banc expérimental dédié à ce genre de tests. La figure 3.1 présente le schéma de principe du banc de test dédié à l'étude de la robustesse en régime de court-circuit.

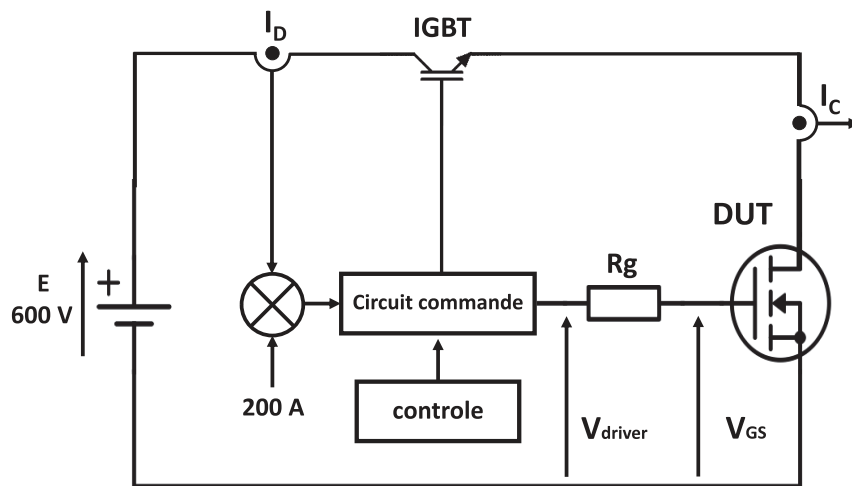


FIGURE 3.1 – Schéma de principe du banc de test expérimental pour l'étude de la robustesse en régime de court-circuit [Oth15].

La campagne de stress en court-circuit est menée à température ambiante,  $T = 25^\circ\text{C}$ . Une tension de drain de  $600\text{V}$  est appliquée sans aucune charge de sortie. Pendant la phase de court-circuit, le DUT est maintenu à son état passant en appliquant une tension de grille de  $18\text{V}$  et est ensuite bloqué en inversant la polarisation de la grille. Un interrupteur (un

IGBT de 3,3kV) est connecté en série avec le composant sous test en tant que composant de protection. Lorsque le courant de défaillance dépasse un niveau de courant (arbitrairement fixé à 200A), l'IGBT est mis hors tension afin d'éviter une destruction du DUT.

### 3.3 Essais destructifs et analyse microstructurale de la défaillance

La première étape pour l'étude de robustesse en court-circuit consiste à évaluer l'endurance du composant et mesurer l'énergie minimale conduisant à sa défaillance. C'est l'énergie de seuil au-delà de laquelle un court-circuit conduit à la défaillance. Cette énergie est appelée énergie critique.

#### 3.3.1 Essai destructif en condition de pulse long

Nous commençons tout d'abord par appliquer un pulse de court-circuit de longue durée à un premier composant DUT1 jusqu'à défaillance totale. Cet essai nous permet d'avoir une estimation de la tenue du composant sous les conditions de test précédemment définies.

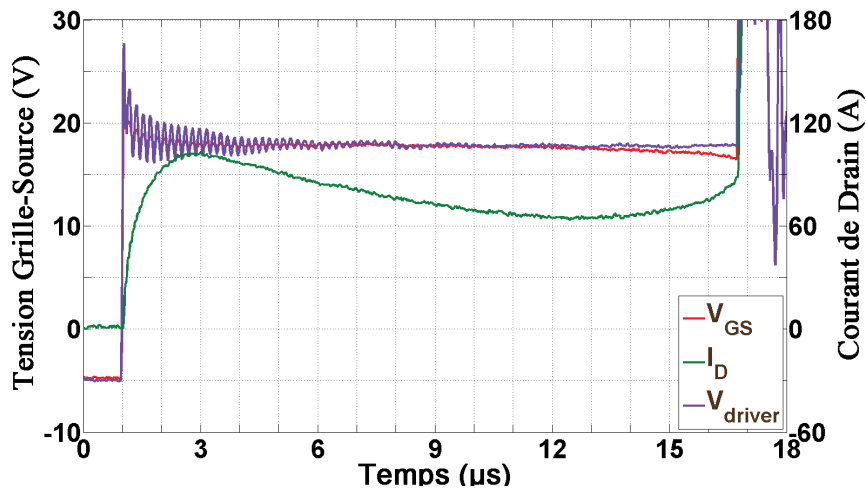


FIGURE 3.2 – DUT1 : Analyse de la robustesse sous un long pulse de court-circuit,  $V_{DS} = 600V$ ,  $T = 25^{\circ}C$  et  $R_G = 10\Omega$ .

Une seule impulsion d'une durée  $120\mu s$  est envoyée à la grille du DUT afin de le mettre en conduction. La figure 3.2 reporte les courbes ( $V_{Driver}$ ,  $V_{GS}$  et  $I_D$ ) mesurées durant le test. Le composant est détruit pendant le test de robustesse. L'énergie dissipée,  $E_{Diss}$ , est

calculée à partir de l’instant de la mise en conduction du composant jusqu’à l’instant de la défaillance. L’énergie dissipée avant défaillance est de l’ordre de 0.86J calculée d’après l’équation 3.1.

$$E_{CC} = \int_{t_0}^{t_d} V_{DS} \cdot I_D \cdot dt \quad (3.1)$$

Ce premier résultat montre que le composant est capable de supporter le stress de court-circuit pour une durée de commande de grille  $t_{CC}$  égale à 16 $\mu$ s et que le transistor est en mesure de satisfaire aux exigences minimales de largeur d’impulsion (d’habitude égale à 10 $\mu$ s), nécessaires pour que le circuit de protection détecte le défaut et désactive la commande de grille [BAD16], sous une tension de drain  $V_{DS} = 600V$ . C’est à partir de cette estimation de durée que seront ensuite calibrés les essais en court-circuit pour les campagnes en robustesse.

Durant la phase de court-circuit, le courant augmente très rapidement dès que le composant est mis sous tension et atteint son maximum au bout de 1,5 $\mu$ s avec un pic d’une valeur de 100A. Ensuite, le courant diminue progressivement jusqu’à atteindre une valeur de 60A. La variation de l’allure du courant au cours de l’impulsion est due à l’auto-échauffement du transistor. A partir de 13 $\mu$ s, la dérivée du courant en fonction du temps change de nouveau de signe et devient positive. Parallèlement, nous pouvons aussi remarquer une diminution de la tension  $V_{GS}$ .

Le DUT1 est détruit après emballement thermique par l’augmentation rapide du courant de drain engendrant une défaillance avant l’ordre de blocage de la commande, comme le montre la figure 3.2. Suite au stress nous relevons un court-circuit entre le drain et la source. Des mécanismes de défaillance par emballement thermique ont aussi été observés dans [OBL<sup>+</sup>12] sur l’une des deux références de MOSFETs étudiées. Le composant est détruit par l’augmentation rapide du courant de drain. La défaillance a lieu après environ 13 $\mu$ s correspondant à une énergie dissipée de 0,62J sous des tensions de polarisation identiques à nos conditions de test.

La figure 3.3 montre une coupe transversale d’un transistor MOS de puissance, mettant en évidence les caractéristiques importantes d’un essai en CC. Pour le silicium, il a été démontré que l’augmentation de la température est associée à une augmentation constante de la densité des porteurs intrinsèques. Ceci contribue à un flux de courant bipolaire sup-

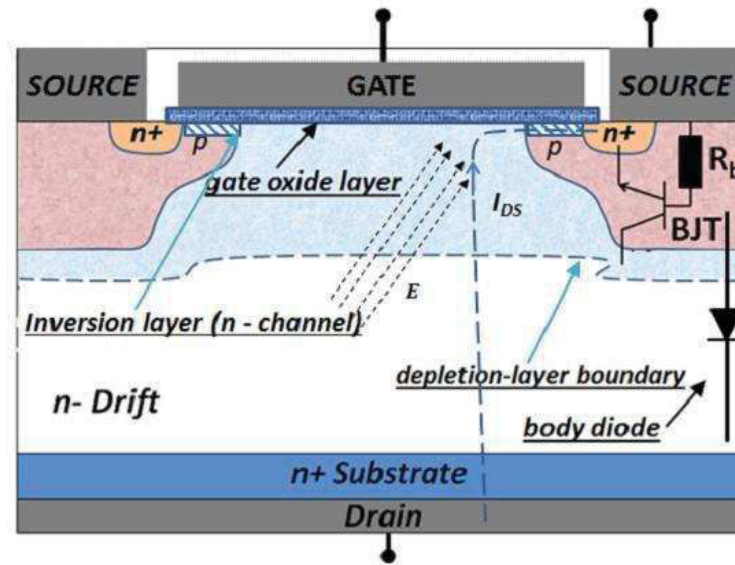


FIGURE 3.3 – Structure transversale d’un MOSFET de puissance en SiC pendant un stress en court-circuit [FYC13].

plémentaire à travers la jonction p-n de source-drain dû au champ électrique de la tension de polarisation drain-source. L’activation du BJT parasite devient aussi plus probable avec l’augmentation de la température (la tension d’activation de la jonction p-n de la base-émetteur est de l’ordre de 0,7V à température ambiante, elle diminue d’environ 2mV/K) [FYC13]. Si de plus la valeur critique de la densité de courant et celle de la température de jonction sont dépassées, le composant se détruit par emballement thermique du BJT.

Dans le carbure de silicium, la densité des porteurs intrinsèques reste plusieurs fois plus faible que dans le Si même à des températures très élevées. La tension d’activation du BJT intrinsèque est beaucoup plus élevée (entre 2,5 et 3V à température ambiante, à titre indicatif) et ne diminue pas autant avec la température [Bal05]. Ainsi, l’emballement thermique intervient à des températures, théoriquement de l’ordre de 1200°C, nettement supérieures à celles du silicium qui a une limite théorique de 200°C pour les dispositifs de puissance comme le montre la figure 3.4.

En effet, des simulations électro-thermiques ont été effectuées sur des MOSFETS de puissance pour différentes durées de pulses en CC [RMR<sup>+</sup>15]. Les données de simulation mettent en évidence qu’un pic de température supérieur à 2000K est atteint au centre de la région JFET et se propage vers la région de diffusion et la surface du composant.

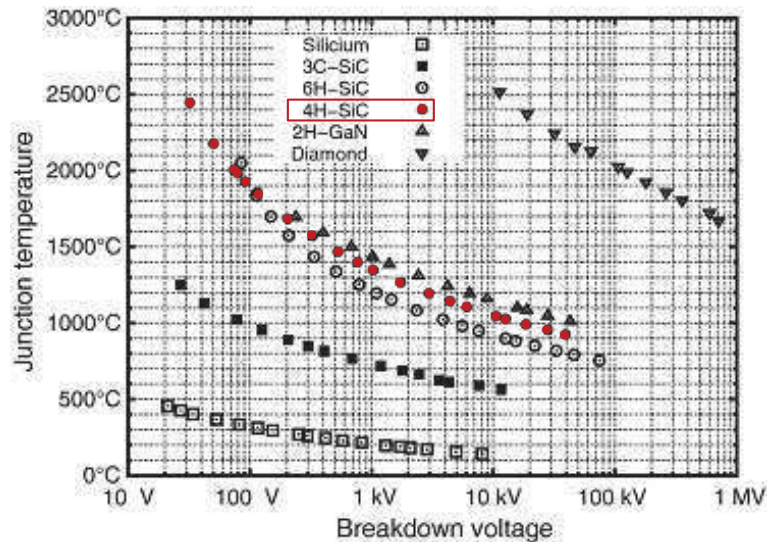


FIGURE 3.4 – Limite théorique de l'emballement thermique des différents semi-conducteurs en fonction de la tension de claquage [BPA<sup>+</sup>11].

Ainsi, durant la phase de court-circuit, une dissipation significative de puissance a lieu près de la surface du composant, ce qui conduit à une augmentation importante de la température de manière localisée. Par conséquent, la défaillance peut être expliquée par l'augmentation de la température au-delà de la limite de fusion de la métallisation à la surface du composant causant la destruction de cette dernière.

### 3.3.2 Essai destructif sous pulses progressifs et évaluation de l'énergie critique

L'énergie critique (EC), qui est une caractéristique essentielle de la robustesse des dispositifs de puissance, fait référence à l'énergie minimale dissipée qui conduit à la défaillance du transistor sous test après un court-circuit. Pour déterminer l'énergie critique, nous appliquons des cycles successifs de court-circuit en augmentant régulièrement la durée du pulse. Nous commençons par une valeur faible (pour laquelle le composant est capable de soutenir le courant de court-circuit) jusqu'à atteindre une valeur causant la défaillance. L'énergie maximale que le transistor est en mesure de soutenir lors d'un test non destructif de court-circuit est considérée comme l'énergie critique.

Pour ce faire, nous appliquons une série de contraintes en court-circuit à un deuxième

composant DUT2 en augmentant progressivement la durée de pulse  $t_{CC}$  jusqu'à la défaillance du transistor. Le premier stress appliqué est de durée de pulse de  $2\mu\text{s}$ . Le dernier pulse causant la défaillance du DUT dure  $14\mu\text{s}$ .

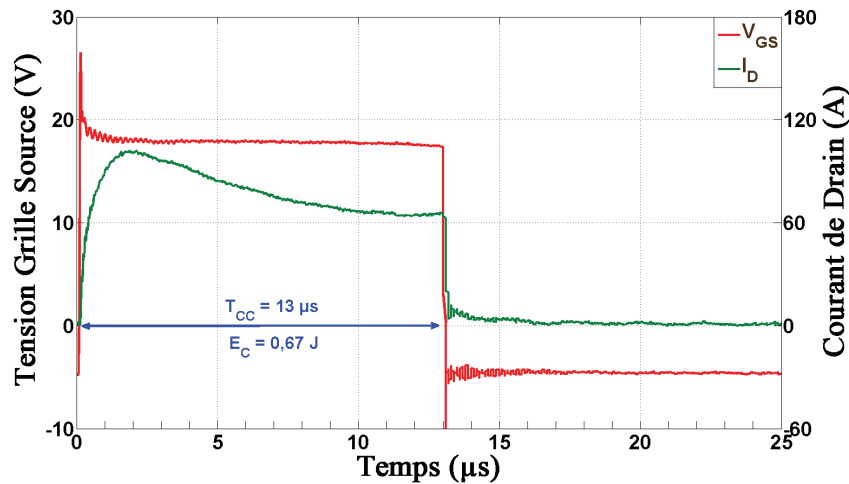


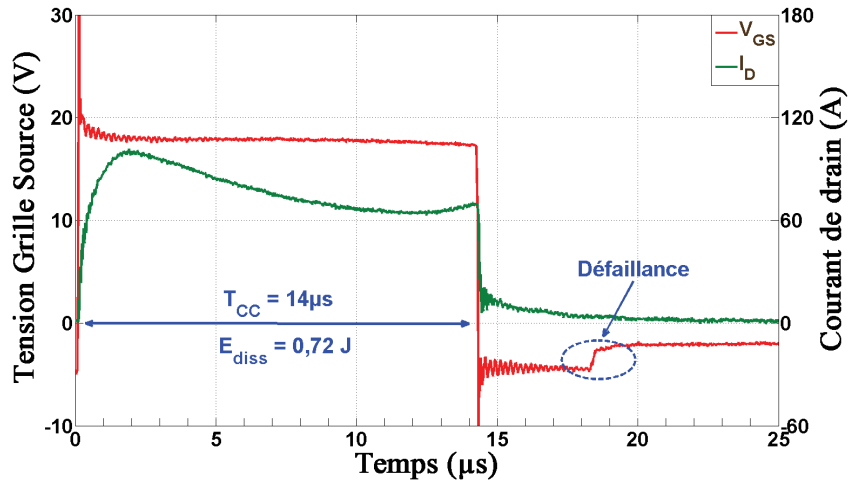
FIGURE 3.5 – DUT2 : Essai en court-circuit précédant la défaillance,  $T_{CC} = 13\mu\text{s}$ ,  $V_{DS} = 600\text{V}$ ,  $T = 25^\circ\text{C}$ ,  $R_G = 10\Omega$ .

Jusqu'à une durée de court-circuit,  $t_{CC} = 13\mu\text{s}$ , le MOSFET assure bien le passage du courant de court-circuit sans défaillance comme indiqué à la figure 3.5, le transistor se bloque ensuite avec une tension  $V_{GS} = -5\text{V}$  et le courant s'annule. L'énergie critique, étant celle dissipée lors du dernier test qui précède la défaillance, elle correspond à celle dissipée pendant le pulse de  $13\mu\text{s}$ . Elle est estimée à  $0,67\text{J}$ .

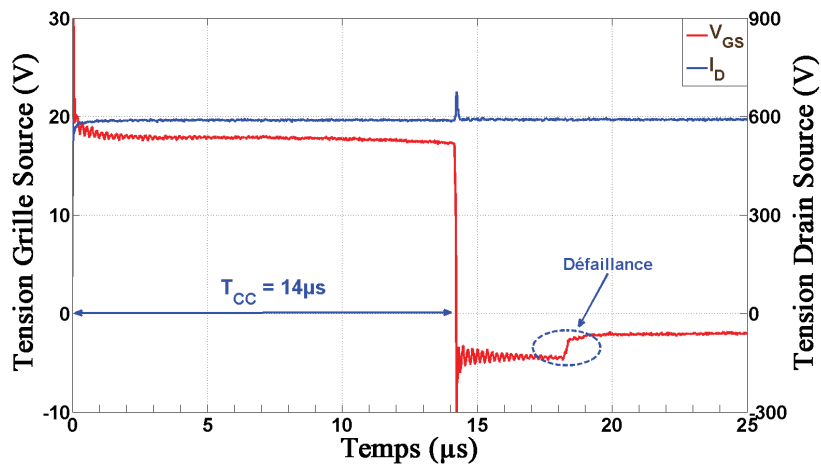
La défaillance apparaît pour une durée de court-circuit,  $t_{CC} = 14\mu\text{s}$ . La figure 3.6 présente les formes d'ondes du courant ( $I_D$ ) et des tensions ( $V_{GS}$  et  $V_{DS}$ ) à la défaillance. Dans un premier temps, le transistor assure le passage du courant de court-circuit qui s'annule à  $14\mu\text{s}$  comme le montre la figure 3.6(a). Toutefois, quatre microsecondes après la fin du test, une chute de tension inattendue apparaît entre la grille et la source, alors qu'aucune défaillance n'est observée entre le drain et la source ( $V_{DS} = 600\text{V}$ ) selon la figure 3.6(b). Le délai entre la fin du court-circuit et l'apparition du défaut peut être dû à la diffusion de la température à l'intérieur du composant ce qui retarde l'échauffement de l'oxyde de grille et sa défaillance.

Comme le composant présente une défaillance retardée et est détruit après la fin du





(a)  $V_{GS}$  et  $I_D$



(b)  $V_{GS}$  et  $V_{DS}$

FIGURE 3.6 – DUT2 : Essai de court-circuit causant la défaillance,  $T_{CC} = 14 \mu s$ ,  $V_{DS} = 600V$ ,  $T = 25^\circ C$ ,  $R_G = 10\Omega$ .

test, le calcul de l'énergie dissipée s'effectue alors de l'instant de la mise en conduction du composant jusqu'à l'apparition du défaut physique. Ainsi, l'énergie dissipée conduisant à la défaillance est estimée à 0,92J.

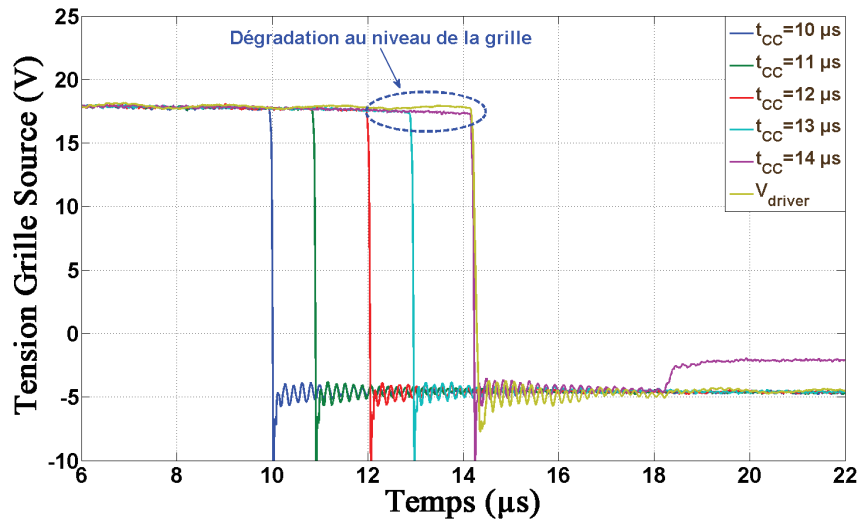


FIGURE 3.7 – DUT2 : Évolution de la tension de grille pendant les tests en court-circuit jusqu'à défaillance du composant,  $V_{DS} = 600V$ ,  $T = 25^{\circ}C$  et  $R_G = 10\Omega$ .

Un mode de défaillance similaire a été observé sur un MOSFET en SiC de Rohm [OLB<sup>+</sup>13, Oth15]. Le transistor a subi des tests de court-circuit sous des conditions de test similaires aux nôtres. Pendant le stress de 14 $\mu$ s, le transistor assure le passage du courant de court-circuit qui s'annule à la fin du pulse. Toutefois, 15 $\mu$ s après la fin du test, la grille et la source se mettent en court-circuit ( $V_{GS} = 0V$ ).

Pour mieux comprendre ce qui se passe au niveau de la grille, nous avons suivi l'évolution de la tension de grille,  $V_{GS}$ , durant ces essais et à chaque augmentation de la durée de court-circuit. Les résultats montrent qu'à partir d'une durée de court-circuit égale à  $t_{CC} = 10\mu$ s, et pendant que le transistor est maintenu à l'état passant, la tension grille-source commence à diminuer comme il est indiqué à la figure 3.7. Cette chute étant très légère, elle n'est identifiable que si on la compare à la tension de commande  $V_{driver}$ .

La chute de tension est probablement due à l'apparition d'un courant de fuite dans l'oxyde de grille. En effet, la fragilité de l'oxyde, déjà abordée dans le chapitre I, laisse penser qu'une éventuelle apparition d'un courant tunnel pourrait être responsable d'un

courant de fuite permanent qui, à travers la résistance de grille  $R_g$  (voir figure 3.1), pourrait expliquer la diminution de  $V_{GS}$ .

Pendant le test de court-circuit, le composant subit toute la tension drain-source avec un courant excessif de court-circuit. Une telle augmentation de la tension conduit à un fort champ électrique dans la région P-base/N-drift causant un phénomène de "punch-through". Ce phénomène engendre un fort courant de fuite de grille qui a tendance à augmenter avec le fort champ électrique de la grille, la faible épaisseur de la couche d'oxyde et l'augmentation excessive de la température durant le stress. Par conséquent, même avec une courte durée de court-circuit, le courant de fuite de grille généré pendant l'opération de court-circuit réduira significativement la fiabilité de la grille et du composant [NATP15].

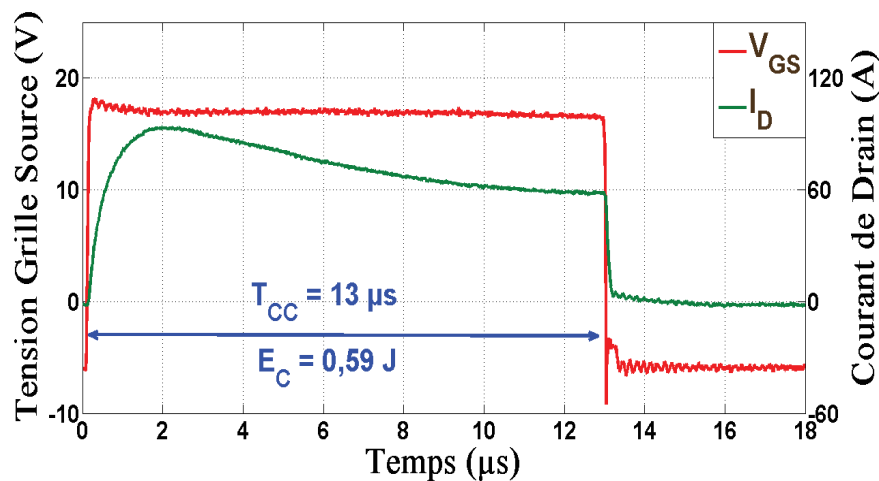
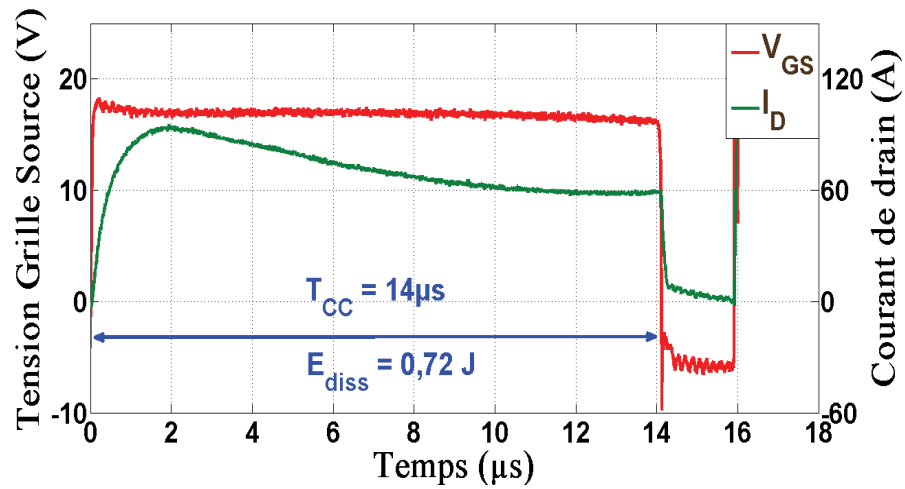


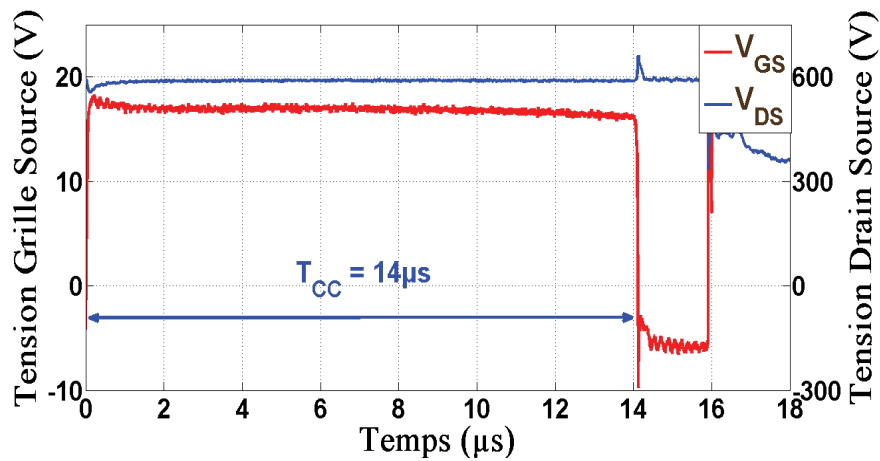
FIGURE 3.8 – DUT3 : Essai de court-circuit précédant la défaillance,  $T_{CC} = 13\mu s$ ,  $V_{DS} = 600V$ ,  $T = 25^\circ C$  et  $R_G = 47\Omega$ .

Les mêmes essais ont été reproduits sur un troisième composant DUT3. La figure 3.8 présente les formes d'ondes du courant de drain,  $I_D$ , et de la tension de grille,  $V_{GS}$ , pendant la phase de court-circuit du composant avant la défaillance. Le transistor supporte une durée de court-circuit égale à  $13\mu s$  (comme dans le cas du DUT2), correspondant à une énergie critique de  $0,59J$ .

Comme le montre la figure 3.9, la défaillance apparaît pour une durée de test  $t_{CC} = 14\mu s$ . Dans un premier temps, le transistor assure bien la limitation du courant et réussit le passage du courant de court-circuit,  $14\mu s$  après le début du test. Ensuite,  $2\mu s$  après la fin



(a)  $V_{GS}$  et  $I_D$



(b)  $V_{GS}$  et  $V_{DS}$

FIGURE 3.9 – DUT3 : Essai de court-circuit causant la défaillance,  $T_{CC} = 14\mu s$ ,  $V_{DS} = 600V$ ,  $T = 25^\circ C$  et  $R_G = 47\Omega$ .

de la phase de court-circuit, le composant se détruit suite à une élévation excessive de la température et une augmentation rapide du courant de drain. L'énergie dissipée pendant ce test est de l'ordre de 0,72J inférieure à celle qui a causé la défaillance de DUT2, avec un mode de défaillance différent. En effet, pour le même type de stress, nous remarquons deux modes de défaillance différents. Le premier est détruit suite à un court-circuit entre la grille et la source alors que le deuxième a subi un emballement thermique du courant.

Des défaillances similaires ont été rapportées sur des MOSFETs SiC [Oth15] et [CLL<sup>+</sup>15] ainsi que sur des JFETs SiC "normally-on" [BPT15] et "normally-off" [ABI11] où les auteurs justifient l'apparition du défaut par l'augmentation de la température au-delà de la limite de fusion de la métallisation.

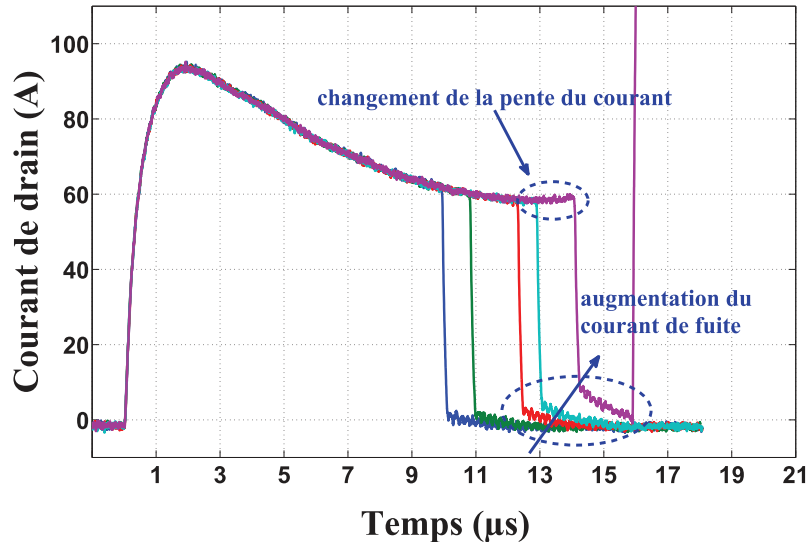


FIGURE 3.10 – DUT3 : Évolution du courant de drain durant les essais de court-circuit et mise en évidence l'apparition des queues de courant pour les essais de longue durée,  $V_{DS} = 600V$ ,  $T = 25^{\circ}C$  et  $R_G = 47\Omega$ .

La figure 3.10 montre l'évolution des courbes de courants de drain mesurés en augmentant la durée des pulses de court-circuit. Ici, deux observations peuvent être faites. Tout d'abord, on peut remarquer que en fin d'impulsion, en augmentant la durée du pulse de court-circuit, la dérivée du courant change de signe et devient positive. D'autre part, à la fin de la phase de conduction commandée du transistor, on note l'apparition des queues de courant. Ces deux observations sont liées à une modification des caractéristiques de la grille.

Comme on peut le voir, la valeur de la queue du courant augmente avec la largeur d'impulsion (c'est-à-dire avec la température). En augmentant la durée d'impulsion au-delà d'une largeur critique, la grille est irréversiblement dégradée.

Des tests similaires ont été effectués sur des MOSFETs en SiC du commerce où les observations précédentes ont aussi été reportées [CFY<sup>+</sup>14], [RMR<sup>+</sup>15] et [FYC13]. Dans

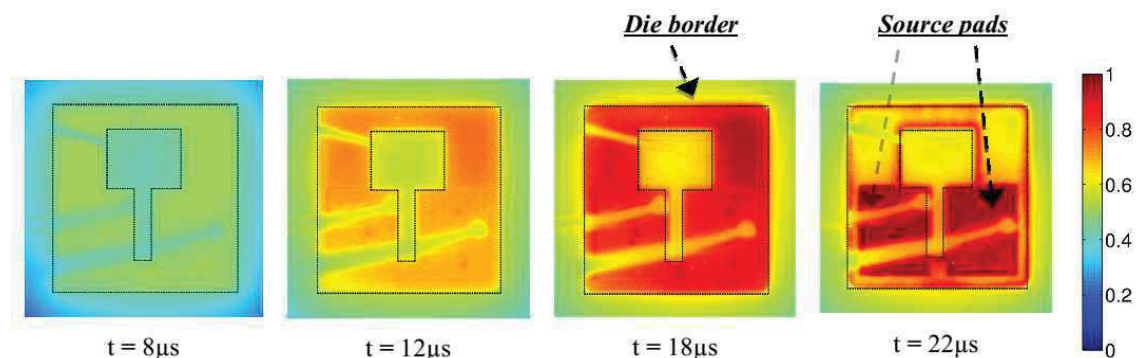


FIGURE 3.11 – Cartographies thermiques (normalisées à la température maximale mesurable :  $500^{\circ}\text{C}$ ) correspondants à l'évolution de la distribution de la température avec l'augmentation de la durée de l'impulsion en court-circuit :  $V_{GS} = 18\text{V}$ ,  $V_{DS} = 400\text{V}$  et  $T_{CASE} = 27^{\circ}\text{C}$  [CFY<sup>+</sup>14].

[CFY<sup>+</sup>14], les stress ont été accompagnés de mesure de cartographies thermiques (figure 3.11). Jusqu'à environ  $18\mu\text{s}$  la distribution du courant et de la température sont relativement uniformes, les parties supérieures de la métallisation de source présentent quant à elles une température un peu plus élevée. A  $t = 22\mu\text{s}$ , la cartographie de température indique clairement une localisation prononcée de la distribution de courant sous les plots de sources (source pads), la partie supérieure du transistor étant partiellement désactivée (diminution de la température avec un changement de couleur du rouge au jaune). Les auteurs attribuent cet effet à une dégradation de la structure de grille due à la température très élevée atteinte pendant l'impulsion et à un changement de la tension de seuil.

Dans [RMR<sup>+</sup>15], les auteurs ont reproduit les observations expérimentales, y compris le changement de la pente, les queues de courant ainsi que le phénomène d'emballement en augmentant les largeurs des pulses. Le changement de pente et l'apparition des queues de courant lors de la commutation On/Off du composant ont été attribués à une circulation de trous générés par la chaleur provenant de la zone de dérivation et la région de source "P-well". Dans la structure du transistor, des gradients de température considérables peuvent être présents, avec des valeurs de température localisées très élevées. Plus la largeur d'impulsion, et donc la température du composant augmentent, plus l'amplitude de la queue de courant augmente aussi jusqu'à ce que le dispositif entre dans une condition d'emballement thermique conduisant à une défaillance catastrophique.

L'évolution de la tension de grille a aussi été observée et comme dans le cas du DUT2, nous remarquons une diminution de la valeur de  $V_{GS}$  à partir d'une durée de court-circuit

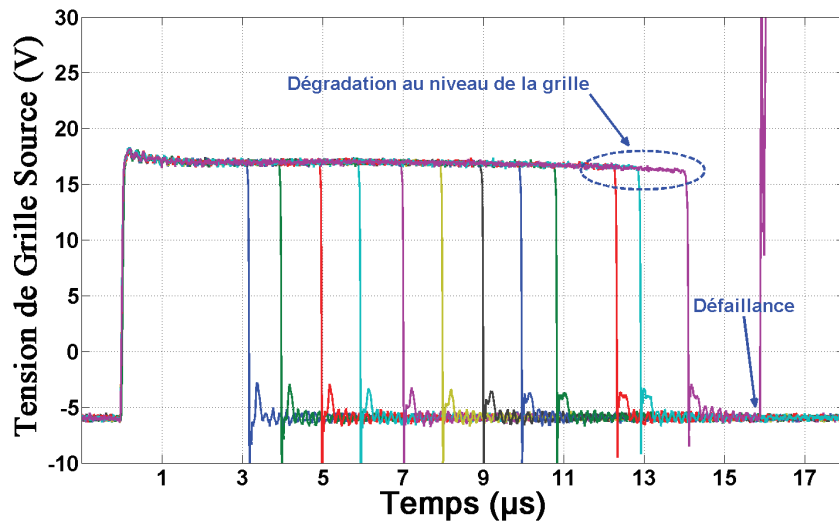


FIGURE 3.12 – DUT3 : Évolution de la tension de grille  $V_{GS}$  durant les essais de court-circuit et mise en évidence de l'apparition d'un courant de fuite de grille,  $V_{DS} = 600V$ ,  $T = 25^{\circ}C$  et  $R_G = 47\Omega$ .

$t_{CC} = 11\mu s$  (figure 3.12) traduisant l'apparition d'un courant de fuite de grille. Ce courant devient de plus en plus important avec la durée du pulse de court-circuit, et donc avec la valeur de l'énergie dissipée pendant ces tests. Ce changement de comportement de la tension de grille coïncide avec le changement de pente du courant de court-circuit traduisant l'apparition de la dégradation.

### 3.3.3 Analyse microstructurale de la défaillance

On constate clairement suite à ces tests de robustesse que les trois composants présentant des mécanismes de défaillance différents. Nous distinguons deux modes de défaillance. Le premier est sous forme d'une brusque et rapide augmentation du courant de court-circuit (DUT1 et DUT3). Le deuxième est sous forme d'un court-circuit physique entre la grille et la source (DUT2).

Comme nous l'avons déjà indiqué dans notre méthodologie de travail, le but final de ces tests est de corréler les observations électriques et l'analyse de la défaillance. Ainsi, suite à ces tests de robustesse, et dans l'optique d'une caractérisation microstructurale de la défaillance, deux des composants sous test ont été décapsulés à savoir DUT1 et DUT2.

La figure 3.13 montre une analyse au MEB de l'état de surface du composant DUT1

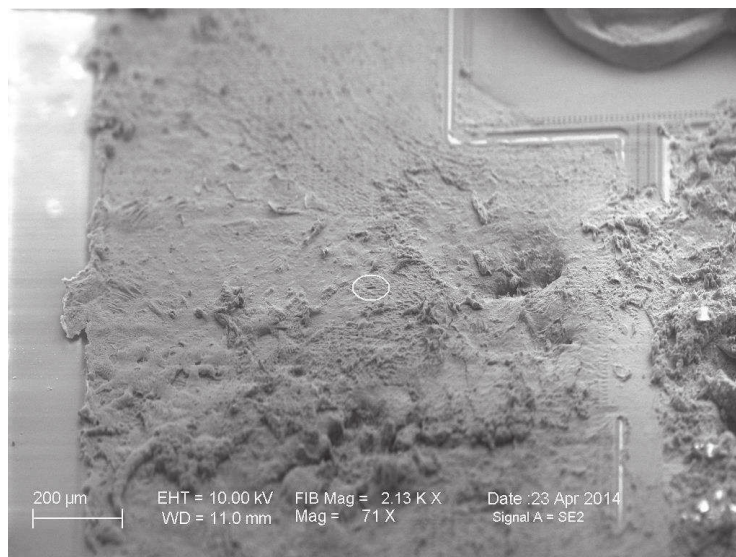


FIGURE 3.13 – DUT1 : Analyse au MEB montrant un état catastrophique de la couche de métallisation.

détruit suite à un emballement thermique. En observant la figure, nous remarquons que la couche d'aluminium correspondant au contact de la source a largement fondu. Cette observation conforte l'hypothèse de l'augmentation de la température au-delà de la limite de fusion de la métallisation à la surface du composant causant la destruction de cette dernière.

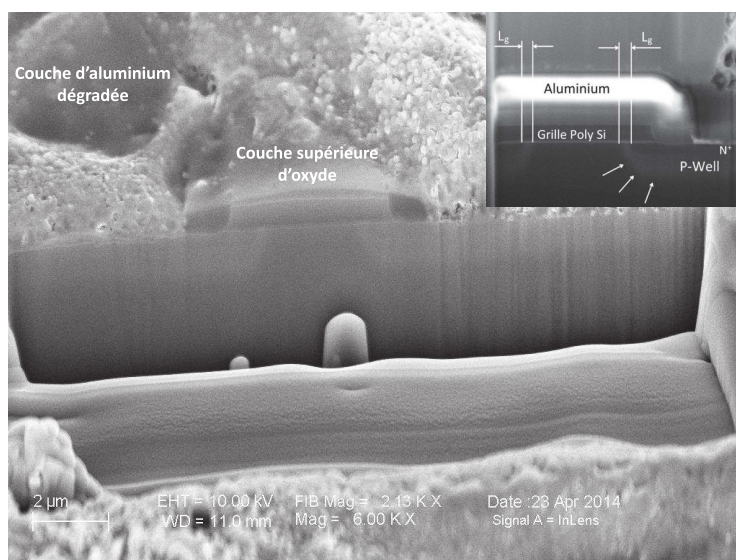


FIGURE 3.14 – DUT1 : Coupe transversale au FIB d'une cellule choisie sur un site où la dégradation semble modérée montrant la dégradation de la couche d'aluminium et la couche supérieure de l'oxyde.



Nous choisissons un site (indiqué par un cercle blanc sur la figure 3.13) où la dégradation semble modérée pour effectuer une coupe transversale au FIB présentée sur la figure 3.14. En analysant cette figure, nous sommes en mesure d'identifier les différents éléments de la structure du MOSFET. La couche inférieure d'oxyde (entre le métal de grille et le canal) semble intacte, la métallisation de source quant à elle a largement fondu. Aussi, nous observons une réduction de la couche supérieure d'oxyde qui semble être due au processus de décapsulation. En effet, la fragilisation de la couche supérieure par les stress thermiques l'a rendu vulnérable aux attaques d'acide.

L'hypothèse de la dégradation de la couche d'oxyde suite à l'apparition d'un courant de fuite ne peut être vérifiée puisque le composant est détruit. En effet, l'utilisation de méthodes d'analyses comme la photoémission pour la localisation des défauts est inapplicable sur des composants non fonctionnels.

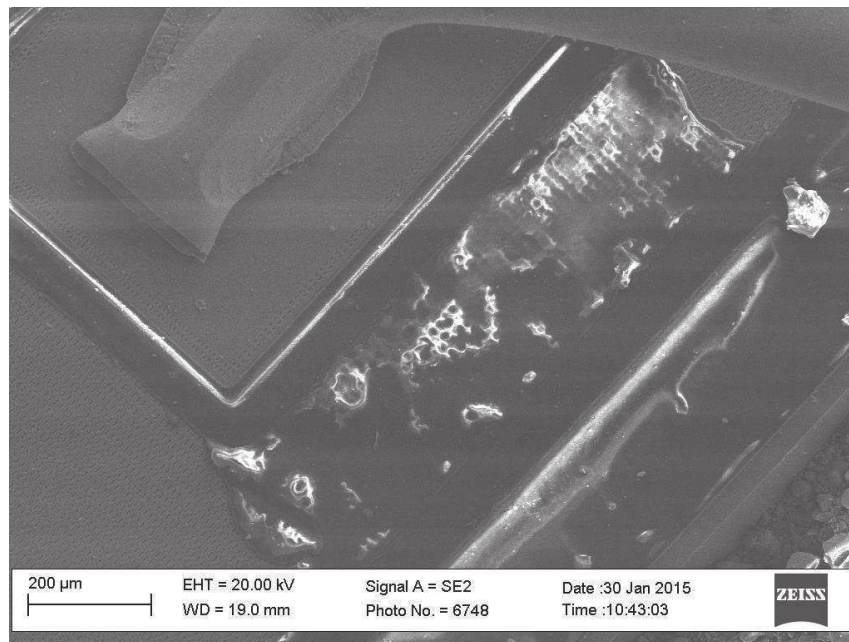


FIGURE 3.15 – DUT2 : Analyse au MEB montrant un bon état de la surface du composant avec disparition de la couche de passivation causée par l'ouverture chimique.

Après avoir été décapsulé, le DUT2 a été analysé au MEB. La surface du composant semble intacte et aucune dégradation de la métallisation n'est visible. Seule la couche de passivation a été détruite comme le montre la figure 3.15. Cette dégradation est due au processus de décapsulation comme nous l'avons précédemment expliqué.

Cet état de surface ne permet pas d'émettre de conclusions quant à l'origine de la défaillance et étant détruit, nous ne pouvons procéder à la localisation des lieux de défauts en utilisant des moyens d'analyse comme la microscopie à photoémission. C'est pourquoi, nous proposons d'effectuer les mêmes tests de robustesse et de dégrader le composant sans le détruire.

## 3.4 Essais non destructifs et analyse microstructurale de la dégradation

Sur la base des exemples précédents, il apparaît clairement qu'il est impossible de déterminer la nature et l'emplacement du défaut seulement avec les techniques d'analyse MEB et FIB. C'est pourquoi, nous avons modifié notre protocole expérimental.

### 3.4.1 Essais non destructifs

Avec les mêmes conditions expérimentales que celles utilisées lors de l'étude de robustesse de DUT1-DUT3, nous procédons à la dégradation d'un nouveau composant DUT4 sans le détruire afin de pouvoir localiser d'éventuels lieux de défauts. Pour ce faire, nous appliquons une série de contraintes en court-circuit au DUT4 en augmentant progressivement la durée de pulse  $t_{CC}$  jusqu'à l'apparition de la dégradation du transistor.

Lors des tests précédents, nous avons remarqué une légère chute de la tension de grille avant la défaillance des composants, traduisant l'apparition d'un courant de fuite de grille. Sur la base de cette observation, nous avons choisi la mesure du courant de fuite de grille comme indicateur de la dégradation. Ainsi, suite à chaque impulsion en court-circuit, nous mesurons le courant de grille suivant le protocole défini dans II.1.2.

Le courant de grille  $I_g$  mesuré avant les tests fluctue autour de 2pA (limite de précision du picoampèremètre). Nous appliquons un premier pulse d'une durée  $t_{CC} = 2\mu s$ . Ensuite, nous augmentons la durée d'impulsion avec un pas de  $2\mu s$  jusqu'à une durée de pulse  $t_{CC} = 10\mu s$ . Nous réduisons ensuite le pas pour pouvoir détecter la dégradation sans atteindre la défaillance.

Suite à d'impulsion de  $11,5\mu\text{s}$ , nous mesurons un courant de fuite de grille dépassant  $200\mu\text{A}$  (limite de mesure du picoampèremètre). Nous arrêtons alors les tests. La figure 3.16 montre l'évolution de la tension de grille  $V_{GS}$  au cours des tests en court-circuit. Comme dans le cas de DUT2, nous remarquons une légère diminution de  $V_{GS}$  à peine perceptible sur la figure à partir de  $t_{CC} = 10\mu\text{s}$ . Ainsi, la mesure du courant de fuite de grille est un excellent indicateur de la dégradation lors des essais en court-circuit.

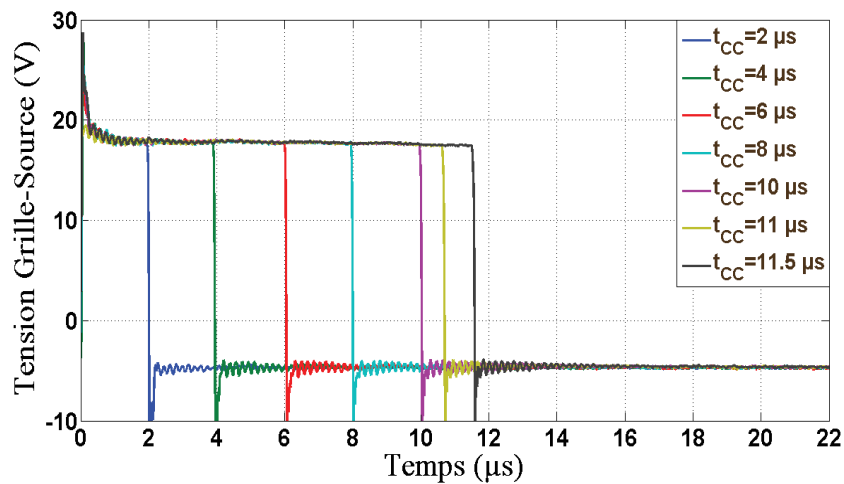


FIGURE 3.16 – DUT4 : Évolution de la tension Grille-Source pendant les tests en court-circuit montrant l'apparition d'un courant de fuite de grille,  $T = 25^\circ\text{C}$ ,  $R_G = 10\Omega$ .

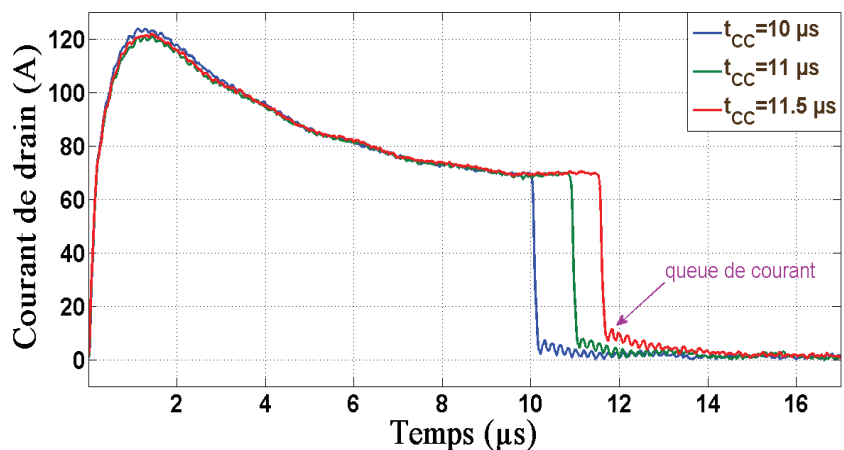


FIGURE 3.17 – DUT4 : Évolution du courant de drain durant les derniers tests en court-circuit montrant l'apparition des queues de courant,  $T = 25^\circ\text{C}$ ,  $R_G = 10\Omega$ .

En analysant l'évolution du courant de drain, nous avons remarqué, lors des derniers tests, l'apparition de queues de courant pendant la transition On/Off du transistor comme le montre la figure 3.17. Ce comportement est similaire à celui observé pour DUT3, de même que le changement de signe de la dérivée du courant.

### 3.4.2 Analyse microstructurale de la dégradation

En vue d'une analyse microstructurale, le composant DUT4 a été décapsulé et une vue au MEB de la puce est donnée en figure 3.18. A ce niveau nous ne remarquons aucune dégradation de la surface. Cependant, à plus petite échelle, nous apercevons des déformations au niveau de certaines cellules. Ces dernières sont situées à proximité des fils de bonding de la source. La figure 3.19 montre le début de dégradation de la couche métallisation des cellules situées autour des bondings de source.

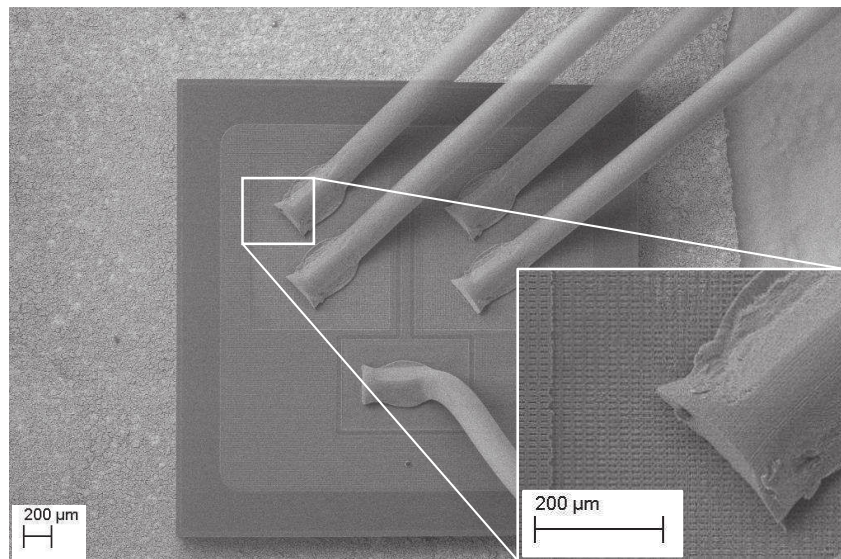


FIGURE 3.18 – Analyse microstructurale au MEB montrant l'état de surface du DUT4 après dégradation.

L'état de la surface met en évidence l'apparition de la dégradation, cependant les défauts causant l'apparition du courant de fuite ne peuvent pas être localisés. Contrairement aux composants précédemment étudiés qui ont subi des défaillances catastrophiques, DUT4 présente des dégradations irréversibles présentant un important courant de fuite de grille. Ce dernier étant toujours fonctionnel, nous avons procédé à une analyse au microscope à photo-émission.

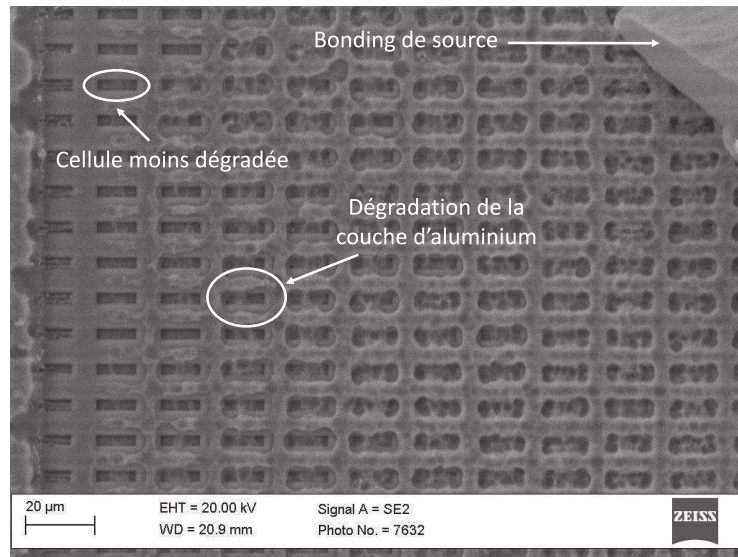


FIGURE 3.19 – DUT4 : Analyse microstructurale au MEB à petite échelle mettant en évidence la dégradation de la couche de métallisation au niveau des bondings de source.

La signature du défaut que nous voulons observer dépend de la polarisation du composant. Les niveaux de polarisation doivent être choisis avec attention, car il ne faut pas accentuer le mécanisme de dégradation tout en s'assurant d'activer le défaut. Nous avons augmenté la tension de polarisation de drain et de grille jusqu'à observer des cellules émissives à  $V_{GS} = 6V$  et  $I_d = 0.13A$ .

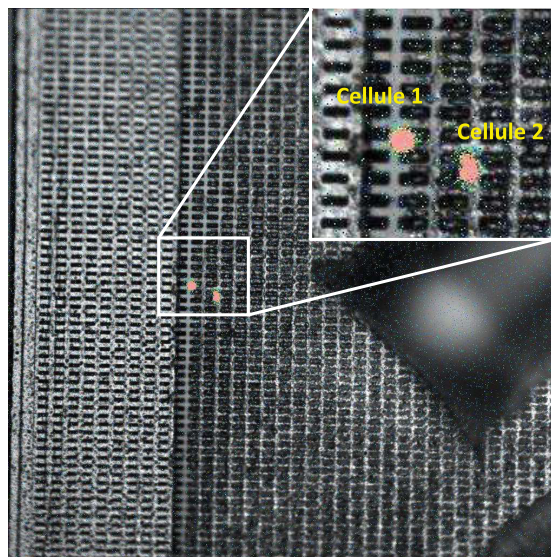


FIGURE 3.20 – DUT4 : Analyse microstructurale au microscope à photo-émission mettant en évidence l'apparition de cellules émissives.

L'émission provient de cellules isolées qui seraient la source d'une éventuelle défaillance catastrophique. L'image 3.20 montre le zoom effectué sur la zone émissive. Les points sont concentrés et sont localisés à proximité du bonding source. L'émission de lumière particulièrement dans ces cellules peut signifier la présence d'un défaut. Nous avons ainsi localisé les cellules dégradées et nous pouvons à présent faire une observation interne de la puce avec une découpe FIB.

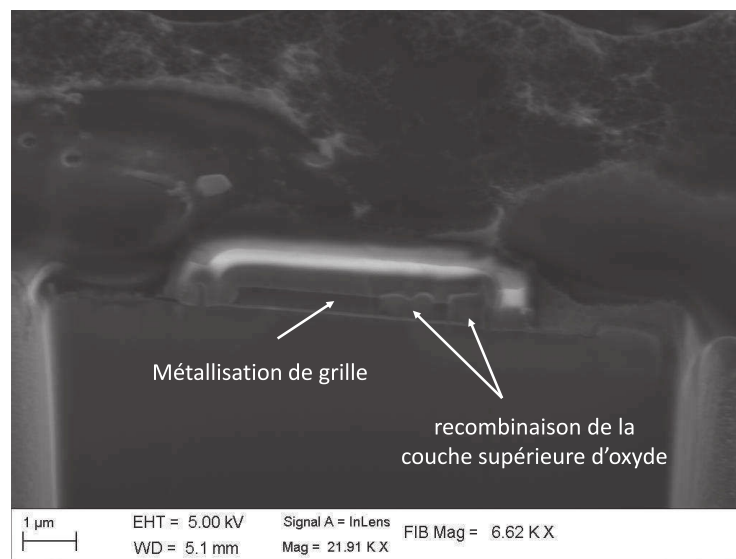


FIGURE 3.21 – DUT4 : Image MEB de la découpe FIB au niveau de la cellule émissive 1 sur laquelle on voit apparaître le défaut.

Pour réaliser une découpe FIB, il faut tout d'abord identifier les cellules émissives sur le composant puisque nous changeons d'instrument et d'échelle. Une fois la découpe FIB réalisée sur la cellule 1, nous avons observé la structure avec le MEB. L'image 3.21 illustre la vue en coupe du MOSFET 4. Nous observons une dégradation au niveau de la métallisation de grille où nous apercevons deux grosses masses. En se basant sur le contraste de l'image, nous émettons l'hypothèse que ces masses seraient de l'oxyde qui aurait fondu pour ensuite se recombiner avec une partie de la métallisation de grille. Une des deux masses relie la couche d'oxyde inter-niveaux, la métallisation de grille et la zone N+ du drain.

Cette fusion est peut être la conséquence du champ électrique grille-source. Cette hypothèse est justifiée par la position du défaut situé à l'extrême droite de la métallisation. En effet dans la zone dopée N+ reliée à la métallisation de source, on a un effet de pointe à l'extrémité droite frontalière avec le P-Well. Dans [Oua14], des fissures dans l'électrode

de grille poly-silicium ont été observées. Une des fissures coupe l'électrode de grille ainsi que l'oxyde reliant le potentiel de la source et celui de la grille. Le champ électrique entre grille-source est le plus fort dans cette région ce qui a provoqué la fusion d'une partie de la couche d'oxyde inter-niveaux. L'élévation de la température localisée peut atteindre des valeurs suffisamment hautes pour sublimer le polysilicium créant ainsi les défauts observés.

Cependant, il est impossible de valider cette hypothèse. Une image EDX permet de connaître la composition chimique et pourrait apporter des réponses à la matière observée. Malheureusement, l'échantillon a été endommagé lors de la préparation d'une lame pour une analyse plus fine au MET (Microscope Electronique à Transmission).

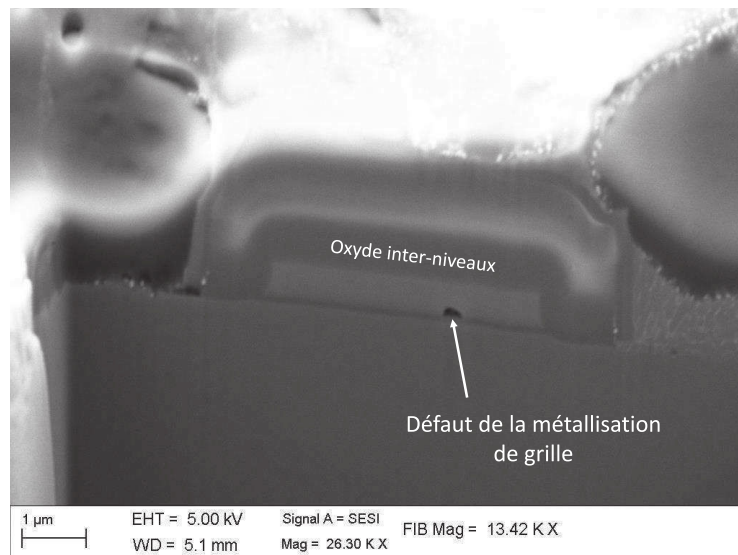


FIGURE 3.22 – DUT4 : Image MEB de la découpe FIB au niveau de la cellule émissive 2 sur laquelle on voit apparaître le défaut.

De même, nous avons aussi procédé à une découpe FIB au niveau de la deuxième cellule émissive. L'image 3.22 montre le défaut présent dans la structure interne du MOSFET. Nous supposons que ce défaut se traduit par une absence de matière ("void") située entre l'électrode et la couche inférieure d'oxyde de grille. Cette dernière est très fine (60nm) et difficile à observer. Cette image de dégradation sur la grille est opportune car la taille du défaut est extrêmement petite.

Pour confirmer la nature du défaut, nous avons voulu extraire une lame pour l'analyser au MET. La figure 3.23 montre une image MET de l'échantillon. Suite aux analyses

chimiques, le capteur n'a pas pu détecter de matière au niveau du défaut ce qui confirme l'hypothèse du void. L'origine du void est plus reliée au processus de fabrication qu'au stress subi par le transistor.

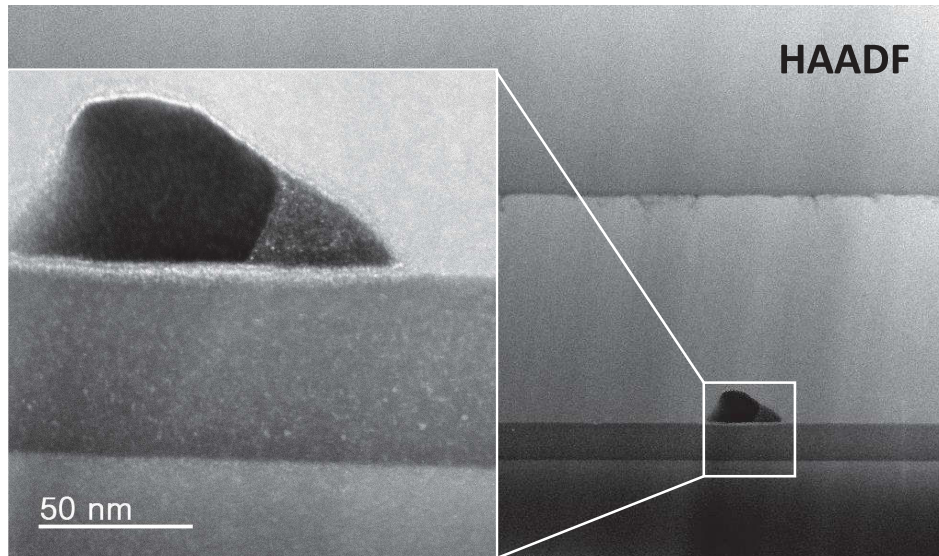


FIGURE 3.23 – DUT4 : Image réalisée au MET montrant un "void" entre la métallisation et l'oxyde de grille.

Grâce à l'analyse microscopique, nous avons observé les défauts de structure interne à la puce de MOSFET qui se traduisent par de la recomposition de la matière. Cela converge avec les résultats macroscopiques et en particulier avec l'augmentation du courant de fuite de grille puisque la jonction grille-source est reliée physiquement par une faille.

A ce jour, seules les études menées par R. Ouaida [Oua14] présentent les défauts de structure du MOSFET suite à des tests de vieillissement. Pour notre part, nous avons étudié la robustesse en court-circuit jusqu'à l'analyse micro-structurale pour mettre en évidence l'origine du défaut liée à la recomposition au niveau du métal de grille.

### 3.5 Conclusion

Ce chapitre rend compte de travaux expérimentaux sur la robustesse en court-circuit d'un MOSFET en carbure de silicium du commerce. Des analyses de défaillances menées suivant une méthodologie pluridisciplinaire ont permis de comprendre finement les modes de défaillance initiés par des contraintes en température élevée. Ces modes se traduisent



par une augmentation rapide du courant de drain soit par un court-circuit physique entre la grille et la source.

L'objectif de cette étude est de corréler les observations de deux disciplines : la première concernant l'aspect macroscopique avec l'analyse de l'évolution des paramètres électriques pendant les tests de robustesse et la seconde concernant l'aspect microscopique avec une observation du défaut interne dans la puce.

Les tests de robustesse ont été réalisés sur un banc dédié aux essais en court-circuit dont dispose le laboratoire SATIE. Pour mener cette étude, nous avons suivi trois protocoles de test : le premier est un essai destructif sous un long pulse visant à estimer la tenue du dispositif, le deuxième est un essai destructif sous pulses progressifs qui a pour but de déterminer l'énergie critique et le troisième est un essai non destructif sous pulses progressifs. Le dernier type de test permet de dégrader le transistor tout en le gardant en état fonctionnel.

Différents paramètres électriques (courant de drain  $I_{DS}$ , tension de drain  $V_{DS}$ , tension de grille  $V_{GS}$  et tension de commande de grille  $V_{driver}$ ), mesurés durant les tests de robustesse, permettent de suivre l'évolution de l'état du composant. Deux modes de défaillance ont été observés lors de ces tests. Le premier est une augmentation rapide du courant de drain suite à un emballement thermique et le deuxième est la mise en court-circuit physique de la grille et de la source. La signature de la dégradation se traduit par une augmentation du courant de fuite de grille.

Cette étude macroscopique s'est poursuivie par une étude microscopique. Elle permet d'apporter des données supplémentaires à l'analyse des mécanismes de dégradation dans le MOSFET. L'analyse du MOSFET ayant subi une défaillance par emballement thermique a permis d'apercevoir une dégradation catastrophique de la couche de métallisation confirmant les hypothèses émises suites aux observations électriques. Le bon état de surface du composant présentant un court-circuit entre la grille et la source n'a pas permis quant à lui de donner des résultats complémentaires quant à l'origine du défaut. Le composant étant défaillant, la polarisation de ce dernier (nécessaire pour la localisation du défaut) était irréalisable.

Pour palier cette limitation, nous avons proposé un nouveau protocole qui consiste à

dégrader le composant sous les mêmes conditions de test tout en le conservant un état fonctionnel. A la détection d'un courant de fuite de grille, les essais ont été arrêtés. La microscopie à émission de photons a amené à localiser des défauts internes à la puce pour le composant. Une fois localisé, la découpe au FIB a permis de mettre en évidence des défauts dans l'oxyde de grille qui se traduisent soit par un "void" situé entre le métal et l'oxyde de grille, soit par une recombinaison de la matière entre l'oxyde inter-niveaux, le métal de grille et la zone  $N^+$  du drain.

Les défauts observés peuvent expliquer le phénomène de fuite du courant de grille. Ainsi une corrélation est établie entre l'analyse macroscopique et microscopique. Ces résultats reflètent la fragilité de la couche d'oxyde des MOSFETs en SiC. L'interaction entre les phénomènes de dégradations est fortement probable et le facteur limitant aujourd'hui pour le MOSFET est lié à la robustesse de la grille.

Le test de robustesse a montré que les premières générations de MOSFET de chez CREE présentent des durées de tenue en court-circuit de l'ordre de  $13\mu\text{s}$  et une énergie critique  $E_c = 0,59\text{J}$ . Ce résultat montre la capacité du MOSFET à satisfaire aux exigences minimales de largeur d'impulsion sous une tension de drain  $V_{DS} = 600\text{V}$  et leur potentiel pour des applications haute température. En effet, un commutateur utilisé dans des applications typiques de commande de moteur doit résister au moins  $10\mu\text{s}$  en situation de court-circuit. Cette durée est nécessaire pour permettre l'activation des circuits de protection.

# Chapitre 4

## Vieillessement en régime de court-circuit des MOSFETs SiC

### 4.1 Introduction

Deux types de contraintes sont envisageables pour la qualification d'un composant, il s'agit de la robustesse et du vieillissement. Les contraintes appliquées peuvent être d'intensités variables et la dégradation du composant dépend non seulement de l'énergie dissipée pendant la phase de stress mais aussi de la puissance dissipée. En effet, la densité de puissance influe sur la vitesse avec laquelle le composant s'auto-échauffe. Si une forte puissance est dissipée par le DUT, une élévation rapide de la température se produit et crée une élévation du courant causant la destruction du transistor. Cependant, une puissance plus faible entraîne une croissance plus lente de la température et une modification des caractéristiques des matériaux menant à la destruction du MOSFET.

Dans le chapitre précédent, nous avons étudié la robustesse du composant avec des stress en court-circuit à forte puissance et à courte durée. Ces tests conduisent généralement à une augmentation incontrôlable du courant de drain et une destruction catastrophique du composant. Dans le deuxième cas de figure où le composant est testé sous faible puissance, la destruction du composant est probablement due à une dégradation progressive mais irréversible des propriétés du matériau [RMR<sup>+</sup>15].

C'est dans cette optique que nous proposons dans ce chapitre d'étudier le vieillissement du composant à faible puissance sous de longs pulses de court-circuit. L'objectif principal

de ces tests est de surveiller l'évolution des paramètres du transistor lors de contraintes répétitives avec un auto-échauffement modéré et une dégradation lente contrairement aux tests de robustesse.

## 4.2 Banc de vieillissement et protocole expérimental

Les tests de vieillissement ont été effectués sous des impulsions de court-circuit conservatrices à une tension de polarisation relativement faible et à température ambiante ( $25^{\circ}\text{C}$ ). Le but de ces tests étant le contrôle la dégradation et non la destruction du composant, la tension de drain  $V_{DS}$  a été fixée à  $50\text{V}$ . Durant la phase de court-circuit, le DUT est maintenu à l'état passant pendant la phase de court-circuit ( $V_{GS} = 20\text{V}$ ), puis bloqué en mettant à zéro la tension de grille (figure 1.17). Le protocole prédéfini a conduit à la réalisation d'un banc de vieillissement dédié (voir figures 4.1 et 4.2).

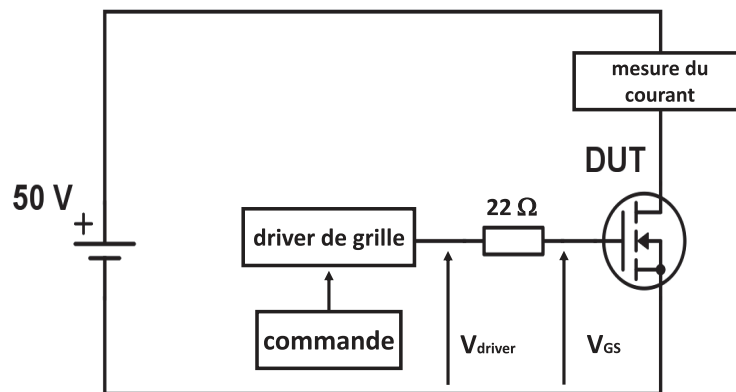


FIGURE 4.1 – Schéma de principe du banc de test expérimental pour l'étude du vieillissement en régime de court-circuit.

Le courant est surveillé en utilisant une résistance de shunt de  $0,01\ \Omega$  à quatre bornes et un amplificateur de différence de potentiel pour la mesure du courant côté alimentation.

Dans le précédent chapitre, nous avons décrit les résultats obtenus suite à des tests de robustesse en court-circuit réalisés sur les mêmes composants sous les conditions suivantes :  $V_{DS} = 600\text{V}$  et  $V_{GS} = 18\text{V}$ . Sous ces conditions, nous avons mesuré un courant de drain moyen  $I_{DS}$  de l'ordre de  $80\text{A}$  pour l'ensemble du lot testé. En moyenne, les composants étaient capables de supporter des tests de court-circuit d'une durée de stress égale

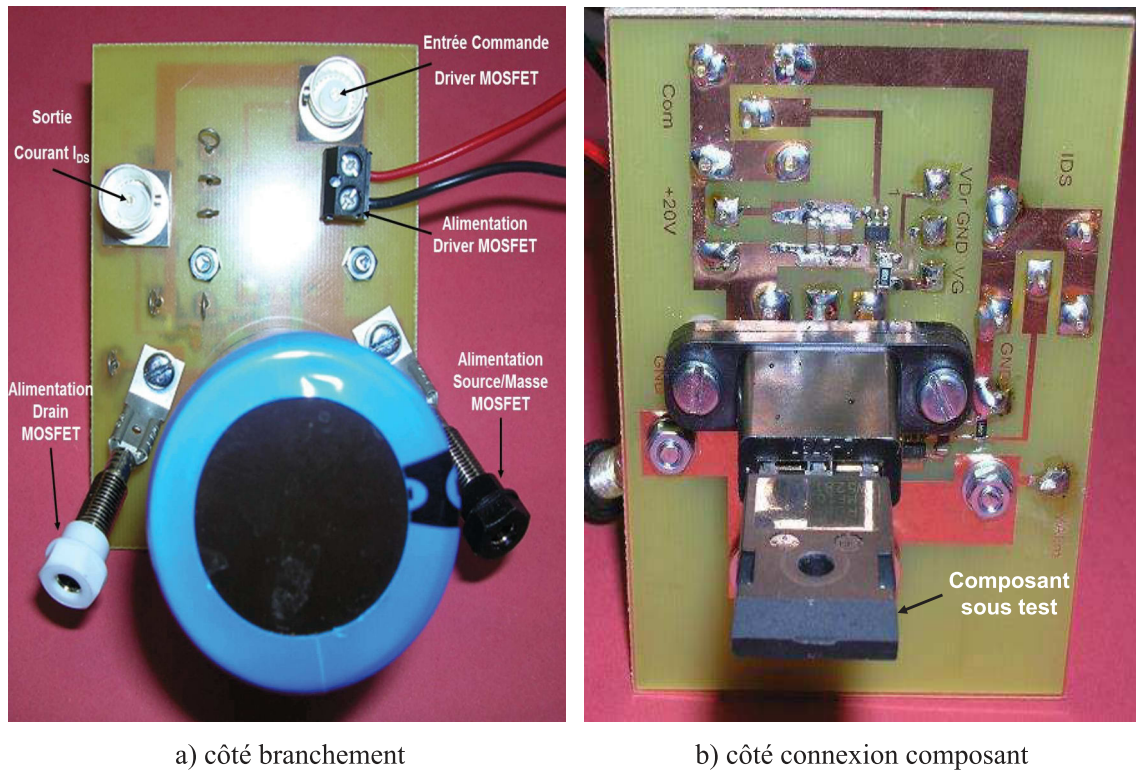


FIGURE 4.2 – Carte de commande et de mesure du courant de drain pour l'étude du vieillissement en régime de court-circuit.

à  $14\mu\text{s}$  correspondant à des énergies dissipées de l'ordre de  $0,67\text{J}$ .

Des tests préliminaires ont été effectués pour étudier l'énergie dissipée par le composant sous les contraintes précédemment citées. Nous avons appliqué différentes durées d'impulsion, à savoir  $100\mu\text{s}$ ,  $250\mu\text{s}$ ,  $500\mu\text{s}$  et  $1000\mu\text{s}$  à différents composants pour varier la contrainte énergétique et étudier l'influence du facteur "durée de pulse". Pour éviter un auto-échauffement important du composant, nous avons opté pour un faible rapport cycle avec une période d'impulsion égale à  $3\text{s}$ .

Les énergies dissipées pour les différentes durées de pulse sont rapportées sur la figure 4.3. La courbe bleue représente la limite de la zone de fonctionnement sûre (SOA : Safe Operating Area). Les valeurs sont dérivées de la SOA donnée par le fabricant. Le point vert correspond à l'énergie dissipée pendant un test de robustesse. La courbe rouge quant à elle représente les différentes énergies dissipées sous les conditions de vieillissement pré-

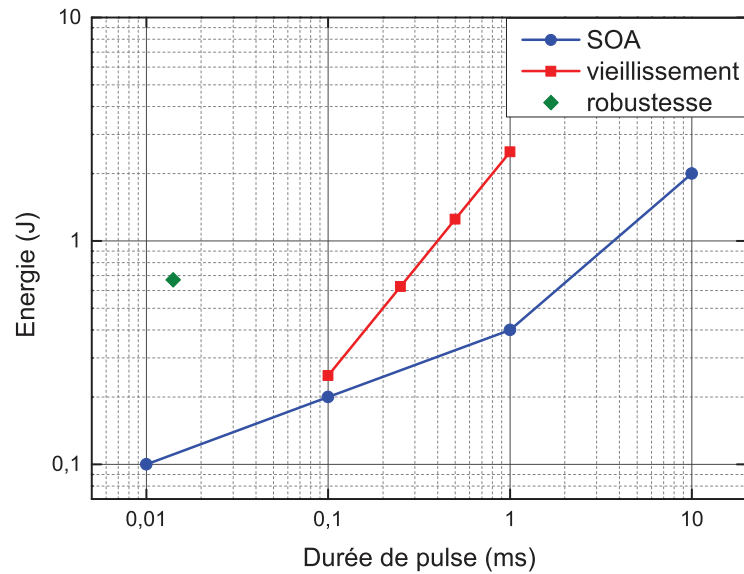


FIGURE 4.3 – Conditions des tests de vieillissement comparées aux conditions de test de robustesse et aux limites de la zone de fonctionnement sûr (SOA).

cédemment définie. Les différents points correspondent aux énergies dissipées durant les différentes durées de pulse. Ces énergies varient entre 0,25J (impulsion la plus courte) et 2,5J (impulsion la plus longue). Toutes les énergies sont au-dessus de la SOA, elles devraient être suffisante pour pouvoir dégrader le composant.

Quatre paires de composants ont été soumis à des tests de vieillissement, une paire pour chaque durée d'impulsion. Comme nous l'avons signalé dans le chapitre précédent, une disparité des caractéristiques électriques relativement importante entre les composants a été observée. C'est pourquoi, chaque paire est formée par deux transistors ayant des caractéristiques  $I - V$  proches afin de garantir une meilleure comparaison entre les transistors après les tests de vieillissement.

Chaque composant a subi une série de 4096 cycles répétitifs de court-circuit. Avant et après le test, différents paramètres électriques ont été mesurés afin d'en sélectionner les plus pertinents. En raison de la nature sensible de l'interface d'oxyde de grille, le premier indicateur mesuré est la tension de seuil  $V_{th}$ . La mesure est effectuée selon le protocole de mesure présenté dans la partie 2.2.4.1.

De même, la résistance de drain à l'état passant  $R_{DS(on)}$  est susceptible de subir des variations causées par des dégradations telles que la mobilité du canal ou les contacts oh-

miques, c'est pourquoi elle a été mesurée. Aussi, nous avons mesuré le courant de fuite de grille  $I_{GSS}$  pour une tension de grille  $V_{GS} = 20V$ . Enfin, les capacités d'entrée, de sortie et inverse ( $C_{iss}$ ,  $C_{oss}$  et  $C_{rss}$  resp.) ont également été mesurées à différentes tensions de polarisation de drain.

### 4.3 Résultats expérimentaux : Observations et discussion (cas du premier lot)

Suite aux tests de vieillissement, les différentes paires de composants ont montré des signes de fatigue plus ou moins importants selon les durées de pulses et les énergies dissipées. La figure 4.4 montre l'évolution des caractéristiques  $I_{DS}$  avant et après le vieillissement en court-circuit d'un composant ayant subi des contraintes sous une durée d'impulsion de  $500\mu s$ .

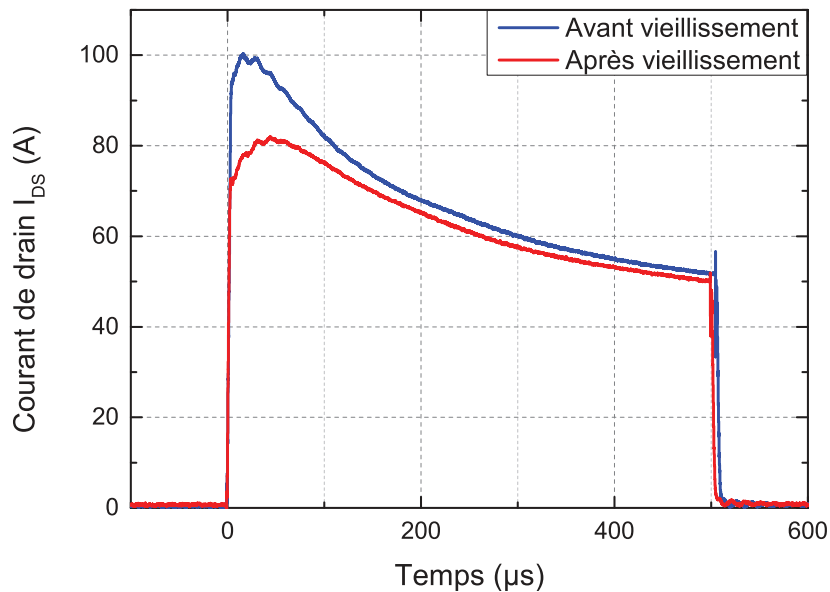


FIGURE 4.4 – Évolution des caractéristiques  $I_{DS}$  avant et après vieillissement en court-circuit,  $t_{CC} = 500\mu s$ .

Durant le premier pulse du test de vieillissement (courbe bleue de la figure 4.4), le courant augmente rapidement après la mise en conduction du composant jusqu'à atteindre une valeur de 100A. Cette valeur égale celle atteinte pendant le test de robustesse. Cependant, la saturation n'est atteinte qu'au bout de  $27\mu s$  par rapport à  $1,5\mu s$  durant le test de robustesse. Ceci est expliqué par la puissance relativement faible (faible tension de drain)

TABLE 4.1 – Tension de seuil et capacité inverse mesurées avant et après les tests de vieillissement pour différentes durées d’impulsions.

Durée d’impulsion	composant	$V_{th}(V)$			$C_{rss0}$ (pF)		
		neuf	vieilli	$\frac{\Delta V_{th}}{V_{th}}(\%)$	neuf	vieilli	$\frac{\Delta C_{rss0}}{C_{rss0}}(\%)$
1000 $\mu$ s	C58	2.81	4.32	$\nearrow$ 54	582.9	294	$\searrow$ 50
	C74	2.80	4.95	$\nearrow$ 77	564.8	249.3	$\searrow$ 56
500 $\mu$ s	C61	2.74	4.22	$\nearrow$ 54	564.2	267.4	$\searrow$ 53
	C71	2.75	4.26	$\nearrow$ 55	551.0	296.4	$\searrow$ 46
250 $\mu$ s	C73	2.81	3.58	$\nearrow$ 27	588.7	401.7	$\searrow$ 32
	C65	2.81	3.75	$\nearrow$ 33	589.8	379.8	$\searrow$ 36
100 $\mu$ s	C56	3.17	3.20	$\nearrow$ 1	549.0	540.1	$\searrow$ 2
	C69	3.23	3.25	$\nearrow$ 1	541.5	531.0	$\searrow$ 2

appliquée au composant.

La courbe rouge de la figure 4.4 représente le courant de drain durant le dernier pulse du test de vieillissement (le composant ayant subi une série de 4096 impulsions). Tout d’abord, nous remarquons une diminution significative du pic du courant de saturation. En effet, lors du dernier stress, le courant de saturation n’atteint que 80A présentant ainsi une diminution de 20A par rapport à celui mesuré lors du premier stress.

Aussi, nous constatons que le pic de courant est décalé dans le temps et n’est atteint qu’au bout de 40 $\mu$ s. La puissance supportée par le composant est de moins en moins importante avec un temps de réponse plus long. Ces premiers résultats confirment bien que les tests de vieillissement sous les conditions précédemment définies produisent une modification du comportement des composants.

Après les tests de vieillissement, nous avons trouvé une corrélation entre deux paramètres  $V_{th}$  et  $C_{rss0}$  (la capacité inverse mesurée à  $V_{DS} = 0V$  et  $V_{GS} = 0V$ ) en fonction de la durée des pulse. En effet, nous remarquons une augmentation de la tension de seuil  $V_{th}$  avec un écart de plus en plus important avec l’augmentation de la durée d’impulsion (voir Tableau 4.1), contrairement à la capacité  $C_{rss0}$  qui diminue après le vieillissement avec un écart qui croît avec la durée des pulses appliqués. Cependant, l’évolution du courant de fuite de grille  $I_{gss}$ , de la résistance de drain  $R_{DSON}$  et des capacités  $C_{iss}$  et  $C_{oss}$  suite au



tests de vieillissement est aléatoire d'un composant à un autre.

### 4.3.1 Variation de la tension de seuil

Plusieurs paramètres peuvent être à l'origine de la variation de la tension de seuil. Comme nous l'avons expliqué dans la partie 2.2.4.2 et démontré par simulation dans la partie 4.4.2,  $V_{th}$  (équation 2.4) varie avec le dopage  $N_A$ , l'épaisseur de la couche d'oxyde  $t_{ox}$  et les charges de l'oxyde  $Q_{ot}$ .

Lors des tests de vieillissement, la concentration des dopants  $N_A$  peut être modifiée suite à l'activation de la quantité de dopants mise en excès lors du processus de dopage ou la migration de dopants à l'intérieur de la structure.

En ce qui concerne la variation de l'épaisseur de l'oxyde, cette hypothèse est peu probable puisqu'elle implique une dégradation du composant de point de vue structural représentant un affaissement ou dilatation de la couche d'oxyde. En effet, en se basant sur les tests de robustesse en court-circuit effectués sous des conditions beaucoup plus sévères que celles des tests de vieillissement, nous n'avons observé aucun changement de l'épaisseur de la couche d'oxyde.

Enfin, la variation de la tension de seuil  $V_{th}$  peut être liée à une augmentation de la tension bande plate  $V_{FB}$ , induite par une augmentation de la charge effective totale dans l'oxyde  $Q_{ox}$  et les charges  $Q_{it}$  à l'interface  $\text{SiO}_2/\text{SiC}$  (voir paragraphe 2.2.6).

La variation de la tension de seuil et la vérification des différentes hypothèses nécessitent des mesures supplémentaires, à savoir les capacités intrinsèques. En effet, à partir des capacités intrinsèques du MOSFET, il est possible d'extraire plusieurs paramètres et ainsi pouvoir comparer les grandeurs caractéristiques d'un MOSFET.

### 4.3.2 Capacités intrinsèques d'un MOSFET

L'étude des capacités intrinsèques est le plus souvent menée pour analyser le comportement dynamique du transistor. Cependant, dans ce chapitre, l'étude des capacités est exploitée comme indicateur de dégradation du transistor afin de remonter à l'origine du défaut. Nous nous limitons à l'identification de ces capacités et l'analyse de celles représentatives des dégradations subies par le composant.

Nous distinguons trois capacités dans la structure du VDMOSFET : la capacité grille-source  $C_{GS}$  correspondant à la couche d'oxyde séparant la grille de la métallisation de la source, la capacité grille-drain  $C_{GD}$  correspondant à la région de déplétion de la zone intercellulaire sous la grille et enfin la capacité drain-source  $C_{DS}$  correspondant à la capacité de la jonction PN<sup>+</sup>. Ces capacités sont présentées dans la figure 4.5 en surimpression sur la structure transversale d'un VDMOS.

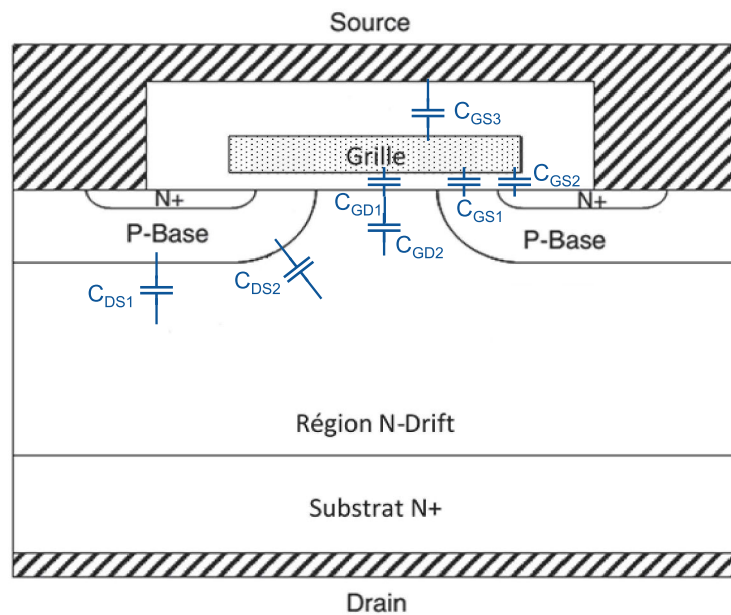


FIGURE 4.5 – Vue transversale de la structure d'un VD-MOSFET et localisation du stockage électrostatique des charges

#### 4.3.2.1 Capacité grille-source $C_{GS}$

La capacité d'oxyde entre la grille et la source de la structure VDMOS résulte de la mise en parallèle de trois capacités. La capacité d'oxyde de grille  $C_{GS1}$  est prise en compte entre la grille et la zone P du canal. La capacité  $C_{GS2}$  correspond au recouvrement de l'électrode de grille sur la diffusion de source N<sup>+</sup>. Et enfin la capacité  $C_{GS3}$  est définie par la couche d'oxyde épais situé entre la métallisation de source et l'électrode de grille [Bal08].

Ces différents termes dépendent principalement des dimensions géométriques des cellules et des épaisseurs des oxydes. La capacité  $C_{GS3}$  est indépendante des tensions appliquées et est considérée constante. Cependant, les capacités  $C_{GS1}$  et  $C_{GS2}$  dépendent de la

tension de grille.

#### 4.3.2.2 Capacité grille-source $C_{GD}$

La capacité grille drain correspond à la capacité située dans la zone intercellulaire. Elle est le principale responsable de l'effet "Miller", le reflet des variations de la tension de drain sur la commande de grille. Elle se comporte physiquement comme une capacité MOS présentant deux composants en série. La première est une capacité d'oxyde  $C_{GD1}$ . La deuxième est une capacité de la charge d'espace développée dans le carbure de silicium  $C_{GD2}$ .

La capacité  $C_{GD1}$  est prépondérante lorsque le potentiel de drain  $V_{DS}$  est inférieur à celui de grille  $V_{GS}$  et sa valeur est sensiblement constante. La capacité  $C_{GD2}$  quant à elle apparaît lorsque le potentiel  $V_{DS}$  devient supérieur à  $V_{GS}$ .

#### 4.3.2.3 Capacité drain-source $C_{DS}$

La capacité  $C_{DS}$  est liée à la jonction PN. Cette capacité est non linéaire et dépend de la tension drain-source  $V_{DS}$ . Au vu de la géométrie de la jonction, nous distinguons plusieurs capacités en parallèle.  $C_{DS1}$  traduit la capacité de transition liée à la région plane de la jonction. La capacité  $C_{DS2}$  correspond, quant à elle, à la jonction cylindrique.

## 4.4 Résultats expérimentaux : Observations et discussion (cas du deuxième lot)

Un deuxième lot de composants a été sélectionné dans le but d'exploiter les mesures de capacité permettant d'expliquer la variation de la tension de seuil et les dégradations résultants des tests de vieillissement. Le lot se compose de quatre composants, un pour chaque durée de pulse. Ces derniers ont subi les mêmes tests de vieillissement que le lot précédent. En plus des indicateurs mesurés lors des premiers tests, les trois capacités intrinsèques ont aussi été évaluées avant et après stress. La mesure de ces capacités a été effectuée selon la méthode "Guarded" (expliquée dans la partie 2.2.7).

En étudiant les résultats de mesure des capacités avant et après vieillissement sur les quatre composants, et comme attendu, nous constatons que seuls ceux correspondants à la mesure de  $C_{GS}(V_{GS})$  ont montré des variations cohérentes. En effet,  $N_A$  et  $V_{FB}$  peuvent

être extraits à partir de la mesure de la capacité  $C_{GS}$  puisqu'elle comprend la capacité MOS du transistor.

#### 4.4.1 Lecture de la courbe $C_{GS}(V_{GS})$ d'un VMOSFET

La courbe caractéristique de la capacité  $C_{GS}$  du composant d'étude mesurée à haute fréquence (1MHz) est reportée sur la figure 4.6. L'identification des différents régimes de la courbe est indispensable pour l'interprétation de l'impact des tests de vieillissement sur l'évolution de la mesure de la caractéristique  $C_{GS}(V_{GS})$ .

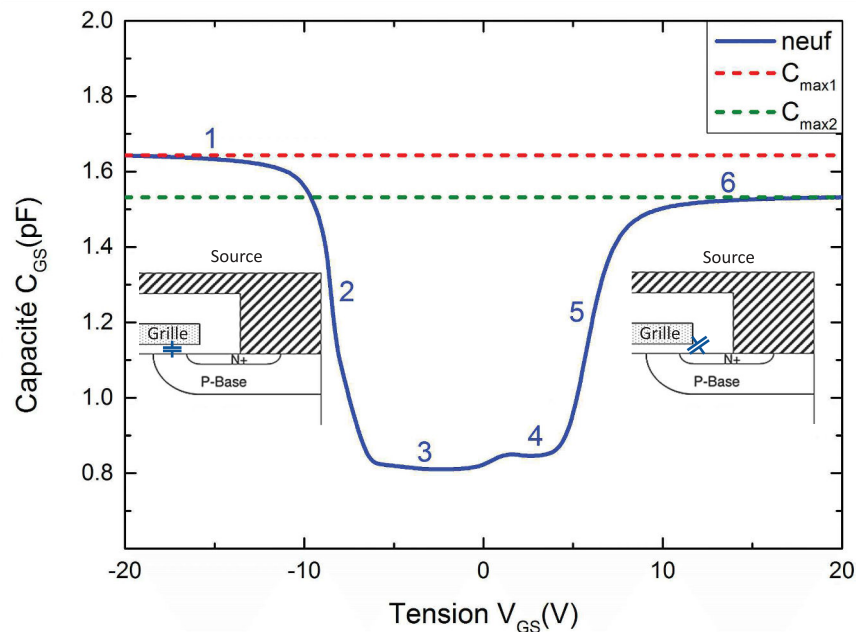


FIGURE 4.6 – Mesure de la capacité  $C_{GS}$  du composant d'étude (VDMOSFET) à haute fréquence (1MHz).

Alwan dans [ABKZ05] et Aubard dans [Aub99] considèrent que la région (1) correspond au régime d'accumulation, la région (2) de déplétion, (3) et (4) de forte déplétion du drain, la zone (5) de début d'inversion et la (6) de forte inversion, néanmoins plusieurs facteurs poussent à les identifier différemment.

Tout d'abord, la courbe  $C_{GS}$  mesurée à haute fréquence a la même allure qu'une courbe d'une structure MOS simulée à basse fréquence (décrite dans la partie 2.2.6) ce qui peut porter à confusion. En effet, en mesure haute fréquence, l'augmentation de la tension de grille

n'entraîne pas une augmentation de la capacité en régime d'inversion.

La forme en baignoire est plutôt due à la présence de deux régions du semi-conducteur aux dopages de natures différentes. Effectivement, sur la figure 4.5 du paragraphe 4.3.2, nous identifions trois capacités en parallèles formant la capacité  $C_{GS}$ . Les capacités  $C_{GS1}$  et  $C_{GS2}$  représentent respectivement des capacités MOS de type P et de type N. La capacité  $C_{GS3}$  est constante et ne dépend pas de la tension  $V_{GS}$ . Ainsi, l'effet de la capacité  $C_{GS1}$  est prépondérant lorsque la tension  $V_{GS}$  est négative et celui de la capacité  $C_{GS2}$  l'emporte quand  $V_{GS} > 0$ .

Sur la courbe, nous remarquons aussi une différence de la valeur de  $C_{max}$  entre les deux extrémités de la courbe. En effet, la valeur maximale de la capacité pour la forte polarisation négative en  $V_{GS}$  (que nous notons  $C_{max1}$ ) est supérieure à celle obtenue en forte polarisation positive (notée  $C_{max2}$ ). Cette observation va dans le même sens que notre interprétation de la courbe.

En partant de ces constats, il est visible que la région (1) correspond au régime d'accumulation de la zone P-body. Dans la région (2), la région P-body entre en déplétion. Comme la tension de grille continue de s'accroître, la couche déplétée réduit la valeur de la capacité  $C_{GS}$  jusqu'aux alentours de  $V_{GS} = -6V$  où le drain entre en inversion (région (3)).

Dans la région (4), la tension  $V_{GS}$  est positive et la zone de diffusion de source  $N^+$  est dans un régime d'inversion. Quand la tension dépasse la tension de seuil, la capacité  $C_{GS}$  se redresse et la zone de diffusion entre en déplétion (région (5)).  $C_{GS}$  continue de croître avec l'augmentation de  $V_{GS}$  et atteint une valeur maximale correspondant au régime d'accumulation (région (6)).

#### 4.4.2 Influence des paramètres $t_{ox}$ , $N_A$ et $Q_{ot}$ sur les caractéristiques $C(V)$

L'étude de l'influence des différents paramètres  $t_{ox}$ ,  $N_A$  et  $Q_{ot}$  sur l'évolution des caractéristiques  $C(V)$  de la capacité MOS a été effectuée en utilisant l'outil de simulation BandDiagram [SK06]. Cependant, ce logiciel ne permet pas d'étudier l'impact des états d'interface  $Q_{it}$  sur l'évolution de la courbe  $C(V)$ . La structure de base utilisée pour notre étude est représentée dans la figure 4.7.

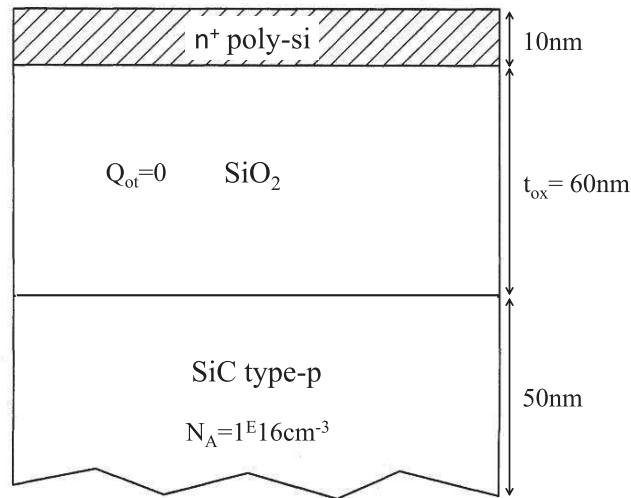


FIGURE 4.7 – Structure utilisée pour la simulation de l’influence des paramètres  $t_{ox}$ ,  $N_A$  et  $Q_{ot}$  sur l’évolution de la caractéristique  $C(V)$  d’une capacité MOS en SiC.

La structure est constituée d’une couche métallique de poly-silicium d’une épaisseur de 10nm (choisie arbitrairement). Le semi-conducteur est en carbure de silicium type P avec un dopage  $N_A = 1^{E}16\text{cm}^{-3}$ . L’épaisseur du substrat est fixée à 50nm. Ces deux couches sont séparées d’une couche d’oxyde d’une épaisseur ( $t_{ox} = 60\text{nm}$ ) égale à l’épaisseur d’oxyde de notre composant de test.

La figure 4.8 présente l’influence de l’épaisseur de l’oxyde,  $t_{ox}$ , sur l’évolution de la caractéristique  $C(V)$ . Comme nous pouvons le constater sur la figure 4.8, la capacité  $C_{max}$  diminue avec l’augmentation de l’épaisseur de la couche d’oxyde. En effet  $C_{max}$  n’est autre que la capacité  $C_{ox}$ . Cette dernière est inversement proportionnelle à l’épaisseur de l’oxyde  $t_{ox}$  (équation 4.14). De plus, nous observons un décalage de la tension de seuil  $V_{th}$ . En effet, la tension de seuil augmente avec l’augmentation de l’épaisseur de l’oxyde.

La figure 4.9 présente les résultats de simulation correspondant à l’influence du dopage sur la variation de la caractéristique  $C(V)$  de la capacité MOS. Tout d’abord nous remarquons une augmentation de la capacité  $C_{min}$  avec l’augmentation du dopage. En effet, en se reportant à l’équation 4.13, nous en déduisons que la capacité équivalente en régime de déplétion varie dans le même sens que la concentration des dopants  $N_A$ .

De plus, nous constatons que la variation du dopage a le même effet que celle de l’épais-

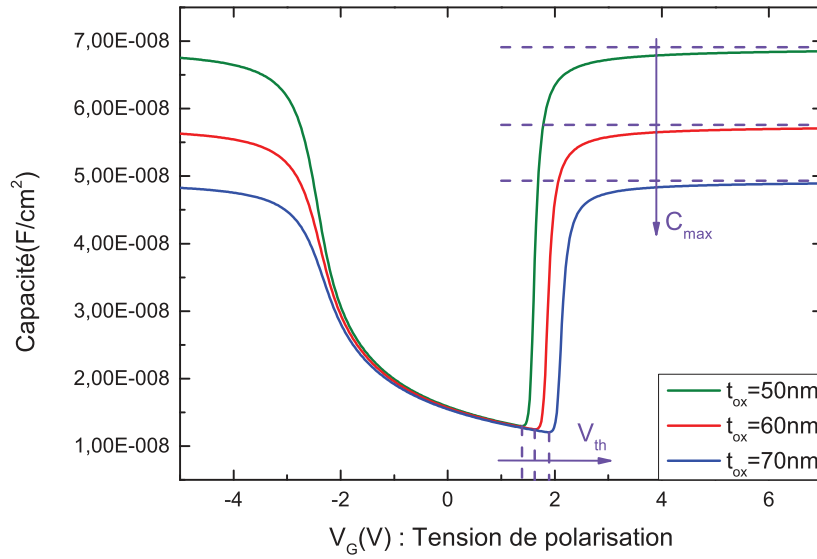


FIGURE 4.8 – Influence de l'épaisseur de l'oxyde  $t_{ox}$  sur l'évolution de la caractéristique  $C(V)$  d'une capacité MOS en SiC.

seur de l'oxyde sur la tension de seuil. Celle-ci (ainsi que la tension de bande plate) augmente avec l'augmentation de la concentration  $N_A$ . Cette dépendance est expliquée par les équations 2.5, 2.6 et 4.9. Cependant, aucune variation de la capacité  $C_{max}$  n'est observée.

Les charges dans l'oxyde  $Q_{ot}$  introduisent des niveaux d'énergies dans la bande interdite du semi-conducteur. La présence de ces charges a pour conséquence de décaler la courbe  $C(V)$  par rapport à la courbe idéale comme le montre la figure 4.10. En effet, la présence de  $Q_{ot}$  n'augmente pas la valeur proprement dite de la capacité, mais elle génère un décalage de la courbe  $C$  en fonction de  $V_G$ . En insérant des charges négatives, la courbe se déplace vers la droite révélant une augmentation de la valeur de  $V_{FB}$  et donc de  $V_{th}$ . Inversement, la présence des charges positives génère un déplacement vers la gauche.

Ainsi, en présence de ces charges, l'équation de la tension de bande plate s'écrit comme suit :

$$V'_{FB} = V_{FB} - \frac{Q_{ot}}{C_{ox}} \quad (4.1)$$

$$V'_{FB} = \phi_{MS} - \left( \frac{Q_{ox}}{C_{ox}} + \frac{Q_{ot}}{C_{ox}} \right) \quad (4.2)$$

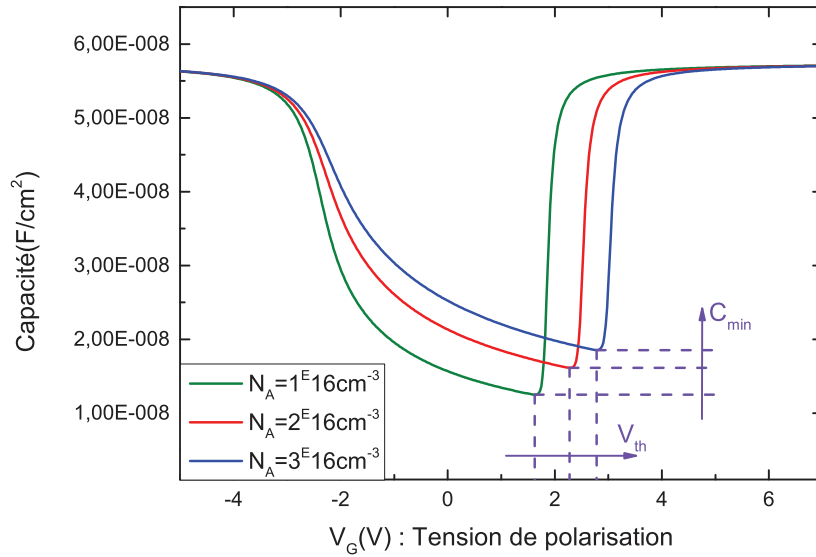


FIGURE 4.9 – Influence de la concentration des dopants  $N_A$  sur l'évolution de la caractéristique  $C(V)$  d'une capacité MOS en SiC.

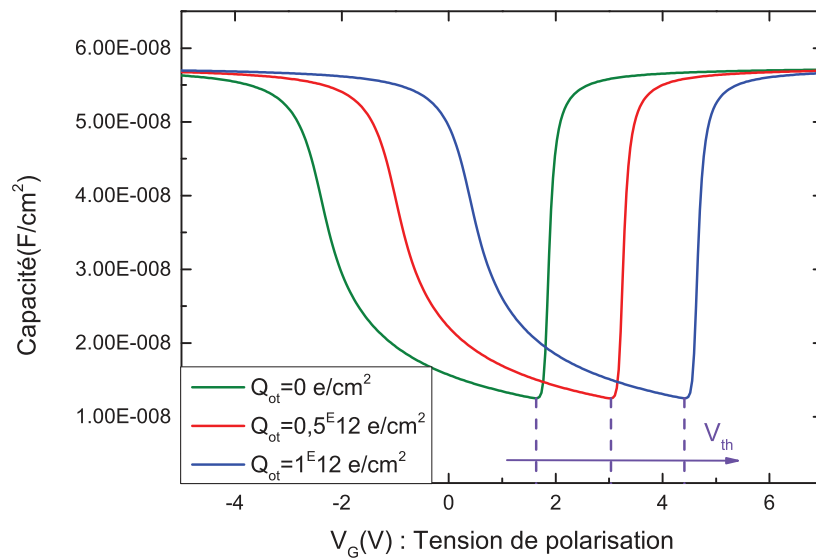


FIGURE 4.10 – Influence des charges piégées dans l'oxyde  $Q_{ot}$  sur l'évolution de la caractéristique  $C(V)$  d'une capacité MOS en SiC.



### 4.4.3 Discussion

Une fois les différentes parties de la figure 4.6 identifiées, il est plus facile de répondre aux hypothèses quant à l'origine de la dégradation des composants par vieillissement en court-circuit. La mesure de la capacité  $C_{GS}$  en fonction de la tension  $V_{GS}$  avant et après une série de tests sous les différentes durées de pulse est présentée par la figure 4.11. La capacité est mesurée à haute fréquence (1MHz) avec le drain relié au guard de l'appareil de mesure.

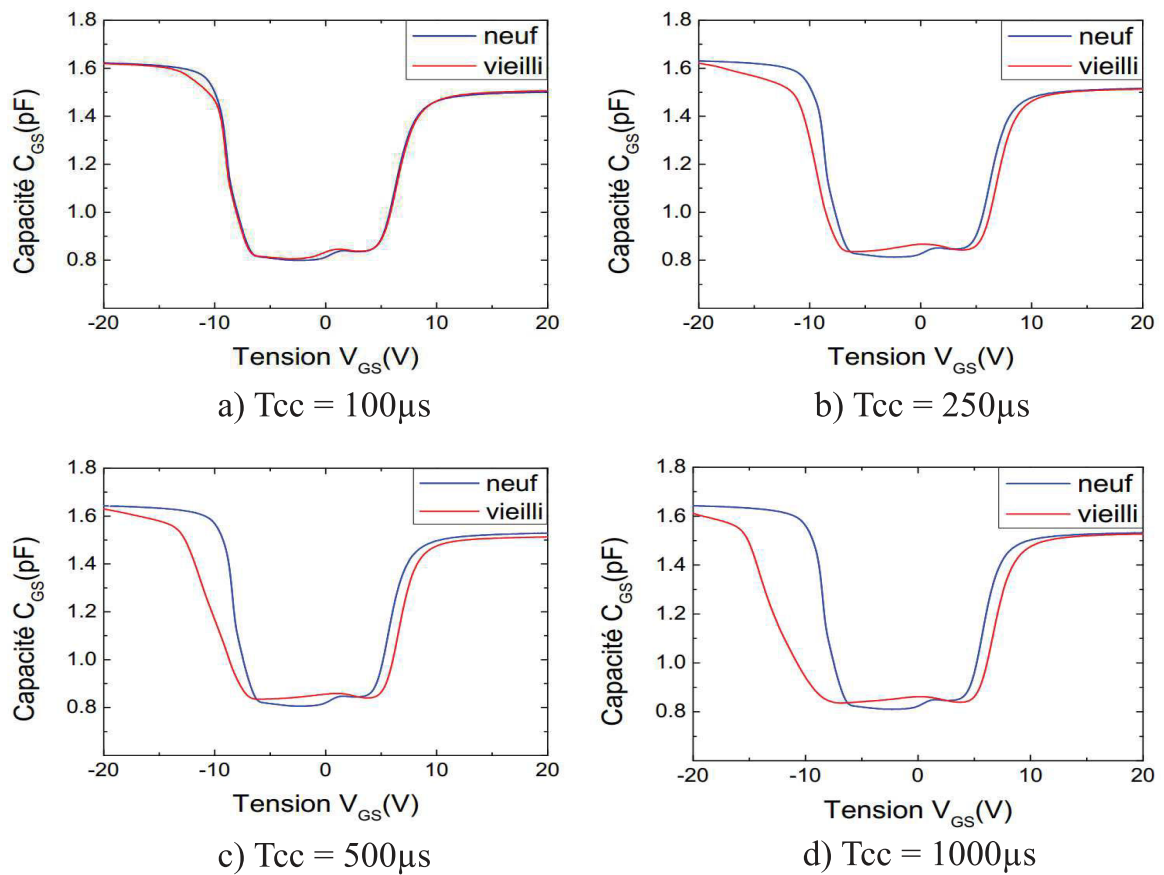


FIGURE 4.11 – Mesure de la capacité intrinsèque  $C_{GS}$  avant et après vieillissement sur des composants vieillis sous les différentes durées de pulse.

A première vue, nous remarquons une augmentation graduelle de la dégradation avec l'augmentation de la durée de pulse du court-circuit subi par chaque composant. Cette dégradation se manifeste par un décalage de la courbe des deux côtés de la baignoire avec un changement de la pente dans la zone 2 (zone P-body), plus prononcé pour les composants les plus atteints. De plus, il paraît clair que le décalage est plus important dans la zone 2

que dans la zone 5. La dégradation de chaque composant est ainsi plus affirmée du côté correspondant à la zone P-body de la courbe.

Comme nous l'avons déjà évoqué dans la partie 4.4.2, trois paramètres peuvent être à l'origine de ce décalage, la modification de l'épaisseur de la couche d'oxyde  $t_{ox}$ , de la concentration des dopants  $N_A$  et/ou des charges de la couche d'oxyde  $Q_{ox}$ . En se référant aux résultats de simulation reportés sur la figure 4.8, la variation de l'épaisseur de l'oxyde a pour effet de modifier la valeur de  $C_{max}$ , à la différence de ce que nous observons sur les différentes courbes. En effet, aucune variation notable de la capacité maximale n'a été constatée. De ce fait, cette première hypothèse est écartée.

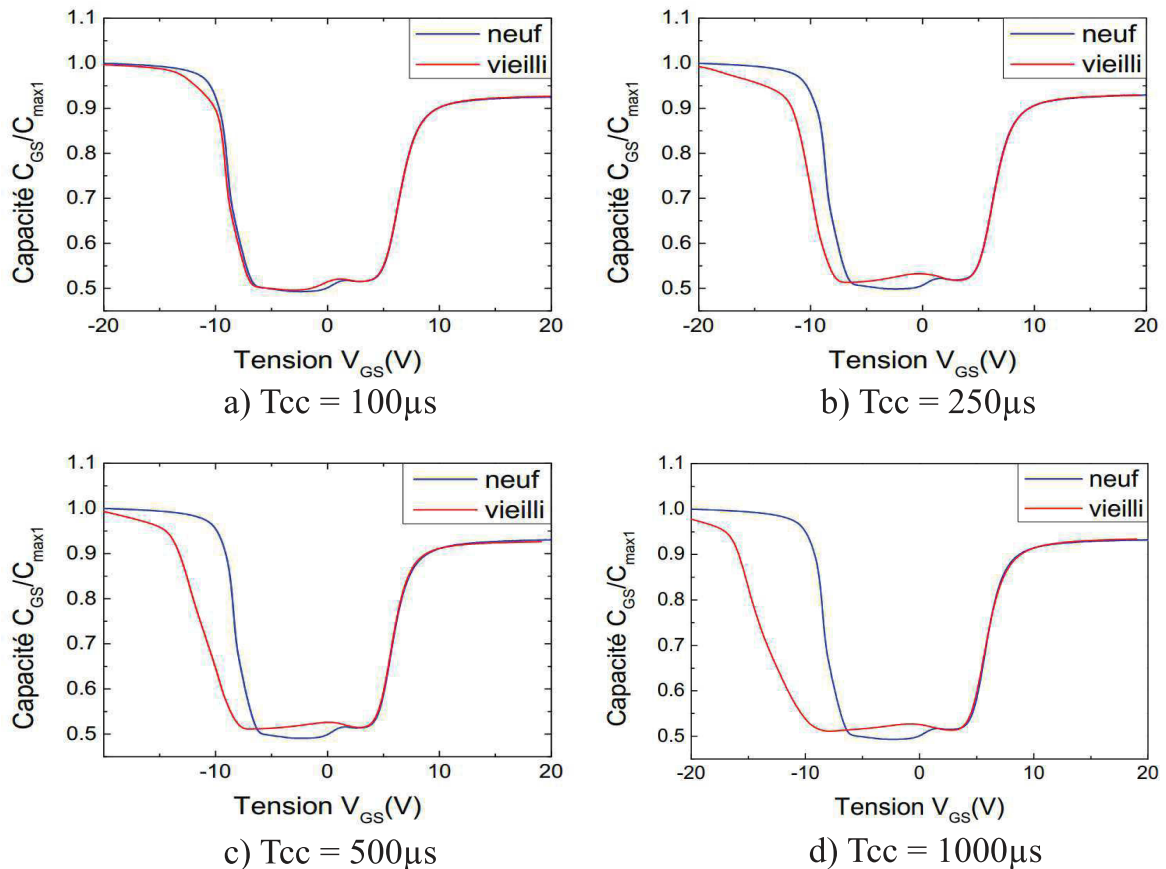


FIGURE 4.12 – Suppression du décalage du côté droit entre les courbes  $C_{GS}$  mesurées avant et après vieillissement sur des composants vieillis sous les différentes durées de pulse.

Pour étudier les deux autres hypothèses, une analyse plus poussée des résultats doit être effectuée. En effet, les simulations ont montré que la variation de chacun des deux pa-

ramètres  $N_A$  et  $Q_{ox}$  à travers les charges piégées  $Q_{ot}$  entraînent un décalage de la courbe. De surcroît, la variation de la concentration des dopants engendre un changement de la valeur de  $C_{min}$  et de la pente de la courbe. Les courbes ont été retracées en supprimant le décalage du côté droit (capacité du semi-conducteur N) est reportées sur la figure 4.12.

Toutes les courbes se superposent parfaitement quand l'écart est réduit. Aucune modification de la pente ni de la valeur minimale de la capacité du côté droit n'a été observée. Ceci indique l'apparition de pièges de charges dans l'oxyde  $Q_{ot}$  puisque c'est le seul paramètre qui ne cause que le décalage de la courbe. Cette observation indique l'apparition de pièges de charges néanmoins, il n'en demeure pas moins qu'elle n'est pas la seule cause de la dégradation des composants. En effet, le décalage du côté gauche de la courbe est beaucoup plus important.

Pour la suite de l'analyse, l'écart causé par la présence de charges piégées dans l'oxyde est cette fois déduit du côté gauche des courbes reportées sur la figure 4.13. Contrairement à ce que nous pouvons observer du côté droit des courbes, les courbes (b), (c) et (d) changent de pente après vieillissement et ne sont plus parallèles du côté gauche.

Le changement de pente du côté gauche de la courbe peut être du soit au changement de la concentration des dopants  $N_A$ , soit aux états d'interface  $Q_{it}$ . En se basant sur les résultats de simulation effectuées à l'aide de Bandiagram et reportés sur la figure 4.9, l'hypothèse se basant sur le changement de la concentration de  $N_A$  est écartée. En effet, la variation de  $N_A$  entraîne une augmentation ou diminution de la valeur minimale de la capacité  $C_{min}$  accompagnée d'un changement de la pente et un décalage du bas de la courbe. Cependant, le comportement que nous observons est bien différent. Après vieillissement, la valeur de  $C_{min}$  ne varie quasiment pas.

A ce point de l'étude, les données dont nous disposons ne permettent pas de conclure quant à la deuxième origine de la dégradation. Le modèle proposé par Baliga, à savoir la représentation de la capacité de grille d'un VDMOSFET par trois capacités en parallèle, n'est il pas incomplet sachant que nous sommes en présence de capacités à régions frontalières dont le contact influencerait le comportement de l'une et de l'autre.

Pour une capacité type N, la relation entre la tension de seuil avant et après vieillissement peut s'écrire selon l'équation 4.3. Le décalage de la courbe représentant la déplétion

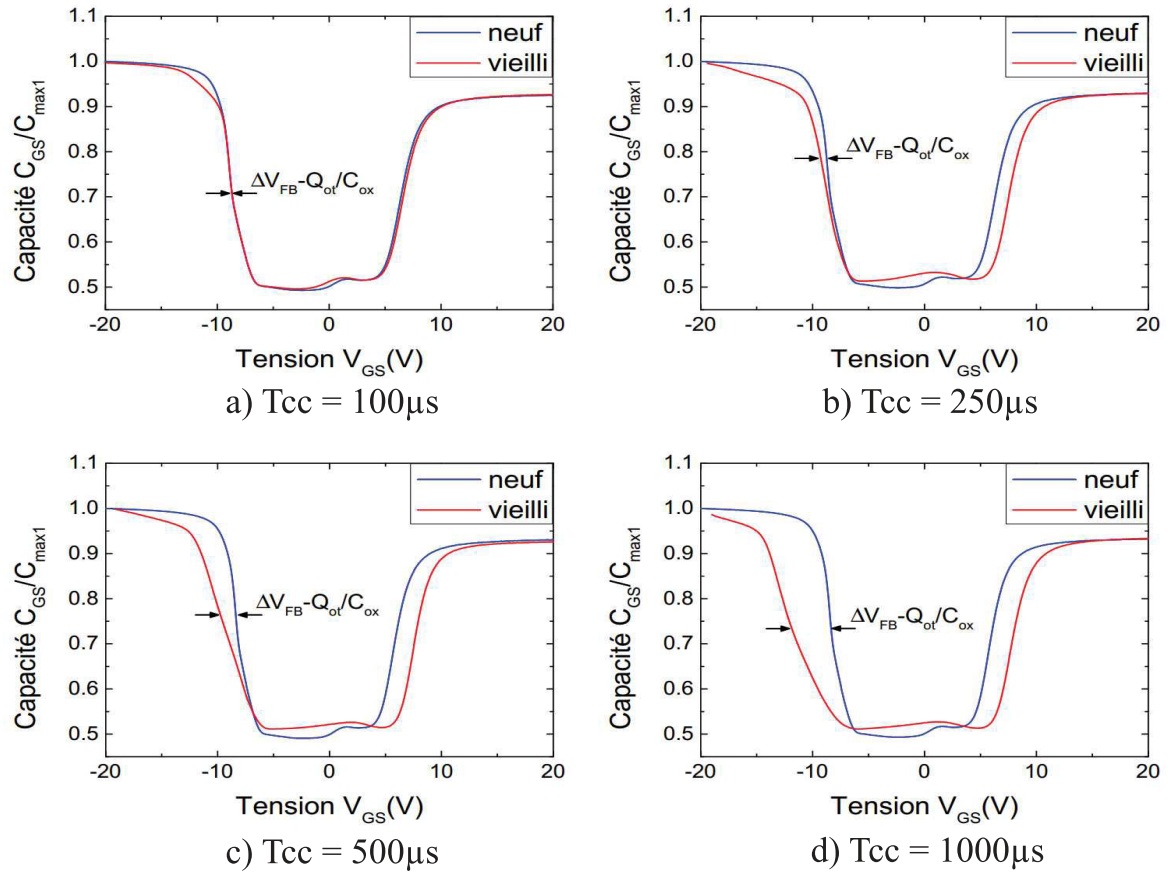


FIGURE 4.13 – Suppression du décalage dû aux pièges de charge du côté gauche des courbes  $C_{GS}$  mesurées avant et après vieillissement sur des composants vieillis sous les différentes durées de pulse.

de la zone de diffusion de la source  $N^+$  se fait vers la droite et correspond à une augmentation de la tension de seuil. De ce fait, le terme  $\Delta Q_{ox}$  est positif et correspond à des pièges de protons dans la couche d'oxyde.

$$V_{th(vieilli)} - V_{th(neuf)} = \frac{\Delta Q_{ox}}{C_{ox}} > 0 \quad (4.3)$$

En revenant de nouveau aux observations précédentes, nous avons souligné une diminution de la capacité  $C_{rss0}$  en plus de l'augmentation de la tension de seuil  $V_{th}$ . Cette capacité correspond à la mesure de la capacité  $C_{rss}$  quand  $V_{DS} = 0V$  et  $V_{GS} = 0V$  et n'est autre donc que la capacité  $C_{GD1}$ . Étant donné que cette capacité correspond à la capacité d'oxyde, l'hypothèse des pièges de charges dans la couche d'oxyde est conséquemment plus vraisemblable.

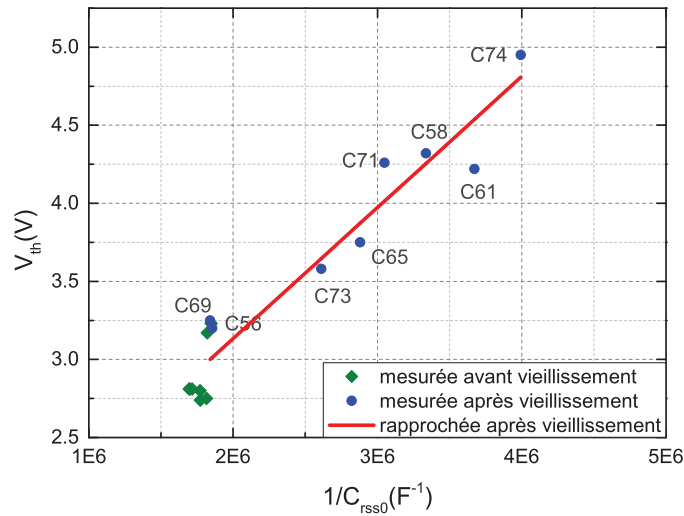


FIGURE 4.14 – Variation de la tension de seuil mesurée et ajustée en fonction de  $1/C_{rss0}$  avant et après vieillissement des composants [MFD<sup>+</sup>16].

La figure 4.14 présente l'évolution de la tension de seuil en fonction de  $1/C_{rss0}$ . Les valeurs de  $V_{th}$  mesurées après vieillissement ont été estimées par la droite en rouge. Il paraît clair que l'évolution de  $V_{th}$  est proportionnelle à l'inverse de  $C_{rss0}$ . Cette linéarité confirme notre hypothèse. La dégradation traduite par l'augmentation de  $V_{th}$  et la diminution de  $C_{rss0}$  est causée par le même mécanisme.

## 4.5 Conclusion

Ce dernier chapitre rend compte de travaux expérimentaux sur la fiabilité des transistors d'étude sous contraintes de court-circuit de faible puissance. Nous avons présenté les principaux résultats expérimentaux obtenus pendant des essais de vieillissement. Durant ces tests, certains paramètres électriques ont été suivis afin de constituer des indicateurs de dégradation et d'identifier par la suite des mécanismes de défaillance.

Dans un premier temps, nous avons décrit la philosophie du protocole expérimental proposé ainsi que le banc de vieillissement conçu pour cette étude. Contrairement aux conditions de vieillissement en court-circuit décrits dans la littérature, nous avons fait le choix d'effectuer des essais plus conservateurs en puissance, sous différentes durées d'impulsion pour varier la contrainte énergétique.

Suite à la première série de tests, Les observations ont souligné une dégradation significative de la tension de seuil et de la capacité  $C_{rss0}$  (mesurée à  $V_{DS} = 0V$  et  $V_{GS} = 0V$ ). Après identification des paramètres ( $Q_{ot}$ ,  $t_{ox}$  et  $N_A$ ) susceptibles de causer la variation de la tension de seuil, une deuxième campagne de test a été lancée et complétée par la mesure des capacités intrinsèques avant et après vieillissement permettant d'identifier les paramètres physiques responsables de la dégradation.

Les mesures  $C(V)$  nous ont permis d'analyser les dégradations observées et d'apporter des éléments de réponse appuyés par des simulations d'une structure MOS. Cependant, toutes les hypothèses n'ont pas pu être validées et quelques questions soulevées demeurent sans réponse à cause de la complexité de la structure du VDMOSFET. Pour une analyse plus approfondie des capacités, nous proposons la simulation physique de la structure complète du MOSFET comme perspective à ce travail.

# Conclusion générale et perspectives

Les composants de puissance en silicium ont atteint leur limites au regard de leurs propriétés physiques. Cependant, les caractéristiques électriques et thermiques de ces composants ne leur permettent pas de remplir les exigences pour les nouvelles conditions d'utilisation aéronautiques. Les composants réalisés à partir de matériaux semi-conducteurs à large bande d'énergie interdite tel que le nitrure de gallium (GaN) ou le carbure de silicium sont d'excellents candidats pour remplacer le silicium dans ces applications spécifiques. Parmi les transistors de puissance "Grand-Gap" nous avons fait le choix de nous intéresser particulièrement aux MOSFETs SiC du fait de leurs caractéristiques électriques et de leurs disponibilités commerciales. Ainsi nous avons pu, dans le cadre de ces travaux, proposer une contribution à l'étude de la fiabilité d'un composant commercial de première génération. Le choix du transistor s'est porté sur un MOSFET de chez l'industriel CREE.

La technologie en carbure de silicium apparaît sur le marché de l'électronique de puissance comme étant révolutionnaire grâce à ses performances exceptionnelles. Pourtant son insertion dans l'industrie reste limitée. Aujourd'hui, peu de retour d'expérience confirme une incertitude sur la maîtrise des processus de fabrication de cette technologie. Ce point peut faire défaut et c'est dans cette démarche de fiabilité que nous avons mené cette étude. L'ensemble des travaux menés dans cette thèse s'inscrit dans le cadre d'une démarche globale visant à faire ressortir une méthodologie d'analyse de défaillance et de compréhension des phénomènes de dégradation que nous avons réalisée sur des transistors de puissance en carbure de silicium et qui pourra être transposable à d'autres technologies futures.

Pour aborder cette problématique, un état de l'art sur le semi-conducteur SiC, l'évolution de la structure du MOSFET de puissance et les mécanismes de défaillance les plus récurrents a été développé au premier chapitre. Parmi les tests de fiabilité et de robustesse présentés, nous avons fait le choix d'étudier le comportement du composant d'étude sous des contraintes de court-circuit. Une méthodologie a été proposée sous forme de dia-

gramme en se basant sur les objectifs visés par cette étude et les moyens d'analyse dont nous disposons.

Le deuxième chapitre a permis de dispenser une connaissance approfondie du composant d'étude. Depuis ses paramètres électro-thermiques (caractéristiques I-V-T, tension de seuil, courant de fuite de grille, capacités internes) jusqu'à sa caractérisation physico-chimique. Ces caractérisations permettent de disposer de toutes les données nécessaires à l'interprétation des dégradations et à la compréhension des mécanismes de défaillance. Pour réaliser les analyses de défaillance, le laboratoire est doté d'un large parc instrumental permettant de réaliser des caractérisations électriques, des préparations d'échantillons et des caractérisations physico-chimiques sur les composants. L'étape de préparation d'échantillon est primordiale car elle permet d'accéder à des zones enfouies du composant mais elle est aussi l'une des étapes les plus critiques dans l'assurance de la réussite de l'analyse. Parce que la préparation touche physiquement le composant, elle en devient plus risquée pour le composant et le défaut. Le choix de la préparation d'échantillon va alors varier en fonction du défaut et aussi du composant à analyser : attaque chimique, mécanique, physico-chimique.

La connaissance et la maîtrise des différents équipements et procédés est un facteur important pour réussir une analyse, néanmoins cela ne se révèle pas suffisant. Cette réussite est liée aussi à une méthodologie de travail rigoureuse adaptée à l'étude convoitée qui impose de réaliser un enchaînement d'étapes précis : la caractérisation électrique de la défaillance, les contrôles non destructifs, la préparation d'échantillon en vue de la localisation, la localisation du défaut, la préparation d'échantillon en vue de l'accès au défaut et la caractérisation physico-chimique du défaut. Dans le troisième chapitre, nous avons proposé un protocole de test permettant d'étudier la robustesse du composant au défaut de court-circuit. Les étapes principales des travaux expérimentaux consiste à mettre en place des campagnes de tests, de suivis d'indicateurs de défaillance électrique, de localisation des zones de défaillances physiques, de l'analyse et de la corrélation de l'ensemble des phénomènes de dégradation, pour mener à identifier précisément les points de faiblesse des structures.

Dans une première étape, l'étude de la tenue du transistor sous long pulse de court-circuit s'est avérée satisfaisante puisque ce dernier est capable de tenir le stress pendant une durée de  $16\mu\text{s}$ , supérieure aux exigences minimales de largeur d'impulsion ( $10\mu\text{s}$ ) sous



une tension de drain  $V_{DS} = 600V$ .

Ensuite, des essais destructifs sous pulses successifs visant à estimer l'énergie critique a permis de comparer les performances et le comportement du transistor d'étude aux autres composants étudiés dans la littérature. Bien que présentant des modes de défaillance différents d'un échantillon à un autre (augmentation du courant par emballement thermique ou court-circuit physique entre la Grille et la Source), les mêmes phénomènes ont été observés sur des transistors à technologie et structure similaire [OBL<sup>+</sup>12, OLB<sup>+</sup>13, CLL<sup>+</sup>15]. Afin de relier l'évolution électrique avec la nature du défaut physique, une étude microscopique a été menée pour observer les défaillances de structure. L'analyse du MOSFET ayant subi une défaillance par emballement thermique a permis d'apercevoir une dégradation catastrophique de la couche de métallisation. Cependant, la localisation du défaut du composant présentant un court-circuit entre la grille et la source n'a pas pu être réalisée (composant non polarisable).

Pour pallier cette limitation, nous avons proposé un nouveau protocole de test visant à garder polarisable le transistor après sa dégradation. A la détection d'un courant de fuite de grille, les essais ont été arrêtés. En polarisant la puce par une excitation électrique, une observation au microscope à émission de photons a révélé les zones défaillantes. Grâce à une découpe par sonde ionique focalisée (FIB) et une image au microscope à balayage (MEB), nous avons observé les deux défauts physiques dans la grille. Le premier se traduit par un void situé entre le métal et l'oxyde de grille, le deuxième présente une recombinaison de la matière entre l'oxyde inter-niveaux, le métal de grille et la zone  $N^+$  du drain, ce qui explique l'augmentation du courant de fuite de grille.

Le quatrième chapitre propose, de manière dissociée, des investigations sur la fiabilité en court-circuit des transistors en carbure de silicium. L'objectif principal de cette partie est de suivre l'évolution du transistor et d'identifier les indicateurs de dégradation. C'est pourquoi, nous avons fait le choix de mener les tests à plus faible contrainte en puissance en augmentant considérablement les durées de pulse. Les premiers essais ont montré une augmentation de la tension de seuil avec la durée de pulse et une diminution de la capacité  $C_{rss0}$ . A partir de ces observations, une deuxième série de test a été lancée en intégrant la mesure des caractéristiques  $C(V)$  avant et après les cycles de vieillissement. L'exploitation de ces paramètres permet de remonter à l'état physique structural de ce dernier.

L'analyse des résultats est abordée par une première étape d'interprétation de la courbe  $C_{GS}$  caractéristique d'un VDMOSFET. L'identification des différentes régions est appuyée par des simulations physiques d'une structure MOS. Partant de l'objectif d'identifier les processus de dégradation en jeu, nos travaux ont conduit à des hypothèses étayées sur des origines possibles de défaillance. Cependant, la complexité de la structure du MOSFET ne permet pas de statuer. Il est donc envisageable de poursuivre ces travaux en se basant sur des simulations physiques permettant de prendre en considération toute la structure du VDMOSFET et l'interaction entre les différentes régions dopées permettant d'apporter plus de données à cette étude.

# Bibliographie

- [ABG<sup>+</sup>96] M. Allenspach, J. R. Brews, K. F. Galloway, G. H. Johnson, R. D. Schrimpf, R. L. Pease, J. L. Titus, and C. F. Wheatley. SEGR : A unique failure mode for power MOSFETs in spacecraft. *Microelectronics Reliability*, 36(11-12) :1871–1874, November 1996.
- [ABI11] Carmine Abbate, Giovanni Busatto, and Francesco Iannuzzo. Operation of SiC normally-off JFET at the edges of its safe operating area. *Microelectronics Reliability*, 51(9-11) :1767–1772, September 2011.
- [ABKZ05] M. Alwan, B. Beydoun, K. Ketata, and M. Zoeter. Two-dimensional simulation of the thermal stress effect on static and dynamic VDMOS characteristics. *Materials Science and Engineering : B*, 124(Supplement C) :335–340, 2005.
- [ABKZ07] M. Alwan, B. Beydoun, K. Ketata, and M. Zoeter. Bias temperature instability from gate charge characteristics investigations in N-Channel Power MOSFET. *Microelectronics Journal*, 38(6-7) :727–734, June 2007.
- [ANG08] T. Aichinger, M. Nelhiebel, and T. Grasser. On the temperature dependence of NBTI recovery. *Microelectronics Reliability*, 48(8-9) :1178–1184, August 2008.
- [ANG09] Thomas Aichinger, Michael Nelhiebel, and Tibor Grasser. A Combined Study of p- and n-Channel MOS Devices to Investigate the Energetic Distribution of Oxide Traps After NBTI. *IEEE Transactions on Electron Devices*, 56(12) :3018–3026, December 2009.
- [Aub99] Laurent Aubard. *Modélisation des Transistors MOS de puissance pour l'électronique de commutation*. PhD thesis, Institut National Polytechnique de Grenoble - INPG, January 1999.
- [Aut05] Automotive Electronics Council. *Stress test qualification for automotive grade discrete semiconductors (Standard No. AEC - Q101)*, June 2005. Rev - C.
- [BAD16] Nasser Badawi, Abdullah E. Awwad, and Sibylle Dieckerhoff. Robustness in short-circuit mode : Benchmarking of 600V GaN HEMTs with power Si and

- SiC MOSFETs. In *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, pages 1–7. IEEE, September 2016.
- [Bal05] B. Jayant Baliga. *Silicon carbide power devices*. World Scientific, 2005.
- [Bal08] B. Jayant Baliga. *Fundamentals of Power Semiconductor Devices*. Springer Publishing Company, Incorporated, 1 edition, 2008.
- [Bal10] B. Jayant Baliga. *Advanced power MOSFETs concepts*. Springer Publishing Company, Incorporated, 2010.
- [BPA<sup>+</sup>11] Cyril Buttay, Dominique Planson, Bruno Allard, Dominique Bergogne, Pascal Bevilacqua, Charles Joubert, Mihai Lazar, Christian Martin, Hervé Morel, Dominique Tournier, and Christophe Raynaud. State of the art of high temperature power electronics. *Materials Science and Engineering : B*, 176(4) :283–288, March 2011.
- [BPT15] Maxime Berthou, Dominique Planson, and Dominique Tournier. Short-Circuit Capability Exploration of Silicon Carbide Devices. *Materials Science Forum*, 821-823 :810–813, June 2015.
- [CFKH12] Alberto Castellazzi, Tsuyoshi Funaki, Tsunenobu Kimoto, and Takashi Hiki-hara. Thermal instability effects in SiC Power MOSFETs. *Microelectronics Reliability*, 52(9-10) :2414–2419, September 2012.
- [CFKH13] Alberto Castellazzi, Tsuyoshi Funaki, Tsunenobu Kimoto, and Takashi Hiki-hara. Short-circuit tests on SiC power MOSFETs. In *Power Electronics and Drive Systems (PEDS), 2013 IEEE 10th International Conference on*, pages 1297–1300. IEEE, April 2013.
- [CFY<sup>+</sup>14] Alberto Castellazzi, Asad Fayyaz, Li Yang, M. Riccio, and A. Irace. Short-circuit robustness of SiC Power MOSFETs : Experimental analysis. In *Power Semiconductor Devices & IC's (ISPSD), 2014 IEEE 26th International Symposium on*, pages 71–74. IEEE, June 2014.
- [Cia02] Mauro Ciappa. Selected failure mechanisms of modern power modules. *Microelectronics Reliability*, 42(4-5) :653–667, April 2002.
- [CLL<sup>+</sup>15] Cheng Chen, Denis Labrousse, Stéphane Lefebvre, Mickael Petit, Cyril Buttay, and Hervé Morel. Study of short-circuit robustness of SiC MOSFETs, analysis of the failure modes and comparison with BJTs. *Microelectronics Reliability*, 55(9-10) :1708–1713, August 2015.
- [Cre] Cree-Wolfspeed. *Z-FET SiC MOSFET N-Ch Enhancement*. CMF10120D-Silicon Carbide Power MOSFET, datasheet Rev. A.

- [Den13] Patrick Denis. *Mécanismes et origines de défaillance de diodes Schottky en carbure de silicium soumises à contraintes thermiques et électrostatiques*. PhD thesis, Université de Rouen, September 2013.
- [DGW04] Thomas Detzel, Michael Glavanovics, and K. Weber. Analysis of wire bond and metallization degradation mechanisms in DMOS power transistors stressed under thermal overload conditions. *Microelectronics Reliability*, 44(9-11):1485–1490, September 2004.
- [Die94] Kenneth Dierberger. *Understanding the differences between standard MOSFETs and avalanche energy rated MOSFETs*. Advanced Power Technology, October 1994. Presented at PCIM '94 DALLAS.
- [DRB<sup>+</sup>11] Fabien Dubois, Damien Risaletto, Dominique Bergogne, Hervé Morel, Cyril Buttay, and Régis Meuret. Active protections for normally-on SiC JFETs. In *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, pages 1–10. IEEE, August 2011.
- [DW12] St J. Dixon-Warren. Inside Cree's SiC Power MOSFET. Technical report, Chipworks, March 2012.
- [EGT<sup>+</sup>07] Robert Entner, Tibor Grasser, Oliver Triebel, Hubert Enichlmair, and Rainer Minixhofer. Negative bias temperature instability modeling for high-voltage oxides at different stress temperatures. *Microelectronics Reliability*, 47(4-5):697–699, April 2007.
- [FYC13] Asad Fayyaz, Li Yang, and Alberto Castellazzi. Transient robustness testing of silicon carbide (SiC) power MOSFETs. In *Power Electronics and Applications (EPE), 2013 15th European Conference on*, pages 1–10. IEEE, 2013.
- [FZS<sup>+</sup>14] D. M. Fleetwood, E. X. Zhang, X. Shen, C. X. Zhang, R. D. Schrimpf, and S. T. Pantelides. Bias-Temperature Instabilities in Silicon Carbide MOS Devices. In Tibor Grasser, editor, *Bias Temperature Instability for Devices and Circuits*, pages 661–675. Springer New York, 2014.
- [GHS<sup>+</sup>08] Moshe Gurfinkel, Justin C. Horst, John S. Suehle, Joseph B. Bernstein, Yoram Shapira, Kevin S. Matocha, Greg Dunne, and Richard A. Beaupre. Time-Dependent Dielectric Breakdown of 4H-SiC/SiO<sub>2</sub> MOS Capacitors. *IEEE Transactions on Device and Materials Reliability*, 8(4):635–641, December 2008.
- [GvDL<sup>+</sup>12] Alessio Griffoni, Jeroen van Duivenbode, Dimitri Linten, Eddy Simoen, Paolo Rech, Luigi Dilillo, Frédéric Wrobel, Patrick Verbist, and Guido Groeseneken. Neutron-Induced Failure in Silicon IGBTs, Silicon Super-Junction and

- SiC MOSFETs. *IEEE Transactions on Nuclear Science*, 59(4) :866–871, August 2012.
- [HDP06] V. Huard, M. Denais, and C. Parthasarathy. NBTI degradation : From physical mechanisms to modelling. *Microelectronics Reliability*, 46(1) :1–23, January 2006.
- [HJPT<sup>+</sup>17] Dean P. Hamilton, Michael R. Jennings, Amador Perez-Tomas, Stephen A. O. Russell, Steven A. Hindmarsh, Craig A. Fisher, and Philip A. Mawby. High-Temperature Electrical and Thermal Aging Performance and Application Considerations for SiC Power DMOSFETs. *IEEE Transactions on Power Electronics*, 32(10) :7967–7979, October 2017.
- [HSSK03] J. L. Hudgins, G. S. Simin, E. Santi, and M. A. Khan. An assessment of wide bandgap semiconductors for power devices. *IEEE Transactions on Power Electronics*, 18(3) :907–914, May 2003.
- [Joi85] Joint Electron Device Engineering Council. *Power MOSFETs (Standard No. JESD24)*, July 1985.
- [Joi92] Joint Electron Device Engineering Council. *Short Circuit Withstand Time Test Method (Standard No. JESD24-9)*, August 1992.
- [Joi05] Joint Electron Device Engineering Council. *Temperature, Bias, and Operating Life (Standard No. JESD22-A108D)*, June 2005.
- [Joi07] Joint Electron Device Engineering Council. *Power Cycling (Standard No. JESD22-A122)*, August 2007.
- [JPD<sup>+</sup>96] G. H. Johnson, J. M. Palau, C. Dachs, K. F. Galloway, and R. D. Schrimpf. A review of the techniques used for modeling single-event effects in power MOSFETs. *IEEE Transactions on Nuclear Science*, 43(2) :546–560, April 1996.
- [Kan12] W. Kanert. Active cycling reliability of power devices : Expectations and limitations. *Microelectronics Reliability*, 52(9-10) :2336–2341, September 2012.
- [Kim15] Tsunenobu Kimoto. Material science and device physics in SiC technology for high-voltage power devices. *Japanese Journal of Applied Physics*, 54(4) :040103+, April 2015.
- [KLT<sup>+</sup>07] B. Khong, M. Legros, P. Tounsi, Ph Dupuy, X. Chauffleur, C. Levade, G. Vanderschaeve, and E. Scheid. Characterization and modelling of ageing failures on power MOSFET devices. *Microelectronics Reliability*, 47(9-11) :1735–1740, September 2007.

- [LBGT06] Sandra Liu, Milton Boden, Dev A. Girdhar, and Jeffrey L. Titus. Single-Event Burnout and Avalanche Characteristics of Power DMOSFETs. *IEEE Transactions on Nuclear Science*, 53(6) :3379–3385, December 2006.
- [Let99] Philippe Leturcq. Physique des semi-conducteurs de puissance. *Techniques de l'ingénieur Composants actifs en électronique de puissance*, base documentaire : TIB245DUO., 1999.
- [LTZ<sup>+</sup>10] Sandra Liu, Jeffrey L. Titus, Max Zafrani, Huy Cao, Douglas Carrier, and Phillip Sherman. Worst-Case Test Conditions of SEGR for Power DMOSFETs. *IEEE Transactions on Nuclear Science*, 57(1) :279–287, February 2010.
- [McP12] J. W. McPherson. Time dependent dielectric breakdown physics – Models revisited. *Microelectronics Reliability*, 52(9-10) :1753–1760, September 2012.
- [MFD<sup>+</sup>16] S. Mbarek, F. Fouquet, P. Dherbecourt, M. Masmoudi, and O. Latry. Gate oxide degradation of SiC MOSFET under short-circuit aging tests. *Microelectronics Reliability*, 64 :415–418, 2016.
- [MOT16] Eiichi Murakami, Kazuhiro Oda, and Tatsuya Takeshita. Special features of Fowler–Nordheim stress degradation of SiC-MOSFETs. *Japanese Journal of Applied Physics*, 55(4S) :04ER14+, April 2016.
- [MPSH15] Homer A. Mantooth, Kang Peng, Enrico Santi, and Jerry L. Hudgins. Modeling of Wide Bandgap Power Semiconductor Devices—Part I. *IEEE Transactions on Electron Devices*, 62(2) :423–433, February 2015.
- [NATP15] Thanh-That Nguyen, Arif Ahmed, T. V. Thang, and Joung-Hu Park. Gate Oxide Reliability Issues of SiC MOSFETs Under Short-Circuit Operation. *Power Electronics, IEEE Transactions on*, 30(5) :2445–2455, May 2015.
- [NXP12] NXP Semiconductors. *Failure signature of electrical overstress on power MOSFETs (Application Note AN11243)*, October 2012. Rev. 01.
- [OBL<sup>+</sup>12] D. Othman, M. Berkani, S. Lefebvre, A. Ibrahim, Z. Khatir, and A. Bouzourene. Comparison study on performances and robustness between SiC MOSFET & JFET devices – Abilities for aeronautics application. *Microelectronics Reliability*, 52(9-10) :1859–1864, September 2012.
- [OBL<sup>+</sup>14] Rémy Ouaida, Maxime Berthou, Javier León, Xavier Perpiñà, Sebastien Oge, Pierre Brosselard, and Charles Joubert. Gate Oxide Degradation of SiC MOSFET in Switching Conditions. *IEEE Electron Device Letters*, 35(12) :1284–1286, December 2014.

- [OLB<sup>+</sup>13] D. Othman, S. Lefebvre, M. Berkani, Z. Khatir, A. Ibrahim, and A. Bouzourene. Robustness of 1.2kV SiC MOSFET devices. *Microelectronics Reliability*, 53(9-11) :1735–1738, September 2013.
- [Oth15] Dhouha Othman. *Etude d'interrupteurs en carbure de silicium et potentiel d'utilisation dans les convertisseurs aéronautiques*. PhD thesis, UNIVERSITE PARIS-SACLAY, Ecole Normale Supérieure de Cachan, December 2015.
- [Oua14] R. Ouaida. *Vieillessement et mécanismes de dégradation sur des composants de puissance en carbure de silicium (SiC) pour des applications haute température*. PhD thesis, Université Lyon 1, October 2014.
- [Pan09] Panasonic. Failure Mechanism of Semiconductor Devices. Technical Report T04007BE-3, April 2009.
- [PDGP08] N. Patil, D. Das, K. Goebel, and M. Pecht. Failure precursors for insulated gate bipolar transistors (IGBTs). In *9th International Seminar on Power Semiconductors (ISPS 2008)*, pages 107–112. IEE, 2008.
- [PLP<sup>+</sup>11] S. Pietranico, S. Lefebvre, S. Pommier, M. Berkani Bouaroudj, and S. Bontemps. A study of the effect of degradation of the aluminium metallization layer in the case of power semiconductor devices. *Microelectronics Reliability*, 51(9-11) :1824–1829, September 2011.
- [RBD<sup>+</sup>15] R. Ruffilli, M. Berkani, P. Dupuy, S. Lefebvre, Y. Weber, and M. Legros. In-depth investigation of metallization aging in power MOSFETs. *Microelectronics Reliability*, 55 :1966–1970, August 2015. Proceedings of the 26th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis.
- [RCDFI13] M. Riccio, A. Castellazzi, G. De Falco, and A. Irace. Experimental analysis of electro-thermal instability in SiC Power MOSFETs. *Microelectronics Reliability*, 53(9-11) :1739–1744, September 2013.
- [RHD<sup>+</sup>10] Sei H. Ryu, Brett A. Hull, Sarit Dhar, L. Cheng, Qing C. Zhang, Jim Richmond, Mrinal K. Das, Anant Agarwal, John Palmour, Aivars J. Lelis, Bruce Geil, and Charles Scozzie. Performance, Reliability, and Robustness of 4H-SiC Power DMOSFETs. *Materials Science Forum*, 645-648 :969–974, April 2010.
- [RMR<sup>+</sup>15] G. Romano, L. Maresca, M. Riccio, V. d'Alessandro, G. Breglio, A. Irace, A. Fayyaz, and A. Castellazzi. Short-circuit failure mechanism of SiC power MOSFETs. In *Power Semiconductor Devices & IC's (ISPSD), 2015 IEEE 27th International Symposium on*, pages 345–348. IEEE, May 2015.



- [RSL<sup>+</sup>09] S. L. Rumyantsev, M. S. Shur, M. E. Levinshtein, P. A. Ivanov, J. W. Palmour, A. K. Agarwal, B. A. Hull, and Sei-Hyung Ryu. Channel mobility and on-resistance of vertical double implanted 4H-SiC MOSFETs at elevated temperatures. *Semiconductor Science and Technology*, 24(7) :075011+, July 2009.
- [SB03] Dieter K. Schroder and Jeff A. Babcock. Negative bias temperature instability : Road to cross in deep submicron silicon semiconductor manufacturing. *Journal of Applied Physics*, 94(1) :1–18, July 2003.
- [SBdR02a] P. Spirito, G. Breglio, V. d’Alessandro, and N. Rinaldi. Analytical model for thermal instability of low voltage power MOS and SOA in pulse operation. In *Proceedings of the 14th International Symposium on Power Semiconductor Devices and Ics*, pages 269–272. IEEE, 2002.
- [SBdR02b] P. Spirito, G. Breglio, V. d’Alessandro, and N. Rinaldi. Thermal instabilities in high current power MOS devices : experimental evidence, electro-thermal simulations and analytical modeling. In *23rd International Conference on Microelectronics. Proceedings (Cat. No.02TH8595)*, pages 23–30. IEEE, 2002.
- [Sch07] Dieter K. Schroder. Negative bias temperature instability : What do we understand? *Microelectronics Reliability*, 47(6) :841–852, June 2007.
- [Sch09] Dieter K. Schroder. Bias temperature instability in silicon carbide. In *Semiconductor Device Research Symposium, 2009. ISDRS '09. International*, pages 1–2. IEEE, December 2009.
- [SFH<sup>+</sup>11] Vanessa Smet, Francois Forest, Jean-Jacques Huselstein, Frédéric Richardeau, Zoubir Khatir, Stéphane Lefebvre, and Mounira Berkani. Ageing and Failure Modes of IGBT Modules in High-Temperature Power Cycling. *IEEE Transactions on Industrial Electronics*, 58(10) :4931–4941, October 2011.
- [SFPS99] R. Schomer, P. Friedrichs, D. Peters, and D. Stephani. Significantly improved performance of MOSFETs on silicon carbide using the 15R-SiC polytype. *IEEE Electron Device Letters*, 20(5) :241–244, May 1999.
- [SGH08] U. Sharma, H. Y. Gee, and P. G. Holland. Method of Making Reliable Wafer Level Chip Scale Package Semiconductor Devices, September 2008.
- [Sin06] Ranbir Singh. Reliability and performance limitations in SiC power devices. *Microelectronics Reliability*, 46(5-6) :713–730, May 2006.
- [Sis10] Franz Sischka. *IC-CAP Modeling Handbook*. Agilent Technologies, October 2010.

- [SK06] R. G. Southwick and W. B. Knowlton. Stacked Dual-Oxide MOS Energy Band Diagram Visual Representation Program (IRW Student Paper). *IEEE Transactions on Device and Materials Reliability*, 6(2) :136–145, June 2006.
- [SMD<sup>+</sup>14] Ninoslav Stojadinović, Ivica Manić, Danijel Danković, Snežana Djorić-Veljković, Vojkan Davidović, Aneta Prijić, Snežana Golubović, and Zoran Prijić. Negative Bias Temperature Instability in Thick Gate Oxides for Power MOS Transistors. In Tibor Grasser, editor, *Bias Temperature Instability for Devices and Circuits*, pages 533–559. Springer New York, 2014.
- [SN07] S. M. Sze and Kwok K. Ng. *Physics of semiconductor devices*. Wiley-Interscience, 2007.
- [Sol99] Lelia Soliman. *Caracterisation de composants microelectroniques de test pour la technologie ulsi sur silicium*. PhD thesis, Université de Rouen, July 1999.
- [SSF<sup>+</sup>13] Thomas Santini, Morand Sebastien, Miller Florent, Luong-Viêt Phung, and Bruno Allard. Gate oxide reliability assessment of a SiC MOSFET for high temperature aeronautic applications. In *ECCE Asia Downunder (ECCE Asia), 2013 IEEE*, pages 385–391. IEEE, June 2013.
- [SZ06] J. H. Stathis and S. Zafar. The negative bias temperature instability in MOS devices : A review. *Microelectronics Reliability*, 46(2-4) :270–286, February 2006.
- [SZZ<sup>+</sup>11] Xiao Shen, En X. Zhang, Cher X. Zhang, Daniel M. Fleetwood, Ronald D. Schrimpf, Sarit Dhar, Sei-Hyung Ryu, and Sokrates T. Pantelides. Atomic-scale origins of bias-temperature instabilities in SiC–SiO<sub>2</sub> structures. *Applied Physics Letters*, 98(6) :063507+, February 2011.
- [Tex] Texas Instruments. Understanding MOSFET data sheets, Part 1 - UIS/avalanche ratings. Electronic document : [https://e2e.ti.com/blogs\\_/b/powerhouse/archive/2015/04/25/fet-datasheets-demystified-part-1](https://e2e.ti.com/blogs_/b/powerhouse/archive/2015/04/25/fet-datasheets-demystified-part-1).
- [Tos16] Toshiba. *Selecting MOSFETs and Consideration for Circuit Design*, November 2016. Application Note.
- [TWB<sup>+</sup>95] J. L. Titus, C. F. Wheatley, D. I. Burton, I. Mouret, M. Allenspach, J. Brews, R. Schrimpf, K. Galloway, and R. L. Pease. Impact of oxide thickness on SEGR failure in vertical power MOSFETs ; development of a semi-empirical expression. *IEEE Transactions on Nuclear Science*, 42(6) :1928–1934, December 1995.

- [WLL<sup>+</sup>12] Lixin Wang, Jiang Lu, Gang Liu, Chunlin Wang, Rui Teng, Zhengsheng Han, and Yang Xia. Simulation of the sensitive region to SEGR in power MOSFETs. *Journal of Semiconductors*, 33(5) :054008+, May 2012.
- [YC13] L. Yang and A. Castellazzi. High temperature gate-bias and reverse-bias tests on SiC MOSFETs. *Microelectronics Reliability*, 53(9-11) :1771–1773, September 2013.
- [Zha06] Xiaohu Zhang. *Failure Mechanisms in Wideband Semiconductor Power Devices*. PhD thesis, University of Maryland, College Park, 2006.

# Annexe 1 : Capacité MOS idéale

La structure MOS est un outil très souple pour étudier les nombreux phénomènes électriques ayant lieu dans la couche d'oxyde, à l'interface SiC/SiO<sub>2</sub> et dans la couche de carbure de silicium près de l'interface. La capacité MOS est une structure en couches parallèles composée d'une couche métallique (grille) et d'une couche de semiconducteur (SiC pour notre étude). Les deux électrodes sont séparées par une fine couche d'isolant d'oxyde de silicium (diélectrique de grille).

La capacité totale  $C$  (par unité de surface) de la structure MOS est équivalente à la mise en série de deux capacités (équation 4.4 : la capacité de la couche d'oxyde  $C_{ox}$  (exprimée par unité de surface dans l'équation 4.7) et la capacité du semiconducteur  $C_{SC}$  (équation 4.6). C'est la variation de  $V_G$  qui engendre une variation de  $V_S$  (potentiel de surface) donnée dans l'expression 4.5 ( $V_{ox}$  tension appliquée aux bornes de la couche d'oxyde).

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{SC}} \quad (4.4)$$

et

$$V_G = V_S + V_{ox} \quad (4.5)$$

avec

$$C_{SC} = -\frac{dQ_{SC}}{dV_S} \quad (4.6)$$

et

$$C_{ox} = \frac{\epsilon_0 \cdot \epsilon_{SiO_2}}{t_{ox}} \quad (4.7)$$

Il est possible, à partir de l'équation de poisson d'exprimer la charge par unité de surface  $Q_{SC}$  dans le semiconducteur de type P à l'équilibre (SiC dans le cadre de notre étude),

en fonction du potentiel de surface  $V_S$  pour différents niveaux de polarisation  $V_G$  de la structure [SN07] :

$$Q_{SC} = -\text{Sign}(V_S) \cdot \sqrt{2\varepsilon_{SiC} kT N_A} \cdot \sqrt{\frac{\frac{qV_S}{kT} + \exp\left(-\frac{qV_S}{kT}\right) - 1}{-\exp\left(\frac{-2q\phi_F}{kT}\right) \left[\frac{qV_S}{kT} - \exp\left(\frac{qV_S}{kT}\right) + 1\right]}} \quad (4.8)$$

avec  $Q_{SC}$  quantité de charge par unité de surface ( $\text{C}\cdot\text{cm}^{-2}$ ),  
 $V_S$  potentiel de surface (V) appliqué sur le semiconducteur,  
 $N_A$  dopage de substrat ( $\text{cm}^{-3}$ ),  
 $T$  température absolue (K),  
 $n_i$  concentration intrinsèque du carbure de silicium ( $\text{cm}^{-3}$ ),  
 $\varepsilon_{SiC}$  permittivité relative du SiC,  
 $K$  constante de Boltzmann,  
 $\phi_F$  potentiel de Fermi (par rapport au potentiel de Fermi intrinsèque) (V) :

$$\phi_F = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (4.9)$$

En fonction de la tension appliquée, la structure passe par trois régimes (accumulation, déplétion et inversion). Les expressions de la charge  $Q_{SC}$  et de la capacité de la structure seront différentes selon le régime de polarisation.

## Régime d'accumulation

Dans ce régime,  $V_S$  est négatif et  $Q_{SC}$  est positif (figure 4.15.a). Les porteurs libres (trous) forment une couche d'épaisseur très faible dans le semiconducteur de sorte que  $C_{SC} \gg C_{ox}$ . La capacité complète peut être assimilée à la capacité d'oxyde  $C_{ox}$ , ainsi :

$$C = C_{acc} = C_{ox} \quad (4.10)$$

Il est à noter que la valeur de cette capacité est indépendante de la fréquence de mesure.

## Régime de déplétion (désertion)

Dans ce régime  $0 < V_S < 2\phi_F$  et  $Q_{SC}$  est négatif (figure 4.15.b). Par effet d'influence les trous sont repoussés de l'interface isolant-semiconducteur, il se crée une charge négative due à la ZCE d'épaisseur  $W$ . Il se forme une désertion des porteurs majoritaires à l'interface isolant-semiconducteur. Pour  $\phi_F < V_S < 2\phi_F$  une couche d'électrons libres commence à apparaître en surface.

En régime de déplétion, la capacité de la structure est égale à la mise en série de la capacité de l'isolant (constante) en série avec la capacité de la zone de désertion (qui varie en fonction de la tension appliquée sur la structure). La valeur de cette capacité est aussi indépendante de la fréquence de mesure.

$$\frac{1}{C} = \frac{1}{C_{dep}} = \frac{1}{C_{ox}} + \frac{1}{C_{SC}} \quad (4.11)$$

avec

$$C_{SC} = \sqrt{\frac{q\varepsilon_{Si}C N_A}{2V_S}} \quad (4.12)$$

donc :

$$C = \frac{C_{ox}}{1 + \sqrt{\frac{2C_{ox}^2 V_S}{q\varepsilon_{Si}C N_A}}} \quad (4.13)$$

## Régime d'inversion

Dans ce régime  $V_S > 2\phi_F$  (figure 4.15.c), les trous sont de plus en plus repoussés de l'interface isolant-semiconducteur pendant que les électrons sont de plus en plus attirés. Une couche d'électrons libres dite couche d'inversion (d'épaisseur très faible) vient s'ajouter à la charge de déplétion qui elle ne varie pratiquement plus. Les électrons minoritaires dans le semiconducteur (type P) sont majoritaires à l'interface isolant-semiconducteur.

La variation de la charge d'inversion ( $Q_{inv}$ ) est un mécanisme lent. Pour que cette charge augmente, il faut attendre que des électrons minoritaires soient créés par l'agitation thermique ou par photogénération et viennent se plaquer sur l'interface isolant-semiconducteur. La capacité dans ce régime est différente en fonction de la fréquence utilisée.

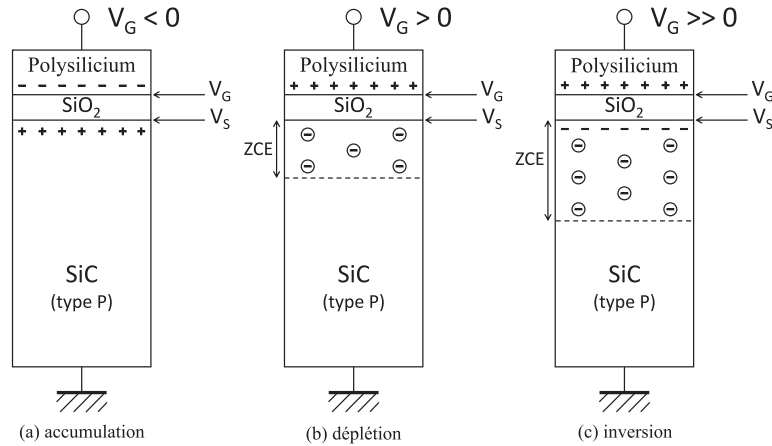


FIGURE 4.15 – Distribution des charges pour les différents régimes de polarisation pour une capacité MOS de type P.

### Cas de Basses Fréquences : régime quasi statique

Dans le cas où la mesure de la capacité de la structure s'effectue en Basse Fréquence (BF : régime quasi-statique qqHz), les variations de la charge d'inversion  $\Delta Q_{inv}$  peuvent compenser les variations (lentes) de la charge  $\Delta Q_m$  (charge dans le métal). La capacité mesurée est alors équivalente à celle de la couche d'oxyde :

$$C = C_{inv} = C_{ox} = \frac{\epsilon_0 \cdot \epsilon_{SiO_2}}{t_{ox}} \quad (4.14)$$

### Cas des Hautes Fréquences

Pour des mesures en Hautes Fréquences (HF : qq MHz), la variation rapide de la charge  $\Delta Q_m$  ne peut être compensée par une variation de la charge d'inversion. C'est donc une variation de la charge de déplétion  $\Delta Q_W$  qui fait l'équilibre. Les porteurs majoritaires vont s'éloigner de plus en plus de l'interface, ce qui va avoir pour conséquence l'augmentation de la zone déserte. La capacité mesurée est alors égale à la capacité de la couche d'oxyde additionnée à celle de la zone déserte :

$$\frac{1}{C} = \frac{1}{C_{inv}} = \frac{1}{C_{ox}} + \frac{1}{C_{SC}} \quad (4.15)$$

avec

$$C_{SC} = \frac{\epsilon_0 \cdot \epsilon_{SiC}}{W_{SClim}} \quad (4.16)$$

$W_{SClim}$  étant la valeur limite de l'épaisseur de la zone déserte.

La figure 4.16 présente la variation de la capacité en fonction de la tension pour les différents régimes cités ci-dessus et pour deux fréquences données (BF et HF).

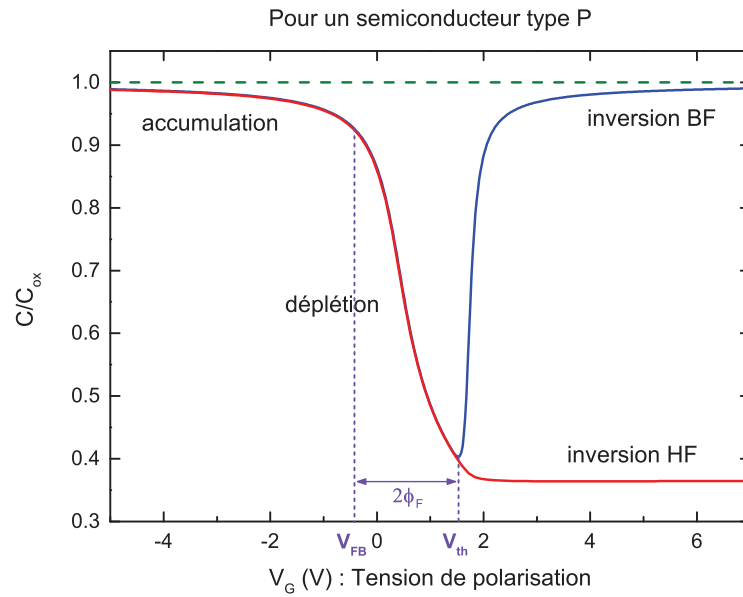


FIGURE 4.16 – Courbes  $C/C_{max}$  idéales en quasi-statique et en haute fréquence pour une capacité MOS de type P.



## Résumé

L'amélioration des systèmes de conversion d'énergie rend les dispositifs à base de SiC très attractifs pour leur efficacité, compacité et robustesse. Cependant, leur comportement en réponse à un défaut de court-circuit doit être soigneusement étudié pour assurer la fiabilité des systèmes. Ce travail de recherche porte sur les problèmes de robustesse et de fiabilité du MOSFET SiC sous contraintes de court-circuit. Cette étude repose sur des caractérisations électriques et microstructurales. La somme de toutes les caractérisations avant, pendant et après les tests de robustesse ainsi que l'analyse microstructurale permet de définir des hypothèses sur l'origine physique de la défaillance pour ce type de composants. De plus, la mesure de la capacité est introduite au cours des tests de vieillissement en tant qu'indicateur de santé et outil clé pour remonter à l'origine physique du défaut.

## Mots clés

MOSFET, Silicon Carbide, court-circuit, test de stress, fiabilité, robustesse, analyse de défaillance, vieillissement

## Abstract

The improvement of power conversion systems makes SiC devices very attractive for efficiency, compacity and robustness. However, their behavior in response to short circuit mode must be carefully studied to ensure the reliability of systems. This research work deals with the SiC MOSFET robustness and reliability issues under short-circuit constraints. It is based upon electrical and microstructural characterizations. The sum of all the characterizations before, during and after the robustness tests as well as microstructural analysis allows to define hypotheses regarding the physical origin of failure of such components. Also, capacitance measurement is introduced during aging tests as a health indicator and a key tool to go back to the physical origin of the defect.

## Keywords

MOSFET, Silicon Carbide, short-circuit, stress test, reliability, robustness, failure analysis, aging