



HAL
open science

Contribution à la continuité de service des convertisseurs statiques multiniveaux

Florent Becker

► **To cite this version:**

Florent Becker. Contribution à la continuité de service des convertisseurs statiques multiniveaux. Energie électrique. Université de Lorraine, 2017. Français. NNT : 2017LORR0202 . tel-01813413

HAL Id: tel-01813413

<https://theses.hal.science/tel-01813413>

Submitted on 12 Jun 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



AVERTISSEMENT

Ce document est le fruit d'un long travail approuvé par le jury de soutenance et mis à disposition de l'ensemble de la communauté universitaire élargie.

Il est soumis à la propriété intellectuelle de l'auteur. Ceci implique une obligation de citation et de référencement lors de l'utilisation de ce document.

D'autre part, toute contrefaçon, plagiat, reproduction illicite encourt une poursuite pénale.

Contact : ddoc-theses-contact@univ-lorraine.fr

LIENS

Code de la Propriété Intellectuelle. articles L 122. 4

Code de la Propriété Intellectuelle. articles L 335.2- L 335.10

http://www.cfcopies.com/V2/leg/leg_droi.php

<http://www.culture.gouv.fr/culture/infos-pratiques/droits/protection.htm>

Université de Lorraine

Ecole Doctorale "Informatique – Automatique – Electrotechnique – Electronique – Mathématiques"
Département de Formation Doctorale "Electrotechnique – Electronique"

THESE

Présentée à

L'Université de Lorraine

En vue de l'obtention du titre de

DOCTEUR de l'Université de Lorraine
Spécialité : Génie Electrique

Par

Florent BECKER

**Contribution à la continuité de service des convertisseurs statiques
multiniveaux**

Soutenue publiquement le 04 Décembre 2017

Membres du Jury :

Rapporteurs :

Eric Monmasson	Professeur, SATIE – Université de Cergy-Pontoise
Mickael Hilairet	Professeur, FEMSTO-ST - Université de Franche-Comté

Examineurs:

Betty Lemaire-Semail	Professeur, L2EP – Université des Sciences et Technologies de Lille
Virginie Peron	Ingenieur R&D – General Electric Renewable Energy - Nantes
Philippe Poure	MDC-HDR, IJL - Université de Lorraine, Directeur de Thèse
Shahrokh Saadate	Professeur, GREEN - Université de Lorraine, Co-directeur de Thèse

Thèse préparée au sein des Laboratoires IJL (Institut Jean Lamour) et GREEN (Groupe de Recherche en Electronique et Electrotechnique de Nancy) de l'Université de Lorraine.

Institut Jean Lamour, Université de Lorraine, Faculté des Sciences et Technologies, BP 70239, 54506, Vandœuvre-lès-Nancy

Laboratoire GREEN, Université de Lorraine, Faculté des Sciences et Technologies, BP 70239, 54506, Vandœuvre-lès-Nancy

Remerciements

Les travaux de thèse présentés dans ce mémoire ont été effectués dans le cadre d'une collaboration entre l'Institut Jean Lamour (IJL) et le Groupe de Recherche en Electrotechnique et Electronique de Nancy (GREEN), tous deux laboratoires de l'Université de Lorraine. Je remercie M. Éric GAFFET et M. Bernard DAVAT, Professeurs à l'Université de Lorraine, respectivement Directeurs de l'IJL et du laboratoire GREEN, de m'avoir accueilli au sein de leurs laboratoires.

Je tiens, tout d'abord, à remercier et à exprimer ma profonde reconnaissance à Monsieur Philippe POURE pour avoir dirigé cette thèse. Ses précieux conseils, sa disponibilité ainsi que nos nombreuses discussions m'ont permis de progresser tout au long de ces travaux de thèse.

J'exprime mes sincères remerciements à Monsieur Shahrokh SAADATE, Professeur à l'Université de Lorraine, d'avoir bien voulu co-diriger ma thèse. Je le remercie également pour la confiance qu'il m'a constamment témoignée durant ces années.

Je tiens à exprimer ma profonde gratitude à Madame Betty LEMAIRE-SEMAIL, Professeur à Université des Sciences et Technologies de Lille, pour l'honneur qu'elle m'a fait, en acceptant de présider mon jury de thèse.

Je remercie également M. Eric MONMASSON et M. Mickael HILAIRET, respectivement Professeur à l'Université de Cergy-Pontoise et Professeur l'Université de Franche-Comté, d'avoir accepté d'être rapporteurs de cette thèse et pour l'intérêt qu'ils ont porté à l'évaluation de mes travaux de recherche.

Je tiens également à remercier Mme Virginie Peron, Ingénieur R&D chez General Electric Renewable Energy à Nantes d'avoir accepté d'examiner ma thèse et d'apporter sa vision industrielle sur mes travaux de recherche.

Un grand merci à tous mes collègues du GREEN, de l'IJL et de l'Université de Lorraine pour ces merveilleuses années passées à leurs côtés, aussi bien sur le plan recherche, avec nos nombreuses discussions, que sur le plan humain avec son lot de pause-café et de sorties. Merci à Michaël, Jimny, Nicolas, Julien, Eric, Ehsan, Mahmoud, Bashar, Rada, Lamia, Bastien, Raphael, Anis, Alex, Romain, Saima, Eber, Benjamin, Aina, Badr, Mohamed, Cihan, Stéphanie, Isabelle, Patrice, Pierre, Christine, Jean Leveque, Malika Hinaje, Smail Mezani, Bruno Douine, Thierry Lubin, Gaëtan Didier, Kévin Berger, Hocine Menana, Francis Weinachter, Patrick Schweitzer, Djilali Kourtiche, Slavisa Jovanovic, Laouès Guendouz, Yves Berviller, Serge Weber, Etienne Tisserand. Merci également à tous ceux ce que j'aurais pu oublier.

Finalement, je tiens à remercier du plus profond de mon cœur mes parents, mes frères, ainsi que l'ensemble de ma famille et de mes amis proches pour leur soutien inconditionnel. La question " Tu soutiens quand ? " a enfin eu sa réponse. Merci à tous.

Table des matières

Table des matières	iv
Chapitre I - Convertisseurs multiniveaux : Structures et contrôle	1
1. Introduction.....	2
2. Topologies de base des convertisseurs de tension	3
2.1. Le convertisseur deux niveaux	3
2.2. Les Convertisseurs 3 niveaux.....	4
2.2.1. Structure basée sur deux demi-ponts en H.....	4
2.2.2. Structure Pont en H.....	5
2.2.3. Structure à capacité flottante	6
2.2.4. Structure à fractionnement du bus continu.....	9
2.2.4.1. Structure Neutral Point Clamped ou NPC	9
2.2.4.2. Structure Active Neutral Point Clamped ou ANPC.....	12
2.2.4.3. Structure Neutral Point Piloted ou NPP	15
2.2.5. Étude comparative des différents convertisseurs étudiés.....	19
3. Familles de convertisseurs multiniveaux.....	21
3.1. Structures avec fractionnement du bus continu.....	21
3.1.1. Topologie NPC	22
3.1.2. Topologie FC.....	24
3.2. Structures type « Modulaire»	25
3.2.1. Convertisseur Modulaire à base de Pont en H.....	25
3.2.2. Convertisseur Modulaire à base de Demi-ponts en H	27
4. Contrôle des convertisseurs multiniveaux	28
4.1. PWM sinusoïdale ou sous-harmonique (PS-PWM)	29
4.2. PWM à sélection d'harmoniques à éliminer (SHE-PWM)	29
4.3. PWM vectorielle (SV-PWM)	30
4.4. Level-shifted Modulation (LS-PWM)	31
4.5. Conclusion	32
Chapitre II : Contrôle à nombre minimal de commutations pour les structures HB-NPC et HB-T- Type	34
1. Introduction.....	35
2. Simulation d'un convertisseur HB-NPC à 5 niveaux, commandé en LS-PWM	36
2.1. Description du système	36

2.2.	Résultats de simulation	39
2.3.	Possibilité de réduction du nombre de commutations.....	40
2.3.1.	Principe général de la minimisation des commutations	43
2.3.1.1.	Reconstitution du niveau de tension V_o^*	44
2.3.1.2.	Recherche de la trajectoire à nombre minimal de commutations	44
3.	Cas du HB-NPC à 5 niveaux avec minimisation des commutations	46
3.1.	Niveaux de tension et composants passants	46
3.2.	Trajectoires à nombre minimal de commutations.....	47
3.3.	Résultats de simulation avec optimisation du nombre de commutations.	53
3.4.	Cas du HB-NPC à 5 niveaux avec minimisation des commutations – Résultats expérimentaux 56	
3.4.1.	Résultats expérimentaux avec un contrôle LS-PWM	58
3.4.2.	Résultats expérimentaux avec un contrôle OPT-PWM	60
4.	Cas du HB-T-Type à 5 niveaux avec minimisation des commutations	63
4.1.	Niveaux de tension et composants passants	63
4.2.	Résultats de simulation	67
4.2.1.	Simulation du HB-T-Type avec une commande de type LS-PWM.....	67
4.2.2.	Simulation du HB-T-Type avec minimisation des commutations.....	71
4.3.	Résultats expérimentaux.....	73
4.3.1.	HB-T-Type commandé par LS-PWM.....	73
4.3.2.	HB-T-Type avec minimisation des transitions.....	76
5.	Conclusion	79
	Chapitre III : Continuité de service des convertisseurs multiniveaux – Etat de l’art.....	80
1.	Introduction.....	81
2.	Continuité de service des convertisseurs.....	81
2.1.	Diagnostic	82
2.2.	Reconfiguration	83
3.	Diagnostic de défauts dans les convertisseurs multiniveaux de types NPC, ANPC, NPP (T-Type).85	
3.1.	Détection de défaut se basant sur les courants	86
3.1.1.	Algorithme de détection basé sur les courants de Park.....	86
3.1.2.	Détection sans utilisation des courants de Park	88
3.2.	Détection de défaut se basant sur les tensions	89
3.2.1.	Détection de défaut avec ajout de capteurs	89
3.2.2.	Détection de défaut sans ajout de capteur.....	91

3.3.	Conclusion	92
4.	Topologies de convertisseurs multiniveaux NPC, ANPC et NPP (T-Type) à tolérance de pannes.	92
4.1.	Introduction.....	92
4.2.	Structures NPC à tolérance de pannes sans IGBT additionnel	93
4.2.1.	Utilisation de 3 paires de thyristors additionnels	93
4.2.2.	Utilisation de fusibles additionnels uniquement	95
4.2.3.	Utilisation de fusibles associés à des thyristors	96
4.3.	Structure NPC à tolérance de pannes avec ajout d'IGBT	97
4.3.1.	IGBT additionnel pour garantir un fonctionnement en mode nominal après défaut.....	97
4.3.2.	IGBT additionnels utilisés en mode sain comme 4 ^{ème} bras de type FC	99
4.3.3.	IGBT additionnels utilisés en mode sain comme 4 ^{ème} bras résonnant.....	103
4.3.3.1.	Structures basées sur l'ajout de contacteurs	104
4.3.3.2.	Structure basée sur l'ajout de fusibles et de thyristors.....	107
4.4.	Structures ANPC et T-type à tolérance de pannes sans ajout d'IGBT	108
4.4.1.	Utilisation de fusibles associés à des thyristors	108
4.5.	Structure ANPC et T-type à tolérance de pannes avec ajout d'IGBT	110
4.5.1.	IGBT additionnels pour garantir le fonctionnement à puissance nominale après défaut ..	110
4.5.2.	IGBT additionnel réalisant un 4 ^{ème} bras redondant.....	113
4.6.	Bilan des topologies à tolérance de pannes.....	114
5.	Conclusion	117
	CHAPITRE IV : Continuité de service de convertisseurs multiniveaux de type Pont en H, à structure NPP ou T-type.....	119
1.	Introduction.....	120
2.	Convertisseurs étudiés	121
3.	Détection d'un défaut de type circuit ouvert.....	123
3.1.	Principe général de la détection pour un « Pont en H ».	123
3.2.	Résultats de Modélisation/Simulation dans le cas du convertisseur HB-T-Type	126
4.	Localisation d'un défaut de type circuit ouvert dans le cas du convertisseur HB-T-Type	130
4.1.	Méthode de localisation.....	130
4.2.	Résultats de Modélisation/Simulation	136
4.2.1.	Défaut circuit ouvert dans l'état S3.....	137
4.2.2.	Défaut circuit ouvert dans l'état S18.....	141
5.	Garantie de la continuité de service par reconfiguration du convertisseur HB-T-type	146
5.1.	Topologie de convertisseur HB-T-Type à tolérance de pannes et contrôle associé.	146

5.1.1.	Topologie HB-T-Type à tolérance de pannes	146
5.1.2.	Contrôle et gestion des défauts	147
5.2.	Résultats de Modélisation/Simulation	150
5.2.1.	Exemple de reconfiguration de la commande lors du défaut CO d'un switch horizontal ..	150
5.2.2.	Exemple de reconfiguration matérielle du convertisseur lors du défaut CO d'un switch vertical	152
6.	Conclusion	154
	CHAPITRE V : Validation expérimentale du convertisseur HB-T-Type à tolérance de pannes.....	158
1.	Introduction.....	159
2.	Choix technologiques pour l'implantation du contrôle, du diagnostic de défaut et de sa gestion	160
3.	Méthodologie de Prototypage de l'implantation sur cible FPGA.....	161
3.1.	Première étape : simulation fonctionnelle.....	163
3.2.	Deuxième étape : simulation mixte	163
3.3.	Troisième étape : le Prototypage "FPGA in the loop"	163
3.4.	Quatrième étape : validation entièrement expérimentale.....	165
4.	Etape de validation intermédiaire par prototypage « FPGA in the loop » du HB-T-Type à tolérance de pannes.....	165
4.1.	Résultats de Prototypage "FPGA in the Loop"	166
4.1.1.	Résultats issu du Prototypage "FPGA in the Loop" pour la détection de défaut.....	166
4.2.	Résultats issu du Prototypage "FPGA in the Loop" pour la localisation	168
4.3.	Résultats issus du Prototypage "FPGA in the Loop" pour la reconfiguration	171
4.3.1.	Reconfiguration avec redondance matérielle	171
4.3.2.	Reconfiguration sans redondance matérielle	172
4.5	Conclusion	174
5.	Résultats expérimentaux.....	175
5.1.	Description du banc de test expérimental	175
5.2.	Résultats expérimentaux suite à un défaut CO du switch horizontal TC1+ : diagnostic et reconfiguration.....	177
5.2.1.	Diagnostic d'un défaut CO du switch Tc1+.....	177
5.2.2.	Reconfiguration suite à un défaut localisé sur TC1+	178
5.3.	Résultat expérimental : défaut CO d'un switch vertical.....	179
5.3.1.	Diagnostic d'un défaut CO du switch T4	180
5.3.2.	Diagnostic d'un défaut CO du switch T1	181

5.3.3. Reconfiguration du convertisseur suite à la détection d'un défaut CO du switch vertical T1	183
6. Conclusion	184
Conclusion générale et perspectives.....	185
Bibliographie.....	189

Nomenclature

E, V_{dc} : Tension aux bornes du bus continu

T_{ij} : Transistor

δ_{ij} : Ordre de commande envoyé au transistor T_{ij}

D_{ij} : Diode

$V_o(t)$: Tension instantanée en sortie d'un convertisseur

$i(t)$: Courant instantané en sortie d'un convertisseur

C : Condensateur

NPC : Neutral Point Clamped (point neutre clampé)

ANPC : Active Neutral Point Clamped (point neutre clampé activement)

NPP : Neutral Point Piloted (point neutre piloté)

FC : Flying Capacitor (capacité flottante)

THD : Taux de Distorsion Harmonique

MMC : Modular Multilevel Converter (convertisseur modulaire multiniveaux)

PWM : Pulse Width Modulation (Modulation à largeur d'impulsions MLI)

LS-PWM : Level-Shifted Modulation (modulation pleine onde)

PS-PWM : Phase-Shifted Modulation

SHE-PWM : Selective Harmonic Elimination Modulation (Modulation à élimination d'harmoniques)

SV-PWM : Space Vector Modulation (modulation à vecteur d'états)

OPT-PWM : modulation optimisée proposée dans ce mémoire

NOC : nombre de commutations

NOT : nombre de trajectoires

NOC_{total} : Nombre total de commutations

Table des illustrations

Figure I.1 : Convertisseur 2 niveaux.	3
Figure I.2 : Tension de sortie d'une phase d'un convertisseur 2 niveaux.	3
Figure I.3: Mise en série de deux demi-ponts en H.....	4
Figure I.4 : Convertisseur Pont en H.....	5
Figure I.5 : Forme d'onde typique de la tension de sortie d'un pont en H.	5
Figure I.6: Structure triphasée 3 niveaux à capacités flottantes.....	6
Figure I.7: Représentation équivalente d'une phase du convertisseur 3 niveaux à capacités flottantes par deux cellules de commutation.....	7
Figure I.8 : Séquences de conduction d'un FC 3 niveaux (cas de la phase a).....	8
Figure I.9: Convertisseur triphasé NPC à 3 niveaux.....	9
Figure I.10 : Convertisseur NPC monophasé à 3 niveaux.....	10
Figure I.11: Séquences de conduction d'un NPC 3 niveaux monophasés.....	11
Figure I.12: Convertisseur ANPC 3 niveaux triphasé.	12
Figure I.13 : Vue détaillée d'une phase du convertisseur ANPC à 3 niveaux.	13
Figure I.14 : Séquences de conduction pour un ANPC 3 niveaux monophasé.....	14
Figure I.15 : (a) Convertisseur triphasé NPP 3 niveaux (b) Convertisseur triphasé T-type 3 niveaux... ..	16
Figure I.16: (a) Schéma détaillé d'une phase du convertisseur NPP à 3 niveaux (b) Schéma détaillé d'une phase du convertisseur T-type à 3 niveaux.....	17
Figure I.17 : Séquences de conduction d'un à NPP 3 niveaux selon le signe du courant $i_a(t)$	18
Figure I.18 : Elaboration d'une structure à N niveaux.....	22
Figure I.19 : Bras d'un convertisseur NPC à 5 niveaux.	23
Table I.9: Séquences de conduction du NPC 5 niveaux Figure I.20	23
Figure I.21 : Convertisseur FC à n cellules.....	24
Figure I.22 : Mise en cascade de 2 convertisseurs de type pont en H	25
Figure I.23 : Convertisseur modulaire basé sur une configuration triangle.....	26
Figure I.24: Convertisseur modulaire basé sur une configuration étoile.....	26
Figure I.25 : Structure NPC Pont en H à 5 niveaux.	27
Figure I. 26: Structure T-Type Pont en H à 5 niveaux.....	27
Figure I. 27 : Mise en cascade de convertisseurs de type demi-pont en H.....	28
Figure I.28 : Classification des méthodes de modulation pour convertisseurs multi-niveaux [21].	28
Figure I. 29 : Modulation de type PS-PWM avec 3 porteuses [22].	29
Figure I.30 : Exemple de commande MLI type SHE-PWM [22].	30
Figure I.31: Commande MLI de type « SV-PWM » pour un convertisseur 3 niveaux [25].....	31
Figure I.32 : Différentes possibilités de commande MLI type « LS-PWM » : (a) PD-PWM (b) POD-PWM (c) APOD-PWM [26].....	31
Figure II. 1 : Description du système étudié, basé sur un HB-NPC à 5 niveaux.....	36
Figure II.2 : (a) Topologie NPC à 3 niveaux. (b) Topologie HB-NPC à 5 niveaux.....	37
Figure II.3 : Génération des ordres de commande, interne au bloc LS-PWM.....	38
Figure II.4 : Formes d'ondes des signaux LS-PWM, ordres de commande et tension de sortie $V_o(t)$. .	38
Figure II. 5 : Résultats de simulation d'un convertisseur HB-NPC à 5 niveaux pour une commande rapprochée de type LS-PWM.	39

Figure II. 6 : Tension $V_o(t)$ en sortie du HB-NPC 5 niveaux : zoom sur les faibles variations.....	40
Figure II.7 : Tension $V_o(t)$, courants i_{T11} et i_{T24} et ordres de commande envoyés à T11 et T24 (ZOOM 1).....	41
Figure II.8 : Tension $V_o(t)$, courants i_{T11} et i_{T24} et ordres de commande envoyés à T11 et T24 (ZOOM 2).....	41
Figure II.9: Tension $V_o(t)$, courants i_{T21} et i_{T14} et ordres de commande envoyés à T21 et T14 (ZOOM 3).....	42
Figure II. 10: Tension $V_o(t)$, courants i_{T21} et i_{T14} et ordres de commande envoyés à T21 et T14 (ZOOM 4).....	42
Par ailleurs, nous avons analysé avec soin et sur une période tous les ordres de commande ainsi que les courants des switches associés. Seules les régions que nous avons ciblées sur la Figure II. 11 offraient une possibilité de réduction du nombre de commutations. Dans tous les autres cas, les commutations étaient optimisées et il n'est pas possible de réduire leur nombre.	42
Figure II.12: Principe général de la minimisation des commutations.	44
Figure II.13 : Recherche des trajectoires à nombre minimal de commutations.	45
Figure II.14: Configurations du convertisseur HB-NPC selon les 18 états de commutations possibles.	47
Figure II.15 : Principe de contrôle du HB-NPC à 5 niveaux.....	48
Figure II.16 : Etat de commutations et trajectoires associées lorsque $i(t)$ est positif.	49
Figure II. 17 : Etats de commutations et trajectoires associées lorsque $i(t)$ est négatif.	51
Figure II.18 : Algorithme complet pour l'optimisation des commutations.	52
Figure II.19 : HB-NPC connecté à une charge RL avec contrôle OPT-PWM.	53
Figure II. 20 : Tension et courant en sortie du convertisseur avec le contrôle OPT-PWM.	54
Figure II.21 : Tension V_o , courants i_{T11} et i_{T24} et ordres de commande δ_{11} et δ_{24} (ZOOM 1).....	54
Figure II.22 : Tension V_o , courants i_{T11} et i_{T24} et ordres de commande δ_{11} et δ_{24} (ZOOM 2).....	55
Figure II.23: Tension V_o , courants i_{T21} et i_{T14} et ordres de commande δ_{21} et δ_{14} (ZOOM 3).....	55
Figure II.24: Tension V_o , courants i_{T21} et i_{T14} et ordres de commande δ_{21} et δ_{14} (ZOOM 4).....	56
Figure II. 25: Banc de test expérimental du système décrit à la Figure II.15.	58
Figure II. 26 : Système de contrôle dSPACE et boîtier d'interface.	58
Figure II.27 : Tension et courant en sortie du convertisseur avec un contrôle LS-PWM.	59
Figure II.28: Tension de sortie $V_o(t)$ et ordres de commande envoyés à T11, T12, T23 et T24 (ZOOM 1 de la Figure II.27).....	59
Figure II.29 : Tension de sortie $V_o(t)$ et ordres de commande envoyés à T13, T14, T21 et T22 (ZOOM 2 de la Figure II.27).....	60
Figure II.30 : Tension et courant de sortie lors du contrôle OPT-PWM.	60
Figure II.31 : Tension de sortie $V_o(t)$ et ordres de commande envoyés à T11, T12, T23 et T24 (ZOOM 1 de la Figure II.30).	61
Figure II.32 : Tension de sortie $V_o(t)$ et ordres de commande envoyés à T13, T14, T21 et T22 (ZOOM 2 de la Figure II.30).	62
Figure II.33 : Convertisseur HB-T-Type à cinq niveaux.	63
Figure II. 34 : Configurations du convertisseur HB-T-Type selon les 18 états de commutation possibles.	64
Figure II.35 : Etats de commutation et trajectoires associées à $i(t) > 0$	65
Figure II.36 : Etats de commutation et trajectoires associées à $i(t) < 0$	66
Figure II. 37 : Système étudié, basé sur un HB-T-Type à cinq niveaux.....	67
Figure II. 38 : Tension $V_o(t)$ et courant $i(t)$ du HB-T-Type à 5 niveaux contrôlé par LS-PWM.....	68

Figure II. 39 : Tension $V_o(t)$, Courants i_{T1} et i_{T4} et ordres de commande envoyés à T1 et T4 (Zoom 1 de la Figure II. 38).	68
Figure II. 40 : Tension $V_o(t)$, Courants i_{T1} et i_{T4} et ordres de commande envoyés à T1 et T4 (Zoom2 de la Figure II. 38).	69
Figure II. 41 : Tension $V_o(t)$, Courant i_{T2} et i_{T3} et ordres de commande envoyés à T2 et T3 (Zoom3 de la Figure II. 38).	69
Figure II. 42: Tension $V_o(t)$, Courant i_{T2} et i_{T3} et ordres de commande envoyés à T2 et T3 (Zoom4 de la Figure II. 38).	70
Figure II. 43 : Tension et courant d'un convertisseur HP-T-Type à 5 niveaux avec contrôle OPT-PWM.	71
Figure II. 44 : Tension $V_o(t)$, Courants i_{T1} et i_{T4} et ordres de commande envoyés à T1 et T4 (Zoom1 de la Figure II. 43).	71
Figure II. 45 : Tension $V_o(t)$, Courants i_{T1} et i_{T4} et ordres de commande envoyés à T1 et T4 (Zoom2 de la Figure II. 43).	72
Figure II. 46 : Tension $V_o(t)$, Courants i_{T2} et i_{T3} et ordres de commande envoyés à T2 et T3 (Zoom3 de la Figure II. 43).	72
Figure II. 47 : Tension $V_o(t)$, Courants i_{T2} et i_{T3} et ordres de commande envoyés à T2 et T3 (Zoom4 de la Figure II. 43).	73
Figure II. 48 : Tension et courant en sortie du convertisseur HB-T-type avec une commande rapprochée de type LS-PWM.	74
Figure II. 49 : Tension $V_o(t)$, Courants i_{T1} et i_{T4} et ordres de commande envoyés à T1 et T4 (ZOOM 1 Figure II. 48)).	74
Figure II. 50 : Tension $V_o(t)$, Courants i_{T1} et i_{T4} et ordres de commande envoyés à T1 et T4 (ZOOM 2 Figure II. 48).	75
Figure II. 51: Tension $V_o(t)$, Courants i_{T2} i_{T3} et ordres de commande envoyés aT2 et T3 (ZOOM 3 Figure II. 48).	75
Figure II. 52 : Tension $V_o(t)$, courants i_{T2} i_{T3} et ordres de commande envoyés à T2 et T4 (ZOOM 4 Figure II. 48).	76
Figure II. 53 : Tension et courant du convertisseur HB-T-type avec la commande rapprochée OPT-PWM.	76
Figure II. 54 : Tension $V_o(t)$, Courants i_{T1} et i_{T4} et ordres de commande envoyés à T1 et T4 (ZOOM 1 Figure II. 53).	77
Figure II. 55 : Tension $V_o(t)$, Courants i_{T1} et i_{T4} et ordres de commande envoyés à T1 et T4 (ZOOM 2 Figure II. 53).	77
Figure II. 56: Tension $V_o(t)$, Courants i_{T2} i_{T3} et ordres de commande envoyés à T2 et T3 (ZOOM 3 Figure II. 53).	78
Figure II. 57: Tension $V_o(t)$, Courants i_{T2} i_{T3} et ordres de commande envoyés à T2 et T3 (ZOOM 4 Figure II. 53).	78
Figure III. 1 : Structure classique de conversion de l'énergie.	82
Figure III. 2 : Diagramme du principe général du diagnostic défaut.	83
Figure III. 3 : Diagnostic de défaut et convertisseur avec redondance matérielle.	84
Figure III. 4 : Diagnostic de défaut et convertisseur sans redondance matérielle.	85
Figure III. 5: Convertisseur NPC triphasé 3 niveaux avec 6 capteurs de courant additionnels pour la détection de défauts [11].	89

Figure III.6 : Circuit de détection de défaut [13].	90
Figure III. 7 : Structure NPC triphasé 3 niveaux classique (mode sain) [22].	93
Figure III. 8 : Structure triphasée NPC à 3 niveaux à tolérance de pannes, avec ajout de 3 paires de thyristors [22][23][24][25].	94
Figure III. 9 : Structure NPC triphasée à 3 niveaux à tolérance de pannes avec ajout de fusibles [26].	95
Figure III. 10 : Structure NPC triphasée à 3 niveaux à tolérance de pannes avec ajout de thyristors et de fusibles [27].	96
Figure III. 11 : Structure NPC triphasée à 3 niveaux à tolérance de pannes avec ajout d'IGBT et de fusibles [27].	97
Figure III. 12 : Structure NPC triphasée à 3 niveaux avec 4 ^{ème} bras additionnel à capacité flottante [28], [29].	99
Figure III. 13 : Structure NPC triphasée à tolérance de pannes avec 4 ^{ème} bras et ajout de fusibles [28].	100
Figure III. 14 : Structure NPC triphasée à 3 niveaux à tolérance de pannes avec 4 ^{ème} bras et ajout de fusibles, triacs, diodes et IGBT [28].	101
Figure III. 15 : Structure NPC triphasée classique à 3 niveaux en mode sain avec un 4 ^{ème} bras résonant [30], [31], [32].	103
Figure III. 16 : Structure NPC triphasée à 3 niveaux à tolérance de pannes avec 4 ^{ème} bras résonant et ajout de contacteurs [30], [31].	104
Figure III. 17 : Structure NPC triphasée à 3 niveaux à tolérance de pannes avec 4 ^{ème} bras résonant et ajout de contacteurs et d'IGBT [31].	105
Figure III. 18 : Structure NPC triphasée à 3 niveaux à tolérance de pannes avec 4 ^{ème} bras résonant et ajout de contacteurs, fusibles et thyristors [30].	106
Figure III. 19 : Structure NPC triphasée à 3 niveaux à tolérance de pannes avec 4 ^{ème} bras résonant et ajout de fusibles et de triacs [32].	107
Figure III. 20 : Structure ANPC triphasée à 3 niveaux à tolérance de pannes avec ajout de thyristors et de fusibles [33].	108
Figure III. 21 : Exemple de reconfiguration de la topologie Figure III. 20 dans le cas d'un défaut sur l'un des switches Sx1.	109
Figure III. 22 : Structure ANPC triphasée à 3 niveaux à tolérance de pannes avec ajout de thyristors et de fusibles [34].	109
Figure III. 23 : Structure ANPC à 3 niveaux à tolérance de pannes avec ajout de switches et de commutateur (phase x) [35].	110
Figure III. 24 : Structure T-Type triphasée à 3 niveaux à tolérance de pannes avec ajout d'IGBT et de thyristors [36].	111
Figure III. 25 : Structure T-Type triphasée à 3 niveaux à tolérance de pannes avec ajout d'IGBT (Figures a et b) et de thyristors (Figure b) [37].	112
Figure III. 26 : Structure ANPC triphasée à 3 niveaux à tolérance de pannes avec bras redondant [38].	113
Figure III. 27 : Structure T-Type triphasée à 3 niveaux à tolérance de pannes avec ajout d'un bras redondant [39].	114

Figure IV. 1 : Convertisseur HB-T-Type.....	121
Figure IV. 2 : Convertisseur HB-NPP.	122
Figure IV. 3: Principe général de l’algorithme de détection d’un défaut CO de l’un des switches.	124
Figure IV. 4: Algorithme de détection de défaut intégrant les deux critères « tension » et « temporel ».....	125
Figure IV. 5 : Convertisseur HB-T-type connecté à une charge R, L série.	126
Figure IV. 6 : Rappel de la structure du convertisseur HB-T-Type étudié.	127
Figure IV. 7: Résultat de simulation lors d’un défaut CO au niveau du switch T4.	128
Figure IV. 8 : Résultats de simulation zoomé lors d’un défaut CO sur T4.	129
Figure IV. 9 : Principe général du diagnostic pour un convertisseur HB T-type.....	130
Figure IV. 10 : Localisation d’un défaut de type CO, préalablement détecté lorsque le convertisseur est dans l’état de commutation S2 ($i(t)>0$).....	131
Figure IV. 11 : Localisation d’un défaut de type CO, préalablement détecté lorsque le convertisseur est dans l’état de commutation numéro 3 ($i(t)>0$)	133
Figure IV. 12 : Convertisseur HB-T-type connecté à une charge R, L série - détection et localisation du défaut.	136
Figure IV. 13 : Résultats de simulation quand T1 est en défaut CO dans l’état S3.	138
Figure IV. 14 : Résultats de simulation zoomés quand T1 est en défaut CO dans l’état S3.....	139
Figure IV. 15 : Résultats de simulation quand Tc2- est en défaut CO dans l’état S3.	140
Figure IV. 16 : Résultats de simulation zoomés quand Tc2- est en défaut CO dans l’état S3.	141
Figure IV. 17 : Résultats de simulation quand T2 est en défaut CO dans l’état S18.	142
Figure IV. 18 : Résultats de simulation zoomés quand T2 est en défaut CO dans l’état S18.....	143
Figure IV. 19: Résultats de simulation quand T3 est en défaut CO dans l’état S18.	144
Figure IV. 20 : Résultats de simulation quand T3 est en défaut CO dans l’état S18.	145
Figure IV. 21: Structure du convertisseur HB-T-Type à tolérance de pannes, proposée pour garantir la continuité de service.	147
Figure IV. 22 : Continuité de service d’un système de puissance basé sur un convertisseur HB-T-Type à tolérance de pannes.....	147
Figure IV. 23: Tension de sortie avant et après localisation du défaut et reconfiguration de la commande.....	151
Figure IV. 24: États de commutation par lesquels passe le convertisseur avant et après la localisation du défaut et reconfiguration de la commande.	152
Figure IV. 25: Tension de sortie $v_o(t)$ avant et après localisation du défaut CO de T4 et reconfiguration matérielle du convertisseur et de sa commande.....	153
Figure IV. 26 : Ordres de commande des switches T3, T4, Tr1, Tr2 et SW2, avant et après localisation du défaut CO de T4 et reconfiguration matérielle du convertisseur et de sa commande.	154
Figure V. 1 : Choix de l’implantation matérielle du contrôle à tolérance de pannes pour un HB-T-Type.	161
Figure V. 2 : Méthodologie de prototypage « FPGA in the loop »	162
Figure V. 3 : Principe du prototypage “FPGA in the loop”	165
Figure V. 4 : Résultats de simulation HIL de la détection de défaut par prototypage « FPGA in the Loop » lors d’un défaut CO au niveau de T4.	167

Figure V. 5 : Résultats de simulation HIL zoomé de la détection de défaut par prototypage « FPGA in the Loop » lors d'un défaut CO au niveau de T4.	167
Figure V. 6 : Résultats de simulation HIL, zoomé autour du défaut, quand T1 est en défaut CO dans l'état de commutation 1.....	169
Figure V. 7 : Résultats de simulation HIL, zoomé autour du défaut, quand T4 est en défaut CO dans l'état de commutation numéro 1.....	170
Figure V. 8 : Ordres de commande envoyés à T1, T2, Tr1, Tr2 et SW1 avant et après localisation d'un défaut CO au niveau du switch T1.....	171
Figure V. 9 : Tension de sortie avant et après localisation du défaut CO de T1 et reconfiguration du convertisseur.....	172
Figure V. 10 : Etats de commutation du convertisseur avant et après la localisation du défaut CO de TC1+.....	173
Figure IV. 11 : Tension de sortie avant et après localisation du défaut CO de TC1+.	174
Figure V. 12 : Photographie du banc de test expérimental.....	175
Figure V. 13 : Carte de développement FPGA.....	176
Figure V. 14 : Carte d'interface entre le FPGA, les capteurs et le système dSPACE.....	177
Figure V. 15 : Diagnostic d'un défaut CO du switch Tc1+ (base de temps = 5ms/div).....	178
Figure V. 16 : Diagnostic d'un défaut CO du switch Tc1+, zoom autour de l'instant d'apparition du défaut (base de temps = 20µs/div).	178
Figure V. 17 : Reconfiguration suite à un défaut CO du switch Tc1+ (base de temps = 5ms/div).	179
Figure V. 18 : Diagnostic d'un défaut CO du switch T4 (base de temps = 5ms/div).	180
Figure V. 19 : Diagnostic d'un défaut CO du switch T4, zoom autour de l'instant d'apparition du défaut (base de temps = 20µs/div).	181
Figure V. 20 : Diagnostic d'un défaut CO du switch T1 (base de temps = 5ms/div).	182
Figure V. 21 : Diagnostic d'un défaut CO du switch T1 (base de temps = 20µs/div).	182
Figure V. 22 : Reconfiguration du convertisseur suite à un défaut CO du switch T1 (base de temps = 5ms/div).....	183

Table des tableaux

Table I.1 : Etats de commutation d'une phase d'un convertisseur 2 niveaux.	3
Table I.2 : Etats de commutation d'un pont en H.	5
Table I.3: Niveaux de tension de pôle V_{aO} pour un convertisseur FC 3 niveaux.	7
Table I.4 : Séquences de conduction pour un NPC 3 niveaux et tensions de pôle.	10
Table I.5 : Séquences de conduction d'un ANPC 3 niveaux.	13
Table I.6 : Niveaux de tension V_{aO} en sortie d'un NPP 3 niveaux et d'un T-type 3 niveaux.	17
Table I.7 : Étude comparative des différentes topologies.	20
Table I.8 : Etude comparative qualitative des topologies NPP, T-Type, NPC et ANPC.....	20
Table I.9: Séquences de conduction du NPC 5 niveaux Figure I.20	23
Table II.1 : Paramètres de simulation.....	39
Table II.2 : Niveaux de tension possibles et états correspondants pour la topologie HB-NPC à 5 niveaux.	46
Table II.3 : Transitions et trajectoires possibles lors du passage d'un niveau de tension donné à un autre (Cas où $i(t) > 0$).....	50
Table II. 4 : Paramètres de simulation.....	53
Table II.5 : Niveaux de tension et états possibles de la topologie HB-T-Type.....	64
Table III. 1: Tensions V_{xn} possibles selon l'état des IGBT du bras lié à la phase x (Montage Figure III. 9).	96
Table III. 2 : Tensions V_{xn} possibles selon l'état des IGBT du bras lié à la phase x (Figure III. 11).	98
Table III. 3. : Bilan des structures à tolérance de pannes.....	116
Table IV. 1 : Niveaux de tension et états correspondants possibles pour les topologies HB-NPP et HB-T-Type lorsque $i(t)$ positif.	122
Table IV. 2 : Niveaux de tension de sortie et états correspondants possible pour les topologies HB-NPP et T-Type lorsque $i(t)$ est négatif.	123
Table IV. 3 : Exemple d'estimation de la tension théorique de sortie pour un convertisseur HB-T-type dans le cas d'un courant $i(t)$ positif.	125
Table IV. 4 : Algorithme de localisation de défaut pour $i(t) > 0$	135
Table IV. 5 : Algorithme de localisation de défaut pour $i(t) < 0$	136
Table IV. 6: Principe de la gestion d'un défaut CO de l'un des switches verticaux.....	149
Table IV. 7 : Principe de la gestion d'un défaut CO de l'un des switches horizontaux.	150

INTRODUCTION GENERALE

Les travaux de recherche présentés dans ce mémoire ont été menés dans le cadre d'une collaboration entre les deux laboratoires IJL (Institut Jean Lamour) et GREEN (Groupe de Recherche en Electrotechnique et Electronique de Nancy) de l'Université de Lorraine. Leur financement a été en partie assuré par la Région Lorraine. Plus particulièrement, cette collaboration implique l'équipe « Mesures et Architectures Electroniques » du Département 4 de l'IJL et l'équipe « Comportement dynamique des systèmes électriques » du GREEN. Ces travaux reposent sur une expertise des deux laboratoires dans les domaines de la continuité de service des systèmes électriques et de la conception d'architectures électroniques adaptatives pour leur commande, basées sur des cibles FPGA. Ils s'inscrivent dans la continuité d'une collaboration de plus de dix années entre ces deux laboratoires, ayant permis de contribuer significativement à la continuité de service des systèmes électriques, notamment à travers cinq thèses de Doctorat soutenues à ce jour. Par ailleurs, ce thème de recherche a également été soutenu scientifiquement et financièrement depuis 2010 par le Contrat de Projet Etat Région.

Au cours des dernières décennies, le nombre d'applications industrielles à haute et moyenne tension a considérablement augmenté. La connexion entre ces différentes applications requiert des combinaisons série-parallèle de semi-conducteurs de puissance. Les topologies de convertisseurs multiniveaux apportent des avantages majeurs à ces applications, tels que l'amélioration du contenu harmonique des formes d'ondes en sortie des convertisseurs, une fréquence de commutation des composants réduite et des niveaux de tension élevés en sortie du convertisseur. Parmi les différentes topologies multiniveaux, les convertisseurs Neutral Point Clamped (NPC), Active Neutral Point Clamped (ANPC) et Neutral Point Piloted (NPP) sont les plus largement utilisées dans les applications industrielles de forte puissance. Grace à ces topologies, des avancées majeures ont pu être réalisées quant à la réduction du taux d'harmonique en sortie des convertisseurs, ainsi qu'au niveau du rendement. Le principal avantage de ces convertisseurs est néanmoins de pouvoir délivrer des tensions de sortie élevées pour des applications fonctionnant sous plusieurs kV ; le transport d'énergie par liaison HVDC en est un exemple d'application, aujourd'hui en plein développement. Bien que les structures à trois niveaux de type NPC, ANPC ou NPP ne soient plus si récentes, elles restent néanmoins les structures de base pour le développement de convertisseurs toujours plus performants en termes de niveaux de puissance et de réduction d'harmonique ; on peut par exemple citer le cas des convertisseurs multicellulaires (MMC).

En complément de l'étude de ces topologies de convertisseurs multiniveaux et de leur commande, des travaux de recherche ayant pour objectifs d'accroître la durée de vie de ces convertisseurs et en assurer la continuité de service lors de pannes se sont développés ces dernières années. Deux solutions peuvent être envisagées pour atteindre ces objectifs. Une première approche consiste à réduire le nombre de commutations des composants de puissance, sur une période. Cette idée a pour origine le fait qu'un convertisseur multiniveaux a la capacité de générer le même niveau de tension en sortie pour plusieurs séquences de commutations différentes. Une seconde approche consiste à garantir la continuité de service du convertisseur, en cas de défaillance d'un semi-conducteur de puissance ou d'un driver. En effet, les convertisseurs statiques étant particulièrement

sensibles aux défauts pouvant survenir au niveau de leurs interrupteurs commandables, les convertisseurs multiniveaux le sont d'autant plus qu'ils comportent un nombre important de ces composants. Dans ce cas, de nouvelles topologies de convertisseurs à tolérance de pannes doivent être proposées, associées à un diagnostic de défaut et une commande adaptative selon le défaut détecté et sa localisation. Dans ce contexte, on peut alors envisager de garantir la disponibilité de l'énergie en mode nominal ou en mode dégradé. Un défaut non détecté et non corrigé rapidement peut créer des dégâts irréversibles. Ainsi, un diagnostic de défaut associé à une gestion de ce dernier grâce à une topologie de convertisseur à tolérance de pannes est donc indispensable pour éviter tout dégât et assurer la disponibilité de l'énergie électrique.

Ce mémoire de thèse comporte 5 chapitres.

Le premier chapitre est consacré à un état de l'art des structures de convertisseurs multiniveaux. Les structures à deux et trois niveaux, considérées comme les structures de base de la conversion multiniveaux, sont d'abord brièvement rappelées. Il s'agit notamment des structures Neutral Point Clamped (NPC), Active Neutral Point Clamped (ANPC), Neutral Point Piloted (NPP) et T-Type. Ensuite, les différentes structures à N niveaux sont abordées. Dans une seconde partie de ce chapitre, nous nous intéressons à la commande de ces convertisseurs à travers un état de l'art des stratégies de commandes usuelles mettant en œuvre des PWM, par exemple du type LS-PWM et SHE-PWM. Nous verrons comment l'adaptation de ces algorithmes de commande peut être envisagée, pour des convertisseurs comportant un nombre réduit de niveaux de tensions jusqu'à N niveaux.

Le deuxième chapitre propose une commande contribuant à l'accroissement de la durée de vie des composants de puissance. Pour augmenter cette durée de vie, nous envisageons de minimiser les commutations des composants commandables à l'ouverture et à la fermeture. Cette idée a pour origine le fait qu'un convertisseur multiniveaux permet de générer le même niveau de tension de sortie à partir de plusieurs séquences de commutations différentes. La commande ainsi proposée sera appelée commande optimisée (OPT-PWM) ; une approche générale sera d'abord présentée, indépendamment du convertisseur multiniveaux à commander. Ensuite, elle sera appliquée au cas de deux convertisseurs de puissance à 5 niveaux : il s'agira des structures nommées HB-NPC et HB-NPP dans ce mémoire. La première structure considérée est du type « Pont en H », constituée pour chacun de ses bras par un convertisseur NPC monophasé. La seconde dite « HB-NPP » repose sur le même principe que la première, mais pour une topologie de type NPP pour chaque bras. Dans un premier temps, cette commande OPT-PWM sera validée par modélisation/simulation pour les deux structures HB-NPC et HB-NPP. Ensuite, elle sera validée expérimentalement sur des convertisseurs réalisés au laboratoire, pilotés par un système dSPACE.

A partir du troisième chapitre, nous nous intéressons à la continuité de service des convertisseurs multiniveaux de types NPC, ANPC et T-Type. Le chapitre trois sera consacré à un état de l'art de ce domaine. Après avoir rappelé les contextes et principes de la continuité de service, une synthèse de la littérature scientifique portant sur le diagnostic de défaut dans les convertisseurs multiniveaux sera présentée. Ce diagnostic comporte deux étapes consécutives, d'abord la détection du défaut, suivie de sa localisation. L'état de l'art du diagnostic précisera notamment la nature du signal utilisé par l'algorithme de détection de défaut (tension ou courant), le composant dont la défaillance est détectée (switch ou diode), la nature du défaut détecté (circuit ouvert et/ou court-circuit) et le

temps de détection. Nous préciserons également si des capteurs supplémentaires, relativement à ceux déjà utilisés pour le contrôle en mode sain, sont utilisés. Quant à la localisation, il sera mentionné si le composant en défaut est précisément localisé ou s'il s'agit d'identifier un groupe de composants dont l'un d'eux est défaillant. La seconde partie de ce chapitre traitera des structures de convertisseurs à tolérance de pannes. Pour toutes les structures recensées dans la littérature, nous nous intéresserons aux types et au nombre de composants additionnels qui permettent de garantir la reconfiguration du convertisseur et sa continuité de service (switch, diodes, contacteur, fusible, triacs, ...). Nous mentionnerons également si le convertisseur conserve toutes ses performances après reconfiguration ainsi que son temps de reconfiguration.

Au quatrième chapitre, nous proposerons un diagnostic de défaut de type circuit ouvert pour les switches (composants commandables à l'ouverture et à la fermeture) ainsi qu'une structure innovante de convertisseur multiniveaux de type « Pont en H » à tolérance de pannes. Dans un premier temps, une méthode générale de détection d'un défaut de type Circuit Ouvert (CO) dans le cas de convertisseurs à structure « Pont en H » sera discutée. Ensuite, nous ciblerons plus spécifiquement les topologies HB-NPP et HB-T-Type, par ailleurs étudiées lors des chapitres 1 et 2, en mode sain. Une fois la détection d'un défaut réalisée, il devient nécessaire de discerner précisément le switch en défaut pour imposer une reconfiguration efficace et adaptée du convertisseur et ainsi garantir la continuité de service. Pour cela, une méthode de localisation basée sur la mesure et l'estimation de la tension de sortie du convertisseur sera proposée. Une fois le diagnostic (détection, puis localisation) du défaut réalisé, la seconde partie de ce chapitre sera consacrée à une topologie innovante de convertisseur HB-T-Type à tolérance de pannes. Cette structure comporte deux switches supplémentaires ainsi que deux triacs et permet de fonctionner au mode nominal, quel que soit le switch défaillant en CO. Selon la localisation du défaut, deux types de reconfigurations sont possibles. Si le switch défaillant est un switch dit « vertical », seul un changement de commande est appliqué pour assurer la continuité de service. Si le switch défaillant est un switch « horizontal », les composants additionnels doivent impérativement être utilisés et la commande doit également être modifiée. Le diagnostic ainsi que la reconfiguration du convertisseur seront validés par modélisation/simulation dans l'environnement MATLAB/Simulink.

Dans le dernier chapitre, l'objectif est de valider expérimentalement la continuité de service du convertisseur HB-T-Type 5 niveaux à tolérance de pannes, proposé et validé par modélisation/simulation au chapitre 4. Un banc de test a été spécifiquement réalisé au laboratoire durant ces travaux de thèse. L'approche privilégiée lors de la phase expérimentale est de cibler des performances temporelles des plus élevées pour le diagnostic du défaut et sa gestion, afin de garantir au plus vite la continuité de service. Pour ce faire, un composant FPGA Stratix II du fabricant Altera réalisera ces fonctions. Quant à la commande en mode sain, il s'agira de la commande présentée au Chapitre 2, alors implantée sur dSPACE. Une méthode de prototypage dite "FPGA in the Loop" sera utilisée dans ce chapitre. Ce prototypage permet de valider l'implantation sur FPGA avant la connexion de ce dernier dans un environnement de puissance réel. Une fois cette étape validée, une sélection de résultats obtenus sur la plateforme totalement expérimentale sera présentée. Ainsi, nous avons choisi de présenter deux cas de continuité de service (détection, localisation et gestion du défaut par reconfiguration du convertisseur et/ou de la commande), dans les cas d'un défaut CO d'un switch vertical et d'un switch horizontal.

Enfin, nous concluons ce mémoire par une synthèse des contributions majeures de ce travail de recherche. Nous mettrons en exergue les principaux résultats obtenus ainsi que les performances atteintes lors de la détection et de la continuité de service. Des perspectives de recherche seront proposées afin d'identifier des pistes de recherche dans ce vaste domaine de la continuité de service des convertisseurs multiniveaux.

Chapitre I - Convertisseurs multiniveaux : Structures et contrôle

1. Introduction

Dans le domaine du Génie Electrique, l'électronique de puissance représente une part importante des travaux de recherche. On peut notamment constater dans la littérature scientifique qu'une large part de ces recherches cible plus particulièrement les convertisseurs de puissance multiniveaux. Avec l'émergence des composants de puissance (thyristor, transistor), les convertisseurs de puissance multiniveaux ont fait leur apparition à partir des années 1960. Grace à ces convertisseurs, de grandes avancées ont pu être faites quant à la réduction du taux d'harmoniques en sortie des convertisseurs, ainsi qu'au niveau du rendement. Les convertisseurs de puissance multiniveaux ont vocation à être utilisés pour des applications de plusieurs kV, par exemple le transport HVDC pour l'éolien offshore.

Ainsi, l'intérêt majeur et croissant porté à ce domaine est principalement lié au fait que ces convertisseurs concernent des applications toujours plus performantes, permettant d'atteindre des niveaux de puissance des plus élevés. Bien que les structures à 3 niveaux soient devenues classiques, comme par exemple les topologies NPC ou bien encore NPP, de nouvelles structures émergent, permettant d'augmenter encore davantage le niveau de tension en sortie du convertisseur. Les principales motivations qui conduisent à élever le niveau de la tension de sortie sont d'une part l'augmentation de la puissance par le biais de la génération de tensions plus élevées et d'autre part la réduction du contenu harmonique.

Dans un premier temps, avant d'aborder la continuité de service de ces convertisseurs multiniveaux, il est important de présenter les principales structures de conversion possibles ainsi que les commandes qui peuvent y être associées. Ainsi, dans ce premier chapitre, un état de l'art des structures de convertisseurs multiniveaux est tout d'abord présenté. Les structures à deux et trois niveaux, considérées comme les structures de base de la conversion multiniveaux, sont d'abord brièvement rappelées. Ensuite, les différentes structures à N niveaux sont étudiées.

Dans un second temps, nous nous intéresserons à la commande de ces convertisseurs à travers un état de l'art des stratégies de commande. Nous verrons comment l'adaptation de ces algorithmes de commandes peuvent être envisagée, pour des convertisseurs à faible nombre de niveaux de tension jusqu'à N niveaux.

2. Topologies de base des convertisseurs de tension

2.1. Le convertisseur deux niveaux

La Figure I.1 représente la topologie classique appelée convertisseur 2-niveaux triphasé. Chaque bras de ce convertisseur est composé d'un demi-pont en H, lui-même composé de deux interrupteurs commandables à l'ouverture et à la fermeture, ici des transistors IGBT. Une diode est placée en antiparallèle de chaque transistor.

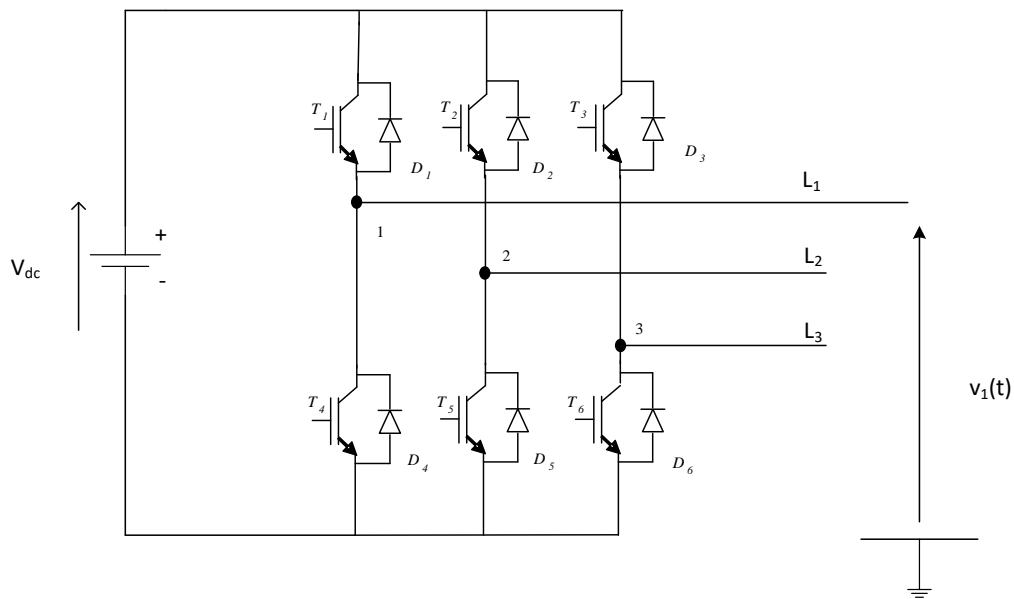


Figure I.1 : Convertisseur 2 niveaux.

Les couples d'interrupteurs appartenant à un même bras sont commandés de manière complémentaire afin d'éviter tout court-circuit du bus continu ou toute ouverture d'une phase alimentant la charge. La Table I.1 consigne les deux valeurs possibles que peut prendre la tension de phase en sortie du convertisseur. Comme le montre la Figure I.2, la tension $v_1(t)$ peut donc typiquement prendre deux niveaux de tension, 0 et V_{dc} .

T1	T4	$V_1(t)$
1	0	V_{dc}
0	1	0

Table I.1 : Etats de commutation d'une phase d'un convertisseur 2 niveaux.

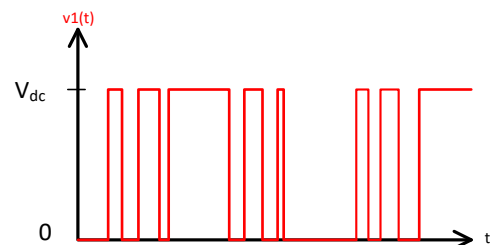


Figure I.2 : Tension de sortie d'une phase d'un convertisseur 2 niveaux.

Dans la suite, nous allons voir comment il est possible d'obtenir un convertisseur à trois niveaux de sortie, à partir de convertisseurs deux niveaux.

2.2. Les Convertisseurs 3 niveaux

Dans cette section, nous allons nous intéresser aux convertisseurs 3 niveaux et expliquer comment, à partir de la topologie de base dite demi-pont en H, il est possible d'obtenir trois niveaux pour la tension de sortie. Il existe plusieurs approches permettant d'obtenir ces trois niveaux. La première approche qui vient naturellement à l'esprit est la mise en série de demi-ponts en H ; néanmoins, cette méthode a pour défaut d'utiliser plusieurs sources de tension. Une autre approche consiste à utiliser deux demi-ponts en H et ainsi créer un pont complet en H. Une troisième approche consiste à mettre en oeuvre des capacités flottantes et ainsi pouvoir fractionner le bus continu. Dans la suite de ce mémoire, nous allons successivement étudier les différentes structures de convertisseurs, issues de ces trois approches.

2.2.1. Structure basée sur deux demi-ponts en H

Le convertisseur 3 niveaux présenté ici est issu de la mise en série de deux demi-ponts en H [1], [2]. La tension en sortie du convertisseur ainsi obtenue permet de générer une tension au maximum égale au nombre de demi-ponts multiplié par le niveau de tension V_{dc} à l'entrée de chaque demi-pont.

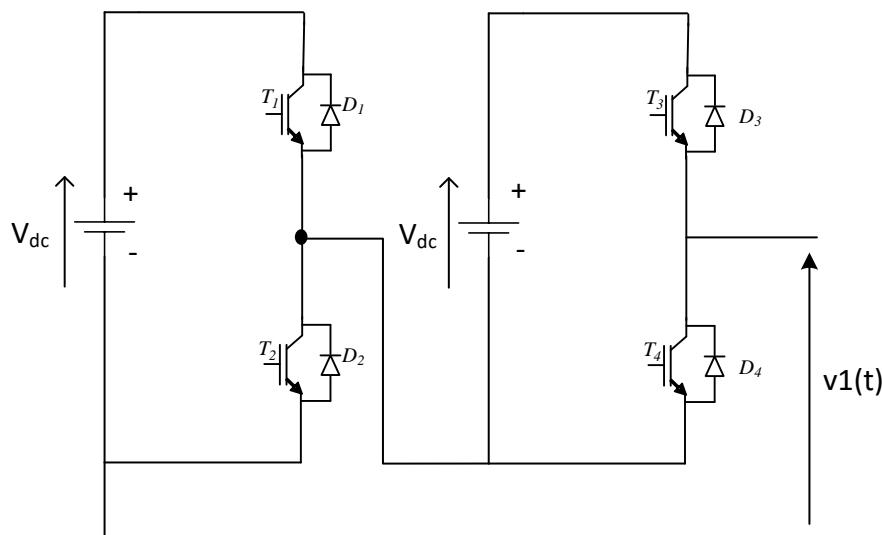


Figure I.3: Mise en série de deux demi-ponts en H.

L'inconvénient de cette structure est que nous ne pouvons pas obtenir de tension négative en sortie ; cependant, des solutions existent comme par exemple celles proposées par les convertisseurs dits Modular Multilevel Converter (MMC) ou bien encore les redresseurs actifs. Son inconvénient majeur est que nous devons utiliser deux sources de tension pour obtenir 3 niveaux de sortie.

2.2.2. Structure Pont en H

Apparu au début des années 1970, le convertisseur dit Pont en H comprend une unique source de tension continue et quatre interrupteurs (Figure I.4). Cette topologie, associée à une commande adaptée, permettent de « by passer » ou mettre en conduction la source de tension [3], [4], [5]. Dans ce cas, le convertisseur pont en H est équivalent à deux demi-ponts en H, partageant la même source continue d'entrée. La

Table I.2 rassemble les différents états de conduction du convertisseur. Le pont en H permet d'obtenir 3 niveaux de tension (V_{dc} , 0, $-V_{dc}$), comme on peut le voir sur la Figure I.5. On remarque que le niveau de tension 0 est redondant (

Table I.2) et peut être obtenu de deux manières différentes. Ces états redondants sont généralement exploités pour répartir équitablement les pertes entre les différents composants de puissance.

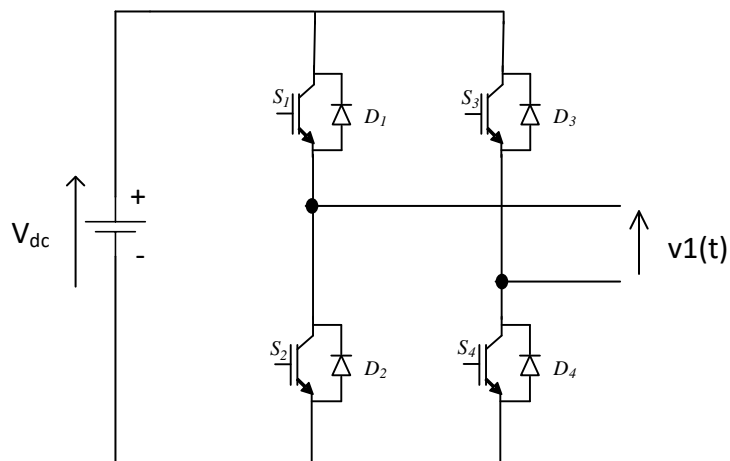


Figure I.4 : Convertisseur Pont en H.

S_1	S_2	S_3	S_4	$v_1(t)$
1	0	0	1	V_{dc}
1	0	1	0	0
0	1	0	1	0
0	1	1	0	$-V_{dc}$

Table I.2 : Etats de commutation d'un pont en H.

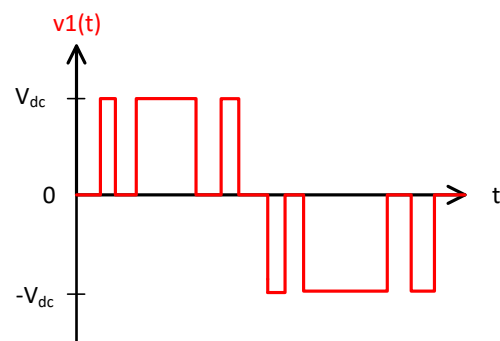


Figure I.5 : Forme d'onde typique de la tension de sortie d'un pont en H.

2.2.3. Structure à capacité flottante

Le convertisseur multicellulaire série ou à capacité flottante (FC pour Flying Capacitor) est apparu dans les années 90 lors d'un brevet déposé par Thierry Meynard et Henri Foch [6]. Ce convertisseur multicellulaire est une topologie de convertisseur qui repose sur la mise en série d'interrupteurs commandables et de capacités flottantes afin d'obtenir trois niveaux de tension en sortie du convertisseur. La topologie en triphasé est détaillée à la Figure I.6. Par rapport à la topologie de base à 2 niveaux (Figure I.1), deux interrupteurs par phase ont été ajoutés ainsi qu'une capacité qui permettra d'obtenir le niveau de tension zéro Volt en sortie.

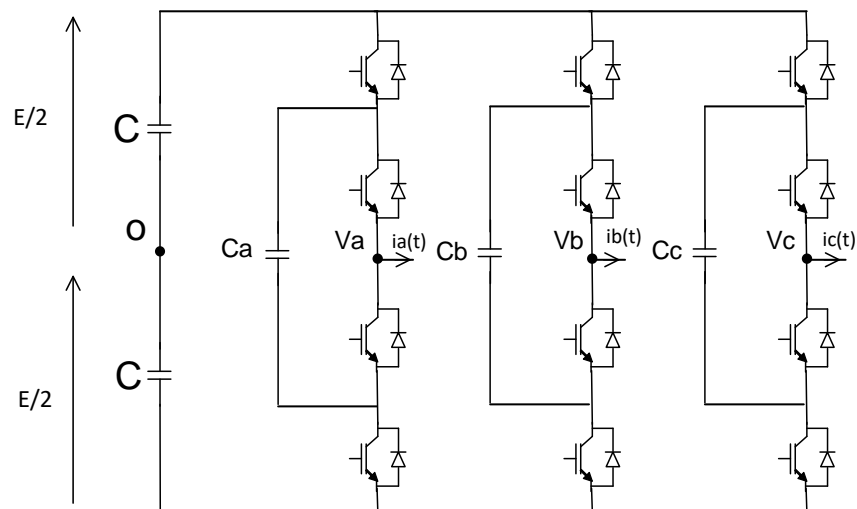


Figure I.6 : Structure triphasée 3 niveaux à capacités flottantes.

Pour mieux comprendre le fonctionnement de ce convertisseur, nous proposons d'étudier l'un des trois bras qui le constitue, le bras lié à la phase a (Figure I.7). Les niveaux des tensions de pôles V_xO ($x \in \{a, b, c\}$) que l'on peut obtenir en sortie sont au nombre de trois et potentiellement égaux à $E/2$, 0 ou $-E/2$. Les niveaux de tension obtenus selon la conduction des composants de puissance sont rassemblés au niveau de la Table I.3.

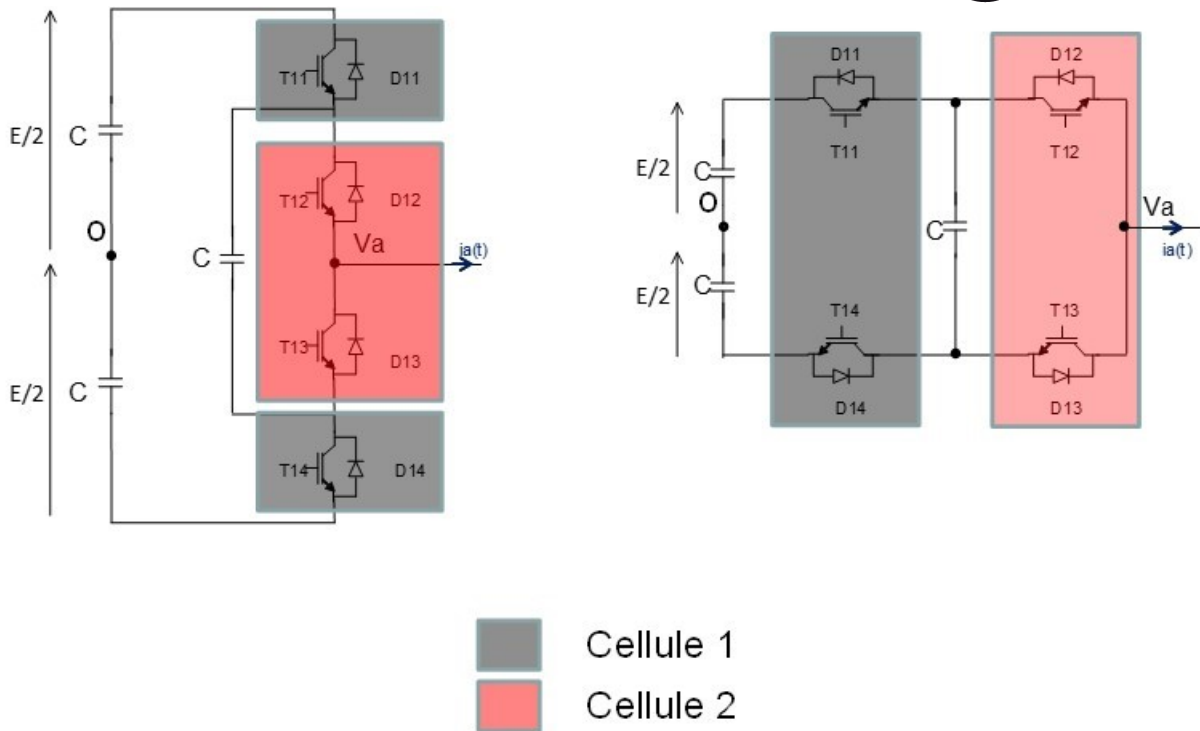


Figure I.7: Représentation équivalente d'une phase du convertisseur 3 niveaux à capacités flottantes par deux cellules de commutation.

Il est important de noter que les interrupteurs T11 et T14, ou bien encore les interrupteurs T12 et T13, ne doivent jamais être passants en même temps. Ainsi, les interrupteurs T11 et T14 (respectivement T12 et T13) sont commandés de manière complémentaire. Ces couples d'interrupteurs forment des cellules de commutation, comme cela est décrit à la Figure I.7

Tension de pôle V_aO	Séquences de conduction (Figure I.8)	Signe du Courant $i_a(t)$	Semi-conducteurs passants
$E/2$	a	positif	T11 et T12
	b	négatif	D11 et D12
0	c	positif	T11 et D13
	d	négatif	T13 et D11
	e	positif	T12 et D14
	f	négatif	T14 et D12
$-E/2$	g	positif	D13 et D14
	h	négatif	T13 et T14

Table I.3 : Niveaux de tension de pôle V_aO pour un convertisseur FC 3 niveaux.

La Figure I.8 présente l'ensemble des configurations permettant de réaliser les différents niveaux de la tension de pôle ($E/2$, 0 , $-E/2$), référencés dans la Table I.3. Elles sont au nombre de 8, dont 4 permettent de réaliser le niveau zéro.

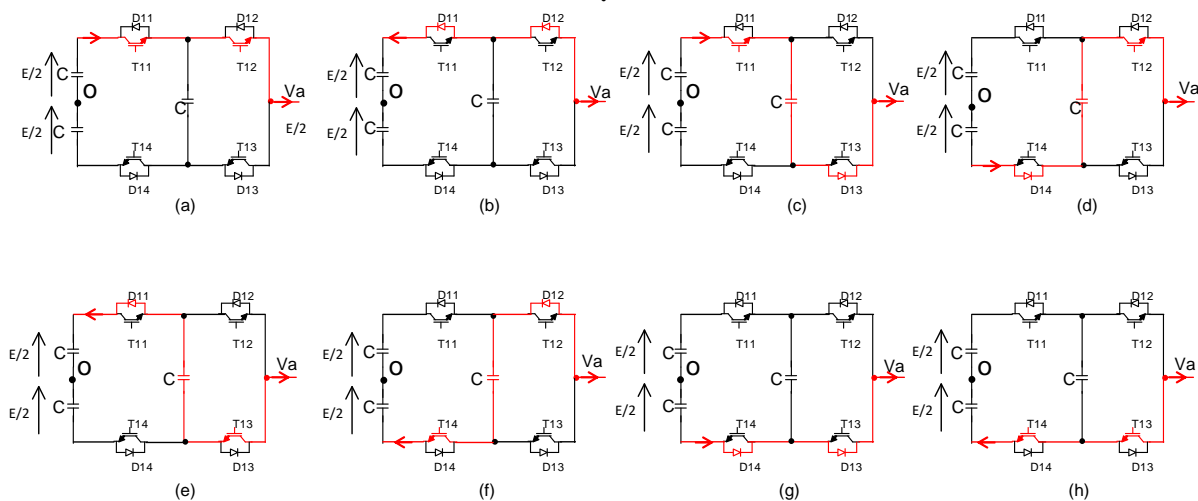


Figure I.8 : Séquences de conduction d'un FC 3 niveaux (cas de la phase a).

Dans ce paragraphe, nous avons vu que nous pouvons associer deux cellules de commutation pour réaliser un convertisseur 3 niveaux ; il est néanmoins possible de mettre n cellules de commutation en série pour pouvoir réaliser des convertisseurs multiniveaux. Ce point sera abordé dans une prochaine section.

De manière générale, la structure dite à capacité flottante possède néanmoins des avantages et des inconvénients, mentionnés ci-après

AVANTAGES :

- La mise en œuvre de cellules permet la création de plusieurs niveaux de tension avec une commande relativement simple.
- Le niveau zéro Volt de tension peut être réalisé par plusieurs séquences de conduction.
- La tension de sortie a un THD de faible valeur et le courant de sortie à un taux d'ondulation inférieur à celui que l'on obtiendrait avec d'autres topologies de convertisseurs multiniveaux [6].
- Cette topologie requiert un nombre limité de semi-conducteurs car on n'a pas recours à des diodes de clampe (cas de la topologie NPC, par exemple) ou des IGBT (cas des topologies NPP ou ANPC, par exemples) pour la connexion au point milieu du bus continu.

INCONVÉNIENTS :

- La nécessité d'équilibrer les tensions aux bornes des capacités flottantes ajoute de la complexité au convertisseur.
- La charge des condensateurs doit se faire préalablement à la mise en œuvre.

- Cette topologie a recours à davantage de condensateurs. Vu de la fiabilité du dispositif, ce point est négatif et particulièrement pénalisant car les taux de pannes des condensateurs sont bien plus élevés que ceux des diodes ou des IGBT [7], [8], [9].

2.2.4. Structure à fractionnement du bus continu

Dans cette section, nous considérons une autre alternative permettant de réaliser un convertisseur 3 niveaux : il s'agit du fractionnement du bus continu. Pour cela, il faut modifier le convertisseur 2 niveaux de base par l'ajout de capacités et de composants de puissance. Cet ajout de composants nous permettra de fractionner la tension d'entrée selon deux niveaux et d'obtenir le niveau de tension zéro Volt. Le nombre de composants de puissance dépend de la structure de convertisseur utilisée. Nous allons plus particulièrement nous intéresser à trois structures appelées dans la littérature scientifique Neutral Point Clamped (NPC), Active Neutral Point Clamped (ANPC) et Neutral Point Piloted (NPP) ou T-type.

2.2.4.1. Structure Neutral Point Clamped ou NPC

Le convertisseur triphasé Neutral Point Clamped ou NPC 3 niveaux présenté à la Figure I.9 utilise la mise en série d'interrupteurs commandables (ici des IGBT), montés en antiparallèle avec des diodes [10], [11], [12]. Deux condensateurs de capacité identique sont mis en œuvre afin de diviser la tension d'entrée selon deux niveaux de tension. De plus, deux diodes de clampe sont présentes afin de permettre de disposer d'un niveau de tension supplémentaire, le niveau zéro Volt ; en effet, ce niveau est supplémentaire par comparaison avec les convertisseurs deux niveaux conventionnels [13], [14].

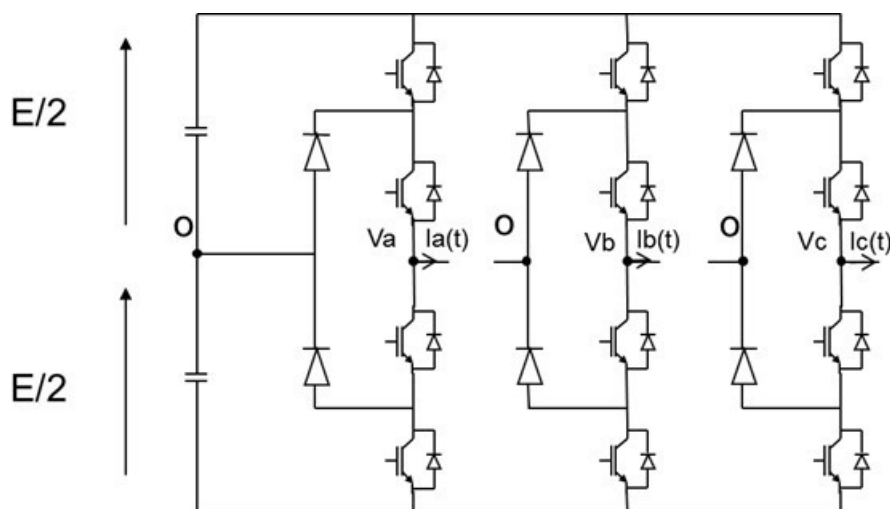


Figure I.9: Convertisseur triphasé NPC à 3 niveaux.

Pour mieux comprendre ce convertisseur, nous allons détailler le fonctionnement de l'une de ses phases (Phase a, Figure I.10). Les différents niveaux de tension V_{aO} possibles sont au nombre de trois : $E/2$, 0 , $-E/2$ (Table I.4).

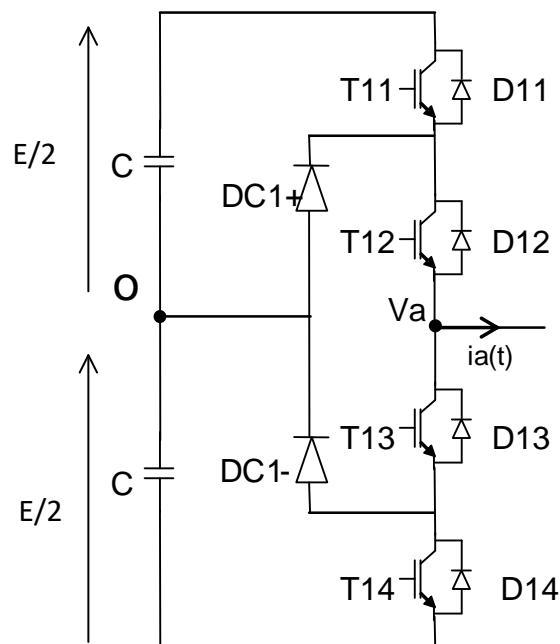


Figure I.10 : Convertisseur NPC monophasé à 3 niveaux.

Tension de pôle V_{aO}	Séquences de conduction (Figure I.11)	Signe du courant $i_a(t)$	Semi-conducteurs passants
$E/2$	a	positif	T11 et T12
	b	négatif	D11 et D12
0	c	positif	DC1+ et T12
	d	négatif	DC1- et T13
$-E/2$	e	positif	D13 et D14
	f	négatif	T13 et T14

Table I.4 : Séquences de conduction pour un NPC 3 niveaux et tensions de pôle.

La figure suivante (Figure I.11) illustre ces différents cas de conduction des composants selon le signe du courant $i_a(t)$. Les ordres de commande des interrupteurs T11 et T13 sont complémentaires ainsi que ceux des interrupteurs T12 et T14. Ce principe de commandes complémentaires ne présume en rien de la conduction effective des composants commandés à la fermeture, un composant commandé à la fermeture n'étant pas forcément passant, de manière générale ; par exemple, dans le cas (e), T13 et T14 peuvent être commandés à la fermeture, mais ne conduisent pas tous les deux.

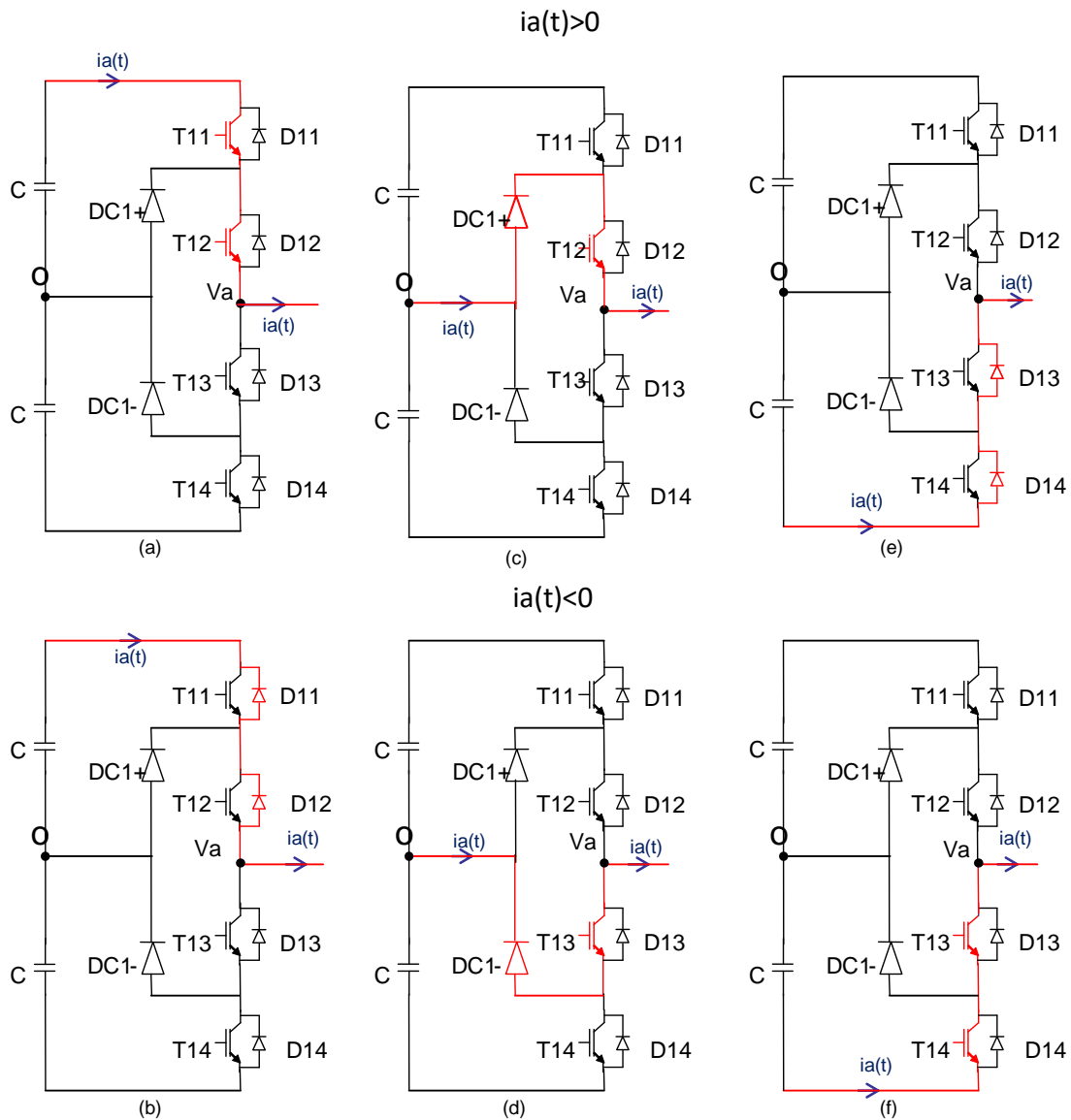


Figure I.11 : Séquences de conduction d'un NPC 3 niveaux monophasés.

Nous allons maintenant présenter les avantages et les inconvénients de cette topologie NPC 3 niveaux.

AVANTAGES :

- La forme d'onde de la tension en sortie du convertisseur multiniveaux à un taux de distorsion harmonique plus faible que celui du convertisseur deux niveaux.
- Cette topologie est généralisable de façon à obtenir un plus grand nombre de niveaux de tension en sortie.
- Toutes les phases sont connectées au même bus DC commun.
- Le taux d'ondulation du courant de sortie est réduit par rapport à celui d'un convertisseur 2 niveaux.
- Le nombre de condensateurs utilisés est limité.

INCONVENIENT

- Lorsque le nombre de niveaux devient élevé, l'équilibre des tensions aux bornes des condensateurs devient très vite complexe à contrôler.
- Cette topologie a recours à des diodes de clampe rapides.

2.2.4.2. Structure Active Neutral Point Clamped ou ANPC

Le convertisseur Clampé Activement par le Neutre (ANPC Figure I.12) est une variante de la topologie NPC (Figure I.9). Pour ce convertisseur, des IGBT sont connectés en anti-parallèle avec les diodes de clampe de la structure NPC [15],[16]. L'ajout de ces interrupteurs commandables permet de mieux dissiper et répartir les pertes dans les composants. En effet, dans la topologie NPC, à faible taux de modulation, ce sont les diodes de clampe qui sont les plus sollicitées. Grâce à la topologie Active NPC, il y a deux chemins possibles pour effectuer le niveau zéro Volt de tension lorsque le courant de sortie est positif et également deux chemins possibles lorsque le courant est négatif. Ainsi, cette diversité de possibilités permet de mieux répartir les pertes dans les différents composants.

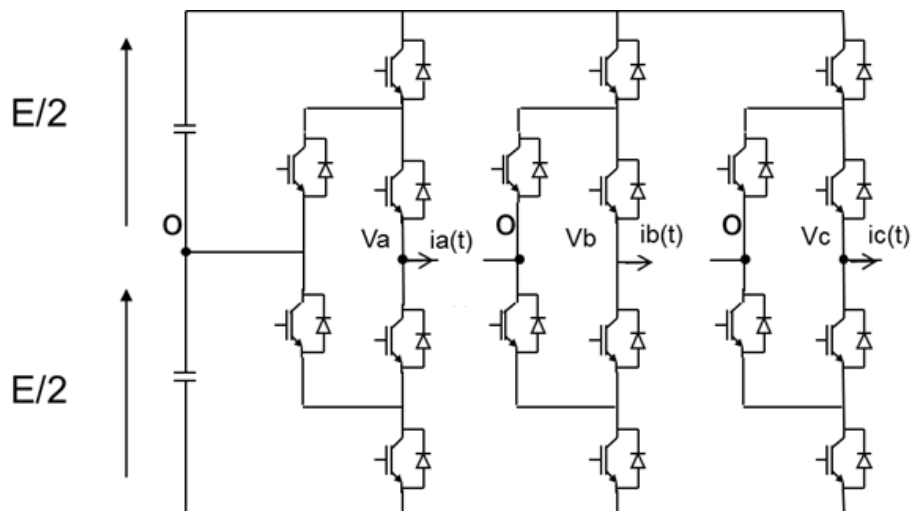


Figure I.12 : Convertisseur ANPC 3 niveaux triphasé.

Pour mieux comprendre le fonctionnement du convertisseur ANPC 3 niveaux triphasé, nous allons détailler le fonctionnement de l'une de ses phases (Figure I.13). Les différents niveaux de tension V_aO possibles sont au nombre de trois : $E/2$, 0 et $-E/2$. La Table I.5 consigne les différentes séquences de conduction pour un ANPC 3 niveaux. Elle précise la valeur de la tension V_aO ainsi que les composants passants pour chaque configuration.

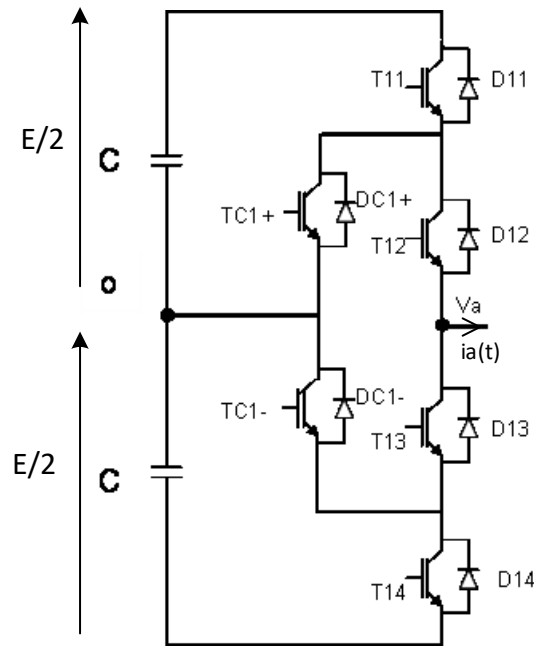


Figure I.13 : Vue détaillée d'une phase du convertisseur ANPC à 3 niveaux.

Tension de pôle V_{a0}	Séquence de conduction (Figure I.14)	Signe du Courant $i_a(t)$	Semi-conducteur passant
$E/2$	a	positif	T11 et T12
	b	négatif	D11 et D12
0	c	positif	DC1+ et T12
	d	négatif	D12 et TC1+
	e	positif	TC1- et D13
	f	négatif	T13 et DC1-
$-E/2$	g	négatif	D13 et D14
	h	positif	T13 et T14

Table I.5 : Séquences de conduction d'un ANPC 3 niveaux.

La figure suivante (Figure I.14) illustre les différentes séquences de conduction possibles, selon le signe du courant $i_a(t)$. Les ordres de commande des interrupteurs T11 et T13 sont complémentaires ainsi que ceux des interrupteurs T12 et T14. De même que dans le cas du NPC, ce principe de commandes complémentaires ne présume en rien de la conduction effective des composants commandés à la fermeture, un composant commandé à la fermeture n'étant pas forcément passant, sa fermeture effective dépendant notamment du signe du courant $i_a(t)$.

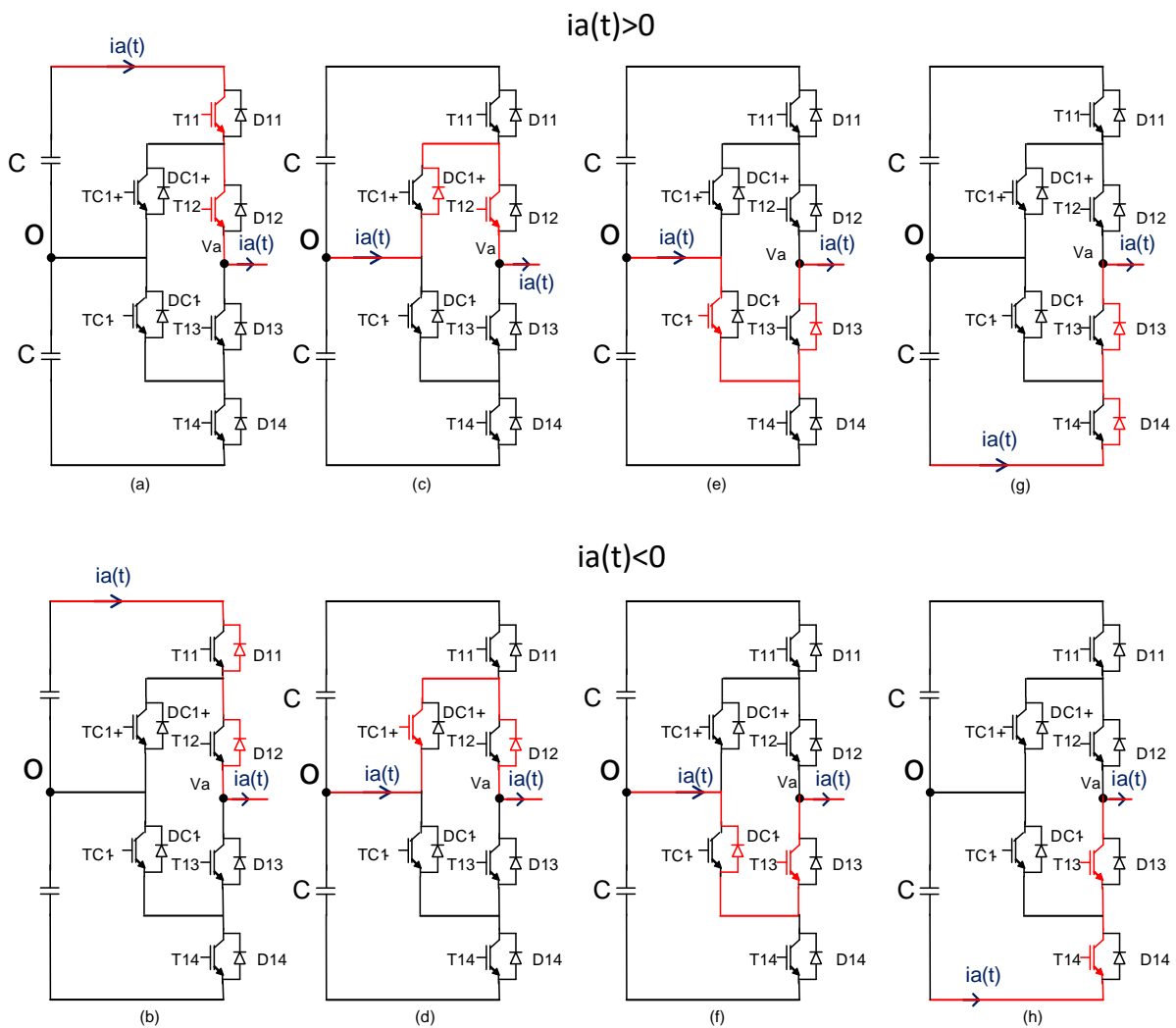


Figure I.14 : Séquences de conduction pour un ANPC 3 niveaux monophasé.

Comme le montre la Figure I.14, il n'y a plus 6 séquences de conduction comme pour la topologie NPC 3 niveaux, mais 8. En effet, suivant le signe du courant, il y a pour chacun des cas, deux séquences possibles pour obtenir le niveau zéro Volt de tension. Ce degré de liberté nous permet donc de répartir plus équitablement les pertes dans les composants.

La commande du convertisseur reste pratiquement identique à celle d'une structure NPC à 3 niveaux sauf que les composants commandables dits de clampe (IGBT noté Tcx) sont commandés à la fréquence de la modulante. Nous pouvons aussi noter que si ces composants ne sont pas commandés (ouverts en permanence), nous revenons à une topologie de type NPC 3 niveaux.

Comme précédemment, nous allons maintenant exposer les avantages et inconvénients de cette topologie ANPC.

AVANTAGES :

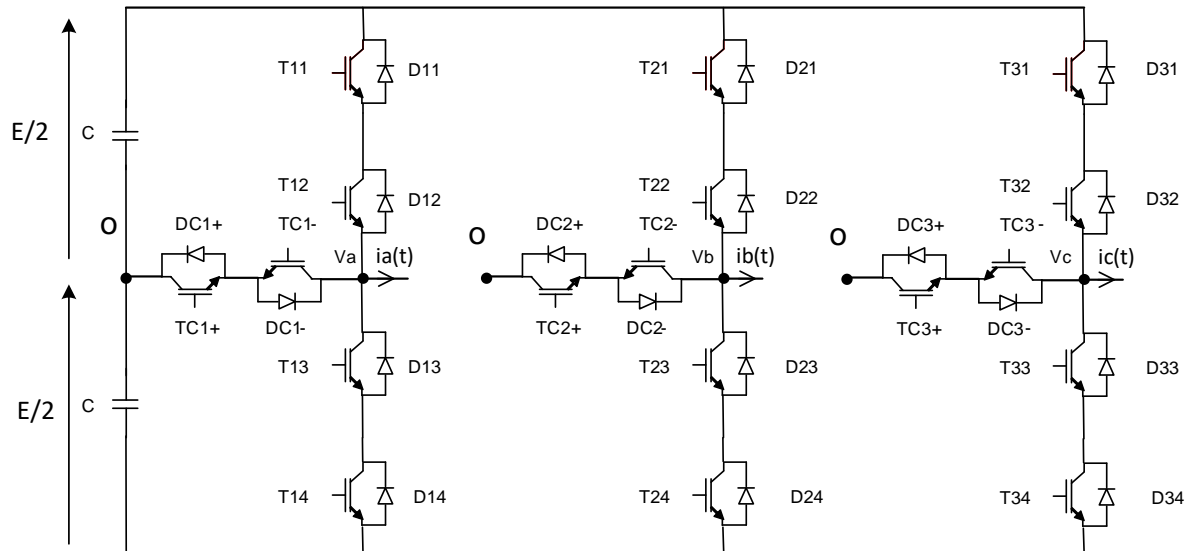
- Cette topologie peut indifféremment être utilisée en NPC ou en ANPC; elle réunit donc tous les avantages du NPC.
- Les IGBT de clampe permettent de mieux répartir les pertes par conduction et par commutation sur l'ensemble des semi-conducteurs.
- Le zéro de tension peut être obtenu selon 4 séquences distinctes (2 possibilités pour chaque signe du courant de sortie $i_a(t)$).

INCONVÉNIENTS :

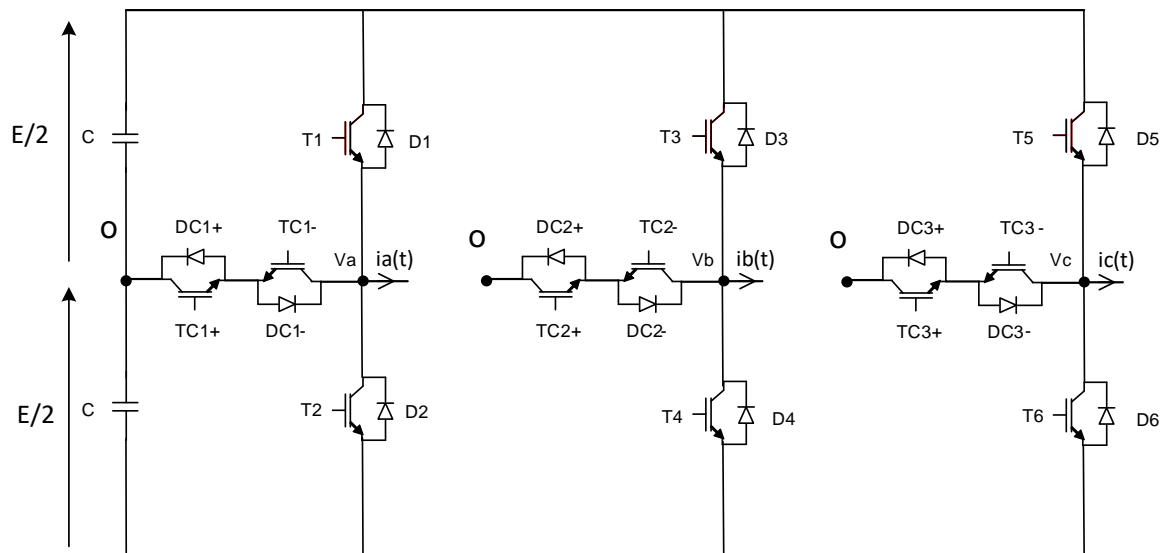
- Lorsque le nombre de niveaux de tension devient élevé, l'équilibre des tensions aux bornes des condensateurs devient très vite compliqué à contrôler.
- L'ANPC est bien adapté à de faibles fréquences de la modulante.

2.2.4.3. Structure Neutral Point Piloted ou NPP

La topologie Neutral point Piloted (NPP) a été présentée pour la première fois par J. Holtz en 1977 [17], puis développée par A. Nabae en 1981 [13]. Les convertisseurs triphasés NPP ou T-type 3 niveaux [18], présentés respectivement par les Figure 1.15(a) et (b), utilisent la mise en série d'interrupteurs commandables de type IGBT, montés en antiparallèle avec des diodes. La différence entre ces deux topologies est que le NPP comporte deux interrupteurs en série verticaux alors que le T-type n'en utilise qu'un seul. La mise en série de composants permet de doubler, si nécessaire, la valeur du niveau de tension en sortie du convertisseur. Deux condensateurs de même capacité sont également mis en œuvre afin de diviser en deux la tension d'entrée. De plus, deux autres interrupteurs bidirectionnels en courant, constitués pour chacun de 2 diodes et de 2 IGBT (interrupteurs horizontaux), permettent d'obtenir un niveau de tension supplémentaire (niveau zéro Volt) par rapport au convertisseur 2 niveaux classique. L'ajout de ces interrupteurs trois segments permet également de mieux répartir la dissipation des pertes dans les différents composants [17], [19].



(a)



(b)

Figure I.15 : (a) Convertisseur triphasé NPP 3 niveaux (b) Convertisseur triphasé T-type 3 niveaux.

Nous allons ensuite détailler l'une des phases du T-Type (Figure I.16); les niveaux de tension disponibles sont au nombre de trois : $E/2$, 0 et $-E/2$. Les séquences de commutation qui permettent d'obtenir ces niveaux sont consignées dans la Table I.6.

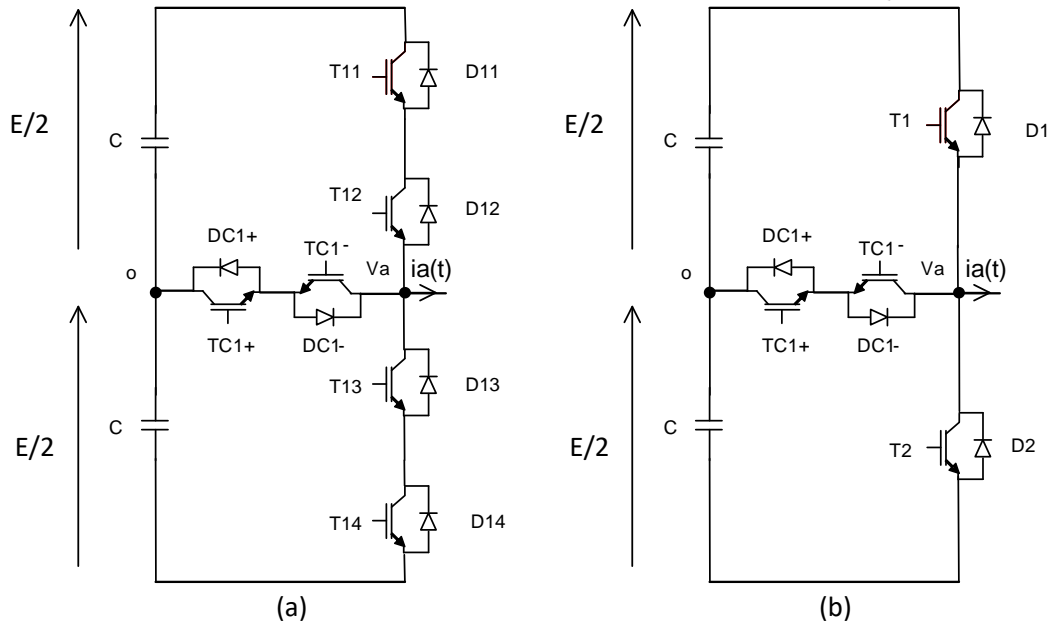


Figure I.16: (a) Schéma détaillé d'une phase du convertisseur NPP à 3 niveaux (b) Schéma détaillé d'une phase du convertisseur T-type à 3 niveaux.

Tension de sortie $V_{ao}(t)$	Séquences de conduction (Figure I.17)	Signe du courant $i_a(t)$	Semi-conducteurs passants (NPP)	Semi-conducteurs passants (T-type)
$E/2$	a	positif	T11 et T12	T1
	b	négatif	D11 et D12	D1
0	c	positif	TC1+ et DC1-	TC1+ et DC1-
	d	négatif	DC1+ et TC1-	DC1+ et TC1-
$-E/2$	e	positif	D13 et D14	D2
	f	négatif	T13 et T14	T2

Table I.6 : Niveaux de tension V_{ao} en sortie d'un NPP 3 niveaux et d'un T-type 3 niveaux.

La figure suivante illustre les différentes séquences de conduction possibles. Les interrupteurs T11 et T13 ont des ordres de commande complémentaires ; il en est de même pour les interrupteurs T12 et T14. De plus, les interrupteurs T11 et T12 ainsi que T13 et T14 sont commandés simultanément : on peut ainsi assimiler ces deux interrupteurs à un seul afin de rendre l'étude plus simple, ce qui revient à considérer le cas de la structure T-type.

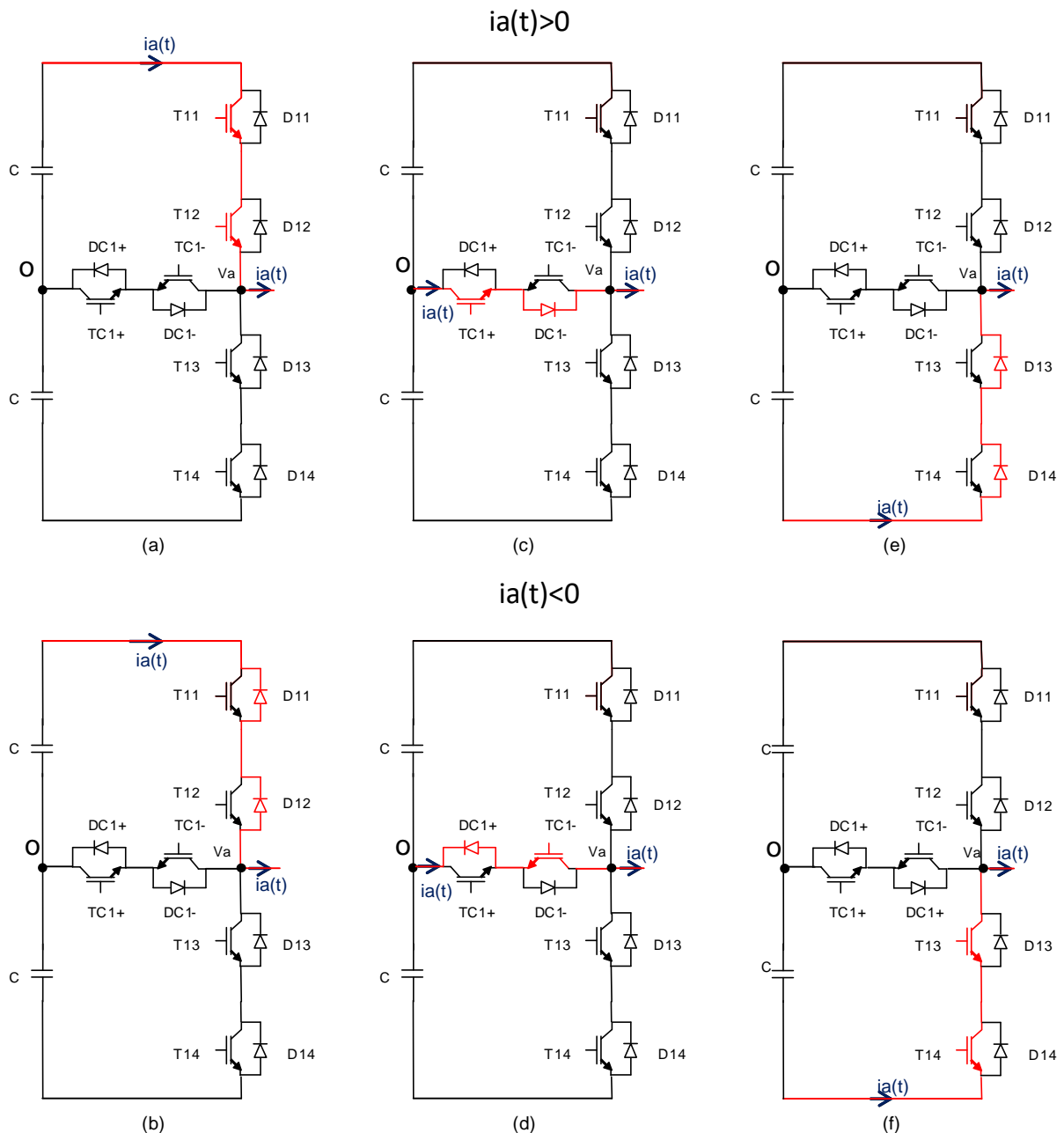


Figure I.17 : Séquences de conduction d'un à NPP 3 niveaux selon le signe du courant $i_a(t)$.

Les avantages et inconvénients de cette structure sont mentionnés ci-après.

AVANTAGES :

- La mise en série de deux composants dans le cas de la structure NPP permet de diviser par deux les pertes pour chaque interrupteur, comparativement aux topologies NPC et ANPC.
- De par le premier avantage cité, nous pouvons envisager de doubler la fréquence de commutation des IGBT.
- Les pertes dans les IGBTs horizontaux sont nulles lorsque la commutation se fait au niveau de tension zéro Volt.

- Dans le cas du NPP, tous les IGBTs sont dimensionnés de la même manière car ils doivent conduire le même courant et supporter la même tension maximale. Dans le cas du T-type, les composants verticaux et les composants horizontaux ne subissent pas les mêmes contraintes et ne sont donc pas dimensionnés de la même manière.

INCONVÉNIENTS :

- Les composants verticaux associés deux à deux doivent commuter simultanément.
- Le nombre de composants commandables est élevé dans le cas du NPP, ce qui n'est pas le cas pour la topologie T-type.

2.2.5. Étude comparative des différents convertisseurs étudiés

Nous venons de rappeler brièvement les différentes topologies de convertisseurs 3 niveaux à la section précédente. Dans cette section, nous allons maintenant comparer certaines des topologies étudiées précédemment, à savoir les structures NPC, ANPC et NPP. La topologie FC sera écartée de notre étude au vu de ses principaux inconvénients que sont l'équilibre des tensions aux bornes des capacités et sa fiabilité plus réduite, en raison du nombre élevé de condensateurs. En effet, ce choix est justifié par l'objectif final de nos travaux de recherche portant sur la tolérance de pannes des convertisseurs multiniveaux et nous conduisant ainsi à privilégier les structures ayant un nombre minimum de condensateurs.

Dans un premier temps, comparons le nombre de composants, le THD de la tension V_{a0} ainsi que les tensions de blocage et de commutation des IGBT (Table I.7).

Structure du Convertisseur	NPC	ANPC	NPP	T-Type
Nombre de niveaux de tension	3	3	3	3
Nombre d'IGBTs	4	6	6	4
Nombre de Diodes	6	6	6	6
THD de la tension V_{a0} (% du fondamental) [20]	30	30	30	30
Tension au blocage des composants verticaux	$\frac{E}{2}$	$\frac{E}{2}$	$\frac{E}{2}$	$\frac{E}{2}$

Tension au blocage des composants horizontaux		$\frac{E}{2}$	$\frac{E}{2}$	$\frac{E}{2}$
Tension de commutation des composants verticaux	$\frac{E}{2}$	$\frac{E}{2}$	$\frac{E}{4}$	$\frac{E}{2}$
Tension de commutation des composants horizontaux		$\frac{E}{2}$	$\frac{E}{4}$	$\frac{E}{4}$

Table I.7 : Étude comparative des différentes topologies.

La Table I.8 nous présente maintenant un comparatif qualitatif de ces différentes topologies de convertisseurs.

Convertisseur	NPC	ANPC	NPP (T-type)
Nombre de niveaux de tension	Avantageux	Avantageux	Avantageux
Nombre d'IGBTs	Très Avantageux	Avantageux	Avantageux /Très Avantageux
Nombre de diodes	Avantageux	Avantageux	Avantageux /Très Avantageux
THD (% du fondamental)	Avantageux	Avantageux	Avantageux
Tension de blocage	Avantageux	Avantageux	Avantageux
Tension de commutation	Avantageux	Très Avantageux	Avantageux
Fréquence de commutation	Avantageux	Très Avantageux	Avantageux
Courant maximum	Avantageux	Très Avantageux	Très Avantageux

Table I.8 : Etude comparative qualitative des topologies NPP, T-Type, NPC et ANPC.

L'une des applications visées par notre étude cible le domaine de l'éolien : dans ce cas, la fréquence de commutation ainsi que le courant maximum seront des points très importants à privilégier pour ce type d'application.

3. Familles de convertisseurs multiniveaux

Un des premiers avantages du convertisseur multiniveaux est la qualité de la tension et du courant en sortie du convertisseur. En effet, plus le nombre de niveaux augmente, plus le THD est réduit. De plus, les variations de tension aux bornes des composants sont moins importantes comparativement aux convertisseurs conventionnels, ce qui permet de limiter les perturbations électromagnétiques. En contrepartie, on se doit de mentionner la nécessité de mettre en œuvre des composants de puissance additionnels (transistors, diodes), des capacités ainsi que de sources de tension. De plus, La commande de ces convertisseurs est plus complexe et le principal enjeu est de garantir la stabilité des sources de tension continue dans toutes les situations.

Nous pouvons classer les convertisseurs multiniveaux en deux grandes familles bien distinctes. D'une part, nous avons les convertisseurs qui fractionnent le bus continu à partir d'un bus DC commun, au prix d'une augmentation du nombre de composants et de capacités. Les plus courants sont :

- Le convertisseur NPC à N niveaux ;
- Le convertisseur à capacités flottantes.

D'autre part, nous avons les convertisseurs que l'on peut qualifier de « modulaires » car ils utilisent des demi-ponts ou des ponts en H et se basent ainsi sur des convertisseurs deux ou trois niveaux, s'imbriquant les uns aux autres pour réaliser davantage de niveaux de tension en sortie du convertisseur. Pour ces topologies, contrairement aux structures à fractionnement du bus continu, nous observons un nombre croissant de sources de tension, directement lié au nombre de niveaux de tension souhaités en sortie. Les plus courantes sont :

- Les convertisseurs à base de ponts en H,
- Les convertisseurs à base de $\frac{1}{2}$ ponts en H.

Dans la suite de ce mémoire nous allons aborder ces différentes façons de réaliser un convertisseur multiniveaux.

3.1. Structures avec fractionnement du bus continu

Les structures à fractionnement du bus continu conçoivent le convertisseur comme un assemblage de composants de puissance avec un bus continu commun mais avec des condensateurs qui permettront le fractionnement de ce bus. Bien évidemment, plus le nombre de niveaux augmente, plus le nombre de condensateurs et de composants de puissance augmente. La Figure I.18 illustre l'élaboration des convertisseurs 2 niveaux, 3 niveaux, N niveaux. La valeur de la tension de sortie du convertisseur est déterminée par la position de l'interrupteur. Les tensions de sortie sont représentées de manière simplifiée pour la compréhension du convertisseur. En théorie, un nombre élevé de niveaux peuvent être réalisés mais l'augmentation du nombre de composants nécessaires ainsi qu'une commande de plus en plus complexe limitent ce nombre de niveaux.

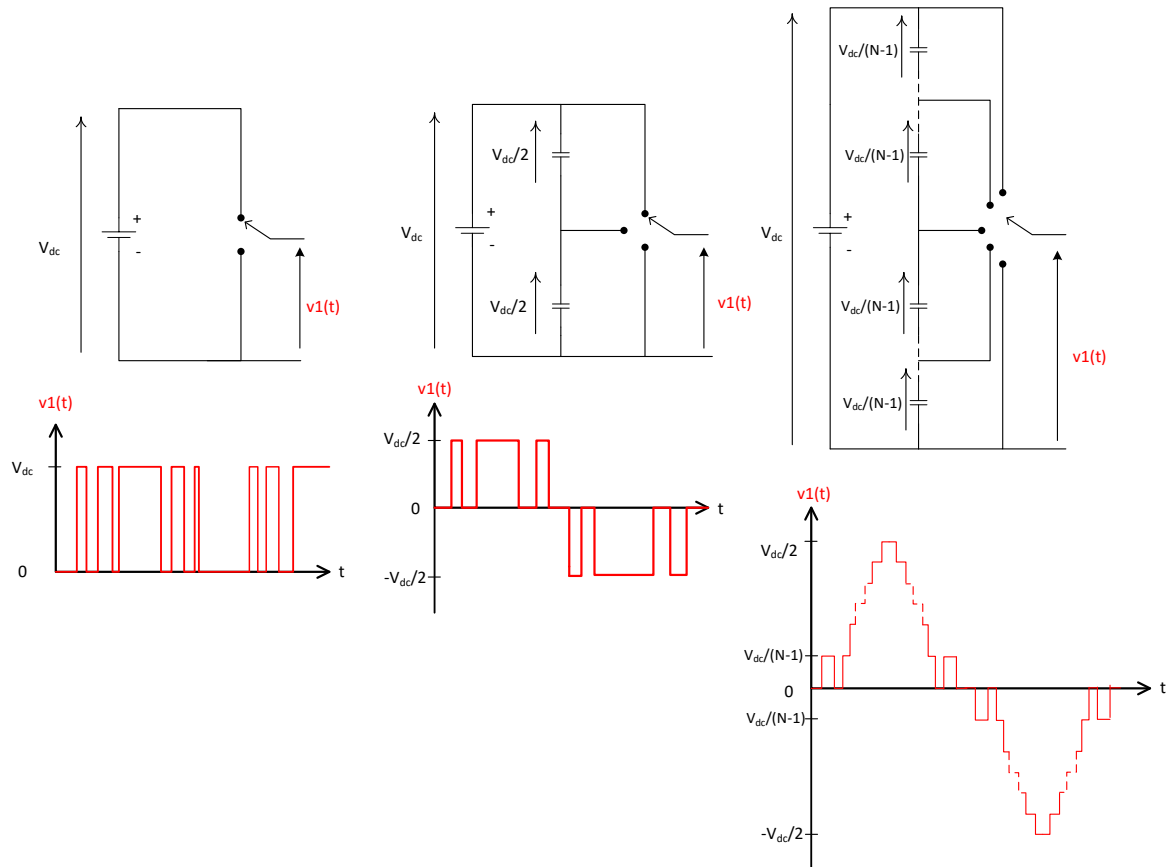


Figure I.18 : Elaboration d'une structure à N niveaux.

3.1.1. Topologie NPC

Pour illustrer la topologie NPC et le passage de 3 à 5 niveaux, un bras d'un convertisseur NPC à 5 niveaux est présenté à titre d'exemple (Figure I.19) ; pour l'obtention de ces 5 niveaux, on a recours à la mise en série de 8 interrupteurs IGBT, montés en antiparallèle avec des diodes. Quatre condensateurs de même capacité permettent de diviser la tension d'entrée E selon 4 niveaux de tension identiques. De plus, 6 diodes de clampe sont présentes pour disposer de niveaux de tension supplémentaires $E/4$, 0 et $-E/4$.

Pour mieux comprendre ce convertisseur (Figure I.19), nous allons détailler son fonctionnement. Les niveaux de tension disponibles sont au nombre de cinq pour la tension v_{ao} : $E/2$, $E/4$, 0 , $-E/4$ et $-E/2$. Les séquences de conduction permettant d'obtenir ces 5 niveaux de tension sont consignées dans la Table I.9, selon le signe du courant $i_a(t)$.

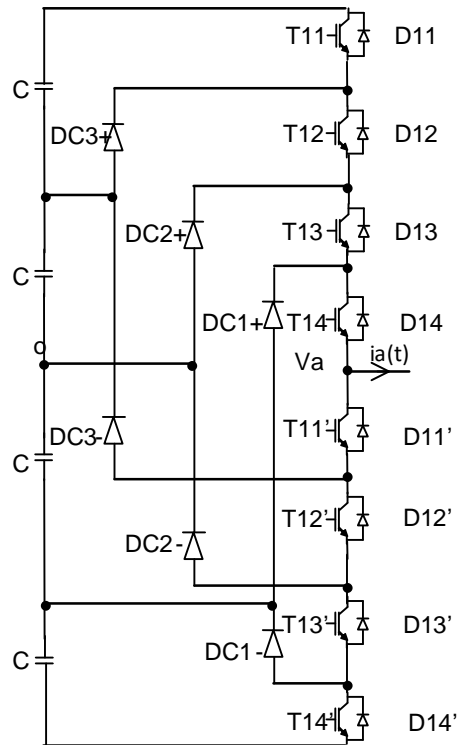


Figure I.19 : Bras d'un convertisseur NPC à 5 niveaux.

Tension de sortie V_{aO}	Signe du courant $i_a(t)$	Semi-conducteurs passants
$E/2$	positif	T11, T12, T13, T14
	négatif	D11, D12, D13, D14
$E/4$	positif	DC3+, T12, T13, T14
	négatif	T11', DC3-
0	positif	DC2+, T13, T14
	négatif	DC2-, T11', T12'
$-E/4$	positif	DC1+, T14
	négatif	DC1-, T11', T12', T13'
$-E/2$	positif	T11', T12', T13', T14'
	négatif	D11', D12', D13', D14'

Table I.9 : Séquences de conduction du NPC 5 niveaux Figure I.20 .

Par rapport à un onduleur NPC 3 à niveaux, le contenu harmonique (THD) de la tension v_{ao} pour un NPC 5 niveaux a été divisé par deux [20]. Plus le nombre de niveaux augmente, plus le THD en tension diminue. De manière plus générale, le THD en tension peut se calculer de la manière suivante [20] :

$$THD = \frac{60}{n - 1}$$

Avec n le nombre de niveaux du convertisseur NPC considéré.

3.1.2. Topologie FC

Le schéma général d'un bras de convertisseur multiniveaux du type FC à n cellules est illustré par la Figure I.21. Il se compose de n paires d'interrupteurs et de $n-1$ condensateurs.

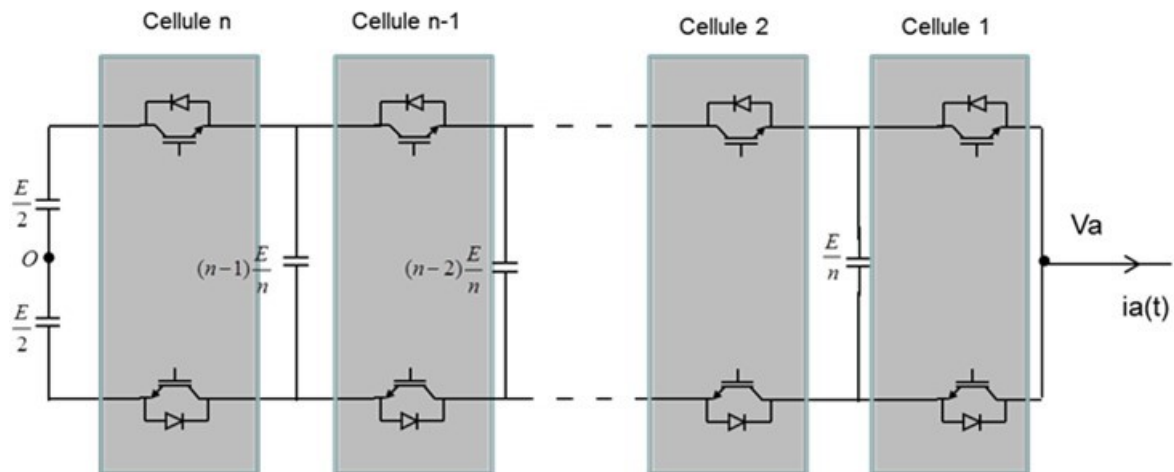


Figure I.21 : Convertisseur FC à n cellules.

Le principe de cette topologie est de fractionner la tension du bus continu en n sources de tension. Le fonctionnement de chaque cellule de commutation est similaire à celui d'un convertisseur 2 niveaux classique avec une source de tension égale à E/n (voir section 2.2.3). Un convertisseur composé de n cellules pourra générer jusqu'à $n+1$ niveaux de tension en sortie.

Les variations de la tension de sortie sont limitées à E/n et la fréquence apparente en sortie, notée f_{app} , est proportionnelle à la fréquence de découpage instantanée des semi-conducteurs [20] :

$$f_{app} = n * f_{dec}$$

3.2. Structures type « Modulaire »

3.2.1. Convertisseur Modulaire à base de Pont en H

Apparue au début des années 1970, ce type de convertisseur à structure « modulaire » repose sur la mise en série de convertisseurs de type pont en H (Figure I.4). Chaque module de ce convertisseur contient sa propre source tension et ses propres composants de puissance. Rappelons que le pont en H permet d'obtenir à lui seul 3 niveaux de tension (V_{dc} , $-V_{dc}$, 0). Lors d'une association série de ces modules, le convertisseur résultant nous permet d'obtenir un nombre élevé de niveaux de tension en sortie.

La figure ci-dessous (Figure I.22) présente une phase d'un convertisseur multiniveaux modulaire, basé sur deux modules type pont en H.

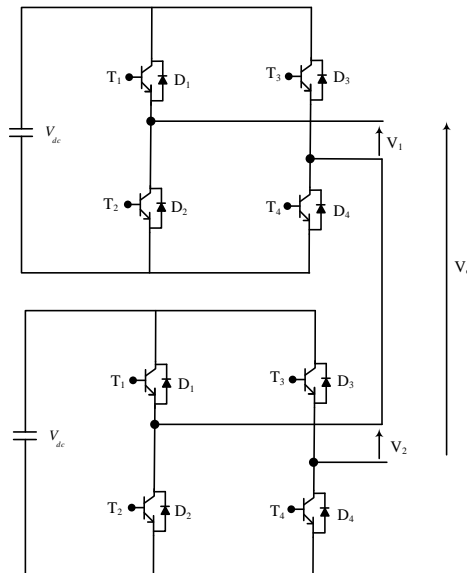


Figure I.22 : Mise en série de 2 convertisseurs de type pont en H.

De plus, pour obtenir un convertisseur triphasé, une configuration en triangle (Figure I.23) ou en étoile (Figure I.24) peut être effectuée. Pour se faire, une mise en série de ponts en H (noté « HB » pour « H-Bridge » sur la Figure I.23 et la Figure I.24) est réalisée.

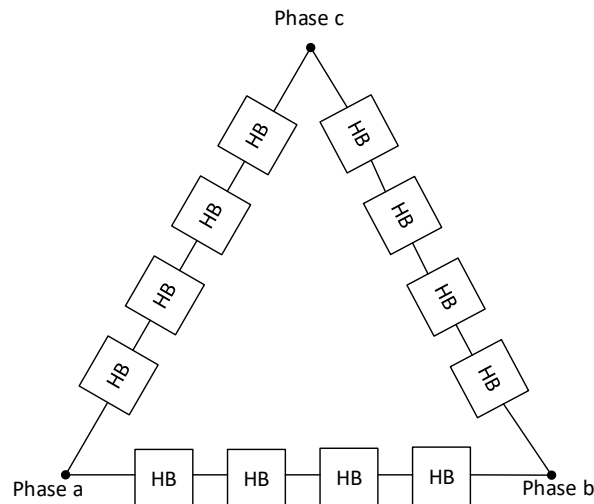


Figure I.23 : Convertisseur modulaire basé sur une configuration triangle.

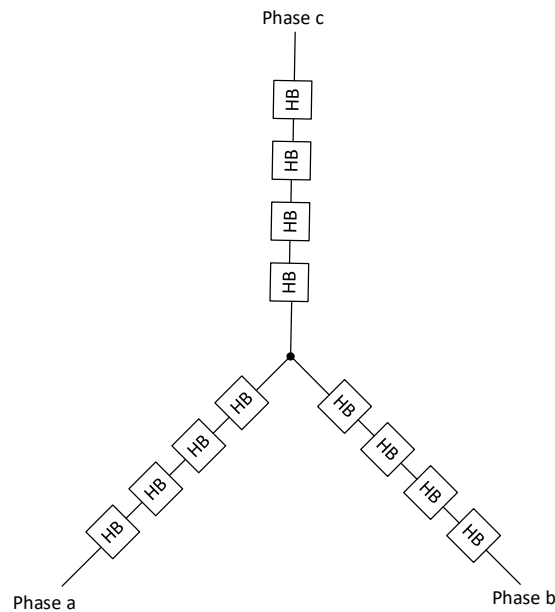


Figure I.24: Convertisseur modulaire basé sur une configuration étoile.

Les modules « Ponts en H » présentés jusqu'à maintenant étaient basés sur des convertisseurs classique 2 niveaux mais il est également possible de se baser sur des topologies NPC (ou ANPC) ou bien encore NPP (ou T-type) pour le pont en H (noté HB). Ainsi, à la place d'avoir seulement 3 niveaux de tension en sortie de chaque module, nous en aurions cinq ; ainsi, un module de ce type serait l'équivalent de la mise en cascade de deux modules basés pour chacun sur une structure 2 niveaux. Les deux figures qui suivent présentent un convertisseur 5 niveaux à base de convertisseurs 3 niveaux NPC et T-Type.

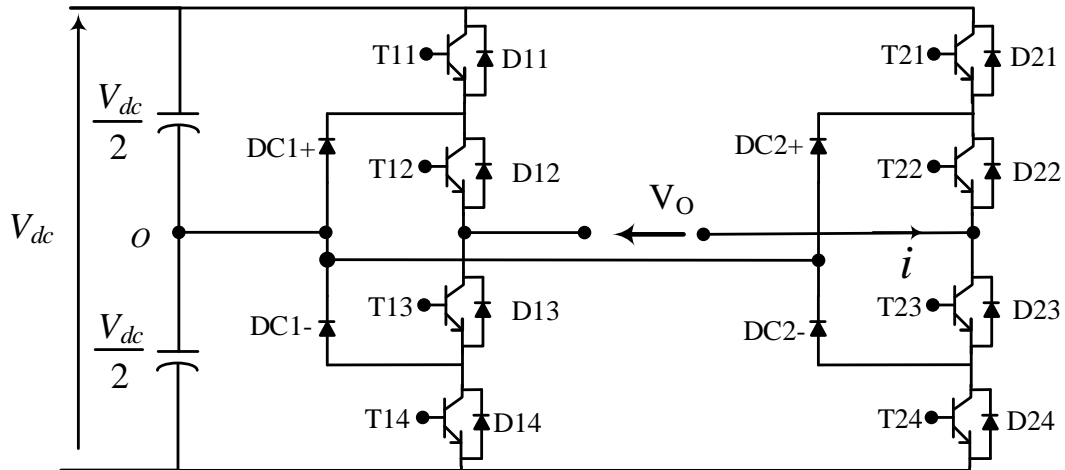


Figure I.25 : Structure NPC Pont en H à 5 niveaux.

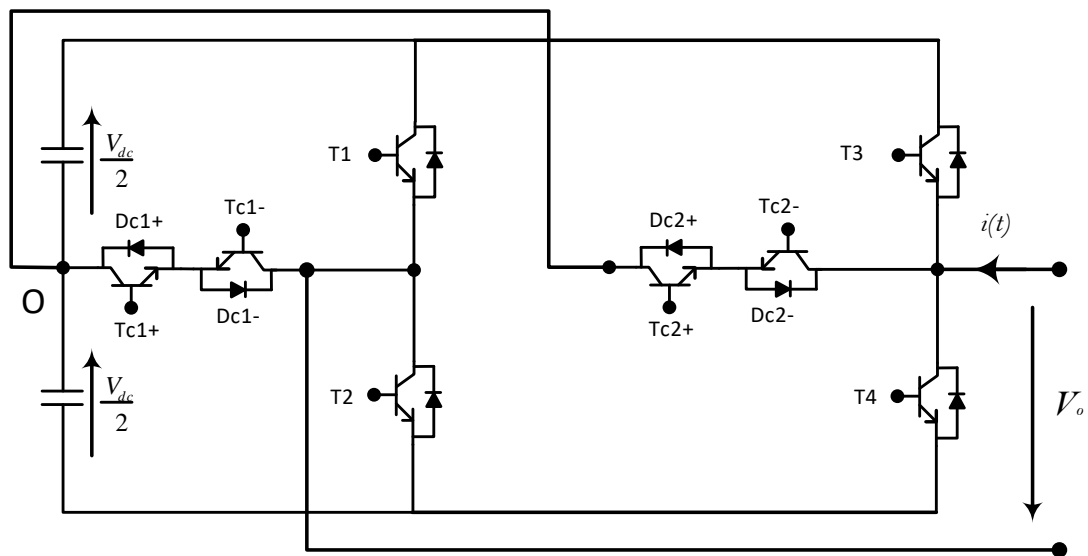


Figure I. 26: Structure T-Type Pont en H à 5 niveaux.

3.2.2. Convertisseur Modulaire à base de Demi-ponts en H

De même que pour le convertisseur 3 niveaux à base de demi-ponts en H, il est possible de connecter plusieurs demi-ponts afin d'augmenter le nombre de niveaux.

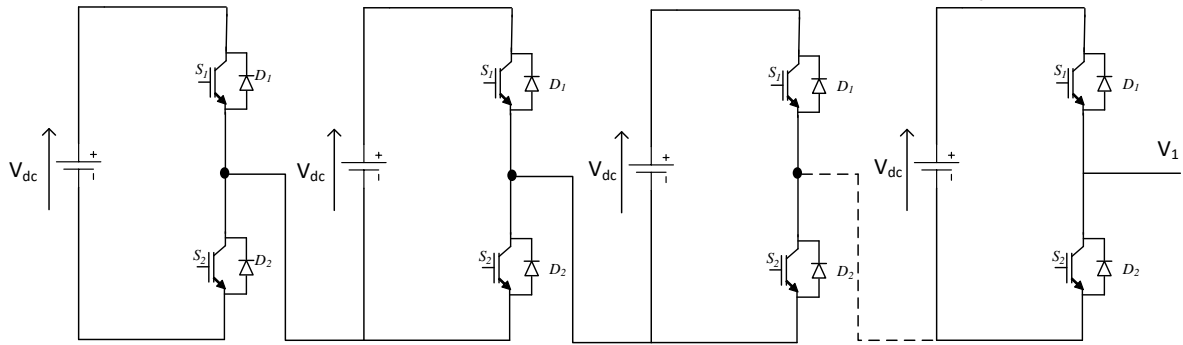


Figure I. 27 : Mise en serie de convertisseurs de type demi-pont en H.

Les problèmes de cette structure restent cependant toujours les mêmes : nous ne pouvons pas obtenir de tension de sortie négative et un grand nombre de sources de tension est nécessaire. De la même façon que pour les ponts en H en cascade, il est aussi possible d'intégrer directement des structures à 3 niveaux de types NPC ou NPP (ou bien encore T-type).

4. Contrôle des convertisseurs multiniveaux

Les techniques de PWM traditionnelles ont été étendues avec succès aux topologies de convertisseurs multiniveaux, en utilisant plusieurs porteuses pour commander les différents composants de puissance. Ces méthodes de modulation sont connues sous le nom « PWM multi porteuses », comme le montre la Figure I.28, extraite de la publication [21].

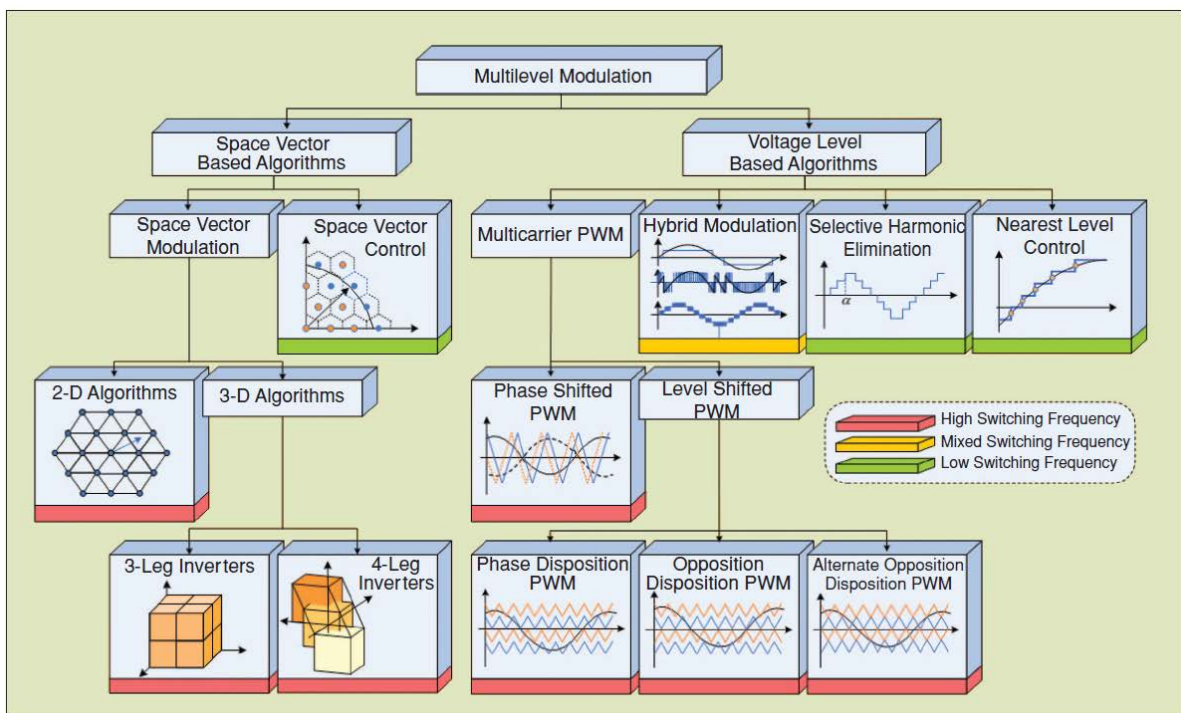


Figure I.28 : Classification des méthodes de modulation pour convertisseurs multi-niveaux [21].

Comme on peut le constater à la Figure I.28, il existe un grand nombre de stratégies de modulation. Certaines peuvent être adaptées à tous types de convertisseurs multiniveaux alors que d'autres sont propres à une structure de convertisseur donnée. Dans la suite de ce mémoire, nous allons détailler les méthodes les plus courantes.

4.1. PWM sinusoïdale ou sous-harmonique (PS-PWM)

Dans le cas d'une commande MLI de type PS-PWM, toutes les porteuses triangulaires ont la même fréquence et la même amplitude crête-crête. Cependant, les différentes porteuses sont déphasées entre elles. Pour m niveaux de tension, il est nécessaire d'utiliser $(m-1)$ porteuses, déphasées entre elle d'un angle $\theta = (360^\circ / m-1)$; par ailleurs, une seule et même modulante sera utilisée [21]. Dans le cas de convertisseurs multiniveaux de type « ponts en H », connectés en serie, il y aura une porteuse par pont. Le principal avantage de cette méthode réside dans le fait que la fréquence apparente de commutation sera égale au nombre de porteuses, multiplié par la fréquence de la modulante.

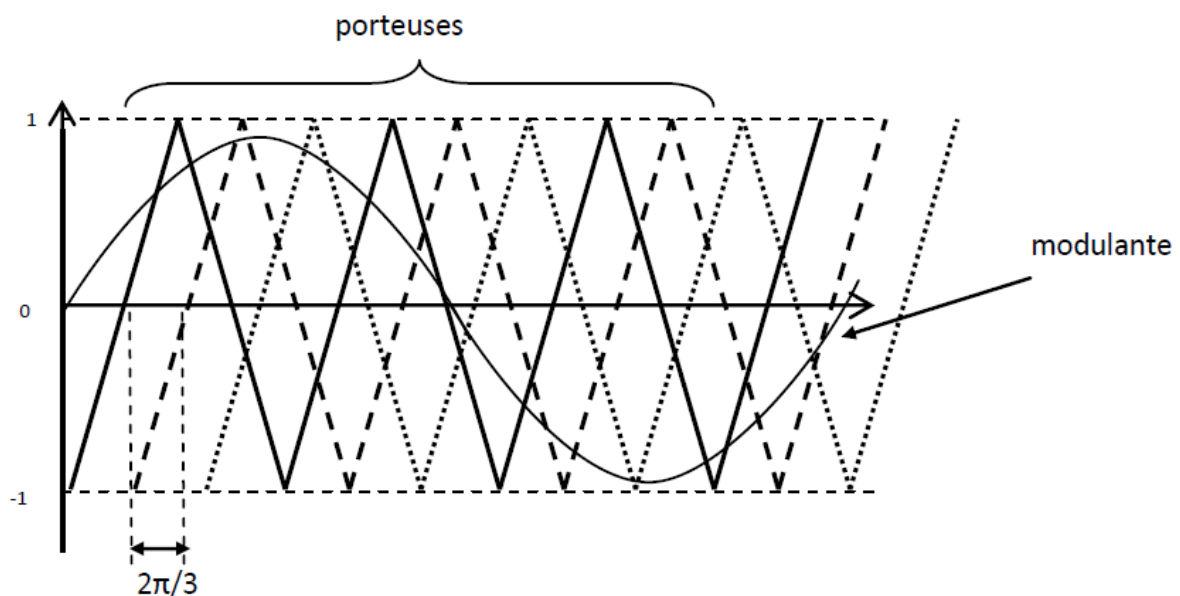


Figure I. 29 : Modulation de type PS-PWM avec 3 porteuses [22].

4.2. PWM à sélection d'harmoniques à éliminer (SHE-PWM)

Le principe de la MLI dite « SHE PWM » est d'éliminer un certain nombre d'harmoniques bien ciblés, tout en gardant intact le fondamental de la tension. Le but de cette commande est de pouvoir régler les angles de commutation (compris entre 0 et 90°) afin de garantir une largeur d'exécution pour réduire les harmoniques [24]. La tension obtenue en sortie du convertisseur est une tension évoluant par palier et peut-être mise sous la forme suivante :

$$V_o = \sum \frac{4V_{dc}}{n\pi} \{ \cos(n\alpha_1) + \cos(n\alpha_2) + \dots + \cos(n\alpha_k) \} * \frac{\sin(n\omega t)}{n} \quad [24]$$

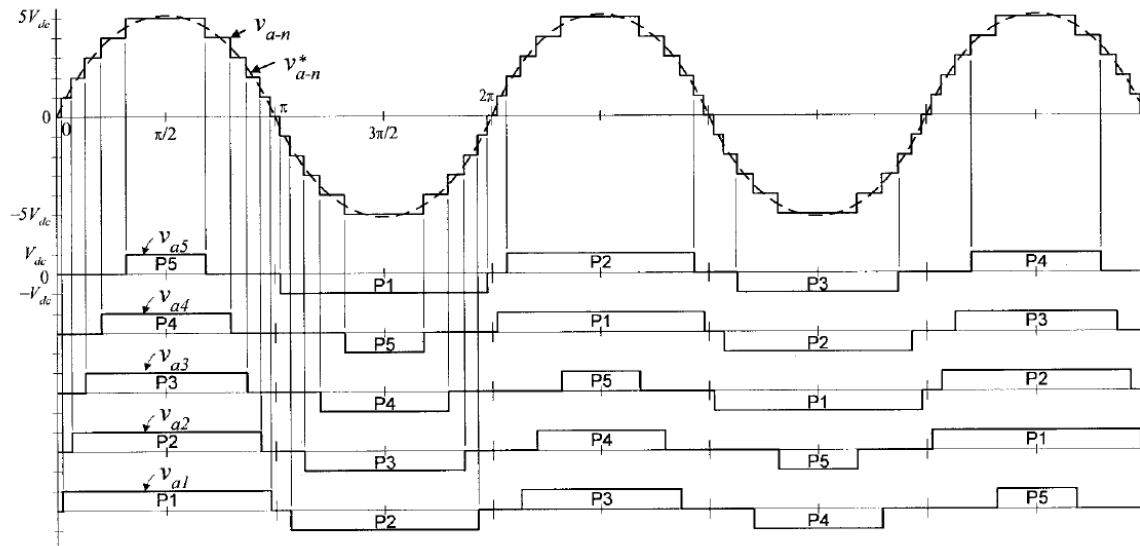


Figure I.30 : Exemple de commande MLI type SHE-PWM [22].

Dans l'exemple de la Figure I.30, une structure de convertisseur triphasé à 11 niveaux, basé sur la mise en serie de ponts en H, a été réalisée [23]. Comme cela est toujours le cas pour la SHE PWM, les angles de commutation sont calculés hors ligne pour différents indices de modulation. Ici, ces indices ont été calculés pour éliminer les harmoniques 5, 7, 11, 13 [23]. Le calcul des angles du SHE-PWM se complexifie énormément en fonction du nombre de niveaux du convertisseur et ne semble adapté que pour des applications à faibles fréquences [23].

4.3. PWM vectorielle (SV-PWM)

La commande MLI dite « SV PWM » a été largement citée et utilisée dans la littérature scientifique. Son implémentation est relativement simple dans les structures où le nombre de niveaux n'est pas trop important. De plus, l'ondulation du courant de sortie est limitée. Elle a aussi l'avantage de pouvoir être mise en œuvre pour tous les convertisseurs multiniveaux. Cependant, malgré une implémentation assez aisée dans le cas d'un convertisseur à faibles niveaux (inférieur ou égal à 5), l'implémentation peut devenir complexe pour des convertisseurs avec de nombreux niveaux de tension et le temps de calcul deviendrait alors trop prohibitif. La Figure I.31 illustre les combinaisons des commutations possibles pour un onduleur NPC à 3 niveaux [21].

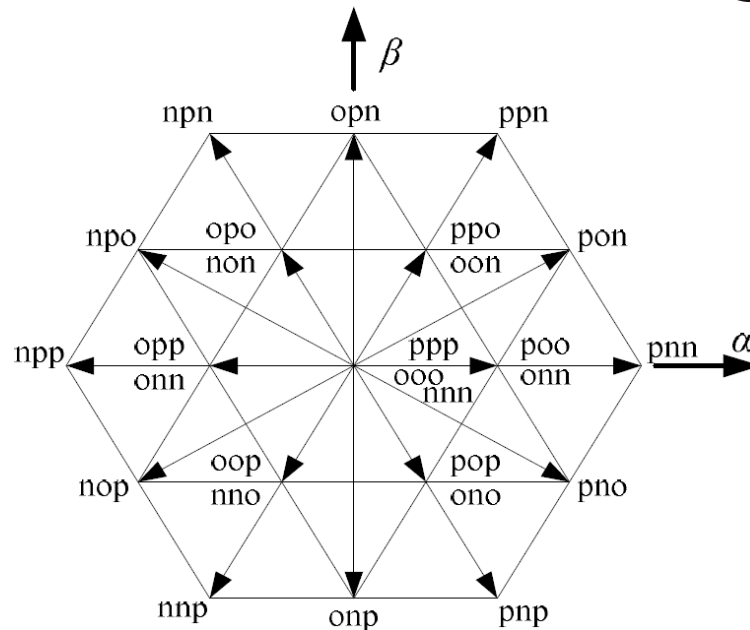


Figure I.31: Commande MLI de type « SV-PWM » pour un convertisseur 3 niveaux [25].

4.4. Level-shifted Modulation (LS-PWM)

Cette stratégie de modulation utilise plusieurs porteuses triangulaires disposées les unes au-dessus des autres et comparées à la même tension de référence, reliant chaque porteuse à un niveau de tension possible en fonction du nombre de niveaux générés par le convertisseur. Cette stratégie est connue sous le nom LS-PWM. Les différentes porteuses peuvent être positionnées en phase (PD-PWM), en opposition de phase (POD-PWM) ou en opposition de phase alternée (APOD). Ces différentes possibilités sont illustrées par la Figure I.32 [21].

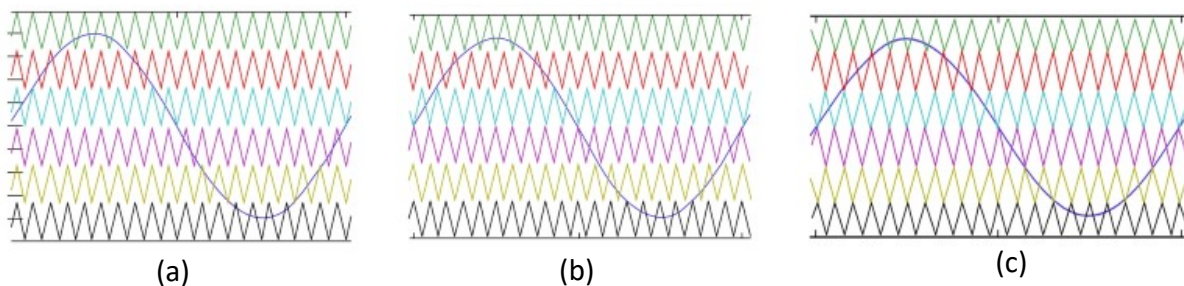


Figure I.32 : Différentes possibilités de commande MLI type « LS-PWM » : (a) PD-PWM (b) POD-PWM (c) APOD-PWM [26].

Cette MLI dite LS-PWM peut être implémentée pour toute topologie de convertisseur multiniveaux; cependant, elle particulièrement adaptée aux structures NPC ou NPP, puisque chaque porteuse peut être directement liée à la commande de chaque semi-conducteur de puissance.

4.5. Conclusion

De nos jours, l'optimisation de la qualité de l'énergie électrique ainsi que l'interconnexion entre différents réseaux nécessitent déjà et nécessiteront de plus en plus de dispositifs d'échange d'énergie électrique de forte puissance. L'émergence des systèmes de transmission HVDC est semble être une évidence pour les années à venir. Actuellement, ce sont toujours les technologies à base de thyristors qui composent majoritairement les équipements à très forte puissance. Néanmoins, grâce aux composants de puissance de type IGBT, les tendances changent et les convertisseurs de puissance multiniveaux répondent de plus en plus à cette demande et s'imposent.

Parmi les topologies multiniveaux présentées dans ce chapitre, l'aspect modulaire de certaines d'entre elle est particulièrement attractif, notamment celles qui sont composées de pont en H à 3 niveaux, étudiés dans ce chapitre. En effet, grâce à ce type de module de base, il est possible de créer une grande variété de structures multiniveaux et donc d'entrevoir tout le potentiel de ces structures à couvrir des applications de forte puissance. Pour ces raisons, nous nous intéresserons plus particulièrement aux convertisseurs HB-NPC et HB-NPP (HB-T-Type) dans les chapitres qui suivent.

Un autre aspect important traité dans ce chapitre est la commande de ces convertisseurs multiniveaux. Notre choix étant de cibler les convertisseurs « pont en H », types NPC et NPP, nous avons naturellement choisi de leur appliquer une commande de type LS-PWM qui présente pour avantages majeurs de minimiser les pertes dans les composants du convertisseur (et donc minimiser leur vieillissement) et réduire l'oscillation du bus continu. Le premier avantage cité est prédominant dans le contexte de notre étude qui vise à contribuer à la continuité de service de convertisseurs multiniveaux, en privilégiant tout d'abord la limitation des contraintes et des commutations imposées aux composants.

Ainsi, dans le chapitre suivant, nous allons donc nous intéresser à une commande basée sur le contrôle LS-PWM, qui aura pour but la minimisation des commutations dans les convertisseurs de types HB-NPC et HB-T-type.

Chapitre II : Contrôle à nombre minimal de commutations pour les structures HB-NPC et HB-T-Type

1. Introduction

Parmi les différentes topologies Multiniveaux possibles, on constate que les convertisseurs Neutral Point Clamped (NPC), Neutral Point Piloted (NPP) ou T-Type sont les plus largement utilisés pour ces applications industrielles à puissance élevée [1]-[6]. Dans ce chapitre, une proposition de commande contribuant à l'accroissement de la durée de vie des composants de puissance est détaillée, puis validée par simulation et expérimentation. Ainsi, pour augmenter cette durée de vie, nous envisageons de minimiser le nombre de commutations des composants commandables à l'ouverture et à la fermeture (encore appelés switches dans ce mémoire). Cette idée a pour origine le fait qu'un convertisseur multiniveaux permet de générer le même niveau de tension de sortie à partir de plusieurs séquences de commutations différentes. Ainsi, en choisissant un séquencement adapté et optimal lors des commutations, il est alors possible de réduire au minimum le nombre de commutations imposées à chaque composant commandable, tant à l'ouverture qu'à la fermeture, tout en respectant le niveau de tension exigé en sortie du convertisseur. Ce mode de commande optimisé sera alors appliqué au cas des convertisseurs de puissance multiniveaux HB-NPC et HB-NPP, pour un nombre de niveaux de la tension de sortie égal à 5.

Cette étude visant à réduire le nombre de commutations dans les convertisseurs sera étayée par des simulations, puis par des résultats expérimentaux sur un banc de test entièrement réalisé lors de cette thèse au sein de nos deux laboratoires, IJL et GREEN.

Dans un premier temps, nous allons donc considérer un convertisseur HB-NPC 5 niveaux contrôlé par une commande classique du type LS-PWM, explicitée au chapitre précédent. Les résultats de simulation obtenus seront analysés avec une attention particulière portée sur les commutations subies par les switches. Ensuite, nous proposerons de modifier cette commande rapprochée PWM en ajoutant dans la boucle de commande une fonctionnalité dédiée à l'optimisation des commutations. Notons que cette nouvelle fonctionnalité est « universelle », au sens où elle peut être ajoutée à tout type de commande décrit à la section 4 du chapitre 1. De nouvelles simulations obtenues après ajout de ce bloc dit d'optimisation seront réalisées puis analysées. Finalement, les résultats expérimentaux obtenus confirmeront la validité de notre contribution.

Dans un deuxième temps, le cas d'une structure HB-NPP à 5 niveaux sera étudié. Nous montrerons comment l'étude menée pour une structure NPC peut être transposée au cas du NPP. Cette section s'attachera davantage à valider notre approche dans le cas du NPP, tout en s'efforçant de synthétiser les développements de cette étude lorsqu'ils seront menés dans un esprit similaire au cas du NPC. Néanmoins, les résultats majeurs seront établis afin de rendre notre contribution directement utilisable dans le cas du HB-NPP à 5 niveaux. De même, l'étude pour le HB-NPP sera validée par simulation, puis expérimentalement.

2. Simulation d'un convertisseur HB-NPC à 5 niveaux, commandé en LS-PWM

2.1. Description du système

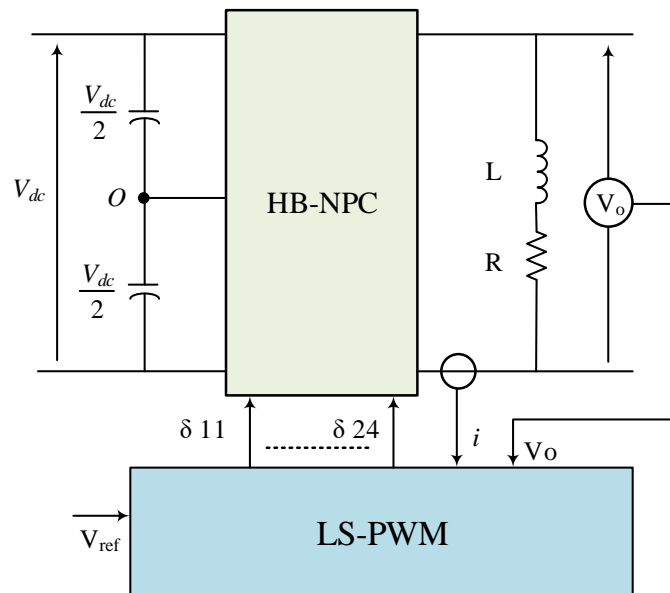


Figure II. 1 : Description du système étudié, basé sur un HB-NPC à 5 niveaux.

Le système étudié dans cette section est présenté à la Figure II. 1 ; il est basé sur un convertisseur HB-NPC monophasé de type pont en H à 5 niveaux (Figure II.2), débitant dans une charge RL. Le convertisseur HB-NPC proposé est en fait constitué de deux convertisseurs NPC à 3 niveaux (Figure II.2 (a)) connectés en parallèle. Chaque NPC à 3 niveaux se compose de quatre switches (ici des transistors) et six diodes (Figure II.2- (b)). Le bus DC est constitué de deux condensateurs C de capacité identique, connectés en série avec un point milieu noté 'O'.

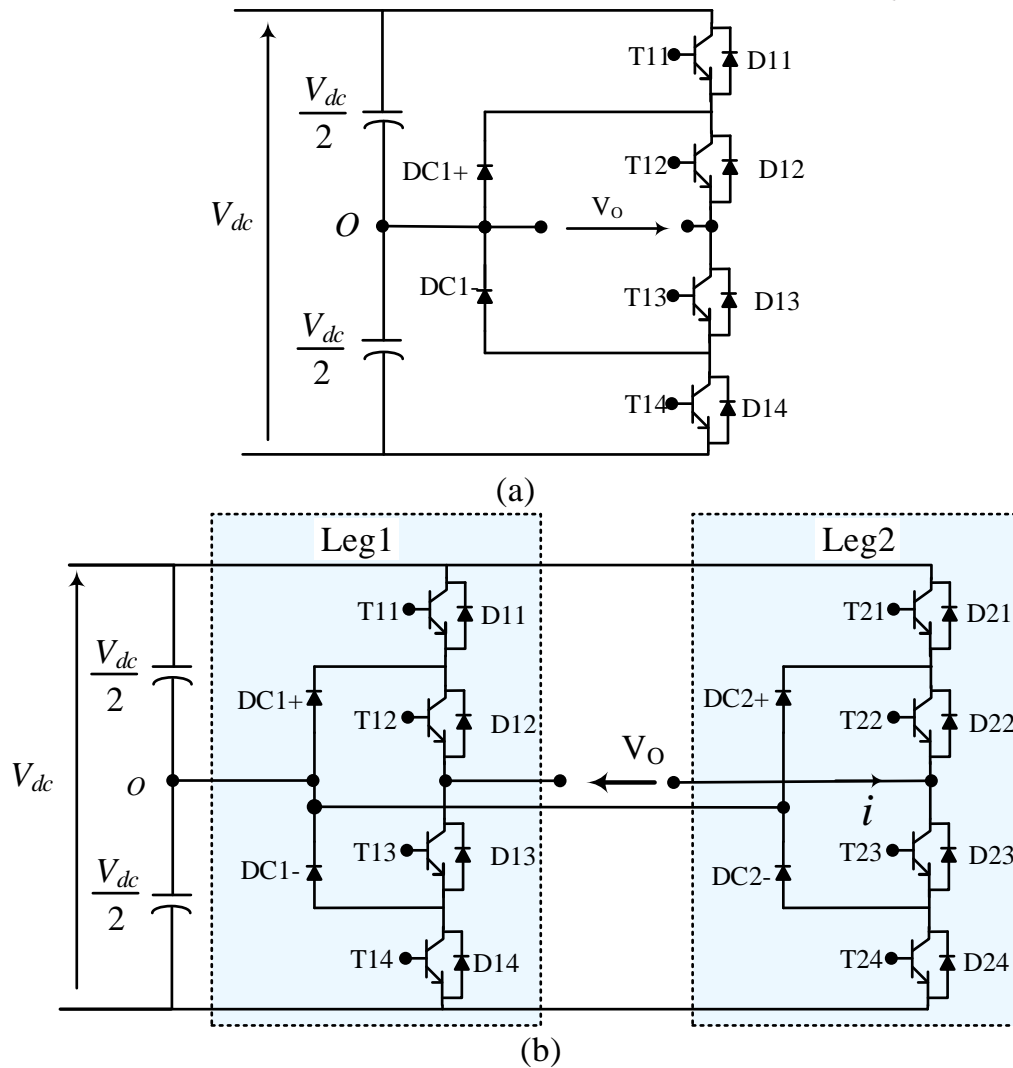


Figure II.2 : (a) Topologie NPC à 3 niveaux. (b) Topologie HB-NPC à 5 niveaux.

Pour la commande du convertisseur, le bloc noté LS-PWM sur la Figure II. 1 génère les ordres de commande en comparant deux signaux triangulaires avec deux signaux de référence sinusoïdaux. Comme le montre la Figure II.3, le signal triangulaire positif (Car_Pos) et la référence sinusoïdale (Ref_Pos.) permettent de générer les ordres de commande des swiches T11 et T13 (bras noté Leg1 pour le HB-NPC Figure II.2 (b)). Pour générer les ordres de commande des swiches T12 et T14 (Leg1), cette même référence sinusoïdale positive est comparée au signal triangulaire négatif (Car_Neg.). Les ordres de commande pour les quatre swiches du bras noté Leg2 (T21, T22, T23 et T24) sont générés en comparant la référence sinusoïdale négative (Ref_Neg.) avec les deux porteuses. Dans le cas général, les formes d'onde internes au bloc LS-PWM et les ordres de commande sont représentés à la Figure II.4. Ainsi et comme on peut le voir au niveau de la tension de sortie résultante (située en bas de la Figure II.4), cette tension comporte bien 5 niveaux ($-V_{dc}$, $-V_{dc} / 2$, 0 , $V_{dc} / 2$ et V_{dc}).

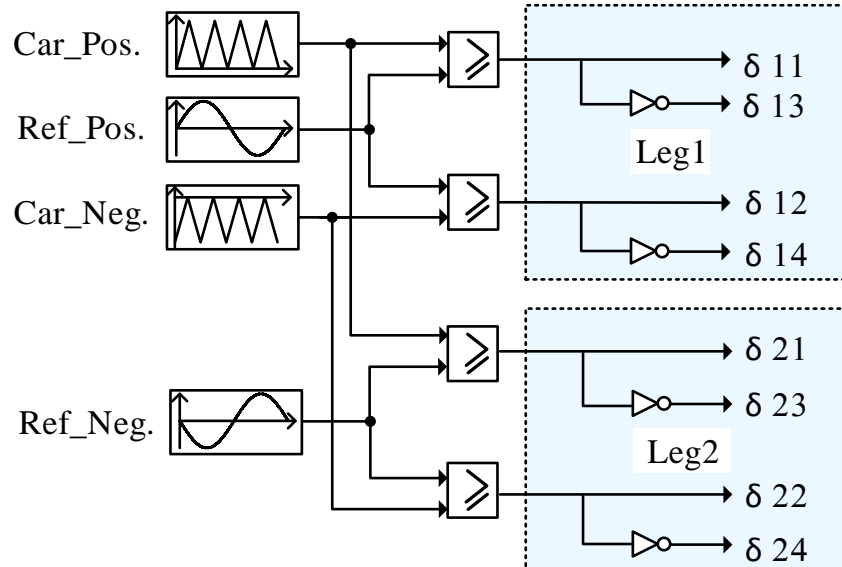


Figure II.3 : Génération des ordres de commande, interne au bloc LS-PWM.

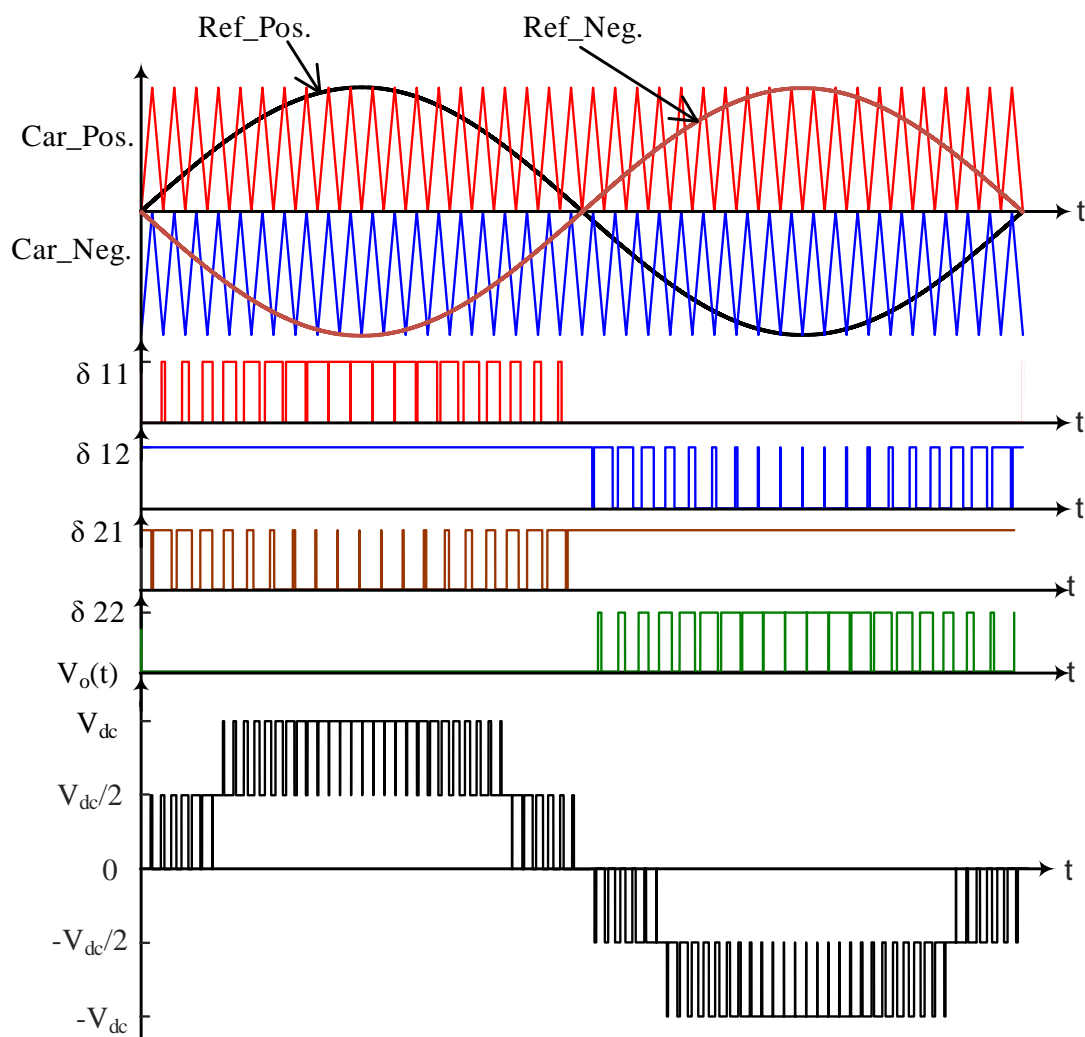


Figure II.4 : Formes d'ondes des signaux LS-PWM, ordres de commande et tension de sortie $V_o(t)$.

2.2. Résultats de simulation

Les simulations présentées dans cette section ont été réalisées dans l'environnement Matlab/Simulink en utilisant la bibliothèque SymPowerSystem. Le système simulé est celui de la Figure II. 1. Les paramètres du système sont consignés dans la Table II.1. Le paramètre f_{pwm} est la fréquence de hachage de la commande rapprochée LS-PWM et m est l'indice de modulation

Éléments	Valeurs
V_{dc}	100V
R	27.7 Ω
L	9 mH
f_{pwm}	1kHz
m	0.8

Table II.1 : Paramètres de simulation.

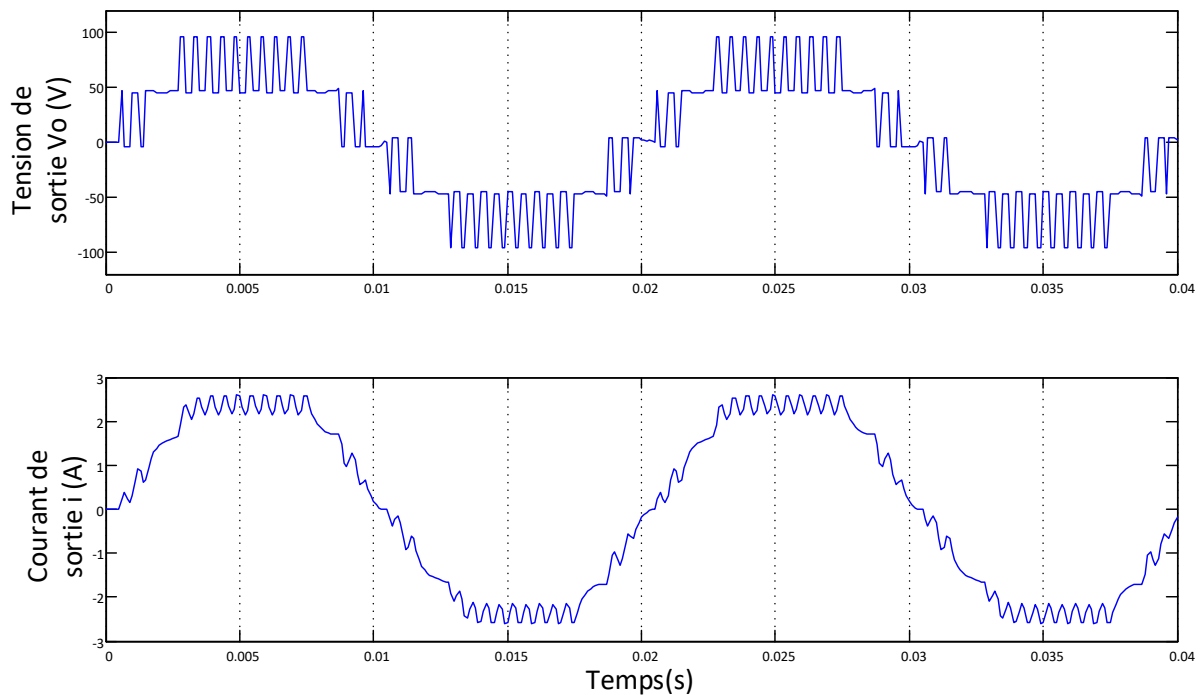


Figure II. 5 : Résultats de simulation d'un convertisseur HB-NPC à 5 niveaux pour une commande rapprochée de type LS-PWM.

Les résultats de simulation obtenus sont présentés à la Figure II. 5. On peut y visualiser la tension et le courant en sortie du convertisseur. Dans la suite du mémoire et comme nous l'avons annoncé en introduction, nous allons examiner la possibilité de réduire le nombre de commutations pour les composants commandables. Pour initier et mener cette réflexion, nous allons tout d'abord examiner sur une période les différentes commutations lors d'un contrôle basé sur la commande LS-PWM, et ainsi analyser les formes d'ondes obtenues à la Figure II. 5 .

2.3. Possibilité de réduction du nombre de commutations

On peut observer sur la Figure II. 5 qu'il se produit de légères variations de la tension de sortie $V_o(t)$ lorsque celle-ci reste un long moment égale à $V_{dc}/2$ ou à $-V_{dc}/2$. Afin de guider le lecteur, nous avons entouré sur la Figure II. 6, sur une période, les 4 durées durant lesquelles nous avons constaté ces faibles variations des niveaux de sortie $V_{dc}/2$ et $-V_{dc}/2$.

Ces faibles variations ne correspondent pas à des changements de niveaux de la tension de sortie et l'on peut donc légitimement se douter qu'ils sont induits par la commutation de switches. Ainsi, si le niveau de tension de sortie requis doit rester identique (dans notre cas égal à $V_{dc}/2$ ou à $-V_{dc}/2$), il n'est pas justifié de faire commuter des switches alors que la tension de sortie doit rester inchangée.

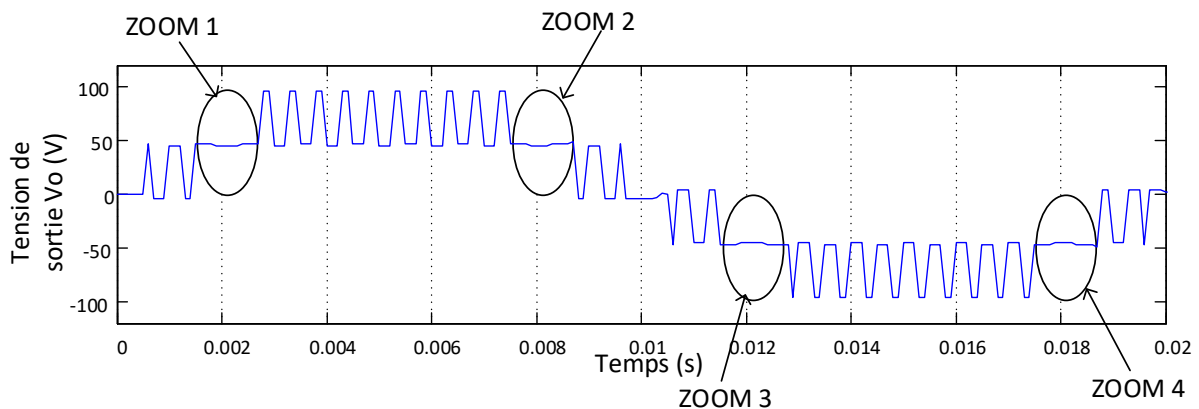


Figure II. 6 : Tension $V_o(t)$ en sortie du HB-NPC 5 niveaux : zoom sur les faibles variations.

Pour comprendre en détail l'origine de ces variations de tension, nous allons analyser les commutations des composants commandables lors des phases ciblées sur la Figure II. 6 (Zooms 1 à 4). Selon le signe du courant $i(t)$ présenté à la Figure II.7, il est important de noter que lorsque le niveau de tension de sortie demandé est égal à $V_{dc}/2$, les seuls switches pouvant potentiellement commuter sont T11 et T24 et que lorsque le niveau de tension demandé est égale à $-V_{dc}/2$ les seuls switches pouvant potentiellement commuter sont T14 et T21. Pour ce faire, nous allons zoomer au niveau de nos simulations sur des formes d'ondes adaptées et attentivement choisies, afin d'identifier et interpréter ce qui se passe au niveau des commutations lors des quatre phases ciblées. En effet, la seule analyse des ordres de commande envoyés par le bloc LS-PWM aux composants ne suffit pas, notamment lorsqu'il s'agit d'un ordre de commande à la fermeture ; pour être certain que la fermeture du composant est effective, il faut y associer la forme d'onde du courant qui traverse le composant. La raison pour laquelle nous avons systématiquement associé le courant à travers un switch à son ordre de commande est donc d'avoir la certitude de sa fermeture.

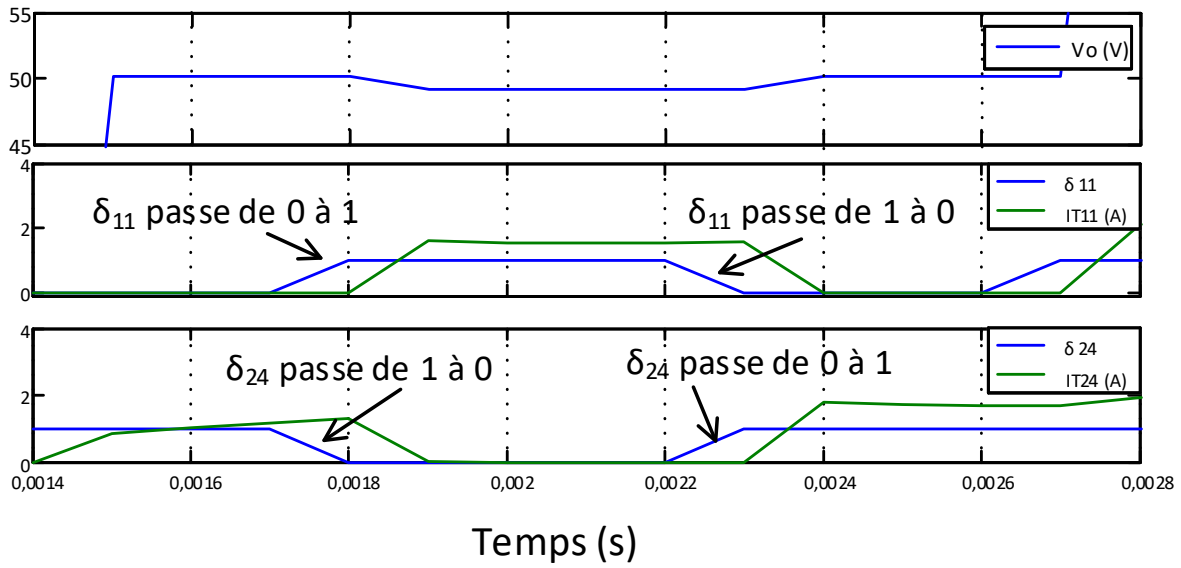


Figure II.7 : Tension $V_o(t)$, courants i_{T11} et i_{T24} et ordres de commande envoyés à T11 et T24 (ZOOM 1).

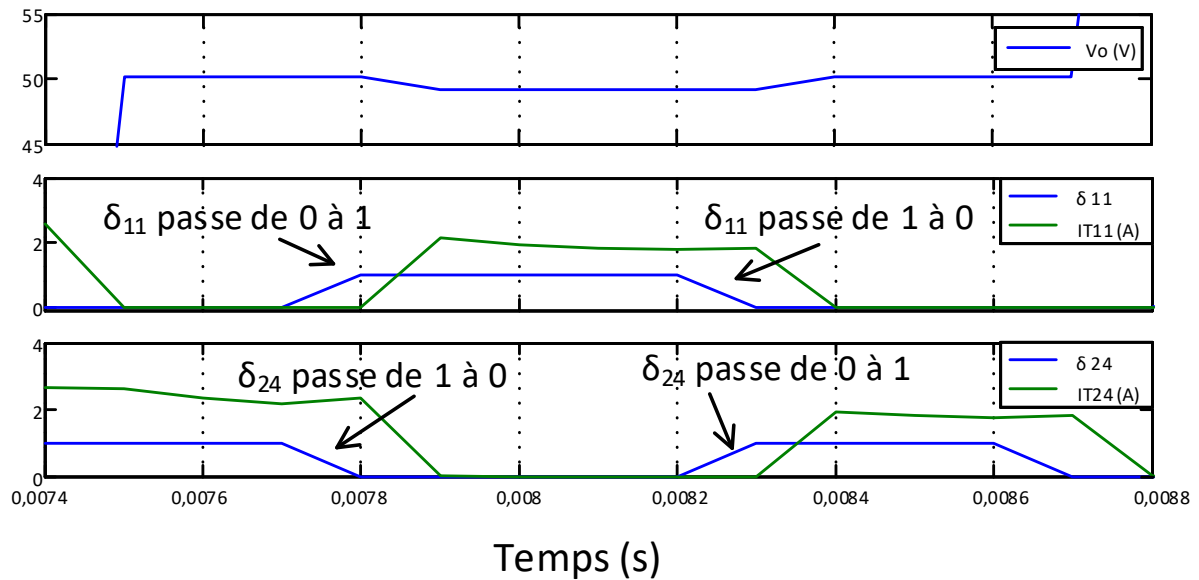


Figure II.8 : Tension $V_o(t)$, courants i_{T11} et i_{T24} et ordres de commande envoyés à T11 et T24 (ZOOM 2).

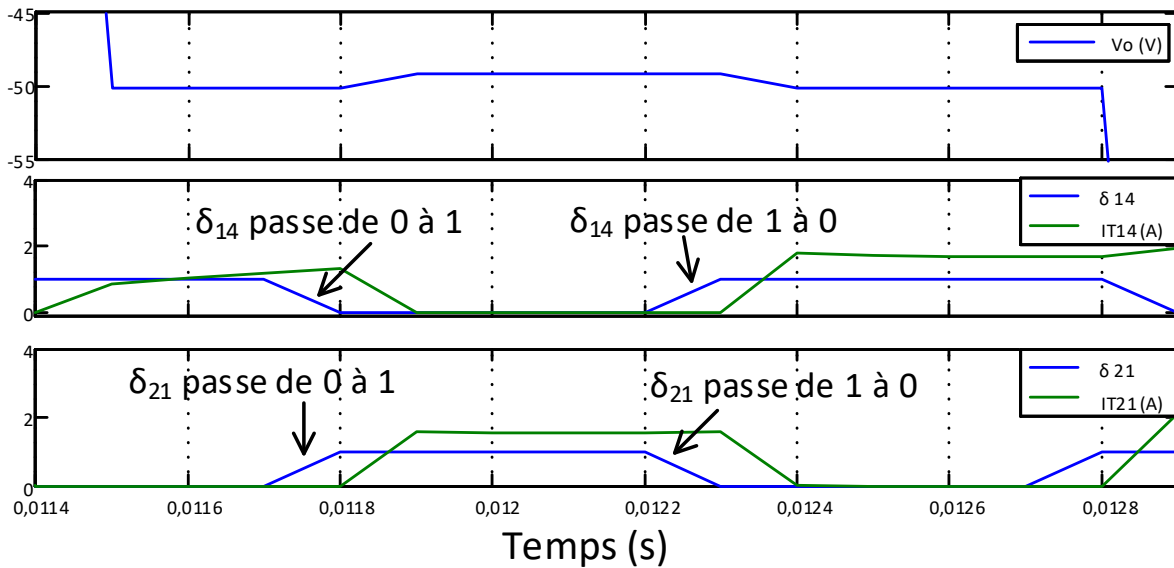


Figure II.9: Tension $V_o(t)$, courants i_{T21} et i_{T14} et ordres de commande envoyés à T21 et T14 (ZOOM 3).

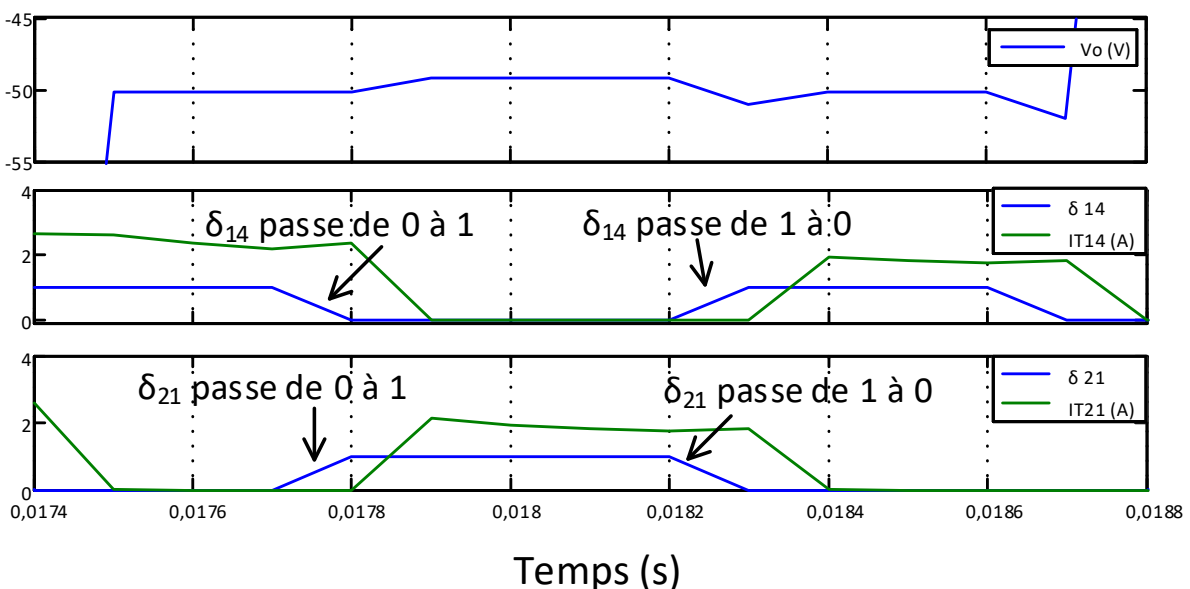


Figure II. 10: Tension $V_o(t)$, courants i_{T21} et i_{T14} et ordres de commande envoyés à T21 et T14 (ZOOM 4).

Comme nous pouvons le voir au niveau de $V_o(t)$ sur les Figure II.7 à II.10, nous constatons effectivement de faibles variations de tension alors que le niveau de tension devrait être constant. Ces oscillations sont dues à des commutations : comme les différentes formes d'ondes (ordres de commande et courants) le prouvent, nous commutons inutilement des composants alors que nous souhaitons conserver le même niveau de tension en sortie. Ces commutations réduisent inéluctablement la durée de vie des composants et mériteraient donc d'être évitées (4 commutations peuvent être évitées pour chaque ZOOM). Ainsi, nous aurions pu éviter un nombre de seize commutations par période de la tension de sortie.

Par ailleurs, nous avons analysé avec soin et sur une période tous les ordres de commande ainsi que les courants des switches associés. Seules les régions que nous avons ciblées sur la Figure II. 11

offraient une possibilité de réduction du nombre de commutations. Dans tous les autres cas, les commutations étaient optimisées et il n'est pas possible de réduire leur nombre.

Dans la suite du mémoire, nous allons donc nous intéresser à réduire ce nombre de commutations. Le principe général de la minimisation proposée est décrit à la section suivante.

2.3.1. Principe général de la minimisation des commutations

Avant de commencer à aborder et détailler le principe proposé pour la minimisation des commutations, il est préalablement nécessaire de définir les notions et acronymes qui seront utilisés dans la suite de ce chapitre.

Lors de l'exposé du principe de minimisation, nous utiliserons les notions suivantes :

- Etat de commutation : Un état, noté S_x de manière générale, correspond à la réalisation d'un niveau de tension donné, obtenu à partir de semi-conducteurs du convertisseur qui sont à l'état passants.
- Transition : Passage d'un état donné à un autre
- Trajectoire : Lors du passage d'un niveau de tension donné à un autre, une trajectoire est constituée de l'ensemble des transitions qui permettent de passer de l'état de tension initial à l'état final. Une trajectoire peut être constituée d'une ou plusieurs transitions.
- NOT : Acronyme pour « Nombre de Transitions »
- NOC : Acronyme pour « Nombre de Commutations »
- $NOC_{S_x-S_y}$: Acronyme pour « Nombre de Commutations pour passer de l'état S_x à l'état S_y »
- NOC_{total} : Acronyme pour « Nombre total de Commutations réalisées par les semi-conducteurs lors d'une trajectoire »

Dans la littérature, plusieurs méthodes sont classiquement proposées pour contrôler la tension de sortie des convertisseurs de puissance multiniveaux. Dans notre cas, nous proposons de modifier la commande rapprochée basée sur une LS-PWM classique. Néanmoins, les méthodes PWM utilisées peuvent indifféremment être SHPW, PSPWM, SVM, SHE PWM [1],[7]-[13]. On nommera la nouvelle commande ici proposée par « Contrôle Optimisé » ou OPT-PWM. La modification apportée au mode de contrôle aura pour objectif de réduire tant que faire se peut le nombre de commutations.

Le principe général du contrôle OPT-PWM repose sur l'analyse de l'ensemble des transitions associées aux différentes trajectoires possibles, permettant de passer à chaque période d'échantillonnage du niveau initial de tension au niveau final souhaité. Ensuite, une trajectoire est choisie, selon le critère du minimum de commutations.

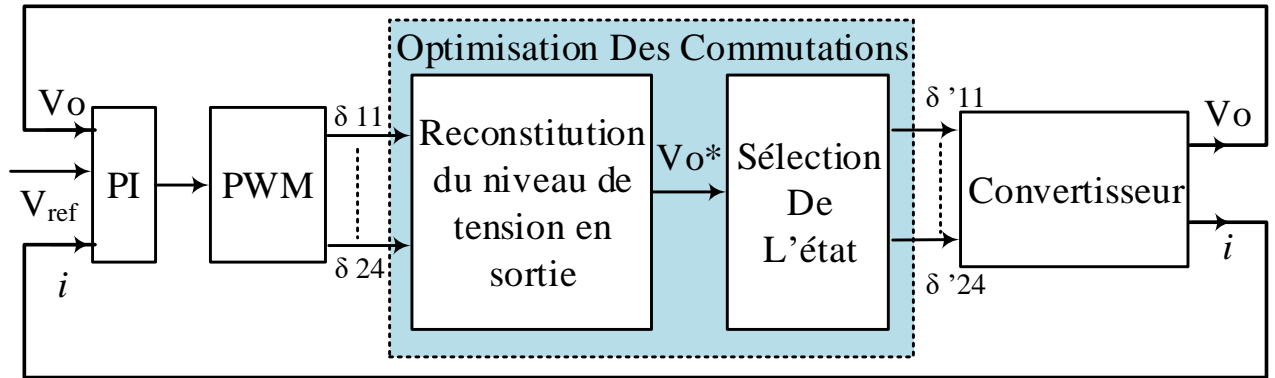


Figure II.12: Principe général de la minimisation des commutations.

La Figure II.12 illustre le principe général de la minimisation des commutations, proposé dans ce mémoire. Dans un premier temps, à partir des ordres de commande générés par le bloc PWM, nous reconstituons le niveau de tension demandé (V_o^*). Ensuite, nous appliquons un algorithme de sélection d'états qui permet d'obtenir le niveau de tension V_o^* souhaité tout en commutant le minimum de composants de puissance (diodes et transistors).

2.3.1.1. Reconstitution du niveau de tension V_o^*

Avant d'appliquer l'algorithme de minimisation des commutations, nous devons connaître le niveau de tension de référence (V_o^*) requis en sortie du convertisseur. Pour ce faire, en sortie du bloc PWM, nous ajoutons un bloc qui reconstitue le niveau de tension que le convertisseur doit fournir, en fonction des ordres de commande générés par le bloc PWM. Pour réaliser ce bloc, nous devons connaître le type de convertisseur multiniveau mis en œuvre ainsi que tous les niveaux de tension associés possibles en fonction de tous les ordres de commande. La sortie de ce bloc indique la valeur de la tension de sortie V_o^* .

2.3.1.2. Recherche de la trajectoire à nombre minimal de commutations

Une fois la valeur de la tension V_o^* (Figure II.12) obtenue, un deuxième bloc sélectionne l'état de commutation optimal qui conduit au nombre minimal de commutations.

Pour qualifier le passage d'un niveau de tension à un autre, nous avons choisi d'utiliser la notion de "trajectoire". Dans certains cas, il se peut que pour passer d'un niveau de tension à un autre, nous ayons plusieurs trajectoires possibles. De plus, chaque trajectoire peut contenir plusieurs transitions entre différents états. Chaque transition ($S_x \rightarrow S_y$) est associée à un nombre de commutations ($NOC_{S_x-S_y}$), directement lié à la différence entre les composants de puissance actifs pour le niveau de tension initial et pour le niveau final. Ainsi, la méthode proposée dans ce mémoire permet

d'accroître la durée de vie des composants de puissance ainsi que la fiabilité du convertisseur en minimisant le nombre total de commutations NOC_{total} lors de chaque changement de niveau de tension de sortie.

Pour optimiser et donc minimiser ce paramètre NOC lors de chaque changement de niveau de tension, toutes les trajectoires possibles sont envisagées. Notons que la valeur de ce paramètre NOC augmente en fonction du nombre de transitions (NOT). Dans notre étude, les trajectoires nécessitant plus de 2 transitions seront ignorées car elles seront dans tous les cas écartées selon le critère de minimisation des commutations. En effet, dans tous les cas, le choix d'une valeur maximale de NOT égale à 2 permet la sélection de la trajectoire optimisée. Pour chaque transition, le NOC correspondant est calculé. Ensuite, la trajectoire sélectionnée est celle qui conduit à une valeur minimale en sommant toutes les valeurs des NOC précédemment calculées. Le total résultant pour chaque trajectoire est la somme de tous les NOC (S_x-S_y) de toutes les transitions.

La méthode de recherche de la trajectoire optimale est résumée par l'organigramme de la Figure II.13. Cet algorithme est utilisé pour déterminer la trajectoire optimale, lors du passage d'un niveau de tension à un autre. Lors de la première étape, toutes les trajectoires possibles pour passer du niveau tension initial au niveau de tension final, satisfaisant à $NOT \leq 2$, sont sélectionnées. Puis, dans une deuxième étape, les valeurs NOC_{total} associées aux différentes trajectoires sélectionnées sont calculées. Enfin, la ou les trajectoires conduisant à une valeur minimale de NOC_{total} seront sélectionnées pour effectuer le changement de niveau de tension. Notez que l'organigramme de la Figure II.13 peut conduire à une ou plusieurs trajectoires ; dans ce second cas, le choix de la trajectoire finalement appliquée sera réalisé en choisissant de faire commuter les switches qui ont été le moins sollicités lors des précédentes commutations. Ce mode opératoire (Figure II.13) est appliqué lors de chaque changement de niveaux de tension.

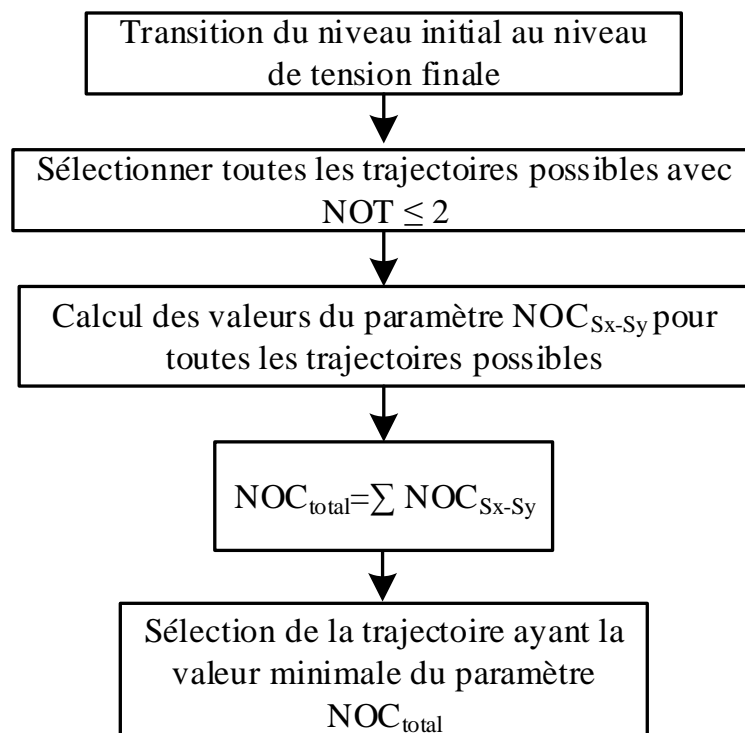


Figure II.13 : Recherche des trajectoires à nombre minimal de commutations.

Ayant ainsi exposé le principe général de l'optimisation des commutations, nous allons maintenant l'illustrer dans le cas de deux configurations de convertisseurs 5 niveaux, présentées dans les sections précédentes. Il s'agit des structures HB-NPC et HB-T-Type monophasées.

3. Cas du HB-NPC à 5 niveaux avec minimisation des commutations

3.1. Niveaux de tension et composants passants

Dans cette partie, nous nous intéressons à une topologie de convertisseur monophasé de type pont en H, basée sur un NPC à 5 niveaux (HB-NPC) et associée à une stratégie de modulation de largeur d'impulsion OPT-PWM réduisant le nombre de commutations (Figure II.12). La Figure II.2 illustre cette topologie HB-NPC qui permet de générer une tension de sortie à cinq niveaux. Le contrôle OPT-PWM proposé est basé sur l'étude précédente (Section 2.3).

La tension de sortie du convertisseur notée (V_o) peut être générée à partir de 18 combinaisons possibles, selon les états des huit switches et selon le signe du courant. La Table II.2 résume tous les états de commutation possibles ainsi que les niveaux de tension de sortie correspondants. Notons que dans cette Table, nous avons uniquement présentés les états possibles, au sens où ils sont admissibles pour la topologie étudiée (pas de court-circuit de la source d'entrée, par exemple). La Figure II.14 présente également les 18 configurations correspondantes pour le convertisseur HB-NPC ainsi que le trajet du courant. Les switches (ici des transistors) ainsi que les diodes de couleur rouge sont les éléments passants du convertisseur.

$V_o(t)$	$i(t)>0$		$i(t)<0$	
	Etats	Composants passants	Etats	Composants passants
V_{dc}	S1	T11, T12, T23, T24	S10	D11, D12, D23, D24
$V_{dc}/2$	S2	DC1+, T12, T23, T24	S11	D11, D12, T22, DC2+
	S3	T11, T12, T23, DC2-	S12	DC1-, T13, D23, D24
0	S4	DC1+, T12, T23, DC2-	S13	DC1-, T13, DC2+, T22
	S5	T23, T24, D14, D13	S14	D11, D12, T21, T22
	S6	T11, T12, D22, D21	S15	T13, T14, D23, D24
$-V_{dc}/2$	S7	D13, D14, DC2-, T23	S16	T13, T14, T22, DC2+
	S8	DC1+, T12, D21, D22	S17	DC1-, T13, T21, T22
$-V_{dc}$	S9	D13, D14, D21, D22	S18	T13, T14, T21, T22

Table II.2 : Niveaux de tension possibles et états correspondants pour la topologie HB-NPC à 5 niveaux.

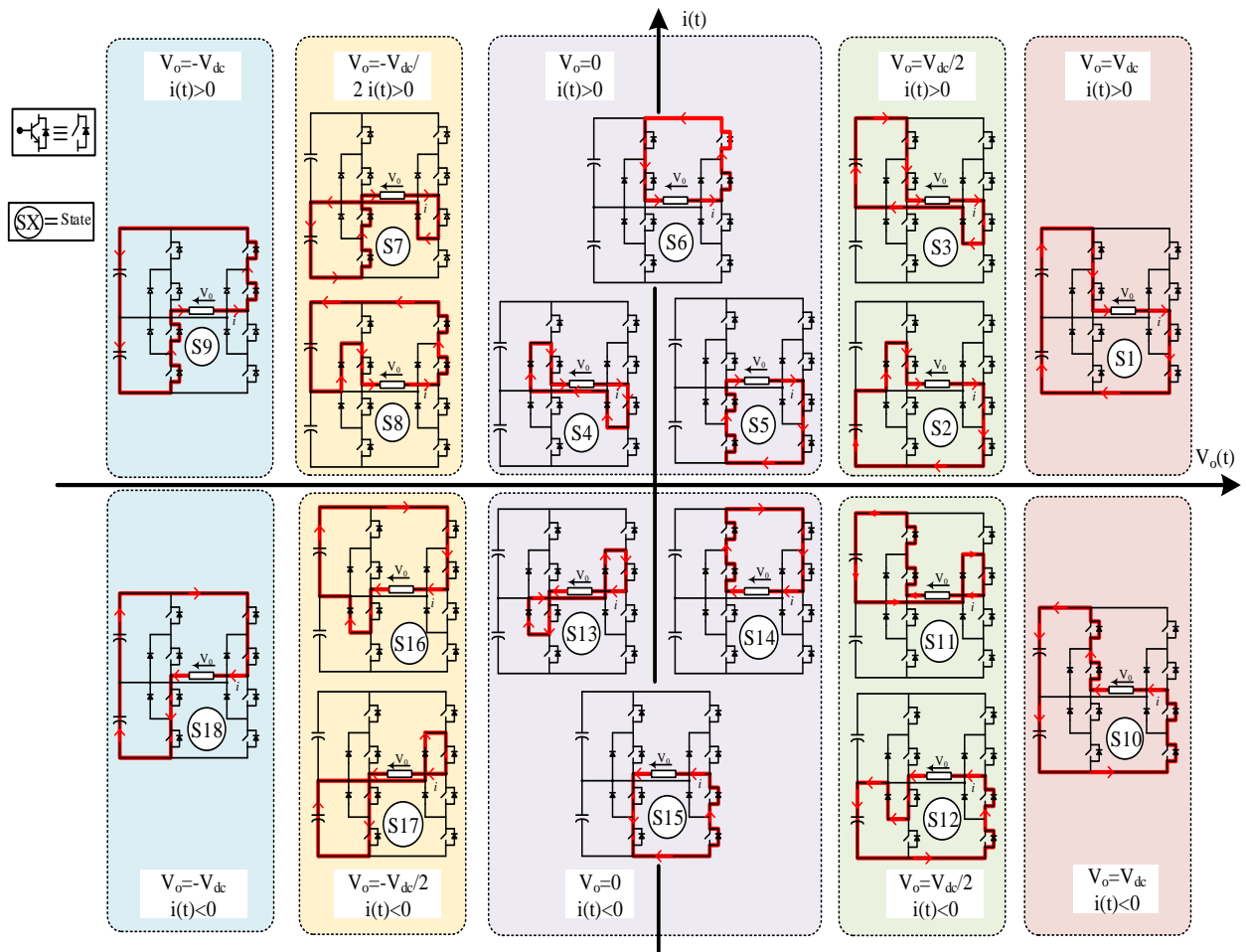


Figure II.14: Configurations du convertisseur HB-NPC selon les 18 états de commutations possibles.

3.2. Trajectoires à nombre minimal de commutations

Dans cette partie, le contrôle de la tension de sortie du HB-NPC à 5 niveaux est réalisé selon la commande que nous avons appelée OPT-PWM. La Figure II.15 rappelle le principe de contrôle du convertisseur HB-NPC, basé sur un contrôle PWM classique pour établir la référence V_o^* . Le nouveau bloc "Sélection de l'état" est ajouté à la commande PWM classique pour optimiser le nombre de commutations, sans diminuer pour autant les performances du contrôle. En effet, la tension de sortie du convertisseur est dans tous les cas la même, que l'on ait recours à une commande PWM classique ou bien à la commande OPT-PWM.

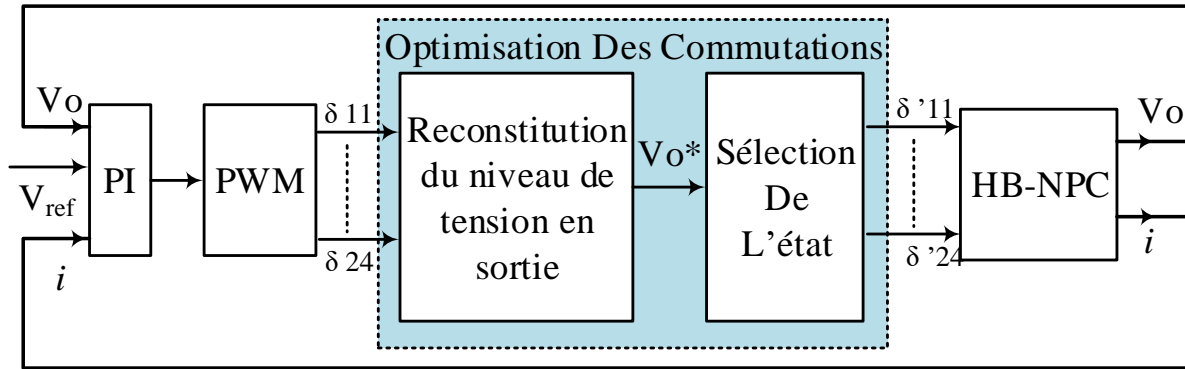


Figure II.15 : Principe de contrôle du HB-NPC à 5 niveaux.

Après avoir déterminé les ordres de commande à partir du bloc PWM, le bloc « Reconstitution du niveau de tension en sortie » (Figure II.15) détermine la valeur du prochain niveau de tension en sortie du convertisseur (V_o^*) à partir des ordres de commande δ_{ij} et de la Table II.2. Une fois ce niveau de tension V_o^* obtenu, le second bloc « Sélection De L'état » (Figure II.15) sélectionne l'état de commutation à choisir, selon le critère du nombre minimum de commutations. Dans le cas où $i(t)$ est positif, la Figure II.16 illustre les trajectoires à suivre lors du passage d'un état initial donné à un état final de la tension de sortie. Elle est basée sur la Table II.2. Pour en faciliter la lecture, un code couleur, décrit ultérieurement, est associé aux différentes transitions selon le nombre de commutations à réaliser. Dans certains cas et comme on peut le voir sur Figure II.14, il peut être nécessaire d'effectuer plusieurs transitions pour passer d'un niveau de tension à un autre. Nous avons limité à 2 ce nombre de transitions ($NOT < 2$), comme expliqué précédemment (Algorithme de la Figure II.13).

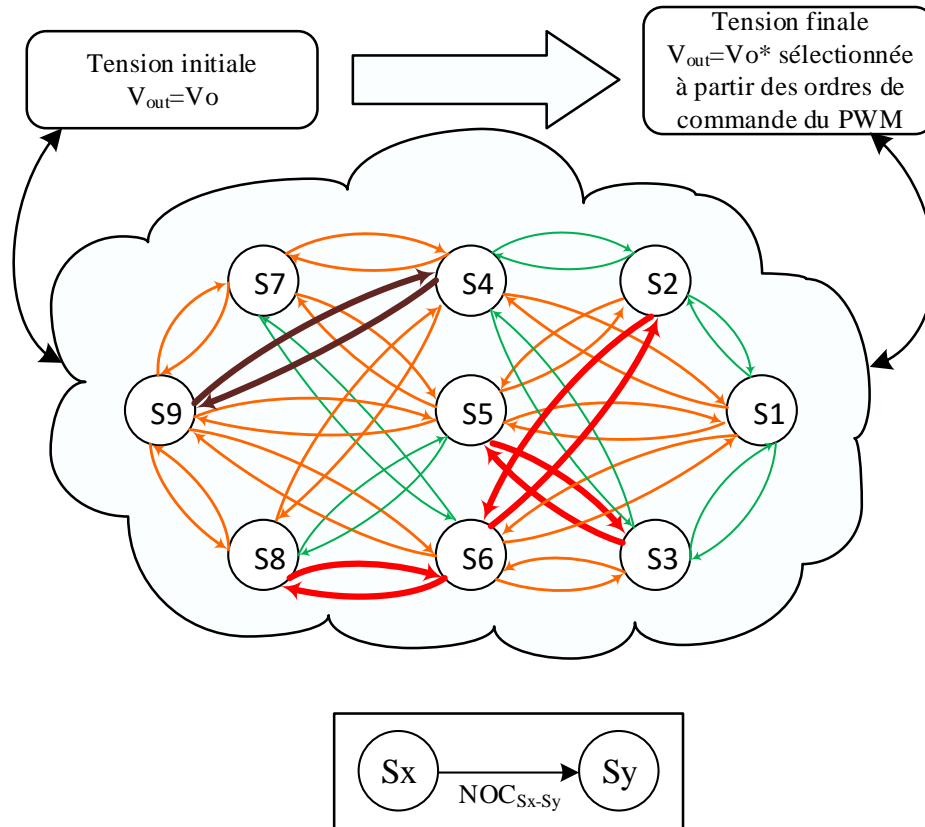


Figure II.16 : Etat de commutations et trajectoires associées lorsque $i(t)$ est positif.

La Figure II.16 illustre également les différentes incidences en termes de commutations pour toutes les transitions possibles (selon la Figure II.14 et la Table II.2 lorsque $i(t) > 0$). En fonction du code couleur utilisé pour la transition, nous avons plus ou moins commutations :

- Vert (trait le plus fin) : 2 commutations,
- Orange : 4 commutations,
- Rouge : 6 commutations,
- Brun (trait le plus épais) : 8 commutations.

La Table II.3 recense toute les trajectoires possibles ainsi que les trajectoires sélectionnées (en gras) conduisant à une valeur minimale du paramètre NOC. L'algorithme (Figure II.13) est alors utilisé. A titre d'exemple, une des possibilités de trajectoire à suivre pour passer de l'état S9 à l'état S6 est $S9 \rightarrow S8 \rightarrow S6$. Le calcul de NOC_{S9-S6} nous indique 10 commutations nécessaires, comme détaillé ci-dessous :

$$NOC_{S9-S6} = NOC_{S9-S8} + NOC_{S8-S6} = 4 + 6 = 10$$

Dans le cas où plusieurs trajectoires sont possibles avec le même nombre total de commutations (NOC_{total}), un nouveau critère doit alors être pris en compte. Le critère choisi est basé sur le nombre d'utilisations de chaque transition, en sélectionnant ainsi celle qui a été le moins empruntée. Ce paramètre permet de mieux répartir les commutations dans le convertisseur.

Niveau de tension initial	Niveau de tension final	(Trajectoires possibles, NOC)	Trajectoires sélectionnées
$V_o = V_{dc}$	$V_o = V_{dc}/2$	(S1→S2, 2) (S1→S3, 2)	S1→S2 S1→S3
$V_o = V_{dc}$	$V_o = 0$	(S1→S4, 4) (S1→S5, 4) (S1→S6, 4) (S1→S2→S4,4) (S1→S2→S5,6) (S1→S2→S6, 10) (S1→S3→S4, 6) (S1→S3→S5, 8) (S1→S3→S6, 6)	S1→S4 S1→S5 S1→S6
$V_o = V_{dc}$	$V_o = -V_{dc}/2$	(S1→S4→S7,8) (S1→S4→S8,8) (S1→S5→S7, 8) (S1→S5→S8, 6) (S1→S6→S7, 6) (S1→S6→S8, 10)	S1→S5→S8, S1→S6→S7
$V_o = V_{dc}$	$V_o = -V_{dc}$	(S1→S4→S9,12) (S1→S5→S9, 8) (S1→S6→S9, 8)	S1→S5→S9 S1→S6→S9
$V_o = V_{dc}/2$	$V_o = 0$	(S2→S4, 2) (S2→S5, 4) (S2→S6, 6) (S3→S4, 2) (S3→S5, 6) (S3→S6, 4)	S2→S4 S3→S4
$V_o = V_{dc}/2$	$V_o = -V_{dc}/2$	(S2→S4→S7,6) (S2→S4→S8,6) (S2→S5→S7, 8) (S2→S5→S8, 6) (S2→S6→S7, 10) (S2→S6→S8, 12) (S3→S4→S7,6) (S3→S4→S8,6) (S3→S5→S7, 10) (S3→S5→S8, 8) (S3→S6→S7, 6) (S3→S6→S8, 10)	S2→S4→S7 S2→S4→S8 S2→S5→S8 S3→S4→S7 S3→S4→S8 S3→S6→S7
$V_o = V_{dc}/2$	$V_o = -V_{dc}$	(S2→S4→S9,10) (S2→S5→S9,8) (S2→S6→S9, 10) (S3→S4→S9,10) (S3→S5→S9,10) (S3→S6→S9, 8)	S2→S5→S9 S3→S6→S9
$V_o = -V_{dc}$	$V_o = 0$	(S9→S4, 8) (S9→S5, 4) (S9→S6, 4) (S9→S8→S4, 8) (S9→S8→S5, 6) (S9→S8→S6, 10) (S9→S7→S4, 6) (S9→S7→S5, 8) (S9→S7→S6, 6)	S9→S5 S9→S6
$V_o = -V_{dc}$	$V_o = -V_{dc}/2$	(S9→S7, 4) (S9→S8, 4)	S9→S7 S9→S8
$V_o = -V_{dc}/2$	$V_o = 0$	(S7→S4, 4) (S7→S5, 4) (S7→S6, 2) (S8→S4, 4) (S8→S5, 2) (S8→S6, 6)	S7→S6 S8→S5

Table II.3 : Transitions et trajectoires possibles lors du passage d'un niveau de tension donné à un autre (Cas où $i(t) > 0$).

De même, pour un courant $i(t)$ négatif, les différentes transitions pour passer d'un niveau de tension à un autre ont été représentées à la Figure II. 17.

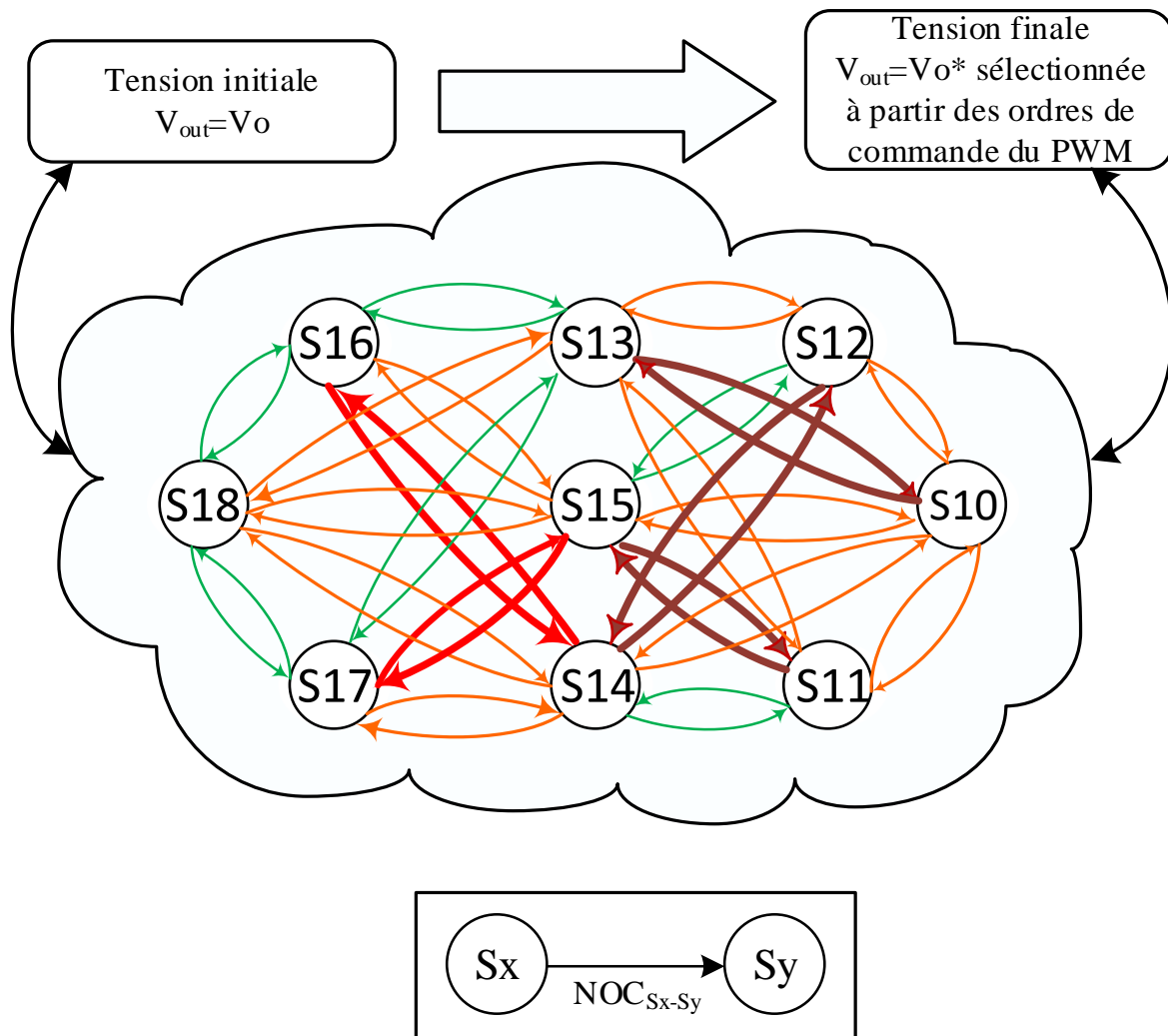


Figure II. 17 : Etats de commutations et trajectoires associées lorsque $i(t)$ est négatif.

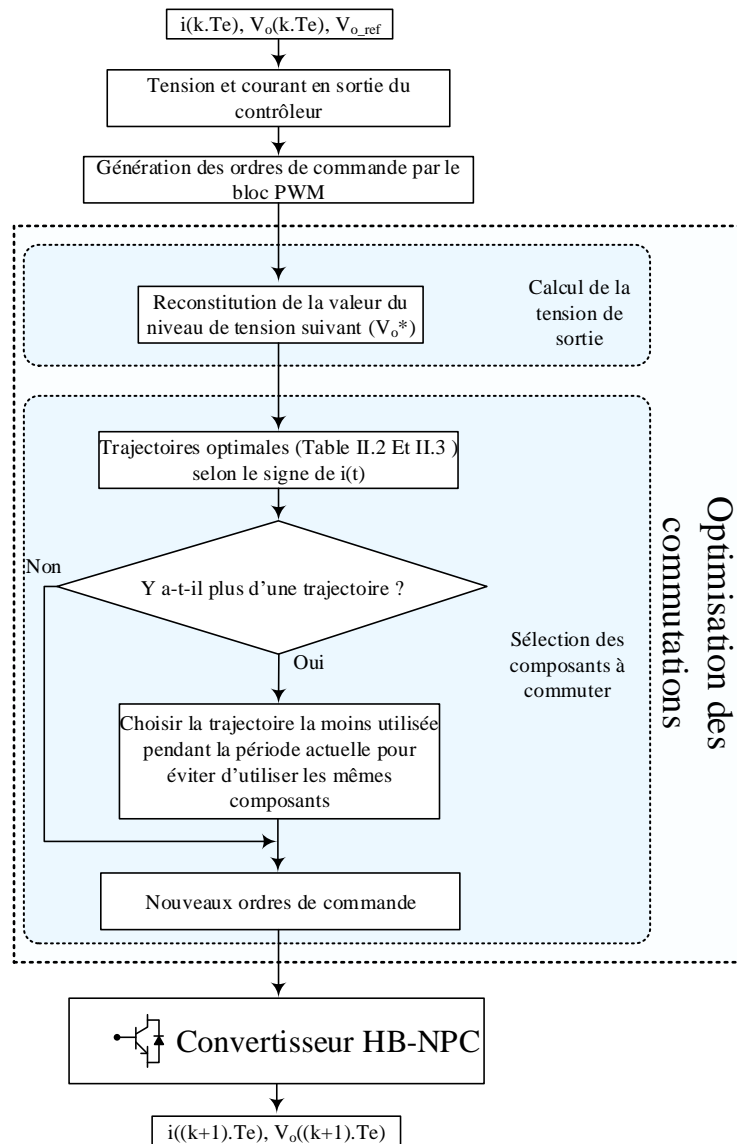


Figure II.18 : Algorithme complet pour l'optimisation des commutations.

La Figure II.18 synthétise les différentes étapes nécessaires à l'optimisation des commutations, à partir des ordres de commande établis par un contrôle PWM classique et jusqu'aux ordres de commande à appliquer qui minimiseront les commutations, en passant par l'identification du prochain niveau de tension et la détermination de la trajectoire optimale.

3.3. Résultats de simulation avec optimisation du nombre de commutations.

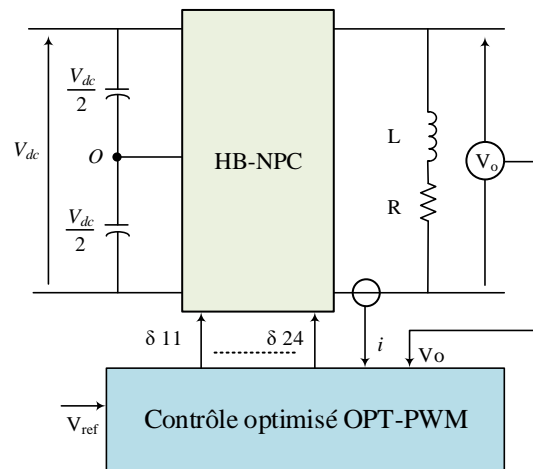


Figure II.19 : HB-NPC connecté à une charge RL avec contrôle OPT-PWM.

Pour valider les performances du contrôle optimisé proposé pour le HB –NPC (Figure II.2), des simulations ont tout d'abord été effectuées. Les simulations sont réalisées dans l'environnement Matlab/Simulink en utilisant la bibliothèque SymPowerSystem. La Figure II.19 illustre l'ensemble du système simulé dont le HB -NPC alimentant une charge RL avec le contrôle OPT-PWM. Les paramètres du système sont consignés dans la Table II. 4.

Éléments	Valeurs
V_{dc}	100V
R	27.7 Ω
L	9 mH
f_{pwm}	1kHz
m	0.8

Table II. 4 : Paramètres de simulation.

Comme mentionné précédemment, l'objectif principal est d'optimiser le nombre de commutations sans pour autant diminuer les performances qui auraient été obtenues en appliquant le contrôle PWM seul. Par conséquent, le contrôle proposé doit produire une tension de sortie ayant exactement la même forme d'onde que celle que l'on obtient lorsque seule la commande PWM classique est appliquée.

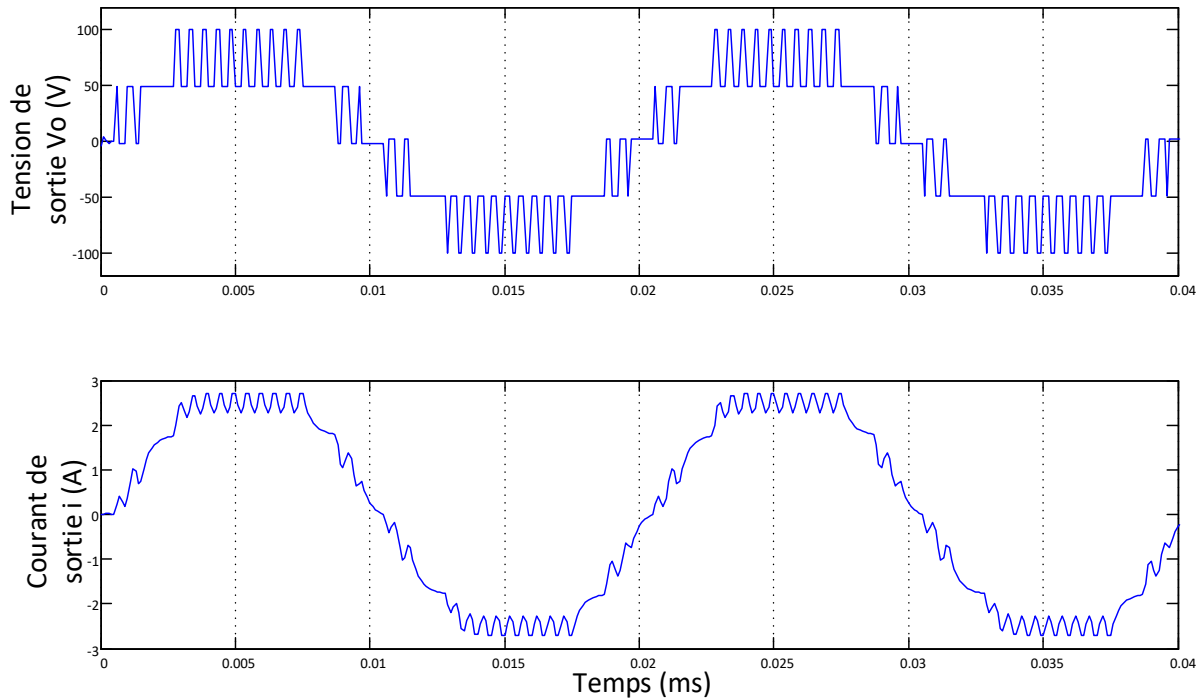


Figure II. 20 : Tension et courant en sortie du convertisseur avec le contrôle OPT-PWM.

La contrainte majeure imposée à la commande OPT-PWM est de ne pas modifier le fonctionnement du système. Si nous comparons la Figure II. 20 avec la Figure II. 5, nous pouvons remarquer que les formes d'ondes de la tension et du courant de sortie sont les mêmes : cette contrainte est donc bien respectée. Dans un deuxième temps, nous allons nous intéresser aux commutations qui apparaissent lorsque l'on restait un long moment sur les niveaux $V_{dc}/2$ et $(-V_{dc}/2)$. Nous allons donc zoomer les mêmes régions que sur la Figure II. 6.

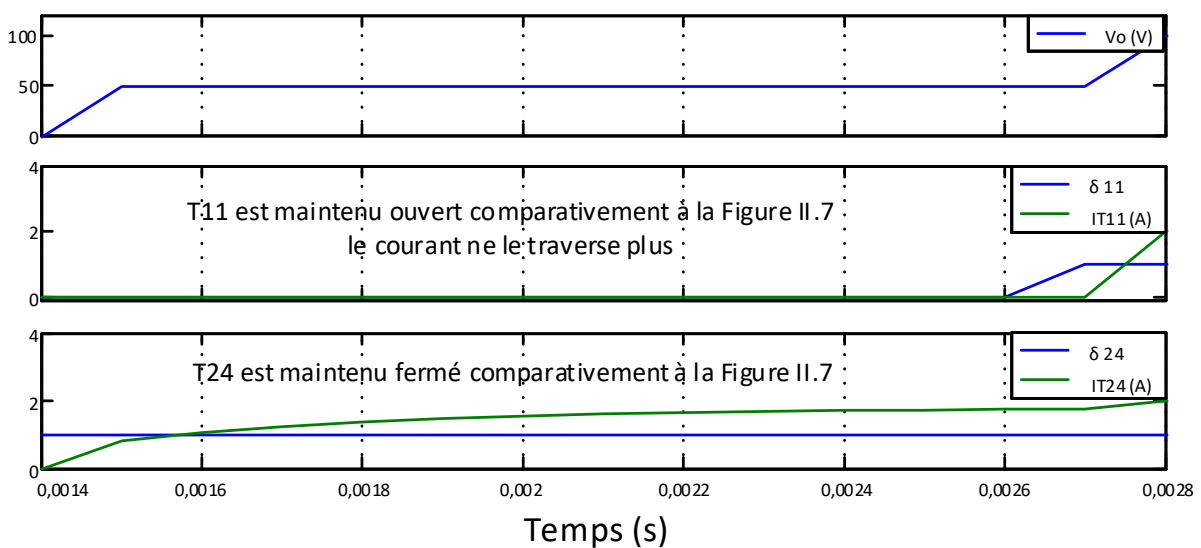


Figure II.21 : Tension V_o , courants i_{T11} et i_{T24} et ordres de commande δ_{11} et δ_{24} (ZOOM 1).

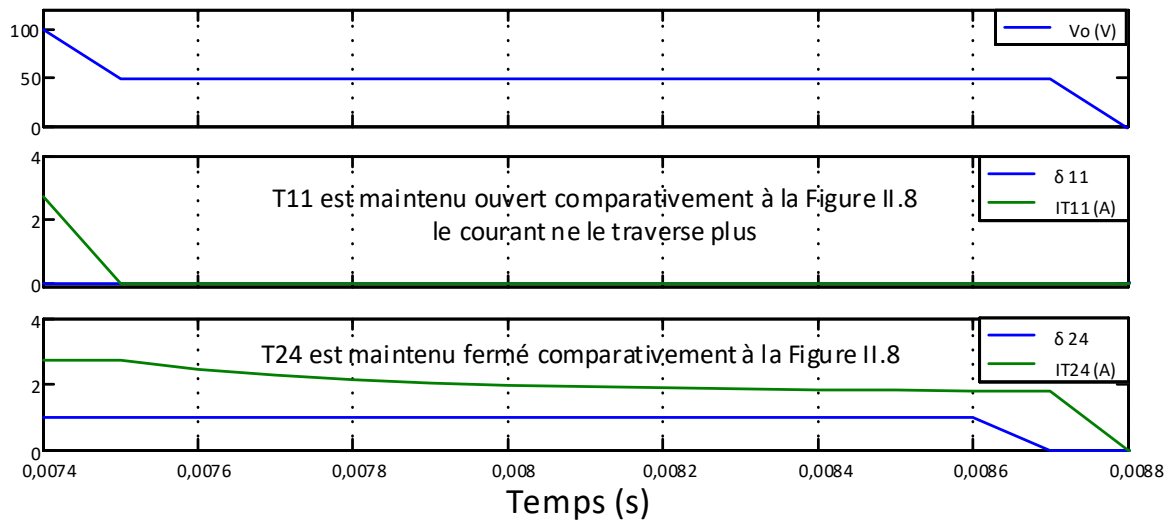


Figure II.22 : Tension V_o , courants i_{T11} et i_{T24} et ordres de commande δ_{11} et δ_{24} (ZOOM 2).

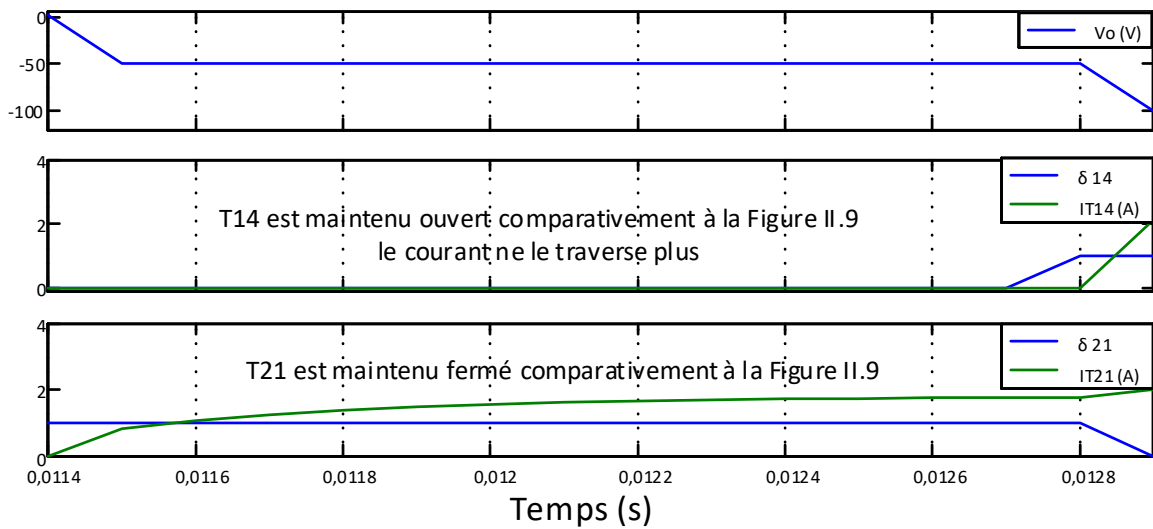


Figure II.23: Tension V_o , courants i_{T21} et i_{T14} et ordres de commande δ_{21} et δ_{14} (ZOOM 3).

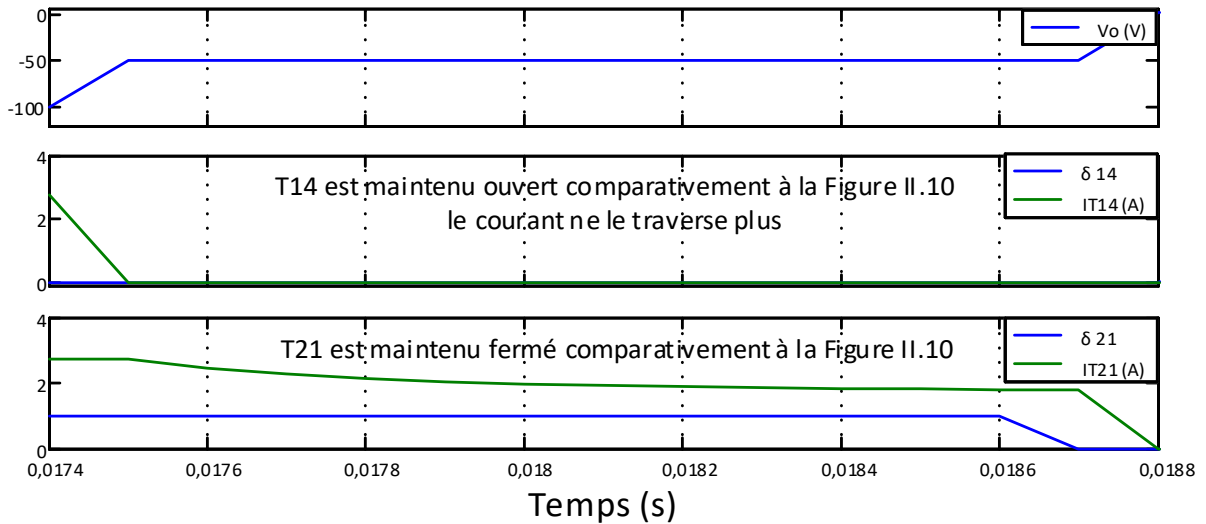


Figure II.24: Tension V_o , courants i_{T21} et i_{T14} et ordres de commande δ_{21} et δ_{14} (ZOOM 4).

Les

Figure II.21 à II.23 sont des zooms de la tension de sortie V_o sur la même durée et pour les mêmes zones que pour les Figure II.7 à II.10 de la section précédente. Comme on peut le remarquer, nous ne commutons plus aucun composant lorsque que nous souhaitons maintenir le même niveau de tension. Ainsi, cela nous permet d'éviter 4 commutations par zoom soit un total de 16 commutations par période. Par ailleurs, nous avons analysé avec soin et sur une période tous les ordres de commande ainsi que les courants des switches associés. Seuls les endroits que nous avons ciblés offraient effectivement une possibilité de réduction du nombre de commutations. Dans tous les autres cas, les commutations étaient optimales.

La méthode OPT-PWM proposée a donc globalement réduit de 16 le nombre de commutations par période et ainsi augmenté la durée de vie des interrupteurs pour un indice de modulation de 0.8. Diminuer le nombre de commutations permet d'augmenter la durée de vie des semi-conducteurs et par ce biais contribue à la disponibilité de la conversion d'énergie.

3.4. Cas du HB-NPC à 5 niveaux avec minimisation des commutations – Résultats expérimentaux

Pour valider les simulations obtenues pour le contrôle OPT-PWM appliqué au cas de la structure HB-NPC, des tests expérimentaux ont été effectués dans deux cas de commande, en appliquant le contrôle optimisé, et en appliquant le contrôle LS-PWM seul. Pour garantir la cohérence de notre

étude, les mêmes paramètres ont été utilisés pour la simulation et le banc de test expérimental. Pour ce faire, un banc de test expérimental a été mis en œuvre. Il a été entièrement réalisé lors de ces travaux de recherche. Ce banc a été conçu à partir de deux convertisseurs triphasés 2 niveaux, disponibles au niveau de notre plateforme expérimentale. Ils ont été sensiblement modifiés afin de réaliser le HB-NPC à 5 niveaux (Figure II. 25). Les convertisseurs sont conçus à partir de modules IGBT commercialisés par la société SEMIKRON (référence SKM50GB123D). Ces IGBTs sont pilotés par des drivers de référence SKHI 22A, distribués également par cette même société. La capacité du bus continu est égale à 2200 μ F.

Le contrôle du convertisseur est effectué à l'aide d'un système dSPACE. La Figure II. 26 présente une vue externe du système dSPACE utilisé, contenant notamment une carte de contrôle, référencée DS1005 ainsi qu'une carte DS2004 pour la conversion analogique numérique haute résolution (16 bit-0,8 μ s) et une carte MLI référencée DS5101 à 12 sorties. Les principaux composants de ce système de contrôle dSPACE sont les suivants :

- un Processeur : PowerPC 750 GX à 1 GHz ;
- 16 entrées analogiques avec CAN 16 bits, 0,8 μ s de temps de conversion ;
- 6 sorties avec CNA 16 bits, 1.6 μ s de temps de conversion ;
- 12 sorties MLI triphasées, utilisées lors de nos essais pour le contrôle du convertisseur HB-NPC à 5 niveaux.

L'implémentation matérielle sur la carte DS1005 est basée sur la modélisation de l'algorithme de contrôle, réalisée dans l'environnement Matlab avec des blocs classiques de la boîte à outils Simulink. Cette compatibilité directe et automatisée avec la modélisation sous Matlab rend son utilisation aisée et efficace. À l'aide de la fonction "incremental build" dans Matlab, notre modélisation a été traduite pour générer un code C. Ce code C est à son tour compilé pour générer un code exécutable, ensuite téléchargé sur la carte DS1005.

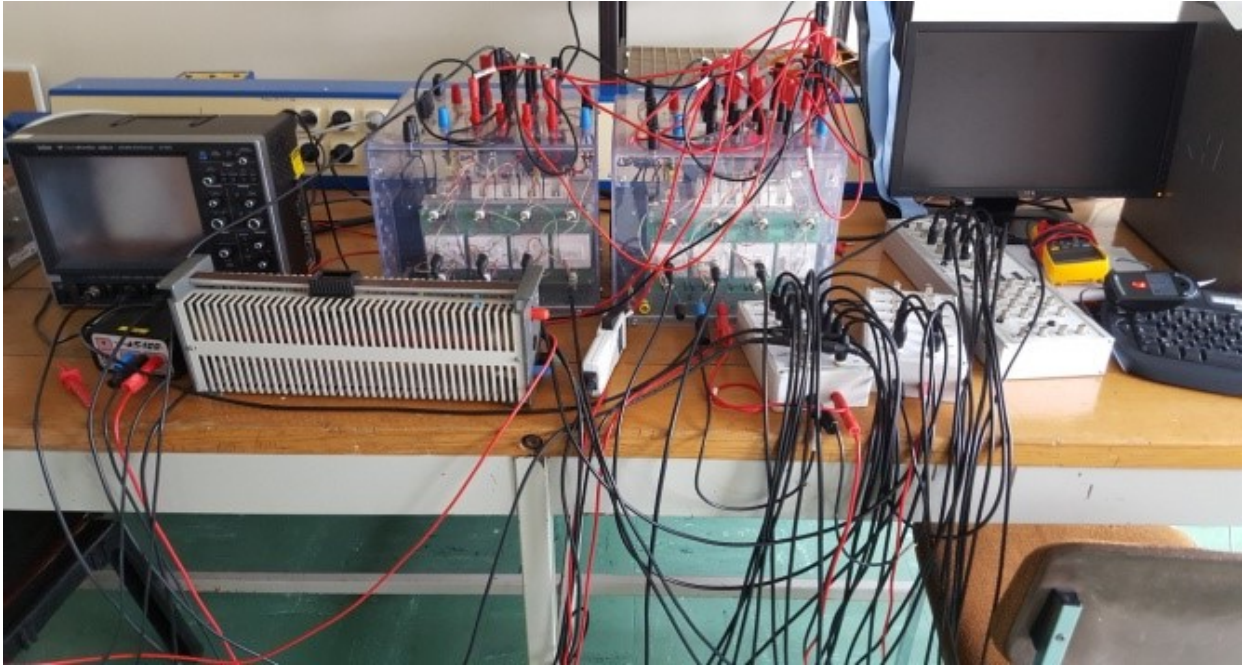


Figure II. 25: Banc de test expérimental du système décrit à la Figure II.15.



Figure II. 26 : Système de contrôle dSPACE et boîtier d'interface.

3.4.1. Résultats expérimentaux avec un contrôle LS-PWM

Dans un premier temps, nous avons validé le contrôle du convertisseur HB-NPC pour une MLI de type LS-PWM. Les essais sont réalisés avec les mêmes paramètres que pour la simulation. Pour les Figure II.27, Figure II.28 et Figure II.29, les différentes sensibilités verticales de l'oscilloscope sont les suivantes : 50V/div pour la tension $V_o(t)$, 5A/div pour le courant $i(t)$ et 5V/div pour les ordres de commande. La base de temps est de 5ms/div pour la Figure II.27 et de 200 μ s/div pour la Figure II.28 et la Figure II.29.

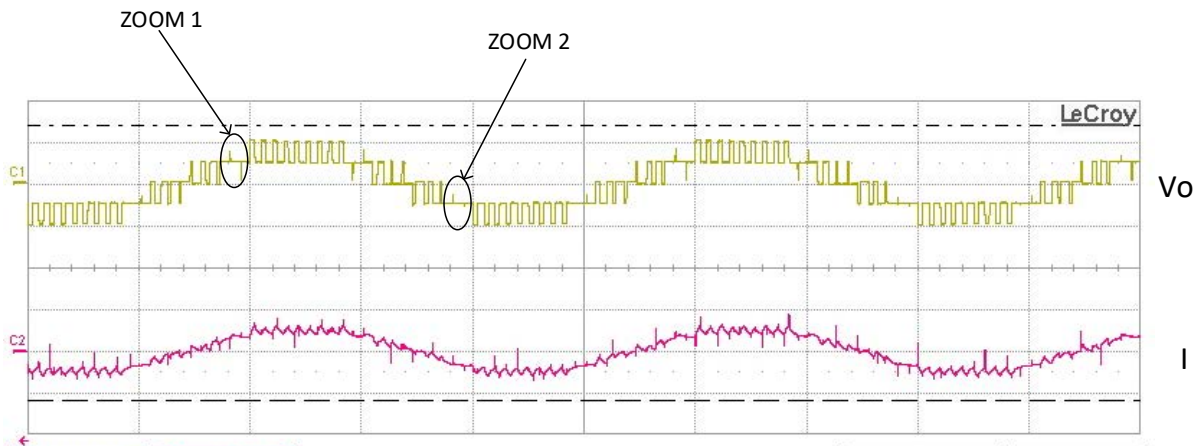


Figure II.27 : Tension et courant en sortie du convertisseur avec un contrôle LS-PWM.

La Figure II.27 présente la tension $V_o(t)$ et le courant $i(t)$ en sortie du convertisseur HB-NPC 5 à niveaux. Si nous observons en détail la forme d'onde de la tension, nous constatons les mêmes pics aux mêmes endroits que ceux identifiés lors de la simulation. Pour visualiser davantage de détails, nous avons réalisé deux zooms, un lorsque la tension reste un long moment sur $V_{dc}/2$ et l'autre à $-V_{dc}/2$.

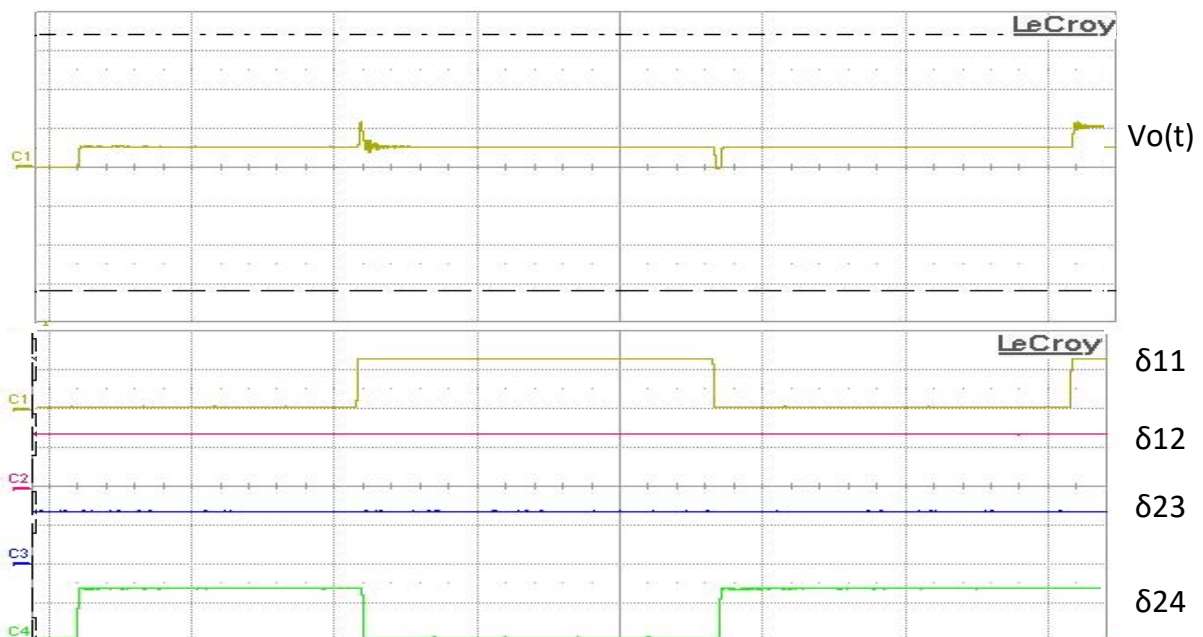


Figure II.28: Tension de sortie $V_o(t)$ et ordres de commande envoyés à T11, T12, T23 et T24 (ZOOM 1 de la Figure II.27).

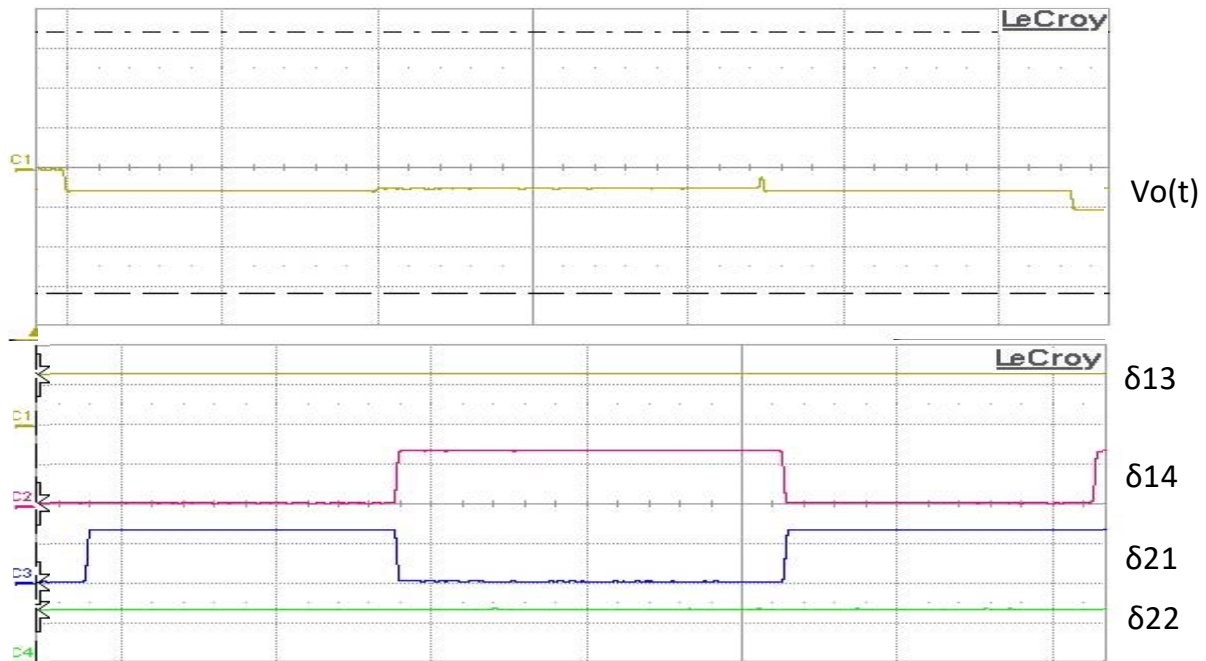


Figure II.29 : Tension de sortie $V_o(t)$ et ordres de commande envoyés à T13, T14, T21 et T22 (ZOOM 2 de la Figure II.27).

Les Figure II.28 et II.29 sont des zooms de la tension pour les zones identifiées à la Figure II.27 (ZOOM 1 et ZOOM 2). Comme lors de la simulation, nous constatons à nouveau des commutations inutiles de composants, car nous conservons le même niveau de tension $V_{dc}/2$ pour la Figure II.28 et $(-V_{dc}/2)$ pour la Figure II.29. Ces commutations se traduisent par des pics sur la tension $V_o(t)$. Nous allons maintenant implémenter le contrôle OPT-PWM afin de valider la suppression de ces commutations inutiles.

3.4.2. Résultats expérimentaux avec un contrôle OPT-PWM

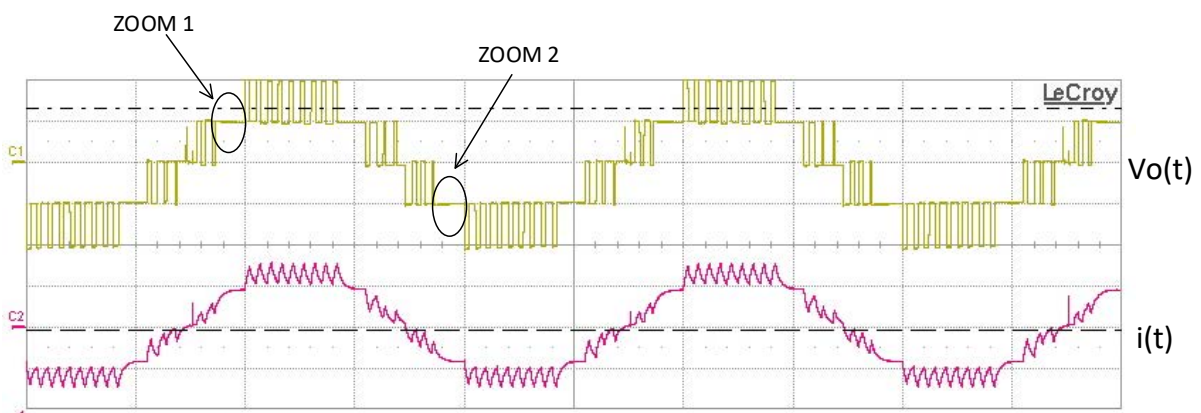


Figure II.30 : Tension et courant de sortie lors du contrôle OPT-PWM.

La Figure II.30 présente la tension et le courant en sortie du convertisseur HB-NPC 5 niveaux, pour le contrôle OPT-PWM proposé. Pour les Figure II.30, Figure II.31 et Figure II.32, les différentes sensibilités verticales de l'oscilloscope sont les suivantes : 50V/div pour la tension $V_o(t)$, 5A/div pour le courant $i(t)$, 5V/div pour les ordres de commande. La base de temps est de 5ms/div pour la Figure II.30 et de 200 μ s/div pour la Figure II.31 et la Figure II.32. Comme nous l'avons mentionné auparavant, la contrainte imposée à la commande OPT-PWM est de garder la même tension ainsi que le même courant en sortie du convertisseur. Ceci est validé par une comparaison de la Figure II.27 avec la Figure II.30 . Nous allons maintenant nous intéresser à notre objectif de minimisation des commutations.

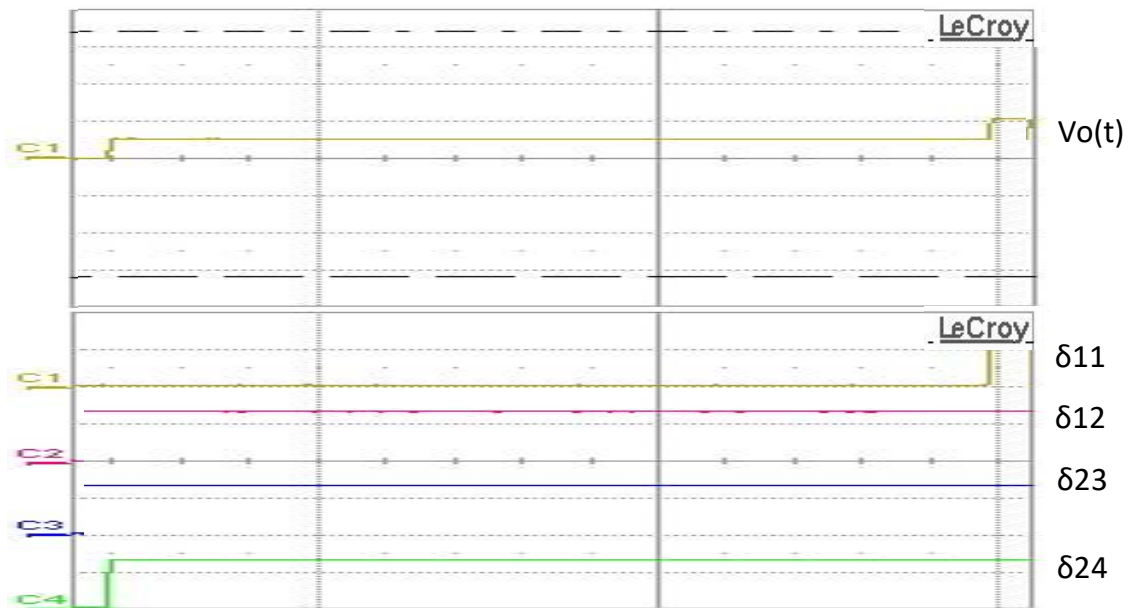


Figure II.31 : Tension de sortie $V_o(t)$ et ordres de commande envoyés à T11, T12, T23 et T24 (ZOOM 1 de la Figure II.30).

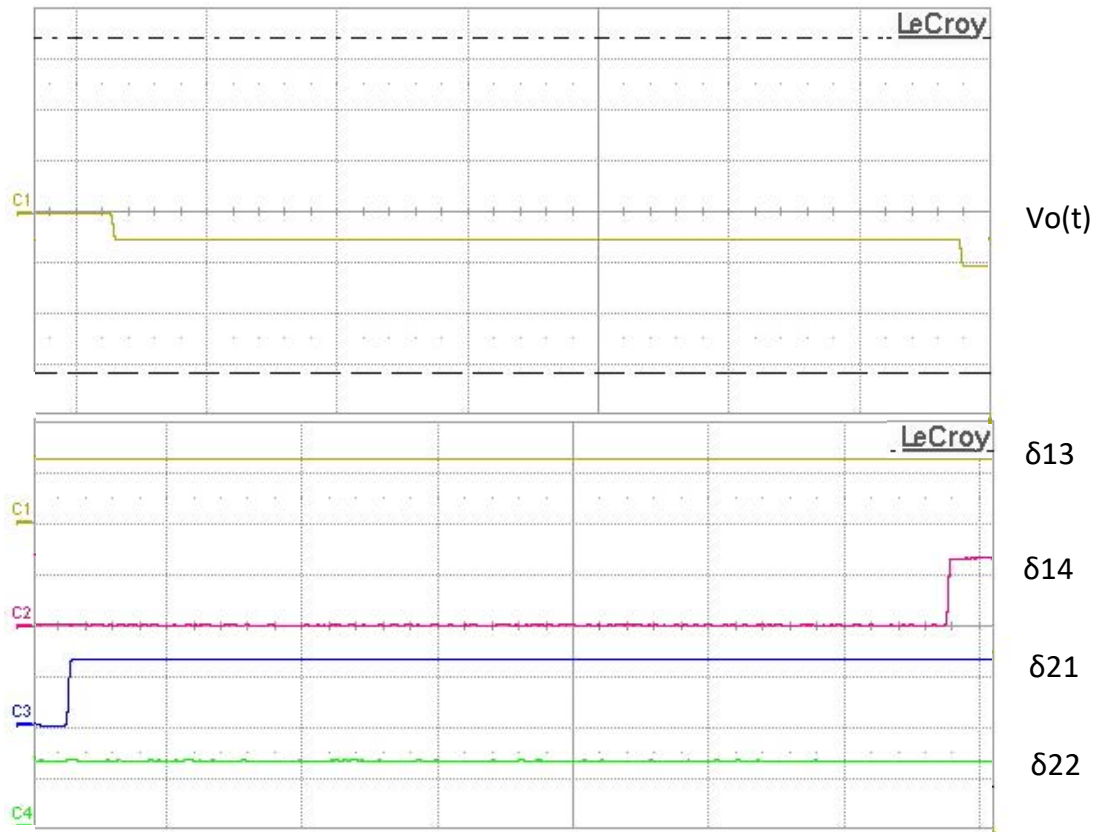


Figure II.32 : Tension de sortie $V_o(t)$ et ordres de commande envoyés à T13, T14, T21 et T22 (ZOOM 2 de la Figure II.30).

Les Figure II.31 et Figure II.32 correspondent respectivement aux ZOOM 1 et 2 de la Figure II.30 (mêmes régions que dans le cas de la Figure II.27). Le contrôle OPT-PWM étant maintenant implanté, nous constatons expérimentalement que nous avons ainsi supprimé les commutations inutiles. Cette optimisation nous permet d'économiser effectivement 16 commutations par période.

Les essais expérimentaux menés dans cette section ont permis de valider le fonctionnement, en mode classique, et en mode optimisé du HB-NPC à cinq niveaux. Dans la section qui suit, nous allons maintenant nous intéresser au cas du HB-T-Type.

4. Cas du HB-T-Type à 5 niveaux avec minimisation des commutations

Dans cette partie, nous nous intéressons à une topologie de convertisseur de type pont en H basée sur une structure T-Type 3 niveaux (HB-T-Type). Le principe général du contrôle OPT-PWM ici étudié est le même que lors de la section précédente, à la différence que les états de commutations sont adaptés au cas du HB-T-Type. Etant donné que la démarche menée dans cette section est identique à celle mise en œuvre à la section précédente, nous ne développerons pas toutes les étapes intermédiaires et indiquerons les résultats majeurs obtenus. De même que dans le cas du convertisseur HB-NPC, les résultats obtenus par simulation puis expérimentalement seront exposés et discutés.

4.1. Niveaux de tension et composants passants

Le convertisseur HB-T-Type proposé est constitué de deux convertisseurs T-Type trois niveaux. Chaque T-Type se compose de quatre switches (transistors) et de quatre diodes (Figure II.33). Le bus DC est constitué de deux condensateurs en série avec un point milieu 'N'. La tension de sortie du convertisseur (V_o) peut être générée selon 18 combinaisons possibles des huit interrupteurs. La Table II.5 résume les états de commutation et les niveaux de tension de sortie correspondants. La Figure II. 34 illustre également les 18 configurations du convertisseur HB-T-Type correspondant ainsi que le trajet du courant. Les transistors ainsi que les diodes de couleur rouge sont les éléments passants.

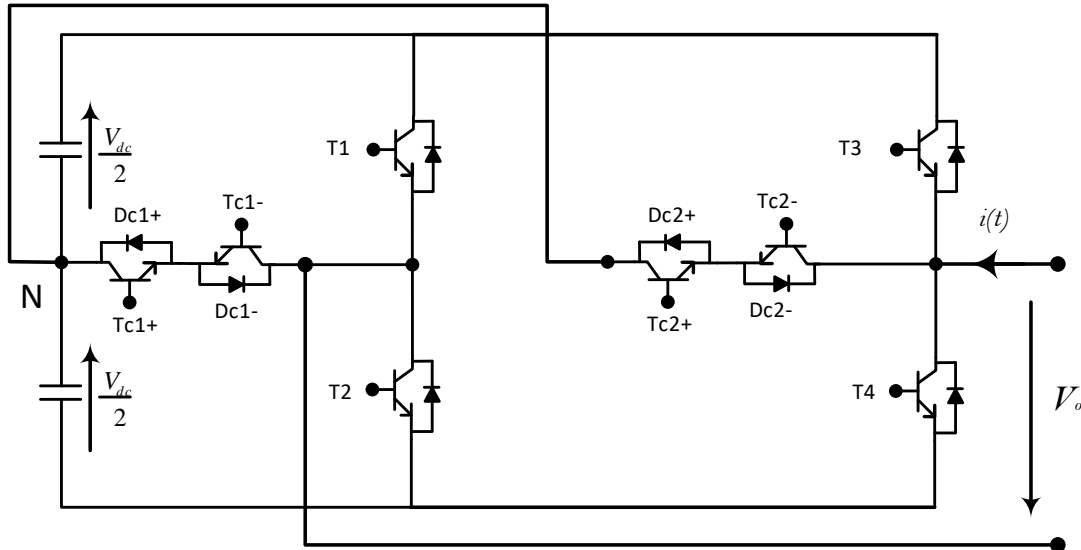


Figure II.33 : Convertisseur HB-T-Type à cinq niveaux.

V_o	$i(t) > 0$		$i(t) < 0$	
	Etats	Composants passants	Etats	Composants passants
V_{dc}	S1	T1, T4	S10	D1, D4
$V_{dc}/2$	S2	TC1+, DC1-, T4	S11	TC1-, DC1+, D4
	S3	T1, TC2-, DC2+	S12	D1, TC2+, DC2-
0	S4	TC1+, DC1-, TC2-, DC2+	S13	TC1-, DC1+, TC2+, DC2-
	S5	T1, D3	S14	D1, T3
	S6	D2, T4	S15	T2, D4
$-V_{dc}/2$	S7	D2, TC2-, DC2+	S16	T2, TC2+, DC2-
	S8	TC1+, DC1-, D3	S17	TC1-, DC1+, T3
$-V_{dc}$	S9	D2, D3	S18	T2, T3

Table II.5 : Niveaux de tension et états possibles pour la topologie HB-T-Type.

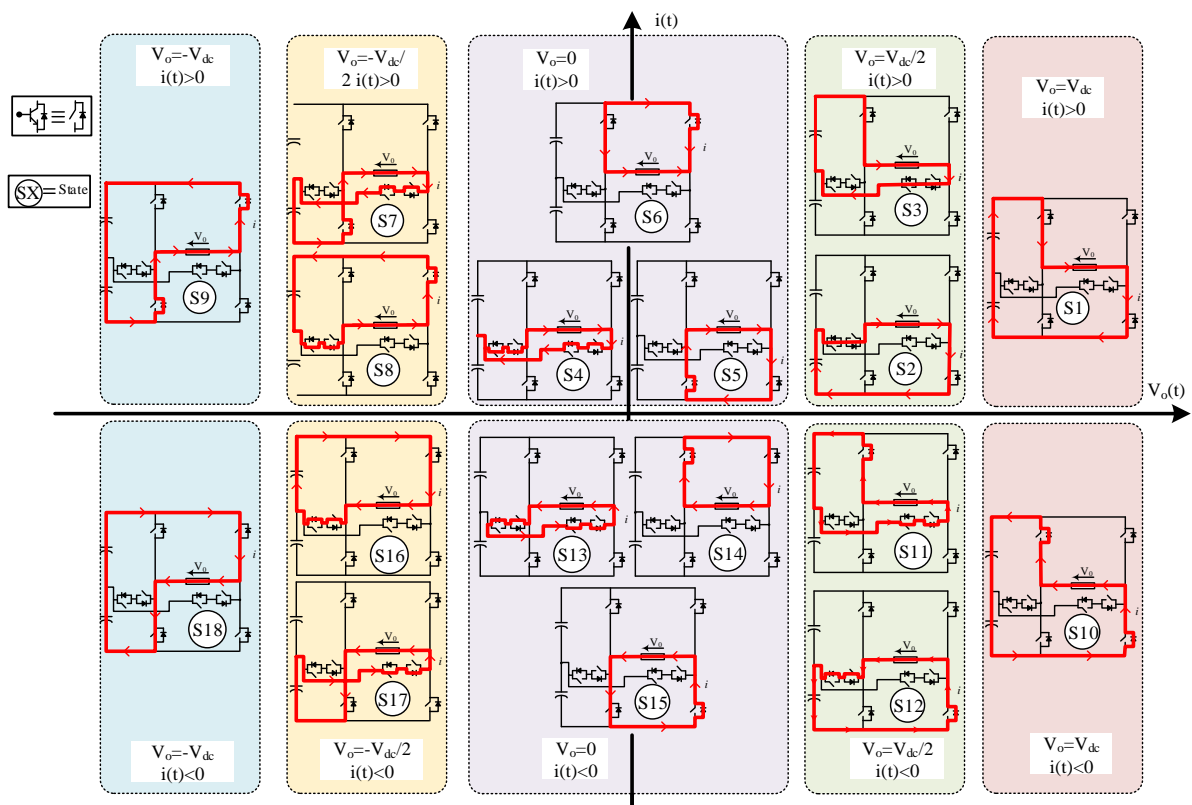


Figure II. 34 : Configurations du convertisseur HB-T-Type selon les 18 états de commutation possibles.

Les Figure II.35 et II.36 résument les différents coûts en termes de commutations pour toutes les transitions possibles (selon la Figure II. 34 et la Table II.5). La Figure II.35 traite le cas d'un courant de sortie positif alors que la Figure II.36 concerne un courant de sortie négatif. Les transitions sont illustrées par différentes couleurs. Selon la couleur des transitions, nous avons plus ou moins de commutations :

- Vert: 2 commutations,
- Orange : 4 commutations,
- Rouge : 6 commutations,
- Noir : 8 commutations.

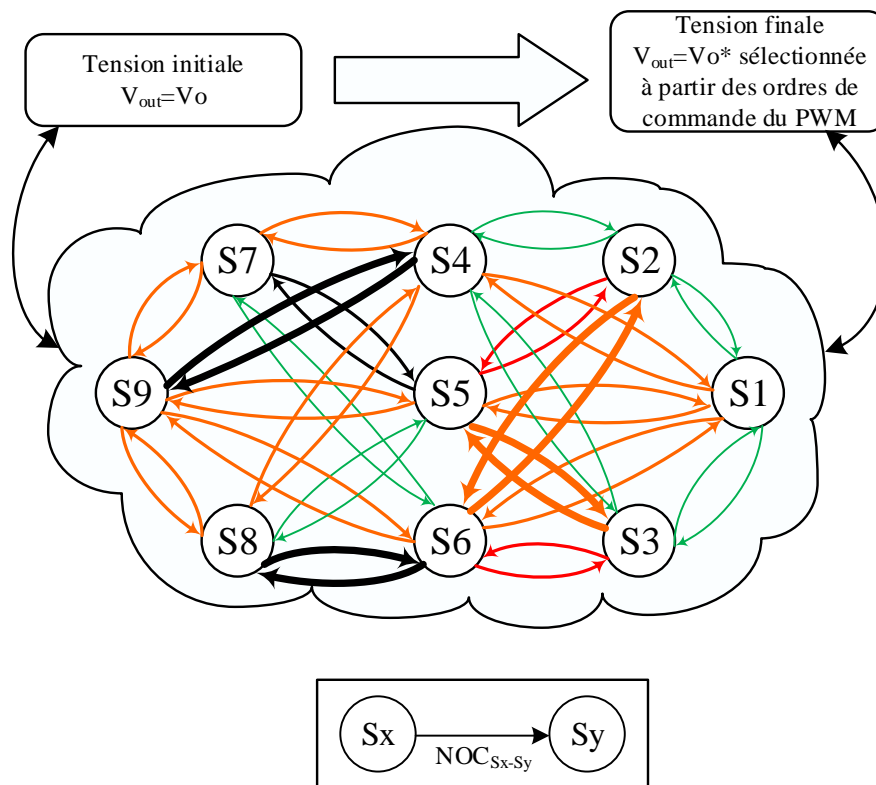


Figure II.35 : Etats de commutation et trajectoires associées à $i(t) > 0$.

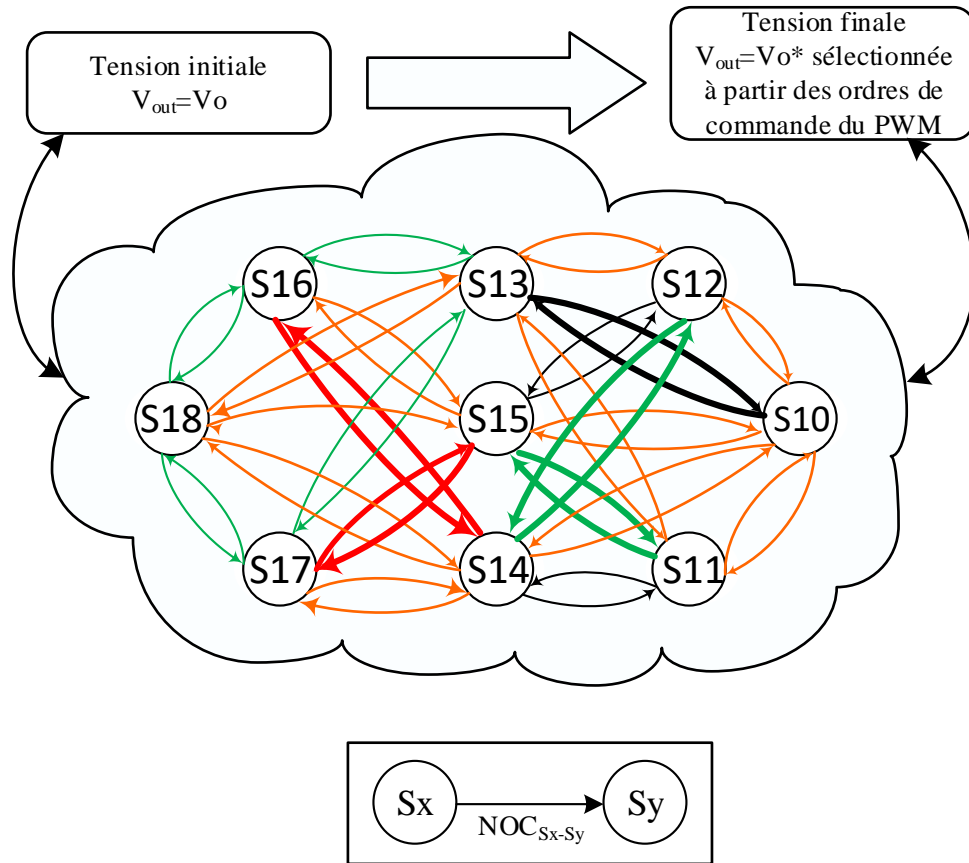


Figure II.36 : Etats de commutation et trajectoires associées à $i(t) < 0$.

4.2. Résultats de simulation

4.2.1. Simulation du HB-T-Type avec une commande de type LS-PWM

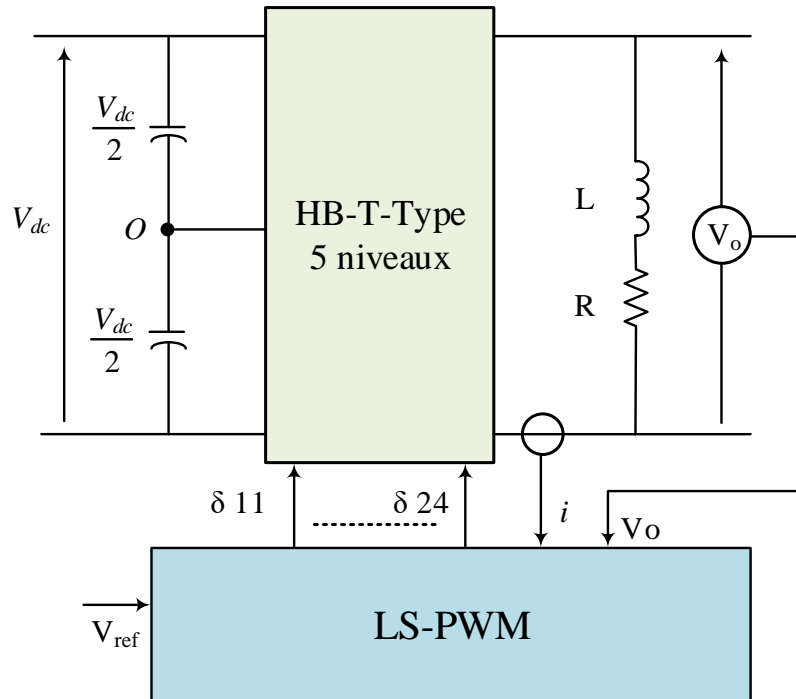


Figure II. 37 : Système étudié, basé sur un HB-T-Type à cinq niveaux.

Comme pour le convertisseur HB-NPC étudié à la section précédente, nous avons effectué des simulations pour la structure HB-T-Type afin de vérifier la validité et l'efficacité de notre algorithme de commande OPT-PWM. Dans un premier temps, nous avons réalisé les simulations avec un contrôle LS-PWM. Les valeurs des différents paramètres du système restent les mêmes que précédemment (Table II. 4).

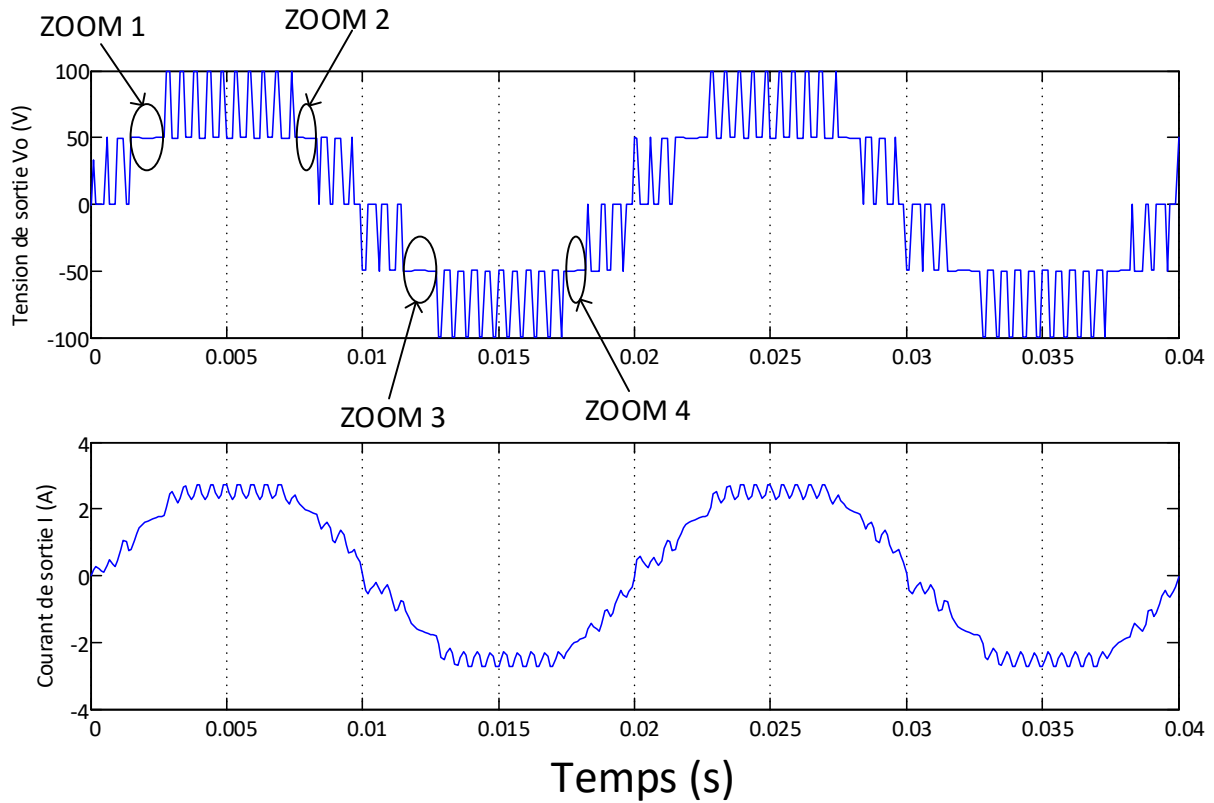


Figure II. 38 : Tension $V_o(t)$ et courant $i(t)$ du HB-T-Type à 5 niveaux contrôlé par LS-PWM.

La Figure II. 38 présente les résultats de simulation obtenus avec la commande LS-PWM pour un HB-T-Type à 5 niveaux. Sur cette figure, nous pouvons observer la tension et le courant en sortie du convertisseur. On peut observer qu'il se produit de légères variations de la tension de sortie $V_o(t)$ lorsque celle-ci reste un long moment égale à $V_{dc}/2$ ou à $-V_{dc}/2$. Afin de guider le lecteur, nous avons également entouré sur cette même figure, sur une période, les 4 régions durant lesquelles nous avons constaté ces faibles variations des niveaux de sortie.

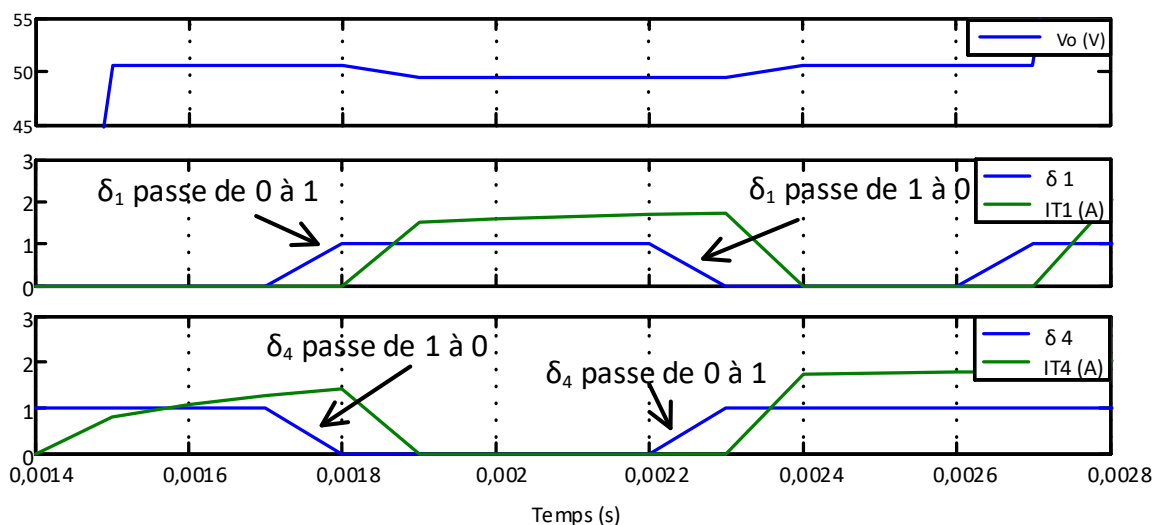


Figure II. 39 : Tension $V_o(t)$, Courants i_{T1} et i_{T4} et ordres de commande envoyés à T1 et T4 (Zoom 1 de la Figure II. 38).

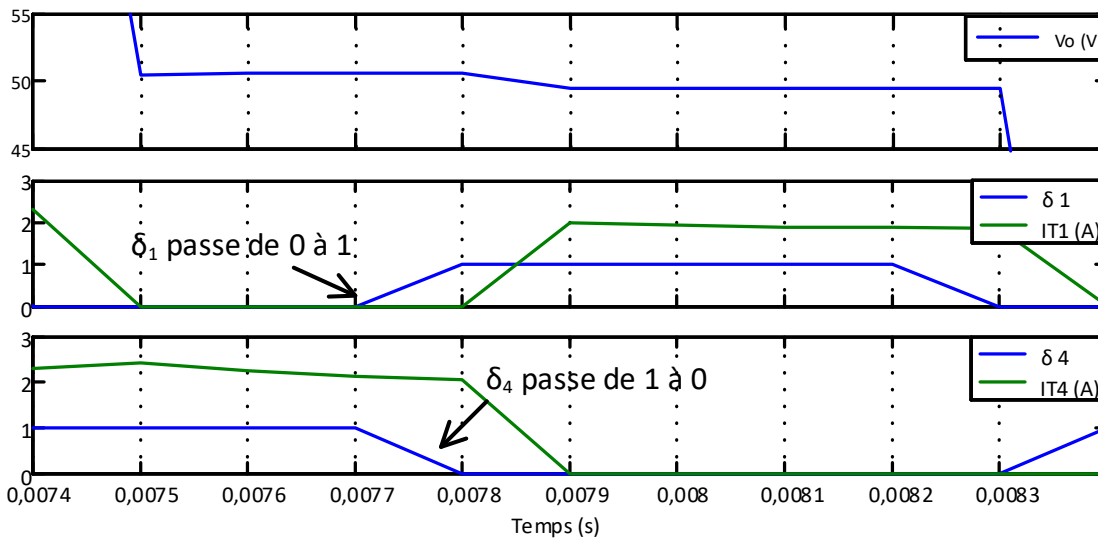


Figure II. 40 : Tension $V_o(t)$, Courants i_{T1} et i_{T4} et ordres de commande envoyés à T1 et T4 (Zoom2 de la Figure II. 38).

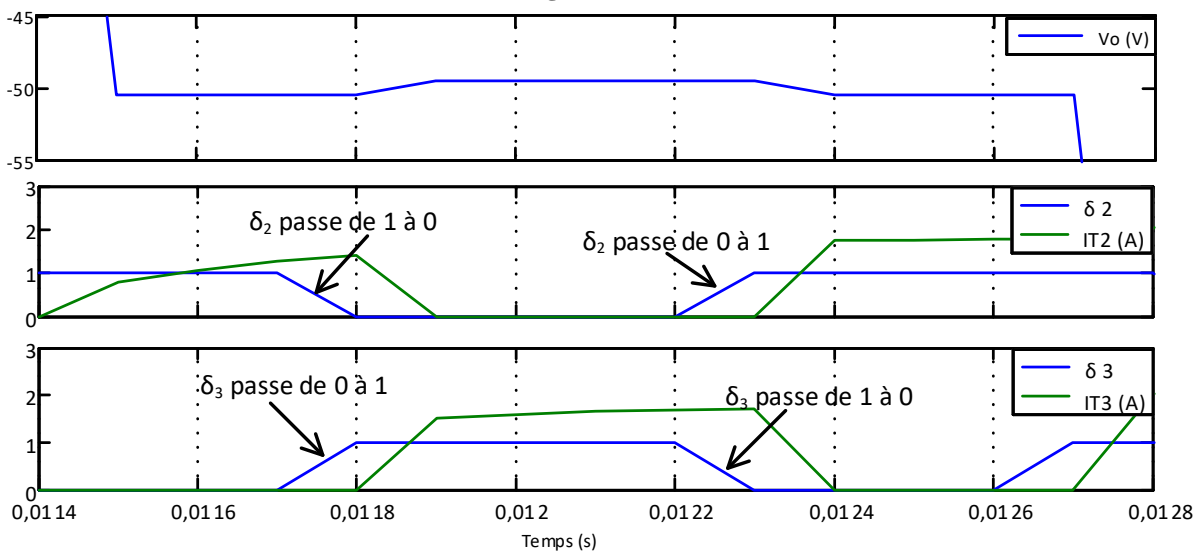


Figure II. 41 : Tension $V_o(t)$, Courant i_{T2} et i_{T3} et ordres de commande envoyés à T2 et T3 (Zoom3 de la Figure II. 38).

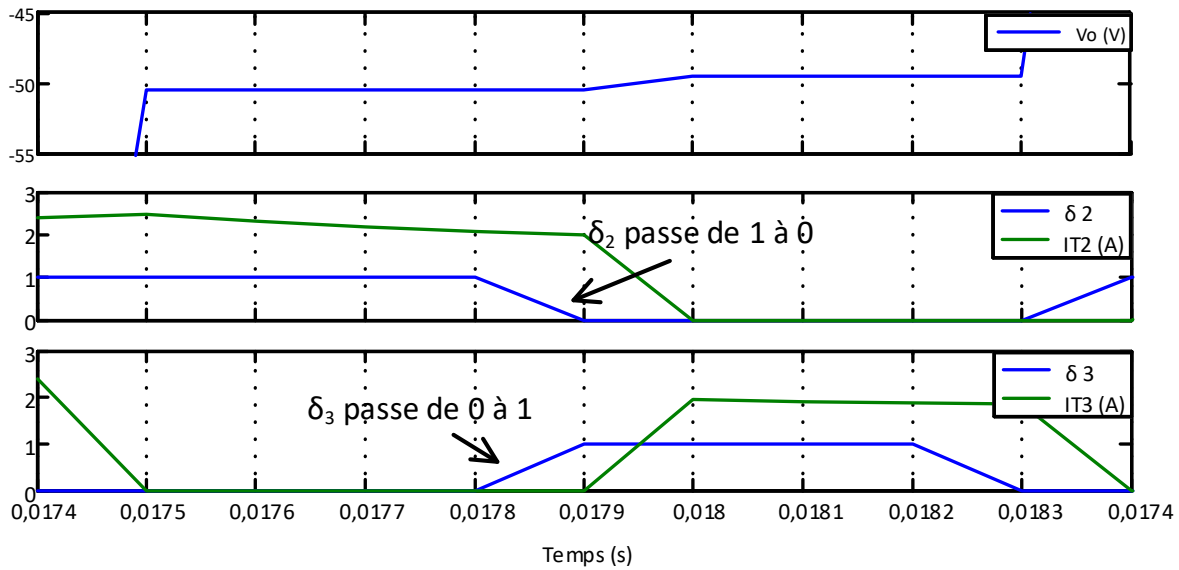


Figure II. 42: Tension $V_o(t)$, Courant i_{T2} et i_{T3} et ordres de commande envoyés à T2 et T3 (Zoom4 de la Figure II. 38).

Comme nous pouvons le voir sur les Figure II. 39 à II.41, nous commutons des transistors alors que le niveau exigé pour la tension de sortie ne change pas. Dans ce cas, nous montrerons qu'un nombre de 12 commutations pourrait ainsi être évité sur une période ; en effet, pour cette topologie de convertisseur, nous montrerons que l'on peut réduire de deux ou quatre commutations par zone selon la zone considérée. Comme pour le HB-NPC, nous allons maintenant appliquer la commande OPT-PWM afin de réduire le nombre de commutations.

4.2.2. Simulation du HB-T-Type avec minimisation des commutations.

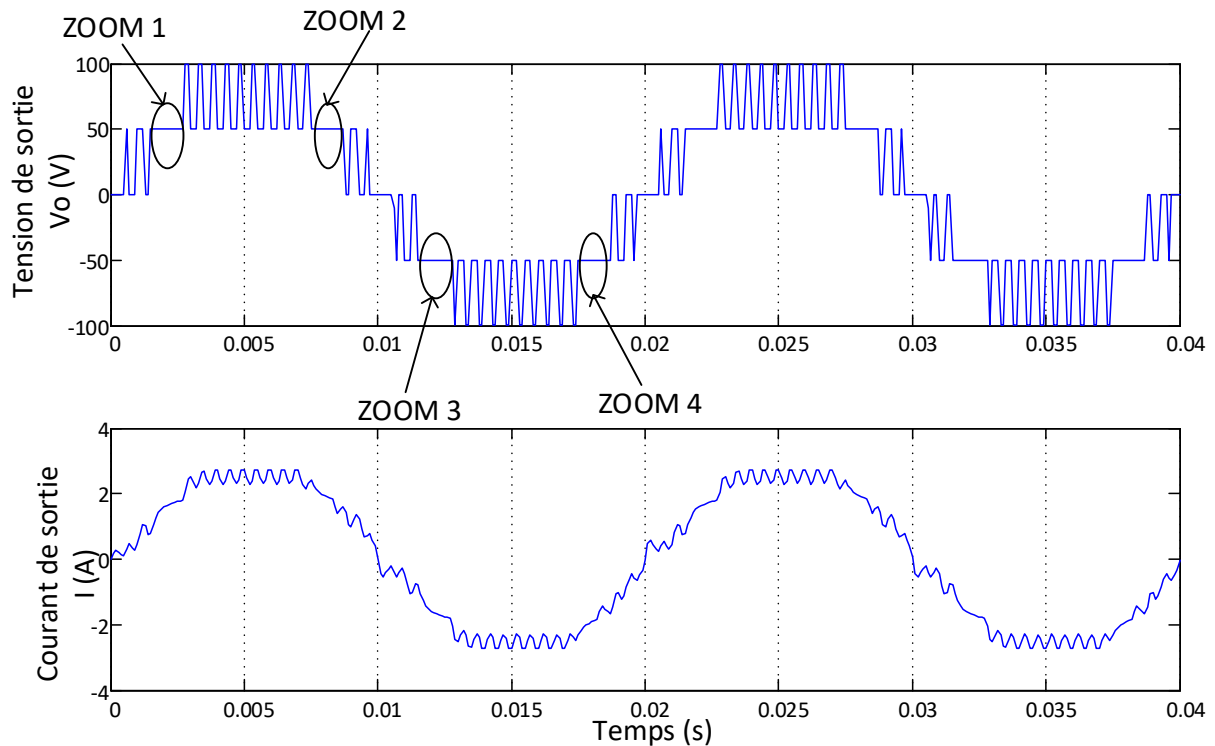


Figure II. 43 : Tension et courant d'un convertisseur HP-T-Type à 5 niveaux avec contrôle OPT-PWM.

Si nous comparons la Figure II. 43 avec la Figure II. 38, nous pouvons remarquer que les formes d'ondes générales de la tension et du courant de sortie sont les mêmes. Nous allons maintenant zoomer sur la tension $V_o(t)$ lors du contrôle OPT-PWM.

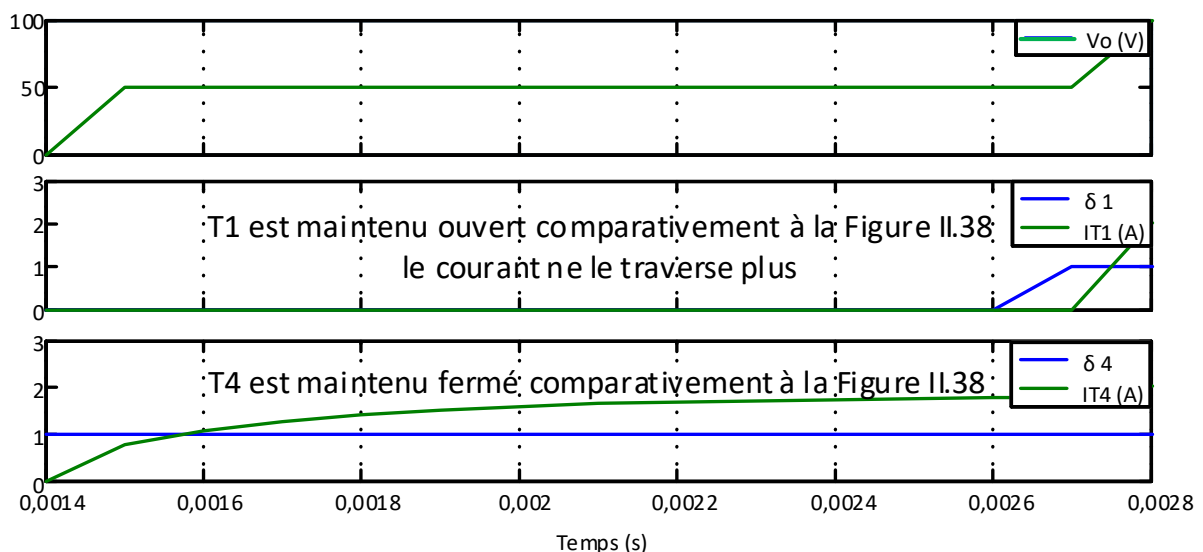


Figure II. 44 : Tension $V_o(t)$, Courants i_{T1} et i_{T4} et ordres de commande envoyés à T1 et T4 (Zoom1 de la Figure II. 43).

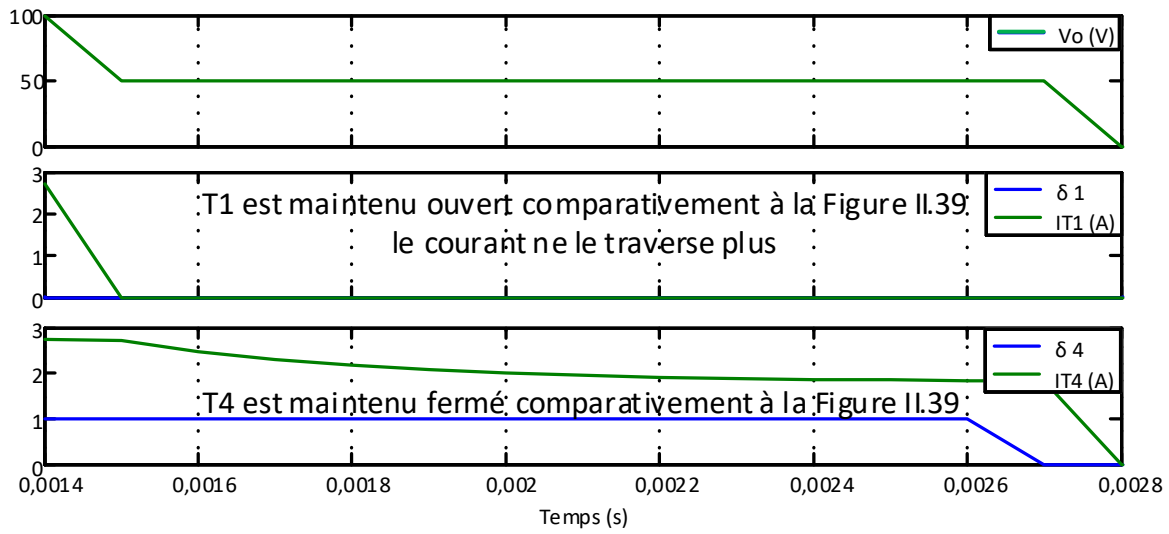


Figure II. 45 : Tension $V_o(t)$, Courants i_{T1} et i_{T4} et ordres de commande envoyés à T1 et T4 (Zoom2 de la Figure II. 43).

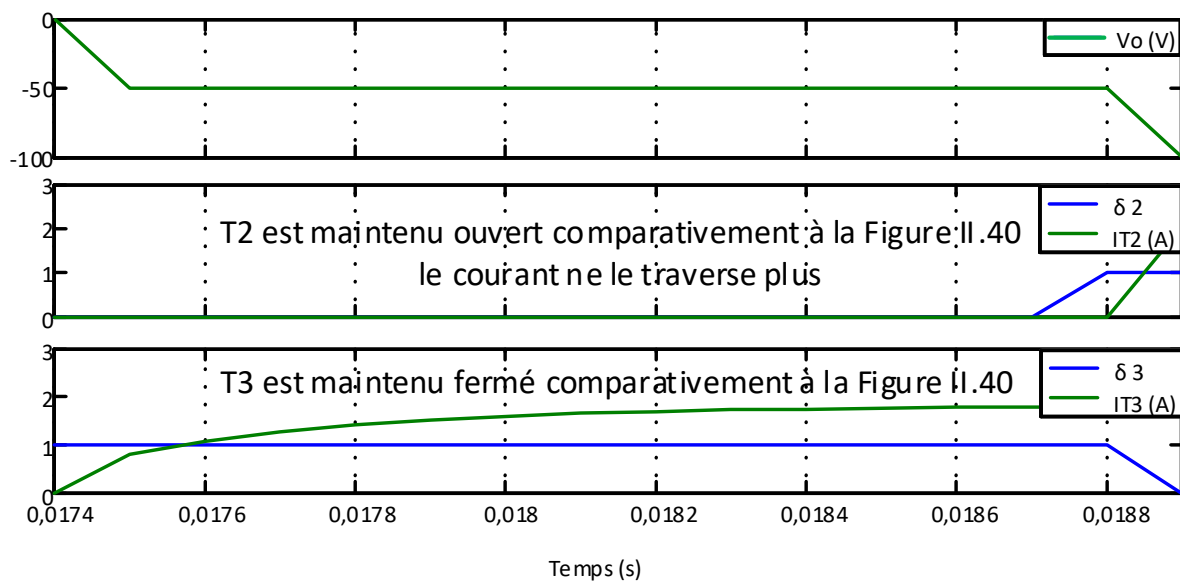


Figure II. 46 : Tension $V_o(t)$, Courants i_{T2} et i_{T3} et ordres de commande envoyés à T2 et T3 (Zoom3 de la Figure II. 43).

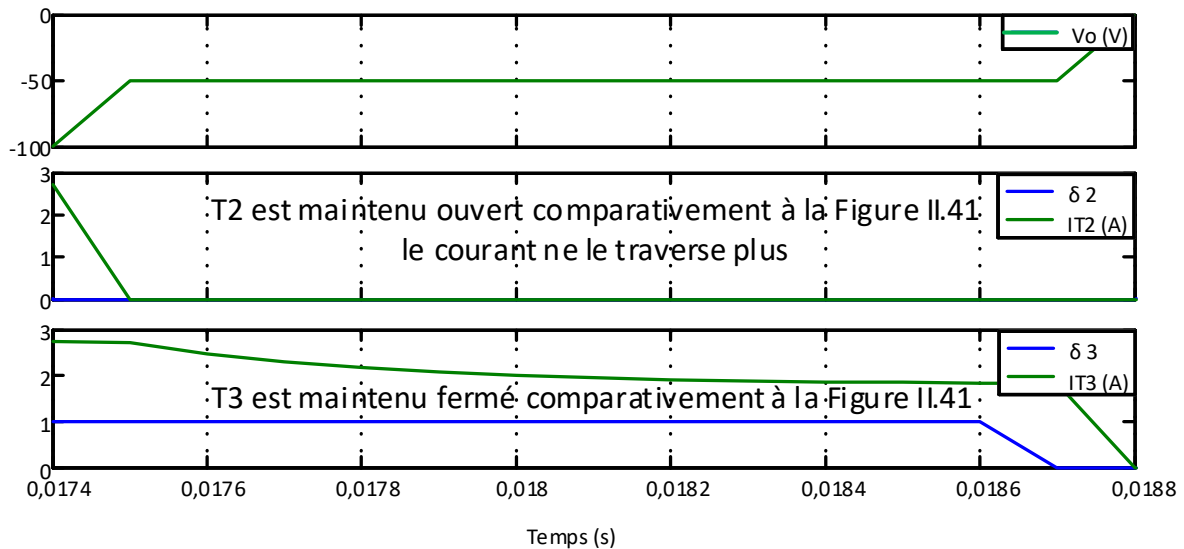


Figure II. 47 : Tension $V_o(t)$, Courants i_{T2} et i_{T3} et ordres de commande envoyés à T2 et T3 (Zoom4 de la Figure II. 43).

Les Figure II. 44 à II.46 présentent des zooms de la tension $V_o(t)$ pour les mêmes régions que celle choisies pour le contrôle LS-PWM. Comme on peut le remarquer, nous ne commutons plus de transistor lorsque nous restons au même niveau de tension de sortie. Cela nous permet d'économiser deux ou quatre commutations selon la zone zoomée, soit un total de 12 commutations par période.

La méthode OPT-PWM proposée a donc globalement permis de réduire de 12 le nombre de commutations par période et ainsi contribué à l'accroissement de la durée de vie des interrupteurs.

4.3. Résultats expérimentaux.

4.3.1. HB-T-Type commandé par LS-PWM.

Dans un premier temps, nous avons validé le contrôle du HB-T-Type avec une commande rapprochée de type LS-PWM. Les essais sont réalisés avec les mêmes paramètres que pour la simulation. La Figure II. 48 nous présente la tension et le courant obtenus en sortie du convertisseur HB-T-Type. Pour cette Figure II. 48, les différentes sensibilités verticales de l'oscilloscope sont les suivantes : 50V/div pour la tension $V_o(t)$ et 5A/div pour le courant $i(t)$. La base de temps est de 5ms/div. Ici encore, nous allons zoomer sur les quatre zones repérées sur la figure afin d'analyser les commutations. Notons que l'on retrouve bien expérimentalement les variations de tension obtenues par simulation dans les quatre zones repérées sur la Figure II.30.

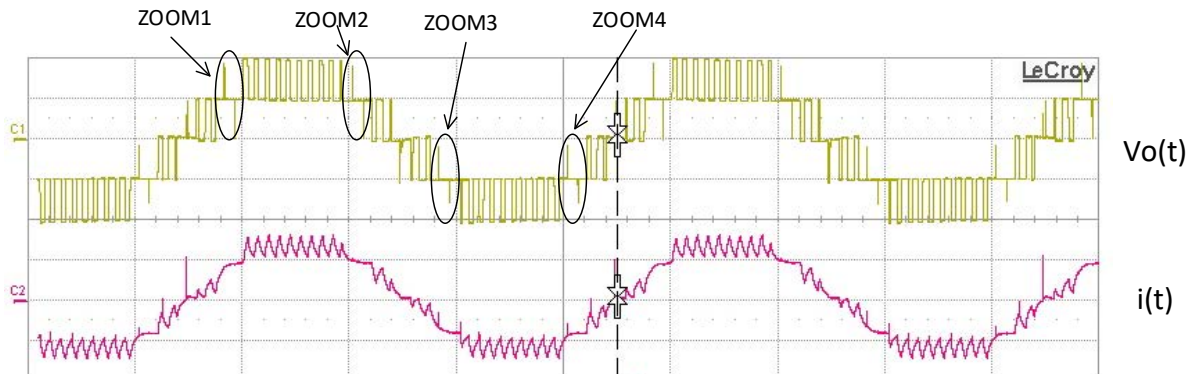


Figure II. 48 : Tension et courant en sortie du convertisseur HB-T-type avec une commande rapprochée de type LS-PWM.

Sur les Figure II. 49 à II.51, on peut voir les différentes régions zoomées de la Figure II. 48, y compris les ordres de commande des switches qui commutent pendant ces laps de temps ainsi que les courants qui les traversent. Pour ces quatre figures, les sensibilités verticales de l'oscilloscope sont de 50V/div pour la tension, 2A/div pour les courants, et 5V/div pour les ordres de commande ; la base de temps est de 200 μ s/div. Ces quatre zones zoomées nous permettent de confirmer expérimentalement que des commutations non nécessaires ont effectivement lieu.

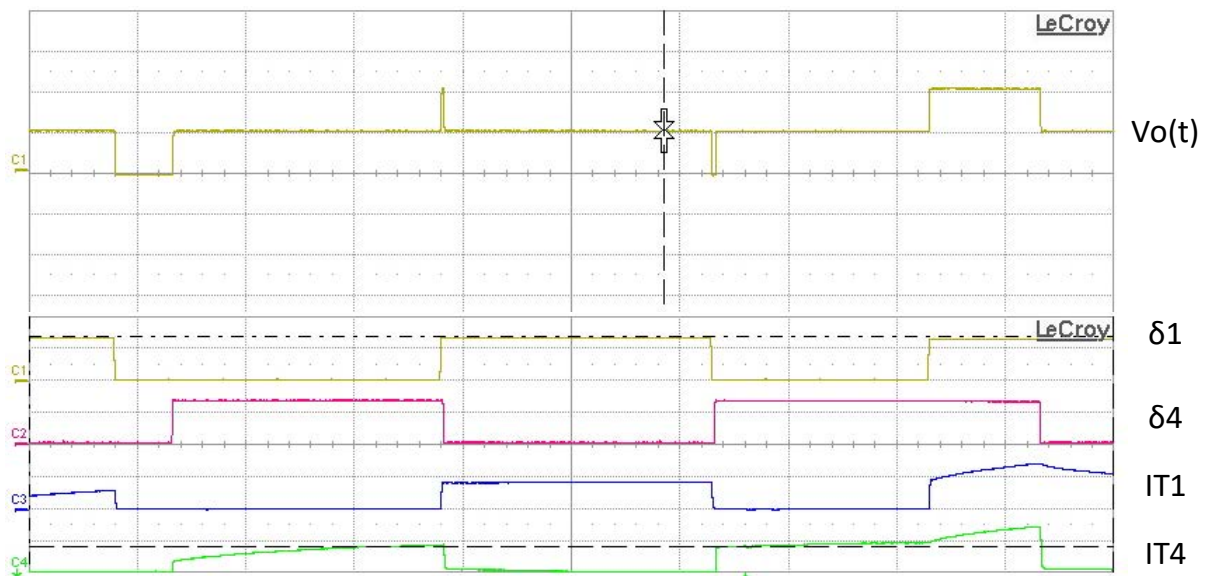


Figure II. 49 : Tension $V_o(t)$, Courants i_{T1} et i_{T4} et ordres de commande envoyés à T1 et T4 (ZOOM 1 Figure II. 48)).

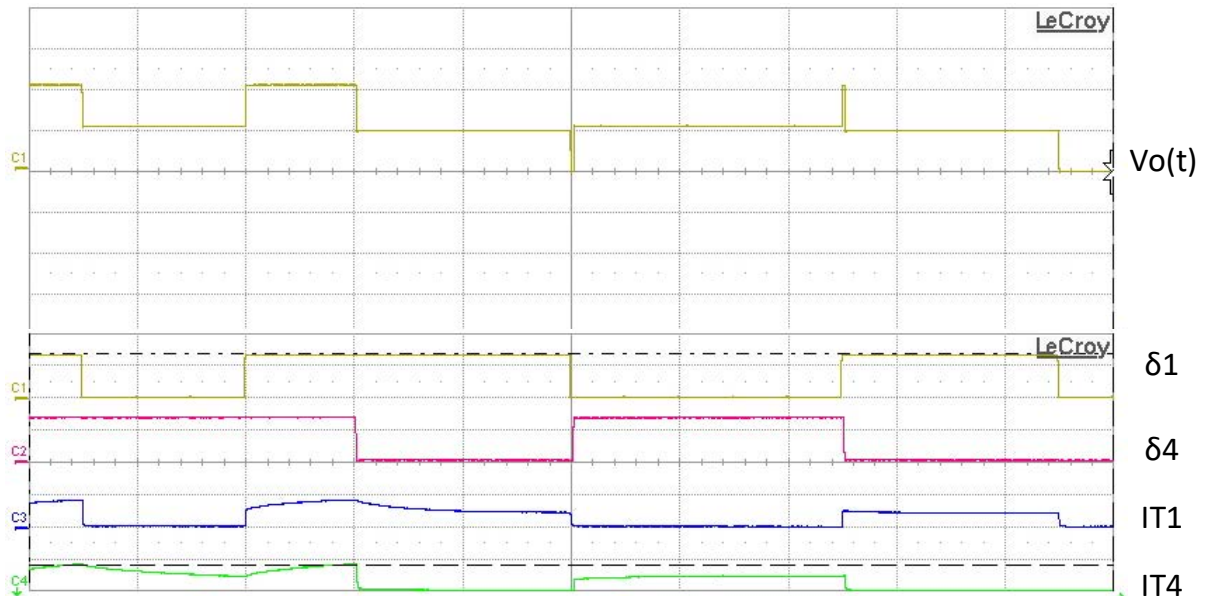


Figure II. 50 : Tension $V_o(t)$, Courants i_{T1} et i_{T4} et ordres de commande envoyés à T1 et T4 (ZOOM 2 Figure II. 48).

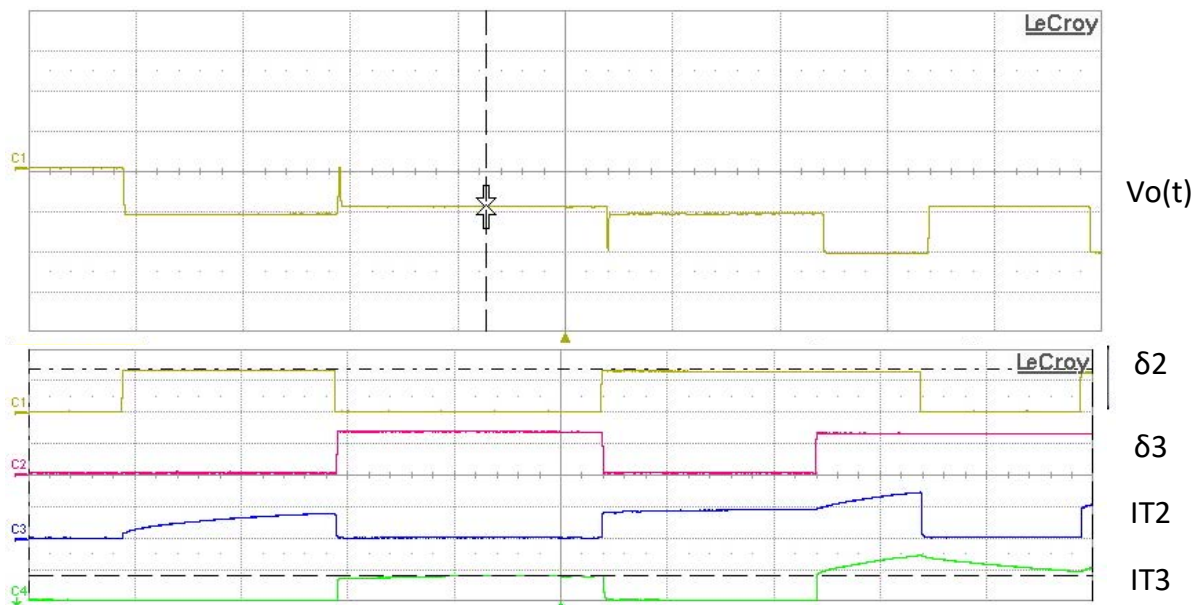


Figure II. 51: Tension $V_o(t)$, Courants i_{T2} i_{T3} et ordres de commande envoyés aT2 et T3 (ZOOM 3 Figure II. 48).

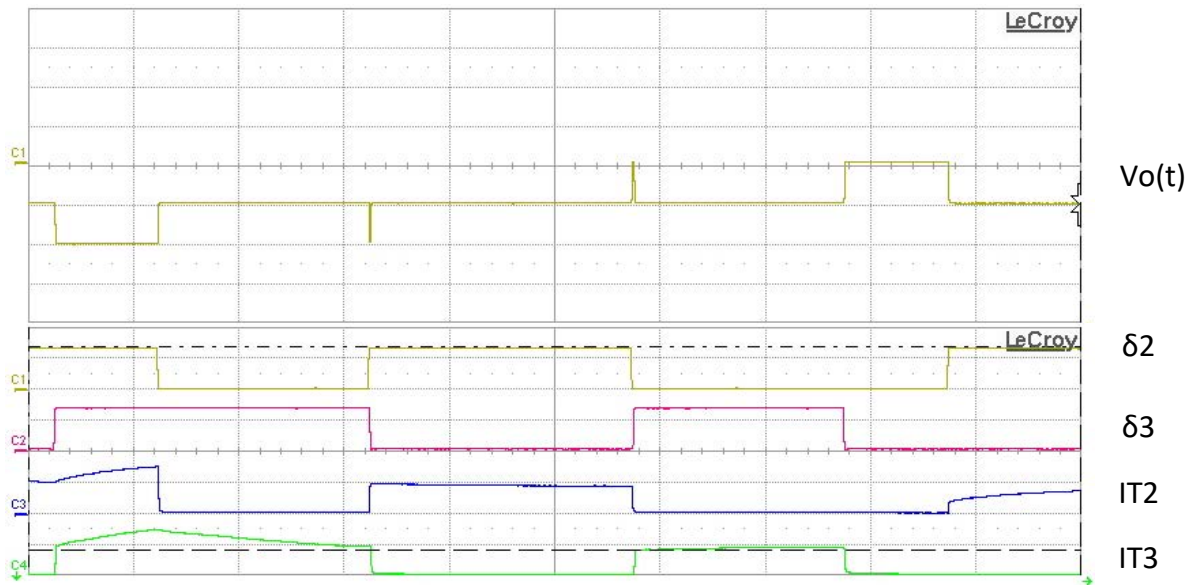


Figure II. 52 : Tension $V_o(t)$, courants i_{T2} i_{T3} et ordres de commande envoyés à T2 et T4 (ZOOM 4 Figure II. 48).

Nous allons maintenant appliquer le contrôle optimisé OPT-PWM au convertisseur HB-T-Type afin de valider la réduction du nombre de commutations.

4.3.2. HB-T-Type avec minimisation des transitions.

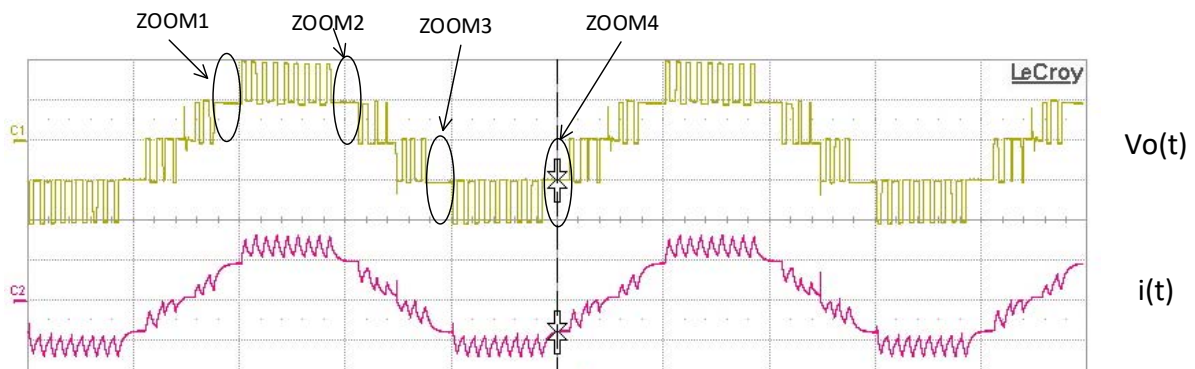


Figure II. 53 : Tension et courant du convertisseur HB-T-type avec la commande rapprochée OPT-PWM.

La Figure II. 53 nous présente la tension et le courant obtenus en sortie du convertisseur HB-T-Type. Pour cette figure, les différentes sensibilités verticales de l'oscilloscope sont les suivantes : 50V/div pour la tension $V_o(t)$ et 5A/div pour le courant $i(t)$. La base de temps est de 5ms/div. Comparé à la Figure II. 48 nous pouvons dire que nous avons les mêmes formes d'onde en sortie du convertisseur : la tension de sortie a donc une forme d'onde inchangée si l'on applique la commande rapprochée OPT-PWM. Nous allons maintenant analyser les commutations des composants.

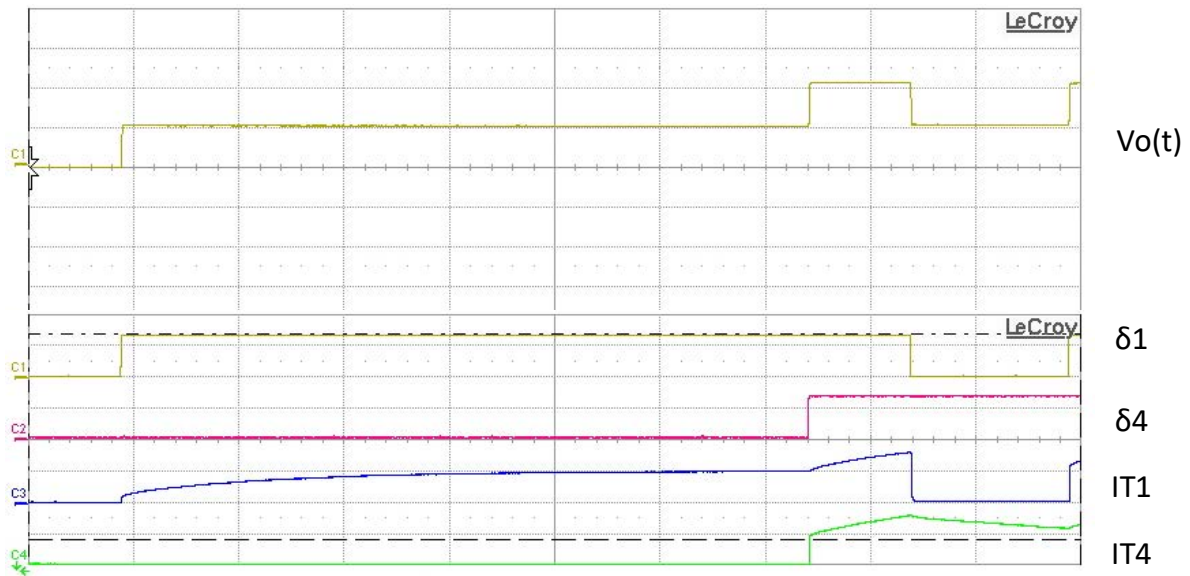


Figure II. 54 : Tension $V_o(t)$, Courants i_{T1} et i_{T4} et ordres de commande envoyés à T1 et T4 (ZOOM 1 Figure II. 53).

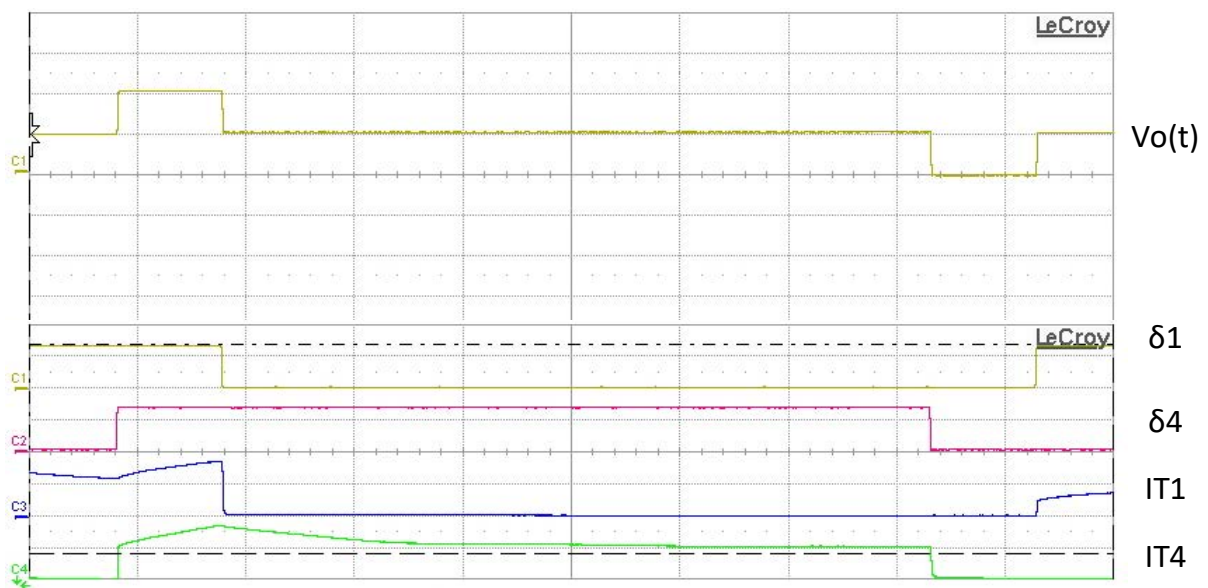


Figure II. 55 : Tension $V_o(t)$, Courants i_{T1} et i_{T4} et ordres de commande envoyés à T1 et T4 (ZOOM 2 Figure II. 53).

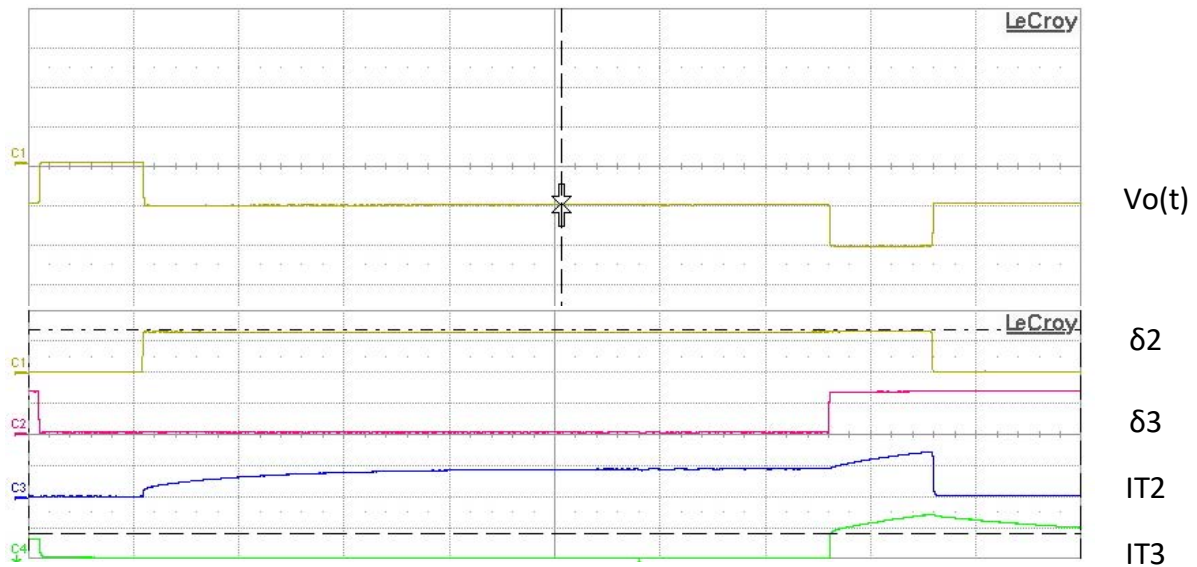


Figure II. 56: Tension $V_o(t)$, Courants i_{T2} i_{T3} et ordres de commande envoyés à T2 et T3 (ZOOM 3 Figure II. 53).

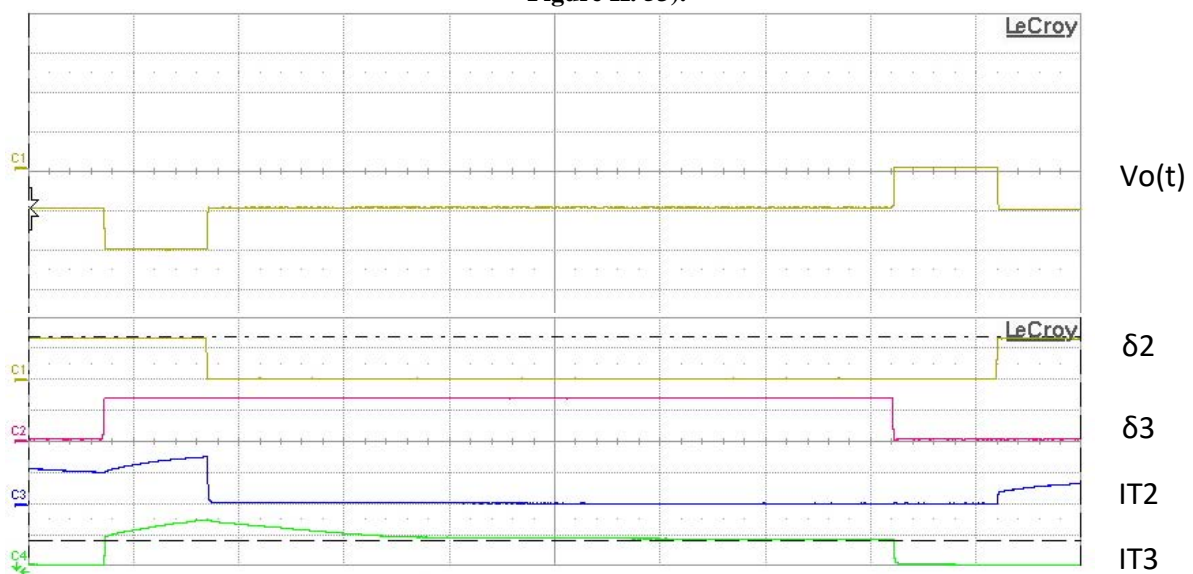


Figure II. 57: Tension $V_o(t)$, Courants i_{T2} i_{T3} et ordres de commande envoyés à T2 et T3 (ZOOM 4 Figure II. 53).

Les Figure II. 54 à II.56 nous présentent les zooms pour les mêmes régions que celles de la Figure II. 48 ainsi que les ordres de commande et les courants des switches utilisés lors de ces niveaux de tension, à savoir T1 et T4 pour le niveau $V_{dc}/2$ et T2 et T3 pour le niveau $(-V_{dc}/2)$. Les paramètres de l'oscilloscope sont de 50V/div pour la tension, 2A/div pour les courants et 5V/div pour les ordres de commande ; la base de temps est de 200 μ s/div. Comme on peut le voir sur ces différentes régions zoomées, il n'y a plus de commutation inutile des switches, et globalement le nombre de commutations par période a été réduit de 12.

Les essais expérimentaux menés dans cette section ont donc permis de valider le fonctionnement, en mode classique, puis en mode optimisé du convertisseur HB-T-Type à cinq niveaux.

5. Conclusion

Ce chapitre a proposé une méthode optimisée de contrôle (OPT-PWM) pour les convertisseurs HB-NPC et HB-T-Type. Cette méthode optimise le nombre de commutations par période sans aucune dégradation des performances par rapport à une commande rapprochée classique, dans notre cas la commande LS-PWM. En effet, les résultats obtenus avec une commande LS-PWM et une commande OPT-PWM présentent des formes d'ondes similaires pour la tension et le courant en sortie du convertisseur. En considérant le nombre de commutations par période pour chaque convertisseur (HB-NPC et HB-T-Type), nous avons validé par simulation puis expérimentalement que le nombre total de commutations est réduit par le contrôle OPT-PWM (respectivement de 16 et 12 commutations par période). Cette optimisation contribue à la réduction du vieillissement des composants. Tous ces résultats ont été validés sur une plateforme expérimentale réalisée lors de ces travaux de thèse.

Dans la suite de cette thèse, nous allons plus particulièrement considérer, dans les trois chapitres qui suivent, la continuité de service de convertisseurs multiniveaux de type Pont en H, après avoir proposé dans ce chapitre une approche permettant de contribuer à la réduction du taux de défaillance de leurs composants de puissance. Ainsi, une nouvelle topologie de convertisseur multiniveaux à tolérance de pannes et basée sur la topologie HB-T-Type sera proposée. Cette structure originale aura la capacité de garantir la continuité de service de la conversion d'énergie en mode nominal, lors d'un défaut de type circuit-ouvert de l'un de ses switches. Pour cela, une approche originale de diagnostic de défaut de type circuit-ouvert, rapide et robuste aux imperfections du système de puissance, sera également proposée.

Chapitre III : Continuité de service des convertisseurs multiniveaux – Etat de l’art

1. Introduction

Ce troisième chapitre fait suite aux deux premiers dont l'objectif final était d'apporter une contribution à l'accroissement de la durée de vie des composants de puissance (principalement les composants commandables) mis en œuvre dans les convertisseurs multiniveaux. Dans cet objectif, nous avons proposé de réduire leur nombre de commutations par période en modifiant leurs ordres de commande, tout en maintenant la même tension de sortie et les mêmes performances. Néanmoins et malgré cette contribution, les composants commandables restent les plus exposés à des pannes. Ainsi, dans les chapitres qui suivent, nous avons étudié la continuité de service de ces convertisseurs multiniveaux lors de la défaillance de l'un des composants commandables (switches).

Dans ce chapitre, nous allons présenter une synthèse de l'état de l'art de la continuité de service des convertisseurs multiniveaux de types NPC, ANPC et T-Type (ou NPP). La définition de la continuité de service sera tout d'abord rappelée. Elle est garantie grâce à deux étapes bien distinctes : le diagnostic du défaut qui consiste à détecter et à localiser le défaut, suivi d'une reconfiguration adaptée du convertisseur et/ou de sa commande.

Dans un premier temps, un état de l'art des différents algorithmes de diagnostics publiés dans la littérature et portant sur les topologies de type NPC, ANPC et T-Type (NPP) sera proposé. Il sera subdivisé en deux sections distinctes, selon que le diagnostic aura recours au courant ou à la tension. Dans chacune de ces sections, nous analyserons les types de défauts détectés (circuit ouvert ou court-circuit), les composants de puissance concernés par le diagnostic (diode et/ou composant commandable à l'ouverture et à la fermeture) et le temps de détection. Nous préciserons également si une localisation précise du composant défaillant est réalisée ou bien si seule une localisation globale (bras, paire de switches, ..) est possible à partir de l'algorithme de détection proposé. Nous nous intéresserons aussi au nombre de capteur(s) supplémentaire(s) utilisé(s) pour réaliser le diagnostic du défaut. Ce point est en effet essentiel quant à l'aspect économique et au surcoût alors induit par la continuité de service.

Dans un second temps, une revue de la littérature scientifique concernant les topologies à tolérance de pannes sera présentée. Les trois topologies NPC, ANPC et T-Type (NPP) seront ciblées. Pour toutes les structures à tolérance de pannes recensées, nous nous intéresserons aux composants additionnels nécessaires et à leurs types (switch, diodes, contacteur, fusible...). Il sera également mentionné si le convertisseur conserve ou non toutes ses performances après reconfiguration matérielle suite à la détection du défaut (mode nominal ou mode dégradé). Le temps nécessaire à la garantie de la continuité de service (détection et localisation du défaut, puis reconfiguration matérielle) sera également un point d'attention particulière.

2. Continuité de service des convertisseurs

Un système de puissance est généralement composé d'une source de tension continue (DC) ou alternative (AC), d'un convertisseur de puissance AC/DC, DC/AC ou encore AC/DC/AC et enfin d'une

charge qui peut être un moteur, un filtre ou tout simplement une charge RL. La Figure III. 1 présente le schéma classique d'une telle structure de conversion de l'énergie. C'est la continuité de service du convertisseur de puissance qui fera l'objet de notre étude.

La continuité de service de convertisseurs statiques se traduit par le fait de pouvoir continuer à convertir la forme de l'énergie électrique, et ce même si un composant du convertisseur tombe en panne. Son principal but est de garantir, après l'apparition d'un défaut, le transfert de l'énergie entre la source et la charge.

Nous rappelons ici que la garantie de la continuité de service des convertisseurs repose sur deux étapes successives : dans un premier temps, le diagnostic du défaut (détection et localisation) et dans un deuxième temps la reconfiguration du convertisseur avec ou sans ajout de composant(s) additionnel(s) afin de pallier au défaut survenu.

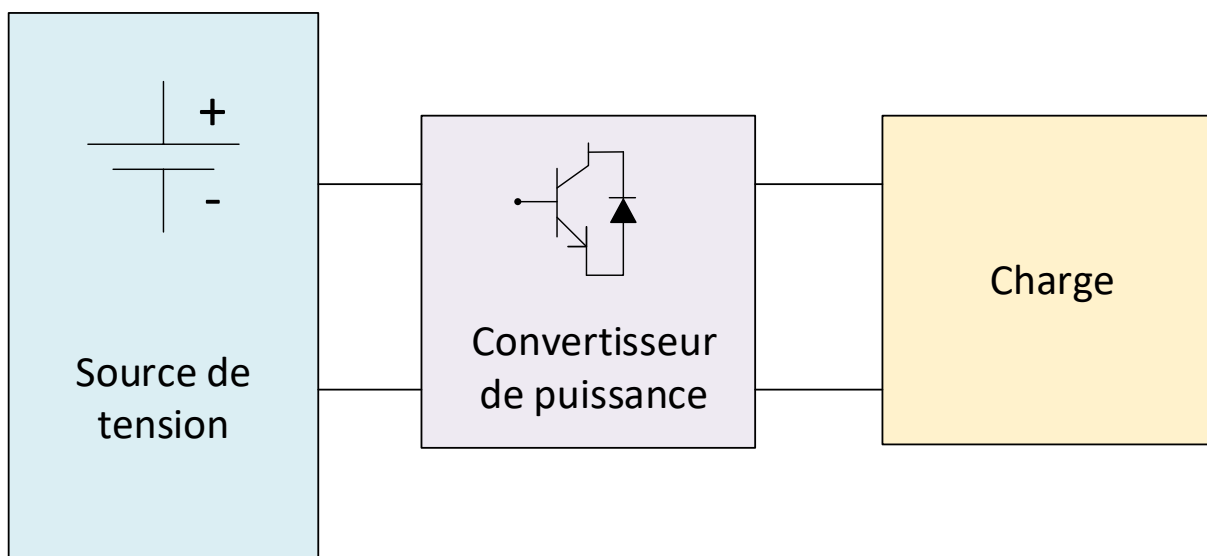


Figure III. 1 : Structure classique de conversion de l'énergie.

2.1. Diagnostic

Dans un premier temps, il est important de définir les différents types de pannes qui peuvent se produire dans un convertisseur. Les deux plus importantes sont la défaillance d'un condensateur et la défaillance d'un semi-conducteur de puissance. La moindre défaillance sur l'un de ces composants peut entraîner un comportement dangereux du système, voire l'arrêt complet de celui-ci. Selon une étude [1], les défauts dans les convertisseurs de puissance sont liés pour 34 % d'entre eux aux semi-conducteurs de puissance et principalement aux interrupteurs commandables ou switches (transistor et IGBT), les diodes ont quant à elle un taux de défaillance plus faible.

Les défaillances des semi-conducteurs de puissance les plus courantes sont les défauts de type "circuit ouvert" (CO), les défauts de type "court-circuit" (CC) et les défauts intermittents liés à de mauvais déclenchements ("intermittent gate-misfiring default"). Tous ces défauts peuvent se produire en raison d'événements externes ou internes au switch. Un défaut de type circuit ouvert ou

court-circuit peut par exemple apparaître suite à un défaut du "driver", une surintensité ou une surtension.

Le but du diagnostic de défaut est de détecter puis localiser le plus rapidement possible un défaut dans un convertisseur de puissance, et ce à tout moment. Cependant, il n'est pas toujours nécessaire de localiser exactement le switch en défaut. En effet, parfois seule la localisation du bras défaillant est nécessaire. Cela dépend de la topologie du convertisseur à tolérance de pannes qui est utilisée et du type de défaut. Le diagnostic est une étape cruciale de la continuité de service, car sans celui-ci, il est impossible de reconfigurer correctement le convertisseur. Pour réaliser le diagnostic, nous avons le plus souvent besoin de capteur(s). Soit ces capteurs sont déjà présents, par exemple pour réaliser le contrôle du système de puissance, soit nous devons en ajouter de nouveaux ce qui induit un coût supplémentaire du système. Les grandeurs physiques données par ces capteurs (tension ou courant) sont traitées et permettent alors de détecter et de localiser un défaut. Un diagramme simplifié est présenté à la Figure III. 2

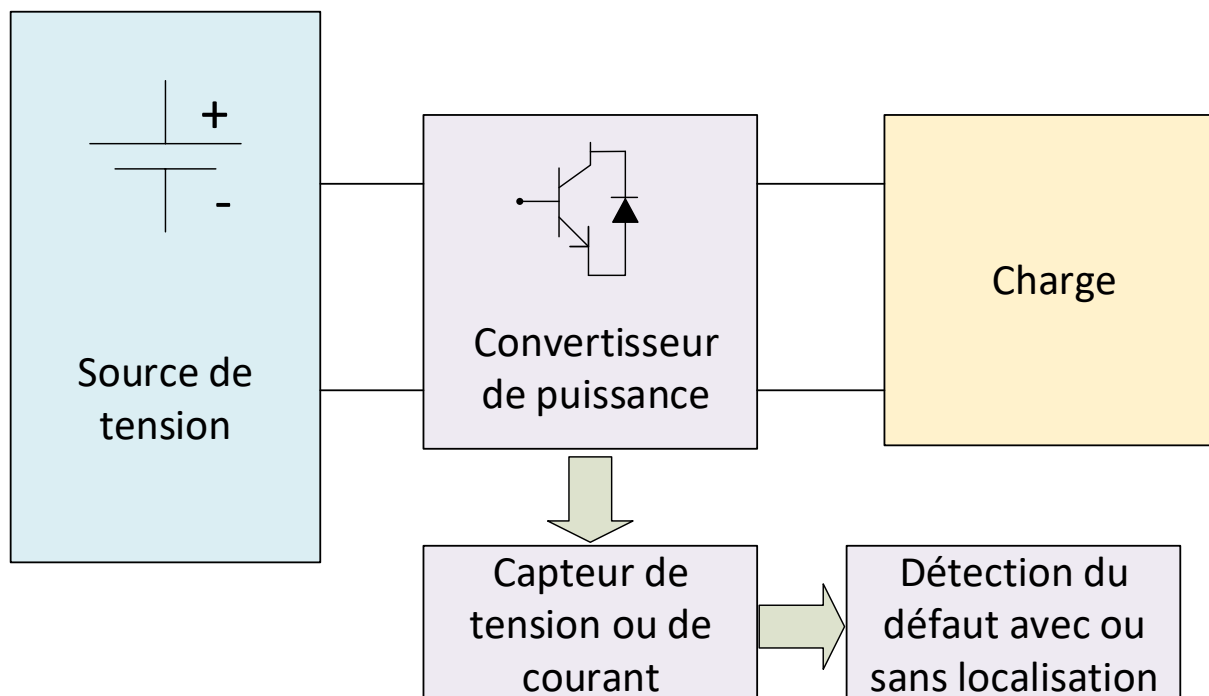


Figure III. 2 : Diagramme du principe général du diagnostic défaut.

2.2. Reconfiguration

Une fois le défaut détecté et localisé, il faut compenser ce dernier ; on parle alors de « gestion de défaut ». Pour se faire et en fonction du défaut diagnostiqué, plusieurs stratégies de reconfiguration peuvent être appliquées. La première stratégie consiste à implanter de la redondance matérielle au niveau du convertisseur ; dans ce cas, des composants sont ajoutés à la topologie de base en mode sain, de telle manière qu'en cas de défaut, les composants défaillants puissent être remplacés fonctionnellement par les composants additionnels (Figure III. 3). Ainsi, nous avons une topologie de convertisseur identique avant et après reconfiguration suite à un défaut ; par conséquent, les ordres

de commande envoyés au composant défaillant doivent être envoyés au composant additionnel qui le supplée, sans aucune modification de la loi de commande du système.

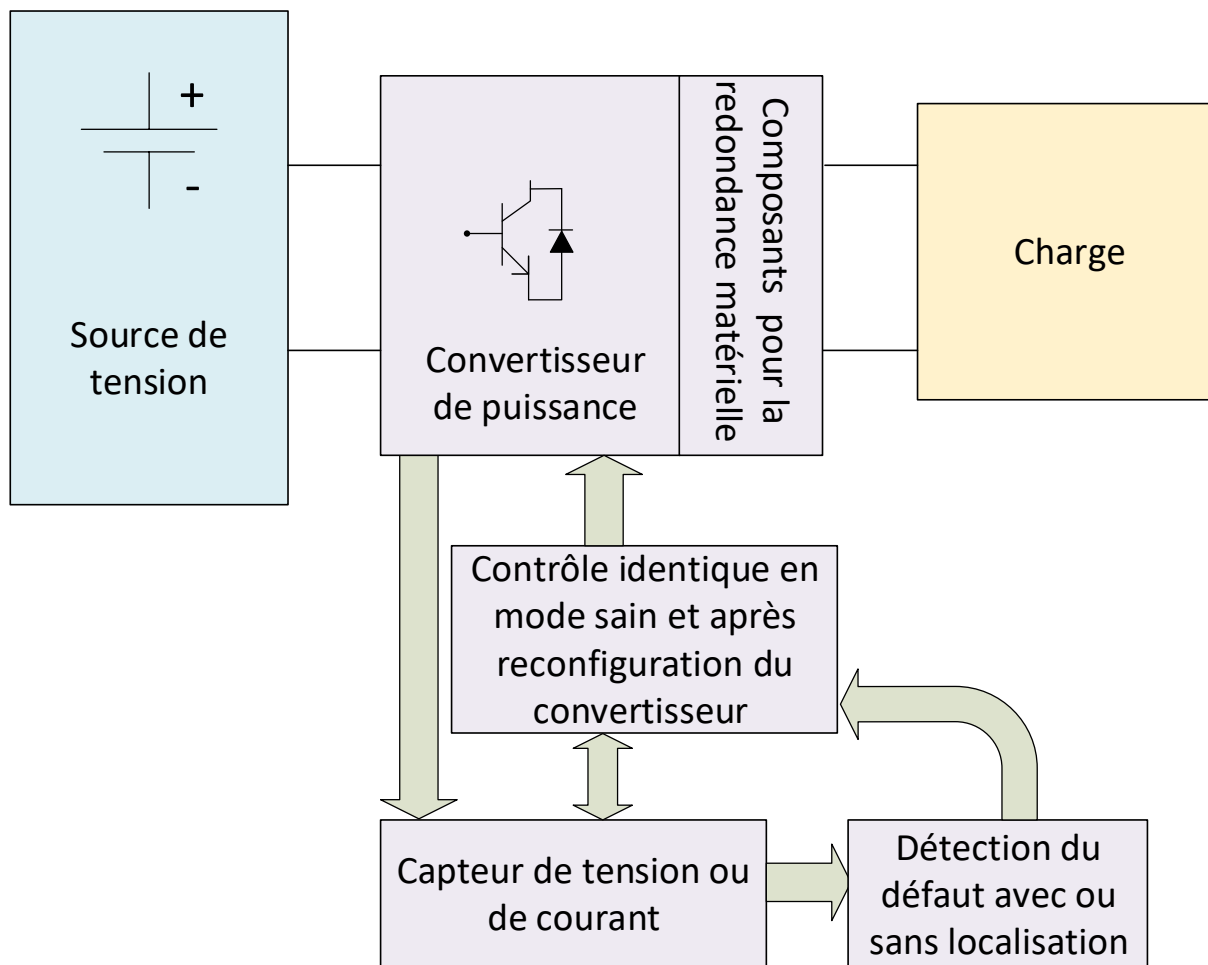


Figure III. 3 : Diagnostic de défaut et convertisseur avec redondance matérielle.

La seconde stratégie consiste à ne pas mettre en œuvre de redondance matérielle. Ainsi, la topologie du convertisseur reconfiguré (après détection d'un défaut) n'est plus identique à la topologie en mode sain. Par conséquent, le contrôle du convertisseur reconfiguré doit être impérativement modifié par rapport au mode sain. Néanmoins, des composants additionnels sont dans tous les cas nécessaires pour pouvoir reconfigurer matériellement le convertisseur, sans que ces composants ne soient dédiés à de la redondance matérielle systématiquement (Figure III. 4). Dans ce cas, le système de puissance fonctionne le plus souvent en mode dégradé après gestion du défaut.

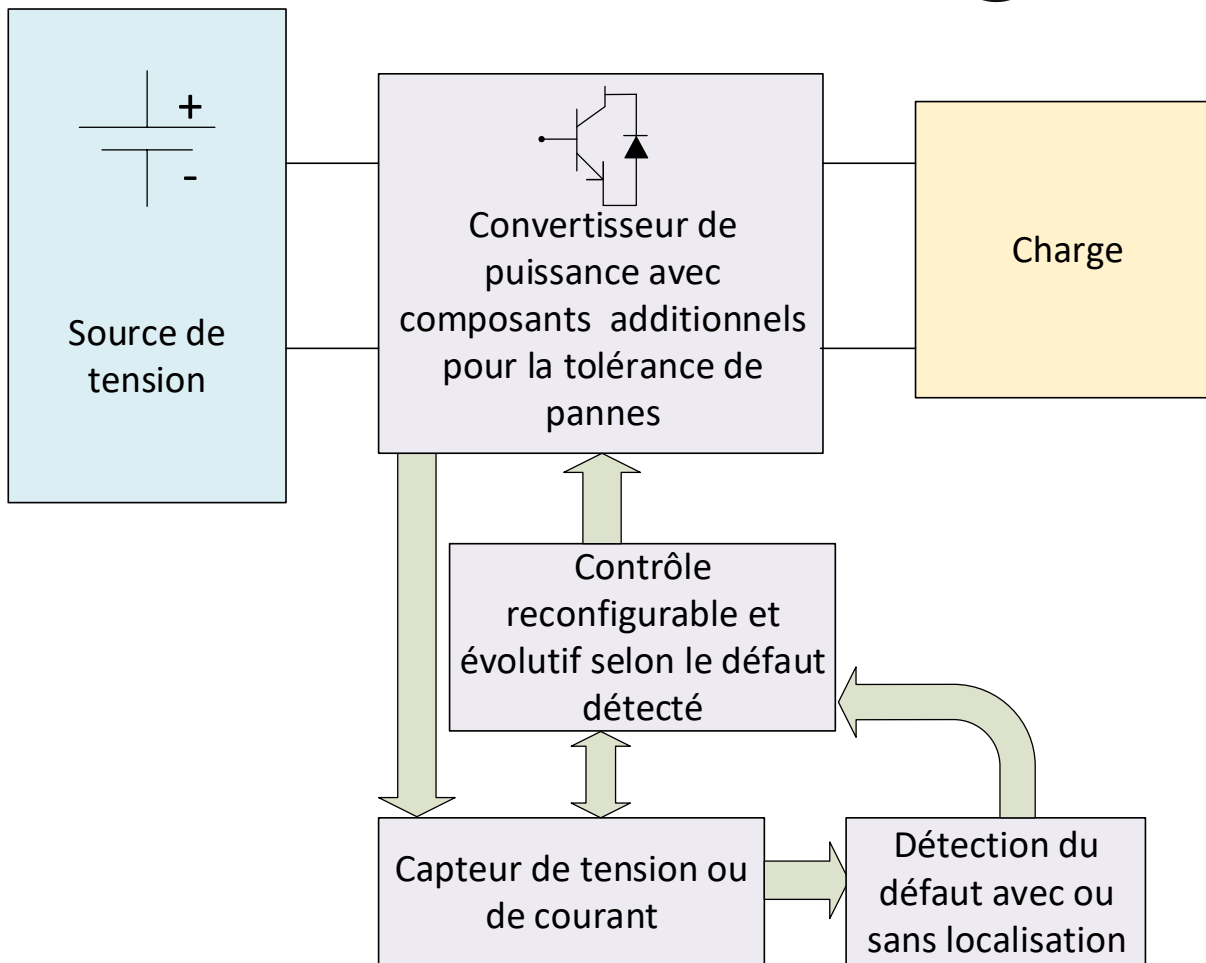


Figure III. 4 : Diagnostic de défaut et convertisseur sans redondance matérielle.

Après avoir reconfiguré le convertisseur et compensé le défaut, le système peut soit fonctionner en mode nominal, soit en mode dégradé. En mode nominal, les performances du système sont conservées avant et après l'apparition d'un défaut alors qu'en mode dégradé la puissance maximale ne peut plus être échangée entre la source et la charge.

Après avoir détaillé en quoi consiste la continuité de service dans les sections précédentes, nous allons maintenant considérer la première étape, le diagnostic de défaut, en ciblant comme annoncé précédemment, les structures multiniveaux NPC, ANPC et NPP (ou T-Type).

3. Diagnostic de défauts dans les convertisseurs multiniveaux de types NPC, ANPC, NPP (T-Type).

En raison de leur développement plus récent que celui des convertisseurs à deux niveaux, les méthodes de diagnostic de défauts pour les convertisseurs multiniveaux sont encore peu étudiées et publiées dans la littérature scientifique. De plus, les méthodes de diagnostic validées pour les convertisseurs à deux niveaux ne sont pas directement applicables aux convertisseurs multiniveaux

en raison de leur nombre important de composants de puissance. Ceci est particulièrement vrai pour les méthodes basées sur l'observation de courants.

Dans cette section, nous allons nous intéresser au diagnostic de défauts dans les convertisseurs multiniveaux, et plus particulièrement aux cas des structures NPC, ANPC et NPP (ou T-type). Les méthodes de diagnostic peuvent être classées en deux grandes catégories : les méthodes basées sur l'observation de courants et celles basées sur l'observation de tensions.

Un point important du diagnostic est le type de défaut que les algorithmes proposés dans la littérature sont capables de détecter, à savoir s'il s'agit d'un Circuit Ouvert (CO) et/ou d'un Court-Circuit (CC). En examinant les algorithmes présentés dans les travaux de recherche, il est également important de noter si des capteurs additionnels sont spécifiquement mis en œuvre pour le diagnostic ou bien si les informations issues des capteurs utilisés pour le contrôle du convertisseur sont suffisantes.

Enfin, notons que certaines méthodes de diagnostic permettent de détecter la présence d'un défaut de l'un des switches du convertisseur, sans toutefois localiser et indiquer précisément quel est le switch défaillant ; on peut citer à titre d'exemple les publications [2] et [3] où seulement un couple de switches est identifié ou bien encore la publication [11] où seulement le bras défaillant est identifié.

3.1. Détection de défaut se basant sur les courants

Dans cette section, nous nous intéressons à la détection de défauts de types CO ou CC dont le diagnostic se base sur les courants. Cette section sera subdivisée en deux sous-sections, selon que l'algorithme de détection repose ou non sur les courants de Park.

3.1.1. Algorithme de détection basé sur les courants de Park

Dans la publication [2], une méthode utilisant la valeur moyenne des courants de Park (ACPV pour Average Current Park Vector) est proposée, dans le cas d'un convertisseur NPC triphasé. Notons que cet algorithme permet seulement de détecter un défaut CO et localiser la paire de switches défaillante. Il est basé sur l'analyse de la longueur et de la position du vecteur de Park moyen pour chacun des trois courants de sortie du convertisseur, comme décrit ci-après.

Dans un premier temps, la valeur moyenne de chacun des trois courants de sortie du convertisseur est calculée par la relation :

$$I_{j_{av}} = \frac{1}{N} \sum_{k=1}^N i_{j,k} \quad \text{avec } j = a, b, c$$

Où N est le nombre d'échantillons et a, b, c les indices de chacune des trois phases.

Après avoir calculé ces valeurs moyennes, on leur applique la transformée de Park pour obtenir leurs normes ainsi que leurs phases :

$$\begin{cases} \overline{I_{sav}} = I_{dav} + j I_{qav} = |\overline{I_{sav}}| \angle \theta_{sav} \\ I_{dav} = \sqrt{\frac{2}{3}} I_{aav} - \frac{1}{\sqrt{6}} I_{bav} - \frac{1}{\sqrt{6}} I_{cav} \\ I_{qav} = \frac{1}{\sqrt{2}} I_{bav} - \frac{1}{\sqrt{2}} I_{cav} \end{cases}$$

Dans des conditions normales de fonctionnement du convertisseur, la norme de l'ACPV (norme du vecteur $\overline{I_{sav}}$) est égale à zéro. Si un défaut de type CO survient, la valeur de cette norme va augmenter et dépasser une valeur seuil prédéfinie dans l'algorithme : le défaut sera alors détecté. Après avoir détecté le défaut, il faut maintenant le localiser. Pour se faire, les auteurs utilisent l'angle de l'ACPV et selon sa valeur, il est possible de détecter quelle paire de switches est en défaut [2].

Les travaux de recherche présentés dans [3] ont recours à une méthode similaire dans le cas d'un défaut CO. A la différence des auteurs de [2], des données supplémentaires sont utilisées pour réaliser le diagnostic. Ainsi, pour la méthode de localisation proposée, il est nécessaire de normaliser les courants de phase en sortie du convertisseur, en les divisant par le module de l'ACPV. La valeur absolue de la moyenne des courants normalisés, calculée dans des conditions normales d'utilisation (mode sain), est également nécessaire ; cette valeur permet de calculer trois signaux d'erreur pour chacun des courants de phase. Chaque signal d'erreur est égal (pour chaque phase) à la différence entre la moyenne du courant mesuré puis normalisé et la moyenne du courant normalisé en mode sain. Notons que tous les paramètres nécessaires au diagnostic sont égaux à zéro en mode sain. Lors d'un défaut de type CO, le signal d'erreur associé à la phase du bras défaillant est positif alors que les deux autres signaux d'erreur sont négatifs ; un défaut CO peut donc être ainsi détecté. Pour chaque phase, les valeurs calculées des signaux d'erreur et de l'ACPV sont comparées à des seuils ; on peut ainsi localiser quelle paire de switches est en défaut à partir d'une table présentée dans [3].

Les solutions présentées précédemment ne permettent pas de localiser exactement le switch en défaut CO, dans un convertisseur NPC triphasé ; seules une paire de switches peut être discernée comme défaillante (publications [2] et [3]). Dans les publications [4] et [5], les auteurs apportent une contribution significative à la localisation précise du switch défaillant. Certes, la même méthode que celle développée dans [2] est appliquée pour pouvoir déterminer la paire de switches qui est en défaut, mais l'algorithme de détection est étendu et complété afin de détecter précisément le switch en défaut. Cette modification de l'algorithme initial repose sur un changement de commande du convertisseur en imposant le niveau de tension «zéro» à la phase en défaut. Suite à ce changement d'ordres de commande, les tensions simples de chaque phase ainsi les courants de phase sont analysés. Grâce à ce changement de commande, le switch en défaut peut être discriminé à partir de l'analyse de ces tensions simples et courants.

Dans les publications [6] et [7], la même idée est reprise, mais pour un convertisseur T-Type. L'ACPV est utilisé pour déterminer le bras en défaut, ainsi que la paire de switches défaillante, comme précédemment. Pour pouvoir détecter quel switch est réellement en défaut, les auteurs utilisent les

tensions aux bornes des condensateurs du bus continu. L'analyse de ces tensions permet de discriminer le switch en défaut parmi la paire identifiée à l'aide de l'ACPV.

3.1.2. Détection sans utilisation des courants de Park

Les travaux présentés dans les publications [8] et [9] concernent également la détection de défauts de type CO pour un convertisseur NPC triphasé à 3 niveaux. Les algorithmes proposés analysent également les courants de phase, mais contrairement aux précédentes études, l'ACPV n'est pas utilisé. Les auteurs de la publication [9] présentent une analyse des distorsions des courants de phase dans tous les cas de défaillances possibles d'un switch ; toutefois, aucun algorithme de détection n'est proposé à l'issue de cette étude. Quant à eux, les auteurs de la publication [8] nous proposent un algorithme de détection. Plusieurs calculs sont alors réalisés : la valeur moyenne des courants de phase et la valeur moyenne de la partie positive et de la partie négative des courants de phase. Toutes ces valeurs moyennes sont comparées à des seuils, ce qui permet d'identifier un groupe de switches potentiellement en défaut ou bien d'identifier directement si une des deux diodes de clampe est en défaut. Pour pouvoir discriminer le switch défaillant, les auteurs réalisent un changement de commande. Une étude des courants de phase suite à ce changement permet de détecter n'importe quel défaut sur un switch ou des diodes de clames. Le principal avantage de cette méthode est de pouvoir détecter un défaut les diodes de clampe.

Dans [10], les auteurs nous proposent une méthode de détection d'un CO pour un convertisseur T-type. La méthode se base sur le courant au point neutre du bus DC. Ce courant est mesuré et estimé à partir des courants de ligne et à partir des ordres de commande des switches. Le switch défaillant est identifié par rapport à ce courant du point neutre du bus DC et des états de commutation du convertisseur.

Dans le cas d'un convertisseur NPC triphasé à 3 niveaux, une méthode se basant sur les courants dans les diodes de clampe a été proposée dans [11] ; elle est illustrée par la Figure III. 5 . Le principal inconvénient de cette méthode de détection est l'ajout de six capteurs de courant au niveau des diodes de clampe du convertisseur. Néanmoins, il est important de mentionner ici que ces capteurs additionnels permettent de détecter tous les types de défauts (CC et CO) survenant au niveau des switches. De plus, l'algorithme de détection est relativement simple à mettre en œuvre, car son principe général repose sur une comparaison entre les courants traversant les diodes de clampe et les courants de phases, selon le type et la localisation du défaut. La même méthode a été appliquée à un convertisseur ANPC et a été publiée dans [12].

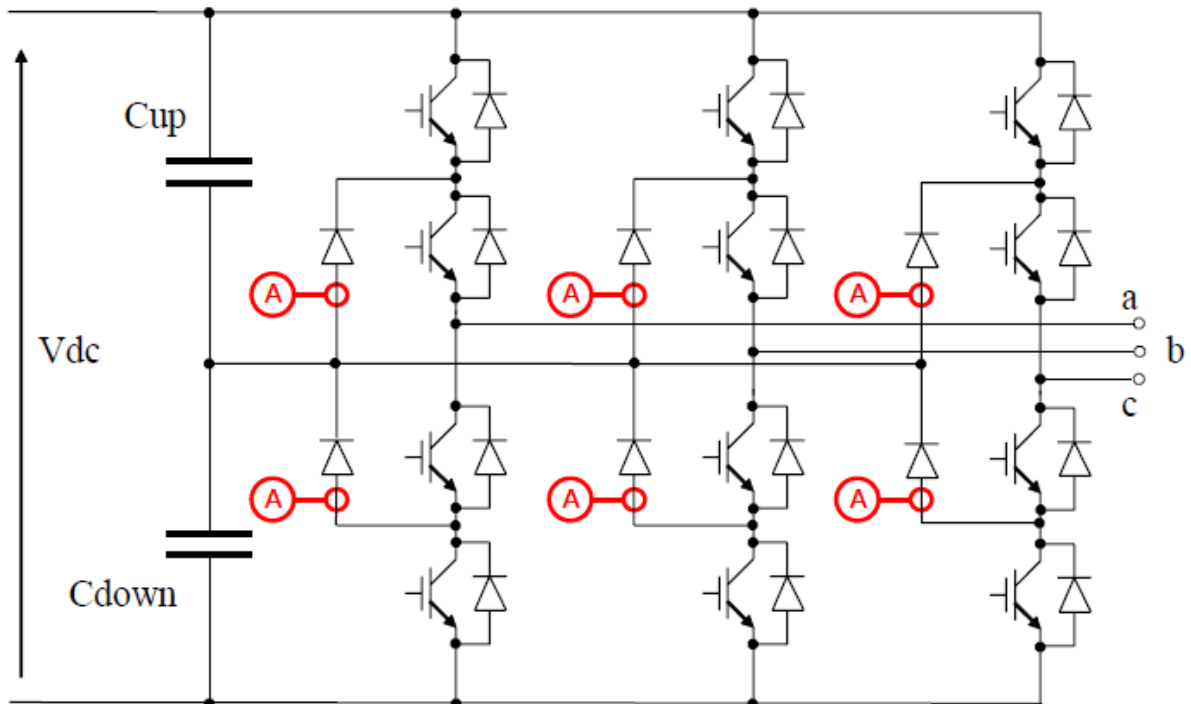


Figure III. 5: Convertisseur NPC triphasé 3 niveaux avec 6 capteurs de courant additionnels pour la détection de défauts [11].

3.2. Détection de défaut se basant sur les tensions

Dans cette partie, nous nous intéressons à la détection de défauts se basant sur la tension. Les cas des convertisseurs NPC, ANPC et T-type (NPP) seront traités. Cette partie sera divisée en deux sections : dans le premier cas, des capteurs additionnels spécifiques au diagnostic seront mis en œuvre alors que dans le second cas, il n'y aura pas d'ajout de capteur, seuls les capteurs servant déjà au contrôle seront utilisés.

3.2.1. Détection de défaut avec ajout de capteurs

A présent, nous allons nous intéresser aux méthodes de diagnostic de défauts se basant sur l'analyse de grandeurs électriques de nature tension. Une des premières méthodes pour la détection de défauts de type CO a été publiée dans [13], pour un convertisseur NPC triphasé. Cette méthode nécessite trois capteurs de tensions supplémentaires pour avoir accès aux trois tensions de pôle, notées V_{x0} avec $x = \{a, b, c\}$. Le circuit réalisé pour la détection se compose de 4 sous-circuits réalisant les fonctions suivantes : mesure de la tension pôle, détection du niveau de tension, intégration et comparaison (Figure III.6). Les tensions de pôles mesurées sont comparées aux tensions de pôles de références, établies à partir des ordres de commande du convertisseur ; ainsi, il est possible de détecter le défaut (CO uniquement).

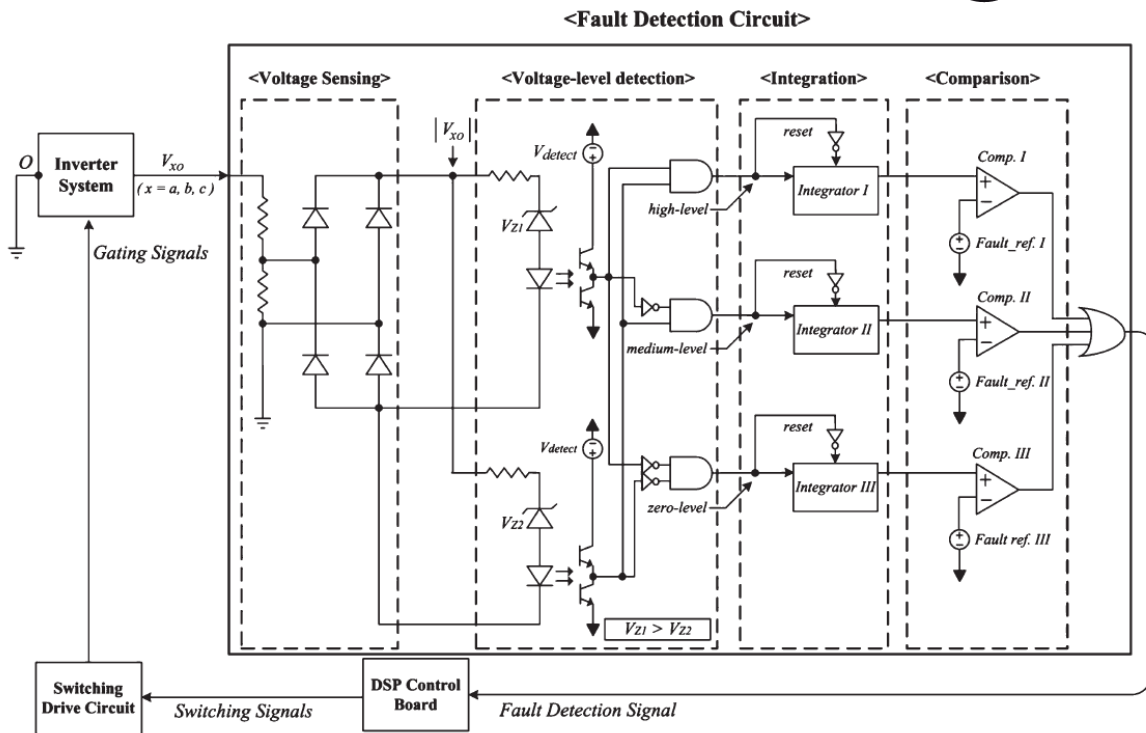


Figure III.6 : Circuit de détection de défaut [13].

Bien que trois capteurs de tension additionnels soient nécessaires, ce mode de détection ne permet pas de détecter exactement le switch en défaut, mais il permet seulement d'identifier la phase défaillante.

Dans la publication [14], le mode de détection examiné pour un convertisseur NPC triphasé repose sur les tensions composées en sortie du convertisseur. Elles sont mesurées à l'aide de trois capteurs additionnels, puis comparées aux tensions de sortie de référence, établie à partir des ordres de commande du convertisseur ; ainsi, il est possible de détecter un défaut de type CO ou CC et d'identifier le demi-bras défaillant. Ensuite, pour identifier avec précision le switch en défaut, un état de commutation donné est imposé au convertisseur. Cette modification des ordres de commande est adaptée selon le demi-bras préalablement diagnostiqué comme défaillant. Les tensions de sortie obtenues pour cette modification de la commande permettent de déterminer le switch en défaut. Cette méthode présente également pour inconvénient majeur d'utiliser trois capteurs de tension supplémentaires.

Les méthodes préalablement discutées, basées sur la tension, nécessitent des capteurs supplémentaires, ce qui présente un inconvénient majeur. Cependant, dans les convertisseurs connectés au réseau, tels que les redresseurs ou les filtres NPC, il est généralement nécessaire de mesurer la tension d'alimentation pour réaliser leur commande, ce qui permet d'estimer la tension de sortie du convertisseur, sans capteur considéré comme supplémentaire.

Les travaux exposés dans [16] concernent le diagnostic d'un défaut de type CO au niveau des switches et des diodes de clampe pour un convertisseur NPC à 3 niveaux triphasés. La méthode

proposée est basée sur la mesure des tensions de pôles et des courants de phase en sortie de l'onduleur. A partir de ces tensions et courants, 5 variables sont déterminées [16]. Selon l'état de ces cinq variables, le switch défaillant peut-être diagnostiqué. Cette méthode nécessite l'ajout de 3 capteurs de tension pour mesurer les tensions de pôle de chaque phase.

Dans le cas d'un convertisseur ANPC, un diagnostic pour la détection de tous types de défauts (CC et CO) d'un switch et se basant sur les tensions de pôles est développé dans [19] et [20]. Trois capteurs additionnels sont nécessaires au diagnostic. Dans [19], pour réaliser le diagnostic, il est nécessaire de connaître les tensions de pôles ainsi que les tensions aux bornes des condensateurs du bus continu. Ces grandeurs permettent de connaître le déséquilibre entre ces deux tensions et ainsi détecter et discriminer le switch en défaut. Dans le cas des CO, l'algorithme ne détecte que les seuls switches jugés nécessaires à discriminer, vu de la future reconfiguration du convertisseur (garantie de la continuité de service), que nous détaillerons ultérieurement, dans la section dédiée à ce point. Dans le cas d'un CC, seule la partie du bras (haute au basse) où survient le défaut est détecté. En effet, cette information suffit pour la reconfiguration du convertisseur, vu la structure de convertisseur à tolérance de pannes présentée dans cet article. Dans la publication [20], les auteurs utilisent les tensions de pôles mesurées et calculées à partir des ordres de commande. A partir de chacune de ces deux valeurs de tension, une erreur est calculée pour chaque phase ; elle est ensuite suivie d'un changement de certains ordres de commande, permettant ainsi d'identifier quel est le switch en défaut. La méthode permet d'identifier les défauts de types CO et CC.

3.2.2. Détection de défaut sans ajout de capteur

Dans [15], sans utilisation de capteur supplémentaire, une méthode est proposée pour détecter les défauts de type CO dans un convertisseur NPC triphasé 3 niveaux, servant de filtre actif. Cette méthode utilise les tensions de ligne en sortie du convertisseur, calculées et estimées. Dans un premier temps, les tensions de ligne de sortie sont calculées à partir des tensions et courants réseaux, puis estimées à partir des signaux de commande des switches. Les signaux d'erreur obtenus à partir de ces tensions permettent de détecter un défaut CO. Ensuite, le switch défaillant est localisé en analysant tous les états de commande lors desquels le défaut se produit.

Les auteurs de [17] proposent une solution permettant de détecter les deux types de défauts (CO et CC) dans les switches et les diodes d'un convertisseur de type NPC triphasé, sans utilisation de capteur additionnel. L'algorithme de détection utilise 2 estimations de la tension de pôles, une estimées à partir des ordres de commande des bras et de la tension du bus continu et l'autre à partir des tensions simples et des courants de phase. Ces deux tensions permettent de détecter les défauts de types CO ; quant aux défauts CC, ils sont diagnostiqués à partir du courant de décharge des condensateurs du bus continu. Une première étude a permis de créer un tableau qui indique l'erreur de tension sur une phase en fonction du semi-conducteur qui est en défaut CO. Dans le cas du CC, une fois le défaut détecté grâce au courant de décharge des condensateurs uniquement, la commande du convertisseur est mise à zéro pour l'ensemble des ordres de commutation et un changement de commande est réalisé pour détecter le switch en défaut. Cependant, il faut mentionner que pour cet algorithme proposé dans la publication [17], des erreurs de détection peuvent être commises lorsque le courant de ligne dans le bras défaillant est proche de zéro. Pour pallier ce problème, la publication [18] se base sur la même méthode, mais propose un algorithme de

détection plus fiable quand le courant de ligne dans la phase affectée est proche de zéro. Le tableau dont nous parlions précédemment a alors été mis à jour mais les défauts CC ne sont plus traités.

3.3. Conclusion

Dans cette section 3, nous avons présenté une synthèse des différentes approches publiées pour la détection de défaut CO ou CC dans les structures NPC, ANPC et NPP (ou T-type). Que les algorithmes soient basés sur la tension ou le courant, on peut remarquer que des approches similaires sont adoptées. Les auteurs s'efforcent le plus souvent de limiter le nombre de capteurs additionnels et ciblent le plus souvent le cas de défaut CO. On peut également mentionner que très peu de publications traitent globalement la continuité de service, à savoir un diagnostic de défaut suivi d'une reconfiguration du convertisseur et/ou de sa commande. Dans la section 4 qui suit, nous allons cibler ce second point concernant la tolérance de pannes du convertisseur.

4. Topologies de convertisseurs multiniveaux NPC, ANPC et NPP (T-Type) à tolérance de pannes

4.1. Introduction

Dans cette section, nous allons nous intéresser aux structures de convertisseurs NPC, ANPC et NPP (ou bien T-Type) à tolérance de pannes. Rappelons ici qu'il existe deux types de défauts possibles : le circuit ouvert CO et le court-circuit CC. La majorité des publications traitent uniquement et spécifiquement l'un de ces deux défauts alors que d'autres traitent simultanément les deux cas de défauts. Dans le cas où les auteurs traitent les deux cas de défauts, ils sont amenés à cibler une technologie spécifique de switches (transistors de technologie dite « presspack ») qui permet d'obtenir un court-circuit du transistor, quel que soit le défaut subi.

Deux approches sont possibles pour reconfigurer le convertisseur une fois le défaut d'un switch détecté : la première consiste à continuer à fonctionner en mode nominal sans réduction de puissance alors que la seconde solution envisagée vise un mode dégradé du convertisseur qui certes continue à fonctionner, mais plus à sa puissance nominale.

Afin de reconfigurer le convertisseur, des composants additionnels par rapport à la structure de base sont indispensables, quelle que soit l'approche proposée et le type de défaut considéré. Selon les travaux présentés dans la littérature et de manière générale, nous notons un ajout de fusibles, de switches, de triacs, de thyristors ou de contacteurs. Certains de ces composants additionnels peuvent néanmoins poser des difficultés quant à leur choix et leur dimensionnement ; citons par exemple les fusibles à mettre en œuvre : en effet, ils doivent être extrêmement rapides et avoir une courbe i^2t inférieure à celle du switch (IGBT, par exemple) afin de casser avant celui-ci et le protéger efficacement. Un autre problème est également lié aux contacteurs additionnels qui ont un temps de

réponse caractéristique très élevé ; la structure multiniveaux à reconfigurer doit alors tenir compte de ces contraintes temporelles.

De plus, lors de l'ajout de composants à la structure multiniveaux de base pour garantir sa tolérance de pannes, deux options peuvent être choisies. Dans le premier cas, ces composants additionnels sont inutilisés en mode sain, sans pour autant faire de la redondance matérielle systématique (fusibles, triacs, thyristors). Dans une seconde approche, les composants additionnels assurent en mode sain une fonction supplémentaire du convertisseur ; on peut mentionner à titre d'exemple un 4^{ème} bras qui permet de réduire (en mode sain) les oscillations basses fréquences au niveau du potentiel du point milieu du bus DC de convertisseurs triphasés.

Dans les sections qui suivent, un état de l'art présente et résume les différentes structures de convertisseurs à tolérance de pannes proposées dans la littérature scientifique. Il a été choisi d'organiser ces sections selon les composants ajoutés aux structures multiniveaux de base et en considérant dans les deux premières sous-sections la topologie NPC (sans et avec switches additionnels), puis dans les sous-sections suivantes les topologies ANPC et NPP (ou bien T-Type).

4.2. Structures NPC à tolérance de pannes sans IGBT additionnel

La Figure III. 7 rappelle la structure triphasée NPC à 3 niveaux, topologie classique en mode sain. C'est la structure de base sur laquelle une majorité d'auteurs a travaillé pour proposer des structures à tolérance de pannes.

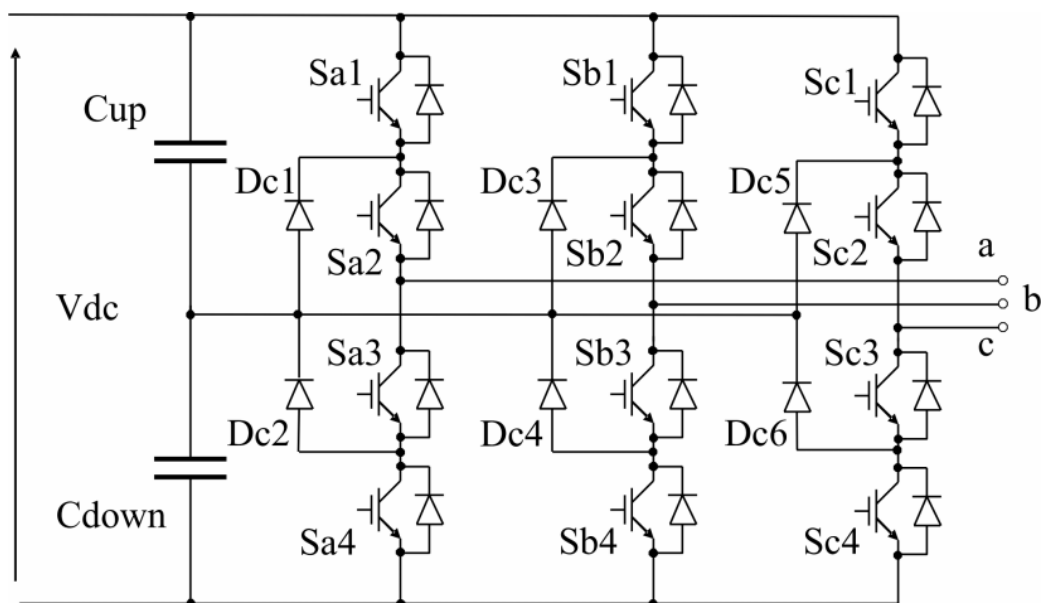


Figure III. 7 : Structure NPC triphasé 3 niveaux classique (mode sain) [22].

4.2.1. Utilisation de 3 paires de thyristors additionnels

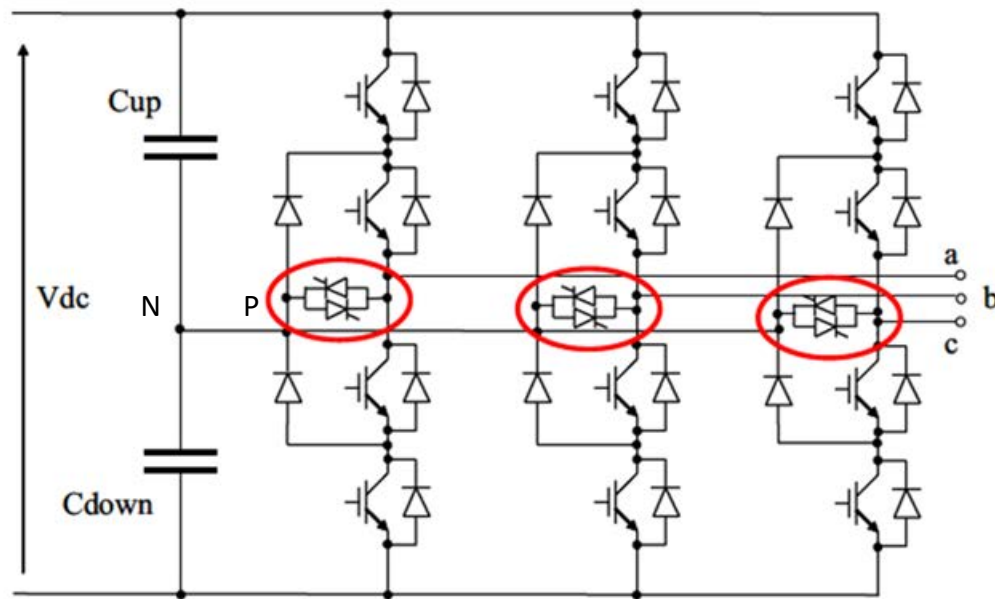


Figure III. 8 : Structure triphasée NPC à 3 niveaux à tolérance de pannes, avec ajout de 3 paires de thyristors [22][23][24][25].

La structure de la Figure III. 7 est l'une des premières topologies NPC à tolérance de pannes qui a été publiée et présentée dans les travaux [22],[23],[24] et [25]. Elle est composée d'un convertisseur triphasé NPC classique auquel 6 thyristors (ou bien encore 3 triacs) ont été ajoutés. Cette structure peut potentiellement assurer la tolérance de pannes pour les deux types de défauts, CO et CC. Seule la publication [23] traite le cas du CC d'un switch alors que les publications [22], [24] et [25] concernent uniquement le cas de CO. Une fois le défaut détecté, tous les IGBT sains du bras défaillant sont commandés à l'ouverture. Les thyristors connectés au bras en défaut sont commandés en permanence à la fermeture afin de relier ce bras au point milieu N du bus DC ; cette action offre au courant de la phase défaillante un chemin de passage bidirectionnel, bien que le bras lié à ces deux thyristors ne soit plus utilisé. Dans tous les cas, le convertisseur fonctionnera alors en mode dégradé avec une réduction d'un facteur $1/\sqrt{3}$ appliqué à la tension composée efficace en sortie; ainsi, seuls les deux bras sains seront commandés après reconfiguration.

4.2.2. Utilisation de fusibles additionnels uniquement

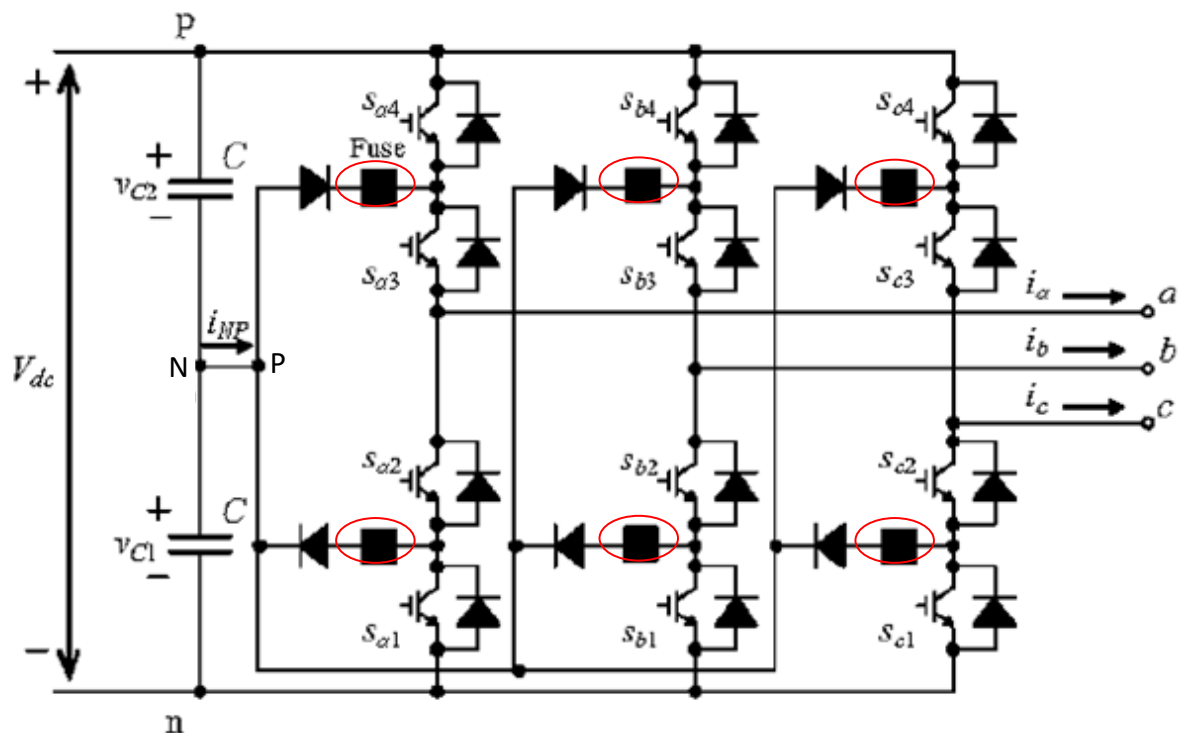


Figure III. 9 : Structure NPC triphasée à 3 niveaux à tolérance de pannes avec ajout de fusibles [26].

La Figure III. 9 nous propose un convertisseur NPC triphasé à 3 niveaux classique pour lequel 2 fusibles par bras ont été ajoutés [26]. La solution proposée consiste à connecter ces fusibles rapides en série avec les diodes de clampe. Les auteurs précisent qu'une technologie d'IGBT dite « presspack » doit être impérativement mise en œuvre afin de conduire systématiquement à un court-circuit de l'IGBT défaillant, quel que soit le défaut initialement survenu (CO ou CC). Ainsi, lors d'une défaillance de type CC ou CO de l'un des IGBT, le fusible relié à l'IGBT concerné permet de déconnecter électriquement ce composant défaillant du reste du convertisseur pour ensuite assurer la continuité de service. Ces fusibles devront avoir une caractéristique i^2t inférieure à celle des IGBT afin que le fusible casse avant les semi-conducteurs de puissance situés dans la boucle de court-circuit, l'IGBT défaillant étant finalement en court-circuit dans tous les cas de défauts. Ainsi, lors d'un défaut sur l'un des deux IGBT du haut d'un bras du convertisseur, le fusible du haut va se rompre et le convertisseur sera reconfiguré en un convertisseur à 2 niveaux. De même, lors d'un défaut sur l'un des deux IGBT du bas d'un bras, le fusible du bas cassera. On doit également rappeler que les défauts pouvant affecter les diodes ne sont pas traités. De plus, le bras affecté par le défaut de l'un de ses IGBT n'est plus utilisé après reconfiguration du convertisseur et les ordres de commande envoyés aux IGBT sains du bras sont mis à zéro (IGBT commandés en permanence à l'ouverture). La Table III. 1 présente les différentes tensions V_{x_n} (avec $x = a, b$ ou c) possibles selon l'IGBT défaillant et après rupture de l'un des deux fusibles. A la lecture de ce tableau, on peut noter qu'après reconfiguration, le niveau de tension $V_{dc}/2$ n'est plus réalisable (passage à 2 niveaux au lieu de 3). Pour cette topologie, les auteurs de la publication [26] mentionnent cependant la difficulté de trouver des fusibles commerciaux bien adaptés aux IGBT utilisés pour le convertisseur.

S_{x4}	S_{x3}	S_{x2}	S_{x1}	Tensions V_{xn} possibles pour la phase x
OK	OK	OK	OK	V_{dc} ou $V_{dc}/2$ ou 0
Défaillant	OK	OK	OK	V_{dc} ou 0
OK	Défaillant	OK	OK	V_{dc} ou 0
OK	OK	Défaillant	OK	V_{dc} ou 0
OK	OK	OK	Défaillant	V_{dc} ou 0

Table III. 1: Tensions V_{xn} possibles selon l'état des IGBT du bras lié à la phase x (Montage Figure III. 9).

4.2.3. Utilisation de fusibles associés à des thyristors

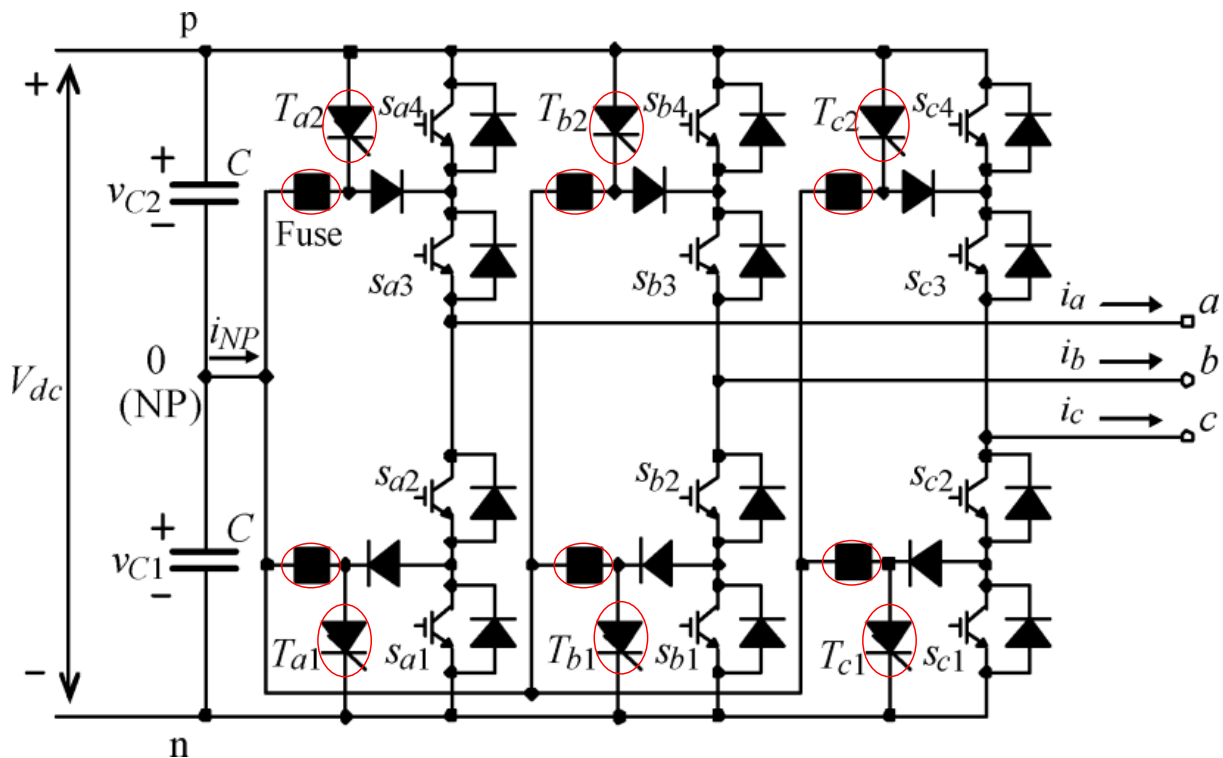


Figure III. 10 : Structure NPC triphasée à 3 niveaux à tolérance de pannes avec ajout de thyristors et de fusibles [27].

La Figure III. 10 présente une configuration de convertisseur NPC à tolérance de pannes, en partie similaire à la topologie de la Figure III. 9. En plus des fusibles additionnels, 2 thyristors ont également été ajoutés pour chacun des trois bras. Aussitôt après la détection d'un défaut (CO ou CC) de l'un des IGBT de technologie de type Presspack, ces thyristors vont permettre de générer une boucle de court-circuit d'un des deux demi-bus DC via le fusible et ainsi rompre ce dernier sans avoir à insérer un semi-conducteur (IGBT ou diode) dans cette boucle. Comme nous l'avons mentionné auparavant, le choix de fusibles suffisamment rapides peut être complexe et cette solution proposée par les auteurs de [27] évite tout risque de destruction d'un des IGBT lorsque l'on veut isoler

physiquement l'IGBT défailant du reste du montage. Le choix de cette approche repose sur le fait qu'il est plus aisé de protéger un thyristor en court-circuit par un fusible « classique » qu'un IGBT. Ensuite, les tensions V_{xn} que l'on peut générer sont identiques à celles précédemment résumées dans la Table III. 1.

4.3. Structure NPC à tolérance de pannes avec ajout d'IGBT

4.3.1. IGBT additionnel pour garantir un fonctionnement en mode nominal après défaut

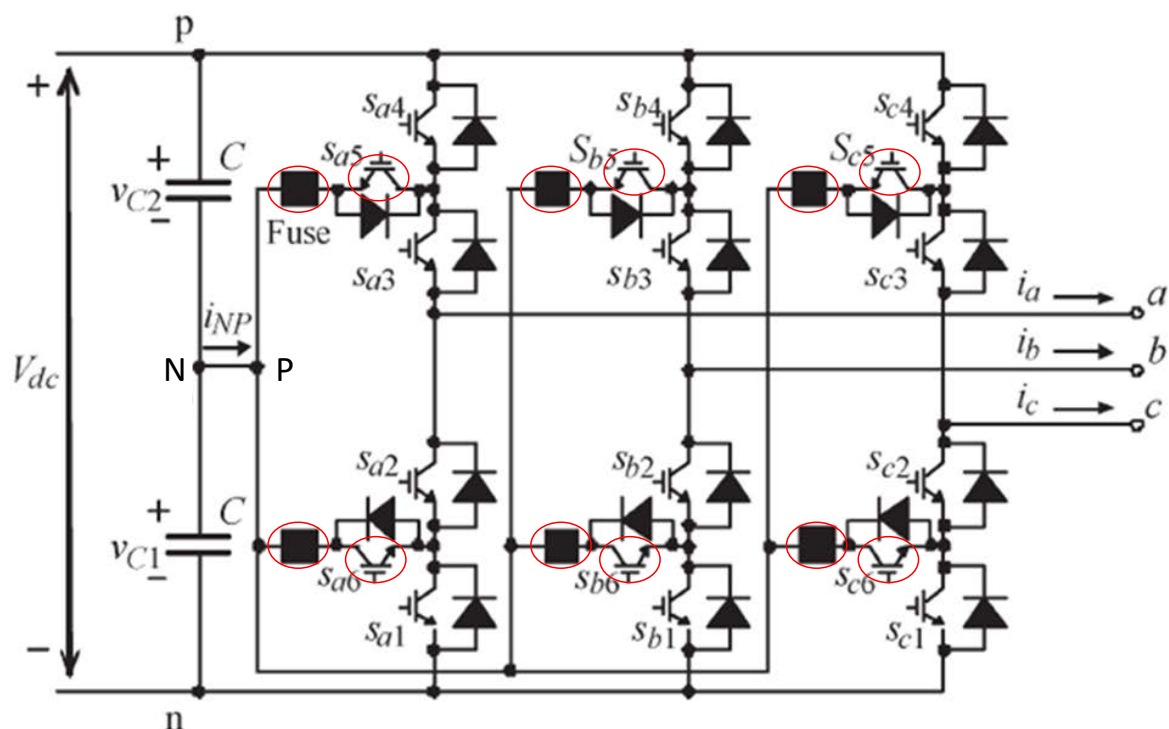


Figure III. 11 : Structure NPC triphasée à 3 niveaux à tolérance de pannes avec ajout d'IGBT et de fusibles [27].

La Figure III. 11 présente un convertisseur NPC triphasé classique à 3 niveaux auxquels les auteurs de la publication [27] ont proposé d'ajouter, pour chaque bras, 2 fusibles connectés en série avec les diodes de clampe, ainsi que deux IGBT. Ces composants additionnels permettent de garantir la continuité de service du convertisseur en mode nominal lors de la défaillance de type CC ou CO de l'un des IGBT. Les IGBT additionnels sont ouverts en permanence en mode sain et ne sont donc utilisés qu'en cas de défauts. Ici encore, les auteurs précisent qu'une technologie Presspack, permettant de conduire dans tous les cas de pannes à un court-circuit de l'IGBT, doit être impérativement utilisée. De même que pour la structure précédemment étudiée, les fusibles

devront avoir une caractéristique i^2t plus faible que celle des IGBT pour pouvoir se rompre sans détruire un IGBT. Les défaillances des diodes ne sont pas traitées.

La contribution des IGBT additionnels est de permettre de fonctionner en mode nominal après défaut d'un IGBT, ce qui n'était pas le cas pour la structure de la Figure III. 10 car tous les niveaux de tension pour V_{xn} n'étaient plus réalisables après défaut (perte du niveau $V_{dc}/2$ dans la Table III. 1). Pour cette topologie Figure III. 11, le rôle et le principe de rupture des fusibles est identique au cas de la section précédente. Cependant, une fois le fusible rompu, une commande adaptée des IGBT additionnels permet de réaliser le niveau de tension $V_{dc}/2$, impossible à générer dans le cas précédent. Notons que pour palier la difficulté de trouver des fusibles commerciaux adaptés aux IGBT et ainsi pouvoir assurer la rupture des fusibles sans détruire d'IGBT, il est également possible d'ajouter des triacs à la structure comme lors de l'approche proposée par la Figure III. 10. La Table III. 2 présente les différentes tensions V_{xn} possibles pour le bras x (avec $x = a, b$ ou c) selon l'IGBT défaillant ; nous pouvons noter que tous les niveaux des tensions de pôles restent possibles après défaut d'un IGBT et reconfiguration du convertisseur, grâce aux IGBT additionnels.

S_{x4}	S_{x3}	S_{x2}	S_{x1}	Tensions V_{xn} possibles pour la phase x
OK	OK	OK	OK	V_{dc} ou $V_{dc}/2$ ou 0
Défaillant	OK	OK	OK	V_{dc} ou $V_{dc}/2$ ou 0
OK	Défaillant	OK	OK	V_{dc} ou $V_{dc}/2$ ou 0
OK	OK	Défaillant	OK	V_{dc} ou $V_{dc}/2$ ou 0
OK	OK	OK	Défaillant	V_{dc} ou $V_{dc}/2$ ou 0

Table III. 2 : Tensions V_{xn} possibles selon l'état des IGBT du bras lié à la phase x (Figure III. 11).

4.3.2. IGBT additionnels utilisés en mode sain comme 4^{ème} bras de type FC

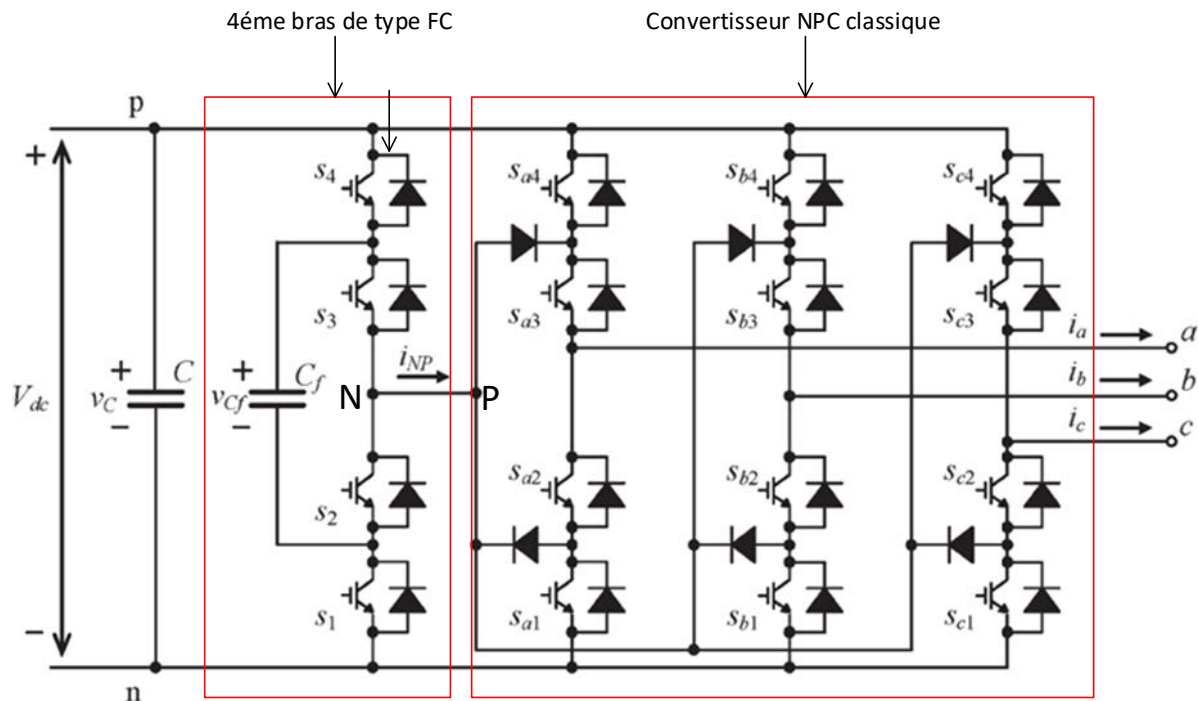


Figure III. 12 : Structure NPC triphasée à 3 niveaux avec 4^{ème} bras additionnel à capacité flottante [28], [29].

Les propositions de structures à tolérance de pannes qui suivent sont basées sur une structure de base en mode sain, constituée d'un convertisseur NPC classique auquel est ajouté un quatrième bras de type Flying Capacitor (FC) [28], [29]. Cette structure est représentée à la Figure III. 12. En mode sain, ce quatrième bras additionnel est néanmoins utilisé ; il est commandé afin de réduire au minimum les oscillations basse fréquence du potentiel du point N de la Figure III. 12 [28], [29] ; ce potentiel correspond au potentiel du point milieu du bus DC d'une structure NPC classique, sans quatrième bras et sans tolérance de pannes. Lors d'un défaut d'un des IGBT, ce bras va alors permettre de reconfigurer la structure du convertisseur. Différentes possibilités de reconfigurations sont envisageables.

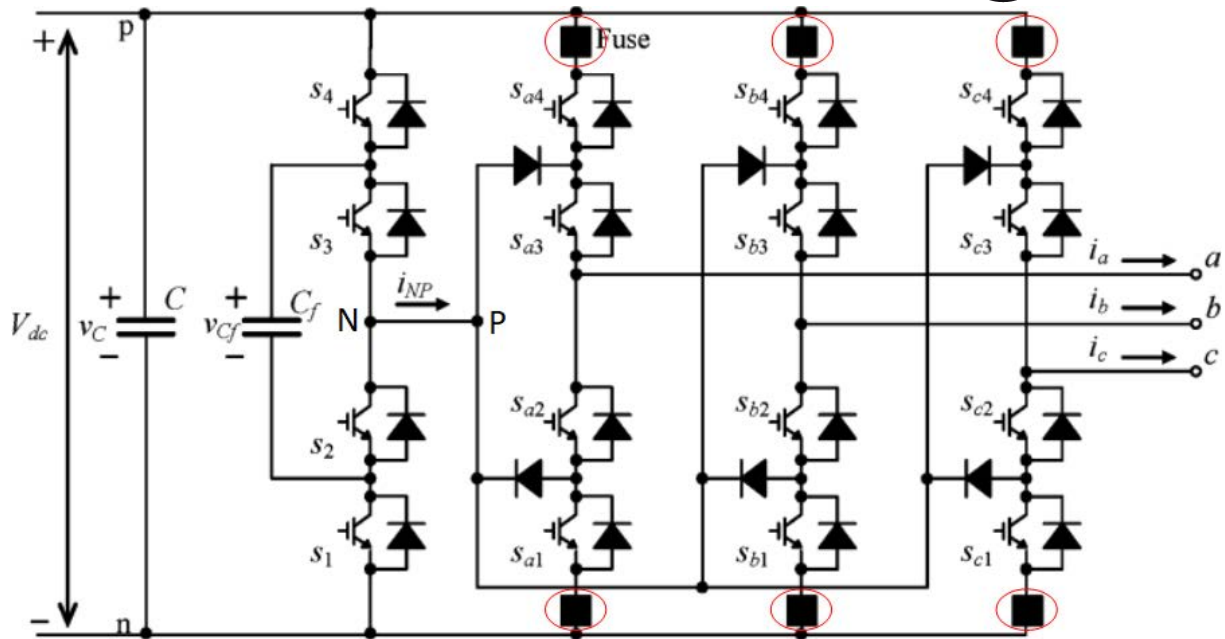


Figure III. 13 : Structure NPC triphasée à tolérance de pannes avec 4^{ème} bras et ajout de fusibles [28].

La première proposition de structure pour garantir la tolérance de pannes, basée sur le convertisseur de la Figure III. 12, est d'ajouter 2 fusibles rapides au niveau de chaque bras du convertisseur NPC (Figure III. 13) [28]. Une technologie Presspack, du type de celle proposée par ABB et recommandée par les auteurs de [28], doit être impérativement utilisée pour les six IGBT dits internes et notés S_{x2} et S_{x3} (avec $x = a, b$ ou c). En effet, afin de pouvoir reconfigurer correctement le convertisseur quel que soit le défaut (CC ou CO) de l'un de ces six IGBT internes, l'IGBT défaillant doit dans tous les cas se comporter comme un court-circuit. Pour les six autres IGBT dits externes, notés S_{x1} et S_{x4} (avec $x = a, b$ ou c), il n'y a pas à prendre en compte cette contrainte technologique pour la reconfiguration du convertisseur ; ces derniers peuvent indifféremment subir un défaut de type CC ou CO dans l'approche proposée [28].

Notons que lors d'un défaut (CO ou CC) de l'un des IGBT du quatrième bras, le convertisseur est alors reconfiguré en un convertisseur NPC triphasé standard à trois bras : le bras additionnel n'est plus utilisé et la minimisation des oscillations basse fréquence du potentiel du point N n'est donc plus assurée.

Considérons maintenant la défaillance (CO ou CC) de l'un des IGBT des trois autres bras. Deux modes de commandes sont alors possibles pour garantir la continuité de service, associés à une unique procédure de reconfiguration de la structure du convertisseur de la Figure III. 12. En effet, lors d'un défaut sur l'un des IGBT de ces trois bras, il sera d'abord nécessaire de rompre les deux fusibles du bras défaillant par une commande adaptée des IGBT. Ensuite, la phase défaillante sera connectée en permanence au point N du quatrième bras à l'aide des diodes de clampe et de la fermeture permanente des deux IGBT internes (l'un des deux peut être en défaut et donc en court-circuit). Une fois le convertisseur reconfiguré comme décrit précédemment, deux modes de commande sont alors possibles. Dans un premier mode de commande, le quatrième bras assure toujours sa fonctionnalité initiale (minimisation des oscillations basse fréquence) et permet de fournir le potentiel du point N aux deux autres bras sains qui fonctionneront alors normalement en trois niveaux, alors que le bras

en défaut reste en permanence connecté au potentiel du point N. Pour ce mode de commande et après défaut, le convertisseur fonctionne donc en mode dégradé avec une perte de capacité de puissance. Dans un second mode de commande possible, le quatrième bras est utilisé comme bras redondant et remplace le bras défaillant qui n'assure plus sa fonctionnalité initiale ; il permet donc de fournir les trois niveaux de tension initiaux à la phase défaillante. Cependant, les deux autres bras sains ne peuvent alors générer que deux niveaux de tension au lieu de trois. L'avantage de ce mode de commande est qu'il permet de fonctionner à puissance nominale après défaut, mais néanmoins en mode dégradé, car deux des trois phases fonctionnent en deux niveaux.

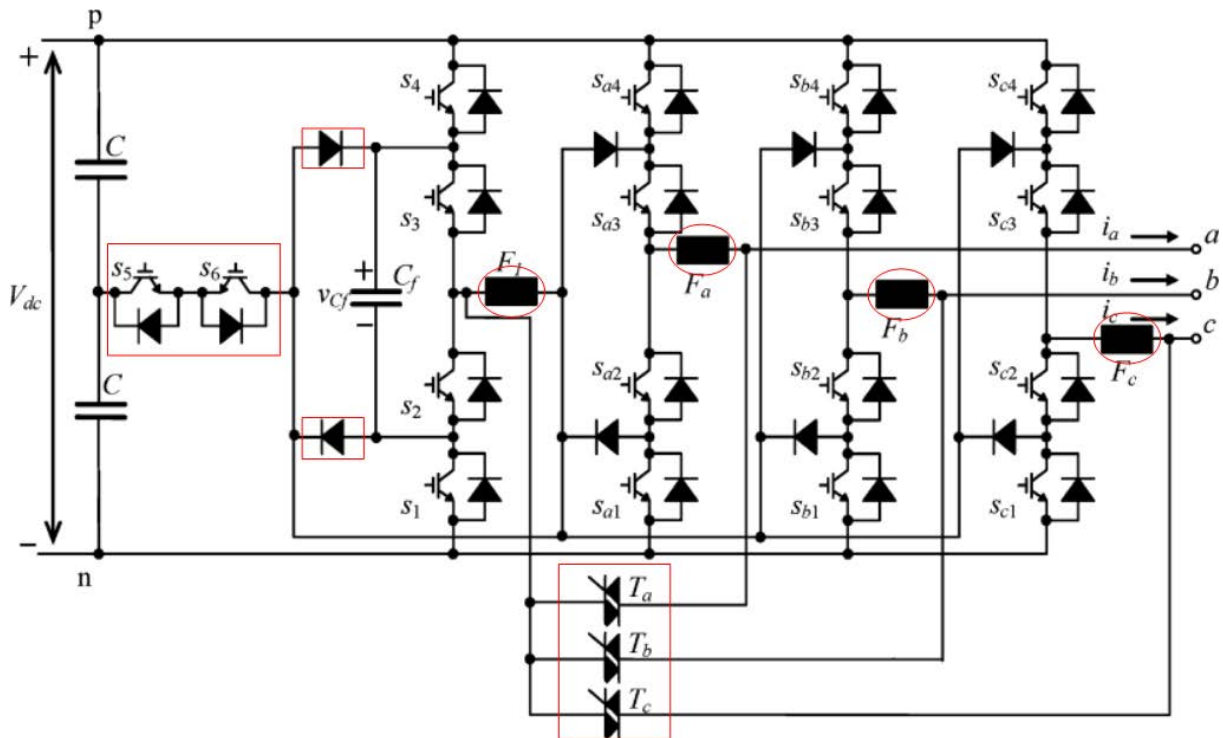


Figure III. 14 : Structure NPC triphasée à 3 niveaux à tolérance de pannes avec 4^{ème} bras et ajout de fusibles, triacs, diodes et IGBT [28].

La seconde proposition de structure basée sur le convertisseur de la

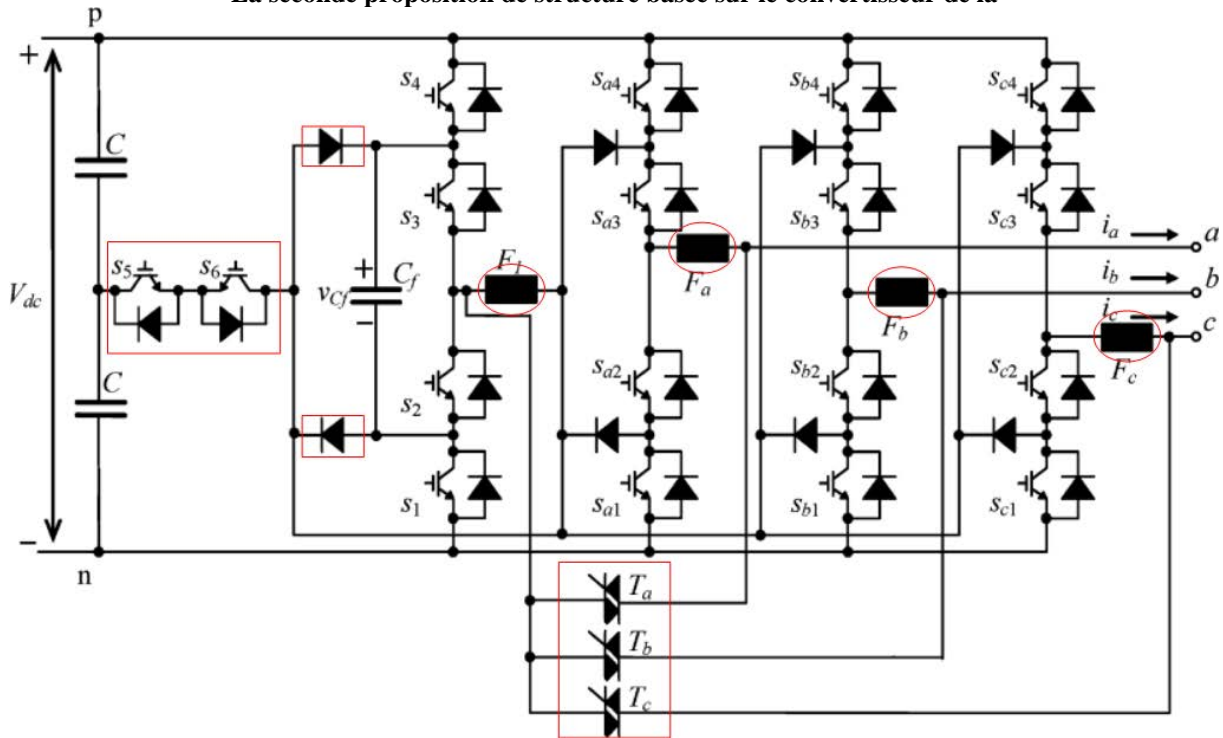


Figure III. 14 est représentée à la Figure III. 15. Comparée à la structure de base (

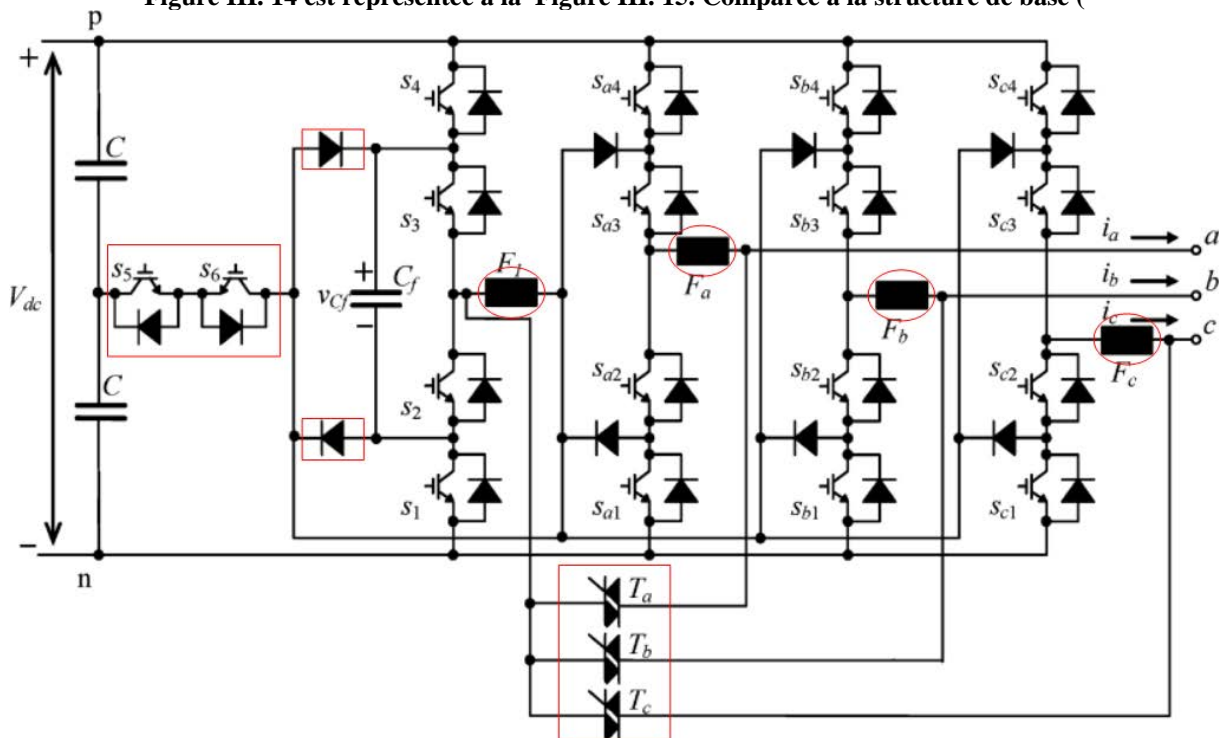


Figure III. 14), 4 fusibles, 2 IGBT, 4 diodes ainsi que 3 triacs ont été ajoutés. Comme précédemment, dans le cas d'un défaut d'IGBT du quatrième bras, le convertisseur est reconfiguré comme un convertisseur NPC 3 à niveaux classique [28]. Dans le cas où un défaut est détecté au niveau d'un des IGBT de la phase x (avec $x = a, b$ ou c), il est nécessaire de rompre les deux fusibles $F1$ et F_x (avec $x = a, b$ ou c) par une commande adaptée des IGBT. La contrainte d'une technologie « Presspack » des IGBT interne subsiste donc pour cette structure. Une fois les deux fusibles rompus, il faut

commander en permanence à la fermeture les deux IGBT S5 et S6 ainsi que le triac Tx (avec $x = a, b$ ou c) du bras en défaut. Ainsi, le quatrième bras se substitue alors au bras défaillant qui a été préalablement isolé électriquement du montage grâce à la procédure de reconfiguration précédemment décrite. Après défaut, le convertisseur continue de fonctionner comme un convertisseur NPC standard en mode nominal, sans toutefois disposer de la fonctionnalité du quatrième bras (minimisation des oscillations basse fréquence).

4.3.3. IGBT additionnels utilisés en mode sain comme 4^{ème} bras résonant

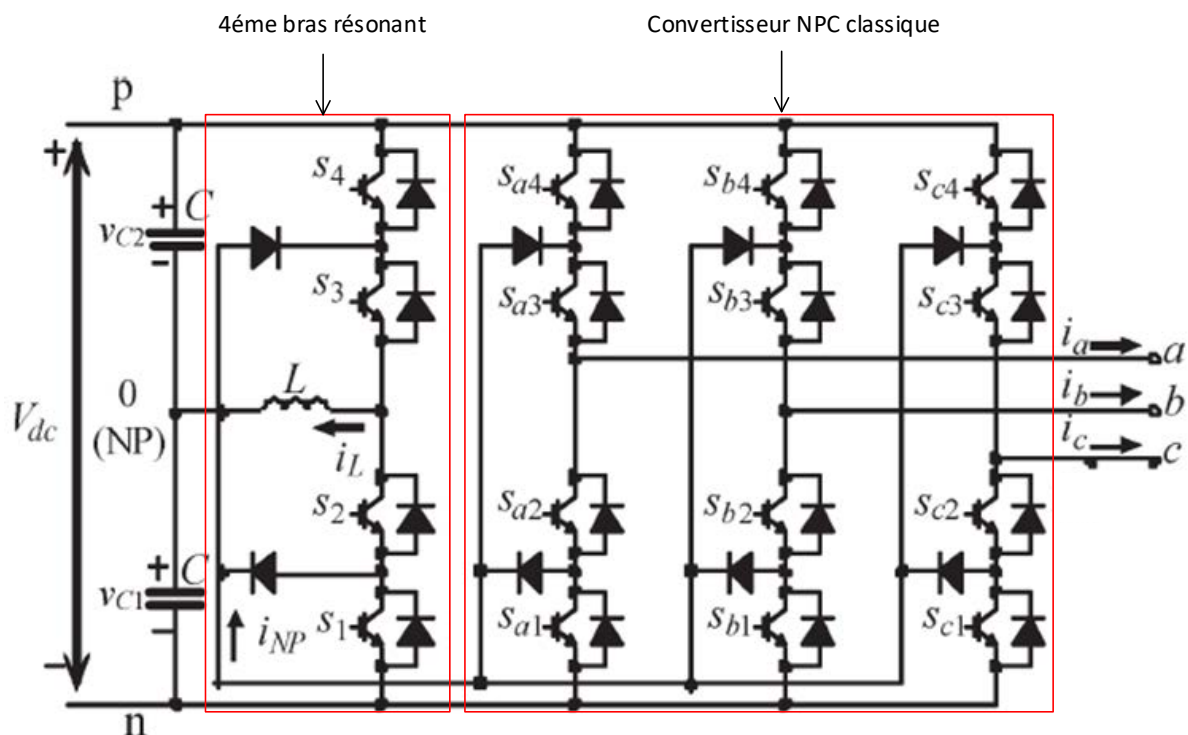


Figure III. 15 : Structure NPC triphasée classique à 3 niveaux en mode sain avec un 4^{ème} bras résonant [30], [31], [32].

Les propositions de structures à tolérance de pannes décrites dans cette section sont basées sur un convertisseur NPC classique à 3 niveaux auquel est ajouté un quatrième bras résonant, comme représenté à la Figure III. 15 [30], [31]. En mode sain, ce bras résonant a pour fonctionnalité de minimiser les oscillations basse fréquence du potentiel du point O (point NP de la Figure III. 15) [30], [31]. Lors de la défaillance de l'un des IGBT (CC ou CO), ce bras va nous permettre de reconfigurer le convertisseur.

4.3.3.1. Structures basées sur l'ajout de contacteurs

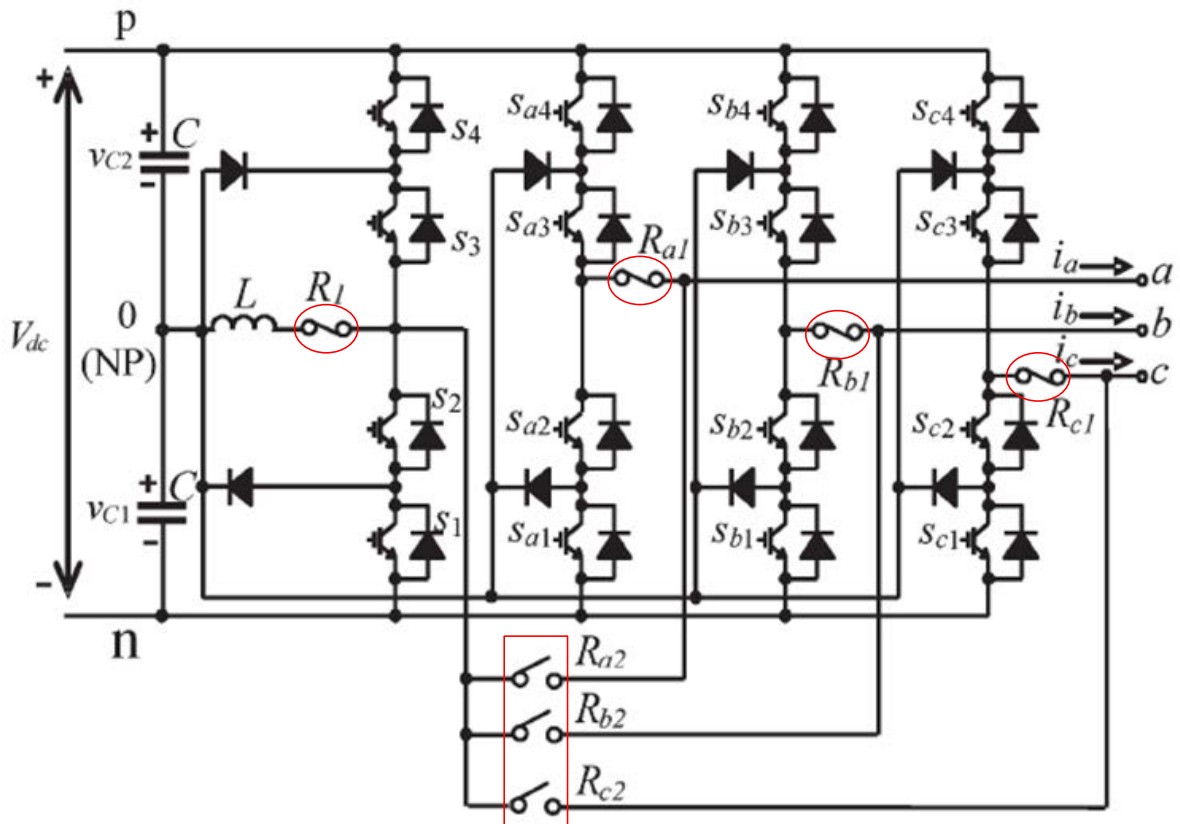


Figure III. 16 : Structure NPC triphasée à 3 niveaux à tolérance de pannes avec 4^{ème} bras résonant et ajout de contacteurs [30], [31].

Comme on peut le voir sur la Figure III. 16, sept contacteurs ont été ajoutés au convertisseur de la Figure III. 15 pour garantir sa tolérance de pannes en reconfigurant le convertisseur [30], [31]. Notons que lors d'un défaut (CO ou CC) de l'un des IGBT du quatrième bras résonant, le convertisseur est alors reconfiguré en un convertisseur NPC triphasé standard à trois bras : le bras additionnel n'est plus utilisé et la minimisation des oscillations basse fréquence du potentiel du point O n'est donc plus assurée.

Dans le cas d'un défaut (CC ou CO) sur l'un des IGBT d'un des bras principaux et connectés à la phase x (avec $x = a, b$ ou c), il sera nécessaire d'ouvrir tous les IGBT du convertisseur, puis d'ouvrir ensuite les contacteurs R1 et Rx1 et fermer le contacteur Rx2. Le bras résonant est alors substitué au bras défaillant ; le convertisseur ainsi reconfiguré devient une structure NPC classique similaire à la Figure III. 7. Il faut noter que les IGBT du bras endommagé peuvent être soumis à la totalité du bus DC durant le procès de reconfiguration du convertisseur ; pour cette structure, il faut donc surdimensionner en tension tous les IGBT des trois bras [30]. L'inconvénient majeur de cette structure réside dans la mise en œuvre de contacteurs qui ont un temps de réponse très élevé (plusieurs dizaines de millisecondes), comparativement au temps de réponse de composants de puissance ou de fusibles. Ainsi, le temps nécessaire à la reconfiguration du convertisseur sera très

élevé. Néanmoins, le principal avantage de cette structure est qu'à la fin du processus de reconfiguration, le convertisseur fonctionne en mode nominal.

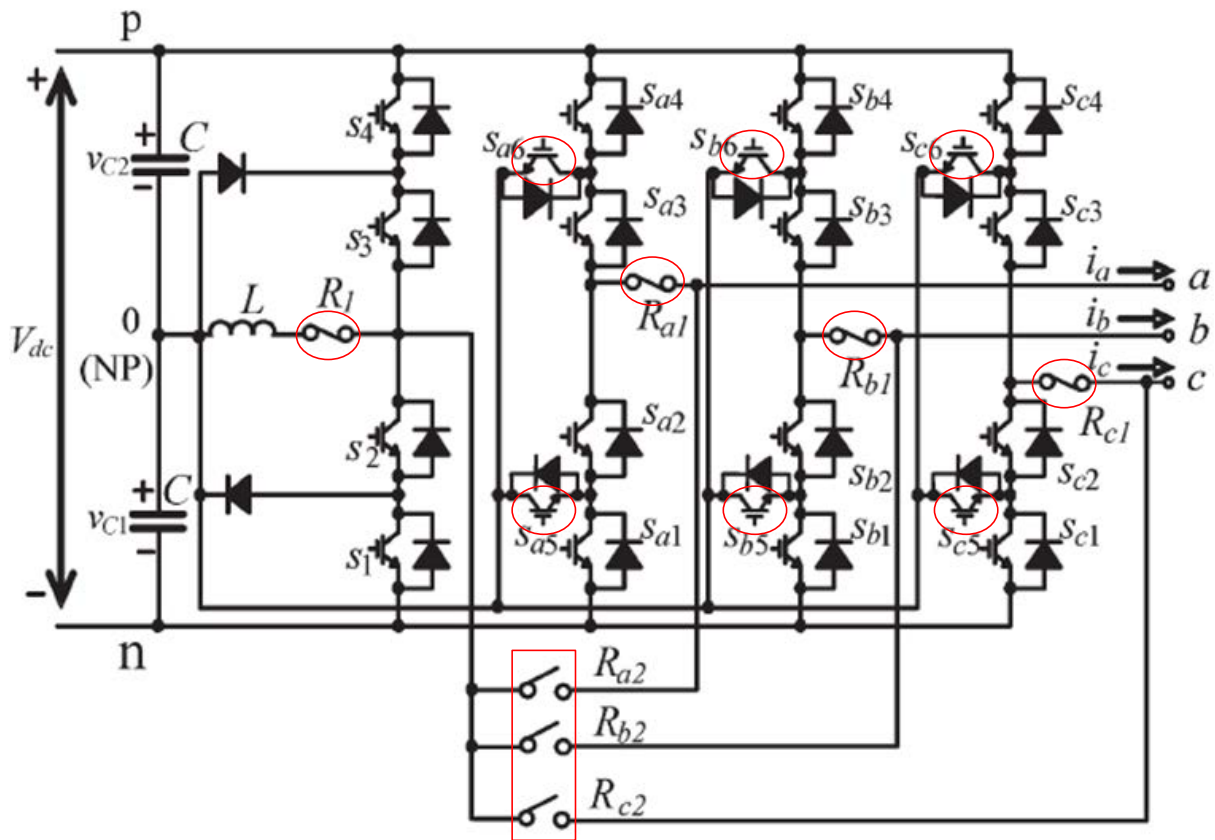


Figure III. 17 : Structure NPC triphasée à 3 niveaux à tolérance de pannes avec 4^{ème} bras résonant et ajout de contacteurs et d'IGBT [31].

Une première variante de la solution proposée à la Figure III. 16 consiste à remplacer toutes les diodes de clampe par des interrupteurs 3 segments (IGBT+ diode), en plus de l'ajout de contacteurs [30]. La structure résultante est présentée à la Figure III. 17. L'intérêt d'ajouter ces six IGBT est de ne plus avoir à surdimensionner les IGBT comme cela était le cas auparavant [31]. Le processus de reconfiguration est le même que précédemment.

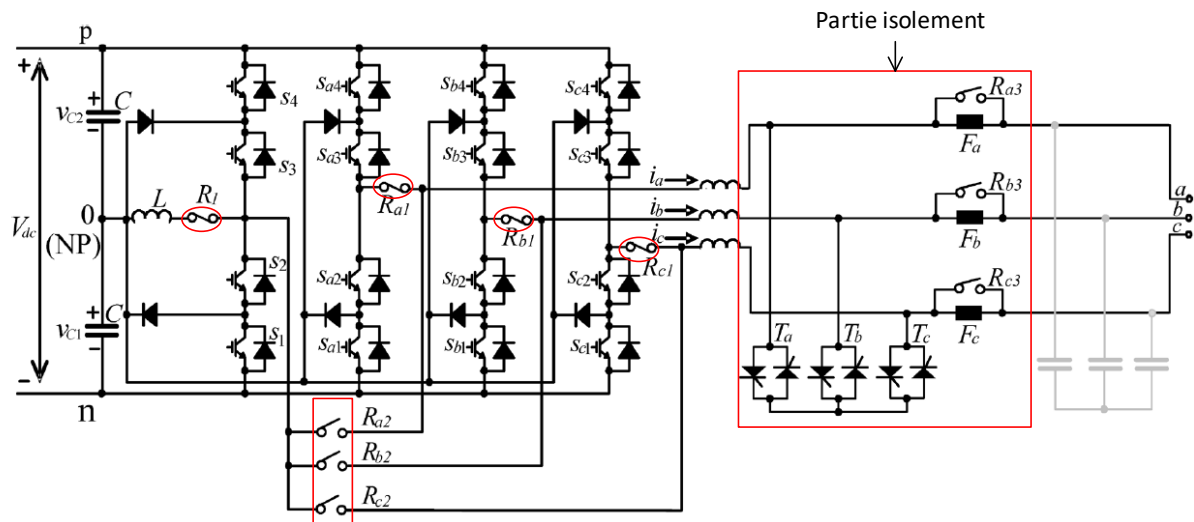


Figure III. 18 : Structure NPC triphasée à 3 niveaux à tolérance de pannes avec 4^{ème} bras résonant et ajout de contacteurs, fusibles et thyristors [30].

La Figure III. 18 propose une seconde variante de convertisseur à tolérance de pannes, dérivée également de celle présentée à la Figure III. 16 [30]. Des fusibles rapides, des contacteurs ainsi que des thyristors ont été ajoutés à la structure de la Figure III. 15 pour reconfigurer le convertisseur après détection d'un défaut (CO ou CC). Ici encore, les contacteurs serviront à isoler le bras défaillant afin de le remplacer par le bras résonant ; de plus, les triacs et les fusibles (partie isolement Figure III. 18) serviront à isoler le convertisseur de la charge lors du processus de reconfiguration. Cette variante apporte donc une solution intéressante lorsque le convertisseur est connecté au réseau ou à une machine électrique, par exemple. En effet, la reconfiguration n'affecte pas la charge.

4.3.3.2. Structure basée sur l'ajout de fusibles et de thyristors

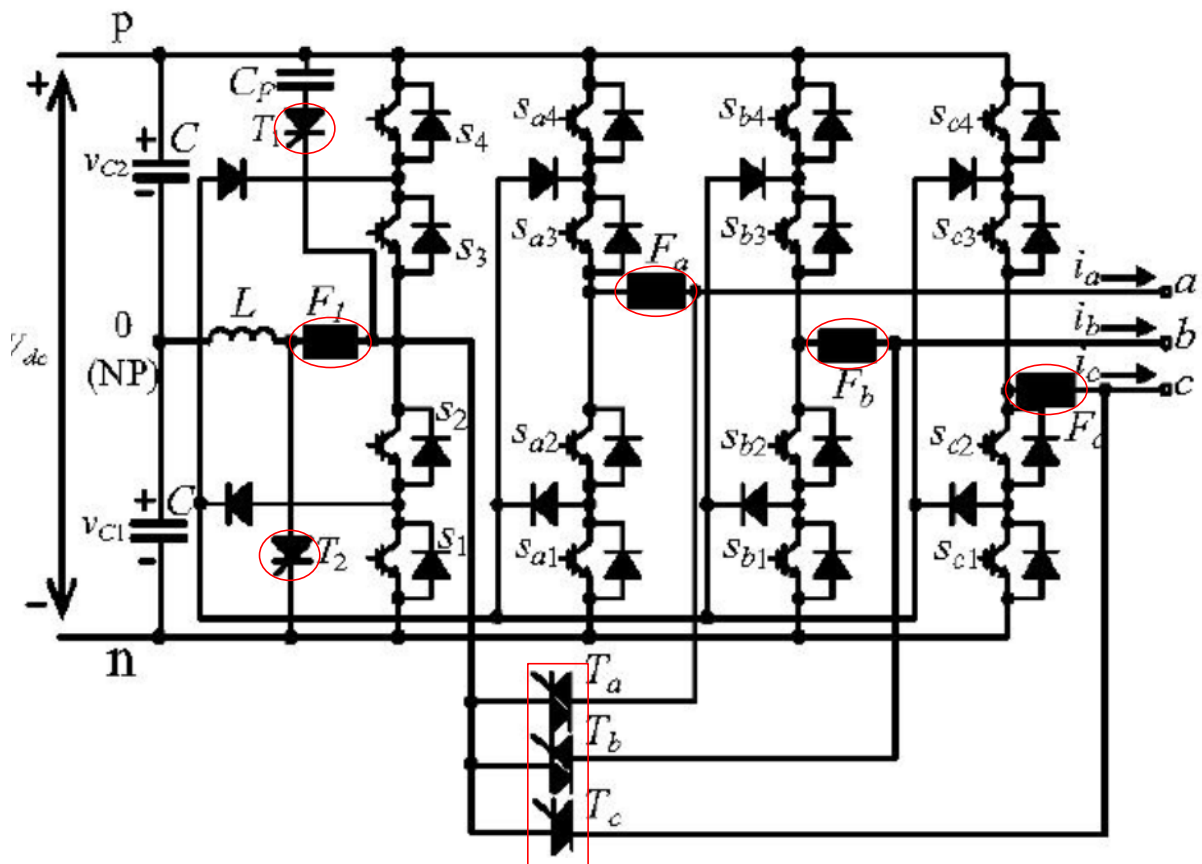


Figure III. 19 : Structure NPC triphasée à 3 niveaux à tolérance de pannes avec 4^{ème} bras résonant et ajout de fusibles et de triacs [32].

Pour pallier à la lenteur des contacteurs utilisés dans les 3 solutions précédentes, les auteurs de la publication [32] proposent de remplacer ces derniers par 3 triacs et 4 fusibles. La structure résultante est présentée à la Figure III. 19 ; deux thyristors, nommés T1 et T2, y sont également ajoutés afin de rompre le fusible F1. Lors d'un défaut (CC ou OC) d'un IGBT du quatrième bras résonant, les thyristors T1 et T2 sont fermés, ce qui a pour effet de rompre le fusible F1 et ainsi reconfigurer le convertisseur en un convertisseur NPC standard. Lors d'un défaut (CC ou OC) d'un IGBT du bras x (avec x=a, b, c), la procédure de reconfiguration consiste à rompre les fusibles F1 et F_x et fermer en permanence le triac T_x. Ainsi, le convertisseur est reconfiguré en un convertisseur NPC classique, fonctionnant en mode nominal.

4.4. Structures ANPC et T-type à tolérance de pannes sans ajout d'IGBT

4.4.1. Utilisation de fusibles associés à des thyristors

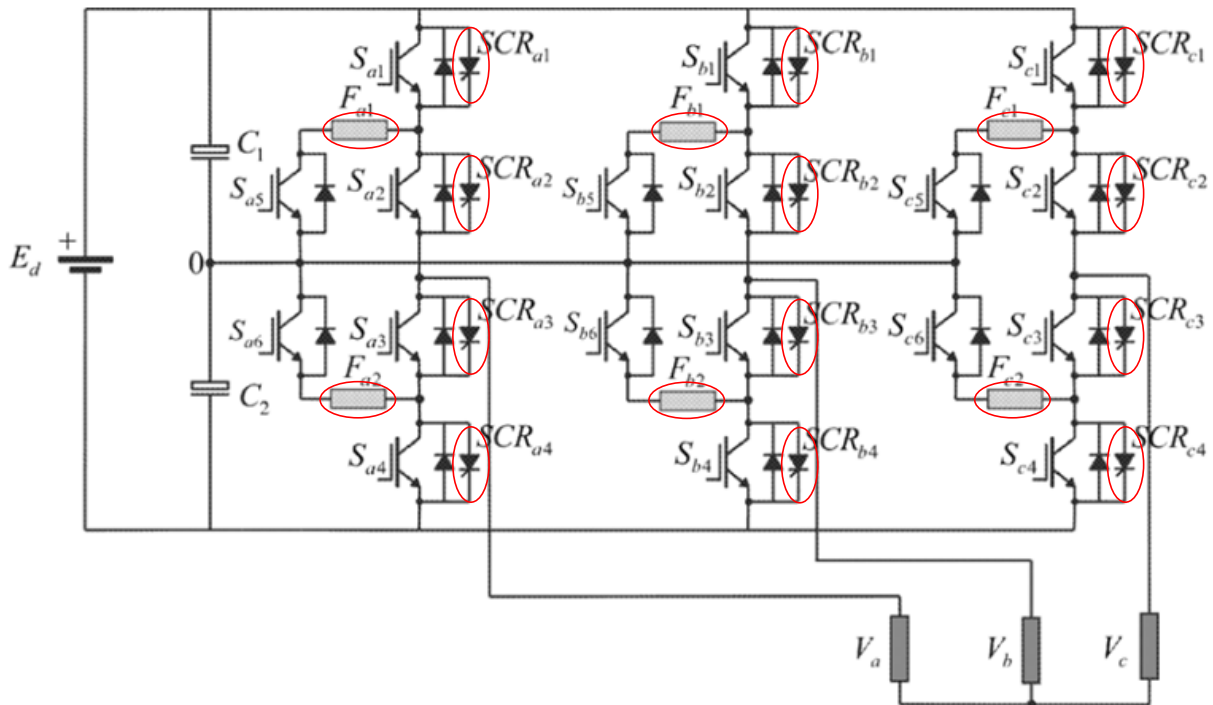


Figure III. 20 : Structure ANPC triphasée à 3 niveaux à tolérance de pannes avec ajout de thyristors et de fusibles [33].

La structure à tolérance de pannes présentée à la Figure III. 20 est composée d'un convertisseur ANPC standard auquel 4 thyristors additionnels par bras ont été ajoutés en parallèle avec les switches S_{x1} , S_{x2} , S_{x3} , S_{x4} (avec $x = a, b$ ou c) ; de plus, 2 fusibles par bras ont été également ajoutés, connectés en série avec les switches S_{x5} et S_{x6} [33]. Ce convertisseur permet de garantir la continuité de service pour tous les types de défauts (CO ou CC) d'un IGBT. L'ajout de thyristors permet de réaliser dans tous les cas de défauts un court-circuit des switches S_{x1} à S_{x4} , évitant ainsi d'imposer le choix d'une technologie Presspack pour ces composants. Dans [33], les auteurs proposent plusieurs reconfigurations possibles selon la localisation du défaut. Par exemple, dans le cas d'un défaut sur l'un des switches S_{x1} (avec $x = a, b$ ou c), le fusible connecté au composant défaillant est volontairement rompu, ainsi que deux autres fusibles « homologues » pour obtenir une configuration similaire pour les trois bras, voir Figure III. 21. Par conséquent, l'un des switches subit la totalité du bus continu, comme le montre la Figure III. 21, d'où la nécessité de préalablement surdimensionner tous les switches.

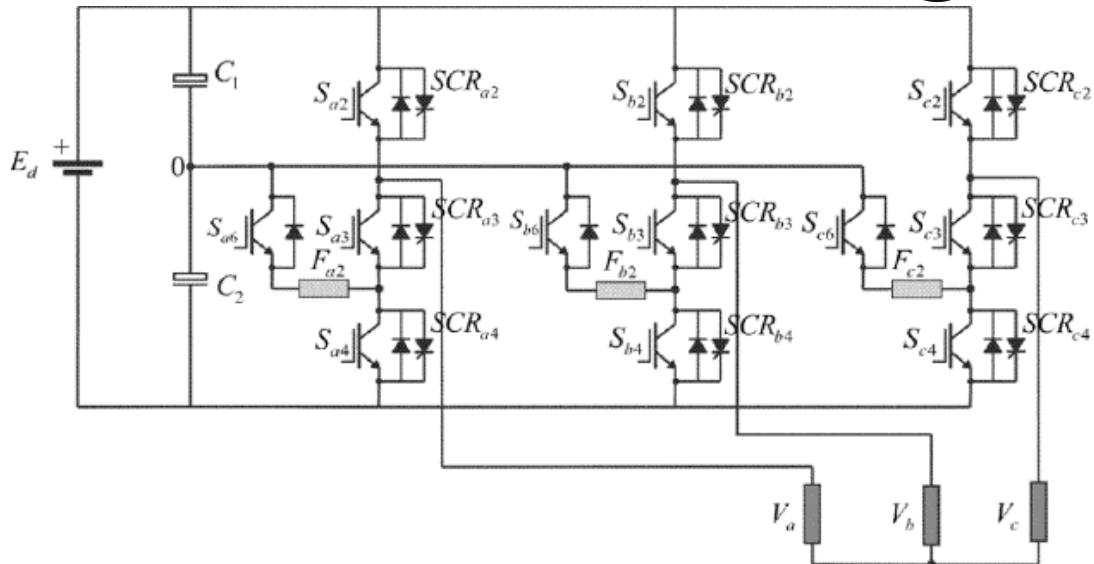


Figure III. 21: Exemple de reconfiguration de la topologie Figure III. 20 dans le cas d'un défaut sur l'un des switches S_{x1} .

Dans le cas d'un circuit ouvert de S_{x5} ou S_{x6} , le convertisseur est reconfiguré en une topologie NPC standard, tous les switches placés en parallèle des diodes de clampe étant alors commandés à l'ouverture. Lors d'un court-circuit de S_{x5} , le fusible F_{x1} est volontairement rompu et le convertisseur reconfiguré finalement obtenu est identique à celui de la Figure III. 21. Les inconvénients majeurs de cette topologie sont le grand nombre de composants additionnels ainsi que le surdimensionnement des composants. Néanmoins et en contrepartie, le convertisseur fonctionne toujours en mode nominal, quel que soit le défaut survenu.

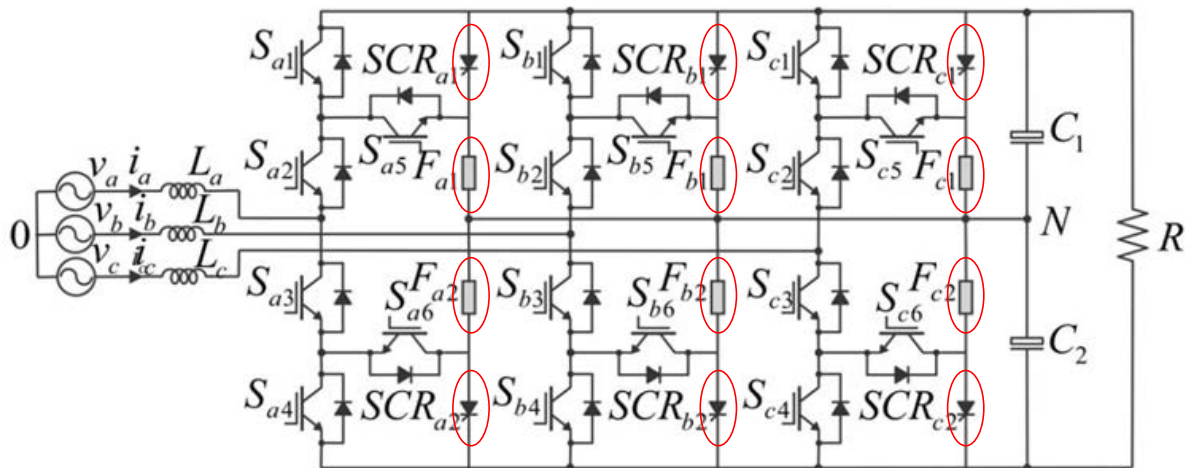


Figure III. 22 : Structure ANPC triphasée à 3 niveaux à tolérance de pannes avec ajout de thyristors et de fusibles [34].

La Figure III. 22 présente une variante de la structure présentée à la Figure III. 20. Cette structure comporte un nombre réduit de composants additionnels, car il n'y a plus que 2 fusibles et 2 triacs supplémentaires par phase. En contrepartie, dans le cas d'un défaut de type circuit ouvert de l'un des

switches S_{x1} à S_{x4} , le convertisseur peut continuer à fonctionner, mais avec un transfert d'énergie unidirectionnel. Les autres cas de défauts sont traités de la même façon que précédemment.

4.5. Structure ANPC et T-type à tolérance de pannes avec ajout d'IGBT

4.5.1. IGBT additionnels pour garantir le fonctionnement à puissance nominale après défaut

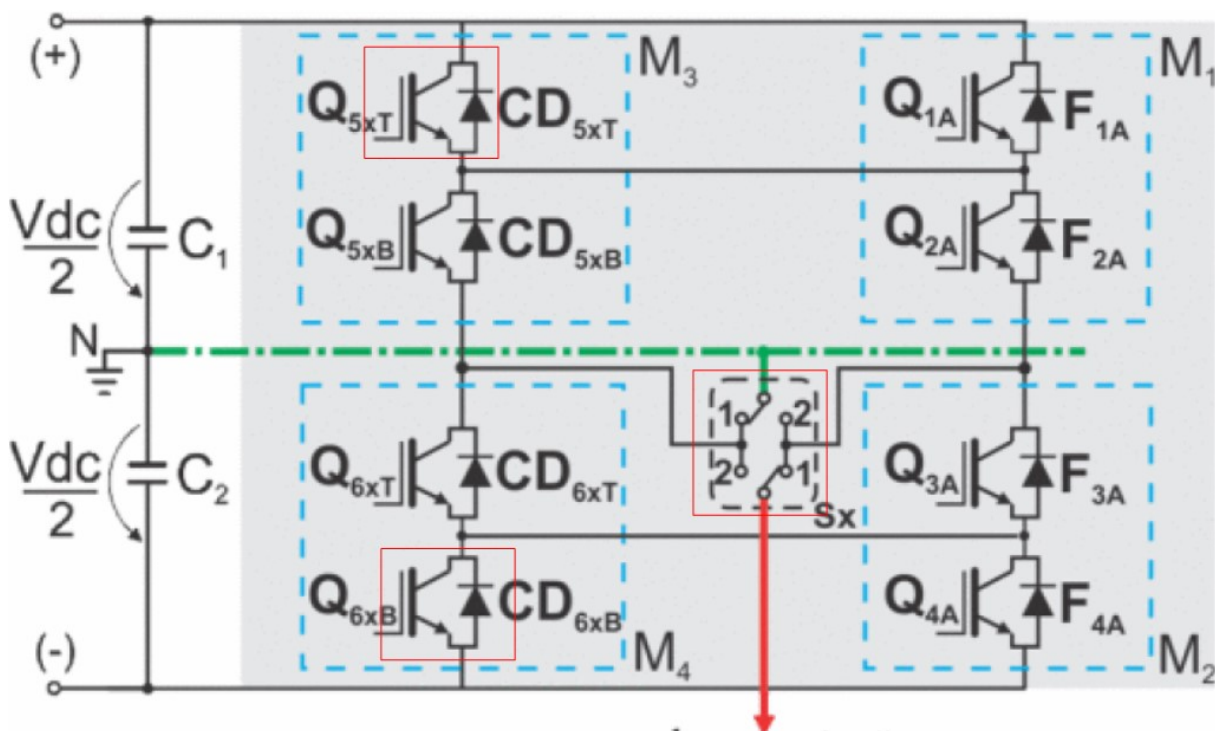


Figure III. 23 : Structure ANPC à 3 niveaux à tolérance de pannes avec ajout de switches et de commutateur (phase x) [35].

La Figure III. 23 présente une des phases d'un convertisseur ANPC standard auquel ont été ajoutés pour chaque phase un module de deux IGBT avec diodes en antiparallèle ainsi qu'un commutateur S_x [35]. Cette structure ne traite que les défauts de type CO des IGBT. En mode sain, elle fonctionne exactement comme un convertisseur ANPC classique avec les switches Q_{5xT} et Q_{6xB} commandés en permanence à l'ouverture et les commutateurs S_x en position 1. Lors d'un défaut de type circuit ouvert sur l'un des switches, ce convertisseur continue de fonctionner en mode nominal. Dans [35], un tableau (non mentionné dans ce mémoire) résume les différentes actions à réaliser en cas de défaut, le convertisseur pouvant être reconfiguré en une structure ANPC ou bien en NPC.

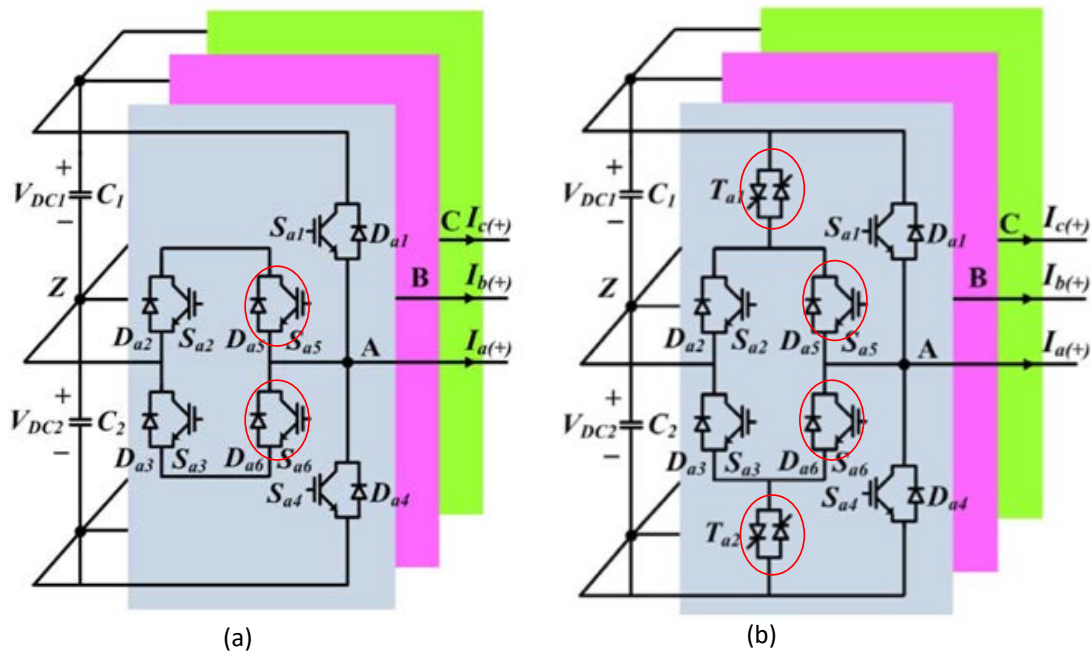


Figure III. 25 : Structure T-Type triphasée à 3 niveaux à tolérance de pannes avec ajout d'IGBT (Figures a et b) et de thyristors (Figure b) [37].

La Figure III. 25 (a) présente une nouvelle proposition de convertisseur T-type à tolérance de pannes [37]. Dans cette topologie, 2 IGBT et 2 diodes en antiparallèle ont d'abord été ajoutés au convertisseur classique afin de permettre plusieurs connexions entre le point milieu du bus DC et la phase défaillante, lors d'un défaut de type CO de l'un des IGBT S_{x2} ou S_{x3} (avec $x = A, B$ ou C). Si l'on souhaite également assurer la tolérance de pannes lors d'un défaut de type CO de l'un des IGBT S_{x1} ou S_{x4} (avec $x = A, B$ ou C), il est nécessaire de modifier la structure de la Figure III. 25 (a) selon la Figure III. 25 (b) [37]. L'ajout de 2 triacs par phase permet ainsi d'utiliser le convertisseur en mode nominal après sa reconfiguration. Par exemple, si un défaut (CO) intervient sur S_{a1} , le triac T_{a1} sera commandé en permanence à la fermeture et la commande imposée avant défaut à S_{a1} sera donc imposée à S_{a5} . Cependant, il ne sera alors plus possible de connecter S_{a5} au point milieu du bus DC et il faudra donc fermer S_{a3} ou S_{a6} selon le signe du courant de phase, pour générer ce niveau de tension. Plus de détails sont fournis et consultables dans la publication [37].

4.5.2. IGBT additionnel réalisant un 4^{ème} bras redondant

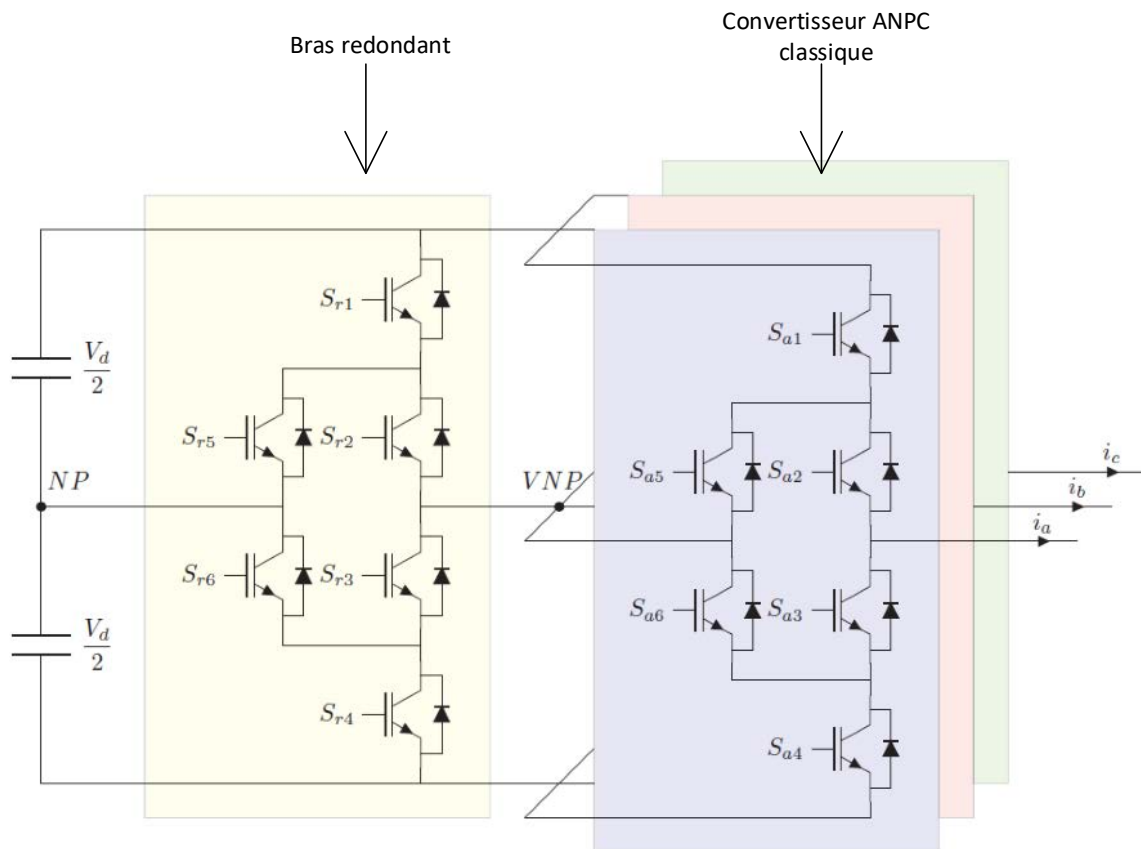


Figure III. 26 : Structure ANPC triphasée à 3 niveaux à tolérance de pannes avec bras redondant [38].

La Figure III. 26 présente une structure ANPC avec bras redondant mutualisé, utilisé en cas de défaut de type CO ou CC d'un des IGBT de l'une des trois phases. Dans des conditions normales d'utilisation (mode sain), les quatre IGBT notés S_{r2} , S_{r3} , S_{r5} et S_{r6} sont fermés en permanence. Lors d'un défaut, le convertisseur est reconfiguré et le bras redondant permet de fonctionner en mode nominal, quels que soient la localisation et le type de défaut. Deux tableaux de synthèse peuvent être consultés dans la publication [38], permettant d'expliquer le processus de reconfiguration à suivre selon le type de défaut (CC ou CO).

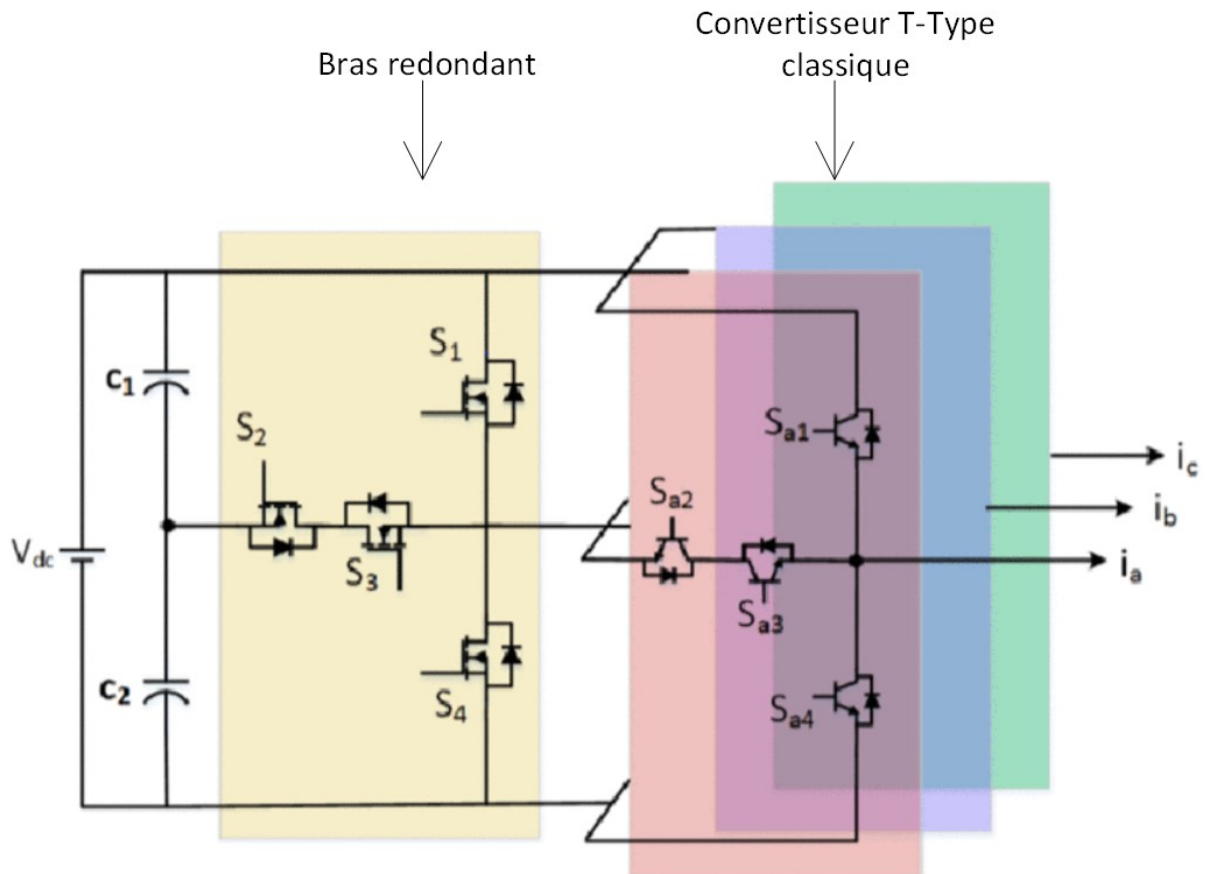


Figure III. 27 : Structure T-Type triphasée à 3 niveaux à tolérance de pannes avec ajout d'un bras redondant [39].

Dans le même esprit que pour la topologie ANPC précédente la Figure III. 27 présente une structure T-type avec bras redondant. Dans des conditions normales d'utilisation (mode sain), les deux composants S_2 et S_3 sont fermés en permanence. Tous les défauts sont pris en compte (continuité de service assurée), à l'exception de deux cas, un court-circuit survenant sur S_{x1} ou sur S_{x4} . Les six cas de défaut considérés sont discutés et détaillés dans [39]. Dans la plupart des cas, après reconfiguration utilisant le bras redondant, le convertisseur fonctionne en convertisseur à deux niveaux.

4.6. Bilan des topologies à tolérance de pannes

Dans cette partie de chapitre, nous avons présenté une synthèse et un état de l'art des structures multiniveaux à tolérance de pannes, publiées dans la littérature scientifique. La Table III. 3 fait un bilan des structures étudiées en termes de composants additionnels et de types de défauts traités (CO ou CC).

Figure	Topologie de base	Référence bibliographique	Type(s) de défaut traité	Composants additionnels
Figure III.4	NPC	22, 23, 24, 25	22,24, 25 : CO 23 : CC	3 triacs
Figure III.5	NPC	26	CO, CC	6 fusibles
Figure III.6	NPC	27	CO, CC	6 fusibles 6 thyristors
Figure III.7	NPC	27	CO, CC	6 fusibles 6 IGBT
Figure III.9	NPC+1 bras FC	28,29	CO, CC	6 fusibles
Figure III.10	NPC+1 bras FC	28	CO, CC	4 fusibles 2 IGBTs 4 diodes 3 triacs
Figure III.12	NPC+1 bras résonant	30,31	CO, CC	7 contacteurs
Figure III.13	NPC+1 bras résonant	30	CO, CC	7 contacteurs 6 IGBTs
Figure III.14	NPC+1 bras résonant	30	CO, CC	10 contacteurs 3 triacs 3 fusibles
Figure III.15	NPC+1 bras résonant	32	CO, CC	8 thyristors 4 fusibles
Figure III.16	ANPC	33	CO, CC	12 thyristors 6 fusibles
Figure III.18	ANPC	34	CO, CC	6 thyristors 6 fusibles
Figure III.19	ANPC	35	CO	2 IGBTs

				2 diodes 1 contacteur
Figure III.20	T-type	36	CO, CC	8 IGBTs 8 Diodes 3 triacs
Figure III.21	T-type	37	CO	2 IGBTs 2 Diodes 2 triacs
Figure III.22	ANPC	38	CO, CC	1 bras redondant
Figure III.23	T-type	39	CO, CC	1 bras redondant

Table III. 3. : Bilan des structures à tolérance de pannes.

Comme nous pouvons le constater à la lecture de cette section 4, la reconfiguration de convertisseurs à tolérance de pannes est souvent étudiée sans qu'il ne soit proposé de méthode associée pour le diagnostic du défaut, quel que soit le type de défaut (CO ou CC). Une grande partie des articles recensés concerne la structure NPC alors que les structures ANPC et T-type (NPP) sont beaucoup moins étudiées, respectivement 4 et 3 publications les concernent. Un des principaux problèmes notés lors de cet état de l'art est l'utilisation de contacteurs (voir Table III. 3) qui engendre un temps de reconfiguration du convertisseur très long. Lors de nos travaux de recherche présentés à la section suivante, nous nous efforcerons d'éviter la mise en œuvre de contacteur et de privilégierons les composants de types IGBT, diode et triac pour la reconfiguration. Pour que la topologie puisse assurer la continuité de service, la technologie des composants utilisés est elle aussi très importante ; en effet, certains composants de plusieurs structures présentées dans cet état de l'art doivent impérativement garantir un court-circuit quel que soit le défaut (CO ou CC). Ceci est réalisé à l'aide de la technologie dite « Press Pack ». Lors de nos travaux de recherche, nous éviterons d'utiliser cette technologie spécifique qui engendre des coûts supplémentaires élevés. Un autre point important est le surdimensionnement préalable de certains composants de puissance pour garantir la continuité de service en mode nominal. En effet, pour certaines topologies et après reconfiguration, des switches sont soumis à la totalité de la tension du bus continu et doivent donc pouvoir supporter une tension doublée. Nous essayerons également d'éviter ce surdimensionnement lors de nos travaux.

5. Conclusion

Ce chapitre a présenté un état de l'art sur la tolérance de pannes des convertisseurs de puissance multiniveaux. Différentes topologies de convertisseurs multiniveaux ont été discutées : Neutral Point Clamped (NPC), Active Neutral Point Clamped (ANPC) et Neutral Point Piloted (NPP) ou T-type. Ces convertisseurs sont très utilisés dans les applications industrielles.

La première partie de ce chapitre a été consacrée au diagnostic de défaut. Pour réaliser ce diagnostic, certaines méthodes de détection utilisent la tension alors que d'autres utilisent le courant. Si tous les algorithmes proposés peuvent détecter l'apparition d'un défaut au niveau d'un des interrupteurs du convertisseur, certains ne peuvent pas localiser exactement le composant en défaut ; dans ce cas, seul le bras en défaut ou bien encore un groupe d'interrupteurs est identifié. Néanmoins, cette information pourrait suffire à reconfigurer correctement le convertisseur. Comme nous avons pu le constater, les switches sont les éléments les plus critiques dans un convertisseur de puissance : il est donc légitime que toutes les publications s'intéressent principalement à leur défaillance. Néanmoins, on peut mentionner quelques travaux concernant la détection de la défaillance d'une diode, en dépit du fait que la continuité de service du convertisseur ne soit jamais abordée dans ce cas de défaut.

Dans la seconde partie, un état de l'art des structures à tolérance de pannes a été présenté, pour les mêmes topologies NPC, ANPC et T-type NPP que celle étudiées dans la partie précédente. Dans tous les cas, il s'agit de structures triphasées. Les structures proposées comportent toutes des composants additionnels, en nombre plus ou moins importants : fusibles, contacteurs, thyristors, triacs ou bras redondant (IGBT et diodes). Après reconfiguration, le convertisseur fonctionne soit en mode nominal, soit en mode dégradé.

Dans les deux derniers chapitres de ce mémoire, nous allons présenter nos travaux de recherche. Ils concernent la continuité de service d'un convertisseur monophasé à 5 niveaux, de structure T-type de type « Pont en H ». Ce convertisseur sera nommé HB-T-Type pour en simplifier l'écriture. Nous nous sommes intéressés à la continuité de service de ce montage lors de la défaillance en circuit-ouvert de l'un de ses switches. Nous exposerons successivement les résultats de nos travaux pour le diagnostic du défaut (détection puis localisation) et proposerons une topologie innovante à tolérance de pannes pour ce convertisseur. L'ensemble de notre étude sera validé par modélisation/simulation, puis expérimentalement.

CHAPITRE IV : Continuité de service de convertisseurs multiniveaux de type Pont en H, à structure NPP ou T-type

1. Introduction

Dans la première partie de ce chapitre, nous proposons une méthode générale de détection d'un défaut de type Circuit Ouvert (CO) dans le cas de convertisseurs à structure « Pont en H ». Après une présentation générale du principe de détection, nous ciblerons plus spécifiquement les topologies à structure en pont dites HB-NPP et HB-T-Type, présentées au chapitre II. Le choix de cibler un défaut de type CO de l'un des switches a été discuté et justifié lors de la conclusion du chapitre précédent, alors dédié à l'état de l'art. La détection sera réalisée à partir de signaux électriques de nature tension, sans ajouter de capteurs supplémentaires mais en utilisant les informations fournies par les capteurs utilisés lors du contrôle du convertisseur. La détection est réalisée par comparaison entre la tension de sortie mesurée et la tension de sortie estimée à partir des ordres de commande des switches. Une fois la détection d'un défaut réalisée, il devient nécessaire de discerner le switch en défaut pour imposer une reconfiguration efficace et adaptée du convertisseur (reconfigurable et prévu à cet effet) et ainsi garantir la continuité de service. Par conséquent, dans un second temps, une localisation du défaut sera proposée dans le cas de la topologie HB-T-Type. En effet, présenter une approche générale quelle que soit la topologie n'est alors plus possible. L'algorithme de localisation développé pourra cependant être facilement adapté au cas de la topologie NPP. Selon le cas de défaut, et donc selon le switch en CO, le switch défaillant pourra être directement identifié ou bien il sera nécessaire d'appliquer une modification des ordres de commande pour le discerner. En effet, comme nous le verrons dans ce chapitre, plusieurs cas de possible switches en CO conduisent au même signal d'erreur en terme de tension de sortie et seul un changement d'ordres de commande bien choisi permet de lever ce doute. Si une modification du contrôle s'avère nécessaire, l'analyse de la tension de sortie mesurée et ainsi obtenue nous permettra d'identifier avec certitude le switch en CO.

La détection et la localisation d'un défaut se doivent d'être les plus rapides possibles pour éviter tout risque d'endommagement du convertisseur et garantir au plus vite la continuité de service. Les algorithmes de diagnostic (détection et localisation) seront validés par simulation sous MATLAB/Simulink dans différents états du convertisseur (niveaux de tension différents) et pour un courant de sortie positif ou négatif.

Une fois le diagnostic (détection et localisation du switch en CO) présenté et validé par simulation, la seconde partie de ce chapitre proposera une nouvelle topologie de convertisseur HB-T-Type à tolérance de pannes. De par ses possibilités de reconfiguration, cette structure permettra de garantir la continuité de service du convertisseur, quel que soit le switch en CO. La structure de convertisseur proposée sera optimisée en terme de composants additionnels. En effet, elle comporte deux switches supplémentaires et permet de fonctionner au mode nominal, quel que soit le switch en CO. Notons qu'aucun des switches de la structure proposée ne devra être surdimensionné. Pour ce convertisseur à tolérance de pannes, deux cas de reconfigurations seront possibles. Le premier cas de reconfiguration possible se produira lorsque l'un des switches dits « horizontaux » sera en défaut de type CO ; dans ce cas, le convertisseur sera reconfiguré en utilisant le bras redondant. Le deuxième cas de reconfiguration est appliqué lorsque l'un des switches dits « verticaux » est

défaillant ; dans ce cas, un changement adapté des ordres de commande sera réalisé, sans utilisation des composants additionnels (bras redondant), mais garantissant dans tous les cas un mode de fonctionnement nominal. Dans le cas du défaut CO d'un switch vertical, ceci est possible grâce à la redondance des états de commutation permettant de réaliser un même niveau de tension de sortie. Cette propriété spécifique aux convertisseurs multiniveaux peut en effet être avantageusement utilisée pour garantir, dans certains cas, leur tolérance de pannes sans aucun composant supplémentaire.

Nous concluons donc ce chapitre par l'étude de l'ensemble constitué du convertisseur à tolérance de pannes, associé à la méthode de détection proposée. Le tout sera validé par modélisation/simulation sous MATLAB/Simulink dans le cas où un switch vertical ou horizontal tombe en panne.

2. Convertisseurs étudiés

Les convertisseurs pour lesquels nous allons proposer un algorithme de diagnostic de défaut de l'un des switches en CO sont les structures HB-T-type et HB-NPP, rappelées sur la Figure IV. 1 et la Figure IV. 2

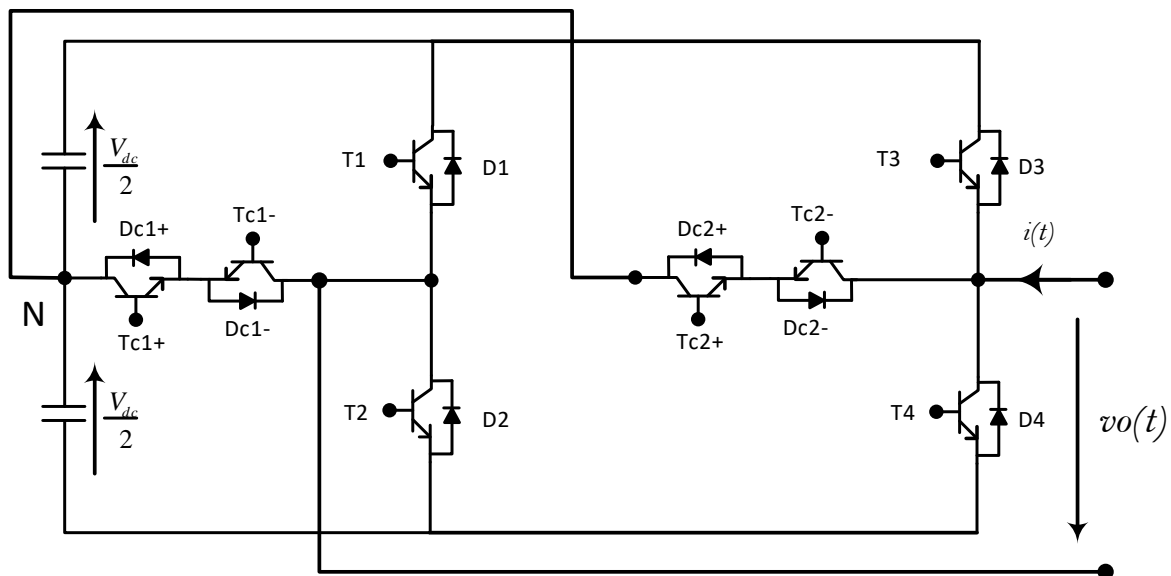


Figure IV. 1 : Convertisseur HB-T-Type.

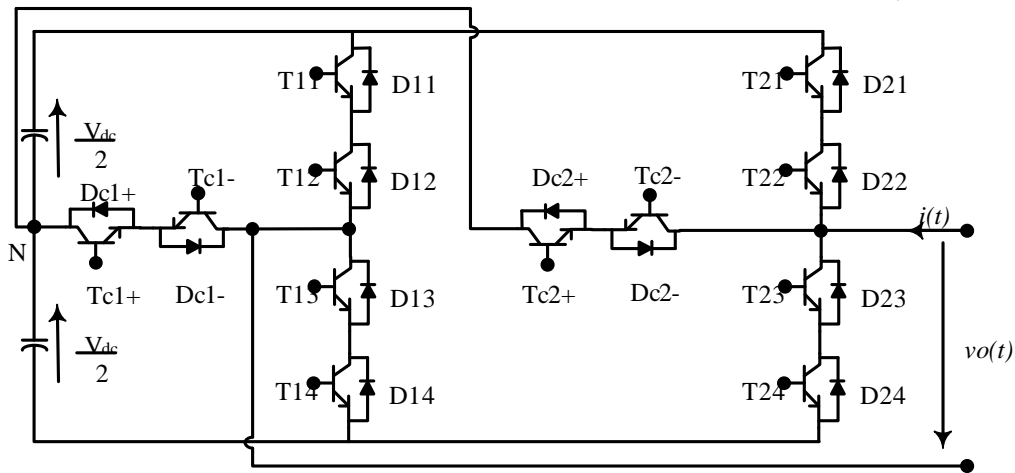


Figure IV. 2 : Convertisseur HB-NPP.

Comme mentionné dans les premiers chapitres, les topologies HB-T-Type et HB-NPP (Figure IV. 1et Figure IV. 2, sans capacité de tolérance de pannes), permettent de générer cinq niveaux de tension de sortie $v_o(t)$ (ces niveaux sont V_{dc} , $V_{dc} / 2$, 0 , $-V_{dc} / 2$, $-V_{dc}$) dans des conditions saines de fonctionnement. Ces niveaux sont consignés dans les Tables qui suivent, avec leurs états de commutation associés et selon le signe du courant de sortie $i(t)$. La Table IV. 1et la Table IV. 2 sont respectivement dédiées à un courant $i(t)$ positif et négatif.

Niveaux de tension de sortie $v_o(t)$	Etats	Composants passants	
		HB-NPP	HB-T-Type
V_{dc}	1	T11, T12, T23, T24	T1, T4
$V_{dc} / 2$	2	TC1+, DC1-, T23, T24	TC1+, DC1-, T4
	3	T11, T12, TC2-, DC2+-	T1, TC2-, DC2+
0	4	TC1+, DC1-, TC2-, DC2+	TC1+, DC1-, TC2-, DC2+
	5	T11, T12, D22, D21	T1, D3
	6	D13, D14, T23, T24	D2, T4
$-V_{dc} / 2$	7	D13, D14, TC2-, DC2+	D2, TC2-, DC2+
	8	TC1+, DC1-, D21, D22	TC1+, DC1-, D3
$-V_{dc}$	9	D13, D14, D21, D22	D2, D3

Table IV. 1 : Niveaux de tension et états correspondants possibles pour les topologies HB-NPP et HB-T-Type lorsque $i(t)$ positif.

Niveaux de tension de sortie $v_o(t)$	Etats	Composants passants	
		HB-NPP	HB-T-Type
V_{dc}	10	D11, D12, D23, D24	D1, D4
$V_{dc}/2$	11	TC1-, DC1+, D23, D24	TC1+, DC1-, T4
	12	D11, D12, TC2+, DC2--	D1, TC2+, DC2-
0	13	TC1-, DC1+, TC2+, DC2	TC1-, DC1+, TC2+, DC2-
	14	D11, D12, T21, T22	D1, T3
	15	T13, T14, D23, D24	T2, D4
$-V_{dc}/2$	16	T13, T14, TC2+, DC2-	T2, TC2+, DC2-
	17	TC1-, DC1+, T21, T22	TC1-, DC1+, T3
$-V_{dc}$	18	T13, T14, T21, T22	T2, T3

Table IV. 2 : Niveaux de tension de sortie et états correspondants possible pour les topologies HB-NPP et T-Type lorsque $i(t)$ est négatif.

3. Détection d'un défaut de type circuit ouvert.

Dans cette partie, une approche générale de détection d'un défaut CO de l'un des switches d'un convertisseur multiniveaux de type Pont en H est proposée, dans un premier temps. L'algorithme de détection proposé est détaillé. Le principe général de la détection sera présenté, suivi par des résultats de simulation. Bien que l'algorithme de détection puisse être appliqué dans son principe à toutes les topologies de type Pont en H, l'étude développera plus particulièrement le convertisseur HB-T-Type (NPP). De plus, elle sera uniquement simulée pour le convertisseur HB-T-Type (NPP) afin de ne pas alourdir ce mémoire.

3.1. Principe général de la détection pour un « Pont en H ».

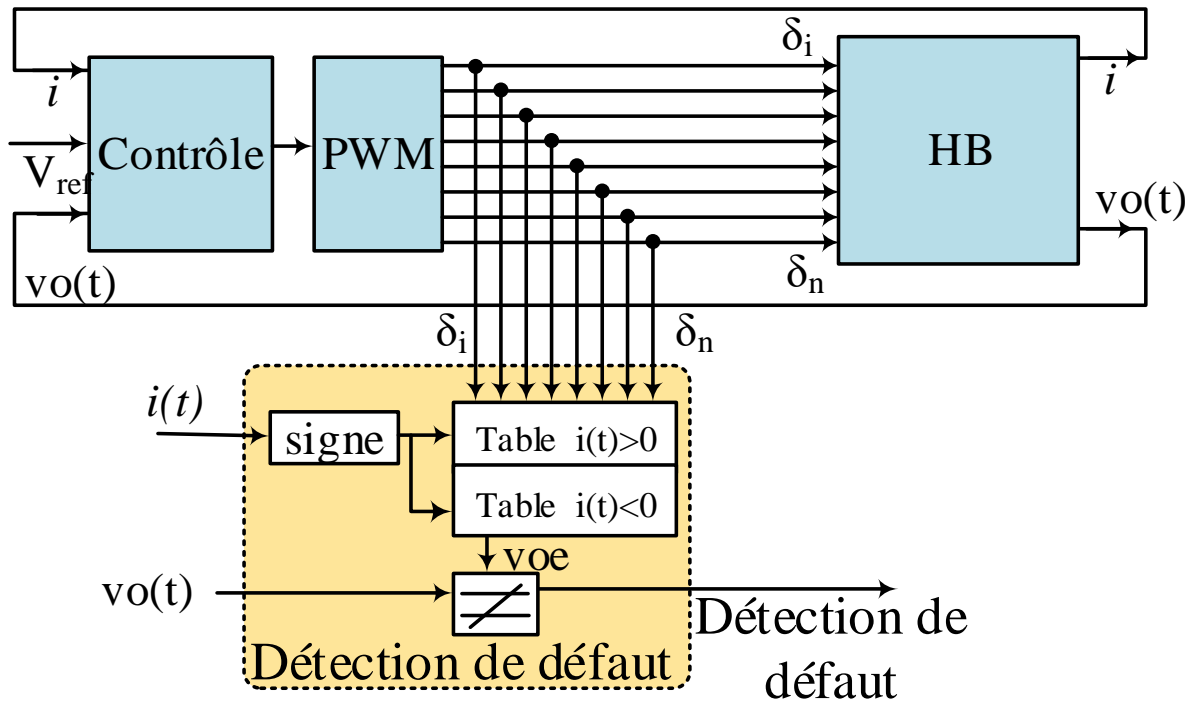


Figure IV. 3: Principe général de l'algorithme de détection d'un défaut CO de l'un des switches.

La Figure IV. 3 présente le principe général du diagnostic de défaut proposé. Le convertisseur est contrôlé par la commande rapprochée « OPT-PWM », présentée et discutée au chapitre 2, les ordres de commande ($\delta_i, \dots, \delta_n$) étant alors générés par le contrôle global du système de puissance. A partir de ces ordres de commande et de Tables établies avec soin, il est possible d'estimer le niveau théorique de la tension de sortie, noté v_{oe} . Deux Tables, fonction des ordres de commande des switches et du sens du courant, nous permettent d'estimer directement et sans calcul, la valeur de cette tension estimée en sortie du convertisseur. La Table IV. 3 est donnée à titre d'exemple pour un convertisseur HB-T-type dans le cas d'un courant $i(t)$ positif. En condition normale et en supposant tous les composants du système de puissance parfaits, la tension de sortie mesurée $v_o(t)$ est à chaque instant égale à la tension estimée (v_{oe}). Sinon, dans le cas d'un défaut CO, les valeurs des tensions $v_o(t)$ et v_{oe} ne sont pas égales et nous pouvons alors détecter l'apparition d'un défaut en analysant l'erreur de tension.

T1	T2	T3	T4	Tc1+	Tc1-	Tc2+	Tc2-	v _{oe}
1	0	0	1	0	0	0	0	V _{dc}
0	0	0	1	1	0	0	0	V _{dc} /2
1	0	0	0	0	0	1	0	V _{dc} /2
0	0	0	0	1	0	0	1	0
1	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0
0	0	0	0	0	0	1	0	-V _{dc} /2
0	0	0	0	1	0	0	0	-V _{dc} /2
0	0	0	0	0	0	0	0	-V _{dc}

Table IV. 3 : Exemple d'estimation de la tension théorique de sortie pour un convertisseur HB-T-type dans le cas d'un courant $i(t)$ positif.

Jusqu'à présent, nous avons notamment considéré que les switches étaient idéaux. Dans cette hypothèse, le défaut CO d'un switch peut alors être détecté à l'aide d'une simple comparaison entre la tension mesurée $v_o(t)$ et la tension estimée v_{oe} . Cependant, en pratique et en fonctionnement normal (mode sain, aucun switch défaillant), la comparaison entre $v_o(t)$ et v_{oe} ne conduit pas à l'obtention d'une valeur nulle à chaque instant, principalement en raison des temps de réponse des capteurs, des chutes de tension aux bornes des interrupteurs, des effets des commutations et des temps morts imposés par les drivers des switches. Néanmoins et dans un premier temps, le premier critère de détection à considérer chronologiquement est bien un critère « tension » portant sur la valeur de cette erreur de tension en sortie. Nous considérons qu'un défaut est potentiellement apparu si la valeur absolue de la différence entre la tension estimée et la tension mesurée est supérieure à une valeur seuil n choisie arbitrairement, mais néanmoins adaptée au cas du convertisseur étudié en pratique (Figure IV. 4).

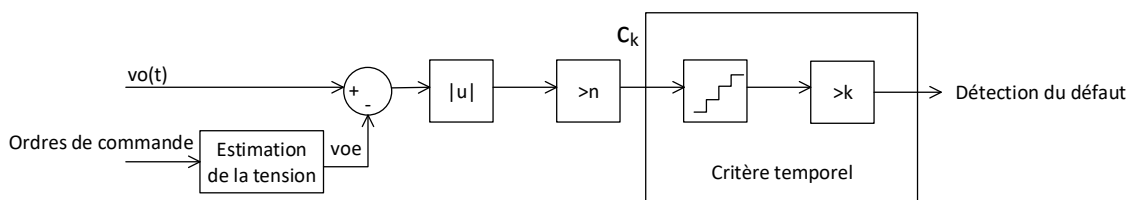


Figure IV. 4: Algorithme de détection de défaut intégrant les deux critères « tension » et « temporel ».

La méthode proposée et développée dans notre laboratoire met en œuvre au niveau de l'algorithme de détection un second critère « temporel » supplémentaire, appliqué après le critère « tension » décrit précédemment. Ce critère permet d'effectuer un filtrage des fausses détections qui sont principalement dues au temps de réponse des capteurs de tension, aux imperfections des switches ou bien encore à leurs drivers (temps morts). L'algorithme final qui en résulte est présenté à la Figure IV. 4 ; après avoir vérifié que la différence entre les tensions mesurée et estimée est suffisamment

grande pour considérer qu'un défaut potentiel est apparu, nous y ajoutons le critère temporel. On mesure alors la durée pendant laquelle le signal C_k de sortie du comparateur est égal à 1 (présence d'une erreur de tension supérieure au seuil, Figure IV. 4) à l'aide d'un compteur. La sortie du compteur fournit le nombre de périodes d'horloge pendant lesquelles le signal C_k est égal à 1. Le compteur est remis à zéro après chaque front descendant du signal C_k . Ainsi, le signal en sortie du compteur est un signal de type "dent de scie" et si ce signal atteint une valeur seuil k critique, le défaut est détecté. La valeur de k est définie selon les caractéristiques réelles des composants du montage. En effet, le choix de k dépend effectivement des spécifications des composants utilisés, en particulier des temps morts imposés par les drivers et du temps de réponse des capteurs.

Ainsi, tout défaut éventuel d'un interrupteur peut être détecté en utilisant un "critère temporel" puis un "critère de tension". Grâce à la méthode présentée à la Figure IV. 4, nous évitons toute fausse détection de défaut suite à une commutation, mais nous pouvons néanmoins détecter un défaut en quelques dizaines de microsecondes, sachant que la durée exacte nécessaire à la détection du défaut est fixée par la valeur de k , elle-même directement liée au choix des composants du montage (switches, driver et capteur de tension notamment).

Dans la suite de cette section, nous considérerons le cas du montage HB-T-Type pour développer notre étude sachant que les résultats présentés sont adaptables à toute structure de convertisseurs multiniveaux de type Pont en H.

3.2. Résultats de Modélisation/Simulation dans le cas du convertisseur HB-T-Type

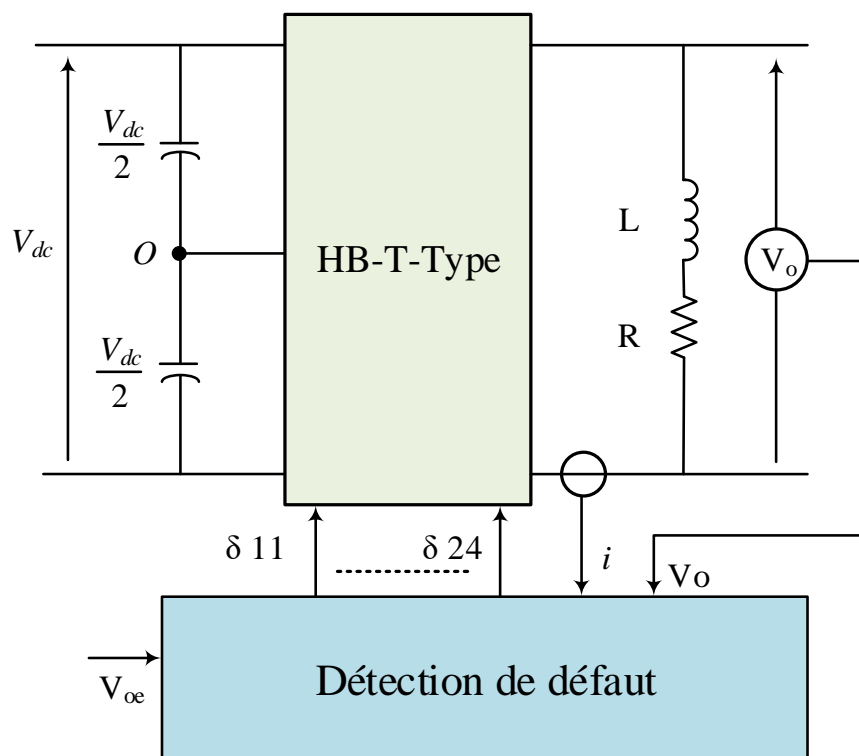


Figure IV. 5 : Convertisseur HB-T-type connecté à une charge R, L série.

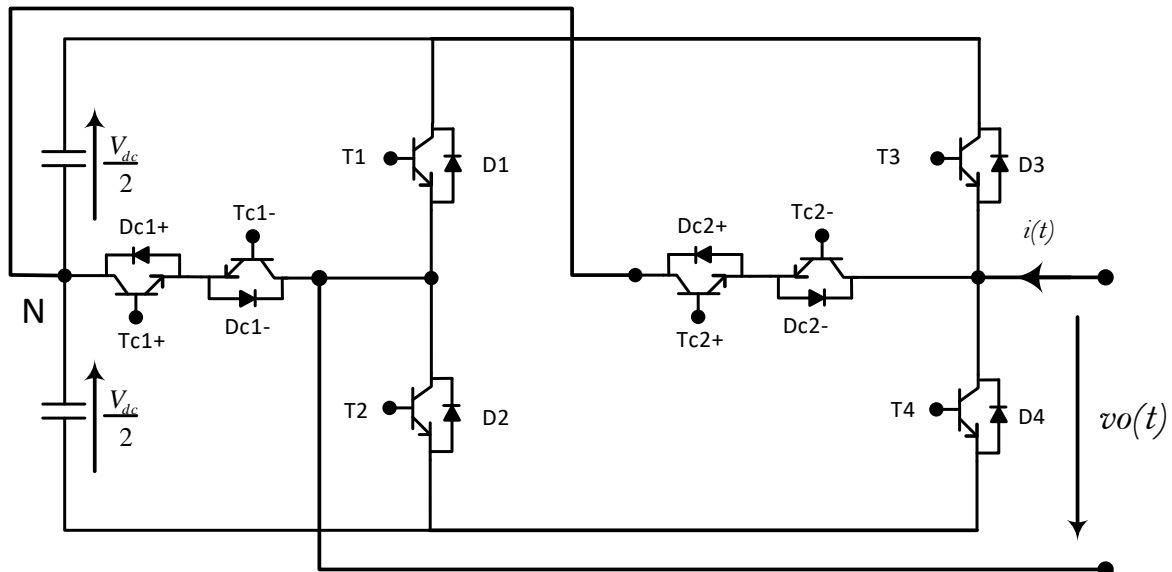


Figure IV. 6 : Rappel de la structure du convertisseur HB-T-Type étudié.

Pour valider les performances de la méthode de détection de défaut CO proposé, une modélisation dans l'environnement Matlab/Simulink a été réalisée et des simulations ont été effectuées pour un convertisseur HB-T-type (Figure IV. 6). Ce convertisseur alimente une charge (R, L) avec $R = 30\Omega$ et $L = 10\text{mH}$ (Figure IV. 5). La valeur de V_{dc} est égale à 1200 V. Les cinq niveaux de tension possibles en sortie du convertisseur ont déjà été consignés dans la Table 14 du chapitre 1, selon les états de commutation associés et en considérant le signe du courant $i(t)$. Nous avons alors appliqué notre méthode de détection de défaut à cette topologie.

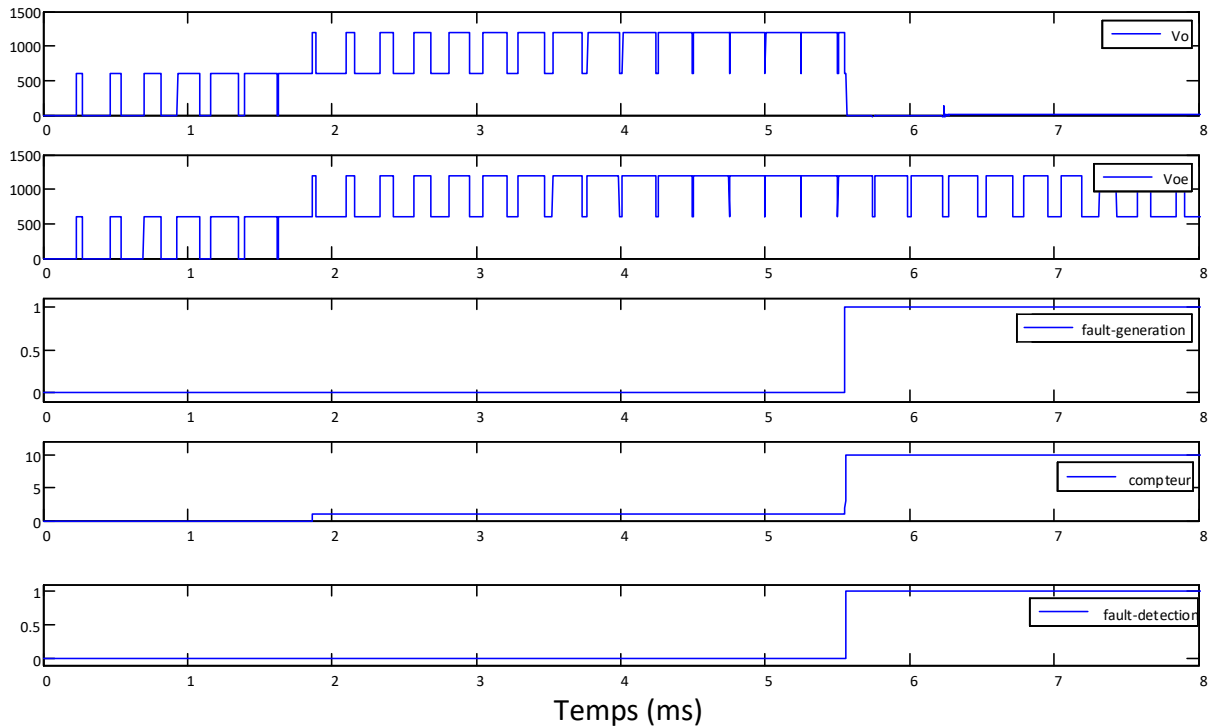


Figure IV. 7: Résultat de simulation lors d'un défaut CO au niveau du switch T4.

Figure IV. 7 présente les résultats de simulation lorsqu'un CO se produit au niveau de T4. Pour générer en simulation le CO, l'ordre de commutation de T4 est forcé à '0' en utilisant le signal "fault-generation" (Figure IV. 7). Ce signal modifie l'ordre de commande appliqué à T4, en le forçant à '0' quand "fault generation" est à '1'. A $t = 5,55$ ms, une faute de type CO est générée sur T4 et l'on peut noter que ce défaut CO est effectivement bien détecté par le passage à '1' du signal "Fault-detection".

Pour afficher plus de détails sur la détection de défaut, un zoom autour du moment d'apparition du défaut est effectué et présenté à la Figure IV. 8. Nous avons également ajouté sur ce zoom l'ordre de commutation envoyé à T4 par la commande du système, afin de mieux pouvoir expliquer les simulations zoomées. Cette figure montre que lorsque le défaut est artificiellement généré à $t = 5.55$ ms, le transistor T4 est alors normalement fermé. A $t=5.55$ ms un ordre de commande forçant T4 à l'ouverture est donc envoyé et l'on peut voir que les tensions $v_o(t)$ et v_{oe} ne sont plus égales ; le compteur s'active alors et se met à compter. Une fois la valeur de 10 atteinte (valeur fixée en simulation pour k), la faute est déclarée.

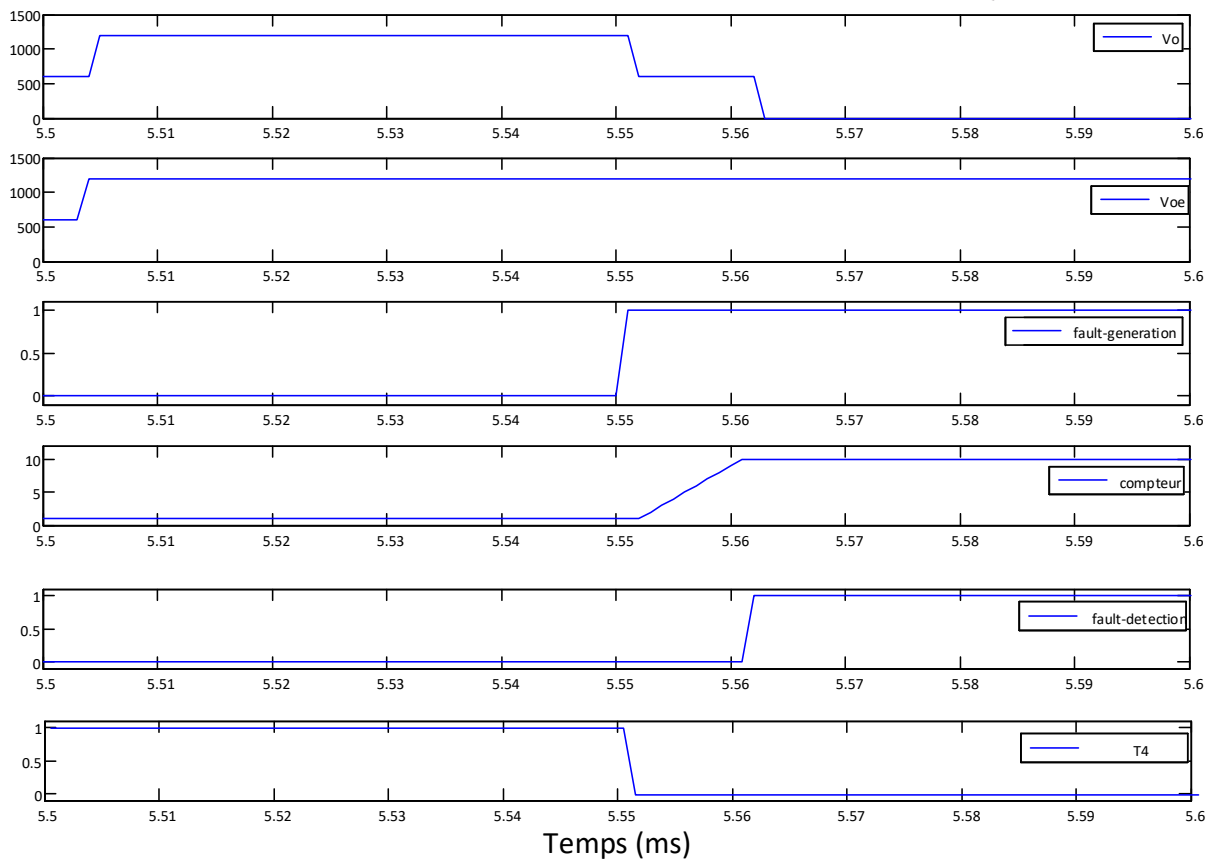


Figure IV. 8 : Résultats de simulation zoomé lors d'un défaut CO sur T4.

Comme on a pu le voir sur ces simulations (Figure IV. 7, Figure IV. 8), l'algorithme de détection de défaut CO peut atteindre des performances temporelles très élevées, à la condition de pouvoir l'implanter sur des cibles numériques avec une période d'échantillonnage faible. Si l'algorithme de détection est implanté avec une période d'échantillonnage de $1 \mu\text{s}$, le défaut peut être détecté en $10 \mu\text{s}$ dans le cas de notre simulation. Notons cependant que le choix de la cible numérique n'est pas le seul facteur influençant les performances temporelles de la détection et rappelons ici que le temps de réponse du capteur de tension et les temps morts des drivers sont également très influents lors du choix du paramètre k .

Maintenant que nous avons validé la possibilité de détecter rapidement un défaut CO, nous allons aborder le diagnostic de pannes et proposer une localisation rapide et fiable, développée dans la suite de ce mémoire.

4. Localisation d'un défaut de type circuit ouvert dans le cas du convertisseur HB-T-Type

Dans cette partie, nous allons compléter la détection précédemment développée par une localisation précise du switch en défaut CO. Notons que la méthode de localisation proposée peut être indifféremment appliquée aux topologies HB-T-type (Figure IV. 1) et HB-NPP (Figure IV. 2). Par ailleurs et de même que pour l'algorithme de détection précédent, son principe est aisément généralisable aux structures de convertisseurs multiniveaux de type Pont en H.

Dans la suite de cette section, nous allons donc développer et détailler une nouvelle méthode de localisation de défaut CO pour un convertisseur HB-T-Type. De plus, après une étape de modélisation dans l'environnement Matlab-Simulink, des simulations seront présentées pour valider la méthode proposée.

4.1. Méthode de localisation

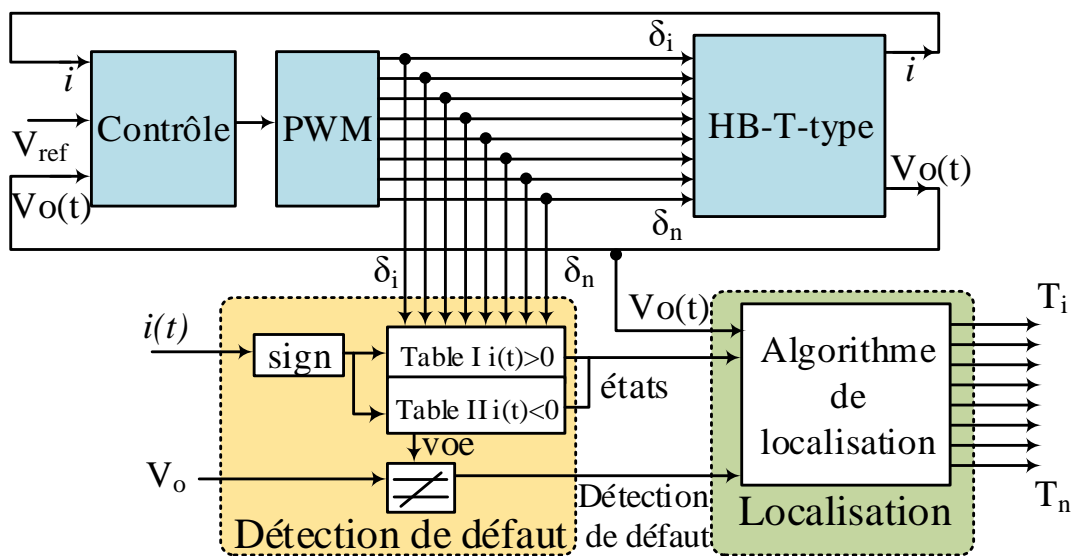


Figure IV. 9 : Principe général du diagnostic pour un convertisseur HB T-type.

La Figure IV. 9 résume le principe général proposé dans ce mémoire pour l'ensemble du diagnostic d'un défaut CO (détection et localisation). Ici encore, le convertisseur est contrôlé par une commande rapprochée OPT-PWM. Ainsi, les ordres de commutation ($\delta_i \dots \delta_n$) sont établis par la commande globale du système. Dans cette section, on suppose qu'un défaut CO a été préalablement détecté selon l'approche développée à la section précédente. Néanmoins, il subsiste le problème majeur spécifique aux convertisseurs multiniveaux : la localisation du switch en défaut. C'est le rôle du bloc de localisation (Figure IV. 9) qui identifie le switch vertical ou horizontal en défaut CO. En se basant sur la Table IV. 1 et la Table IV. 2, plusieurs switches peuvent potentiellement être à l'origine

de la détection d'un défaut de type CO pour chacun des états ou niveaux de tension associés. Pour localiser ce défaut, le niveau de tension de sortie mesuré doit être considéré, dans un premier temps.

Pour clarifier le principe de localisation, nous allons tout d'abord présenter un premier exemple, suivi d'un second ; néanmoins et à la fin de cette section, l'intégralité de l'algorithme de localisation proposé sera exposée et résumée. Supposons qu'un défaut CO ait été préalablement détecté lorsque le convertisseur HB-T-Type fonctionnait dans l'état S2 ($i(t) > 0$) (Figure IV. 10). Dans ce cas, selon la Table IV. 1 et pour la topologie HB-T-Type, deux switches peuvent potentiellement être en défaut CO : il s'agit de T4 et TC1+. Dans ce cas précis, le niveau de la tension de sortie mesurée sera différent selon le switch en défaut. En effet, cette tension sera égale à 0 si TC1+ est défectueux (Figure IV. 10). Sinon, elle sera égale à $(-V_{dc} / 2)$ si T4 est en défaut CO (Figure IV. 10). Dans ce cas précis de défaut dans l'état S2, la mesure de la tension de sortie du convertisseur est suffisante pour discriminer le switch en défaut. Pour clarifier les explications précédentes, les circuits équivalents et les chemins de courant associés sont présentés à la Figure IV. 10, dans des conditions de fonctionnement sain et lorsque Tc1+ ou T4 sont en défaut CO.

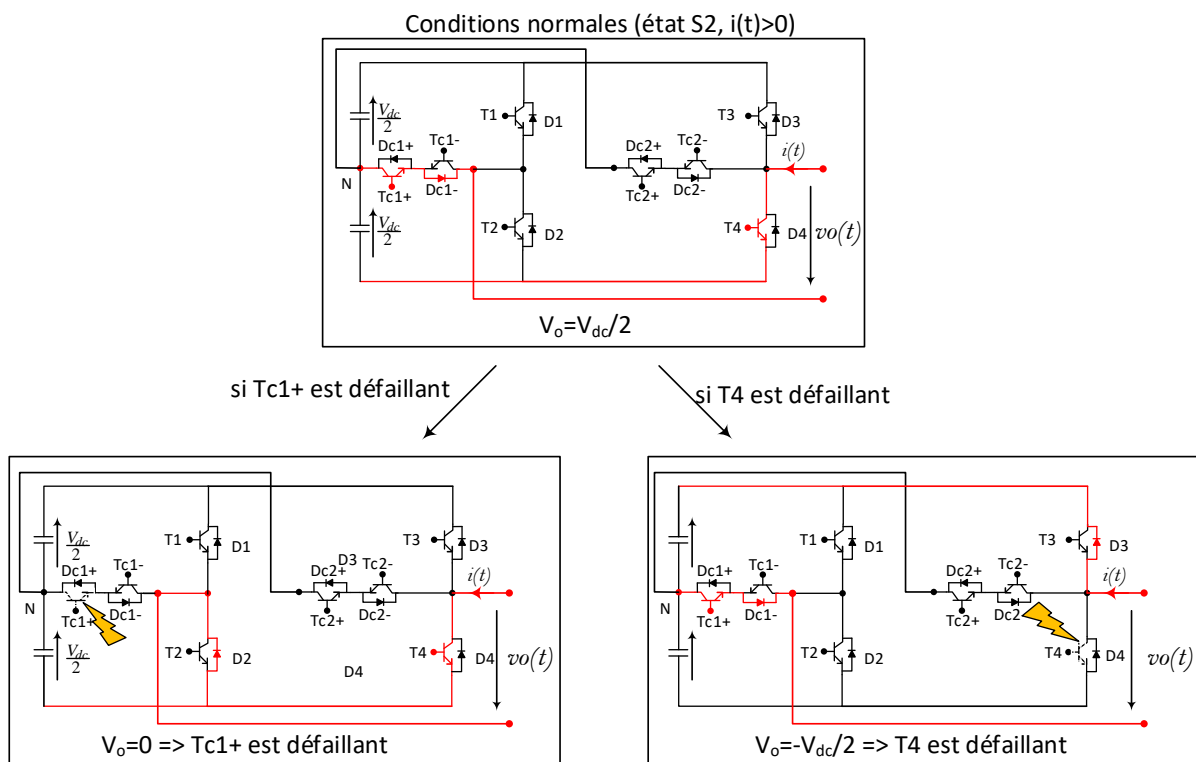


Figure IV. 10 : Localisation d'un défaut de type CO, préalablement détecté lorsque le convertisseur est dans l'état de commutation S2 ($i(t) > 0$).

Néanmoins, dans certains états, lorsque le défaut d'un switch en CO a été préalablement détecté, il n'est pas possible de discriminer comme précédemment le switch défectueux parmi ceux potentiellement en défaut, en analysant uniquement la valeur de la tension de sortie mesurée. Pour illustrer ce propos, considérons qu'un défaut CO ait été préalablement détecté lorsque le convertisseur HB-T-Type fonctionnait dans l'état S3 ($i(t) > 0$). Dans ce cas, le switch défectueux peut

être T1 ou Tc2-, selon la Table IV. 1. La Figure IV. 11 présente les trajets du courant lorsque T1 ou Tc2- sont défectueux : dans les deux cas de défaut, la tension de sortie $v_o(t)$ mesurée après défaut est égale à 0 et il n'est donc pas possible de discriminer le switch défectueux.

Il est important de mentionner que dans ce cas précis, cette impossibilité de discriminer le switch défaillant est due aux ordres de commande envoyés à l'ensemble des switches, par la commande globale du système de puissance. En effet, même si les seuls switches passants dans l'état S3 sont T1 et Tc2-, un ordre de commande à la fermeture est envoyé à Tc1+ par la commande PWM. En mode sain, Tc1+ reste néanmoins ouvert, même si un ordre de fermeture lui est envoyé car il est polarisé en inverse. Cependant, lorsqu'un CO se produit sur T1, Tc1+ n'est plus polarisé en inverse et il se met à conduire le courant de sortie, suite au défaut CO de T1. Notons que dans le cas d'un défaut CO de Tc2-, le switch Tc1+ reste polarisé en inverse (Figure IV. 11). Pour résoudre cette ambiguïté, après la détection d'un défaut, l'algorithme de localisation (Figure IV. 9) proposé désactive la commande à la fermeture de Tc1+ qui ne conduit donc plus. Il en résulte alors en une nouvelle valeur de la tension de sortie mesurée (Figure IV. 11). Si la valeur mesurée de $v_o(t)$ est égale à $-V_{dc}/2$, le switch défectueux est T1; sinon, V_o mesurée reste égal à 0 et le switch défectueux est Tc2-.

La même approche peut être appliquée dans d'autres états pour effectuer le diagnostic d'un CO. La Table IV. 4 résume le diagnostic de défaut pour $i(t) > 0$ et la Table IV. 5 résume le diagnostic de défaut pour $i(t) < 0$. Il est important de mentionner ici qu'il peut également être nécessaire de modifier la commande du convertisseur en commandant à la fermeture un switch bien choisi pour discriminer le switch défaillant (par exemple, dans l'état S3).

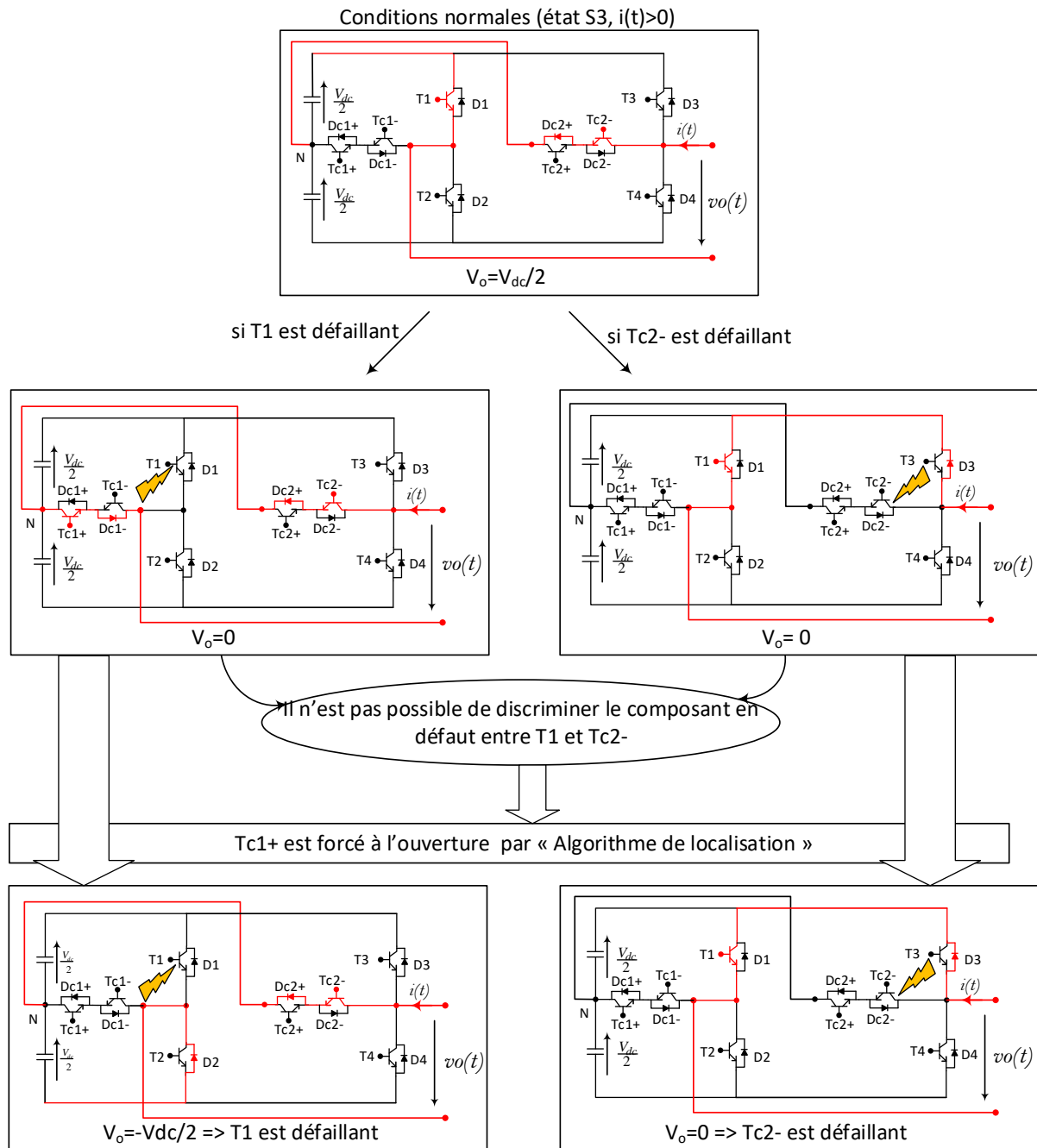


Figure IV. 11 : Localisation d'un défaut de type CO, préalablement détecté lorsque le convertisseur est dans l'état de commutation numéro 3 ($i(t) > 0$).

Etats	Conditions normales	Conditions de défaut CO	
		Niveaux de tension	Switch défaillant
S1	$V_o = V_{dc}$	$V_o = V_{dc}/2$?
		Si Tc2- est commandé à l'ouverture, $(V_o = V_{dc}/2) \Rightarrow (V_o = 0)$	T4
		$V_o = V_{dc}/2$	T1
		Si Tc2- est commandé à l'ouverture, $(V_o = V_{dc}/2) \Rightarrow (V_o = V_{dc}/2)$	
S2	$V_o = V_{dc}/2$	$V_o = 0$	Tc1+
		$V_o = -V_{dc}/2$	T4
S3	$V_o = V_{dc}/2$	$V_o = 0$?
		Si Tc1+ est commandé à l'ouverture, $(V_o = 0) \Rightarrow (V_o = 0)$	Tc2-
		$V_o = 0$?
		Si Tc1+ est commandé à l'ouverture, $(V_o = 0) \Rightarrow (V_o = -V_{dc}/2)$	T1
S4	$V_o = 0$	$V_o = 0$?
		Si T1 est commandé à l'ouverture, $(V_o = 0) \Rightarrow (V_o = 0)$	Tc2-
		$V_o = 0$?
		Si T1 commandé à l'ouverture, $(V_o = 0) \Rightarrow (V_o = V_{dc}/2)$	Tc1+
S5	$V_o = 0$	$V_o = -V_{dc}/2$	T1
S6	$V_o = 0$	$V_o = -V_{dc}$	T4

S7	$V_o = -V_{dc}/2$	$V_o = -V_{dc}$	Tc2-
S8	$V_o = -V_{dc}/2$	$V_o = -V_{dc}$	Tc1+
S9	Seules des diodes sont utilisées		

Table IV. 4 : Algorithme de localisation de défaut pour $i(t) > 0$.

Etats	Conditions normales	Conditions de défaut CO	
		Niveaux de tension	Switch défaillant
S10	Seules des diodes sont utilisées		
S11	$V_o = V_{dc}/2$	$v_o(t) = V_{dc}$	Tc1-
12	$v_o(t) = V_{dc}/2$	$v_o(t) = -V_{dc}$	Tc2+
S13	$v_o(t) = 0$	$v_o(t) = V_{dc}/2$?
		Si T2 est commandé à la fermeture , $(v_o(t) = V_{dc}/2) \Rightarrow (v_o(t) = -V_{dc}/2)$	Tc1-
		$v_o(t) = V_{dc}/2$?
		si T2 est commandé à la fermeture, $(v_o(t) = V_{dc}/2) \Rightarrow (v_o(t) = 0)$	Tc2-
S14	$v_o(t) = 0$	$v_o(t) = V_{dc}$	T3
S15	$v_o(t) = 0$	$v_o(t) = V_{dc}$	T2
S16	$v_o(t) = -V_{dc}/2$	$v_o(t) = V_{dc}/2$	T2
		$v_o(t) = 0$	Tc2+
S17	$v_o(t) = -V_{dc}/2$	$v_o(t) = 0$?
		Si Tc2+ $(v_o(t) = 0) \Rightarrow (v_o(t) = V_{dc}/2)$	T3

		$v_o(t)=0$?
		Si Tc2+ est commandé à l'ouverture $(v_o(t)=0) \Rightarrow (v_o(t)=0)$	Tc1-
S18	$v_o(t)=-V_{dc}$	$v_o(t)=0$	T2
		$v_o(t)=-V_{dc}/2$	T3

Table IV. 5 : Algorithme de localisation de défaut pour $i(t)<0$.

Maintenant que nous avons étudié tous les cas de localisation de défaut pour tous les états et quel que soit le signe du courant, nous pouvons à présent passer à l'étape de modélisation et de simulation.

4.2. Résultats de Modélisation/Simulation

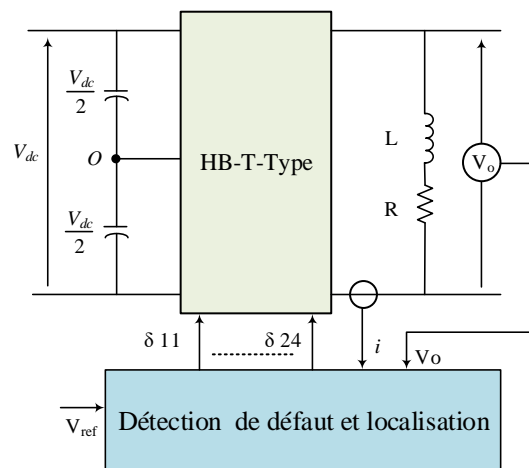


Figure IV. 12 : Convertisseur HB-T-type connecté à une charge R, L série - détection et localisation du défaut.

Pour valider les performances du diagnostic de défaut proposé, des simulations ont été effectuées pour un convertisseur HB-T-Type alimentant une charge (R, L) série avec $R = 30\Omega$ et $L = 10\text{mH}$ (Figure IV. 12). La valeur de V_{dc} est égale à 1200 V. La fréquence de commutation des signaux PWM est égale à 2 kHz. La modélisation et les simulations ont été réalisées dans l'environnement Matlab/Simulink, en utilisant la bibliothèque SymPowerSystem.

Les résultats de simulation qui suivent présentent deux cas de diagnostic de défaut CO dans deux états différents, lorsqu'un CO se produit dans l'état S3 et lorsqu'un CO se produit dans l'état S18. L'accent est mis sur la fonction « localisation » du diagnostic, la détection ayant déjà été présentée auparavant. Deux sous-cas de défaut CO dans l'état S3 sont discutés dans la sous-section suivante : le

premier cas est un CO de Tc2- et le second est un CO de T1. Dans la section suivante, nous discutons le diagnostic d'un CO dans l'état S18 : d'abord lorsque T2 est en défaut et ensuite lorsque T4 est défectueux. Une validation complète a été effectuée pour tous les autres états. Cependant, dans ce mémoire, seuls les deux états sélectionnés précédemment seront illustrés par des simulations.

4.2.1. Défaut circuit ouvert dans l'état S3

Dans cette sous-section, un défaut CO dans l'état S3 est considéré. Tout d'abord, un défaut CO est imposé artificiellement au niveau de T1, illustré par le signal «Fault Generation» de la Figure IV. 13. Ainsi, à $t = 8,7$ ms, un CO est généré sur T1. On peut noter sur cette même figure que ce défaut est correctement localisé au niveau de T1, par le signal « Fault Localisation T1 », après la commande à l'ouverture du switch Tc1+. La Figure IV. 14 est une vue zoomée de la Figure IV. 13 autour de l'apparition du défaut. Comme on peut le voir La Figure IV. 14, lorsque le défaut CO est généré artificiellement (repère ① sur la Figure IV. 14), l'ordre de commutation de T1 est à '0' pendant la durée de la zone ② sur la Figure IV. 14 ; le convertisseur HB-NPP fonctionne donc correctement. Par conséquent, aucune faute ne doit être détectée parce que l'interrupteur T1 est normalement ouvert. À l'instant ③ de la Figure IV. 14, l'ordre de commutation de T1 passe à '1' et la tension de sortie $v_0(t)$ reste égale à zéro au lieu de commuter de zéro à $V_{dc} / 2$. À ce moment, un défaut CO est correctement déclaré parce que $v_0(t)$ est différente de v_{oe} (voir le repère ④ au niveau du signal "Fault détection" de la Figure IV. 14), mais le switch défectueux ne peut pas être déterminé, comme cela a été expliqué à la Figure IV. 11. Pour discerner le switch défectueux entre T1 et TC2-, le transistor Tc1+ doit être commandé à l'ouverture (voir repère ⑤ au niveau du signal "Tc1+ switching pattern" de la Figure IV. 14): ainsi, la tension de sortie $v_0(t)$ commute de zéro à $-V_{dc} / 2$ et la localisation du défaut peut être effectuée: T1 est correctement déclaré comme le switch défectueux (voir repère ⑥ au niveau du signal "Fault localisation T1" de la Figure IV. 14).

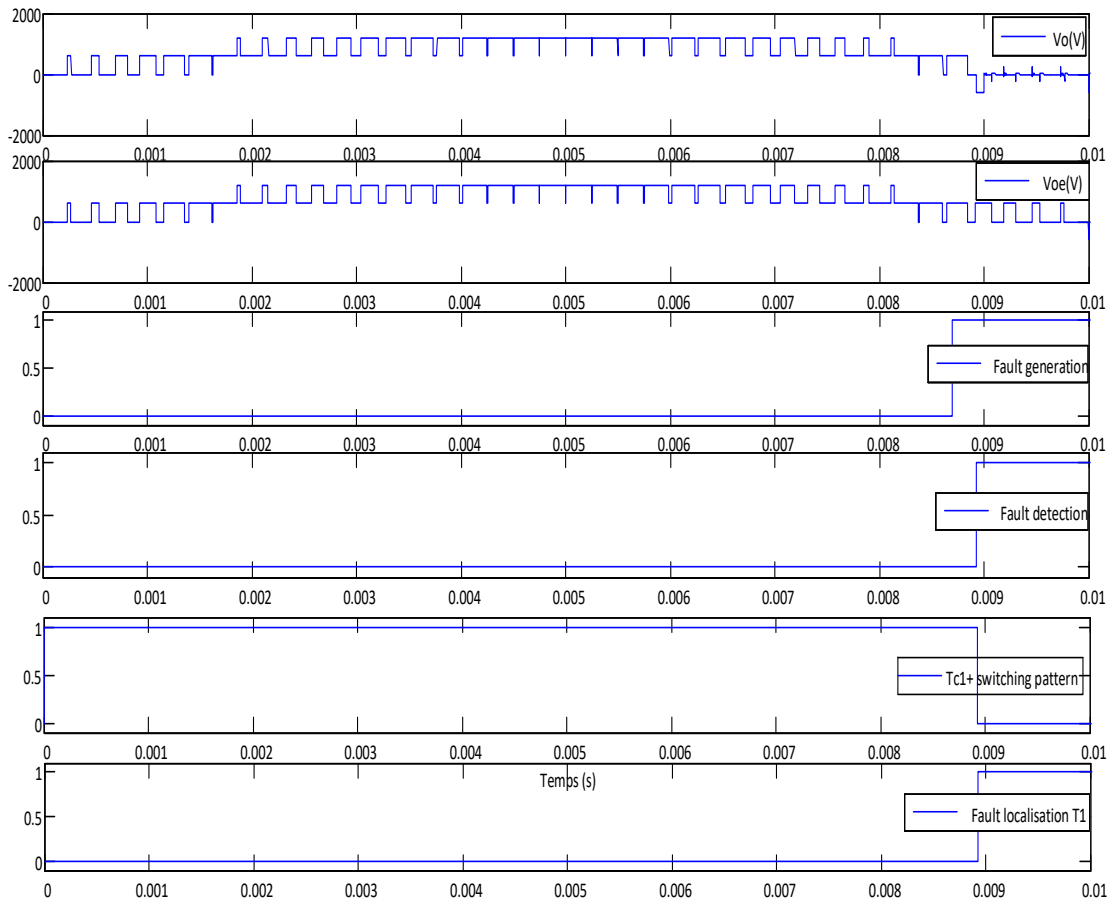


Figure IV. 13 : Résultats de simulation quand T1 est en défaut CO dans l'état S3.

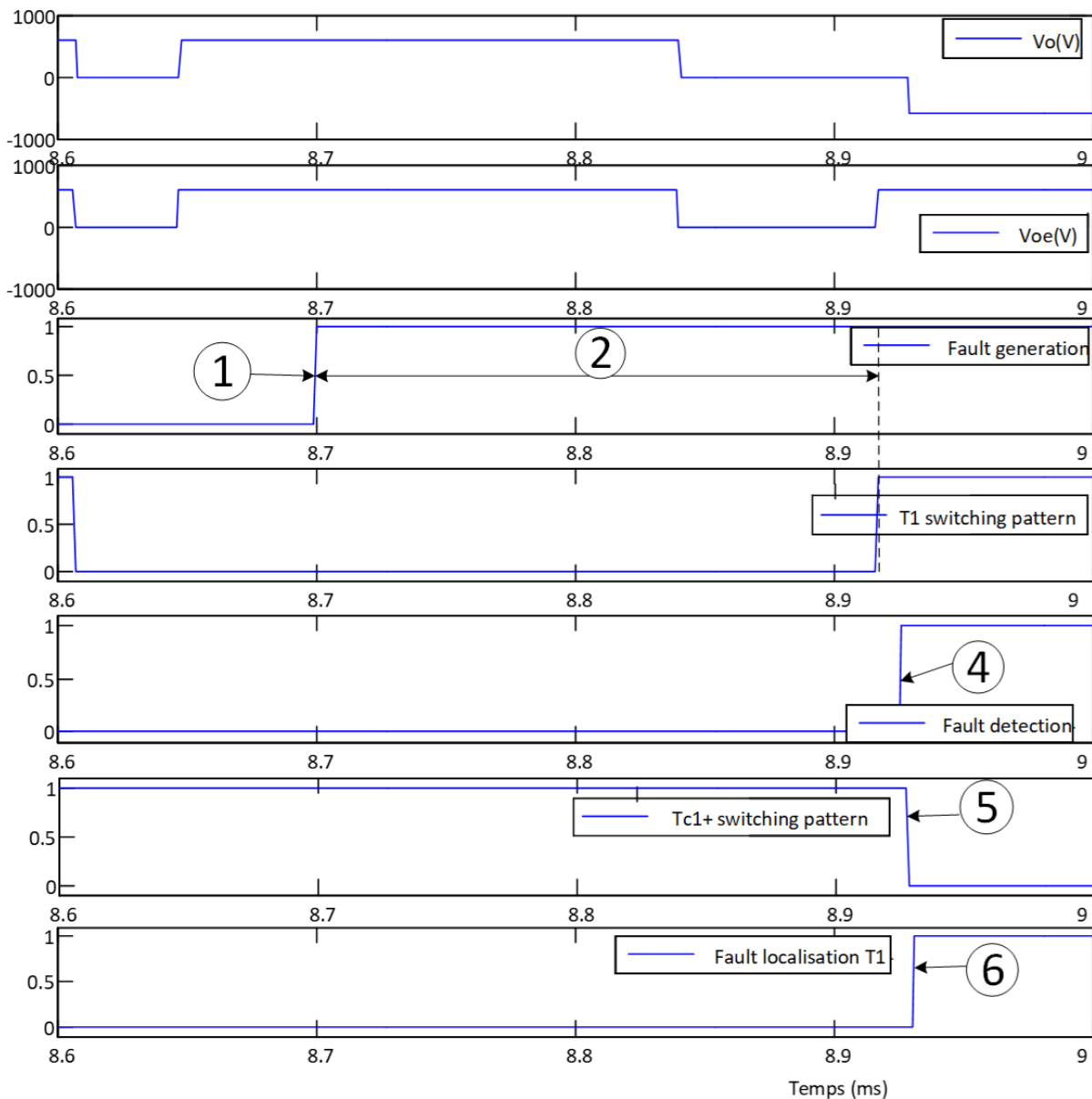


Figure IV. 14 : Résultats de simulation zoomés quand T1 est en défaut CO dans l'état S3.

Dans le même esprit que la simulation discutée précédemment, un défaut CO est imposé artificiellement à TC2- (voir le signal "Fault generation" de la Figure IV. 15) dans l'état 3. Ainsi, à $t = 8,96$ ms, un CO est généré au niveau du transistor TC2- et l'on peut visualiser que le switch défaillant est correctement discerné. Ici encore, la Figure IV. 16 présente une vue zoomée de la Figure IV. 15, pendant une courte durée autour de la création du défaut. Comme on peut le voir sur la Figure IV. 16, lorsque le défaut CO est généré artificiellement (repère ① de la Figure IV. 16), l'ordre de commutation envoyé à TC2- est à '1'; ainsi, le convertisseur HB-T-Type ne fonctionne pas correctement aussitôt après l'apparition du défaut. Le défaut est rapidement détecté, car la tension de sortie $v_o(t)$ devient égale à zéro au lieu d'être égale à $V_{dc}/2$. (repère ② sur la Figure IV. 16). À ce moment ②, un défaut CO est déclaré parce que $v_o(t)$ est différent de v_{oe} , mais le switch défectueux ne peut pas être déterminé, comme cela a déjà été expliqué à la Figure IV. 10. Pour discerner le switch défectueux parmi T1 et TC2-, le switch TC1 + est commandé à l'ouverture (repère ③ au niveau

du signal "Tc1+ switching pattern" Figure IV. 16). Ainsi, la tension de sortie $v_o(t)$ reste égale à zéro et l'algorithme de localisation de défaut peut à juste titre déclarer TC2- comme switch défectueux (repère ④ au niveau du signal "Fault localization TC2-" de la Figure IV. 16).

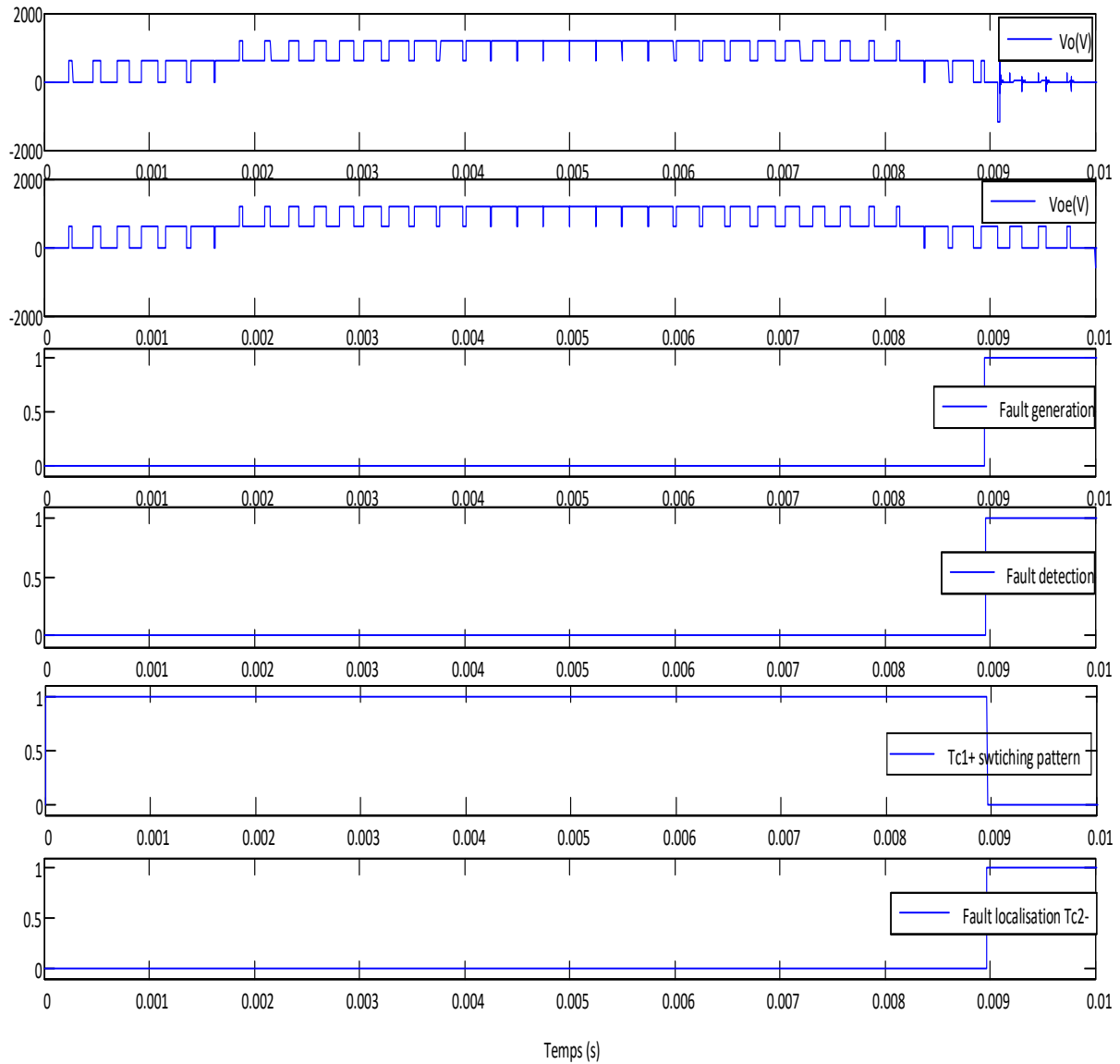


Figure IV. 15 : Résultats de simulation quand Tc2- est en défaut CO dans l'état S3.

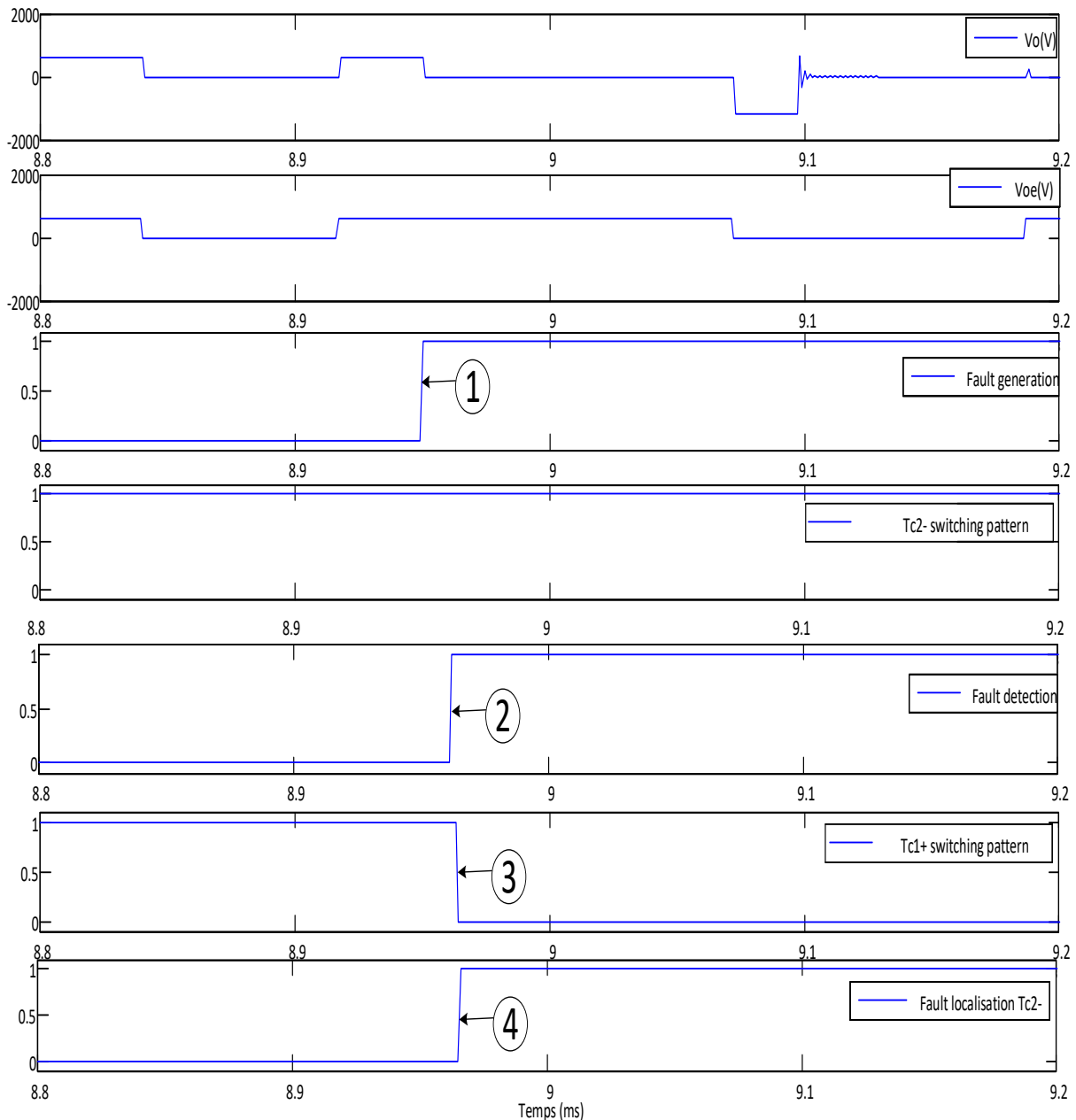


Figure IV. 16 : Résultats de simulation zoomés quand Tc2- est en défaut CO dans l'état S3.

4.2.2. Défaut circuit ouvert dans l'état S18

Dans cette sous-section, un défaut CO dans l'état S18 est considéré. Tout d'abord, le défaut est appliqué artificiellement à T2 à l'aide du signal «Fault Generation» de la Figure IV. 17 ; il est correctement détecté et localisé. Comme on peut le visualiser, à $t = 14.2$ ms, un défaut CO est effectivement généré sur T2 (repère ① de la Figure IV. 18, vue zoomée de la Figure IV. 17, autour de la création du défaut). Au début du repère ②, l'algorithme a détecté un défaut potentiel, mais doit attendre que le compteur dépasse sa valeur seuil (ici égale à 10) pour valider le défaut. Pour

discerner le switch défectueux parmi T2 et T3, la valeur de la tension de sortie mesurée est analysée : comme elle est égale à zéro, la localisation du défaut peut être directement effectuée : T2 est déclaré comme le switch défectueux (repère ④ au niveau du signal "Fault localization T2" de la Figure IV. 18).

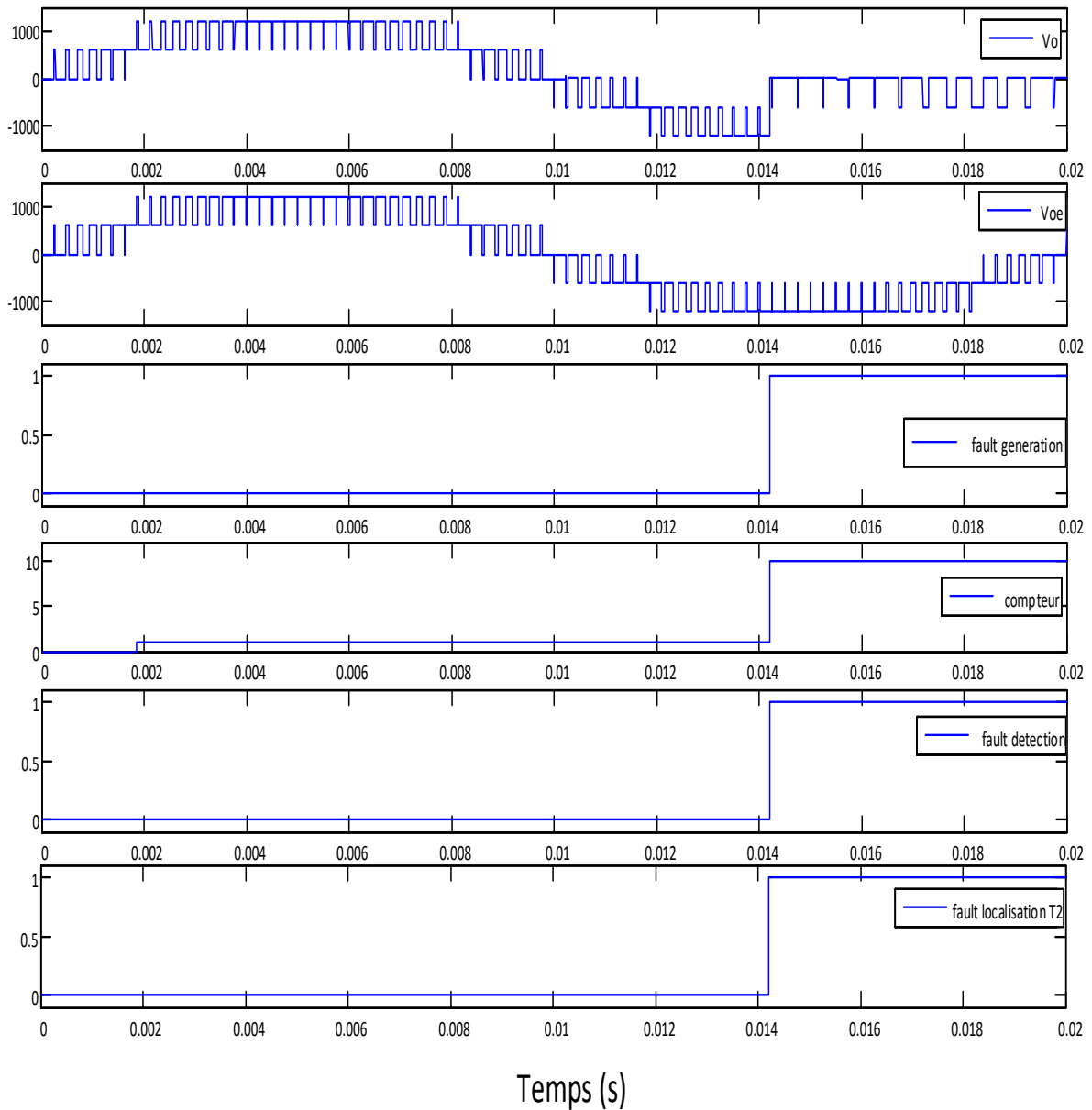


Figure IV. 17 : Résultats de simulation quand T2 est en défaut CO dans l'état S18.

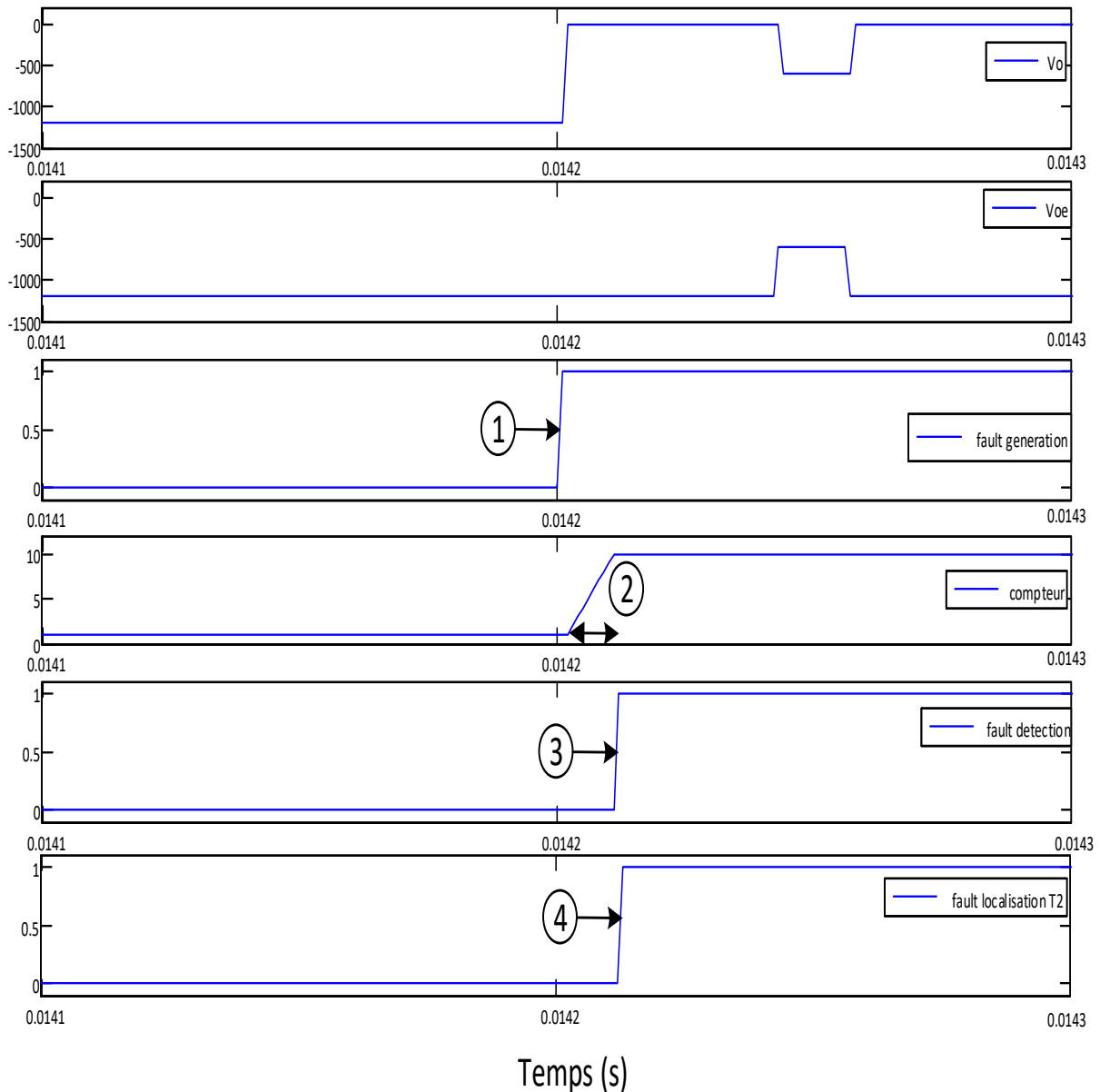


Figure IV. 18 : Résultats de simulation zoomés quand T2 est en défaut CO dans l'état S18.

Maintenant, nous nous plaçons toujours dans l'état S18 mais en générant artificiellement un défaut CO au niveau du switch T3 ; ceci est réalisé par le passage à '1' du signal «Fault Generation» de la Figure IV. 19. A $t = 14.2$ ms, un défaut CO est donc généré au niveau de T3, repéré par le repère ① sur la Figure IV. 20 ; on peut vérifier que le défaut est bien détecté et correctement localisé. La Figure IV. 20 est un zoom de la Figure IV. 19, autour de l'instant d'apparition du défaut. Pendant la durée ②, l'algorithme a détecté un défaut potentiel, mais doit attendre que le compteur atteigne sa valeur seuil égale à 10 pour valider la présence du défaut ; la présence d'un défaut CO est alors validée (voir repère ③ au niveau du signal "Fault détection" de la), mais le switch défectueux ne peut pas être déterminé, comme cela a été expliqué dans Table IV. 5. Pour distinguer le switch défectueux parmi T2 et T3, la valeur mesurée de la tension de sortie est analysée après détection du défaut ; comme elle est égale à $-V_{dc}/2$, la localisation du défaut peut alors être directement

effectuée: T3 est déclaré comme le switch défectueux (voir le repère ④ au niveau du signal "Fault localization T3" de la Figure IV. 20).

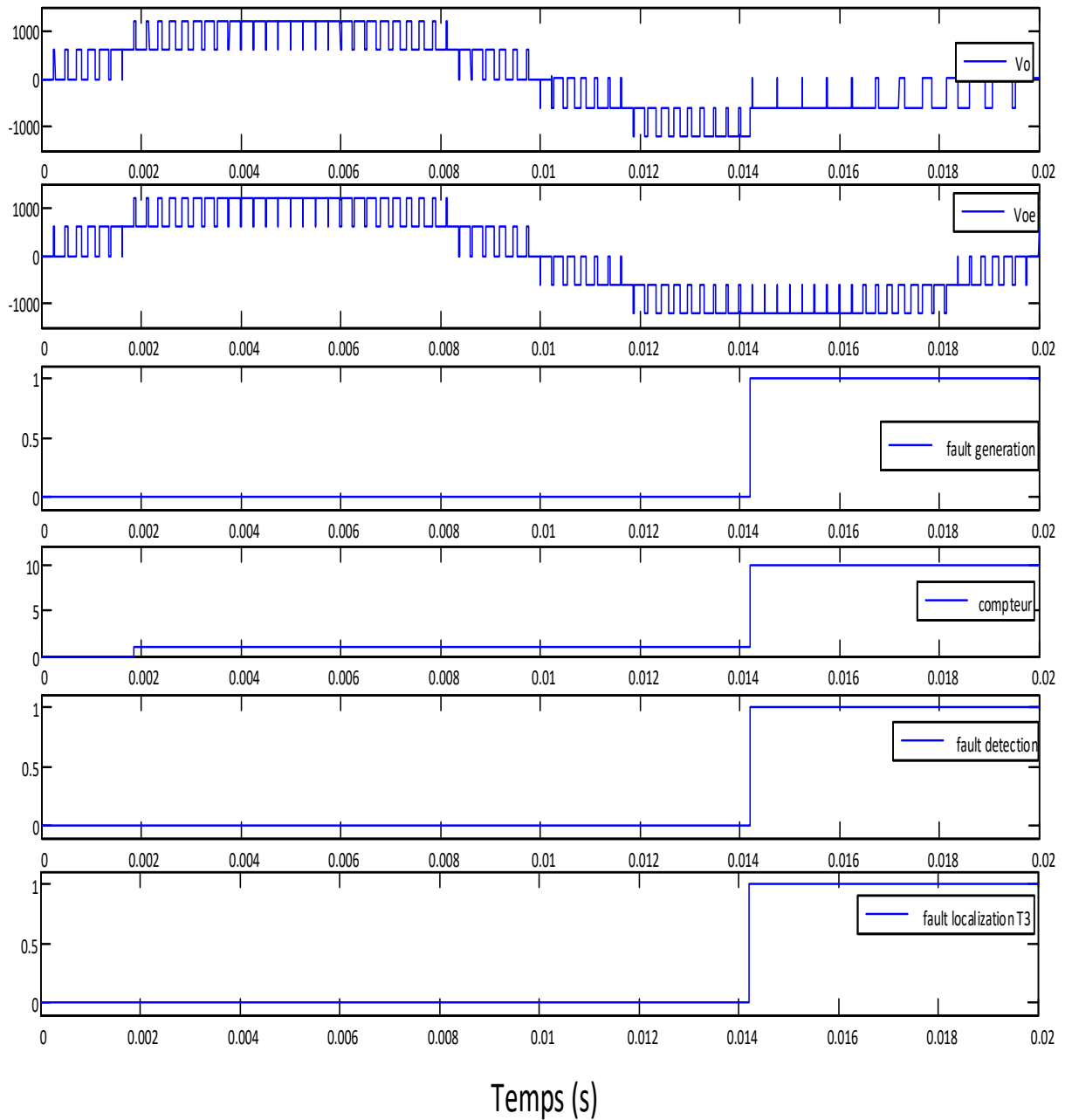


Figure IV. 19: Résultats de simulation quand T3 est en défaut CO dans l'état S18.

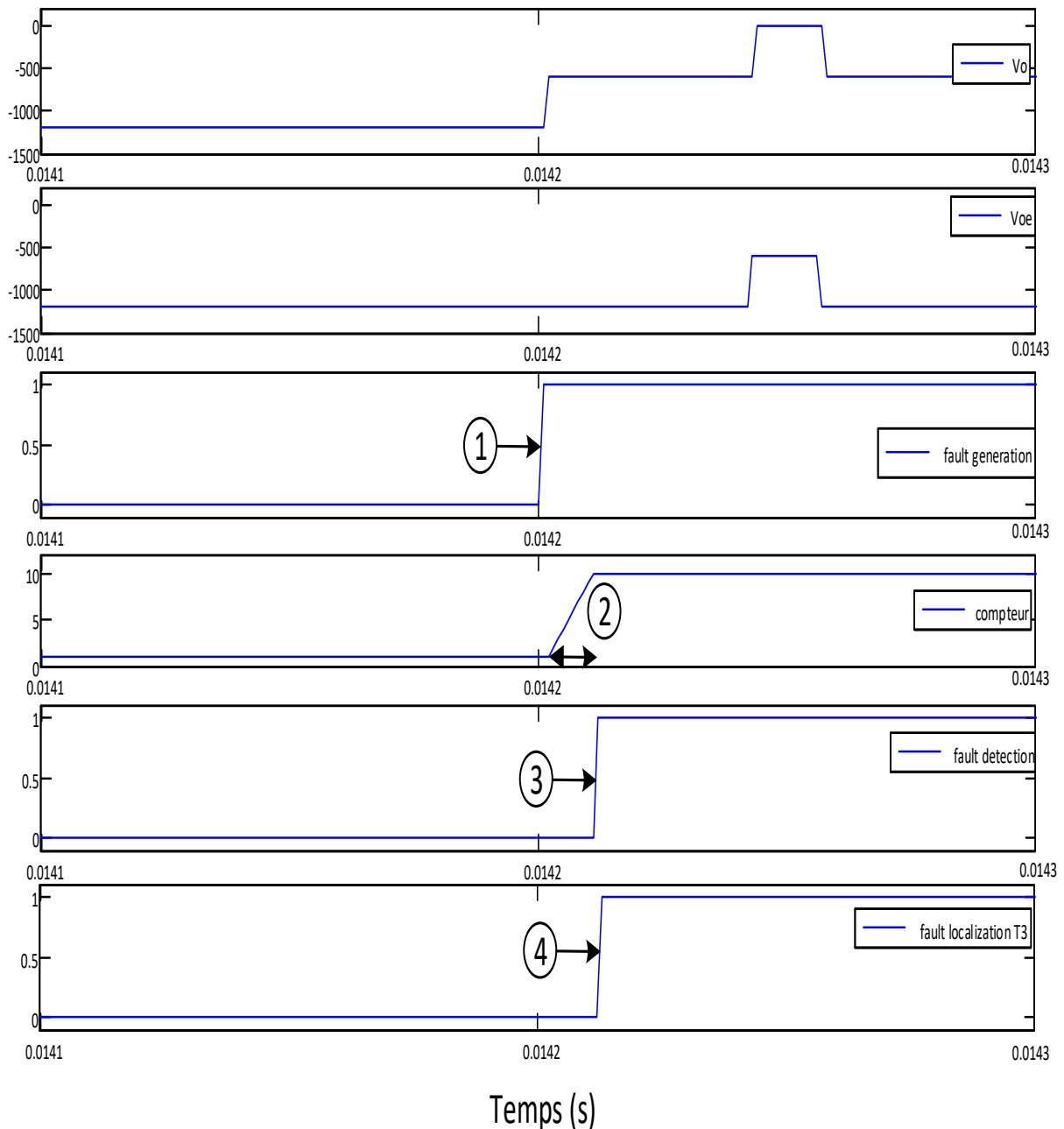


Figure IV. 20 : Résultats de simulation quand T3 est en défaut CO dans l'état S18.

Dans les sections qui précèdent, nous avons validé l'algorithme de localisation que nous proposons dans deux états de commutation (états S3 et S18), à courant de sortie positif et négatif et avec ou sans la nécessité de modifier les ordres de commande pour discerner le défaut. Par ailleurs, nous avons soigneusement validé de la même manière la localisation d'un défaut CO survenant lors des 16 autres états de commutation, démontrant ainsi les performances de notre algorithme : quel que soit l'état dans lequel se trouve le convertisseur lors de l'apparition du défaut, nous arrivons non seulement à le détecter, mais aussi à le localiser. Ainsi, nous avons donc complètement validé le diagnostic d'un défaut CO de l'un des switches.

Une fois l'algorithme de diagnostic validé, il s'agit alors de reconfigurer le convertisseur (alors prévu à cet effet) pour garantir la continuité de service de la conversion de l'énergie. Nous avons choisi de cibler un mode de fonctionnement nominal du convertisseur, après reconfiguration. Dans la section suivante, nous proposons une topologie originale et nouvelle de convertisseur HB-T-Type à tolérance de pannes, lors d'un défaut CO de l'un de ses switches. Suite à l'état de l'art de ce domaine présenté au chapitre précédent, nous nous sommes attachés à proposer une topologie nouvelle, sans avoir recours à des capteurs supplémentaires et en réduisant au minimum le nombre de switches additionnels, nécessaires à la garantie de la continuité de service. De plus, la topologie que nous proposerons pourra nécessiter de modifier la commande du convertisseur après reconfiguration ; néanmoins, la modification à réaliser restera mineure. Notons également qu'en terme de surcoût lié à la garantie de la continuité de service, la modification de la commande n'a pas d'impact et n'est donc pas pénalisante vu de cet aspect.

5. Garantie de la continuité de service par reconfiguration du convertisseur HB-T-type

Dans cette partie, un convertisseur de type HB-T-Type avec une capacité de tolérance aux pannes de types CO est proposé, en cas de défaillance d'un switch. L'algorithme de diagnostic de défaut (détection et localisation) présenté précédemment est intégré à la commande OPT-PWM au niveau du contrôle global du convertisseur. Un bras redondant ainsi que deux interrupteurs bidirectionnels en courant (triacs) sont ajoutés à la topologie de base du HB-T-Type ; ils seront utilisés dans certains cas de reconfigurations du convertisseur. Le convertisseur ainsi obtenu peut fonctionner sans dégradation des performances après défaut. Après modélisation, des simulations sont présentées pour valider la stratégie de tolérance aux pannes, dans plusieurs cas typiques de garantie de la continuité de service.

5.1. Topologie de convertisseur HB-T-Type à tolérance de pannes et contrôle associé.

5.1.1. Topologie HB-T-Type à tolérance de pannes

Une topologie innovante de convertisseur HB T-Type à tolérance de pannes (Figure IV. 21) est proposée dans cette partie. Elle est basée sur l'utilisation d'un bras redondant (bras redondant vertical de la Figure IV. 21), additionnel par rapport à la topologie présentée à la Figure IV. 6. Ce bras est mutualisé à l'aide de deux interrupteurs bidirectionnels en courant (triacs SW1 et SW2) ; en effet, il peut remplacer, si nécessaire, un bras défectueux parmi les bras 1 et 2 de la Figure IV. 21, après diagnostic d'un défaut CO. Le point milieu du bras redondant peut alors être relié, si nécessaire, au point milieu d'un des bras défectueux, en utilisant l'un des deux triacs SW1 ou SW2. Notez que ce bras redondant n'est utilisé que lorsqu'un défaut CO a été diagnostiqué au niveau de l'un des switches verticaux (composants T1, T2, T3 ou T4, en vert à la Figure IV. 21). Dans le cas du diagnostic d'un défaut CO de l'un des switches horizontaux (composants TC1+, TC1-, TC2+ ou TC2-, en rouge à la

Figure IV. 21), seul un changement des ordres de commande sera réalisé ; dans ce cas, le bras redondant ne sera pas utilisé. En effet, la possibilité offerte par le convertisseur multiniveaux HB-T-Type pour réaliser un niveau de tension donné à partir de plusieurs états de commutation sera mise à profit pour garantir la continuité de service.

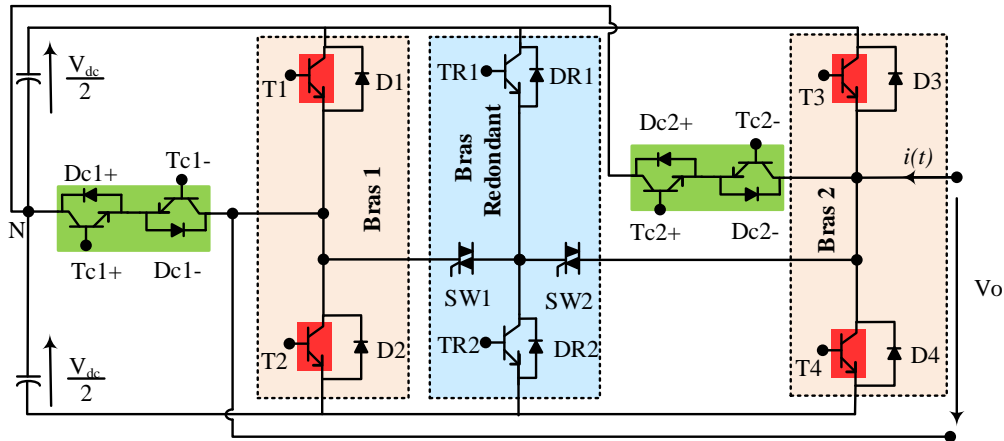


Figure IV. 21: Structure du convertisseur HB-T-Type à tolérance de pannes, proposée pour garantir la continuité de service.

5.1.2. Contrôle et gestion des défauts

Le principe de l'association de la tolérance de pannes et de la continuité de service est illustré par la Figure IV. 22. Sur cette figure, on retrouve le diagnostic de défaut présenté dans les sections précédentes, auquel un bloc destiné à la gestion des défauts CO a été ajouté. Le convertisseur est identique à celui de la Figure IV. 21.

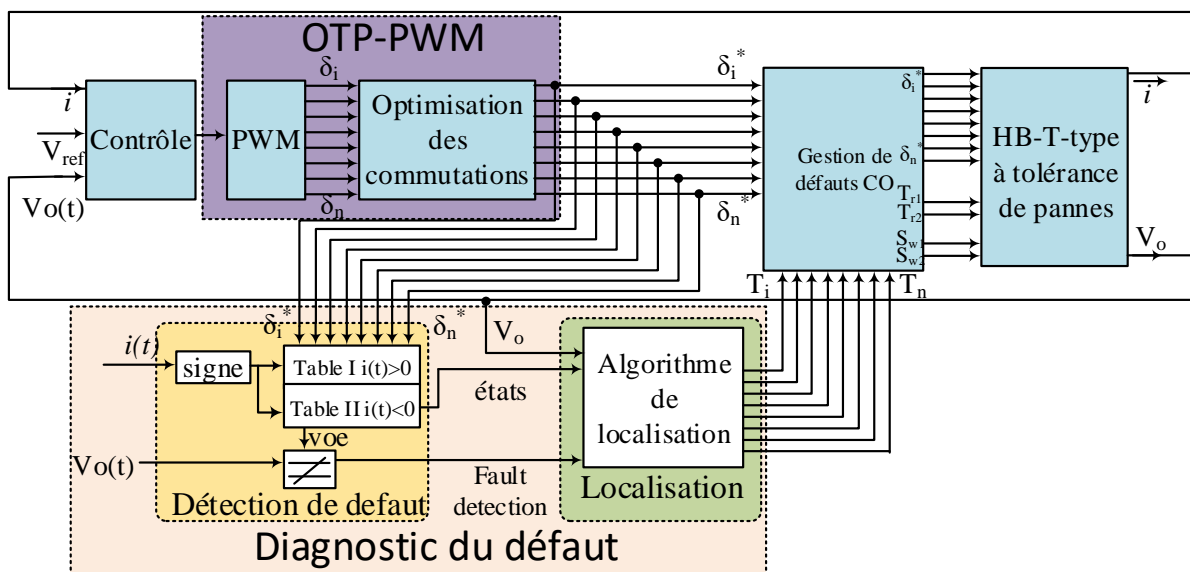


Figure IV. 22 : Continuité de service d'un système de puissance basé sur un convertisseur HB-T-Type à tolérance de pannes.

Après détection et localisation d'un défaut de type CO, il faut dans tous les cas modifier les ordres de commande des switches du convertisseur HB-T-Type à tolérance de pannes, pour en garantir la continuité de service. Selon la localisation du défaut CO, les nouveaux ordres de commande permettront soit de reconfigurer le convertisseur et modifier les switches à commander, soit d'imposer uniquement les états de commutations encore possibles (selon le switch défaillant) tout en générant une tension de sortie identique à celle fixée par la consigne. Ceci est la fonction du bloc "Gestion de défauts CO" de la Figure IV. 22.

D'une part, la Table IV. 6 consigne l'ensemble des modifications à appliquer aux ordres de commande pour tous les différents cas de défaut CO de l'un des switches verticaux. Dans ces cas, l'utilisation du bras redondant est obligatoire pour garantir les mêmes performances du convertisseur qu'en mode sain.

D'autre part, lorsqu'un défaut CO se produit sur l'un des switches horizontaux, le bras supplémentaire n'est pas utilisé et le bloc « Gestion de défauts CO » permet de réaliser le niveau de tension approprié en utilisant les états de commutations sains et donc encore réalisables. Ceci est consigné de manière exhaustive dans la Table IV. 7, lorsqu'un défaut CO se produit sur l'un des switches horizontaux.

Défaut CO de l'un des switches verticaux	Reconfiguration des ordres de commande du HB-T-Type à tolérance de pannes
T1	<p>On ferme SW1 et on ouvre T2.</p> <p>L'ordre de commande de T1 est appliqué à Tr1 et l'ordre de commande de T2 est appliqué à Tr2.</p> <p>Le triac SW₁ est fermé en permanence.</p>
T2	<p>On ferme SW1 et on ouvre T1.</p> <p>L'ordre de commande de T1 est appliqué à Tr1 et l'ordre de commande de T2 est appliqué à Tr2.</p> <p>Le triac SW₁ est fermé en permanence.</p>

T3	<p>On ferme SW2 et on ouvre T4.</p> <p>L'ordre de commande de T3 est appliqué à Tr1 et l'ordre de commande de T4 est appliqué à Tr2.</p> <p>Le triac SW₂ est fermé en permanence.</p>
T4	<p>On ferme SW2, on ouvre T3.</p> <p>L'ordre de commande de T3 est appliqué à Tr1 et l'ordre de commande de T4 est appliqué à Tr2.</p> <p>Le triac SW₂ est fermé en permanence.</p>

Table IV. 6: Principe de la gestion d'un défaut CO de l'un des switches verticaux.

Switch en défaut CO	États disponibles non	Composants passants en mode sain	États disponibles à utiliser	Composants passants après reconfiguration
Tc1+	2	TC1+, DC1-, T4 ($v_o(t)=V_{dc}/2, i(t)>0$)	3	T1, TC2-, DC2+
	4	TC1+, DC1-, TC2-, DC2+ ($v_o(t)=0, i(t)>0$)	5	T1, D3
			6	D2, T4
8	TC1+, DC1-, D3 ($v_o(t)=-V_{dc}/2, i(t)>0$)	7	D2, TC2-, DC2+	
Tc1-	13	TC1-, DC1+, Tc2+, Dc2- ($v_o(t)=0, i(t)<0$)	14	D1, T3
			15	T2, D4
17	TC1-, DC1+, T3 ($v_o(t)=-V_{dc}/2, i(t)<0$)	16	T2, Tc2+, Dc2-	
Tc2+	13	TC1-, DC1+, Tc2+, Dc2- ($v_o(t)=0, i(t)<0$)	14	D1, T3
			15	T1, D3
	16	T2, Tc2+, Dc2-	17	D2, T4

		$(v_o(t) = -V_{dc}/2, i(t) < 0)$		
Tc2-	3	T1, TC2-, DC2+ $(v_o(t) = V_{dc}/2, i(t) > 0)$	2	TC1+, DC1-, T4
	4	TC1+, DC1-, TC2-, DC2+ $(v_o(t) = 0, i(t) > 0)$	5	T1, D3
			6	D2, T4
7	D2, TC2-, DC2+ $v_o(t) = -V_{dc}/2, i(t) > 0)$	8	TC1+, DC1-, D3	

Table IV. 7 : Principe de la gestion d'un défaut CO de l'un des switchs horizontaux.

5.2. Résultats de Modélisation/Simulation

Dans toute cette section, les paramètres de simulation sont identiques à ceux mentionnés à la section 4.2.

5.2.1. Exemple de reconfiguration de la commande lors du défaut CO d'un switch horizontal

Cette section présente une sélection de résultats de simulation, obtenus lorsqu'un défaut CO se produit au niveau du switch Tc2+. Pour générer ce défaut, l'ordre de commande de Tc2+ est forcé à '0' en utilisant le signal "Fault generation". Ce signal modifie l'ordre de commande appliqué à Tc2+, en le forçant à '0' quand "Fault generation" est égal à '1'. Par ce biais, un défaut CO de Tc2+ est généré et il est correctement localisé à partir de l'analyse des valeurs des tensions de sortie mesurée et estimée, respectivement égale à 0 et $(-V_{dc}/2)$ et selon l'algorithme de la Table IV. 5. Dans cette section, seuls les résultats liés à la reconfiguration de la commande seront présentés et discutés. Les résultats de simulation concernant le diagnostic du défaut ne seront pas présentés, cet aspect ayant déjà fait l'objet de la précédente section.

Après la détection et localisation du défaut, il est nécessaire de connaître l'état dans lequel le défaut est apparu afin de modifier correctement les ordres de commande. Cet état peut être identifié en utilisant les ordres de commande des switchs ainsi que le signe du courant. Dans notre cas, le convertisseur est dans l'état S16 lorsque le défaut CO apparaît. Une reconfiguration des ordres de commande est alors réalisée : les états S16 et S13 sont maintenant indisponibles suite au défaut survenu au niveau de TC2+ et doivent être remplacés par des états "sains" permettant de générer le même niveau de tension de sortie, comme cela a été expliqué à la section précédente et résumé dans la Table IV. 7.

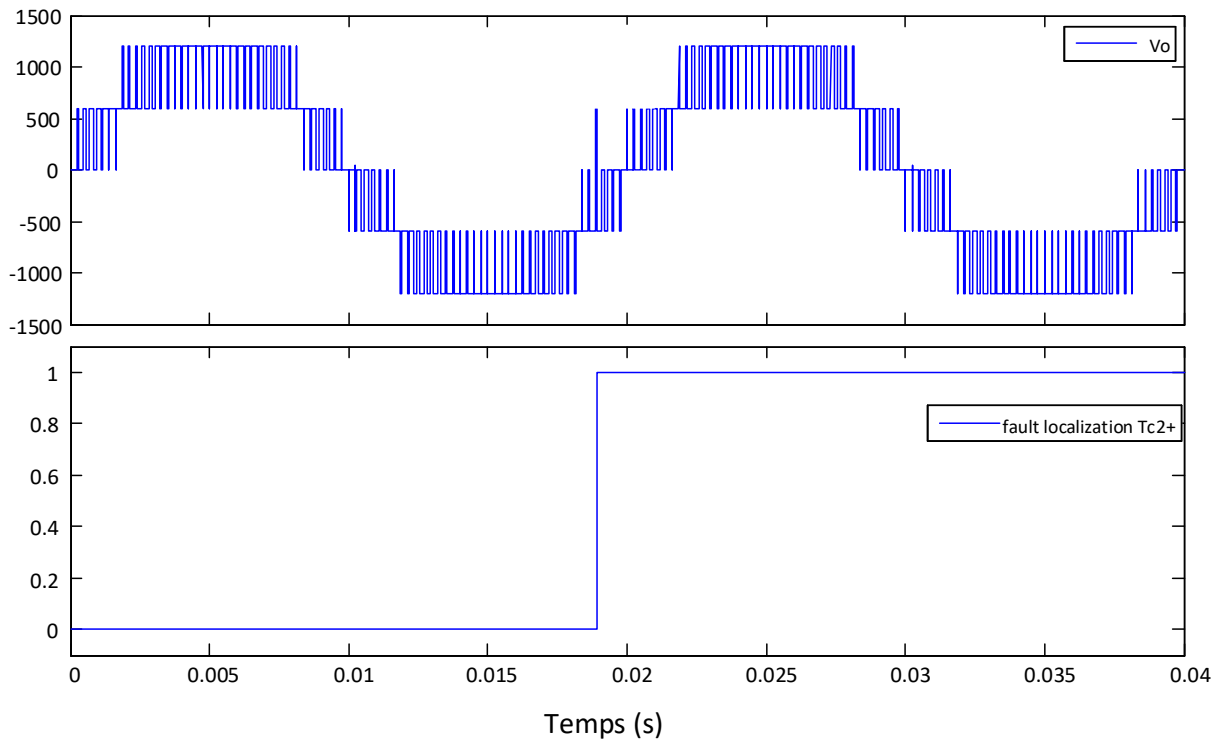


Figure IV. 23: Tension de sortie avant et après localisation du défaut et reconfiguration de la commande.

La Figure IV. 23 présente le chronogramme de la tension de sortie, avant et après apparition et localisation du défaut. Comme on peut le constater, la tension de sortie reste toujours correcte et de bonne qualité, même après apparition du défaut et reconfiguration de la commande. La différence entre avant et après la localisation du défaut est que nous avons effectué une reconfiguration de la commande par l'intermédiaire du bloc "Gestion de défauts CO" de la Figure IV. 22. En effet, vu que Tc2+ n'est plus opérationnel, nous avons dû utiliser des états différents avant et après défaut, pour remplacer les états utilisant Tc2+ (Table IV. 7). Notre algorithme a donc remplacé les états numéros S16 et S13 par des états qui réalisent le même niveau de tension. La Figure IV. 24 représente les différents états de commutation par lesquels passe le convertisseur, avant et après la localisation du défaut CO de Tc2+. Comme nous pouvons le remarquer en analysant attentivement ce chronogramme, la commande reconfigurée des switches n'a effectivement plus recours aux états numéros S16 et S13 et ces derniers sont respectivement remplacés par les états numéros S14 et S17.

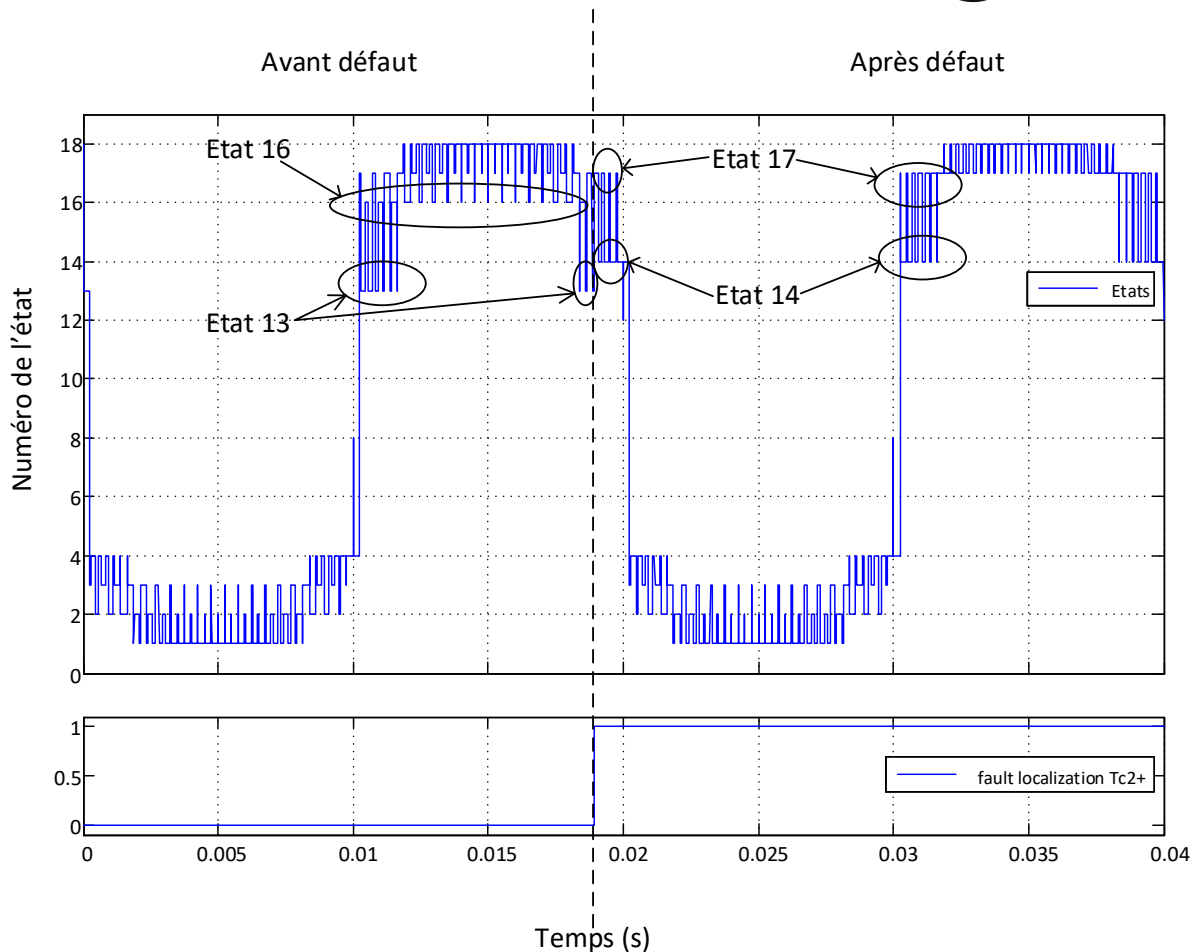


Figure IV. 24: États de commutation par lesquels passe le convertisseur avant et après la localisation du défaut et reconfiguration de la commande.

5.2.2. Exemple de reconfiguration matérielle du convertisseur lors du défaut CO d'un switch vertical

Dans cette section, nous présentons une sélection de résultats de modélisation/simulation lors de l'apparition d'un défaut CO du switch vertical T4. Comme auparavant, ce défaut est artificiellement généré ; il est détecté lorsque le convertisseur est dans l'état de commutation S2 et sa localisation est effectuée selon l'algorithme de de la Table IV. 4. Ici encore, seuls les résultats liés à la reconfiguration matérielle du convertisseur et de la commande seront présentés et discutés.

Le switch T4 est un switch vertical : comme nous l'avons déjà expliqué, la reconfiguration matérielle du convertisseur sera donc nécessaire pour garantir la continuité de service et le bras redondant devra être utilisé après diagnostic du défaut CO. Ainsi, une reconfiguration matérielle du convertisseur est effectuée : le triac SW2 est commandé en permanence à la fermeture (connexion du bras redondant) et le switch T3 est commandé en permanence à l'ouverture (déconnexion physique de l'ensemble du bras défaillant). L'ordre de commande initialement généré par la commande avant défaut et destiné à commander le switch T3 est alors appliqué à Tr1. De plus,

l'ordre de commande initialement destiné à commander le switch T4 est appliqué au switch Tr2, conformément à l'algorithme de la Table IV. 6.

La Figure IV. 25 présente le chronogramme de la tension de sortie avant et après l'apparition du défaut et la reconfiguration du convertisseur. Comme on peut le constater, la tension de sortie n'est pas affectée par le défaut survenu au niveau du switch T4 et a une allure conforme : la continuité de service est donc garantie. La différence entre avant et après la localisation du défaut est que nous avons reconfiguré matériellement le convertisseur et effectué une modification de la commande par l'intermédiaire du bloc "Gestion de défauts CO" de la Figure IV. 22. En effet, vu que T4 n'est plus utilisable nous avons dû utiliser le bras redondant (Table IV. 6). Après localisation du défaut, notre algorithme a donc mis à zéro les ordres de commande envoyés en mode sains aux switches T3 et T4, pour les imposer respectivement aux switches Tr1 et Tr2, tout en activant le triac SW2. La Figure IV. 26 met en évidence ces changements d'ordre de commande imposés à ces différents switches.

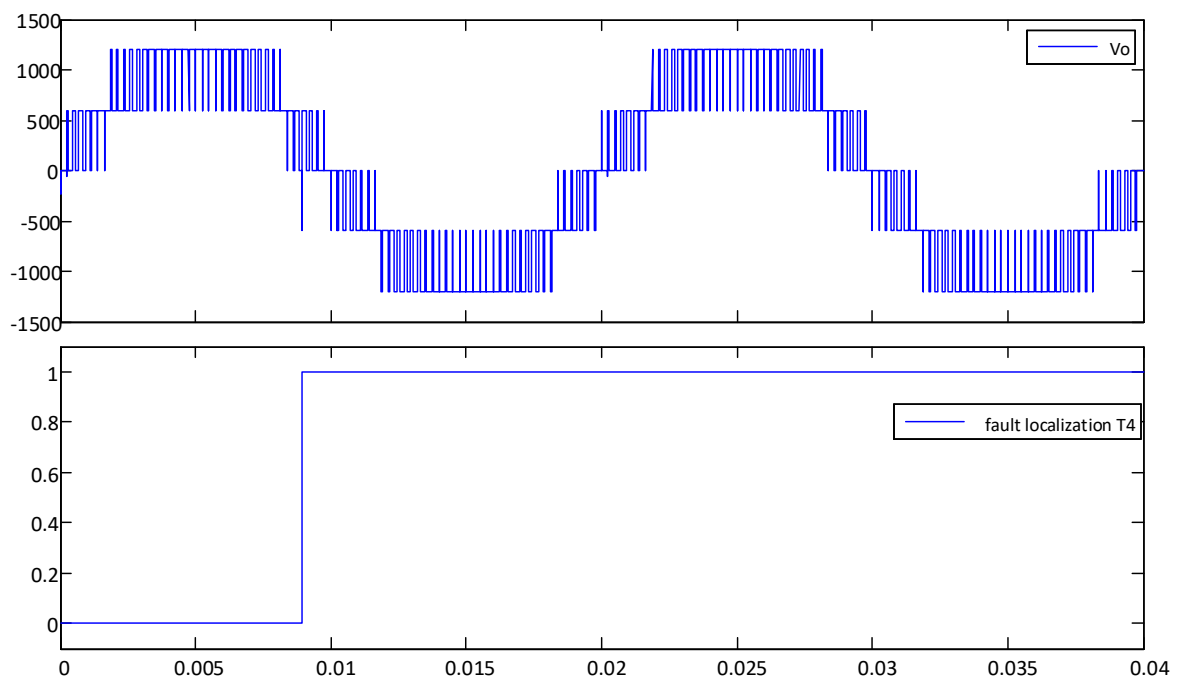


Figure IV. 25: Tension de sortie $v_o(t)$ avant et après localisation du défaut CO de T4 et reconfiguration matérielle du convertisseur et de sa commande.

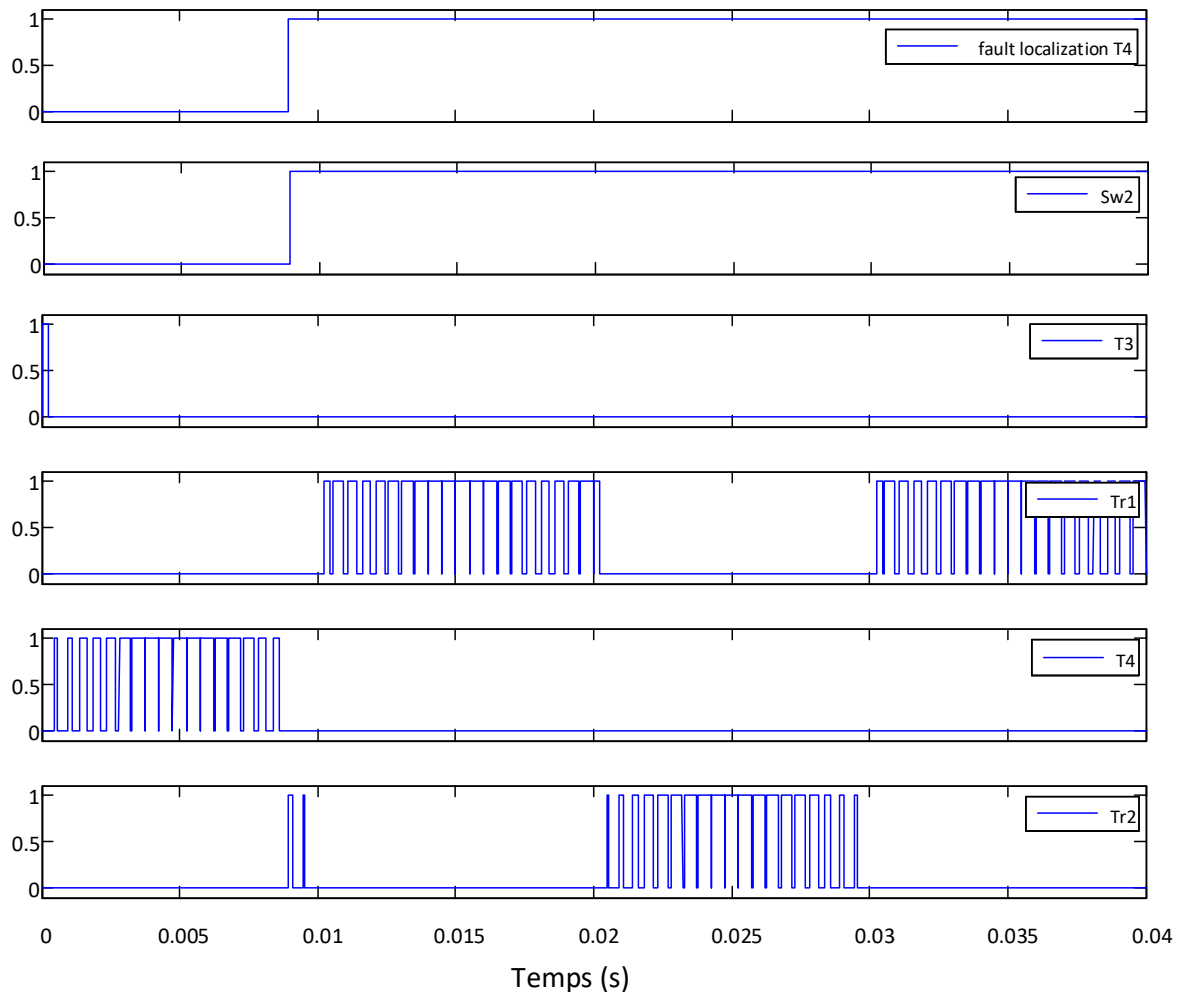


Figure IV. 26 : Ordres de commande des switches T3, T4, Tr1, Tr2 et SW2, avant et après localisation du défaut CO de T4 et reconfiguration matérielle du convertisseur et de sa commande.

6. Conclusion

De manière générale, ce chapitre a abordé l'étude de la continuité de service de convertisseurs multiniveaux à structure dite « Pont en H ». Les défauts considérés concernent la défaillance en circuit ouvert d'un des composants commandables, encore appelés switches dans cette étude. Le travail de recherche exposé dans ce chapitre propose plusieurs contributions significatives quant à la continuité de service : une approche innovante de diagnostic de défaut (incluant la détection et la localisation) et une topologie originale de convertisseur HB-T-Type à tolérance de pannes, associées à une commande reconfigurable.

Concernant le diagnostic d'un défaut, une approche générale pour la détection dans le cas des convertisseurs multiniveaux à structure Pont en H a tout d'abord été développée. Ensuite, cette approche a été déclinée et détaillée dans le cas du convertisseur HB-T-Type. Notons que l'algorithme de détection décrit en détail pour le HB-T-Type peut être aisément étendu au cas du montage HB-NPP ; en effet, pour cette dernière structure, seuls certains des switches du montage T-Type sont remplacés par deux switches en série afin d'augmenter la tenue en tension du montage. L'algorithme

de détection repose sur deux critères : un critère tension et un critère temporel. Ce dernier critère permet d'éviter toute fausse détection liée aux commutations des switches et aux imperfections d'un montage réel (temps de réponse des capteurs de tension, temps morts des drivers, temps de réponse de la conversion analogique-numérique, ...). Un algorithme de localisation a ensuite été développé, dans le cas du montage HB-T-Type. Bien qu'un montage particulier ait été ciblé, cette approche de localisation pourra être adaptée, dans le même esprit, à d'autres montages en pont.

Pour conclure sur cet aspect « diagnostic de défaut », il est important de mentionner qu'aucun capteur additionnel n'est nécessaire (coût optimisé) et que les algorithmes proposés ne requièrent pas de lourds calculs. Ces algorithmes sont plutôt basés sur des Tables, relevant donc de la « logique » et seront alors particulièrement adaptés à une implantation matérielle sur cible numérique de type Field Programmable Gate Array (FPGA). Ceci est un avantage majeur car ce type de composant numérique permet de travailler à des fréquences d'échantillonnage élevées : il peut donc « scanner » (en parallèle du contrôle du système en mode sain) à fréquence élevée l'état des switches du convertisseur et ainsi détecter très rapidement un défaut. Cette discussion sera davantage développée lors du dernier chapitre consacré à la validation expérimentale de ces travaux de recherche.

Une fois le défaut détecté et localisé, il faut alors appliquer une reconfiguration de la commande et/ou du convertisseur pour garantir la continuité de service. Nous nous sommes attachés à proposer une structure originale de convertisseur HB-T-Type à tolérance de pannes avec un minimum de composants additionnels. La capacité d'un convertisseur multiniveaux à assurer certains niveaux de tension de sortie à partir de plusieurs états de commutation différents nous a permis de limiter le nombre de composants additionnels. Ainsi, lors de nos réflexions, nous avons considéré séparément le cas des switches horizontaux et des switches verticaux. Pour les switches horizontaux, nous avons montré qu'un switch en défaut CO ne pénalise pas le convertisseur car il est possible de s'en passer et ainsi pouvoir générer la tension de sortie demandée en ayant recours à un état de commutation dans lequel il n'intervient pas. Ainsi, dans le cas du défaut d'un switch horizontal, une modification de l'algorithme de commande après diagnostic du défaut est suffisante pour garantir la continuité de service. Ceci n'est pas envisageable dans le cas de défaut d'un switch vertical car il n'est pas possible de s'en passer pour pouvoir générer après défaut tous les niveaux possibles de la tension de sortie. Cette approche pourrait cependant suffire si l'on souhaitait fonctionner en mode dégradé après défaut. Quant à nous, nous avons ciblé un mode nominal après défaut. Nous avons ainsi été amenés à proposer une structure HB-T-Type originale qui mutualise un bras redondant, utilisé uniquement lors du défaut d'un des switches verticaux. L'algorithme de reconfiguration de la commande des switches, lié à cette nouvelle topologie a été explicité en détail, pour chacun des cas de défauts possibles.

L'ensemble des travaux présentés dans ce chapitre a été modélisé et simulé dans l'environnement Matlab/Simulink. Les nombreux cas de simulations que nous avons validés nous ont conduits à en sélectionner uniquement certains d'entre eux pour les exposer et les discuter dans ce chapitre. Des

choix ont été faits afin de présenter la plus grande diversité de cas possibles, sans pour autant être redondant. Les simulations proposées sont diverses et variées, à courant ou tension de sortie positif et négatif, dans différents états de commutation, avec reconfiguration du convertisseur en utilisant le bras redondant ou bien uniquement avec changement d'états de commutation. Ainsi, l'ensemble de nos travaux a pu être validé avec succès par simulation.

L'étape qui suit cette validation par modélisation/simulation est la validation expérimentale sur un banc de test. Dans cet objectif, le chapitre qui suit propose de valider nos travaux par étapes, en ciblant une implantation sur cible FPGA de certaines parties des algorithmes, stratégique en terme de performances temps réel de la continuité de service proposée. Suivant une approche méthodologique développée dans notre équipe de recherche, les parties à implanter sur cible FPGA seront tout d'abord validées par prototypage dit « FPGA in the Loop », puis le FPGA alors validé sera inséré au niveau d'un banc de test totalement expérimental. Ceci fait l'objet du chapitre qui suit.

CHAPITRE V : Validation expérimentale du convertisseur HB-T-Type à tolérance de pannes

1. Introduction

L'objectif de ce chapitre est de valider expérimentalement la continuité de service du convertisseur HB-T-Type 5 niveaux à tolérance de pannes, proposé et validé par modélisation/simulation au chapitre précédent. Un banc de test d'une puissance de l'ordre du kiloWatt a été spécifiquement réalisé au laboratoire durant ces travaux de thèse afin de valider expérimentalement nos travaux de recherche.

Dans la section suivante, les choix de l'implantation matérielle du contrôle du convertisseur, du diagnostic de défaut et de la gestion du défaut seront discutés et arrêtés. Dans le contexte de ces travaux de thèse, nous avons déjà validé expérimentalement au Chapitre 2 l'implantation matérielle de la commande PWM (appelée OPT-PWM dans ce mémoire) sur un banc de test et pour la structure de base en mode sain du convertisseur HB-T-Type 5 niveaux considéré lors de l'étude de sa tolérance de pannes. Pour permettre la garantie de la continuité de service, la structure expérimentale de puissance du HB-T-Type (mode sain) alors réalisée doit donc être modifiée en y ajoutant un bras redondant ainsi que deux triacs, conformément à la Figure IV.21 du chapitre précédent. Notons que le contrôle du convertisseur, qui fonctionnait uniquement en mode sain dans le chapitre 2, a alors été implanté sur un système de prototypage Dspace (carte DS1104).

Depuis plus de dix années, plusieurs thèses et travaux de recherche ont déjà été menés dans nos équipes de recherche sur la continuité de service des convertisseurs AC-DC-AC et DC-DC. L'approche que nous avons toujours privilégiée lors de la phase d'implantation matérielle du système de puissance est de cibler des performances temporelles des plus élevées pour le diagnostic du défaut et sa gestion afin de garantir au plus vite la continuité de service. Ici encore, ce même choix nous a conduit à réaliser une implantation matérielle sur cible numérique FPGA de la partie du contrôle du convertisseur HB-T-Type, spécifiquement destinée à assurer sa tolérance de pannes lors de l'apparition d'un défaut CO de l'un de ses switches. Un composant FPGA sera donc adjoint au système dSPACE qui réalisera toujours le contrôle en mode sain du convertisseur ; le FPGA réalisera quant à lui les trois fonctions principales dédiées à la tolérance de pannes que sont la détection, la localisation et la reconfiguration du convertisseur et/ou de sa commande. Notons que ces fonctions seront réalisées par le FPGA en parallèle et à une fréquence élevée, relativement au contrôle en mode sain exécuté par le système dSPACE. Le FPGA permettra ainsi de scanner l'état des switches, indépendamment du contrôle et avec des performances temporelles élevées.

Lors d'une telle implantation sur cible numérique de type FPGA et dans le contexte d'un système de puissance à tolérance de pannes, il est primordial de réfléchir préalablement au choix de la méthodologie de conception qui sera mise en œuvre. Nous proposons d'implanter sur FPGA les fonctions nécessaires à la tolérance de pannes via une approche de prototypage qui place, pour chacune des étapes sur lesquelles elle s'appuie, le FPGA au cœur d'une boucle de simulation ; cette

approche est qualifiée par le terme « In the Loop » dans la littérature scientifique du domaine. Nous nommerons cette méthode « Prototypage FPGA in the Loop ». L'approche méthodologique globale retenue fera l'objet de la section 3.

Dans la section 4, l'approche proposée sera appliquée au prototypage sur cible FPGA de la partie du contrôle du convertisseur HB-T-Type, dédiée à sa tolérance de pannes. Parmi l'ensemble des résultats obtenus en plaçant la cible FPGA dans la boucle de simulation, certains seront sélectionnés et présentés pour illustrer le bon fonctionnement de la tolérance de pannes et valider ses performances.

Ensuite, une fois l'implantation matérielle sur FPGA validée, ce dernier sera inséré au niveau du système de commande du banc de test. Des essais de continuité de service du HB-T-Type à tolérance de pannes pourront donc être réalisés sur un banc de test totalement expérimental, comparativement au cas de la validation « FPGA in the Loop » pour laquelle le FPGA était connecté à un ordinateur qui émulait le reste du système de puissance. De nombreux essais expérimentaux dans de multiples cas de défaut CO et de gestion de ce dernier ont pu ainsi être réalisés. Nous avons donc été amenés à en sélectionner certains d'entre eux pour les présenter dans la section 5, en s'efforçant de proposer une large diversité de cas de défauts tout en évitant d'être redondant. Ainsi, nous avons choisi de présenter deux cas de continuité de service (détection, localisation et gestion du défaut par reconfiguration du convertisseur et/ou de la commande), dans les cas d'un défaut CO d'un switch vertical et d'un switch horizontal.

2. Choix technologiques pour l'implantation du contrôle, du diagnostic de défaut et de sa gestion

L'objectif principal lors de l'implantation de la détection de défaut est d'être la plus rapide possible afin d'éviter tout problème pouvant potentiellement survenir au niveau du système de puissance. Il est donc indispensable que la surveillance de l'état de fonctionnement des switches et la gestion de défaut s'exécute rapidement et en parallèle des autres tâches de contrôle du système. Le système Dspace dont nous disposons et sur lequel le contrôle en mode sain du convertisseur HB-T-Type a été implanté au chapitre 2 n'est donc pas des plus adaptés pour réaliser ces fonctionnalités. Plusieurs technologies de cibles numériques peuvent être utilisées dans les applications de détection de défaut pour convertisseurs de puissance. Nous pouvons en citer les principales que sont les DSP (Digital Signal Processor), les FPGA et les Microcontrôleurs qui présentent tous des caractéristiques très intéressantes. Notre choix s'est porté sur une cible FPGA pour implanter notre algorithme de diagnostic et de gestion de défaut et ainsi garantir des performances "temps réel" lors de la continuité de service. Ainsi, sur la base de notre expérience de recherche passée et de la plateforme FPGA dont nous disposons au laboratoire, nous avons choisi d'adjoindre un composant FPGA de la famille ALTERA au système Dspace qui réalisera toujours le contrôle en mode sain du

convertisseur (voir chapitre 2); le FPGA réalisera quant à lui les trois fonctions principales dédiées à la tolérance de pannes que sont la détection, la localisation et la reconfiguration du convertisseur et/ou de sa commande. Ce choix est résumé par la Figure V. 1

De plus, comme nous avons pu le constater lors du développement des algorithmes nécessaires à la garantie de la continuité de service, ces derniers se basent sur des Tables. Celles-ci sont particulièrement adaptées à une conception numérique basée sur des machines à états, aisément implantables sur une cible matérielle FPGA. En effet, grâce à leur structure basée sur la logique câblée, les composants FPGA nous semblent effectivement être un très bon choix dans ces conditions de fonctionnement pour atteindre des performances temporelles élevées.

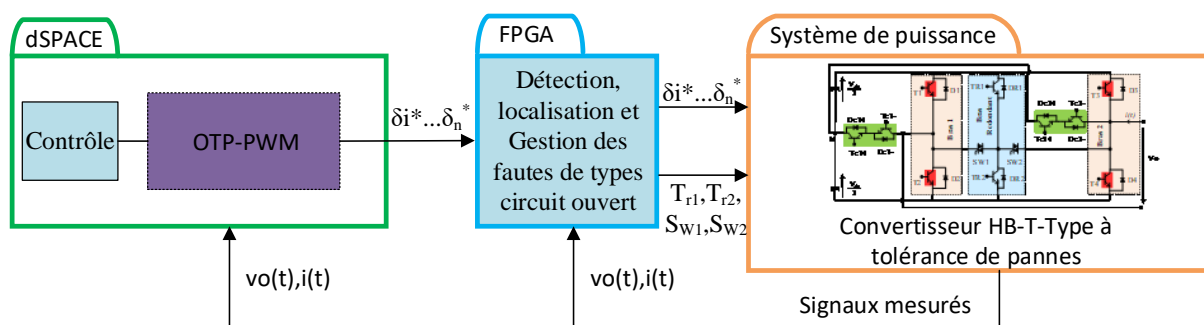


Figure V. 1 : Choix de l'implantation matérielle du contrôle à tolérance de pannes pour un HB-T-Type.

3. Méthodologie de Prototypage de l'implantation sur cible FPGA.

Une méthodologie de prototypage innovante, appelée "FPGA in the Loop", a été développée dans notre laboratoire lors de précédents travaux de recherche [1]-[4]. Elle est matériellement basée sur une plateforme expérimentale, centrée sur un FPGA de la famille ALTERA et les outils électronique CAO associés. Le flot de conception Top-Down au cœur de cette approche est présenté à la Figure V. 2. Ce flot se compose de quatre étapes principales : simulation fonctionnelle, simulation mixte, prototypage « FPGA in the Loop » et test entièrement expérimental. Les différentes étapes de la méthodologie de la Figure V. 2 sont successivement discutées dans la suite de cette section.

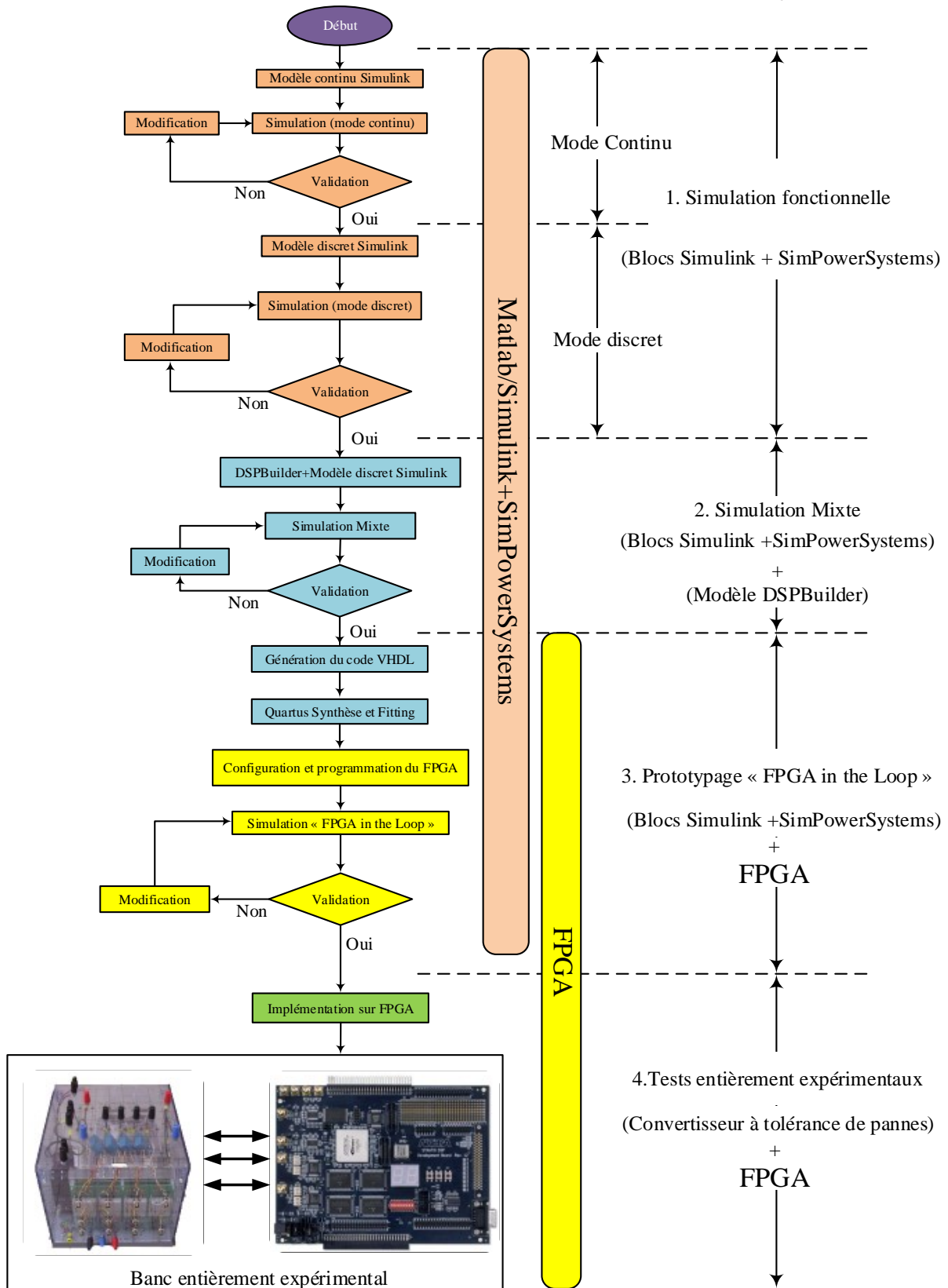


Figure V. 2 : Méthodologie de prototypage « FPGA in the loop »

3.1. Première étape : simulation fonctionnelle

De manière générale, la première étape repose sur la simulation dite « Model-In-The-Loop » ou MIL, lors de laquelle le contrôle est simulé avec la partie puissance sur une plate-forme de simulation informatique. Dans ces plates-formes de simulation, les modèles du contrôle peuvent être simulés exactement comme sera implémenté le contrôle sur une plateforme matérielle numérique, par exemple en introduisant des calculs arithmétiques et des retards dans le chemin du signal. De cette façon, non seulement le contrôle peut être vérifié, mais il peut être encore optimisé en considérant les défauts de la plateforme matérielle numérique. L'idée de base de la simulation MIL est de générer et de valider des tests du modèle du contrôle sur une plateforme arithmétique à virgule flottante haute précision. Lors de cette étape, une grande majorité des problèmes liés au contrôle peuvent être rapidement diagnostiqués et corrigés.

Dans notre cas, cette étape repose sur des simulations dans l'environnement Matlab/Simulink et nous permet donc de valider la fonctionnalité globale du système étudié. La première partie de cette étape repose sur des simulations réalisées à partir d'une modélisation continue du système : ceci a par exemple été réalisé au chapitre précédent dans le cas du HB-T-Type à tolérance de pannes (Voir section 4.2 et 5.2 du chapitre 4). Si les résultats en mode continu sont validés, alors nous passons à la simulation en mode discret (Voir Figure V. 2) . Le pas de simulation est alors fixe ; il se devra donc d'être choisi suffisamment petit afin de garantir une précision acceptable. La validation des résultats de simulation en mode discret conclut cette étape et nous permet de passer à la suivante.

3.2. Deuxième étape : simulation mixte

Dans cette seconde étape, la modélisation de la partie puissance reste identique à celle de la première étape. Quant au modèle Simulink du contrôleur, il est remplacé par un modèle basé sur les éléments disponibles dans la bibliothèque de DSP Builder. DSP Builder est une toolbox compatible avec l'environnement Matlab, réalisée conjointement par les sociétés MathWorks et ALTERA. Elle permet de simuler sous Matlab la modélisation en langage VHDL synthétisable, destinée à la programmation de composants FPGA de la famille ALTERA. Cette toolbox est particulièrement efficace pour un prototypage rapide de composants FPGA de cette famille. Toutefois, certaines des fonctions souhaitées ou nécessaires ne sont pas disponibles au sein de la bibliothèque DSP Builder. Ces modèles doivent alors être conçus par l'utilisateur, à partir de modèles VHDL alors importés dans l'environnement Matlab. Une fois la simulation mixte validée, on passe alors à l'étape suivante : le prototypage « FPGA in the Loop ».

3.3. Troisième étape : le Prototypage "FPGA in the loop"

Dans cette troisième étape, à partir de la modélisation DSP Builder, nous implantons tout d'abord l'algorithme ainsi modélisé sur la carte FPGA de la plateforme expérimentale dite "FPGA in the

Loop". Ensuite, nous pouvons alors valider par simulation cette implantation matérielle en boucle fermée, selon le principe communément appelé HIL, pour « Hardware in the Loop ». L'objectif du HIL est de vérifier, en boucle fermée, que notre algorithme fonctionne correctement sur la cible numérique matérielle (FPGA), tout en émulant le reste du système (convertisseur, bus continu, capteurs, ...) à l'aide d'un ordinateur.

Ce prototypage original dit "FPGA in the Loop" a été initialement développé au sein de nos laboratoires de recherche lors de travaux portant sur les convertisseurs à tolérance de pannes [1]-[4].

Plusieurs raisons nous ont alors motivés à utiliser ce type de prototypage :

- Les essais expérimentaux comportent des risques importants pour la sûreté globale de l'opération (cas de défauts);
- La partie puissance n'est pas toujours disponible (éolien de forte puissance) ;
- Une erreur de conception (par exemple une détection de défaut non fonctionnelle) peut entraîner des dégâts matériels irréversibles sur la partie puissance du système ;
- Les coûts engendrés par la construction de la partie puissance sont très élevés (système à puissance élevée).

Nous allons maintenant rapidement exposer comment l'on passe concrètement du modèle DSP Builder à une implantation matérielle sur cible FPGA. Lors de la seconde étape, le modèle Simulink de l'algorithme a été remplacé par un modèle basé sur des éléments issus de la bibliothèque DSP Builder. Le modèle DSP Builder ainsi obtenu correspond à un modèle en langage VHDL synthétisable. Lors de sa compilation à l'aide de l'outil "Signal compiler", la modélisation DSP Builder permet de générer automatiquement une description VHDL synthétisable, au niveau Register Transfer Logic (RTL). L'outil de synthèse logique Quartus, dédié spécifiquement aux FPGAs de la famille ALTERA, permet ensuite de générer le fichier de « bitstream » permettant la programmation du FPGA ciblé. À ce niveau, on peut alors insérer un bloc dénommé "HIL" dans l'environnement Matlab/Simulink pour remplacer le modèle DSP Builder de l'étape 2. Après compilation de ce bloc "HIL" sous Matlab, le FPGA de la carte de développement de notre plateforme est alors programmé au moyen d'une interface JTAG, reliée à l'ordinateur qui émule la partie puissance (Voir Figure V. 3).



Figure V. 3 : Principe du prototypage “FPGA in the loop”.

Une fois la carte programmée, le système de puissance est simulé par l’ordinateur et toutes les données nécessaires à l’algorithme sont envoyées au FPGA ; celui-ci peut donc traiter les données et renvoyer les informations nécessaires à l’ordinateur. A ce stade, un cycle de simulation “FPGA in the loop” est effectué (Figure V. 3). Le JTAG synchronise et coordonne le transfert entre le PC et la carte FPGA.

3.4. Quatrième étape : validation entièrement expérimentale

Une fois l’implantation sur cible FPGA validée par prototypage “FPGA in the Loop”, nous pouvons alors procéder à la phase finale de tests totalement expérimentaux, avec une partie puissance réelle. Dans cette étape, la carte FPGA embarquant l’algorithme est alors insérée au cœur du système de puissance réel.

4. Etape de validation intermédiaire par prototypage « FPGA in the loop » du HB-T-Type à tolérance de pannes

Dans cette section, nous présentons une sélection de résultats issus de l'étape intermédiaire dite prototypage « FPGA in The Loop », décrite précédemment (étape 3 du flot de conception de la Figure V. 2).

Préalablement, il n'est pas utile de présenter les résultats de l'étape 1 car ils ont déjà été exposés (en mode continu) lors de la section 5.2 du chapitre précédent. De plus, nous avons également choisi de ne pas présenter de résultats de simulation mixte de l'étape 2 ; les résultats que nous avons obtenus sont effectivement similaires à ceux obtenus à l'étape 1 et leur présentation dans ce chapitre pourrait alourdir ce mémoire, sans pour autant apporter de nouvelles informations. Une sélection de résultats obtenus par Prototypage « FPGA in the Loop » est alors privilégiée : ces derniers apportent une information essentielle lors du flot de conception. En effet, si ils sont validés, cela signifie que les algorithmes dédiés au diagnostic du défaut et à sa gestion ont été correctement implantés sur FPGA. Toutefois, notons que cette étape, consistant à placer le FPGA dans une boucle de simulation en le connectant à un ordinateur via un protocole JTAG, ne permet pas de valider l'électronique d'interface qui sera physiquement mise en œuvre au niveau du banc de test. Dans notre cas, cette circuiterie électronique d'interface permet notamment de relier le FPGA aux capteurs (conversion analogique-numérique, filtrage, mise en forme et adaptation de niveau des signaux analogiques, ...), aux drivers des switches et au système Dspace.

Lors de cette phase de prototypage, nous avons placé dans la boucle de simulation une carte de développement du fabricant ALTERA (carte Stratix III de la Figure V. 3). Elle intègre un composant EP2S180 de la famille altera. La Figure V. 3 est une photo de cette carte, placée dans la boucle de simulation. Les algorithmes dédiés au diagnostic du défaut et à sa gestion ont été matériellement implantés sur ce FPGA, alors connecté à l'ordinateur qui émule le reste du système de puissance. Les résultats présentés ci-après sont issus de cette expérimentation.

4.1. Résultats de Prototypage "FPGA in the Loop"

4.1.1. Résultats issu du Prototypage "FPGA in the Loop" pour la détection de défaut

Dans cette section, afin de ne pas alourdir ce mémoire, nous ne présenterons qu'un seul cas de détection de défaut, choisi volontairement différent de ceux présentés lors de précédentes sections pour ne pas être redondant : il s'agit d'un défaut CO au niveau du switch T4. A la lecture de la Figure V. 4 et en examinant le zoom réalisé autour de l'instant d'apparition du défaut (Figure V. 5), on constate que le défaut est correctement détecté.

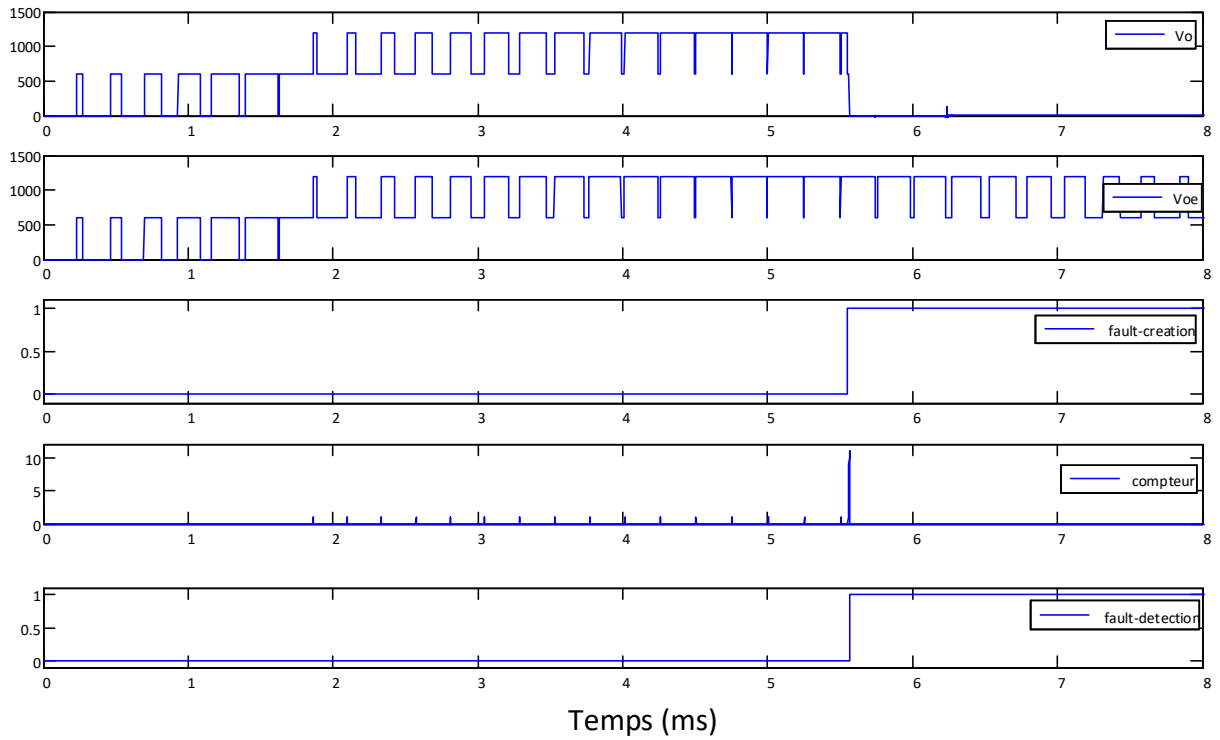


Figure V. 4 : Résultats de simulation HIL de la détection de défaut par prototypage « FPGA in the Loop » lors d'un défaut CO au niveau de T4.

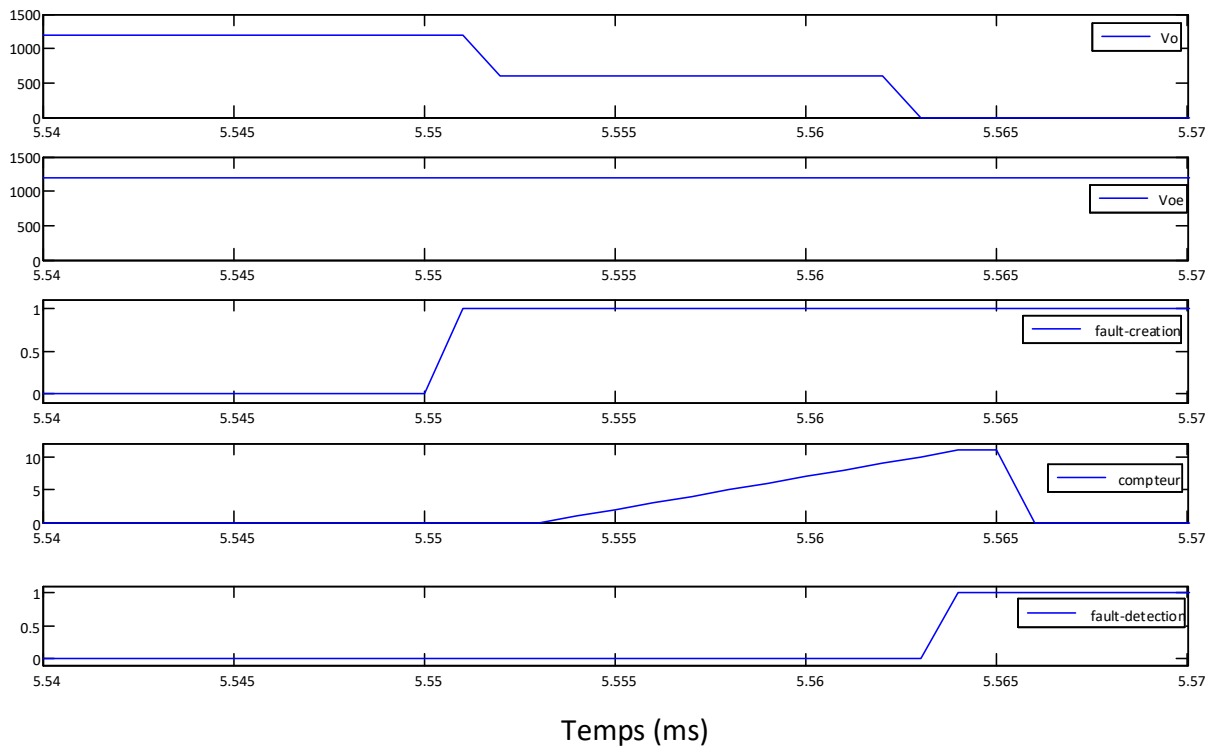


Figure V. 5 : Résultats de simulation HIL zoomé de la détection de défaut par prototypage « FPGA in the Loop » lors d'un défaut CO au niveau de T4.

4.2. Résultats issu du Prototypage “FPGA in the Loop” pour la localisation

Dans cette section, nous présentons les résultats obtenus pour une sélection de deux cas de localisation de défaut CO, survenant au niveau des switches T1 et T4. Ces défauts surviennent tous deux dans l'état de commutation S1.

La Figure V. 6 présente le cas du défaut CO au niveau de T1, généré artificiellement à partir du signal «Fault Generation» (repère ①). Au début du repère ②, l'algorithme a potentiellement détecté un défaut, confirmé à l'instant ③ par le signal "Fault détection" une fois les critères « tension » et « temporel » validés. Cependant, le switch défectueux ne peut pas être directement identifié. Une discrimination entre les deux switches potentiellement en défaut que sont T1 et T4 doit être réalisée. Ainsi, l'ordre de commande de TC2- est forcé à '0' (repère ④ de la Figure V. 6). Le switch T1 est déclaré défectueux (repère ⑤ de la Figure V. 6) après analyse de la tension de sortie mesurée, alors égale à $V_{dc}/2$.

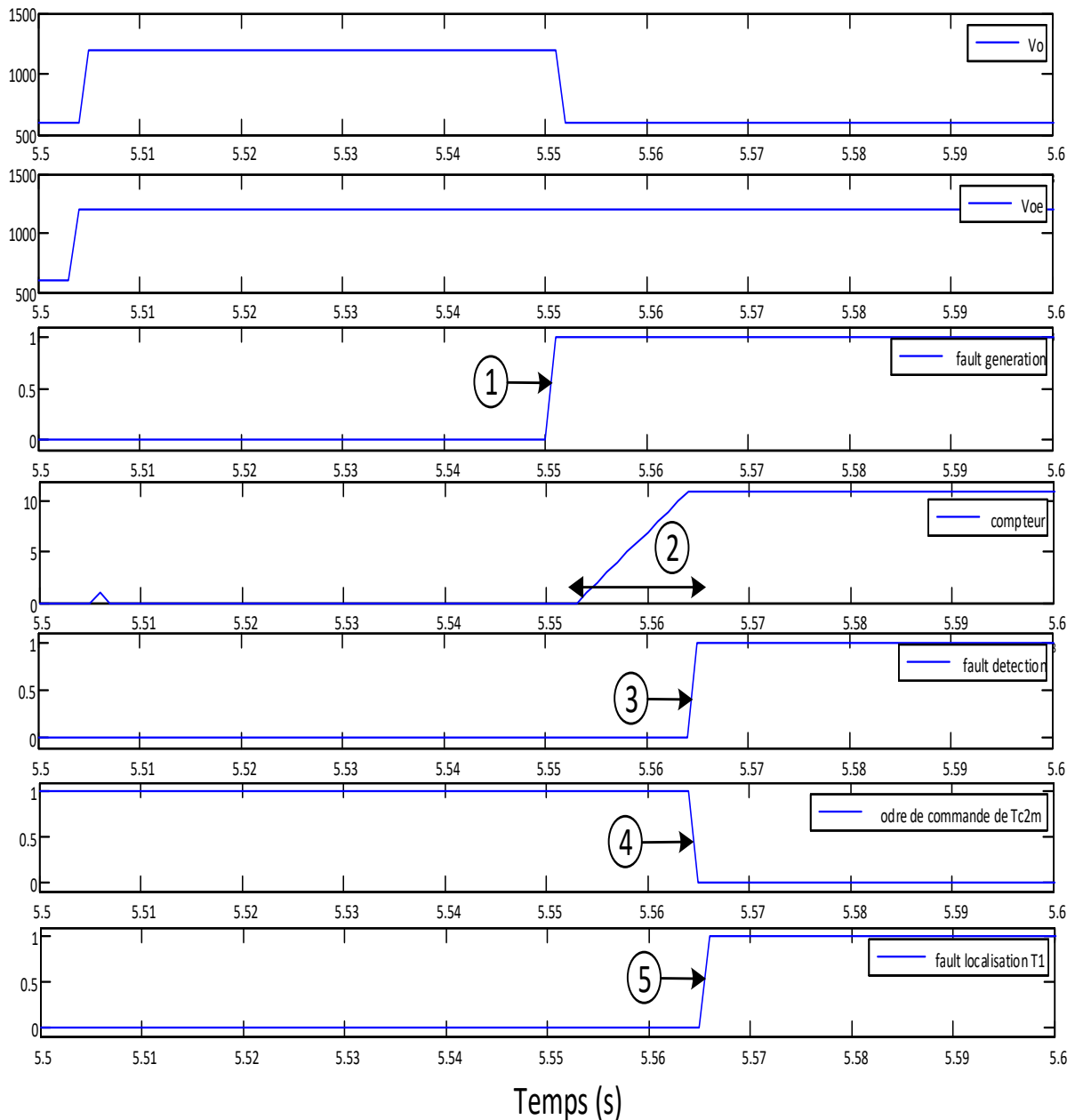


Figure V. 6 : Résultats de simulation HIL, zoomé autour du défaut, quand T1 est en défaut CO dans l'état de commutation 1.

La Figure V. 6 présente le cas du défaut CO au niveau de T1, également généré artificiellement à partir du signal «Fault Generation» (repère ①). De même que pour le cas précédent, une analyse détaillée des signaux de la Figure V. 7 nous permet de conclure que le défaut de T4 a été correctement localisé.

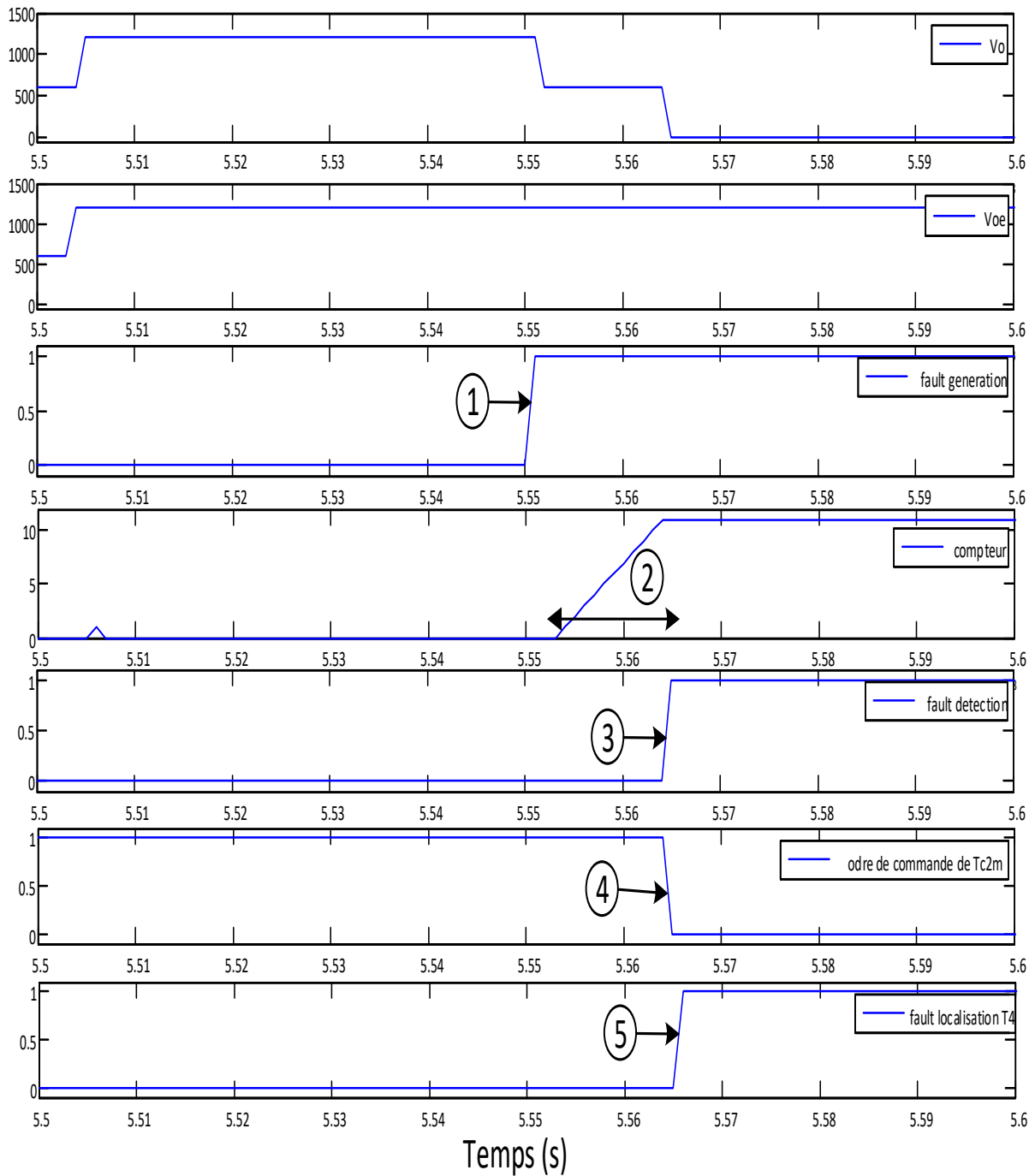


Figure V. 7 : Résultats de simulation HIL, zoomé autour du défaut, quand T4 est en défaut CO dans l'état de commutation numéro 1.

4.3. Résultats issus du Prototypage “FPGA in the Loop” pour la reconfiguration

4.3.1. Reconfiguration avec redondance matérielle

Dans cette section, nous présentons un résultat obtenu par Prototypage « « FPGA in the Loop et pour une reconfiguration matérielle du convertisseur, une fois un défaut CO localisé au niveau de T1 dans l'état de commutation numéro 1. La reconfiguration appliquée aux signaux de commande, illustrée par la Figure V. 8, est conforme à l'algorithme de reconfiguration de la Table IV.6. En effet, le triac SW1 est correctement activé ; l'ordre de commande de T1 est appliqué à Tr1 et l'ordre de commande de T2 est appliqué à Tr2.

La Figure V. 9 présente la forme d'onde de la tension de sortie avant et après la reconfiguration du convertisseur : la continuité de service est effectivement garantie, grâce au bras redondant.

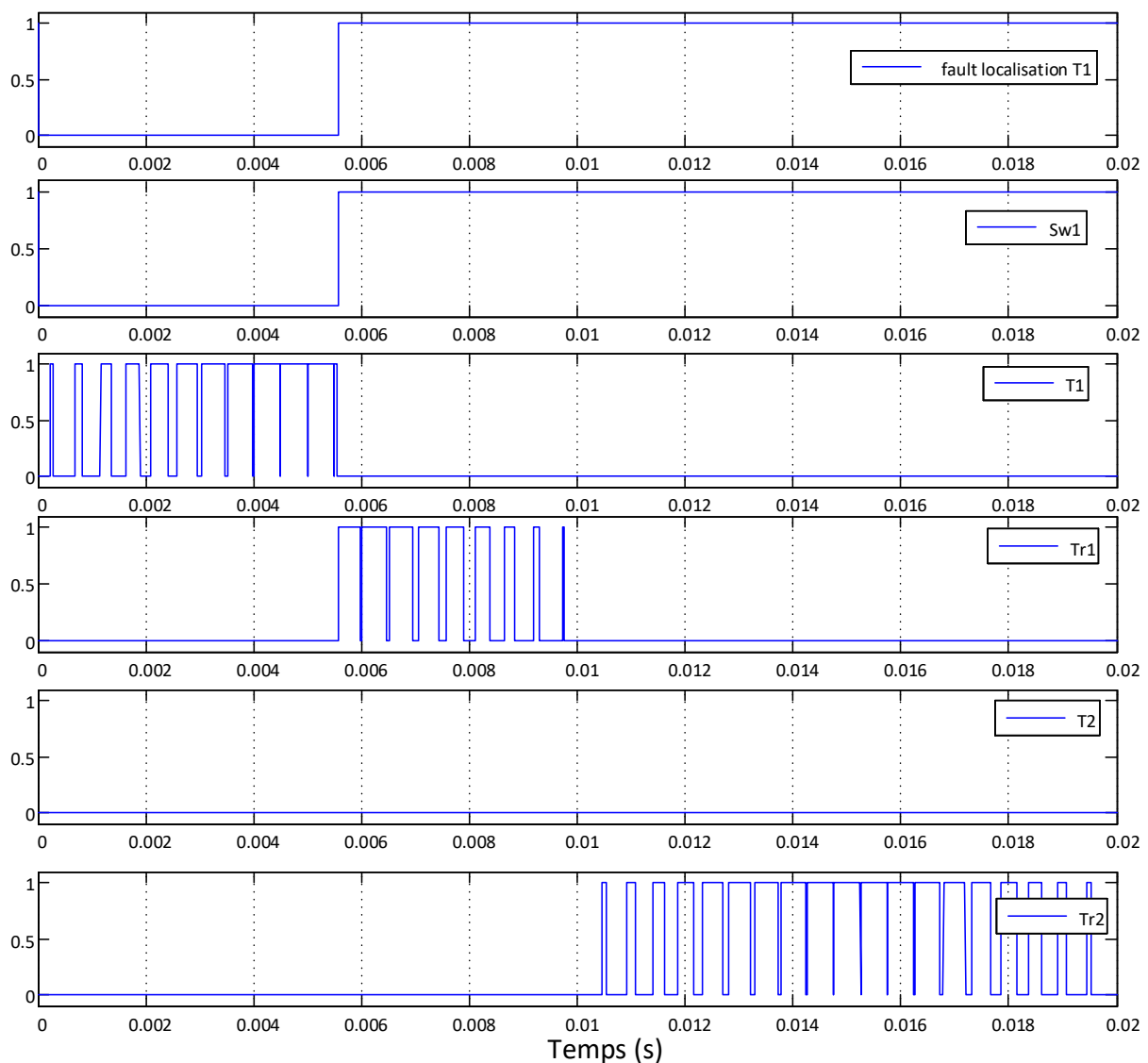


Figure V. 8 : Ordres de commande envoyés à T1, T2, Tr1, Tr2 et SW1 avant et après localisation d'un défaut CO au niveau du switch T1.

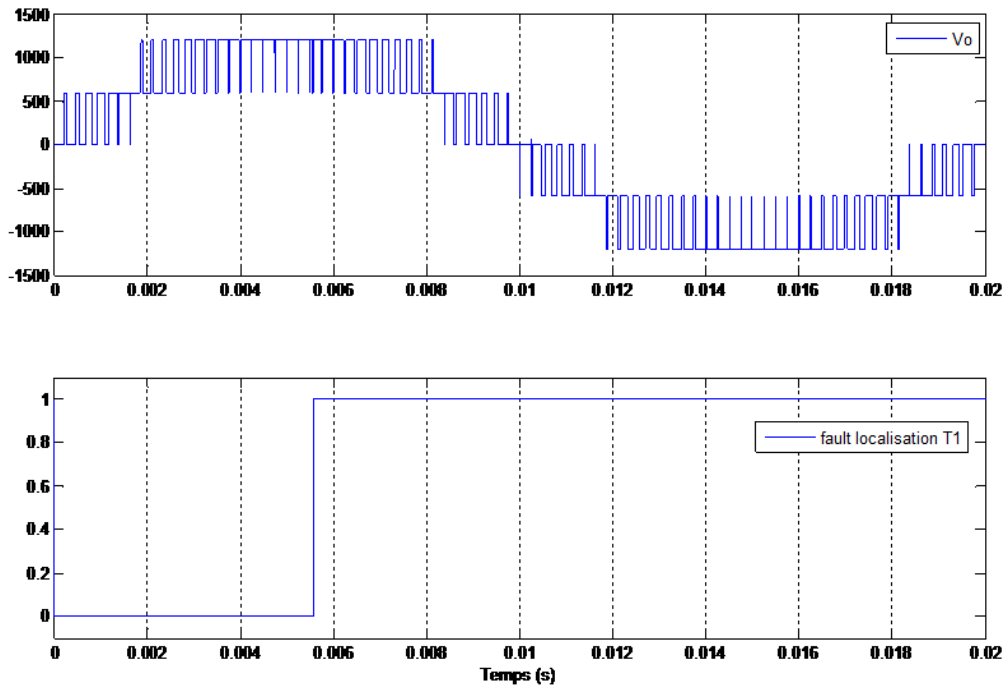


Figure V. 9 : Tension de sortie avant et après localisation du défaut CO de T1 et reconfiguration du convertisseur.

4.3.2. Reconfiguration sans redondance matérielle

Dans cette section, nous présentons des résultats issus du Prototypage «FPGA in the Loop », pour un défaut CO localisé au niveau de Tc1+ et nécessitant uniquement de reconfigurer la commande du convertisseur (pas de reconfiguration matérielle du convertisseur). La Figure V. 10 illustre le changement des ordres de commande avant et après localisation du défaut : les états de commutation S2, S4 et S8 ne sont plus utilisés après défaut et sont correctement et respectivement remplacés par les états numéros S3, S5 et S7 (conformément à la Table IV.7).

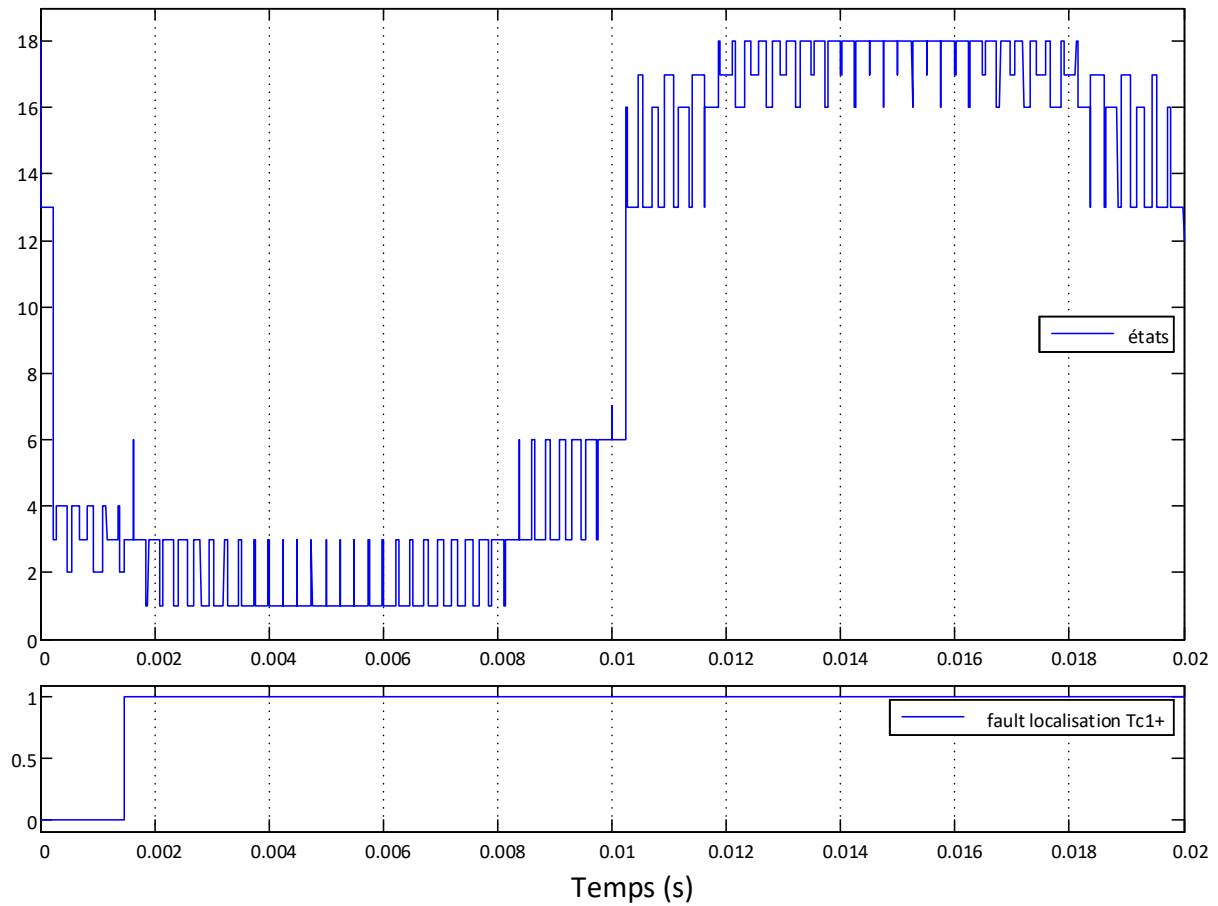


Figure V. 10 : Etats de commutation du convertisseur avant et après la localisation du défaut CO de TC1+.

La Figure IV. 11 présente la tension de sortie avant et après diagnostic et gestion du défaut. Comme on peut le visualiser, la tension de sortie n'est pas affectée par le défaut et la continuité de service est garantie.

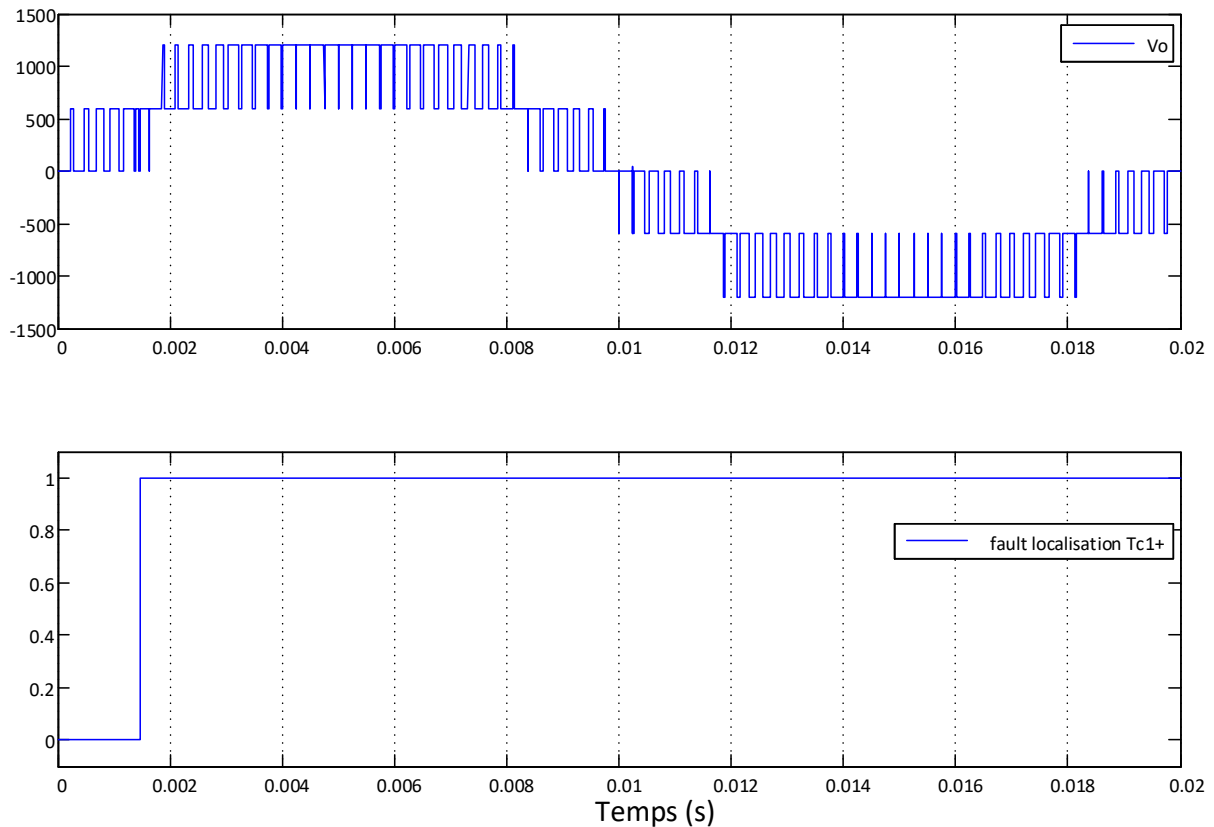


Figure IV. 11 : Tension de sortie avant et après localisation du défaut CO de TC1+.

4.5 Conclusion

A l'issue de cette section 4 dédiée à l'étape intermédiaire par Prototypage « FPGA in the Loop », nous pouvons conclure que l'implantation des algorithmes de diagnostic et de gestion de défauts a été correctement effectuée sur le composant FPGA ciblé. Ceci est également conforté par la concordance et la similitude entre les résultats obtenus par modélisation dans l'environnement Matlab (étape 1) et ceux obtenus en HIL. Il est donc raisonnable de passer maintenant à une étape de validation entièrement expérimentale, sachant toutefois qu'il faudra porter une attention particulière à l'interface électronique qui permettra de lier électriquement la carte FPGA au montage de puissance réel : drivers, capteurs, Carte Dspace,

5. Résultats expérimentaux

Cette section est dédiée aux résultats obtenus sur banc de test entièrement expérimental dont une photographie peut être visualisée à la Figure V. 12.

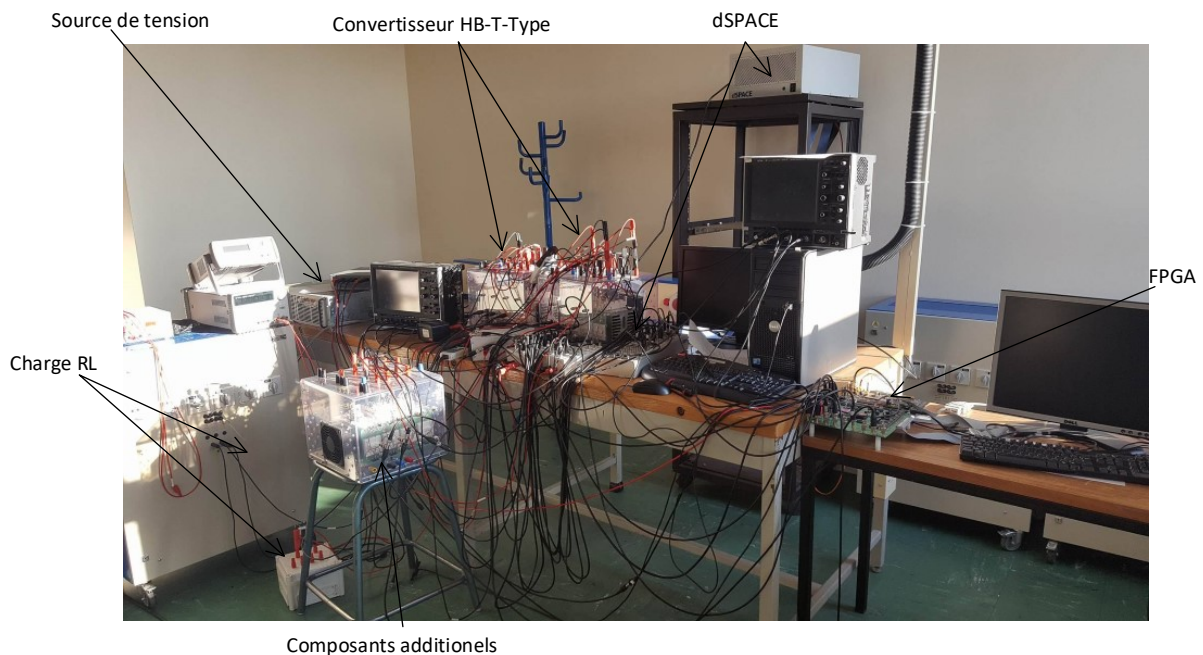


Figure V. 12 : Photographie du banc de test expérimental.

5.1. Description du banc de test expérimental

Pour valider les résultats de simulation ainsi que les résultats « FPGA in the Loop » du convertisseur HB-T-Type à 5 niveaux, des tests expérimentaux ont été menés dans plusieurs cas de défauts de type circuit ouvert.

Un banc de test expérimental a été mis en œuvre lors de ces travaux de thèse. Ce banc a été conçu à partir de convertisseurs triphasés à 2 niveaux, disponibles sur notre plateforme expérimentale. Ils ont été modifiés afin de réaliser le HB-T-Type à 5 niveaux (Figure V. 12) à tolérance de pannes. Les convertisseurs sont conçus à partir de modules IGBT commercialisés par la société SEMIKRON (référence SKM50GB123D). Ces IGBTs sont pilotés par des drivers SEMIKRON, de référence SKHI 22A. La capacité du bus continu est égale à 2200 μ F. Les paramètres du système matériel sont identiques à ceux de la partie expérimentale du chapitre 2.

Le contrôle est effectué à l'aide d'un système dSPACE. Le système dSPACE utilisé contient notamment une carte de contrôle, référencée DS1005 ainsi qu'une carte DS2004 pour la conversion analogique numérique haute résolution (16 bit- 0,8 μ s) et une carte MLI référencée DS5101 à 12 sorties. Les principaux composants de ce système dSPACE ont été détaillés au chapitre 2.

Pour ces essais expérimentaux portant sur la continuité de service, une carte de développement basée sur un FPGA de la famille ALTERA est utilisée (composant Stratix S80B956C6, voir Figure V. 13). Cette carte FPGA assure la détection du défaut, sa localisation ainsi que les changements appropriés d'ordres de commande pour la reconfiguration du convertisseur ou de la commande. La période d'échantillonnage pour les algorithmes de diagnostic de défaut et de reconfiguration, tous deux implantés sur un même composant FPGA, est égale à 1 μ s.



Figure V. 13 : Carte de développement FPGA

Lors de précédents travaux de thèse, des cartes d'interface (entre la carte FPGA et le système dSPACE) ont déjà été réalisées au sein de notre équipe de recherche. La Figure V. 14 est une photographie de la carte d'interface utilisée pour convertir les signaux analogiques, issus des mesures de tension et de courant, en signaux numériques. Cette carte permet également d'adapter les niveaux de tension afin de les rendre compatibles avec ceux de la carte FPGA. Cette carte intègre notamment 6 CANs au format 12 bits, de type ADS7810U de la société Analog Devices. Le temps de conversion de ces CANs est égal à 1,25 μ s et la plage de tension d'entrée analogique est de ± 10 V. Des composants SN74HC174N sont également utilisés afin de mémoriser les états logiques en sortie des CANs durant la conversion.

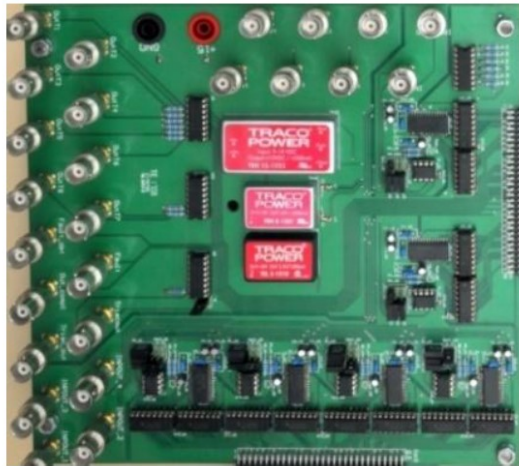


Figure V. 14 : Carte d'interface entre le FPGA, les capteurs et le système dSPACE.

5.2. Résultats expérimentaux suite à un défaut CO du switch horizontal TC1+ : diagnostic et reconfiguration

Pour toutes les figures de l'oscilloscope les tensions sont en 200V/DIV et les autres signaux sont des signaux binaires.

5.2.1. Diagnostic d'un défaut CO du switch Tc1+

La Figure V. 15 illustre le cas d'un défaut CO au niveau de Tc1+ et la Figure V. 16 en est un zoom, autour de l'instant d'apparition du défaut. Pour ces deux figures les échelles des tensions $v_o(t)$ et v_{oe} sont de 200V/div. Les autres signaux de ces figures sont des signaux "binaires". Le défaut CO est généré artificiellement par le passage à zéro du signal «Fault Génération» (repère① de la Figure V. 16) ; ainsi, TC1+ est ouvert dès le front descendant de ce signal, indépendamment de l'ordre de commande qui lui est envoyé par le système de commande. Au repère②, la tension mesurée $v_o(t)$ et la tension estimée v_{oe} ne sont alors plus égales ($v_o(t)=0$ et $v_{oe}=V_{dc}/2$). Une fois que le signal caractérisant une différence entre ces deux tensions (supérieure au seuil fixé) est resté à '1' pendant plus de $20\mu s$ (voir critère temporel de l'algorithme de détection), le défaut peut alors être confirmé à l'instant ③ par le signal "Fault détection", les deux critères « tension » et « temporel » ayant été validés. Le switch Tc1+ peut être immédiatement et directement déclaré défectueux (repère ④ de la Figure V. 16) au vu de la valeur de la tension de sortie au moment du défaut et sur la base de la Table IV.4. Après localisation, le convertisseur cesse alors de fonctionner correctement, comme on peut le voir sur la Figure V. 15.

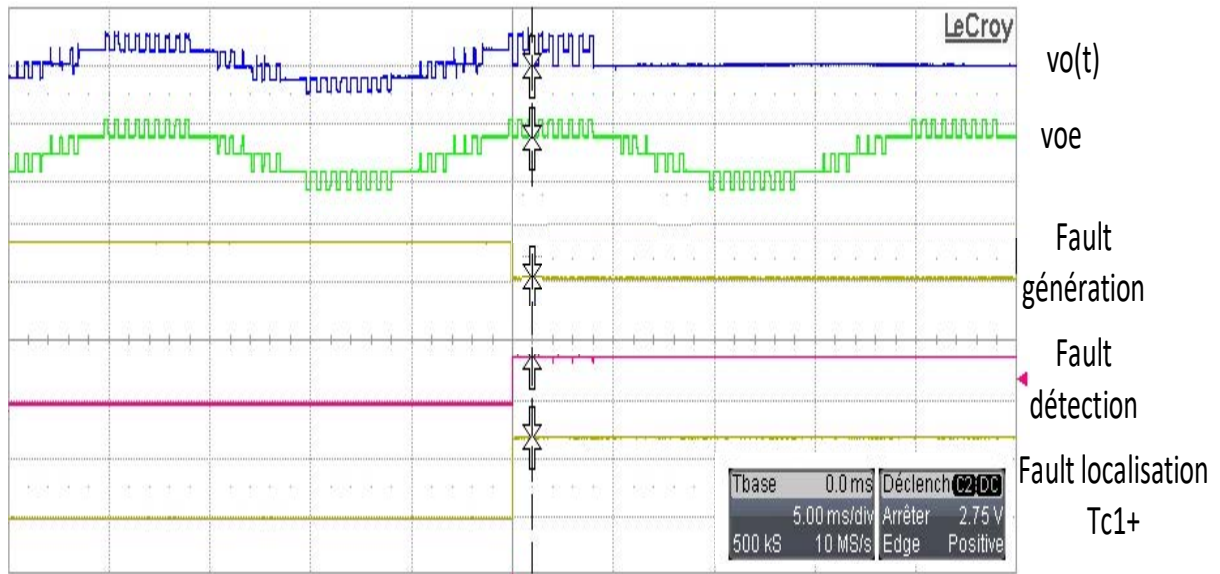


Figure V. 15 : Diagnostic d'un défaut CO du switch Tc1+ (base de temps = 5ms/div).

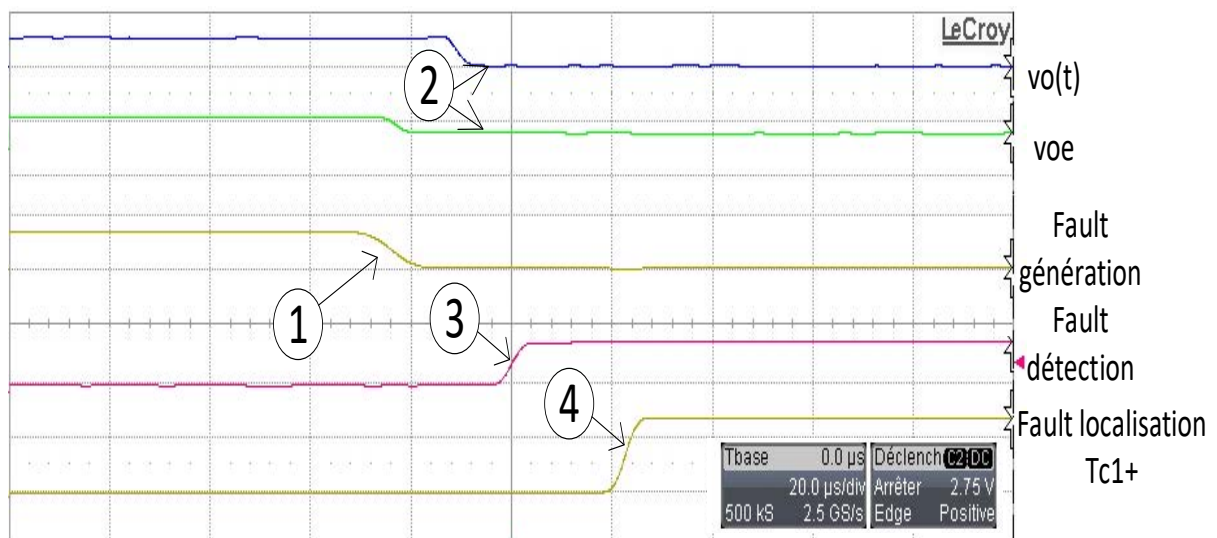


Figure V. 16 : Diagnostic d'un défaut CO du switch Tc1+, zoom autour de l'instant d'apparition du défaut (base de temps = 20µs/div).

5.2.2. Reconfiguration suite à un défaut localisé sur TC1+

La Figure V. 17 présente les résultats expérimentaux illustrant la continuité de service, pour un défaut CO localisé au niveau de Tc1+ et nécessitant uniquement de reconfigurer la commande du convertisseur (pas de reconfiguration matérielle du convertisseur). La Figure V. 17 illustre le changement des ordres de commande avant et après localisation du défaut ; les échelles des tension sont de 200V/div. Les autres signaux de cette figure sont des signaux "binaires". Les états de commutation S2, S4 et S8 ne sont plus utilisés après défaut et sont respectivement remplacés par les

états S3, S6 et S7 (conformément à la Table IV.7). On peut noter que la continuité de service est effectivement assurée.

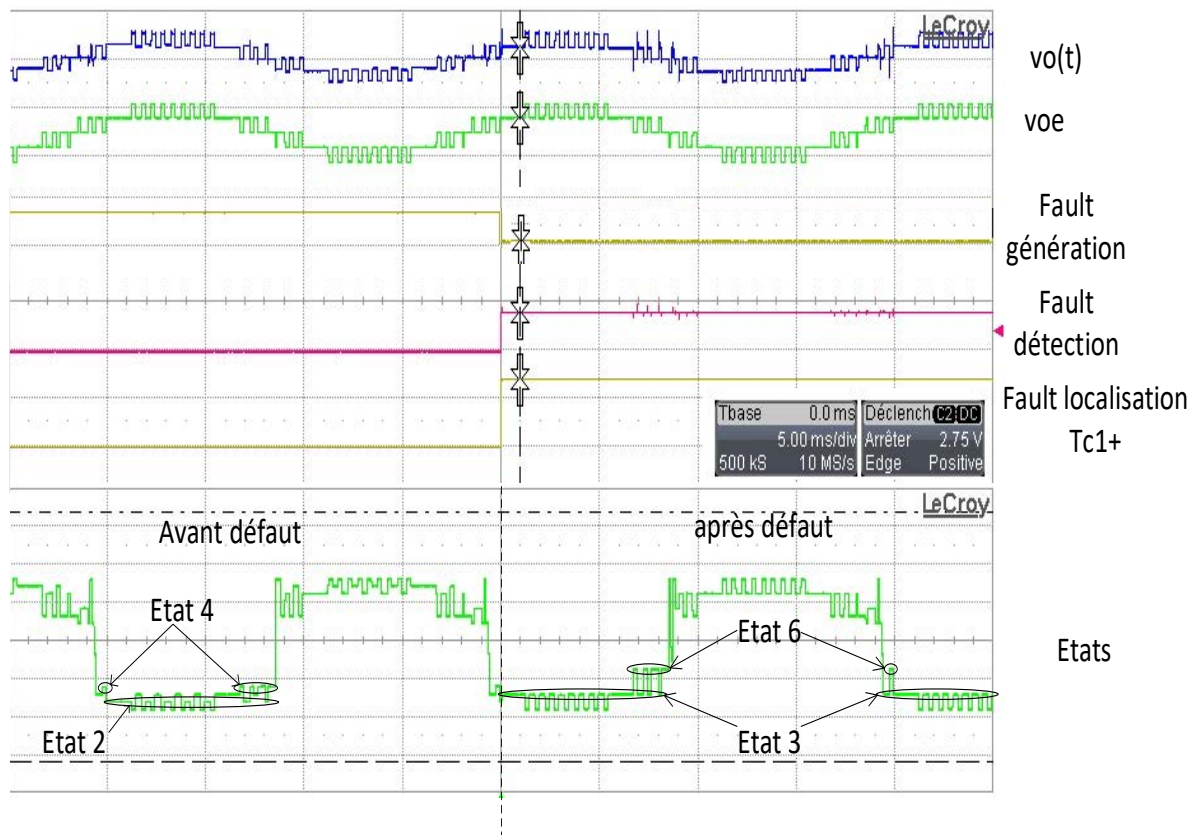


Figure V. 17 : Reconfiguration suite à un défaut CO du switch Tc1+ (base de temps = 5ms/div).

5.3. Résultat expérimental : défaut CO d'un switch vertical

Dans cette section, nous présenterons deux cas de détections de défaut et un cas de reconfiguration de la structure du convertisseur. Il s'agira d'un défaut CO au niveau du switch T4 ainsi qu'un défaut CO du switch T1. Nous avons choisi de présenter uniquement la reconfiguration dans le cas de T1 car la reconfiguration d'un switch vertical est basée sur le même principal général pour tous les switches verticaux. Pour tous formes d'ondes de $v_o(t)$ et de v_{oe} qui suivent, l'échelle de tension est de 200V/div les autres signaux sont des signaux "binaires".

5.3.1. Diagnostic d'un défaut CO du switch T4

La Figure V. 18 présente le cas du défaut CO au niveau de T4, zoomé à la Figure V. 19. Le défaut CO de T4 est généré comme précédemment à partir du signal «Fault Generation» (front descendant au repère①). Au repère②, la tension mesurée $v_o(t)$ et la tension estimée v_{oe} ne sont plus égales ($v_o(t)=V_{dc}/2$ et $v_{oe}=V_{dc}$). Le défaut est détecté à l'instant ③ par le signal "Fault détection" une fois les critères « tension » et « temporel » validés. Cependant, le switch défectueux ne peut pas être directement identifié. Une discrimination entre les deux switches potentiellement en défaut que sont T1 et T4 doit être réalisée. Ainsi, l'ordre de commande de TC2- est forcé à '0' pendant la période de localisation du défaut (repère ④ de la Figure V. 19). Comme on peut le voir à l'instant repéré ⑤ sur la Figure V. 19 la tension $v_o(t)$ passe à zéro et le switch T4 est déclaré défectueux (repère ⑥ de la Figure V. 19) grâce à la Table IV.4. Après la localisation, le convertisseur cesse de fonctionner correctement comme on peut le constater à la Figure V. 18.

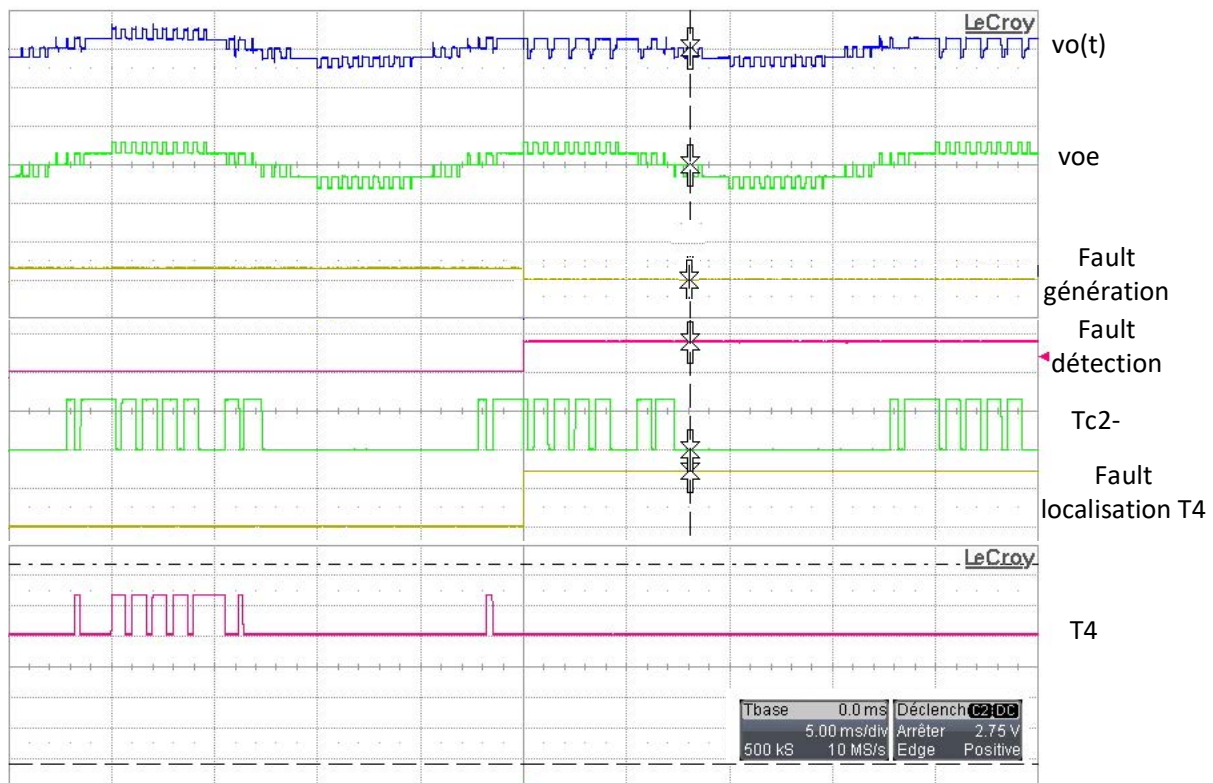


Figure V. 18 : Diagnostic d'un défaut CO du switch T4 (base de temps = 5ms/div).

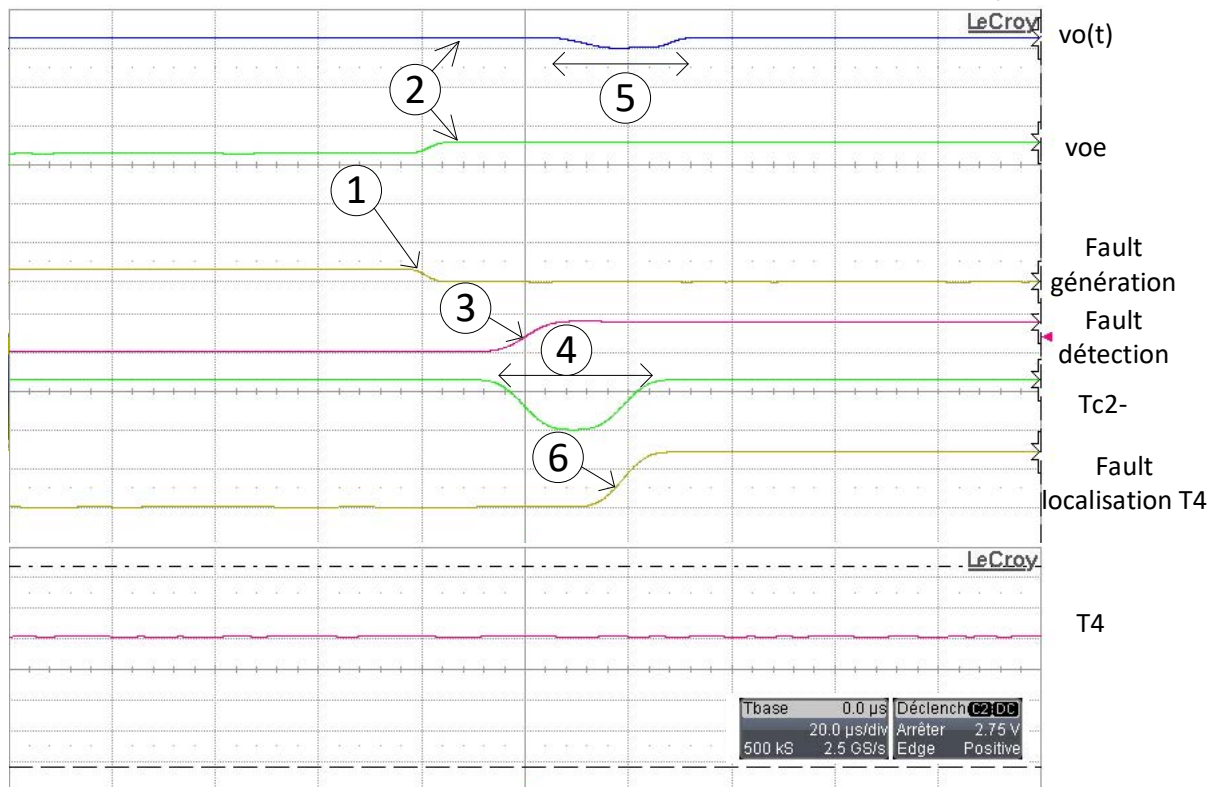


Figure V. 19 : Diagnostic d'un défaut CO du switch T4, zoom autour de l'instant d'apparition du défaut (base de temps = 20µs/div).

5.3.2. Diagnostic d'un défaut CO du switch T1

La Figure V. 20 présente le cas d'un défaut CO de T1, zoomé au niveau de la Figure V. 21. Le défaut est générée comme précédemment par le signal «Fault Generation» (repère ①) lors du front descendant. Au repère ②, la tension mesurée $vo(t)$ et la tension estimée voe ne sont plus égales ($vo(t)=V_{dc}/2$ et $voe=V_{dc}$). Le défaut est détecté à l'instant ③, détection matérialisée par le passage à '1' du signal "Fault détection". Cependant, le switch défectueux ne peut pas être directement identifié. Une discrimination entre les deux switches potentiellement en défaut que sont T1 et T4 doit être réalisée. Ainsi, l'ordre de commande de TC2- est forcé à '0' par le FPGA pendant la période de localisation du défaut (repère ④ de la Figure V. 21). Comme on peut le voir à l'instant repéré ⑤ sur la Figure V. 21, la tension $vo(t)$ reste égale à $V_{dc}/2$ et le switch T1 peut alors être déclaré défectueux (repère ⑥ de la Figure V. 21) grâce à la Table IV.4. Après localisation, le convertisseur ne fonctionne plus correctement, comme on peut le constater à la Figure V. 20.

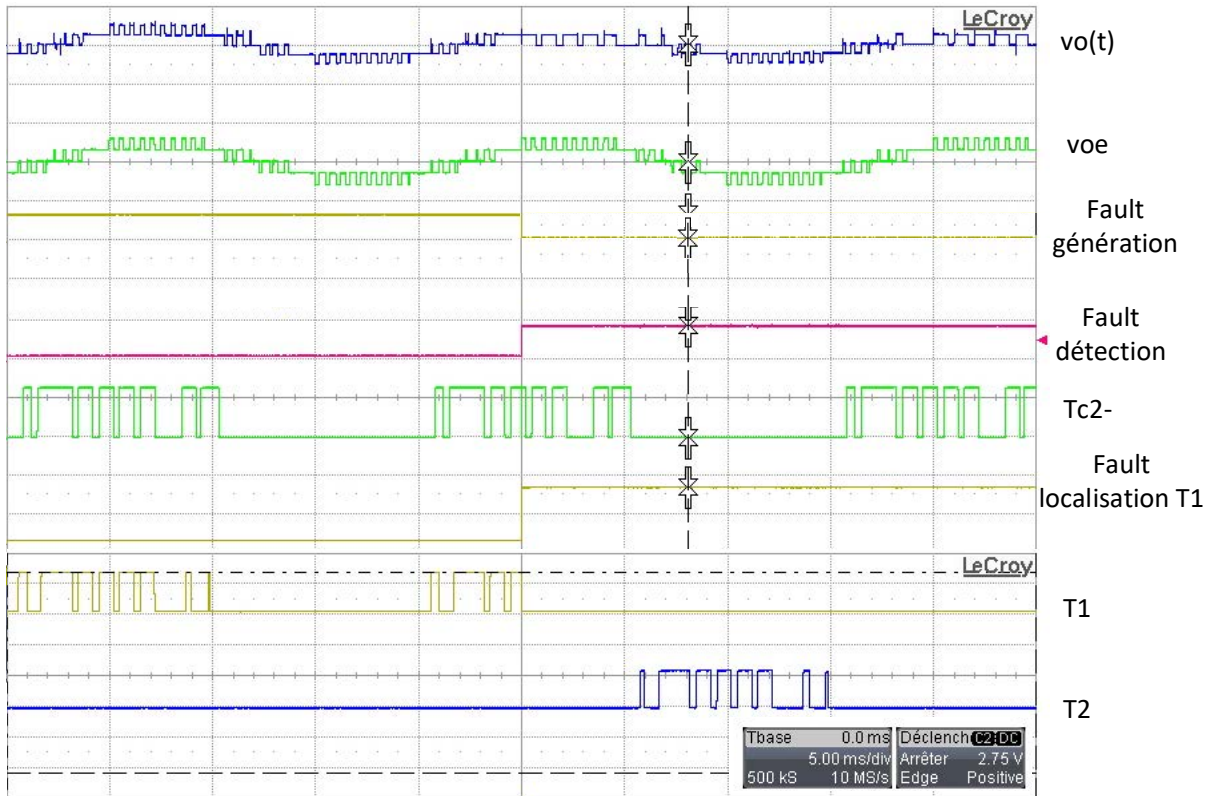


Figure V. 20 : Diagnostic d'un défaut CO du switch T1 (base de temps = 5ms/div).

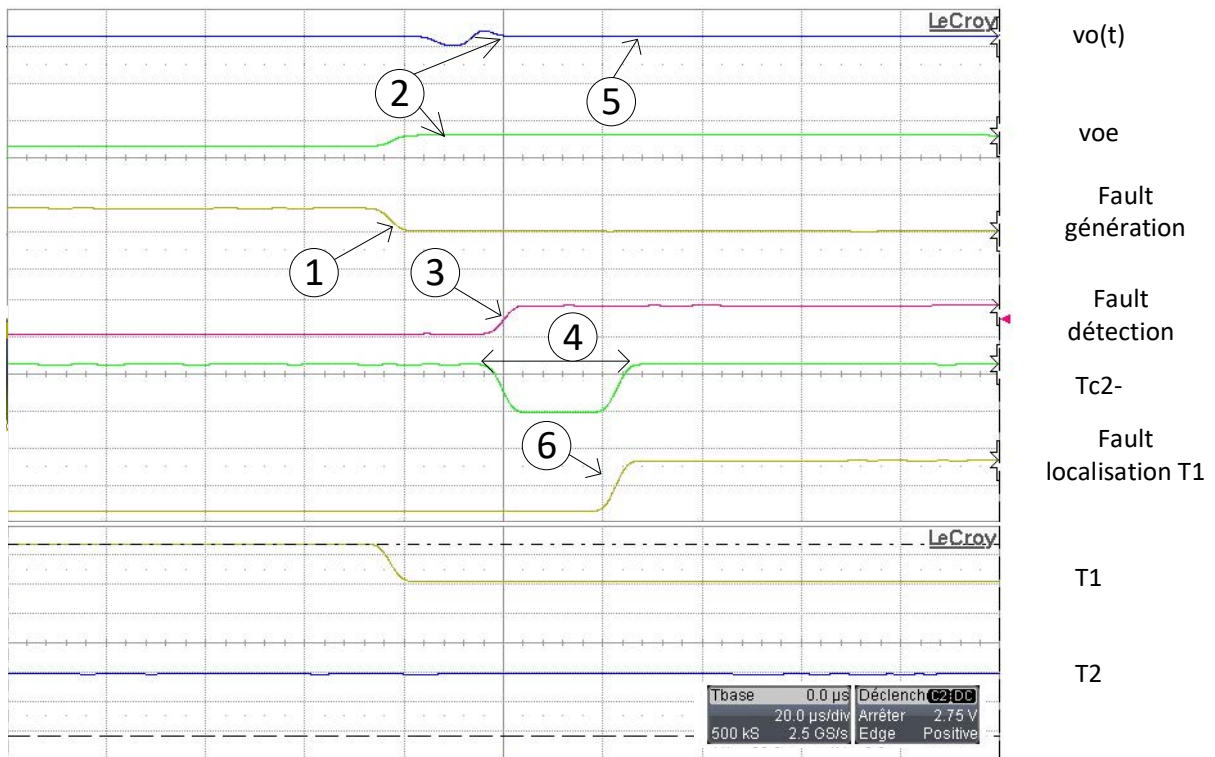


Figure V. 21 : Diagnostic d'un défaut CO du switch T1 (base de temps = 20μs/div).

5.3.3. Reconfiguration du convertisseur suite à la détection d'un défaut CO du switch vertical T1

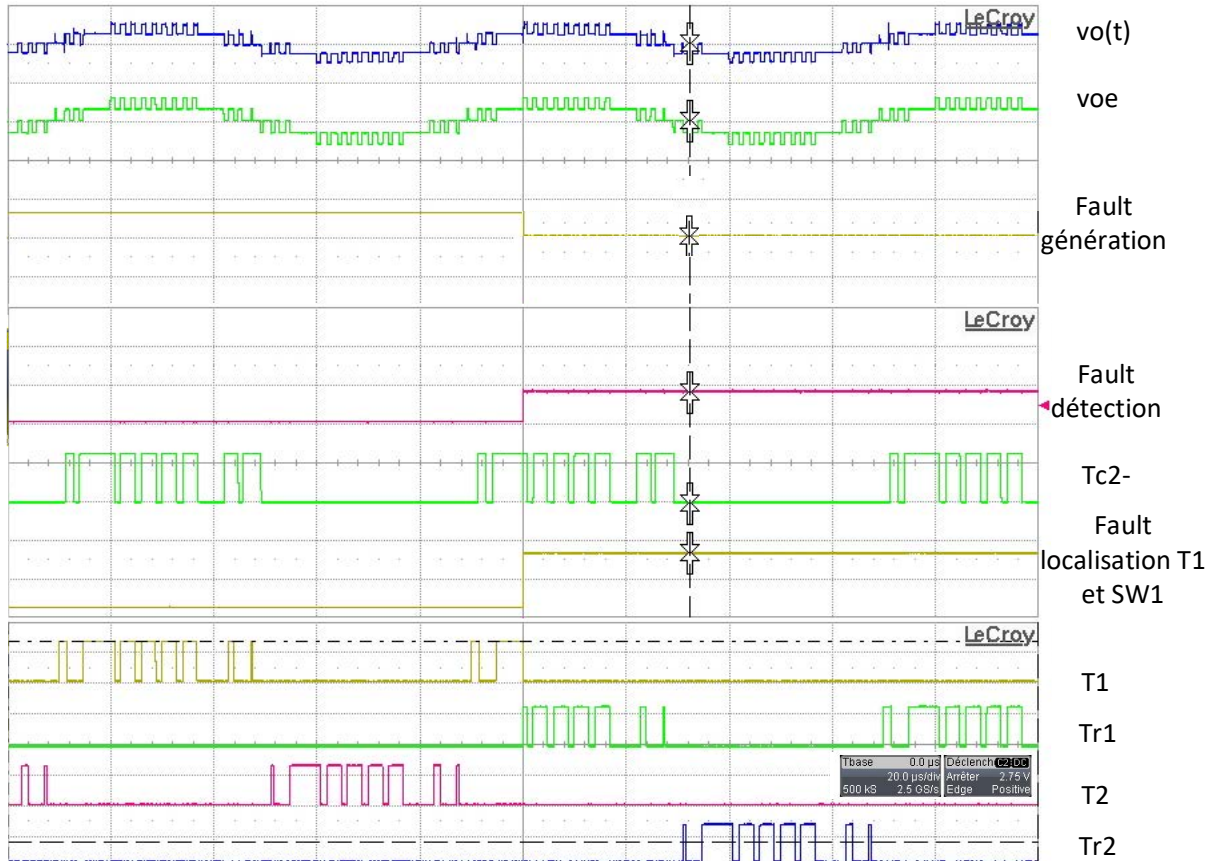


Figure V. 22 : Reconfiguration du convertisseur suite à un défaut CO du switch T1 (base de temps = 5ms/div).

Nous considérons maintenant que le défaut CO de T1 a été correctement diagnostiqué, comme cela a été étudié à la section précédente. Maintenant, seule la garantie de la continuité est examinée. Comme nous pouvons le voir sur la Figure V. 22, simultanément à la localisation du défaut, l'ordre de commande envoyé au triac SW1 par le FPGA passe alors à '1'. Les ordres de commande de T2 sont mis à zéro, les ordres de commande de T1 sont appliqués à Tr1 et les ordres de commande de T2 sont appliqués à Tr2 ; ce changement d'ordres de commande est réalisé par le FPGA, conformément à la Table IV.6. Ainsi, le convertisseur peut être reconfiguré. Comme on peut le constater, le système continue de fonctionner normalement après défaut grâce à la reconfiguration du convertisseur.

6. Conclusion

Ce chapitre a traité la validation expérimentale de la continuité de service d'un convertisseur HB-NPP à 5 niveaux, à tolérance des pannes. Cette topologie HB-NPP à 5 niveaux avait alors été validée uniquement par simulation au chapitre précédent. Dans ce dernier chapitre du mémoire, la tolérance de pannes a été validée par prototypage "FPGA in the Loop", puis par expérimentation.

Dans un premier temps, pour éviter tout dommage sur la partie expérimentale, l'approche par prototypage préliminaire, nommée "FPGA in the Loop", a été mise en œuvre. Elle nous a permis de valider la conception sur cible FPGA de la détection de défaut, de la localisation et de la reconfiguration du convertisseur HB-T-Type à cinq niveaux à tolérance de pannes. Les résultats du prototypage "FPGA in the Loop" ont été réalisés pour différents états de commutation, dans les deux cas possibles de reconfigurations à savoir avec utilisation du bras redondant (transistor vertical) ou bien avec changements des ordres de commande (transistor horizontal) sans utilisation de composants annexe. Tous les cas de défauts ont été validés avec succès.

Dans la deuxième partie de ce chapitre, les résultats obtenus à la fois par simulation et par prototypages "FPGA In The Loop" ont été validés sur un banc d'essais mis en place lors de cette thèse. Le diagnostic a été validé pour trois défauts différents de types CO, avec et sans changement de commande pour la localisation du défaut. Enfin, les deux modes de reconfigurations ont été validés, d'abord l'un lors d'un défaut de type CO sur un switch horizontal ne nécessitant pas le recours aux composants additionnels mais uniquement une reconfiguration de la commande, puis lors d'un défaut CO sur un switch vertical utilisant la redondance matérielle. L'efficacité du diagnostic et de la reconfiguration suite à un défaut a été démontrée et la continuité de service du convertisseur a été garantie.

Conclusion générale et perspectives

Les convertisseurs multiniveaux sont très largement utilisés dans l'industrie et dans de nombreuses applications liées au transfert d'énergie. De nos jours, l'optimisation de la qualité de l'énergie électrique ainsi que l'interconnexion entre différents réseaux nécessitent déjà et nécessiteront de plus en plus de dispositifs électroniques d'interface et d'échange d'énergie électrique de forte puissance : les convertisseurs multiniveaux sont typiquement adaptés à ces applications. La réduction du vieillissement des composants de puissance et la continuité de service du transfert d'énergie sont des enjeux majeurs pour ces convertisseurs. En effet, suite à la défaillance d'un composant du convertisseur, le système de puissance tout entier peut être forcé à l'arrêt, voire même être endommagé si la panne n'est pas rapidement et correctement gérée. Pour se faire, des méthodes de diagnostic de pannes doivent être mises en œuvre ; les algorithmes doivent alors réaliser la détection du défaut, puis sa localisation. Ensuite, le défaut doit être compensé par une reconfiguration du convertisseur et/ou de la commande du système de puissance.

Lors de ces travaux de thèse, nous avons tout d'abord proposé une optimisation de la commande de convertisseurs multiniveaux. Elle a pour objectif de réduire au minimum le nombre total de commutations par période, pour les composants commandables à l'ouverture et à la fermeture. Ainsi, cette optimisation permet d'augmenter la durée de vie des convertisseurs multiniveaux et contribue ainsi à la disponibilité du transfert d'énergie. Ensuite, nous nous sommes plus particulièrement intéressés à la topologie HB-NPP (ou HB T-Type) pour laquelle nous avons proposé un diagnostic de défaut ainsi qu'une topologie originale à tolérance de pannes. Les différents travaux réalisés lors de cette thèse ont été validés par modélisation/simulation, par prototypage "FPGA in the Loop" (uniquement utile dans le cas de la tolérance de pannes où l'on a recours à un FPGA) et expérimentalement.

Le premier chapitre a été consacré à l'état de l'art des structures de convertisseurs multiniveaux. Les structures classiques à 2 et 3 niveaux ont été rapidement abordées. Ensuite, parmi les topologies multiniveaux présentées, l'aspect modulaire a retenu notre attention et nous avons alors fait le choix de nous intéresser plus particulièrement aux convertisseurs HB-NPC et HB-NPP (ou HB-T-Type).

Le second chapitre a porté sur la minimisation des commutations des switches dans les convertisseurs HB-NPC et HB-NPP (T-Type). Ainsi, nous avons proposé un contrôle optimisé, que nous avons appelé OPT-PWM. Cette méthode de contrôle a été appliquée aux deux structures de convertisseurs dites HB-NPC et HB-NPP. Elle a permis de réduire le nombre de commutations sur une période, respectivement de 16 et de 12, comparativement à un contrôle LS-PWM classique. Les deux types de commandes ont été validés par modélisation, puis simulation. Ils ont été validés sur une plateforme expérimentale réalisée lors de ces travaux de thèse. Nous avons pu constater que les formes d'ondes obtenues pour la tension

et le courant de sortie sont identiques quelle que soit la commande appliquée (LS-PWM ou OPT-PWM) : le contrôle OPT-PWM ne modifie donc pas les performances du convertisseur. Cette optimisation contribue à la réduction du vieillissement des composants.

Le troisième chapitre a présenté un état de l'art sur la tolérance de pannes des convertisseurs de puissance multiniveaux. Différentes topologies de convertisseurs multiniveaux ont été abordées : NPC, ANPC et NPP (ou T-type). Dans la première partie du chapitre, nous nous sommes intéressés aux méthodes de diagnostic (détection et localisation). Comme nous avons pu le noter, certaines méthodes utilisent des capteurs de courant et d'autres des capteurs de tension, additionnels ou non. Dans la seconde partie, un état de l'art des structures à tolérance de pannes a été présenté, pour ces mêmes topologies NPC, ANPC et NPP (ou T-type). Dans tous les cas, il s'agit de structures triphasées. Les structures proposées comportent toutes des composants additionnels, en nombre plus ou moins importants : fusibles, contacteurs, thyristors, triacs ou bras redondant (IGBT et diodes). Après reconfiguration, le convertisseur fonctionne soit en mode nominal, soit en mode dégradé.

Le quatrième chapitre a traité de la seconde partie du travail réalisé lors des travaux de recherche, portant sur la continuité de service lors de la défaillance en circuit ouvert d'un des switches. Plusieurs contributions significatives sont à noter : une approche innovante de diagnostic de défaut (incluant la détection et la localisation) et une topologie originale de convertisseur HB-T-Type à 5 niveaux à tolérance de pannes, associées à une commande reconfigurable. Dans un premier temps, une détection de défaut pour l'ensemble des structures ponts en H a été proposée. L'algorithme de détection utilise deux critères : un critère dit « de tension », qui consiste à comparer la tension de sortie mesurée à la tension estimée et un critère « temporel », pour éviter les fausses détections. Associé à la détection, un algorithme de localisation a été développé pour finaliser le diagnostic complet du défaut circuit ouvert. Ensuite, une nouvelle structure à tolérance de pannes a été présentée, basée sur la topologie HB-T-Type, étudiée au chapitre 2. Elle permet de fonctionner en mode nominal, quel que soit le défaut. Dans ce chapitre, toutes les étapes ont été validées par modélisation puis simulation dans l'environnement Matlab/Simulink. Le diagnostic de défaut s'est avéré robuste et la topologie à tolérance de pannes permet de palier efficacement à tous les défauts de types circuit ouvert.

Pour finir, le dernier chapitre a traité de la validation expérimentale du diagnostic de défaut et de la topologie à tolérance de pannes. Dans un premier temps, le diagnostic de défaut et la gestion de la reconfiguration du convertisseur ont été validés par prototypage "FPGA In The Loop". Ensuite, l'ensemble du système a été testé sur un banc entièrement réalisé au laboratoire. Les résultats obtenus ont été concluants : le diagnostic du défaut ainsi que la topologie à tolérance de pannes ont été validés dans des conditions de reconfigurations différentes et lors de plusieurs cas de défauts.

Plusieurs axes d'études et de recherches complémentaires peuvent être envisagés comme perspectives de ce travail. Une poursuite immédiate de ces travaux de thèse serait d'adapter la topologie proposée afin qu'elle puisse également assurer la continuité de service lors de défauts de types court-circuit. Ceci ne pourrait se faire qu'à l'aide de fusibles ou de composants de puissance commandables additionnels ; en effet, le seul moyen d'éliminer un composant en court-circuit est d'ouvrir le circuit à l'aide d'un élément connecté en série (switch ou fusible). Les techniques proposées dans la littérature et mentionnées dans l'état de l'art du chapitre 3 pourraient donc être mises en œuvre. Dans tous les cas, le défaut type court-circuit deviendrait un circuit ouvert, couvert par notre étude. Ainsi, seule la topologie du convertisseur serait complexifiée par l'ajout de fusibles ou de switches additionnels mais rien ne devrait être modifié dans l'approche que nous avons proposée, tant au niveau du diagnostic que de la gestion du défaut.

Il est certes établi que les diodes sont des composants plus robustes que les composants de puissance commandables. Néanmoins, il pourrait s'avérer également intéressant d'étudier les cas de défauts de diodes en circuit-ouvert. Cependant, selon la topologie du convertisseur étudié, il n'est pas toujours nécessaire de chercher à diagnostiquer et localiser la défaillance de toutes les diodes : celles qui ne conduisent que lorsqu'un composant commandable conduit simultanément le même courant ne nécessiteraient pas de détection car le défaut circuit ouvert d'une telle diode pourraient être vu comme un défaut circuit ouvert du composant commandable. A titre d'exemple, on peut citer le cas de la diode D_{c1} et du switch T_{c1+} pour la topologie T-Type de la Figure IV.1. En effet, même si en réalité le composant défaillant ne serait pas le switch mais la diode, la continuité de service peut être réalisée par l'approche proposée dans ce mémoire. Néanmoins, pour les autres diodes, un diagnostic serait nécessaire et la possibilité d'assurer la continuité de service devrait être étudiée. Dans tous les cas, une adaptation de la structure du convertisseur pour tous ces cas de défauts serait nécessaire.

Au chapitre 2, nous avons travaillé sur la minimisation du nombre de commutations par période pour les structures monophasées HB-NPC et HB-T-Type à 5 niveaux. La topologie HB-NPC n'a pas été abordée dans ce mémoire, du point de vue de la tolérance de pannes. Nous pourrions alors étendre notre étude sur la base de l'expérience acquise pour le T-Type en proposant une structure HB-NPC à tolérance de pannes, associée à un diagnostic de défauts. Cette structure inclut des diodes de clames et il apparaît donc utile de diagnostiquer non seulement les défauts circuit-ouvert des switches mais également ceux des diodes de clames. Néanmoins, dans l'objectif d'assurer la continuité de service suite à un défaut en modifiant uniquement les ordres de commande, il est important de mentionner que cette structure offre moins de possibilités différentes pour réaliser un niveau de tension de sortie donné (notamment pour le niveau zéro Volt). Ainsi, un nombre plus élevé de composants

additionnels serait donc à prévoir pour assurer la continuité de service. Ensuite, une approche similaire pourrait être réalisée et étendue au convertisseur HB-ANPC.

Jusqu'à maintenant, nous nous sommes uniquement intéressés aux structures monophasées. L'étude de structures triphasées de types NPC, ANPC, ou NPP (ou T-type) à tolérance de pannes pourrait être très intéressante, même si certaines topologies ont déjà été abordées et les résultats obtenus présentés dans la littérature scientifique. En triphasé, la méthode de détection proposée pour le monophasé peut être adaptée aux trois tensions de pôles mais la localisation du défaut pourrait être rendue plus complexe en raison du plus grand nombre de composants. De même, la continuité de service devrait nécessiter un nombre plus important de composants additionnels, si l'on souhaite garder un mode nominal après défaut.

Enfin, dans une approche plus globale, les convertisseurs modulaires multiniveaux (MMC), couplés en étoile ou en triangle, pourraient faire l'objet de propositions de continuité de service. Ces convertisseurs sont basés sur des structures multiniveaux monophasées, connectées en série pour chaque phase et potentiellement du type T-Type comme celle étudiée dans ce mémoire. Ainsi, le convertisseur monophasé serait vu comme une brique de base d'une phase du convertisseur MMC. Ainsi, pour localiser le défaut avec précision au niveau du convertisseur monophasé de base, il faudra localiser dans un premier temps la phase défaillante, puis le convertisseur en défaut parmi ceux connectés en série, pour ensuite diagnostiquer le défaut. Plusieurs approches de reconfigurations pourraient alors être envisagées, soit en essayant de mutualiser des composants additionnels pour l'ensemble des convertisseurs monophasés d'une même phase, soit en plaçant des composants additionnels pour chaque convertisseur monophasé.

Bibliographie

Chapitre I

1. US3748492(A) - LIGHT-TRIGGERED ELECTRIC POWER SOURCE, Inventeur(s): BAKER R, Date de publication 24 juil.1973, Date de dépôt 25 mai 1972, Cessionnaire d'origine Massachusetts Inst Technology,Us
2. US4117364(A) - VOLTAGE WAVEFORM SYNTHESIZER AND A SYSTEM THAT INCLUDES THE SAME, Inventeur(s): BAKER RICHARD H, Date de publication 26 sept. 1978, Date de dépôt 14 mai 1976, Cessionnaire d'origine Massachusetts Institute Of Technology
3. US3581212(A) - FAST RESPONSE STEPPED-WAVE SWITCHING POWER CONVERTER CIRCUIT Inventeur(s):MCMURRAY WILLIAM, Date de publication 25 mai 1971, Date de dépôt 31 juil. 1969, Cessionnaire d'origine General Electric Co.
4. US3579081(A) - LOW FREQUENCY SINE WAVE GENERATOR CIRCUIT, Inventeur(s): BATES JAMES W, Date de publication 18 mai 1971, Date de dépôt 12 nov. 1968, Cessionnaire d'origine Gulton Industries Inc.
5. US3867643(A) - Electric power converter, Inventeur(s): BAKER RICHARD H; BANNISTER LAWRENCE H, Date de publication 18 févr. 1975, Date de dépôt 14 janv. 1974, Cessionnaire d'origine Massachusetts Institute Of Technology.
6. Meynard, T. A.; Foch, H., "Multi-level conversion: high voltage choppers and voltage-source inverters," Power Electronics Specialists Conference, 1992. PESC '92 Record., 23rd Annual IEEE , vol., no., pp.397,403 vol.1, 29 Jun-3 Jul 1992.
7. Amaral, A.M.R.; Cardoso, A.J.M., "On-line fault detection of aluminium electrolytic capacitors, in step-down DC-DC converters, using input current and output voltage ripple," Power Electronics, IET , vol.5, no.3, pp.315,322, March 2012.
8. Amaral, A. M R; Cardoso, A. J M, "Using input current and output voltage ripple to estimate the output filter condition of switch mode DC/DC converters," Diagnostics for Electric Machines, Power Electronics and Drives, 2009. SDEMPED 2009. IEEE International Symposium on, vol., no., pp.1,6, Aug. 31 2009-Sep. 3 2009.
9. www.fides.org
10. L. G. Franquelo, J. Rodríguez, J. I. León, S. Kouro, R. Portillo, and M. M. Prats, "The age of multilevel converters arrives,"IEEE Ind. Electron. Mag., vol. 2, no. 2, pp. 28–39, Jun. 2008.
11. Kouro, S.; Malinowski, M.; Gopakumar, K.; Pou, J.; Franquelo, L.G.; Bin Wu; Rodriguez, J.; Perez, M.A.; Leon, J.I., "Recent Advances and Industrial Applications of Multilevel Converters," *Industrial Electronics, IEEE Transactions on* , vol. 57, no. 8, pp. 2553 -2580, Aug. 2010
12. R. Teichmann and S. Bernet, "A comparison of three-level converters versus two-level converters for low-voltage drives, traction, and utility applications," IEEE Trans. Ind. Appl., vol. 42, no. 3, pp. 855–865, May/Jun. 2005.
13. Nabae A, Takahashi I, Akagi H, "A new neutral-point-clamped PWM inverter," IEEE Trans on Industry Application, Vol. IA-17 , No.5, pp.518–523, September 1981.
14. J. Rodríguez, S. Bernet, P. K. Steimer, and I. E. Lizama, "A survey neutral-point-clamped inverters,"IEEE Trans. Ind. Electron., vol. 57, no. 7, pp. 2219–2230, Jul. 2010.
15. T. Bruckner, S. Bernet, H. Guldner, "The active NPC converter and its loss-balancing control," IEEE Trans. on Industrial Electronics, vol. 52, no. 3, pp. 855-868, June 2005.
16. Thomas Brückner, Steffen Bernet and Peter K. Steimer, "The Active NPC Converter for Medium-Voltage Applications", industry Applications Conference, 2005. Fourtieth IAS Annual Meeting,Conference Record of the 2005, Vol. 1, 2-6 Oct. 2005, pp.84 - 91.
17. J. Holtz, Selbstgeführte Wechselrichter mit treppenformiger Ausgangsspannung für große Leistung und hohe Frequenz," Siemens Forschungs- und Entwicklungsberichte, vol. 6 no. 3, pp. 164–171, 1977.

18. O. Bouhali, N. Rizoug, T. Mesbahi, and B. Francois, "Modeling and control of the three-phase NPC multilevel converter using an equivalent matrix structure", *7th IET International Conference on Power Electronics, Machines and Drives (PEMD 2014)*, 2014, pp. 1–6.
19. V. Guennegues, B. Gollentz, F. Meibody-Tabar, S. Rael and L. Leclere, "A converter topology for high speed motor drive applications," *2009 13th European Conference on Power Electronics and Applications*, Barcelona, 2009, pp. 1-8.
20. A. Leredde "Étude, commande et mise en œuvre de convertisseur multiniveaux", Thèse de doctorat de l'Université de Toulouse, 2011.
21. Franquelo, L.G.; Rodriguez, J.; Leon, J.I.; Kouro, S.; Portillo, R.; Prats, M.A.M., "The age of multilevel converters arrives," *Industrial Electronics Magazine, IEEE*, vol.2, no.2, pp.28,39, June 2008
22. M. Morati, "Contribution à l'étude et au contrôle des convertisseurs multiniveaux: application à la compensation des fours à arc", Thèse de doctorat de l'Université de Lorraine, Nancy, 2014.
23. L. M. Tolbert, Fang Zheng Peng and T. G. Habetler, "Multilevel converters for large electric drives," in *IEEE Transactions on Industry Applications*, vol. 35, no. 1, pp. 36-44, Jan/Feb 1999.
24. Tolbert, L.M.; Fang Zheng Peng; Habetler, T.G., "Multilevel converters for large electric drives," *Industry Applications, IEEE Transactions on*, vol.35, no.1, pp.36,44, Jan/Feb 1999
25. Zhou Xiaojie and Ruan Yi, "Modeling and simulation analysis of 3-level VSC-STATCOM based on SVPWM," *2011 IEEE Power Engineering and Automation Conference*, Wuhan, 2011, pp. 111-114.
26. S. Umashankar, T. S. Sreedevi, V. G. Nithya, and D. Vijayakumar, "A New 7-Level Symmetric Multilevel Inverter with Minimum Number of Switches," *ISRN Electronics*, vol. 2013, Article ID 476876, 8 pages, 2013.

Chapitre II

1. O. Bouhali, N. Rizoug, T. Mesbahi, and B. Francois, "Modeling and control of the three-phase NPC multilevel converter using an equivalent matrix structure", *7th IET International Conference on Power Electronics, Machines and Drives (PEMD 2014)*, 2014, pp. 1–6.
2. Nabae, A.; Takahashi, I.; Akagi, H., "A New Neutral-Point-Clamped PWM Inverter", *IEEE Transactions on Industry Applications*, vol. IA- 17, no.5, pp.518-523, Sept. 1981.
3. P. Acuna, V. Agelidis, L. Moran, and M. Rivera, "Simple and robust multi-objective predictive control method for a single-phase three-level NPC converter based active power filter," *40th Annual Conference of the IEEE in Industrial Electronics Society, IECON 2014*, pp. 4708– 4714, 2014.
4. J. D. Barros, J. F. A. Silva, E. G. Jesus et al., "Fast-predictive optimal control of NPC multilevel converters", *IEEE Trans. on Industrial Electronics*, vol. 60, no. 2, pp. 619–627, 2013.
5. R. K. Behera and S. P. Das, "A forced switching technique for current controlled three-level NPC ac-dc converter", *Joint International Conference on Power Electronics, Drives and Energy Systems (PEDES)*, pp. 1–6, 2010.
6. L. Tan, Y. Liu, Z. Su, P. Wang, and Y. Li, "The coordinated neutral point voltage balance control for back-to-back npc converters used in the wind power system" , *17th International Conference on Electrical Machines and Systems (ICEMS)*, pp. 935–938, 2014.
7. J. Li, A. Q. Huang, Z. Qian, and H. Zhao, "A novel carrier-based pwm method for 3-level npc inverter utilizing control freedom degree", *IEEE Power Electronics Specialists Conference, PESC 2007*, pp. 1899–1904, 2007.
8. Y. Ounejjar and K. Al-Haddad, "Current control of the three phase fivelevel PUC-NPC converter," *38th Annual Conference on IEEE Industrial Electronics Society, IECON 2012*, pp. 4949–4954, 2012.
9. S. Song, X. Feng, and C. Xiong, "A neutral point voltage regulation method with SVPWM control for single-phase three-level NPC converters", *Vehicle Power and Propulsion Conference VPPC'08*, pp. 1–4, 2008.

10. B. Alamri and M. Darwish, "Power loss investigation in HVDC for cascaded h-bridge multilevel inverters (CHB-MLI)", *PowerTech*, pp. 1–7, 2015, Eindhoven.
11. S.Fan,K.Zhang,J.Xiong,andY.Xue,"An improved control system for modular multilevel converters with new modulation strategy and voltage balancing control", *IEEE Trans. on Power Electronics*, vol. 30, no. 1, pp. 358–371, 2015.
12. J. Rodriguez, S. Bernet, P. K. Steimer, and I. E. Lizama, "A survey on neutral-point-clamped inverters", *IEEE Trans. on Industrial Electronics*, vol. 57, no. 7, pp. 2219–2230, 2010.
13. Jun Li; Yu Liu; Bhattacharya, S.; Huang, A.Q., "An optimum PWM Strategy for 5-level active NPC (ANPC) converter based on real-time solution for THD minimization", *Energy Conversion Congress and Exposition, ECCE 2009. IEEE*, vol., no., pp.1976-1982, 20-24 Sept. 2009.

Chapitre III

1. R. Wu, F. Blaabjerg, H. Wang, M. Liserre and F. Iannuzzo, "Catastrophic failure and fault-tolerant design of IGBT power electronic converters - an overview," *IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society*, Vienna, 2013, pp. 507-513.
2. M. B. Abadi, A. M. S. Mendes and S. M. A. Cruz, "Three-level NPC inverter fault diagnosis by the Average Current Park's Vector approach," *2012 XXth International Conference on Electrical Machines*, Marseille, 2012, pp. 1893-1898.
3. M. Sital-Dahone, A. Saha, Y. Sozer and A. Mpanda, "Multiple device open circuit fault diagnosis for neutral-point-clamped inverters," *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Tampa, FL, 2017, pp. 2605-2609.
4. U. M. Choi, H. G. Jeong, K. B. Lee and F. Blaabjerg, "Method for Detecting an Open-Switch Fault in a Grid-Connected NPC Inverter System," in *IEEE Transactions on Power Electronics*, vol. 27, no. 6, pp. 2726-2739, June 2012.
5. A. M. Santos Mendes, M. B. Abadi and S. M. A. Cruz, "Fault diagnostic algorithm for three-level neutral point clamped AC motor drives, based on the average current Park's vector," in *IET Power Electronics*, vol. 7, no. 5, pp. 1127-1137, May 2014.
6. U. M. Choi, K. B. Lee and F. Blaabjerg, "Diagnosis and Tolerant Strategy of an Open-Switch Fault for T-Type Three-Level Inverter Systems," in *IEEE Transactions on Industry Applications*, vol. 50, no. 1, pp. 495-508, Jan.-Feb. 2014.
7. U. M. Choi and K. B. Lee, "Detection method of an open-switch fault and fault-tolerant strategy for a grid-connected T-type three-level inverter system," *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*, Raleigh, NC, 2012, pp. 4188-4195.
8. U. M. Choi, J. S. Lee, F. Blaabjerg and K. B. Lee, "Open-Circuit Fault Diagnosis and Fault-Tolerant Control for a Grid-Connected NPC Inverter," in *IEEE Transactions on Power Electronics*, vol. 31, no. 10, pp. 7234-7247, Oct. 2016.
9. J. S. Lee and K. B. Lee, "Open-Switch Fault Tolerance Control for a Three-Level NPC/T-Type Rectifier in Wind Turbine Systems," in *IEEE Transactions on Industrial Electronics*, vol. 62, no. 2, pp. 1012-1021, Feb. 2015.
10. J. He, N. A. O. Demerdash, N. Weise and R. Katebi, "A Fast On-Line Diagnostic Method for Open-Circuit Switch Faults in SiC-MOSFET-Based T-Type Multilevel Inverters," in *IEEE Transactions on Industry Applications*, vol. 53, no. 3, pp. 2948-2958, May-June 2017.

11. P. Fazio, G. Maragliano, M. Marchesoni and G. Parodi, "A new fault detection method for NPC converters," *Proceedings of the 2011 14th European Conference on Power Electronics and Applications*, Birmingham, 2011, pp. 1-10.
12. P. Fazio, M. Marchesoni and G. Parodi, "Fault detection and reconfiguration strategy for ANPC converters," *2012 15th International Power Electronics and Motion Control Conference (EPE/PEMC)*, Novi Sad, 2012, pp. DS1b.17-1-DS1b.17-5.
13. T. J. Kim, W. C. Lee and D. S. Hyun, "Detection Method for Open-Circuit Fault in Neutral-Point-Clamped Inverter Systems," in *IEEE Transactions on Industrial Electronics*, vol. 56, no. 7, pp. 2754-2763, July 2009.
14. E. R. da Silva, W. S. Lima, A. S. de Oliveira, C. B. Jacobina and H. Razik, "Detection and compensation of switch faults in a three level inverter," *2006 37th IEEE Power Electronics Specialists Conference*, Jeju, 2006, pp. 1-7.
15. P. F. Lopes and A. M. S. Mendes, "Fault tolerance in active power filters, based on multilevel NPC topology," *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*, Montreal, QC, 2012, pp. 410-415.
16. M. B. Abadi, A. M. S. Mendes and S. M. Â. Cruz, "Method to diagnose open-circuit faults in active power switches and clamp-diodes of three-level neutral-point clamped inverters," in *IET Electric Power Applications*, vol. 10, no. 7, pp. 623-632, 8 2016.
17. L. M. A. Caseiro, A. M. S. Mendes and A. N. Alcaso, "Fault diagnosis and tolerance in three-level Neutral-Point-Clamped rectifiers," *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*, Montreal, QC, 2012, pp. 404-409.
18. L. M. A. Caseiro and A. M. S. Mendes, "Real-Time IGBT Open-Circuit Fault Diagnosis in Three-Level Neutral-Point-Clamped Voltage-Source Rectifiers Based on Instant Voltage Error," in *IEEE Transactions on Industrial Electronics*, vol. 62, no. 3, pp. 1669-1678, March 2015.
19. A. L. de Lacerda and E. R. C. da Silva, "Study of failures in a three-phase active neutral point clamped rectifier: Short-circuit and open-circuit faults," *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, Montreal, QC, 2015, pp. 4773-4780.
20. A. I. L. de Lacerda and E. R. C. da Silva, "Fault tolerant Active Neutral Point Clamped inverter: Short-circuit and open-circuit failures," *2015 IEEE 24th International Symposium on Industrial Electronics (ISIE)*, Buzios, 2015, pp. 1068-1073.
21. B. Zhang, Q. Ge, D. Cui, X. Wang and Y. Yu, "Open circuit switch fault diagnosis for three level active NPC converter," *2016 IEEE 11th Conference on Industrial Electronics and Applications (ICIEA)*, Hefei, 2016, pp. 801-806.
22. T. J. Kim, W. C. Lee and D. S. Hyun, "Detection Method for Open-Circuit Fault in Neutral-Point-Clamped Inverter Systems," in *IEEE Transactions on Industrial Electronics*, vol. 56, no. 7, pp. 2754-2763, July 2009.
23. S. Farnesi, P. Fazio and M. Marchesoni, "A new fault tolerant NPC converter system for high power induction motor drives," *8th IEEE Symposium on Diagnostics for Electrical Machines, Power Electronics & Drives*, Bologna, 2011, pp. 337-343.
24. B. R. O. Baptista, M. B. Abadi, A. M. S. Mendes and S. M. A. Cruz, "The performance of a three-phase induction motor fed by a three-level NPC converter with fault tolerant control strategies," *2013 9th IEEE International Symposium on Diagnostics for Electric Machines, Power Electronics*

25. Gun-Tae Park, Tae-Jin Kim, Dae-Wook Kang and Dong-Seok Hyun, "Control method of NPC inverter for continuous operation under one phase fault condition," *Conference Record of the 2004 IEEE Industry Applications Conference, 2004. 39th IAS Annual Meeting.*, 2004, pp. 2188-2193 vol.4.
26. S. Ceballos, J. Pou, E. Robles, J. Zaragoza and J. L. Martin, "Three-Leg Fault-Tolerant Neutral-Point-Clamped Converter," *2007 IEEE International Symposium on Industrial Electronics*, Vigo, 2007, pp. 3180-3185.
27. S. Ceballos, J. Pou, E. Robles, J. Zaragoza and J. L. Martin, "Performance Evaluation of Fault-Tolerant Neutral-Point-Clamped Converters," in *IEEE Transactions on Industrial Electronics*, vol. 57, no. 8, pp. 2709-2718, Aug. 2010.
28. S. Ceballos *et al.*, "Three-Level Converter Topologies With Switch Breakdown Fault-Tolerance Capability," in *IEEE Transactions on Industrial Electronics*, vol. 55, no. 3, pp. 982-995, March 2008.
29. S. Ceballos *et al.*, "Efficient Modulation Technique for a Four-Leg Fault-Tolerant Neutral-Point-Clamped Inverter," in *IEEE Transactions on Industrial Electronics*, vol. 55, no. 3, pp. 1067-1074, March 2008.
30. S. Ceballos, J. Pou, J. Zaragoza, E. Robles, J. L. Villate and J. L. Martin, "Fault-Tolerant Neutral-Point-Clamped Converter Solutions Based on Including a Fourth Resonant Leg," in *IEEE Transactions on Industrial Electronics*, vol. 58, no. 6, pp. 2293-2303, June 2011.
31. S. Ceballos, J. Pou, E. Robles, J. Zaragoza, P. Ibanez and J. Luis Martin, "Fault-tolerant hybrid four-leg multilevel converter," *2007 European Conference on Power Electronics and Applications*, Aalborg, 2007, pp. 1-9.
32. S. Ceballos, J. Pou, J. Zaragoza, E. Robles, J. L. Villate and J. L. Martin, "Soft-Switching Topology for a Fault-Tolerant Neutral-Point-Clamped Converter," *2007 IEEE International Symposium on Industrial Electronics*, Vigo, 2007, pp. 3186-3191.
33. A. I. L. de Lacerda and E. R. C. da Silva, "Fault tolerant Active Neutral Point Clamped inverter: Short-circuit and open-circuit failures," *2015 IEEE 24th International Symposium on Industrial Electronics (ISIE)*, Buzios, 2015, pp. 1068-1073.
34. A. L. de Lacerda and E. R. C. da Silva, "Study of failures in a three-phase active neutral point clamped rectifier: Short-circuit and open-circuit faults," *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, Montreal, QC, 2015, pp. 4773-4780.
35. A. V. Rocha *et al.*, "A new fault-tolerant realization of the active three-level NPC converter," *2014 IEEE Energy Conversion Congress and Exposition (ECCE)*, Pittsburgh, PA, 2014, pp. 3483-3490.
36. W. Zhang, G. Liu, D. Xu, J. Hawke, P. Garg and P. Enjeti, "A fault-tolerant T-type three-level inverter system," *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, Fort Worth, TX, 2014, pp. 274-280.
37. U. M. Choi and F. Blaabjerg, "A novel active T-type three-level converter with open-circuit fault-tolerant control," *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, Montreal, QC, 2015, pp. 4765-4772.
38. R. Katebi, A. Stark, J. He and N. Weise, "Advanced three level active neutral point converter with fault tolerant capabilities," *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, Milwaukee, WI, 2016, pp. 1-7.
39. J. He, R. Katebi, N. Weise, N. A. O. Demerdash and L. Wei, "A Fault-Tolerant T-Type Multilevel Inverter Topology With Increased Overload Capability and Soft-Switching Characteristics," in *IEEE Transactions on Industry Applications*, vol. 53, no. 3, pp. 2826-2839, May-June 2017.

Chapitre V

1. S. Karimi, “Continuité de service des convertisseurs triphasés de puissance et prototypage "FPGA in the loop": application au filtre actif parallèle”, Thèse de doctorat, Université Henri Poincaré, 2009.
2. A. Gaillard, “Détection de défauts des convertisseurs de puissance à l'aide de FPGA: cas d'un système éolien basé sur une Machine Asynchrone à Double Alimentation”, Thèse de doctorat de l'Université Henri Poincaré, Nancy-I, 2010.
3. M. Shahbazi, “Contribution à l'étude des convertisseurs statiques AC-DC-AC tolérants aux défauts”, Thèse de doctorat de l'université de Lorraine, 2012.
4. E. Jamshidpour, “ Contribution à l'étude de la sûreté de fonctionnement et de la continuité de service des bus DC”, Thèse de doctorat de l'université de Lorraine, 2014.