



HAL
open science

Etude statistique de l'énergie dans les circuits intégrés CMOS-FDSOI : caractérisation et optimisation

Rida Kheirallah

► **To cite this version:**

Rida Kheirallah. Etude statistique de l'énergie dans les circuits intégrés CMOS-FDSOI : caractérisation et optimisation. Electronique. Université Montpellier, 2016. Français. NNT : 2016MONTT342 . tel-01817463

HAL Id: tel-01817463

<https://theses.hal.science/tel-01817463>

Submitted on 18 Jun 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de
Docteur

Délivré par **Université de Montpellier**

Préparée au sein de l'école doctorale
Information, Structures, Systèmes (I2S)

Et de l'unité de recherche
LIRMM

Spécialité :
Systèmes Automatiques et Microélectroniques (SyAM)

Présentée par **Rida KHEIRALLAH**

**Etude Statistique de l'Energie dans les
Circuits Intégrés CMOS-FDSOI :
Caractérisation et Optimisation**

Soutenue le 19-10-2016 devant le jury composé de

M. Marc BELLEVILLE	Directeur de Recherche	CEA	Rapporteur
M. Robin WILSON	Directeur d'Unité	ST Microelectronics	Rapporteur
M. Amara AMARA	Professeur	ISEP	Examineur
M. Pascal NOUET	Professeur des Universités	LIRMM	Examineur
M. Guy CATHEBRAS	Professeur des Universités	LIRMM	Examineur
M. Gilles DUCHARME	Professeur des Universités	IMAG	Co-Directeur
Mme. Nadine AZEMARD-CRESTANI	Chargé de recherche HDR	LIRMM	Directeur-Invité
M. Jean-Marc GALLIERE	Maitre de Conférences	LIRMM	Invité



Remerciements

A Madame AZEMARD-CRESTANI,

Directrice de cette thèse, qui n'a ménagé ni son temps, ni sa peine pour l'aboutissement de ce travail de recherche. Qu'elle trouve ici toute ma gratitude.

A Monsieur DUCHARME,

Co-Directeur de cette thèse à qui je dois ce grade. Qu'il trouve ici mes sincères remerciements.

A Monsieur GALLIERE,

Qui a su me rassurer et me guider dans ce travail. Toujours présent lors des moments de doute. Tous mes remerciements.

A l'ensemble de l'équipe du LIRMM,

Leur gentillesse et leur compétence au quotidien m'ont permis d'être à l'aise dans ce laboratoire. Qu'ils en soient remerciés.

A Monsieur HOAYEK,

Son amitié précieuse et ses compétences ont été indispensables à l'aboutissement de ce travail. Qu'il trouve ici l'expression de mon affection.

A Monsieur et Madame Brom,

Les mots ne pourront jamais exprimer mes sentiments. Sans eux tout aurait été différent.

A la France,

A ce pays généreux qui m'a donné la chance de continuer mes études. A ce peuple plein de gentillesse.

Un grand merci du fond du cœur.

Résumé

Pour les nœuds technologiques avancés, la consommation statique des circuits intégrés est devenue un facteur essentiel de l'industrie microélectronique. L'efficacité énergétique des circuits est mesurée en fonction de leur performance et en fonction de leur consommation statique. Face à l'augmentation de la variabilité des paramètres physiques et environnementaux, la technologie silicium sur isolant complètement désertée (FD-SOI : Fully-Depleted Silicon-On-Insulator) permet de prolonger la loi de Moore dans le domaine nanométrique. Dans ce mémoire une étude statistique de l'énergie des circuits intégrés CMOS-FDSOI est réalisée. Des bibliothèques statistiques qui caractérisent le délai et la puissance statique des transistors CMOS-FDSOI sont mises en place. Compte tenu des avantages liés à la technologie FDSOI, des approches statistiques basées sur les bibliothèques sont appliquées pour estimer le délai et la puissance statique. En conservant l'exactitude de l'estimation, ces approches apportent un gain important en temps CPU. Suite à l'estimation du délai et de la puissance statique, les variations énergétiques des transistors CMOS-FDSOI sont étudiées en fonction de la tension d'alimentation et en fonction de la tension de polarisation. Ainsi, grâce à la détermination d'un compromis Délai-Puissance Statique efficace et l'élaboration d'un flow d'optimisation statistique, l'énergie statique d'un circuit a pu être optimisée.

Abstract

For advanced technology nodes, static consumption of integrated circuits has become a key factor for the microelectronics industry. Circuit energy efficiency is measured in terms of performance and static consumption. With the increase of physical and environmental parameters, the Fully-Depleted Silicon-on-Insulator technology allows to extend Moore's law in the nanometer domain. In this work, a statistical study of CMOS-FDSOI integrated circuit energy is carried out. Statistical libraries characterizing delay and static power of CMOS-FDSOI transistors are presented. Given the advantages of the FDSOI technology, statistical approaches based on the libraries are applied in order to estimate delay and static power. While maintaining the accuracy of the estimations, these approaches provide a significant gain in CPU time. Following delay and static power estimation, CMOS-FDSOI transistors energy variations are considered according to supply voltage and voltage body biasing. Thus, by determining an efficient Delay-Static Power compromise and the development of a statistical optimization flow, static energy of a circuit has been optimized.

Tables des Matières

Résumé	1
Abstract	2
Table des Matières	3
Introduction	9
Chapitre 1	13
1.1 Introduction	14
1.2 Définition de l'énergie statique	14
1.3 Analyse du Timing	16
1.3.1 Définition des termes techniques	16
1.3.2 Les sources de variations du délai.....	18
1.3.3 Les concepts de base de l'analyse du timing	20
1.3.4 L'approche CTA (Corner Timing Analysis).....	21
1.3.5 Limitations de l'approche CTA	22
1.3.6 Statistical Static Timing Analysis (SSTA).....	24
1.3.6.1 Modélisation des variations du process	25
1.3.6.2 Modélisation du délai des portes logiques.....	28
1.3.6.3 Les techniques de propagation.....	29
1.3.6.4 Limitations des approches SSTA.....	30

1.3.6.5	Conclusion	32
1.3.7	SSTA basée sur la propagation des moments	32
1.3.7.1	Setup	34
1.3.7.2	Input	35
1.3.7.3	SSTA Engine	35
1.3.7.4	Output	37
1.3.7.5	Conclusion	38
1.3.8	Conclusion	38
1.4	Analyse de la Puissance Statique	39
1.4.1	Importance accrue de la puissance statique	39
1.4.2	Les variations du courant de fuite	40
1.4.3	Analyse statistique de la puissance statique.....	42
1.4.3.1	Les approches analytiques	42
1.4.3.2	Les approches Monte Carlo	43
1.4.4	Analyse semi Monte Carlo de la puissance statique	44
1.4.4.1	La librairie statistique	45
1.4.4.2	Estimation statistique.....	46
1.4.5	Conclusion	48
1.5	Conclusion.....	49
Chapitre 2	51
2.1	Introduction	52
2.2	Le transistor CMOS fabriqué en technologie planaire FDSOI	53
2.3	Etude du délai et de la puissance des transistors UTBB-FDSOI	54
2.3.1	Les techniques de polarisation	54
2.3.2	Les transistors RVT et LVT.....	55
2.3.3	Choix des transistors RVT	56

2.3.3.1	Calcul de la puissance statique	57
2.3.3.2	RVT 28 nm UTBB-FDSOI vs LVT 28 nm UTBB-FDSOI.....	58
2.3.3.3	Gain apporté par les techniques de polarisation	60
2.4	Modélisation du signal d'entrée adaptée à la technologie 28 nm FDSOI.....	63
2.4.1	Introduction.....	63
2.4.2	Définition du temps de transition du signal d'entrée	63
2.4.3	Définition des points critiques du signal réel.....	65
2.4.4	Construction du jeu de données pour la modélisation du signal d'entrée.....	67
2.4.5	Travaux existants pour la modélisation du signal.....	68
2.4.5.1	Interprétation mathématique du signal	69
2.4.5.2	Modélisation du signal d'entrée.....	69
2.4.6	Modélisation du signal d'entrée pour la technologie 28nm FDSOI	74
2.4.7	Evaluation du modèle et calcul de l'erreur	77
2.4.8	Gain apporté par la nouvelle modélisation du signal d'entrée.....	80
2.4.9	Conclusion	81
2.5	Conclusion.....	82
Chapitre 3	83
3.1	Introduction	84
3.2	Etude du compromis pour un oscillateur.....	84
3.2.1	Définition de l'énergie dynamique et de l'énergie statique	84
3.2.2	Analyse de l'énergie.....	86
3.2.3	Détermination du Compromis Délai-Puissance Statique.....	87
3.2.3.1	Courbe ROC	89
3.2.3.2	Définition de $(VDD)_{STAT}$	91
3.2.3.3	Détermination de $(VDD)_{STAT}$ et $A(VDD)_{STAT}$	92
3.2.3.4	Illustration de $A(VDD)_{STAT}$	95

3.2.3.5	(<i>VDD</i>) <i>STAT</i> vs (<i>VDD</i>) <i>MEP</i>	96
3.2.4	Conclusion	98
3.3	Caractérisation de la librairie statistique de la technologie 28 nm RVT UTBB-FDSOI ...	98
3.4	Optimisation de l'énergie statique pour un chemin critique	104
3.4.1	Méthode d'optimisation	104
3.4.2	Estimation du délai.....	105
3.4.3	Estimation de la Puissance Statique.....	106
3.4.4	Optimisation du chemin.....	107
3.4.5	Application.....	108
3.5	Optimisation de l'énergie statique pour un circuit	111
3.6	Gain apporté par le compromis Délai-Puissance Statique	115
3.7	Conclusion.....	121
Chapitre 4	123
4.1	Introduction	124
4.2	Définition de (<i>VRBB</i>) <i>STAT</i>	124
4.3	Détermination de (<i>VRBB</i>) <i>STAT</i>	127
4.3.1	Détermination de ((<i>VDD</i>) <i>STAT</i>) <i>VRBB</i> <i>i</i>	127
4.3.2	Détermination de <i>mean</i> (<i>VDD</i>) <i>STAT</i>	129
4.3.3	Détermination de (<i>VRBB</i>) <i>STAT</i>	130
4.4	Caractérisation de la librairie statistique de la technologie 28 nm RVT UTBB-FDSOI ..	132
4.5	Optimisation de l'énergie statique d'un chemin critique	135
4.5.1	Détermination de ((<i>VDD</i>) <i>STAT</i> <i>chemin</i>) (<i>VRBB</i>) <i>i</i>	136
4.5.1.1	Détermination de ((<i>VDD</i>) <i>STAT</i> (<i>gate l</i>)) (<i>VRBB</i>) <i>i</i>	137
4.5.1.2	<i>mean</i> ((<i>VDD</i>) <i>STAT</i> (<i>gate l</i>)) (<i>VRBB</i>) <i>i</i>	137
4.5.2	<i>mean</i> ((<i>VDD</i>) <i>STAT</i> <i>chemin</i>) (<i>VRBB</i>) <i>i</i>	138
4.5.3	Détermination de ((<i>VRBB</i>) <i>STAT</i>) <i>chemin</i>	139

4.6	Optimisation de l'énergie statique d'un circuit	142
4.6.1	Méthode d'optimisation	142
4.6.2	Exactitude et Coût de calcul.....	147
4.7	Gain apporté par le Compromis Délai-Puissance Statique avec Polarisation	148
4.8	Validation du compromis Délai-Puissance Statique avec polarisation	153
4.9	Conclusion.....	156
	Conclusion et Perspectives	157
	Productions Scientifiques	161
	Liste des Figures	163
	Liste des Tableaux	167
	Liste des Equations	169
	Références	181

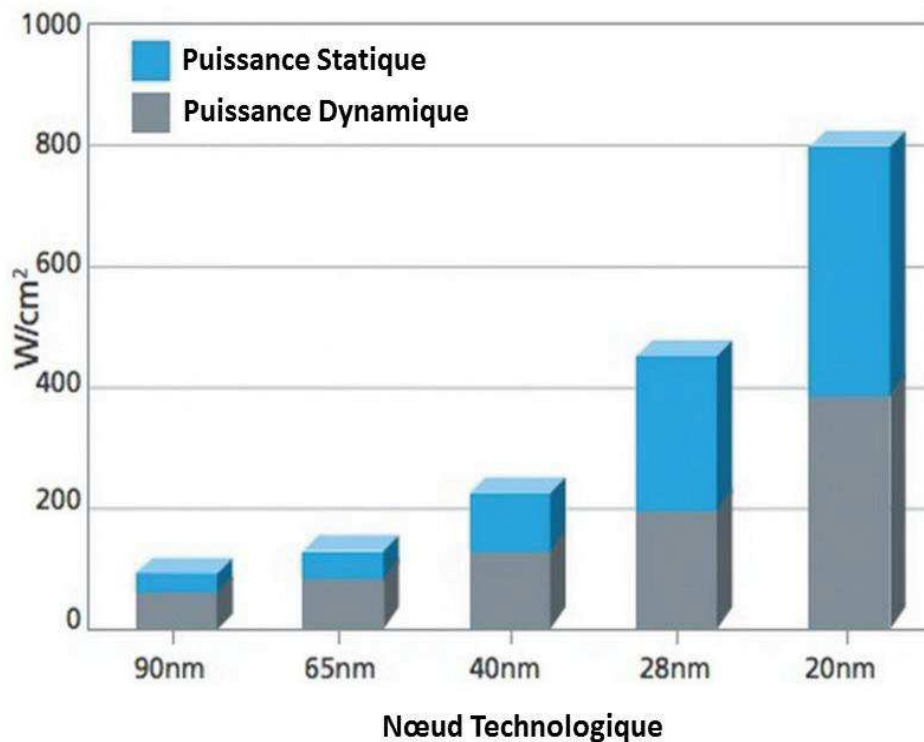
Introduction

Avec le phénomène « More Moore » et les tendances « basse puissance », optimiser ou prédire les performances énergétiques des circuits numériques devient de plus en plus difficile. En effet, la variabilité et la difficulté de modéliser précisément le comportement des transistors limitent le bénéfice de la diminution de la taille des transistors. Les méthodologies de conception actuelles prennent en général des marges de conception pour prévenir l'incertitude générée par ces limites et garantir un rendement fonctionnel. Cependant, avec l'ère nanométrique, l'utilisation de marges de conception n'est plus efficace, du fait d'une sur-conception croissante, limitant les optimisations et diminuant le rendement tant paramétrique que fonctionnel.

De nombreuses équipes de recherche travaillent à la mise au point d'outils stochastiques permettant d'évaluer de manière statistique les performances des circuits intégrés. Toutefois, cet axe de recherche, communément appelé *Statistical Timing Analysis*, ne constitue qu'une des étapes de la mise au point de flots de conception statistique. Une autre étape consiste à mettre au point des méthodes de caractérisation et d'optimisation statistiques permettant de gérer l'énergie d'un circuit tout en permettant de contrôler finement les rendements de fabrication. La mise au point de flots d'évaluation et de conception statistiques devrait permettre au concepteur de définir des variations énergétiques (en fonction de la tension d'alimentation V_{DD} , la tension de polarisation du substrat V_{BB} *Voltage Body Biasing*, la température, le nombre d'étages...) réalistes permettant d'assurer un fonctionnement correct du circuit au moindre coût.

Pour les nœuds technologiques avancés, le terme « performance » ne signifie plus seulement une fréquence élevée, mais aussi une puissance faible. Il est clair que la réduction de la puissance globale mène à une augmentation du délai. Ainsi, pour estimer l'efficacité globale de l'énergie, il est nécessaire de garantir que pour une certaine fréquence, la puissance consommée est minimale. Avec l'arrivée des technologies CMOS-BULK sub-32nm, les gains en vitesse et en consommation des circuits intégrés, obtenus grâce à la miniaturisation des dispositifs, ne sont plus aussi significatifs qu'ils l'étaient. En effet, certains effets physiques deviennent de moins en moins négligeables et affectent les performances ainsi que la robustesse des circuits. C'est notamment le cas de la consommation statique des circuits qui explose (Figure ci-dessous) en raison de la forte augmentation

des courants de fuite des dispositifs et de leurs dispersions électriques. L'augmentation de la puissance statique dans les nœuds technologiques avancés est due essentiellement aux canaux courts. Les gains en performances se limitent alors à chaque nœud technologique et les courants de fuite des transistors augmentent, ce qui mène à une augmentation non négligeable de la consommation statique. De plus, à chaque nœud technologique, la variabilité de la tension de seuil augmente, ce qui limite la diminution de la tension d'alimentation et empêche par conséquent la diminution de la consommation statique des circuits intégrés.



Evolution de la puissance statique et la puissance dynamique avec la technologie

De plus, pour contrôler la consommation statique dans les nœuds technologiques avancés (en dessous de 32nm), les dispositifs CMOS-BULK conventionnels sont de plus en plus complexes. Le coût de fabrication de ces dispositifs devient lui aussi de plus en plus élevé. De nouvelles architectures de dispositifs sont étudiées pour remplacer les dispositifs CMOS-BULK conventionnels, afin de poursuivre la loi de Moore. Ces dispositifs émergents basés sur des transistors à film de silicium mince non dopé, offrent un meilleur contrôle électrostatique (moins de courants de fuite), améliorent le transport (meilleure mobilité des porteurs) et présentent un canal plus homogène (moins de dispersion). Parmi ces dispositifs, la technologie silicium sur isolant complètement désertée (FDSOI : Fully-Depleted Silicon-On-Insulator) apparaît comme une candidate très prometteuse. En outre, par rapport aux autres solutions envisagées (par exemple le FinFET), son architecture planaire proche de celle du BULK est particulièrement avantageuse pour une transition rapide au niveau industriel.

Bien que les avantages de la technologie FDSOI soient maintenant largement démontrés et reconnus au niveau transistor, il est également important d'évaluer les avantages de cette technologie au niveau circuit et plus particulièrement en terme d'énergie. En effet, la réduction de la consommation d'énergie dans les systèmes digitaux est devenue aujourd'hui une préoccupation majeure des concepteurs de circuits intégrés. La réduction de la consommation est l'un des trois paramètres essentiels de la conception, au côté de la vitesse et de l'augmentation de la densité d'intégration. La technologie FDSOI offre des caractéristiques électriques particulièrement intéressantes permettant la conception de circuits intégrés basse tension, basse consommation. Les transistors MOS à film mince de cette technologie offrent un bon contrôle électrostatique de la grille sur le canal, ce qui améliore les effets canaux courts et la pente sous le seuil. Par conséquent, le courant effectif des transistors FDSOI est plus élevé pendant la transition des portes logiques par rapport à celui qui correspond aux transistors MOS sur silicium massif. De plus, les fluctuations au niveau de la tension de seuil sont réduites grâce au film mince non dopé, ce qui permet d'atteindre une tension minimale de fonctionnement des circuits. Ce qui est essentiel pour réduire la consommation.

Comme on l'a déjà noté, la puissance statique prend une place de plus en plus importante par rapport à la puissance dynamique dans un circuit. La technologie FDSOI permet de limiter l'impact de cette puissance statique. Dans ce mémoire nous avons donc étudié l'énergie statique de la technologie 28nm FDSOI à partir d'une analyse statistique du délai et la puissance statique. Ces analyses consistent à construire des bibliothèques statistiques du délai et de la puissance statique pour plusieurs valeurs de la tension d'alimentation V_{DD} et pour plusieurs valeurs de la tension de polarisation V_{BB} , ce qui caractérise la technologie 28nm FDSOI. Le délai et la puissance statique des circuits sont alors estimés à partir de cette caractérisation.

L'estimation du délai et de la puissance statique effectuée, l'énergie statique peut être étudiée. Cette énergie étant le produit du délai et de la puissance statique, optimiser l'énergie statique va consister à déterminer le meilleur compromis Délai-Puissance Statique, c'est-à-dire à déterminer une tension d'alimentation optimale et une tension de polarisation optimale qui réduisent le délai sans trop dégrader la puissance statique et vice versa.

Le Chapitre 1 de ce mémoire présente le contexte de ce travail. Nous définissons d'abord l'énergie statique et la dépendance de cette dernière sur le délai et la puissance statique. Ensuite, nous présentons les sources des variations du délai et de la puissance statique. Enfin, nous abordons

plusieurs approches de l'analyse statistique du délai et de la puissance statique en présentant en particulier les approches sur lesquelles nous nous sommes appuyés afin de les estimer.

Le Chapitre 2 présente la technologie 28 nm FDSOI. Nous illustrons d'abord les points forts de cette technologie. Ensuite, nous analysons, pour plusieurs types de transistors de cette technologie, la variation de leurs délais et de leurs puissances statiques en fonction de la tension d'alimentation et la tension de polarisation. Enfin, nous présentons une nouvelle technique de modélisation du signal d'entrée qui permet de mieux ajuster les variations des paramètres des transistors de la technologie 28 nm FDSOI.

Le Chapitre 3 présente le compromis Délai-Puissance Statique établi sans appliquer de technique de polarisation. Nous présentons d'abord en quoi consiste ce compromis et la démarche suivie pour le déterminer. Puis, nous illustrons la construction des bibliothèques statistiques qui caractérisent, pour plusieurs valeurs de V_{DD} , le délai et la puissance statique des portes logiques de la technologie 28 nm RVT UTBB-FDSOI. Ensuite, en se basant sur ces bibliothèques, nous réalisons des études statistiques afin d'estimer les moyennes du délai et de la puissance statique des portes logiques. Ceci étant fait, nous pouvons optimiser l'énergie statique des portes logiques à partir du compromis Délai-Puissance Statique sans polarisation. Enfin, nous étendons l'optimisation de l'énergie statique à partir de ce compromis aux chemins critiques et aux circuits b01 (constitué par 55 portes logiques) et b07 (constitué par 493 portes logiques) qui sont des circuits ITCC'99 benchmark. Ces circuits ont des caractéristiques typiques des circuits synthétisés, ils sont développés par le CAD (*Computer-Aided-Design*) Group à Politecnico di Torino [1].

Le dernier chapitre présente le compromis Délai-Puissance Statique établi en appliquant des techniques de polarisation. Nous présentons d'abord en quoi consiste ce compromis et la démarche suivie pour le déterminer. Puis nous illustrons la construction (pour plusieurs valeurs de V_{DD} et de V_{BB}) des bibliothèques statistiques qui caractérisent le délai et la puissance statique des portes logiques de la technologie 28 nm RVT UTBB-FDSOI. Ensuite, en se basant sur ces bibliothèques, nous estimons les moyennes du délai et de la puissance statique et cela pour plusieurs valeurs de V_{DD} et de V_{BB} . Ceci étant fait, l'énergie statique des portes logiques peut être optimisée à partir du compromis Délai-Puissance Statique avec polarisation. Enfin, nous étendons l'optimisation de l'énergie statique à partir de ce compromis aux chemins critiques et aux circuits b01 et b07.

En conclusion, les principales contributions de ce travail sont résumées en rappelant les gains obtenus et les perspectives envisageables sont présentées.

Chapitre

1

Contexte

1.1 Introduction

Dans ce chapitre, nous définissons l'énergie statique E_{stat} étudiée et optimisée dans ce mémoire. Nous montrons la dépendance de cette énergie sur le délai et la puissance statique. Nous abordons ensuite l'analyse du timing en présentant les travaux existants qui permettent d'estimer le délai. Nous présentons en particulier, l'approche utilisée dans ce mémoire pour cette estimation. Puis, nous présentons l'analyse de la puissance statique et les travaux existants pour l'estimation de cette puissance statique. Comme pour l'analyse du timing, nous détaillons l'approche que nous avons repris et amélioré dans ce mémoire pour estimer la puissance statique. Nous illustrons ensuite, la démarche suivie afin d'établir le compromis Délai-Puissance Statique qui optimise E_{stat} .

1.2 Définition de l'énergie statique

L'énergie électrique désigne toute énergie transférée ou stockée grâce à l'électricité. On définit cette énergie à partir de l'équation 1.1.

$$E = Q \times \Delta V \quad (1.1)$$

où, E est l'énergie (son unité de mesure est le Joule), Q est la charge (son unité de mesure est le Coulomb), ΔV est la différence de potentiel (son unité de mesure est le Volt).

Avec $Q = I \times t$, où I est l'intensité du courant (son unité de mesure est l'Ampère) et t est la durée de temps (son unité de mesure est la Seconde), on redéfinit l'énergie à partir de l'équation 1.2.

$$E = I \times \Delta V \times t = P \times t \quad (1.2)$$

où, P est la puissance (son unité de mesure est le Watt).

La puissance P des circuits intégrés est formée de la puissance statique et de la puissance dynamique. Dans ce mémoire, nous nous sommes intéressés à l'étude de la puissance statique vue l'importance de cette dernière qui augmente avec la technologie.

En se basant sur l'équation 1.2, on définit **l'énergie statique** (pendant la transition du signal) des circuits intégrés notée E_{stat} à partir de l'équation 1.3.

$$E_{stat} = P_{stat} \times \text{Délai} \quad (1.3)$$

où, P_{stat} est la puissance statique. Cette dernière représente la puissance consommée en *standby* mode (lorsque le circuit est au repos). Le *Délai* est la période de temps requis par un signal digital pour

passer de l'input pin d'une porte logique jusqu'à son output pin. Il est souvent défini comme l'intervalle de temps qui sépare l'instant où le signal d'entrée est égal à 50% de la tension d'alimentation notée V_{DD} et l'instant où le signal de sortie est égale à 50% de V_{DD} . Il faut noter que le circuit est en *active* mode pendant la période de temps qui correspond à la commutation des transistors. La Figure 1.1, illustre le délai d'un inverseur, ainsi que l'active mode et le standby mode.

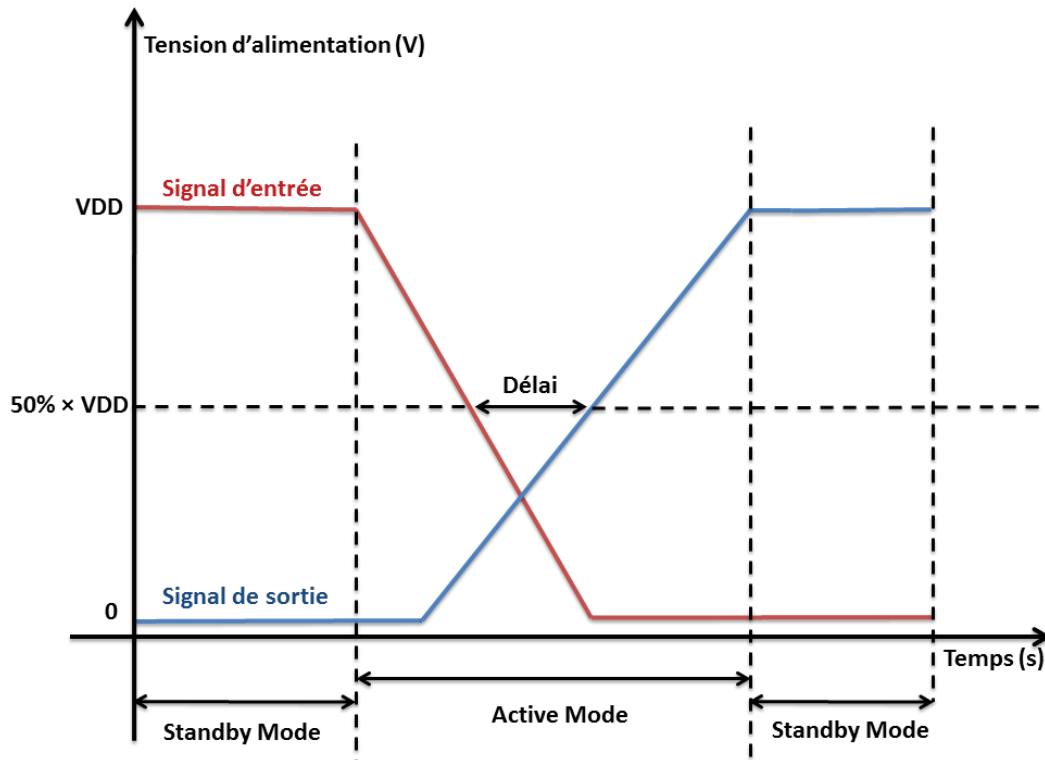


Figure 1.1 : Illustration du délai, de l'active mode et du standby mode

L'énergie E_{stat} (définie par l'équation 1.3), dépend uniquement de la puissance statique et du délai qui dépendent à leurs tours de la tension d'alimentation V_{DD} . La Figure 1.2 illustre l'évolution du délai et de la puissance statique d'un inverseur (technologie 28 nm FDSOI) en fonction de V_{DD} .

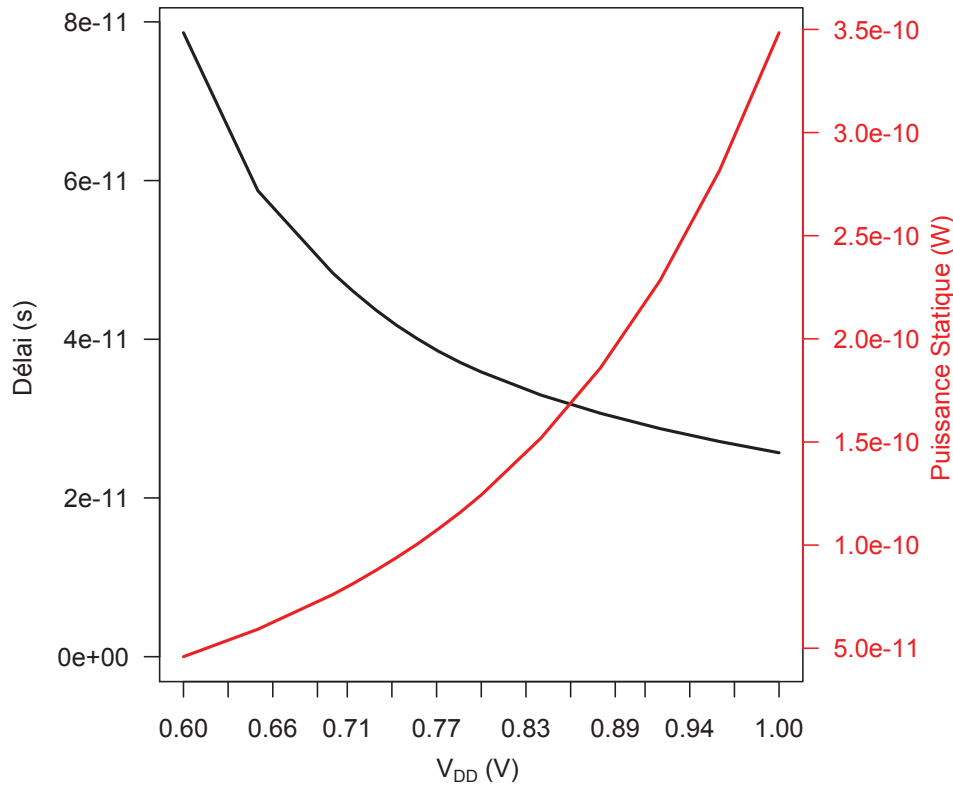


Figure 1.2 : Evolution du délai et de la puissance statique en fonction de V_{DD}

Comme on peut voir dans la Figure 1.2, la corrélation entre le délai et la puissance statique est négative. En d'autres termes, lorsque le délai atteint sa valeur minimale (pour $V_{DD} = 1V$) la puissance statique atteint sa valeur maximale et lorsque le délai atteint sa valeur maximale (pour $V_{DD} = 0.6V$) la puissance statique atteint sa valeur minimale.

Ainsi, pour optimiser E_{stat} , il est nécessaire d'équilibrer le délai et la puissance statique. En d'autres termes, pour optimiser E_{stat} , il est nécessaire d'établir un compromis qui :

- réduit le délai sans trop dégrader la puissance statique,
- réduit la puissance statique sans trop dégrader le délai.

Avant d'aller plus loin, il faut d'abord estimer le délai et la puissance statique. Dans la partie suivante, nous abordons l'analyse du timing en présentant les travaux existants. Nous présentons aussi l'approche retenue dans ce mémoire pour estimer le délai.

1.3 Analyse du Timing

L'analyse du timing consiste à estimer le délai des circuits intégrés en vérifiant les contraintes de temps (fréquence de fonctionnement du circuit). Les approches traditionnelles de cette analyse sont les approches CTA (*Corner Timing Analysis*). Avec la miniaturisation de la technologie, les

variations des paramètres physiques des transistors ainsi que l'impact des variations environnementales augmentent de plus en plus, ce qui mène à une augmentation de variations du délai. Les approches CTA supposent que les paramètres (physiques et environnementaux) prennent leurs pires valeurs ou leurs meilleures valeurs. Ainsi ces approches remplacent les variations des paramètres par des quantités déterministes. Cela augmente les limitations de ces approches avec l'augmentation des variations des paramètres dans les nœuds technologiques avancés. Par conséquent les approches SSTA (*Statistical Static Timing Analysis*) sont développées. Dans cette partie, nous définissons d'abord quelques termes techniques. Puis nous expliquons les sources de variations du délai. Ensuite nous montrons les concepts de base de l'analyse du timing. Enfin nous présentons les approches CTA et les approches SSTA ainsi que l'approche mise en place dans ce mémoire pour estimer le délai.

1.3.1 Définition des termes techniques

Le temps de transition du signal (ou la pente du signal) est la période de temps mise par le signal pour qu'il change d'état, de $0V$ à V_{DD} (signal montant) ou le contraire (signal descendant). Pour éviter les effets de bruit qui apparaissent autour de $0V$ et de V_{DD} , le temps de transition est défini à partir de la période de temps mise par le signal pour passer de $x\%$ à $y\%$ de V_{DD} . Dans ce travail, toutes les pentes sont mesurées en se basant sur la définition 20%-80%.

La Figure 1.3 illustre le délai ainsi que les signaux (d'entrée et de sortie) et la pente de sortie.

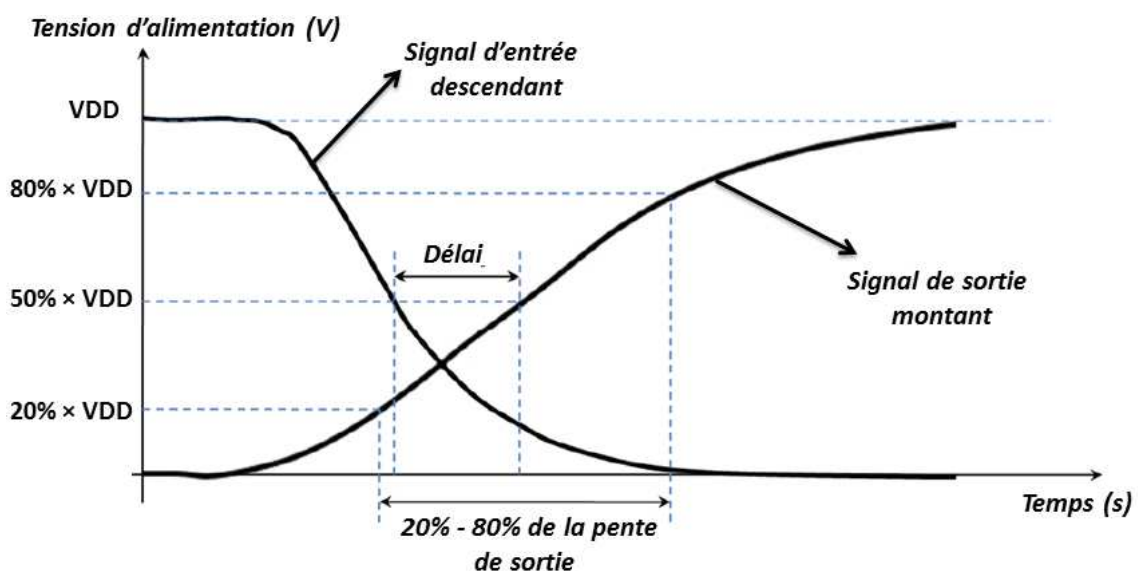


Figure 1.3 : Illustration du délai de propagation et des pentes [2]

Un circuit intégré (CI) digital est formé de millions de transistors situés dans plusieurs types de portes logiques. Le délai d'une porte logique k noté gd_k (*gate delay k*), est affecté par les facteurs suivants :

- le type de la porte (INV, AND, OR, ...),
- les *input pin* (les entrées) de la porte (A, B,..),
- la forme du signal d'entrée (montant ou descendant),
- les conditions environnementales: la température notée T et V_{DD} la tension d'alimentation,
- le temps de transition du signal d'entrée noté τ_{in} , et la charge de sortie de la porte notée C_{out} ,
- les paramètres du process $P = p_1, p_2, \dots, p_L$, où p_l , $l = 1, 2, \dots, L$, représente les paramètres physiques du transistor comme l'épaisseur d'oxyde t_{ox} , la longueur du canal L_{eff} ...

En général, le délai d'une porte logique est une fonction non linéaire complexe des facteurs qu'on vient de citer. Pour modéliser le délai d'une porte logique, il est nécessaire de supposer que pour une porte logique ayant plusieurs input pins, le signal d'entrée d'une seule input pin change d'état, alors que les signaux d'entrées des autres input pin restent stables. En faisant cette supposition, on peut modéliser gd_k le délai d'une porte logique k par (équation 1.4).

$$gd_k = f(\text{type, input pin, forme du signal, } P, T, V_{DD}, \tau_{in}, C_{out}) \quad (1.4)$$

Dans le reste de ce mémoire, pour estimer gd_k , les paramètres de la fonction f (équation 1.4) sont supposés connus.

1.3.2 Les sources de variations du délai

Parmi les facteurs qui affectent le délai d'une porte logique et qui ont été cités dans la partie 1.3.1, la forme du signal d'entrée, le type et les input pin de la porte sont connus et fixes. Les autres facteurs sont variables. Il existe deux sources de variations : les *variations environnementales* et les *variations du process*.

Comme leurs noms l'indiquent, les *variations environnementales* représentent les variations de l'environnement qui entourent le circuit comme la tension d'alimentation et la température. La répartition spatiale des variations de la tension d'alimentation et de la température est fortement liée à la topologie du circuit.

Pour la tension d'alimentation, chaque composant du circuit intégré consomme une énergie différente en fonction de sa propre activité électrique. Ces activités électriques sont contrôlées à partir des mécanismes d'économie d'énergie qui affectent le niveau de tension d'alimentation comme illustré sur la Figure 1.4.

En ce qui concerne la température, ses variations sont directement liées à l'énergie dissipée par le circuit. Chaque élément du circuit intégré dissipe de la chaleur en fonction de sa consommation électrique. La Figure 1.5 montre la corrélation spatiale entre la puissance consommée (Figure 1.5(a)) et la température (Figure 1.5 (b)) régnant au sein d'un circuit intégré.

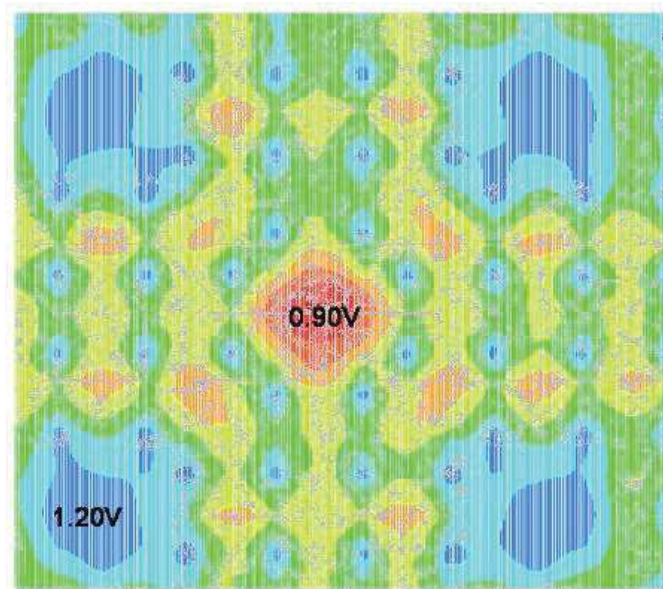


Figure 1.4 : Illustration de la variation de la tension d'alimentation [3]

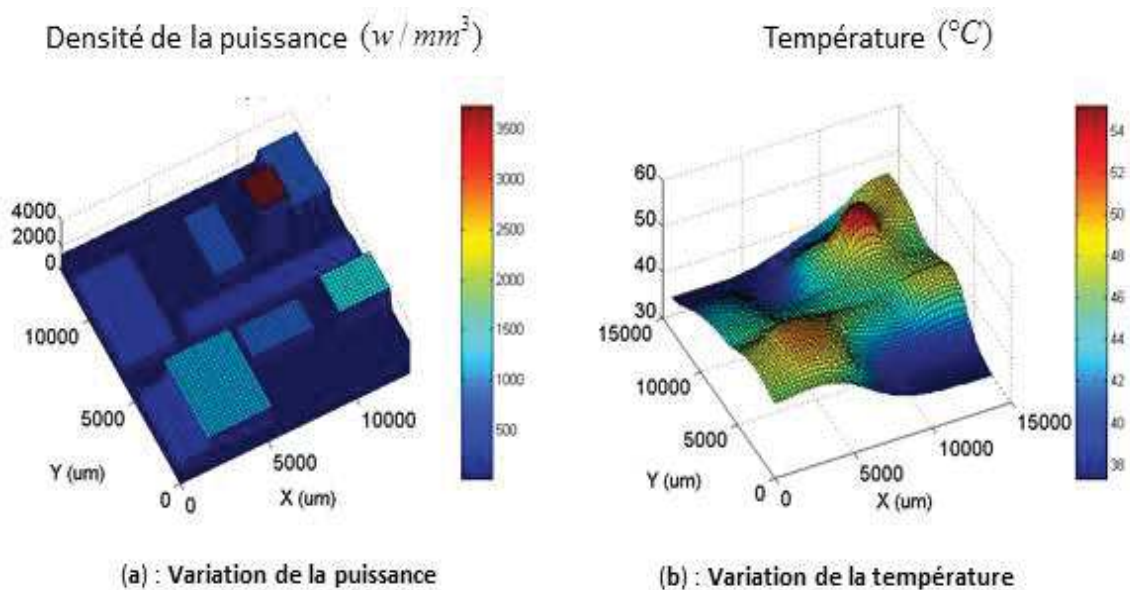


Figure 1.5 : Illustration des variations de la température et de la puissance [4]

Les *variations du process* sont dues aux perturbations durant la fabrication du process et aux limitations physiques. Ces variations de fabrication causent des déviations des paramètres physiques des transistors de leurs valeurs prévues. Par conséquent, ils affectent significativement le délai, ce qui mène à une distribution aléatoire de ce dernier. La Figure 1.6 illustre cet aspect aléatoire. Dans cette

figure, on représente la variation du délai en fonction d'un paramètre physique du transistor, la longueur du canal L_{eff} .

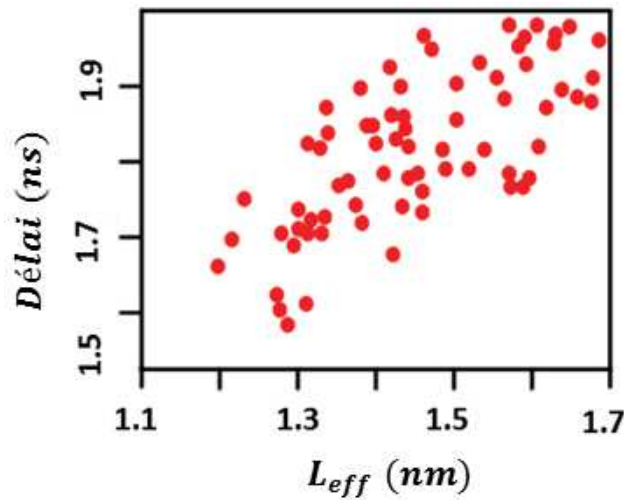


Figure 1.6 : Illustration de la variation du délai [5]

Après avoir défini le délai et les sources de ses variations, dans la suite nous présentons les concepts de base de l'analyse du timing et les différentes approches de cette analyse.

1.3.3 Les concepts de base de l'analyse du timing

Un circuit peut être représenté comme un **timing graph** $G = (V, E)$, où V est un ensemble de nœuds et E est un ensemble d'arêtes. Un nœud $v_i \in V$ correspond à un *net* du circuit. Une arête $e_{v_i, v_j} \in E$ représente le délai de propagation entre deux nœuds adjacents v_i et v_j . Ainsi, chaque arête e_{v_i, v_j} est pondérée par le délai d'une porte logique (de son input pin à son output pin) noté gd_{v_i, v_j} . A chaque nœud v_i correspond un délai noté t_{v_i} nommé le **temps d'arrivée**. Il faut noter qu'un timing graph est orienté des input pin principaux vers les output pin principaux du circuit qui lui correspond.

Un circuit combinatoire simple et le timing graph (sans prendre en considération les interconnexions) qui lui correspond sont illustrés dans les figures 1.7 (a) et 1.7 (b) respectivement. Une arête e_{v_i, v_j} d'un timing path correspond au délai d'une porte logique (de son input pin à son output pin) du circuit. Un nœud v_i d'un timing path correspond soit :

- à un net du circuit,
- à un input pin principal du circuit,
- à un output pin principal du circuit.

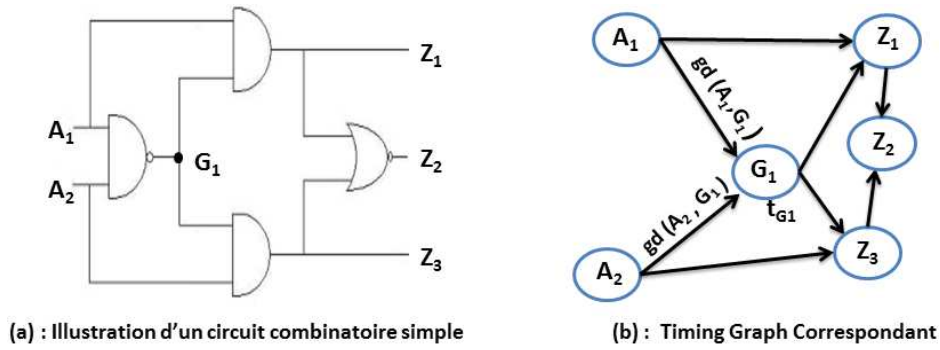


Figure 1.7 Illustration d'un timing graph

Définissons maintenant le terme **timing path**. Dans le contexte des circuits intégrés, un timing path est un ensemble de plusieurs arêtes liées entre elles. Le premier nœud de la première arête d'un timing path correspond à un input pin principal du circuit, alors que le deuxième nœud de la dernière arête correspond à un output pin principal. Par exemple, dans la Figure 1.7 (b), $\{e_{A_1, G_1}, e_{G_1, Z_1}\}$, $\{e_{A_2, G_1}, e_{G_1, Z_3}\}$ et $\{e_{A_2, G_1}, e_{G_1, Z_3}, e_{Z_3, Z_2}\}$ sont trois timing path différents.

On définit aussi le **path delay** qui correspond à un timing path. Le path delay représente la somme de tous les délais des arêtes du timing path qui lui correspond. Le path delay du timing path $\{e_{A_1, G_1}, e_{G_1, Z_1}\}$ est définie à partir de l'équation 1.5.

$$pd_{\{e_{A_1, G_1}, e_{G_1, Z_1}\}} = gd_{A_1, G_1} + gd_{G_1, Z_1} \quad (1.5)$$

1.3.4 L'approche CTA (Corner Timing Analysis)

L'idée principale de l'approche CTA est de supposer que si le circuit fonctionne correctement dans les pires conditions, alors il fonctionne correctement dans les conditions normales.

Pour modéliser le délai d'une porte logique, cette approche suppose que :

- les paramètres physiques prennent leurs valeurs extrêmes (plus grandes ou plus petites valeurs),
- la température prend sa valeur maximale ($T = T_{max}$) ou minimale,
- la tension d'alimentation prend sa valeur minimale ($V_{DD} = V_{min}$) ou maximale.

En se basant sur ces suppositions, le délai d'une porte logique est modélisé à partir des *Look-Up Tables* et à partir des techniques d'interpolation bilinéaire.

Les hypothèses mises en place par l'approche CTA ignorent l'aspect aléatoire des paramètres physiques et des paramètres environnementaux. En supposant que ces paramètres prennent leurs valeurs extrêmes, l'approche CTA surestime le délai du circuit.

1.3.5 Limitations de l'approche CTA

Avec la réduction continue des dimensions des paramètres physiques p_l , ($l = 1, 2, \dots, L$, où L représente le nombre de paramètres physiques dont la variabilité doit être prise en considération), le coefficient de variation $\frac{\sigma_{p_l}}{\mu_{p_l}}$ qui représente une mesure de dispersion des paramètres relativement à leur moyenne augmente de plus en plus. Par exemple, pour le paramètre L_{eff} qui représente la longueur du canal, le rapport $\frac{3\sigma_{L_{eff}}}{\mu_{L_{eff}}}$ est égal à 35% pour technologie 130 nm et 60% pour la technologie 65nm (Figure 1.8). Ce qui veut dire que le pourcentage de variation de la longueur du canal par rapport à sa moyenne a augmenté de 11.6% ($35/3$) à 20% ($60/3$) en passant de la technologie 130 nm à la technologie 65 nm.

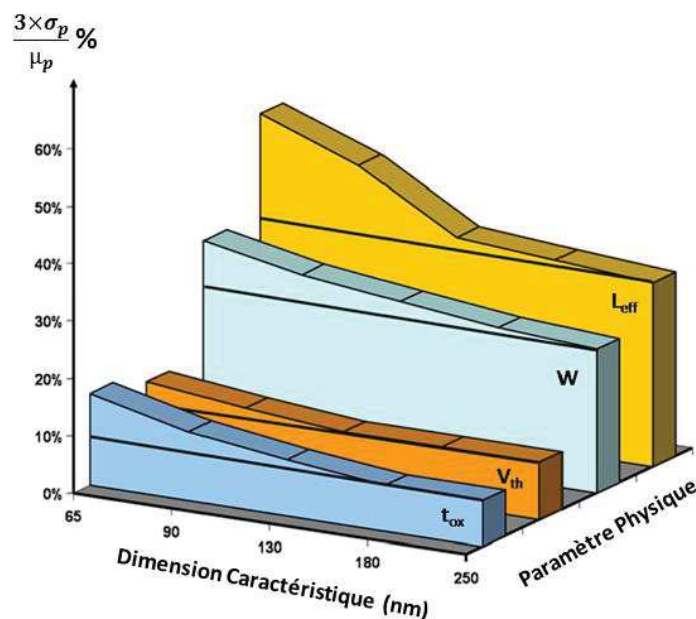


Figure 1.8 : Illustration de l'évolution de la variation des paramètres physiques [6]

De plus, il faut noter que L augmente avec chaque technologie. Par conséquent, les limites de l'approche CTA augmentent.

Pour illustrer les limitations de l'approche CTA, nous considérons un cas simple où le délai d'un inverseur noté gd est la somme de tous les paramètres physiques p_l (équation 1.6).

$$gd = \sum_{l=1}^{l=L} p_l \quad (1.6)$$

En supposant que p_l , $l = 1, 2, \dots, L$, sont des variables aléatoires Gaussiennes indépendantes et identiquement distribuées, μ_{gd} la moyenne du délai de l'inverseur et σ_{gd} l'écart type du délai de l'inverseur sont calculés par (équation 1.7) :

$$\left\{ \begin{array}{l} \mu_{gd} = \sum_{l=1}^{l=L} \mu_{p_l} = L \times \mu_{p_1} \\ \sigma_{gd} = \sqrt{\sum_{l=1}^{l=L} (\sigma_{p_l})^2} = \sqrt{L} \times \sigma_{p_1} \end{array} \right. \quad (1.7)$$

Le délai de l'inverseur calculé par l'approche CTA noté w_{gd} (*worst gate delay*) est calculé par (équation 1.8) :

$$w_{gd} = \sum_{l=1}^{l=L} (\mu_{p_l} + 3\sigma_{p_l}) = L \times \mu_{p_1} + L \times 3\sigma_{p_1} \quad (1.8)$$

Pour comparer le rendement des approches CTA par rapport aux approches statistiques 3σ *corner*, on définit w le ratio normalisé par (équation 1.9) :

$$w = \frac{w_{gd} - (\mu_{gd} + 3\sigma_{gd})}{\mu_{gd}} = \frac{3 \times (L - \sqrt{L}) \times \sigma_{p_1}}{L \times \mu_{p_1}} = 3 \times (1 - L^{-0.5}) \times \frac{\sigma_{p_1}}{\mu_{p_1}} \quad (1.9)$$

Dans le cas où L est égale à 3 et $\frac{\sigma_{p_1}}{\mu_{p_1}} = 0.15$, le ratio normalisé w est égale à 0.2. Cela veut dire que l'approche CTA surestime le délai avec un pourcentage de surestimation égal à 20% de la moyenne du délai. D'après la Figure 1.8, pour tout p_l , le rapport $\frac{\sigma_{p_l}}{\mu_{p_l}}$ augmente avec chaque technologie, ce qui mène à une augmentation du ratio w et donc à la surestimation du délai par l'approche CTA.

De plus w augmente avec L qui augmente d'une technologie à une autre, ce qui augmente aussi la surestimation du délai par l'approche CTA.

Ainsi, avec l'augmentation des variations des paramètres physiques d'une technologie à une autre, les limitations des approches CTA augmentent à leurs tours. Pour pallier à ces limites, l'approche **SSTA (*Statistical Static Timing Analysis*)** est développée. Cette approche analyse statistiquement le délai en prenant en considération les variations aléatoires des paramètres physiques.

1.3.6 Statistical Static Timing Analysis (SSTA)

Avec la réduction des dimensions des transistors, il est admis que l'analyse du timing basée sur l'approche CTA ne répondra bientôt plus aux besoins des concepteurs des circuits. En conséquence, les approches SSTA se sont développées. Ces approches sont très prometteuses pour une analyse alternative du timing, en prenant en considération les variations aléatoires des paramètres physiques des transistors. Les approches SSTA existantes sont classifiées en deux catégories : Les méthodes paramétriques [7] [8] et les méthodes Monte-Carlo [9] [10] (Figure 1.9).

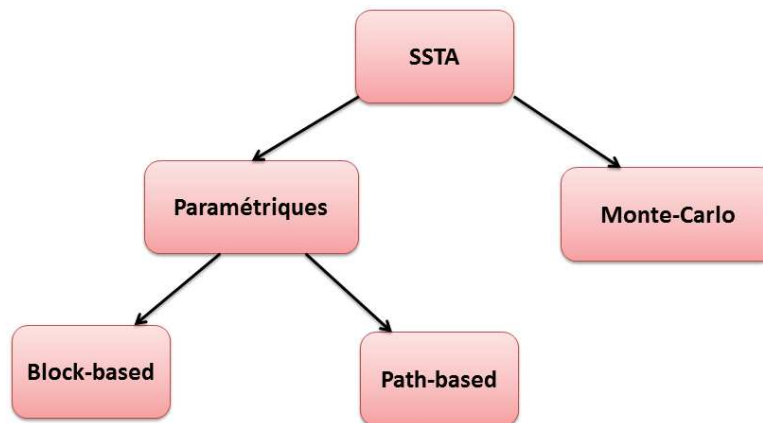


Figure 1.9 : Classification des méthodes SSTA existantes

Les méthodes Monte-Carlo (MC) classiques analysent le timing à partir des simulations électriques du circuit. Connaissant les modèles statistiques des paramètres physiques, les méthodes MC consistent à générer des échantillons de ces paramètres. Une fois ces échantillons générés, l'analyse du timing est réalisée en simulant directement le circuit par les différents outils de simulation. Les résultats obtenus à partir des méthodes MC sont exacts et précis. L'inconvénient majeur de ces méthodes est leurs coûts de calcul élevés. Malgré tout, les méthodes MC sont souvent utilisées pour valider et évaluer la précision des méthodes paramétriques.

Les méthodes paramétriques sont classifiées en deux catégories : *block-based algorithm* [11] [12] et *path-based algorithm* [7] [8] [13], deux algorithmes de parcours d'un timing graph.

Les méthodes paramétriques (path based algorithm et block based algorithm) modélisent les variations du process par des variables aléatoires. Ensuite, ces variations sont transmises aux délais

des portes logiques par des modèles approximatifs (des polynômes). Enfin, pour estimer le délai du circuit, les temps d'arrivées sont propagés (suivant l'algorithme de parcours du timing graph) à travers le timing graph en effectuant les opérations : *SOMME* et *MAX/MIN* que nous expliquerons plus loin.

La plupart des approches SSTA se basent sur les méthodes paramétriques (path based algorithm et block based algorithm). En général, l'analyse du timing par ces méthodes est constituée des trois étapes suivantes :

- modélisation des variations du process,
- modélisation du délai des portes logiques,
- les techniques de propagation.

Dans les parties suivantes nous présentons chacune de ces étapes.

1.3.6.1 Modélisation des variations du process

Les variations du process sont les déviations des paramètres physiques des transistors de leurs valeurs typiques. Ces variations sont classifiées en deux catégories : les variations *inter-die* et les variations *intra-die*.

Les variations inter-die sont les variations des paramètres qui apparaissent d'un die à un autre et d'un wafer à un autre.

Les variations intra-die, sont les variations spatiales qui apparaissent dans un même die.

Les variations inter-die et intra-die du paramètre physique T_{ild} (*inter-level dielectric thickness*) sont illustrées dans la Figure 1.10 et sont prises en compte dans l'équation 1.10 :

$$T_{ild} = T_{ild,nom} + \Delta T_{ILD,inter} + \Delta T_{ILD,intra} \quad (1.10)$$

où, $T_{ild,nom}$ est la valeur typique de T_{ild} , $\Delta T_{ILD,inter}$ est la variation inter-die, $\Delta T_{ILD,intra}$ est la variation intra-die.

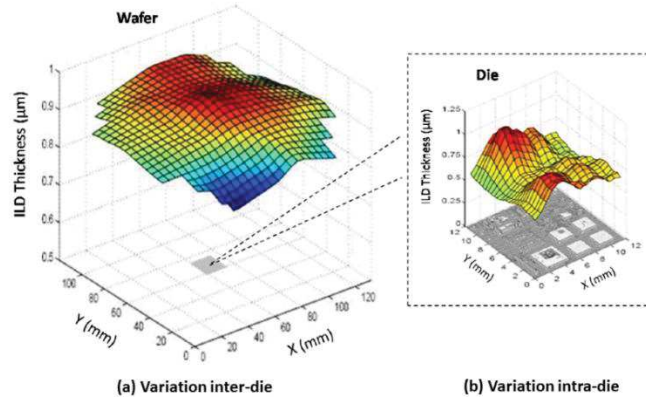


Figure 1.10 : Variations de T_{ild} dans un wafer et dans une die [14]

Afin de modéliser les variations du process, la façon la plus simple est de considérer $\Delta T_{ILD,inter}$ comme une variable aléatoire indépendante de la variable aléatoire $\Delta T_{ILD,intra}$. Ainsi, pour deux portes quelconques k_1 et k_2 sur le même die, on a :

$$\begin{cases} \Delta T_{ILD,inter,k_1} = \Delta T_{ILD,inter,k_2} \\ \text{cor}(\Delta T_{ILD,intra,k_1}, \Delta T_{ILD,intra,k_2}) = 0 \end{cases} \quad (1.11)$$

Dans la Figure 1.10 (b), la variation intra-die montre une évolution spatiale. Aussi, cette variation est divisée en deux composantes : une composante spatialement corrélée ($\Delta T_{ILD,spl}$) et une composante aléatoire ($\Delta T_{ILD,altr}$) (équation 1.12) :

$$T_{ild} = T_{ild,nom} + \Delta T_{ILD,inter} + \Delta T_{ILD,spl} + \Delta T_{ILD,altr} \quad (1.12)$$

La composante $\Delta T_{ILD,spl}$ est fonction de son emplacement sur le die. Afin de modéliser la composante spatialement corrélée ($\Delta T_{ILD,spl}$), les modèles les plus utilisés sont : le **grid-model** [15] et le **quad-tree-model** [16].

Pour le grid-model, le die est partitionné en N carrés (Figure 1.11). A chacun de ces carrés est associée une variable aléatoire spatialement corrélée. Comme les portes proches les unes des autres ont une probabilité relativement grande d'avoir des caractéristiques similaires par rapport aux portes éloignées, on suppose que la corrélation est élevée entre deux variables spatialement corrélées situées dans deux carrés proches, et que la corrélation est faible si les variables sont situées dans deux carrés éloignés. Dans la Figure 1.11, suivant l'emplacement des portes logiques k_1, k_2, k_3 et k_4 , on a (équation 1.13):

$$\begin{cases} \Delta T_{ILD,spl,k_1} = \Delta T_{ILD,spl,k_2} \\ \text{cor}(\Delta T_{ILD,spl,k_1}, \Delta T_{ILD,spl,k_3}) \approx 1 \\ \text{cor}(\Delta T_{ILD,spl,k_1}, \Delta T_{ILD,spl,k_4}) \approx 0 \end{cases} \quad (1.13)$$

On suppose aussi que la corrélation spatiale existe seulement entre les paramètres de même type dans des différents carrés et qu'il n'y a pas de corrélation spatiale entre les différents types de paramètres. Par exemple, la corrélation spatiale du paramètre T_{ild} est indépendante de celle du paramètre T_{ox} (l'épaisseur de l'oxyde) et L_{eff} (la longueur du canal) dans n'importe quel carré.

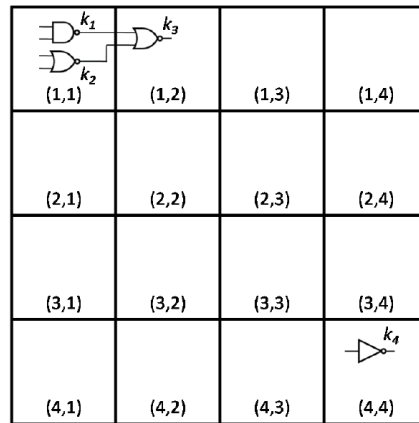


Figure 1.11 : Exemple d'un grid model [2]

Pour le **quad-tree-model**, le die est partitionné en plusieurs régions. Pour un niveau i , la partition quad-tree consiste à diviser le die en $2^i \times 2^i$, $i = 0, 1, 2, \dots$, carrés. A chaque carré, est associée une variable aléatoire indépendante. La Figure 1.12 illustre la partition du die par un quad-tree-model à trois niveaux.

Pour le même paramètre physique T_{ild} est associée une variable aléatoire indépendante $T_{ild,i,j}$ avec la variation du carré j au niveau i . Par exemple, d'après la Figure 1.12, la variation spatiale de T_{ild} des portes k_1 et k_2 est définie par l'équation 1.14.

$$\begin{cases} \Delta T_{ILD,spl,k_1} = \Delta T_{ILD,0,1} + \Delta T_{ILD,1,1} + \Delta T_{ILD,2,1} \\ \Delta T_{ILD,spl,k_2} = \Delta T_{ILD,0,1} + \Delta T_{ILD,1,4} + \Delta T_{ILD,2,11} \end{cases} \quad (1.14)$$

Le terme $\Delta T_{ILD,0,1}$ dans les deux formules du système d'équations 1.14 permet de modéliser la corrélation spatiale entre $\Delta T_{ILD,spl,k_1}$ et $\Delta T_{ILD,spl,k_2}$.

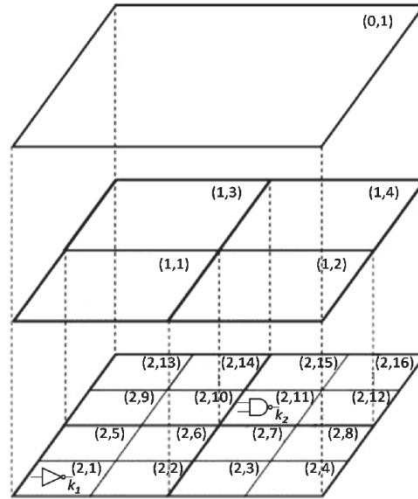


Figure 1.12 : Exemple d'un quad-tree model à trois niveaux [2]

Après la présentation de la modélisation des variations du process, dans ce qui suit nous présentons la modélisation du délai des portes logiques.

1.3.6.2 Modélisation du délai des portes logiques

L'approche SSTA modélise le délai des portes logiques par des polynômes provenant du développement de Taylor. La plupart des modèles paramétriques de l'approche SSTA supposent :

- V, T et sont déterministes,
- C_{out} et τ_{in} (la pente d'entrée) sont des constantes,
- les lois de probabilité des paramètres physiques p_l $l = 1, 2, \dots, L$, sont connues.

En tenant compte de ces suppositions, le délai de la porte logique est modélisé par un développement de Taylor d'ordre un (équation 1.15) ou d'ordre deux (équation 1.16):

$$gd \approx gd_{nom} + \sum_{l=1}^L a_l \times \Delta p_l \quad (1.15)$$

$$gd \approx gd_{nom} + \sum_{l=1}^L a_l \times \Delta p_l + \sum_{l=1}^L b_l \times \Delta p_l^2 + \sum_{\forall l_1 \neq l_2} c_{l_1, l_2} \times \Delta p_{l_1} \times \Delta p_{l_2} \quad (1.16)$$

où, $\Delta p_l = p_l - p_{l_{nom}}$ représente la variation du paramètre p_l , a_l et b_l sont les sensibilités de gd par rapport à Δp_l et Δp_l^2 respectivement et c_{l_1, l_2} est la sensibilité de gd par rapport à $\Delta p_{l_1} \times \Delta p_{l_2}$.

Si toutes les variables aléatoires $\Delta p_l, l = 1, 2, \dots, L$, sont supposées suivre des lois de probabilité Gaussiennes, alors :

- le modèle défini à partir de l'équation 1.15 qui est largement utilisé dans [15] et [17] est nommé le modèle canonique,
- le modèle défini à partir de l'équation 1.16 est nommé le modèle quadratique et il est largement utilisé dans [18] [19] [20] [12].

La fiabilité de la modélisation du délai par le modèle canonique et le modèle quadratique est limitée, car l'hypothèse de la normalité des variations des paramètres utilisée par ces modèles n'est pas toujours vérifiée. Par conséquent, dans [21] [22] on améliore la modélisation du délai en ajoutant à l'équation 1.15 des termes non Gaussiens.

Après la modélisation des variations du process et du délai des portes logiques, le délai du circuit est estimé à partir des techniques de propagation. Dans la partie suivante, nous présentons ces techniques.

1.3.6.3 Les techniques de propagation

Les techniques de propagation consistent à définir le délai du circuit. Les opérateurs essentiellement utilisés sont : *SOMME* et *MAX*. Ces opérateurs sont appliqués sur des variables aléatoires qui représentent des variables de temps (les temps d'arrivées qui correspondent aux nœuds du timing graph ou le path delay du timing path).

Pour l'opérateur *SOMME*, si X et Y sont deux variables aléatoires, alors la moyenne μ_Z et la variance σ_Z^2 de $Z = X + Y$ sont définies respectivement par (équation 1.17 et 1.18):

$$\mu_Z = \mu_X + \mu_Y \quad (1.17)$$

$$\sigma_Z^2 = \sigma_X^2 + \sigma_Y^2 + 2 \times \rho_{XY} \times \sigma_X \times \sigma_Y \quad (1.18)$$

où ρ_{XY} est la corrélation entre X et Y .

Pour l'opérateur *MAX*, comme ce dernier n'est pas linéaire, $W = MAX(X, Y)$ n'est pas une variable aléatoire Gaussienne, même si les variables aléatoires X et Y sont Gaussiennes et indépendantes. Afin d'approximer W par une variable aléatoire Gaussienne \hat{W} , une approche *moment matching* est utilisée dans [23] [2] et détaillée ci-dessous.

Soit la variable aléatoire $V = X - Y$, $X \sim N(\mu_X, \sigma_X^2)$ et $Y \sim N(\mu_Y, \sigma_Y^2)$, et soit $f(x)$ et $F(x)$ (équations 1.19 et 1.20 respectivement) qui représentent respectivement la fonction de densité et de répartition d'une variable aléatoire Gaussienne centrée réduite.

$$f(x) = \frac{1}{\sqrt{2 \times \Pi}} \times e^{-\left(\frac{x^2}{2}\right)} \quad (1.19)$$

$$F(x) = \int_{-\infty}^x f(u) du \quad (1.20)$$

\widehat{W} est défini par (équation 1.21) :

$$\widehat{W} = F\left(\frac{\mu_V}{\sigma_V}\right) \times X + \left(1 - F\left(\frac{\mu_V}{\sigma_V}\right)\right) \times Y + f\left(\frac{\mu_V}{\sigma_V}\right) \times \sigma_V \quad (1.21)$$

où,

$$\mu_V = \mu_X - \mu_Y \quad (1.22)$$

$$\sigma_V = (\sigma_X^2 - \sigma_Y^2 - 2 \times \rho_{XY} \times \sigma_X \times \sigma_Y)^{1/2} \quad (1.23)$$

Il existe plusieurs points faibles des approches SSTA paramétriques. La plupart de ces limitations sont dues aux modèles utilisées dans ces approches. Dans ce qui suit, nous abordons ces limites.

1.3.6.4 Limitations des approches SSTA

Les limitations des approches SSTA paramétriques peuvent être classifiées de la façon suivante :

- *Limitations de la modélisation des variations du process*

La plupart des approches SSTA supposent que les paramètres physiques des transistors suivent des lois de probabilité Gaussiennes, ce qui n'est pas le cas en réalité. Par exemple, la densité de la concentration du dopage semble suivre une loi de Poisson [22].

En plus, le grid modèle présenté dans la partie 1.3.6.1 ajuste les variations des paramètres en supposant l'indépendance entre eux. Ainsi, on ignore la corrélation entre les paramètres physique.

- *Limitations de la modélisation du délai des portes logiques*

La modélisation du délai par les polynômes définis par les équations 1.15 et 1.16 prend en considération un nombre limité de paramètres. Cependant, avec l'augmentation des variations des paramètres, il sera nécessaire d'augmenter le nombre de paramètres analysé [24].

En plus, la modélisation du délai des portes logiques par les approches SSTA paramétriques ne prend pas en considération tous les facteurs qui affectent le délai illustrés dans la partie 1.3.1. Par conséquent, on ignore ou on simplifie :

- a) les variations aléatoires de la pente d'entrée et de la charge de sortie,
- b) les effets des input pin sur le délai des portes logiques,
- c) les effets de variations de la tension d'alimentation et de la température.

- *Estimation de la corrélation du délai*

Il est nécessaire de prendre en considération par les opérateurs *SOMME* et *MAX* la corrélation du délai entre les portes logiques. Cette corrélation, qui est difficile, à estimer est un défi principal des approches SSTA. Ainsi, plusieurs questions se posent concernant l'exactitude de cette estimation.

- *Estimation inexacte du Maximum*

L'approximation linéaire (définie par l'équation 1.21) du maximum de deux variables aléatoires est simple. Par contre, son taux d'exactitude n'est pas satisfaisant. Même si les variables aléatoires de temps sont supposées suivre des lois de probabilité Gaussiennes leur maximum n'est pas Gaussien. Dans [2], la densité de W le maximum de $X \sim N(0, \sigma_X^2)$ et de $Y \sim N(0, \sigma_Y^2)$ est estimé par des simulations Monte-Carlo, ensuite on a estimé la densité de \hat{W} par l'approximation linéaire (Figure 1.13). Comme on peut voir de la Figure 1.13, l'erreur de l'approximation linéaire du maximum est significative.

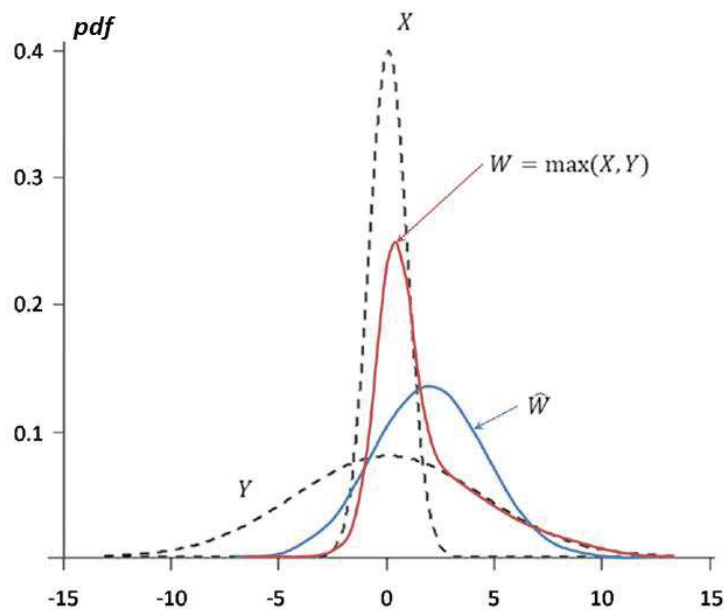


Figure 1.13 : Approximation linéaire du maximum [2]

1.3.6.5 Conclusion

Les approches SSTA basées sur les méthodes Monte-Carlo sont précises mais leurs coûts de calcul sont élevés. D'un autre côté, les approches SSTA basées sur les méthodes paramétriques ont un coût relativement faible, mais ces méthodes ont plusieurs points faibles qui réduisent leur fiabilité. Afin d'établir un compromis entre le coût de calcul et l'exactitude, l'approche "SSTA basée sur la propagation des moments" a été développée dans [2]. Dans la partie suivante nous présentons cette approche.

1.3.7 SSTA basée sur la propagation des moments

L'idée principale de l'approche "SSTA basée sur la propagation des moments" est de construire d'abord par des simulations Monte-Carlo une librairie statistique de temps. Cette dernière caractérise les variables de temps (délai et pente de sortie) des portes logiques étudiées en calculant leurs moments (moyenne et variance du délai et de la pente de sortie) conditionnés à la pente d'entrée τ_{in} et à la charge de sortie C_{out} . Ensuite, en se basant sur cette librairie statistique, le délai d'un timing path étudié est estimé en propageant itérativement les moments du délai des portes logiques à travers le timing path. Après avoir estimé le délai de tous les timing path considérés, le délai du circuit est calculé.

Ainsi, l'estimation du délai par cette approche est réalisée analytiquement et en se basant sur des librairies statistiques construites par des simulations Monte-Carlo. Ce qui permet d'attribuer une structure semi-MC à cette approche.

La structure semi Monte-Carlo de la méthode "SSTA basée sur la propagation des moments" permet de :

- a) réduire le coût de calcul des approches Monte-Carlo car :
 - les librairies statistiques de temps sont construites définitivement. Par conséquent le coût de calcul n'est demandé qu'une seule fois.
- b) conserver l'exactitude des méthodes Monte-Carlo car :
 - les moments conditionnés du délai sont issues directement des simulations Monte-Carlo. Par conséquent la modélisation du délai n'est pas nécessaire,
 - les variations du process sont prises en compte pendant les simulations Monte-Carlo et ils sont contenues dans les moments conditionnés du délai. Par conséquent la modélisation des variations du process n'est pas nécessaire,

- tous les facteurs qui affectent le délai sont pris en compte :
 - variations des paramètres des transistors,
 - pente d'entrée,
 - charge de sortie,
 - pin d'entrée,
 - la forme du signal d'entrée.

L'estimation du délai par la méthode "SSTA basée sur la propagation des moments" se décompose en quatre étapes (Figure 1.14) :

- 1) *Setup* : Construire une bibliothèque statistique de temps.
- 2) *Input* : Définir les conditions environnementales. Ensuite, identifier un ensemble de chemins pour un certain design de circuit.
- 3) *SSTA Engine* : Calculer le délai.
- 4) *Output* : Générer un rapport statistique du temps.

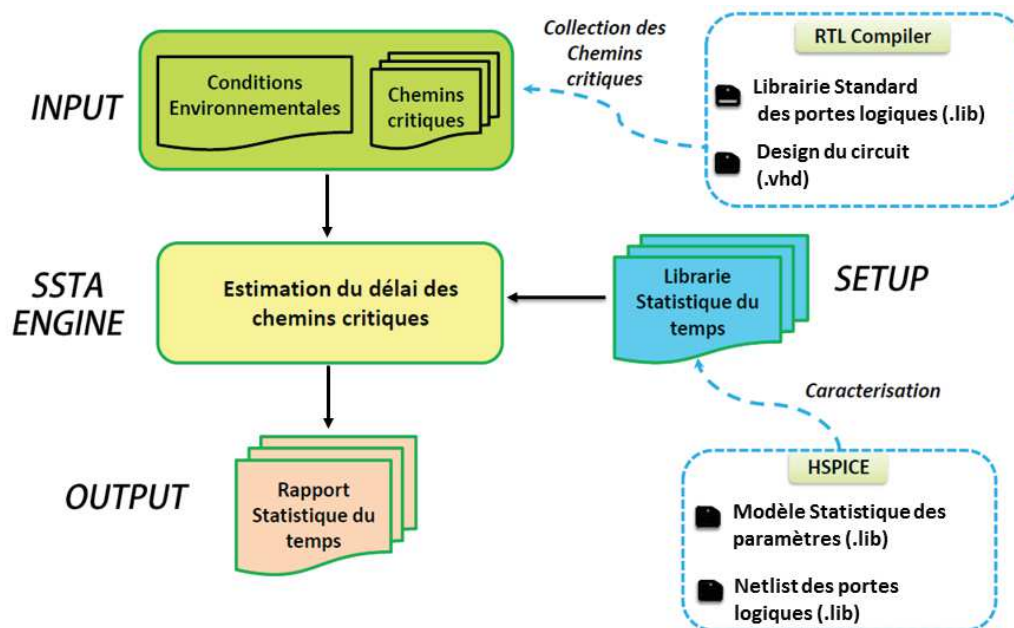


Figure 1.14: Flow de la méthode SSTA basée sur la propagation des moments

Dans ce qui suit, nous présentons chacune de ces étapes.

1.3.7.1 Setup

A l'étape Setup la librairie statistique du temps est construite. Connaissant les lois de probabilités des paramètres p_l des transistors et les netlists des portes logiques, des simulations Monte-Carlo sont effectuées sous plusieurs conditions. Le jeu de données issue de ces simulations est stocké dans des librairies statistiques du temps. La Figure 1.15 illustre la structure hiérarchique d'une librairie statistique. Connaissant le type de la porte logique, les input pin, la forme des signaux d'entrées (Input Edge), la température et la tension d'alimentation, on calcule les moments statistiques du temps de la porte logique à partir du jeu de données issu des simulations. Ces moments sont les suivants :

- $\mu_{gd(gate\ delay)}$ moyenne du délai de la porte logique considérée,
- σ^2_{gd} variance du délai de la porte logique considérée,
- $\mu_{\tau_{out}}$ moyenne de la pente de sortie de la porte logique considérée,
- $\sigma^2_{\tau_{out}}$ variance de la pente de sortie de la porte logique considérée.

Ces moments statistiques calculés sont stockés dans des *Lookup Tables* ayant un index de charge de sortie et un index de pente d'entrée (Figure 1.15).

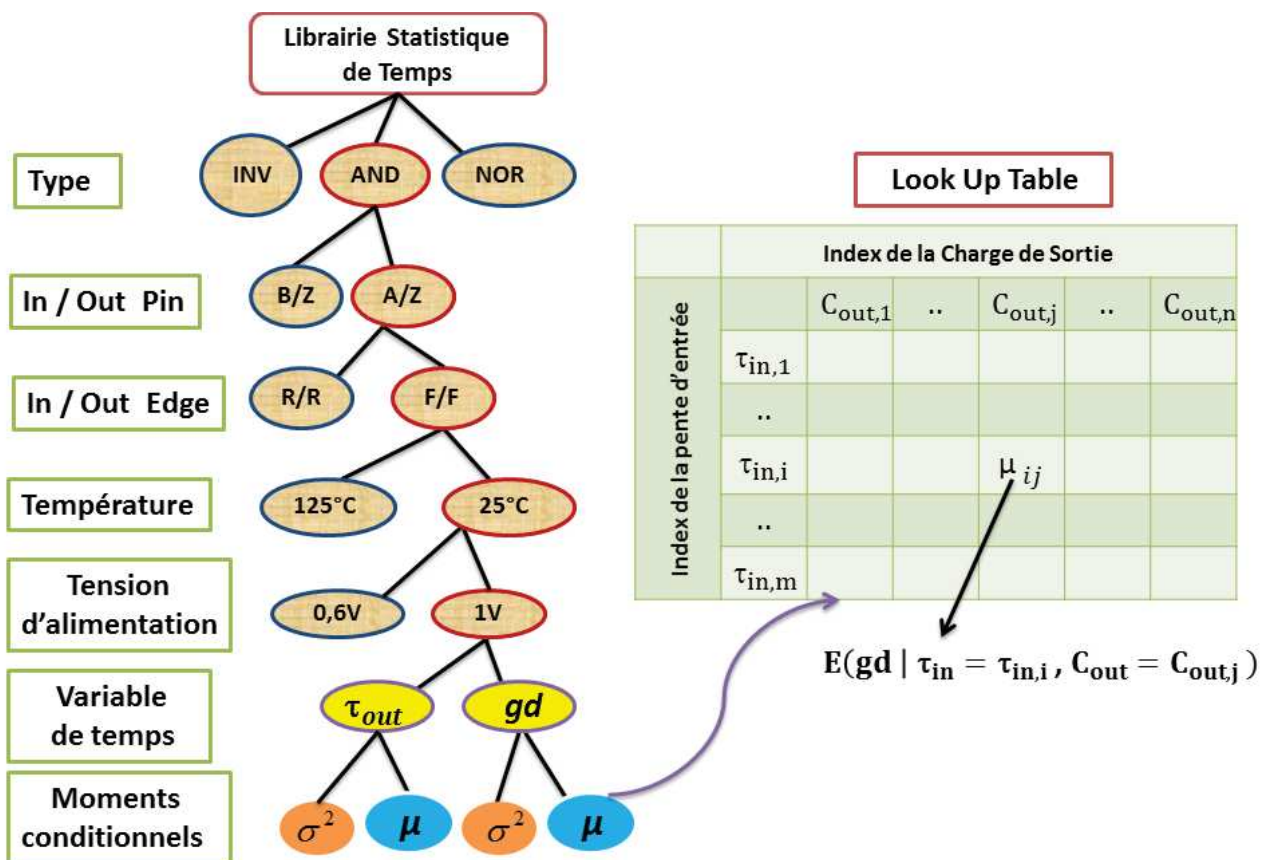


Figure 1.15 : Structure de la librairie statistique du temps

Ainsi, pour tout couple $(\tau_{in,i}, C_{out,j})$, $i = 1, 2, \dots, m$ et $j = 1, 2, \dots, n$, les moyennes conditionnées à $\tau_{in,i}$ et $C_{out,j}$ du délai ($E_{gd} | \tau_{in} = \tau_{in,i}, C_{out} = C_{out,j}$) et de la pente de sortie ($E_{\tau_{out}} | \tau_{in} = \tau_{in,i}, C_{out} = C_{out,j}$) sont obtenues à partir des simulations Monte-Carlo. Les variances conditionnées (du délai et de la pente de sortie) sont obtenues d'une façon similaire. Par conséquent, pour tout $\tau_{in,i'}$ ($\tau_{in,i} < \tau_{in,i'} < \tau_{in,i+1}$) et pour tout $C_{out,j'}$ ($C_{out,j} < C_{out,j'} < C_{out,j+1}$), la moyenne et la variance conditionnée à $\tau_{in,i'}$ et $C_{out,j'}$ du délai et de la pente de sortie sont calculées par des interpolations bilinéaires.

Comme il a été noté précédemment, la librairie statistique du temps prend en considération tous les facteurs qui influent le délai car :

- a) Les variations des paramètres des transistors sont prises en compte pendant les simulations Monte-Carlo, et sont contenues dans les moments conditionnés des variables du temps.
- b) Le type de la porte logique, l'input pin, la forme du signal d'entrée, la température et la tension d'alimentation sont pris en compte à partir de la hiérarchie de la librairie statistique.
- c) La pente d'entrée du signal et la charge de sortie de la porte sont des index des *Look Up Tables*.

1.3.7.2 Input

L'input du SSTA Engine comprend les conditions environnementales et une liste de N chemins critiques (les timing path qui ont le plus grand délai). Les conditions environnementales sont la tension d'alimentation et la température.

Pour identifier la liste des chemins critiques, la méthode *Corner Timing Analysis* (CTA) est d'abord implémentée et ensuite les N premiers chemins critiques sont identifiés. Cette procédure d'identification des chemins critiques est réalisée par l'outil RTL Compiler.

1.3.7.3 SSTA Engine

La Figure 1.16 illustre la procédure du SSTA Engine. Ayant une liste de N chemins critiques, la distribution du délai de chaque chemin est calculée. Ensuite le délai du circuit noté cd (*circuit delay*) est calculé par (équation 1.24) :

$$cd = \max(pd_1, \dots, pd_i, \dots, pd_N) \quad (1.24)$$

En supposant que le délai d'un chemin i noté pd_i (*path delay* du chemin i) suit une loi Gaussienne, on calcule la distribution de cd en se basant sur l'approximation linéaire du Maximum (équation 1.21).

On sait que le délai d'un chemin est obtenu en additionnant le délai des portes logiques qui le constituent. Par la suite, même si le délai des portes logiques ne suit pas une loi Gaussienne, ce n'est pas déraisonnable de supposer en première approximation que le délai du chemin suit une loi Gaussienne. En effet, la somme de plusieurs variables aléatoires indépendantes (pour la plupart des corrélations adaptées au calcul du délai des circuits [25]) et identiquement distribuées, converge vers une variable aléatoire Gaussienne d'après le *Théorème Central Limite*.

En ce qui concerne le délai des portes logiques, sa moyenne et sa variance sont propagées à travers le chemin critique sans hypothèse sur sa distribution. Ainsi, pour une porte logique k appartenant à un chemin critique, le type, l'input pin, le signal d'entrée, la tension d'alimentation V_{DD} , la température T et la charge de sortie $C_{out,k}$ sont connues à partir de la procédure d'identification des chemins critiques. La pente d'entrée de la porte k n'est autre que la pente de sortie de la porte précédente ($k-1$), ($\mu_{\tau_{in,k}} = \mu_{\tau_{out,k-1}}$ et $\sigma^2_{\tau_{in,k}} = \sigma^2_{\tau_{out,k-1}}$). Connaissant toutes ces informations qui caractérisent les variables du temps de la porte k , les moments statistiques $\mu_{gd_k}, \sigma^2_{gd_k}, \mu_{\tau_{out,k}}$ et $\sigma^2_{\tau_{out,k}}$ sont calculés par des interpolations bilinéaires à partir des *Look Up Tables*.

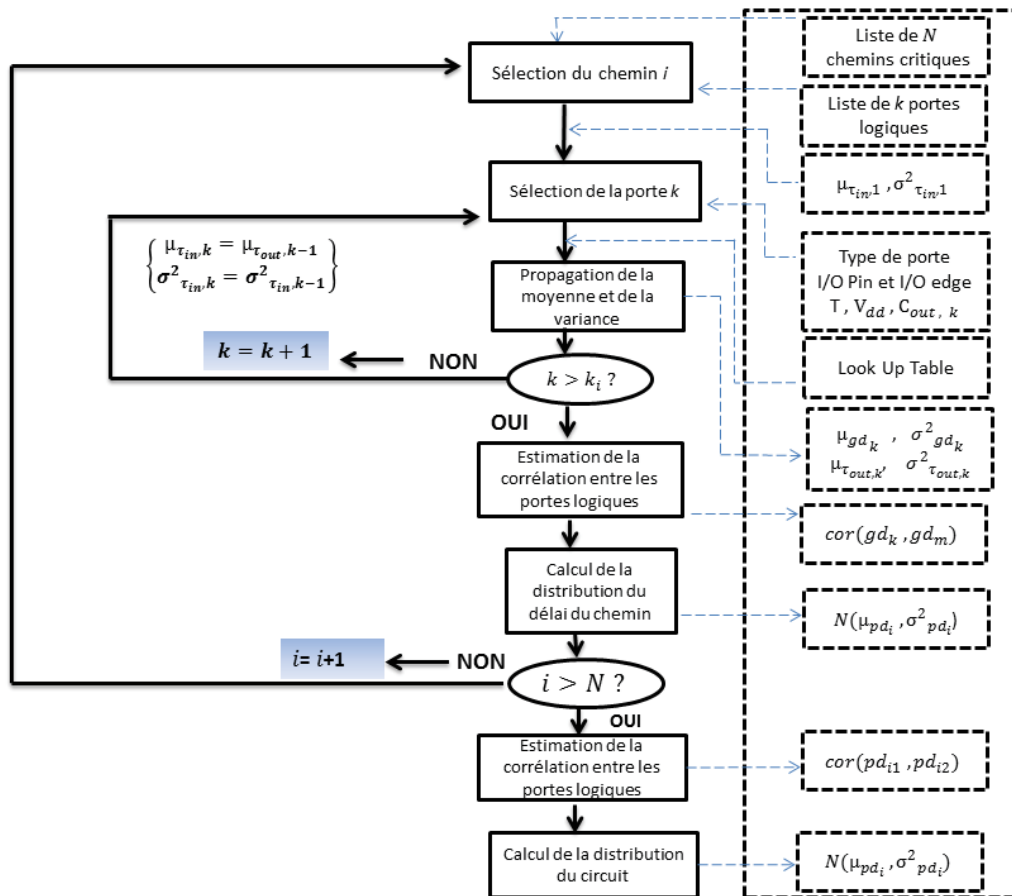


Figure 1.16 : Procédure du SSTA Engine

1.3.7.4 Output

Au niveau de l'output du SSTA Engine, on génère un rapport statistique du temps contenant les informations suivantes :

- a) Les informations du délai des portes logiques :
 - 1) La moyenne et la variance du délai d'une porte logique.
 - 2) La corrélation du délai entre les portes.
- b) Les informations du délai des chemins critiques :
 - 1) La moyenne et la variance du délai d'un chemin critique.
 - 2) La corrélation du délai entre les chemins critiques.
- c) La distribution du délai du circuit.

1.3.7.5 Conclusion

L'approche "SSTA basée sur la propagation des moments" consiste à caractériser les moments statistiques (moyenne et variance) conditionnés des variables de temps par des simulations MC. Une fois caractérisés, ces moments sont stockés dans une librairie statistique du temps. A partir de cette librairie, le calcul du délai des portes logiques le long d'un chemin critique est réalisé par les techniques de propagation. Cette structure semi MC permet d'éviter la modélisation des variations du process et la modélisation du délai des portes logiques. En plus l'exactitude de cette méthode est relativement élevée, puisque l'analyse du timing est réalisée à partir des librairies statistiques construites par des simulations MC.

1.3.8 Conclusion

Dans cette partie, on a présenté :

- Les approches CTA :
L'analyse du timing par ces approches est réalisée dans les conditions extrêmes sans prendre en considération les variations du process, ce qui augmente leurs pessimismes.
- Les approches SSTA basées sur les méthodes Monte-Carlo :
L'analyse du timing par ces approches est exacte mais le coût de calcul est élevé.
- Les approches SSTA basées sur les méthodes paramétriques :
Ces approches modélisent les variations des paramètres par le greed-model ou le quad-tree model, ensuite le délai des portes logiques est modélisé par des approximations de Taylor du premier ou du deuxième ordre. Les limitations de la modélisation des variations des paramètres et de la modélisation du délai réduisent la fiabilité de ces approches.
- L'approche "SSTA basée sur la propagation des moments" :
La structure semi Monte-Carlo de cette approche permet de pallier plusieurs points faibles des approches SSTA paramétriques et conserver l'exactitude des méthodes Monte-Carlo.

Dans ce mémoire, nous avons repris et amélioré les travaux effectués sur l'approche "SSTA basée sur la propagation des moments". Dans la partie suivante, nous présentons l'analyse statistique de la puissance statique.

1.4 Analyse de la Puissance Statique

Avec l'intégration de la technologie dans le régime nanomètre, la puissance statique des circuits intégrés devient de plus en plus significative, d'où la nécessité de l'estimation de cette puissance avant la fabrication d'un certain design. Similairement à l'analyse du timing, les approches traditionnelles qui estiment cette puissance réduisent la fiabilité de l'estimation, puisqu'elles ne prennent pas en considération les variations des paramètres physiques, qui augmentent avec chaque technologie. C'est pourquoi les approches statistiques de l'analyse de la puissance statique se sont développées. Dans cette partie, nous définissons d'abord la puissance statique et nous illustrons son augmentation avec la technologie. Ensuite, nous abordons la variation de cette puissance en montrant la nécessité de l'analyse statistique. Enfin, nous présentons les différentes approches de l'analyse statistique de la puissance statique. Nous montrons en particulier l'approche développée dans [26] et adaptée dans ce mémoire.

1.4.1 Importance accrue de la puissance statique

La puissance statique est la puissance consommée en mode *standby*. Cette puissance est définie à partir de l'équation 1.25.

$$\text{puissance statique} = I_{off} \times V_{DD} \quad (1.25)$$

où, I_{off} est le courant de fuite.

Avec la miniaturisation de la technologie, la puissance statique s'impose de plus en plus et atteint un taux significatif de la puissance totale (définie par l'équation 1.26) comme on peut voir dans la Figure 1.17.

$$\text{puissance totale} = \text{puissance statique} + \text{puissance dynamique}. \quad (1.26)$$

Ainsi, l'étude et la prédiction de la puissance statique sont des nouveaux défis pour les concepteurs dans les nœuds technologiques avancés.

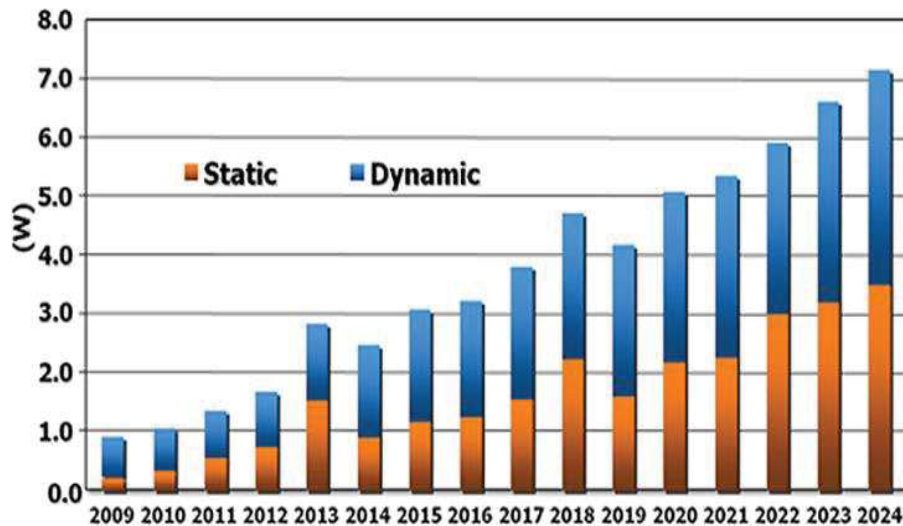


Figure 1.17 : Augmentation de la puissance statique [27]

La puissance statique définie par l'équation 1.25 dépend essentiellement du courant de fuite I_{off} . Avec la réduction des dimensions des transistors, les variations de I_{off} augmentent de plus en plus, ce qui mène à une augmentation des variations de la puissance statique.

Dans la partie suivante nous présentons les variations du courant de fuite.

1.4.2 Les variations du courant de fuite

Les facteurs dominants du courant de fuite I_{off} sont : le courant de fuite *sub-threshold* noté I_{sub} et le courant de fuite *gate oxide* noté I_{gate} .

Le courant de fuite I_{sub} augmente avec chaque génération de technologie (approximativement de cinq à dix fois) et dépend directement du *threshold voltage* noté V_{th} .

Le courant de fuite I_{gate} augmente fortement avec la réduction de l'épaisseur d'oxyde T_{ox} puisque il existe une fonction exponentielle qui les relie.

Le courant de fuite dépend donc essentiellement des paramètres physiques et environnementaux (Température et V_{DD}), il est extrêmement sensible à leurs variations. La Figure 1.18 illustre les effets des variations des paramètres physiques et environnementaux sur le courant de fuite et sur la fréquence des microprocesseurs dans un wafer.

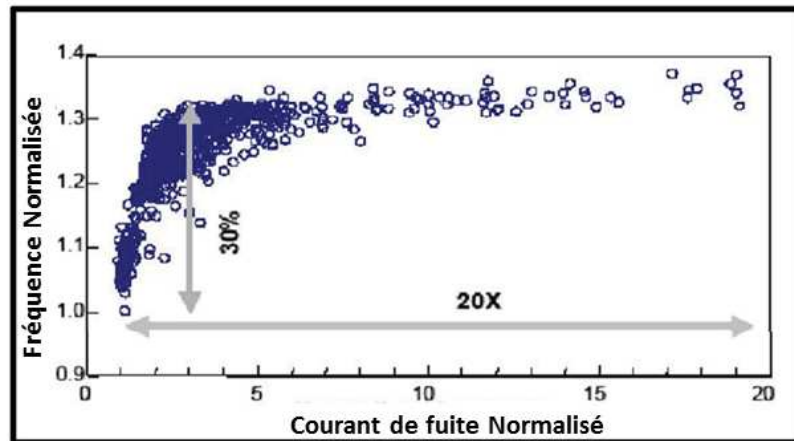


Figure 1.18 : Variation du courant de fuite et de la fréquence [28]

Comme on peut voir dans la Figure 1.18, les variations du process mènent à des grandes variations (approximativement 20×) du courant de fuite et aussi à des grandes variations (approximativement 30%) de la fréquence.

Ainsi, avec l'augmentation des variations des paramètres, les variations du courant de fuite deviennent de plus en plus significatives. Par conséquent, une analyse statistique de la puissance statique qui prend en considération les variations des paramètres est nécessaire.

La Figure 1.19 illustre la nécessité de l'analyse statistique du courant de fuite. Cette figure montre :

- la *probability density function* notée *pdf* (en bleu) du courant de fuite obtenue par des simulations Monte-Carlo, donc en prenant en considération les variations des paramètres,
- la mode (en vert) du courant de fuite, qui représente la valeur du courant qui a la plus grande probabilité d'apparaître,
- le leakage FF (en rouge) qui représente le courant de fuite estimée par l'approche Corner (FF) (d'une façon similaire à l'analyse du timing, une analyse du courant de fuite à partir de l'approche Corner FF ignore les variations des paramètres en les remplaçant par leurs valeurs extrêmes ce qui mène à une surestimation du courant de fuite).

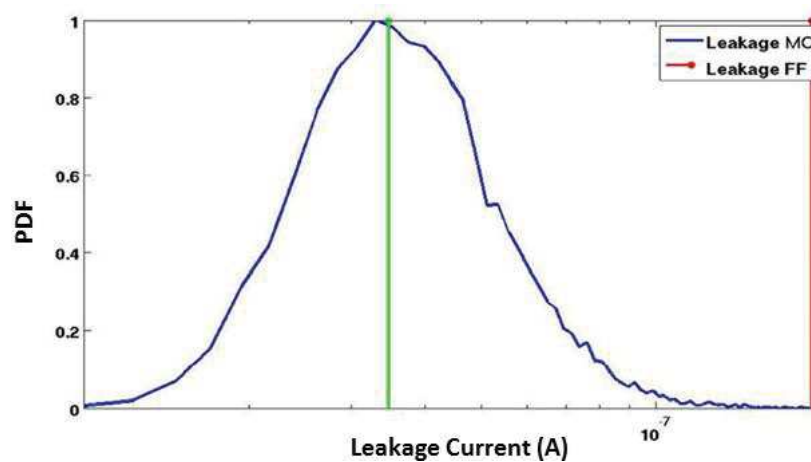


Figure 1.19 : pdf du courant de fuite d'un circuit NMOS 32 nm (la mode est représentée en vert) [26]

Comme on peut voir dans la Figure 1.19, le courant de fuite estimé par l'approche *corner FF* (en rouge) est plus grand que le courant de fuite qui correspond au mode (en vert). Par conséquent, les approches *corner* réduisent la précision et l'exactitude de l'estimation du courant de fuite. D'où la nécessité de remplacer ces approches par des approches statistiques qui prennent en considération les variations du process.

1.4.3 Analyse statistique de la puissance statique

Comme pour l'analyse du timing, les approches statistiques de l'analyse de la puissance statique sont classifiées en deux catégories : Les approches analytiques et les approches Monte Carlo.

1.4.3.1 Les approches analytiques

Les approches analytiques consistent à modéliser la puissance statique de la puce en supposant que cette dernière est une variable aléatoire. La loi de probabilité la plus utilisée pour la modélisation est la loi log-normale [29]. Dans [30] [31], on calcule les moments statistiques du courant de fuite total en les comparant aux moments d'une expression construite à partir de la somme des variables aléatoires qui correspondent au courant de fuite de chaque porte. Dans [30] le courant de fuite est supposé suivre une loi de probabilité log-normale, les moments statistiques du courant de fuite total sont calculés en additionnant les moments des courants de fuite de toutes les portes logiques. Dans [32], il est montré que la modélisation du courant de fuite uniquement par une loi de probabilité log-normale à partir d'une approximation linéaire mène à une erreur relative de 20%. Dans [31], un modèle quadratique du logarithme du courant de fuite est proposé.

La modélisation de la puissance statique par les approches analytiques est réalisée à partir des hypothèses suivantes :

Hypothèse 1 : On suppose que les paramètres physiques ont des lois de probabilité standards. Le plus souvent la loi Gaussienne est mise en place.

Hypothèse 2 : On suppose que le logarithme du courant de fuite d'une porte logique est une somme (linéaire ou quadratique) des variables qui modélisent les variations des paramètres.

Avec la réduction des dimensions des transistors, les sources des variations de la puissance statique augmentent de plus en plus, ce qui réduit la fiabilité de la modélisation de la puissance statique par les approches paramétriques [33]. De plus, le fait de supposer que les paramètres physiques ont des lois de probabilités le plus souvent Gaussiennes réduit la précision de ces méthodes, parce que ce n'est pas le cas en réalité. Ainsi, les hypothèses mises en place pour l'estimation de la puissance par les approches paramétriques sont remises en cause pour les nœuds technologiques inférieurs à 45 nm [34].

1.4.3.2 Les approches Monte Carlo

Les approches Monte Carlo consistent à générer des échantillons des paramètres physiques, puis le circuit est simulé. Enfin, la *pdf* du courant de fuite du circuit est estimée.

La Figure 1.20 illustre le flow de l'approche Monte Carlo. Comme on peut voir sur cette figure, les hypothèses des lois de probabilité des paramètres physiques sont mises en place. Connaissant la description du circuit et les modèles des transistors, l'estimation de la *pdf* du courant de fuite est effectuée en suivant une démarche itérative, où, chaque itération consiste à :

- a) générer une valeur de chaque paramètre physique,
- b) simuler le circuit,
- c) mesurer une valeur du courant de fuite.

Un grand nombre d'itérations est effectué. Par conséquent, plusieurs valeurs du courant de fuite sont mesurées à partir desquelles sa *pdf* est estimée.

Les avantages principaux des approches Monte-Carlo sont les suivants :

- des lois de probabilités « non standard » des paramètres physiques peuvent être utilisées,
- la *pdf* du courant de fuite du circuit est estimée directement à partir des mesures issues des simulations.

Ainsi, on évite les hypothèses mises en place par les approches analytiques.

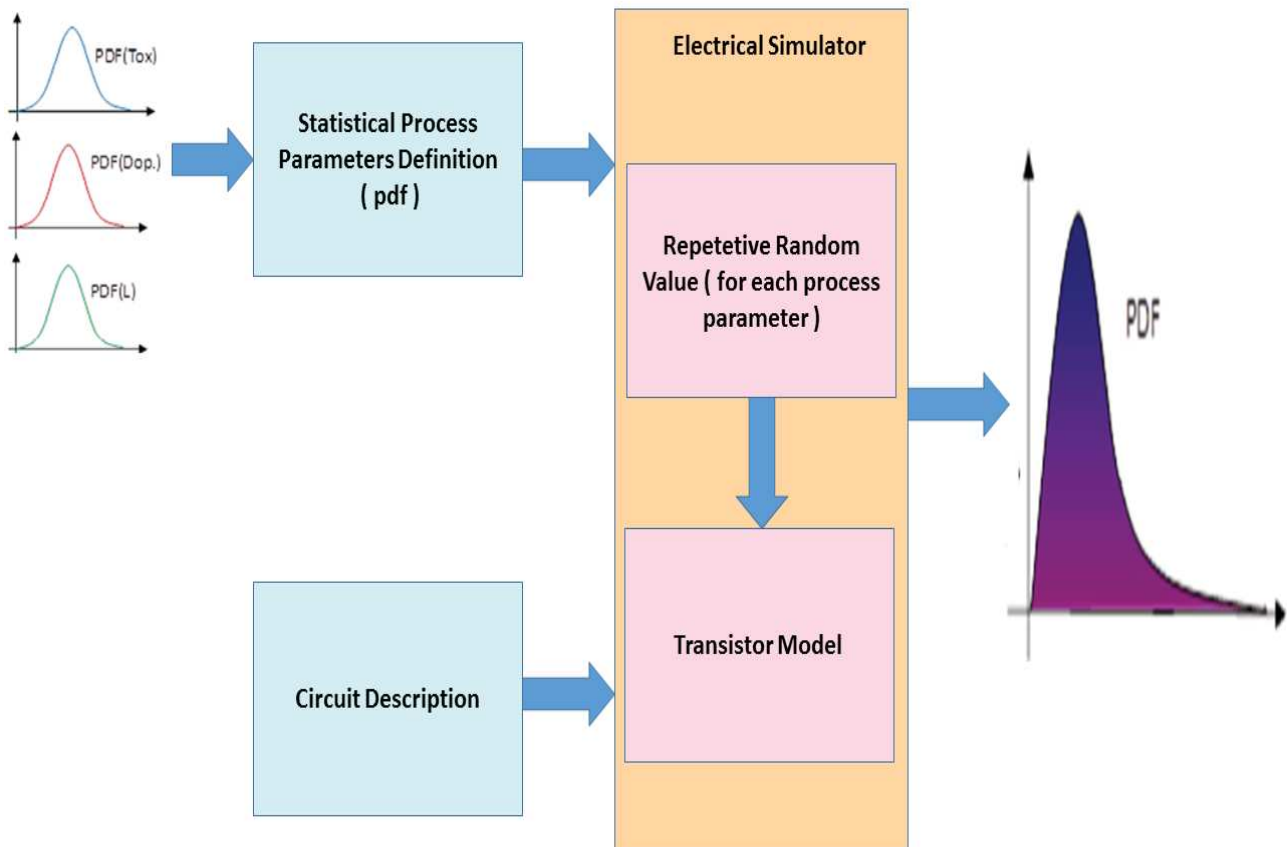


Figure 1.20 : Flow de la méthode Monte Carlo [34]

L'estimation du courant de fuite par les méthodes Monte-Carlo est précise. Par contre, le coût de calcul de ces méthodes est élevé et elles ne sont pas applicables à des circuits importants. C'est pour cette raison que l'approche semi Monte Carlo est développée dans [26]. Dans la partie suivante, nous présentons cette approche.

1.4.4 Analyse semi Monte Carlo de la puissance statique

En utilisant les approches basées sur les méthodes Monte-Carlo, il est possible d'estimer avec un taux d'exactitude relativement élevé la puissance statique. Comme on l'a déjà dit, le coût de calcul de ces approches est élevé, et elles ne sont pas applicables sur des circuits importants. Ainsi, une méthode analytique qui estime la puissance statique en gardant l'exactitude des approches Monte-Carlo a été développée dans [26]. Cette approche consiste à estimer analytiquement la puissance statique d'un circuit à partir des bibliothèques statistiques qui pré-caractérisent cette puissance par des simulations Monte-Carlo, d'où la nomination « Analyse semi Monte-Carlo de la puissance statique ». La Figure 1.21 illustre le flow de cette approche.

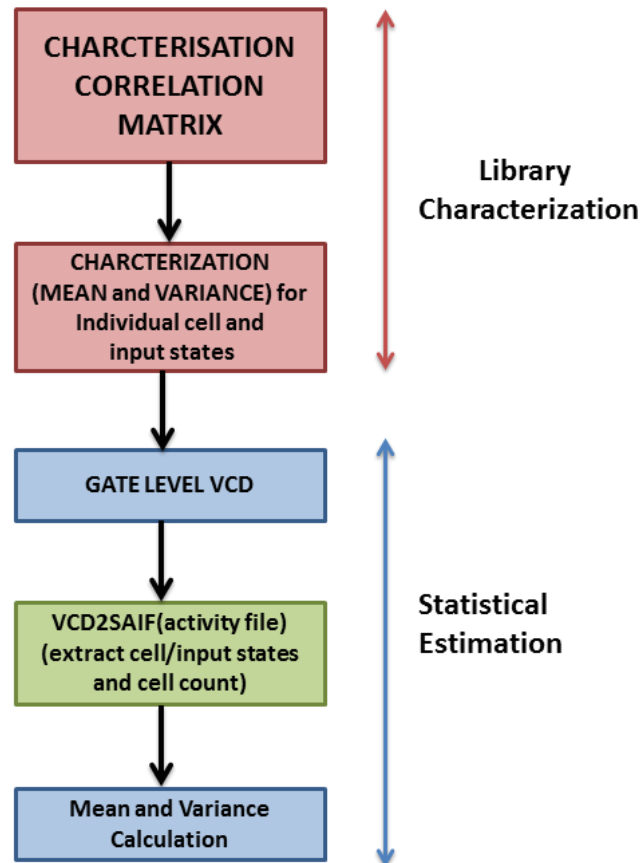


Figure 1.21 : Flow de l'estimation de la puissance statique d'un circuit [26]

Pour estimer la puissance statique d'un circuit (Figure 1.21), on construit d'abord une librairie statistique qui caractérise cette puissance. Ensuite, on calcule la moyenne et la variance de la puissance statique du circuit. Dans ce qui suit, une explication de la construction de la librairie statistique et du calcul des moments statistiques (moyenne et variance).

1.4.4.1 La librairie statistique

Connaissant le modèle statistique des transistors et les netlists des portes logiques étudiées, on simule chaque porte logique séparément pour toutes les combinaisons possibles de ses *input-states* (les états logiques des entrées des portes logiques : 0 ou 1 (Figure 1.22)).

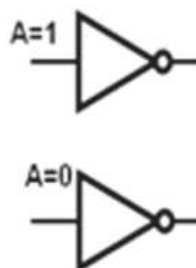


Figure 1.22 : Illustration des input-states d'un inverseur

A partir du jeu de données issu de ces simulations, on calcule (pour toutes les combinaisons possibles des input states) la moyenne et la variance de la puissance statique des portes, ainsi que la corrélation de la puissance entre les portes. Ensuite, on stocke les moyennes et les variances dans des tableaux nommés "Tableaux des Moyennes et des Variances de la Puissance Statique" (Tableau 1.1). Similairement, on stocke les corrélations entre les portes dans des matrices de corrélation (Tableau 1.2).

Type de la porte	INV	INV	AND	NAND
Input State	0	1	00	11
Moyenne	4.17 e-10	3.49 e-10	6.16 e-10	1.57 e-10
Variance	2.91 e-20	1.66 e-20	4.84 e-20	5.20 e-21

Tableau 1.1 : Illustration du "Tableau des Moyennes et des Variances de la Puissance Statique"

	INV_0	INV_0	AND_00	NAND_11
INV_0	1	0.6	0.7	0.5
INV_0	0.6	1	0.5	0.31
AND_00	0.7	0.5	1	0.84
⋮	⋮	⋮	⋮	⋮	⋮
NAND_11	0.5	0.31	0.84	1

Tableau 1.2 : Exemple de la matrice de corrélation

Ainsi, on construit une librairie statistique constituée des moyennes et des variances de la puissance statique ainsi que des corrélations de la puissance entre les portes.

1.4.4.2 Estimation statistique

Pour estimer la puissance statique, on caractérise d'abord les *input states* de toutes les portes logiques du circuit à partir du *switching file* (SAIF) généré du file VCD (Value Change Dump). Ainsi, les *input states* de chaque porte logique qui constitue le circuit sont connus. Ensuite, pour estimer la *pdf* de la puissance statique du circuit on suppose que la puissance statique d'une porte logique est une variable aléatoire qui suit une loi de probabilité log-normale.

En théorie des probabilités et statistique, une variable aléatoire X est dite suivre une loi de probabilité log-normale de paramètres μ et σ^2 , si la variable aléatoire $Y = \ln(X)$, suit une loi de probabilité Gaussienne d'espérance μ et de variance σ^2 .

Dans l'équation 1.27, on définit la *pdf* d'une variable aléatoire X log-normale de paramètres μ et σ^2 .

$$f(x, \mu, \sigma) = \frac{1}{x \times \sqrt{2 \times \Pi}} \times e^{\left(-\frac{(\ln(x)-\mu)^2}{2 \times \sigma^2}\right)} \quad (1.27)$$

Dans les équations 1.28 et 1.29, on définit respectivement l'espérance et la variance de X en fonction de μ et σ^2 .

$$E(X) = e^{\mu + \sigma^2/2} \quad (1.28)$$

$$V(X) = (e^{\sigma^2} - 1) \times e^{2 \times \mu + \sigma^2} \quad (1.29)$$

Dans les équations 1.30 et 1.31, on définit respectivement μ et σ^2 en fonction de l'espérance et de la variance de X .

$$\mu = \ln(E(X)) - \frac{1}{2} \times \ln\left(1 + \left(\frac{V(X)}{(E(X))^2}\right)\right) \quad (1.30)$$

$$\sigma^2 = \ln\left(1 + \left(\frac{V(X)}{(E(X))^2}\right)\right) \quad (1.31)$$

Puisque la puissance statique du circuit est la somme des puissances statiques des portes logiques qui le constituent, alors en faisant la supposition que la somme de plusieurs variables aléatoires qui suivent une loi de probabilité log-normale est approximativement une variable aléatoire log-normale [35], la *pdf* de la puissance statique d'un circuit constitué de K portes logiques, est définie à partir de l'équation 1.32.

$$f(x, \mu_{tot}, \sigma_{tot}) = \frac{1}{x \times \sqrt{2 \times \Pi}} \times e^{\left(-\frac{(\ln(x)-\mu_{tot})^2}{2 \times \sigma_{tot}^2}\right)} \quad (1.32)$$

En se basant sur les équations 1.30 et 1.31, les paramètres μ_{tot} et σ_{tot}^2 qui figurent dans l'équation 1.30 sont définies respectivement à partir des équations 1.33 et 1.34.

$$\mu_{tot} = \ln(E(X_{tot})) - \frac{1}{2} \times \ln\left(1 + \left(\frac{V(X_{tot})}{(E(X_{tot}))^2}\right)\right) \quad (1.33)$$

$$\sigma_{tot}^2 = \ln\left(1 + \left(\frac{V(X_{tot})}{(E(X_{tot}))^2}\right)\right) \quad (1.34)$$

où,

- $X_{tot} = X_1 + \dots + X_k + \dots + X_K$, ($k = 1, 2, \dots, K$),
- X_k représente la puissance statique d'une porte logique.

$E(X_{tot})$ et $V(X_{tot})$ qui figurent dans les équations 1.33 et 1.34 sont définies à partir des équations 1.35 et 1.36 respectivement.

$$E(X_{tot}) = \sum_{k=1}^{k=K} E(X_k) \quad (1.35)$$

$$V(X_{tot}) = \sum_{k=1}^{k=K} \sum_{m=1}^{m=K} \rho_{km} \times \sqrt{V(X_k)} \times \sqrt{V(X_m)} \quad (1.36)$$

ρ_{km} qui figure dans l'équation 1.36, représente la corrélation de la puissance statique entre la porte X_k et X_m .

Les *Input-States* de toutes les portes logiques sont connues. Par conséquent, $E(X_k)$, $V(X_k)$ et ρ_{km} qui figurent dans les équations 1.35 et 1.36 sont identifiées à partir des bibliothèques statistiques. Connaissant $E(X_k)$, $V(X_k)$ et ρ_{km} , on calcule $E(X_{tot})$ et $V(X_{tot})$ à partir des équations 1.35 et 1.36 respectivement. On peut alors identifier μ_{tot} et σ_{tot}^2 à partir des équations 1.33 et 1.34 respectivement.

1.4.5 Conclusion

Avec la réduction des dimensions des transistors, la puissance statique augmente de plus en plus pour atteindre un taux significatif de la puissance totale consommée. De plus, les variations de la puissance statique augmentent d'une technologie à une autre puisque ces variations sont fortement liées aux variations du process. Ainsi, l'analyse statistique de la puissance statique a été développée. Il existe deux catégories de l'analyse statistique de la puissance statique : Les approches analytiques et les approches Monte-Carlo.

Plusieurs questions se posent concernant la fiabilité des approches analytiques. De plus, il n'est pas clair si les hypothèses mises en place par ces approches sont toujours vraies pour les nœuds technologiques au-dessous de 45 nm.

Les approches Monte Carlo sont précises mais leurs coûts de calcul sont élevés, de plus elles ne sont pas applicables sur des larges circuits.

La structure semi Monte-Carlo de l'approche présentée dans la partie 1.4.4 consiste à construire définitivement une librairie statistique qui caractérise la puissance statique des portes logiques étudiées. Ensuite, la puissance statique du circuit est estimée à partir de cette librairie. Donc le cout de calcul n'est demandé qu'une seule fois. Cette structure semi Monte-Carlo permet de :

- Réduire le coût de calcul des approches Monte-Carlo (puisque la librairie statistique est construite définitivement alors le coût de calcul n'est demandé qu'une seule fois).
- Conserver l'exactitude des approches Monte-Carlo, puisque l'estimation de la puissance statique est réalisée à partir d'un jeu de données issu des simulations Monte-Carlo.

1.5 Conclusion

Avec l'intégration de la technologie dans le domaine nanométrique, l'influence des variations du process affectent significativement la performance et la consommation statique des circuits intégrés. Ainsi, des approches statistiques qui analysent le timing et la puissance statique en tenant compte de ces variations, sont développées. Dans ce chapitre, on a présenté différentes approches de l'analyse statistique du timing et de la puissance statique et on a en particulier présenté et justifié les approches utilisées dans ce mémoire. Pour estimer le délai, dans ce travail, nous nous sommes appuyés sur l'approche " SSTA basée sur la propagation des moments " (partie 1.3.7). Pour estimer la puissance statique, nous nous sommes basés sur l'approche " Analyse semi Monte-Carlo de la puissance statique " (partie 1.4.4). Après l'estimation du délai et de la puissance statique, afin d'optimiser l'énergie statique, un compromis Délai-Puissance Statique qui réduit le délai sans trop dégrader la puissance statique et vice versa est établi. La Figure 1.23 illustre la démarche à suivre pour optimiser l'énergie statique. Connaissant l'architecture du circuit et la librairie standard des portes logiques, on implémente d'abord la méthode *Corner Timing Analysis* (CTA). Après la synthèse des circuits, on identifie leurs chemins critiques. Cette procédure d'identification des chemins critiques est réalisée par l'outil RTL Compiler. Ensuite, connaissant le modèle statistique des paramètres des transistors et les *netlits* des portes logiques étudiées, on construit des librairies statistiques de temps et des librairies statistiques de la puissance statique avec l'outil de simulation HSPICE. A partir de ces librairies, on estime les *pdf* du délai et de la puissance statique des chemins critiques en appliquant respectivement les approches d'estimation présentées dans les parties 1.3.7 et 1.4.4. Enfin, connaissant ces *pdf*, on établit un compromis qui équilibre la moyenne du délai et de la puissance statique.

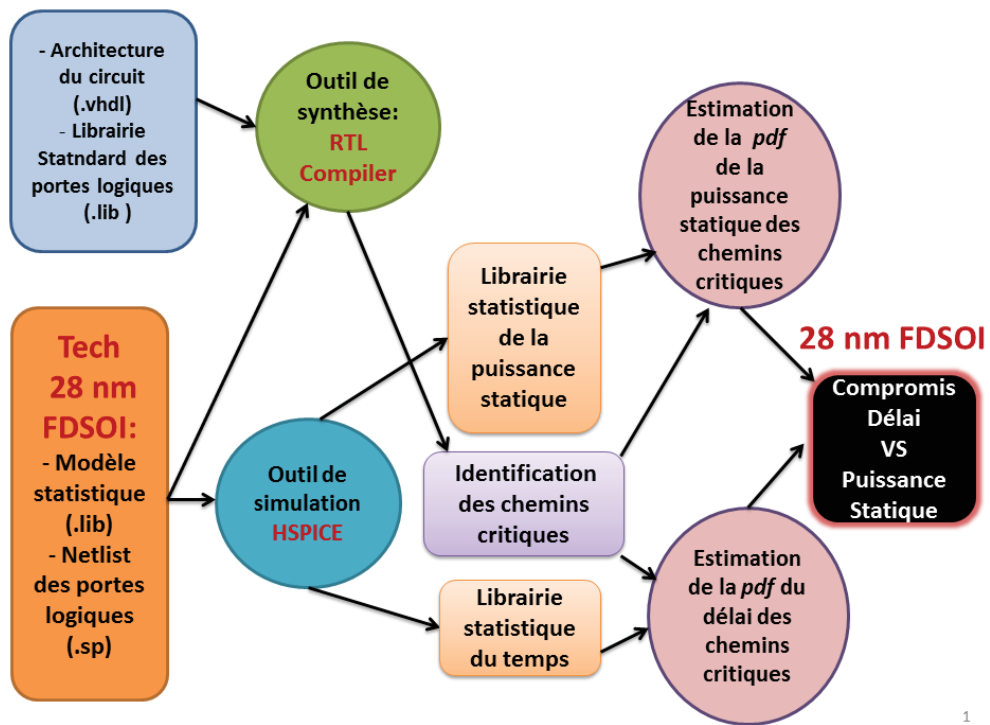


Figure 1.23 : Flow de l'optimisation de l'énergie statique

Pour optimiser l'énergie statique, dans ce mémoire nous travaillons sur les transistors de la technologie 28 nm FDSOI. Dans le chapitre suivant, nous présentons et justifions le choix de cette technologie ainsi que les avantages qu'elle apporte.

Chapitre

2

Technologie FDSOI

2.1 Introduction

Ces dernières années, afin de répondre aux exigences du marché en termes de performance et de consommation d'énergie, la réduction des dimensions des transistors s'est accentuée. Ainsi, des dispositifs électroniques plus fiables et plus efficaces ont été mis en place. Pour les nœuds technologiques inférieurs à 32 nm, les concepteurs se sont retrouvés faces à de nouveaux défis. Parmi ceux-là, l'énergie statique s'impose de plus en plus avec la réduction des dimensions des transistors. Le courant de fuite représente une proportion significative de l'énergie consommée.

Dans le but de maintenir la performance en contrôlant l'énergie statique, les transistors CMOS (*Complementary Metal Oxide semi-Conductor*) sur silicium massif deviennent de plus en plus complexes et le coût du procédé de fabrication de ces derniers devient de plus en plus élevé. Par conséquent, il serait souhaitable d'utiliser une technologie capable de remédier aux limites de ces transistors.

La technologie *FDSOI (Fully Depleted Silicon On Insulator)*, qui est une technologie planaire de transistor CMOS conçue pour des applications à faible puissance, remplit ces conditions. Cette technologie permet de prolonger la loi de Moore pour les nœuds technologiques inférieurs à 32 nm. Elle a montré un fort potentiel pour être successeur des transistors CMOS sur silicium massif. Les transistors FDSOI permettent de réduire :

- la complexité du procédé de fabrication,
- la puissance statique,
- les problèmes dus à la miniaturisation des transistors dans les nœuds technologiques avancés.

Dans ce travail, on analyse le délai et la puissance statique des transistors 28 nm UTBB-FDSOI (*Ultra Thin Body & BOX Fully Depleted Silicon On Insulator*). Cette analyse est réalisée par des simulations Monte-Carlo (MC), ce qui prend donc en considération les variations des paramètres des transistors. A partir de cette analyse, le compromis Délai-Puissance Statique a été établi en s'appuyant sur les méthodes d'estimation (du délai et de la puissance statique) présentées dans le Chapitre 1.

Dans le présent Chapitre, nous présentons la technologie 28 nm FDSOI utilisée dans cette thèse. Nous expliquons son choix et les avantages apportés par rapport aux autres technologies. Tout d'abord, nous présentons les transistors CMOS fabriqués en technologie FDSOI et leurs avantages majeurs. Ensuite, nous abordons l'étude du délai et de la puissance statique des deux types de transistors suivants: RVT (*Regular Voltage Threshold*) UTBB-FDSOI et LVT (*Low Voltage Threshold*) UTBB-

FDSOI. Enfin, nous illustrons la technique de modélisation du signal d'entrée adaptée à la technologie RVT 28 nm UTBB-FDSOI.

2.2 Le transistor CMOS fabriqué en technologie planaire FDSOI

Le transistor CMOS fabriqué en technologie planaire FDSOI se base sur un film fin de silicium non dopé isolé du substrat grâce à une couche d'oxyde de silicium couramment appelé BOX (*Buried OXide*) (Figure 2.1).

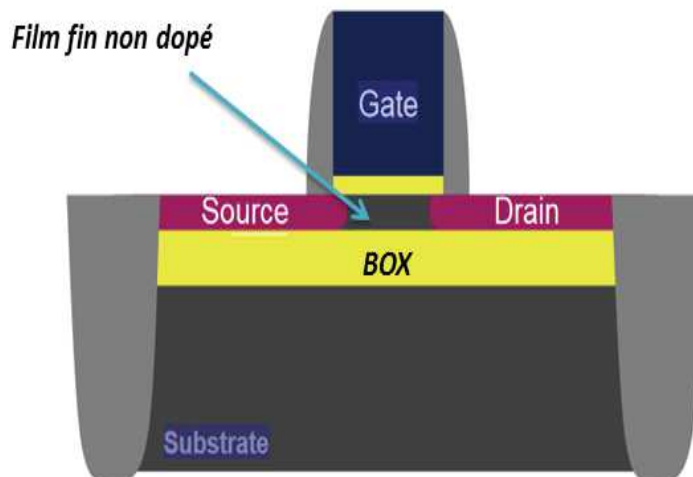


Figure 2.1: Vue en coupe schématique d'un transistor CMOS fabriqué en technologie planaire FDSOI

Il existe deux versions de la technologie planaire FDSOI: la première se base sur un BOX mince et la deuxième sur un BOX épais. Que ce soit dans sa version BOX mince ou BOX épais, cette technologie apporte plusieurs améliorations par rapport à la technologie planaire sur silicium massif. Ces améliorations sont dues essentiellement à l'architecture de cette technologie. Le premier avantage significatif de cette architecture est l'amélioration du contrôle électrostatique du canal par la grille, diminuant par la suite les courants sous le seuil et les effets canaux courts [36]. Le deuxième avantage remarquable est la diminution de la tension minimale d'alimentation des circuits intégrés. Cette diminution est réalisée grâce à la réduction de la variabilité de la tension de seuil. Le troisième avantage majeur est la suppression de l'effet *latch-up* et l'annulation des courants de jonction entre source/drain (S/D) et substrat [36]. A ces avantages, on peut également en ajouter d'autres : il est possible pour la technologie FDSOI qui repose sur un BOX mince notée UTBB-FDSOI (*Ultra Thin Body & BOX Fully Depleted Silicon On Insulator*) de moduler la tension de polarisation du substrat, ce qui permet de moduler la tension de seuil.

Ainsi, la technologie FDSOI est plus solide que celle sur silicium massif. Son procédé de fabrication est plus simple par rapport à cette dernière. De plus, elle réduit de façon efficace la variabilité de la tension seuil ainsi que les courants de fuite.

2.3 Etude du délai et de la puissance des transistors UTBB-FDSOI

Pour optimiser l'énergie statique qui dépend du délai et de la puissance statique, il faut agir sur le délai et la puissance statique. Comme le délai et la puissance statique sont deux quantités antagonistes (lorsque l'un augmente l'autre diminue et vice versa), par conséquent pour optimiser l'énergie statique, il faut obtenir le meilleur compromis Délai-Puissance Statique. Pour cela, une étude du délai et de la puissance statique est réalisée. En tenant compte de la tension d'alimentation et des différentes techniques de polarisation, cette étude a été effectuée sur les deux types de transistors RVT et LVT de la technologie 28 nm UTBB-FDSOI.

Dans la suite, nous expliquons tout d'abord en quoi consistent les techniques de polarisation. Ensuite, nous présentons les caractéristiques des transistors RVT et LVT. Enfin, nous justifions le choix des transistors RVT par rapport aux transistors LVT pour l'étude du compromis Délai-Puissance statique réalisée dans ce mémoire.

2.3.1 Les techniques de polarisation

La polarisation est une technique qui consiste à moduler la tension de polarisation des caissons des transistors, ce qui permet d'ajuster la tension de seuil [37] [38]. Il existe plusieurs types de polarisation. Parmi ces types, on trouve la polarisation en mode inverse couramment nommée RBB (*Reverse Body Biasing*) et la polarisation en mode direct couramment nommée FBB (*Forward Body Biasing*).

L'idée principale de la polarisation en mode inverse est d'appliquer une différence de potentiel positive entre la source et le caisson des transistors pMOS, et une différence de potentiel négative entre la source et le caisson des transistors nMOS. Ainsi, on applique une tension plus petite que la masse pour polariser le caisson-p des transistors nMOS, ($V_B^{nMOS} < 0$), et une tension plus grande que celle de l'alimentation des circuits pour polariser le caisson-n des transistors pMOS, ($V_B^{pMOS} > V_{DD}$). Par conséquent, on agrandit la tension de seuil, ce qui permet de réduire les courants de fuite quand le circuit n'est pas en activité (mode *standby*).

La polarisation en mode direct consiste à appliquer une différence de potentiel positive entre la source et le caisson des transistors nMOS, et négative entre la source et le caisson des transistors pMOS.

Une application d'une polarisation en mode direct aux transistors LVT 28 nm UTBB-FDSOI mène à une réduction du délai [39].

2.3.2 Les transistors RVT et LVT

Plusieurs techniques sont mises en œuvre afin de réduire le courant de fuite. Parmi elles, il existe la technique de modulation de la tension de seuil. Pour appliquer cette technique, différentes méthodes sont mises en place. On trouve entre autres la méthode basée sur la modulation des paramètres de fabrication tels que :

- l'épaisseur de l'oxyde de grille,
- la longueur de la grille,
- le changement du type du caisson arrière.

La modulation de ces paramètres permet d'ajuster la tension de seuil (V_T , *Voltage Threshold*). Les transistors sont classés par niveau de tension de seuil. Parmi ces transistors, on trouve les transistors à V_T moyen nommés RVT (*Regular Voltage Threshold*) et les transistors à bas V_T nommés LVT (*Low Voltage Threshold*). Les transistors LVT sont employés pour diminuer le délai des chemins critiques tandis que les transistors RVT sont utilisés pour réduire la consommation [40].

La méthode basée sur la modulation des paramètres de fabrication, est largement utilisée aujourd'hui dans les entreprises d'électronique (Figure 2.2) [41] [42].

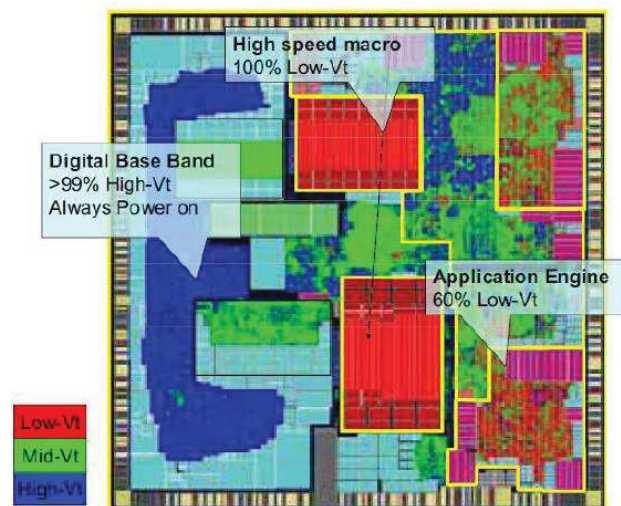


Figure 2.2 : Illustration des transistors MOS multi- V_T sur une puce [43]

Les deux figures 2.3 (a) et 2.3 (b) illustrent respectivement la structure des transistors RVT 28 nm UTBB-FDSOI et des transistors LVT 28 nm UTBB-FDSOI [39]. Les transistors RVT sont conçus

pour réduire les courants de fuite, par conséquent des polarisations en mode inverse (RBB) sont appliquées à ces transistors. Comme on peut voir sur la Figure 2.3 (a), ces transistors ont une structure classique. Un transistor nMOS de type RVT a un caisson arrière de type p alors qu'un transistor pMOS de type RVT a un caisson arrière de type n . Les transistors LVT (Figure 2.3 (b)) sont conçus pour réduire le délai. Ainsi, des polarisations en mode direct (FBB) leur sont appliquées. Un transistor nMOS de type LVT a un caisson arrière de type n alors qu'un transistor pMOS de type LVT a un caisson arrière de type p .

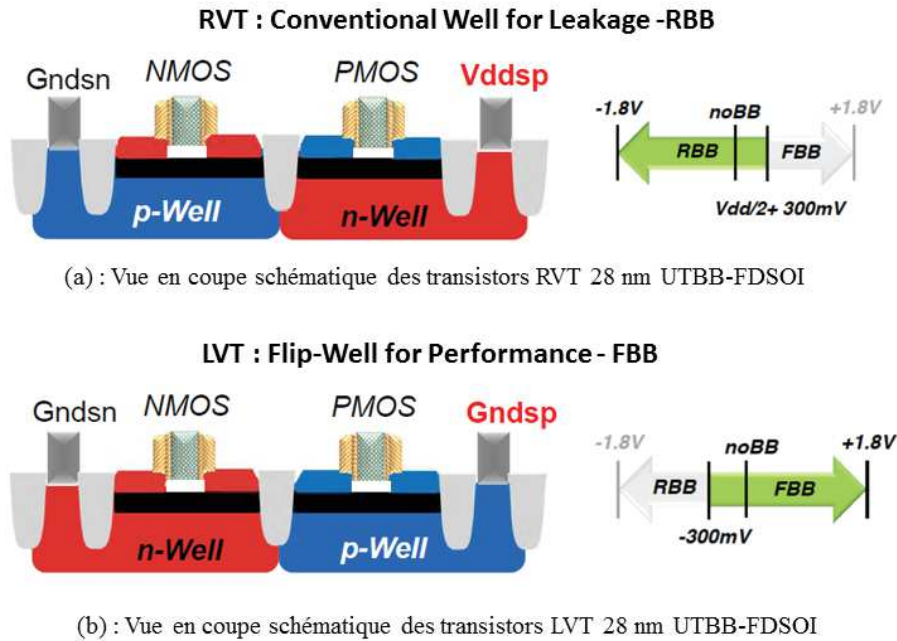


Figure 2.3 : Comparaison des structures des transistors RVT 28 nm UTBB-FDSOI et LVT 28 nm UTBB-FDSOI

2.3.3 Choix des transistors RVT

Dans cette partie, nous allons justifier le choix des transistors RVT par rapport aux transistors LVT pour l'étude du compromis Délai-Puissance Statique. Pour cela, le délai et la puissance statique des transistors RVT 28 nm UTBB-FDSOI et LVT 28 nm UTBB-FDSOI sont analysés en variant la tension d'alimentation V_{DD} pour différentes techniques de polarisation (RBB et FBB). Ces analyses sont effectuées par des simulations Monte-Carlo. En utilisant MC(MC=450), les variations des paramètres des transistors sont prises en considération.

Dans ce qui suit, nous illustrons tout d'abord la démarche suivie pour calculer la puissance statique. Ensuite, nous comparons le délai et la puissance statique des transistors RVT et LVT. Enfin, nous mettons en évidence les gains apportés par les techniques de polarisation.

2.3.3.1 Calcul de la puissance statique

Les puissances statiques d'un inverseur RVT 28 nm UTBB-FDSOI (C12T28SOI_LR_IVX8_P0) et d'un inverseur LVT 28 nm UTBB-FDSOI (C12T28SOI_LL_IVX8_P0) ont été calculées par des simulations Monte-Carlo réalisées avec l'outil de simulation HSPICE. La Figure 2.4 représente un circuit formé par un inverseur RVT polarisé en mode inverse (RBB) avec une tension de polarisation V_{RBB} (*Voltage Reverse Body Biasing*). Une fois le circuit simulé, sa puissance statique est calculée par l'équation 2.1.

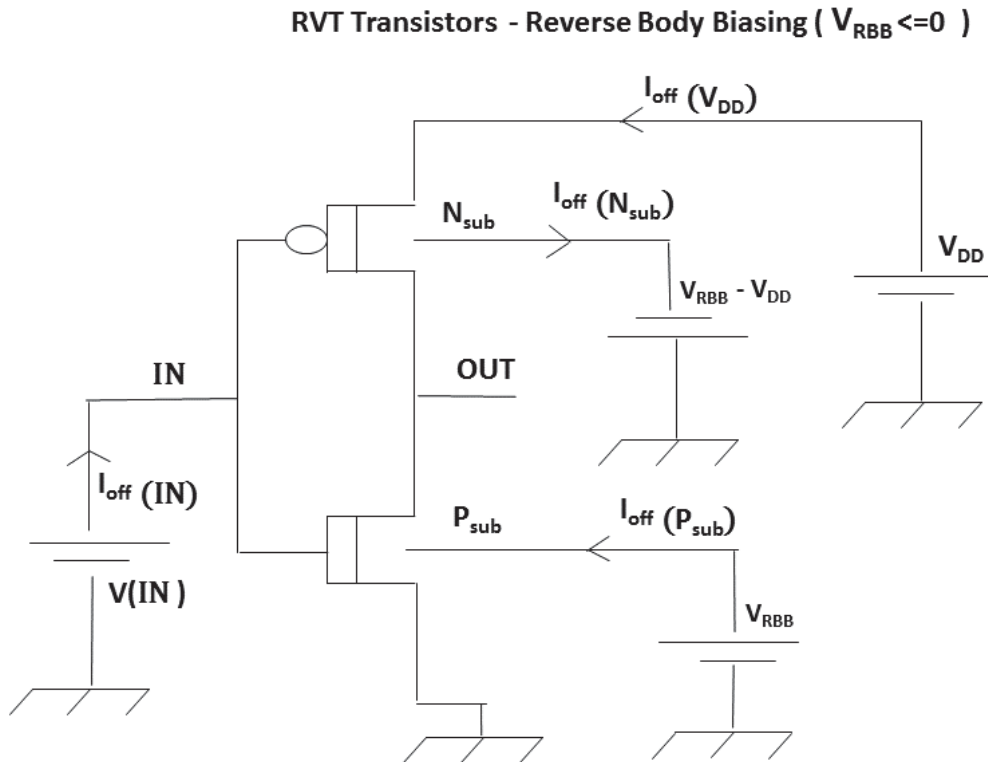


Figure 2.4 : Circuit illustratif de la polarisation d'un inverseur à base de transistors RVT UTBB-FDSOI

$$P_{\text{puissance statique}}_{RVT} = (I_{OFF(V_{DD})} \times V_{DD}) + (I_{OFF(P_{sub})} \times V_{RBB}) + (I_{OFF(N_{sub})} \times (V_{RBB} - V_{DD})) + (I_{OFF(IN)} \times V_{IN}) \quad (2.1)$$

Les paramètres $I_{OFF(V_{DD})}$, $I_{OFF(P_{sub})}$, $I_{OFF(N_{sub})}$ et $I_{OFF(IN)}$ qui figurent dans l'équation 2.1 représentent respectivement les courants de fuite de la grille, du substrat du transistor nMOS, du substrat du transistor pMOS et de l'entrée de l'inverseur. Ces courants de fuite sont mesurés à partir des simulations.

La Figure 2.5 représente un circuit formé par un inverseur LVT polarisé en mode direct (FBB) avec une tension de polarisation V_{FBB} (*Voltage Forward Body Biasing*). Le circuit est simulé et sa puissance statique est calculée par l'équation 2.2.

$$P_{\text{statique}}_{LVT} = (I_{OFF(V_{DD})} \times V_{DD}) + (I_{OFF(P_{sub})} \times V_{FBB}) + (I_{OFF(N_{sub})} \times V_{FBB}) + (I_{OFF(IN)} \times V_{IN}) \quad (2.2)$$

Les paramètres $I_{OFF(V_{DD})}$ et $I_{OFF(IN)}$ qui figurent dans l'équation 2.2 représentent respectivement les courants de fuite de la grille et de l'entrée de l'inverseur. Contrairement aux transistors RVT, les paramètres $I_{OFF(P_{sub})}$ et $I_{OFF(N_{sub})}$ représentent respectivement les courants de fuite des substrats du transistor pMOS et nMOS.

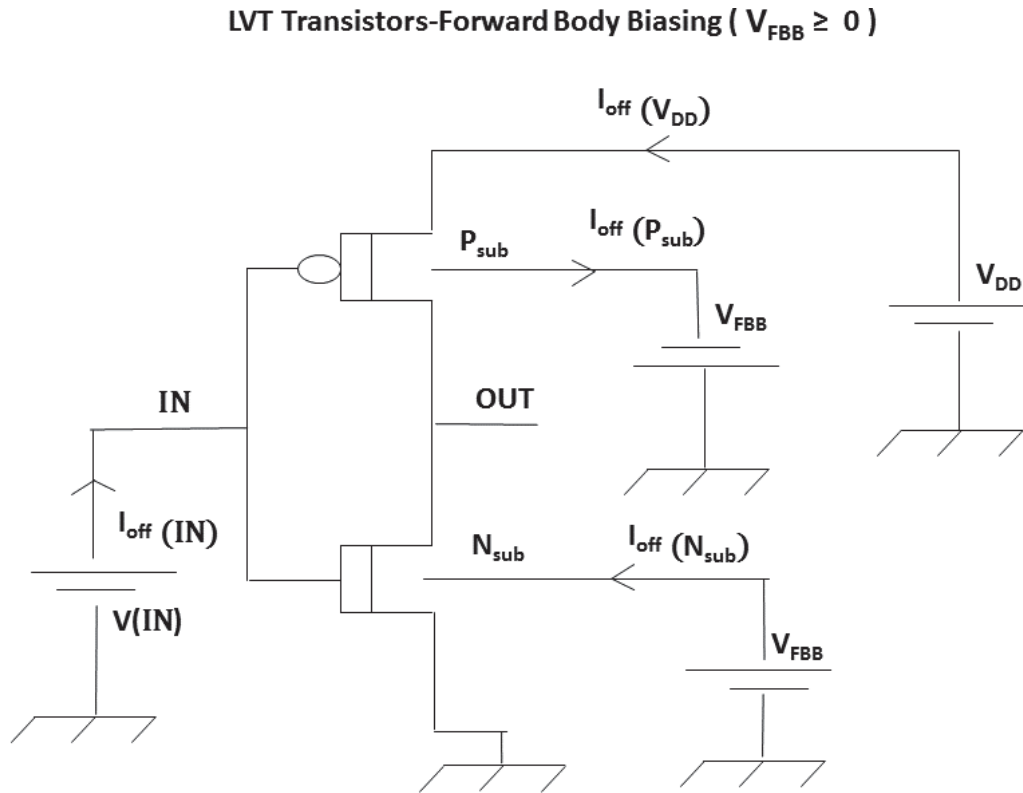


Figure 2.5 : Circuit illustratif de la polarisation d'un inverseur à base de transistors LVT UTBB-FDSOI

2.3.3.2 RVT 28 nm UTBB-FDSOI vs LVT 28 nm UTBB-FDSOI

Pour mettre en évidence les avantages des transistors RVT 28 nm UTBB-FDSOI par rapport aux transistors LVT 28 nm UTBB FDSOI, nous comparons par des simulations Monte-Carlo les moyennes de leurs délais et leurs puissances statiques.

2.3.3.2.1 Délai : RVT 28 nm UTBB-FDSOI vs LVT 28 nm UTBB-FDSOI

Pour comparer le délai des transistors RVT et LVT, un inverseur RVT (C12T28SOI_LR_IVX8_P0) et un inverseur LVT (C12T28SOI_LL_IVX8_P0) ont été simulés (MC=450) en variant la tension d'alimentation et sans appliquer les techniques de polarisation ($V_{RBB} = 0, V_{FBB} = 0$). A partir de ces simulations, la moyenne du délai a été calculée (Figure 2.6).

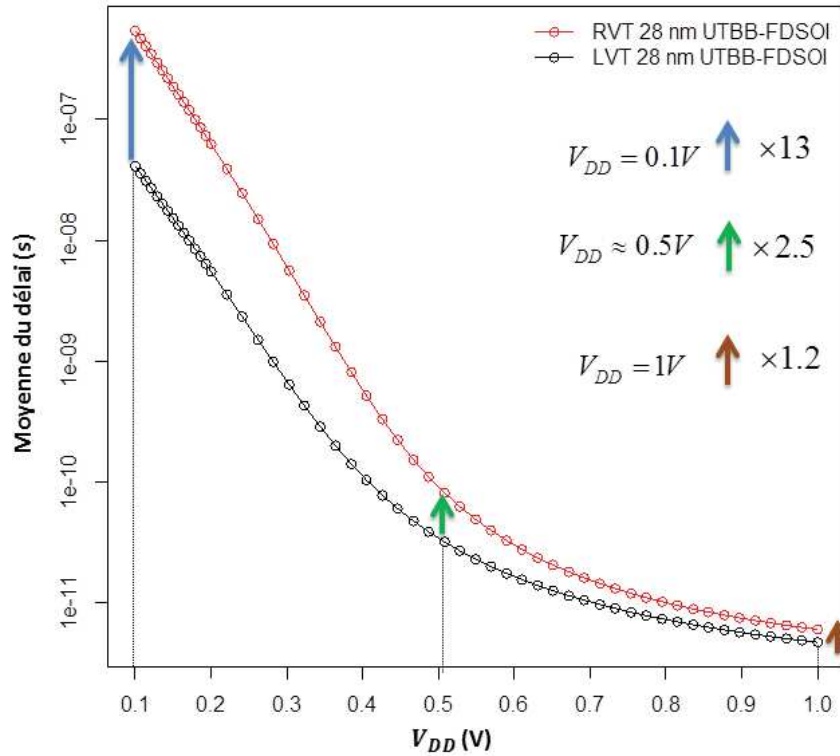


Figure 2.6 : Comparaison de la moyenne du Délai des transistors RVT et LVT

La Figure 2.6 reflète les caractéristiques des transistors RVT et LVT illustrées dans la partie 2.3.2. On voit sur cette figure, que la moyenne du délai des transistors LVT est plus petite que celle des transistors RVT. En particulier,

- pour $V_{DD}=0.1V$ les transistors LVT sont approximativement treize fois (13) plus rapide que les transistors RVT ($V_{DD}=0.1V$, $moyenne\ del_{RVT}/moyenne\ del_{LVT} \approx 13$),
- pour $V_{DD} \approx 0.5V$, $moyenne\ del_{RVT}/moyenne\ del_{LVT} \approx 2.5$,
- pour $V_{DD} = 1V$, $moyenne\ del_{RVT}/moyenne\ del_{LVT} \approx 1.2$ (Figure 2.6).

2.3.3.2.2 Puissance statique : RVT 28 nm UTBB-FDSOI vs LVT 28 nm UTBB-FDSOI

Pour comparer la puissance statique des transistors RVT et LVT, deux inverseurs (RVT et LVT) ont été simulés (MC=450) sans appliquer de technique de polarisation ($V_{RBB} = 0$, $V_{FBB} = 0$), et cela en variant la tension d'alimentation de 0.1V à 1V. A partir de ces simulations, la moyenne de la puissance statique de l'inverseur RVT a été calculée à partir de l'équation 2.1 et celle de l'inverseur LVT à partir de l'équation 2.2 (Figure 2.7).

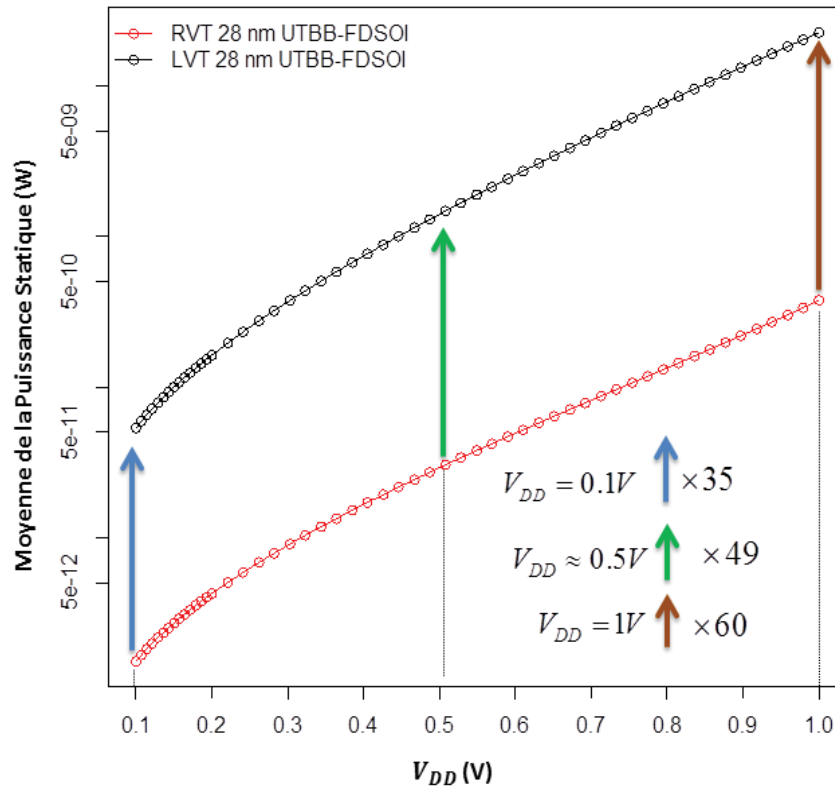


Figure 2.7 : Comparaison de la moyenne de la Puissance Statique des transistors RVT et LVT

Il est clair d'après la Figure 2.7 que la moyenne de la puissance statique des transistors RVT 28 nm UTBB-FDSOI est moins élevée que celle des transistors LVT 28 nm UTBB-FDSOI. En particulier,

- pour $V_{DD} = 0.1V$, la moyenne de la puissance statique de l'inverseur LVT est approximativement trente-cinq fois plus (35) grande que celle de l'inverseur RVT ($V_{DD}=0.1V$, $\frac{\text{moyenne puis stat}_{LVT}}{\text{moyenne puis stat}_{RVT}} \approx 35$),
- pour $V_{DD} \approx 0.5V$, on a $\frac{\text{moyenne puis stat}_{LVT}}{\text{moyenne puis stat}_{RVT}} \approx 49$,
- pour $V_{DD} = 1V$, on a $\frac{\text{moyenne puis stat}_{LVT}}{\text{moyenne puis stat}_{RVT}} \approx 60$ (Figure 2.7).

2.3.3.3 Gain apporté par les techniques de polarisation

Pour mettre en lumière les gains apportés par les techniques de polarisation, nous montrons tout d'abord la réduction de la puissance statique des transistors RVT grâce à la polarisation en mode inverse. Ensuite, pour les transistors LVT, nous illustrons le gain du délai apporté grâce à la polarisation en mode direct.

2.3.3.3.1 Gain apporté par la polarisation en mode inverse

En variant la tension d'alimentation de 0.1V à 1V, un inverseur RVT 28nm UTBB FDSOI (C12T28SOI_LR_IVX8_P0) a été simulé (MC=450) sans appliquer de technique de polarisation. A partir de ces simulations, la moyenne de la puissance statique de cet inverseur a été calculée. Ensuite, pour mettre en évidence le gain apporté par la polarisation en mode inverse, l'inverseur a été simulé (MC=450) en appliquant une polarisation en mode inverse égale à -1.8V et la moyenne de sa puissance statique a été calculée par l'équation 2.1 (Figure 2.8).

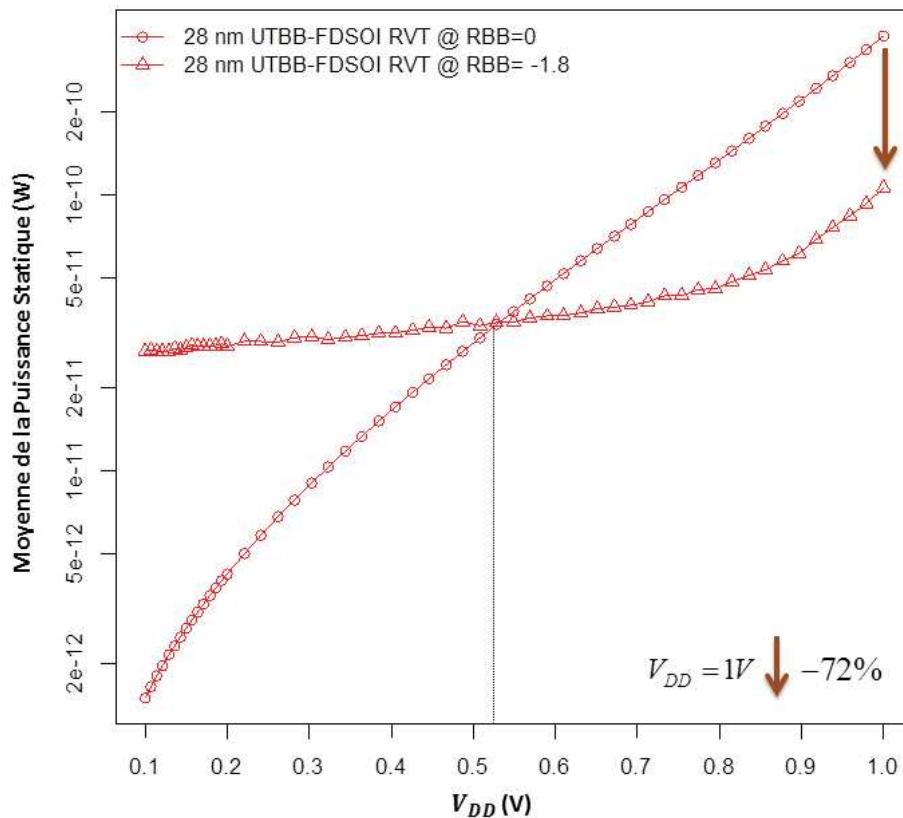


Figure 2.8 : Illustration du gain apporté par la polarisation en mode inverse

Comme on peut le voir sur la Figure 2.8, le gain apporté par la technique de polarisation en mode inverse commence à partir d'une tension d'alimentation approximativement égale à 0.52V. Pour une tension d'alimentation égale à 1V, la polarisation en mode inverse mène à une réduction de 72% de la moyenne de la puissance statique ($\frac{\text{moyenne puissance stat (RBB=0)} - \text{moyenne puissance stat (RBB=-1.8)}}{\text{moyenne puissance stat (RBB=0)}} \approx 0.72$).

2.3.3.3.2 Gain apporté par la polarisation en mode direct

En variant la tension d'alimentation, un inverseur LVT (C12T28SOI_LL_IVX8_P0) a été simulé (MC=450) sans appliquer de technique de polarisation ($V_{FBB} = 0$). A partir de ces simulations, la moyenne du délai de cet inverseur a été calculée. Ensuite, pour mettre en évidence le

gain du délai grâce à la polarisation en mode direct, l'inverseur a été simulé (MC=450) en appliquant une polarisation en mode direct égale à 1.8V, et la moyenne de son délai a été calculée (Figure 2.9).

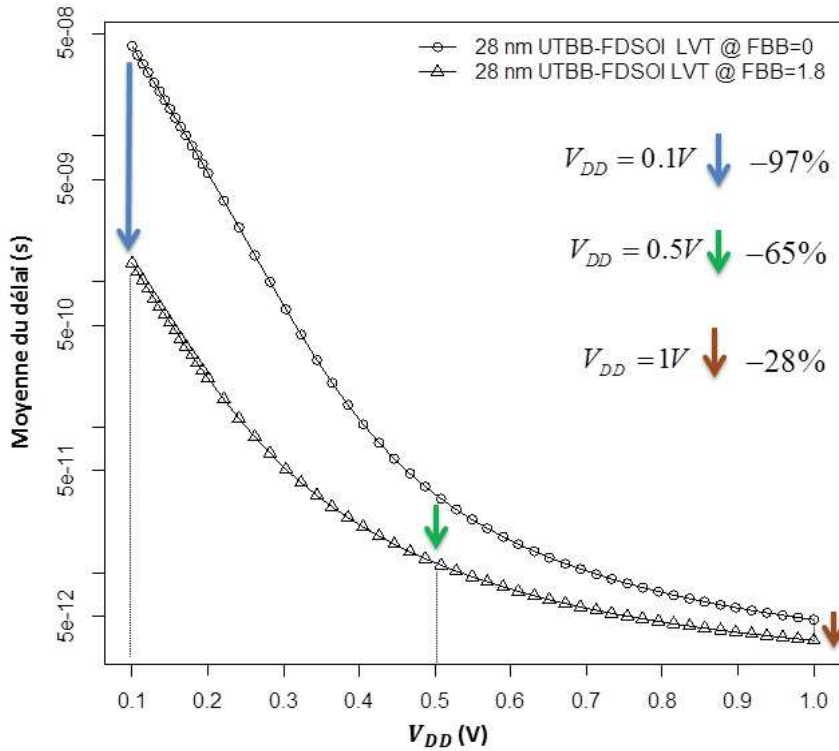


Figure 2.9 : Illustration du gain apporté par la polarisation en mode direct

Comme on peut voir sur la Figure 2.9, une polarisation en mode direct appliquée aux transistors LVT 28 nm UTBB-FDSOI réduit la moyenne de leurs délais. En particulier,

- pour $V_{DD} = 0.1V$, cette réduction est de 97% ($V_{DD}=0.1V$, $\frac{\text{moyenne del (FBB=0)} - \text{moyenne del}}{\text{moyenne del (FBB=0)}} \approx 0.97$),
- pour $V_{DD} \approx 0.5V$, cette réduction est de 65% ($V_{DD}=0.5V$, $\frac{\text{moyenne del (FBB=0)} - \text{moyenne del}}{\text{moyenne del (FBB=0)}} \approx 0.65$),
- pour $V_{DD} = 1V$, cette réduction est de 28% ($V_{DD}=1V$, $\frac{\text{moyenne del (FBB=0)} - \text{moyenne del}}{\text{moyenne del (FBB=0)}} \approx 0.28$).

Les techniques de polarisation permettent d'améliorer les performances des transistors UTBB-FDSOI. Ces techniques permettent de moduler la tension de polarisation des caissons des transistors et donc de réduire selon le type de polarisation (mode inverse ou mode direct) le délai et la puissance statique. Grâce aux polarisations en mode inverse, les transistors RVT UTBB-FDSOI permettent d'apporter un gain important en puissance statique par rapport aux transistors LVT UTBB-FDSOI bien qu'ils dégradent légèrement le délai. Ce gain en puissance statique permet de réduire l'énergie

statique (une réduction de la puissance statique mène à une réduction de l'énergie statique puisque cette dernière est égale au produit de la puissance statique par le délai) ce qui mène à une réduction de l'énergie totale qui est la somme de l'énergie statique et de l'énergie dynamique.

Ceci justifie le choix des transistors RVT pour l'étude de l'énergie dans la suite de ce mémoire.

Dans cette partie, le délai et la puissance statique d'un inverseur RVT 28nm UTBB FDSOI et d'un LVT 28nm UTBB FDSOI sont étudiés en variant la tension d'alimentation de 0.1V à 1V. Il est important de noter, que dans le reste de ce mémoire l'étude du délai et de la puissance statique sera effectuée en variant la tension d'alimentation à partir d'une valeur minimale égale à 0.6V et cela pour éviter les problèmes de fonctionnement des bascules.

Nous allons maintenant, reprendre la modélisation du signal d'entrée pour la technologie 28 nm afin d'ajuster au mieux les variations des paramètres des transistors de cette technologie.

2.4 Modélisation du signal d'entrée adaptée à la technologie 28 nm FDSOI

2.4.1 Introduction

La modélisation du signal d'entrée est une technique qui consiste à augmenter la fiabilité de l'analyse des variations des paramètres des transistors. Dans ce travail, pour modéliser le signal d'entrée, on s'est basé sur les travaux précédents appliqués à la technologie CMOS 65 nm et réalisés au sein du LIRMM. En s'appuyant sur ces travaux, une nouvelle approche de modélisation adaptée à la technologie 28 nm CMOS-FDSOI a été mise en place. L'avantage de cette approche est de mieux ajuster les variations des paramètres des transistors 28 nm CMOS-FDSOI, ce qui implique une analyse plus précise et plus fiable de la variation du délai.

Dans cette partie, on définit d'abord le temps de transition du signal d'entrée et les points critiques du signal qui seront utilisés pour la modélisation. Ensuite, on illustre la méthodologie appliquée pour créer le jeu de données. Puis, nous détaillons la modélisation du signal d'entrée dans les travaux précédents (technologie CMOS 65 nm) et on illustre la nouvelle méthode de modélisation qui a été mise en œuvre (technologie 28 nm CMOS-FDSOI). Enfin, on discute les gains apportés à la technologie 28nm CMOS-FDSOI par cette nouvelle modélisation du signal d'entrée.

2.4.2 Définition du temps de transition du signal d'entrée

La méthode classique de modélisation du signal d'entrée suppose que ce dernier a une forme linéaire. Les simulations sont effectuées sous cette hypothèse, alors que la forme réelle du signal n'est

pas parfaitement linéaire. La courbe en pointillée noire de la Figure 2.10 illustre la forme réelle du signal d'entrée. La modélisation linéaire classique du signal est représentée en bleu et évite les effets de bruit autour de 0V.

Le temps de transition du signal d'entrée, noté τ_{in} , est le temps nécessaire pour que le signal change d'état, de 0 à la tension d'alimentation notée V_{DD} (signal montant) ou le contraire (signal descendant). Le temps de transition du signal est défini par l'équation 2.3 (Figure 2.10).

$$\tau_{in} = \left(\frac{5}{3}\right) \times (t_8 - t_2) \tag{2.3}$$

où

t_8 est l'instant où le signal réel est égal à 80% de V_{DD} .

t_2 est l'instant où le signal réel est égal à 20% de V_{DD} .

Il faut noter que dans la présente étude, le signal d'entrée est modélisé pour une tension d'alimentation V_{DD} égale à 1V.

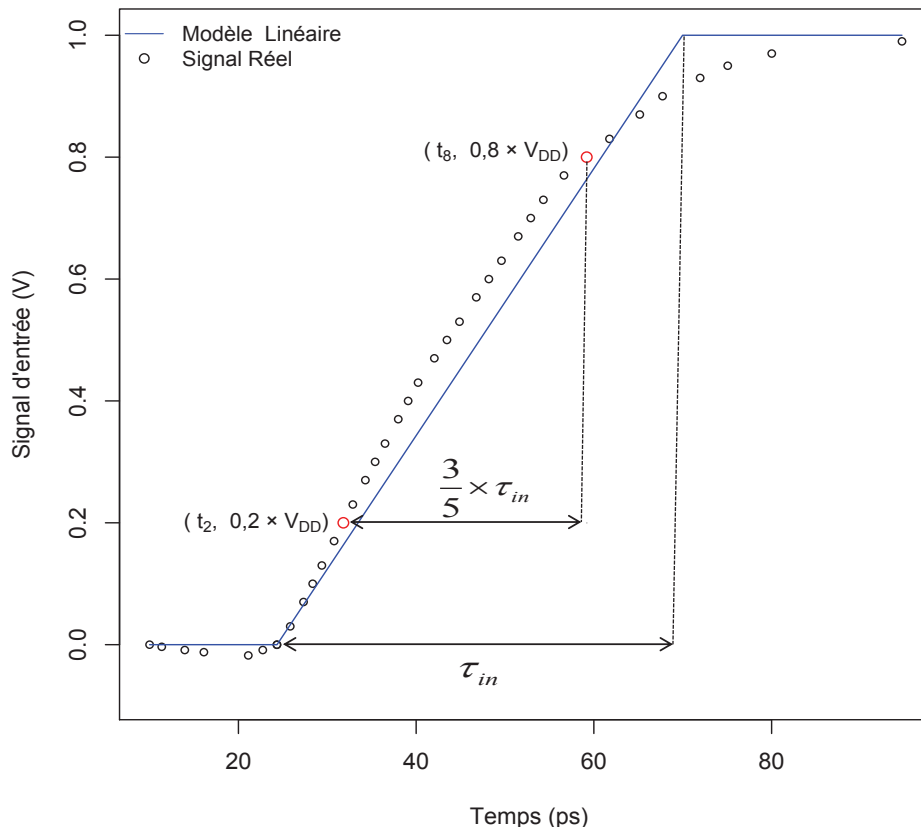


Figure 2.10 : Forme réelle du signal d'entrée et son approximation linéaire

Il faut noter aussi que la méthode classique est simple et efficace dans bien des cas. Cependant, avec l'augmentation de la variation des paramètres, cette méthode ne peut plus fournir de résultats acceptables pour l'ajustement de ces variations. Pour pallier aux limitations de la méthode classique, le signal d'entrée a été modélisé d'une façon mieux adaptée. Dans la partie suivante, nous définirons les points critiques du signal utilisés pour la modélisation.

2.4.3 Définition des points critiques du signal réel

Le signal d'entrée passe de 0 à V_{DD} (signal croissant) (Figure 2.11), ou de V_{DD} à 0 (signal décroissant). Pour simplifier, on va se limiter à la modélisation du signal croissant, car l'un se déduit de l'autre par effet miroir (*signal décroissant* = $V_{DD} - \text{signal croissant}$). Le point de départ d'un signal croissant est le point $(t_0, 0)$. En partant de ce point, le signal a une forme légèrement décroissante pour atteindre le point (t_{min}, V_{min}) où V_{min} ($V_{min} < 0$) est la valeur minimale atteinte par le signal et t_{min} est l'instant où le signal atteint cette valeur. On définit les termes ΔV et Δt par les équations 2.4. et 2.5 respectivement.

$$\Delta V = |V_{min}| \quad (2.4)$$

$$\Delta t = t_{min} - t_0 \quad (2.5)$$

A partir de l'instant t_{min} , le signal commence à être croissant et on suppose qu'à l'instant T_0 , le signal d'entrée reprend la valeur 0 (Figure 2.11).

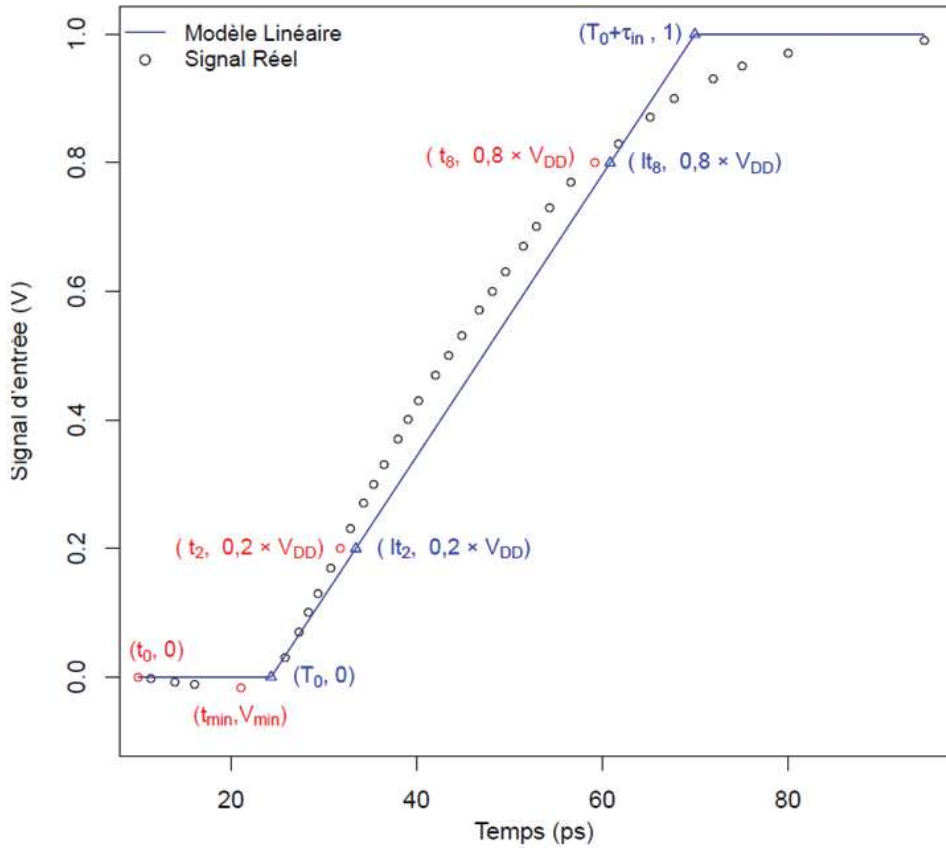


Figure 2.11 : Illustration des points critiques (en rouge) du signal réel et ceux de son approximation linéaire (en bleu)

L'approximation linéaire suppose que :

- à un instant $t \in [t_0, T_0]$, le signal est égal à 0,
- à un instant $t \geq (T_0 + \tau_{in})$ le signal est égal à V_{DD} ,
- à un instant $t \in [T_0, T_0 + \tau_{in}]$ le signal a la forme d'une droite définie par l'équation 2.6 dont les paramètres sont définis par le système d'équations 2.7 (Figure 2.11).

$$\text{signal lin} = a_{lin} \times t + b_{lin} \tag{2.6}$$

$$\left\{ \begin{array}{l} a_{lin} = \frac{V_{DD}}{\tau_{in}} \\ b_{lin} = -\frac{V_{DD}}{\tau_{in}} \times T_0 \end{array} \right. \tag{2.7}$$

En particulier, la droite définie par l'équation 2.6 permet de définir les points d'abscisses :

- lt_2 = l'instant où le signal linéaire vaut 20% de V_{DD} ,

- lt_8 = l'instant où le signal linéaire vaut 80% de V_{DD} ,

par le système d'équations 2.8, lesquels seront utilisés pour la nouvelle modélisation.

$$\left\{ \begin{array}{l} lt_2 = \frac{0.2 \times V_{DD} - b_{lin}}{a_{lin}} \\ lt_8 = \frac{0.8 \times V_{DD} - b_{lin}}{a_{lin}} \end{array} \right. \quad (2.8)$$

2.4.4 Construction du jeu de données pour la modélisation du signal d'entrée

Un jeu de données de cinq cent signaux réels montants a été construit afin de pouvoir modéliser le signal. Pour le construire, les trois étapes suivantes ont été appliquées.

- Appliquer cinq cent signaux d'entrées linéaires (Figure 2.12), en faisant varier les paramètres suivants :
 - la charge de sortie de la porte,
 - le type de la porte,
 - le temps de transition du signal d'entrée.

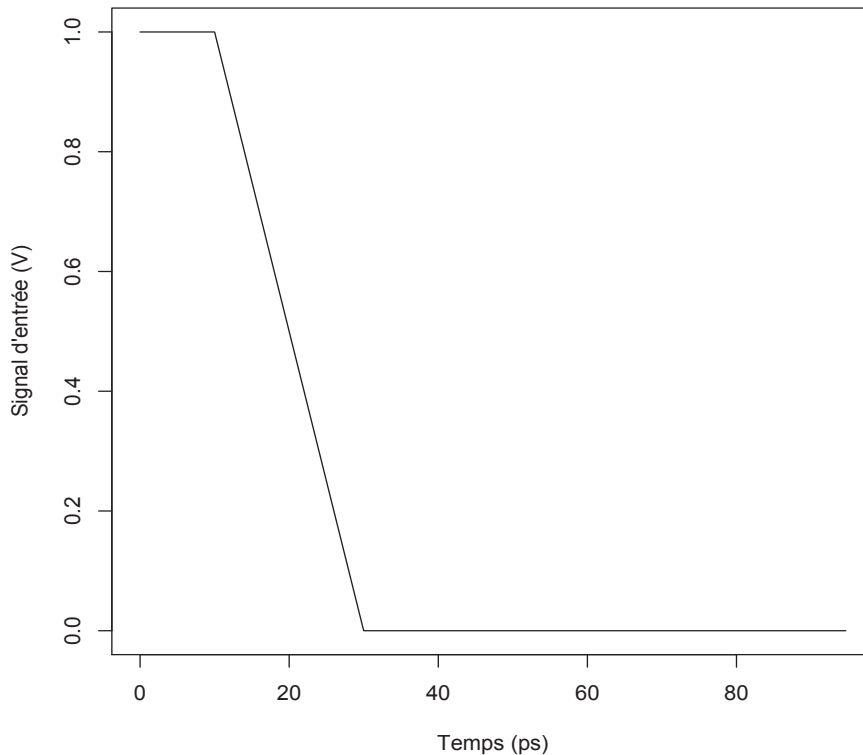


Figure 2.12: Illustration d'un signal d'entrée linéaire

- b) Mesurer, pour chaque signal linéaire appliqué (*signal d'entrée linéaire_i*, $i = 1, 2, \dots, 500$), 41 points $(t_j, z_j \times V_{DD})$, $j = 1, 2, \dots, 41$, du *signal de sortie_i* qui correspond au *signal d'entrée linéaire_i*. Ainsi, pour chacun des cinq cent signaux de sortie, quarante un points $(t_j, z_j \times V_{DD})_i$, $j = 1, 2, \dots, 41$, et $i = 1, 2, \dots, 500$, sont mesurés, parmi lesquels $(t_0, 0)_i$, $(T_0, 0)_i$, $(t_{min}, V_{min})_i$, $(t_2, 0.2 \times V_{DD})_i$ et $(t_8, 0.8 \times V_{DD})_i$ (Figure 2.13).
- c) Calculer, pour chaque série de point $(t_j, z_j \times V_{DD})_i$, les paramètres τ_{ini} , ΔV_i et Δt_i à partir des équations 2.3, 2.4 et 2.5 respectivement.

Ainsi, chacune des cinq cent séries de points $(t_j, z_j \times V_{DD})_i$, $j = 1, 2, \dots, 41$, $i = 1, 2, \dots, 500$, obtenue représente un échantillon d'un signal réel.

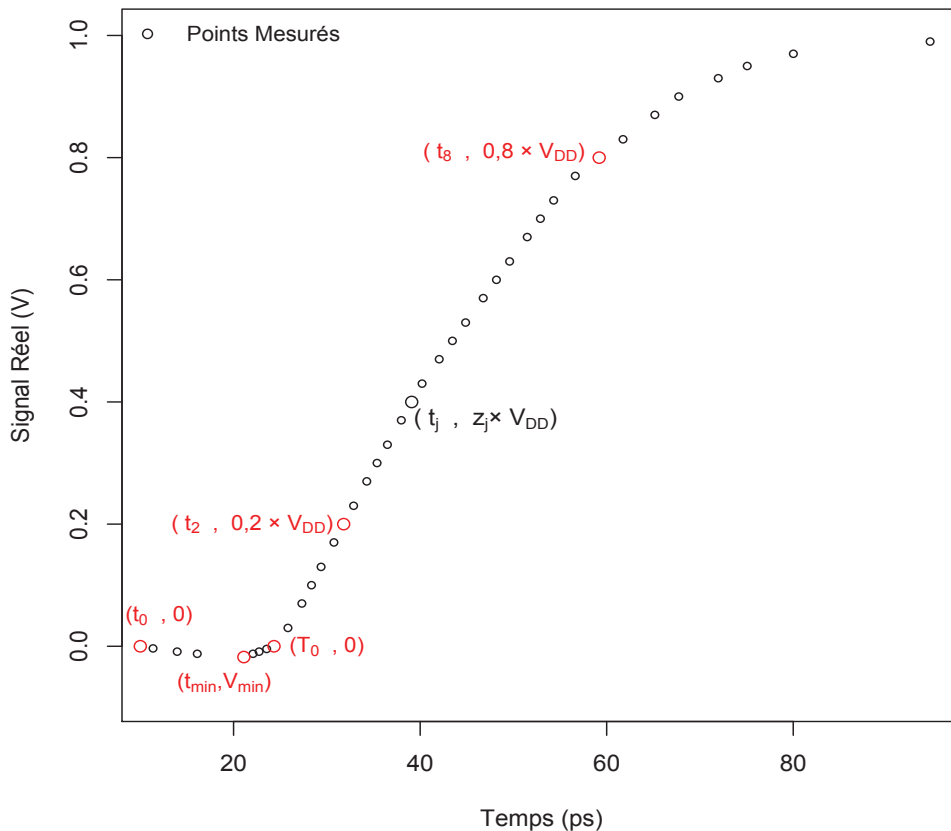


Figure 2.13 : Illustration des points mesurés d'un signal réel

2.4.5 Travaux existants pour la modélisation du signal

Reconnaissant les inconvénients du modèle linéaire classique, une modélisation non linéaire du signal d'entrée avait déjà été réalisée pour la technologie 65nm [2]. Nous avons amélioré ces travaux existants en les adaptant à la technologie 28 nm FDSOI. Tout d'abord, nous allons rappeler les travaux déjà réalisés afin de présenter par la suite les améliorations apportées.

Dans [2] le signal d'entrée a été analysé et ensuite modélisé par un modèle basé sur la fonction de répartition de la loi de probabilité Log-Logistique. Dans la partie 2.4.5.1, nous présentons une interprétation mathématique qui analyse le signal d'entrée, dans la partie 2.4.5.2 on explique le choix de la fonction de répartition de la loi Log-Logistique pour la modélisation et dans la partie 2.4.5.3 une explication de la démarche suivie pour la modélisation dans [2].

2.4.5.1 Interprétation mathématique du signal

Dans le cadre des Circuits Intégrés (CI), le signal peut être décrit comme une fonction $H(t)$ qui exprime le signal en fonction du temps t . La Figure 2.14 représente la dérivée de la fonction $H(t)$ de quelques signaux typiques pour différents temps de transitions. Comme on peut le voir sur cette figure, la dérivée d'un signal d'entrée réel n'est pas égale à une constante. Si on suppose que le signal a une forme linéaire, sa dérivée sera constante ce qui n'est pas le cas en réalité. Donc cette linéarité ne tient pas. D'où l'intérêt de rechercher une modèle représentant mieux la réalité.

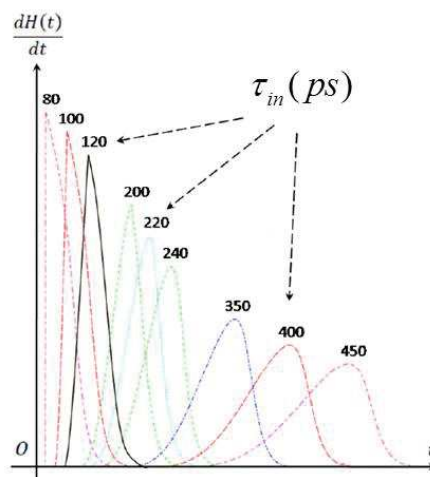


Figure 2.14 : Illustration de la dérivée du signal d'entrée [2]

2.4.5.2 Modélisation du signal d'entrée

Le modèle adapté pour modéliser le signal dans [2] est basé sur la fonction de répartition de la loi de probabilité Log-Logistique qui présente l'avantage de posséder une expression explicite. La Figure 2.15 (b) représente la fonction de densité de cette loi pour plusieurs valeurs des paramètres qui la caractérisent. D'après la Figure 2.15, la fonction de densité de la loi Log-Logistique a une forme similaire à celle de la dérivée des signaux (Figure 2.15 (a)) et particulièrement les signaux qui ont un temps de transition plus petit que 120 ps (environ 80% des signaux [2]).

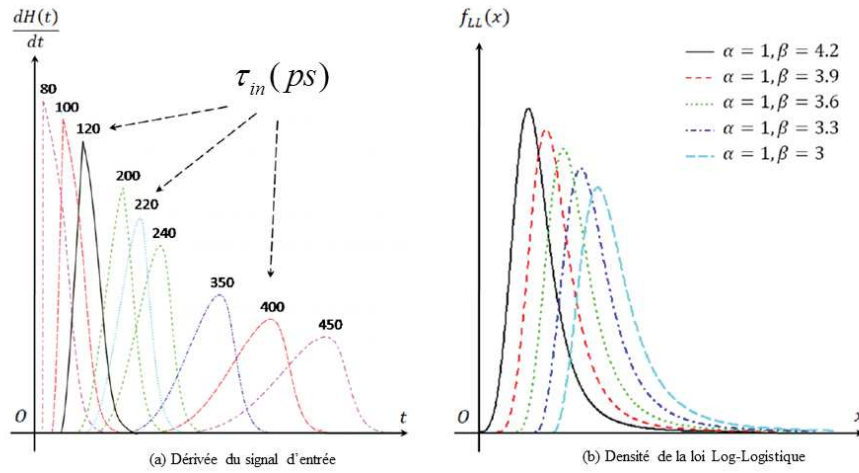


Figure 2.15 : Comparaison de la dérivée du signal d'entrée avec la densité de la loi Log-Logistique [2]

Dans la suite de ce travail, le signal d'entrée a été modélisé avec la fonction de répartition de la loi de probabilité Log-Logistique. L'équation 2.9 représente cette fonction de répartition et l'équation 2.10 représente le modèle utilisé dans la bibliographie pour modéliser le signal d'entrée (technologie 65 nm) et que nous avons appliqué à la technologie 28 nm FDSOI.

$$F(t, \alpha, \beta) = \left[1 + \left(\frac{\alpha}{t} \right)^\beta \right]^{-1} \quad (t > 0, \alpha > 0, \beta > 0) \quad (2.9)$$

$$\hat{H}(t) = \begin{cases} -\frac{\Delta V}{\Delta t} \times (t - t_0) & (t \leq t_{min}) \\ -\Delta V + (V_{DD} + \Delta V) \times \left\{ 1 + \left[\frac{\alpha}{(t - t_{min})/\tau_{in}} \right]^\beta \right\}^{-1} & (t > t_{min}) \end{cases} \quad (2.10)$$

Connaissant les paramètres t_0 et τ_{in} , pour modéliser le signal d'entrée avec la loi de probabilité Log-Logistique de l'équation 2.10, les quatre étapes suivantes ont été appliquées :

- 1) Estimation des paramètres α et β de l'équation 2.10 par des régressions non linéaires (méthode des moindres carrés) avec le logiciel statistique R.

La Figure 2.16 représente le signal estimé par l'équation 2.10 d'un échantillon, où les deux paramètres α et β sont estimés par des régressions non linéaires en donnant aux paramètres ΔV , Δt et t_{min} leurs valeurs réelles.

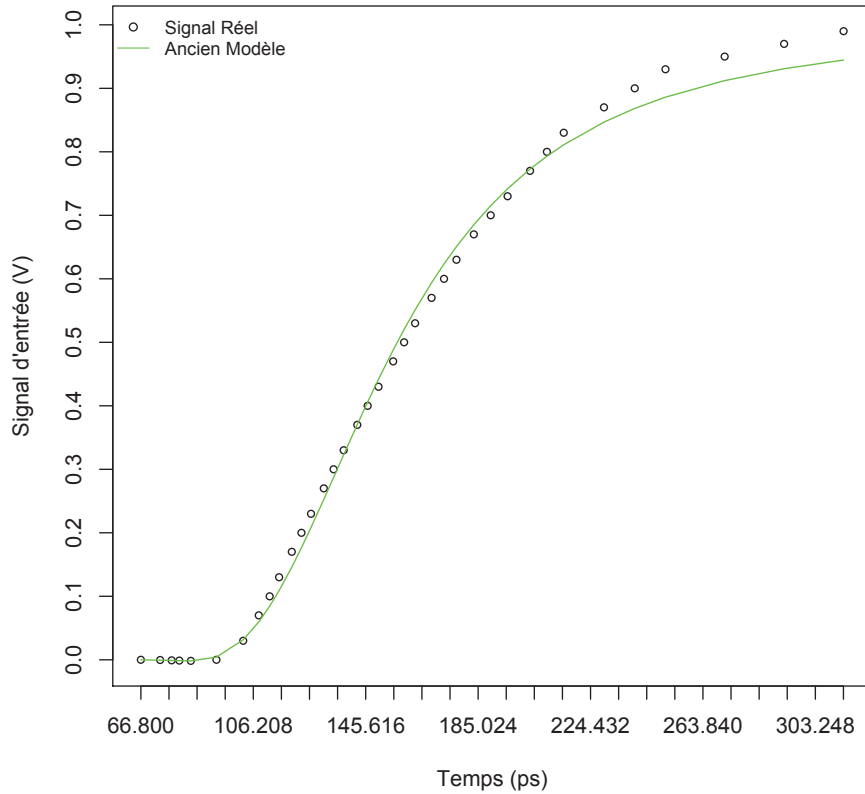


Figure 2.16 : Estimation des paramètres α et β

2) Estimation des paramètres β , ΔV et Δt .

a) Analyse du comportement des paramètres β , ΔV et Δt en fonction du paramètre τ_{in} et construction des fonctions du système d'équations 2.11.

$$\begin{cases} \widehat{\Delta V} = g_{\Delta V}(\tau_{in}) = \frac{C_{\Delta V}}{A_{\Delta V} + B_{\Delta V} \times \tau_{in}} \\ \widehat{\Delta t} = g_{\Delta t}(\tau_{in}) = A_{\Delta t} + B_{\Delta t} \times \tau_{in} \\ \widehat{\beta} = g_{\beta}(\tau_{in}) = \frac{C_{\beta}}{A_{\beta} + B_{\beta} \times \tau_{in}} + D_{\beta} \end{cases} \quad (2.11)$$

b) Estimation des coefficients $A_{\Delta V}$, $B_{\Delta V}$, $C_{\Delta V}$, $A_{\Delta t}$, $B_{\Delta t}$, A_{β} , B_{β} , C_{β} et D_{β} qui figurent dans le système d'équations 2.11 par des régressions (linéaires et non linéaires) (Figures 2.17, 2.18 et 2.19).

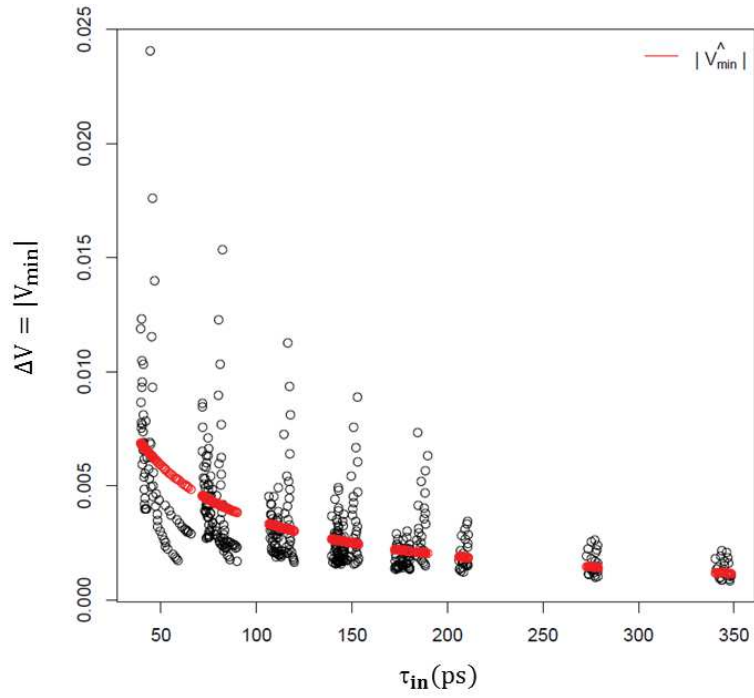


Figure 2.17 : Estimation du paramètre ΔV ($\hat{\Delta V} = \frac{1}{54.73 + 2.29 \times 10^{12} \times \tau_{in}}$)

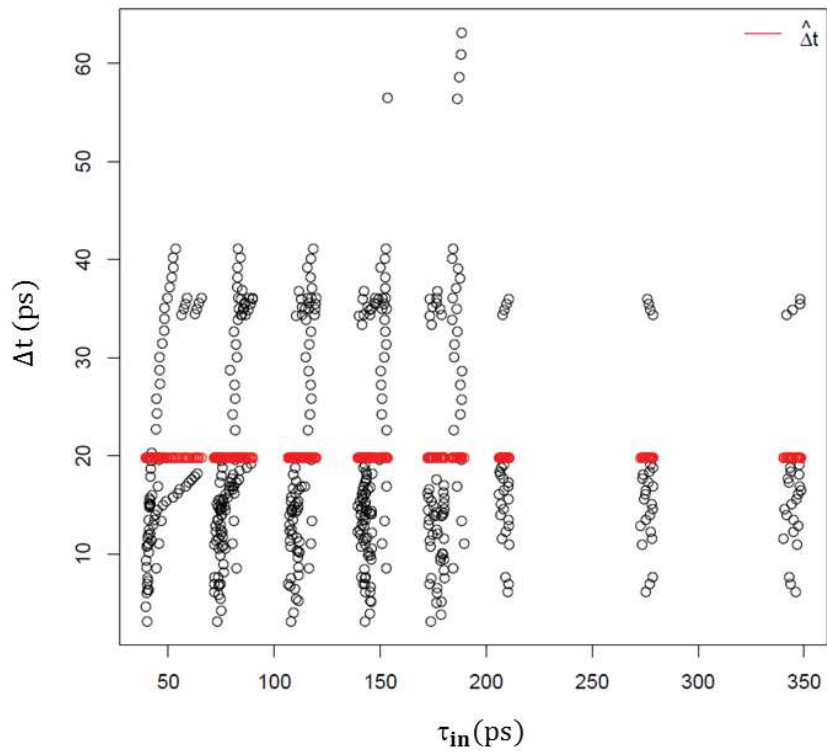


Figure 2.18 : Estimation du paramètre Δt ($\hat{\Delta t} = 1.978 \times 10^{-11} + 3 \times 10^{-4} \times \tau_{in}$)

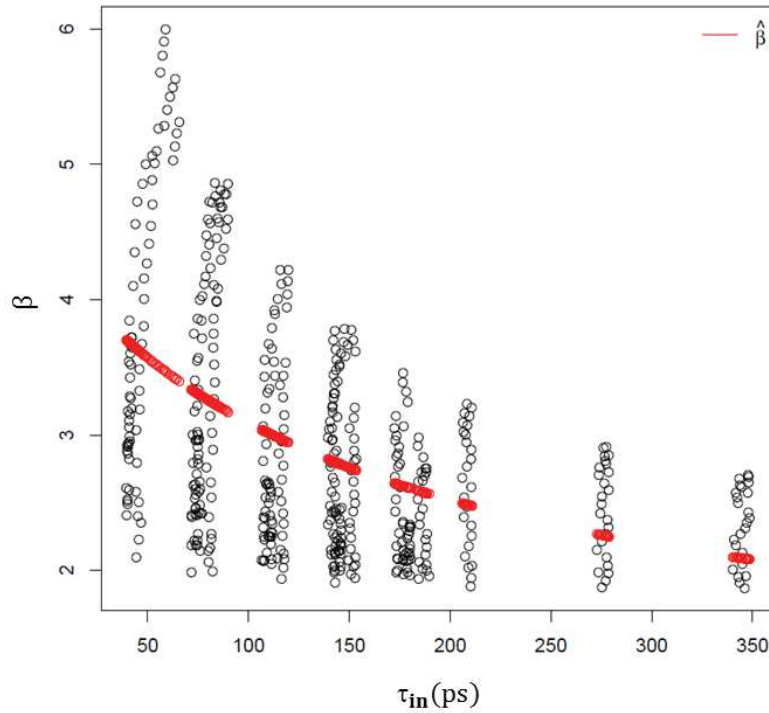


Figure 2.19 : Estimation du paramètre β ($\hat{\beta} = \frac{1}{0.3+1.79 \times 10^9 \times \tau_{in}} + 1$)

3) Estimation des paramètres α et t_{min} par le système d'équations 2.12.

$$\left\{ \begin{array}{l} \hat{\alpha} = 0.6 \times \left[\left(\frac{0.2}{0.8 + \frac{\Delta V}{V_{DD}}} \right)^{\frac{-1}{\hat{\beta}}} - \left(\frac{0.8}{0.2 + \frac{\Delta V}{V_{DD}}} \right)^{\frac{-1}{\hat{\beta}}} \right]^{-1} \\ \widehat{t_{min}} = \widehat{\Delta T} + t_0 \end{array} \right. \quad (2.12)$$

4) Enfin le signal est estimé en remplaçant dans l'équation 2.10 les paramètres $\alpha, \beta, \Delta V, \Delta T$ et t_{min} par leurs estimateurs (Figure 2.20).

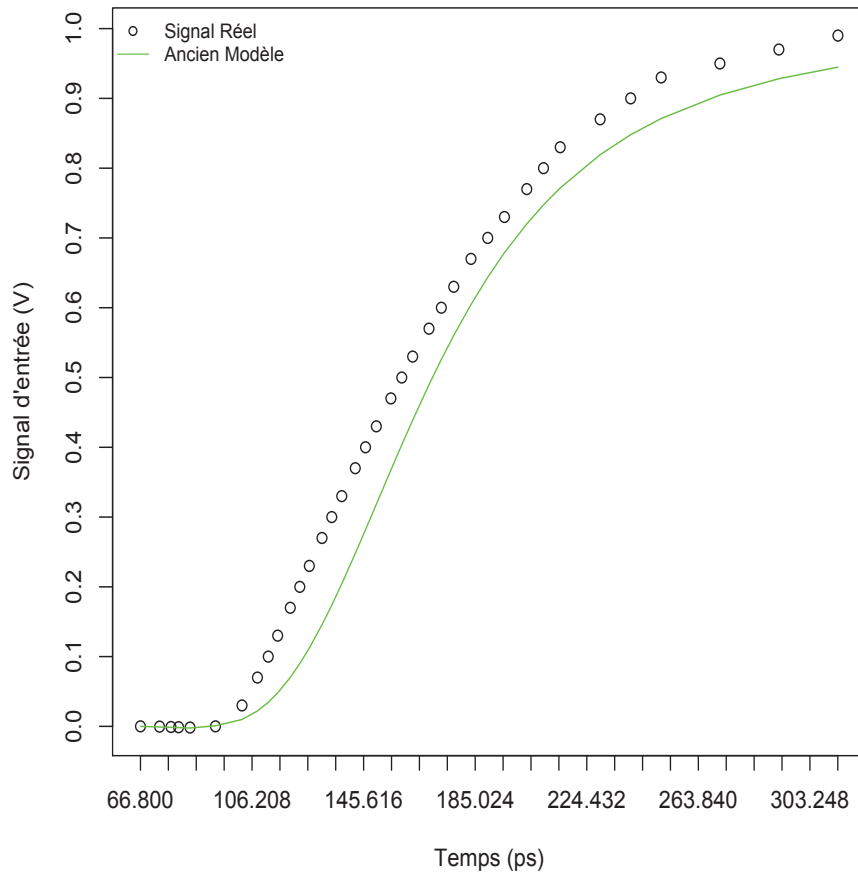


Figure 2.20 : Estimation du signal d'entrée

Le désavantage principal de l'estimation du signal d'entrée en suivant la démarche appliquée dans [2] vient de l'estimation des paramètres Δt et β en fonction du paramètre τ_{in} . On peut voir dans les deux figures 2.18 et 2.19, la très grande dispersion du nuage de point qui représente ces deux paramètres en fonction de τ_{in} . Ceci introduit une grande erreur et par la suite cette erreur se reflète sur la modélisation du signal comme on peut le voir dans la Figure 2.20. Dans la prochaine partie, on tente de corriger ce problème. Le signal est modélisé comme avec l'équation 2.10, donc par la fonction de répartition de la loi de probabilité Log-Logistique, mais en appliquant une autre technique qui permet d'estimer les paramètres β et t_{min} en réduisant l'erreur.

2.4.6 Modélisation du signal d'entrée pour la technologie 28nm FDSOI

Pour modéliser le signal, on s'est basé sur l'équation 2.10 (travaux précédents en technologie 65 nm) en la modifiant et en estimant les paramètres d'une façon différente pour les adapter à la technologie 28 nm. Le signal est modélisé par le modèle défini dans l'équation 2.13.

$$\hat{V}(t) = \begin{cases} 0 & t \leq T_0 \\ (V_{DD} + 20 \times \Delta V) \times \left\{ 1 + \left[\frac{\alpha}{\frac{t - t_{min}}{\tau_{in}}} \right]^\beta \right\}^{-1} & t > T_0 \end{cases} \quad (2.13)$$

Connaissant τ_{in} et T_0 , l'idée principale de cette modélisation est d'estimer tout d'abord les paramètres ΔV et t_{min} de l'équation 2.13 en fonction de τ_{in} et T_0 . Ensuite, les paramètres α et β sont calculés analytiquement en fonction de lt_2 et lt_8 . Enfin, le signal sera estimé. Les 3 étapes suivantes donnent une explication détaillée de la démarche suivie.

1) Estimation du paramètre ΔV .

- a) Analyse du comportement du paramètre ΔV en fonction du paramètre τ_{in} et construction de l'équation 2.14.

$$\widehat{\Delta V} = g_{\Delta V}(\tau_{in}) = \frac{1}{A_{\Delta V} + B_{\Delta V} \times \tau_{in}} \quad (2.14)$$

- b) Estimation des valeurs des paramètres $A_{\Delta V}$ et $B_{\Delta V}$ de l'équation 2.14 par des régressions non linéaires effectuées par le Logiciel statistique R. (Figure 2.21).

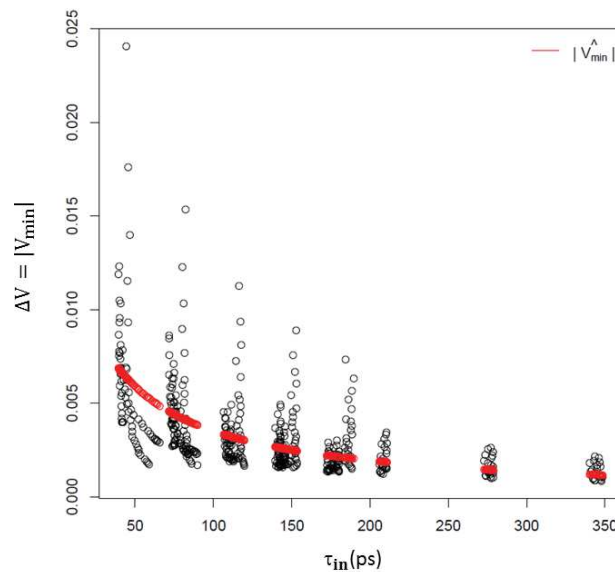


Figure 2.21 : Estimation du paramètre ΔV ($\widehat{\Delta V} = \frac{1}{54.73 + 2.29 \times 10^{12} \times \tau_{in}}$)

2) Estimation du paramètre t_{min} .

- a) Analyse du comportement de t_{min} en fonction du paramètre T_0 afin de construire l'équation 2.15.

$$\widehat{t_{min}} = h_{T_0}(T_0) = A_{T_0} + B_{T_0} \times T_0 \quad (2.15)$$

b) Estimation des paramètres A_{T_0} et B_{T_0} qui figurent dans l'équation 2.15 par des régressions linéaires effectuées par le logiciel statistique R (Figure 2.22).

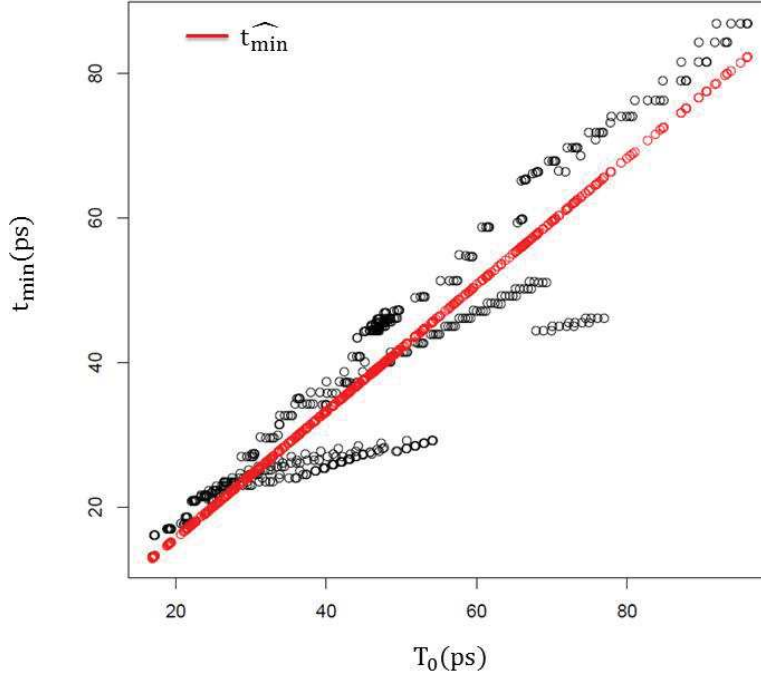


Figure 2.22 : Estimation du paramètre t_{min} ($\widehat{t_{min}} = -1.84 \times 10^{-12} + 0.87 \times T_0$)

3) Calcul des paramètres α et β .

Connaissant T_0 et τ_{in} , les paramètres lt_2 et lt_8 sont obtenus à partir des équations 2.6, 2.7 et 2.8. Ensuite, les paramètres α et β sont calculés analytiquement en résolvant le système d'équations 2.16 obtenu en remplaçant dans l'équation 2.13 $(t, \widehat{V}(t))$ par $(lt_2, 0.2 \times V_{DD})$ et $(lt_8, 0.8 \times V_{DD})$ respectivement.

$$\begin{cases} 0.2 \times V_{DD} = (V_{DD} + 20 \times \widehat{\Delta V}) \times \left\{ 1 + \left[\frac{\alpha}{(lt_2 - \widehat{t_{min}}) / \tau_{in}} \right]^\beta \right\}^{-1} \\ 0.8 \times V_{DD} = (V_{DD} + 20 \times \widehat{\Delta V}) \times \left\{ 1 + \left[\frac{\alpha}{(lt_8 - \widehat{t_{min}}) / \tau_{in}} \right]^\beta \right\}^{-1} \end{cases} \quad (2.16)$$

Les valeurs de α et β qui résolvent le système d'équations 2.16 sont définies respectivement par les deux équations 2.17 et 2.18.

$$\alpha = \frac{e^h}{\tau_{in}} \quad (2.17)$$

$$\beta = \frac{y}{\log\left(\frac{e^h}{lt_8 - \widehat{t_{min}}}\right)} \quad (2.18)$$

Les coefficients y et h qui figurent dans les équations 2.17 et 2.18 sont définis respectivement par les équations 2.19 et 2.20. Le paramètre z qui figure dans l'équation 2.20 est défini par l'équation 2.21.

$$y = \log\left(\frac{V_{DD} + 20 \times \widehat{\Delta V}}{0.8 \times V_{DD}} - 1\right) \quad (2.19)$$

$$h = \frac{y \times \log(lt_2 - t_{\widehat{min}}) - z \times \log(lt_8 - t_{\widehat{min}})}{(y - z)} \quad (2.20)$$

$$z = \log\left(\frac{V_{DD} + 20 \times \widehat{\Delta V}}{0.2 \times V_{DD}} - 1\right) \quad (2.21)$$

Enfin, les paramètres ΔV , t_{min} , α et β obtenus sont remplacés par leurs estimateurs dans l'équation 2.13, et le signal est ainsi à son tour estimé. La Figure 2.23 représente un signal d'entrée réel, son approximation linéaire classique, son estimation par le modèle existant dans la bibliographie et son estimation par le nouveau modèle mis en évidence et adapté à la technologie 28nm FDSOI.

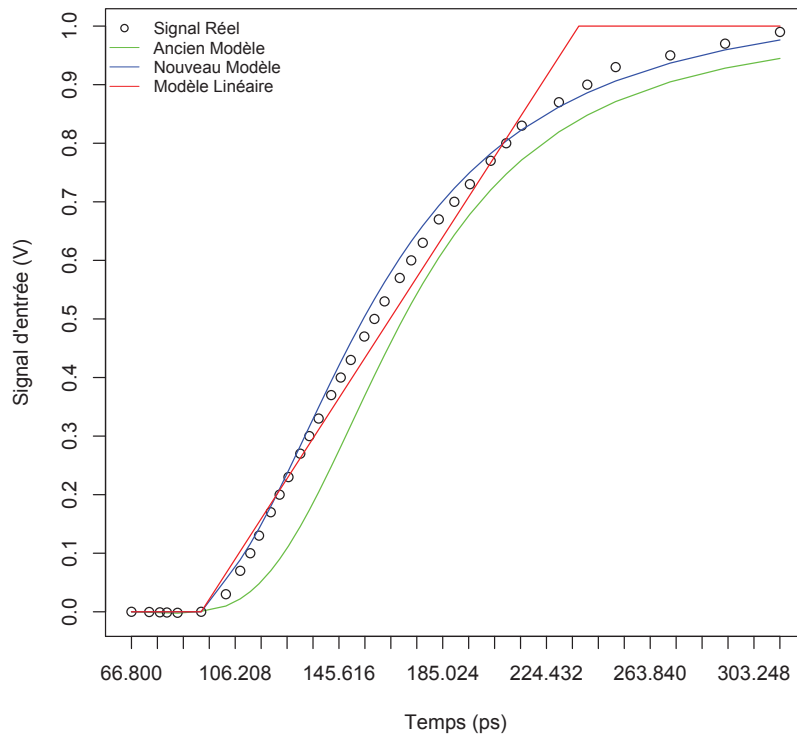


Figure 2.23 : Modélisation du signal d'entrée d'un échantillon du jeu de données

2.4.7 Evaluation du modèle et calcul de l'erreur

Pour évaluer l'exactitude du modèle Log-Logistique et pour comparer le signal estimé par le nouveau modèle avec le modèle linéaire et l'ancien modèle. L'erreur globale qui correspond à chaque modèle a été calculée.

Comme il a été illustré dans la partie 2.4.4, le jeu de données utilisé pour la modélisation est constitué de 500 échantillons de signaux d'entrées réels où chacun de ces échantillons est formé de 41 points (Figure 2.13).

Pour chaque échantillon, la valeur absolue de l'erreur d'estimation du signal réel par le modèle linéaire, l'ancien modèle et nouveau modèle, notée err_{pi} (correspondante à chaque point p_i de l'échantillon) a été calculée à partir de l'équation 2.22.

$$err_{pi} = |signal\ réel_{pi} - signal\ estimé_{pi}| \quad i = 1, 2, \dots, 41 \quad (2.22)$$

La Figure 2.24 illustre err_{pi} l'erreur d'estimation d'un point p_i du signal d'entrée réel par l'ancien modèle.

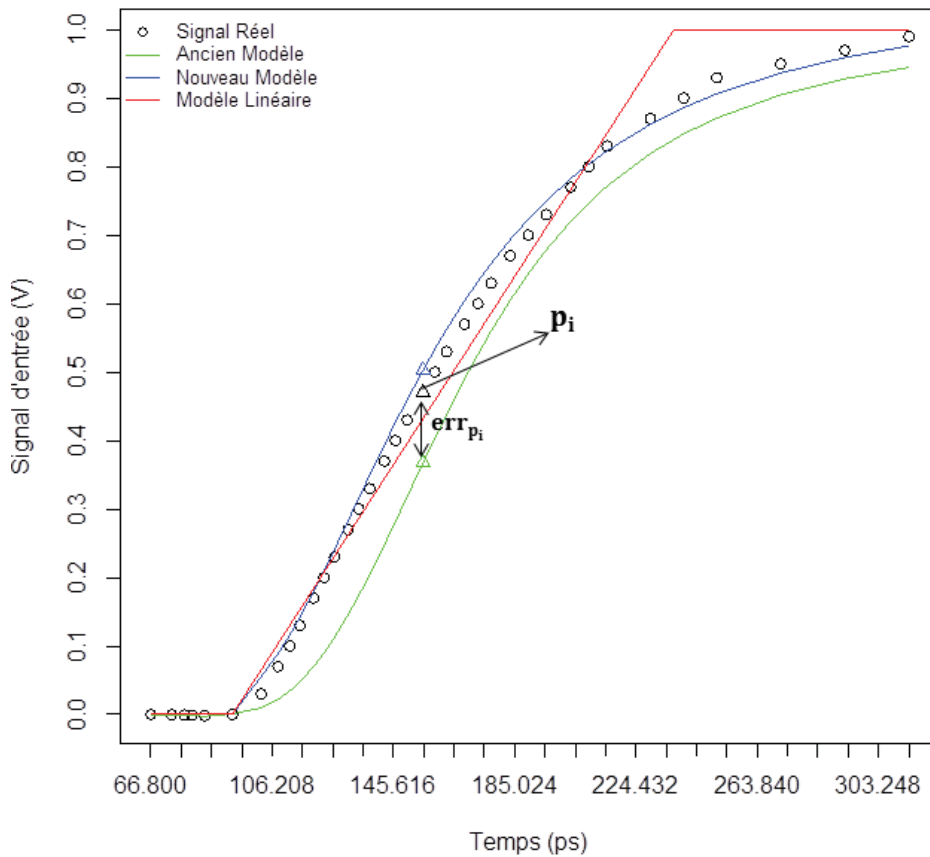


Figure 2.24 : Illustration de l'erreur d'estimation d'un point du signal réel par l'ancien modèle

Après le calcul de err_{pi} , pour tout $i = 1, 2, \dots, 41$, l'erreur globale notée $erreur\ globale_{pi}$ a été calculée à partir de l'équation 2.23.

$$erreur\ globale_{pi} = \sqrt{\frac{\sum_{j=1}^{j=500} (err_{pi})_j^2}{500}} \quad (i = 1, 2, \dots, 41) \quad (2.23)$$

Pour représenter les erreurs globales qui correspondent à tous les points étudiés p_i , $i = 1, 2, \dots, 41$, une série de 41 points notée *Abs Er Glob* comprise entre 0 et 1 a été définie (équation 2.24).

$$Abs\ Er\ Glob = (Abs\ Er\ Glob_1 = 0, \dots, 0 < Abs\ Er\ Glob_i < 1, \dots, Abs\ Er\ Glob_{41} = 1), \quad (2.24)$$

Les points de la courbe de la Figure 2.25, représentent les couples $(Abs\ Er\ Glob_i, erreur\ globale_{p_i})$. Ces couples correspondent au nouveau modèle, au modèle linéaire et à l'ancien modèle.

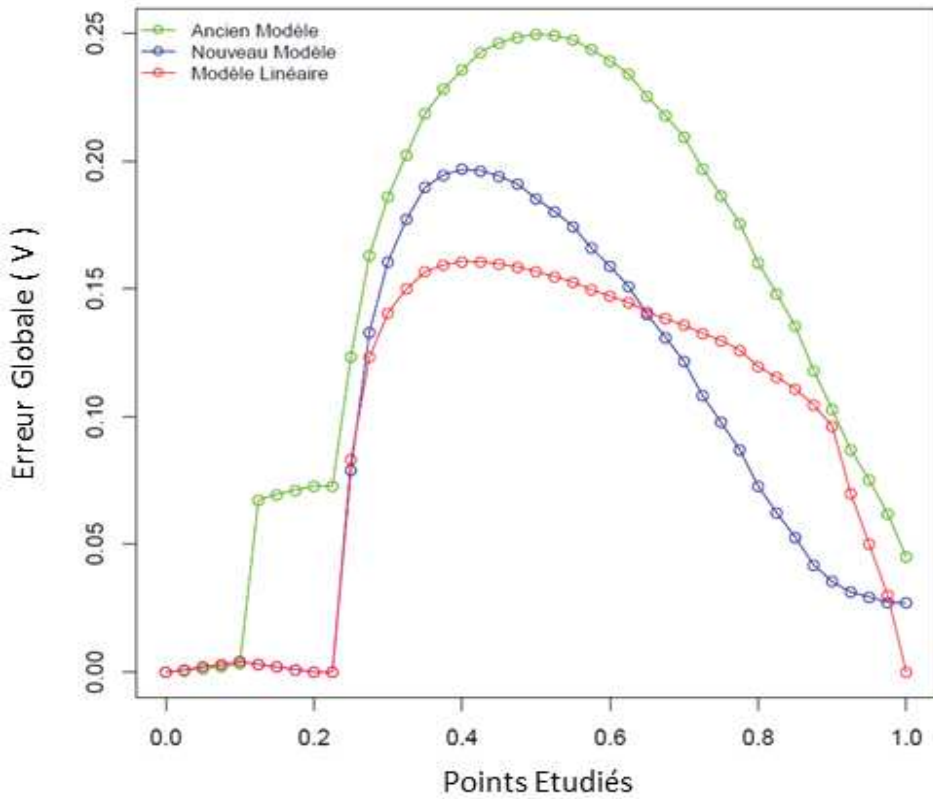


Figure 2.25 : Comparaison des erreurs globales des différentes approches de modélisation

D'après la Figure 2.25, il est clair que l'erreur globale de l'ancien modèle est plus élevée que celle du nouveau modèle et que celle du modèle linéaire. Dans le Tableau 2.1, on montre la somme des erreurs globales qui correspondent aux différents modèles.

	$\sum_{i=1}^{i=41}$ erreur globale $e_{pi}(V)$
Modèle Linéaire	3.88
Nouveau Modèle	3.8
Ancien Modèle	6.06

Tableau 2.1: Comparaison des sommes des erreurs globales des différentes approches de modélisation

D'après le Tableau 2.1, on peut déduire que le signal estimé par le nouveau modèle réduit l'erreur d'estimation du modèle linéaire de $2\% \left(\frac{|3.88-3.8|}{3.88} \times 100 \approx 2 \right)$ et réduit l'erreur d'estimation de l'ancien modèle de $37\% \left(\frac{|6.06-3.8|}{6.06} \times 100 \approx 37 \right)$.

2.4.8 Gain apporté par la nouvelle modélisation du signal d'entrée

La nouvelle approche de modélisation du signal d'entrée apporte un gain à l'ajustement des variations des paramètres de la technologie 28nm FDSOI. Pour évaluer ce gain, pour une tension d'alimentation $V_{DD} = 1V$, une librairie statistique qui caractérisent les variables du temps (délai et temps de transition du signal de sortie) des portes logiques de la technologie 28 nm FDSOI a été construite par des simulations Monte-Carlo (MC=1000). La première librairie a été construite en appliquant un signal d'entrée linéaire, la deuxième en appliquant un signal d'entrée modélisé par l'ancien modèle et la troisième par le nouveau modèle. Ensuite, pour comparer la fiabilité de l'ajustement des variations des paramètres de chaque modèle, l'écart type du délai des 5 premiers chemins critiques du circuit b01 a été estimé par l'outil SSTA et cela à partir des trois librairies statistiques construites. Pour servir de base de comparaison, l'écart type réel des chemins critiques a été mesuré en simulant les chemins par Monte-Carlo (MC=1500) (Tableau 2.2).

Chemin Critique	Profondeur Logique	Ecart type réel	Ecart type estimé	Ecart type estimé	Ecart type estimé	$\frac{ \sigma - \hat{\sigma}_{lin} }{\sigma} \%$	$\frac{ \sigma - \hat{\sigma}_{AnMd} }{\sigma} \%$	$\frac{ \sigma - \hat{\sigma}_{NvMd} }{\sigma} \%$
		σ (ps)	Modèle Linéaire $\hat{\sigma}_{lin}$ (ps)	Ancien Modèle $\hat{\sigma}_{AnMd}$ (ps)	Nouveau Modèle $\hat{\sigma}_{NvMd}$ (ps)			
Chemin 1	5	4.73	4.77	4.67	4.67	0.85	1.27	1.27
Chemin 2	6	4.64	4.76	4.66	4.71	2.59	0.43	1.51
Chemin 3	5	4.24	4.45	4.48	4.4	4.95	5.66	3.77
Chemin 4	6	4.13	4.44	4.46	4.44	7.51	7.99	7.51
Chemin 5	5	4.36	4.45	4.35	4.39	2.06	0.23	0.69
Moyenne		4.42	4.57	4.52	4.52	3.59	3.12	2.95

Tableau 2.2 : Comparaison des erreurs de l'écart type du Délai pour différents modèles du signal d'entrée

D'après le Tableau 2.2, la moyenne de l'erreur relative de l'écart type du délai, issu d'une librairie statistique construite par un modèle linéaire est égale à 3.59%. Pour l'ancien modèle, cette moyenne est égale à 3.12% alors que pour le nouveau modèle elle est égale à 2.95%. On peut donc déduire que le nouveau modèle réduit la moyenne de l'erreur relative de l'écart type du délai obtenu par l'approximation linéaire de 17.82% $\left(\frac{|3.59-2.95|}{3.59} \times 100 = 17.82\right)$, et par le modèle de la bibliographie de 5.44 % $\left(\frac{|3.12-2.95|}{3.12} \times 100 = 5.44\right)$.

2.4.9 Conclusion

La nouvelle approche de modélisation du signal d'entrée mise en place dans ce travail, a montré une fiabilité d'ajustement des variations du délai plus élevée que celle de l'approximation linéaire classique et du modèle existant dans la bibliographie. Ainsi, en adaptant ce modèle à la technologie 28 nm FDSOI, les variations des paramètres sont mieux ajustées.

2.5 Conclusion

Avec l'évolution de la technologie et après son intégration dans le régime nanomètre, les variations des paramètres des transistors augmentent de plus en plus. Par conséquent, cette augmentation a un impact significatif sur les performances des circuits intégrés puisque les variations du délai et des courants de fuite sont liées aux variations des paramètres des transistors.

Dans les nœuds technologiques avancés, le transistor CMOS fabriqué en technologie planaire sur silicium massif est confronté à plusieurs vrais problèmes de variabilité de tension de seuil et de courant de fuite. Pour répondre à ces problèmes, une nouvelle architecture de transistor a été mise en œuvre avec la technologie FDSOI. Dans ce chapitre nous avons analysé le délai et la puissance statique des transistors RVT 28 nm UTBB FDSOI et LVT 28 nm UTBB FDSOI en montrant les avantages des différentes techniques de polarisation appliquées à ces transistors. Nous avons justifié le choix des transistors RVT pour la suite de notre étude de l'énergie. De plus, une nouvelle modélisation du signal d'entrée qui ajuste au mieux les variations des paramètres des transistors CMOS 28 nm FDSOI a été présentée.

Compte tenu de tous ces critères, dans les chapitres suivants, nous allons étudier le compromis Délai-Puissance Statique permettant d'optimiser l'énergie des transistors CMOS 28 nm FDSOI.

*Compromis Délai-Puissance Statique
sans Polarisation*

3.1 Introduction

Dans le présent Chapitre, nous étudions le compromis Délai-Puissance Statique qui optimise l'énergie statique sans appliquer de technique de polarisation ($V_{RBB} = 0V$). Pour comprendre ce qui se passe au niveau de ce compromis, l'énergie d'un oscillateur est étudiée. Nous présentons cette étude, nous définissons le compromis Délai-Puissance Statique et l'approche mathématique utilisée pour l'établir. Pour finir, nous présentons l'optimisation de l'énergie statique à partir de ce compromis, l'application de cette optimisation sur les chemins critiques de plusieurs circuits et enfin sur les circuits.

3.2 Etude du compromis pour un oscillateur

Afin d'établir le compromis Délai-Puissance Statique et pour comprendre ce qui se passe, nous nous sommes basés sur l'étude d'un oscillateur en anneau formé par 13 inverseurs identiques de la technologie 28 nm RVT UTBB-FDSOI sans appliquer de polarisation. Pour cet oscillateur, nous avons étudié l'énergie par cycle par des simulations Monte-Carlo pour plusieurs valeurs de V_{DD} comprises entre 0.1V et 1V.

Pour chaque valeur de $V_{DD} = (V_{DD})_i$, $i = 1, 2, \dots, n$, [$(V_{DD})_1 = 0.1V < \dots < (V_{DD})_{i-1} < (V_{DD})_i < (V_{DD})_{i+1} < \dots < (V_{DD})_n = 1V$], l'énergie totale par cycle de l'oscillateur est calculée par :

$$(Energie\ Totale/Cycle)_{osci} = (Energie_{dynamique}/Cycle)_{osci} + (Energie_{statique}/Cycle)_{osci} \quad (3.1)$$

L'unité de mesure des énergies qui figurent dans l'équation 3.1 est le Joule (J).

Avant d'aller plus loin, définissons les bases fondamentales de l'énergie dynamique par cycle et de l'énergie statique par cycle.

3.2.1 Définition de l'énergie dynamique et de l'énergie statique

L'énergie dynamique par cycle de l'oscillateur $(Energie_{dynamique}/Cycle)_{osci}$ est définie par :

$$(Energie_{dynamique}/Cycle)_{osci} = \frac{1}{2} \times C \times (V_{DD})^2 \quad (3.2)$$

où C est la capacité de commutation (son unité de mesure est le Farad (F)).

L'énergie statique par cycle de l'oscillateur $(Energie_{statique}/Cycle)_{osci}$ est définie par :

$$(Energie_{statique}/Cycle)_{osci} = (Puissance_{statique})_{osci} \times (Délai)_{osci} \quad (3.3)$$

L'unité de mesure de la puissance statique est le Watt (W) et celle du délai est la Seconde (s).

Le délai de l'oscillateur $(Délai)_{osci}$ est l'intervalle de temps qui correspond à un cycle du signal. En d'autres termes, le délai de l'oscillateur représente sa période. Il est mesuré directement par Monte-Carlo.

La puissance statique de l'oscillateur $(Puissance_{statique})_{osci}$ est la somme de la puissance statique des 13 inverseurs qui le constituent. Comme il est noté dans le Chapitre 1, la puissance statique d'une porte logique dépend de son input state (0 ou 1). Pour simplifier, on a supposé que 7 inverseurs (parmi les 13 inverseurs qui constituent l'oscillateur) ont un input state égal à 1 et 6 inverseurs ont un input state égal à 0. Ainsi, la puissance statique de l'oscillateur est définie par :

$$(Puissance_{statique})_{osci} = 7 \times (Puissance_{statique})_{inv(inp=1)} + 6 \times (Puissance_{statique})_{inv(inp=0)} \quad (3.4)$$

où :

$(Puissance_{statique})_{inv(inp=1)}$ est la puissance statique d'un inverseur dans le cas où son input state est égal à 1.

$(Puissance_{statique})_{inv(inp=0)}$ est la puissance statique d'un inverseur dans le cas où son input state est égal à 0.

Pour calculer $(Puissance_{statique})_{inv(inp=1)}$ et $(Puissance_{statique})_{inv(inp=0)}$, un seul inverseur (parmi les treize qui constituent l'oscillateur) est simulé séparément pour un input state égale à 0 et pour un input state égal à 1. A partir de ces simulations, $(Puissance_{statique})_{inv(inp=1)}$ et $(Puissance_{statique})_{inv(inp=0)}$ sont calculées à partir de l'équation 2.1 (définie dans 2.3.3.1 : **Calcul de la puissance statique**), en remplaçant le terme V_{RBB} (qui représente la tension de polarisation) de l'équation 2.1 par 0 (puisqu'aucune technique de polarisation est appliquée).

Après avoir présenté les bases fondamentales de l'énergie, dans la partie suivante, nous présentons l'analyse de cette énergie.

3.2.2 Analyse de l'énergie

En variant la tension d'alimentation V_{DD} de 0.1V à 1V, l'énergie dynamique par cycle, l'énergie statique par cycle et l'énergie totale par cycle de l'oscillateur sont calculées par des simulations Monte-Carlo.

La Figure 3.1 illustre l'évolution en fonction de V_{DD} de :

- la moyenne de l'énergie totale par cycle de l'oscillateur (Figure (3.1 (a)),
- la moyenne de l'énergie dynamique par cycle de l'oscillateur (Figure (3.1 (a)),
- la moyenne de l'énergie statique par cycle de l'oscillateur (Figure (3.1 (a)),
- la moyenne du délai de l'oscillateur (Figure (3.1 (b)).

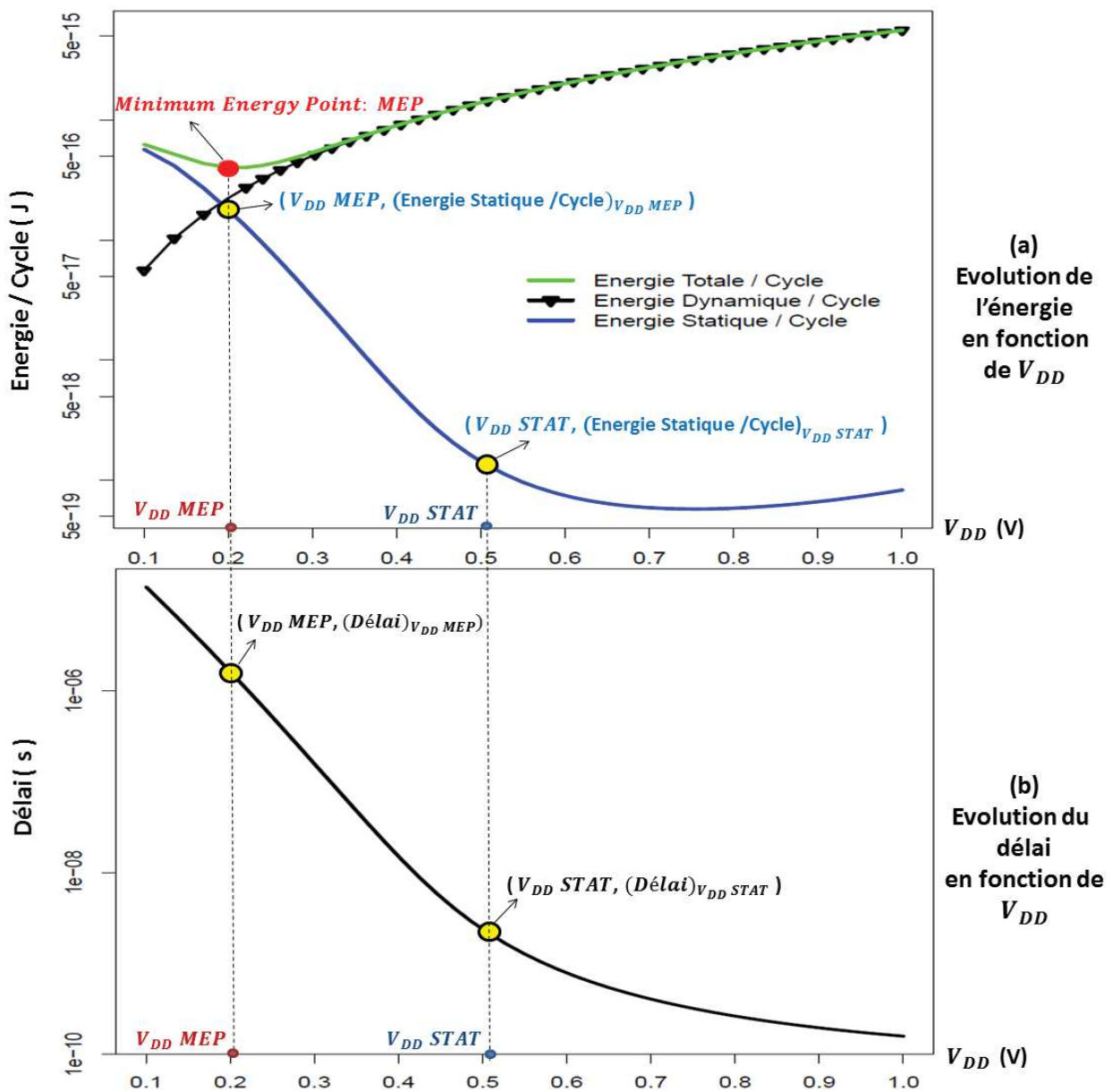


Figure 3.1 : Evolution de l'Énergie et du Délai en fonction de V_{DD}

Comme on peut le voir sur la Figure 3.1 (a), l'énergie totale par cycle décroît pour atteindre son minimum au point *MEP* (*Minimum Energy Point*, point rouge Figure 3.1 (a)). A partir de ce point, l'énergie totale par cycle prend une forme croissante pour atteindre son maximum à $V_{DD} = 1V$. Ainsi, $(V_{DD})_{MEP}$ (la tension d'alimentation qui correspond à *MEP*) optimise l'énergie totale consommée. Cependant, $(Délai)_{(V_{DD})_{MEP}}$ le délai qui correspond à $(V_{DD})_{MEP}$ est important (Figure 3.1 (b)) et l'énergie statique qui correspond à $(V_{DD})_{MEP}$ (*Energie Statique /Cycle*) $_{V_{DD}MEP}$ est élevée (Figure 3.1 (a)). Par conséquent, le coût de l'optimisation de l'énergie totale consommée est élevé par rapport au délai et à l'énergie statique. L'énergie statique dépend uniquement du délai et de la puissance statique qui dépendent à leurs tours de la tension d'alimentation V_{DD} . Puisque le délai et la puissance statique sont deux quantités antagonistes, pour optimiser alors l'énergie statique, nous avons cherché à établir le meilleur compromis entre le délai et la puissance statique. Nous avons donc cherché la tension d'alimentation $(V_{DD})_{STAT}$ qui réduit le délai sans trop dégrader la puissance statique et vice versa. La Figure 3.1 représente la moyenne des délais (Figure 3.1 (b)) et des énergies statiques (Figure 3.1 (a)) qui correspondent à $(V_{DD})_{MEP}$ et à $(V_{DD})_{STAT}$. Comme on peut le voir sur cette figure, l'énergie statique et le délai qui correspondent à $(V_{DD})_{STAT}$ sont inférieurs à ceux qui correspondent à $(V_{DD})_{MEP}$.

Pour déterminer le meilleur compromis Délai-Puissance Statique, nous avons développé une approche qui s'appuie sur le concept statistique de la courbe ROC (*Receiver Operating Characteristic*) [44]. Ce concept est souvent utilisé pour équilibrer raisonnablement deux quantités antagonistes. Dans la partie suivante nous détaillons ce compromis.

3.2.3 Détermination du Compromis Délai-Puissance Statique

Avant de déterminer le compromis Délai-Puissance Statique et la démarche suivie pour l'établir, définissons d'abord la problématique qu'on cherche à résoudre à partir de ce compromis. Le délai varie en fonction de V_{DD} , donc on peut le définir comme $Délai = f(V_{DD})$. De même, la puissance statique varie en fonction de V_{DD} , alors on la définit aussi comme $Puissance Statique = g(V_{DD})$. La Figure 3.2, illustre la variation en fonction de V_{DD} de : la puissance statique (en rouge) et du délai (en noir) du même oscillateur étudié dans la partie précédente.

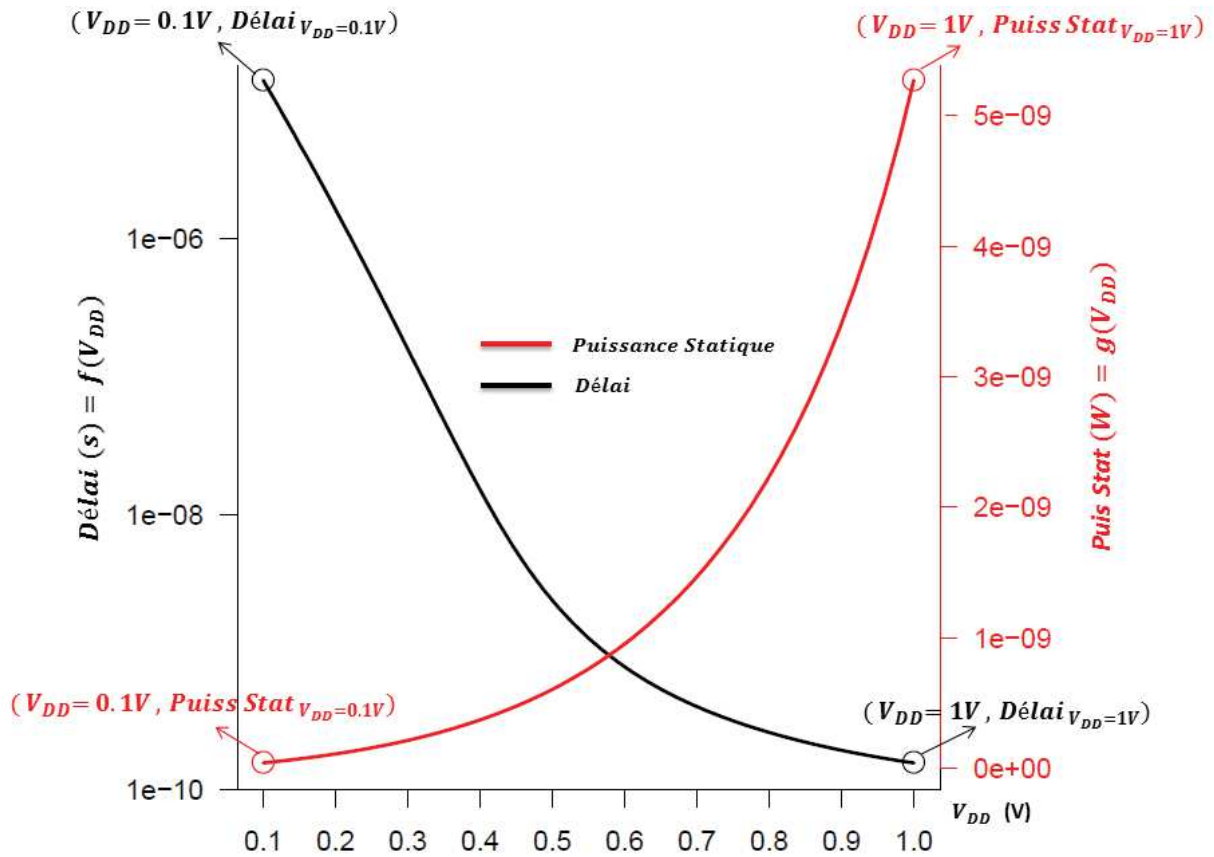


Figure 3.2 : Evolution du Délai et de la Puissance Statique en fonction de V_{DD}

La fonction $f(V_{DD})$ qui représente le délai est monotone et strictement décroissante, alors que la fonction $g(V_{DD})$ qui représente la puissance statique est monotone et strictement croissante. La Figure 3.2 illustre cette évolution :

- pour $V_{DD} = 0.1V$, le délai atteint sa valeur maximale alors que la puissance statique atteint sa valeur minimale,
- pour $V_{DD} = 1V$, le délai atteint sa valeur minimale alors que la puissance statique atteint sa valeur maximale,
- pour $V_{DD} < 0.2V$, le délai est relativement élevé alors que la puissance statique est relativement faible,
- pour $V_{DD} > 0.9V$, le délai est relativement faible alors que la puissance statique est relativement élevée.

Ainsi, le compromis Délai-Puissance Statique que nous avons établi consiste à calculer une tension d'alimentation $(V_{DD})_{STAT}$ qui :

- réduit le délai sans trop dégrader la puissance statique,
- réduit la puissance statique sans trop dégrader le délai.

Pour calculer $(V_{DD})_{STAT}$, on s'est basé sur le concept de la courbe ROC. Dans ce qui suit nous présentons en quoi consiste la courbe ROC et comment on l'a utilisée pour calculer $(V_{DD})_{STAT}$.

3.2.3.1 Courbe ROC

Les courbes ROC sont des courbes bidimensionnelles où le taux de vrais positifs (fraction des positifs qui sont effectivement détectés) est représenté sur l'axe des Y et le taux de faux positifs (fraction des négatifs qui sont détectés (incorrectement)) est représenté sur l'axe des X . Ces courbes représentent des compromis relatifs entre les avantages (vrais positifs) et les coûts (faux positifs) [45]. Les courbes ROC sont souvent utilisées comme des techniques de mesure de la performance d'un classificateur binaire (un système qui a pour objectif de catégoriser des éléments en deux groupes distincts sur la base d'une ou plusieurs des caractéristiques de chacun de ces éléments).

En statistique, on se sert parfois des courbes ROC en test d'hypothèses quand il s'agit de discriminer entre deux hypothèses dont les coûts d'erreurs sont comparables. Elles permettent d'évaluer la valeur seuil « optimale » qui équilibre les coûts d'erreurs du test. Ainsi, en effectuant le test d'hypothèse avec cette valeur optimale, on maximise sa fiabilité. Ayant deux hypothèses, le test d'hypothèse consiste à accepter une hypothèse et à rejeter l'autre avec un certain taux d'erreur.

Soit les deux hypothèses H_0 et H_1 et l'ensemble E des couples de probabilité suivant :

$$E = \{(\alpha_0, \beta_0), \dots, (\alpha_i, \beta_i), \dots, (\alpha_n, \beta_n)\},$$

où,

- α_i est la probabilité que le test rejette l'hypothèse H_0 alors que cette hypothèse est vraie (les α_i sont fixées a priori et représentent la spécificité du test),
- β_i est la probabilité que le test rejette l'hypothèse H_1 au niveau α_i alors que cette hypothèse est vraie,
- $1 - \beta_i$ est la probabilité que le test accepte l'hypothèse H_1 au niveau α_i alors que cette hypothèse est vraie ($1 - \beta_i$ représente la sensibilité du test).

Le but de la courbe ROC est de trouver un compromis entre ces probabilités d'erreurs en déterminant le couple de probabilité $(\alpha_k, 1 - \beta_k) \in E$ qui minimise α tout en maximisant β .

Pour déterminer ce couple, une approche consiste à représenter l'ensemble des points $A_i (\alpha_i, 1 - \beta_i)$, $i = 1, 2, \dots, n$, comme sur la Figure 3.3.

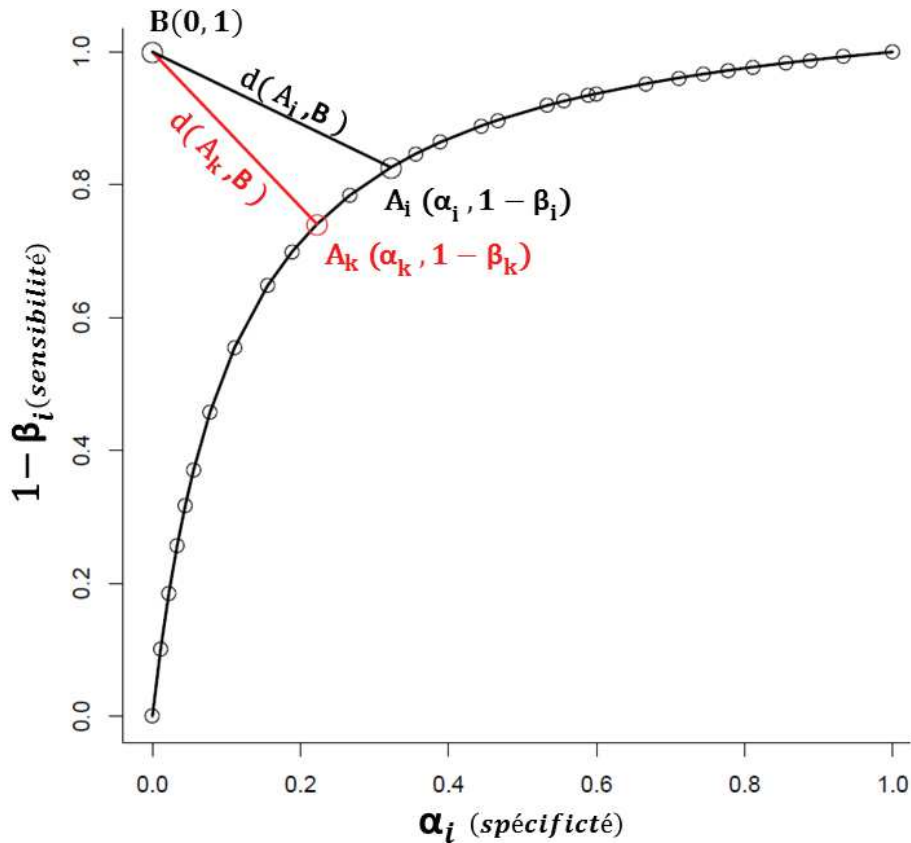


Figure 3.3 : Illustration de la courbe ROC

L'axe des ordonnées de la courbe représentée dans la Figure 3.3 représente les valeurs de $1 - \beta_i$, et l'axe des abscisses représente les valeurs de α_i . Pour tout point A_i , la distance euclidienne notée $d(A_i, B)$ qui représente la distance entre $B(0, 1)$ (le point qui correspond à un test d'hypothèse idéal (qui n'existe pas en réalité) de spécificité $\alpha = 0$ et de sensibilité $1 - \beta = 1$) et $A_i(\alpha_i, 1 - \beta_i)$ est calculée par :

$$d(A_i, B) = d(A_i(\alpha_i, 1 - \beta_i), B(0, 1)) = \sqrt{(\alpha_i)^2 + (\beta_i)^2} \quad (3.5)$$

Le couple de probabilité $(\alpha_k, 1 - \beta_k)$ qui minimise la distance $d(A_i, B)$ correspond à un compromis fréquent dans l'utilisation des courbes ROC.

Il est important de noter qu'au lieu d'utiliser $1 - \beta$ sur l'axe des ordonnées, on pourrait d'une façon équivalente considérer β et chercher le point qui minimise la distance entre la nouvelle courbe construite et le point $O(0, 0)$ (Figure 3.4). C'est cette approche que nous allons retenir dans ce mémoire pour déterminer $(V_{DD})_{STAT}$ la tension d'alimentation qui établit le meilleur compromis (selon la courbe ROC) Délai-Puissance Statique.

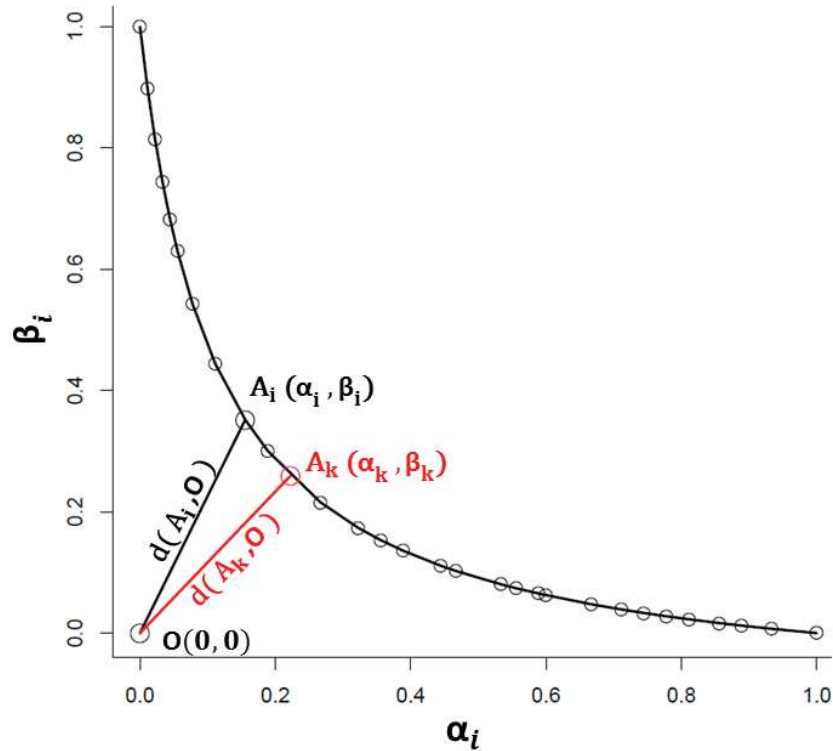


Figure 3.4 : Illustration de la courbe équivalente à la courbe ROC

3.2.3.2 Définition de $(V_{DD})_{STAT}$

Pour établir le compromis Délai-Puissance Statique, pour chaque valeur de $V_{DD} = (V_{DD})_i$, $i = 1, 2, \dots, n$, $[(V_{DD})_1 = 0.1V < \dots < (V_{DD})_{i-1} < (V_{DD})_i < (V_{DD})_{i+1} < \dots < (V_{DD})_n = 1V]$, nous avons étudié le couple $(Puis Stat_{(V_{DD})_i}, Del_{(V_{DD})_i})$. $Puis Stat_{(V_{DD})_i}$ et $Del_{(V_{DD})_i}$ représentent respectivement la puissance statique et le délai obtenus pour $V_{DD} = (V_{DD})_i$. Pour le même oscillateur étudié précédemment, on a représenté les couples $(Puis Stat_{(V_{DD})_i}, Del_{(V_{DD})_i})$ dans un repère cartésien (Figure 3.5). A chaque point $A_{(V_{DD})_i}$ de la courbe représentée dans la Figure 3.5 correspond une tension d'alimentation $(V_{DD})_i$. L'abscisse de $A_{(V_{DD})_i}$ représente $Puis Stat_{(V_{DD})_i}$ la puissance statique de l'oscillateur obtenue pour une tension d'alimentation $V_{DD} = (V_{DD})_i$. L'ordonnée de $A_{(V_{DD})_i}$ représente $Del_{(V_{DD})_i}$ le délai de l'oscillateur obtenu pour une tension d'alimentation $V_{DD} = (V_{DD})_i$.

En partant du même raisonnement du compromis établi par la courbe ROC, la tension d'alimentation $(V_{DD})_{STAT}$ qui établit le compromis Délai-Puissance Statique est la tension d'alimentation qui correspond à $A_{(V_{DD})_{STAT}}$ le point qui appartient à la courbe de la Figure 3.5 et qui est le plus proche de l'origine O (O est le point idéal puisque le délai et la puissance statique qui lui correspondent sont nuls). Comme on peut le voir sur la Figure 3.5, le délai et la puissance statique ont des échelles et des

unités différentes, par conséquent, une normalisation de ces deux derniers est nécessaire pour déterminer $(V_{DD})_{STAT}$ et $A_{(V_{DD})_{STAT}}$.

Dans les parties suivantes, nous détaillons d'abord la détermination de $(V_{DD})_{STAT}$ et de $A_{(V_{DD})_{STAT}}$. Ensuite, nous représentons $A_{(V_{DD})_{STAT}}$ sur la courbe de la Figure 3.5.

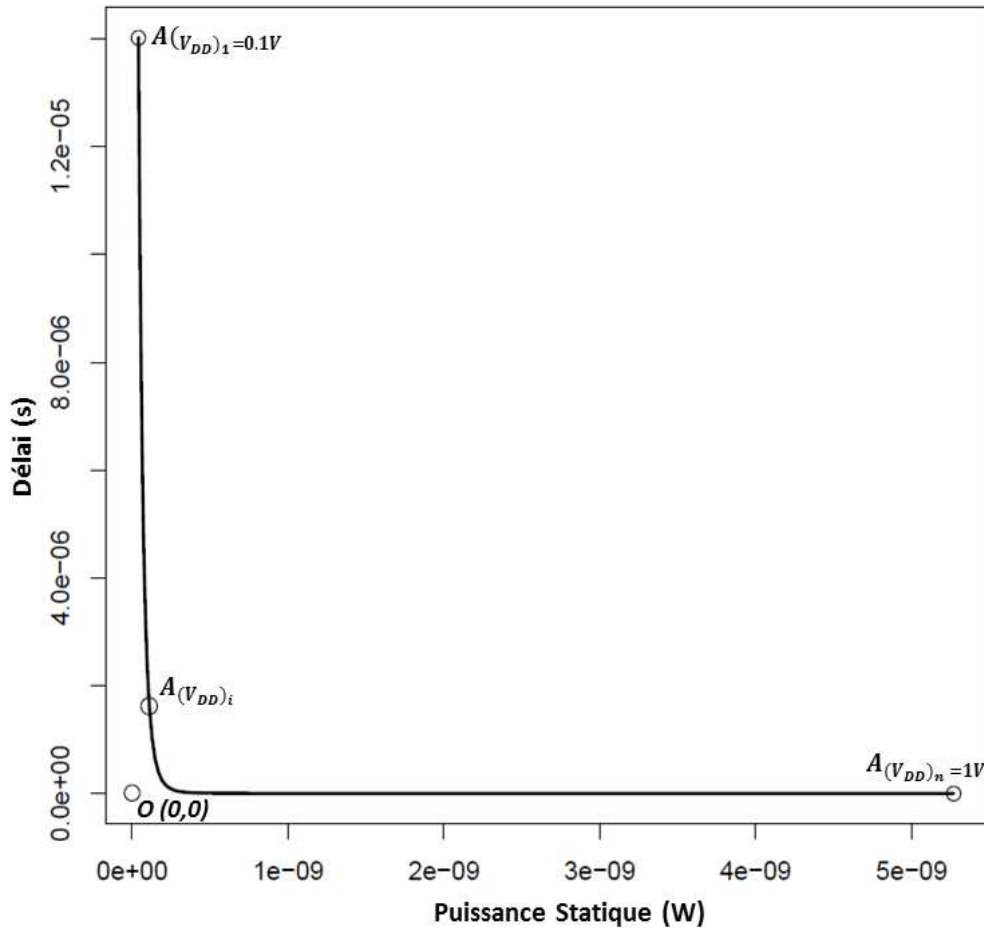


Figure 3.5 : Evolution du Délai et de la Puissance Statique en fonction de V_{DD}

3.2.3.3 Détermination de $(V_{DD})_{STAT}$ et $A_{(V_{DD})_{STAT}}$

Comme il est déjà noté, pour déterminer $(V_{DD})_{STAT}$ et $A_{(V_{DD})_{STAT}}$, une normalisation des couples $(Puis\ Stat_{(V_{DD})_i}, Del_{(V_{DD})_i})$, $i = 1, 2, \dots, n$, est nécessaire puisque les unités et les échelles du délai et de la puissance statique sont différentes. Une fois normalisés, $(V_{DD})_{STAT}$ et $A_{(V_{DD})_{STAT}}$ sont déterminés.

a) Normalisation

Ayant les couples $(Puis\ Stat_{(V_{DD})_i}, Del_{(V_{DD})_i})$, $i = 1, 2, \dots, n$, on définit d'abord les deux ensembles $Del_{(V_{DD})}$ et $Puis\ Stat_{(V_{DD})}$ (équations 3.6 et 3.7 respectivement) qui représentent les valeurs du délai et de la puissance statique (respectivement) qui correspondent à $V_{DD} = (V_{DD})_i$, $i = 1, 2, \dots, n$.

$$Del_{(V_{DD})} = \quad (3.6)$$

$$\{Del_{(V_{DD})_1=0.1V} > \dots > Del_{(V_{DD})_i} > \dots > Del_{(V_{DD})_n=1V}\}$$

$$Puis\ Stat_{(V_{DD})} = \quad (3.7)$$

$$\{Puis\ Stat_{(V_{DD})_1=0.1V} < \dots < Puis\ Stat_{(V_{DD})_i} < \dots < Puis\ Stat_{(V_{DD})_n=1V}\}$$

Ensuite, on définit les deux ensembles $Del\ Norm_{(V_{DD})}$ et $Puis\ Stat\ Norm_{(V_{DD})}$ (équations 3.8 et 3.9 respectivement) qui représentent la normalisation de $Del_{(V_{DD})}$ et $Puis\ Stat_{(V_{DD})}$ respectivement.

$$Del\ Norm_{(V_{DD})} = \quad (3.8)$$

$$\{Del\ Norm_{(V_{DD})_1=0.1V} > \dots > Del\ Norm_{(V_{DD})_i} > \dots > Del\ Norm_{(V_{DD})_n=1V}\}$$

$$Puis\ Stat\ Norm_{(V_{DD})} = \quad (3.9)$$

$$\{Puis\ Stat\ Norm_{(V_{DD})_1=0.1V} < \dots < Puis\ Stat\ Norm_{(V_{DD})_i} < \dots < Puis\ Stat\ Norm_{(V_{DD})_n=1V}\}$$

tels que,

$$Del\ Norm_{(V_{DD})_i} = \frac{Del_{(V_{DD})_i} - \min(Del_{(V_{DD})})}{\max(Del_{(V_{DD})}) - \min(Del_{(V_{DD})})}, i = 1, 2, \dots, n \quad (3.10)$$

$$Puis\ Stat\ Norm_{(V_{DD})_i} = \frac{Puis\ Stat_{(V_{DD})_i} - \min(Puis\ Stat_{(V_{DD})})}{\max(Puis\ Stat_{(V_{DD})}) - \min(Puis\ Stat_{(V_{DD})})}, i = 1, 2, \dots, n \quad (3.11)$$

Après la normalisation du délai et de la puissance statique, on représente les points $A_{(V_{DD})_i}(Puis\ Stat\ Norm_{(V_{DD})_i}, Del\ norm_{(V_{DD})_i})$, $i = 1, 2, \dots, n$, dans un repère cartésien (Figure 3.6).

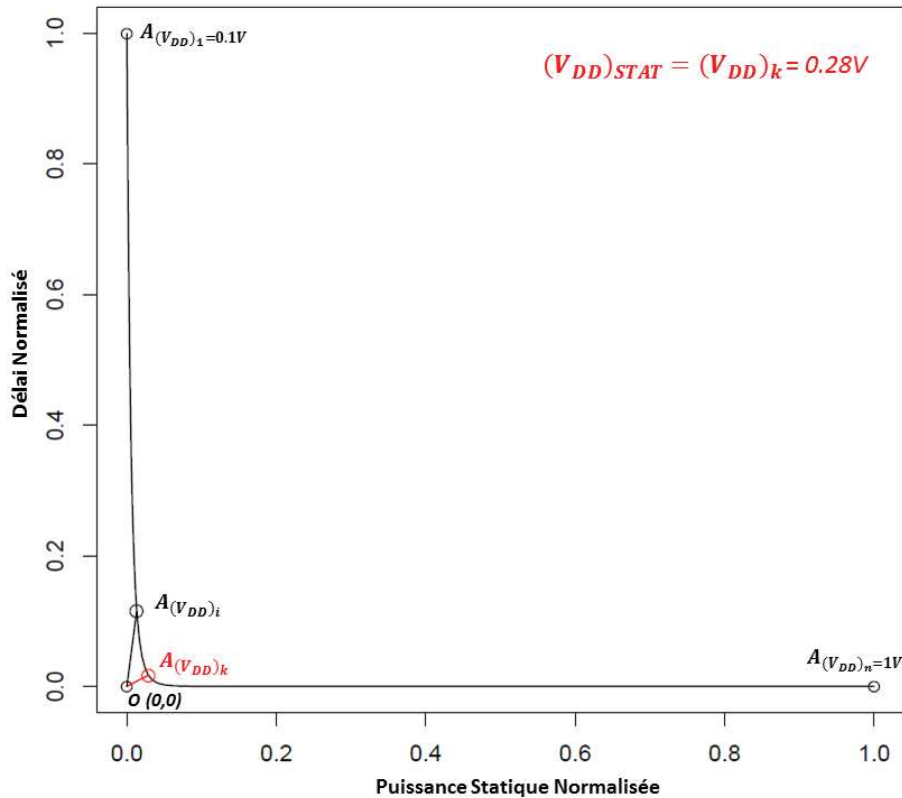


Figure 3.6 : Courbe de détermination de $(V_{DD})_{STAT}$

La courbe représentée dans la Figure 3.6 est la courbe normalisée de la courbe représentée dans la Figure 3.5. A chaque point $A_{(V_{DD})_i}$, $i = 1, 2, \dots, n$, de la courbe de la Figure 3.6, correspond une tension d'alimentation $(V_{DD})_i$ pour laquelle correspond une puissance statique normalisée $Puis\ Stat\ Norm_{(V_{DD})_i}$ (abscisse de $A_{(V_{DD})_i}$) et un délai normalisé $Del\ Norm_{(V_{DD})_i}$ (ordonnée de $A_{(V_{DD})_i}$).

Puisque la normalisation est une fonction monotone, alors les deux hypothèses suivantes (H_0 et H_1) sont vraies :

- Hypothèse H_0 :
 $(V_{DD})_{STAT}$ est égale à $(V_{DD})_k$, où $(V_{DD})_k$ est la tension d'alimentation qui correspond à $A_{(V_{DD})_k}$ ($Puis\ Stat\ Norm_{(V_{DD})_k}, Del\ Norm_{(V_{DD})_k}$), $k \in \{1, 2, \dots, n\}$, le point qui appartient à la courbe de la Figure 3.6 et qui est le plus proche de l'origine O .
- Hypothèse H_1 :
 $Puis\ Stat_{(V_{DD})_{STAT}}$ et $Del_{(V_{DD})_{STAT}}$ les coordonnées de $A_{(V_{DD})_{STAT}}$ sont déterminées à partir des coordonnées de $A_{(V_{DD})_k}$ par la fonction f_{norm}^{-1} qui représente la fonction réciproque de la normalisation (équations 3.12 et 3.13 respectivement).

$$Puis\ Stat_{(V_{DD})_{STAT}} = f_{norm}^{-1}(Puis\ Stat\ Norm_{(V_{DD})_k}) = \{Puis\ Stat\ Norm_{(V_{DD})_k} \times [\max(Puis\ Stat_{(V_{DD})}) - \min(Puis\ Stat_{(V_{DD})})]\} + \min(Puis\ Stat_{(V_{DD})}) \quad (3.12)$$

$$Del_{(V_{DD})_{STAT}} = f_{norm}^{-1}(Del\ Norm_{(V_{DD})_k}) = \{Del\ Norm_{(V_{DD})_k} \times [\max(Del_{(V_{DD})}) - \min(Del_{(V_{DD})})]\} + \min(Del_{(V_{DD})}) \quad (3.13)$$

Ainsi, $(V_{DD})_{STAT}$ est déterminée à partir de la courbe de la Figure 3.6 qui s'apparente à une courbe ROC (Hypothèse H_0).

Dans la partie suivante, nous détaillons la détermination de $A_{(V_{DD})_k}$. Une fois déterminé, $(V_{DD})_{STAT}$ sera égale à la tension d'alimentation qui correspond à $A_{(V_{DD})_k}$ (Hypothèse H_0). Les coordonnées de $A_{(V_{DD})_{STAT}}$ seront déterminées par les équations 3.12 et 3.13 respectivement (Hypothèse H_1).

b) Détermination de $A_{(V_{DD})_k}$

Comme il est déjà noté, $A_{(V_{DD})_k}$, $k \in \{1, 2, \dots, n\}$, est le point qui appartient à la courbe de la Figure 3.6 et qui est le plus proche de l'origine. Pour déterminer $A_{(V_{DD})_k}$, on calcule d'abord $d(A_{(V_{DD})_i}, O)$, $i = 1, 2, \dots, n$, qui représente la distance euclidienne entre tous les points de la courbe de la Figure 3.6 et l'origine (équation 3.14).

$$d(A_{(V_{DD})_i}, O) = d(A_{V_{DD}_i}(Puis\ Sta\ Norm_{(V_{DD})_i}, Del\ Norm_{(V_{DD})_i}), O(0,0)) = \sqrt{(Puis\ Stat\ Norm_{(V_{DD})_i})^2 + (Del\ Norm_{(V_{DD})_i})^2} \quad (3.14)$$

Ensuite, le point $A_{(V_{DD})_k}$, est déterminé par (équation 3.15) :

$$d(A_{(V_{DD})_k}, O) = argmin(d(A_{(V_{DD})_i}, O)), i = 1, 2, \dots, n \quad (3.15)$$

3.2.3.4 Illustration de $A_{(V_{DD})_{STAT}}$

Dans la partie 3.2.3.2 (Définition de $(V_{DD})_{STAT}$), en partant du même raisonnement du compromis établi par la courbe ROC, $(V_{DD})_{STAT}$ la tension d'alimentation qui établit le compromis Délai-Puissance Statique est définie de la façon suivante :

- $(V_{DD})_{STAT}$ est la tension d'alimentation qui correspond à $A_{(V_{DD})_{STAT}}$ le point qui appartient à la courbe qui représente les couples $(Puis\ Stat_{(V_{DD})_i}, Del_{(V_{DD})_i})$, $i = 1, \dots, n$, et qui est plus le proche de l'origine O .

La courbe de la Figure 3.7 représente les couples $(Puis\ Stat_{(V_{DD})_i}, Del_{(V_{DD})_i})$, $i = 1, \dots, n$. On représente aussi sur cette courbe, $A_{(V_{DD})_{STAT}}$ le point le plus proche de l'origine.

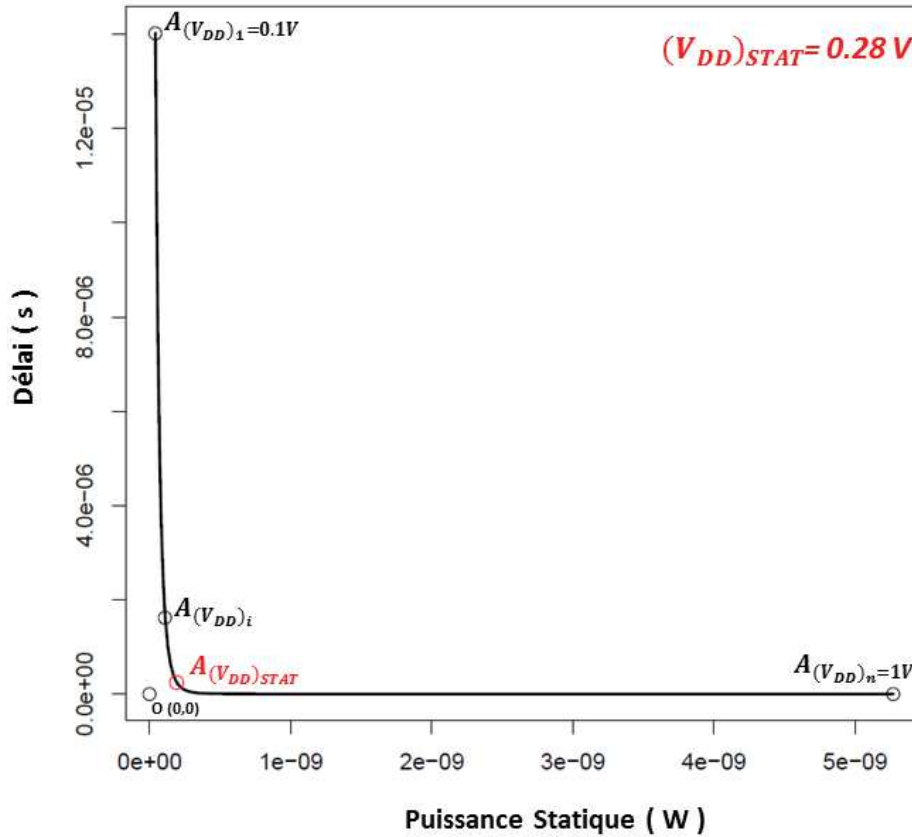


Figure 3.7 : Illustration de $A_{(V_{DD})_{STAT}}$

3.2.3.5 $(V_{DD})_{STAT}$ vs $(V_{DD})_{MEP}$

Dans les parties précédentes, nous avons analysé l'énergie d'un oscillateur en anneau. Ainsi, nous avons déterminé la tension d'alimentation $(V_{DD})_{MEP}$ qui minimise l'énergie totale par cycle de l'oscillateur. De plus, nous avons présenté une méthode qui permet de déterminer la tension d'alimentation $(V_{DD})_{STAT}$ qui établit le compromis Délai-Puissance Statique et cela en réduisant le délai de l'oscillateur sans trop dégrader sa puissance statique et vice versa. Dans cette partie, pour le même oscillateur étudié, nous comparons les délais, les puissances statiques et les énergies statiques qui correspondent à $(V_{DD})_{MEP}$ et à $(V_{DD})_{STAT}$. Ensuite, nous montrons le gain apporté par $(V_{DD})_{STAT}$. Le Tableau 3.1 représente les valeurs de $(V_{DD})_{MEP}$ et de $(V_{DD})_{STAT}$ ainsi que les valeurs des délais, des puissances statiques et des énergies statiques qui correspondent à ces tensions d'alimentations.

	Délai (s)	Puissance Statique (W)	Energie Statique (J)
$(V_{DD})_{STAT} = 0.28 V$	0.24 e-06	1.91 e-10	0.46 e-16
$(V_{DD})_{MEP} = 0.2V$	1.62 e-06	1.09 e-10	1.76 e-16

Tableau 3.1 : $(V_{DD})_{STAT}$ vs $(V_{DD})_{MEP}$

D’après le Tableau 3.1, le délai et l’énergie statique qui correspondent à $(V_{DD})_{STAT}$ sont inférieurs à ceux qui correspondent à $(V_{DD})_{MEP}$, alors que la puissance statique qui correspond à $(V_{DD})_{STAT}$ est supérieure à celle qui correspond à $(V_{DD})_{MEP}$.

Les gains relatifs du délai, de la puissance statique et de l’énergie statique apportés par $(V_{DD})_{STAT}$ par rapport à $(V_{DD})_{MEP}$ sont définis par (équations 3.16, 3.17 et 3.18 respectivement) :

$$gain\ del = 100 \times \frac{(Délai)_{V_{DD}\ MEP} - (Délai)_{V_{DD}\ STAT}}{(Délai)_{V_{DD}\ MEP}} \quad (3.16)$$

$$gain\ puis\ stat = 100 \times \frac{(Puiss\ Stat)_{V_{DD}\ MEP} - (Puiss\ Stat)_{V_{DD}\ STAT}}{(Puiss\ Stat)_{V_{DD}\ MEP}} \quad (3.17)$$

$$gain\ ener\ stat = 100 \times \frac{(Ener\ Stat)_{V_{DD}\ MEP} - (Ener\ Stat)_{V_{DD}\ STAT}}{(Ener\ Stat)_{V_{DD}\ MEP}} \quad (3.18)$$

Le Tableau 3.2 illustre le gain relatif du délai, de la puissance statique et de l’énergie statique apporté par $(V_{DD})_{STAT}$ par rapport à $(V_{DD})_{MEP}$.

	Gain relatif %
Délai	85%
Puissance Statique	-75%
Energie Statique	74%

Tableau 3.2: Gain apporté par $(V_{DD})_{STAT}$

D'après le Tableau 3.2, la tension d'alimentation $(V_{DD})_{STAT}$:

- réduit le délai qui correspond à $(V_{DD})_{MEP}$ avec un taux relatif de réduction égal à 85%,
- augmente la puissance statique qui correspond à $(V_{DD})_{MEP}$ avec un taux relatif d'augmentation égal à 75%,
- réduit l'énergie statique qui correspond à $(V_{DD})_{MEP}$ avec un taux de réduction égal à 74%.

Ainsi, $(V_{DD})_{STAT}$ mène à des pourcentages de gains en délai (85%) et en énergie statique (74%) par rapport à $(V_{DD})_{MEP}$ très intéressants. Ces gains compensent amplement la perte en puissance statique (75%) par rapport à $(V_{DD})_{MEP}$.

3.2.4 Conclusion

Dans les parties précédentes, pour une tension de polarisation $V_{RBB} = 0V$, nous avons présenté le compromis Délai-Puissance Statique qui permet de déterminer une tension d'alimentation nommée $(V_{DD})_{STAT}$ qui réduit le délai sans trop dégrader la puissance statique et vice versa. A partir de ce compromis l'énergie statique est optimisée.

Pour établir le compromis Délai-Puissance Statique, l'estimation du délai et de la puissance statique pour $V_{DD} = (V_{DD})_i, i = 1, 2, \dots, n$, est nécessaire. Comme il est déjà noté, dans ce mémoire l'estimation du délai et de la puissance statique est réalisée à partir des librairies statistiques construites pour $V_{DD} = (V_{DD})_i, i = 1, 2, \dots, n$.

Dans la partie suivante, nous présentons la caractérisation des librairies statistiques de la technologie 28 nm RVT UTBB-FDSOI.

3.3 Caractérisation de la librairie statistique de la technologie 28 nm RVT UTBB-FDSOI

En se basant sur le compromis Délai-Puissance Statique présenté dans la partie précédente, l'énergie statique est optimisée. Afin de réaliser cette optimisation à partir de ce compromis, l'estimation du délai et de la puissance statique pour $V_{DD} = (V_{DD})_i, i = 1, 2, \dots, n$, est une étape préliminaire. Dans ce mémoire, l'estimation du délai et de la puissance statique est réalisée à partir des approches "SSTA basée sur la propagation des moments" (présentée dans la partie 1.3.7) et "Analyse semi Monte-Carlo de la puissance statique" (présentée dans la partie 1.4.4). Ces approches sont basées sur des librairies statistiques qui pré-caractérisent le délai et la puissance statique. Ainsi, nous avons construit, pour $V_{RBB} = 0V$ et pour $V_{DD} = (V_{DD})_i, i = 1, 2, \dots, n$, des librairies statistiques qui pré-caractérisent le délai et la puissance statique des portes logiques de la technologie RVT 28nm

UTBB-FDSOI. Comme il est noté (dans la partie 2.3.3), pour construire des bibliothèques statistiques qui correspondent à plusieurs valeurs de V_{DD} , la valeur minimale de V_{DD} notée $(V_{DD})_1$ est fixée à 0.6V et cela pour éviter les problèmes de fonctionnement des bascules.

La Figure 3.8 présente la démarche suivie pour la construction des bibliothèques statistiques qui pré-caractérisent le délai et la puissance statique et cela pour une tension d'alimentation $V_{DD} = (V_{DD})_i, i = 1, 2, \dots, n, [(V_{DD})_1 = 0.6V < \dots < (V_{DD})_{i-1} < (V_{DD})_i < (V_{DD})_{i+1} < \dots < (V_{DD})_n = 1V]$, et pour une tension de polarisation $V_{RBB} = 0V$.

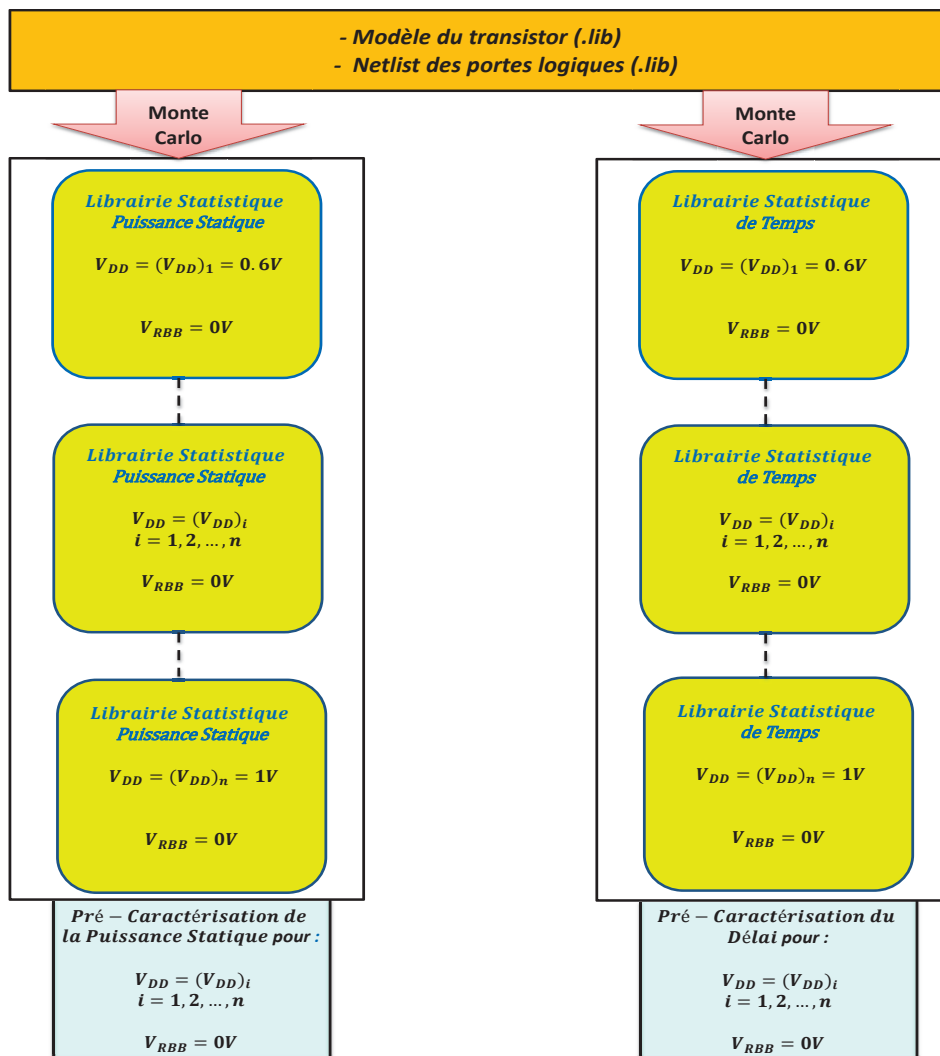


Figure 3.8 : Construction des bibliothèques statistiques

Nous reprenons la structure de la librairie statistique de temps présentée dans le chapitre 1 (Figure 1.15) pour une seule valeur de V_{DD} et nous l'adaptions aux différentes librairies statistiques qui correspondent aux différentes valeurs de V_{DD} étudiées comme on peut le voir sur la Figure 3.9.

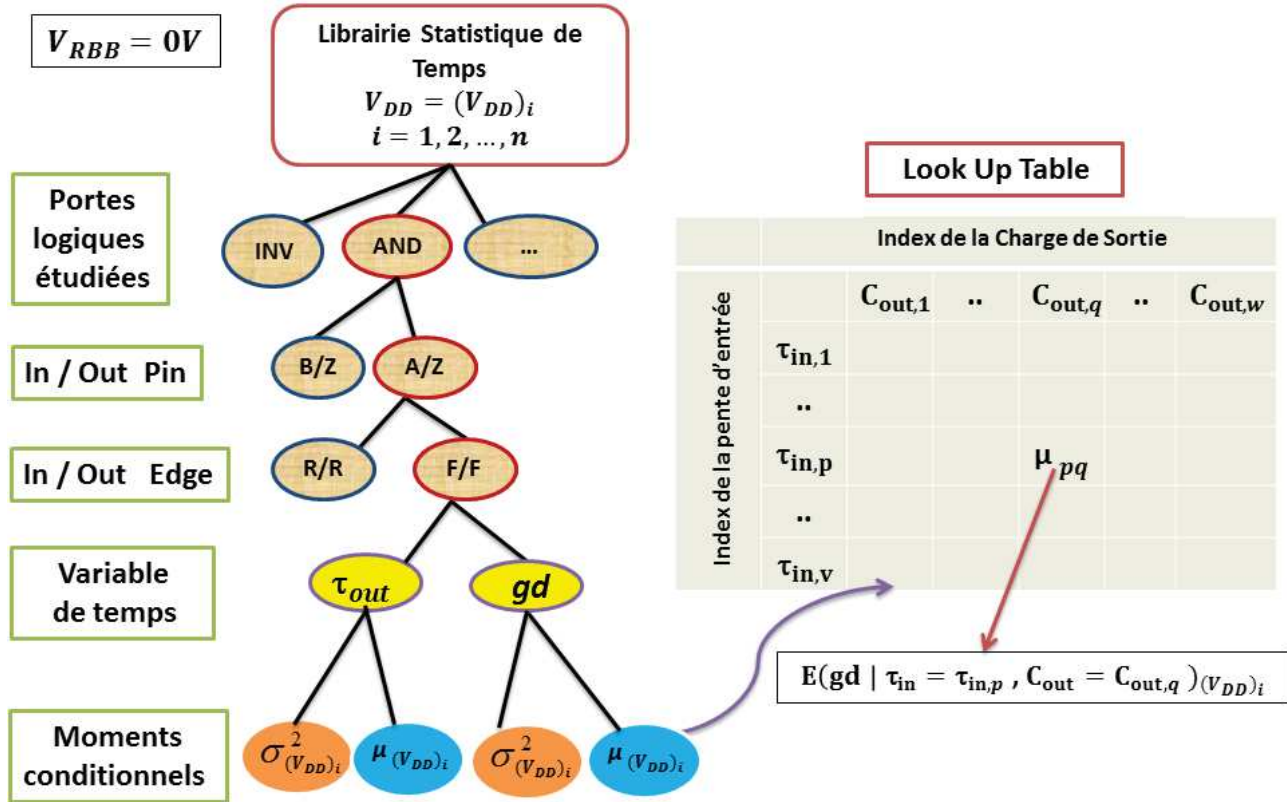


Figure 3.9 : Structure de la librairie statistique de Temps

Comme on peut le voir sur la Figure 3.9, pour toutes les combinaisons possibles suivantes des portes logiques étudiées :

- Input pin,
- Input Edge (forme du signal d'entrée),

les portes sont simulées par Monte-Carlo et leurs moments statistiques de temps sont calculés à partir du jeu de données issu des simulations. Ces moments sont les suivants :

- $\mu_{gd(gate\ delay)}$ moyenne du délai de la porte logique considérée,
- σ^2_{gd} variance du délai de la porte logique considérée,
- $\mu_{\tau_{out}}$ moyenne de la pente de sortie de la porte logique considérée,
- $\sigma^2_{\tau_{out}}$ variance de la pente de sortie de la porte logique considérée.

Les moments statistiques sont stockés dans des *Lookup Tables* ayant un index de charge de sortie et un index de pente d'entrée (Figure 3.9).

Ainsi, pour tout couple $(\tau_{in,p}, C_{out,q})$, ($p = 1, 2, \dots, v$ et $q = 1, 2, \dots, w$), les moyennes conditionnées à $\tau_{in,p}$ et $C_{out,q}$ du délai ($E_{gd} | \tau_{in} = \tau_{in,p}, C_{out} = C_{out,q}$) et de la pente de sortie ($E_{\tau_{out}} | \tau_{in} = \tau_{in,p}, C_{out} = C_{out,q}$) sont obtenues à partir des simulations Monte-Carlo. Les variances conditionnées (du délai et de la pente de sortie) sont obtenues d'une façon similaire. Par conséquent, pour tout $\tau_{in,p'}$ ($\tau_{in,p} \leq \tau_{in,p'} \leq \tau_{in,p+1}$) et pour tout $C_{out,q'}$ ($C_{out,q} \leq C_{out,q'} \leq C_{out,q+1}$), la moyenne et la variance conditionnée à $\tau_{in,p'}$ et $C_{out,q'}$ du délai et de la pente de sortie sont calculées à partir des *Lookup Tables* par des interpolations bilinéaires.

En ce qui concerne les bibliothèques statistiques de la puissance statique, elles sont construites à partir du jeu de données issu des simulations Monte-Carlo des portes logiques étudiées. Ces bibliothèques ont la même structure que les bibliothèques statistiques de l'approche "Analyse semi Monte-Carlo de la puissance statique". Ainsi, pour $V_{DD} = (V_{DD})_i$, les portes logiques sont simulées séparément pour toutes les combinaisons possibles de leurs input states. A partir du jeu de données issu de ces simulations, on calcule (pour toute les combinaisons possibles des input states) la moyenne et la variance de la puissance statique des portes, ainsi que la corrélation de la puissance statique entre les portes. Ensuite, on stocke les moyennes et les variances calculées dans des tableaux nommés "Tableaux des Moyennes et des Variances de la Puissance Statique". Similairement, on stocke les corrélations entre les portes dans des matrices de corrélation. Dans la Figure 3.10, nous reprenons la structure de la bibliothèque statistique de la puissance statique présentée dans le chapitre 1 (Tableau 1.1 et 1.2) et construite pour une seule valeur de V_{DD} en l'adaptant pour les différentes valeurs de V_{DD} étudiés.

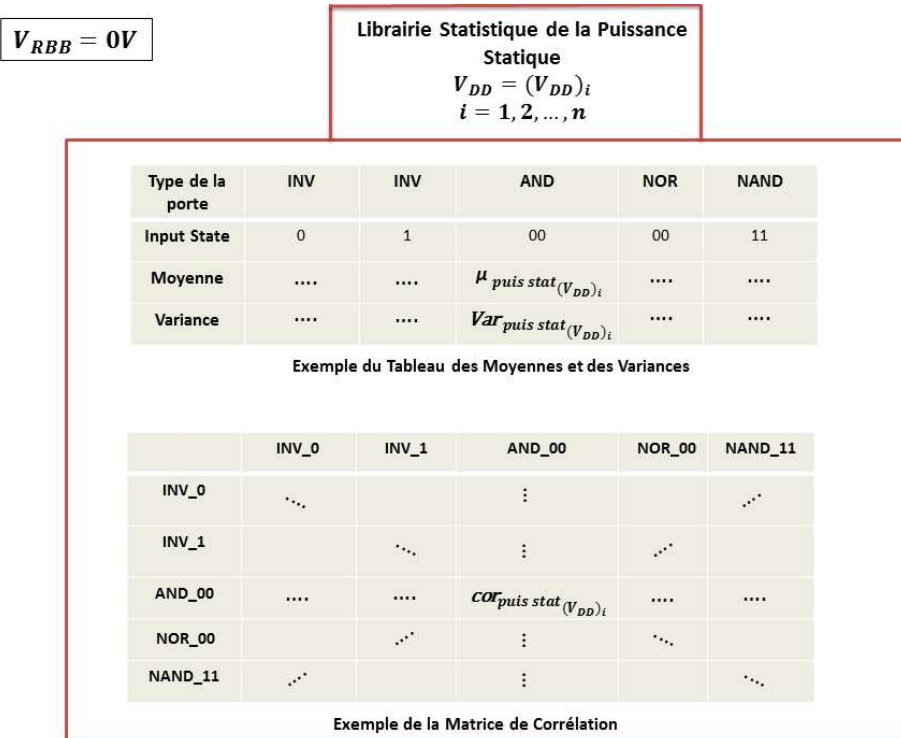


Figure 3.10 : Structure de la librairie statistique de la Puissance Statique

Les librairies statistiques de temps et de la puissance statique construites pour $V_{DD} = (V_{DD})_i$, $i = 1, 2, \dots, n$ et pour $V_{RBB} = 0V$, pré-caractérisent le délai et la puissance statique. Ces librairies permettent d’optimiser l’énergie statique des portes logiques de la technologie 28 nm RVT UTBB-FDSOI et cela en déterminant la tension d’alimentation $(V_{DD})_{STAT}$ de ces portes à partir du compromis Délai-Puissance Statique (Figure 3.11).

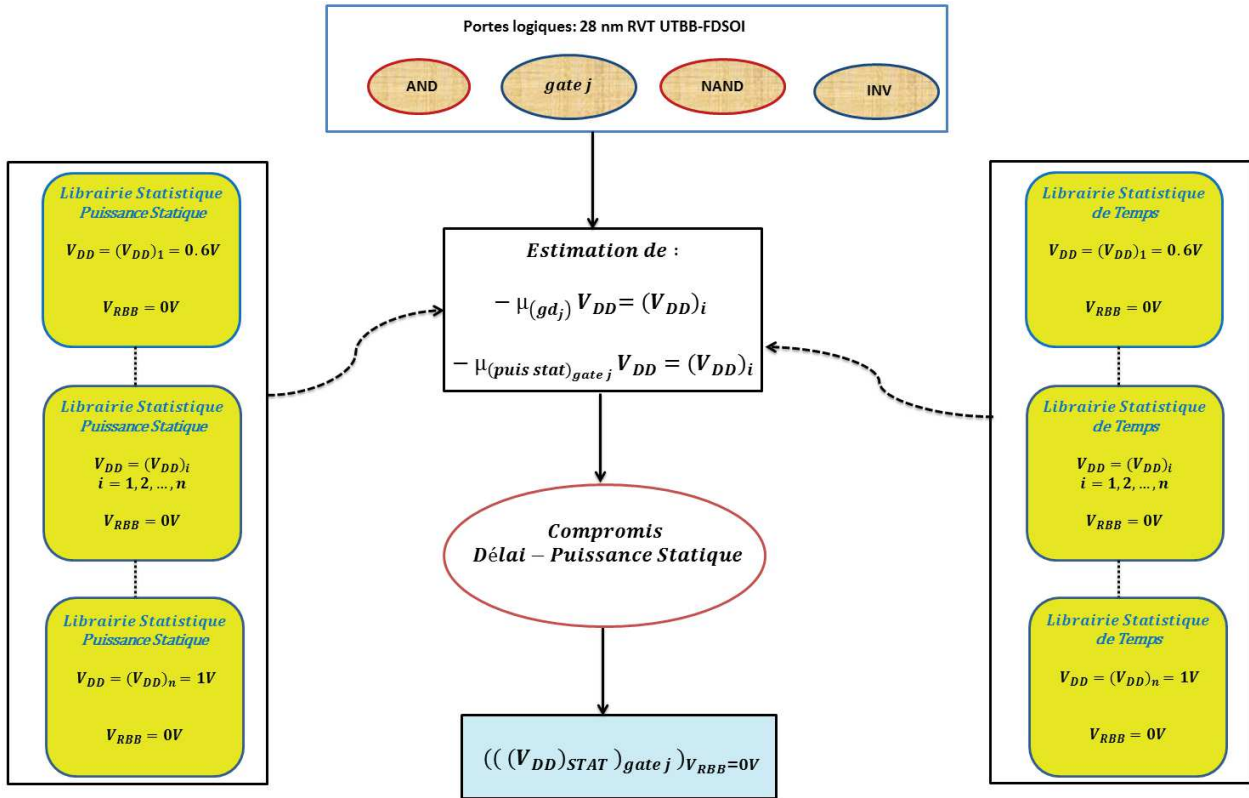


Figure 3.11 : Détermination de $(V_{DD})_{STAT}$ d'une porte logique à partir des librairies statistiques

Connaissant la pente d'entrée τ_{in} , la charge de sortie C_{out} , l'Input pin, l'Input Edge et l'Input state d'une porte logique $gate\ j$ de la technologie 28 nm RVT UTBB-FDSOI, on estime à partir des librairies statistiques :

- $(\mu_{gd_j})_{V_{DD}=V_{DD}_i}$, la moyenne du délai de $gate\ j$ qui correspond à $V_{DD} = (V_{DD})_i, i = 1, 2, \dots, n$,
- $(\mu_{(puiss\ stat)_{gate\ j}})_{V_{DD}=V_{DD}_i}$, la moyenne de la puissance statique de $gate\ j$ qui correspond à $V_{DD} = (V_{DD})_i, i = 1, 2, \dots, n$.

Après l'estimation de $(\mu_{gd_j})_{V_{DD}=V_{DD}_i}$ et de $(\mu_{(puiss\ stat)_{gate\ j}})_{V_{DD}=V_{DD}_i}$, on détermine à partir du compromis Délai-Puissance Statique $(V_{DD})_{STAT}$ la tension d'alimentation qui optimise l'énergie statique de $gate\ j$.

Ainsi en se basant sur les librairies statistiques, la détermination de $(V_{DD})_{STAT}$ la tension d'alimentation qui optimise l'énergie statique des portes logiques de la technologie 28 nm RVT UTBB-FDSOI est réalisée à partir du compromis Délai-Puissance Statique. Ces librairies statistiques étant construites une fois pour toute, dans la partie suivante, nous abordons l'optimisation de l'énergie statique des chemins critiques des circuits.

3.4 Optimisation de l'énergie statique pour un chemin critique

Le compromis Délai-Puissance Statique présenté dans la partie 3.1, consiste à identifier, sans appliquer de *RBB* ($V_{RBB} = 0V$), une tension d'alimentation $(V_{DD})_{STAT}$ qui réduit le délai sans trop dégrader la puissance statique et vice versa.

A partir de cette définition du compromis Délai-Puissance Statique et de la caractérisation des bibliothèques présentées précédemment, il est maintenant possible d'optimiser l'énergie statique des chemins critiques des circuits.

Dans ce qui suit, nous présentons dans un premier temps la méthode utilisée pour déterminer le compromis Délai-Puissance Statique d'un chemin critique. Cette méthode permet de déterminer la tension d'alimentation $((V_{DD})_{STAT})_{chemin}$ qui réduit le délai du chemin sans trop dégrader sa puissance statique et vice versa. Ensuite, nous appliquons cette méthode aux chemins critiques des circuits b01 et b07.

3.4.1 Méthode d'optimisation

Pour optimiser l'énergie statique d'un chemin critique d'un circuit, ce dernier est d'abord synthétisé et une liste de ses N chemins critiques est identifiée. Ensuite, pour chacun de ces chemins, le délai et la puissance statique des portes logiques qui le constituent sont estimés pour $V_{DD} = (V_{DD})_i$ à partir des bibliothèques statistiques. Ceci va permettre de déterminer $(V_{DD})_{STAT}$ du chemin et donc d'optimiser son énergie statique. La Figure 3.12 illustre le flow de l'optimisation d'un chemin critique d'un circuit.

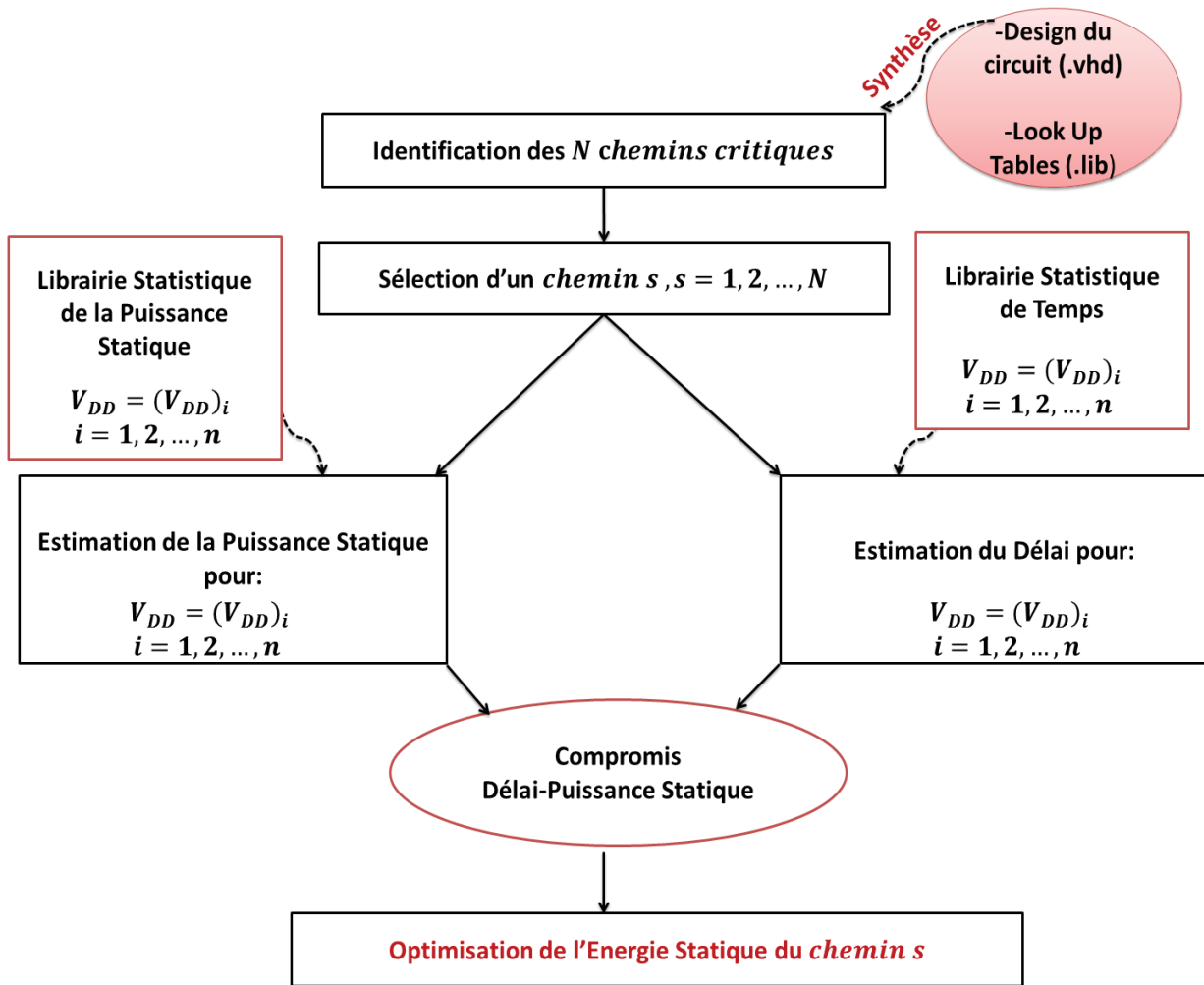


Figure 3.12 : Flow de l'optimisation d'un chemin critique

Dans ce qui suit, nous détaillons la démarche suivie pour optimiser l'énergie statique d'un chemin critique pour $V_{RBB} = 0V$.

3.4.2 Estimation du délai

Ayant un chemin critique de m portes logiques, pour chaque porte logique $gate_j, j = 1, 2, \dots, m$, la moyenne de son délai $\mu_{(gd)_j}$ est estimée et cela pour $V_{DD} = (V_{DD})_i, i = 1, 2, \dots, n, [(V_{DD})_1 = 0.6V < \dots < (V_{DD})_{i-1} < (V_{DD})_i < (V_{DD})_{i+1} < \dots < (V_{DD})_n = 1V]$. La Figure 3.13 illustre le flow de l'estimation de $(\mu_{gd_j})_{V_{DD}=(V_{DD})_i}$.

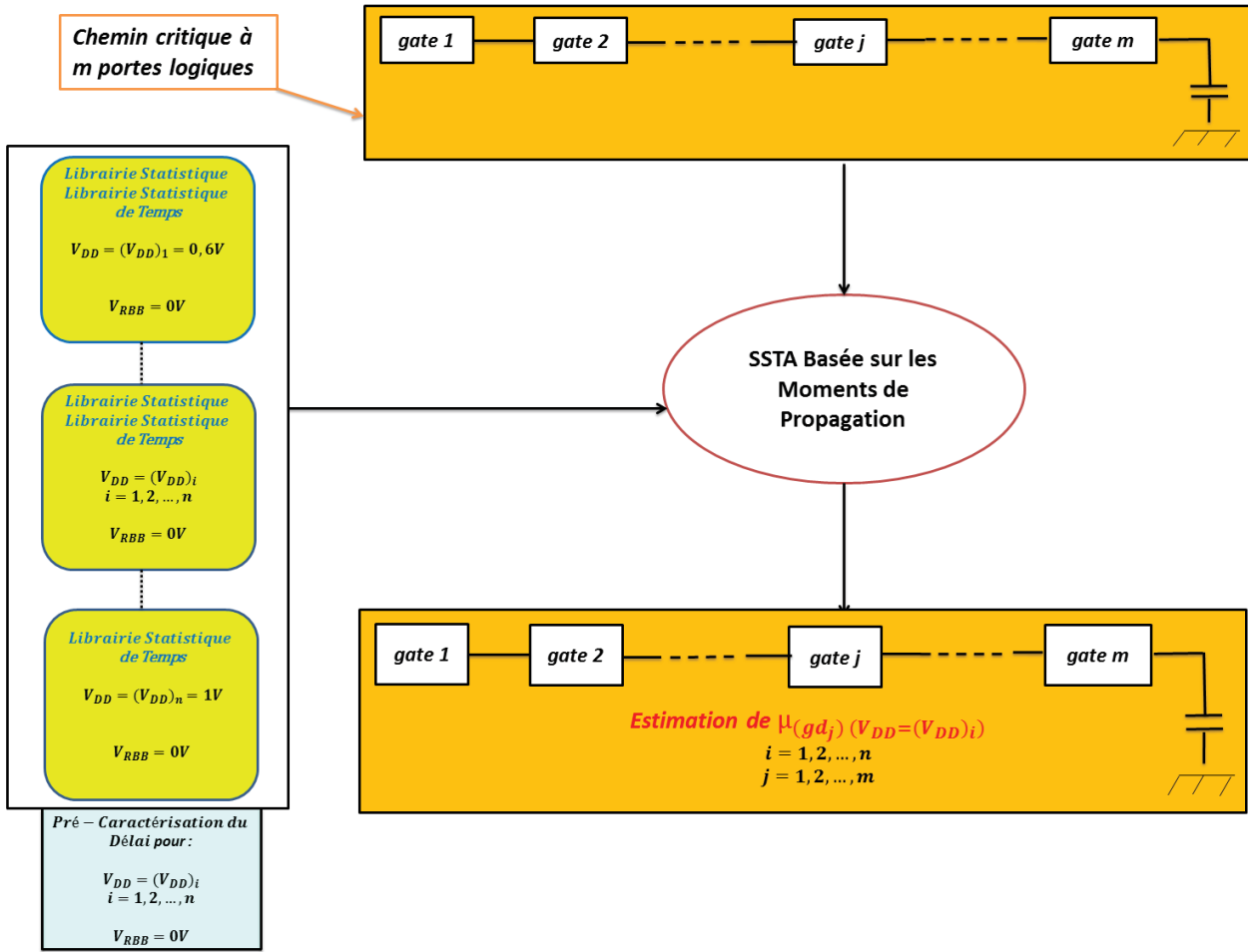


Figure 3.13 : Flow de l'estimation du Délai des portes d'un chemin critique

Comme on peut le voir sur la Figure 3.13, $(\mu_{gd_j})_{V_{DD}=(V_{DD})_i}$ est estimée à partir de l'approche "SSTA basée sur la propagation des moments". Connaissant le type de $gate_j$, son Input Edge, sa charge de sortie et sa pente d'entrée, $(\mu_{gd_j})_{V_{DD}=(V_{DD})_i}$ est estimée par des interpolations bilinéaires à partir des Look-Up Tables de la librairie statistique de temps construite pour $V_{DD} = (V_{DD})_i$.

Il faut noter que l'estimation de $(\mu_{gd_j})_{V_{DD}=(V_{DD})_i}$, $i = 1, \dots, n$, permet de calculer par des interpolations linéaires $(\mu_{gd_j})_{V_{DD}=(V_{DD})_{i'}}$, tels que : $(V_{DD})_i \leq (V_{DD})_{i'} \leq (V_{DD})_{i+1}$.

3.4.3 Estimation de la Puissance Statique

Connaissant l'input state de chaque porte logique $gate_j$, $j = 1, 2, \dots, m$, qui constitue le chemin critique, $(\mu_{(puiss\ stat)_{gate_j}})_{V_{DD}=(V_{DD})_i}$, $i = 1, 2, \dots, n$, la moyenne de la puissance statique de $gate_j$ qui correspond à $V_{DD} = (V_{DD})_i$ est estimée à partir de la librairie statistique de la puissance statique construite pour $V_{DD} = (V_{DD})_i$ (Figure 3.14).

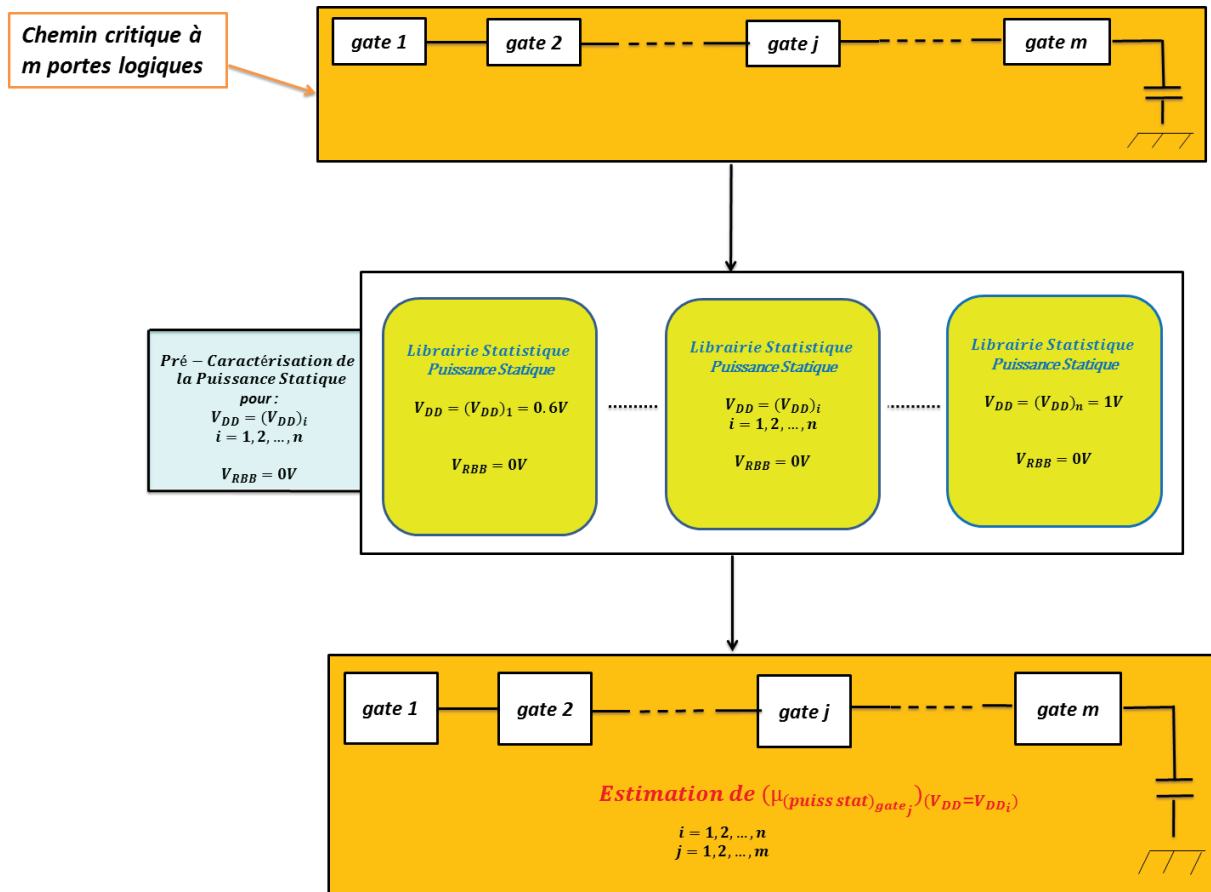


Figure 3.14 : Flow de l'estimation de la Puissance Statique des portes d'un chemin critique

L'estimation de $(\mu_{(puiss\ stat)_{gate_j}})_{V_{DD}=(V_{DD})_i}$, $i = 1, 2, \dots, n$, permet de calculer par des interpolations linéaires $(\mu_{(puiss\ stat)_{gate_j}})_{V_{DD}=(V_{DD})_{i'}}$, tels que : $(V_{DD})_i \leq (V_{DD})_{i'} \leq (V_{DD})_{i+1}$.

3.4.4 Optimisation du chemin

La Figure 3.15 illustre le flow de l'optimisation d'un chemin critique. Comme on peut le voir sur cette figure, on estime d'abord $(\mu_{gd_j})_{V_{DD}=(V_{DD})_i}$ et de $(\mu_{(puiss\ stat)_{gate_j}})_{V_{DD}=(V_{DD})_i}$ (les moyennes du délai et de la puissance statique respectivement de chaque porte logique $gate_j$ du chemin qui correspondent à $V_{DD} = (V_{DD})_i$). Ensuite, on détermine, à partir du compromis Délai-Puissance Statique, la tension d'alimentation $(V_{DDSTAT})_{gate_j}$, $j = 1, 2, \dots, m$, qui réduit la moyenne du délai de $gate_j$ sans trop dégrader la moyenne de sa puissance statique et vice versa.

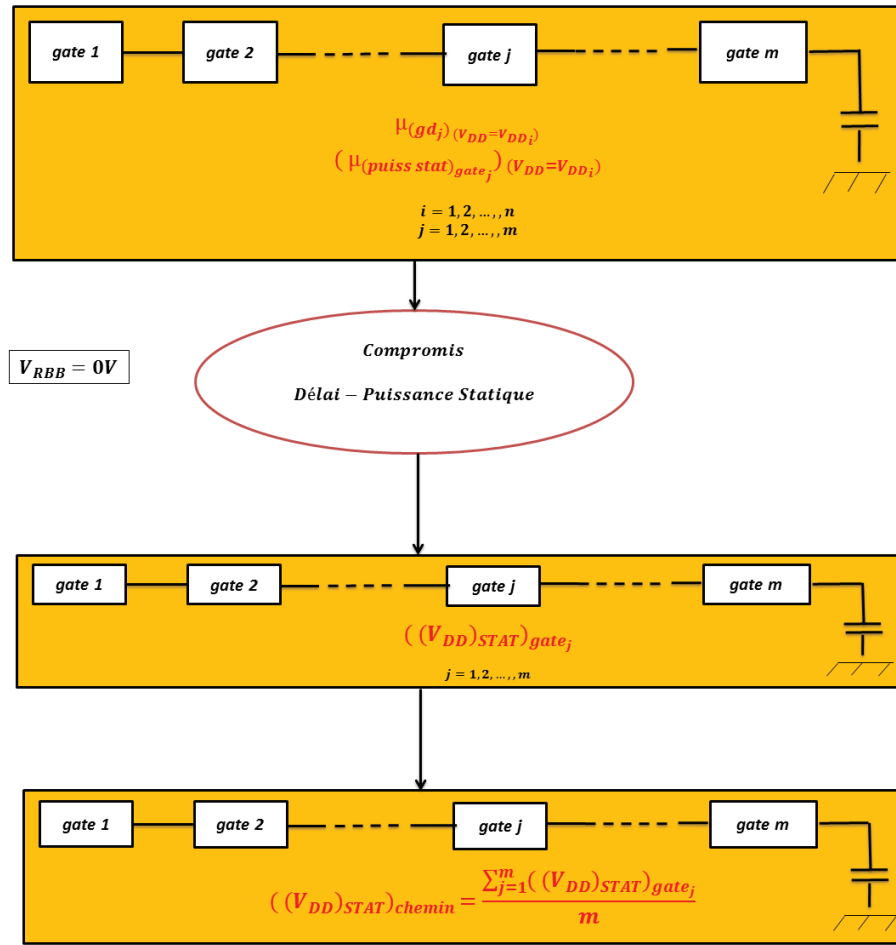


Figure 3.15 : Flow de l'optimisation d'un chemin critique

Après l'estimation de $((V_{DD})_{STAT})_{gate_j}$, la tension d'alimentation $((V_{DD})_{STAT})_{chemin}$ qui optimise l'énergie statique du chemin critique est considérée comme la moyenne de $((V_{DD})_{STAT})_{gate_j}$, $j = 1, 2, \dots, m$, et est calculée par (équation 3.19) :

$$((V_{DD})_{STAT})_{chemin} = \frac{\sum_{j=1}^m ((V_{DD})_{STAT})_{gate_j}}{m} \quad (3.19)$$

3.4.5 Application

Dans cette partie, nous présentons l'optimisation de l'énergie statique appliquée (pour $V_{RBB} = 0V$) sur le chemin critique du circuit b01 et le chemin critique du circuit b07. Cette optimisation est réalisée à partir du compromis Délai-Puissance Statique. Comme il est noté dans la partie précédente, pour un chemin critique à m portes logiques, $(\mu_{gd_j})_{V_{DD}=(V_{DD})_i}$ et $(\mu_{puiss\ stat})_{gate_j} V_{DD}=(V_{DD})_i$ les moyennes du délai et de la puissance statique (respectivement) d'une porte logique $gate_j$, $j =$

$1, 2, \dots, m$, qui correspondent à $V_{DD} = V_{DD_i}$, $i = 1, 2, \dots, n$, [$(V_{DD})_1 = 0.6V < \dots < (V_{DD})_{i-1} < (V_{DD})_i < (V_{DD})_{i+1} < \dots < (V_{DD})_n = 1V$] sont estimées à partir des bibliothèques statistiques construites pour $V_{DD} = (V_{DD})_i$, $i = 1, 2, \dots, n$. Après l'estimation de ces moyennes, la tension d'alimentation $(V_{DD_{STAT}})_{gate_j}$ qui réduit la moyenne du délai de $gate_j$ sans trop dégrader la moyenne de sa puissance statique et vice versa est identifiée à partir du compromis Délai-Puissance Statique. La Figure 3.16 illustre le compromis Délai-Puissance Statique et la détermination de $((V_{DD})_{STAT})_{gate_j}$ d'une porte logique (NOR ; 28 nm RVT UTBB-FDSOI) du chemin critique du circuit b01.

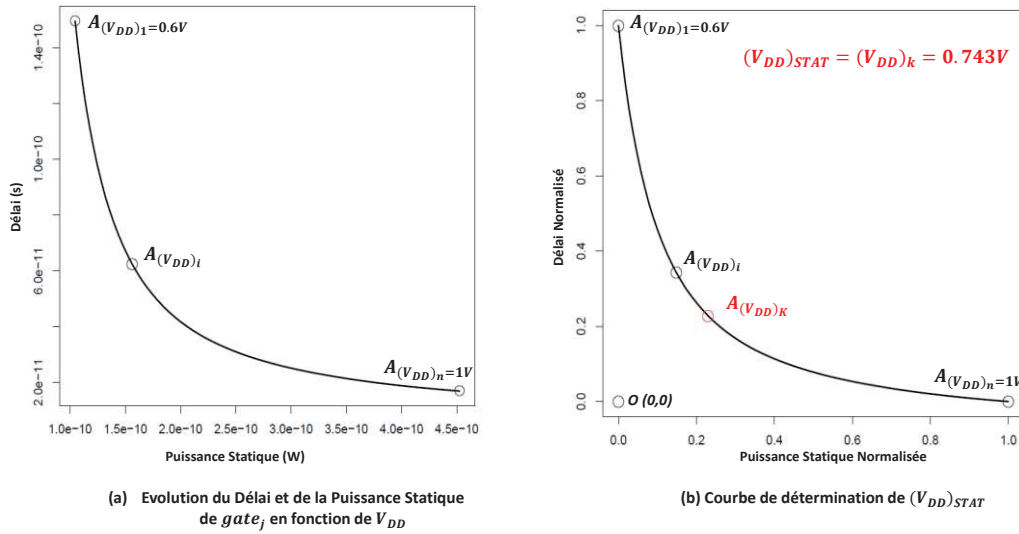


Figure 3.16 : Illustration du compromis Délai-Puissance Statique pour une porte logique ($gate_j$) du chemin critique de b01

La détermination de $((V_{DD})_{STAT})_{gate_j}$, $j = 1, 2, \dots, m$, permet de calculer $((V_{DD})_{STAT})_{chemin}$ à partir de l'équation 3.19. Ensuite $(\mu_{délai\ chemin})_{((V_{DD})_{STAT})_{chemin}}$ et $(\mu_{puis\ stat\ chemin})_{((V_{DD})_{STAT})_{chemin}}$ qui représentent la moyenne du délai et la moyenne de la puissance statique du chemin (respectivement) qui correspondent à $V_{DD} = ((V_{DD})_{STAT})_{chemin}$ sont calculées par (équations 3.20 et 3.21 respectivement) :

$$(\mu_{délai\ chemin})_{((V_{DD})_{STAT})_{chemin}} = \sum_{j=1}^m (\mu_{gd_j})_{V_{DD}=((V_{DD})_{STAT})_{chemin}} \quad (3.20)$$

$$(\mu_{puis\ stat\ chemin})_{((V_{DD})_{STAT})_{chemin}} = \sum_{j=1}^m (\mu_{(puis\ stat)_{gate_j}})_{V_{DD}=((V_{DD})_{STAT})_{chemin}} \quad (3.21)$$

Connaissant $(\mu_{gd_j})_{V_{DD}=(V_{DD})_i}$ et $(\mu_{(puiss\ stat)_{gate_j}})_{V_{DD}=(V_{DD})_i}$, $i = 1, 2, \dots, n$, les deux termes $(\mu_{gd_j})_{V_{DD}=(V_{DD_{STAT})_{chemin}}$ et $(\mu_{(puiss\ stat)_{gate_j}})_{V_{DD}=(V_{DD_{STAT})_{chemin}}$ qui figurent dans les équations 3.20 et 3.21 sont calculés par des interpolations linéaires.

Pour le même chemin critique du circuit b01 étudié précédemment, la Figure 3.17 illustre l'évolution de la moyenne de son délai et de la moyenne de sa puissance statique en fonction de V_{DD} . On montre aussi sur cette figure $(V_{DD_{STAT})_{chemin}}$ ainsi que $(\mu_{délai\ chemin})_{(V_{DD_{STAT})_{chemin}}$ et $(\mu_{puis\ stat\ chemin})_{(V_{DD_{STAT})_{chemin}}$.

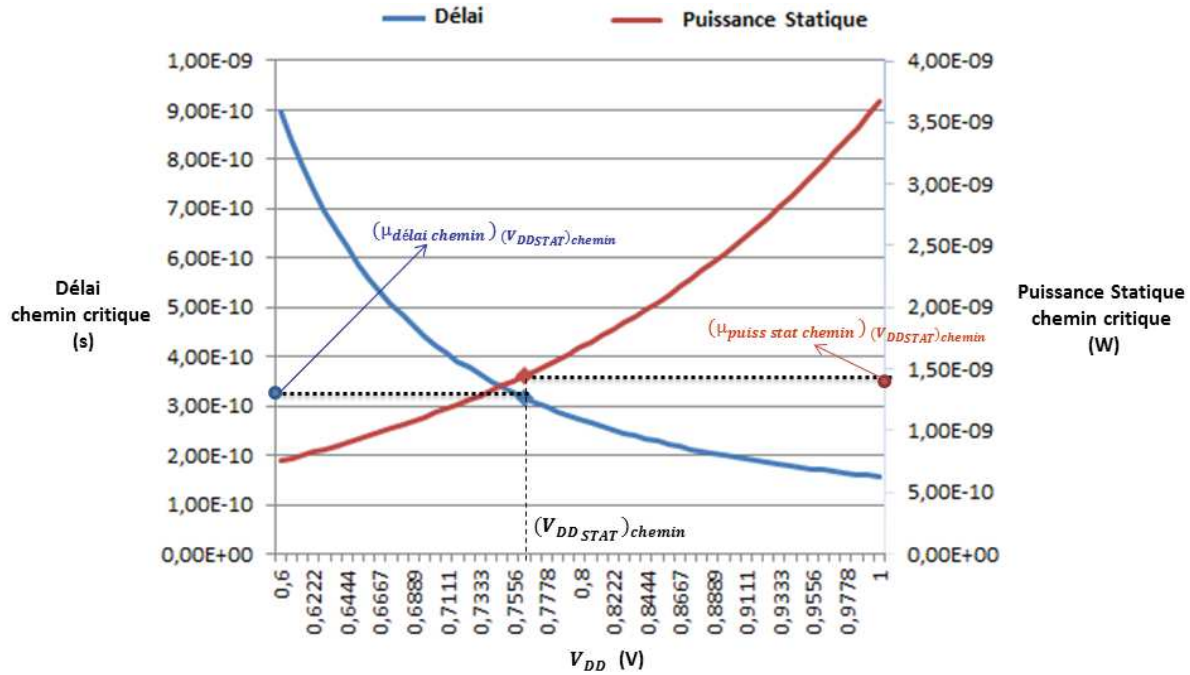


Figure 3.17 : Illustration de $(V_{DD_{STAT})_{chemin}}$

Dans le Tableau 3.3, on représente la valeur de $(V_{DD_{STAT})_{chemin}}$ ainsi que les valeurs des moyennes et des écarts types du délai et de la puissance statique pour le chemin critique du circuit b01 (constitué par 5 portes logiques) et le chemin critique du circuit b07 (constitué par 11 portes logiques).

Circuit	$(V_{DD_{STAT})_{chemin}}$ (V)	$(\mu_{délai})$ (s)	$(\sigma_{délai})$ (s)	$(\mu_{puis\ stat})$ (W)	$(\sigma_{puis\ stat})$ (W)
b01	0.762	3.29 e-10	1.38 e-11	1.47 e-9	3.19 e-10
b07	0.762	4.73 e-10	1.50 e-11	2.48 e-9	3.97 e-10

Tableau 3.3: Valeurs des moyennes et des écarts types du délai et de la puissance statique des chemins qui correspondent à $(V_{DD_{STAT})_{chemin}}$

Dans cette partie on a présenté la méthode qui permet d’optimiser l’énergie statique d’un chemin critique du circuit. Dans la partie suivante, nous présentons la démarche suivie afin d’optimiser l’énergie statique du circuit complet.

3.5 Optimisation de l’énergie statique pour un circuit

Pour optimiser l’énergie statique d’un circuit, ce dernier est d’abord synthétisé ce qui permet d’identifier une liste de ses N chemins critiques. Ensuite, chaque chemin s , $s = 1, 2, \dots, N$, est optimisé en suivant la démarche présentée dans la partie précédente. Enfin, la tension d’alimentation $(V_{DDSTAT})_{circuit}$ qui optimise l’énergie statique du circuit est déterminée (Figure 3.18).

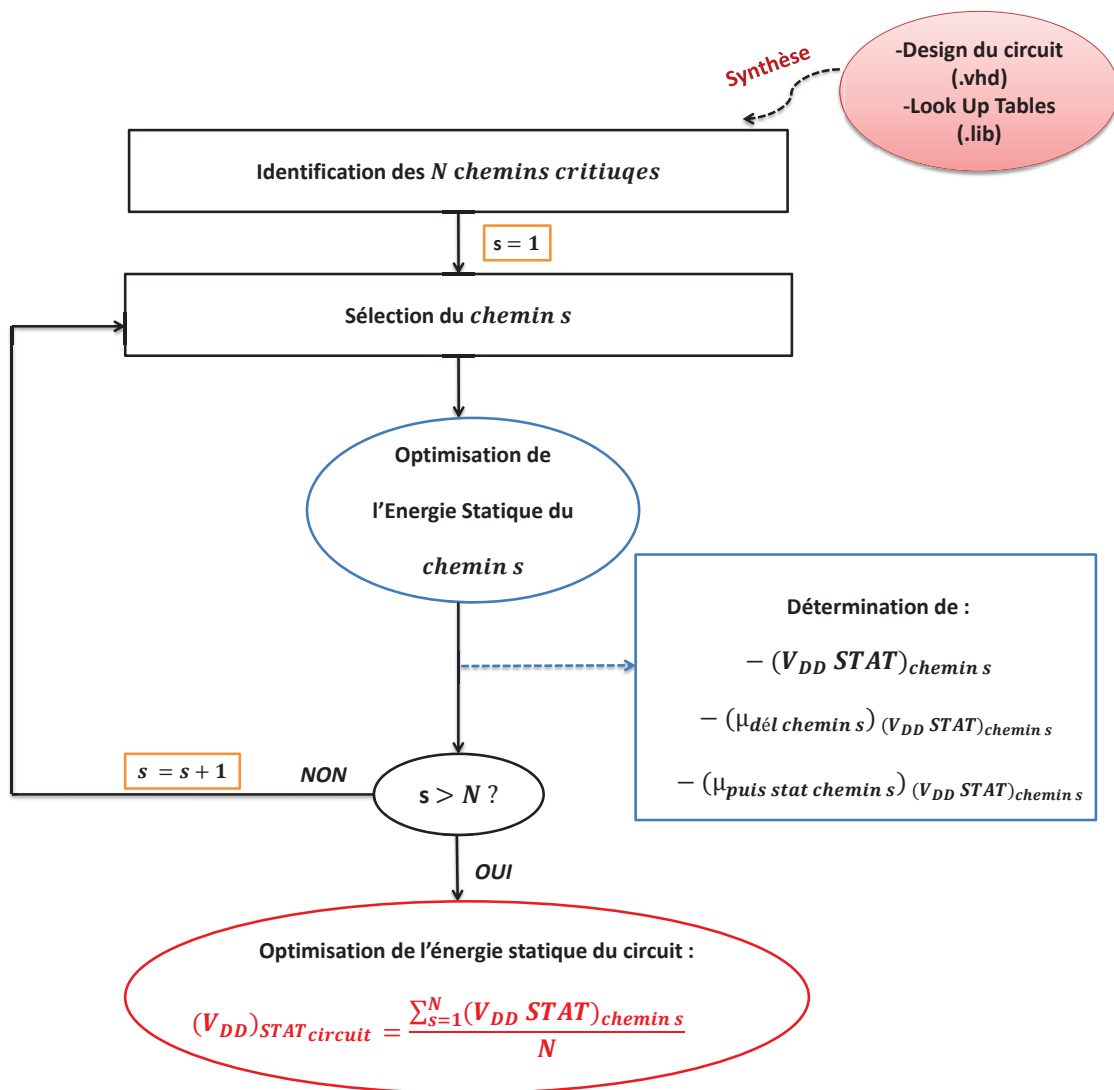


Figure 3.18 : Flow de l’optimisation de l’énergie statique du circuit

Comme on peut le voir sur la Figure 3.18, l’optimisation des chemins critiques du circuit permet de déterminer pour chaque chemin s , $s = 1, 2, \dots, N$:

- $(V_{DDSTAT})_{chemin\ s}$ la tension d'alimentation qui réduit le délai du *chemin s* sans trop sa puissance statique et donc qui optimise son énergie statique,
- $(\mu_{délai\ chemin\ s})_{(V_{DDSTAT})_{chemin\ s}}$ la moyenne du délai du *chemin s* qui correspond à $(V_{DDSTAT})_{chemin\ s}$,
- $(\mu_{puis\ stat\ chemin\ s})_{(V_{DDSTAT})_{chemin\ s}}$ la moyenne de la puissance statique du *chemin s* qui correspond à $(V_{DDSTAT})_{chemin\ s}$,

$(V_{DDSTAT})_{chemin\ s}$, $(\mu_{délai\ chemin})_{(V_{DDSTAT})_{chemin\ s}}$, $(\mu_{puis\ stat\ chemin})_{(V_{DDSTAT})_{chemin\ s}}$ qui correspondent aux 5 premiers chemins critiques du circuit b01 et aux 3 premiers chemins critiques du circuit b07 sont représentés dans le Tableau 3.4.

		Profondeur Logique	$(V_{DDSTAT})_{chemin}$ (V)	$(\mu_{délai\ chemin})_{(V_{DDSTAT})_{chemin}}$ (s)	$(\mu_{puis\ stat\ chemin})_{(V_{DDSTAT})_{chemin}}$ (W)
b01	Chemin 1	5	0.762	3.297 e-10	1.479 e-9
	Chemin 2	6	0.761	3.273 e-10	1.737e-9
	Chemin 3	5	0.768	2.940 e-10	1.318 e-9
	Chemin 4	6	0.766	2.929 e-10	1.582e-9
	Chemin 5	5	0.765	2.876 e-10	1.362e-9
b07	Chemin 1	11	0.762	4.730 e-10	2.487 e-9
	Chemin 2	11	0.762	4.727 e-10	2.510e-9
	Chemin 3	11	0.763	4.863 e-10	2.265 e-9

Tableau 3.4 : Valeurs de $(V_{DDSTAT})_{chemin}$, $(\mu_{délai\ chemin})_{(V_{DDSTAT})_{chemin}}$, $(\mu_{puis\ stat\ chemin})_{(V_{DDSTAT})_{chemin}}$ des chemins des circuits b01 et b07

Pour chacun des circuits b01 et b07, la variation de $(V_{DDSTAT})_{chemin\ s}$ d'un chemin à un autre est relativement faible (Tableau 3.4). Par conséquent, ce n'est pas déraisonnable de supposer que $(V_{DDSTAT})_{circuit}$ la tension d'alimentation qui optimise l'énergie statique du circuit est égale à la moyenne de $(V_{DDSTAT})_{chemin\ s}$ et est calculée par (équation 3.22) :

$$(V_{DDSTAT})_{circuit} = \frac{\sum_{s=1}^N (V_{DDSTAT})_{chemin\ s}}{N} \quad (3.22)$$

Après le calcul de $(V_{DDSTAT})_{circuit}$, pour chaque *chemin s* des N chemins du circuit, connaissant m le nombre de portes logiques qui le constituent, et connaissant :

- $(\mu_{gd_l})_{V_{DD}=(V_{DD})_i}$, $i = 1, 2, \dots, n$, $l = 1, 2, \dots, m$, qui représente la moyenne du délai d'une porte logique *gate l* qui constitue le *chemin s* et qui correspond à $V_{DD} = (V_{DD})_i$,
- $(\mu_{(puiss\ stat)_{gate_l}})_{V_{DD}=(V_{DD})_i}$, $i = 1, 2, \dots, n$, $l = 1, 2, \dots, m$, la moyenne de la puissance d'une porte logique *gate l* qui constitue le *chemin i* et qui correspond à $V_{DD} = (V_{DD})_i$,

on calcule par des interpolations linéaires :

- $(\mu_{gd_l})_{V_{DD}=(V_{DDSTAT})_{circuit}}$, $l = 1, 2, \dots, m$, la moyenne du délai de *gate l* qui correspond à $V_{DD} = (V_{DDSTAT})_{circuit}$,
- $(\mu_{(puiss\ stat)_{gate_l}})_{V_{DD}=(V_{DDSTAT})_{circuit}}$, $l = 1, 2, \dots, m$, la moyenne de la puissance statique de *gate l* qui correspond à $V_{DD} = (V_{DDSTAT})_{circuit}$.

Ensuite,

- $(\mu_{délai\ chemin\ s})_{(V_{DDSTAT})_{circuit}}$ la moyenne du délai du *chemin s* qui correspond à $V_{DD} = (V_{DDSTAT})_{circuit}$,
- $(\mu_{puiss\ stat\ chemin\ s})_{(V_{DDSTAT})_{circuit}}$ la moyenne de la puissance statique du *chemin s* qui correspond à $V_{DD} = (V_{DDSTAT})_{circuit}$,

sont calculées par (équations 3.23 et 3.24 respectivement) :

$$(\mu_{délai\ chemin\ s})_{(V_{DDSTAT})_{circuit}} = \sum_{l=1}^m (\mu_{gd_l})_{V_{DD}=(V_{DDSTAT})_{circuit}} \quad (3.23)$$

$$(\mu_{puiss\ stat\ chemin\ s})_{(V_{DDSTAT})_{circuit}} = \sum_{l=1}^m (\mu_{(puiss\ stat)_{gate_l}})_{V_{DD}=(V_{DDSTAT})_{circuit}} \quad (3.24)$$

Pour les mêmes chemins critiques des circuits b01 et b07, le Tableau 3.5 représente les moyennes de leurs délais et de leurs puissance statiques qui correspondent à $V_{DD} = (V_{DDSTAT})_{circuit}$.

	$(V_{DDSTAT})_{circuit}$ (V)	<i>chemin s</i>	$(\mu_{délai\ chemin})_{(V_{DDSTAT})_{circuit}}$ (s)	$(\mu_{puis\ stat\ chemin})_{(V_{DDSTAT})_{chemin}}$ (W)
b01	0.7644	Chemin 1	3.270 e-10	1.488 e-9
		Chemin 2	3.233 e-10	1.756 e-9
		Chemin 3	2.996 e-10	1.301 e-9
		Chemin 4	2.959 e-10	1.569 e-9
		Chemin 5	2.891 e-10	1.356 e-9
b07	0.7623	Chemin 1	4.726 e-10	2.489 e-9
		Chemin 2	4.723 e-10	2.512 e-9
		Chemin 3	4.885 e-10	2.256 e-9

Tableau 3.5 : Valeurs de $(V_{DDSTAT})_{circuit}$, $(\mu_{délai\ chemin})_{(V_{DDSTAT})_{circuit}}$ et $(\mu_{puis\ stat\ chemin})_{(V_{DDSTAT})_{circuit}}$ des chemins des circuits b01 et b07

Après le calcul des moyennes du délai et de la puissance statique des N chemins critiques du circuit qui correspondent à $(V_{DDSTAT})_{circuit}$ (la tension d'alimentation qui optimise l'énergie statique du circuit), le *chemin* u , $u \in \{1,2, \dots, N\}$, ayant la plus grande moyenne de délai est déterminé. Enfin, le délai et la puissance statique du circuit qui correspondent à $(V_{DDSTAT})_{circuit}$ sont considérés être la moyenne du délai et la moyenne de la puissance statique (respectivement) du *chemin* u .

Le Tableau 3.6 représente pour les circuits b01 et b07, les moyennes de leurs délais et de leurs puissances statiques qui correspondent à $(V_{DDSTAT})_{circuit}$.

	$(V_{DDSTAT})_{circuit}$ (V)	Délai (s)	Puissance Statique (W)
b01	0.7644	3.270 e-10	1.488 e-9
b07	0.7623	4.885 e-10	2.256 e-9

Tableau 3.6 : Optimisation des circuits b01 et b07

3.6 Gain apporté par le compromis Délai-Puissance Statique

Comme il est connu, un compromis mène à un gain et à une perte, mais le gain espéré est plus important que la perte. Dans cette partie, pour les mêmes chemins critiques des circuits b01 et b07, nous évaluons le gain maximal et la perte maximale du délai et de la puissance statique apportés par le compromis Délai-Puissance Statique en calculant les pourcentages de ces gains et de ces pertes. Pour cela, nous comparons d’abord les délais des chemins qui correspondent à $(V_{DD})_{STAT_{chemin}}$ la tension d’alimentation déterminée à partir du compromis aux délais minimaux des chemins qui correspondent à $V_{DD} = 1V$ et aux délais maximaux des chemins qui correspondent à $V_{DD} = 0.6V$. De même, nous comparons les puissances statiques des chemins qui correspondent à $(V_{DD})_{STAT_{chemin}}$ aux puissances statiques minimales qui correspondent à $V_{DD} = 0.6V$ et aux puissances statiques maximales qui correspondent à $V_{DD} = 1V$ (Tableau 3.7). Ensuite, pour le délai et pour la puissance statique, nous calculons les pourcentages des gains maximaux (pourcentage de réduction du délai et de la puissance statique par rapports à leurs valeurs maximales) et les pourcentages des pertes maximales (pourcentages d’augmentations du délai et de la puissance statique par rapports à leurs valeurs minimales) apportés par le compromis.

		$V_{DD} = 1V$		$V_{DD} = (V_{DD})_{STAT}$		$V_{DD} = 0.6V$	
		Délai (s)	Puissance Statique (W)	Délai (s)	Puissance Statique (W)	Délai (s)	Puissance Statique (W)
b01	Chemin 1	1.60 e-10	3.86 e-9	3.29 e-10	1.47 e-9	9.32 e-10	0.75 e-9
	Chemin 2	1.57 e-10	4.58 e-9	3.27 e-10	1.73e-9	9.33 e-10	0.91 e-9
	Chemin 3	1.45 e-10	3.33 e-9	2.94 e-10	1.31 e-9	8.53 e-10	0.66 e-9
	Chemin 4	1.42 e-10	4.06 e-9	2.92 e-10	1.58e-9	8.54 e-10	0.81 e-9
	Chemin 5	1.44 e-10	3.52 e-9	2.87 e-10	1.36e-9	8.07 e-10	0.69 e-9
b07	Chemin 1	2.40 e-10	6.62 e-9	4.73 e-10	2.48 e-9	12.7 e-10	1.26 e-9
	Chemin 2	2.41 e-10	6.69 e-9	4.72 e-10	2.51e-9	12.7 e-10	1.27 e-9
	Chemin 3	2.46 e-10	6.03 e-9	4.86 e-10	2.26 e-9	13.2 e-10	1.14 e-9

Tableau 3.7 : Comparaison du délai et de la puissance statique des chemins critiques pour plusieurs valeurs de la tension d’alimentation

Le Tableau 3.7 illustre les moyennes du délai et de la puissance statique des chemins critiques des circuits b01 et b07. Ces moyennes correspondent à :

- $V_{DD} = (V_{DD})_{STAT_{chemin}}$ la tension d'alimentation déterminée à partir du compromis et qui réduit le délai sans trop dégrader la puissance statique et vice versa,
- $V_{DD} = 1V$ la tension d'alimentation qui mène à un délai minimal et une puissance statique maximale,

$V_{DD} = 0.6V$ la tension d'alimentation qui mène à un délai maximal et une puissance statique minimale.

Comme on peut voir dans le Tableau 3.7, la tension d'alimentation $(V_{DD})_{STAT_{chemin}}$ déterminée à partir du compromis Délai-Puissance Statique, réduit le délai maximal qui correspond à $V_{DD} = 0.6V$ sans trop dégrader la puissance statique minimale (qui correspond à $V_{DD} = 0.6V$). De même, $(V_{DD})_{STAT_{chemin}}$ réduit la puissance statique maximale qui correspond à $V_{DD} = 1V$ sans trop dégrader le délai minimal (qui correspond à $V_{DD} = 1V$).

Pour calculer les pourcentages des gains et des pertes maximaux du délai et de la puissance statique apportés par le compromis, on définit d'abord les deux ensembles $(puis\ stat)_{V_{DD}}$ et $(del)_{V_{DD}}$ (équations 3.25 et 3.26 respectivement).

$$(puis\ stat)_{V_{DD}} = \{ (puis\ stat)_{V_{DD}=0.6V}, (puis\ stat)_{V_{DD}=(V_{DD})_{STAT}}, (puis\ stat)_{V_{DD}=1V} \} \quad (3.25)$$

$$(del)_{V_{DD}} = \{ (del)_{V_{DD}=0.6V}, (del)_{V_{DD}=(V_{DD})_{STAT}}, (del)_{V_{DD}=1V} \} \quad (3.26)$$

$(puis\ stat)_{V_{DD}}$ et $(del)_{V_{DD}}$ représentent les valeurs de la puissance statique et du délai respectivement qui correspondent à :

- $V_{DD} = 0.6V$ la tension d'alimentation qui mène à un délai maximal et une puissance statique minimale,
- $V_{DD} = (V_{DD})_{STAT_{chemin}}$ la tension d'alimentation déterminée à partir du compromis,
- $V_{DD} = 1V$ la tension d'alimentation qui mène à un délai minimal et une puissance statique maximale.

Les pourcentages des gains maximaux du délai et de la puissance statique apportés par le compromis Délai-Puissance Statique sans polarisation sont les pourcentages des réductions du délai et de la puissance statique apportés par le compromis et cela par rapport aux valeurs maximales du délai et de la puissance statique. Par conséquent, ces pourcentages des gains dépendent des valeurs maximales

du délai et de la puissance statique. De l'autre côté, les pourcentages des pertes maximales du délai et de la puissance statique apportés par le compromis sont les pourcentages d'augmentations du délai et de la puissance statique apportés par le compromis et cela par rapport aux valeurs minimales du délai et de la puissance statique. Par conséquent, ces pourcentages des pertes dépendent des valeurs minimales du délai et de la puissance statique. En d'autres termes, supposons que le pourcentage de gain maximal du délai apporté par le compromis est égal à $x\%$ ($100 \times \frac{del_{max} - del_{comp}}{del_{max}} = x$) cela veut dire que le compromis réduit le délai de $x\%$ de sa valeur maximale. De l'autre côté, supposons que le pourcentage de perte maximale du délai apporté par le compromis est égal à $y\%$ ($100 \times \frac{del_{comp} - del_{min}}{del_{min}} = y$) cela veut dire que le compromis augmente le délai de $y\%$ de sa valeur minimale. Par conséquent, pour évaluer le compromis (comparer le pourcentage de gain maximal apporté par le compromis au pourcentage de perte maximale apporté par le compromis), il n'est pas raisonnable de comparer $x\%$ à $y\%$ puisque le pourcentage $x\%$ est pondéré par le maximum du délai alors que le $y\%$ est pondéré par le minimum du délai. Par conséquent, pour une évaluation correcte du compromis une normalisation des deux ensembles $del_{(V_{DD})}$ et $puis\ stat_{(V_{DD})}$ est nécessaire. Ainsi, on définit l'ensemble $norm\ del_{(V_{DD})}$ (équation 3.27) qui représente la normalisation de $del_{(V_{DD})}$.

$$\begin{aligned}
 & \mathbf{norm\ del}_{(V_{DD})} = \\
 & \quad \{ \\
 & \quad \mathbf{norm\ del}_{(V_{DD}=0.6V)}, \\
 & \quad \mathbf{norm\ del}_{(V_{DD}=(V_{DD})_{STAT})}, \\
 & \quad \mathbf{norm\ del}_{(V_{DD}=1V)} \\
 & \quad \}
 \end{aligned} \tag{3.27}$$

Les éléments de l'ensemble $norm\ del_{(V_{DD})}$ sont définis par les équations 3.28, 3.29 et 3.30 respectivement.

$$\begin{aligned}
 & \mathbf{norm\ del}_{(V_{DD}=0.6V)} \\
 & = \\
 & \frac{(\mathit{del})_{(V_{DD}=0.6V)} - \min(\mathit{del}_{(V_{DD})})}{\max(\mathit{del}_{(V_{DD})}) - \min(\mathit{del}_{(V_{DD})})} \\
 & = \\
 & \frac{(\mathit{del})_{(V_{DD}=0.6V)} - (\mathit{del})_{(V_{DD}=1V)}}{(\mathit{del})_{(V_{DD}=0.6V)} - (\mathit{del})_{(V_{DD}=1V)}} \\
 & = \mathbf{1}
 \end{aligned} \tag{3.28}$$

$$\begin{aligned}
 & \mathbf{norm\ del}_{(V_{DD}=(V_{DD})_{STAT})} \\
 & = \\
 & \frac{\mathit{del}_{(V_{DD}=(V_{DD})_{STAT})} - \min(\mathit{del}_{(V_{DD})})}{\max(\mathit{del}_{(V_{DD})}) - \min(\mathit{del}_{(V_{DD})})} \\
 & = \\
 & \frac{\mathit{del}_{(V_{DD}=(V_{DD})_{STAT})} - (\mathit{del})_{(V_{DD}=1V)}}{(\mathit{del})_{(V_{DD}=0.6V)} - (\mathit{del})_{(V_{DD}=1V)}}
 \end{aligned} \tag{3.29}$$

$$\begin{aligned}
 & \mathbf{norm\ del}_{(V_{DD}=1V)} \\
 & = \\
 & \frac{(\mathit{del})_{(V_{DD}=1V)} - \min(\mathit{del}_{(V_{DD})})}{\max(\mathit{del}_{(V_{DD})}) - \min(\mathit{del}_{(V_{DD})})} \\
 & = \\
 & \frac{(\mathit{del})_{(V_{DD}=1V)} - (\mathit{del})_{(V_{DD}=1V)}}{(\mathit{del})_{(V_{DD}=0.6V)} - (\mathit{del})_{(V_{DD}=1V)}} \\
 & = \mathbf{0}
 \end{aligned} \tag{3.30}$$

On définit aussi l'ensemble **norm puis stat**_(V_{DD}) (équation 3.31) qui représente la normalisation de l'ensemble **puis stat**_(V_{DD}).

$$\begin{aligned}
 \mathbf{norm\ puis\ stat}_{(V_{DD})} = & \\
 & \{ \\
 & \quad \mathbf{norm\ puis\ stat}_{(V_{DD}=0.6V)}, \\
 & \quad \mathbf{norm\ puis\ stat}_{(V_{DD}=(V_{DD})_{STAT})}, \\
 & \quad \mathbf{norm\ puis\ stat}_{(V_{DD}=1V)} \\
 & \}
 \end{aligned} \tag{3.31}$$

Les éléments de l'ensemble $\mathbf{norm\ puis\ stat}_{(V_{DD})}$ sont définis par les équations 3.32, 3.33 et 3.34 respectivement.

$$\begin{aligned}
 \mathbf{norm\ puis\ stat}_{(V_{DD}=0.6V)} & \\
 = & \\
 \frac{(\mathbf{puis\ stat})_{(V_{DD}=0.6V)} - \min(\mathbf{puis\ stat}_{(V_{DD})})}{\max(\mathbf{puis\ stat}_{(V_{DD})}) - \min(\mathbf{puis\ stat}_{(V_{DD})})} & \\
 = & \\
 \frac{(\mathbf{puis\ stat})_{(V_{DD}=0.6V)} - (\mathbf{puis\ stat})_{(V_{DD}=0.6V)}}{(\mathbf{puis\ stat})_{(V_{DD}=1V)} - (\mathbf{puis\ stat})_{(V_{DD}=0.6V)}} & \\
 = \mathbf{0} &
 \end{aligned} \tag{3.32}$$

$$\begin{aligned}
 \mathbf{norm\ puis\ stat}_{(V_{DD}=(V_{DD})_{STAT})} & \\
 = & \\
 \frac{\mathbf{puis\ stat}_{(V_{DD}=(V_{DD})_{STAT})} - \min(\mathbf{puis\ stat}_{(V_{DD})})}{\max(\mathbf{puis\ stat}_{(V_{DD})}) - \min(\mathbf{puis\ stat}_{(V_{DD})})} & \\
 = & \\
 \frac{\mathbf{puis\ stat}_{(V_{DD}=(V_{DD})_{STAT})} - (\mathbf{puis\ stat})_{(V_{DD}=0.6V)}}{(\mathbf{puis\ stat})_{(V_{DD}=1V)} - (\mathbf{puis\ stat})_{(V_{DD}=0.6V)}} &
 \end{aligned} \tag{3.33}$$

$$\begin{aligned}
 & \mathbf{norm\ puis\ stat}_{(V_{DD}=1V)} \\
 & = \\
 & \frac{(puis\ stat)_{(V_{DD}=1V)} - \min(puis\ stat_{(V_{DD})})}{\max(puis\ stat_{(V_{DD})}) - \min(puis\ stat_{(V_{DD})})} \\
 & = \\
 & \frac{(puis\ stat)_{(V_{DD}=1V)} - (puis\ stat)_{(V_{DD}=0.6V)}}{(puis\ stat)_{(V_{DD}=1V)} - (puis\ stat)_{(V_{DD}=0.6V)}} \\
 & = \mathbf{1}
 \end{aligned} \tag{3.34}$$

Après la normalisation, les pourcentages des gains et des pertes maximaux de la puissance statique apportés par le compromis sont définis à partir des équations 3.35 et 3.36 respectivement.

$$\begin{aligned}
 & \mathbf{gain\ max\ puis\ stat} = \\
 & 100 \times [(norm\ puis\ stat)_{V_{DD}=1V} - (norm\ puis\ stat)_{V_{DD}=(V_{DD})_{STAT}}] = \\
 & 100 \times [1 - (norm\ puis\ stat)_{V_{DD}=(V_{DD})_{STAT}}]
 \end{aligned} \tag{3.35}$$

$$\begin{aligned}
 & \mathbf{perte\ max\ puis\ stat} = \\
 & 100 \times [(norm\ puis\ stat)_{V_{DD}=(V_{DD})_{STAT}} - (norm\ puis\ stat)_{V_{DD}=0.6V}] = \\
 & 100 \times [(norm\ puis\ stat)_{V_{DD}=(V_{DD})_{STAT}}]
 \end{aligned} \tag{3.36}$$

Les pourcentages des gains et des pertes maximaux du délai apportés par le compromis sont définis à partir des équations 3.37 et 3.38 respectivement.

$$\begin{aligned}
 & \mathbf{gain\ max\ del} = \\
 & 100 \times [(norm\ del)_{V_{DD}=0.6V} - (norm\ del)_{V_{DD}=(V_{DD})_{STAT}}] = \\
 & 100 \times [1 - (norm\ del)_{V_{DD}=(V_{DD})_{STAT}}]
 \end{aligned} \tag{3.37}$$

$$\begin{aligned}
 & \mathbf{perte\ max\ del} = \\
 & 100 \times [(norm\ del)_{V_{DD}=(V_{DD})_{STAT}} - (norm\ del)_{V_{DD}=1V}] = \\
 & 100 \times [(norm\ del)_{V_{DD}=(V_{DD})_{STAT}}]
 \end{aligned} \tag{3.38}$$

Pour les mêmes chemins critiques des circuits b01 et b07, le Tableau 3.8 représente les pourcentages des gains et des pertes maximaux du délai et de la puissance statique apportés par le compromis Délai-Puissance Statique sans polarisation.

		Compromis Gain Maximal %		Compromis Perte Maximal %	
		Délai	Puissance Statique	Délai	Puissance Statique
b01	Chemin 1	78.10	76.84	21.89	23.15
	Chemin 2	78.09	77.65	21.90	22.34
	Chemin 3	78.95	75.65	21.04	24.34
	Chemin 4	78.93	76.30	21.06	23.69
	Chemin 5	78.43	76.32	21.56	23.67
b07	Chemin 1	77.37	77.23	22.62	22.76
	Chemin 2	77.55	77.12	22.44	22.87
	Chemin 3	77.65	77.09	22.34	22.90
Moyenne		78.1	76.84	21.89	23.15

Tableau 3.8 : Pourcentages des gains et des pertes maximaux du délai et de la puissance statique apportés par le compromis Délai-Puissance Statique sans polarisation

Comme on peut le voir dans le Tableau 3.8, les pourcentages des gains maximaux du délai et de la puissance statique apportés par le compromis Délai-Puissance Statique sont bien plus élevés que les pourcentages des pertes maximales de ce compromis. Ce qui nous permet de dire que c'est un compromis efficace qui mène à un gain bien plus élevé que la perte.

3.7 Conclusion

Le délai et la puissance statique dépendent essentiellement de la tension d'alimentation. Pour des tensions d'alimentation faibles, le délai est élevé alors que la puissance statique est faible et vice versa. Dans ce chapitre, nous avons défini un compromis Délai-Puissance Statique qui permet de

déterminer une tension d'alimentation nommée $(V_{DD})_{STAT}$ qui réduit le délai sans trop dégrader la puissance statique et vice versa, ce qui permet d'optimiser l'énergie statique. Nous avons aussi présenté, la caractérisation des bibliothèques statistiques de la technologie 28 nm RVT UTBB-FDSOI.

Cette caractérisation est définitive et n'est pas à refaire à chaque étude d'un circuit. Pour chaque porte de la bibliothèque, cette caractérisation en délai et en puissance statique permet de déterminer leur compromis Délai-Puissance Statique et donc d'optimiser leur énergie statique. Ce concept de compromis a ensuite été appliqué à un chemin et étendu aux circuits.

Pour évaluer ce compromis, on a calculé les pourcentages des gains et des pertes maximaux du délai et de la puissance statique apportés par le compromis. Les pourcentages des gains maximaux sont bien plus élevés que ceux des pertes maximaux, ce qui nous permet de dire que c'est un compromis efficace.

Il est important de noter que :

- le compromis Délai-Puissance Statique,
- la caractérisation des bibliothèques statistiques,
- et l'optimisation des chemins critiques,

sont présentés dans ce chapitre sans appliquer de tension de polarisation ($V_{RBB} = 0V$).

Or, les transistors étudiés dans ce mémoire, sont les transistors 28 nm RVT UTBB-FDSOI choisis pour leur gain important en puissance statique par rapport aux transistors 28 nm LVT UTBB-FDSOI. Les transistors 28 nm RVT UTBB-FDSOI sont conçus pour réduire la puissance statique et donc des polarisations en mode inverse (*RBB : Reverse Body Biasing*) leurs sont appliquées ($V_{RBB} \leq 0V$).

Dans le chapitre suivant, nous allons donc reprendre le compromis Délai-Puissance Statique sans négliger la tension de polarisation ($V_{RBB} \leq 0V$) afin d'augmenter les gains en puissance.

*Compromis Délai-Puissance Statique
avec Polarisation*

4.1 Introduction

Dans le Chapitre précédent, le compromis Délai-Puissance Statique a été étudié en fonction de la tension d'alimentation. Cette étude a permis de déterminer la valeur de $(V_{DD})_{STAT}$ qui donne le meilleur compromis c.-à-d. qui réduit le délai sans trop dégrader la puissance statique et vice versa. $(V_{DD})_{STAT}$ permet donc d'optimiser l'énergie statique.

Dans ce mémoire, les transistors étudiés sont les transistors 28 nm RVT UTBB-FDSOI choisis pour leur gain important en puissance statique par rapport aux transistors 28 nm LVT UTBB-FDSOI. Les transistors 28 nm RVT UTBB-FDSOI sont conçus pour réduire la puissance statique et donc des polarisations en mode inverse (*RBB : Reverse Body Biasing*) leurs sont appliquées.

Dans le présent Chapitre, nous étudions donc le compromis Délai-Puissance Statique avec polarisation. Nous effectuons comme pour V_{DD} dans le chapitre précédent, la même démarche pour la tension de polarisation V_{RBB} . Ainsi, le compromis Délai-Puissance Statique est étudié en fonction de la tension de polarisation. Cette étude a permis de déterminer $(V_{RBB})_{STAT}$ la tension de polarisation qui donne le meilleur compromis c.-à-d. qui réduit le délai sans trop dégrader la puissance statique et vice versa.

4.2 Définition de $(V_{RBB})_{STAT}$

Dans le Chapitre précédent, la tension d'alimentation $(V_{DD})_{STAT}$ est déterminée à partir du compromis Délai-Puissance Statique sans appliquer de technique de polarisation ($V_{RBB} = 0$) sur les transistors 28 nm RVT UTBB-FDSOI. Or, un *RBB* appliqué à ces transistors réduit la puissance statique mais augmente le délai. Les Figures 4.1 et 4.2 illustrent l'évolution du délai et de la puissance statique respectivement en fonction de la tension d'alimentation V_{DD} et en fonction de la tension de polarisation V_{RBB} de la porte logique C12T28SOI_LR_IVX8_P0 (inverseur) de la technologie 28 nm RVT UTBB-FDSOI.

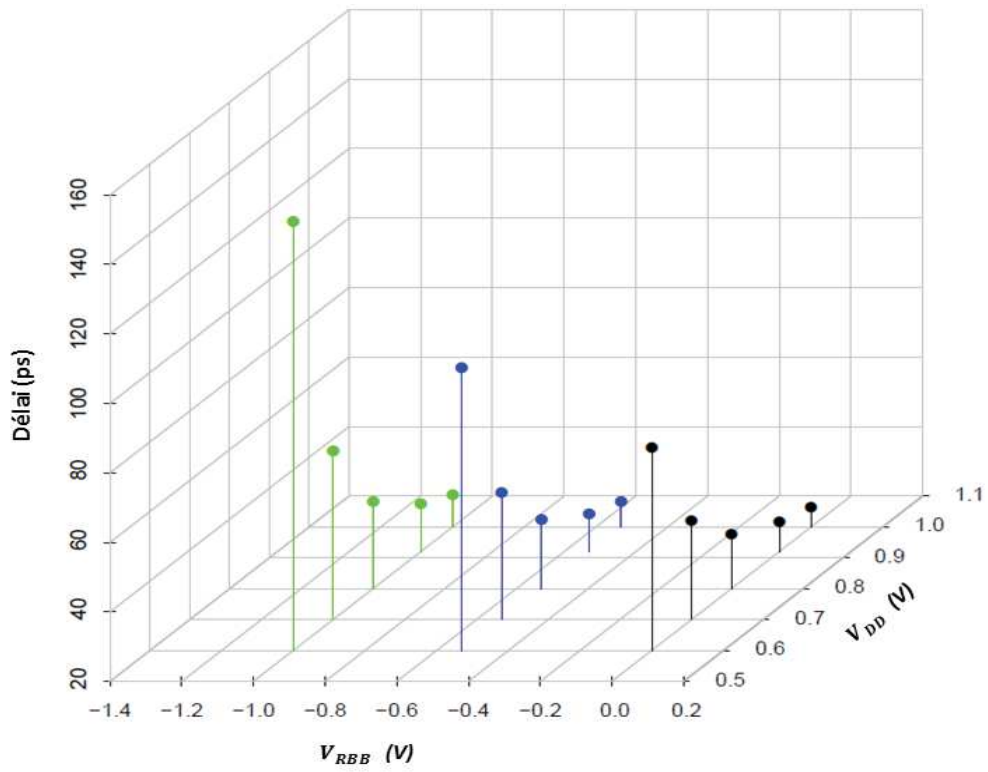


Figure 4.1 : Evolution du Délai en fonction de V_{DD} et V_{RBB}

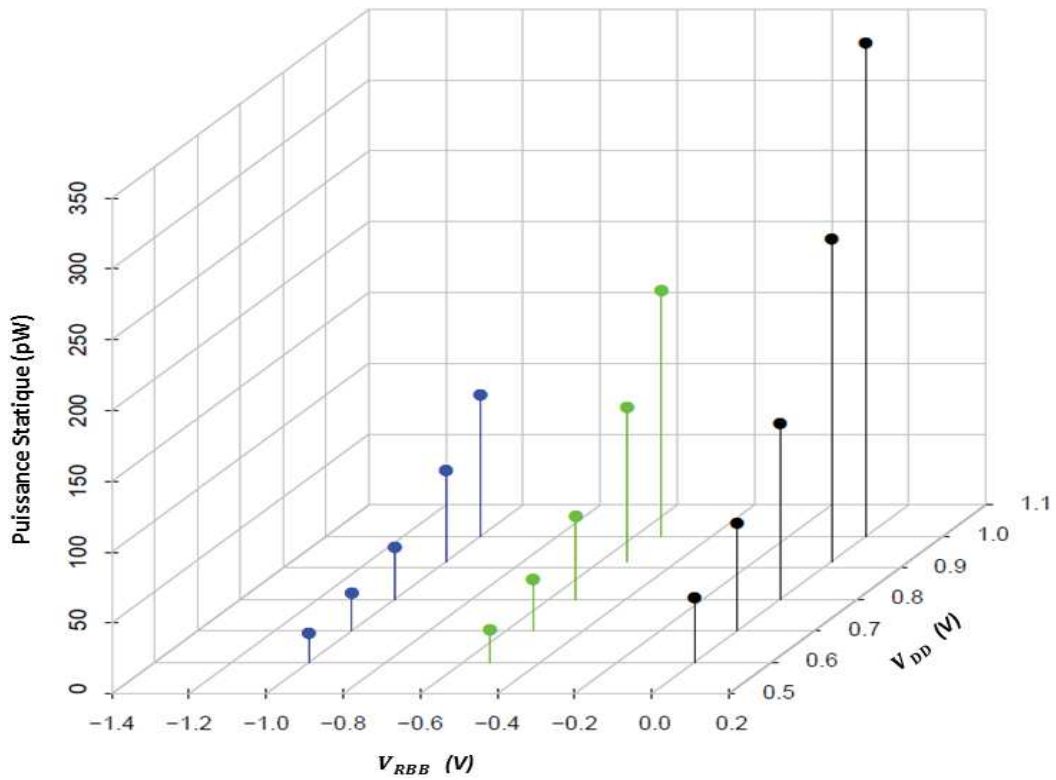


Figure 4.2 : Evolution de la Puissance Statique en fonction de V_{DD} et V_{RBB}

Comme on peut le voir sur les Figures 4.1 et 4.2, pour $V_{DD} = (V_{DD})_j$, $j = 1, 2, \dots, n$, $[(V_{DD})_1 = 0.6V < \dots < (V_{DD})_{j-1} < (V_{DD})_j < (V_{DD})_{j+1} < \dots < (V_{DD})_n = 1V]$, on a :

$$(\text{délai}_{V_{RBB}=0V})_{(V_{DD})_j} < (\text{délai}_{V_{RBB}\approx-0.5V})_{(V_{DD})_j} < (\text{délai}_{V_{RBB}=-1V})_{(V_{DD})_j} \quad (4.1)$$

$$(\text{Puiss Stat}_{V_{RBB}=0V})_{(V_{DD})_j} > (\text{Puiss Stat}_{V_{RBB}\approx-0.5V})_{(V_{DD})_j} > (\text{Puiss Stat}_{V_{RBB}=-1V})_{(V_{DD})_j} \quad (4.2)$$

Ceci est illustré dans la Figure 4.3. Pour la même porte logique étudiée précédemment, cette figure présente l'évolution de son délai et de sa puissance statique en fonction de $(V_{RBB})_i$, $i = 1, 2, \dots, m$, $[(V_{RBB})_1 = -1V < \dots < (V_{RBB})_{i-1} < (V_{RBB})_i < (V_{RBB})_{i+1} < \dots < (V_{RBB})_m = 0V]$, et cela pour une tension d'alimentation $V_{DD} = 0.6V$.

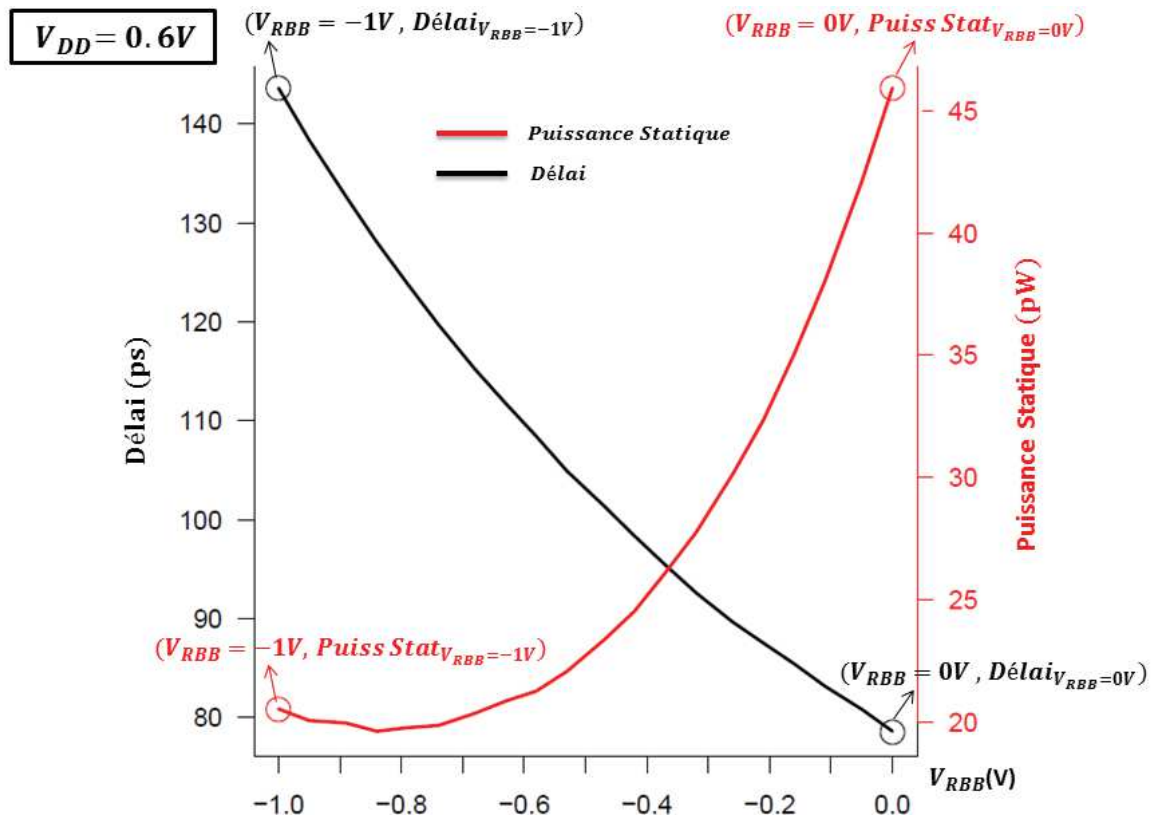


Figure 4.3 : Evolution du Délai et de la Puissance Statique d'un inverseur en fonction de V_{RBB}

Comme on peut le voir sur la Figure 4.3 :

- pour des tensions de polarisations relativement faibles ($V_{RBB} \leq -0.8V$), le délai est élevé alors que la puissance statique est faible,
- pour des tensions de polarisations relativement élevées ($V_{RBB} \geq -0.2V$), le délai est faible alors que la puissance statique est élevée.

Ainsi, en partant du même raisonnement du compromis Délai-Puissance Statique qui consiste à déterminer $(V_{DD})_{STAT}$ la tension d'alimentation qui réduit le délai sans trop dégrader la puissance statique et vice versa, nous avons établi un compromis avec polarisation qui consiste à déterminer une tension de polarisation nommée $(V_{RBB})_{STAT}$ qui réduit le délai sans trop dégrader la puissance statique et vice versa.

Dans ce qui suit, nous définissons la méthode développée pour déterminer $(V_{RBB})_{STAT}$ en l'appliquant sur la même porte logique (inverseur) étudiée précédemment.

4.3 Détermination de $(V_{RBB})_{STAT}$

Pour déterminer $(V_{RBB})_{STAT}$, nous déterminons d'abord la tension d'alimentation $((V_{DD})_{STAT})_{(V_{RBB})_i}$, $i = 1, 2, \dots, m$, tels que :

$$[(V_{RBB})_1 = -1V < \dots < (V_{RBB})_{i-1} < (V_{RBB})_i < (V_{RBB})_{i+1} < \dots < (V_{RBB})_m = 0V]$$

La tension d'alimentation $((V_{DD})_{STAT})_{(V_{RBB})_i}$ est la tension d'alimentation qui, pour une tension de polarisation $V_{RBB} = (V_{RBB})_i$, réduit le délai sans trop dégrader la puissance statique et vice versa. $((V_{DD})_{STAT})_{(V_{RBB})_i}$ est déterminée à partir du compromis Délai-Puissance Statique présentée dans le Chapitre 3.

Après la détermination de $((V_{DD})_{STAT})_{(V_{RBB})_i}$, $(V_{RBB})_{STAT}$ est déterminée en partant toujours du même raisonnement du compromis établi à partir de la courbe ROC.

Les étapes suivantes illustrent la démarche suivie afin de déterminer $(V_{RBB})_{STAT}$.

4.3.1 Détermination de $((V_{DD})_{STAT})_{(V_{RBB})_i}$

Pour déterminer $((V_{DD})_{STAT})_{(V_{RBB})_i}$, on représente dans un repère cartésien, les courbes qui illustrent l'évolution du délai en fonction de la puissance statique pour $V_{RBB} = (V_{RBB})_i$. Les courbes de la Figure 4.4 illustrent l'évolution du délai de la même porte logique étudiée précédemment en fonction de sa puissance statique. Ces courbes correspondent à :

- $V_{RBB} = -1V$ (courbe verte),
- $V_{RBB} = (V_{RBB})_i$, $-1V < (V_{RBB})_i < 0V$, (courbe bleue),
- $V_{RBB} = 0V$ (courbe noire ; Compromis Délai-Puissance Statique sans polarisation).

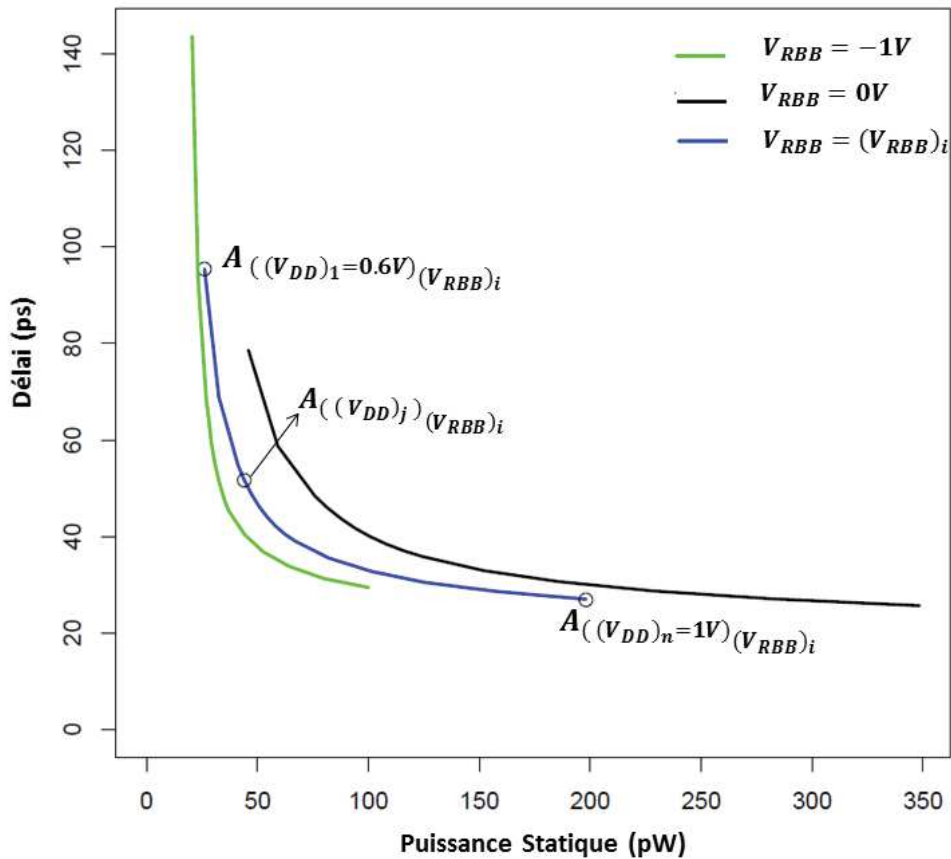


Figure 4.4: Evolution du Délai et de la Puissance Statique d'un inverseur en fonction de V_{DD} pour plusieurs valeurs de V_{RBB}

La courbe bleue représentée dans cette figure représente l'évolution du délai en fonction de la puissance statique pour $V_{RBB} = (V_{RBB})_i$. A chaque point $A_{(V_{DD})_j(V_{RBB})_i}$, $j = 1, 2, \dots, n$, de cette courbe correspond une tension d'alimentation $(V_{DD})_j$, pour laquelle correspond :

- une puissance statique notée (*puis stat* $_{(V_{DD})_j(V_{RBB})_i}$) (abscisse de $A_{(V_{DD})_j(V_{RBB})_i}$),
- un délai noté (*dél* $_{(V_{DD})_j(V_{RBB})_i}$) (ordonnée de $A_{(V_{DD})_j(V_{RBB})_i}$).

$(\text{puis stat}_{(V_{DD})_j(V_{RBB})_i})$ et $(\text{dél}_{(V_{DD})_j(V_{RBB})_i})$ représentent respectivement la puissance statique et le délai qui correspondent à $V_{DD} = (V_{DD})_j$ et à $V_{RBB} = (V_{RBB})_i$.

En suivant la démarche présentée dans la partie 3.2.3.3 (Détermination de $(V_{DD})_{STAT}$), $((V_{DD})_{STAT})_{(V_{RBB})_i}$ est déterminée à partir de la courbe bleue de la Figure 4.5 qui représente la normalisation de la courbe bleue représentée dans la Figure 4.4. Ainsi, $((V_{DD})_{STAT})_{(V_{RBB})_i}$ est la tension d'alimentation qui correspond à $A_{((V_{DD})_K)(V_{RBB})_i}$ (Figure 4.5) le point le plus proche de l'origine $O(0,0)$.

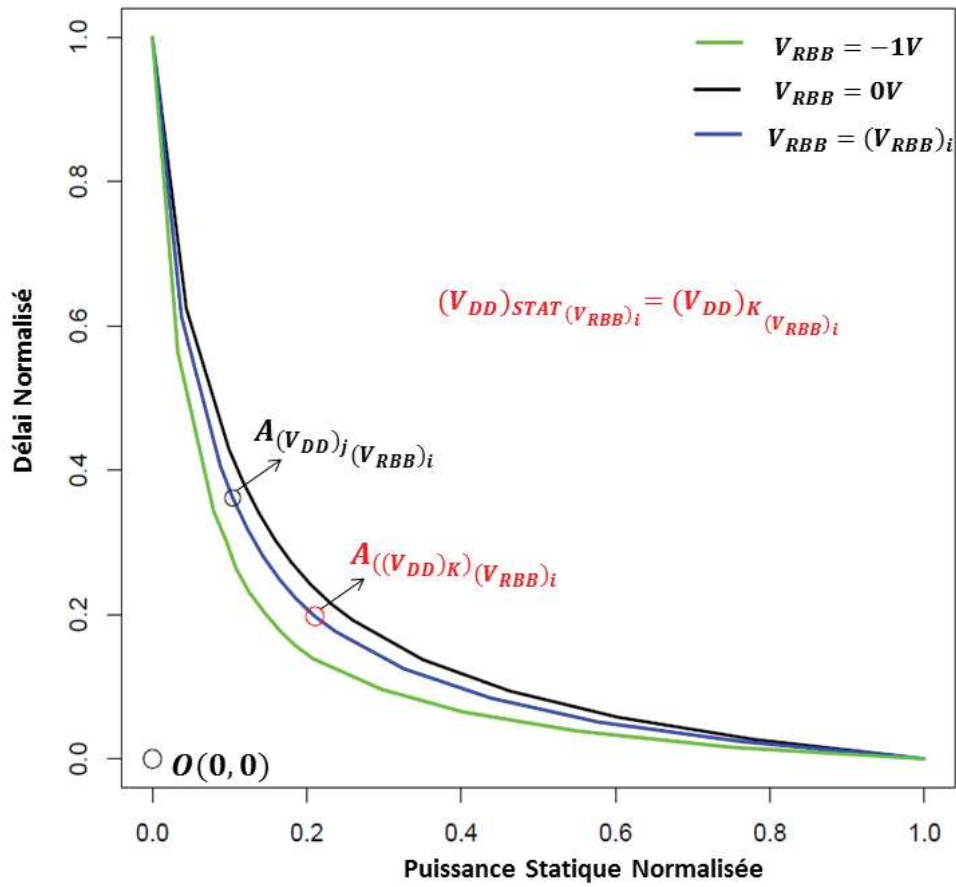


Figure 4.5 : Courbe de détermination de $(V_{DD}STAT)_{(V_{RBB})i}$

4.3.2 Détermination de *mean* $(V_{DD})_{STAT}$

Après avoir déterminé $((V_{DD})_{STAT})_{(V_{RBB})i}$, $i = 1, 2, \dots, m.$, avant d'aller plus loin analysons $((V_{DD})_{STAT})_{(V_{RBB})i}$.

Le Tableau 4.1 représente les valeurs de $(V_{RBB})_i$ et de $((V_{DD})_{STAT})_{(V_{RBB})i}$ de la même porte logique étudiée précédemment.

$(V_{RBB})_i$	- 1	- 0.95	- 0.89	- 0.84	- 0.79	- 0.74	- 0.68	- 0.63	- 0.58	- 0.53
$(V_{DD})_{STAT}$	0.77	0.77	0.78	0.78	0.78	0.78	0.78	0.78	0.78	0.78
$(V_{RBB})_i$	- 0.47	- 0.42	- 0.37	- 0.32	- 0.26	- 0.21	- 0.16	- 0.11	- 0.05	0
$(V_{DD})_{STAT}$	0.78	0.78	0.78	0.78	0.78	0.78	0.78	0.78	0.78	0.78

Tableau 4.1 : Valeurs de $(V_{RBB})_i$ et $(V_{DD})_{STAT}(V_{RBB})_i$

Comme on peut le voir sur le Tableau 4.1, la variation de $((V_{DD})_{STAT})_{(V_{RBB})_i}$ est presque négligeable. Par conséquent, ce n'est pas déraisonnable de supposer que :

- $\forall i \neq k, i, k = 1, 2, \dots, m$, on a :

$$((V_{DD})_{STAT})_{(V_{RBB})_i} \approx ((V_{DD})_{STAT})_{(V_{RBB})_k} \quad (4.3)$$

En se basant sur l'équation 4.3, nous définissons $mean_{(V_{DD})_{STAT}}$ (équation 4.4) qui représente la tension d'alimentation qui, pour $V_{RBB} = (V_{RBB})_i, i = 1, 2, \dots, m$, réduit la moyenne sans trop dégrader la puissance statique et vice versa.

$$mean_{(V_{DD})_{STAT}} = \frac{\sum_{i=1}^m ((V_{DD})_{STAT})_{(V_{RBB})_i}}{m} \quad (4.4)$$

Ce concept de la moyenne de $((V_{DD})_{STAT})_{(V_{RBB})_i}$ va nous permettre de déterminer $(V_{RBB})_{STAT}$ dans ce qui suit.

4.3.3 Détermination de $(V_{RBB})_{STAT}$

Pour $i = 1, 2, \dots, m$ et pour $j = 1, 2, \dots, n$, $(dél)_{(V_{DD})_j}(V_{RBB})_i$ et $(puis\ stat)_{(V_{DD})_j}(V_{RBB})_i$ (le délai et la puissance statique qui correspondent à $V_{DD} = (V_{DD})_j$ et à $V_{RBB} = (V_{RBB})_i$) sont connus. Par conséquent on calcule par des interpolations linéaires :

- $(dél)_{(V_{RBB})_i}, i = 1, 2, \dots, m$,
- $(puis\ stat)_{(V_{RBB})_i}, i = 1, 2, \dots, m$,

qui représentent respectivement le délai et la puissance statique qui correspondent à $V_{DD} = mean_{(V_{DD})_{STAT}}$ et $V_{RBB} = (V_{RBB})_i, i = 1, 2, \dots, m$.

Après le calcul de $(\text{puis stat})_{(V_{RBB})_i}$ et $(\text{dél})_{(V_{RBB})_i}$, $(V_{RBB})_{STAT}$ est déterminée en partant toujours du même raisonnement du compromis établi par la courbe ROC.

Pour déterminer $(V_{RBB})_{STAT}$, nous représentons dans un repère cartésien les couples $((\text{puis stat})_{(V_{RBB})_i}, (\text{dél})_{(V_{RBB})_i})$, $i = 1, 2, \dots, m$, (Figure 4.6).

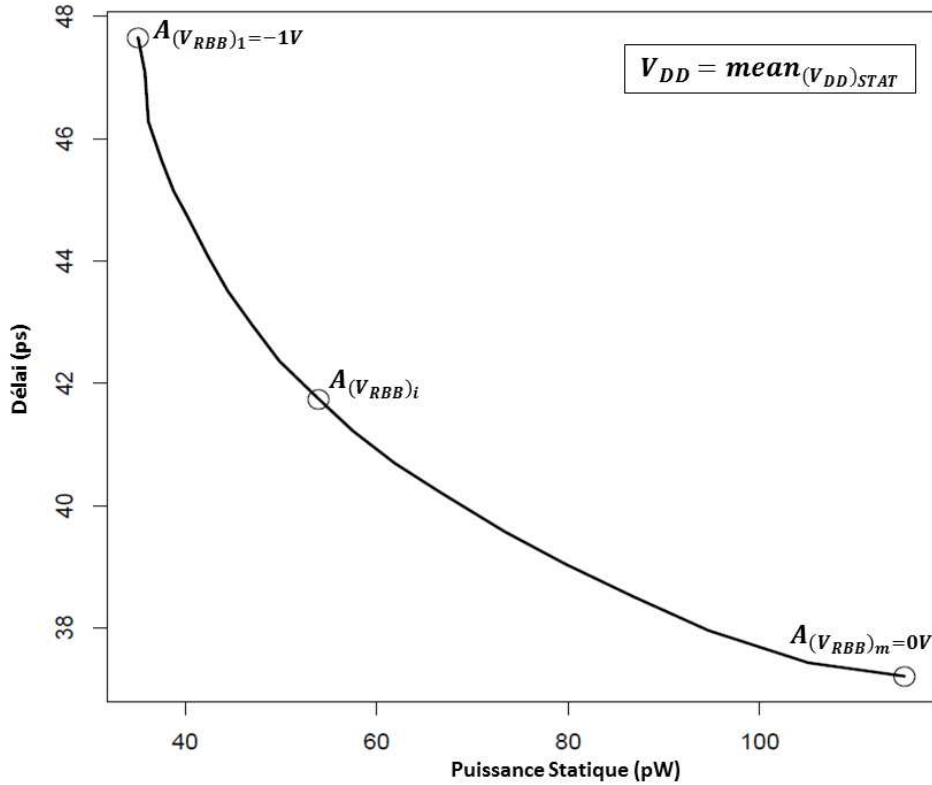
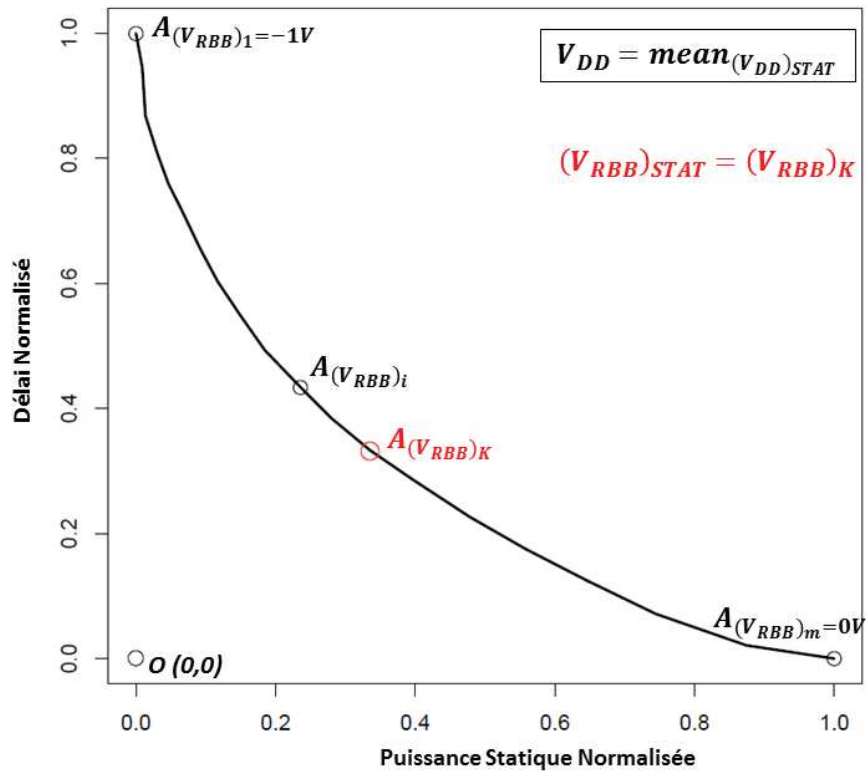


Figure 4.6: Evolution du Délai et de la Puissance Statique d'un inverseur en fonction de V_{RBB} pour $V_{DD} = \text{mean}(V_{DD})_{STAT}$

A chaque point $A_{(V_{RBB})_i}$, $i = 1, 2, \dots, m$, de la courbe représentée dans la Figure 4.6, correspond une tension de polarisation $(V_{RBB})_i$. Les abscisses et les ordonnées des $A_{(V_{RBB})_i}$ représentent respectivement :

- $(\text{puis stat})_{(V_{RBB})_i}$ la puissance statique qui correspond à $V_{DD} = \text{mean}(V_{DD})_{STAT}$ et $V_{RBB} = (V_{RBB})_i$.
- $(\text{dél})_{(V_{RBB})_i}$ le délai qui correspond à $V_{DD} = \text{mean}(V_{DD})_{STAT}$ et $V_{RBB} = (V_{RBB})_i$.

En suivant la démarche présentée dans la partie 3.2.3.3 (Détermination de $(V_{DD})_{STAT}$), $(V_{RBB})_{STAT}$ est déterminée à partir de la courbe de la Figure 4.7 qui représente la normalisation de la courbe représentée dans la Figure 4.6. Ainsi, $(V_{RBB})_{STAT}$ est la tension de polarisation qui correspond à $A_{(V_{RBB})_K}$ (Figure 4.7) le point le plus proche de l'origine $O(0,0)$.


 Figure 4.7 : Courbe de détermination de $(V_{RBB})_{STAT}$

Dans cette partie, pour une porte de la technologie 28 nm RVT UTBB-FDSOI, nous avons présenté la démarche suivie afin de déterminer la tension de polarisation $(V_{RBB})_{STAT}$ qui établit un bon compromis Délai-Puissance Statique et donc qui optimise l'énergie statique. Dans la partie suivante, nous présentons la caractérisation des librairies statistiques du temps et de la puissance statique à partir desquelles les moyennes du délai et de la puissance statique sont estimées pour $V_{DD} = (V_{DD})_j$ et pour $V_{RBB} = (V_{RBB})_i$.

4.4 Caractérisation de la librairie statistique de la technologie 28 nm RVT UTBB-FDSOI

Dans la partie précédente, pour une porte logique de la technologie 28 nm RVT UTBB-FDSOI nous avons présenté la démarche suivie pour déterminer $(V_{RBB})_{STAT}$ la tension de polarisation qui établit un bon compromis Délai-Puissance Statique et donc qui optimise l'énergie statique de la porte. Pour pouvoir déterminer $(V_{RBB})_{STAT}$ de toutes les portes de la bibliothèque, l'estimation du délai et de la puissance statique des portes pour :

- $V_{RBB} = (V_{RBB})_i, i = 1, 2, \dots, m,$
- $V_{DD} = (V_{DD})_j, j = 1, 2, \dots, n,$

est préliminaire. Cela nécessite la caractérisation de la bibliothèque en délai et en puissance statique. Pour cela, nous construisons par des simulations Monte-Carlo des librairies statistiques qui pré-caractérisent le délai et la puissance statique pour $V_{RBB} = (V_{RBB})_i$ et pour $V_{DD} = (V_{DD})_j$ (Figures 4.8 et 4.9 respectivement).

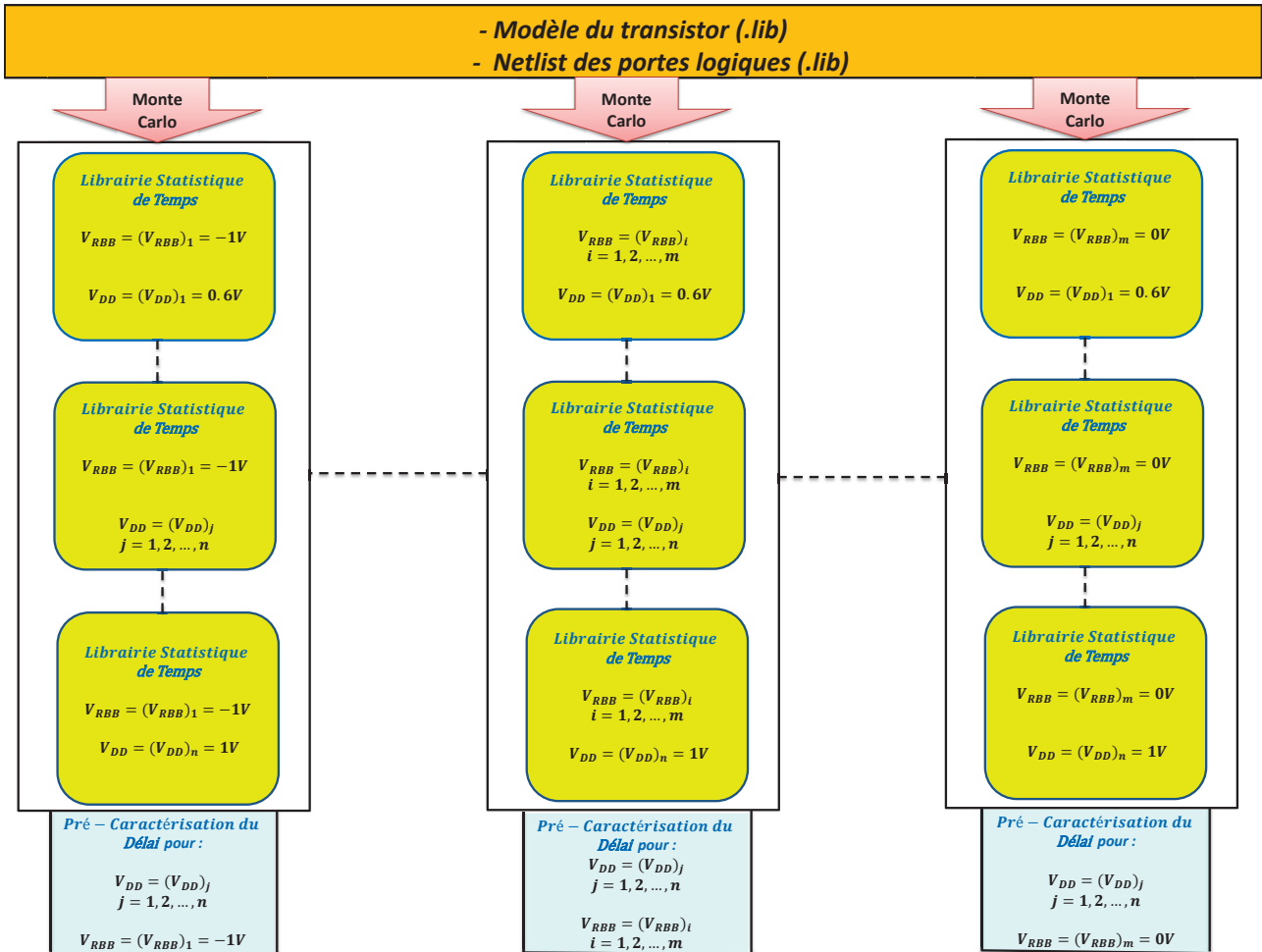


Figure 4.8 : Pré-Caractérisation du Délai pour $V_{DD} = (V_{DD})_j$ et pour $V_{RBB} = (V_{RBB})_i$

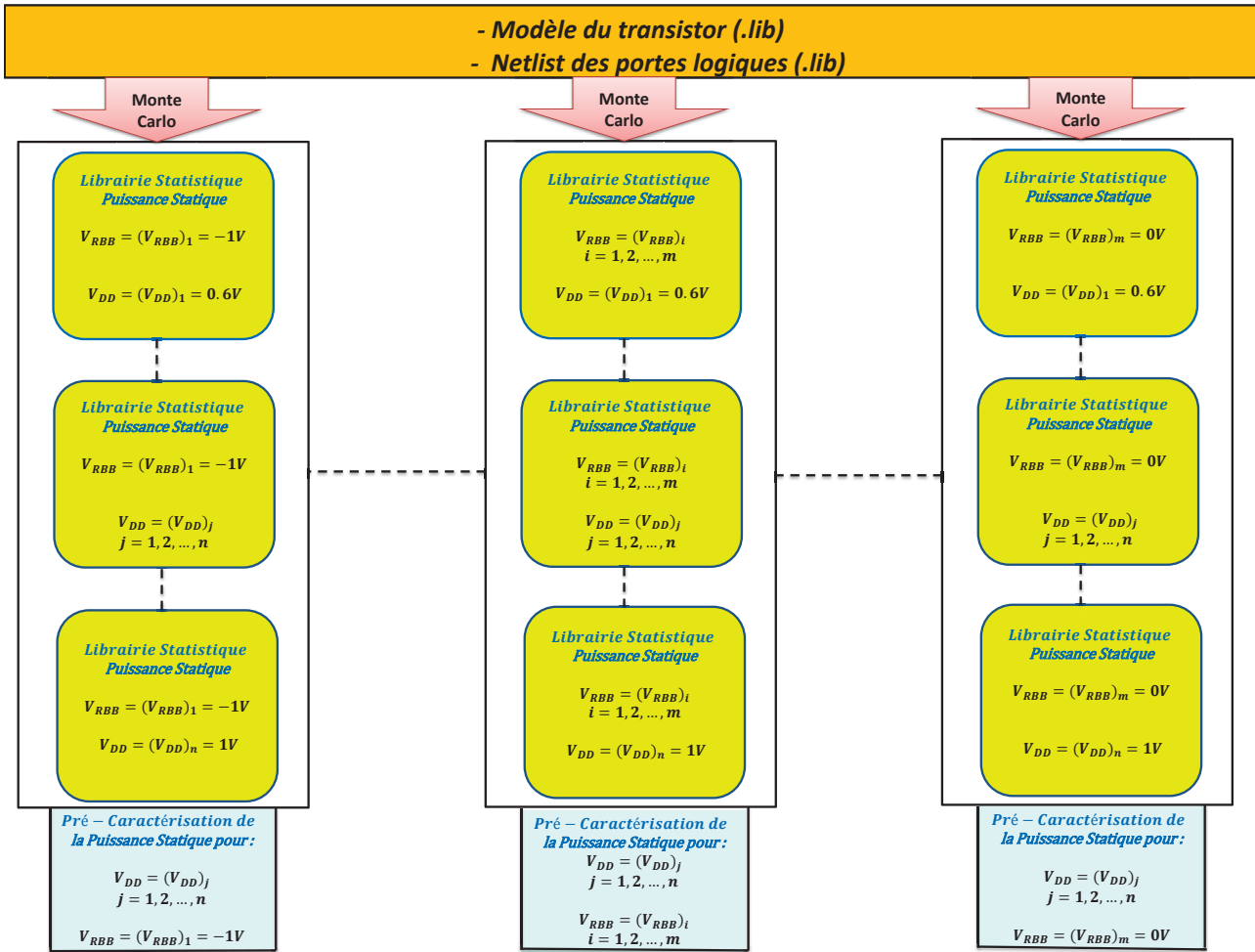


Figure 4.9 : Pré-Caractérisation de la Puissance Statique pour $V_{DD} = (V_{DD})_j$ et pour $V_{RBB} = (V_{RBB})_i$

Dans la partie 3.3, nous avons présenté la structure des librairies statistiques (de temps et de la puissance statique) construites pour $V_{RBB} = 0$ et $V_{DD} = (V_{DD})_j, j = 1, 2, \dots, n$. Cette structure est la même pour les librairies statistiques construites pour $V_{RBB} = (V_{RBB})_i, i = 1, 2, \dots, m$ et pour $V_{DD} = (V_{DD})_j, j = 1, 2, \dots, n$.

Les librairies statistiques étant construites une fois pour toute, les moyennes du délai et de la puissance statique des portes logiques de la technologie 28 nm RVT UTBB-FDSOI sont estimées à partir de ces librairies et cela pour :

- $V_{RBB} = (V_{RBB})_i, i = 1, 2, \dots, m,$
- $V_{DD} = (V_{DD})_j, j = 1, 2, \dots, n.$

Dans la partie suivante, nous détaillons une méthode qui se base sur les librairies statistiques pour déterminer $((V_{RBB})_{STAT})_{chemin}$ la tension de polarisation qui optimise l'énergie statique d'un chemin critique.

4.5 Optimisation de l'énergie statique d'un chemin critique

Dans cette partie nous présentons la méthode utilisée pour déterminer $((V_{RBB})_{STAT})_{chemin}$ la tension de polarisation qui optimise l'énergie statique des chemins critiques des circuits. Nous appliquons en particulier cette méthode à un chemin critique du circuit b01.

La Figure 4.10 illustre le flow de détermination de $((V_{RBB})_{STAT})_{chemin}$.

Similairement à la détermination de $(V_{RBB})_{STAT}$ de la porte logique présentée dans la partie 4.2, pour déterminer $((V_{RBB})_{STAT})_{chemin}$, on détermine d'abord $((V_{DD})_{STAT})_{chemin}(V_{RBB})_i$, $i = 1, 2, \dots, m$, $[(V_{RBB})_1 = -1V < \dots < (V_{RBB})_{i-1} < (V_{RBB})_i < (V_{RBB})_{i+1} < \dots < (V_{RBB})_m = 0V]$, qui représente la tension d'alimentation qui, pour $V_{RBB} = (V_{RBB})_i$, réduit la moyenne du délai du chemin sans trop dégrader la moyenne de sa puissance statique et vice versa.

Ensuite, $mean(V_{DD})_{STAT} chemin$ qui représente la moyenne de $((V_{DD})_{STAT})_{chemin}(V_{RBB})_i$, $i = 1, 2, \dots, m$, est calculée.

Enfin, $((V_{RBB})_{STAT})_{chemin}$ qui réduit à son tour la moyenne du délai du chemin sans trop dégrader la moyenne de sa puissance statique est déterminée en partant du même raisonnement du compromis établi à partir de la courbe ROC.

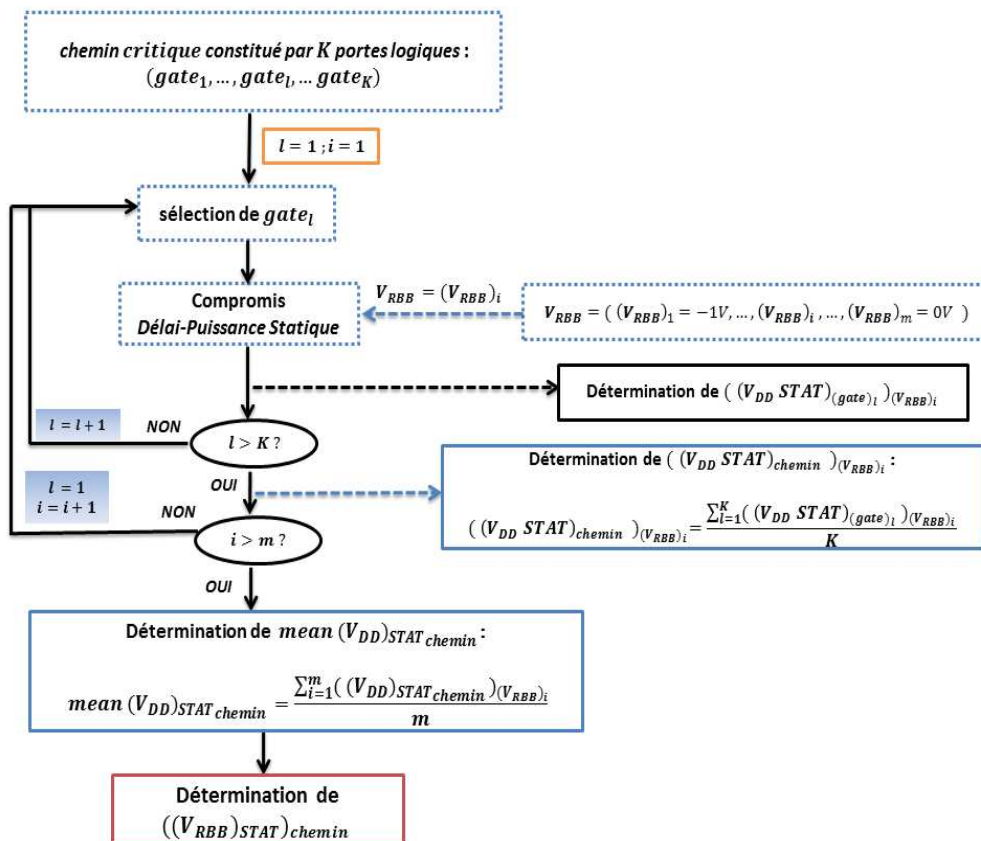


Figure 4.10 : Flow de détermination de $((V_{RBB})_{STAT})_{chemin}$

Les étapes suivantes illustrent la démarche suivie afin de déterminer $((V_{RBB})_{STAT})_{chemin}$ pour un chemin formé par K portes logiques.

4.5.1 Détermination de $((V_{DD})_{STAT})_{chemin} (V_{RBB})_i$

La Figure 4.11 illustre le flow de la détermination de $((V_{DD})_{STAT})_{chemin} (V_{RBB})_i$.

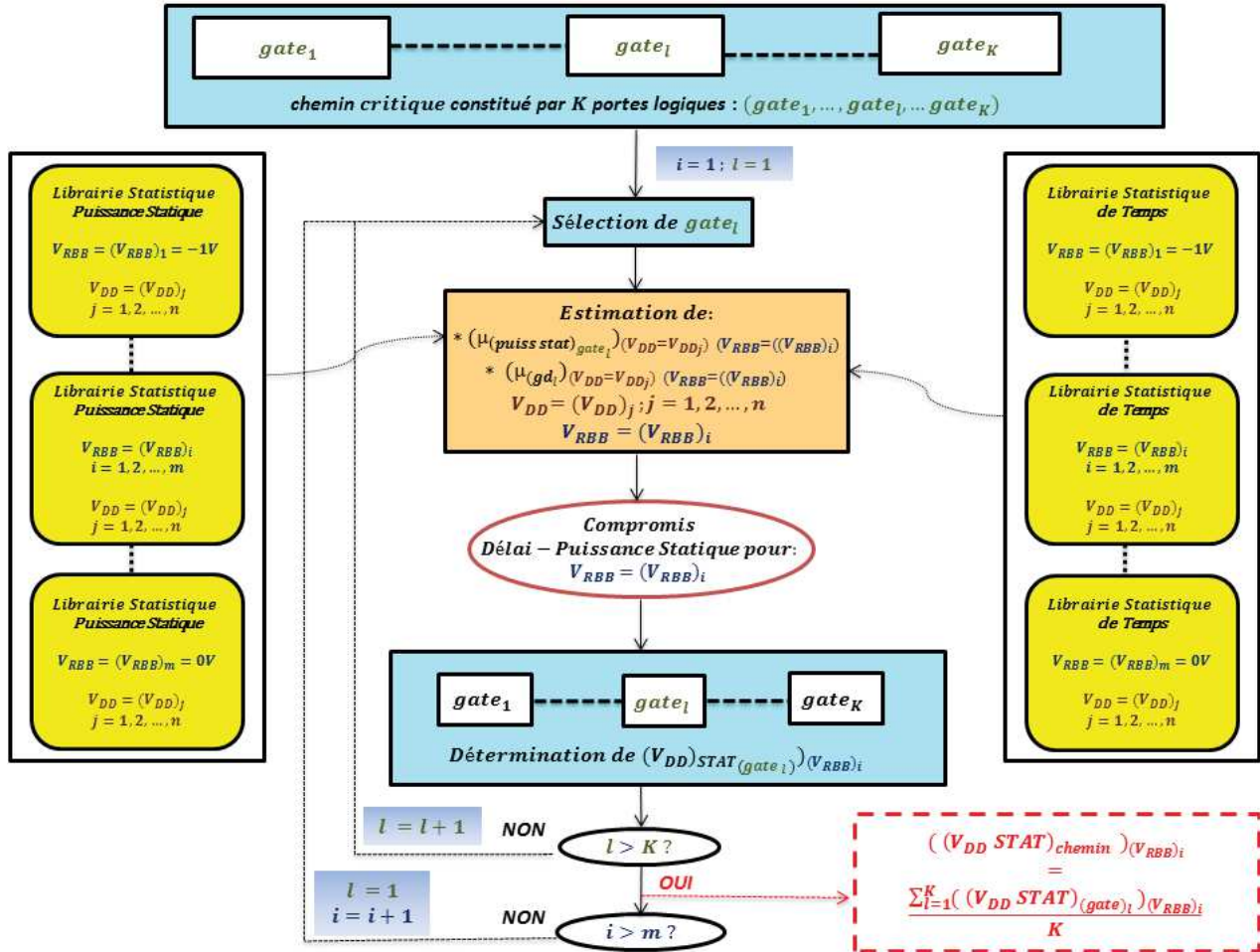


Figure 4.11 : Flow de détermination de $((V_{DD})_{STAT})_{chemin} (V_{RBB})_i$

Comme on peut le voir sur la Figure 4.11, ayant un chemin critique constitué par K portes logiques, pour **chaque valeur de** :

- $V_{RBB} = (V_{RBB})_i, i = 1, 2, \dots, m,$

$((V_{DD})_{STAT})_{chemin} (V_{RBB})_i$ est déterminée en suivant les étapes suivantes :

- Détermination de $((V_{DD})_{STAT})_{(gate_i)} (V_{RBB})_i$
- Calcul de $mean ((V_{DD})_{STAT})_{(gate_i)} (V_{RBB})_i$

Dans ce qui suit, nous détaillons chacune de ces étapes.

4.5.1.1 Détermination de $((V_{DD})_{STAT(gate_l)})_{(V_{RBB})_i}$

Pour chaque porte logique $gate_l$, $l = 1, 2, \dots, K$, qui constitue le chemin, les moyennes :

- $((\mu_{(puiss\ stat)_{gate_l}})_{V_{DD}=(V_{DD})_j})_{V_{RBB}=(V_{RBB})_i}$, $j = 1, 2, \dots, n$, (moyennes de la puissance statique de $gate_l$ pour $V_{DD} = (V_{DD})_j$, $j = 1, 2, \dots, n$, et $V_{RBB} = (V_{RBB})_i$),
- $((\mu_{gd_l})_{V_{DD}=(V_{DD})_j})_{V_{RBB}=(V_{RBB})_i}$, $j = 1, 2, \dots, n$, (moyennes du délai de $gate_l$ pour $V_{DD} = (V_{DD})_j$, $j = 1, 2, \dots, n$ et $V_{RBB} = (V_{RBB})_i$),

sont estimées à partir des librairies statistiques construites pour :

- $V_{RBB} = (V_{RBB})_i$,
- $V_{DD} = (V_{DD})_j$, $j = 1, 2, \dots, n$.

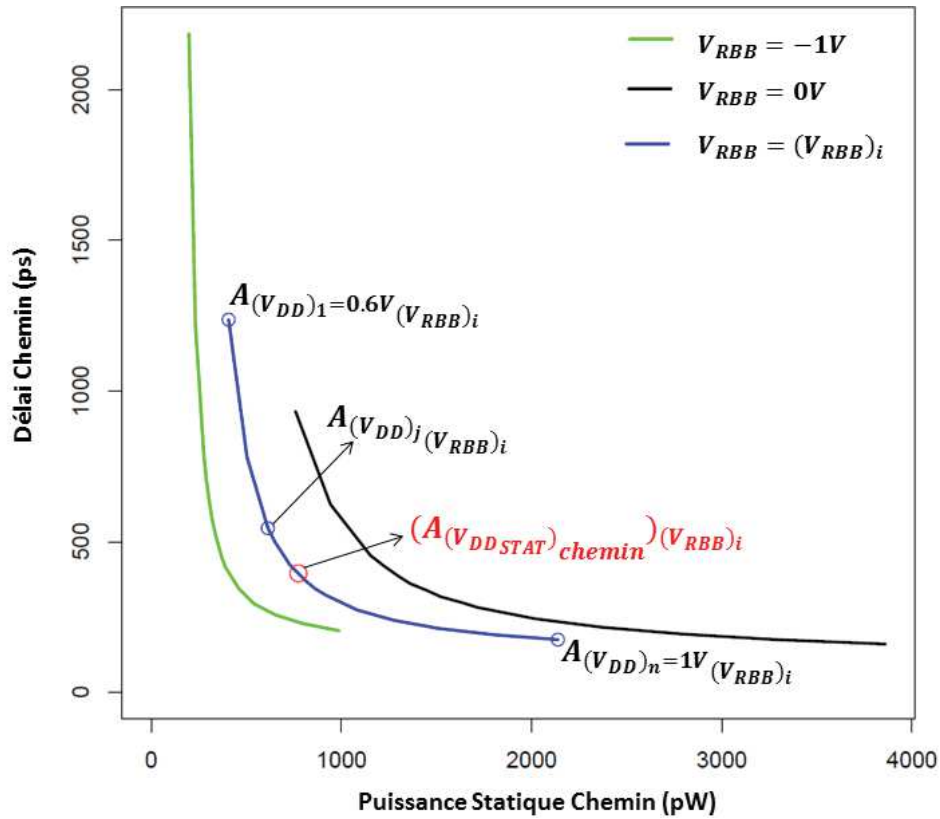
Ensuite, $((V_{DD})_{STAT(gate_l)})_{(V_{RBB})_i}$ qui représente la tension d'alimentation qui, pour $V_{RBB} = (V_{RBB})_i$, réduit la moyenne du délai de $gate_l$ sans trop dégrader la moyenne de sa puissance statique et vice versa est déterminée à partir du compromis Délai-Puissance Statique.

4.5.1.2 *mean* $((V_{DD})_{STAT(gate_l)})_{(V_{RBB})_i}$

Après avoir déterminé $((V_{DD})_{STAT(gate_l)})_{(V_{RBB})_i}$, $l = 1, 2, \dots, K$, $((V_{DD})_{STAT_{chemin}})_{(V_{RBB})_i}$ (la tension d'alimentation qui pour $V_{RBB} = (V_{RBB})_i$ optimise l'énergie statique du chemin) est calculée par (équation 4.5) :

$$((V_{DD})_{STAT_{chemin}})_{(V_{RBB})_i} = \frac{\sum_{l=1}^K ((V_{DD})_{STAT(gate_l)})_{(V_{RBB})_i}}{K} \quad (4.5)$$

La courbe en bleu représentée dans la Figure 4.12, illustre pour $V_{RBB} = (V_{RBB})_i$, ($-1V < (V_{RBB})_i < 0V$), l'évolution de la moyenne du délai du chemin critique du circuit b01 en fonction de la moyenne de sa puissance statique. $((V_{DD})_{STAT_{chemin}})_{(V_{RBB})_i}$ est la tension d'alimentation qui correspond au point $(A_{(V_{DD}STAT)_{chemin}})_{(V_{RBB})_i}$.


 Figure 4.12 : Illustration de $(A(V_{DD}STAT)_{chemin})(V_{RBB})_i$ du chemin critique du circuit b01

4.5.2 $mean((V_{DD})STAT_{chemin})(V_{RBB})_i$

Après la détermination de $((V_{DD})STAT_{chemin})(V_{RBB})_i$, $i = 1, 2, \dots, m$, d'une façon similaire à la porte logique étudiée dans la partie 4.2, $((V_{DD})STAT_{chemin})(V_{RBB})_i$ est d'abord analysée. Le Tableau 4.2 représente les valeurs de $(V_{RBB})_i$ et les valeurs de $((V_{DD})STAT_{chemin})(V_{RBB})_i$ pour le chemin critique du circuit b01.

$(V_{RBB})_i$	-1	-0.95	-0.89	-0.84	-0.79	-0.74	-0.68	-0.63	-0.58	-0.53
$(V_{DD})STAT$	0.760	0.759	0.762	0.762	0.762	0.762	0.757	0.759	0.759	0.759
$(V_{RBB})_i$	-0.47	-0.42	-0.37	-0.32	-0.26	-0.21	-0.16	-0.11	-0.05	0
$(V_{DD})STAT$	0.757	0.759	0.759	0.762	0.759	0.762	0.762	0.759	0.762	0.762

 Tableau 4.2 : Valeurs de $(V_{RBB})_i$ et $((V_{DD})STAT_{chemin})(V_{RBB})_i$ du chemin critique du circuit b01

Comme on peut le voir sur le Tableau 4.2, la variation de $((V_{DD})_{STAT_{chemin}})_{(V_{RBB})_i}$ est presque négligeable. Par conséquent, ce n'est pas déraisonnable de supposer que :

- $\forall i \neq k, i, k = 1, 2, \dots, m$, on a :

$$((V_{DD})_{STAT_{chemin}})_{(V_{RBB})_i} \approx ((V_{DD})_{STAT_{chemin}})_{(V_{RBB})_k} \quad (4.6)$$

En se basant sur l'équation 4.6, nous définissons $mean(V_{DD})_{STAT_{chemin}}$ (équation 4.7) qui représente la tension d'alimentation qui, pour $(V_{RBB} = V_{RBB})_i, i = 1, 2, \dots, m$, réduit le délai du chemin sans trop dégrader sa puissance statique et vice versa.

$$mean(V_{DD})_{STAT_{chemin}} = \frac{\sum_{i=1}^m ((V_{DD})_{STAT_{chemin}})_{(V_{RBB})_i}}{m} \quad (4.7)$$

$mean(V_{DD})_{STAT_{chemin}}$ va nous permettre de déterminer $((V_{RBB})_{STAT})_{chemin}$.

4.5.3 Détermination de $((V_{RBB})_{STAT})_{chemin}$

Après le calcul de $mean(V_{DD})_{STAT_{chemin}}$, on calcule :

- $(\mu_{dél\ chemin})_{(V_{RBB})_i}, i = 1, 2, \dots, m$,
- $(\mu_{puis\ stat\ chemin})_{(V_{RBB})_i}, i = 1, 2, \dots, m$,

qui représentent respectivement les moyennes du délai et de la puissance statique du chemin qui correspondent à :

- $V_{RBB} = (V_{RBB})_i, i = 1, 2, \dots, m$,
- $V_{DD} = mean(V_{DD})_{STAT_{chemin}}$.

$(\mu_{dél\ chemin})_{(V_{RBB})_i}$ et $(\mu_{puis\ stat\ chemin})_{(V_{RBB})_i}$ sont calculés à partir des équations 4.8 et 4.9 respectivement.

$$(\mu_{dél\ chemin})_{(V_{RBB})_i} = \sum_{l=1}^K (\mu_{dél\ gate\ l})_{(V_{RBB})_i} \quad (4.8)$$

$$(\mu_{puis\ stat\ chemin})_{(V_{RBB})_i} = \sum_{l=1}^K (\mu_{puis\ stat\ gate\ l})_{(V_{RBB})_i} \quad (4.9)$$

Les deux termes $(\mu_{dél\ gate\ l})_{(V_{RBB})_i}$ et $(\mu_{puis\ stat\ gate\ l})_{(V_{RBB})_i}$ qui figurent dans les équations 4.8 et 4.9 représentent respectivement les moyennes du délai et de la puissance statique de chaque porte logique $gate_l$ $l = 1, 2, \dots, K$ qui constitue le chemin. Ces moyennes correspondent à :

- $V_{RBB} = (V_{RBB})_i, i = 1, 2, \dots, m,$
- $V_{DD} = mean(V_{DD})_{STAT\ chemin}.$

Pour calculer $(\mu_{dél\ gate\ l})_{(V_{RBB})_i}$ et $(\mu_{puis\ stat\ gate\ l})_{(V_{RBB})_i}$, on estime d'abord à partir des librairies statistiques :

- $(\mu_{dél\ gate\ l})_{V_{DD}=(V_{DD})_j, V_{RBB}=(V_{RBB})_i}, j = 1, 2, \dots, n, i = 1, 2, \dots, m,$ la moyenne du délai de $gate\ l$ qui correspond à $V_{DD} = (V_{DD})_j$ et $V_{RBB} = (V_{RBB})_i,$
- $(\mu_{puis\ stat\ gate\ l})_{V_{DD}=(V_{DD})_j, V_{RBB}=(V_{RBB})_i}, j = 1, 2, \dots, n, i = 1, 2, \dots, m,$ la moyenne de la puissance statique de $gate\ l$ qui correspond à $V_{DD} = (V_{DD})_j$ et $V_{RBB} = (V_{RBB})_i.$

Ensuite, $(\mu_{dél\ gate\ l})_{(V_{RBB})_i}$ et $(\mu_{puis\ stat\ gate\ l})_{(V_{RBB})_i}$ sont calculés par des interpolations linéaires.

Après le calcul de $(\mu_{dél\ chemin})_{(V_{RBB})_i}$ et de $(\mu_{puis\ stat\ chemin})_{(V_{RBB})_i}, i = 1, 2, \dots, m,$ on représente dans un repère cartésien la courbe qui représente les couples $((\mu_{puis\ stat\ chemin})_{(V_{RBB})_i}, (\mu_{dél\ chemin})_{(V_{RBB})_i})$ (Figure 4.13).

A chaque point $A_{(V_{RBB})_i}$ de la courbe représentée dans la Figure 4.13, correspond une tension de polarisation $V_{RBB} = (V_{RBB})_i, i = 1, 2, \dots, m.$ Les abscisses des points $A_{(V_{RBB})_i}$ sont:

- $(\mu_{puis\ stat\ chemin})_{(V_{RBB})_i}$ la moyenne de la puissance statique du chemin qui correspond à $V_{RBB} = (V_{RBB})_i$ et $V_{DD} = mean(V_{DD})_{STAT\ chemin}.$

Les ordonnées des points $A_{(V_{RBB})_i}$ sont :

- $(\mu_{dél\ chemin})_{(V_{RBB})_i}$ la moyenne du délai du chemin qui correspond à $V_{RBB} = (V_{RBB})_i$ et $V_{DD} = mean(V_{DD})_{STAT\ chemin}.$

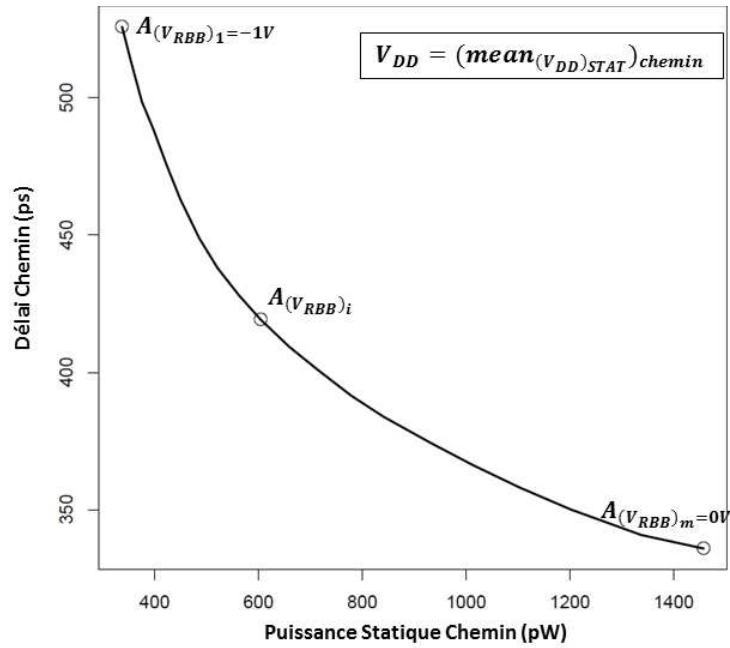


Figure 4.13 : Evolution du Délai et de la Puissance Statique du chemin en fonction de V_{RBB} pour $V_{DD} = \text{mean}(V_{DD})_{STAT_chemin}$

En suivant la démarche présentée dans la partie 3.2.3.3 (Détermination de $(V_{DD})_{STAT}$), $((V_{RBB})_{STAT})_{chemin}$ est déterminée à partir de la courbe représentée dans la Figure 4.14 qui représente la normalisation de la courbe représentée dans la Figure 4.13. Ainsi, $((V_{RBB})_{STAT})_{chemin}$ est la tension de polarisation qui correspond à $A_{(V_{RBB})K}$ (Figure 4.14) le point le plus proche de l'origine $O(0,0)$.

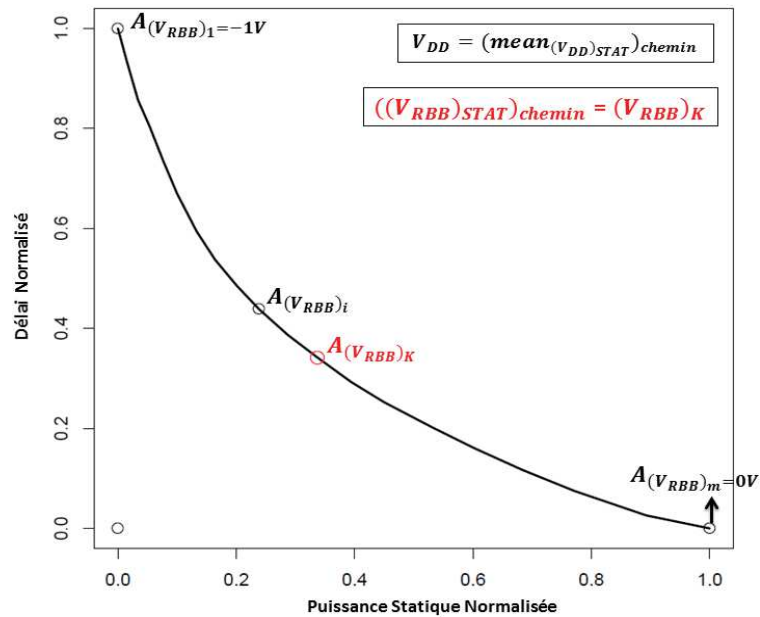


Figure 4.14 : Courbe de détermination de $((V_{RBB})_{STAT})_{chemin}$

Maintenant que l'on peut optimiser l'énergie de chaque chemin, nous allons présenter la méthode pour un circuit.

4.6 Optimisation de l'énergie statique d'un circuit

Dans la partie précédente, nous avons présenté la méthode d'optimisation de l'énergie statique d'un chemin critique à partir du compromis Délai-Puissance Statique avec polarisation et cela en appliquant cette méthode à un chemin critique du circuit b01. Dans cette partie, nous allons d'abord étendre cette méthode à un circuit et cela en déterminant $((V_{DD})_{STAT})_{circuit}$, $((V_{RBB})_{STAT})_{circuit}$ le couple de tension d'alimentation et de polarisation qui optimise l'énergie statique du circuit. Ensuite, nous allons évaluer le coût de calcul et l'exactitude de cette méthode.

4.6.1 Méthode d'optimisation

La Figure 4.15 illustre le flow de la méthode d'optimisation de l'énergie statique du circuit à partir de laquelle $((V_{DD})_{STAT})_{circuit}$, $((V_{RBB})_{STAT})_{circuit}$ le couple de tension d'alimentation et de polarisation qui optimise l'énergie statique est déterminé.

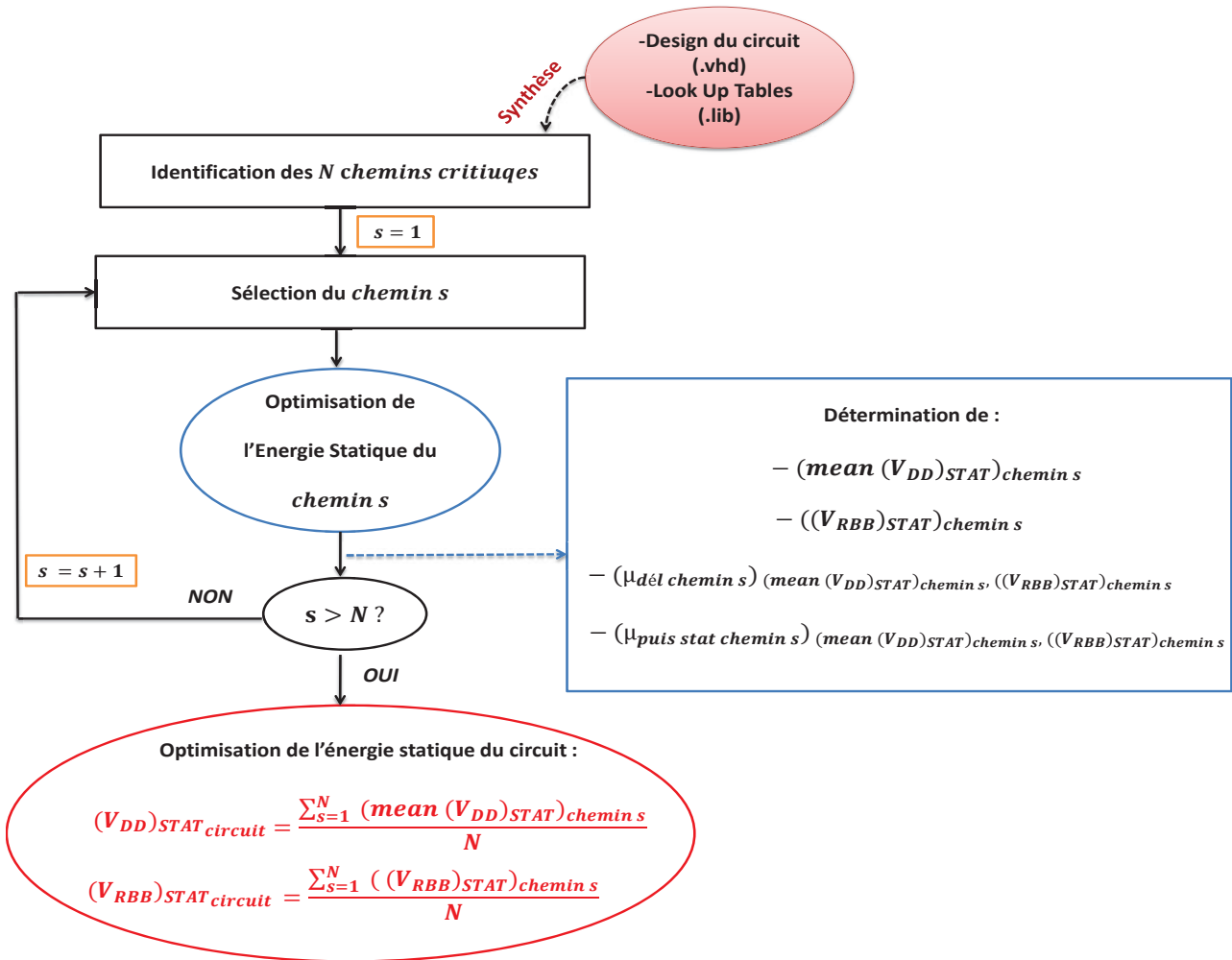


Figure 4.15 : Flow de la méthode d'optimisation d'un circuit

Comme on peut voir sur la Figure 4.15, pour déterminer $((V_{DD})_{STAT})_{circuit}$, $((V_{RBB})_{STAT})_{circuit}$, le circuit est d'abord synthétisé, ce qui permet d'identifier une liste de ses N chemins critiques. Ensuite, chaque $chemin\ s$, $s = 1, 2, \dots, N$, est optimisé en suivant la démarche présentée dans la partie précédente. Ainsi, pour chaque $chemin\ s$ on détermine :

- $((V_{RBB})_{STAT})_{chemin\ s}$ la tension de polarisation qui réduit la moyenne du délai du chemin sans trop dégrader la moyenne sa puissance statique et vice versa, donc qui optimise son énergie statique,
- $mean(V_{DD})_{STAT\ chemin\ s}$ la tension d'alimentation qui réduit la moyenne du délai du chemin sans trop dégrader la moyenne de sa puissance statique et vice versa, donc qui optimise son énergie statique,
- $(\mu_{dél\ chemin\ s})_{V_{RBB}=(V_{RBB})_{STAT}, V_{DD}=mean(V_{DD})_{STAT}}$ la moyenne du délai du chemin qui correspond à $((V_{RBB})_{STAT})_{chemin\ s}$ et à $mean(V_{DD})_{STAT\ chemin\ s}$.

- $(\mu_{\text{puis stat chemin } s})_{V_{RBB}=(V_{RBB})_{STAT}, \text{mean } V_{DD}=(V_{DD})_{STAT}}$ la moyenne de la puissance statique du chemin qui correspond à $((V_{RBB})_{STAT})_{\text{chemin } s}$ et à $\text{mean } (V_{DD})_{STAT \text{ chemin } s}$.

Le Tableau 4.3 représente ces valeurs pour les chemins critiques des circuits b01 et b07.

		Profondeur Logique	$(V_{RBB})_{STAT}$ (V)	$\text{mean } (V_{DD})_{STAT}$ (V)	$\mu_{\text{dél}}$ (s)	$\mu_{\text{puis stat}}$ (W)
b01	Chemin 1	5	-0.438	0.760	3.99 e-10	7.02 e-10
	Chemin 2	6	-0.426	0.759	3.94 e-10	8.31 e-10
	Chemin 3	5	-0.438	0.758	3.67 e-10	6.12 e-10
	Chemin 4	6	-0.426	0.758	3.62 e-10	7.40 e-10
	Chemin 5	5	-0.438	0.760	3.49 e-10	6.41 e-10
b07	Chemin 1	11	-0.420	0.759	5.62 e-10	1.22 e-9
	Chemin 2	11	-0.417	0.760	5.60 e-10	1.24 e-9
	Chemin 3	11	-0.426	0.761	5.80 e-10	1.10 e-9

Tableau 4.3 : Optimisation des chemins critiques des circuits b01 et b07

Comme on peut voir sur le Tableau 4.3, pour les deux circuits b01 et b07, la variation de $\text{mean } (V_{DD})_{STAT \text{ chemin } s}$ et de $((V_{RBB})_{STAT})_{\text{chemin } s}$ d'un chemin à un autre est relativement faible. Par conséquent, il n'est pas déraisonnable de supposer que la tension d'alimentation $((V_{DD})_{STAT})_{\text{circuit}}$ et la tension de polarisation $((V_{RBB})_{STAT})_{\text{circuit}}$ qui réduisent le délai du circuit sans trop dégrader sa puissance statique et vice versa sont égales aux moyennes de $\text{mean } (V_{DD})_{STAT \text{ chemin } s}$ et de $((V_{RBB})_{STAT})_{\text{chemin } s}$ respectivement. Ainsi, on calcule $(V_{DD})_{STAT \text{ circuit}}$ et $((V_{RBB})_{STAT})_{\text{circuit}}$ par (équations 4.10 et 4.11 respectivement) :

$$((V_{DD})_{STAT})_{\text{circuit}} = \frac{\sum_{s=1}^N \text{mean } (V_{DD})_{STAT \text{ chemin } s}}{N} \quad (4.10)$$

$$((V_{RBB})_{STAT})_{\text{circuit}} = \frac{\sum_{s=1}^N ((V_{RBB})_{STAT})_{\text{chemin } s}}{N} \quad (4.11)$$

Après la détermination de $(V_{DDSTAT})_{circuit}$ et de $(V_{RBBSTAT})_{circuit}$, pour chaque *chemin s* des N chemins du circuit, connaissant K le nombre de portes logiques qui le constituent, et connaissant (à partir des bibliothèques statiques) pour chaque porte logique $gate_l$, $l = 1, 2, \dots, K$, qui constitue *chemin s* :

- $(\mu_{dél\ gate\ l})_{V_{DD}=(V_{DD})_j, V_{RBB}=(V_{RBB})_i}$, $j = 1, 2, \dots, n$, $i = 1, 2, \dots, m$,
- $(\mu_{puis\ stat\ gate\ l})_{V_{DD}=(V_{DD})_j, V_{RBB}=(V_{RBB})_i}$, $j = 1, 2, \dots, n$, $i = 1, 2, \dots, m$.

On calcule par des interpolations linéaires :

- $(\mu_{dél\ gate\ l})_{(V_{DD})_{STAT\ circuit}, (V_{RBB})_{STAT\ circuit}}$, la moyenne du délai de $gate_l$ qui correspond à $V_{DD} = (V_{DD})_{STAT\ circuit}$ et $V_{RBB} = (V_{RBB})_{STAT\ circuit}$,
- $(\mu_{puis\ stat\ gate\ l})_{(V_{DD})_{STAT\ circuit}, (V_{RBB})_{STAT\ circuit}}$, la moyenne de la puissance statique de $gate_l$ qui correspond à $V_{DD} = (V_{DD})_{STAT\ circuit}$ et $V_{RBB} = (V_{RBB})_{STAT\ circuit}$.

Ensuite, la moyenne du délai du *chemin s* qui correspond à $V_{DD} = (V_{DDSTAT})_{circuit}$ et $V_{RBB} = (V_{RBBSTAT})_{circuit}$ notée :

- $(\mu_{dél\ chemin\ s})_{(V_{DD})_{STAT\ circuit}, (V_{RBB})_{STAT\ circuit}}$,

est calculée par (équation 4.12) :

$$(\mu_{dél\ chemin\ s})_{(V_{DD})_{STAT\ circuit}, (V_{RBB})_{STAT\ circuit}} = \sum_{l=1}^K (\mu_{dél\ gate\ l})_{(V_{DD})_{STAT\ circuit}, (V_{RBB})_{STAT\ circuit}} \quad (4.12)$$

D'une façon similaire au délai, la moyenne de la puissance statique du *chemin s* qui correspond à $V_{DD} = (V_{DDSTAT})_{circuit}$ et $V_{RBB} = (V_{RBBSTAT})_{circuit}$ notée :

- $(\mu_{puis\ stat\ chemin\ s})_{(V_{DD})_{STAT\ circuit}, (V_{RBB})_{STAT\ circuit}}$,

est calculée par (équation 4.13) :

$$(\mu_{puis\ stat\ chemin\ s})_{(V_{DD})_{STAT\ circuit}, (V_{RBB})_{STAT\ circuit}} = \sum_{l=1}^K (\mu_{puis\ stat\ gate\ l})_{(V_{DD})_{STAT\ circuit}, (V_{RBB})_{STAT\ circuit}} \quad (4.13)$$

Le Tableau 4.4 représente les valeurs de $((V_{DD})_{STAT})_{circuit}$ et de $((V_{RBB})_{STAT})_{circuit}$ des circuits b01 et b07. On représente aussi dans ce tableau, les moyennes des délais et des puissances statiques des chemins critiques de ces circuits qui correspondent à $((V_{DD})_{STAT})_{circuit}$ et à $((V_{RBB})_{STAT})_{circuit}$.

	$(V_{DDSTAT})_{circuit}$ (V)	$(V_{RBBSTAT})_{circuit}$ (V)	<i>chemin</i>	$(\mu_{délai})$	$(\mu_{puis\ stat})$
b01	0.759	-0.433	Chemin 1	4.00 e-10	7.03 e-10
			Chemin 2	3.96 e-10	8.21 e-10
			Chemin 3	3.65 e-10	6.19 e-10
			Chemin 4	3.61 e-10	7.37 e-10
			Chemin 5	3.50 e-10	6.44 e-10
b07	0.760	-0.421	Chemin 1	5.60 e-10	1.22 e-9
			Chemin 2	5.60 e-10	1.23 e-9
			Chemin 3	5.81 e-10	1.11 e-9

Tableau 4.4 : Moyennes du Délai et de la Puissance Statique des chemins pour $V_{DD} = ((V_{DD})_{STAT})_{circuit}$ et $V_{RBB} = ((V_{RBB})_{STAT})_{circuit}$

Après le calcul des moyennes du délai et de la puissance statique des N chemins critiques du circuit qui correspondent à $(V_{DDSTAT})_{circuit}$ et $((V_{RBB})_{STAT})_{circuit}$. Le chemin u , $u \in \{1,2, \dots, N\}$, ayant la plus grande moyenne de délai est déterminé. Enfin, le délai et la puissance statique du circuit qui correspondent à $(V_{DDSTAT})_{circuit}$ et $((V_{RBB})_{STAT})_{circuit}$ sont considérés être la moyenne du délai et la moyenne de la puissance statique (respectivement) du chemin u .

Le Tableau 4.5 représente pour les circuits b01 et b07, les moyennes de leurs délais et de leurs puissances statiques qui correspondent à $((V_{DD})_{STAT})_{circuit}$ et à $((V_{RBB})_{STAT})_{circuit}$.

	$(V_{DDSTAT})_{circuit}$ (V)	$(V_{RBBSTAT})_{circuit}$ (V)	Délai (s)	Puissance Statique (W)
b01	0.759	-0.433	4.00 e-10	7.03 e-10
b07	0.760	-0.421	5.81 e-10	1.11 e-9

Tableau 4.5 : Optimisation des circuits b01 et b07

4.6.2 Exactitude et Coût de calcul

Dans la partie précédente, nous avons présenté une méthode qui permet de déterminer $((V_{DD})_{STAT})_{circuit}$, $((V_{RBB})_{STAT})_{circuit}$ le couple de tension d'alimentation et de polarisation qui optimise l'énergie statique du circuit. Une fois déterminé, le délai et la puissance statique du circuit qui correspondent à ce couple sont estimés. Dans cette partie nous évaluons l'exactitude et le coût de calcul de cette méthode.

Pour évaluer l'exactitude de la méthode d'optimisation, pour $V_{DD} = ((V_{DD})_{STAT})_{circuit}$ et $V_{RBB} = ((V_{RBB})_{STAT})_{circuit}$, nous mesurons d'abord par des simulations Monte-Carlo les moyennes réelles du délai μ_{del} des circuits b01 et b07. Ensuite nous comparons ces moyennes aux moyennes du délai estimées ($\hat{\mu}_{del}$) par la méthode d'optimisation. Enfin, nous calculons l'erreur relative de la méthode d'optimisation (Tableau 4.6).

	Délai (s)		Erreur %
	Monte-Carlo (MC=1500)	Méthode d'optimisation	$ \frac{\mu - \hat{\mu}}{\mu} $
b01	$\mu_{del} = 3.84 \text{ e-}10$	$\hat{\mu}_{del} = 4.00 \text{ e-}10$	4.16 %
b07	$\mu_{del} = 5.74 \text{ e-}10$	$\hat{\mu}_{del} = 5.81 \text{ e-}10$	1.21%

Tableau 4.6 : Exactitude de la méthode d'optimisation

Comme on peut le voir sur le Tableau 4.6, l'erreur relative de l'estimation du délai est de 4.16% pour le circuit b01 et 1.21% pour le circuit b07, ce qui permet de dire que l'erreur d'estimation du délai par la méthode d'optimisation est faible.

Pour évaluer le coût de calcul de la méthode d'optimisation, pour les circuits b01 et b07, nous comparons le temps CPU mis pour estimer le délai des circuits à partir de la méthode présentée au temps CPU mis pour estimer le délai du circuit par des simulations Monte Carlo (Tableau 4.7).

	Temps CPU (s)		$\frac{\text{Temps CPU MC}}{\text{Temps CPU Mtd Opt}}$
	Simulation MC (MC=1500)	Méthode d'optimisation	
b01	931.09	7.31	127.35
b07	1990.91	7.55	263.69

Tableau 4.7 : Coût de calcul de la méthode d'optimisation

Comme on peut le voir sur le Tableau 4.7, la méthode d'optimisation apporte un gain élevé du coût de calcul. Le temps CPU pour calculer le délai par des simulations Monte-Carlo est approximativement 127 fois plus grand que celui de la méthode d'optimisation pour le circuit b01, et approximativement 263 fois plus grand pour le circuit b07.

4.7 Gain apporté par le Compromis Délai-Puissance Statique avec Polarisation

Dans cette partie, nous évaluons les gains et les pertes apportés par le compromis Délai-Puissance Statique avec polarisation. Pour cela, d'une façon similaire à l'évaluation des gains et des pertes apportés par le compromis Délai-Puissance Statique sans polarisation présentée dans le Chapitre 3, pour les chemins critiques des circuits b01 et b07, nous comparons d'abord leurs délais et leurs puissance statiques déterminés à partir du compromis Délai-Puissance Statique avec polarisation à leurs délais et leurs puissances statiques maximaux et minimaux (Tableau 4.8). Ensuite, nous calculons pour le délai et pour la puissance statique, les pourcentages des gains maximaux (pourcentage de réduction du délai et de la puissance statique par rapport à leurs valeurs maximales) et les pourcentages des pertes maximales (pourcentage d'augmentation du délai et de la puissance statique par rapport à leurs valeurs minimales) apportés par le compromis Délai-Puissance Statique avec polarisation.

		Délai (s)			Puissance Statique (W)		
		V_{RBB}	V_{RBB}	V_{RBB}	V_{RBB}	V_{RBB}	V_{RBB}
		=	=	=	=	=	=
		0V	$(V_{RBB})_{STAT}$	-1V	0V	$(V_{RBB})_{STAT}$	-1V
		V_{DD}	V_{DD}	V_{DD}	V_{DD}	V_{DD}	V_{DD}
		=	=	=	=	=	=
		1V	$(mean V_{DD})_{STAT}$	0.6V	1V	$(mean V_{DD})_{STAT}$	0.6V
b01	Chemin 1	1.60 e-10	3.99 e-10	21.8 e-10	38.6 e-10	7.02 e-10	1.98 e-10
	Chemin 2	1.57 e-10	3.94 e-10	22.2 e-10	45.8 e-10	8.31 e-10	2.31 e-10
	Chemin 3	1.45 e-10	3.67 e-10	19.9 e-10	33.3 e-10	6.12 e-10	1.83 e-10
	Chemin 4	1.42 e-10	3.62 e-10	20.3 e-10	40.6 e-10	7.40 e-10	2.15 e-10
	Chemin 5	1.44 e-10	3.49 e-10	18.3 e-10	35.2 e-10	6.41 e-10	1.87 e-10
b07	Chemin 1	2.40 e-10	5.62 e-10	28.8 e-10	66.2 e-10	12.2 e-10	3.67 e-10
	Chemin 2	2.41 e-10	5.60 e-10	28.8 e-10	66.9 e-10	12.4 e-10	3.68 e-10
	Chemin 3	2.46 e-10	5.80 e-10	29.8 e-10	60.3 e-10	11.0 e-10	3.45 e-10

Tableau 4.8 : Comparaison du Délai et de la Puissance Statique pour plusieurs valeurs de tensions d'alimentations et de polarisations

Le Tableau 4.8 représente les valeurs des moyennes des délais et de des puissances statiques des chemins critiques des circuits b01 et b07 qui correspondent à :

- $V_{DD} = mean (V_{DD})_{STAT_{chemin}}$ et $V_{RBB} = (V_{RBB})_{STAT_{chemin}}$, les tensions d'alimentations et de polarisations (respectivement) déterminées à partir du compromis Délai-Puissance Statique avec polarisation,
- $V_{DD} = 0.6 V$ et $V_{RBB} = -1V$, les tensions d'alimentations et de polarisations (respectivement) qui mènent à un délai maximal et une puissance statique minimale,
- $V_{DD} = 1 V$ et $V_{RBB} = 0V$, les tensions d'alimentations et de polarisations (respectivement) qui mènent à un délai et minimal et une puissance statique maximale.

Comme on peut le voir sur le Tableau 4.8, le délai déterminé à partir du compromis Délai-Puissance Statique avec polarisation réduit le délai maximal (qui correspond à $V_{DD} = 0.6 V$ et à $V_{RBB} = -1V$) sans trop dégrader la puissance statique minimale (qui correspond à $V_{DD} = 0.6 V$ et à $V_{RBB} = -1V$). De l'autre côté, la puissance statique déterminée à partir du compromis Délai-Puissance Statique avec polarisation réduit la puissance statique maximale (qui correspond à $V_{DD} = 1 V$ et à $V_{RBB} = 0V$) sans trop dégrader le délai minimal (qui correspond à $V_{DD} = 1 V$ et à $V_{RBB} = 0V$).

Pour calculer les pourcentages des gains et des pertes maximaux du délai et de la puissance statique apportés par le compromis Délai Puissance Statique avec polarisation, on suit la même démarche appliquée pour calculer que les pourcentages des gains et des pertes maximaux du délai et de la puissance statique apportés par le compromis Délai Puissance Statique sans polarisation. Ainsi, on définit d'abord les deux ensembles $puis\ stat_{(V_{DD},V_{RBB})}$ et $del_{(V_{DD},V_{RBB})}$ (équations 4.14 et 4.15 respectivement).

$$\begin{aligned}
 del_{(V_{DD},V_{RBB})} = & \\
 & \{ \\
 & del_{(V_{DD}=0.6 V, V_{RBB}=-1V)}, \\
 & del_{(V_{DD}=mean(V_{DD})_{STAT}, V_{RBB}=(V_{RBB})_{STAT_{chemin}})}, \\
 & del_{(V_{DD}=1V, V_{RBB}=0V)} \\
 & \}
 \end{aligned} \tag{4.14}$$

$$\begin{aligned}
 puis\ stat_{(V_{DD},V_{RBB})} = & \\
 & \{ \\
 & puis\ stat_{(V_{DD}=0.6V, V_{RBB}=-1V)}, \\
 & puis\ stat_{(V_{DD}=mean(V_{DD})_{STAT}, V_{RBB}=(V_{RBB})_{STAT_{chemin}})}, \\
 & puis\ stat_{(V_{DD}=1V, V_{RBB}=0V)} \\
 & \}
 \end{aligned} \tag{4.15}$$

Les ensembles $puis\ stat_{(V_{DD},V_{RBB})}$ et $del_{(V_{DD},V_{RBB})}$ représentent les valeurs de la puissance statique et du délai respectivement qui correspondent à :

- $(V_{DD} = 0.6 V, V_{RBB} = -1V)$, le couple de tension d'alimentation et de polarisation qui mène à un délai maximal et une puissance statique minimale,
- $(V_{DD} = \text{mean}(V_{DD})_{STAT_chemin}, V_{RBB} = (V_{RBB})_{STAT_chemin})$, le couple de tension d'alimentation et de polarisation déterminé à partir du compromis Délai-Puissance Statique avec polarisation,
- $(V_{DD} = 1 V, V_{RBB} = 0V)$, le couple de tension d'alimentation et de polarisation qui mène à un délai minimal et une puissance statique maximale.

Ensuite, on définit les deux ensembles $norm\ puis\ stat_{(V_{DD}, V_{RBB})}$ et $norm\ del_{(V_{DD}, V_{RBB})}$ (équations 4.16 et 4.17 respectivement) qui représentent la normalisation des deux ensembles $puis\ stat_{(V_{DD}, V_{RBB})}$ et $del_{(V_{DD}, V_{RBB})}$ respectivement.

$$\begin{aligned}
 norm\ puis\ stat_{(V_{DD}, V_{RBB})} = & \\
 & \{ \\
 & norm\ puis\ stat_{(V_{DD}=0.6 V, V_{RBB}=-1V)} = 0, \\
 & norm\ puis\ stat_{(V_{DD}=\text{mean}(V_{DD})_{STAT}, V_{RBB}=(V_{RBB})_{STAT_chemin})}, \\
 & norm\ puis\ stat_{(V_{DD}=1V, V_{RBB}=0V)} = 1 \\
 & \}
 \end{aligned} \tag{4.16}$$

$$\begin{aligned}
 norm\ del_{(V_{DD}, V_{RBB})} = & \\
 & \{ \\
 & norm\ del_{(V_{DD}=0.6 V, V_{RBB}=-1V)} = 1, \\
 & norm\ del_{(V_{DD}=\text{mean}(V_{DD})_{STAT}, V_{RBB}=(V_{RBB})_{STAT_chemin})}, \\
 & norm\ del_{(V_{DD}=1V, V_{RBB}=0V)} = 0 \\
 & \}
 \end{aligned} \tag{4.17}$$

Les pourcentages des gains et des pertes maximaux de la puissance statique apportés par le compromis sont calculés par (équations 4.18 et 4.19 respectivement) :

$$\begin{aligned}
 & \mathbf{gain\ max\ puis\ stat} \\
 & = \\
 & 100 \times [norm\ puis\ stat_{(V_{DD}=1V, V_{RBB}=0V)} - norm\ puis\ stat_{(V_{DD}=mean(V_{DD})_{STAT}, V_{RBB}=(V_{RBB})_{STAT_{chemin}})}] \quad (4.18) \\
 & = \\
 & 100 \times [1 - norm\ puis\ stat_{(V_{DD}=mean(V_{DD})_{STAT}, V_{RBB}=(V_{RBB})_{STAT_{chemin}})}]
 \end{aligned}$$

$$\begin{aligned}
 & \mathbf{perte\ max\ puis\ stat} \\
 & = \\
 & 100 \times [norm\ puis\ stat_{(V_{DD}=mean(V_{DD})_{STAT}, V_{RBB}=(V_{RBB})_{STAT_{chemin}})} - norm\ puis\ stat_{(V_{DD}=0.6V, V_{RBB}=-1V)}] \quad (4.19) \\
 & = \\
 & 100 \times [norm\ puis\ stat_{(V_{DD}=mean(V_{DD})_{STAT}, V_{RBB}=(V_{RBB})_{STAT_{chemin}})}]
 \end{aligned}$$

Les pourcentages des gains et des pertes maximaux du délai apportés par le compromis sont calculés par (équations 4.20 et 4.21 respectivement).

$$\begin{aligned}
 & \mathbf{gain\ max\ del} \\
 & = \\
 & 100 \times [norm\ del_{(V_{DD}=0.6V, V_{RBB}=-1V)} - norm\ del_{(V_{DD}=mean(V_{DD})_{STAT}, V_{RBB}=(V_{RBB})_{STAT_{chemin}})}] \quad (4.20) \\
 & = \\
 & 100 \times [1 - norm\ del_{(V_{DD}=mean(V_{DD})_{STAT}, V_{RBB}=(V_{RBB})_{STAT_{chemin}})}]
 \end{aligned}$$

$$\begin{aligned}
 & \mathbf{perte\ max\ del} \\
 & = \\
 & 100 \times [norm\ del_{(V_{DD}=mean(V_{DD})_{STAT}, V_{RBB}=(V_{RBB})_{STAT_{chemin}})} - norm\ del_{(V_{DD}=1V, V_{RBB}=0V)}] \quad (4.21) \\
 & = \\
 & 100 \times [norm\ del_{(V_{DD}=mean(V_{DD})_{STAT}, V_{RBB}=(V_{RBB})_{STAT_{chemin}})}]
 \end{aligned}$$

Le Tableau 4.9 représente pour les chemins critiques des circuits b01 et b07, les pourcentages des gains et des pertes maximaux du délai et de la puissance statique apportés par le compromis Délai-Puissance Statique avec polarisation.

		Compromis Gain Maximal %		Compromis Perte Maximal %	
		Délai	Puissance Statique	Délai	Puissance Statique
b01	Chemin 1	88.16	86.23	11.83	13.76
	Chemin 2	88.51	86.20	11.48	13.79
	Chemin 3	87.96	86.36	12.03	13.63
	Chemin 4	88.34	86.34	11.62	13.65
	Chemin 5	87.84	86.37	12.15	13.62
b07	Chemin 1	87.80	86.35	12.19	13.64
	Chemin 2	87.91	86.20	12.08	13.79
	Chemin 3	87.78	86.71	12.21	13.28
Moyenne		88.03	86.34	11.94	13.64

Tableau 4.9 : Pourcentages des gains et des pertes maximaux du Délai et de la Puissance Statique apportés par le compromis Délai-Puissance Statique avec polarisation

Comme on peut le voir sur le Tableau 4.9, les pourcentages des gains maximaux du délai et de la puissance statique apportés par le compromis Délai-Puissance Statique avec polarisation sont bien plus élevés que les pourcentages des pertes maximales de ce compromis. Ce qui nous permet de dire que c'est un compromis efficace qui mène à un gain bien plus élevé que la perte.

4.8 Validation du compromis Délai-Puissance Statique avec polarisation

Dans le Chapitre 3, nous avons présenté pour une tension de polarisation $V_{RBB} = 0V$, un compromis Délai-Puissance Statique qui consiste à déterminer une tension d'alimentation $(V_{DD})_{STAT}$ à partir de laquelle on réduit le délai sans trop dégrader la puissance statique et vice versa. Dans le présent Chapitre, nous avons présenté un deuxième compromis Délai-Puissance Statique avec polarisation. Le deuxième compromis consiste à déterminer le couple de tension d'alimentation et de polarisation $((V_{DD})_{STAT}, (V_{RBB})_{STAT})$ qui réduit à son tour le délai sans trop dégrader la puissance statique et vice versa. Dans cette partie, nous validons le compromis Délai-Puissance Statique avec

polarisation. Pour cela, nous comparons d’abord les délais et les puissances statiques des chemins critiques des circuits b01 et b07 obtenus à partir des deux compromis (Tableau 4.10).

		Délai (s)		Puissance Statique (W)	
		Compromis avec Polarisation	Compromis sans Polarisation	Compromis avec Polarisation	Compromis sans Polarisation
b01	Chemin 1	3.99 e-10	3.29 e-10	7.02 e-10	14.7 e-10
	Chemin 2	3.94 e-10	3.27 e-10	8.31 e-10	17.3 e-10
	Chemin 3	3.67 e-10	2.94 e-10	6.12 e-10	13.1 e-10
	Chemin 4	3.62 e-10	2.92 e-10	7.40 e-10	15.8 e-10
	Chemin 5	3.49 e-10	2.87 e-10	6.41 e-10	13.6 e-10
b07	Chemin 1	5.62 e-10	4.73 e-10	12.20 e-10	24.8 e-10
	Chemin 2	5.60 e-10	4.72 e-10	12.40 e-10	25.1 e-10
	Chemin 3	5.80 e-10	4.86 e-10	11.00 e-10	22.6 e-10

Tableau 4.10 : Comparaison du délai et de la puissance statique pour différents compromis (sans et avec polarisation)

Ensuite, nous calculons les pourcentages relatifs des gains et des pertes apportés par le compromis Délai-Puissance Statique avec polarisation et cela par rapport au compromis Délai-Puissance Statique sans polarisation.

Le Tableau 4.10 représente les moyennes des délais et des puissances statiques obtenus à partir des deux compromis (avec polarisation et sans polarisation) des chemins critiques des circuits b01 et b07. Puisque la polarisation en mode inverse (*RBB*) mène à une augmentation du délai et à une réduction de la puissance statique, par conséquent, le délai qui correspond au compromis Délai-Puissance Statique avec polarisation est supérieur à celui qui correspond au compromis Délai-Puissance Statique sans polarisation (Tableau 4.10). Cependant, la puissance statique qui correspond au Délai-Puissance Statique avec polarisation est inférieure à celle qui correspond au compromis Délai-Puissance Statique sans polarisation (Tableau 4.10). Ainsi, le compromis Délai-Puissance Statique avec polarisation mène à une perte du délai et à un gain de la puissance statique par rapport

au compromis sans polarisation. Pour valider le compromis Délai-Puissance Statique avec polarisation, nous calculons les pourcentages des pertes du délai (équation 4.22) et les pourcentages des gains de la puissance statique (équation 4.23) apportés par ce compromis par rapport au compromis sans polarisation.

$$(perte\ del)_{comp\ RBB\neq 0} = 100 \times \frac{(del_{comp\ RBB\neq 0}) - (del_{comp\ RBB=0})}{(del)_{comp\ RBB=0}} \quad (4.22)$$

$$(gain\ puis\ stat)_{comp\ RBB\neq 0} = 100 \times \frac{(puis\ stat_{comp\ RBB=0}) - (puis\ stat_{comp\ RBB\neq 0})}{(puis\ stat)_{comp\ RBB=0}} \quad (4.23)$$

Le Tableau 4.11 représente pour les chemins critiques des circuits b01 et b07, les pourcentages des pertes du délai et les pourcentages des gains de la puissance statique apportés par le compromis Délai-Puissance Statique avec polarisation par rapport au compromis Délai-Puissance Statique sans polarisation.

		$(perte\ del)_{comp\ RBB\neq 0}$ %	$(gain\ puis\ stat)_{comp\ RBB\neq 0}$ %
b01	Chemin 1	21.27	52.24
	Chemin 2	20.48	51.96
	Chemin 3	24.82	53.28
	Chemin 4	23.97	53.16
	Chemin 5	21.60	52.86
b07	Chemin 1	18.81	50.80
	Chemin 2	18.64	50.59
	Chemin 3	19.34	51.32
Moyenne		21.12	52.03

Tableau 4.11 : Pourcentages des gains et des pertes apportés par le compromis Délai-Puissance Statique avec polarisation

Comme on peut le voir sur le Tableau 4.11, en comparant les gains relatifs de la puissance statique aux pertes relatives du délai apportés par le compromis Délai-Puissance Statique avec polarisation, on trouve que les gains sont bien plus élevés que les pertes. Ainsi, le compromis Délai-Puissance

Statique avec polarisation optimise l'énergie statique plus que le compromis Délai-Puissance Statique sans polarisation.

4.9 Conclusion

Dans ce chapitre nous avons présenté le compromis Délai-Puissance Statique avec polarisation à partir duquel le couple $((V_{RBB})_{STAT}, (V_{DD})_{STAT})$ qui réduit le délai sans trop dégrader la puissance statique et vice versa est déterminé. Ce compromis permet donc d'optimiser l'énergie statique. Nous avons présenté aussi la caractérisation des librairies statistiques de la technologie 28 nm RVT UTBB-FDSOI. Pour plusieurs valeurs de V_{DD} et pour plusieurs valeurs de V_{RBB} des librairies statistiques sont construites définitivement à partir desquelles on pré-caractérise le délai et la puissance statique des portes logiques de la technologie 28 nm RVT UTBB-FDSOI. Une fois construite, on détermine à partir de ces librairies, le couple $((V_{RBB})_{STAT}, (V_{DD})_{STAT})$ qui optimise l'énergie statique des portes logiques.

Ce concept de compromis Délai-Puissance Statique a ensuite été appliqué à un chemin et étendu aux circuits.

Pour évaluer ce compromis, on a calculé les pourcentages des gains et des pertes maximaux du délai et de la puissance statique apportés par le compromis. Les pourcentages des gains maximaux sont bien plus élevés que ceux des pertes maximaux, ce qui nous permet de dire que c'est un compromis efficace.

Nous avons aussi validé le compromis Délai-Puissance Statique avec polarisation en le comparant au compromis Délai-Puissance statique sans polarisation présentée dans le Chapitre 3. Comme il a été montré, le compromis Délai-Puissance Statique avec polarisation optimise plus l'énergie statique que le compromis sans polarisation.

Conclusion et Perspectives

Conclusion

Ce travail a permis de caractériser en délai et en puissance la bibliothèque de la technologie 28 nm RVT UTBB-FDSOI, ce qui mène par la suite à un gain important en temps CPU lors de l'estimation du délai et de la puissance d'un circuit.

A partir de cette caractérisation, la principale contribution scientifique de ce travail est la mise en œuvre d'un compromis Délai-Puissance Statique efficace qui permet de réduire le délai des transistors 28 nm RVT UTBB-FDSOI sans trop dégrader leur puissance statique et vice versa, donc qui optimise l'énergie statique de ces transistors.

Pour établir ce compromis, une méthode basée sur le concept mathématique de la courbe ROC a été développée. Ce compromis permet aux concepteurs de déterminer un couple de tension d'alimentation et de tension de polarisation $((V_{RBB})_{STAT}, (V_{DD})_{STAT})$ à partir duquel l'énergie statique est optimisée.

Dans le Chapitre 1, nous avons présenté le contexte de ce travail. Ainsi, nous avons d'abord défini l'énergie statique en fonction du délai et de la puissance statique qui dépendent de la tension d'alimentation et de la tension de polarisation. Puis, nous avons présenté les sources de variations du délai et de la puissance statique. Ensuite, nous avons abordé plusieurs approches de l'analyse statistique du délai et de la puissance statique en présentant en particulier les approches statistiques sur lesquelles nous nous sommes appuyés afin d'estimer le délai et la puissance statique.

Dans le Chapitre 2, nous avons abordé la technologie 28 nm FDSOI. Nous avons d'abord mis en lumière les points forts de cette technologie. Ensuite, nous avons analysé pour plusieurs types de transistors de cette technologie, la variation de leurs délais et de leurs puissances statiques en fonction

de la tension d'alimentation et en fonction de la tension de polarisation. Enfin, nous avons présenté une nouvelle technique de modélisation du signal d'entrée qui permet de mieux ajuster les variations des paramètres des transistors de la technologie 28 nm FDSOI.

Dans le chapitre 3, nous avons d'abord présenté en quoi consiste le compromis Délai-Puissance Statique sans polarisation et la démarche suivie pour le déterminer. Puis, nous avons illustré la construction des bibliothèques statistiques qui caractérisent pour plusieurs valeurs de V_{DD} , le délai et la puissance statique des portes logiques de la technologie 28 nm RVT UTBB-FDSOI. Ensuite, en se basant sur ces bibliothèques, nous avons réalisé des études statistiques afin d'estimer les moyennes du délai et de la puissance statique des portes logiques. Une fois estimées, $(V_{DD})_{STAT}$ la tension d'alimentation qui optimise l'énergie statique des portes logiques est déterminée à partir du compromis Délai-Puissance Statique sans polarisation. Enfin, l'optimisation de l'énergie statique à partir du compromis est étendue aux chemins critiques et aux circuits.

Dans le chapitre 4, nous avons d'abord présenté le compromis Délai-Puissance Statique avec polarisation à partir duquel $((V_{RBB})_{STAT}, (V_{DD})_{STAT})$ le couple de tension d'alimentation et de tension de polarisation qui optimise l'énergie statique est déterminé. Puis nous avons illustré la construction (pour plusieurs valeurs de V_{DD} et de V_{RBB}) des bibliothèques statistiques qui caractérisent le délai et la puissance statique des portes logiques de la technologie 28 nm RVT UTBB-FDSOI. Ensuite, en se basant sur ces bibliothèques, nous avons estimé les moyennes du délai et de la puissance statique et cela pour plusieurs valeurs de V_{DD} et de V_{RBB} . Une fois ces quantités estimées, le couple $((V_{RBB})_{STAT}, (V_{DD})_{STAT})$ qui optimise l'énergie statique des portes logiques est déterminé à partir du compromis Délai-Puissance Statique avec polarisation. Enfin, l'optimisation de l'énergie statique à partir du compromis Délai-Puissance Statique avec polarisation est étendue aux chemins critiques et aux circuits.

Perspectives

Ce travail de recherche ouvre la voie à plusieurs perspectives.

Premièrement, dans ce travail, le compromis Délai-Puissance Statique avec polarisation est établi sur des portes logiques de la technologie 28 nm RVT UTBB-FDSOI et sur des circuits constitués par un nombre de portes logiques relativement faible. En construisant des bibliothèques statistiques qui prennent en considération un nombre important de portes logiques, ce travail peut être étendu sur des circuits industriels constitués par un grand nombre de portes. Pour une porte logique $gate\ l$, on a établi le compromis Délai-Puissance-Statique à partir de la courbe qui s'apparente à la courbe ROC et qui représente la variation des couples $((del)_{gate\ l}, (puis\ stat)_{gate\ l})$ en fonction de la tension d'alimentation et en fonction de la tension de polarisation. Or, le délai et la puissance statique des circuits industriels sont proportionnels aux nombres des portes qui les constituent, donc le délai du circuit sera égal à $k \times (del)_{gate\ l}$, ($k > 1$), et la puissance statique du circuit sera égale à $k' \times (puis\ stat)_{gate\ l}$ ($k' > 1$). En d'autre terme, l'évolution de la courbe qui représente le délai et la puissance statique du circuit en fonction de la tension d'alimentation et en fonction de la tension de polarisation est similaire à l'évolution de la courbe qui représente le délai et la puissance statique d'une porte logique en fonction de la tension d'alimentation et en fonction de la tension de polarisation. Ainsi, d'une façon similaire à une porte logique, pour un circuit, le compromis sera établi à partir de la courbe qui s'apparente à la courbe ROC et qui représente le délai et la puissance statique du circuit en fonction de la tension d'alimentation et en fonction de la tension de polarisation.

Deuxièmement, pour déterminer le couple $((V_{RBB})_{STAT}, (V_{DD})_{STAT})$ à partir du compromis Délai-Puissance Statique avec polarisation, des polarisations en mode inverse (*RBB*) ont été appliquées sur les transistors 28 nm RVT UTBB-FDSOI. D'une façon similaire à la détermination de $((V_{RBB})_{STAT}, (V_{DD})_{STAT})$, en appliquant des polarisations en mode direct (*FBB*) sur les transistors 28 nm LVT UTBB-FDSOI, on pourra déterminer $((V_{FBB})_{STAT}, (V_{DD})_{STAT})$ le couple de tension de polarisation (en mode direct) et de tension d'alimentation qui optimise l'énergie statique des transistors 28 nm LVT UTBB-FDSOI.

Troisièmement, pour certaines applications comme les *SCA (Safety Critical Applications)* le délai est plus important que la puissance statique. Cependant, pour d'autres applications, par exemple les applications *IoT (Internet of Things)*, la puissance statique est plus importante que le délai. Ainsi, pour répondre à chacune de ces applications, le compromis Délai-Puissance Statique développé dans

ce travail peut être modifié pour donner du poids au délai ou à la puissance statique selon le type de l'application. Par exemple, pour établir un compromis qui répond aux besoins des applications *IoT*, on représente les points $A_{(p_{uis\ stat}, del)_{V_{DD}=(V_{DD})_i}}$ (Figure ci-dessous) qui illustrent la variation des couples $(p_{uis\ stat}, del)_{V_{DD}=(V_{DD})_i}$ en fonction de la tension d'alimentation dans un repère cartésien.

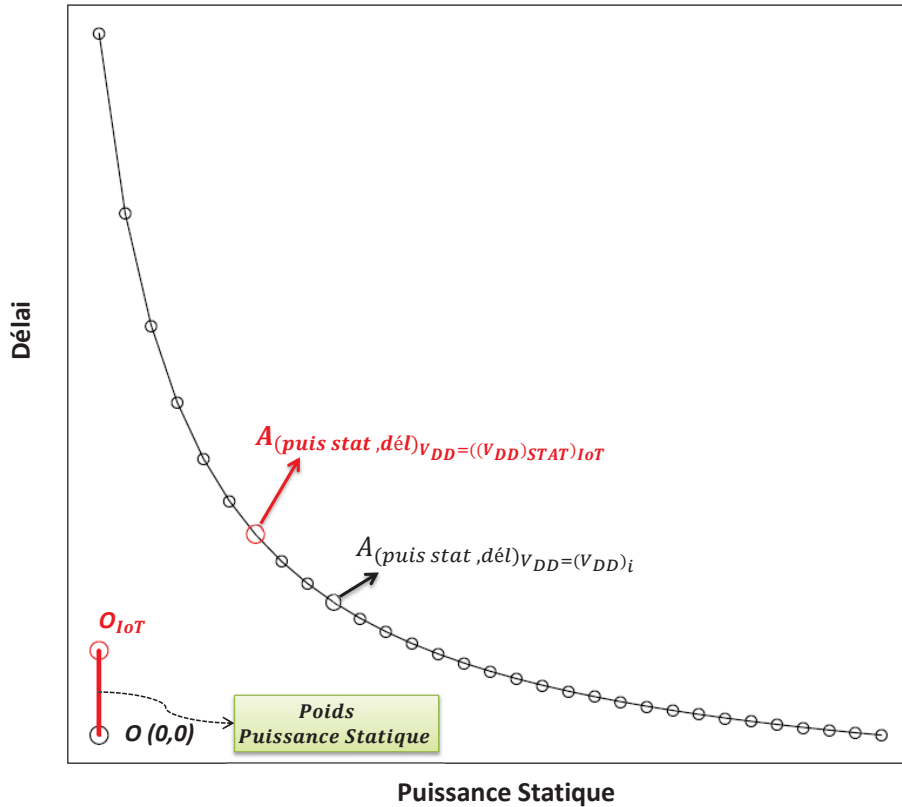


Illustration du compromis Délai-Puissance Statique pour les applications IoT

Ensuite, selon le poids ou l'importance de la puissance statique, on définit le point $O_{IoT}(0, poids_{puissance\ statique})$ (Figure ci-dessus).

Alors, la tension d'alimentation $((V_{DD})_{STAT})_{IoT}$ qui optimise l'énergie statique tout en tenant compte de l'importance de la puissance statique n'est autre que la tension d'alimentation qui correspond à $A_{(p_{uis\ stat}, del)_{V_{DD}=(V_{DD})_{STAT}}_{IoT}}$ le point le plus proche de O_{IoT} (Figure ci-dessus).

Ainsi, selon le type d'application, on peut donner du poids soit au délai soit à la puissance et répondre rapidement aux contraintes utilisateurs.

Productions Scientifiques

R. KHEIRALLAH, J.M.GALLIERE, A. TODRI-SANIAL, G. DUCHARME, N. AZEMARD

"Statistical Energy Study for 28nm FDSOI Devices"

EuroSimE 2015, 16th International Conference on Thermal, Mechanical and Multi-Physics, Simulation and Experiments in Microelectronics and Microsystems

Budapest, Hongrie, 20-22 Avril 2015.

R. KHEIRALLAH, G. DUCHARME, N. AZEMARD

"Statistical Energy Study for 28nm FDSOI Technology"

VARI 2015, 6th International Workshop on CMOS variability

Salvador, Bahia, Brésil, 2-4 Septembre 2015

R. KHEIRALLAH, G. DUCHARME, N. AZEMARD

"Energy Study for 28 nm Fully Depleted Silicon on Insulator Devices"

American Scientific Publishers in Journal of Low Power Electronics(JOLPE) Vol.12 N°1 pp 58-63, March 2016

Liste des Figures

Figure 1.1 : Illustration du délai, de l'active mode et du standby mode.....	15
Figure 1.2 : Evolution du délai et de la puissance statique en fonction de VDD	16
Figure 1.3 : Illustration du délai de propagation et des pentes [2].....	17
Figure 1.4 : Illustration de la variation de la tension d'alimentation [3]	19
Figure 1.5 : Illustration des variations de la température et de la puissance [4].....	19
Figure 1.6 : Illustration de la variation du délai [5]	20
Figure 1.7 Illustration d'un timing graph.....	21
Figure 1.8 : Illustration de l'évolution de la variation des paramètres physiques [6].....	22
Figure 1.9 : Classification des méthodes SSTA existantes.....	24
Figure 1.10 : Variations de T_{ild} dans un wafer et dans une die [14]	26
Figure 1.11 : Exemple d'un grid model [2]	27
Figure 1.12 : Exemple d'un quad-tree model à trois niveaux [2]	28
Figure 1.13 : Approximation linéaire du maximum [2].....	31
Figure 1.14: Flow de la méthode SSTA basée sur la propagation des moments.....	33
Figure 1.15 : Structure de la librairie statistique du temps	34
Figure 1.16 : Procédure du SSTA Engine.....	37
Figure 1.17 : Augmentation de la puissance statique [27].....	40
Figure 1.18 : Variation du courant de fuite et de la fréquence [28].....	41
Figure 1.19 : pdf du courant de fuite d'un circuit NMOS 32 nm [26].....	42
Figure 1.20 : Flow de la méthode Monte Carlo [34]	44
Figure 1.21 : Flow de l'estimation de la puissance statique d'un circuit [26]	45
Figure 1.22 : Illustration des input-states d'un inverseur.....	45

Figure 1.23 : Flow de l'optimisation de l'énergie statique	50
Figure 2.1: Vue en coupe schématique d'un transistor CMOS fabriqué en technologie planaire FDSOI	53
Figure 2.2 : Illustration des transistors MOS multi-VT sur une puce [43].....	55
Figure 2.3 : Comparaison des structures des transistors RVT 28 nm UTBB-FDSOI et LVT 28 nm UTBB-FDSOI [39]	56
Figure 2.4 : Circuit illustratif de la polarisation d'un inverseur à base de transistors RVT UTBB-FDSOI.....	57
Figure 2.5 : Circuit illustratif de la polarisation d'un inverseur à base de transistors LVT UTBB-FDSOI.....	58
Figure 2.6 : Comparaison du Délai des transistors RVT et LVT.....	59
Figure 2.7 : Comparaison de la Puissance Statique des transistors RVT et LVT.....	60
Figure 2.8 : Illustration du gain apporté par la polarisation en mode inverse.....	61
Figure 2.9 : Illustration du gain apporté par la polarisation en mode direct	62
Figure 2.10 : Forme réelle du signal d'entrée et son approximation linéaire	64
Figure 2.11 : Illustration des points critiques (en rouge) du signal réel et ceux de son approximation linéaire (en bleu)	66
Figure 2.12: Illustration d'un signal d'entrée linéaire.....	67
Figure 2.13 : Illustration des points mesurés d'un signal réel	68
Figure 2.14 : Illustration de la dérivée du signal d'entrée [2].....	69
Figure 2.15 : Comparaison de la dérivée du signal d'entrée avec la densité de la loi Log-Logistique [1].....	70
Figure 2.16 : Estimation des paramètres α et β	71
Figure 2.17 : Estimation du paramètre ΔV ($\Delta V = 154.73 + 2.29 \times 10^{12} \times \tau_{in}$).....	72
Figure 2.18 : Estimation du paramètre Δt ($\Delta t = 1.978 \times 10^{-11} + 3 \times 10^{-4} \times \tau_{in}$).....	72
Figure 2.19 : Estimation du paramètre β ($\beta = 10.3 + 1.79 \times 10^9 \times \tau_{in} + 1$).....	73
Figure 2.20 : Estimation du signal d'entrée	74

Figure 2.21 : Estimation du paramètre ΔV ($\Delta V = 154.73 + 2.29 \times 10^{12} \times \tau_{in}$).....	75
Figure 2.22 : Estimation du paramètre t_{min} ($t_{min} = -1.84 \times 10^{-12} + 0.87 \times T0$)	76
Figure 2.23 : Modélisation du signal d'entrée d'un échantillon du jeu de données	77
Figure 2.24 : Illustration de l'erreur d'estimation d'un point du signal réel par le modèle de la bibliographie	78
Figure 2.25 : Comparaison des erreurs globales des différentes approches de modélisation.....	79
Figure 3.1 : Evolution de l'Energie et du Délai en fonction de VDD	86
Figure 3.2 : Evolution du Délai et de la Puissance Statique en fonction de VDD	88
Figure 3.3 : Illustration de la courbe ROC.....	90
Figure 3.4 : Illustration de la courbe équivalente à la courbe ROC.....	91
Figure 3.5 : Evolution du Délai et de la Puissance Statique en fonction de VDD	92
Figure 3.6 : Courbe de détermination de $(VDD) STAT$	94
Figure 3.7 : Illustration de $A(VDD) STAT$	96
Figure 3.8 : Construction des librairies statistiques	99
Figure 3.9 : Structure de la librairie statistique de Temps	100
Figure 3.10 : Structure de la librairie statistique de la Puissance Statique	102
Figure 3.11 : Détermination de $(VDD) STAT$ d'une porte logique à partir des librairies statistiques	103
Figure 3.12 : Flow de l'optimisation d'un chemin critique	105
Figure 3.13 : Flow de l'estimation du Délai des portes d'un chemin critique.....	106
Figure 3.14 : Flow de l'estimation de la Puissance Statique des portes d'un chemin critique.....	107
Figure 3.15 : Flow de l'optimisation d'un chemin critique	108
Figure 3.16 : Illustration du compromis Délai-Puissance Statique pour une porte logique ($gate_j$) du chemin critique de b01	109
Figure 3.17 : Illustration de $(VDD STAT) chemin$	110
Figure 3.18 : Flow de l'optimisation de l'énergie statique du circuit.....	111
Figure 4.1 : Evolution du Délai en fonction de VDD et $VRBB$	125

Figure 4.2 : Evolution de la Puissance Statique en fonction de VDD et $VRBB$	125
Figure 4.3 : Evolution du Délai et de la Puissance Statique d'un inverseur en fonction de $VRBB$.	126
Figure 4.4: Evolution du Délai et de la Puissance Statique d'un inverseur en fonction de VDD pour plusieurs valeurs de $VRBB$	128
Figure 4.5 : Courbe de détermination de $(VDD STAT) (VRBB) i$	129
Figure 4.6: Evolution du Délai et de la Puissance Statique d'un inverseur en fonction de $VRBB$ pour $VDD=mean (VDD) STAT$	131
Figure 4.7 : Courbe de détermination de $(VRBB) STAT$	132
Figure 4.8 : Pré-Characterisation du Délai pour $VDD = VDD j$ et pour $VRBB = VRBB i$	133
Figure 4.9 : Pré-Characterisation de la Puissance Statique pour $VDD = (VDD) j$ et pour $VRBB = VRBB i$	134
Figure 4.10 : Flow de détermination de $((VRBB) STAT) chemin$	135
Figure 4.11 : Flow de détermination de $((VDD) STAT chemin) (VRBB) i$	136
Figure 4.12 : Illustration de $(A (VDD) STAT) chemin) (VRBB) i$ du chemin critique du circuit b01	138
Figure 4.13 : Evolution du Délai et de la Puissance Statique du chemin en fonction de $VRBB$ pour $VDD = mean (VDD) STAT chemin$	141
Figure 4.14 : Courbe de détermination de $((VRBB)STAT)chemin$	141
Figure 4.15 : Flow de la méthode d'optimisation d'un circuit.....	143

Liste des Tableaux

Tableau 1.1 : Illustration du "Tableau des Moyennes et des Variances de la Puissance Statique" ...	46
Tableau 1.2 : Exemple de la matrice de corrélation.....	46
Tableau 2.1: Comparaison des sommes des erreurs globales des différentes approches de modélisation	80
Tableau 2.2 : Comparaison des erreurs de l'écart type du Délai pour différents modèles du signal d'entrée.....	81
Tableau 3.1 : $(VDD) STAT$ vs $(VDD) MEP$	97
Tableau 3.2: Gain apporté par $(VDD) STAT$	97
Tableau 3.3: Valeurs de : $(VDD STAT) chemin$, $(\mu \text{ délai } chemin)$ $(VDD STAT)c hemin$, $(\mu \text{ puis stat } chemin)$ $(VDD STAT) chemin$	110
Tableau 3.4 : Valeurs de : $(VDD STAT) chemin$, $(\mu \text{ délai } chemin)$ $(VDD STAT)chemin$, $(\mu \text{ puis stat } chemin)$ $(VDD STAT) chemin$ des chemins des circuits b01 et b07	112
Tableau 3.5 : Valeurs de $(VDD STAT) circuit$, $(\mu \text{ délai } chemin)$ $(VDD STAT) circuit$ et $(\mu \text{ puis stat } chemin)$ $(VDD STAT) circuit$ des chemins des circuits b01 et b07	114
Tableau 3.6 : Optimisation des circuits b01 et b07	114
Tableau 3.7 : Comparaison du délai et de la puissance statique des chemins critiques pour plusieurs valeurs de la tension d'alimentation.....	115
Tableau 3.8 : Pourcentages des gains et des pertes maximaux du délai et de la puissance statique apportés par le compromis Délai-Puissance Statique sans polarisation	121
Tableau 4.1 : Valeurs de $VRBB i$ et $(VDD STAT) VRBB i$	130
Tableau 4.2: Valeurs de $VRBB i$ et $(VDD) STAT chemin)$ $(VRBB) i$ du chemin critique du circuit b01.....	138

Tableau 4.3 : Optimisation des chemins critiques des circuits b01 et b07	144
Tableau 4.4 : Moyennes du Délai et de la Puissance Statique des chemins pour $VDD = (VDD) STAT$ circuit et $VRBB = (VRBB) STAT$ circuit	146
Tableau 4.5 : Optimisation des circuits b01 et b07	146
Tableau 4.6 : Exactitude de la méthode d'optimisation.....	147
Tableau 4.7 : Coût de calcul de la méthode d'optimisation.....	148
Tableau 4.8 : Comparaison du Délai et de la Puissance Statique pour plusieurs valeurs de tensions d'alimentations et de polarisations.....	149
Tableau 4.9 : Pourcentages des gains et des pertes maximaux du Délai et de la Puissance Statique apportés par le compromis Délai-Puissance Statique avec polarisation	153
Tableau 4.10 : Comparaison du délai et de la puissance statique pour différents compromis (sans et avec polarisation)	154
Tableau 4.11 : Pourcentages des gains et des pertes apportés par le compromis Délai-Puissance Statique avec polarisation	155

Liste des Equations

Chapitre 1

$$E = Q \times \Delta V \quad (1.1)$$

$$E = I \times \Delta V \times t = P \times t \quad (1.2)$$

$$E_{stat} = P_{stat} \times \text{Délai} \quad (1.3)$$

$$gd_k = f(\text{type, input pin, forme du signal}, P, T, V_{DD}, \tau_{in}, C_{out}) \quad (1.4)$$

$$pd_{\{e_{A_1, G_1}, e_{G_1, Z_1}\}} = gd_{A_1, G_1} + gd_{G_1, Z_1} \quad (1.5)$$

$$gd = \sum_{l=1}^{l=L} p_l \quad (1.6)$$

$$\left\{ \begin{array}{l} \mu_{gd} = \sum_{l=1}^{l=L} \mu_{p_l} = L \times \mu_{p_1} \\ \sigma_{gd} = \sqrt{\sum_{l=1}^{l=L} (\sigma_{p_l})^2} = \sqrt{L} \times \sigma_{p_1} \end{array} \right. \quad (1.7)$$

$$w_{gd} = \sum_{l=1}^{l=L} (\mu_{p_l} + 3\sigma_{p_l}) = L \times \mu_{p_1} + L \times 3\sigma_{p_1} \quad (1.8)$$

$$w = \frac{w_{gd} - (\mu_{gd} + 3\sigma_{gd})}{\mu_{gd}} = \frac{3 \times (L - \sqrt{L}) \times \sigma_{p_1}}{L \times \mu_{p_1}} = 3 \times (1 - L^{-0.5}) \times \frac{\sigma_{p_1}}{\mu_{p_1}} \quad (1.9)$$

$$T_{ild} = T_{ild,nom} + \Delta T_{ILD,inter} + \Delta T_{ILD,intra} \quad (1.10)$$

$$\begin{cases} \Delta T_{ILD,inter,k_1} = \Delta T_{ILD,inter,k_2} \\ \text{cor}(\Delta T_{ILD,intra,k_1}, \Delta T_{ILD,intra,k_2}) = 0 \end{cases} \quad (1.11)$$

$$T_{ild} = T_{ild,nom} + \Delta T_{ILD,inter} + \Delta T_{ILD,spl} + \Delta T_{ILD,altr} \quad (1.12)$$

$$\begin{cases} \Delta T_{ILD,spl,k_1} = \Delta T_{ILD,spl,k_2} \\ \text{cor}(\Delta T_{ILD,spl,k_1}, \Delta T_{ILD,spl,k_3}) \approx 1 \\ \text{cor}(\Delta T_{ILD,spl,k_1}, \Delta T_{ILD,spl,k_4}) \approx 0 \end{cases} \quad (1.13)$$

$$\begin{cases} \Delta T_{ILD,spl,k_1} = \Delta T_{ILD,0,1} + \Delta T_{ILD,1,1} + \Delta T_{ILD,2,1} \\ \Delta T_{ILD,spl,k_2} = \Delta T_{ILD,0,1} + \Delta T_{ILD,1,4} + \Delta T_{ILD,2,11} \end{cases} \quad (1.14)$$

$$gd \approx gd_{nom} + \sum_{l=1}^L a_l \times \Delta p_l \quad (1.15)$$

$$gd \approx gd_{nom} + \sum_{l=1}^L a_l \times \Delta p_l + \sum_{l=1}^L b_l \times \Delta p_l^2 + \sum_{\forall l_1 \neq l_2}^L c_{l_1, l_2} \times \Delta p_{l_1} \times \Delta p_{l_2} \quad (1.16)$$

$$\mu_Z = \mu_X + \mu_Y \quad (1.17)$$

$$\sigma_Z^2 = \sigma_X^2 + \sigma_Y^2 + 2 \times \rho_{XY} \times \sigma_X \times \sigma_Y \quad (1.18)$$

$$f(x) = \frac{1}{\sqrt{2 \times \Pi}} \times e^{-\left(\frac{x^2}{2}\right)} \quad (1.19)$$

$$F(x) = \int_{-\infty}^x f(u) du \quad (1.20)$$

$$\widehat{W} = F\left(\frac{\mu_V}{\sigma_V}\right) \times X + \left(1 - F\left(\frac{\mu_V}{\sigma_V}\right)\right) \times Y + f\left(\frac{\mu_V}{\sigma_V}\right) \times \sigma_V \quad (1.21)$$

$$\mu_V = \mu_X - \mu_Y \quad (1.22)$$

$$\sigma_V = (\sigma_X^2 - \sigma_Y^2 - 2 \times \rho_{XY} \times \sigma_X \times \sigma_Y)^{1/2} \quad (1.23)$$

$$cd = \max(pd_1, \dots, pd_i, \dots, pd_N) \quad (1.24)$$

$$\text{puissance statique} = I_{off} \times V_{DD} \quad (1.25)$$

$$\text{puissance totale} = \text{puissance statique} + \text{puissance dynamique} \quad (1.26)$$

$$f(x, \mu, \sigma) = \frac{1}{x \times \sqrt{2 \times \Pi}} \times e^{\left(-\frac{(\ln(x)-\mu)^2}{2 \times \sigma^2}\right)} \quad (1.27)$$

$$E(X) = e^{\mu + \sigma^2/2} \quad (1.28)$$

$$V(X) = (e^{\sigma^2} - 1) \times e^{2 \times \mu + \sigma^2} \quad (1.29)$$

$$\mu = \ln(E(X)) - \frac{1}{2} \times \ln\left(1 + \left(\frac{V(X)}{(E(X))^2}\right)\right) \quad (1.30)$$

$$\sigma^2 = \ln\left(1 + \left(\frac{V(X)}{(E(X))^2}\right)\right) \quad (1.31)$$

$$f(x, \mu_{tot}, \sigma_{tot}) = \frac{1}{x \times \sqrt{2 \times \Pi}} \times e^{\left(-\frac{(\ln(x)-\mu_{tot})^2}{2 \times \sigma_{tot}^2}\right)} \quad (1.32)$$

$$\mu_{tot} = \ln(E(X_{tot})) - \frac{1}{2} \times \ln\left(1 + \left(\frac{V(X_{tot})}{(E(X_{tot}))^2}\right)\right) \quad (1.33)$$

$$\sigma_{tot}^2 = \ln\left(1 + \left(\frac{V(X_{tot})}{(E(X_{tot}))^2}\right)\right) \quad (1.34)$$

$$E(X_{tot}) = \sum_{k=1}^{k=K} E(X_k) \quad (1.35)$$

$$V(X_{tot}) = \sum_{k=1}^{k=K} \sum_{m=1}^{m=K} \rho_{km} \times \sqrt{V(X_k)} \times \sqrt{V(X_m)} \quad (1.36)$$

Chapitre 2

$$\text{Puissance statique}_{RVT} = (I_{OFF(VDD)} \times V_{DD}) + (I_{OFF(P_{sub})} \times V_{RBB}) + (I_{OFF(N_{sub})} \times (V_{RBB} - V_{DD})) + (I_{OFF(IN)} \times V_{IN}) \quad (2.1)$$

$$\text{Puissance statique}_{LVT} = (I_{OFF(VDD)} \times V_{DD}) + (I_{OFF(P_{sub})} \times V_{FBB}) + (I_{OFF(N_{sub})} \times V_{FBB}) + (I_{OFF(IN)} \times V_{IN}) \quad (2.2)$$

$$\tau_{in} = \left(\frac{5}{3}\right) \times (t_8 - t_2) \quad (2.3)$$

$$\Delta V = |V_{min}| \quad (2.4)$$

$$\Delta t = t_{min} - t_0 \quad (2.5)$$

$$signal\ lin = a_{lin} \times t + b_{lin} \quad (2.6)$$

$$\left\{ \begin{array}{l} a_{lin} = \frac{V_{DD}}{\tau_{in}} \\ b_{lin} = -\frac{V_{DD}}{\tau_{in}} \times T_0 \end{array} \right. \quad (2.7)$$

$$\left\{ \begin{array}{l} lt_2 = \frac{0.2 \times V_{DD} - b_{lin}}{a_{lin}} \\ lt_8 = \frac{0.8 \times V_{DD} - b_{lin}}{a_{lin}} \end{array} \right. \quad (2.8)$$

$$F(t, \alpha, \beta) = [1 + \left(\frac{\alpha}{t}\right)^\beta]^{-1} \quad (t > 0, \alpha > 0, \beta > 0) \quad (2.9)$$

$$\hat{H}(t) = \begin{cases} -\frac{\Delta V}{\Delta t} \times (t - t_0) & (t \leq t_{min}) \\ -\Delta V + (V_{DD} + \Delta V) \times \left\{1 + \left[\frac{\alpha}{(t - t_{min})/\tau_{in}}\right]^\beta\right\}^{-1} & (t > t_{min}) \end{cases} \quad (2.10)$$

$$\left\{ \begin{array}{l} \widehat{\Delta V} = g_{\Delta V}(\tau_{in}) = \frac{C_{\Delta V}}{A_{\Delta V} + B_{\Delta V} \times \tau_{in}} \\ \widehat{\Delta t} = g_{\Delta t}(\tau_{in}) = A_{\Delta t} + B_{\Delta t} \times \tau_{in} \\ \widehat{\beta} = g_{\beta}(\tau_{in}) = \frac{C_{\beta}}{A_{\beta} + B_{\beta} \times \tau_{in}} + D_{\beta} \end{array} \right. \quad (2.11)$$

$$\left\{ \begin{array}{l} \widehat{\alpha} = 0.6 \times \left[\left(\frac{0.2}{0.8 + \frac{\widehat{\Delta V}}{V_{DD}}} \right)^{\frac{-1}{\widehat{\beta}}} - \left(\frac{0.8}{0.2 + \frac{\widehat{\Delta V}}{V_{DD}}} \right)^{\frac{-1}{\widehat{\beta}}} \right]^{-1} \\ \widehat{t}_{min} = \widehat{\Delta T} + t_0 \end{array} \right. \quad (2.12)$$

$$\widehat{V}(t) = \begin{cases} 0 & t \leq T_0 \\ (V_{DD} + 20 \times \Delta V) \times \left\{ 1 + \left[\frac{\alpha}{\frac{t - t_{min}}{\tau_{in}}} \right]^\beta \right\}^{-1} & t > T_0 \end{cases} \quad (2.13)$$

$$\widehat{\Delta V} = g_{\Delta V}(\tau_{in}) = \frac{1}{A_{\Delta V} + B_{\Delta V} \times \tau_{in}} \quad (2.14)$$

$$\widehat{t}_{min} = h_{T_0}(T_0) = A_{T_0} + B_{T_0} \times T_0 \quad (2.15)$$

$$\begin{aligned} 0.2 \times V_{DD} &= (V_{DD} + 20 \times \widehat{\Delta V}) \times \left\{ 1 + \left[\frac{\alpha}{(lt_2 - \widehat{t}_{min}) / \tau_{in}} \right]^\beta \right\}^{-1} \\ 0.8 \times V_{DD} &= (V_{DD} + 20 \times \widehat{\Delta V}) \times \left\{ 1 + \left[\frac{\alpha}{(lt_8 - \widehat{t}_{min}) / \tau_{in}} \right]^\beta \right\}^{-1} \end{aligned} \quad (2.16)$$

$$\alpha = \frac{e^h}{\tau_{in}} \quad (2.17)$$

$$\beta = \frac{y}{\log\left(\frac{e^h}{lt_8 - \widehat{t}_{min}}\right)} \quad (2.18)$$

$$y = \log\left(\frac{V_{DD} + 20 \times \widehat{\Delta V}}{0.8 \times V_{DD}} - 1\right) \quad (2.19)$$

$$h = \frac{y \times \log(lt_2 - \widehat{t}_{min}) - z \times \log(lt_8 - \widehat{t}_{min})}{(y - z)} \quad (2.20)$$

$$z = \log\left(\frac{V_{DD} + 20 \times \widehat{\Delta V}}{0.2 \times V_{DD}} - 1\right) \quad (2.21)$$

$$err_{pi} = |signal\ réel_{pi} - signal\ estimé_{pi}| \quad i = 1, 2, \dots, 41 \quad (2.22)$$

$$erreur\ globale_{pi} = \sqrt{\frac{\sum_{j=1}^{i=500} (pi)_j^2}{500}} \quad (i = 1, 2, \dots, 41) \quad (2.23)$$

$$Abs\ Er\ Glob = (Abs\ Er\ Glob_1 = 0, \dots, 0 < Abs\ Er\ Glob_i < 1, \dots, Abs\ Er\ Glob_{41} = 1), \quad (2.24)$$

Chapitre 3

$$(Energie\ Totale/Cycle)_{osci} = (Energie_{dynamique}/Cycle)_{osci} + (Energie_{statique}/Cycle)_{osci} \quad (3.1)$$

$$(Energie_{dynamique}/Cycle)_{osci} = \frac{1}{2} \times C \times (V_{DD})^2 \quad (3.2)$$

$$(Energie_{statique}/Cycle)_{osci} = (Puissance_{statique})_{osci} \times (Délai)_{osci} \quad (3.3)$$

$$(Puissance_{statique})_{osci} = 7 \times (Puissance_{statique})_{inv(inp=1)} + 6 \times (Puissance_{statique})_{inv(inp=0)} \quad (3.4)$$

$$d(A_i, B) = d(A_i(\alpha_i, 1 - \beta_i), B(0,1)) = \sqrt{(\alpha_i)^2 + (\beta_i)^2} \quad (3.5)$$

$$Del_{(V_{DD})} = \{Del_{(V_{DD})_1=0.1V} > \dots > Del_{(V_{DD})_i} > \dots > Del_{(V_{DD})_n=1V}\} \quad (3.6)$$

$$Puis\ Stat_{(V_{DD})} = \{Puis\ Stat_{(V_{DD})_1=0.1V} < \dots < Puis\ Stat_{(V_{DD})_i} < \dots < Puis\ Stat_{(V_{DD})_n=1V}\} \quad (3.7)$$

$$Del\ Norm_{(V_{DD})} = \{Del\ Norm_{(V_{DD})_1=0.1V} > \dots > Del\ Norm_{(V_{DD})_i} > \dots > Del\ Norm_{(V_{DD})_n=1V}\} \quad (3.8)$$

$$Puis\ Stat\ Norm_{(V_{DD})} = \{Puis\ Stat\ Norm_{(V_{DD})_1=0.1V} < \dots < Puis\ Stat\ Norm_{(V_{DD})_i} < \dots < Puis\ Stat\ Norm_{(V_{DD})_n=1V}\} \quad (3.9)$$

$$Del\ Norm_{(V_{DD})_i} = \frac{Del_{(V_{DD})_i} - \min(Del_{(V_{DD})})}{\max(Del_{(V_{DD})}) - \min(Del_{(V_{DD})})}, i = 1, 2, \dots, n \quad (3.10)$$

$$Puis\ Stat\ Norm_{(V_{DD})_i} = \frac{Puis\ Stat_{(V_{DD})_i} - \min(Puis\ Stat_{(V_{DD})})}{\max(Puis\ Stat_{(V_{DD})}) - \min(Puis\ Stat_{(V_{DD})})}, i = 1, 2, \dots, n \quad (3.11)$$

$$Puis\ Stat_{(V_{DD})_{STAT}} = f_{norm}^{-1}(Puis\ Stat\ Norm_{(V_{DD})_k}) = \quad (3.12)$$

$$\{Puis\ Stat\ Norm_{(V_{DD})_k} \times [\max(Puis\ Stat_{(V_{DD})}) - \min(Puis\ Stat_{(V_{DD})})]\} + \min(Puis\ Stat_{(V_{DD})})$$

$$Del_{(V_{DD})_{STAT}} = f_{norm}^{-1}(Del\ Norm_{(V_{DD})_k}) =$$

$$\{Del\ Norm_{(V_{DD})_k} \times [\max(Del_{(V_{DD})}) - \min(Del_{(V_{DD})})]\} + \min(Del_{(V_{DD})}) \quad (3.13)$$

$$d(A_{(V_{DD})_i}, O) = d(A_{V_{DD}_i}(Puis\ Sta\ Norm_{(V_{DD})_i}, Del\ Norm_{(V_{DD})_i}), O(0,0)) =$$

$$\sqrt{(Puis\ Stat\ Norm_{(V_{DD})_i})^2 + (Del\ Norm_{(V_{DD})_i})^2} \quad (3.14)$$

$$d(A_{(V_{DD})_K}, O) = \operatorname{argmin}(d(A_{(V_{DD})_i}, O)), i = 1, 2, \dots, n \quad (3.15)$$

$$\text{gain del} = 100 \times \frac{(\text{Délai})_{V_{DD} \text{ MEP}} - (\text{Délai})_{V_{DD} \text{ STAT}}}{(\text{Délai})_{V_{DD} \text{ MEP}}} \quad (3.16)$$

$$\text{gain puis stat} = 100 \times \frac{(\text{Puiss Stat})_{V_{DD} \text{ MEP}} - (\text{Puiss Stat})_{V_{DD} \text{ STAT}}}{(\text{Puiss Stat})_{V_{DD} \text{ MEP}}} \quad (3.17)$$

$$\text{gain ener stat} = 100 \times \frac{(\text{Ener Stat})_{V_{DD} \text{ MEP}} - (\text{Ener Stat})_{V_{DD} \text{ STAT}}}{(\text{Ener Stat})_{V_{DD} \text{ MEP}}} \quad (3.18)$$

$$(V_{DD \text{ STAT}})_{\text{chemin}} = \frac{\sum_{j=1}^m (V_{DD \text{ STAT}})_{\text{gate}_j}}{m} \quad (3.19)$$

$$(\mu_{\text{délai chemin}})_{(V_{DD \text{ STAT}})_{\text{chemin}}} = \sum_{j=1}^m (\mu_{gd_j})_{V_{DD}=(V_{DD \text{ STAT}})_{\text{chemin}}} \quad (3.20)$$

$$(\mu_{\text{puis stat chemin}})_{(V_{DD \text{ STAT}})_{\text{chemin}}} = \sum_{j=1}^m (\mu_{(\text{puis stat})_{\text{gate}_j}})_{V_{DD}=(V_{DD \text{ STAT}})_{\text{chemin}}} \quad (3.21)$$

$$(V_{DD \text{ STAT}})_{\text{circuit}} = \frac{\sum_{s=1}^N (V_{DD \text{ STAT}})_{\text{chemin}_s}}{N} \quad (3.22)$$

$$(\mu_{\text{délai chemin } s})_{(V_{DD \text{ STAT}})_{\text{circuit}}} = \sum_{l=1}^m (\mu_{gd_l})_{V_{DD}=(V_{DD \text{ STAT}})_{\text{circuit}}} \quad (3.23)$$

$$(\mu_{\text{puis stat chemin } s})_{(V_{DD \text{ STAT}})_{\text{circuit}}} = \sum_{l=1}^m (\mu_{(\text{puis stat})_{\text{gate}_l}})_{V_{DD}=(V_{DD \text{ STAT}})_{\text{circuit}}} \quad (3.24)$$

$$(\text{puis stat})_{V_{DD}} = \{ (\text{puis stat})_{V_{DD}=0.6V}, (\text{puis stat})_{V_{DD}=(V_{DD})_{\text{STAT}}}, (\text{puis stat})_{V_{DD}=1V} \} \quad (3.25)$$

$$(\text{del})_{V_{DD}} = \{ (\text{del})_{V_{DD}=0.6V}, (\text{del})_{V_{DD}=(V_{DD})_{\text{STAT}}}, (\text{del})_{V_{DD}=1V} \} \quad (3.26)$$

$$(\text{norm del})_{V_{DD}} =$$

$$\{ (\text{norm del})_{V_{DD}=0.6V}, (\text{norm del})_{V_{DD}=(V_{DD})_{\text{STAT}}}, (\text{norm del})_{V_{DD}=1V} \} = \quad (3.27)$$

$$\{0, (\text{norm del})_{V_{DD}=(V_{DD})_{STAT}}, 1\}$$

$$\text{norm del}_{(V_{DD}=0.6V)} = \frac{(\text{del})_{(V_{DD}=0.6V)} - \min(\text{del}_{(V_{DD})})}{\max(\text{del}_{(V_{DD})}) - \min(\text{del}_{(V_{DD})})} = \quad (3.28)$$

$$\frac{(\text{del})_{(V_{DD}=0.6V)} - (\text{del})_{(V_{DD}=1V)}}{(\text{del})_{(V_{DD}=0.6V)} - (\text{del})_{(V_{DD}=1V)}} = \mathbf{1}$$

$$\text{norm del}_{(V_{DD}=(V_{DD})_{STAT})} = \frac{(\text{del})_{(V_{DD}=(V_{DD})_{STAT})} - \min(\text{del}_{(V_{DD})})}{\max(\text{del}_{(V_{DD})}) - \min(\text{del}_{(V_{DD})})} = \quad (3.29)$$

$$\frac{(\text{del})_{(V_{DD}=(V_{DD})_{STAT})} - (\text{del})_{(V_{DD}=1V)}}{(\text{del})_{(V_{DD}=0.6V)} - (\text{del})_{(V_{DD}=1V)}}$$

$$\text{norm del}_{(V_{DD}=1V)} = \frac{(\text{del})_{(V_{DD}=0.6V)} - \min(\text{del}_{(V_{DD})})}{\max(\text{del}_{(V_{DD})}) - \min(\text{del}_{(V_{DD})})} = \quad (3.30)$$

$$\frac{(\text{del})_{(V_{DD}=1V)} - (\text{del})_{(V_{DD}=1V)}}{(\text{del})_{(V_{DD}=0.6V)} - (\text{del})_{(V_{DD}=1V)}} = \mathbf{0}$$

$$(\text{norm puis stat})_{V_{DD}} =$$

$$\{(\text{norm puis stat})_{V_{DD}=0.6V}, (\text{norm puis stat})_{V_{DD}=(V_{DD})_{STAT}}, (\text{norm puis stat})_{V_{DD}=1V}\} = \quad (3.31)$$

$$\{0, (\text{norm puis stat})_{V_{DD}=(V_{DD})_{STAT}}, 1\}$$

$$\text{norm puis stat}_{(V_{DD}=0.6V)} = \frac{(\text{puis stat})_{(V_{DD}=0.6V)} - \min(\text{puis stat}_{(V_{DD})})}{\max(\text{puis stat}_{(V_{DD})}) - \min(\text{puis stat}_{(V_{DD})})} = \quad (3.32)$$

$$\frac{(\text{puis stsat})_{(V_{DD}=0.6V)} - (\text{puis stat})_{(V_{DD}=0.6V)}}{(\text{puis stat})_{(V_{DD}=1V)} - (\text{puis stsat})_{(V_{DD}=0.6V)}} = \mathbf{0}$$

$$\text{norm puis stat}_{(V_{DD}=(V_{DD})_{STAT})} = \frac{(\text{puis stat})_{(V_{DD}=(V_{DD})_{STAT})} - \min(\text{puis stat}_{(V_{DD})})}{\max(\text{puis stat}_{(V_{DD})}) - \min(\text{puis stat}_{(V_{DD})})} \quad (3.33)$$

$$= \frac{(\text{puis stsat})_{(V_{DD}=(V_{DD})_{STAT})} - (\text{puis stat})_{(V_{DD}=0.6V)}}{(\text{puis stat})_{(V_{DD}=1V)} - (\text{puis stsat})_{(V_{DD}=0.6V)}}$$

$$\text{norm puis stat}_{(V_{DD}=1V)} = \frac{(\text{puis stat})_{(V_{DD}=1V)} - \min(\text{puis stat}_{(V_{DD})})}{\max(\text{puis stat}_{(V_{DD})}) - \min(\text{puis stat}_{(V_{DD})})} =$$

$$\frac{(puis\ stsat)_{(V_{DD}=1V)} - (puis\ stat)_{(V_{DD}=0.6V)}}{(puis\ stat)_{(V_{DD}=1V)} - (puis\ stsat)_{(V_{DD}=0.6V)}} = \mathbf{1} \quad (3.34)$$

$$\begin{aligned} gain\ max\ puis\ stat &= 100 \times [(norm\ puis\ stat)_{V_{DD}=1V} - (norm\ puis\ stat)_{V_{DD}=(V_{DD})_{STAT}}] = \\ &100 \times [1 - (norm\ puis\ stat)_{V_{DD}=(V_{DD})_{STAT}}] \end{aligned} \quad (3.35)$$

$$\begin{aligned} perte\ max\ puis\ stat &= 100 \times [(norm\ puis\ stat)_{V_{DD}=(V_{DD})_{STAT}} - (norm\ puis\ stat)_{V_{DD}=0.6V}] = \\ &100 \times [(norm\ puis\ stat)_{V_{DD}=(V_{DD})_{STAT}}] \end{aligned} \quad (3.36)$$

$$\begin{aligned} gain\ max\ del &= 100 \times [(norm\ del)_{V_{DD}=0.6V} - (norm\ del)_{V_{DD}=(V_{DD})_{STAT}}] = \\ &100 \times [1 - (norm\ del)_{V_{DD}=(V_{DD})_{STAT}}] \end{aligned} \quad (3.37)$$

$$\begin{aligned} perte\ max\ del &= 100 \times [(norm\ del)_{V_{DD}=(V_{DD})_{STAT}} - (norm\ del)_{V_{DD}=1V}] = \\ &100 \times [(norm\ del)_{V_{DD}=(V_{DD})_{STAT}}] \end{aligned} \quad (3.38)$$

Chapitre 4

$$(délai_{V_{RBB}=0V})_{(V_{DD})_j} < (délai_{V_{RBB}\approx-0.5V})_{(V_{DD})_j} < (délai_{V_{RBB}=-1V})_{(V_{DD})_j} \quad (4.1)$$

$$(Puiss\ Stat_{V_{RBB}=0V})_{(V_{DD})_j} > (Puiss\ Stat_{V_{RBB}\approx-0.5V})_{(V_{DD})_j} > (Puiss\ Stat_{V_{RBB}=-1V})_{(V_{DD})_j} \quad (4.2)$$

$$((V_{DD})_{STAT})_{(V_{RBB})_i} \approx ((V_{DD})_{STAT})_{(V_{RBB})_k} \quad (4.3)$$

$$mean_{(V_{DD})_{STAT}} = \frac{\sum_{i=1}^m ((V_{DD})_{STAT})_{(V_{RBB})_i}}{m} \quad (4.4)$$

$$((V_{DD})_{STAT\ chemin})_{(V_{RBB})_i} = \frac{\sum_{l=1}^K ((V_{DD})_{STAT(gate_l)})_{(V_{RBB})_i}}{K} \quad (4.5)$$

$$((V_{DD})_{STAT\ chemin})_{(V_{RBB})_i} \approx ((V_{DD})_{STAT\ chemin})_{(V_{RBB})_k} \quad (4.6)$$

$$mean\ (V_{DD})_{STAT\ chemin} = \frac{\sum_{i=1}^m ((V_{DD})_{STAT\ chemin})_{(V_{RBB})_i}}{m} \quad (4.7)$$

$$(\mu_{\text{dél chemin}})_{(V_{RBB})_i} = \sum_{l=1}^K (\mu_{\text{dél gate } l})_{(V_{RBB})_i} \quad (4.8)$$

$$(\mu_{\text{puis stat chemin}})_{(V_{RBB})_i} = \sum_{l=1}^K (\mu_{\text{puis stat gate } l})_{(V_{RBB})_i} \quad (4.9)$$

$$((V_{DD})_{STAT})_{\text{circuit}} = \frac{\sum_{s=1}^N \text{mean}(V_{DD})_{STAT \text{ chemin } s}}{N} \quad (4.10)$$

$$((V_{RBB})_{STAT})_{\text{circuit}} = \frac{\sum_{s=1}^N ((V_{RBB})_{STAT})_{\text{chemin } s}}{N} \quad (4.11)$$

$$(\mu_{\text{dél chemin } s})_{(V_{DD})_{STAT \text{ circuit}}, (V_{RBB})_{STAT \text{ circuit}}} = \sum_{l=1}^K (\mu_{\text{dél gate } l})_{(V_{DD})_{STAT \text{ circuit}}, (V_{RBB})_{STAT \text{ circuit}}} \quad (4.12)$$

$$(\mu_{\text{puis stat chemin } s})_{(V_{DD})_{STAT \text{ circuit}}, (V_{RBB})_{STAT \text{ circuit}}} = \sum_{l=1}^K (\mu_{\text{puis stat gate } l})_{(V_{DD})_{STAT \text{ circuit}}, (V_{RBB})_{STAT \text{ circuit}}} \quad (4.13)$$

$$\begin{aligned} del_{(V_{DD}, V_{RBB})} = \{ \\ del_{(V_{DD}=0.6V, V_{RBB}=-1V)}, \\ del_{(V_{DD}=\text{mean}(V_{DD})_{STAT}, V_{RBB}=(V_{RBB})_{STAT \text{ chemin}})}, \\ del_{(V_{DD}=1V, V_{RBB}=0V)} \\ \} \end{aligned} \quad (4.14)$$

$$\begin{aligned} puis \text{ stat}_{(V_{DD}, V_{RBB})} = \{ \\ puis \text{ stat}_{(V_{DD}=0.6V, V_{RBB}=-1V)}, \\ puis \text{ stat}_{(V_{DD}=\text{mean}(V_{DD})_{STAT}, V_{RBB}=(V_{RBB})_{STAT \text{ chemin}})}, \\ puis \text{ stat}_{(V_{DD}=1V, V_{RBB}=0V)} \\ \} \end{aligned} \quad (4.15)$$

$$\begin{aligned}
 & norm\ puis\ stat_{(V_{DD},V_{RBB})} = \{ \\
 & norm\ puis\ stat_{(V_{DD}=0.6V,V_{RBB}=-1V)} = 0, \\
 & norm\ puis\ stat_{(V_{DD}=mean(V_{DD})_{STAT},V_{RBB}=(V_{RBB})_{STAT_{chemin}})}, \\
 & norm\ puis\ stat_{(V_{DD}=1V,V_{RBB}=0V)} = 1 \\
 & \}
 \end{aligned} \tag{4.16}$$

$$\begin{aligned}
 & norm\ del_{(V_{DD},V_{RBB})} = \{ \\
 & norm\ del_{(V_{DD}=0.6V,V_{RBB}=-1V)} = 1, \\
 & norm\ del_{(V_{DD}=mean(V_{DD})_{STAT},V_{RBB}=(V_{RBB})_{STAT_{chemin}})}, \\
 & norm\ del_{(V_{DD}=1V,V_{RBB}=0V)} = 0 \\
 & \}
 \end{aligned} \tag{4.17}$$

$$\begin{aligned}
 & \mathbf{gain\ max\ puis\ stat} = \\
 & 100 \times [norm\ puis\ stat_{(V_{DD}=1V,V_{RBB}=0V)} - norm\ puis\ stat_{(V_{DD}=mean(V_{DD})_{STAT},V_{RBB}=(V_{RBB})_{STAT_{chemin}})}] = \\
 & 100 \times [1 - norm\ puis\ stat_{(V_{DD}=mean(V_{DD})_{STAT},V_{RBB}=(V_{RBB})_{STAT_{chemin}})}]
 \end{aligned} \tag{4.18}$$

$$\begin{aligned}
 & \mathbf{perte\ max\ puis\ stat} = \\
 & 100 \times [norm\ puis\ stat_{(V_{DD}=mean(V_{DD})_{STAT},V_{RBB}=(V_{RBB})_{STAT_{chemin}})} - norm\ puis\ stat_{(V_{DD}=0.6V,V_{RBB}=-1V)}] = \\
 & 100 \times [norm\ puis\ stat_{(V_{DD}=mean(V_{DD})_{STAT},V_{RBB}=(V_{RBB})_{STAT_{chemin}})}]
 \end{aligned} \tag{4.19}$$

$$\begin{aligned}
 & \mathbf{gain\ max\ del} = \\
 & 100 \times [norm\ del_{(V_{DD}=0.6V,V_{RBB}=-1V)} - norm\ del_{(V_{DD}=mean(V_{DD})_{STAT},V_{RBB}=(V_{RBB})_{STAT_{chemin}})}] = \\
 & 100 \times [1 - norm\ del_{(V_{DD}=mean(V_{DD})_{STAT},V_{RBB}=(V_{RBB})_{STAT_{chemin}})}]
 \end{aligned} \tag{4.20}$$

$$\begin{aligned}
 & \mathbf{perte\ max\ del} = \\
 & 100 \times [norm\ del_{(V_{DD}=mean(V_{DD})_{STAT},V_{RBB}=(V_{RBB})_{STAT_{chemin}})} - norm\ del_{(V_{DD}=1V,V_{RBB}=0V)}] = \\
 & 100 \times [norm\ del_{(V_{DD}=mean(V_{DD})_{STAT},V_{RBB}=(V_{RBB})_{STAT_{chemin}})}]
 \end{aligned} \tag{4.21}$$

$$(perte\ del)_{comp\ RBB \neq 0} = 100 \times \frac{(del)_{comp\ RBB \neq 0} - (del)_{comp\ RBB = 0}}{(del)_{comp\ RBB = 0}} \tag{4.22}$$

$$(\text{gain puis stat})_{\text{comp } RBB \neq 0} = 100 \times \frac{(\text{puis stat}_{\text{comp } RBB=0}) - (\text{puis stat}_{\text{comp } RBB \neq 0})}{(\text{puis stat})_{\text{comp } RBB=0}} \quad (4.23)$$

Références

- [1] “RT-Level ITC 99 Benchmarks and First ATPG Results”, *IEEE Design and Test of Computers*, July-August 2000.
- [2] Z. Wu, “SSTA Framework Based on Moments Propagation”, *Thèse*, Université de Montpellier II, 2009.
- [3] V.MIGAIROU, “Conception et Vérification des circuits CMOS Digitaux Basées sur les Statistiques : Application à l’évaluation des Marges Temporelles de Conception”, *Thèse*, Université de Montpellier II, 2007.
- [4] P. Li, L. T. Pileggi, M. Asheghi, and R. Chandra, “Efficient full-chip thermal modeling and analysis”, *Proc.ICCAD*, 2004, pp. 319–326.
- [5] http://www.csee.umbc.edu/~cpatel2/links/640/lectures/lect10_process_var.pdf
- [6] D. S. Boning and S. Nassif, “Models of Process Variations in Device and Interconnect”, *Design of High Performance Microprocessor Circuit, Chapter 6, Wiley-IEEE Press, 2000*.
- [7] R. B. Brawhear, N. Menezes, C. Oh, L. T. Pillage, and M. R. Mercer, “Predicting circuit performance using circuit-level statistical timing analysis”, *Proc.DATE*, 1994, pp. 332–337.
- [8] K. R. Heloue and F. N. Najm, “Statistical timing analysis with two-sided constraints”, *Proc.ICCAD*, 2005, pp. 828–835.
- [9] L.Scheffer, “The Count of Monte Carlo”, *TAU*, 2004.
- [10] V. Veetil, D. Sylvester, and D. Blaauw, “Critically aware latin hypercube sampling for efficient statistical timing analysis”, *TAU*, 2007.
- [11] H. Chang and S. S. Sapatnekar, “Statistical Timing Analysis Considering Spatial Correlations Using a Single Pert-like Traversal” *Proc. ICCAD*, 2003, pp. 621–625.
- [12] Z. Feng, P. Li, and Y. Zhan, “Fast Second-Order Statistical Static Timing Analysis Using Parameter Dimension Reduction” *Proc. DAC*, 2007, pp 244-249.
- [13] F. N. Najm and N. Menezes, “Statistical timing analysis based on a timing yield model”, *Proc.DAC*, 2004, pp 46-465.
- [14] D. S. Boning and S. Nassif, “Models of Process Variations in Device and Interconnect”, *Design of High Performance Microprocessor Circuit, Chapter 6, Wiley-IEEE Press, 2000*.
- [15] H. Chang and S. S. Sapatnekar, “Statistical Timing Analysis Considering Spatial Correlations Using a Single Pert-like Traversal,” *Proc. ICCAD*, 2003, pp. 621–625.
- [16] A. Agarwal, D. Blaauw, and V. Zolotov, “Statistical timing analysis for intra-die process variations with spatial correlations”, *ICCAD*, 2003, pp. 900–907.
- [17] C. Visweswariah, K. Ravindran, K. Kalafala, S. G. Walker, S. Narayan, D. K. Beece, J. Piaget, N. Venkateswaran, and J. G. Hemmett, “First-order incremental block-based statistical timing

- analysis”, *Proc. DAC*, 2004, pp. 331-336.
- [18] L. Zhang, W. Chen, Y. Hu, J. A. Gubner, and C. C.-P. Chen, “Correlation-preserved non-Gaussian statistical timing analysis with quadratic timing model”, *Proc.DAC*, 2005, pp. 83–88.
- [19] V. Khandelwal and A. Srivastava, “A general framework for accurate statistical timing analysis considering correlations”, *Proc.DAC*, 2005, pp. 89–94.
- [20] L. Cheng, J. Xiong, and L. He, “Non-linear statistical static timing analysis for non-Gaussian variation sources”, *Proc.DAC*, 2007, pp. 250–255.
- [21] H. Chang, V. Zolotov, S. Narayan, and C. Visweswariah, “Parameterized block-based statistical timing analysis with non-Gaussian parameters, nonlinear delay functions”, *Proc.DAC*, 2005, pp. 71–76.
- [22] J. Singh and S. Sapatnekar, “Statistical timing analysis with correlated non-Gaussian parameters using independent component analysis”, *Proc.DAC*, 2006, pp. 155–160.
- [23] CE.Clark, “The Greatest of a Finite Set of Random Variables.” *Journal Operation Research*, Vol.9, no.2, pp. 145–162, 1961.
- [24] L. Xie, A. Davoodi, J. Zhang, and T. H. Wu, “Adjustment-based modeling for statistical static timing analysis with high dimension of variability”, *Proc.ICCAD*, 2008, pp 181-184.
- [25] A.Srivastava, D. Sylvester, D.Balaauw, *Statistical Analysis and Optimization for VLSI: Timing and Power*, Chapter 3. Springer, 2005.
- [26] S. JOSHI, “Consommation statique dans les circuits numériques en CMOS 32nm : Analyse et méthodologie pour une estimation statistique au niveau porte”, *Thèse*, Université de Grenoble, 2013.
- [27] ITRS, “System Drivers,” 2011 Edition.
- [28] S. Borkar, T. Karnik, S. Narendra, J. Tschanz, a. Keshavarzi, and V. De, “Parameter variations and impact on circuits and microarchitecture”, *Proc.DAC*, 2003, pp. 338–342.
- [29] A. Srivastava, S. Shah, K. Agarwal, D. Sylvester, D. Blaauw, and S. Director, “Accurate and efficient gate-level parametric yield estimation considering correlated variations in leakage power and performance”, *Proc.DAC*, 2005, pp.535-540.
- [30] H. Chang and S. S. Sapatnekar, “Full-chip analysis of leakage power under process variations, including spatial correlations”, *Proc.DAC*, 2005, pp. 523–528.
- [31] T. Li, W. Zhang, and Z. Yu, “Full-chip leakage analysis in nano-scale technologies: Mechanisms, variation sources, and verification”, *Proc.DAC*, 2009, pp. 594–599.
- [32] X. Li, J. Le, L. T. Pileggi, “Projection-based statistical analysis of full-chip leakage power with non-log-normal distributions”, *Proc.DAC*, 2006, pp. 103–108.
- [33] V. T. Veetil, “Efficient monte carlo based methods for variability aware analysis and optimization of digital circuits”, *PhD Thesis*, University of Michigan, 2010.
- [34] V.Litovski and M.Zwolinski, “VLSI circuit simulation and optimization,” in *Champman and*

Hall, 1997.

- [35] W. Jingxian, N. B. Mehta, and Z. Jin, “A flexible lognormal sum approximation method”, in GLOBE COM '05, 2005, pp 3413-3417.
- [36] J. Noel, “Optimisation de dispositifs FDSOI pour la gestion de la consommation et de la vitesse : application aux mémoires et fonctions logiques”, *Thèse*, Université de Grenoble, 2006.
- [37] T. K. et Al and dahiroy K. Et “A 0.9V 150MHz 10mW 4mm² 2-D Discrete Cosine Transform Core Processor with Variable-Threshold-Voltage Scheme” *ISSCC*, 1996, pp. 166–168.
- [38] A. Keshavarzi, S. Narendra, S. Borkar, C. Hawkind, K. Roy, and V. De, “Technology Scaling Behavior of Optimum Reverse Body Bias for Standby Leakage Power Reduction in CMOS IC’s”, *ISLPD’99*, pp. 252–254.
- [39] http://cmp.imag.fr/IMG/pdf/utbb-fdsoidesign_migration_methodology_.pdf
- [40] T. Yamashita, N. Yoshida, M. Sakamoto, T. Matsumoto, M. Kusunoki, H. Takahashi, A. Wakahara, T. Ito, T. Shimizu, K. Kurita, K. Higeta, K. Mori, N. Tamba, N. Kato, K. Miyamoto, R. Yamagata, H. Tanaka, and T. Hiyama, “A 450 MHz 64 b RISC processor using multiple threshold voltage CMOS”, *ISSCC*, 2000, session 25.3.
- [41] G. C-F Yeap et al., “A 100nm Cooper/Low-K Bulk CMOS Technology with Multi Vt and Multi Gate Oxide Integrated Transistors for Low Standby Power, High Performance and RF/Analog System on Chip Applications”, *VLSI Technology*, 2002, pp. 16–17.
- [42] F. Arnaud et al., “Low Cost 65nm CMOS Platform for Low Power & General Purpose Applications”, *VLSI Technology*, 2004, pp. 10-11.
- [43] T. Shuichi Kunie, Takefumi Hiraga, Tatsuya Tokue, Sunao Torii and Ohsawa, “Low power architecture and design techniques for mobile handset LSI MedityTM M2., Power measurement Results Summary and conclusions”, *ASP DAC*, 2008, pp. 748–753.
- [44] H. Delacour, A. Servonnet, A. Perrot, J. F. Vigezzi, and J. M. Ramirez “La courbe ROC (receiver operating characteristic) : principes et principales applications en biologie clinique”, *Annale de Biologie Clinique*, vol. 63, no. 2, 2005, pp. 145–154.
- [45] L. F. Carvalho, G. Fernandes, M. V. O. De Assis, J. J. P. C. Rodrigues, and M. Lemes Proença, “Digital signature of network segment for healthcare environments support,” *Journal IRBM*, vol. 35, no. 6, 2014, pp. 299–309.